

RX72T グループ RX63T グループ

RX72T グループと RX63T グループの相違点

要旨

本アプリケーションノートは、主に RX72T グループ、RX63T グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートでは、特に記載のない箇所については、それぞれのマイコンの最大仕様として、RX72T グループの 144 ピンパッケージ(プログラマブルゲインアンプ(PGA)疑似差動入力あり、USB 端子あり)と RX63T グループの 144 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の詳細な仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX72T グループ、RX63T グループ

目次

1. RX72T グループと RX63T グループの搭載機能比較	5
2. 仕様の概要比較	7
2.1 CPU	7
2.2 動作モード	9
2.3 アドレス空間	10
2.4 オプション設定メモリ	13
2.5 電圧検出回路	15
2.6 クロック発生回路	27
2.7 クロック周波数精度測定回路	31
2.8 消費電力低減機能	33
2.9 レジスタライトプロテクション機能	37
2.10 例外処理	38
2.11 割り込みコントローラ	39
2.12 バス	42
2.13 メモリプロテクションユニット	44
2.14 DMA コントローラ	45
2.15 データトランスファコントローラ	47
2.16 I/O ポート	48
2.17 マルチファンクションピンコントローラ	52
2.18 マルチファンクションタイマパルスユニット 3	95
2.19 ポートアウトプットイネーブル 3	101
2.20 汎用 PWM タイマ	116
2.21 コンペアマッチタイマ	126
2.22 ウォッチドッグタイマ	127
2.23 独立ウォッチドッグタイマ	129
2.24 USB2.0FS ホスト/ファンクションモジュール	131
2.25 シリアルコミュニケーションインタフェース	134
2.26 I ² C バスインタフェース	140
2.27 CAN モジュール	143
2.28 シリアルペリフェラルインタフェース	145
2.29 CRC 演算器	148
2.30 12 ビット A/D コンバータ	150
2.31 D/A コンバータ	163
2.32 データ演算回路	164
2.33 RAM	165
2.34 フラッシュメモリ	167
2.35 パッケージ	172
3. 端子機能の比較	173
3.1 144 ピンパッケージ(RX72T : PGA 疑似差動入力あり USB 端子あり)	173
3.2 100 ピンパッケージ(RX72T : PGA 疑似差動入力あり USB 端子あり)	180
3.3 100 ピンパッケージ(RX72T : PGA 疑似差動入力あり USB 端子なし)	184
3.4 100 ピンパッケージ(RX72T : PGA 疑似差動入力なし USB 端子なし)	189
4. 移行の際の留意点	194

4.1	端子設計の留意点	194
4.1.1	VCL 端子(外付け容量)	194
4.1.2	PLLVCC 端子	194
4.1.3	モード設定端子	194
4.1.4	外部クロックを入力する方法	194
4.1.5	PGA 疑似差動入力関連端子(P40~42、P44~46、PH0、PH4)	194
4.1.6	AVCC 端子と AVSS 端子間のデカップリング容量挿入方法	194
4.1.7	USB DP/DM のプルアップ抵抗/プルダウン抵抗内蔵	195
4.2	機能設計の留意点	196
4.2.1	レジスタ退避バンク内 RAM の自己診断	196
4.2.2	RIIC 動作電圧設定	196
4.2.3	USB 動作電圧設定	196
4.2.4	例外ベクタテーブル	196
4.2.5	電圧レベル設定	196
4.2.6	エンディアン	197
4.2.7	オプション設定メモリ	197
4.2.8	クロック周波数設定	197
4.2.9	PLL 回路	197
4.2.10	MOSCWTCR レジスタ	197
4.2.11	メインクロック発振停止検出機能の動作	198
4.2.12	全モジュールクロックストップモード	198
4.2.13	DIRQnE ビット(n = 0~15)による入力バッファ制御	198
4.2.14	選択型割り込み	198
4.2.15	ポート方向レジスタ(PDR)の初期化	198
4.2.16	POE3 の汎用入出力ポート切り替え制御の注意事項	198
4.2.17	MTU3d/GPTW 動作周波数	198
4.2.18	MTU による DMAC 起動	198
4.2.19	カウンタ停止時の MTIOC 端子出力レベル	199
4.2.20	ELC イベント入力の時タイマモードレジスタ設定の注意事項	199
4.2.21	ポートアウトプットイネーブル	199
4.2.22	ポートアウトプットイネーブル 3 出力停止要求発生時の制御	199
4.2.23	MTU/GPTW 反転出力設定時のアクティブレベル設定について	199
4.2.24	ハイインピーダンス時の端子の読み出しについて	199
4.2.25	POE と POEG を併用した場合の注意事項	200
4.2.26	汎用 PWM タイマ	200
4.2.27	ウォッチドッグタイマ/独立ウォッチドッグタイマ	200
4.2.28	I ² C バスインタフェースのノイズ除去	200
4.2.29	12 ビット A/D コンバータ	200
4.2.30	A/D 変換スタートビット	200
4.2.31	コンペア機能制約	200
4.2.32	A/D スキャン変換終了割り込みの発生	200
4.2.33	12 ビット A/D コンバータのスキャン変換時間	201
4.2.34	D/A コンバータの設定について	201
4.2.35	ROM キャッシュ	201
4.2.36	フラッシュメモリのコマンド使用方法	202
5.	参考ドキュメント	203

RX72TグループRX63TグループRX72TグループとRX63Tグループの相違点

改訂記録.....205

1. RX72T グループと RX63T グループの搭載機能比較

RX72T グループと RX63T グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX63T/RX72T 搭載機能比較を示します。

表 1.1 RX63T/RX72T 搭載機能比較

機能名	RX63T	RX72T
CPU	●	
動作モード	●	
アドレス空間	▲	
リセット	○	
オプション設定メモリ	▲	
電圧検出回路(LVDA)	●/▲	
クロック発生回路	●/▲	
クロック周波数精度測定回路(CAC)	●	
消費電力低減機能	●/▲	
レジスタライトプロテクション機能	●/■	
例外処理	▲	
割り込みコントローラ(ICUb):RX63T、(ICUC):RX72T	●	
バス	●/■	
メモリプロテクションユニット(MPU)	▲	
DMA コントローラ(DMACA):RX63T、(DMACAa):RX72T	●	
データトランスファコントローラ(DTCa)	●	
イベントリンクコントローラ(ELC)	×	○
I/O ポート	●/■	
マルチファンクションピンコントローラ(MPC)	●/■	
マルチファンクションタイマパルスユニット 3(MTU3):RX63T、(MTU3d):RX72T	●	
ポートアウトプットイネーブル 3(POE3):RX63T、(POE3B):RX72T	●	
汎用 PWM タイマ(GPT):RX63T、(GPTW):RX72T	●	
高分解能 PWM 波形生成回路(HRPWM)	(注 1)	○
GPTW 用ポートアウトプットイネーブル(POEG)	×	○
8 ビットタイマ(TMR)	×	○
コンペアマッチタイマ(CMT)	●	
ウォッチドッグタイマ(WDTA)	●	
独立ウォッチドッグタイマ(IWDTa)	●	
USB2.0FS ホスト/ファンクションモジュール(USBa):RX63T、(USBb):RX72T	●	
シリアルコミュニケーションインタフェース(SCIc, SCId):RX63T		
シリアルコミュニケーションインタフェース(SCIj, SCli, SClh):RX72T	●/■	
I²C バスインタフェース(RIIC):RX63T、(RIICa):RX72T	●/■	
CAN モジュール(CAN)	■	
シリアルペリフェラルインタフェース(RSPI):RX63T、(RSPIc):RX72T	●/■	
CRC 演算器(CRC):RX63T、(CRCA):RX72T	●	
三角関数演算器(TFU)	×	○
Trusted Secure IP(TSIP-Lite)	×	○

機能名	RX63T	RX72T
12 ビット A/D コンバータ(S12ADB):RX63T、(S12ADH):RX72T	●/▲/■	
10 ビット A/D コンバータ(AD)	○	×
D/A コンバータ(DAa):RX63T、12 ビット D/A コンバータ(R12DAb):RX72T	●	
温度センサ(TEMPS)	×	○
コンパレータ C(CMPC)	(注 2)	○
データ演算回路(DOC)	●	
デジタル電源制御演算器(DPC)	○	×
RAM	●/▲	
フラッシュメモリ	●/▲/■	
パッケージ	▲/■	

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり

■:機能削除による差分あり

注 1. RX63T グループでは汎用 PWM タイマ章に、RX72T グループの高分解能 PWM 波形生成回路章相当の機能が記載されています

注 2. RX63T グループでは 12 ビット A/D コンバータ章にコンパレータ機能が記載されています。

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は**赤字**にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は**赤字**に、いずれかのグループにしか存在しない項目は**黒字**でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 CPU

表 2.1 に CPU の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1 CPU の概要比較

項目	RX63T	RX72T
中央演算処理装置	- 最大動作周波数：100MHz 32 ビット RX CPU - 最小命令実行時間：1 命令 1 クロック - アドレス空間： 4G バイト・リニアアドレス - レジスタ —汎用レジスタ：32 ビット×16 本 —制御レジスタ：32 ビット×9 本 —アキュムレータ：64 ビット×1 本 - 基本命令：73 種類 - 浮動小数点演算命令：8 種類 - DSP 機能命令：9 種類 - アドレッシングモード：10 種類 - データ配置 —命令：リトルエンディアン —データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器： 32 ビット÷32 ビット→32 ビット - パレルシフタ：32 ビット - メモリプロテクションユニット(MPU)搭載	- 最大動作周波数：200MHz 32 ビット RX CPU (RXv3) - 最小命令実行時間：1 命令 1 クロック - アドレス空間： 4G バイト・リニアアドレス - レジスタ —汎用レジスタ：32 ビット×16 本 —制御レジスタ：32 ビット×10 本 —アキュムレータ：72 ビット×2 本 - 基本命令：77 種類 - 単精度浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 レジスタ一括退避機能命令：2 命令 - アドレッシングモード：11 種類 - データ配置 —命令：リトルエンディアン —データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器： 32 ビット÷32 ビット→32 ビット - パレルシフタ：32 ビット - メモリプロテクションユニット(MPU) 搭載
FPU	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外
レジスタ一括退避機能	-	CPU レジスタの退避・復帰を一括して高速に行う 16 個のレジスタ退避バンクを搭載

表 2.2 CPU のレジスタ比較

レジスタ	ビット	RX63T	RX72T
EXTB	-	-	例外テーブルレジスタ
ACC(RX63T) ACC0, ACC1 (RX72T)	-	アキュムレータ	アキュムレータ 0, アキュムレータ 1

2.2 動作モード

表 2.3 に動作モードの概要比較を、表 2.4 に動作モードのレジスタ比較を示します。

表 2.3 動作モードの概要比較

項目	RX63T		RX72T
	144/120/112/100 ピン版	64/48 ピン版	
リセット解除時の モード設定端子による 動作モードの選択	シングルチップモード	シングルチップモード	シングルチップモード
	ブートモード	ブートモード	ブートモード (SCI インタフェース)
	USB ブートモード	-	ブートモード (USB インタフェース)
	-	-	ブートモード (FINE インタフェース)
	ユーザブートモード	-	ユーザブートモード
レジスタによる 動作モードの選択	シングルチップモード	シングルチップモード	シングルチップモード
	ユーザブートモード	-	ユーザブートモード
	内蔵 ROM 無効拡張モード	-	内蔵 ROM 無効拡張モード
	内蔵 ROM 有効拡張モード	-	内蔵 ROM 有効拡張モード
エンディアンの選択	シングルチップモード時： MDES (エンディアン選択 レジスタ S) ユーザブートモード時： MDEB (エンディアン選択レ ジスタ B)	シングルチップモード時： MDES (エンディアン選択 レジスタ S)	MDE レジスタ

表 2.4 動作モードのレジスタ比較

レジスタ	ビット	RX63T		RX72T
		144/120/112/100 ピン版	64/48 ピン版	
MDSR	-	モードステータスレジスタ	-	モードステータスレジスタ
SYSCR0	EXBE	外部バス有効ビット	-	外部バス有効ビット
SYSCR1	-	システムコントロールレジスタ 1		システムコントロールレジスタ 1
		リセット後の初期値が異なります		
	ECCRAME	-	-	ECCRAM 有効ビット
VOLSR	-	-	-	電圧レベル設定レジスタ

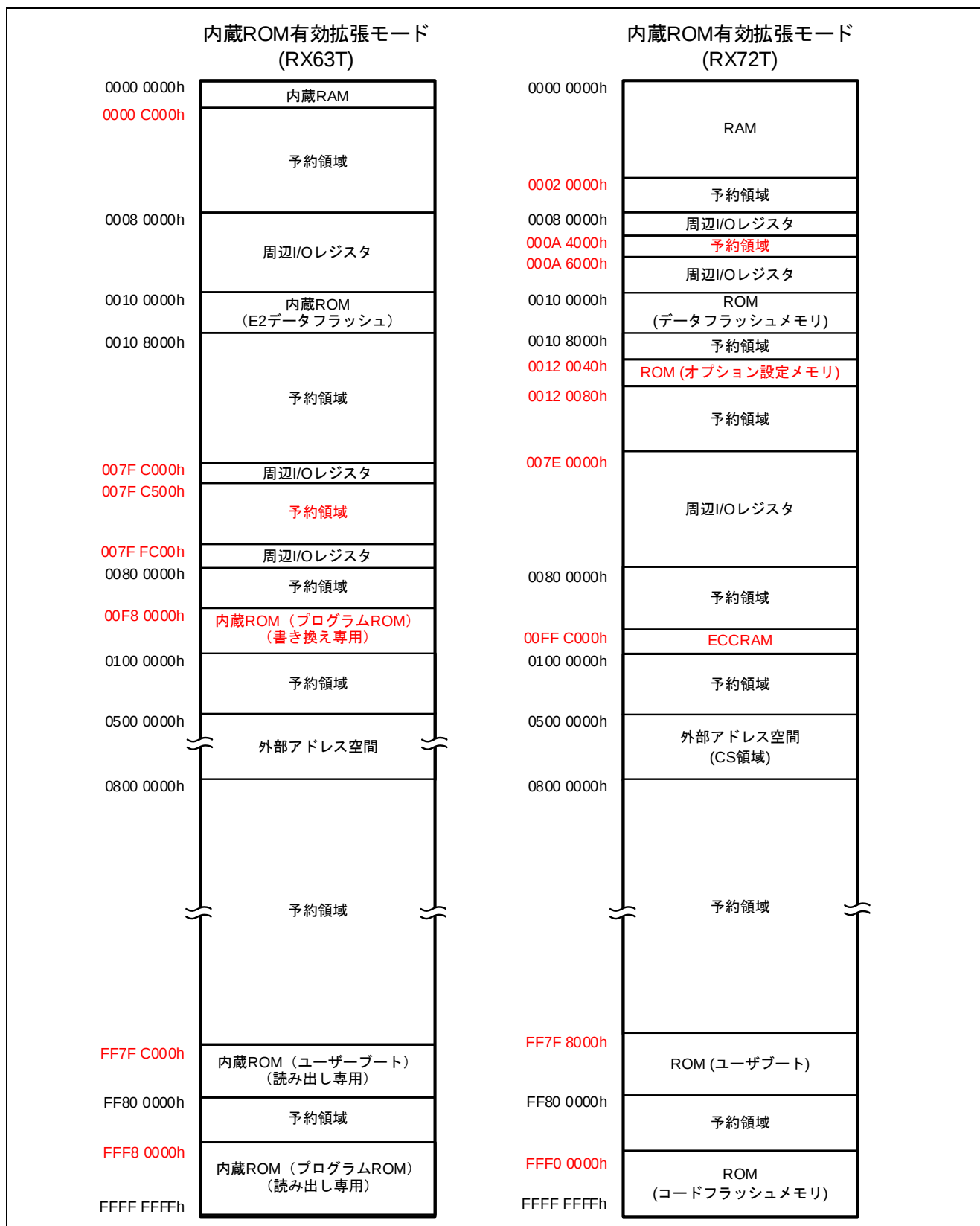


図 2.2 内蔵 ROM 有効拡張モードのメモリマップ比較

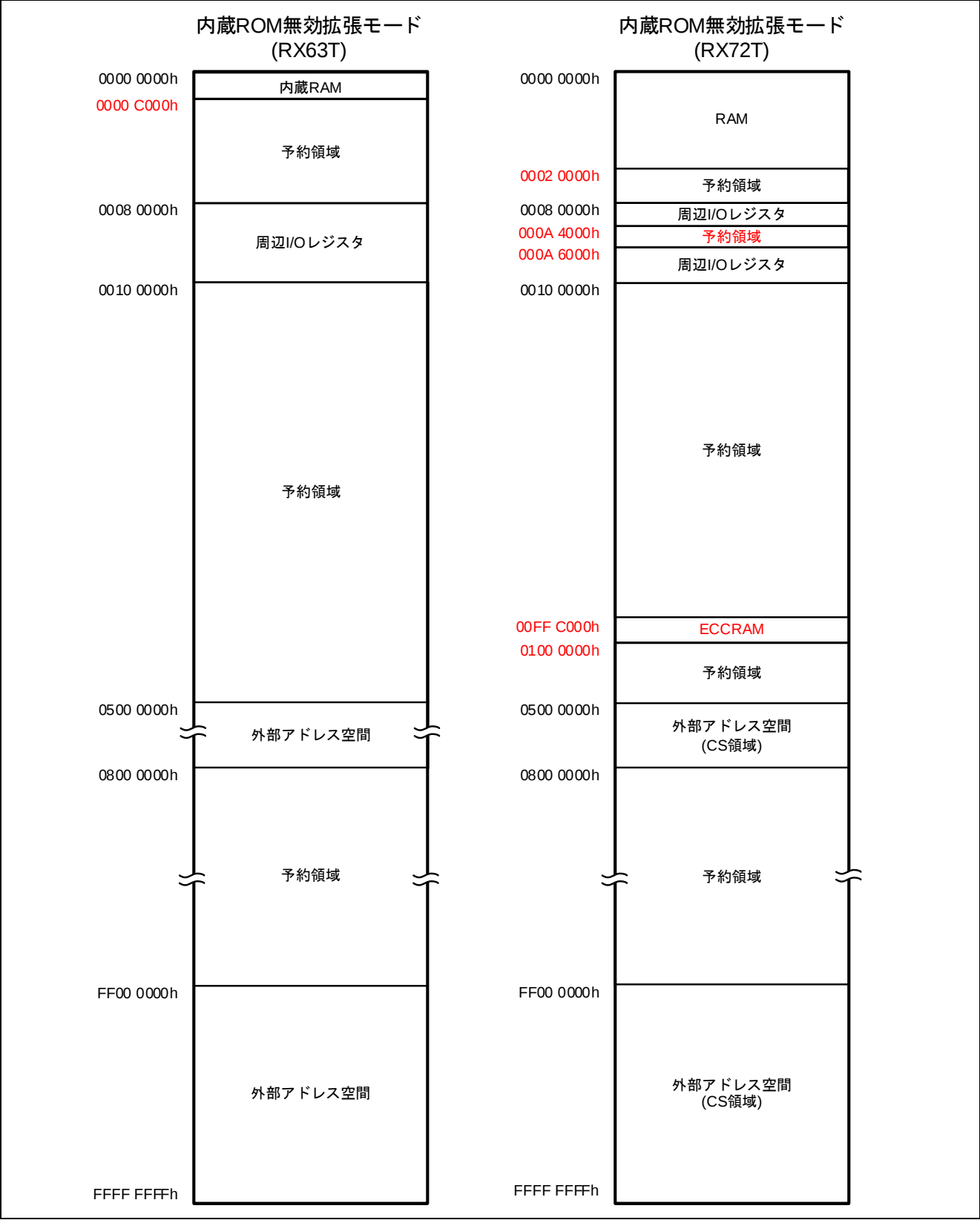


図 2.3 内蔵 ROM 無効拡張モードのメモリマップ比較

2.4 オプション設定メモリ

図 2.4 にオプション設定メモリ領域比較を、表 2.5 にオプション設定メモリのレジスタ比較を示します。

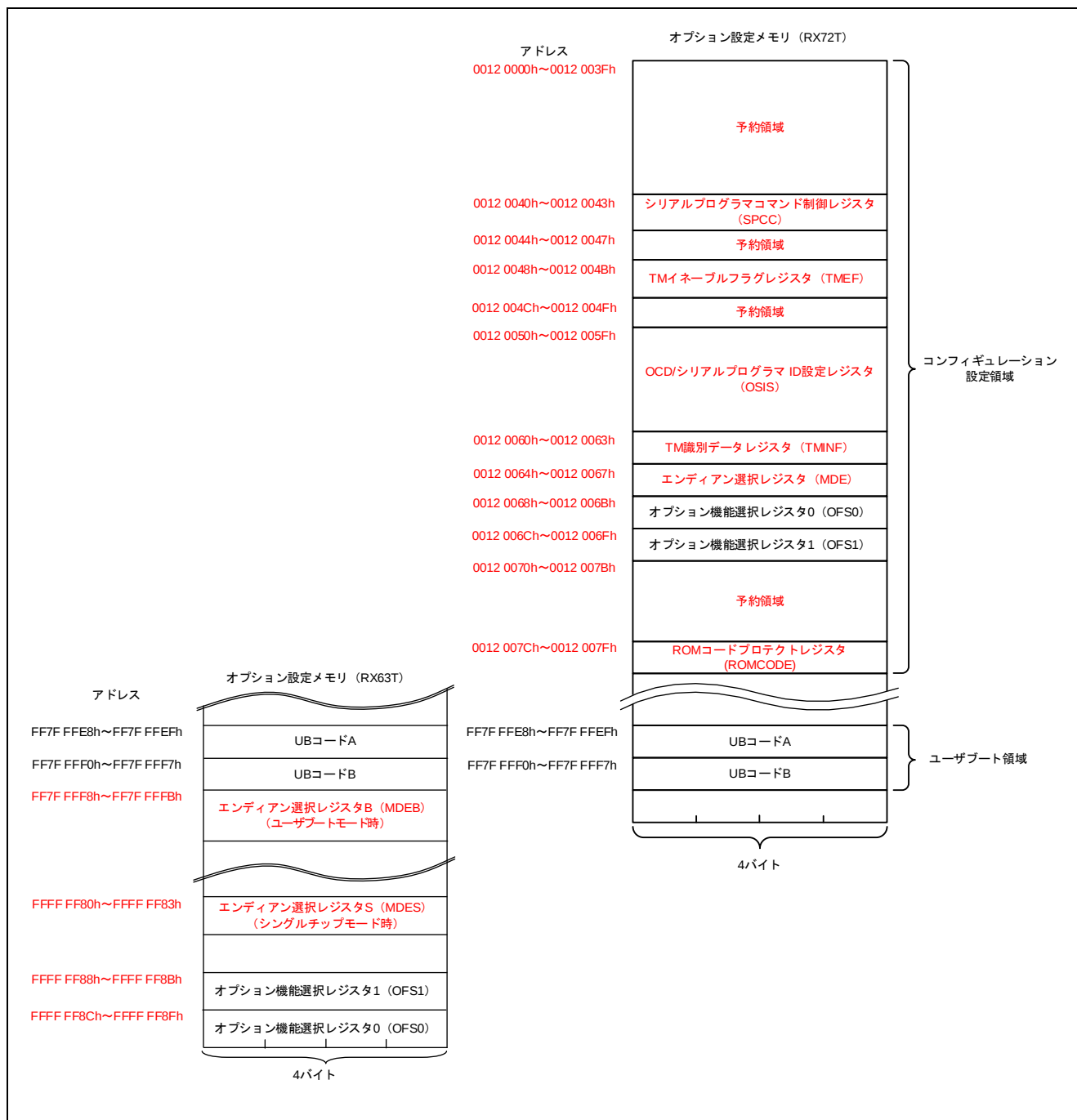


図 2.4 オプション設定メモリ領域比較

表 2.5 オプション設定メモリのレジスタ比較

レジスタ	ビット	RX63T	RX72T(OFSM)
SPCC	-	-	シリアルプログラマコマンド制御レジスタ
OSIS	-	-	OCD/シリアルプログラマ ID 設定レジスタ
OFS0	IWDRSTIRQS	IWDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求を許可 1 : リセットを許可	IWDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、 または割り込み要求 を許可 1 : リセットを許可
	WDRSTIRQS	WDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求を許可 1 : リセットを許可	WDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、 または割り込み要求 を許可 1 : リセットを許可
OFS1	VDSEL	-	電圧検出 0 レベル選択ビット
	HOCOEN	-	HOCO 発振有効ビット
MDES	-	エンディアン選択レジスタ S (シングルチップモード時)	-
MDEB	-	エンディアン選択レジスタ B (ユーザブートモード時)	-
MDE	-	-	エンディアン選択レジスタ
TMEF	-	-	TM イネーブルフラグレジスタ
TMINF	-	-	TM 識別データレジスタ
ROMCODE	-	-	ROM コードプロテクトレジスタ

2.5 電圧検出回路

表 2.6 に電圧検出回路の概要比較を、表 2.7 に電圧検出回路のレジスタ比較を示します。

また、表 2.8 に Vdet1 のモニタの設定手順比較を、表 2.9 に Vdet2 のモニタの設定手順比較を、表 2.10 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順比較を、表 2.11 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順比較を示します。

表 2.6 電圧検出回路の概要比較

項目		RX63T(LVDA)			RX72T(LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	1 レベル固定	LVDLVLR. LVD1LVL[3:0] ビットで指定 【144/120/112/100 ピン版の場合】 3 レベルから選択可能 【64/48 ピン版の場合】 1 レベル固定	LVDLVLR. LVD2LVL[3:0] ビットで指定 【144/120/112/100 ピン版の場合】 3 レベルから選択可能 【64/48 ピン版の場合】 1 レベル固定	OFS1.VDSEL [1:0] ビットで 2 レベルから選択可能	LVDLVLR. LVD1LVL[3:0] ビットで 5 レベルから選択可能	LVDLVLR. LVD2LVL[3:0] ビットで 5 レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MON フラグ： Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ： Vdet1 通過検出	LVD2SR.LVD2MON フラグ： Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ： Vdet2 通過検出	なし	LVD1SR.LVD1MON フラグ： Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ： Vdet1 通過検出	LVD2SR.LVD2MON フラグ： Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ： Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能

項目		RX63T(LVDA)			RX72T(LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
電圧検出時の処理	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスカブル割り込み	ノンマスカブル割り込み		ノンマスカブル割り込み、 またはマスカブル割り込み を選択可能	ノンマスカブル割り込み、 またはマスカブル割り込み を選択可能
			Vdet1 > VCC、 VCC > Vdet1 の両方、または どちらかで 割り込み要求	Vdet2 > VCC、 VCC > Vdet2 の両方、または どちらかで割り 込み要求		Vdet1 > VCC、 VCC > Vdet1 の両方、またはど ちらかで割り 込み要求	Vdet2 > VCC、 VCC > Vdet2 の両方、またはど ちらかで割り 込み要求
デジタル フィルタ	有効/無効切り替え	デジタル フィルタ機能なし	あり	あり	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	-	LOCO の n 分周×2 (n : 1, 2, 4, 8)	LOCO の n 分周×2 (n : 1, 2, 4, 8)	-	LOCO の n 分 周×2 (n : 2,4,8,16)	LOCO の n 分 周×2 (n : 2,4,8,16)
イベントリンク機能		-	-	-	なし	あり Vdet 通過検出 イベント出力	あり Vdet 通過検出 イベント出力

表 2.7 電圧検出回路のレジスタ比較

レジスタ	ビット	RX63T(LVDA)		RX72T(LVDA)
		144/120/112/100 ピン版	64/48 ピン版	
LVD1CR1	LVD1IRQSEL	-		電圧監視 1 割り込み 種類選択ビット
LVD2CR1	LVD2IRQSEL	-		電圧監視 2 割り込み 種類選択ビット
LVDLVL	LVD1LVL[3:0]	電圧検出 1 レベル選択 ビット (電圧下降時の標準電圧) [3V 版の場合] b3 b0 1 0 0 0 : 2.90V 1 0 0 1 : 2.85V 1 0 1 0 : 2.88V 上記以外は設定しないで ください [5V 版の場合] b3 b0 1 0 0 0 : 4.77V 1 0 0 1 : 4.23V 1 0 1 0 : 4.50V 上記以外は設定しないで ください	電圧検出 1 レベル選択 ビット (電圧下降時の標準電圧) b3 b0 1 0 1 0 : 2.95V 上記以外は設定しないで ください	電圧検出 1 レベル選択ビッ ト (電圧下降時の標準電圧) b3 b0 0 1 0 0 : 4.57V (Vdet1_0) 0 1 0 1 : 4.47V (Vdet1_1) 0 1 1 0 : 4.32V (Vdet1_2) 1 0 1 0 : 2.93V (Vdet1_3) 1 0 1 1 : 2.88V (Vdet1_4) 上記以外は設定しないでく ださい
	LVD2LVL[3:0]	電圧検出 2 レベル選択 ビット (電圧下降時の標準電圧) [3V 版の場合] b7 b4 1 0 0 0 : 2.90V 1 0 0 1 : 2.85V 1 0 1 0 : 2.88V 上記以外は設定しないで ください [5V 版の場合] b7 b4 1 0 0 0 : 4.77V 1 0 0 1 : 4.23V 1 0 1 0 : 4.50V 上記以外は設定しないで ください	電圧検出 2 レベル選択 ビット (電圧下降時の標準電圧) b7 b4 1 0 1 0 : 2.95V 上記以外は設定しないで ください	電圧検出 2 レベル選択ビッ ト (電圧下降時の標準電圧) b7 b4 0 1 0 0 : 4.57V (Vdet2_0) 0 1 0 1 : 4.47V (Vdet2_1) 0 1 1 0 : 4.32V (Vdet2_2) 1 0 1 0 : 2.93V (Vdet2_3) 1 0 1 1 : 2.88V (Vdet2_4) 上記以外は設定しないでく ださい
LVD1CR0	LVD1FSAMP [1:0]	サンプリングクロック 選択ビット b5 b4 0 0 : LOCO の 1 分周 0 1 : LOCO の 2 分周 1 0 : LOCO の 4 分周 1 1 : LOCO の 8 分周		サンプリングクロック 選択ビット b5 b4 0 0 : LOCO の 2 分周 0 1 : LOCO の 4 分周 1 0 : LOCO の 8 分周 1 1 : LOCO の 16 分周

レジスタ	ビット	RX63T(LVDA)		RX72T(LVDA)
		144/120/112/100 ピン版	64/48 ピン版	
LVD2CR0	LVD2FSAMP [1:0]	サンプリングクロック選択ビット		サンプリングクロック 選択ビット
		b5 b4		b5 b4
		0 0 : LOCO の 1 分周		0 0 : LOCO の 2 分周
		0 1 : LOCO の 2 分周		0 1 : LOCO の 4 分周
		1 0 : LOCO の 4 分周		1 0 : LOCO の 8 分周
		1 1 : LOCO の 8 分周		1 1 : LOCO の 16 分周

表 2.8 Vdet1 のモニタの設定手順比較

項目		RX63T(LVDA)	RX72T(LVDA)
Vdet1 のモニタの設定手順	1	LVDLVLRL.VLD1LVL[3:0]ビットで検出電圧を設定する	LVDLVLRL.VLD1LVL[3:0]ビットで検出電圧を選択する
	2	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD1CR0.LVD1DFDIS ビットを“1” (デジタルフィルタ無効)にする	LVCMPCR.LVD1E = 1 (電圧検出 1 回路有効)にする
	3	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可)にする	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時)以上待つ
	4	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 - (手順なし)
	5	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS ビットを“0” (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)
	6	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1, 2, 4, 8 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)
	7	LVCMPCR.LVD1E ビットを“1” (電圧検出 1 回路有効)にする	LVD1CR0.LVD1CMPE = 1 (電圧監視 1 回路比較結果出力許可)にする

表 2.9 Vdet2 のモニタの設定手順比較

項目		RX63T(LVDA)	RX72T(LVDA)
Vdet2 のモニタの設定手順	1	LVDLVLR.LVD2LVL [3:0]ビットで検出電圧を設定する	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を選択する
	2	- デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP [1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD2CR0.LVD2DFDIS ビットを“1” (デジタルフィルタ無効)にする	LVCMPCR.LVD2E = 1 (電圧検出 2 回路有効)にする
	3	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可)にする	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時)以上待つ
	4	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 - (手順なし)
	5	- デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS ビットを“0” (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)
	6	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1, 2, 4, 8 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)
	7	LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効)にする	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可)にする

表 2.10 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順比較

項目		RX63T(LVDA)	RX72T(LVDA)
電圧監視 1 割り込み関連ビットの動作設定手順	1	LVDLVLRLVD1LVL[3:0]ビットで検出電圧を設定する	LVDLVLRLVD1LVL[3:0]ビットで検出電圧を選択する
	2	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD1CR0.LVD1DFDIS ビットを“1” (デジタルフィルタ無効)にする	LVCMPCR.LVD1E = 1 (電圧検出 1 回路有効)にする
	3	LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み)にする	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時)以上待つ
	4	LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	-
	5	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可)にする	-
	6	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 - (手順なし)
	7	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS ビットを“0” (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)
	8	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=1, 2, 4, 8 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n=2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)
	9	-	LVD1CR0.LVD1RI = 0 (電圧監視 1 割り込み)にする

項目		RX63T(LVDA)	RX72T(LVDA)
電圧監視 1 割り込み関連ビットの動作設定手順	10	-	- LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する - LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する
	11	LVD1SR.LVD1DET フラグを “0” にする	LVD1SR.LVD1DET = 0 にする
	12	LVD1CR0.LVD1RIE ビットを “1” (電圧監視 1 割り込み/リセット許可) にする	LVD1CR0.LVD1RIE = 1 (電圧監視 1 割り込み/リセット許可)にする
	13	LVCMPPCR.LVD1E ビットを “1” (電圧検出 1 回路有効)にする	LVD1CR0.LVD1CMPE = 1 (電圧監視 1 回路比較結果出力許可)にする
電圧監視 1 リセット関連ビットの動作設定手順	1	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を設定する	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を選択する
	2	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD1CR0.LVD1DFDIS ビットを “1” (デジタルフィルタ無効) にする	LVCMPPCR.LVD1E = 1 (電圧検出 1 回路有効)にする
	3	- LVD1CR0.LVD1RI ビットを “1” (電圧監視 1 リセット)にする - LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時)以上待つ
	4	LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可)にする	-
	5	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 - (手順なし)
	6	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS ビットを “0” (デジタルフィルタ有効) にする - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)

項目		RX63T(LVDA)	RX72T(LVDA)
電圧監視 1 リセット関連ビットの動作設定手順	7	- デジタルフィルタを使用する場合 LOCO の $2n+3$ サイクル以上待つ ($n=1, 2, 4, 8$: デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LOCO の $2n+3$ サイクル以上待つ ($n=2, 4, 8, 16$: デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)
	8	-	- LVD1CR0.LVD1RI = 1 (電圧監視 1 リセット)にする - LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
	9	-	LVD1SR.LVD1DET = 0 にする
	10	LVD1CR0.LVD1RIE ビットを “1” (電圧監視 1 割り込み/リセット許可)にする	LVD1CR0.LVD1RIE = 1 (電圧監視 1 割り込み/リセット許可)にする
	11	LVCMPPCR.LVD1E ビットを “1” (電圧検出 1 回路有効)にする	LVD1CR0.LVD1CMPE = 1 (電圧監視 1 回路比較結果出力許可)にする
電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順	1	LVCMPPCR.LVD1E ビットを “0” (電圧検出 1 回路無効)にする	LVD1CR0.LVD1CMPE = 0 (電圧監視 1 回路比較結果出力禁止)にする
	2	LOCO の 1 サイクル以上待つ	LOCO の $2n+3$ サイクル以上待つ ($n=2, 4, 8, 16$: デジタルフィルタのサンプリングクロック = LOCO の n 分周)
	3	LVD1CR0.LVD1RIE ビットを “0” (電圧監視 1 割り込み/リセット禁止)にする	LVD1CR0.LVD1RIE = 0 (電圧監視 1 割り込み/リセット禁止)にする
	4	LVD1CR0.LVD1CMPE ビットを “0” (電圧監視 1 回路比較結果出力禁止)にする	LVD1CR0.LVD1DFDIS = 1 (デジタルフィルタ無効)にする
	5	LVCMPPCR.LVD1E ビット、LVD1CR0.LVD1CMPE, LVD1RIE ビットを除く電圧検出回路関連レジスタの設定を変更する	LVCMPPCR.LVD1E = 0 (電圧検出 1 回路無効)にする

表 2.11 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順比較

項目		RX63T(LVDA)	RX72T(LVDA)
電圧監視 2 割り込み関連ビットの動作設定手順	1	LVDLVLRL.VLD2LVL[3:0]ビットで検出電圧を設定する	LVDLVLRL.VLD2LVL[3:0]ビットで検出電圧を選択する
	2	- デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 LVD2CR0.LVD2DFDIS ビットを“1” (デジタルフィルタ無効)にする	LVCMPCR.LVD2E = 1 (電圧検出 2 回路有効)にする
	3	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み)にする	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時)以上待つ
	4	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	-
	5	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可)にする	-
	6	- デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 - (手順なし)
	7	- デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS ビットを“0” (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 - (手順なし)
	8	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ(n=1, 2, 4, 8 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ(n=2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)
	9	-	LVD2CR0.LVD2RI = 0 (電圧監視 2 割り込み)にする

項目		RX63T(LVDA)	RX72T(LVDA)
電圧監視 2 割り込み関連ビットの動作設定手順	10	-	● LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する ● LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する
	11	LVD2SR.LVD2DET フラグを“0”にする	LVD2SR.LVD2DET = 0 にする
	12	LVD2CR0.LVD2RIE ビットを“1”(電圧監視 2 割り込み/リセット許可)にする	LVD2CR0.LVD2RIE = 1 (電圧監視 2 割り込み/リセット許可)にする
	13	LVCMPPCR.LVD2E ビットを“1”(電圧検出 2 回路有効)にする	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可)にする
電圧監視 2 リセット関連ビットの動作設定手順	1	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を設定する	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を選択する
	2	● デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する ● デジタルフィルタを使用しない場合 LVD2CR0.LVD2DFDIS ビットを“1”(デジタルフィルタ無効)にする	LVCMPPCR.LVD2E = 1 (電圧検出 2 回路有効)にする
	3	● LVD2CR0.LVD2RI ビットを“1”(電圧監視 2 リセット)にする ● LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時)以上待つ
	4	LVD2CR0.LVD2CMPE ビットを“1”(電圧監視 2 回路比較結果出力許可)にする	-
	5	● デジタルフィルタを使用する場合 LOCO の 1 サイクル以上待つ ● デジタルフィルタを使用しない場合 - (手順なし)	● デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する ● デジタルフィルタを使用しない場合 - (手順なし)
	6	● デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS ビットを“0”(デジタルフィルタ有効)にする ● デジタルフィルタを使用しない場合 - (手順なし)	● デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする ● デジタルフィルタを使用しない場合 - (手順なし)

項目		RX63T(LVDA)	RX72T(LVDA)
電圧監視 2 リセット関連ビットの動作設定手順	7	- デジタルフィルタを使用する場合 LOCO の $2n+3$ サイクル以上待つ ($n=1, 2, 4, 8$: デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)	- デジタルフィルタを使用する場合 LOCO の $2n+3$ サイクル以上待つ ($n=2, 4, 8, 16$: デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 - (手順なし)
	8	-	- LVD2CR0.LVD2RI = 1 (電圧監視 2 リセット)にする - LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する
	9	-	LVD2SR.LVD2DET = 0 にする
	10	LVD2CR0.LVD2RIE ビットを “1” (電圧監視 2 割り込み/リセット許可)にする	LVD2CR0.LVD2RIE = 1 (電圧監視 2 割り込み/リセット許可)にする
	11	LVCMPPCR.LVD2E ビットを “1” (電圧検出 2 回路有効)にする	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可)にする
電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順	1	LVCMPPCR.LVD2E ビットを “0” (電圧検出 2 回路無効)にする	LVD2CR0.LVD2CMPE = 0 (電圧監視 2 回路比較結果出力禁止)にする
	2	LOCO の 1 サイクル以上待つ	LOCO の $2n+3$ サイクル以上待つ ($n=2, 4, 8, 16$: デジタルフィルタのサンプリングクロック = LOCO の n 分周)
	3	LVD2CR0.LVD2RIE ビットを “0” (電圧監視 2 割り込み/リセット禁止)にする	LVD2CR0.LVD2RIE = 0 (電圧監視 2 割り込み/リセット禁止)にする
	4	LVD2CR0.LVD2CMPE ビットを “0” (電圧監視 2 回路比較結果出力禁止)にする	LVD2CR0.LVD2DFDIS = 1 (デジタルフィルタ無効)にする
	5	LVCMPPCR.LVD2E ビット、LVD2CR0.LVD2CMPE, LVD2RIE ビットを除く電圧検出回路関連レジスタの設定を変更する	LVCMPPCR.LVD2E = 0 (電圧検出 2 回路無効)にする

2.6 クロック発生回路

表 2.12 にクロック発生回路の概要比較を、表 2.13 にクロック発生回路のレジスタ比較を示します。

表 2.12 クロック発生回路の概要比較

項目	RX63T		RX72T
	144/120/112/100 ピン版	64/48 ピン版	
用途	● CPU、DMAC、DTC、ROM および RAM に供給されるシステムクロック(ICLK)の生成 ● MTU3、GPT、DPC に供給される周辺モジュールクロック(PCLKA)の生成 ● 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 ● AD に供給される AD 用クロック(PCLKC)の生成 ● S12AD に供給される S12AD 用クロック(PCLKD)の生成 ● FlashIF に供給される FlashIF クロック(FCLK)の生成 ● 外部バスに供給される外部バスクロック(BCLK)の生成 ● USB に供給される USB クロック(UCLK)の生成 ● CAC に供給される CAC クロック(CACMCLK)の生成 ● CAN に供給される CAN クロック(CANMCLK)の生成 ● IWDTC に供給される IWDTC 専用クロック(IWDTCCLK)の生成		● CPU、DMAC、DTC、コードフラッシュメモリおよび RAM に供給されるシステムクロック(ICLK)の生成 ● RSPI、SCli、MTU3 (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)に供給される周辺モジュールクロック(PCLKA)の生成 ● 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 ● MTU3 と GPTW に供給される周辺モジュールのカウンタ基準クロック、HRPWM の基準クロック(PCLKC)の生成 ● S12AD に供給される周辺モジュール (アナログ変換用)クロック(PCLKD)の生成 ● FlashIF に供給される FlashIF クロック(FCLK)の生成 ● 外部バスに供給される外部バスクロック(BCLK)の生成 ● USBb に供給される USB クロック(UCLK)の生成 ● CAC に供給される CAC クロック(CACCLK)の生成 ● CAN に供給される CAN クロック(CANMCLK)の生成 ● IWDTC に供給される IWDTC 専用クロック(IWDTCCLK)の生成
動作周波数	● ICLK : 100MHz (max) ● PCLKA : 100MHz (max) ● PCLKB : 50MHz (max) ● PCLKC : 100MHz (max) ● PCLKD : 50MHz (max) ● FCLK : —4MHz~50MHz (ROM、E2 データフラッシュ P/E 時) —50MHz (max) (E2 データフラッシュ読み出し時) ● BCLK : 50MHz (max) ● BCLK 端子出力 : 50MHz (max) ● UCLK : 48MHz (max) ● CACMCLK : 各発振器のクロックと同じ ● CANMCLK : 14MHz (max) ● IWDTCCLK : 125kHz		● ICLK : 200MHz (max) ● PCLKA : 120MHz (max) ● PCLKB : 60MHz (max) ● PCLKC : 200MHz (max) ● PCLKD : 8MHz~60MHz (12 ビット A/D コンバータ変換時) ● FCLK : —4MHz~60MHz (コードフラッシュメモリ、データフラッシュメモリ P/E 時) —60MHz (max) (データフラッシュメモリ読み出し時) ● BCLK : 60MHz (max) ● BCLK 端子出力 : 40MHz (max) ● UCLK : 48MHz (max) ● CACCLK : 各発振器のクロックと同じ ● CANMCLK : 24MHz (max) ● IWDTCCLK : 120kHz

項目	RX63T		RX72T
	144/120/112/100 ピン版	64/48 ピン版	
メインクロック 発振器	- 発振子周波数 : 8MHz~12.5MHz - 外部クロック入力周波数 : 14MHz (max) - 接続できる発振子または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL, XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU 端子、および GPT の端子をハイインピーダンスにする機能	- 発振子周波数 : 4MHz~16MHz - 外部クロック入力周波数 : 20MHz (max) - 接続できる発振子または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL, XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU 端子、および GPT の端子をハイインピーダンスにする機能	- 発振子周波数 : 8MHz~24MHz - 外部クロック入力周波数 : 24MHz (max) - 接続できる発振子または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL, XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU3、GPTW の端子をハイインピーダンスにする機能
PLL 周波数 シンセサイザ	- 入力クロックソース : メインクロック - 入力分周比 : 1, 2, 4 分周から選択可能 - 入力周波数 : 8MHz~12.5MHz - 通倍比 : 8, 10, 12, 16, 20, 24, 25, 50 通倍から選択可能 VCO 発振周波数 : 104MHz~200MHz	- 入力クロックソース : メインクロック - 入力分周比 : 1, 2, 4 分周から選択可能 - 入力周波数 : 4MHz~16MHz - 通倍比 : 8, 10, 12, 16, 20, 24, 25, 50 通倍から選択可能 VCO 発振周波数 : 104MHz~200MHz	- 入力クロックソース : メインクロック、HOCO - 入力分周比 : 1, 2, 3 分周から選択可能 - 入力周波数 : 8MHz~24MHz - 通倍比 : 10~30 通倍(0.5 刻み)から選択可能 - PLL 周波数シンセサイザ出力クロック周波数 : 120MHz~240MHz
高速オンチップオシレータ(HOCO)	-		- 発振周波数 : 16MHz, 18MHz, 20MHz から選択可能 HOCO 電源制御
低速オンチップオシレータ(LOCO)	発振周波数 : 125kHz		発振周波数 : 240kHz
IWDT 専用 オンチップ オシレータ	発振周波数 : 125kHz		発振周波数 : 120kHz
BCLK 端子の 出力制御機能	- BCLK クロック出力または High 出力の選択が可能 - 出力するクロックは BCLK または BCLK の 2 分周の選択が可能		- BCLK クロック出力または High 出力の選択が可能 - 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
イベントリンク機能 (出力)	-		メインクロック発振器の発振停止検出
イベントリンク機能 (入力)	-		低速オンチップオシレータへのクロックソース切り替え

表 2.13 クロック発生回路のレジスタ比較

レジスタ	ビット	RX63T	RX72T
MEMWAIT	-	-	メモリウェイトサイクル設定レジスタ
SCKCR2	UCK[3:0]	USB クロック(UCLK)選択ビット b7 b4 0001: 2分周 0010: 3分周 0011: 4分周 USB を使用する場合、上記以外は設定しないでください。USB を使用しない場合は、読むと“0001b”が読めます。書く場合、“0001b”としてください	USB クロック(UCLK)選択ビット b7 b4 0001: 2分周 0010: 3分周 0011: 4分周 0100: 5分周 USB を使用する場合、上記以外は設定しないでください。USB を使用しない場合、読むと“0001b”が読めます。書く場合、“0001b”としてください
SCKCR3	CKSEL[2:0]	クロックソース選択ビット b10 b8 000: LOCO 選択 010: メインクロック発振器選択 100: PLL 回路選択 上記以外は設定しないでください	クロックソース選択ビット b10 b8 000: LOCO 選択 001: HOCO 選択 010: メインクロック発振器選択 100: PLL 回路選択 上記以外は設定しないでください
PLLCR	PLIDIV[1:0]	PLL 入力分周比選択ビット b1 b0 00: 1分周 01: 2分周 10: 4分周 11: 設定しないでください	PLL 入力分周比選択ビット b1 b0 00: 1分周 01: 2分周 10: 3分周 11: 設定しないでください
	PLLSRCSEL	-	PLL クロックソース選択ビット
	STC[5:0]	周波数通倍率設定ビット b13 b8 000111: ×8 001001: ×10 001011: ×12 001111: ×16 010011: ×20 010111: ×24 011000: ×25 110001: ×50 上記以外は設定しないでください	周波数通倍率設定ビット b13 b8 010011: ×10.0 010100: ×10.5 010101: ×11.0 010110: ×11.5 010111: ×12.0 011000: ×12.5 . . . 111001: ×29.0 111010: ×29.5 111011: ×30.0 上記以外は設定しないでください
HOCOCCR	-	-	高速オンチップオシレータ コントロールレジスタ
HOCOCCR2	-	-	高速オンチップオシレータ コントロールレジスタ 2
OSCOVFSR	-	-	発振安定フラグレジスタ

レジスタ	ビット	RX63T	RX72T
MOSCWTCR	-	消費電力低減機能の章に記載	メインクロック発振器ウェイト コントロールレジスタ
MOFCR	MOFXIN	メインクロック発振器強制発振 ビット	-
	MODRV2[1:0]	-	メインクロック発振器ドライブ 能力 2 切り替えビット
	MOSEL	-	メインクロック発振器切り替え ビット
HOCOPCR	-	-	高速オンチップオシレータ電源 コントロールレジスタ

2.7 クロック周波数精度測定回路

表 2.14 にクロック周波数精度測定回路の概要比較を、表 2.15 にクロック周波数精度測定回路のレジスタ比較を示します。

表 2.14 クロック周波数精度測定回路の概要比較

項目	RX63T(CAC)	RX72T(CAC)
測定対象クロック	以下のクロックの周波数を測定可能 - メインクロック発振器出力クロック (CACMCLK) - IWDT 専用クロック (IWDTCLK) - 周辺モジュールクロック (PCLK)	以下のクロックの周波数を測定可能 - メインクロック - HOCO クロック - LOCO クロック - IWDTCLK クロック - 周辺モジュールクロック B (PCLKB)
測定基準クロック	- 外部から CACREF 端子に入力したクロック - メインクロック発振器出力クロック (CACMCLK) - IWDT 専用クロック (IWDTCLK) - 周辺モジュールクロック (PCLK)	- 外部から CACREF 端子に入力したクロック - メインクロック - HOCO クロック - LOCO クロック - IWDTCLK クロック - 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能	デジタルフィルタ機能
割り込み要因	- 測定終了割り込み - 周波数エラー割り込み - オーバフロー	- 測定終了割り込み - 周波数エラー割り込み - オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.15 クロック周波数精度測定回路のレジスタ比較

レジスタ	ビット	RX63T(CAC)	RX72T(CAC)
CACR1	FMCS[2:0]	周波数測定クロック選択ビット b3 b1 000: メインクロック発振器出力クロック (CACMCLK) 001: 設定しないでください 010: 設定しないでください 011: 設定しないでください 100: IWDTC専用クロック(IWDTCCLK) 101: 周辺モジュールクロック (PCLK) 110: 設定しないでください 111: 設定しないでください	測定対象クロック選択ビット b3 b1 000: メインクロック 010: HOCO クロック 011: LOCO クロック 100: IWDTCCLK クロック 101: 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください
CACR2	RSCS[2:0]	基準信号生成クロック選択ビット b3 b1 000: メインクロック発振器出力クロック(CACMCLK) 001: 設定しないでください 010: 設定しないでください 011: 設定しないでください 100: IWDTC専用クロック(IWDTCCLK) 101: 周辺モジュールクロック (PCLK) 110: 設定しないでください 111: 設定しないでください	測定基準クロック選択ビット b3 b1 000: メインクロック 010: HOCO クロック 011: LOCO クロック 100: IWDTCCLK クロック 101: 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください

2.8 消費電力低減機能

表 2.16 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.17 に消費電力低減機能のレジスタ比較を示します。

表 2.16 各モードにおける遷移および解除方法と動作状態の比較

モード	遷移および解除方法と 動作状態	RX63T	RX72T
スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作可能	動作可能
	高速オンチップオシレータ	-	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	動作可能	動作可能
	CPU	停止(保持)	停止(保持)
	内蔵 RAM0 (0000 0000h~0000 BFFFh) :RX63T RAM、ECCRAM :RX72T	動作可能(保持)	動作可能(保持)
	フラッシュメモリ	動作	動作
	USB2.0 ホスト/ファンクションモジュール (USBa):RX63T、(USBb):RX72T	動作可能	動作可能
	ウォッチドッグタイマ(WDTA)	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDTa)	動作可能	動作可能
	ポートアウトブットイネーブル (POE3):RX63T、(POE3B):RX72T	動作可能	動作可能
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	動作可能
	電圧検出回路(LVDA)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作可能	動作可能
	I/O ポート	動作	動作
全モジュール クロックストップ モード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作可能	動作可能
	高速オンチップオシレータ	-	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	動作可能	動作可能
	CPU	停止(保持)	停止(保持)
	内蔵 RAM0 (0000 0000h~0000 BFFFh) :RX63T RAM、ECCRAM :RX72T	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	USB2.0 ホスト/ファンクション モジュール (USBa):RX63T、(USBb):RX72T	停止	停止
	ウォッチドッグタイマ(WDTA)	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDTa)	動作可能	動作可能

モード	遷移および解除方法と動作状態	RX63T	RX72T
全モジュール クロックストップ モード	ポートアウトブッティネーブル (POE3):RX63T、(POE3B):RX72T	動作可能 (注1)	動作可能 (注1)
	8ビットタイマ(ユニット 0, 1) (TMR)	-	動作可能
	電圧検出回路(LVDA)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
ソフトウェア スタンバイ モード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作可能	停止
	高速オンチップオシレータ	-	停止
	低速オンチップオシレータ	停止	停止
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	停止	停止
	CPU	停止(保持)	停止(保持)
	内蔵 RAM0 (0000 0000h~0000 BFFFh) :RX63T RAM、ECCRAM :RX72T	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	USB2.0 ホスト/ファンクションモジュール (USBa):RX63T、(USBb):RX72T	停止	停止
	ウォッチドッグタイマ(WDTA)	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDTa)	動作可能	動作可能
	ポートアウトブッティネーブル (POE3):RX63T、(POE3B):RX72T	停止(保持)	停止(保持)
	8ビットタイマ(ユニット 0, 1) (TMR)	-	停止(保持)
	電圧検出回路(LVDA)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
ディープソフト ウェア スタンバイ モード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (リセット処理)	プログラム実行状態 (リセット処理)
	メインクロック発振器	動作可能	停止
	高速オンチップオシレータ	-	停止
	低速オンチップオシレータ	停止	停止
	IWDT 専用オンチップオシレータ	停止(不定)	停止(不定)
	PLL	停止	停止
	CPU	停止(不定)	停止(不定)
	内蔵 RAM0 (0000 0000h~0000 BFFFh) :RX63T RAM、ECCRAM :RX72T	停止(不定)	停止(不定)
	フラッシュメモリ	停止(保持)	停止(保持)
	USB2.0 ホスト/ファンクションモジュール (USBa):RX63T、(USBb):RX72T	停止(不定)	停止(不定)
	ウォッチドッグタイマ(WDTA)	停止(不定)	停止(不定)
	独立ウォッチドッグタイマ(IWDTa)	停止(不定)	停止(不定)

モード	遷移および解除方法と動作状態	RX63T	RX72T
ディープソフトウェースタンバイモード	ポートアウトプットイネーブル (POE3):RX63T、(POE3B):RX72T	停止(不定)	停止(不定)
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	停止(不定)
	電圧検出回路(LVDA)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(不定)	停止(不定)
	I/O ポート	保持	保持

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

注 1. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

表 2.17 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX63T	RX72T
MSTPCRA	MSTPA2	-	8 ビットタイマ 7, 6 (ユニット 3) モジュールストップ設定ビット
	MSTPA3	-	8 ビットタイマ 5, 4 (ユニット 2) モジュールストップ設定ビット
	MSTPA4	-	8 ビットタイマ 3, 2 (ユニット 1) モジュールストップ設定ビット
	MSTPA5	-	8 ビットタイマ 1, 0 (ユニット 0) モジュールストップ設定ビット
	MSTPA6	汎用 PWM タイマ(ユニット 1) モジュールストップ設定ビット	-
	MSTPA7	汎用 PWM タイマ(ユニット 0) モジュールストップ設定ビット	汎用 PWM タイマ/高分解能 PWM/GPTW 専用ポートアウトプットイネーブルモジュールストップ設定ビット
	MSTPA19	D/A コンバータ モジュールストップ設定ビット	12 ビット D/A コンバータ モジュールストップ設定ビット
	MSTPA23	10 ビット A/D コンバータ モジュールストップ設定ビット	12 ビット A/D コンバータ (ユニット 2) モジュールストップ設定ビット
	MSTPA24	12 ビット A/D コンバータ制御部 モジュールストップ設定ビット	モジュールストップ A24 設定ビット
MSTPCRB	MSTPB0	-	CAN モジュール 0 モジュールストップ設定ビット
	MSTPB1	CAN モジュール 1 モジュールストップ設定ビット	-
	MSTPB9	-	イベントリンクコントローラ モジュールストップ設定ビット
	MSTPB10	-	コンパレータ C モジュールストップ設定ビット
	MSTPB16	シリアルペリフェラルインタフェース 1 モジュールストップ設定ビット	-

レジスタ	ビット	RX63T	RX72T
MSTPCRB	MSTPB20	I ² C バスインタフェース 1 モジュールストップ設定ビット	-
	MSTPB25	-	シリアルコミュニケーション インタフェース 6 モジュール ストップ設定ビット
	MSTPB26	-	シリアルコミュニケーション インタフェース 5 モジュール ストップ設定ビット
	MSTPB28	シリアルコミュニケーション インタフェース 3 モジュール ストップ設定ビット	-
	MSTPB29	シリアルコミュニケーション インタフェース 2 モジュール ストップ設定ビット	-
	MSTPB31	シリアルコミュニケーション インタフェース 0 モジュール ストップ設定ビット	-
MSTPCRC	MSTPC6	-	ECCRAM モジュールストップ設定ビット
	MSTPC24	-	シリアルコミュニケーション インタフェース 11 モジュールストップ設定ビット
	MSTPC26	-	シリアルコミュニケーション インタフェース 9 モジュールストップ設定ビット
	MSTPC27	-	シリアルコミュニケーション インタフェース 8 モジュールストップ設定ビット
	MSTPC31	デジタル電源制御回路 モジュールストップ設定ビット	-
MSTPCRD	-	-	モジュールストップコントロール レジスタ D
RSTCKCR	-	-	スリープモード復帰クロック ソース切り替えレジスタ
MOSCWTCR	-	メインクロック発振器 ウェイトコントロールレジスタ	クロック発生回路の章に記載
PLLWTCR	-	PLL ウェイトコントロール レジスタ	-
DPSIER1	-	-	ディープスタンバイインタラプト イネーブルレジスタ 1
DPSIFR1	-	-	ディープスタンバイインタラプト フラグレジスタ 1
DPSIEGR1	-	-	ディープスタンバイインタラプト エッジレジスタ 1

2.9 レジスタライトプロテクション機能

表 2.18 にレジスタライトプロテクション機能の概要比較を示します。

表 2.18 レジスタライトプロテクション機能の概要比較

項目	RX63T	RX72T
PRC0 ビット	クロック発生回路関連レジスタ SCKCR, SCKCR2, SCKCR3, PLLCR, PLLCR2, BCKCR, MOSCCR, LOCOCR, ILOCOCR, OSTDCR, OSTDSR	クロック発生回路関連レジスタ SCKCR, SCKCR2, SCKCR3, PLLCR, PLLCR2, BCKCR, MOSCCR, LOCOCR, ILOCOCR, HOCOCCR, HOCOCCR2, OSTDCR, OSTDSR
PRC1 ビット	- 動作モード関連レジスタ SYSCR0, SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MOSCWTCR, PLLWTCR, DPSBYCR, DPSIER0, DPSIER2, DPSIFR0, DPSIFR2, DPSIEGR0, DPSIEGR2 - クロック発生回路関連レジスタ MOFCR - ソフトウェアリセットレジスタ SWRR	- 動作モード関連レジスタ SYSCR0, SYSCR1, VOLSR - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, RSTCKCR, DPSBYCR, DPSIER0, DPSIER1, DPSIER2, DPSIFR0, DPSIFR1, DPSIFR2, DPSIEGR0, DPSIEGR1, DPSIEGR2 - クロック発生回路関連レジスタ MOSCWTCR, MOFCR, HOCOPCR - ソフトウェアリセットレジスタ SWRR
PRC3 ビット	LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR	LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

2.10 例外処理

表 2.19 にベクタ比較を、表 2.20 に例外処理ルーチンからの復帰命令比較を示します。

表 2.19 ベクタ比較

項目		RX63T	RX72T
未定義命令例外		固定ベクタテーブル	例外ベクタテーブル(EXTB)
特権命令例外		固定ベクタテーブル	例外ベクタテーブル(EXTB)
アクセス例外		固定ベクタテーブル	例外ベクタテーブル(EXTB)
浮動小数点例外(RX63T) / 単精度浮動小数点例外(RX72T)		固定ベクタテーブル	例外ベクタテーブル(EXTB)
リセット		固定ベクタテーブル	例外ベクタテーブル(EXTB)
ノンマスカブル割り込み		固定ベクタテーブル	例外ベクタテーブル(EXTB)
割り込み	高速割り込み	FINTV	FINTV
	高速割り込み以外	可変ベクタテーブル (INTB)	割り込みベクタテーブル(INTB)
無条件トラップ		可変ベクタテーブル (INTB)	割り込みベクタテーブル(INTB)

表 2.20 例外処理ルーチンからの復帰命令比較

項目		RX63T	RX72T
未定義命令例外		RTE	RTE
特権命令例外		RTE	RTE
アクセス例外		RTE	RTE
浮動小数点例外(RX63T) / 単精度浮動小数点例外(RX72T)		RTE	RTE
リセット		復帰不可能	復帰不可能
ノンマスカブル割り込み		復帰不可能	禁止
割り込み	高速割り込み	RTFI	RTFI
	高速割り込み以外	RTE	RTE
無条件トラップ		RTE	RTE

2.11 割り込みコントローラ

表 2.21 に割り込みコントローラの概要比較を、表 2.22 に割り込みコントローラのレジスタ比較を示します。

表 2.21 割り込みコントローラの概要比較

項目		RX63T(ICUb)	RX72T(ICUC)
割り込み	周辺機能割り込み	● 周辺モジュールからの割り込み ● 要因数:169 ● 割り込み検出:エッジ検出/レベル検出 接続している周辺モジュール要因ごとの検出方法は固定 ● グループ割り込み機能:複数の割り込みを1つの割り込みベクタに割り当て エッジ検出割り込みグループ数: 1(グループ0) レベル検出割り込みグループ数: 1(グループ12)	● 周辺モジュールからの割り込み ● 要因数:256 ● 割り込みの検出方法: エッジ検出またはレベル検出 (割り込み要因ごとに検出方法は固定) ● グループ割り込み:複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 —グループ BE0 割り込み: PCLKB を動作クロックとする 周辺モジュールの割り込み要因 (エッジ検出) —グループ BL0/BL1 割り込み: PCLKB を動作クロックとする 周辺モジュールの割り込み要因 (レベル検出) —グループ AL0 割り込み: PCLKA を動作クロックとする 周辺モジュールの割り込み要因 (レベル検出) ● 選択型割り込み A:割り込みベクタ番号 208~255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能
	外部端子割り込み	● IRQ0~IRQ7 端子からの割り込み —要因数:8 —割り込み検出:Low/立ち下りエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 —デジタルフィルタ機能:あり	● IRQi 端子(i = 0~15)への入力信号による割り込み —要因数:16 —割り込み検出:Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 —デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	● レジスタ書き込みによる割り込み ● 要因数:1	● レジスタへの書き込みにより、割り込み要求を発生させることが可能 ● 要因数:2
	割り込み優先レベル	レジスタにより優先順位を設定	割り込み要因プライオリティレジスタ r (IPPr) (r = 000~255)により優先レベルを設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。 1 要因にのみ設定。	CPU の割り込み応答時間を短縮可能。 1 つの割り込み要因にのみ設定可能
	DTC 制御	● 割り込み要因により DTC を起動可能 ● DTC 起動要因:124 (周辺機能割り込み 115 + 外部端子割り込み 8 + ソフトウェア割り込み 1)	● 割り込み要因により DTC の起動が可能 ● DTC 起動要因:129 (周辺機能割り込み 111 + 外部端子割り込み 16 + ソフトウェア割り込み 2)
	DMAC 制御	● 割り込み要因により DMAC を起動可能 ● DMAC 起動要因:119 (周辺機能割り込み 111 + 外部端子割り込み 8)	● 割り込み要因により DMAC を起動可能 ● DMAC 起動要因:107 (周辺機能割り込み 91 + 外部端子割り込み 16)

項目		RX63T(ICUb)	RX72T(ICUC)
ノンマスク ブル割り込 み	NMI 端子割り込み	- NMI 端子からの割り込み —割り込み検出：立ち下りエッジ/立ち上がりエッジ —デジタルフィルタ機能：あり	- NMI 端子への入力信号による割り込み —割り込み検出：立ち下がりエッジまたは立ち上がりエッジ —デジタルフィルタを使用することにより、ノイズを除去することが可能
	電圧監視 1 割り込み	電圧検出回路 1(LVD1)の電圧監視割り込み	電圧検出 1 回路(LVD1)からの割り込み
	電圧監視 2 割り込み	電圧検出回路 2(LVD2)の電圧監視割り込み	電圧検出 2 回路(LVD2)からの割り込み
	発振停止検出割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出したときの割り込み
	WDT アンダフロー/ リフレッシュエラー 割り込み	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	IWDT アンダフロー/ リフレッシュエラー 割り込み	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	RAM エラー割り込み	-	RAM のパリティチェックエラー、または ECCRAM の ECC エラーを検出したときの割り込み
低消費電力 状態からの 復帰	スリープモード	ノンマスクブル割り込み、全割り込み要因で復帰	すべての割り込み要因で復帰
	全モジュール クロックストップ モード	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、IWDT)で復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、IWDT、TMR0~3)で復帰
	ソフトウェア スタンバイモード	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、IWDT)で復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、IWDT)で復帰
	ディープ ソフトウェア スタンバイモード	NMI 端子割り込み、一部の外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2)で復帰	NMI 端子割り込み、一部の外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2)で復帰

表 2.22 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX63T(ICUb)	RX72T(ICUC)
IRn (注 1)	-	割り込み要求レジスタ n (n = 016~252)	割り込み要求レジスタ n (n = 016~255)
IPRn (注 1)	-	割り込み要因プライオリティ レジスタ n (n = 000~250)	割り込み要因プライオリティ レジスタ n (n = 000~255)
SWINT2R	-	-	ソフトウェア割り込み 2 起動 レジスタ
DTCERn (注 1)	-	DTC 起動許可レジスタ n (n = 027~251)	DTC 転送要求許可レジスタ n (n = 026~255)
DMRSRm	-	DMAC 起動要求選択レジスタ m (m = 0~3)	DMAC 起動要因選択レジスタ m (m = 0~7)
IRQCRi	-	IRQ コントロールレジスタ i (i = 0~7)	IRQ コントロールレジスタ i (i = 0~15)
IRQFLTE1	-	-	IRQ 端子デジタルフィルタ許可 レジスタ 1
IRQFLTC1	-	-	IRQ 端子デジタルフィルタ設定 レジスタ 1
NMISR	RAMST	-	RAM エラー割り込みステータス フラグ
NMIER	RAMEN	-	RAM エラー割り込み許可ビット
GRPm	-	グループ m 割り込み要因レジスタ (m = 00, 12)	-
GRPBE0、GRPBL0/ GRPBL1、GRPAL0	-	-	グループ BE0, BL0/1, AL0 割り込み要求レジスタ
GENm	-	グループ m 割り込み許可レジスタ (m = 00, 12)	-
GENBE0、GENBL0/ GENBL1、GENAL0	-	-	グループ BE0, BL0/1, AL0 割り込み要求許可レジスタ
GCRm	-	グループ m 割り込みクリア レジスタ (m = 00)	-
GCRBE0	-	-	グループ BE0 割り込みクリア レジスタ
PIARk	-	-	選択型割り込み A 要求レジスタ k (k = 0h~12h)
SLIARn	-	-	選択型割り込み A 要因選択 レジスタ n (n = 208~255)
SLIPRCR	-	-	選択型割り込み要因選択レジスタ 書き込み保護レジスタ

注 1. RX63T グループでは n=253~255 は予約領域です。

2.12 バス

表 2.23 にバスの概要比較を、表 2.24 に外部バスの概要比較を、表 2.25 にバスのレジスタ比較を示します。

表 2.23 バスの概要比較

項目		RX63T	RX72T
CPU バス	命令バス	● CPU(命令)を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作	● CPU(命令)を接続 ● 内蔵メモリを接続(RAM、コードフラッシュメモリ) ● システムクロック(ICLK)に同期して動作
	オペランドバス	● CPU(オペランド)を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作	● CPU(オペランド)を接続 ● 内蔵メモリを接続(RAM、コードフラッシュメモリ) ● システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	RAM を接続	RAM を接続
	メモリバス 2	ROM を接続	コードフラッシュメモリを接続
	メモリバス 3	-	ECCRAM を接続
内部メインバス	内部メインバス 1	● CPU を接続 ● システムクロック(ICLK)に同期して動作	● CPU を接続 ● システムクロック(ICLK)に同期して動作
	内部メインバス 2	● DTC、DMAC を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作	● DTC、DMAC を接続 ● 内蔵メモリを接続(RAM、コードフラッシュメモリ) ● システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	● 周辺機能(DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 ● システムクロック(ICLK)に同期して動作	● 周辺機能(TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 ● システムクロック(ICLK)に同期して動作
	内部周辺バス 2	● 周辺機能(内部周辺バス 1、3、4、5 以外の周辺機能)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作	● 周辺機能(内部周辺バス 1、3、4、5 以外の周辺機能)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 3	● 周辺機能(USB)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作	● 周辺機能(USBb、CMPC)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	● 周辺機能(MTU3、GPT、DPC)を接続 ● 周辺モジュールクロック(PCLKA)に同期して動作	● 周辺機能(MTU3、GPTW、HRPWM、RSPI、SCII)を接続 ● 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 5	予約領域	予約領域
	内部周辺バス 6	● ROM(P/E 時)、E2 データフラッシュを接続 ● FlashIF クロック(FCLK)に同期して動作	● コードフラッシュメモリ(P/E 時)、データフラッシュメモリを接続 ● FlashIF クロック(FCLK)に同期して動作
外部バス	CS 領域	● 外部デバイスを接続 ● 外部バスクロック(BCLK : 最大 50MHz)に同期して動作	● 外部デバイスを接続 ● 外部バスクロック(BCLK : 最大 40MHz)に同期して動作

表 2.24 外部バスの概要比較

項目	RX63T	RX72T
外部アドレス空間	- 外部アドレス空間を 4 つの CS 領域 (CS0 : 1MB, CS1 : 1MB, CS2 : 1MB, CS3 : 1MB) に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 —セパレートバス : 8 ビットバス空間/16 ビットバス空間を選択可能 —アドレスデータマルチプレクスバス : 8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能	- 外部アドレス空間を 4 つの CS 領域 (CS0 : 2MB, CS1 : 2MB, CS2 : 2MB, CS3 : 2MB) に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 —セパレートバス : 8 ビットバス空間/16 ビットバス空間を選択可能 —アドレスデータマルチプレクスバス : 8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能
CS 領域コントローラ	- リカバリサイクル挿入可能 —リードリカバリ最大 15 サイクル挿入 —ライトリカバリ最大 15 サイクル挿入 - サイクルウェイト機能 : 最大 31 サイクルウェイト (ページアクセス最大 7 サイクルウェイト) - ウェイト制御 —チップセレクト信号 (CS0#~CS3#) のアサート/ネゲートタイミング設定可能 —リード信号 (RD#)、ライト信号 (WR0#/WR#、WR1#) のアサートタイミング設定可能 —データ出力の開始/終了タイミング設定可能 - ライトアクセスモード : 1 ライトストローブモード/バイトストローブモード - セパレートバス/アドレスデータマルチプレクスバスを領域ごとに設定可能	- リカバリサイクル挿入可能 —リードリカバリ最大 15 サイクル挿入 —ライトリカバリ最大 15 サイクル挿入 - サイクルウェイト機能 : 最大 31 サイクルウェイト (ページアクセス最大 7 サイクルウェイト) - ウェイト制御 —チップセレクト信号 (CS0#~CS3#) のアサート/ネゲートタイミング設定可能 —リード信号 (RD#)、ライト信号 (WR0#/WR#、WR1#) のアサートタイミング設定可能 —データ出力の開始/終了タイミング設定可能 - ライトアクセスモード : 1 ライトストローブモード/バイトストローブモード - セパレートバス/アドレスデータマルチプレクスバスを領域ごとに設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	CS 領域コントローラ (CSC) は、BCLK に同期して動作	CS 領域コントローラ (CSC) は、BCLK に同期して動作
アドレスバス	A19~A0	A20 ~A0

表 2.25 バスのレジスタ比較

レジスタ	ビット名	RX63T	RX72T
BUSPRI	BPRA[1:0]	メモリバス 1 (内蔵 RAM) プライオリティ制御ビット	メモリバス 1, 3 (RAM/ ECCRAM) プライオリティ制御ビット

2.13 メモリプロテクションユニット

表 2.26 にメモリプロテクションユニットの概要比較を、表 2.27 にメモリプロテクションユニットのレジスタ比較を示します。

表 2.26 メモリプロテクションユニットの概要比較

項目	RX63T(MPU)	RX72T(MPU)
メモリプロテクション対象領域とプロセッサモード	0000 0000h~FFFF FFFFh (ユーザモード時) スーパバイザモード時はメモリ保護なし	0000 0000h~FFFF FFFFh (ユーザモード時) スーパバイザモード時はメモリ保護なし
領域数	8	8
ページサイズ (最小保護単位)	16 バイト	16 バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n=0~7)	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0~7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域に PC を退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納	命令実行アドレス：スタック領域に PC を退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域 (全アドレス空間) に対して、アクセス制御情報を設定可能	バックグラウンド領域 (全アドレス空間) に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。
ユーザモードへの移行	メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、必ず最後に書き込みを行ったメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。	メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、 いずれかの メモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。

表 2.27 メモリプロテクションユニットのレジスタ比較

レジスタ	ビット名	RX63T(MPU)	RX72T(MPU)
MPESTS	IA(RX63T) IMPER(RX72T)	命令メモリプロテクションエラー発生ビット	命令メモリプロテクションエラー発生ビット
	DA(RX63T) DMPER(RX72T)	データメモリプロテクションエラー発生ビット	データメモリプロテクションエラー発生ビット

2.14 DMA コントローラ

表 2.28 に DMA コントローラの概要比較を、表 2.29 に DMA コントローラのレジスタ比較を示します。

表 2.28 DMA コントローラの概要比較

項目		RX63T(DMACA)	RX72T(DMACAa)
チャンネル数		4 チャンネル (DMACm (m = 0~3))	8 チャンネル(DMACm (m = 0~7))
転送空間		512M バイト (00000000h~0FFFFFFFh と F0000000h~FFFFFFFh のうち予約領域を除く領域)	512M バイト (00000000h~0FFFFFFFh と F0000000h~FFFFFFFh のうち予約領域を除く領域)
最大転送データ数		1M データ (ブロック転送モード最大総転送数 : 1024 データ × 1024 ブロック)	64M データ(ブロック転送モード最大総転送数 : 1024 データ × 65536 ブロック)
DMAC 起動要因		- チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力	- チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力
チャンネル優先順位		チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 (チャンネル 0 が最優先)	チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3... > チャンネル 7 (チャンネル 0 が最優先)
転送データ	1 データ	ビット長 : 8 ビット、16 ビット、32 ビット	ビット長 : 8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数 : 1~1024 データ	データ数 : 1~1024 データ
転送モード	ノーマル転送モード	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定 (フリーランニングモード) が可能	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定 (フリーランニングモード) が可能
	リピート転送モード	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能
	ブロック転送モード	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能
選択機能	拡張リピートエリア機能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能
	割り込み要求	転送終了割り込み 転送エスケープ終了割り込み	- ノーマル転送モードの場合、指定回数の転送が終了したときに発生 - リピート転送モードの場合、指定リピート回数の転送が終了したときに発生 - ブロック転送モードの場合、指定ブロック数の転送が終了したときに発生 リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
イベントリンク機能		-	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.29 DMA コントローラのレジスタ比較

レジスタ	ビット	RX63T(DMACA)	RX72T(DMACAa)
DMCRB	-	DMA ブロック転送カウント レジスタ (b9-b0)	DMA ブロック転送カウント レジスタ (b15 -b0)
DMIST	-	-	DMAC74 割り込みステータス モニタレジスタ

2.15 データトランスファコントローラ

表 2.30 にデータトランスファコントローラの概要比較を示します。

表 2.30 データトランスファコントローラの概要比較

項目	RX63T(DTCa)	RX72T(DTCa)
転送モード	- ノーマル転送モード —1 回の起動で 1 データ転送する - リピート転送モード —1 回の起動で 1 データ転送する —リピートサイズ分データを転送すると転送開始アドレスに復帰 —リピートサイズは最大 256 データ設定可能 - ブロック転送モード —1 回の起動で 1 ブロックのデータを転送する —ブロックサイズは最大 256 データ設定可能	- ノーマル転送モード —1 回の起動で 1 つのデータを転送する - リピート転送モード —1 回の起動で 1 つのデータを転送する —リピートサイズ分データを転送すると転送開始アドレスに復帰 —リピート回数は最大 256 回設定可能で、256 × 32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード —1 回の起動で 1 ブロックのデータを転送する —ブロックサイズは、最大 256 × 32 ビット= 1024 バイト設定可能
転送チャンネル数	割り込み要因に対応するチャンネルの転送が可能 (ICU からの DTC 起動要求で転送)	DTC 起動が可能なすべての割り込み要因の数と同数
チェーン転送機能	1 つの起動要因に対して複数のデータ転送が可能(チェーン転送) - チェーン転送は「カウンタ=0 のとき実施」/「毎回実施」のいずれかを選択可能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
転送空間	- ショートアドレスモードのとき 16M バイト (0000 0000h~007F FFFFh と FF80 0000h~FFFF FFFFh のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (0000 0000h~FFFF FFFFh のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト(“0000 0000h” ~ “007F FFFFh”と “FF80 0000h” ~ “FFFF FFFFh”のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh”のうち、予約領域以外の領域)
データ転送単位	1 データのビット長：8 ビット、16 ビット、32 ビット 1 ブロックサイズのデータ数：1~256 データ	1 データ：1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ：1 ~ 256 データ
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	-	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

2.16 I/O ポート

表 2.31～表 2.33 にパッケージごとの概要比較を、表 2.34 に I/O ポートの機能比較を、表 2.35 に I/O ポートのレジスタ比較を示します。

表 2.31 I/O ポート 144 ピンの概要比較

項目	RX63T(144 ピン)	RX72T(144 ピン) (PGA 疑似差動入力あり USB 端子あり)
PORT0	P00~P05	P00, P01
PORT1	P10~P14	P10~P17
PORT2	P20~P26	P20~P27
PORT3	P30~P35	P30~P37
PORT4	P40~P47	P40~P47
PORT5	P50~P57	P50~P55
PORT6	P60~P65	P60~P65
PORT7	P70~P76	P70~P76
PORT8	P80~P82	P80~P82
PORT9	P90~P96	P90~P96
PORTA	PA0~PA6	PA0~PA7
PORTB	PB0~PB7	PB0~PB7
PORTC	PC0~PC5	PC0~PC6
PORTD	PD0~PD7	PD0~PD7
PORTE	PE0~PE5	PE0~PE6
PORTF	PF0~PF4	PF0~PF3
PORTG	PG0~PG6	PG0~PG2
PORTH	-	PH0~PH7
PORTK	-	PK0~PK2

表 2.32 I/O ポート 100 ピン(RX72T:PGA 疑似差動入力あり)の概要比較

項目	RX63T(100 ピン)	RX72T(100 ピン)	
		PGA 疑似差動入力あり USB 端子あり	PGA 疑似差動入力あり USB 端子なし
PORT0	P00, P01	P00, P01	P00, P01
PORT1	P10, P11	P10, P11	P10, P11
PORT2	P20~P24	P20~P24, P27	P20~P24, P27
PORT3	P30~P33	P30~P33, P36, P37	P30~P33, P36, P37
PORT4	P40~P47	P40~P47	P40~P47
PORT5	P50~P55	P52~P55	P52~P55
PORT6	P60~P65	P60~P65	P60~P65
PORT7	P70~P76	P70~P76	P70~P76
PORT8	P80~P82	P80~P82	P80~P82
PORT9	P90~P96	P90~P96	P90~P96
PORTA	PA0~PA5	PA0~PA5	PA0~PA5
PORTB	PB0~PB7	PB0~PB6	PB0~PB7
PORTD	PD0~PD7	PD2~PD7	PD0~PD7
PORTE	PE0~PE5	PE0~PE5	PE0~PE5
PORTH	-	PH0, PH4	PH0, PH4

表 2.33 I/O ポート 100 ピン(RX72T:PGA 疑似差動入力なし)の概要比較

項目	RX63T(100 ピン)	RX72T(100 ピン) (PGA 疑似差動入力なし USB 端子なし)
PORT0	P00, P01	P00, P01
PORT1	P10, P11	P10, P11
PORT2	P20~P24	P20~P24
PORT3	P30~P33	P30~P33, P36, P37
PORT4	P40~P47	P40~P47
PORT5	P50~P55	P50~P55
PORT6	P60~P65	P60~P65
PORT7	P70~P76	P70~P76
PORT8	P80~P82	P80~P82
PORT9	P90~P96	P90~P96
PORTA	PA0~PA5	PA0~PA5
PORTB	PB0~PB7	PB0~PB7
PORTD	PD0~PD7	PD0~PD7
PORTE	PE0~PE5	PE0~PE5

表 2.34 I/O ポートの機能比較

項目	ポート シンボル	RX63T		RX72T
		144/120/112/100 ピン版	64/48 ピン版	
入力プルアップ機能	PORT0	—	—	P00, P01
	PORT1	—	—	P10~P17
	PORT2	—	—	P20~P27
	PORT3	—	—	P30~P37
	PORT4	—	—	P43, P47
	PORT5	—	—	P50~P55
	PORT6	—	—	P60~P65
	PORT7	—	—	P70~P76
	PORT8	—	—	P80~P82
	PORT9	—	—	P90~P96
	PORTA	—	—	PA0~PA7
	PORTB	—	—	PB0~PB7
	PORTC	—	—	PC0~PC6
	PORTD	—	—	PD0~PD7
	PORTE	—	—	PE0, PE1, PE3~PE6
	PORTF	—	—	PF0~PF3
	PORTG	—	—	PG0~PG2
	PORTH	—	—	PH1~PH3, PH5~PH7
	PORTK	—	—	PK0~PK2
オープンドレイン 出力機能	PORT0	P02, P03	—	P00, P01
	PORT1	—	—	P10~P17
	PORT2	P22, P23, P26	P24	P20~P27
	PORT3	P34, P35	P30	P30~P37
	PORT4	—	—	P43, P47
	PORT5	—	—	P50~P55
	PORT6	—	—	P60~P65
	PORT7	—	—	P70~P76
	PORT8	P80, P81	—	P80~P82
	PORT9	P95, P96	P93, P94	P90~P96

項目	ポート シンボル	RX63T		RX72T
		144/120/112/100 ピン版	64/48 ピン版	
オープンドレイン 出力機能	PORTA	PA1, PA2, PA4, PA5	—	PA0~PA7
	PORTB	PB1, PB2, PB5, PB6	PB1, PB2, PB5, PB6	PB0~PB7
	PORTC	—	—	PC0~PC6
	PORTD	PD3, PD5	PD3, PD5	PD0~PD7
	PORTE	—	—	PE0, PE1, PE3~PE6
	PORTF	PF2, PF3	—	PF0~PF3
	PORTG	PG0, PG1, PG3, PG4	—	PG0~PG2
	PORTH	—	—	PH1~PH3, PH5~PH7
	PORTK	—	—	PK0~PK2
駆動能力切り替え機能	PORT0	P00, P01, P05	—	P00, P01
	PORT1	P11, P12	—	P10~P17
	PORT2	P20~P26	—	P20~P27
	PORT3	P30~P33	—	P30~P37
	PORT4	—	—	P43, P47
	PORT5	P52, P53	—	P50~P55
	PORT6	P60~P65	—	P60~P65
	PORT7	P70~P76	—	P70~P76
	PORT8	P80, P81	—	P80~P82
	PORT9	P90~P96	—	P90~P96
	PORTA	PA0~PA6	—	PA0~PA7
	PORTB	PB0, PB3~PB7	—	PB0~PB7
	PORTC	—	—	PC0~PC6
	PORTD	PD0~PD2, PD6, PD7	—	PD0~PD7
	PORTE	PE0, PE1, PE3~PE5	—	PE0, PE1, PE3~PE6
	PORTF	PF2, PF4	—	PF0~PF3
	PORTG	PG6	—	PG0~PG2
	PORTH	—	—	PH1~PH3, PH5~PH7
	PORTK	—	—	PK0~PK2
5V トレラント	PORT0	—	P00, P01	—
	PORT1	—	P10, P11	—
	PORT2	—	P22~P24	—
	PORT3	—	P30~P34	—
	PORT7	—	P70~P76	—
	PORT9	—	P91~P94	—
	PORTA	—	PA2~PA5	—
	PORTB	—	PB0~PB7	PB1, PB2
	PORTC	—	—	PC0
	PORTD	—	PD3~PD7	PD2

表 2.35 I/O ポートのレジスタ比較

レジスタ	ビット	RX63T	RX72T
PDR	B0-B7	Pm0~7 方向制御ビット (m = 0~3, 7~9, A, B, D~G)	Pm0~7 方向制御ビット (m = 0~9, A~H, K)
PODR	B0-B7	Pm0~7 出力データ格納ビット (m = 0~3, 7~9, A, B, D~G)	Pm0~7 出力データ格納ビット (m = 0~9, A~H, K)
PIDR	B0-B7	Pm0~7 ビット (m = 0~9, A~G)	Pm0~7 ビット (m = 0~9, A~H, K)
PMR	B0-B7	Pm0~7 端子モード制御ビット (m = 0~3, 7~9, A, B, D~G)	Pm0~7 端子モード制御ビット (m = 0~9, A~H, K)
ODR0	B0	Pm0 出力形態指定ビット (m = 3, 8, G)	Pm0 出力形態指定ビット (m = 0~9, A~H, K)
	B2	Pm1 出力形態指定ビット (m = 8, A, B, G)	Pm1 出力形態指定ビット (m = 0~9, A~H, K)
	B4	Pm2 出力形態指定ビット (m = 0, 2, A, B, F)	Pm2 出力形態指定ビット (m = 0~9, A~H, K)
	B6	Pm3 出力形態指定ビット (m = 0, 2, 9, D, F, G)	Pm3 出力形態指定ビット (m = 0~9, A~H, K)
ODR1	B0	Pm4 出力形態指定ビット (m = 2, 3, A, G)	Pm4 出力形態指定ビット (m = 1~7, 9, A~E, H)
	B2	Pm5 出力形態指定ビット (m = 3, 9, A, B, D)	Pm5 出力形態指定ビット (m = 1~7, 9, A~E, H)
	B4	Pm6 出力形態指定ビット (m = 2, 9, B)	Pm6 出力形態指定ビット (m = 1~7, 9, A~E, H)
	B6	-	Pm7 出力形態指定ビット (m = 1~7, 9, A~E, H)
PCR	-	-	ブルアップ制御レジスタ
DSCR	-	-	駆動能力制御レジスタ
DSCR1	-	駆動能力制御レジスタ 1	-
DSCR2	B0-B5	-	Pm0~5 駆動能力制御ビット 2 (m = 7~9, B, D)
	B6	RSPI 端子(MISOn、SSLn0~3)駆動能力制御ビット MISOn : P22、PA5、PD1 SSLn0 : P30、PA3、PD6 SSLn1 : P31、PA2、PD7 SSLn2 : P32、PA1、PE0 SSLn3 : P33、PA0、PE1 (n = A, B)	Pm6 駆動能力制御ビット 2 (m = 7~9, B, D)
	B7	RSPI 端子(RSPCKn、MOSIn)駆動能力制御ビット RSPCKn : P24、PA4、PD0 MOSIn : P23、PB0、PD2 (n = A, B)	-

2.17 マルチファンクションピンコントローラ

表 2.36 にマルチプル端子の割り当て端子比較を、表 2.37～表 2.56 にマルチファンクションピンコントローラのレジスタ比較を示します。を示します。

マルチプル端子の割り当て端子比較の、**青字**は RX72T グループのみに存在する端子、**橙字**は RX63T グループのみに存在する端子です。“○”は機能割り当てあり、“×”は端子なし、または機能割り当てなし、グレーの塗りつぶしは非搭載機能を表しています。

表 2.36 マルチプル端子の割り当て端子比較

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
割り込み	NMI (入力)	PE2	○	○	○	○
	IRQ0-DS (入力)	P10	○	○	○	○
	IRQ0 (入力)	PB5	×	×	×	×
		PE5	○	○	○	○
		PG0	○	×	○	×
		P52	×	×	○	○
	IRQ1-DS (入力)	P11	○	○	○	○
	IRQ1 (入力)	P93	×	×	×	×
		PE4	○	○	○	○
		PG1	○	×	○	×
		P53	×	×	○	○
		PA5	×	×	○	○
	IRQ2-DS (入力)	P00	×	×	×	×
		PE3	○	○	○	○
	IRQ2 (入力)	PB6	○	○	○	○
		PG2	○	×	○	×
		P00	×	×	○	○
		P54	×	×	○	○
		PD4	×	×	○	○
	IRQ3-DS (入力)	PB4	○	○	○	○
	IRQ3 (入力)	P34	○	×	○	×
		P82	○	○	○	○
		P55	×	×	○	○
		PE6	×	×	○	×
	IRQ4-DS (入力)	P01	×	×	×	×
		P96	○	○	○	○
	IRQ4 (入力)	P24	○	○	○	○
		PB1	○	○	○	○
		P01	×	×	○	○
		P60	×	×	○	○
	IRQ5-DS (入力)	P70	○	○	○	○
	IRQ5 (入力)	P80	○	○	○	○
		PF2	○	×	○	×
		P61	×	×	○	○
		PD6	×	×	○	○
	IRQ6-DS (入力)	P21	○	○	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
割り込み	IRQ6 (入力)	PD5	○	○	○	○
		PG4	○	×	×	×
		P31	×	×	○	○
		P35	×	×	○	×
		P62	×	×	○	○
	IRQ7-DS (入力)	P20	○	○	○	○
	IRQ7 (入力)	P03	○	×	×	×
		PE0	○	○	○	○
		P30	×	×	○	○
		P63	×	×	○	○
		PA6	×	×	○	×
	IRQ8-DS (入力)	PK1			○	×
	IRQ8 (入力)	P64			○	○
		PB0			○	○
		PD7			○	○
	IRQ9-DS (入力)	PK2			○	×
	IRQ9 (入力)	P12			○	×
		P65			○	○
		PB3			○	○
	IRQ10-DS (入力)	PC5			○	×
	IRQ10 (入力)	P13			○	×
		P22			○	○
		P25			○	×
	IRQ11-DS (入力)	PC6			○	×
	IRQ11 (入力)	P14			○	×
		P23			○	○
		P26			○	×
	IRQ12-DS (入力)	P32			○	○
	IRQ12 (入力)	P15			○	×
		PC0			○	×
		PF0			○	×
	IRQ13-DS (入力)	P33			○	○
	IRQ13 (入力)	P16			○	×
		PC1			○	×
		PF1			○	×
	IRQ14-DS (入力)	PA1			○	○
	IRQ14 (入力)	P17			○	×
		PC3			○	×
		PF3			○	×
	IRQ15-DS (入力)	PK0			○	×
	IRQ15 (入力)	P27			○	○ (注 1)
		PC2			○	×
		PE1			○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
マルチファンク ションタイマユ ニット3	MTIOC0A (入出力) / MTIOC0A# (入出力)	P31	○	○	○	○
		PB3	○	○	○	○
	MTIOC0B (入出力) / MTIOC0B# (入出力)	P30	○	○	○	○
		PB2	○	○	○	○
		PC0	×	×	○	×
	MTIOC0C (入出力) / MTIOC0C# (入出力)	P27	×	×	○	○ (注1)
		PB1	○	○	○	○
		PC1	×	×	○	×
	MTIOC0D (入出力) / MTIOC0D# (入出力)	PB0	○	○	○	○
		PC2	×	×	○	×
	MTIOC1A (入出力) / MTIOC1A# (入出力)	P27	×	×	○	○ (注1)
		PA5	○	○	○	○
		PC6	×	×	○	×
	MTIOC1B (入出力) / MTIOC1B# (入出力)	PA4	○	○	○	○
		PC5	×	×	○	×
	MTIOC2A (入出力) / MTIOC2A# (入出力)	P35	×	×	○	×
		PA3	○	○	○	○
	MTIOC2B (入出力) / MTIOC2B# (入出力)	P34	×	×	○	×
		PA2	○	○	○	○
	MTIOC3A (入出力) / MTIOC3A# (入出力)	P11	×	×	○	○
		P33	○	○	○	○
	MTIOC3B (入出力) / MTIOC3B# (入出力)	P12	×	×	○	×
		P71	○	○	○	○
	MTIOC3C (入出力) / MTIOC3C# (入出力)	P32	○	○	○	○
	MTIOC3D (入出力) / MTIOC3D# (入出力)	P15	×	×	○	×
		P74	○	○	○	○
	MTIOC4A (入出力) / MTIOC4A# (入出力)	P13	×	×	○	×
		P72	○	○	○	○
	MTIOC4B (入出力) / MTIOC4B# (入出力)	P14	×	×	○	×
		P73	○	○	○	○
	MTIOC4C (入出力) / MTIOC4C# (入出力)	P16	×	×	○	×
		P75	○	○	○	○
	MTIOC4D (入出力) / MTIOC4D# (入出力)	P17	×	×	○	×
		P76	○	○	○	○
	MTIC5U (入力) / MTIC5U# (入力)	P24	×	×	○	○
		P82	○	○	○	○
	MTIC5V (入力) / MTIC5V# (入力)	P23	×	×	○	○
		P81	○	○	○	○
	MTIC5W (入力) / MTIC5W# (入力)	P22	×	×	○	○
		P80	○	○	○	○
	MTIOC6A (入出力) / MTIOC6A# (入出力)	P33	×	×	×	×
		PA1	○	○	○	○
	MTIOC6B (入出力) / MTIOC6B# (入出力)	P71	×	×	×	×
		P95	○	○	○	○
	MTIOC6C (入出力) / MTIOC6C# (入出力)	P32	×	×	×	×
		PA0	○	○	○	○
	MTIOC6D (入出力) / MTIOC6D# (入出力)	P74	×	×	×	×
		P92	○	○	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
マルチファンク ションタイマユ ニット3	MTIOC7A (入出力) / MTIOC7A# (入出力)	P72	×	×	×	×
	MTIOC7A (入出力) / MTIOC7A# (入出力)	P94	○	○	○	○
	MTIOC7B (入出力) / MTIOC7B# (入出力)	P73	×	×	×	×
		P93	○	○	○	○
	MTIOC7C (入出力) / MTIOC7C# (入出力)	P75	×	×	×	×
		P91	○	○	○	○
	MTIOC7D (入出力) / MTIOC7D# (入出力)	P76	×	×	×	×
		P90	○	○	○	○
	MTIOC9A (入出力) / MTIOC9A# (入出力)	P00			○	○
		P21			○	○
		P26			○	×
		P35			○	×
		PD7			○	○
	MTIOC9B (入出力)	P22			○	○
	MTIOC9B (入出力) / MTIOC9B# (入出力)	P10			○	○
		P34			○	×
		PC4			○	×
		PE0			○	○
	MTIOC9C (入出力) / MTIOC9C# (入出力)	P01			○	○
		P20			○	○
		P25			○	×
		PC6			○	×
		PD6			○	○
	MTIOC9D (入出力)	P11			○	○
	MTIOC9D (入出力) / MTIOC9D# (入出力)	PC3			○	×
		PC5			○	×
		PE1			○	○
		PE5			○	○
	MTCLKA (入力) / MTCLKA# (入力)	P21	○	○	○	○
		P22	×	×	×	×
		P33	○	○	○	○
		PB3	×	×	×	×
		PA7	×	×	○	×
	MTCLKB (入力) / MTCLKB# (入力)	P20	○	○	○	○
		P23	×	×	×	×
		P32	○	○	○	○
		PB2	×	×	×	×
		PA6	×	×	○	×
	MTCLKC (入力) / MTCLKC# (入力)	P11	○	○	○	○
		P24	×	×	×	×
		P31	○	○	○	○
		PA7	×	×	○	×
		PE4	○	○	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
マルチファンク ションタイマユ ニット3	MTCLKD (入力) / MTCLKD# (入力)	P10	○	○	○	○
		P22	×	×	○	○
		P30	○	○	○	○
		PA6	×	×	○	×
		PE3	○	○	○	○
	ADSM0 (出力)	PA7			○	×
		PB2			○	○
		PC2			○	×
	ADSM1 (出力)	PA6			○	×
		PB1			○	○
		PC1			○	×
ポートアウトプ ットイネーブル3	POE0# (入力)	P70	○	○	○	○
	POE4# (入力)	P96	○	○	○	○
	POE8# (入力)	PB4	○	○	○	○
	POE9# (入力)	P11			○	○
		P27			○	○ (注1)
	POE10# (入力)	PE4	○	○	○	○
		PE2	○	○	○	○
		PE6	×	×	○	×
	POE11# (入力)	PE3	○	○	○	○
		PB5	×	×	×	×
	POE12# (入力)	PG5	○	×	×	×
		P01	×	×	○	○
		P10	×	×	○	○
		PK2	×	×	○	×
	POE13# (入力)	PK1			○	×
	POE14# (入力)	PK0			○	×
汎用 PWM タイマ	GTIOC0A (入出力) / GTIOC0A# (入出力)	P12	×	×	○	×
		P71	○	○	○	○
		PD2	×	×	○	○
		PD7	○	○	○	○
		PG1	×	×	○	×
	GTIOC0B (入出力) / GTIOC0B# (入出力)	P15	×	×	○	×
		P74	○	○	○	○
		PD1	×	×	○	○ (注4)
		PD6	○	○	○	○
		PG2	×	×	○	×
	GTIOC1A (入出力) / GTIOC1A# (入出力)	P13	×	×	○	×
		P72	○	○	○	○
		PD0	×	×	○	○ (注4)
		PD5	○	○	○	○
		PK2	×	×	○	×
	GTIOC1B (入出力) / GTIOC1B# (入出力)	P16	×	×	○	×
		P75	○	○	○	○
		PB7	×	×	○	○ (注4)
		PD4	○	○	○	○
		PG0	×	×	○	×

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
汎用 PWM タイマ	GTIOC2A (入出力) / GTIOC2A# (入出力)	P14	×	×	○	×
		P73	○	○	○	○
		PB6	×	×	○	○
		PD3	○	○	○	○
		PK0	×	×	○	×
	GTIOC2B (入出力) / GTIOC2B# (入出力)	P17	×	×	○	×
		P76	○	○	○	○
		PB5	×	×	○	○
		PB6	×	×	×	×
		PB7	×	×	×	×
		PD2	○	○	○	○
		PK1	×	×	○	×
	GTIOC3A (入出力) / GTIOC3A# (入出力)	P32	×	×	○	○
		P00	×	×	×	×
		PD1	○	○	○	○ (注4)
		PD7	×	×	○	○
		PE5	×	×	○	○
	GTIOC3B (入出力) / GTIOC3B# (入出力)	P11	×	×	○	○
		P33	×	×	○	○
		P01	×	×	×	×
		PD0	○	○	○	○ (注4)
		PD6	×	×	○	○
	GTIOC4A (入出力) / GTIOC4A# (入出力)	P71	×	×	○	○
		P95	○	○	○	○
	GTIOC4B (入出力) / GTIOC4B# (入出力)	P74	×	×	○	○
		P92	○	○	○	○
	GTIOC5A (入出力) / GTIOC5A# (入出力)	P72	×	×	○	○
		P94	○	○	○	○
	GTIOC5B (入出力) / GTIOC5B# (入出力)	P75	×	×	○	○
		P91	○	○	○	○
	GTIOC6A (入出力) / GTIOC6A# (入出力)	P73	×	×	○	○
		P93	○	○	○	○
		PG3	○	×	×	×
	GTIOC6B (入出力) / GTIOC6B# (入出力)	P76	×	×	○	○
		P90	○	○	○	○
		PG4	○	×	×	×
	GTIOC7A (入出力) / GTIOC7A# (入出力)	P12	×	×	○	×
		P95	×	×	○	○
		PG0	○	×	×	×
	GTIOC7B (入出力) / GTIOC7B# (入出力)	P15	×	×	○	×
		P92	×	×	○	○
		PG1	○	×	×	×
	GTIOC8A (入出力) / GTIOC8A# (入出力)	P13			○	×
		P94			○	○
	GTIOC8B (入出力) / GTIOC8B# (入出力)	P16			○	×
		P91			○	○
	GTIOC9A (入出力) / GTIOC9A# (入出力)	P14			○	×
		P93			○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
汎用 PWM タイマ	GTIOC9B (入出力) / GTIOC9B# (入出力)	P17			○	×
		P90			○	○
	GTETRG/GTETRG0	PB4	○	○		
	GTETRG1	P34	○	×		
	GTETRG (入力)	P01			○	○
		P11			○	○
		P70			○	○
		P96			○	○
		PB4			○	○
		PD5			○	○
		PE3			○	○
		PE4			○	○
		PE6			○	×
		PF3			○	×
		PG2			○	×
	GTETRGB (入力)	P01			○	○
		P10			○	○
		P34			○	×
		P70			○	○
		P96			○	○
		PB4			○	○
		PD4			○	○
		PE3			○	○
		PE4			○	○
		PE5			○	○
		PE6			○	×
		PF2			○	×
	GTETRGC (入力)	P01			○	○
		P11			○	○
		P70			○	○
		P96			○	○
		PB4			○	○
		PD3			○	○
		PE3			○	○
		PE4			○	○
		PE6			○	×
		PF1			○	×
	GTETRGD (入力)	P01			○	○
		P10			○	○
		P70			○	○
		P96			○	○
		PB4			○	○
		PE3			○	○
	GTETRGD (入力)	PE4			○	○
		PE5			○	○
		PE6			○	×
		PF0			○	×

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
汎用 PWM タイマ	GTADSM0 (出力)	P35			○	×
		PA3			○	○
		PA7			○	×
		PB2			○	○
		PC2			○	×
	GTADSM1 (出力)	P34			○	×
		PA2			○	○
		PA6			○	×
		PB1			○	○
		PC1			○	×
シリアルコミュニケーションインターフェース	RXD0 (入力) / SMISO0 (入出力) / SSCL0 (入出力)	P22	○	○		
		PA5	○	○		
		PB1	○	○		
	TXD0 (出力) / SMOSI0 (入出力) / SSDA0 (入出力)	P23	○	○		
		PA4	○	○		
		PB2	○	○		
	SCK0 (入出力)	P23	×	×		
		P30	○	○		
		PA3	○	○		
		PB3	○	○		
	CTS0# (入力) / RTS0# (出力) / SS0# (入力)	P00	×	×		
		P01	○	○		
		P22	×	×		
		P24	○	○		
	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	PD7	○	○		
		P93	×	×	×	×
		P96	○	○	×	×
		PD5	○	○	○	○
		PF2	○	×	×	×
		P34	×	×	○	×
	TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	PC3	×	×	○	×
		P26	○	×	×	×
		P94	×	×	×	×
		P95	○	○	×	×
		PD3	○	○	○	○
		PF3	○	×	×	×
	SCK1 (入出力)	P35	×	×	○	×
		PC4	×	×	○	×
		P25	○	×	○	×
		P92	×	×	×	×
	CTS1# (入力) / RTS1# (出力) / SS1# (入力)	PD4	○	○	○	○
		PG6	○	×	×	×
		P70	○	○	×	×
		P91	×	×	×	×
		P94	○	○	×	×
		P26	×	×	○	×
		PD6	×	×	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
シリアルコミュニ ケーションインタ フェース	RXD2 (入力) / SMISO2 (入出力) / SSCL2 (入出力)	P03	○	×		
		PA2	○	○		
		PG1	○	×		
	TXD2 (出力) / SMOSI2 (入出力) / SSDA2 (入出力)	P02	○	×		
		PA1	○	○		
		PG0	○	×		
	SCK2 (入出力)	P14	○	×		
		PA0	○	○		
		PG2	○	×		
	CTS2# (入力) / RTS2# (出力) / SS2# (入力)	P13	○	×		
		P93	○	○		
	RXD3 (入力) / SMISO3 (入出力) / SSCL3 (入出力)	P34	○	×		
		PG4	○	×		
	TXD3 (出力) / SMOSI3 (入出力) / SSDA3 (入出力)	P35	○	×		
		PG3	○	×		
	SCK3 (入出力)	PG5	○	×		
	CTS3# (入力) / RTS3# (出力) / SS3# (入力)	PA6	○	×		
	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力)	PB6			○	○
		PE0			○	○
		PK0			○	×
	TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力)	PB5			○	○
		PD7			○	○
		PK1			○	×
	SCK5 (入出力)	PB7			○	○ (注4)
		PD2			○	○
		PK2			○	×
	CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PB4			○	○
		PE1			○	○
	RXD6 (入力) / SMISO6 (入出力) / SSCL6 (入出力)	P80			○	○
		PA5			○	○
		PB1			○	○
	TXD6 (出力) / SMOSI6 (入出力) / SSDA6 (入出力)	P81			○	○
		PB0			○	○
		PB2			○	○
	SCK6 (入出力)	P82			○	○
		PA4			○	○
		PB3			○	○
	CTS6# (入力) / RTS6# (出力) / SS6# (入力)	P10			○	○
		PA2			○	○
	RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力)	P22			○	○
		PA5			○	○
		PC0			○	×
		PD1			○	○ (注4)

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
シリアルコミュニ ケーションインタ フェース	TXD8 (出力) / SMOSI8 (入出力) / SSDA8 (入出力)	P21			○	○
		P23			○	○
		PA4			○	○
		PC1			○	×
		PD0			○	○ (注4)
	SCK8 (入出力)	P20			○	○
		P24			○	○
		P30			○	○
		PA3			○	○
		PC2			○	×
		PD2			○	○
	CTS8# (入力) / RTS8# (出力) / SS8# (入力)	P20			○	○
		P24			○	○
		P30			○	○
		P35			○	×
		P96			○	○
		PK1			○	×
	RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力)	P00			○	○
		PA2			○	○
		PG0			○	×
	TXD9 (出力) / SMOSI9 (入出力) / SSDA9 (入出力)	P01			○	○
		PA1			○	○
		PA3			○	○
		PG1			○	×
	SCK9 (入出力)	PA0			○	○
		PE4			○	○
		PE5			○	○
		PG2			○	×
	CTS9# (入力) / RTS9# (出力) / SS9# (入力)	P34			○	×
		P70			○	○
		PE3			○	○
		PE5			○	○
		PK2			○	×
	RXD11 (入力) / SMISO11 (入出力) / SSCL11 (入出力)	PA1			○	○
		PA7			○	×
		PB6			○	○
		PC6			○	×
		PD5			○	○
		PF1			○	×
	TXD11 (出力) / SMOSI11 (入出力) / SSDA11 (入出力)	PA0			○	○
		PA6			○	×
		PB5			○	○
		PC5			○	×
		PD3			○	○
		PF0			○	×

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
シリアルコミュニケーションインタフェース	SCK11 (入出力)	PA2			○	○
		PB4			○	○
		PB7			○	○ (注4)
		PD4			○	○
		PF2			○	×
	CTS11# (入力) / RTS11# (出力) / SS11# (入力)	PB0			○	○
		PB4			○	○
		PD6			○	○
		PF3			○	×
	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	P80	○	○	○	○
		PB6	○	○	○	○
		P00	×	×	○	○
		P22	×	×	○	○
		PA7	×	×	○	×
	TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PC3	×	×	○	×
		P81	○	○	○	○
		PB5	○	○	○	○
		P01	×	×	○	○
		P21	×	×	○	○
		P23	×	×	○	○
	SCK12 (入出力)	PA6	×	×	○	×
		PC4	×	×	○	×
	CTS12# (入力) / RTS12# (出力) / SS12# (入力)	P82	○	○	○	○
		PB7	○	○	○	○ (注4)
	CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PB4	×	×	×	×
		PE1	○	○	○	○
I ² C バスインタフェース	SCL0 (入出力) / SCL (入出力)	PB1	○	○	○	○
	SDA0 (入出力) / SDA (入出力)	PB2	○	○	○	○
	SCL1 (入出力)	P25	○	×		
	SDA1 (入出力)	P26	○	×		
USB2.0FS ホスト/ ファンクションモジュール	USB0_DPUPE	-	○	×		
	USB0_VBUSEN (出力)	P13	○	×	×	×
		PA0	×	×	○	○ (注3)
		PC1	×	×	○	×
		PB5	×	×	○	○ (注3)
	USB0_OVRCURA (入力)	PE1	○	×	×	×
		PA1	×	×	○	○ (注3)
		PB6	×	×	○	○ (注3)
		PC2	×	×	○	×
	USB0_VBUS (入力)	PE5	○	×	×	×
		PC0	×	×	○	×
		PD2	×	×	○	○ (注3)
	USB0_EXICEN (出力)	PD1	○	×	×	×
		PA0	×	×	○	○ (注3)
		PC1	×	×	○	×

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
USB2.0FS ホスト/ ファンクションモ ジュール	USB0_OVRCURB (入力)	PE0	○	×	○	○ (注3)
		P34	×	×	○	×
		PB4	×	×	○	○ (注3)
		PB7	×	×	○	×
	USB0_ID (入力)	PD2	○	×	×	×
		PA1	×	×	○	○ (注3)
		PC2	×	×	○	×
	USB0_DRPD (出力)	P01	○	×		
	USB0_DPRPD (出力)	P12	○	×		
CAN モジュール	CRX1 (入力) / CRX0 (入力)	PE0	○	○	○	○
		P22	○	○	○	○
		PB6	○	○	○	○
		PA1	×	×	○	○
		PA7	×	×	○	×
		PC6	×	×	○	×
		PF3	×	×	○	×
	CTX1 (出力) / CTX0 (出力)	P23	○	○	○	○
		PB5	○	○	○	○
		PD7	○	○	○	○
		PA0	×	×	○	○
		PA6	×	×	○	×
		PC5	×	×	○	×
		PF2	×	×	○	×
シリアルペリフェ ラルインタフェー ス	RSPCKA (入出力)	P24	○	○	○	○
		PA4	○	○	○	○
		PD0	○	○	○	○ (注4)
		P20	×	×	○	○
		PB3	×	×	○	○
	MOSIA (入出力)	P23	○	○	○	○
		PB0	○	○	○	○
		PD2	○	○	○	○
		P21	×	×	○	○
	MISOA (入出力)	P22	○	○	○	○
		PA5	○	○	○	○
		PD1	○	○	○	○ (注4)
	SSLA0 (入出力)	P30	○	○	○	○
		PA3	○	○	○	○
		PD6	○	○	○	○
	SSLA1 (出力)	P31	○	○	○	○
		PA2	○	○	○	○
		PD7	○	○	○	○
	SSLA2 (出力)	P32	○	○	○	○
		PA1	○	○	○	○
		PE0	○	○	○	○
	SSLA3 (出力)	P33	○	○	○	○
		PA0	○	○	○	○
		PE1	○	○	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
シリアルペリフェ ラルインタフェー ス	RSPCKB (入出力)	P24	○	○		
		PA4	○	○		
		PD0	○	○		
	MOSIB (入出力)	P23	○	○		
		PB0	○	○		
		PD2	○	○		
	MISOB (入出力)	P22	○	○		
		PA5	○	○		
		PD1	○	○		
	SSLB0 (入出力)	P30	○	○		
		PA3	○	○		
		PD6	○	○		
	SSLB1 (出力)	P31	○	○		
		PA2	○	○		
		PD7	○	○		
	SSLB2 (出力)	P32	○	○		
		PA1	○	○		
		PE0	○	○		
	SSLB3 (出力)	P33	○	○		
		PA0	○	○		
		PE1	○	○		
12 ビット A/D コンバータ	AN000 (入力) (注 5)	P40	○	○	○	○
	AN001 (入力) (注 5)	P41	○	○	○	○
	AN002 (入力) (注 5)	P42	○	○	○	○
	AN003 (入力) (注 5)	P43	○	○	○	○
	AN004 (入力) (注 5)	P44	×	×	×	×
		PH1	×	×	○	×
	AN005 (入力) (注 5)	P45	×	×	×	×
		PH2	×	×	○	×
	AN006 (入力) (注 5)	P46	×	×	×	×
		PH3	×	×	○	×
	AN007 (入力) (注 5)	P47	×	×	×	×
		PH0	×	×	○	○ (注 1)
	ADTRG0# (入力)	P20	○	○	○	○
		PA4	○	○	○	○
		PA1	×	×	○	○
	ADST0 (出力)	P26			○	×
		PD6			○	○
		PE5			○	○
	PGAVSS0 (入力) (注 5)	PH0			○	○ (注 1)
	AN100 (入力) (注 5)	P44	○	○	○	○
	AN101 (入力) (注 5)	P45	○	○	○	○
	AN102 (入力) (注 5)	P46	○	○	○	○
	AN103 (入力) (注 5)	P47	○	○	○	○
	AN104 (入力) (注 5)	PH5			○	×
	AN105 (入力) (注 5)	PH6			○	×
	AN106 (入力) (注 5)	PH7			○	×
	AN107 (入力) (注 5)	PH4			○	○ (注 1)

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
12 ビット A/D コンバータ	ADTRG1# (入力)	P21	○	○	○	○
		PA5	○	○	○	○
	ADST1 (出力)	P00			○	○
		P25			○	×
	PGAVSS1 (入力) (注5)	PH4			○	○ (注1)
	AN200 (入力) (注5)	P52			○	○
	AN201 (入力) (注5)	P53			○	○
	AN202 (入力) (注5)	P54			○	○
	AN203 (入力) (注5)	P55			○	○
	AN204 (入力) (注5)	P50			○	○ (注2)
	AN205 (入力) (注5)	P51			○	○ (注2)
	AN206 (入力) (注5)	P60			○	○
	AN207 (入力) (注5)	P61			○	○
	AN208 (入力) (注5)	P62			○	○
	AN209 (入力) (注5)	P63			○	○
	AN210 (入力) (注5)	P64			○	○
	AN211 (入力) (注5)	P65			○	○
	AN216 (入力) (注5)	P20			○	○
	AN217 (入力) (注5)	P21			○	○
	ADTRG2# (入力)	P22			○	○
		PB0			○	○
	ADST2 (出力)	P01			○	○
		PC4			○	×
10 ビット A/D コンバータ	AN0 (入力)	P60	○	○		
	AN1 (入力)	P61	○	○		
	AN2 (入力)	P62	○	○		
	AN3 (入力)	P63	○	○		
	AN4 (入力)	P64	○	○		
	AN5 (入力)	P65	○	○		
	AN6 (入力)	P50	○	○		
	AN7 (入力)	P51	○	○		
	AN8 (入力)	P52	○	○		
	AN9 (入力)	P53	○	○		
	AN10 (入力)	P54	○	○		
	AN11 (入力)	P55	○	○		
	AN12 (入力)	P56	○	×		
	AN13 (入力)	P57	○	×		
	AN14 (入力)	PC0	○	×		
	AN15 (入力)	PC1	○	×		
	AN16 (入力)	PC2	○	×		
	AN17 (入力)	PC3	○	×		
	AN18 (入力)	PC4	○	×		
	AN19 (入力)	PC5	○	×		
	ADTRG# (入力)	P22	○	○		
		PG5	○	×		
D/A コンバータ	DA0 (出力) (注5)	P54	○	○	×	×
		P64	×	×	○	○
	DA1 (出力) (注5)	P55	○	○	×	×
		P65	×	×	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
クロック周波数 精度測定回路	CACREF (入力)	P00	○	○	○	○
		P01	×	×	×	×
		P23	○	○	○	○
		PB3	○	○	○	○
8 ビットタイマ	TMO0 (出力)	P33			○	○
		P35			○	×
		PB0			○	○
		PD3			○	○
	TMCI0 (入力)	PB1			○	○
		PD4			○	○
	TMRI0 (入力)	PB2			○	○
		PD5			○	○
	TMO1 (出力)	PD6			○	○
		PF0			○	×
	TMCI1 (入力)	PD2			○	○
		PE0			○	○
	TMRI1 (入力)	PD7			○	○
	TMO2 (出力)	P23			○	○
		PA0			○	○
		PA7			○	×
		PD1			○	○ (注 4)
	TMCI2 (入力)	P24			○	○
	TMRI2 (入力)	P22			○	○
	TMO3 (出力)	P11			○	○
		PF2			○	×
	TMCI3 (入力)	PA5			○	○
	TMRI3 (入力)	P10			○	○
	TMO4 (出力)	P22			○	○
		P34			○	×
		P82			○	○
		PA1			○	○
		PD2			○	○
	TMCI4 (入力)	P21			○	○
		P81			○	○
	TMRI4 (入力)	P20			○	○
		P80			○	○
	TMO5 (出力)	PE1			○	○
		PF1			○	×
	TMCI5 (入力)	PE0			○	○
	TMRI5 (入力)	PD7			○	○
	TMO6 (出力)	P24			○	○
		P32			○	○
		PA6			○	×
		PD0			○	○ (注 4)
	TMCI6 (入力)	P30			○	○
		PD4			○	○
	TMRI6 (入力)	P31			○	○
		PD5			○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
8 ビットタイマ	TMO7 (出力)	PA2			○	○
		PF3			○	×
	TMCI7 (入力)	PA4			○	○
	TMRI7 (入力)	PA3			○	○
コンパレータ	COMP0 (出力)	P00			○	○
		P24			○	○
		PF3			○	×
		PG2			○	×
	COMP1 (出力)	P01			○	○
		P23			○	○
		PF2			○	×
		PG1			○	×
	COMP2 (出力)	P22			○	○
		PF1			○	×
		PG0			○	×
	COMP3 (出力)	P30			○	○
		P80			○	○
		PC0			○	×
		PF0			○	×
		PK2			○	×
	COMP4 (出力)	P20			○	○
		P81			○	○
		PC1			○	×
		PC3			○	×
		PK1			○	×
	COMP5 (出力)	P21			○	○
		P82			○	○
		PC2			○	×
		PC4			○	×
		PK0			○	×
	CVREFC0 (入力) (注5)	PH3			○	×
	CVREFC1 (入力) (注5)	PH7			○	×
	CMPC00 (入力) (注5)	P40			○	○
	CMPC01 (入力) (注5)	P40			○	○
	CMPC02 (入力) (注5)	P52			○	○
	CMPC03 (入力) (注5)	P60			○	○
	CMPC10 (入力) (注5)	P41			○	○
	CMPC11 (入力) (注5)	P41			○	○
	CMPC12 (入力) (注5)	P53			○	○
	CMPC13 (入力) (注5)	P61			○	○
	CMPC20 (入力) (注5)	P42			○	○
	CMPC21 (入力) (注5)	P42			○	○
	CMPC22 (入力) (注5)	P54			○	○
	CMPC23 (入力) (注5)	P63			○	○
	CMPC30 (入力) (注5)	P44			○	○
	CMPC31 (入力) (注5)	P44			○	○
	CMPC32 (入力) (注5)	P55			○	○
	CMPC33 (入力) (注5)	P64			○	○
	CMPC40 (入力) (注5)	P45			○	○

モジュール/ 機能	端子機能	割り当て ポート	RX63T(MPC)		RX72T(MPC)	
			144 ピン	100 ピン	144 ピン	100 ピン
コンパレータ	CMPC41 (入力) ^(注5)	P45			○	○
	CMPC42 (入力) ^(注5)	P50			○	○ (注2)
	CMPC43 (入力) ^(注5)	P62			○	○
	CMPC50 (入力) ^(注5)	P46			○	○
	CMPC51 (入力) ^(注5)	P46			○	○
	CMPC52 (入力) ^(注5)	P51			○	○ (注2)
	CMPC53 (入力) ^(注5)	P65			○	○

注 1. PGA 疑似差動入力あり製品のみ対応しています

注 2. PGA 疑似差動入力なし製品のみ対応しています

注 3. USB あり製品のみ対応しています

注 4. USB なし製品のみ対応しています

注 5. RX72T グループでは、この端子を使用する場合は、該当端子の設定を汎用入力にしてください
(PORTm.PDR.Bn ビットおよび PORTm.PMR.Bn ビットに “0” を設定)。

表 2.37 P0n 端子機能制御レジスタ(P0nPFS)の比較

レジスタ	ビット	RX63T(n = 0~3)	RX72T(n = 0, 1)
P00PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00101b : CACREF	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9A 000011b : MTIOC9A# 000111b : CACREF 001001b : ADST1 001010b : RXD9/SMISO9/SSCL9 001100b : RXD12/SMISO12/SSCL12/RXDX12 011110b : COMP0
P01PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : CTS0#/RTS0#/SS0# 10001b : USB0_DRPD	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9C 000011b : MTIOC9C# 000111b : POE12# 001001b : ADST2 001010b : TXD9/SMOSI9/SSDA9 001100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12 010100b : GTETRGA 010101b : GTETRGB 010110b : GTETRGC 010111b : GTETRGD 011110b : COMP1
P02PFS	-	P02 端子機能制御レジスタ	-
P03PFS	-	P03 端子機能制御レジスタ	-
P0nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P00 : IRQ2-DS (64 ピン) P01 : IRQ4-DS (64 ピン) P03 : IRQ7 (144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P00 : IRQ2 (100/1444 ピン) P01 : IRQ4 (100/144 ピン)

表 2.38 P1n 端子機能制御レジスタ(P1nPFS)の比較

レジスタ	ビット	RX63T(n = 0~4)	RX72T(n = 0~7)
P10PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00010b : MTCLKD	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9B 000010b : MTCLKD 000011b : MTIOC9B# 000100b : MTCLKD# 000101b : TMRI3 000111b : POE12# 001010b : CTS6#/RTS6#/SS6# 010101b : GTETRGB 010111b : GTETRGD
P11PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00010b : MTCLKC	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC3A 000010b : MTCLKC 000011b : MTIOC3A# 000100b : MTCLKC# 000101b : TMO3 000111b : POE9# 001000b : MTIOC9D 010100b : GTIOC3B 010101b : GTETRGA 010110b : GTIOC3B# 010111b : GTETRGC
P12PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 10001b : USB0_DPRPD	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC3B 000011b : MTIOC3B# 010100b : GTIOC0A 010101b : GTIOC7A 010110b : GTIOC0A# 010111b : GTIOC7A#
P13PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : CTS2#/RTS2#/SS2# 10001b : USB0_VBUSEN	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC4A 000011b : MTIOC4A# 010100b : GTIOC1A 010101b : GTIOC8A 010110b : GTIOC1A# 010111b : GTIOC8A#

レジスタ	ビット	RX63T(n = 0~4)	RX72T(n = 0~7)
P14PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : SCK2	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC4B 000011b : MTIOC4B# 010100b : GTIOC2A 010101b : GTIOC9A 010110b : GTIOC2A# 010111b : GTIOC9A#
P15PFS	-	-	P15 端子機能制御レジスタ
P16PFS	-	-	P16 端子機能制御レジスタ
P17PFS	-	-	P17 端子機能制御レジスタ
P1nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P10 : IRQ0-DS (64/100/112/120/144 ピン) P11 : IRQ1-DS (64/100/112/120/144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P10 : IRQ0-DS (100/144 ピン) P11 : IRQ1-DS (100/144 ピン) P12 : IRQ9 (144 ピン) P13 : IRQ10 (144 ピン) P14 : IRQ11 (144 ピン) P15 : IRQ12 (144 ピン) P16 : IRQ13 (144 ピン) P17 : IRQ14 (144 ピン)

表 2.39 P2n 端子機能制御レジスタ(P2nPFS)の比較

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~7)
P20PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00010b : MTCLKB 01001b : ADTRG0#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9C 000010b : MTCLKB 000011b : MTIOC9C# 000100b : MTCLKB# 000101b : TMRI4 001001b : ADTRG0# 001010b : CTS8#/RTS8#/SS8# 001011b : SCK8 001101b : RSPCKA 011110b : COMP4

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~7)
P21PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00010b : MTCLKA 01001b : ADTRG1#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9A 000010b : MTCLKA 000011b : MTIOC9A# 000100b : MTCLKA# 000101b : TMCi4 001001b : ADTRG1# 001010b : TXD8/SMOSI8/SSDA8 001100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12 001101b : MOSIA 011110b : COMP5
P22PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01001b : ADTRG# 01010b : RXD0/SMISO0/SSCL0 01101b : MISOA 01110b : MISOB 10000b : CRX1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIC5W 000010b : MTCLKD 000011b : MTIC5W# 000100b : MTCLKD# 000101b : TMRi2 000110b : TMO4 001000b : MTIOC9B 001001b : ADTRG2# 001010b : RXD8/SMISO8/SSCL8 001100b : RXD12/SMISO12/SSCL12/RXDX12 001101b : MISOA 010000b : CRX0 011110b : COMP2
P23PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00101b : CACREF 01010b : TXD0/SMOSI0/SSDA0 01101b : MOSIA 01110b : MOSIB 10000b : CTX1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIC5V 000011b : MTIC5V# 000101b : TMO2 000111b : CACREF 001010b : TXD8/SMOSI8/SSDA8 001100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12 001101b : MOSIA 010000b : CTX0 011110b : COMP1

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~7)
P24PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : CTS0#/RTS0#/SS0# 01101b : RSPCKA 01110b : RSPCKB	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIC5U 000011b : MTIC5U# 000101b : TMC12 000110b : TMO6 001010b : CTS8#/RTS8#/SS8# 001011b : SCK8 001101b : RSPCKA 011110b : COMP0
P25PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : SCK1 01111b : SCL1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9C 000011b : MTIOC9C# 001001b : ADST1 001010b : SCK1
P26PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : TXD1/SMOSI1/SSDA1 01111b : SDA1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9A 000011b : MTIOC9A# 001001b : ADST0 001010b : CTS1#/RTS1#/SS1#
P27PFS	-	-	P27 端子機能制御レジスタ
P2nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P20 : IRQ7-DS (100/112/120/144 ピン) P21 : IRQ6-DS (100/112/120/144 ピン) P24 : IRQ4 (100/112/120/144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P20 : IRQ7-DS (100/144 ピン) P21 : IRQ6-DS (100/144 ピン) P22 : IRQ10 (100/144 ピン) P23 : IRQ11 (100/144 ピン) P24 : IRQ4 (100/144 ピン) P25 : IRQ10 (144 ピン) P26 : IRQ11 (144 ピン) P27 : IRQ15 (100 ^(注1) /144 ピン)
	ASEL	-	アナログ入力機能選択ビット

注 1. PGA 疑似差動入力あり製品のみ対応

表 2.40 P3n 端子機能制御レジスタ(P3nPFS)の比較

レジスタ	ビット	RX63T(n = 0~5)	RX72T(n = 0~5)
P30PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0B 00010b : MTCLKD 01010b : SCK0 01101b : SSLA0 01110b : SSLB0	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC0B 000010b : MTCLKD 000011b : MTIOC0B# 000100b : MTCLKD# 000101b : TMCi6 001010b : SCK8 001011b : CTS8#/RTS8#/SS8# 001101b : SSLA0 011110b : COMP3
P31PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0A 00010b : MTCLKC 01101b : SSLA1 01110b : SSLB1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC0A 000010b : MTCLKC 000011b : MTIOC0A# 000100b : MTCLKC# 000101b : TMRi6 001101b : SSLA1
P32PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTCLKB 01101b : SSLA2 01110b : SSLB2	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC3C 000010b : MTCLKB 000011b : MTIOC3C# 000100b : MTCLKB# 000101b : TMO6 001101b : SSLA2 010100b : GTIOC3A 010110b : GTIOC3A#
P33PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKA 01101b : SSLA3 01110b : SSLB3	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC3A 000010b : MTCLKA 000011b : MTIOC3A# 000100b : MTCLKA# 000101b : TMO0 001101b : SSLA3 010100b : GTIOC3B 010110b : GTIOC3B#

レジスタ	ビット	RX63T(n = 0~5)	RX72T(n = 0~5)
P34PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTETRG1 01010b : RXD3/SMISO3/SSCL3	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC2B 000010b : MTIOC9B 000011b : MTIOC2B# 000100b : MTIOC9B# 000101b : TMO4 001010b : CTS9#/RTS9#/SS9# 001011b : RXD1/SMISO1/SSCL1 010001b : USB0_OVRCURB 010100b : GTADSM1 010101b : GTETRGB
P35PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : TXD3/SMOSI3/SSDA3	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC2A 000010b : MTIOC9A 000011b : MTIOC2A# 000100b : MTIOC9A# 000101b : TMO0 001010b : CTS8#/RTS8#/SS8# 001011b : TXD1/SMOSI1/SSDA1 010100b : GTADSM0
P3nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P34 : IRQ3 (144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P30 : IRQ7 (100/144 ピン) P31 : IRQ6 (100/144 ピン) P32 : IRQ12-DS (100/144 ピン) P33 : IRQ13-DS (100/144 ピン) P34 : IRQ3 (144 ピン) P35 : IRQ6 (144 ピン)

表 2.41 P4n 端子機能制御レジスタ(P4nPFS)の比較

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~7)
P4nPFS	ASEL	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (48/64/100/112/120/144 ピン) P41 : AN001 (48/64/100/112/120/144 ピン) P42 : AN002 (48/64/100/112/120/144 ピン) P43 : AN003 (48/64/100/112/120/144 ピン) P44 : AN004 (48/64 ピン)/ AN100(100/112/120/144 ピン) P45 : AN005 (64 ピン)/ AN101 (100/112/120/144 ピン) P46 : AN006 (64 ピン)/ AN102 (100/112/120/144 ピン) P47 : AN007 (48/64 ピン)/ AN103 (100/112/120/144 ピン)	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000, CMPC00, CMPC01 (100/144 ピン) P41 : AN001, CMPC10, CMPC11 (100/144 ピン) P42 : AN002, CMPC20, CMPC21 (100/144 ピン) P43 : AN003 (100/144 ピン) P44 : AN100, CMPC30, CMPC31 (100/144 ピン) P45 : AN101, CMPC40, CMPC41 (100/144 ピン) P46 : AN102, CMPC50, CMPC51 (100/144 ピン) P47 : AN103 (100/144 ピン)

表 2.42 P5n 端子機能制御レジスタ(P5nPFS)の比較

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~5)
P56PFS	-	P56 端子機能制御レジスタ	-
P57PFS	-	P75 端子機能制御レジスタ	-
P5nPFS	ISEL	-	割り込み入力機能選択ビット
	ASEL	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P50 : AN6 (100/112/120/144 ピン) P51 : AN7 (100/112/120/144 ピン) P52 : AN8 (100/112/120/144 ピン) P53 : AN9 (100/112/120/144 ピン) P54 : AN10 (100/112/120/144 ピン) P55 : AN11 (100/112/120/144 ピン) P56 : AN12 (144 ピン) P57 : AN13 (144 ピン)	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P50 : AN204, CMPC42 (100 ^(注1) /144 ピン) P51 : AN205, CMPC52 (100 ^(注1) /144 ピン) P52 : AN200, CMPC02 (100/144 ピン) P53 : AN201, CMPC12 (100/144 ピン) P54 : AN202, CMPC22 (100/1444 ピン) P55 : AN203, CMPC32 (100/144 ピン)

注 1. PGA 疑似差動入力なし製品のみ対応

表 2.43 P6n 端子機能制御レジスタ(P6nPFS)の比較

レジスタ	ビット	RX63T(n = 0~5)	RX72T(n = 0~5)
P6nPFS	ISEL	-	割り込み入力機能選択ビット
	ASEL	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P60 : AN0 (100/112/120/144 ピン) P61 : AN1 (100/112/120/144 ピン) P62 : AN2 (100/112/120/144 ピン) P63 : AN3 (100/112/120/144 ピン) P64 : AN4 (100/112/120/144 ピン) P65 : AN5 (100/112/120/144 ピン)	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P60 : AN206, CMPC03 (100/144 ピン) P61 : AN207, CMPC13 (100/144 ピン) P62 : AN208, CMPC43 (100/144 ピン) P63 : AN209, CMPC23 (100/144 ピン) P64 : AN210, CMPC33, DA0 (100/144 ピン) P65 : AN211, CMPC53, DA1 (100/144 ピン)

表 2.44 P7n 端子機能制御レジスタ(P7nPFS)の比較

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~6)
P70PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00111b : POE0# 01010b : CTS1#/RTS1#/SS1#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000111b : POE0# 001010b : CTS9#/RTS9#/SS9# 010100b : GTETRGA 010101b : GTETRGB 010110b : GTETRG C 010111b : GTETRGD
P71PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3B 00110b : GTIOC0A	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC3B 000011b : MTIOC3B# 010100b : GTIOC0A 010101b : GTIOC4A 010110b : GTIOC0A# 010111b : GTIOC4A#

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~6)
P72PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC4A 00110b : GTIOC1A	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC4A 000011b : MTIOC4A# 010100b : GTIOC1A 010101b : GTIOC5A 010110b : GTIOC1A# 010111b : GTIOC5A#
P73PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC4B 00110b : GTIOC2A	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC4B 000011b : MTIOC4B# 010100b : GTIOC2A 010101b : GTIOC6A 010110b : GTIOC2A# 010111b : GTIOC6A#
P74PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC3D 00110b : GTIOC0B	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC3D 000011b : MTIOC3D# 010100b : GTIOC0B 010101b : GTIOC4B 010110b : GTIOC0B# 010111b : GTIOC4B#
P75PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC4C 00110b : GTIOC1B	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC4C 000011b : MTIOC4C# 010100b : GTIOC1B 010101b : GTIOC5B 010110b : GTIOC1B# 010111b : GTIOC5B#

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~6)
P76PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC4D 00110b : GTIOC2B	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC4D 000011b : MTIOC4D# 010100b : GTIOC2B 010101b : GTIOC6B 010110b : GTIOC2B# 010111b : GTIOC6B#

表 2.45 P8n 端子機能制御レジスタ(P8nPFS)の比較

レジスタ	ビット	RX63T(n = 0~2)	RX72T(n = 0~2)
P80PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIC5W 01100b : RXD12/SMISO12/SSCL12/RDX12	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIC5W 000011b : MTIC5W# 000101b : TMRI4 001010b : RXD6/SMISO6/SSCL6 001100b : RXD12/SMISO12/SSCL12/RDX12 011110b : COMP3
P81PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIC5V 01100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIC5V 000011b : MTIC5V# 000101b : TMC14 001010b : TXD6/SMOSI6/SSDA6 001100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12 011110b : COMP4
P82PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIC5U 01100b : SCK12	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIC5U 000011b : MTIC5U# 000101b : TMO4 001010b : SCK6 001100b : SCK12 011110b : COMP5

表 2.46 P9n 端子機能制御レジスタ (P9nPFS) の比較

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~6)
P90PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC7D 00110b : GTIOC6B	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC7D 000011b : MTIOC7D# 010100b : GTIOC6B 010101b : GTIOC9B 010110b : GTIOC6B# 010111b : GTIOC9B#
P91PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC7C 00110b : GTIOC5B	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC7C 000011b : MTIOC7C# 010100b : GTIOC5B 010101b : GTIOC8B 010110b : GTIOC5B# 010111b : GTIOC8B#
P92PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC6D 00110b : GTIOC4B	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC6D 000011b : MTIOC6D# 010100b : GTIOC4B 010101b : GTIOC7B 010110b : GTIOC4B# 010111b : GTIOC7B#
P93PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC7B 00110b : GTIOC6A 01010b : CTS2#/RTS2#/SS2#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC7B 000011b : MTIOC7B# 010100b : GTIOC6A 010101b : GTIOC9A 010110b : GTIOC6A# 010111b : GTIOC9A#

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~6)
P94PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC7A 00110b : GTIOC5A 01010b : CTS1#/RTS1#/SS1#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC7A 000011b : MTIOC7A# 010100b : GTIOC5A 010101b : GTIOC8A 010110b : GTIOC5A# 010111b : GTIOC8A#
P95PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC6B 00110b : GTIOC4A 01010b : TXD1/SMOSI1/SSDA1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC6B 000011b : MTIOC6B# 010100b : GTIOC4A 010101b : GTIOC7A 010110b : GTIOC4A# 010111b : GTIOC7A#
P96PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00111b : POE4# 01010b : RXD1/SMISO1/SSCL1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000111b : POE4# 001010b : CTS8#/RTS8#/SS8# 010100b : GTETRGA 010101b : GTETRGB 010110b : GTETRGC 010111b : GTETRGD
P9nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P93 : IRQ1 (64 ピン) P96 : IRQ4-DS (100/112/120/144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P96 : IRQ4-DS (100/144 ピン)

表 2.47 PAn 端子機能制御レジスタ(PAnPFS)の比較

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~7)
PA0PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC6C 01010b : SCK2 01101b : SSLA3 01110b : SSLB3	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC6C 000011b : MTIOC6C# 000101b : TMO2 001010b : SCK9 001011b : TXD11/SMOSI11/SSDA11 001101b : SSLA3 010000b : CTX0 010001b : USB0_EXICEN 010010b : USB0_VBUSEN
PA1PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC6A 01010b : TXD2/SMOSI2/SSDA2 01101b : SSLA2 01110b : SSLB2	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC6A 000011b : MTIOC6A# 000101b : TMO4 001001b : ADTRG0# 001010b : TXD9/SMOSI9/SSDA9 001011b : RXD11/SMISO11/SSCL11 001101b : SSLA2 010000b : CRX0 010001b : USB0_ID 010010b : USB0_OVRCURA
PA2PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC2B 01010b : RXD2/MISO2/SSCL2 01101b : SSLA1 01110b : SSLB1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC2B 000011b : MTIOC2B# 000101b : TMO7 001010b : CTS6#/RTS6#/SS6# 001011b : RXD9/SMISO9/SSCL9 001100b : SCK11 001101b : SSLA1 010100b : GTADSM1

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~7)
PA3PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC2A 01010b : SCK0 01101b : SSLA0 01110b : SSLB0	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC2A 000011b : MTIOC2A# 000101b : TMRI7 001010b : TXD9/SMOSI9/SSDA9 001011b : SCK8 001101b : SSLA0 010100b : GTADSM0
PA4PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC1B 01001b : ADTRG0# 01010b : TXD0/SMOSI0/SSDA0 01101b : RSPCKA 01110b : RSPCKB	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC1B 000011b : MTIOC1B# 000101b : TMCi7 001001b : ADTRG0# 001010b : SCK6 001011b : TXD8/SMOSI8/SSDA8 001101b : RSPCKA
PA5PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC1A 01001b : ADTRG1# 01010b : RXD0/SMISO0/SSCL0 01101b : MISOA 01110b : MISOB	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC1A 000011b : MTIOC1A# 000101b : TMCi3 001001b : ADTRG1# 001010b : RXD6/SMISO6/SSCL6 001011b : RXD8/SMISO8/SSCL8 001101b : MISOA
PA6PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : CTS3#/RTS3#/SS3#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTCLKB 000010b : MTCLKD 000011b : MTCLKB# 000100b : MTCLKD# 000101b : TMO6 001001b : ADSM1 001011b : TXD11/SMOSI11/SSDA11 001100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12 010000b : CTX0 010100b : GTADSM1

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~7)
PA7PFS	-	-	PA7 端子機能制御レジスタ
PAnPFS	ISEL	-	割り込み入力機能選択ビット

表 2.48 PBN 端子機能制御レジスタ(PBnPFS)の比較

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~7)
PB0PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0D 01101b : MOSIA 01110b : MOSIB	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC0D 000011b : MTIOC0D# 000101b : TMO0 001001b : ADTRG2# 001010b : TXD6/SMOSI6/SSDA6 001011b : CTS11#/RTS11#/SS11# 001101b : MOSIA
PB1PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0C 01010b : RXD0/SMISO0/SSCL0 01111b : SCL0	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC0C 000011b : MTIOC0C# 000101b : TMCIO 001001b : ADSM1 001010b : RXD6/SMISO6/SSCL6 001111b : SCL 010100b : GTADSM1
PB2PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0B 01010b : TXD0/SMOSI0/SSDA0 01111b : SDA0	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC0B 000011b : MTIOC0B# 000101b : TMRIO 001001b : ADSM0 001010b : TXD6/SMOSI6/SSDA6 001111b : SDA 010100b : GTADSM0
PB3PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00001b : MTIOC0A 00101b : CACREF 01010b : SCK0	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC0A 000011b : MTIOC0A# 000111b : CACREF 001010b : SCK6 001101b : RSPCKA

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~7)
PB4PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTETRGO 00111b : POE8#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000111b : POE8# 001010b : CTS5#/RTS5#/SS5# 001011b : SCK11 001100b : CTS11#/RTS11#/SS11# 010001b : USB0_OVRCURB 010100b : GTETRGA 010101b : GTETRGB 010110b : GTETRGC 010111b : GTETRGD
PB5PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12 10000b : CTX1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 001010b : TXD5/SMOSI5/SSDA5 001011b : TXD11/SMOSI11/SSDA11 001100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12 010000b : CTX0 010001b : USB0_VBUSEN 010100b : GTIOC2B 010110b : GTIOC2B#
PB6PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01100b : RXD12/SMISO12/SSCL12/RXDX12 10000b : CRX1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 001010b : RXD5/SMISO5/SSCL5 001011b : RXD11/SMISO11/SSCL11 001100b : RXD12/SMISO12/SSCL12/RXDX12 010000b : CRX0 010001b : USB0_OVRCURA 010100b : GTIOC2A 010110b : GTIOC2A#
PB7PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01100b : SCK12	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 001010b : SCK5 001011b : SCK11 001100b : SCK12 010001b : USB0_OVRCURB 010100b : GTIOC1B 010110b : GTIOC1B#

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~7)
PBnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB1 : IRQ4 (100/112/120/144 ピン) PB4 : IRQ3-DS (64/80/100/112/120/144 ピン) PB5 : IRQ0 (64/80 ピン) PB6 : IRQ2 (100/112/120/144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB0 : IRQ8 (100/144 ピン) PB1 : IRQ4 (100/144 ピン) PB3 : IRQ9 (100/144 ピン) PB4 : IRQ3-DS (100/144 ピン) PB6 : IRQ2 (100/144 ピン)

表 2.49 PCn 端子機能制御レジスタ(PCnPFS)の比較

レジスタ	ビット	RX63T(n = 0~5)	RX72T(n = 0~6)
PCnPFS	PSEL[5:0]	-	端子機能選択ビット
	ISEL	-	割り込み入力機能選択ビット
	ASEL	アナログ入力機能選択ビット	-

表 2.50 PDn 端子機能制御レジスタ(PDnPFS)の比較

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~7)
PD0PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC3B 01101b : RSPCKA 01110b : RSPCKB	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9C 000011b : MTIOC9C# 000101b : TMO1 001001b : ADST0 001010b : CTS1#/RTS1#/SS1# 001011b : CTS11#/RTS11#/SS11# 001101b : SSLA0 010100b : GTIOC0B 010101b : GTIOC3B 010110b : GTIOC0B# 010111b : GTIOC3B#

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~7)
PD1PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC3A 01101b : MISOA 01110b : MISOB 10001b : USB0_EXICEN	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9A 000011b : MTIOC9A# 000101b : TMRI1 000110b : TMRI5 001010b : TXD5/SMOSI5/SSDA5 001101b : SSLA1 010000b : CTX0 010100b : GTIOC0A 010101b : GTIOC3A 010110b : GTIOC0A# 010111b : GTIOC3A#
PD2PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC2B 01101b : MOSIA 01110b : MOSIB 10001b : USB0_ID	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000101b : TMO6 001011b : TXD8/SMOSI8/SSDA8 001101b : RSPCKA 010100b : GTIOC3B 010101b : GTIOC1A 010110b : GTIOC3B# 010111b : GTIOC1A#
PD3PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC2A 01010b : TXD1/SMOSI1/SSDA1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000101b : TMO2 001011b : RXD8/SMISO8/SSCL8 001101b : MISOA 010100b : GTIOC3A 010101b : GTIOC0B 010110b : GTIOC3A# 010111b : GTIOC0B#

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~7)
PD4PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC1B 01010b : SCK1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000101b : TMC11 000110b : TMO4 001010b : SCK5 001011b : SCK8 001101b : MOSIA 010001b : USB0_VBUS 010100b : GTIOC2B 010101b : GTIOC0A 010110b : GTIOC2B# 010111b : GTIOC0A#
PD5PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC1A 01010b : RXD1/SMISO1/SSCL1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000101b : TMO0 001010b : TXD1/SMOSI1/SSDA1 001011b : TXD11/SMOSI11/SSDA11 010100b : GTIOC2A 010101b : GTETRGC 010110b : GTIOC2A#
PD6PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC0B 01101b : SSLA0 01110b : SSLB0	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000101b : TMCi0 000110b : TMCi6 001010b : SCK1 001011b : SCK11 010100b : GTIOC1B 010101b : GTETRGB 010110b : GTIOC1B#
PD7PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC0A 01010b : CTS0#/RTS0#/SS0# 01101b : SSLA1 01110b : SSLB1 10000b : CTX1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000101b : TMRi0 000110b : TMRi6 001010b : RXD1/SMISO1/SSCL1 001011b : RXD11/SMISO11/SSCL11 010100b : GTIOC1A 010101b : GTETRGA 010110b : GTIOC1A#

レジスタ	ビット	RX63T(n = 0~7)	RX72T(n = 0~7)
PDnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PD5 : IRQ6 (100/112/120/144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PD4 : IRQ2 (100/144 ピン) PD5 : IRQ6 (100/144 ピン) PD6 : IRQ5 (100/144 ピン) PD7 : IRQ8 (100/144 ピン)

表 2.51 PEn 端子機能制御レジスタ(PEnPFS)の比較

レジスタ	ビット	RX63T(n = 0~5)	RX72T(n = 0~6)
PE0PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01101b : SSLA2 01110b : SSLB2 10000b : CRX1 10001b : USB0_OVRCURB	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9B 000011b : MTIOC9B# 000101b : TMCi1 000110b : TMCi5 001010b : RXD5/SMISO5/SSCL5 001101b : SSLA2 010000b : CRX0 010001b : USB0_OVRCURB
PE1PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01100b : CTS12#/RTS12#/SS12# 01101b : SSLA3 01110b : SSLB3 10001b : USB0_OVRCURA	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9D 000011b : MTIOC9D# 000101b : TMO5 001010b : CTS5#/RTS5#/SS5# 001100b : CTS12#/RTS12#/SS12# 001101b : SSLA3
PE2PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00111b : POE10#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000111b : POE10#

レジスタ	ビット	RX63T(n = 0~5)	RX72T(n = 0~6)
PE3PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00010b : MTICKLD 00111b : POE11#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000010b : MTICKLD 000100b : MTICKLD# 000111b : POE11# 001010b : CTS9#/RTS9#/SS9# 010100b : GTETRG A 010101b : GTETRG B 010110b : GTETRG C 010111b : GTETRG D
PE4PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00010b : MTICKLC 00111b : POE10#	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000010b : MTICKLC 000100b : MTICKLC# 000111b : POE10# 001010b : SCK9 010100b : GTETRG A 010101b : GTETRG B 010110b : GTETRG C 010111b : GTETRG D
PE5PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 10001b : USB0_VBUS	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000001b : MTIOC9D 000011b : MTIOC9D# 001001b : ADST0 001010b : SCK9 001011b : CTS9#/RTS9#/SS9# 010100b : GTIOC3A 010101b : GTETRG B 010110b : GTIOC3A# 010111b : GTETRG D
PE6PFS	-	-	PE6 端子機能制御レジスタ
PEnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PE0 : IRQ7 (100/112/120/144 ピン) PE3 : IRQ2-DS (100/112/120/144 ピン) PE4 : IRQ1 (100/112/120/144 ピン) PE5 : IRQ0 (100/112/120/144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PE0 : IRQ7 (100/144 ピン) PE1 : IRQ15 (100/144 ピン) PE3 : IRQ2-DS (100/144 ピン) PE4 : IRQ1 (100/144 ピン) PE5 : IRQ0 (100/144 ピン) PE6 : IRQ3 (144 ピン)

表 2.52 PFn 端子機能制御レジスタ(PFnPFS)の比較

レジスタ	ビット	RX63T(n = 2, 3)	RX72T(n = 0~3)
PF0PFS	-	-	PF0 端子機能制御レジスタ
PF1PFS	-	-	PF1 端子機能制御レジスタ
PF2PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : RXD1/SMISO1/SSCL1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000101b : TMO3 001011b : SCK11 010000b : CTX0 010100b : GTETRGB 011110b : COMP1
PF3PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : TXD1/SMOSI1/SSDA1	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 000101b : TMO7 001011b : CTS11#/RTS11#/SS11# 010000b : CRX0 010100b : GTETRGA 011110b : COMP0
PFnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PF2 : IRQ5 (112/120/144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PF0 : IRQ12 (144 ピン) PF1 : IRQ13 (144 ピン) PF2 : IRQ5 (144 ピン) PF3 : IRQ14 (144 ピン)

表 2.53 PGn 端子機能制御レジスタ(PGnPFS)の比較

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~2)
PG0PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC7A 01010b : TXD2/SMOSI2/SSDA2	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 001010b : RXD9/SMISO9/SSCL9 010101b : GTIOC1B 010111b : GTIOC1B# 011110b : COMP2

レジスタ	ビット	RX63T(n = 0~6)	RX72T(n = 0~2)
PG1PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 00110b : GTIOC7B 01010b : RXD2/SMISO2/SSCL2	端子機能選択ビット (b5-b0) b5 b0 000000b : Hi-Z 001010b : TXD9/SMOSI9/SSDA9 010101b : GTIOC0A 010111b : GTIOC0A# 011110b : COMP1
PG2PFS	PSEL[4:0] (RX63T) PSEL[5:0] (RX72T)	端子機能選択ビット (b4-b0) b4 b0 00000b : Hi-Z 01010b : SCK2	端子機能選択ビット(b5-b0) b5 b0 000000b : Hi-Z 001010b : SCK9 010100b : GTETRGA 010101b : GTIOC0B 010111b : GTIOC0B# 011110b : COMP0
PG3PFS	-	PG3 端子機能制御レジスタ	-
PG4PFS	-	PG4 端子機能制御レジスタ	-
PG5PFS	-	PG5 端子機能制御レジスタ	-
PG6PFS	-	PG6 端子機能制御レジスタ	-
PGnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PG0 : IRQ0 (112/120/144 ピン) PG1 : IRQ1 (112/120/144 ピン) PG2 : IRQ2 (112/120/144 ピン) PG4 : IRQ6 (112/120/144 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PG0 : IRQ0 (144 ピン) PG1 : IRQ1 (144 ピン) PG2 : IRQ2 (144 ピン)

表 2.54 PHn 端子機能制御レジスタ(PHnPFS)の比較

レジスタ	ビット	RX63T	RX72T
PHnPFS	-	-	PHn 端子機能制御レジスタ (n = 0~7)

表 2.55 PKn 端子機能制御レジスタ(PKnPFS)の比較

レジスタ	ビット	RX63T	RX72T
PKnPFS	-	-	PKn 端子機能制御レジスタ (n = 0~2)

表 2.56 マルチファンクションピンコントローラのレジスタ比較

レジスタ	ビット	RX63T(MPC)	RX72T(MPC)
UDPUPEPFS	-	USB0_DPUPE 端子機能制御レジスタ	-
PFCSS0	CS0S	CS0#出力端子選択ビット 0 : P26 を CS0#出力端子として設定 1 : PD1 を CS0#出力端子として設定	CS0#出力端子選択ビット 0 : P96 を CS0#出力端子として設定 1 : PC0 を CS0#出力端子として設定
	CS1S[1:0]	CS1#出力端子選択ビット b3 b2 0 0 : P00 を CS1#出力端子として設定 0 1 : P25 を CS1#出力端子として設定 1 x : PF2 を CS1#出力端子として設定	CS1#出力端子選択ビット b3 b2 0 0 : P80 を CS1#出力端子として設定 0 1 : PK0 を CS1#出力端子として設定 1 0 : PF1 を CS1#出力端子として設定 1 1 : PC2 を CS1#出力端子として設定
	CS2S[1:0]	CS2#出力端子選択ビット b5 b4 0 0 : PD2 を CS2#出力端子として設定 0 1 : PG6 を CS2#出力端子として設定 1 x : P05 を CS2#出力端子として設定	CS2#出力端子選択ビット b5 b4 0 0 : P81 を CS2#出力端子として設定 0 1 : P26 を CS2#出力端子として設定 1 x : PF2 を CS2#出力端子として設定
	CS3S[1:0] (RX63T) CS3S (RX72T)	CS3#出力端子選択ビット (b7-b6) b7 b6 0 0 : P12 を CS3#出力端子として設定 0 1 : PF4 を CS3#出力端子として設定 1 x : PA6 を CS3#出力端子として設定	CS3#出力端子選択ビット (b6) 0 : PF3 を CS3#出力端子として設定 1 : P25 を CS3#出力端子として設定
PFAOE1	A20E	-	アドレス A20 出力許可ビット
PFBCR0	ADRLE	A0~A7 出力許可ビット 0 : P65~P60、P53、P52 を I/O ポートとして設定 1 : P65~P60、P53、P52 を外部アドレスバス A0~A7 として設定	A0~A7 出力許可ビット 0 : PB0、PA2、PF0、PA3~PA5、PB0~PB3、PB4~PB7、PD0~PD2 を I/O ポートとして設定 1 : PB0、PA2、PF0、PA3~PA5、PB0~PB3、PB4~PB7、PD0~PD2 を外部アドレスバス A0~A7 として設定
	ADRHMS	-	A12~A20 出力選択ビット
	BCLKO	-	BCLK 強制出力ビット
	DHE	D8~D15 出力許可ビット 0 : P32~P30、P24~P20 を I/O ポートとして設定 1 : P32~P30、P24~P20 を外部データバス D8~D15 として設定	D8~D15 出力許可ビット 0 : 外部データバス D8~D15 出力禁止 (I/O ポートとして設定) 1 : 外部データバス D8~D15 出力許可 D8~D10 : P32~P30 D11~D15 : PFBCR2 レジスタで選択
PFBCR1	WAITS[1:0]	WAIT 選択ビット b1 b0 0 0 : PE0 を WAIT#入力端子として設定 0 1 : P82 を WAIT#入力端子として設定 1 x : P05 を WAIT#入力端子として設定	WAIT 選択ビット b1 b0 0 0 : P82、PE0、P96 を WAIT#入力端子として設定しない 0 1 : P82 を WAIT#入力端子として設定 1 0 : PE0 を WAIT#入力端子として設定 1 1 : P96 を WAIT#入力端子として設定
PFBCR2	-	-	外部バス制御レジスタ 2

レジスタ	ビット	RX63T(MPC)	RX72T(MPC)
PFBCR3	-	-	外部バス制御レジスタ 3
PFBCR4	-	-	外部バス制御レジスタ 4
PFUSB0	-	USB0 制御レジスタ	-

2.18 マルチファンクションタイマパルスユニット 3

表 2.57 にマルチファンクションタイマパルスユニット 3 の概要比較を、表 2.58 にマルチファンクションタイマパルスユニット 3 のレジスタ比較を、表 2.59、表 2.60 に TRSC ビットの設定比較を示します。

表 2.57 マルチファンクションタイマパルスユニット 3 の概要比較

項目	RX63T(MTU3)	RX72T(MTU3d)
パルス入出力	【144/120/112/100 ピン版の場合】 最大 24 本 【64/48 ピン版の場合】 最大 24 本（最大 16 本の同時使用が可能）	最大 28 本
パルス入力	3 本	3 本
カウントクロック	チャンネルごとに 6~8 種類（チャンネル 5 は 4 種類）	チャンネルごとに 11 種類(MTU0、MTU9 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき)は 4 種類)
動作周波数	8~100MHz	~200MHz
設定可能動作	【MTU0~MTU4、MTU6、MTU7】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 - カウンタクリア動作 - 複数のタイマカウンタ(TCNT)への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 【144/120/112/100 ピン版の場合】 - 同期動作と組み合わせることによる最大 12 相の PWM 出力 【64/48 ピン版の場合】 - 同期動作と組み合わせることによる最大 8 相の PWM 出力	【MTU0~MTU4、MTU6、MTU7、MTU9】 - コンペアマッチによる波形出力 - インプットキャプチャ機能(ノイズフィルタ設定可能) - カウンタクリア動作 - 複数のタイマカウンタ(TCNT)への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 14 相の PWM 出力
	【MTU0、MTU3、MTU4、MTU6、MTU7】 バッファ動作を設定可能	【MTU0、MTU3、MTU4、MTU6、MTU7、MTU9】 バッファ動作を設定可能
	【MTU3、MTU4、MTU6、MTU7】 - MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット PWM 動作で、3 相のポジ/ネガ計 6 相の出力が可能 - 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD、MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタヘデータ転送可能 - 相補 PWM モードでダブルバッファ機能を設定可能	【MTU3、MTU4、MTU6、MTU7】 - MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 - 相補 PWM モード時、タイマカウンタの山または谷のとき、またはバッファレジスタ (MTU4.TGRD、MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタヘデータ転送可能 - 相補 PWM モードでダブルバッファ機能を設定可能

項目	RX63T(MTU3)	RX72T(MTU3d)
設定可能動作	【MTU1、MTU2】 - 個々に位相計数モードを設定可能 - カスケード接続動作が可能	【MTU1、MTU2】 - 独立に位相計数モードを設定可能 - MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能(TMDR3.LWA = 1 設定時) - カスケード接続動作が可能
	【MTU3、MTU4】 MTU0 と連動させて、相補 PWM、リセット PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能	【MTU3、MTU4】 MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能
	【MTU5】 デッドタイム補償用カウンタとして使用することが可能	【MTU5】 デッドタイム補償用カウンタとして使用することが可能
	-	【MTU6、MTU7】 MTU9 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山／谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	38 種類	45 種類
バッファ動作	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)
トリガ生成	- A/D コンバータの変換開始トリガを生成可能 - A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能	- A/D コンバータの変換開始トリガを生成可能 - A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
相補 PWM モード	ダブルバッファ機能使用時のみ、バッファレジスタ(MTU3.TGRE、MTU4.TGRE、MTU4.TGRF(MTU6.TGRE、MTU7.TGRE、MTU7.TGRF))に出力する PWM デューティ値-1 を設定	ダブルバッファ機能使用時のみ、バッファレジスタ(MTU3.TGRE、MTU4.TGRE、MTU4.TGRF(MTU6.TGRE、MTU7.TGRE、MTU7.TGRF))に出力する PWM デューティ値を設定
A/D 変換開始要求フレーム同期信号機能	なし	あり

表 2.58 マルチファンクションタイマパルスユニット 3 のレジスタ比較

レジスタ		ビット	RX63T(MTU3)	RX72T(MTU3d)
TCR		TPSC[2:0] TPSC[1:0]	タイマプリスケラ選択ビット 詳細は表 2.59、表 2.60 を参照してください。	タイマプリスケラ選択ビット 詳細は表 2.59、表 2.60 を参照してください。
TCR2		-	-	タイマコントロールレジスタ 2
TMDR1		MD[3:0]	モード選択ビット b3 b0 0 0 0 0 : 通常動作 0 0 0 1 : 設定しないでください 0 0 1 0 : PWM モード 1 0 0 1 1 : PWM モード 2 0 1 0 0 : 位相計数モード 1 0 1 0 1 : 位相計数モード 2 0 1 1 0 : 位相計数モード 3 0 1 1 1 : 位相計数モード 4 1 0 0 0 : リセット同期 PWM モード 1 0 0 1 : 設定しないでください 1 0 1 x : 設定しないでください 1 1 0 0 : 設定しないでください 1 1 0 1 : 相補 PWM モード 1 (山で転送) 1 1 1 0 : 相補 PWM モード 2 (谷で転送) 1 1 1 1 : 相補 PWM モード 3 (山・谷で転送) x : Don't care	モード選択ビット b3 b0 0 0 0 0 : ノーマルモード 0 0 0 1 : 設定しないでください 0 0 1 0 : PWM モード 1 0 0 1 1 : PWM モード 2 0 1 0 0 : 位相計数モード 1 0 1 0 1 : 位相計数モード 2 0 1 1 0 : 位相計数モード 3 0 1 1 1 : 位相計数モード 4 1 0 0 0 : リセット同期 PWM モード 1 0 0 1 : 位相計数モード 5 1 0 1 x : 設定しないでください 1 1 0 0 : 設定しないでください 1 1 0 1 : 相補 PWM モード 1 (山で転送) 1 1 1 0 : 相補 PWM モード 2 (谷で転送) 1 1 1 1 : 相補 PWM モード 3 (山と谷で転送) x : Don't care
TMDR3		-	-	タイマモードレジスタ 3
TSR	TSR	TGFA	インプットキャプチャ/ アウトプットコンペアフラグ A	-
		TGFB	インプットキャプチャ/ アウトプットコンペアフラグ B	-
		TGFC	インプットキャプチャ/ アウトプットコンペアフラグ C	-
		TGFD	インプットキャプチャ/ アウトプットコンペアフラグ D	-
		TCFV	オーバフローフラグ	-
		TCFU	アンダフローフラグ	-
		CMFW5	コンペアマッチ/ インプットキャプチャフラグ W5	-
		CMFV5	コンペアマッチ/ インプットキャプチャフラグ V5	-
		CMFU5	コンペアマッチ/ インプットキャプチャフラグ U5	-
	TSR2	TGFE	コンペアマッチフラグ E	-
TGFF		コンペアマッチフラグ F	-	
TCNTLW		-	-	タイマロングワードカウンタ
TGRALW, TGRBLW		-	-	タイマロングワードジェネラル レジスタ
TSTRA		CST9	-	カウンタスタート 9 ビット
TSYRA		SYNC9	-	タイマ同期 9 ビット
TCSYSTR		SCH9	-	シンクロスタート 9 ビット

レジスタ	ビット	RX63T(MTU3)	RX72T(MTU3d)
TGCRB	-	-	タイマゲートコントロールレジスタ
NFCRn	-	-	ノイズフィルタコントロールレジスタ n (n=0~4, 6, 7, 9, C)
NFCR5	-	-	ノイズフィルタコントロールレジスタ 5
TADSTRGR0	-	-	A/D 変換開始要求選択レジスタ 0
TADSTRGR1	-	-	A/D 変換開始要求選択レジスタ 1

表 2.59 TPSC ビットの設定比較(MTU5 以外)

チャネル	RX63T(MTU3)		RX72T(MTU3d)		
	TCR. TPSC[2:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[2:0]	説明
MTU0 (RX63T) MTU0, MTU9 (RX72T)	0 0 0	内部クロック : PCLKA/1 でカウント	0 0 0	0 0 0	内部クロック : PCLKC/1 でカウント
	0 0 1	内部クロック : PCLKA/4 でカウント	0 0 0	0 0 1	内部クロック : PCLKC/4 でカウント
	0 1 0	内部クロック : PCLKA/16 でカウント	0 0 0	0 1 0	内部クロック : PCLKC/16 でカウント
	0 1 1	内部クロック : PCLKA/64 でカウント	0 0 0	0 1 1	内部クロック : PCLKC/64 でカウント
	1 0 0	外部クロック : MTCLKA 端子入力でカウント	0 0 0	1 0 0	外部クロック : MTCLKA 端子入力でカウント
	1 0 1	外部クロック : MTCLKB 端子入力でカウント	0 0 0	1 0 1	外部クロック : MTCLKB 端子入力でカウント
	1 1 0	外部クロック : MTCLKC 端子入力でカウント	0 0 0	1 1 0	外部クロック : MTCLKC 端子入力でカウント
	1 1 1	外部クロック : MTCLKD 端子入力でカウント	0 0 0	1 1 1	外部クロック : MTCLKD 端子入力でカウント
			0 0 1	x x x	内部クロック : PCLKC/2 でカウント
			0 1 0	x x x	内部クロック : PCLKC/8 でカウント
			0 1 1	x x x	内部クロック : PCLKC/32 でカウント
			1 0 0	x x x	内部クロック : PCLKC/256 でカウント
			1 0 1	x x x	内部クロック : PCLKC/1024 でカウント
			1 1 0	x x x	設定しないでください
			1 1 1	x x x	外部クロック : MTIOC1A 端子入力でカウント
MTU1	0 0 0	内部クロック : PCLKA/1 でカウント	0 0 0	0 0 0	内部クロック : PCLKC/1 でカウント
	0 0 1	内部クロック : PCLKA/4 でカウント	0 0 0	0 0 1	内部クロック : PCLKC/4 でカウント
	0 1 0	内部クロック : PCLKA/16 でカウント	0 0 0	0 1 0	内部クロック : PCLKC/16 でカウント
	0 1 1	内部クロック : PCLKA/64 でカウント	0 0 0	0 1 1	内部クロック : PCLKC/64 でカウント
	1 0 0	外部クロック : MTCLKA 端子入力でカウント	0 0 0	1 0 0	外部クロック : MTCLKA 端子入力でカウント

チャネル	RX63T(MTU3)		RX72T(MTU3d)		
	TCR. TPSC[2:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[2:0]	説明
MTU1	1 0 1	外部クロック : MTCLKB 端子入力でカウント	0 0 0	1 0 1	外部クロック : MTCLKB 端子入力でカウント
	1 1 0	内部クロック : PCLKA/256 でカウント	0 0 0	1 1 0	内部クロック : PCLKC/256 でカウント
	1 1 1	MTU2.TCNT のオーバーフロー/ アンダフローでカウント	0 0 0	1 1 1	MTU2.TCNT のオーバーフロー/ アンダフロー
			0 0 1	x x x	内部クロック : PCLKC/2 でカウント
			0 1 0	x x x	内部クロック : PCLKC/8 でカウント
			0 1 1	x x x	内部クロック : PCLKC/32 でカウント
			1 0 0	x x x	内部クロック : PCLKC/1024 でカウント
			1 0 1	x x x	設定しないでください
			1 1 0	x x x	設定しないでください
			1 1 1	x x x	設定しないでください
MTU2	0 0 0	内部クロック : PCLKA/1 でカウント	0 0 0	0 0 0	内部クロック : PCLKC/1 でカウント
	0 0 1	内部クロック : PCLKA/4 でカウント	0 0 0	0 0 1	内部クロック : PCLKC/4 でカウント
	0 1 0	内部クロック : PCLKA/16 でカウント	0 0 0	0 1 0	内部クロック : PCLKC/16 でカウント
	0 1 1	内部クロック : PCLKA/64 でカウント	0 0 0	0 1 1	内部クロック : PCLKC/64 でカウント
	1 0 0	外部クロック : MTCLKA 端子入力でカウント	0 0 0	1 0 0	外部クロック : MTCLKA 端子入力でカウント
	1 0 1	外部クロック : MTCLKB 端子入力でカウント	0 0 0	1 0 1	外部クロック : MTCLKB 端子入力でカウント
	1 1 0	外部クロック : MTCLKC 端子入力でカウント	0 0 0	1 1 0	外部クロック : MTCLKC 端子入力でカウント
	1 1 1	内部クロック : PCLKA/1024 でカウント	0 0 0	1 1 1	内部クロック : PCLKC/1024 でカウント
			0 0 1	x x x	内部クロック : PCLKC/2 でカウント
			0 1 0	x x x	内部クロック : PCLKC/8 でカウント
			0 1 1	x x x	内部クロック : PCLKC/32 でカウント
			1 0 0	x x x	内部クロック : PCLKC/256 でカウント
			1 0 1	x x x	設定しないでください
			1 1 0	x x x	設定しないでください
			1 1 1	x x x	設定しないでください
MTU3	0 0 0	内部クロック : PCLKA/1 でカウント	0 0 0	0 0 0	内部クロック : PCLKC/1 でカウント
MTU4	0 0 1	内部クロック : PCLKA/4 でカウント	0 0 0	0 0 1	内部クロック : PCLKC/4 でカウント
MTU6	0 1 0	内部クロック : PCLKA/16 でカウント	0 0 0	0 1 0	内部クロック : PCLKC/16 でカウント
MTU7	0 1 1	内部クロック : PCLKA/64 でカウント	0 0 0	0 1 1	内部クロック : PCLKC/64 でカウント

チャネル	RX63T(MTU3)		RX72T(MTU3d)		
	TCR. TPSC[2:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[2:0]	説明
MTU3	1 0 0	内部クロック : PCLKA/256 でカウント	0 0 0	1 0 0	内部クロック : PCLKC/256 でカウント
MTU4	1 0 1	内部クロック : PCLKA/1024 でカウント	0 0 0	1 0 1	内部クロック : PCLKC/1024 でカウント
MTU6	1 1 0	外部クロック : MTCLKA 端子入力でカウント (注 1)	0 0 0	1 1 0	外部クロック : MTCLKA 端子入力でカウント
MTU7	1 1 1	外部クロック : MTCLKB 端子入力でカウント (注 1)	0 0 0	1 1 1	外部クロック : MTCLKB 端子入力でカウント
			0 0 1	x x x	内部クロック : PCLKC/2 でカウント
			0 1 0	x x x	内部クロック : PCLKC/8 でカウント
			0 1 1	x x x	内部クロック : PCLKC/32 でカウント
			1 0 0	x x x	設定しないでください
			1 0 1	x x x	設定しないでください
			1 1 0	x x x	設定しないでください
			1 1 1	x x x	設定しないでください

x : Don't care

注 1. MTU6、MTU7 では設定できません。

表 2.60 TPSC ビットの設定比較(MTU5)

チャネル	RX63T(MTU3)		RX72T(MTU3d)		
	TCR. TPSC[1:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[1:0]	説明
MTU5	0 0	内部クロック : PCLKA/1 でカウント	0 0 0	0 0	内部クロック : PCLKC/1 でカウント
	0 1	内部クロック : PCLKA/4 でカウント	0 0 0	0 1	内部クロック : PCLKC/4 でカウント
	1 0	内部クロック : PCLKA/16 でカウント	0 0 0	1 0	内部クロック : PCLKC/16 でカウント
	1 1	内部クロック : PCLKA/64 でカウント	0 0 0	1 1	内部クロック : PCLKC/64 でカウント
			0 0 1	x x	内部クロック : PCLKC/2 でカウント
			0 1 0	x x	内部クロック : PCLKC/8 でカウント
			0 1 1	x x	内部クロック : PCLKC/32 でカウント
			1 0 0	x x	内部クロック : PCLKC/256 でカウント
			1 0 1	x x	内部クロック : PCLKC/1024 でカウント
			1 1 0	x x	設定しないでください
			1 1 1	x x	外部クロック : MTIOC1A 端子入力

x : Don't care

2.19 ポートアウトプットイネーブル 3

表 2.61 にポートアウトプットイネーブル 3 の概要比較を、表 2.62 にポートアウトプットイネーブル 3 レジスタ比較を示します。

表 2.61 ポートアウトプットイネーブル 3 の概要比較

項目	RX63T(POE3)	RX72T(POE3B)
機能	- POE0#、POE4#、POE8#、POE10#、POE11#、POE12#の各入力端子に立ち下がりエッジ、PCLK/8×16 回、PCLK/16×16 回、PCLK/128×16 回の Low サンプリングの設定が可能です。 - POE0#、POE4#、POE8#、POE10#、POE11#、POE12#端子の立ち下がりエッジ、または Low サンプリングによって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 - クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 - MTU 相補 PWM 出力端子または GPT 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子または GPT 出力端子をハイインピーダンス状態にできます。 12 ビット A/D コンバータ (S12ADB) のコンパレータ検出によって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 - POE3 のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 - 入力レベルのサンプリング、または出力レベルの比較結果により、それぞれ割り込みの発生が可能です。	- POE0#、POE4#、POE8#、POE9#、POE10#、POE11#、POE12#、POE13#、POE14#端子のそれぞれに立ち下がりエッジ検出または Low レベル検出の設定が可能です。Low レベル検出の場合、サンプリングクロックは PCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/128 から、サンプリング回数は 4 回、8 回、16 回から選択できます - POE0#、POE4#、POE8#、POE9#、POE10#、POE11#、POE12#、POE13#、POE14#端子への入力の立ち下がりエッジ検出、または Low レベル検出によって、すべての制御対象端子の出力を停止できます - クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます - MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力を停止できます - GPTW 出力端子(GPTW0~2、GPTW4~6、GPTW7~9 端子)の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、GPTW 出力端子の出力を停止できます - コンパレータ C (CMPC)出力の検出によって、すべての制御対象端子の出力を停止できます - POE のレジスタの設定により、すべての制御対象端子の出力を停止できます - 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です
出力停止時の端子の状態	ハイインピーダンス	- ハイインピーダンス 汎用入出力ポート

項目	RX63T(POE3)	RX72T(POE3B)
出力停止制御対象端子	- MTU の出力端子 —MTU0 端子(MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) —MTU3 端子(MTIOC3B, MTIOC3D) —MTU4 端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) —MTU6 端子(MTIOC6B, MTIOC6D) —MTU7 端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) - GPT の出力端子 —GPT0 端子(GTIOC0A, GTIOC0B) —GPT1 端子(GTIOC1A, GTIOC1B) —GPT2 端子(GTIOC2A, GTIOC2B) —GPT3 端子(GTIOC3A, GTIOC3B) —GPT4 端子(GTIOC4A, GTIOC4B) —GPT5 端子(GTIOC5A, GTIOC5B) —GPT6 端子(GTIOC6A, GTIOC6B) —GPT7 端子(GTIOC7A, GTIOC7B)	- MTU の出力端子 —MTU0 端子(MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) —MTU3 端子(MTIOC3B, MTIOC3D) —MTU4 端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) —MTU6 端子(MTIOC6B, MTIOC6D) —MTU7 端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) —MTU9 端子(MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) - GPTW の出力端子 —GPTW0 端子(GTIOC0A, GTIOC0B) —GPTW1 端子(GTIOC1A, GTIOC1B) —GPTW2 端子(GTIOC2A, GTIOC2B) —GPTW3 端子(GTIOC3A, GTIOC3B) —GPTW4 端子(GTIOC4A, GTIOC4B) —GPTW5 端子(GTIOC5A, GTIOC5B) —GPTW6 端子(GTIOC6A, GTIOC6B) —GPTW7 端子(GTIOC7A, GTIOC7B) —GPTW8 端子(GTIOC8A, GTIOC8B) —GPTW9 端子(GTIOC9A, GTIOC9B)
出力停止要求発生条件	- 入力端子の変化 —POE0#, POE4#, POE8#, POE10#, POE11#, POE12#端子に信号が入力されたとき - 出力端子の短絡：以下の組み合わせの出力信号レベル(アクティブレベル)が 1 サイクル以上一致(短絡)したとき 【MTU 相補 PWM 出力端子】 —MTIOC3B と MTIOC3D —MTIOC4A と MTIOC4C —MTIOC4B と MTIOC4D —MTIOC6B と MTIOC6D —MTIOC7A と MTIOC7C —MTIOC7B と MTIOC7D 【GPT 出力端子】 —GTIOC0A と GTIOC0B —GTIOC1A と GTIOC1B —GTIOC2A と GTIOC2B —GTIOC4A と GTIOC4B —GTIOC5A と GTIOC5B —GTIOC6A と GTIOC6B - SPOER レジスタを設定したとき - メインクロック発生回路の発振停止を検出したとき 12 ビット A/D コンバータ(S12ADB)のコンパレータの出力を検出したとき	- 入力端子の変化 —POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#, POE13#, POE14#端子に信号が入力されたとき - 出力端子の短絡：以下の組み合わせの出力信号レベル(アクティブレベル)が 1 サイクル以上一致(短絡)したとき 【MTU 相補 PWM 出力端子】 —MTIOC3B と MTIOC3D —MTIOC4A と MTIOC4C —MTIOC4B と MTIOC4D —MTIOC6B と MTIOC6D —MTIOC7A と MTIOC7C —MTIOC7B と MTIOC7D 【GPTW 出力端子】 —GTIOC0A と GTIOC0B —GTIOC1A と GTIOC1B —GTIOC2A と GTIOC2B —GTIOC4A と GTIOC4B —GTIOC5A と GTIOC5B —GTIOC6A と GTIOC6B —GTIOC7A と GTIOC7B —GTIOC8A と GTIOC8B —GTIOC9A と GTIOC9B - SPOER レジスタを設定したとき - メインクロック発生回路の発振停止を検出したとき - コンパレータ C(CMP C)の出力を検出したとき

表 2.62 ポートアウトプットイネーブル 3 レジスタ比較

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
ICSR1	POE0M[1:0](RX63T) POE0M[3:0](RX72T)	POE0 モード選択ビット (b1-b0) b1 b0 0 0 : POE0#端子入力の立ち下が リエッジでハイインピーダ ンス制御要求を受け付け 0 1 : POE0#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 0 : POE0#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 1 : POE0#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、ハイイン ピーダンス制御要求を受け 付け	POE0 モード選択ビット (b3-b0) b3 b0 0 0 0 0 : POE0#端子入力の立ち下 がりエッジで要求を受け 付け 0 0 0 1 : POE0#端子入力のレベル を PCLK/8 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 0 : POE0#端子入力のレベル を PCLK/16 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 1 : POE0#端子入力のレベル を PCLK/128 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 0 0 : POE0#端子入力のレベル を PCLK でサンプリン グし、指定回数連続で Low だった場合、要求を受け 付け 0 1 0 1 : POE0#端子入力のレベル を PCLK/2 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け 0 1 1 0 : POE0#端子入力のレベル を PCLK/4 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け 上記以外は設定しないでください
	POE0M2[3:0]	-	POE0 サンプリング回数 選択ビット
	POE0F	POE0 フラグ [“1” になる条件] POE0#端子に POE0M[1:0]ビット で設定した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE0M[1:0]ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE0#端子に High を入力する必要があります。	POE0 フラグ [“1” になる条件] POE0#端子に POE0M[3:0]ビッ ト、POE0M2[3:0]ビットで設定し た入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE0M[3:0]ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE0#端子に High を入力する必要があります。

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
ICSR2	POE4M[1:0](RX63T) POE4M[3:0](RX72T)	POE4 モード選択ビット (b1-b0) b1 b0 0 0 : POE4#端子入力の立ち下が リエッジでハイインピーダ ンス制御要求を受け付け 0 1 : POE4#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 0 : POE4#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 1 : POE4#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、ハイ インピーダンス制御要求を受 け付け	POE4 モード選択ビット (b3-b0) b3 b0 0 0 0 0 : POE4#端子入力の立ち下 がリエッジで要求を受け 付け 0 0 0 1 : POE4#端子入力のレベル を PCLK/8 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 0 : POE4#端子入力のレベル を PCLK/16 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 1 : POE4#端子入力のレベル を PCLK/128 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 0 0 : POE4#端子入力のレベル を PCLK でサンプリング し、 指定回数連続 で Low だった場合、要求を受け 付け 0 1 0 1 : POE4#端子入力のレベル を PCLK/2 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 1 0 : POE4#端子入力のレベル を PCLK/4 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 上記以外は設定しないでください
	POE4M2[3:0]	-	POE4 サンプリング回数 選択ビット
	POE4F	POE4 フラグ [“1” になる条件] POE4#端子に POE4M[1:0]ビット で設定した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE4M[1:0]ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE4#端子に High を入力する必要があります。 す。	POE4 フラグ [“1” になる条件] POE4#端子に POE4M[3:0]ビッ ト、 POE4M2[3:0] ビットで設定し た入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE4M[3:0]ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE4#端子に High を入力する必要があります

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
ICSR3	POE8M[1:0](RX63T) POE8M[3:0](RX72T)	POE8 モード選択ビット (b1-b0) b1 b0 0 0 : POE8#端子入力の立ち下が リエッジでハイインピーダ ンス制御要求を受け付け 0 1 : POE8#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 0 : POE8#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 1 : POE8#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、ハイイン ピーダンス制御要求を受け 付け	POE8 モード選択ビット (b3-b0) b3 b0 0 0 0 0 : POE8#端子入力の立ち下 がりエッジで要求を受け 付け 0 0 0 1 : POE8#端子入力のレベル を PCLK/8 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 0 : POE8#端子入力のレベル を PCLK/16 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 1 : POE8#端子入力のレベル を PCLK/128 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 0 0 : POE8#端子入力のレベル を PCLK でサンプリング し、指定回数連続で Low だった場合、要求を受け 付け 0 1 0 1 : POE8#端子入力のレベル を PCLK/2 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け 0 1 1 0 : POE8#端子入力のレベル を PCLK/4 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け 上記以外は設定しないでください
	POE8M2[3:0]	-	POE8 サンプリング回数 選択ビット
	POE8F	POE8 フラグ [“1” になる条件] POE8#端子に POE8M[1:0]ビット で設定した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE8M[1:0]ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE8#端子に High を入力する必要があります。	POE8 フラグ [“1” になる条件] POE8#端子に POE8M[3:0]ビッ ト、 POE8M2[3:0] ビットで設定し た入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE8M[3:0]ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE8#端子に High を入力する必要があります。

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
ICSR4	POE10M[1:0](RX63T) POE10M[3:0](RX72T)	POE10 モード選択ビット (b1-b0) b1 b0 0 0 : POE10#端子入力の立ち下が リエッジでハイインピーダ ンス制御要求を受け付け 0 1 : POE10#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 0 : POE10#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 1 : POE10#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、ハイイン ピーダンス制御要求を受け 付け	POE10 モード選択ビット (b3-b0) b3 b0 0 0 0 0 : POE10#端子入力の立ち 下がリエッジで要求を受け 付け 0 0 0 1 : POE10#端子入力のレベ ルを PCLK/8 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 0 : POE10#端子入力のレベ ルを PCLK/16 でサンプ リングし、 指定回数連続 で Low だった場合、要求 を受け付け 0 0 1 1 : POE10#端子入力のレベ ルを PCLK/128 でサンプ リングし、 指定回数連続 で Low だった場合、要求 を受け付け 0 1 0 0 : POE10#端子入力のレベ ルを PCLK でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 0 1 : POE10#端子入力のレベ ルを PCLK/2 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 1 0 : POE10#端子入力のレベ ルを PCLK/4 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 上記以外は設定しないでください
	POE10M2[3:0]	-	POE10 サンプリング回数選択 ビット
	POE10F	POE10 フラグ [“1” になる条件] POE10#端子に POE10M[1:0] ビッ トで設定した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE10M[1:0] ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE10#端子に High を入力する必要があります。	POE10 フラグ [“1” になる条件] POE10#端子に POE10M[3:0] ビッ ト、 POE10M2[3:0] ビットで設定 した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE10M[3:0] ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE10#端子に High を入力する必要があります。

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
ICSR5	POE11M[1:0](RX63T) POE11M[3:0](RX72T)	POE11 モード選択ビット (b1-b0) b1 b0 0 0 : POE11#端子入力の立ち下が リエッジでハイインピーダ ンス制御要求を受け付け 0 1 : POE11#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 0 : POE11#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 1 : POE11#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、ハイイン ピーダンス制御要求を受け 付け	POE11 モード選択ビット (b3-b0) b3 b0 0 0 0 0 : POE11#端子入力の立ち 下がリエッジで要求を受け 付け 0 0 0 1 : POE11#端子入力のレベ ルを PCLK/8 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 0 : POE11#端子入力のレベ ルを PCLK/16 でサンプ リングし、 指定回数連続 で Low だった場合、要求 を受け付け 0 0 1 1 : POE11#端子入力のレベ ルを PCLK/128 でサンプ リングし、 指定回数連続 で Low だった場合、要求 を受け付け 0 1 0 0 : POE11#端子入力のレベ ルを PCLK でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 0 1 : POE11#端子入力のレベ ルを PCLK/2 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 1 0 : POE11#端子入力のレベ ルを PCLK/4 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 上記以外は設定しないでください
	POE11M2[3:0]	-	POE11 サンプリング回数選択 ビット
	POE11F	POE11 フラグ [“1” になる条件] POE11#端子に POE11M[1:0]ビッ トで設定した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE11M[1:0]ビットで Low サン プリングを設定している場合、 “0” を書くには、POE11#端子に High を入力する必要があります。	POE11 フラグ [“1” になる条件] POE11#端子に POE11M[3:0]ビッ ト、 POE11M2[3:0] ビットで設定 した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE11M[3:0]ビットで Low サン プリングを設定している場合、 “0” を書くには、POE11#端子に High を入力する必要があります。

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
ICSR7	POE12M[1:0](RX63T) POE12M[3:0](RX72T)	POE12 モード選択ビット (b1-b0) b1 b0 0 0 : POE12#端子入力の立ち下が リエッジでハイインピーダ ンス制御要求を受け付け 0 1 : POE12#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 0 : POE12#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、ハイイン ピーダンス制御要求を受け 付け 1 1 : POE12#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、ハイイン ピーダンス制御要求を受け 付け	POE12 モード選択ビット (b3-b0) b3 b0 0 0 0 0 : POE12#端子入力の立ち 下がリエッジで要求を受け 付け 0 0 0 1 : POE12#端子入力のレベ ルを PCLK/8 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 0 : POE12#端子入力のレベ ルを PCLK/16 でサンプ リングし、 指定回数連続 で Low だった場合、要求 を受け付け 0 0 1 1 : POE12#端子入力のレベ ルを PCLK/128 でサンプ リングし、 指定回数連続 で Low だった場合、要求 を受け付け 0 1 0 0 : POE12#端子入力のレベ ルを PCLK でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 0 1 : POE12#端子入力のレベ ルを PCLK/2 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 1 0 : POE12#端子入力のレベ ルを PCLK/4 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 上記以外は設定しないでください
	POE12M2[3:0]	-	POE12 サンプリング回数選択 ビット
	POE12F	POE12 フラグ [“1” になる条件] POE12#端子に POE12M[1:0] ビッ トで設定した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE12M[1:0] ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE12#端子に High を入力する必要があります。	POE12 フラグ [“1” になる条件] POE12#端子に POE12M[3:0] ビッ ト、 POE12M2[3:0] ビットで設定 した入力が発生したとき [“0” になる条件] “1” の状態を読んだ後、“0” を 書いたとき POE12M[3:0] ビットで Low サンプ リングを設定している場合、 “0” を書くには、POE12#端子に High を入力する必要があります。
ICSR8	-	-	入力レベルコントロール/ ステータスレジスタ 8

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
ICSR9	-	-	入力レベルコントロール/ ステータスレジスタ 9
ICSR10	-	-	入力レベルコントロール/ ステータスレジスタ 10
M0SELR1	-	-	MTU0端子選択レジスタ1
M0SELR2	-	-	MTU0端子選択レジスタ2
M3SELR	-	-	MTU3端子選択レジスタ
M4SELR1	-	-	MTU4端子選択レジスタ1
M4SELR2	-	-	MTU4端子選択レジスタ2
M6SELR	-	-	MTU6 端子選択レジスタ
M7SELR1	-	-	MTU7 端子選択レジスタ 1
M7SELR2	-	-	MTU7 端子選択レジスタ 2
M9SELR1	-	-	MTU9端子選択レジスタ1
M9SELR2	-	-	MTU9端子選択レジスタ2
G0SELR	-	-	GPTW0端子選択レジスタ
G1SELR	-	-	GPTW1端子選択レジスタ
G2SELR	-	-	GPTW2端子選択レジスタ
G3SELR	-	-	GPTW3端子選択レジスタ
G4SELR	-	-	GPTW4 端子選択レジスタ
G5SELR	-	-	GPTW5 端子選択レジスタ
G6SELR	-	-	GPTW6 端子選択レジスタ
G7SELR	-	-	GPTW7端子選択レジスタ
G8SELR	-	-	GPTW8端子選択レジスタ
G9SELR	-	-	GPTW9端子選択レジスタ
ALR1	OLSG0A	MTIOC3B/GTIOC0A アクティブレベル設定ビット	MTIOC3B 端子 アクティブレベル設定ビット
	OLSG0B	MTIOC3D/GTIOC0B アクティブレベル設定ビット	MTIOC3D 端子 アクティブレベル設定ビット
ALR1	OLSG1A	MTIOC4A/GTIOC1A アクティブレベル設定ビット	MTIOC4A 端子 アクティブレベル設定ビット
	OLSG1B	MTIOC4C/GTIOC1B アクティブレベル設定ビット	MTIOC4C 端子 アクティブレベル設定ビット
	OLSG2A	MTIOC4B/GTIOC2A アクティブレベル設定ビット	MTIOC4B 端子 アクティブレベル設定ビット
	OLSG2B	MTIOC4D/GTIOC2B アクティブレベル設定ビット	MTIOC4D 端子 アクティブレベル設定ビット
	MTUCHSEL	MTU 出力アクティブレベル チャンネル設定ビット	-
ALR2	OLSG4A	MTIOC6B/GTIOC4A アクティブレベル設定ビット	MTIOC6B アクティブレベル設定ビット
	OLSG4B	MTIOC6D/GTIOC4B アクティブレベル設定ビット	MTIOC6D アクティブレベル設定ビット
	OLSG5A	MTIOC7A/GTIOC5A アクティブレベル設定ビット	MTIOC7A アクティブレベル設定ビット
	OLSG5B	MTIOC7C/GTIOC5B アクティブレベル設定ビット	MTIOC7C アクティブレベル設定ビット
	OLSG6A	MTIOC7B/GTIOC6A アクティブレベル設定ビット	MTIOC7B アクティブレベル設定ビット
	OLSG6B	MTIOC7D/GTIOC6B アクティブレベル設定ビット	MTIOC7D アクティブレベル設定ビット
ALR3	-	-	アクティブレベルレジスタ 3
ALR4	-	-	アクティブレベルレジスタ 4
ALR5	-	-	アクティブレベルレジスタ 5

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
SPOER	MTUCH34HIZ ^(注 1)	MTU3、MTU4 出力 ハイインピーダンス許可ビット	MTU3、MTU4 端子出力停止 許可ビット
	MTUCH67HIZ ^(注 1)	MTU6、MTU7 出力 ハイインピーダンス許可ビット	MTU6、MTU7 端子出力停止 許可ビット
	GPT01HIZ	GPT0、GPT1 出力 ハイインピーダンス許可ビット	GPTW0、GPTW1 端子出力停止 許可ビット
	GPT23HIZ	GPT2、GPT3 出力 ハイインピーダンス許可ビット	GPTW2、GPTW3 端子出力停止 許可ビット
	MTUCH9HIZ	-	MTU9 端子出力停止許可ビット
	GPT02HIZ	-	GPTW0~GPTW2 端子出力停止許 可ビット
	GPT46HIZ	-	GPTW4~GPTW6 端子出力停止許 可ビット
	GPT67HIZ ^(注 1)	GPT6、GPT7 出力 ハイインピーダンス許可ビット	-
	GPT79HIZ	-	GPTW7~GPTW9 端子出力停止許 可ビット
POECR2	MTU7BDZE ^(注 1)	MTUCH7BD ハイインピーダンス許可ビット	MTIOC7B/MTIOC7D 端子 ハイインピーダンス許可ビット
	MTU7ACZE ^(注 1)	MTUCH7AC ハイインピーダンス許可ビット	MTIOC7A/MTIOC7C 端子 ハイインピーダンス許可ビット
	MTU6BDZE ^(注 1)	MTUCH6BD ハイインピーダンス許可ビット	MTIOC6B/MTIOC6D 端子 ハイインピーダンス許可ビット
	MTU4BDZE ^(注 1)	MTUCH4BD ハイインピーダンス許可ビット	MTIOC4B/MTIOC4D 端子 ハイインピーダンス許可ビット
	MTU4ACZE ^(注 1)	MTUCH4AC ハイインピーダンス許可ビット	MTIOC4A/MTIOC4C 端子 ハイインピーダンス許可ビット
	MTU3BDZE ^(注 1)	MTUCH3BD ハイインピーダンス許可ビット	MTIOC3B/MTIOC3D 端子 ハイインピーダンス許可ビット
POECR3	-	ポートアウトプットイネーブル コントロールレジスタ 3 リセット後の初期値が異なります	ポートアウトプットイネーブル コントロールレジスタ 3
	GPT2ABZE	GPTCH2AB ハイインピーダンス許可ビット (b8)	GTIOC2A/GTIOC2B 端子 ハイインピーダンス許可ビット (b2)
	GPT3ABZE	GPTCH3AB ハイインピーダンス許可ビット (b9)	GTIOC3A/GTIOC3B 端子 ハイインピーダンス許可ビット (b3)
	GPT4ABZE~ GPT9ABZE	-	GTIOC4A/GTIOC4B~ GTIOC9A/GTIOC9B 端子 ハイインピーダンス許可ビット
POECR4	CMADDMT34ZE ^(注 1)	MTUCH34 ハイインピーダンス CFLAG 追加ビット	MTU3、MTU4 出力停止条件 CFLAG 追加ビット
	IC1ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE0F 追加ビット
	IC2ADDMT34ZE ^(注 1)	MTUCH34 ハイインピーダンス POE4F 追加ビット	MTU3、MTU4 出力停止条件 POE4F 追加ビット
	IC3ADDMT34ZE ^(注 1)	MTUCH34 ハイインピーダンス POE8F 追加ビット	MTU3、MTU4 出力停止条件 POE8F 追加ビット
	IC4ADDMT34ZE ^(注 1)	MTUCH34 ハイインピーダンス POE10F 追加ビット	MTU3、MTU4 出力停止条件 POE10F 追加ビット
	IC5ADDMT34ZE ^(注 1)	MTUCH34 ハイインピーダンス POE11F 追加ビット	MTU3、MTU4 出力停止条件 POE11F 追加ビット
	IC6ADDMT34ZE ^(注 1)	MTUCH34 ハイインピーダンス POE12F 追加ビット	MTU3、MTU4 出力停止条件 POE12F 追加ビット

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
POECR4	IC8ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE9F 追加ビット
	IC9ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE13F 追加ビット
	IC10ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE14F 追加ビット
	CMADOMT67ZE	MTUCH67 ハイインピーダンス CFLAG 追加ビット	-
	IC1ADDMT67ZE	MTUCH67 ハイインピーダンス POE0F 追加ビット	-
	IC3ADDMT67ZE	MTUCH67 ハイインピーダンス POE8F 追加ビット	-
	IC4ADDMT67ZE	MTUCH67 ハイインピーダンス POE10F 追加ビット	-
	IC5ADDMT67ZE	MTUCH67 ハイインピーダンス POE11F 追加ビット	-
	IC6ADDMT67ZE	MTUCH67 ハイインピーダンス POE12F 追加ビット	-
POECR4B	-	-	ポートアウトプットイネーブル コントロールレジスタ 4B
POECR5	IC3ADDMT0ZE	-	MTU0 出力停止条件 POE8F 追加ビット
	IC8ADDMT0ZE	-	MTU0 出力停止条件 POE9F 追加ビット
	IC9ADDMT0ZE	-	MTU0 出力停止条件 POE13F 追加ビット
	IC10ADDMT0ZE	-	MTU0 出力停止条件 POE14F 追加ビット
POECR6	IC4ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE10F 追加ビット
	IC8ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE9F 追加ビット
	IC9ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE13F 追加ビット
	IC10ADDGPT01ZE	-	GPTW0、GPTW1 出力停止条件 POE14F 追加ビット
	CMADDGPT23ZE	GPTCH23 ハイインピーダンス CFLAG 追加ビット	-
	IC1ADDGPT23ZE	GPTCH23 ハイインピーダンス POE0F 追加ビット	-
	IC2ADDGPT23ZE	GPTCH23 ハイインピーダンス POE4F 追加ビット	-
	IC3ADDGPT23ZE	GPTCH23 ハイインピーダンス POE8F 追加ビット	-
	IC4ADDGPT23ZE	GPTCH23 ハイインピーダンス POE10F 追加ビット	-
	IC6ADDGPT23ZE	GPTCH23 ハイインピーダンス POE12F 追加ビット	-
POECR6B	-	-	ポートアウトプットイネーブル コントロールレジスタ 6B
POECR7	MTU9AZE	-	MTIOC9A 端子 ハイインピーダンス許可ビット
	MTU9BZE	-	MTIOC9B 端子 ハイインピーダンス許可ビット

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
POECR7	MTU9CZE	-	MTIOC9C 端子 ハイインピーダンス許可ビット
	MTU9DZE	-	MTIOC9D 端子 ハイインピーダンス許可ビット
	GPT6ABZE	GPT6ABZE ハイインピーダンス許可ビット	-
	GPT7ABZE	GPT7ABZE ハイインピーダンス許可ビット	-
POECR8	CMADDMT9ZE	-	MTU9 出力停止条件 CFLAG 追加ビット
	IC1ADDMT9ZE	-	MTU9 出力停止条件 POE0F 追加ビット
	IC2ADDMT9ZE	-	MTU9 出力停止条件 POE4F 追加ビット
	IC3ADDMT9ZE	-	MTU9 出力停止条件 POE8F 追加ビット
	IC4ADDMT9ZE	-	MTU9 出力停止条件 POE10F 追加ビット
	IC5ADDMT9ZE	-	MTU9 出力停止条件 POE11F 追加ビット
	IC6ADDMT9ZE	-	MTU9 出力停止条件 POE12F 追加ビット
	IC8ADDMT9ZE	-	MTU9 出力停止条件 POE9F 追加ビット
	IC9ADDMT9ZE	-	MTU9 出力停止条件 POE13F 追加ビット
	IC10ADDMT9ZE	-	MTU9 出力停止条件 POE14F 追加ビット
	CMADDGPT67ZE	GPTCH67 ハイインピーダンス CFLAG 追加ビット	-
	IC1ADDGPT67ZE	GPTCH67 ハイインピーダンス POE0F 追加ビット	-
	IC2ADDGPT67ZE	GPTCH67 ハイインピーダンス POE4F 追加ビット	-
	IC3ADDGPT67ZE	GPTCH67 ハイインピーダンス POE8F 追加ビット	-
	IC4ADDGPT67ZE	GPTCH67 ハイインピーダンス POE10F 追加ビット	-
	IC5ADDGPT67ZE	GPTCH67 ハイインピーダンス POE11F 追加ビット	-
POECR9	-	-	ポートアウトプットイネーブルコ ントロールレジスタ 9
POECR10	-	-	ポートアウトプットイネーブルコ ントロールレジスタ 10
POECR11	-	-	ポートアウトプットイネーブルコ ントロールレジスタ 11
PMMCR0	-	-	ポートモードマスク コントロールレジスタ 0
PMMCR1	-	-	ポートモードマスク コントロールレジスタ 1
PMMCR2	-	-	ポートモードマスク コントロールレジスタ 2
PMMCR3	-	-	ポートモードマスク コントロールレジスタ 3

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
OCSR1	OSF1	出力短絡フラグ 1 【144/120/112/100 ピン版の場合】 P71～P76 の MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) または GPT 出力端子 (GPT0～GPT2 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。 【64/48 ピン版の場合】 P71～P76 の MTU 相補 PWM 出力端子 (MTU3、MTU4 端子または MTU6、MTU7 端子) または GPT 出力端子 (GPT0～GPT2 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。 [“1” になる条件] 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき [“0” になる条件] “1” の状態を読んだ後、“0” を書いたとき “0” を書くには、MTU 相補 PWM 出力端子または GPT 出力端子 から非アクティブを出力する必要があります。	出力短絡フラグ 1 MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子の出力停止制御が許可されていない場合、OSF1 フラグは “1” になりません。 [“1” になる条件] ● POECR2.MTU3BDZE ビットが “1”、または PMMCR1.MTU3BME ビット、PMMCR1.MTU3DME ビットの少なくとも一方が “1” の場合に、MTIOC3B 端子と MTIOC3D 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき ● POECR2.MTU4ACZE ビットが “1”、または PMMCR1.MTU4AME ビット、PMMCR1.MTU4CME ビットの少なくとも一方が “1” の場合に、MTIOC4A 端子と MTIOC4C 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき ● POECR2.MTU4BDZE ビットが “1”、または PMMCR1.MTU4BME ビット、PMMCR1.MTU4DME ビットの少なくとも一方が “1” の場合に、MTIOC4B 端子と MTIOC4D 端子が PCLK の 1 サイクル以上同時にアクティブレベルになったとき [“0” になる条件] “1” の状態を読んだ後、“0” を書いたとき “0” を書くには、MTU 相補 PWM 出力端子から非アクティブレベルを出力する必要があります。

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
OCSR2	OSF2	出力短絡フラグ 2 MTU 相補 PWM 出力端子 (MTU6、MTU7 端子) または GPT 出力端子 (GPT4~GPT6 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。 [“1” になる条件] 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき [“0” になる条件] “1” の状態を読んだ後、“0” を書いたとき “0” を書くには、MTU 相補 PWM 出力端子または GPT 出力端子 から非アクティブを出力する必要があります。	出力短絡フラグ 2 MTU 相補 PWM 出力端子 (MTU6、MTU7 端子) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子の出力停止制御が許可されていない場合、OSF2 フラグは “1” になりません。 [“1” になる条件] ● POECR2.MTU6BDZE ビット が “1”、または PMMCR1.MTU6BME ビット、PMMCR1.MTU6DME ビット の少なくとも一方が “1” の場合に、MTIOC6B 端子 と MTIOC6D 端子 が PCLK の 1 サイクル以上同時にアクティブレベルになったとき ● POECR2.MTU7ACZE ビット が “1”、または PMMCR1.MTU7AME ビット、PMMCR1.MTU7CME ビット の少なくとも一方が “1” の場合に、MTIOC7A 端子 と MTIOC7C 端子 が PCLK の 1 サイクル以上同時にアクティブレベルになったとき ● POECR2.MTU7BDZE ビット が “1”、または PMMCR1.MTU7BME ビット、PMMCR1.MTU7DME ビット の少なくとも一方が “1” の場合に、MTIOC7B 端子 と MTIOC7D 端子 が PCLK の 1 サイクル以上同時にアクティブレベルになったとき [“0” になる条件] “1” の状態を読んだ後、“0” を書いたとき “0” を書くには、MTU 相補 PWM 出力端子から非アクティブレベルを出力する必要があります。
OCSR3	-	-	出力レベルコントロール/ステータスレジスタ 3
OCSR4	-	-	出力レベルコントロール/ステータスレジスタ 4
OCSR5	-	-	出力レベルコントロール/ステータスレジスタ 5
POECMPFR	-	-	ポートアウトプットイネーブルコンパレータ検出フラグレジスタ
POECMPSEL	-	-	ポートアウトプットイネーブルコンパレータ要求選択レジスタ

レジスタ	ビット	RX63T(POE3)	RX72T(POE3B)
POECMPEXm	-	-	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (m=0~8)

注 1. RX63T では GPT 端子・MTU 端子を制御しますが、RX72T では GPT 端子・MTU 端子を別々のレジスタで制御します。

2.20 汎用 PWM タイマ

表 2.63 に汎用 PWM タイマの概要比較を、表 2.64 に汎用 PWM タイマのレジスタ比較を、表 2.65 に GTIOA/B ビットの設定比較を示します。

表 2.63 汎用 PWM タイマの概要比較

項目	RX63T(GPT)	RX72T(GPTW)
機能	16 ビット×8 チャンネル - 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) - それぞれのカウンタを同期動作可能 - 同期動作のモード(同時または任意のタイミングでずらす位相シフトに対応) - PWM 動作の際にデッドタイム生成が可能 - 外部トリガによりカウントスタート/クリア/ストップ可能 - デッドタイムエラー、出力短絡検出、コンパレータ検出による出力ディセーブル制御機能 - A/D 変換開始トリガ生成機能	32 ビット×10 チャンネル - 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) - 任意のチャンネルのカウンタを同時スタート/ストップ/クリア可能 - 同期動作のモード(同時または任意のタイミングでずらす位相シフトに対応) - PWM 動作の際にデッドタイム生成が可能 ELC 設定により、最大 8 つの ELC イベントによるカウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 2 本の入力信号の状態を検出し、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 最大 4 本の外部トリガにより、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 POEG からの出力停止要求による出力ネゲート制御機能 - A/D 変換開始トリガ生成機能

項目		RX63T(GPT)	RX72T(GPTW)
機能		3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 - 外部/内部トリガ（ハードウェア要因）によりカウントスタート/クリア/ストップ可能 - 内部トリガ要因として、コンパレータ検出、ソフトウェア、コンペアマッチ - 分周されたIWDTC専用クロック（IWDTCCLK）のエッジを、タイマモジュールクロック（PCLKA）を分周したカウントクロックで計測することが可能（発振異常検出） - チャンネル0～チャンネル3の2本のPWM出力端子に対し、システムクロック（ICLK）の1/32の分解能で立ち上がり/立ち下がりタイミングの制御が可能（PWM遅延生成機能）	コンペアマッチA～Fイベント信号、オーバーフロー/アンダフローイベント信号をELCへ出力可能 インプットキャプチャ入力にはノイズフィルタ機能を選択可能 バスクロック：PCLKA、GPTWカウント基準クロック：PCLKC 周波数比 PCLKA : PCLKC = 1 : N (N = 1/2) 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 - 外部/内部トリガによりカウントスタート/クリア/ストップ可能 - 内部トリガ要因として、ソフトウェア、コンペアマッチ メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能（クロック周波数精度測定回路(CAC)章参照） 最大4チャンネルの相補PWM出力端子に対し、PCLKC周期の1/32の分解能で立ち上がり/立ち下がりタイミングの制御が可能(高分解能PWM波形生成回路(HRPWM)章参照)
同期動作	同期チャンネル対象	チャンネル0～3、またはチャンネル4～7で同期動作が可能	チャンネル0～9で同期動作が可能
	同期クリア方法	ソフトウェア要因： GTHCCR.CCSW0～3、GTHCCR.CCSW4～7の複数ビットを同時に“1”に設定 ハードウェア要因： GTSYNC.SYNCRn[1:0]ビットで、どのチャンネルのクリア要因でクリアするかを設定	ソフトウェア要因： GTCLRレジスタの複数ビットを同時に“1”に設定 ハードウェア要因： GTCSRレジスタで同期クリアするチャンネルのクリア要因を同じ要因に設定（外部トリガ、ELCイベント入力のいずれか）
	同期スタート方法	ソフトウェア要因： GTSTRレジスタの複数ビットを同時に“1”に設定 ハードウェア要因： GTHSSRレジスタ、GTHSCRレジスタで同期スタートするチャンネルのスタート要因を同じ要因に設定（GTETRGO/GTETRGI端子入力、コンパレータ検出、GTIOC3A/GTIOC7A および GTIOC3B/GTIOC7B 端子入力、GTIOC3A/GTIOC7A および GTIOC3B/GTIOC7B 内部出力（アウトプットコンペア）のいずれか）	ソフトウェア要因： GTSTRレジスタの複数ビットを同時に“1”に設定 ハードウェア要因： GTSSRレジスタで同期スタートするチャンネルのスタート要因を同じ要因に設定（外部トリガ、ELCイベント入力のいずれか）

項目		RX63T(GPT)	RX72T(GPTW)
同期動作	同期ストップ方法	ソフトウェア要因： GTSTR レジスタの複数ビットを同時に“0”に設定 ハードウェア要因： GTHPSR レジスタ、GTHSCR レジスタで同期ストップするチャンネルのストップ要因を同じ要因に設定（GTETRG0/GTETRG1 端子入力、コンパレータ検出、GTIOC3A/GTIOC7A および GTIOC3B/GTIOC7B 端子入力、GTIOC3A/GTIOC7A および GTIOC3B/GTIOC7B 内部出力（アウトプットコンペア）のいずれか）	ソフトウェア要因： GTSTP レジスタの複数ビットを同時に“1”に設定 ハードウェア要因： GTPSR レジスタで同期ストップするチャンネルのストップ要因を同じ要因に設定（外部トリガ、ELC イベント入力のいずれか）

表 2.64 汎用 PWM タイマのレジスタ比較

レジスタ	ビット	RX63T(GPT)	RX72T(GPTW)
GTSTR	CST0 (RX63T GPT.GTSTR) CSTRT0(RX72T)	GPT0.GTCNT カウントスタートビット	チャンネル 0 カウントスタートビット
	CST1 (RX63T GPT.GTSTR) CSTRT1(RX72T)	GPT1.GTCNT カウントスタートビット	チャンネル 1 カウントスタートビット
	CST2 (RX63T GPT.GTSTR) CSTRT2(RX72T)	GPT2.GTCNT カウントスタートビット	チャンネル 2 カウントスタートビット
	CST3 (RX63T GPT.GTSTR) CSTRT3(RX72T)	GPT3.GTCNT カウントスタートビット	チャンネル 3 カウントスタートビット
	CST4 (RX63T GPTB.GTSTR) CSTRT4(RX72T)	GPT4.GTCNT カウントスタートビット (b0)	チャンネル 4 カウントスタートビット(b4)
	CST5 (RX63T GPTB.GTSTR) CSTRT5(RX72T)	GPT5.GTCNT カウントスタートビット (b1)	チャンネル 5 カウントスタートビット(b5)
	CST6 (RX63T GPTB.GTSTR) CSTRT6(RX72T)	GPT6.GTCNT カウントスタートビット (b2)	チャンネル 6 カウントスタートビット(b6)
	CST7 (RX63T GPTB.GTSTR) CSTRT7(RX72T)	GPT7.GTCNT カウントスタートビット (b3)	チャンネル 7 カウントスタートビット(b7)
	CSTRT8~CSTRT9	-	チャンネル 8~9 カウントスタートビット
GTHSCR	-	汎用 PWM タイマハードウェア要因スタートコントロールレジスタ	-
GTHCCR	-	汎用 PWM タイマハードウェア要因クリアコントロールレジスタ	-
GTHSSR	-	汎用 PWM タイマハードウェアスタート要因セレクトレジスタ	-
GTHPSR	-	汎用 PWM タイマハードウェアストップ・クリア要因セレクトレジスタ	-

レジスタ	ビット	RX63T(GPT)	RX72T(GPTW)
GTWP	WP0~WP3 (RX63T GPT.GTWP) WP4~WP7 (RX63T GPTB.GTWP) WP(RX72T)	GPT0~3 レジスタ書き込み禁止 ビット GPT4~7 レジスタ書き込み禁止 ビット	レジスタ書き込み禁止ビット
	STRWP	-	GTSTR.CSTRT ビット書き込み 禁止ビット
	STPWP	-	GTSTP.CSTOP ビット書き込み 禁止ビット
	CLRWP	-	GTCLR.CCLR ビット書き込み 禁止ビット
	CMNWP	-	共通レジスタ書き込み禁止ビット
	PRKEY[7:0]	-	GTWPキーコードビット
GTSYNC	-	汎用 PWM タイマシンクロ レジスタ	-
GTETINT	-	汎用 PWM タイマ外部トリガ入力 割り込みレジスタ	-
GTBDR	-	汎用 PWM タイマバッファ動作 禁止レジスタ	-
GTSWP	-	汎用 PWM タイマスタート 書き込み保護レジスタ	-
LCCR	-	LOCO カウントコントロール レジスタ	-
LCST	-	LOCO カウントステータス レジスタ	-
LCNT	-	LOCO カウント値レジスタ	-
LCNTA	-	LOCO カウント結果平均レジスタ	-
LCNTn	-	LOCO カウント結果レジスタ n (n=0~15)	-
LCNTDU、 LCNTDL	-	LOCO カウント上限/下限許容 偏差値レジスタ	-
GTIOR	GTIOA[5:0](RX63T) GTIOA[4:0](RX72T)	GTIOCnA 端子機能選択ビット (b5-b0) 詳細は表 2.65 を参照してください。	GTIOCnA 端子機能選択ビット (b4-b0) 詳細は表 2.65 を参照してください。
	OAE	-	GTIOCnA 端子出カインープル ビット
	OADF[1:0]	-	GTIOCnA 端子ネゲート値設定 ビット
	NFAEN	-	GTIOCnA 端子入力ノイズフィルタ インープルビット
	NFCSA[1:0]	-	GTIOCnA 端子入力ノイズフィルタ サンプリングクロック選択ビット
	GTIOB[5:0](RX63T) GTIOB[4:0](RX72T)	GTIOCnB 端子機能選択ビット (b13-b8) 詳細は表 2.65 を参照してください。	GTIOCnB 端子機能選択ビット (b20-b16) 詳細は表 2.65 を参照してください。
	OBDFLT	GTIOCnB 端子カウント 停止時の出力値ビット(b14)	GTIOCnB 端子カウント ストップ時の出力値ビット (b22)
	OBHLD	GTIOCnB 端子カウント開始 停止時の出力保持ビット(b15)	GTIOCnB 端子カウントスタート/ ストップ時の出力保持ビット (b23)
	OBE	-	GTIOCnB 端子出カインープル ビット

レジスタ	ビット	RX63T(GPT)	RX72T(GPTW)
GTIOR	OBD[1:0]	-	GTIOCNB 端子ネゲート値設定ビット
	NFBEN	-	GTIOCNB 端子入力ノイズフィルタイネーブルビット
	NFC[1:0]	-	GTIOCNB 端子入力ノイズフィルタサンプリングクロック選択ビット
GTINTAD	EINT	デッドタイムエラー割り込み許可ビット	-
	ADTRAUEN	GTADTRA コンペアマッチ (アップカウント) A/D 変換開始要求許可ビット(b12)	GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット(b16)
	ADTRADEN	GTADTRA コンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット(b13)	GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット(b17)
	ADTRBUEN	GTADTRB コンペアマッチ (アップカウント) A/D 変換開始要求許可ビット(b14)	GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット(b18)
	ADTRBDEN	GTADTRB コンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット(b15)	GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット(b19)
	GRP[1:0]	-	出力停止グループ選択ビット
	GRPDTE	-	デッドタイムエラー出力停止検出許可ビット
	GRPABH	-	同時 High 出力停止検出許可ビット
	GRPABL	-	同時 Low 出力停止検出許可ビット
GTCR	CST	-	カウントスタートビット
	ICDS	-	カウント停止時インプットキャプチャ動作選択ビット
	MD[2:0]	モード選択ビット(b2-b0)	モード選択ビット(b18-b16)
	TPCS[1:0](RX63T) TPCS[3:0](RX72T)	タイマプリスケラ選択ビット (b9-b8) b9 b8 0 0 : PCLKA (タイマモジュールクロック) 0 1 : PCLKA/2 (タイマモジュールクロック/2) 1 0 : PCLKA/4 (タイマモジュールクロック/4) 1 1 : PCLKA/8 (タイマモジュールクロック/8)	タイマプリスケラ選択ビット (b26-b23) b26 b23 0 0 0 0 : PCLKC 0 0 0 1 : PCLKC/2 0 0 1 0 : PCLKC/4 0 0 1 1 : PCLKC/8 0 1 0 0 : PCLKC/16 0 1 0 1 : PCLKC/32 0 1 1 0 : PCLKC/64 0 1 1 1 : 設定しないでください 1 0 0 0 : PCLKC/256 1 0 0 1 : 設定しないでください 1 0 1 0 : PCLKC/1024 1 0 1 1 : 設定しないでください 1 1 0 0 : GTETRGA (POEG 経由) 1 1 0 1 : GTETRGA (POEG 経由) 1 1 1 0 : GTETRGC (POEG 経由) 1 1 1 1 : GTETRGC (POEG 経由)

レジスタ	ビット	RX63T(GPT)	RX72T(GPTW)
GTCR	CCLR[1:0]	カウンタクリア要因選択ビット	-
GTBER	BD[0]	-	GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット
	BD[1]	-	GTPR レジスタのバッファ動作禁止ビット
	BD[2]	-	GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット
	BD[3]	-	GTDVU/GTDVD レジスタのバッファ動作禁止ビット
	DBRTECA	-	GTCCRA レジスタのダブルバッファリピート動作許可ビット
	DBRTECB	-	GTCCRB レジスタのダブルバッファリピート動作許可ビット
	CCRA[1:0]	GTCCRA バッファ動作ビット (b1-b0)	GTCCRA レジスタのバッファ動作ビット (b17-16)
	CCRB[1:0]	GTCCRB バッファ動作ビット (b3-b2)	GTCCRB レジスタのバッファ動作ビット (b19-18)
	PR[1:0]	GTPR バッファ動作ビット (b5-b4)	GTPR レジスタのバッファ動作ビット (b21-b20)
	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作ビット (b6)	GTCCRA/GTCCRB レジスタの強制バッファ動作ビット (b22)
	ADTTA[1:0]	GTADTRA バッファ転送タイミング選択ビット (b9-b8)	GTADTRA レジスタのバッファ転送タイミング選択ビット (b25-b24)
	ADTDA	GTADTRA ダブルバッファ動作ビット (b10)	GTADTRA レジスタのダブルバッファ動作ビット (b26)
	ADTTB[1:0]	GTADTRB バッファ転送タイミング選択ビット (b13-b12)	GTADTRB レジスタのバッファ転送タイミング選択ビット (b29-b28)
	ADTDB	GTADTRB ダブルバッファ動作ビット (b14)	GTADTRB レジスタのダブルバッファ動作ビット (b30)
GTUDC	-	汎用 PWM タイマカウンタ方向レジスタ	-
GTITC	IVTC[1:0]	GTCIV 割り込み間引き機能選択ビット	GTCIV/GTCIU 割り込み間引き機能選択ビット
	IVTT[2:0]	GTCIV 割り込み間引き回数選択ビット	GTCIV/GTCIU 割り込み間引き回数選択ビット
GTST	TCFA	インプットキャプチャ/コンペアマッチフラグ A	-
	TCFB	インプットキャプチャ/コンペアマッチフラグ B	-
	TCFC~TCFF	コンペアマッチフラグ C~F	-
	TCFPO	オーバフローフラグ	-
	TCFPU	アンダフローフラグ	-
	ITCNT[2:0]	GTCIV 割り込み間引き回数カウンタ	GTCIV/GTCIU 割り込み間引き回数カウンタ
	DTEF	デッドタイムエラーフラグ (b11)	デッドタイムエラーフラグ (b28)
	ADTRAUF	-	GTADTRA レジスタ コンペアマッチ(アップカウンタ) A/D 変換開始要求フラグ
	ADTRAUF	-	GTADTRA レジスタ コンペアマッチ(ダウンカウンタ) A/D 変換開始要求フラグ

レジスタ	ビット	RX63T(GPT)	RX72T(GPTW)
GTST	ADTRBUF	-	GTADTRB レジスタ コンペアマッチ(アップカウント) A/D 変換開始要求フラグ
	ADTRBDF	-	GTADTRB レジスタ コンペアマッチ(ダウンカウント) A/D 変換開始要求フラグ
	ODF	-	出力停止要求フラグ
	OABHF	-	同時 High 出力フラグ
	OABLF	-	同時 Low 出力フラグ
GTCNT	-	汎用 PWM タイマカウンタ GTCNT は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。	汎用 PWM タイマカウンタ GTCNT は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTCCRm	-	汎用 PWM タイマ コンペアキャプチャレジスタ m (m=A~F) GTCCRm は、16 ビットレジスタです。	汎用 PWM タイマ コンペアキャプチャレジスタ m (m=A~F) GTCCRm は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTPR	-	汎用 PWM タイマ周期設定 レジスタ GTPR は、16 ビットレジスタです。	汎用 PWM タイマ周期設定 レジスタ GTPR は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTPBR	-	汎用 PWM タイマ周期設定バッファレジスタ GTPBR は、16 ビットレジスタです。	汎用 PWM タイマ周期設定 バッファレジスタ GTPBR は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。
GTPDBR	-	汎用 PWM タイマ周期設定 ダブルバッファレジスタ GTPBR は、16 ビットレジスタです。	汎用 PWM タイマ周期設定 ダブルバッファレジスタ GTPBR は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

レジスタ	ビット	RX63T(GPT)	RX72T(GPTW)
GTADTRm	-	A/D 変換開始要求タイミング レジスタ m (m = A, B) GTADTRm は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	A/D 変換開始要求タイミング レジスタ m (m = A, B) GTADTRm は、 32 ビットレジスタです。 8/ 16 ビット単位でのアクセスは禁止です。 32 ビット単位でアクセスしてください。
GTADTBRm	-	A/D 変換開始要求タイミング バッファレジスタ m (m = A, B) GTADTBRm は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	A/D 変換開始要求タイミング バッファレジスタ m (m = A, B) GTADTBRm は、 32 ビットレジスタです。 8/ 16 ビット単位でのアクセスは禁止です。 32 ビット単位でアクセスしてください。
GTADTDBRm	-	A/D 変換開始要求タイミングダブル バッファレジスタ m (m = A, B) GTADTDBRm は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	A/D 変換開始要求タイミングダブル バッファレジスタ m (m = A, B) GTADTDBRm は、 32 ビットレジスタです。 8/ 16 ビット単位でのアクセスは禁止です。 32 ビット単位でアクセスしてください。
GTONCR	-	汎用 PWM タイマ出力ネゲート コントロールレジスタ	-
GTDV _m	-	汎用 PWM タイマデッドタイム値 レジスタ m (m = U, D) GTDV _m は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	汎用 PWM タイマデッドタイム値 レジスタ m (m = U, D) GTDV _m は、 32 ビットレジスタです。 8/ 16 ビット単位でのアクセスは禁止です。 32 ビット単位でアクセスしてください。
GTDB _m	-	汎用 PWM タイマデッドタイム バッファレジスタ m (m = U, D) GTDB _m は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。	汎用 PWM タイマデッドタイム バッファレジスタ m (m = U, D) GTDB _m は、 32 ビットレジスタです。 8/ 16 ビット単位でのアクセスは禁止です。 32 ビット単位でアクセスしてください。
GTDLYCR	-	PWM 出力遅延制御レジスタ	-
GTDLYRA	-	GTIOCA 立ち上がり出力遅延 レジスタ	-
GTDLYFA	-	GTIOCA 立ち下がり出力遅延 レジスタ	-
GTDLYRB	-	GTIOCB 立ち上がり出力遅延 レジスタ	-
GTDLYFB	-	GTIOCB 立ち下がり出力遅延 レジスタ	-
GTSTP	-	-	汎用 PWM タイマソフトウェア ストップレジスタ
GTCLR	-	-	汎用 PWM タイマソフトウェア クリアレジスタ

レジスタ	ビット	RX63T(GPT)	RX72T(GPTW)
GTSSR	-	-	汎用 PWM タイマスタート要因セレクトレジスタ
GTPSR	-	-	汎用 PWM タイマストップ要因セレクトレジスタ
GTCSR	-	-	汎用 PWM タイマクリア要因セレクトレジスタ
GTUPSR	-	-	汎用 PWM タイマカウントアップ要因セレクトレジスタ
GTDNSR	-	-	汎用 PWM タイマカウントダウン要因セレクトレジスタ
GTICASR	-	-	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A
GTICBSR	-	-	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B
GTUDDTYC	-	-	汎用 PWM タイマカウント方向、デューティ設定レジスタ
GTADSMR	-	-	汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ
GTEITC	-	-	汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ
GTEITLI1	-	-	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1
GTEITLI2	-	-	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2
GTEITLB	-	-	汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ
GTSECSR	-	-	汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ
GTSECR	-	-	汎用 PWM タイマ動作許可ビット同時制御レジスタ

表 2.65 GTIOA/B ビットの設定比較

ビット	RX63T(GPT)	RX72T(GPTW)
	GTIOA/B[5:0]ビット	GTIOA/B[4:0]ビット
b5	0 : コンペアマッチ 1 : インพุットキャプチャ	-
b4	- b5=0 の場合 0 : 初期出力 Low 1 : 初期出力 High - b5=1 の場合 x : Don't care	0 : 初期出力 Low 1 : 初期出力 High
b3-b2	- b5=0 の場合 00 : 周期の終わりで出力保持 01 : 周期の終わりで Low 出力 10 : 周期の終わりで High 出力 11 : 周期の終わりでトグル出力 - b5=1 の場合 x : Don't care	00 : 周期の終わりで出力保持 01 : 周期の終わりで Low 出力 10 : 周期の終わりで High 出力 11 : 周期の終わりでトグル出力
b1-b0	- b5=0 の場合 00 : GPTn.GTCCRA/B のコンペアマッチで出力保持 01 : GPTn.GTCCRA/B のコンペアマッチで“Low”出力 10 : GPTn.GTCCRA/B のコンペアマッチで“High”出力 11 : GPTn.GTCCRA/B のコンペアマッチでトグル出力 - b5=1 の場合 00 : 立ち上がりエッジでインพุットキャプチャ 01 : 立ち下がりエッジでインพุットキャプチャ 10 : 両エッジでインพุットキャプチャ 11 : 両エッジでインพุットキャプチャ	00 : GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持 01 : GTCCRA/GTCCRB レジスタのコンペアマッチで Low 出力 10 : GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力 11 : GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力

2.21 コンペアマッチタイマ

表 2.66 にコンペアマッチタイマの概要比較を示します。

表 2.66 コンペアマッチタイマの概要比較

項目	RX63T(CMT)	RX72T(CMT)
カウントクロック	4 種類の分周クロック —PCLK/8 クロック、PCLK/32 クロック、PCLK/128 クロック、PCLK/512 クロックの中から各チャネル独立に選択可能	4 種類の分周クロック —PCLK/8、PCLK/32、PCLK/128、PCLK/512 の中からチャネルごとに選択可能
割り込み	コンペアマッチ割り込みを各チャネル独立に要求することが可能	コンペアマッチ割り込みをチャネルごとに要求することが可能
イベントリンク機能(出力)	-	CMT1 のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	-	- 設定したモジュールに対してリンク動作が可能 - CMT1 のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	ユニットごとにモジュールストップ状態への設定が可能

2.22 ウォッチドッグタイマ

表 2.67 にウォッチドッグタイマの概要比較を、表 2.68 にウォッチドッグタイマのレジスタ比較を示します。

表 2.67 ウォッチドッグタイマの概要比較

項目	RX63T(WDTA)	RX72T(WDTA)
カウントソース	周辺クロック(PCLK)	周辺モジュールクロック(PCLK)
クロック分周比	4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周	4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周
カウント動作	14 ビットのダウンカウンタによるダウンカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	- リセット後、およびアンダフロー、リフレッシュエラー発生後に自動的にカウント開始（オートスタートモード） - リフレッシュ（WDTRRレジスタに00hを書き込み後、FFhを書き込む）により、カウント開始（レジスタスタートモード）	- オートスタートモード：リセット解除後、自動的にカウント開始 - レジスタスタートモード：リフレッシュ動作(WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	- リセット（ダウンカウンタ、レジスタは初期値に戻る） - アンダフロー、リフレッシュエラー発生時カウント再開（オートスタートモード：自動、レジスタスタートモード：リフレッシュ）	- リセット(ダウンカウンタ、レジスタは初期値に戻る) - 低消費電力状態 - アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能（リフレッシュ許可/禁止期間）	ウィンドウ開始/終了位置を設定可能（リフレッシュ許可/禁止期間）
リセット出力要因	- ダウンカウンタがアンダフローした場合 - リフレッシュ許可期間以外でリフレッシュを行った場合（リフレッシュエラー）	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
割り込み要求出力要因	- ダウンカウンタがアンダフローした場合、ノンマスカブル割り込み（WUNI）を発生 - リフレッシュ許可期間以外でリフレッシュを行った場合（リフレッシュエラー）	- ダウンカウンタがアンダフローしたとき、ノンマスカブル割り込み、または割り込み（WUNI）を発生 - リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号(内部信号)	- リセット出力 - ノンマスカブル割り込み要求出力	- リセット出力 - ノンマスカブル割り込み要求出力 - 割り込み要求出力

項目	RX63T(WDTA)	RX72T(WDTA)
オートスタートモード (オプション機能選択レジスタ 0(OFS0)制御)	- リセット後のクロック分周比の選択 (OFS0.WDTCKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.WDTPPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.WDTRPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.WDTRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.WDTRSTIRQS ビット)	- リセット後のクロック分周比の選択 (OFS0.WDTCKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.WDTPPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.WDTRPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.WDTRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.WDTRSTIRQS ビット)
レジスタスタートモード (WDT レジスタ制御)	- リフレッシュ動作後のクロック分周比の選択 (WDTCCR.CKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択 (WDTCCR.TOPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択 (WDTCCR.RPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択 (WDTCCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (WDTCCR.RSTIRQS ビット)	- リフレッシュ動作後のクロック分周比の選択 (WDTCCR.CKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択 (WDTCCR.TOPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択 (WDTCCR.RPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択 (WDTCCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (WDTCCR.RSTIRQS ビット)

表 2.68 ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX63T(WDTA)	RX72T(WDTA)
WDTRCR	RSTIRQS	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求出力を許可 1 : リセット出力を許可	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、 または割り込み要求出力を許可 (注1) 1 : リセット出力を許可

注 1. NMIER.WDTEN ビットの値が、1 の時はノンマスカブル割り込み、0 の時はマスカブル割り込みを発生します。

2.23 独立ウォッチドッグタイマ

表 2.69 に独立ウォッチドッグタイマの概要比較を、表 2.70 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.69 独立ウォッチドッグタイマの概要比較

項目	RX63T(IWDTa)	RX72T(IWDTa)
カウントソース	IWDT 専用クロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK)
カウント分周比	1 分周/16 分周/32 分周/64 分周/128 分周/ 256 分周	1 分周/16 分周/32 分周/64 分周/128 分周/ 256 分周
カウント動作	14 ビットのダウンカウンタによるダウン カウント	14 ビットのダウンカウンタによるダウンカ ウント
カウント開始条件	- リセット後、自動的にカウント開始 (オートスタートモード) - リフレッシュ (IWDTRR レジスタに“00h” を書き込み後、“FFh”を書き込む)によ り、カウント開始 (レジスタスタート モード)	- オートスタートモード：リセット解除 後、自動的にカウント開始 - レジスタスタートモード：リフレッシュ 動作 (IWDTRR レジスタに“00h”を書き 込み後、“FFh”を書き込む)により、カ ウント開始
カウント停止条件	- リセット (ダウンカウンタ、レジスタは初 期値に戻る) - 低消費電力状態 (レジスタ設定による) - アンダフロー、リフレッシュエラー発生 時 カウント再開 (オートスタートモード：自 動、レジスタスタートモード：リフレッ シュ)	- リセット (ダウンカウンタ、レジスタは初 期値に戻る) - 低消費電力状態 (レジスタ設定による) - アンダフロー、リフレッシュエラー発生 時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リ フレッシュ許可/禁止期間)	ウィンドウ開始/終了位置を設定可能 (リ フレッシュ許可/禁止期間)
リセット出力要因	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッ シュを行った場合 (リフレッシュエラー)	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッ シュを行った場合 (リフレッシュエラー)
ノンマスカブル割り込み/割 り込み要因	- ダウンカウンタがアンダフローしたとき ノンマスカブル割り込み (WUNI) を発生 - リフレッシュ許可期間以外でリフレッ シュを行った場合 (リフレッシュエラー)	- ダウンカウンタがアンダフローしたとき ノンマスカブル割り込み、または割り込 み (WUNI) を発生 - リフレッシュ許可期間以外でリフレッ シュを行った場合 (リフレッシュエラー)
カウンタの読み出し	IWDTSR レジスタを読み出すことで、ダウン カウンタのカウント値の読み出しが可能	IWDTSR レジスタを読み出すことで、ダウン カウンタのカウント値の読み出しが可能
出力信号 (内部信号)	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力
イベントリンク機能 (出力)	-	- ダウンカウンタのアンダフローイベント 出力 - リフレッシュエラーイベント出力

項目	RX63T(IWDTa)	RX72T(IWDTa)
オートスタートモード (オプション機能選択 レジスタ 0 (OFS0)制御)	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択(OFS0.IWDTTOPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択(OFS0.IWDRPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択(OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択(OFS0.IWDTSLCSTP ビット)	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択(OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択(OFS0.IWDRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択(OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択(OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	- リフレッシュ動作後のクロック分周比の選択(IWDTCCR.CKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択(IWDTCCR.TOPPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択(IWDTCCR.RPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択(IWDTCCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(IWDTCCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択(IWDTCCSTPR.SLCSTP ビット)	- リフレッシュ動作後のクロック分周比の選択(IWDTCCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択(IWDTCCR.TOPPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択(IWDTCCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択(IWDTCCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(IWDTCCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択(IWDTCCSTPR.SLCSTP ビット)

表 2.70 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX63T(IWDTa)	RX72T(IWDTa)
IWDTCCR	RSTIRQS	リセット割り込み要求選択ビット 0 : ノンマスクابل割り込み要求出力を許可 1 : リセット出力を許可	リセット割り込み要求選択ビット 0 : ノンマスクابل割り込み要求、 または割り込み要求出力を許可 (注1) 1 : リセット出力を許可

注 1. NMIER.IWDTEN ビットの値が、1 の時はノンマスクابل割り込み、0 の時はマスクابل割り込みを発生します。

2.24 USB2.0FS ホスト/ファンクションモジュール

表 2.71 に USB2.0FS ホスト/ファンクションモジュールの概要比較を、表 2.72 に USB2.0FS ホスト/ファンクションモジュールのレジスタ比較を示します。

表 2.71 USB2.0FS ホスト/ファンクションモジュールの概要比較

項目	RX63T(USBa)	RX72T(USBb)
特長	- USB2.0 に対応した UDC (USB Device Controller) およびトランシーバを内蔵 —1 ポート内蔵 —USB0: ホストコントローラ機能/ファンクションコントローラ機能/OTG に対応 - ホストコントローラとファンクションコントローラを内蔵 (ソフトウェアで切り替え可能) - セルフパワーモードおよびバスパワーモードを選択可能 - OTG(ON-The-Go)に対応	- USB2.0 に対応した UDC (USB Device Controller) およびトランシーバを内蔵 —ホストコントローラ機能/ファンクションコントローラ機能/OTG(On-The-Go)に対応 (1 チャンネル) - ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 - セルフパワーモードおよびバスパワーモードを選択可能 - OTG(ON-The-Go)に対応
	ホストコントローラ機能選択時 - フルスピード転送(12Mbps)に対応^(注1) - ハブを 1 段経由し、複数の周辺デバイスと接続し通信が可能 - SOF、パケット送信のスケジュールを自動化 - アイソクロナス転送、インタラプト転送の転送インターバル設定機能	ホストコントローラ機能選択時 - フルスピード転送(12Mbps)およびロースピード転送(1.5Mbps)に対応 - ハブを 1 段経由し、複数の周辺デバイスと接続し通信が可能 - SOF、パケット送信のスケジュールを自動化 - アイソクロナス転送、インタラプト転送の転送インターバル設定機能
	ファンクションコントローラ機能選択時 - フルスピード転送(12Mbps)に対応^(注1) - コントロール転送ステージ管理機能 - デバイスステート管理機能 - SET_ADDRESS リクエストに対する自動応答機能 - SOF 補完機能	ファンクションコントローラ機能選択時 - フルスピード転送(12Mbps)に対応^(注1) - コントロール転送ステージ管理機能 - デバイスステート管理機能 - SET_ADDRESS リクエストに対する自動応答機能 - SOF 補完機能
通信データ転送タイプ	- コントロール転送 - バルク転送 - インタラプト転送 - アイソクロナス転送	- コントロール転送 - バルク転送 - インタラプト転送 - アイソクロナス転送
内部バスインタフェース	内部周辺バス 3 に接続	内部周辺バス 3 に接続
パイプコンフィギュレーション	- USB 通信用バッファメモリを内蔵 - 最大 10 本のパイプを選択可能(デフォルトコントロールパイプを含む) - パイプ 1~9 は任意のエンドポイント番号を割り付け可能 各パイプの設定可能な転送条件 - パイプ 0: コントロール転送専用のパイプ (デフォルトコントロールパイプ: DCP)、バッファサイズは 8/16/32/64 バイト(シングルバッファ)	- USB 通信用バッファメモリを内蔵 - 最大 10 本のパイプを選択可能(デフォルトコントロールパイプを含む) - パイプ 1~9 は任意のエンドポイント番号を割り付け可能 各パイプの設定可能な転送条件 - パイプ 0: コントロール転送、64 バイトシングルバッファ

項目	RX63T(USBa)	RX72T(USBb)
パイプコンフィギュレーション	- パイプ 1、2：バルク転送またはアイソクロナス転送を選択可能なパイプ、バッファサイズはバルク転送時バッファサイズは 8/16/32/64 バイト(ダブルバッファ指定可能)、アイソクロナス転送時 1~256 バイト(ダブルバッファ指定可能) - パイプ 3~5：バルク転送専用のパイプ、バッファサイズは 8/16/32/64 バイト(ダブルバッファ指定可能) - パイプ 6~9：インタラプト転送専用のパイプ、1~64 バイト(シングルバッファ)	- パイプ 1、2：バルク転送時、64 バイトダブルバッファ指定可能 アイソクロナス転送時、256 バイトダブルバッファ指定可能 - パイプ 3~5：バルク転送、64 バイトダブルバッファ指定可能 - パイプ 6~9：インタラプト転送、64 バイトシングルバッファ
その他の機能	- トランザクションカウントによる受信トランスファ終了機能 - BRDY 割り込みイベント通知タイミング変更機能(BFRE) - DnFIFO(n = 0, 1)ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) - トランスファ終了による応答 PID の NAK 設定機能(SHTNAK)	- トランザクションカウントによる受信トランスファ終了機能 - BRDY 割り込みイベント通知タイミング変更機能(BFRE) - DnFIFO(n = 0, 1)で指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) - トランスファ終了による応答 PID の NAK 設定機能(SHTNAK) - D+/D-のプルアップ抵抗、プルダウン抵抗をチップに内蔵
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

注 1. ロースピード転送(1.5Mbps)に対応していません。

表 2.72 USB2.0FS ホスト/ファンクションモジュールのレジスタ比較

レジスタ	ビット	RX63T(USBa)	RX72T(USBb)
DVSTCTR0	RHST[2:0]	USBバスリセットステータスビット ● ホストコントローラ機能選択時 b2 b0 000: 通信速度不定(パワード時あるいは非接続時) 1xx: USB バスリセット処理中 001: ロースピード接続時 (注1) 010: フルスピード接続時 ● ファンクションコントローラ機能選択時 b2 b0 000: 通信速度不定 010: USBバスリセット処理中 または、フルスピード接続時	USBバスリセットステータスフラグ ● ホストコントローラ機能選択時 b2 b0 000: 通信速度不定(パワード時あるいは非接続時) 1xx: USB バスリセット処理中 001: ロースピード接続時 010: フルスピード接続時 ● ファンクションコントローラ機能選択時 b2 b0 000: 通信速度不定 001: USBバスリセット処理中 010: USBバスリセット処理中 または、フルスピード接続時
SOFCFG	TRNENSEL	-	トランザクション有効期間 切り替えビット
PHYSLEW	-	-	PHYクロスポイント調整レジスタ
DVCHGR	-	デバイスステート切り替えレジスタ	-
USBADDR	-	USB アドレスレジスタ	-
DEVADDn (n = 0~5)	USBSPD[1:0]	通信対象デバイスの転送速度ビット b7 b6 00: DEVADDnレジスタ未使用 01: 設定しないでください 10: フルスピード 11: 設定しないでください	通信対象デバイスの転送速度ビット b7 b6 00: DEVADDnレジスタ未使用 01: ロースピード 10: フルスピード 11: 設定しないでください

注 1. USB コントローラはロースピードデバイスとの通信はサポートしていません。本値が読み出されたときには上位アプリにて異常接続処理をしてください。

2.25 シリアルコミュニケーションインタフェース

表 2.73 にシリアルコミュニケーションインタフェースの概要比較を、表 2.74 にシリアルコミュニケーションインタフェースのチャネル比較を、表 2.75 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.73 シリアルコミュニケーションインタフェースの概要比較

項目		RX63T(SCIc, SCId)	RX72T(SCIj, SCli, SClh)
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能	ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能	- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		- 送信終了、送信データエンプティ、受信データフル、受信エラー - 開始条件/再開条件/停止条件生成終了 (簡易 I²C モード用)	- 送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ (SCI11)、データ一致 (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11) - 開始条件/再開条件/停止条件生成終了 (簡易 I²C モード用)
消費電力低減機能		チャネルごとにモジュールストップ状態への設定が可能	チャネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能 (SCI11)
	データ一致検出	-	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能 (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)
	スタートビット検出	-	Low または立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMON フラグを読み出すことでブレークを検出可能
	クロックソース	- 内部クロック/外部クロックの選択が可能 MTU3 からの転送レートクロック入力が可能	- 内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5, SCI6, SCI12)

項目		RX63T(SCIc, SCId)	RX72T(SCIj, SCli, SClh)
調歩同期式モード	倍速モード	-	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去機能	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能 (SCI11)
スマートカードインタフェースモード	エラー処理	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット	I ² C バスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)	マスタ(シングルマスタ動作のみ)
	転送速度	- ファストモード対応(転送速度はビットレートレジスタ(BRR)を参照して設定してください) (SCI0~SCI3) - 最大 384kbps (SCI12)	ファストモード対応(転送速度はビットレートレジスタ(BRR)を参照して設定してください)
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
イベントリンク機能 (SCI5 のみ対応)		-	- エラー(受信エラー・エラーシグナル検出)イベント出力 - 受信データフルイベント出力 - 送信データエンプティイベント出力 - 送信終了イベント出力
拡張シリアルモード (SCI12 のみ対応)	Start Frame 送信	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり

項目		RX63T(SCIc, SCId)	RX72T(SCIj, SCli, SClh)
拡張シリアルモード (SCI12のみ対応)	Start Frame 受信	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり
	入出力制御機能	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能 - 拡張シリアルモード制御部 OFF 時、RXDX12 受信信号を SCIc ヘスルー出力可能	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	リロードタイマ機能として使用可能	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		-	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

表 2.74 シリアルコミュニケーションインタフェースのチャンネル比較

項目	RX63T(SCIc, SCId)	RX72T(SCIj, SCli, SClh)
調歩同期式モード	SCI0, SCI1, SCI2, SCI3, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
クロック同期式モード	SCI0, SCI1, SCI2, SCI3, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
スマートカードインタフェースモード	SCI0, SCI1, SCI2, SCI3, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
簡易 I ² C モード	SCI0, SCI1, SCI2, SCI3, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
簡易 SPI モード	SCI0, SCI1, SCI2, SCI3, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
FIFO モード	-	SCI11
データ一致検出	-	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11
拡張シリアルモード	SCI12	SCI12
MTU3 クロック入力	SCI0, SCI1, SCI2, SCI3, SCI12 (64/48 ピン版は非対応)	-
TMR クロック入力	-	SCI5, SCI6, SCI12
イベントリンク機能	-	SCI5
周辺モジュールクロック	PCLK	PCLKB : SCI1, SCI5, SCI6, SCI8, SCI9, SCI12 PCLKA : SCI11

表 2.75 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX63T(SCIc, SCId)	RX72T(SCIj, SCli, SCliH)
RDRH	-	-	レシーブデータレジスタ H
RDRL	-	-	レシーブデータレジスタ L
RDRHL	-	-	レシーブデータレジスタ HL
FRDR	-	-	受信FIFO データレジスタ
TDRH	-	-	トランスミットデータレジスタ H
TDRL	-	-	トランスミットデータレジスタ L
TDRHL	-	-	トランスミットデータレジスタ HL
FTDR	-	-	送信FIFO データレジスタ
SCR (SCMR.SMIF = 0 の時)	CKE[1:0]	クロックイネーブルビット (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ I/O ポートの設定によって、 SCKn 端子は入出力ポートとして 使用できます 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと 同じ周波数のクロックを出力 1 x : 外部クロックまたは MTU3 ク ロック - 外部クロック使用時は、 SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。 SEMR.ABCS ビットが“1”のときは 8 倍の周波数のクロックを入力してください - MTU3 クロックを使用可能 MTU3 から入力するベースクロックは、PCLK の 1/4 の周波数以下となるように設定してください。MTU3 クロック使用時は、I/O ポートの設定によって、SCKn 端子は入出力ポートとして使用できます。 (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn 端子はクロック出力端子となります 1 x : 外部クロック SCKn 端子はクロック入力端子となります	クロックイネーブルビット (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn 端子はハイインピーダンスになります 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと 同じ周波数のクロックを出力します 1 x : 外部クロックまたは TMR クロック - 外部クロック使用時は、 SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。SEMR.ABCS ビットが“1”のときは 8 倍の周波数のクロックを入力してください。 TMR クロック使用時は、 SCKn 端子はハイインピーダンスになります。TMR クロックは SCI5、SCI6、SCI12 のみ選択可能。 (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn 端子はクロック出力端子となります 1 x : 外部クロック SCKn 端子はクロック入力端子となります

レジスタ	ビット	RX63T(SCIc, SCId)	RX72T(SCIj, SCli, SCih)
SMR (SCMR.SMIF = 0 の時)	CHR	キャラクタ長ビット (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信 1 : データ長 7 ビットで送受信	キャラクタレングスビット (調歩同期式モードのみ有効) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 00 : データ長9ビットで送受信 01 : データ長9ビットで送受信 10 : データ長8ビットで送受信 (初期値) 11 : データ長7ビットで送受信
SSR (SCMR.SMIF = 1 の時)	RDRF	-	受信データフルフラグ
	TDRE	-	送信データエンプティフラグ
SSR (SCMR.SMIF = 0、 FCR.FM = 1 の時)	DR	-	受信データレディフラグ
	TEND	-	トランスミットエンドフラグ
	PER	-	パリティエラーフラグ
	FER	-	フレーミングエラーフラグ
	ORER	-	オーバランエラーフラグ
	RDF	-	受信FIFOフルフラグ
	TDFE	-	送信FIFOエンプティフラグ
SSRFIFO	-	-	シリアルステータスレジスタ
SCMR	CHR1	-	キャラクタレングスビット 1
MDDR	-	-	モジュレーションデューティレジスタ
SEMR	ACS0	調歩同期クロックソースセレクトビット 【144/120/112/100 ピン版の場合】 (調歩同期式モードのみ有効) 0 : 外部クロック入力 1 : MTU3 クロック入力 (MTIOC6A、MTIOC7A) 【64/48 ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	調歩同期クロックソースセレクトビット (調歩同期式モードのみ有効) 0 : 外部クロック 1 : TMR から出力される 2 つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12 のみ有効) SCI のチャンネルごとに使用できるコンペアマッチ出力が異なります
	BRME	-	ビットレートモジュレーションイネーブルビット
	ABCSE	-	調歩同期基本クロックセレクト拡張ビット
	BGDM	-	ボーレートジェネレータ倍速モードセレクトビット
	RXDESEL	-	調歩同期スタートビットエッジ検出セレクトビット
FCR	-	-	FIFOコントロールレジスタ
FDR	-	-	FIFOデータカウントレジスタ
LSR	-	-	ラインステータスレジスタ
CDR	-	-	比較データレジスタ
DCCR	-	-	データ比較制御レジスタ
SPTR	-	-	シリアルポートレジスタ

レジスタ	ビット	RX63T(SCIc, SCId)	RX72T(SCIj, SCli, SCih)
CR2	BCCS[1:0]	バス衝突検出クロック選択ビット b5 b4 0 0 : SCI基本クロック 0 1 : SCI基本クロックの2分周 1 0 : SCI基本クロックの4分周 1 1 : 設定しないでください	バス衝突検出クロック選択ビット - SEMR.BGDM ビットが “0” または、SEMR.BGDM ビットが “1” かつ SMR.CKS[1:0] ビットが “00b” 以外の場合 b5 b4 0 0 : 基本クロック 0 1 : 基本クロックの2分周 1 0 : 基本クロックの4分周 1 1 : 設定しないでください - SEMR.BGDM ビットが “1” かつ SMR.CKS[1:0] ビットが “00b” の場合 b5 b4 0 0 : 基本クロックの2分周 0 1 : 基本クロックの4分周 1 0 : 設定しないでください 1 1 : 設定しないでください

2.26 I²C バスインタフェース

表 2.76 に I²C バスインタフェースの概要比較を、表 2.77 に I²C バスインタフェースのレジスタ比較を示します。

表 2.76 I²C バスインタフェースの概要比較

項目	RX63T(RIIC)	RX72T(RIICa)
チャンネル数	2 チャンネル	1 チャンネル
通信フォーマット	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~400 kbps	ファストモード対応(~400 kbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能
コンディション発行・コンディション検出	- スタートコンディション/リスタートコンディション/ストップコンディションの自動生成 - スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能	- スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 - スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	- スレーブアドレスを 3 セット設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード —ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 —8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	- 送信時、アクノリッジビットの自動ロード —ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 —8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	- 受信時、SCL クロックの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間をウェイト 9 クロック目と 1 クロック目の間をウェイト(WAIT 機能)	- 受信時、SCL クロックの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間をウェイト 9 クロック目と 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX63T(RIIC)	RX72T(RIICa)
アービトレーション	- マルチマスタ対応 —他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 —スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 —マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能	- マルチマスタ対応 —他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 —スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 —マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 —通信エラー/イベント発生 (AL 検出、NACK 検出、タイムアウト検出、スタートコンディション検出(リスタートコンディション含む)、ストップコンディション検出) —受信データフル(スレーブアドレス一致時含む) —送信データエンプティ(スレーブアドレス一致時含む) —送信終了	4 種類 —通信エラー/通信イベント発生、アービトレーション検出、NACK 検出、タイムアウト検出、スタートコンディション検出(リスタートコンディション含む)、ストップコンディション検出 —受信データフル(スレーブアドレス一致時含む) —送信データエンプティ(スレーブアドレス一致時含む) —送信終了
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能
RIIC の動作モード	4 種類 —マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード	4 種類 —マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能 (出力)	-	4 種類(RIIC0) —通信エラー/通信イベント発生、アービトレーション検出、NACK 検出、タイムアウト検出、スタートコンディション検出(リスタートコンディション含む)、ストップコンディション検出 —受信データフル(スレーブアドレス一致時含む) —送信データエンプティ(スレーブアドレス一致時含む) —送信終了

表 2.77 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX63T(RIIC)	RX72T(RIICa)
ICMR2	TMWE	タイムアウト内部カウンタ 書き込み許可ビット	-
TMOCNT	-	タイムアウト内部カウンタ	-

2.27 CAN モジュール

表 2.78 に CAN モジュールの概要比較を示します。

表 2.78 CAN モジュールの概要比較

項目	RX63T(CAN)	RX72T(CAN)
チャンネル数	3 チャンネル	1 チャンネル
プロトコル	ISO 11898-1 仕様準拠(標準フレーム/拡張フレーム)	ISO 11898-1 規格準拠(標準フレーム/拡張フレーム)
ビットレート	1Mbps 以下のビットレートをプログラム可能($f_{CAN} \geq 8\text{MHz}$) f_{CAN} : CAN クロックソース	1Mbps 以下のビットレートをプログラム可能($f_{CAN} \geq 8\text{MHz}$) f_{CAN} : CAN クロックソース
メッセージボックス	32 メールボックス : 2 種類のメールボックスモードを選択可能 - 通常メールボックスモード : —32 メールボックスを送信または受信用に設定可能 - FIFO メールボックスモード : —24 メールボックスを送信または受信用に設定可能 —残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能	32 メールボックス : 2 種類のメールボックスモードを選択可能 - 通常メールボックスモード : —32 メールボックスを送信または受信用に設定可能 - FIFO メールボックスモード : —24 メールボックスを送信または受信用に設定可能 —残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能
受信	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 - ワンショット受信機能を選択可能 - オーバーライトモード(メッセージ上書き)かオーバーランモード(メッセージ破棄)を選択可能 - 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 - ワンショット受信機能を選択可能 - オーバーライトモード(メッセージ上書き)かオーバーランモード(メッセージ破棄)を選択可能 - 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	8 つのアクセプタンスマスク(4 メールボックスごとに個別のマスク) - メールボックスはマスクの有効/無効を個別に設定可能	8 つのアクセプタンスマスク(4 メールボックスごとに個別のマスク) - メールボックスはマスクの有効/無効を個別に設定可能
送信	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメールボックス番号優先送信モードを選択可能 - 送信要求をアボート可能(フラグでアボート完了を確認可能) - 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット(標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID)を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメールボックス番号優先送信モードを選択可能 - 送信要求をアボート可能(フラグでアボート完了を確認可能) - 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能

項目	RX63T(CAN)	RX72T(CAN)
バスオフ復帰方法	- バスオフ状態からの復帰方法を選択可能 - ISO11898-1 仕様準拠 - バスオフ開始で自動的に CAN Halt モードへ移行 - バスオフ終了で自動的に CAN Halt モードへ移行 - プログラムにより CAN Halt モードへ移行 - プログラムによりエラーアクティブ状態へ遷移	- バスオフ状態からの復帰方法を選択可能 - ISO11898-1 規格準拠 - バスオフ開始で自動的に CAN Halt モードへ移行 - バスオフ終了で自動的に CAN Halt モードへ移行 - プログラムにより CAN Halt モードへ移行 - プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	- CAN バスエラー(スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー)を監視可能 - エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) - エラーカウンタを読み出し可能	- CAN バスエラー(スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー)を監視可能 - エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) - エラーカウンタを読み出し可能
タイムスタンプ機能	16 ビットカウンタによるタイムスタンプ機能 - 基準クロックは、1, 2, 4, 8 ビットタイムから選択可能	16 ビットカウンタによるタイムスタンプ機能 - 基準クロックは、1, 2, 4, 8 ビットタイムから選択可能
割り込み機能	5 種類の割り込み要因(受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み)	5 種類の割り込み要因(受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み)
CAN スリープモード	CAN クロックを停止することで消費電流を低減可能	CAN クロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット —アクセプタンスフィルタサポート —メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) —チャンネル検索サポート	3つのソフトウェアサポートユニット —アクセプタンスフィルタサポート —メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) —チャンネル検索サポート
CAN クロックソース	周辺モジュールクロック(PCLK)、CANMCLK	周辺モジュールクロック(PCLKB)、CANMCLK
テストモード	- ユーザ評価用に3つのテストモードを用意 —リッスンオンリモード —セルフテストモード0 (外部ループバック) —セルフテストモード1 (内部ループバック)	- ユーザ評価用に3つのテストモードを用意 —リッスンオンリモード —セルフテストモード0 (外部ループバック) —セルフテストモード1 (内部ループバック)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

2.28 シリアルペリフェラルインタフェース

表 2.79 にシリアルペリフェラルインタフェースの概要比較を、表 2.80 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.79 シリアルペリフェラルインタフェースの概要比較

項目	RX63T(RSPI)	RX72T(RSPIC)
チャンネル数	2 チャンネル	1 チャンネル
RSPI 転送機能	- MOSI(Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIClock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 - 送信のみの動作が可能 - マスタ/スレーブモードでのシリアル通信が可能 - 通信モード：全二重または送信のみを選択可能 - シリアル転送クロックの極性を変更可能 - シリアル転送クロックの位相を変更可能	- MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIClock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 - 送信のみの動作が可能 - マスタ/スレーブモードでのシリアル通信が可能 - 通信モード：全二重または送信のみを選択可能 - RSPCK の極性を変更可能 - RSPCK の位相を変更可能
データフォーマット	- MSB ファースト/LSB ファーストの切り替え可能 - 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 - 送信/受信バッファは 128 ビット - 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)	- MSB ファースト/LSB ファーストの切り替え可能 - 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 - 送信/受信バッファは 128 ビット - 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) - 送信データ、受信データをバイト単位でスワップ可能
ビットレート	- マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) - スレーブモード時、外部入力クロックをシリアルクロックとして使用(最大周波数は PCLK の 8 分周) —High 幅：PCLK の 4 サイクル、Low 幅：PCLK の 4 サイクル	- マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) - スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能(RSPCK の最高周波数は PCLK の 4 分周) —High 幅：PCLK の 2 サイクル、Low 幅：PCLK の 2 サイクル
バッファ構成	- 送信/受信バッファ構成はダブルバッファ - 送信および受信バッファは 128 ビット	- 送信および受信バッファはそれぞれダブルバッファ構造 - 送信および受信バッファは 128 ビット
エラー検出	- モードフォルトエラー検出 - オーバランエラー検出 - パリティエラー検出	- モードフォルトエラー検出 - オーバランエラー検出 - パリティエラー検出 - アンダランエラー検出
割り込み要因	- マスカブルな割り込み要因 —RSPI 受信割り込み(受信バッファフル) —RSPI 送信割り込み(送信バッファエンブティ) —RSPI エラー割り込み(モードフォルト、オーバラン、パリティエラー) —RSPI アイドル割り込み(RSPI アイドル)	- 割り込み要因 —受信バッファフル割り込み —送信バッファエンブティ割り込み —RSPI エラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー) —RSPI アイドル割り込み(RSPI アイドル)

項目	RX63T(RSPI)	RX72T(RSPIC)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 信号(SSLn0~SSLn3) - シングルマスタ設定時には、SSLn0~SSLn3 信号を出力 - マルチマスタ設定時：SSLn0 信号は入力、SSLn1~SSLn3 信号は出力または未使用 - スレーブ設定時：SSLn0 信号は入力、SSLn1~SSLn3 信号は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子(SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 —設定範囲：1~8 RSPCK —設定単位：1 RSPCK - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送をシーケンシャルにループ実行可能 - 各コマンドに以下の項目を設定可能 —SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 —SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 - RSPCK 自動停止機能
イベントリンク機能(出力)	-	以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) —受信バッファフルイベント信号 —送信バッファエンptyイベント信号 —モードフォルト/オーバラン/アンダラン/パリティエラーのイベント信号 —RSPI アイドルイベント信号 —送信完了イベント信号
その他の機能	- CMOS/オープンドレイン出力切り替え機能(SPPCR.SPOM ビットで切り替え) - RSPI 初期化機能 - ループバックモード機能	- CMOS/オープンドレイン出力切り替え機能(ODRn.Bi ビットで切り替え) - RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.80 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX63T(RSPI)	RX72T(RSPIc)
SPPCR	SPOM	RSPI 出力端子モードビット	-
SPSR	MODF	モードフォルトエラーフラグ 0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	モードフォルトエラーフラグ 0 : モードフォルトエラーなし、 アンダランエラーなし 1 : モードフォルトエラーまたは アンダランエラー発生
	UDRF	-	アンダランエラーフラグ
SPDR	-	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW=1) - ワードアクセス (SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW=1, SPDCR.SPBYT=0) - ワードアクセス (SPDCR.SPLW=0, SPDCR.SPBYT=0) - バイトアクセス (SPDCR.SPBYT=1)
SPBR	SPR0~SPR7(RX63T) -(RX72T)	RSPI ビットレートレジスタ	RSPI ビットレートレジスタ
SPDCR	SPBYT	-	RSPI バイトアクセス設定 ビット
SPCR2	SCKASE	-	RSPCK 自動停止機能許可ビット
SPDCR2	-	-	RSPI データコントロール レジスタ 2

2.29 CRC 演算器

表 2.81 に CRC 演算器の概要比較を、表 2.82 に CRC 演算器のレジスタ比較を示します。

表 2.81 CRC 演算器の概要比較

項目	RX63T(CRC)	RX72T(CRCA)	
データサイズ	8 ビット	8 ビット	32 ビット
CRC 演算対象データ	8n ビットのデータに対して CRC コード生成(n = 自然数)	8n ビットのデータに対して CRC コード生成(n = 自然数)	32n ビットのデータに対して CRC コード生成(n = 自然数)
CRC 演算処理方式	8 ビット並列実行	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの多項式から選択可能 —8 ビット CRC $X^8 + X^2 + X + 1$ —16 ビット CRC $X^{16} + X^{15} + X^2 + 1,$ $X^{16} + X^{12} + X^5 + 1$	3 つの多項式から選択可能 —8 ビット CRC $X^8 + X^2 + X + 1$ —16 ビット CRC $X^{16} + X^{15} + X^2 + 1,$ $X^{16} + X^{12} + X^5 + 1$	2 つの多項式から選択可能 —32 ビット CRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16}$ $+ X^{12} + X^{11} + X^{10} + X^8 + X^7$ $+ X^5 + X^4 + X^2 + X + 1,$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25}$ $+ X^{23} + X^{22} + X^{20} + X^{19}$ $+ X^{18} + X^{14} + X^{13} + X^{11}$ $+ X^{10} + X^9 + X^8 + X^6 + 1$
CRC 演算切り替え	LSB ファースト/MSB ファースト ト通信用 CRC コード生成から 選択可能	LSB ファーストまたは MSB ファーストでの通信用に、 CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への 設定可能	モジュールストップ状態への遷移が可能	

表 2.82 CRC 演算器のレジスタ比較

レジスタ	ビット	RX63T(CRC)	RX72T(CRCA)
CRCCR	GPS[1:0](RX63T) GPS[2:0](RX72T)	CRC 生成多項式切り替えビット (b1-b0) b1 b0 0 0 : 演算しません 0 1 : $X^8 + X^2 + X + 1$ 1 0 : $X^{16} + X^{15} + X^2 + 1$ 1 1 : $X^{16} + X^{12} + X^5 + 1$	CRC 生成多項式切り替えビット (b2-b0) b2 b0 0 0 0 : 計算しません 0 0 1 : 8 ビット CRC ($X^8 + X^2 + X + 1$) 0 1 0 : 16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 : 16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 : 32 ビット CRC ($X^{32} + X^{26} + X^{23} + X^{22} +$ $X^{16} + X^{12} + X^{11} + X^{10} + X^8$ $+ X^7 + X^5 + X^4 +$ $X^2 + X + 1$) 1 0 1 : 32 ビット CRC ($X^{32} + X^{28} + X^{27} + X^{26} +$ $X^{25} + X^{23} + X^{22} + X^{20} + X^{19}$ $+ X^{18} + X^{14} + X^{13} + X^{11} +$ $X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 : 計算しません 1 1 1 : 計算しません
	LMS	CRC 演算切り替えビット(b2)	CRC 演算切り替えビット(b6)
CRCDIR	-	CRC データ入力レジスタ 可能アクセスサイズ ● バイトアクセス	CRC データ入力レジスタ 可能アクセスサイズ ● ロングワードアクセス (32 ビット CRC 生成時) ● バイトアクセス (16 ビット CRC、8 ビット CRC 生成時)
CRCDOR	-	CRC データ出力レジスタ 可能アクセスサイズ ● ワードアクセス 8 ビット CRC 生成時は、 下位バイト(b7~b0)を使用	CRC データ出力レジスタ 可能アクセスサイズ ● ロングワードアクセス (32 ビット CRC 生成時) ● ワードアクセス (16 ビット CRC 生成時) ● バイトアクセス (8 ビット CRC 生成時)

2.30 12 ビット A/D コンバータ

表 2.83 に 12 ビット A/D コンバータの概要比較を、表 2.84 に 12 ビット A/D コンバータのレジスタ比較を、表 2.85 に ADSTRGR レジスタに設定する A/D 起動要因比較（144/120/112/100 ピン版）を、表 2.86 に ADSTRGR レジスタに設定する A/D 起動要因比較（64/48 ピン版）を示します。

表 2.83 12 ビット A/D コンバータの概要比較

項目	RX63T(S12ADB)		RX72T(S12ADH)
	144/120/112/100 ピン版	64/48 ピン版	
ユニット数	2 ユニット (S12ADB0, S12ADB1)	1 ユニット	3 ユニット (S12AD, S12AD1, S12AD2)
入力チャンネル	8 チャンネル (4 チャンネル×2 ユニット)	最大 8 チャンネル	S12AD : 8 チャンネル、 S12AD1 : 8 チャンネル、 S12AD2 : 14 チャンネル
拡張アナログ機能	-		温度センサ出力、 内部基準電圧(S12AD2 のみ)
A/D 変換方式	逐次比較方式		逐次比較方式
分解能	12 ビット		12 ビット
変換時間	1 チャンネルあたり 1.0μs (A/D 変換クロック ADCLK = 50MHz 動作時)		1 チャンネルあたり 0.9μs (A/D 変換クロック ADCLK = 60MHz 動作時)
A/D 変換クロック	- 周辺モジュールクロック PCLKB と A/D 変換クロック ADCLK を以下の分周比で設定可能 —PCLKB : ADCLK 分周比 = 1 : 1、1 : 2、1 : 4、1 : 8 - ADCLK の設定はクロック発生回路(CPG)で行います。		- 周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 —PCLK : ADCLK 周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1 - ADCLK の設定はクロック発生回路で行います。 - A/D 変換クロック ADCLK は最大 60MHz、最低 8MHz まで動作可能
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ —マルチファンクションタイマパルスユニット(MTU3)、汎用 PWM タイマ(GPT)からのトリガ - 非同期トリガ —外部トリガ ADTRGn#端子による A/D 変換動作の開始が可能		- ソフトウェアトリガ - 同期トリガ —マルチファンクションタイマパルスユニット(MTU)、8 ビットタイマ(TMR)、イベントリンクコントローラ(ELC)からのトリガ - 非同期トリガ —外部トリガ ADTRG0#(S12AD)、ADTRG1# (S12AD1)、ADTRG2# (S12AD2)端子による A/D 変換動作の開始が可能(3 ユニット個別)

項目	RX63T(S12ADB)		RX72T(S12ADH)
	144/120/112/100 ピン版	64/48 ピン版	
データレジスタ	- アナログ入力用 8 本、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本、ダブルトリガモード拡張動作時の A/D 変換データ 2 重化用 2 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 8、10、12 ビット精度出力対応(変換結果出力の 2 ビット、または 4 ビット右シフト選択対応) - 加算モード時は A/D 変換結果の加算値を 14 ビットで A/D データレジスタに保持 - ダブルトリガモード (1 サイクルスキャンとグループスキャンモードで選択可能) —選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは 2 重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効) —選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した 2 重化レジスタに保持		- アナログ入力用 30 本 (S12AD : 8 本、S12AD1 : 8 本、S12AD2 : 14 本)、ダブルトリガモードでの A/D 変換データ二重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ二重化用 2 本/各ユニット - 温度センサ用 1 本(S12AD2) - 内部基準電圧用 1 本 (S12AD2) - 自己診断用 1 本/ユニット - A/D 変換結果を 12 ビット A/D データレジスタに保持 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット/4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) —選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効) —選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持
イベントリンク機能	-		- すべてのスキャン終了時にイベント出力 - シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント出力 - ELC からのトリガによりスキャン開始可能
消費電力低減機能	モジュールストップ状態への設定が可能		モジュールストップ状態への遷移が可能
基準電源端子	VREFH0		AVCC0, AVCC1, AVCC2
基準グラウンド端子	VREFL0		AVSS0, AVSS1, AVSS2

項目	RX63T(S12ADB)		RX72T(S12ADH)
	144/120/112/100 ピン版	64/48 ピン版	
機能	- サンプル&ホールド機能 - チャンネル専用サンプル&ホールド機能(3ch/ユニット) - サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モード - ディスチャージ機能 - ダブルトリガモード(A/D 変換データ 2 重化機能) - ウィンドウコンパレータ機能(3ch/ユニット) - A/D データレジスタオートクリア機能 - プログラマブルゲインアンプによる入力信号増幅機能(3 チャンネル/1 ユニット)	- サンプル&ホールド機能 - チャンネル専用サンプル&ホールド機能(3ch) - サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モード - ディスチャージ機能 - ダブルトリガモード(A/D 変換データ 2 重化機能) - ウィンドウコンパレータ機能(3ch/ユニット) - A/D データレジスタオートクリア機能	- サンプル&ホールド機能 - チャンネル専用サンプル&ホールド機能(3 チャンネル : S12AD、3 チャンネル : S12AD1) (常時サンプリング設定可能) - サンプリング時間可変機能 (チャンネルごとに設定可能) 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出アシスト機能(ディスチャージ機能/プリチャージ機能) - ダブルトリガモード(A/D 変換データ二重化機能) - RX63T のウィンドウコンパレータ機能相当についてはコンパレータ C 章参照 - A/D データレジスタオートクリア機能 - コンペア機能(ウィンドウ A、ウィンドウ B) - 各ユニットでのチャンネル変換順序を設定可能 - プログラマブルゲインアンプによる入力信号増幅機能 (ユニットごとにそれぞれ 3 チャンネル、シングルエンド入力または疑似差動入力を選択可能)
動作モード	1 サイクルスキャンモード : —任意に選択した最大 4 チャンネルのアナログ入力を 1 回のみ A/D 変換 - 連続スキャンモード : —任意に選択した最大 4 チャンネルのアナログ入力を繰り返し A/D 変換	1 サイクルスキャンモード : —任意に選択した最大 8 チャンネルのアナログ入力を 1 回のみ A/D 変換 - 連続スキャンモード : —任意に選択した最大 8 チャンネルのアナログ入力を繰り返し A/D 変換	動作モードは 3 ユニット個別で設定可能です。 - シングルスキャンモード : —任意に選択したチャンネルのアナログ入力を 1 回のみ A/D 変換 —温度センサ出力(S12AD2)を 1 回のみ A/D 変換 —内部基準電圧を 1 回のみ A/D 変換(S12AD2) - 連続スキャンモード : —任意に選択したチャンネルのアナログ入力を繰り返し A/D 変換

項目	RX63T(S12ADB)		RX72T(S12ADH)
	144/120/112/100 ピン版	64/48 ピン版	
動作モード	- グループスキャンモード： —最大 4 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択した全チャンネルのアナログ入力を 1 回のみ変換 —グループ A とグループ B は、各々の変換開始条件を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ A 優先制御選択時) —グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 —グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行(再スキャン)	- グループスキャンモード： —最大 8 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択した全チャンネルのアナログ入力を 1 回のみ変換 —グループ A とグループ B は、各々の変換開始条件を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ A 優先制御選択時) —グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 —グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行(再スキャン)	- グループスキャンモード： —使用するグループの数は 2 つ(グループ A、B)と 3 つ(グループ A、B、C)が選択可能(グループの数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能) —任意に選択したチャンネルのアナログ入力、温度センサ出力(S12AD2)、内部基準電圧(S12AD2)をグループ A とグループ B またはグループ A、B、C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 —グループ A とグループ B とグループ C は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 - グループスキャンモード(グループ優先制御選択時) —低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A (高) > グループ B > グループ C (低)。優先グループのスキャン終了後、低優先グループのスキャンを再実行(再スキャン)する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D 変換未終了のチャンネルからかを設定可能
割り込み要因	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1)を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1)を発生	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生(3 ユニット個別) - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生(3 ユニット個別)

項目	RX63T(S12ADB)		RX72T(S12ADH)
	144/120/112/100 ピン版	64/48 ピン版	
割り込み要因	- グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (S12GBADI, S12GBADI1) を発生。 - グループスキャンモードでダブルトリガモードの設定では、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (S12GBADI, S12GBADI1) を発生。 - コンパレータ検出で割り込み要求 (CMP0~CMP2, CMP4~CMP6) を発生 (POE 要因としても使用可能) - S12ADI, S12GBADI, S12ADI1, S12GBADI1 割り込みまたは CMP0~CMP2, CMP4~CMP6 割り込みで DMA コントローラ (DMAC)、データ転送ファコントローラ (DTC) を起動可能	- グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (S12GBADI) を発生。 - グループスキャンモードでダブルトリガモードの設定では、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (S12GBADI) を発生。 - コンパレータ検出で割り込み要求 (CMP0~CMP2) を発生 (POE 要因としても使用可能) - S12ADI, S12GBADI 割り込みまたは CMP0~CMP2 割り込みで DMA コントローラ (DMAC)、データ転送ファコントローラ (DTC) を起動可能	- グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1, S12ADI2) が発生。グループ B のスキャン終了でグループ B スキャン終了割り込み要求 (S12GBADI, S12GBADI1, S12GBADI2) が発生。グループ C のスキャン終了でグループ C スキャン終了割り込み要求 (S12GCADI, S12GCADI1, S12GCADI2) が発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1, S12ADI2) が発生。グループ B とグループ C のスキャン終了で、それぞれ専用のスキャン終了割り込み要求 (S12GBADI / S12GCADI, S12GBADI1 / S12GCADI1, S12GBADI2 / S12GCADI2) が発生 - デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (S12CMPAI, S12CMPAI1, S12CMPAI2, S12CMPBI, S12CMPBI1, S12CMPBI2) が発生 - S12ADI / S12ADI1 / S12ADI2, S12GBADI / S12GBADI1 / S12GBADI2, S12GCADI / S12GCADI1 / S12GCADI2 割り込みで DMA コントローラ (DMAC)、データ転送ファコントローラ (DTC) を起動可能

表 2.84 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX63T(S12ADA)		RX72T(S12ADH)
		144 / 120 / 112 / 100 ピン版	64 / 48 ピン版	
ADDRy	-	A/D データレジスタ y (y = 0~3)	A/D データレジスタ y (y = 0~7)	A/D データレジスタ y (y = 0~7 : S12AD, y = 0~7 : S12AD1, y = 0~11, 16, 17 : S12AD2)
ADRD	AD[11:0](RX63T) -(RX72T)	12 ビット A/D 変換値		12 ビット A/D 変換値
	DIAGST[1:0](RX63T) -(RX72T)	自己診断ステータスビット		自己診断ステータスビット
ADANSA	-	A/D チャンネル選択レジスタ A		-
ADANSB	-	A/D チャンネル選択レジスタ B		-
ADADS	-	A/D 変換値加算モード選択レジスタ		-
ADADC	ADC[1:0](RX63T) ADC[2:0](RX72T)	加算回数選択ビット		加算回数選択ビット
	AVEE	-		平均モードイネーブルビット
ADCER	ADPRC[1:0]	A/D データレジスタビット精度指定ビット		-
	DCE	ディスチャージイネーブルビット		-
	ADRFMT	A/D データレジスタフォーマット選択ビット		A/D データレジスタフォーマット選択ビット
		A/D 変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADCER.ADRFMT ビットの設定によらず左詰め固定		-
ADSTRGR	TRSB[5:0] (RX63T:144/ 120/ 112 / 100 ピン版、RX72T) TRSB[4:0] (RX63T:64/ 48 ピン版)	グループ B 専用 A/D 変換開始トリガ選択ビット 詳細は表 2.85、表 2.86 を参照してください。		グループ B A/D 変換開始トリガ選択ビット 詳細は表 2.85、表 2.86 を参照してください。
	TRSA[5:0] (RX63T:144/ 120/ 112 / 100 ピン版、RX72T) TRSA[4:0] (RX63T:64/ 48 ピン版)	A/D 変換開始トリガ選択ビット 詳細は表 2.85、表 2.86 を参照してください。		A/D 変換開始トリガ選択ビット 詳細は表 2.85、表 2.86 を参照してください。
ADSSTRn	SST[7:0](RX63T) -(RX72T)	A/D サンプリングステートレジスタ n (n=0~3)	A/D サンプリングステートレジスタ n (n=0~7)	A/D サンプリングステートレジスタ n (n=0~11, L, T, O)
		設定値は 13~255 ステートの間の値		設定値は 12~252 クロックの間でかつ 3 の倍数の値
		リセット後の初期値が異なります		
ADSHCR	SSTSH[7:0]	サンプリング時間サンプル&ホールド回路設定ビット		チャンネル専用サンプル&ホールド回路サンプリング時間設定ビット
		設定値は 4~255 ステートの間の値		設定値は 12~252 クロックの間の値
		リセット後の初期値が異なります		
ADGSPCR	LGRRS	-		再開チャンネル選択ビット

レジスタ	ビット	RX63T(S12ADA)		RX72T(S12ADH)
		144 / 120 / 112 / 100 ピン版	64 / 48 ピン版	
ADCMPMD0	-	コンパレータ動作モード 選択レジスタ 0		-
ADCMPMD1	-	コンパレータ動作モード 選択レジスタ 1		-
ADCMPNR0	-	コンパレータフィルタモード レジスタ 0		-
ADCMPFR	-	コンパレータ検出フラグ レジスタ		-
ADCMPSEL	-	コンパレータ割り込み選択 レジスタ		-
ADPG	-	A/D プログラマ ブルゲイン アンプレジス タ	-	-
ADGSPMR	-	A/D グループス キャン優先 モードレジス タ	-	-
ADTSDR	-	-		A/D 温度センサデータレジスタ
ADOCDR	-	-		A/D 内部基準電圧データ レジスタ
ADANSA0	-	-		A/D チャネル選択レジスタ A0
ADANSA1	-	-		A/D チャネル選択レジスタ A1
ADANSB0	-	-		A/D チャネル選択レジスタ B0
ADANSB1	-	-		A/D チャネル選択レジスタ B1
ADANSC0	-	-		A/D チャネル選択レジスタ C0
ADANSC1	-	-		A/D チャネル選択レジスタ C1
ADSCSn	-	-		A/D チャネル変換順序設定 レジスタ n (n=0~13)
ADADS0	-	-		A/D 変換値加算/平均機能 チャネル選択レジスタ 0
ADADS1	-	-		A/D 変換値加算/平均機能 チャネル選択レジスタ 1
ADEXICR	-	-		A/D変換拡張入力コントロール レジスタ
ADGCEXCR	-	-		A/DグループC拡張入力 コントロールレジスタ
ADGCTRGR	-	-		A/DグループCトリガ選択 レジスタ
ADSHMSR	-	-		A/D サンプル&ホールド 動作モード選択レジスタ
ADDISCR	-	-		A/D 断線検出コントロール レジスタ
ADELCCR	-	-		A/D イベントリンク コントロールレジスタ
ADCMPPCR	-	-		A/Dコンペア機能コントロール レジスタ
ADCMPANSR0	-	-		A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0
ADCMPANSR1	-	-		A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1

レジスタ	ビット	RX63T(S12ADA)		RX72T(S12ADH)
		144 / 120 / 112 / 100 ピン版	64 / 48 ピン版	
ADCMPANSER	-	-		A/Dコンペア機能ウィンドウA 拡張入力選択レジスタ
ADCMPLR0	-	-		A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMPLR1	-	-		A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1
ADCMPLER	-	-		A/Dコンペア機能ウィンドウA 拡張入力比較条件設定レジスタ
ADCMPDR0	-	-		A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ
ADCMPDR1	-	-		A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ
ADCMPSR0	-	-		A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0
ADCMPSR1	-	-		A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1
ADCMPSER	-	-		A/Dコンペア機能ウィンドウA 拡張入力チャネルステータス レジスタ
ADWINMON	-	-		A/Dコンペア機能ウィンドウA/B ステータスマニタレジスタ
ADCMPBNSR	-	-		A/D コンペア機能ウィンドウ B チャネル選択レジスタ
ADWINLLB	-	-		A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ
ADWINULB	-	-		A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ
ADCMPBSR	-	-		A/D コンペア機能ウィンドウ B チャネルステータスレジスタ
ADPGACR	-	-		A/Dプログラマブルゲイン アンプコントロールレジスタ
ADPGAGS0	-	-		A/Dプログラマブルゲイン アンプゲイン設定レジスタ0
ADPGADCRO	-	-		A/Dプログラマブルゲイン アンプ差動入力コントロール レジスタ
ADVMONCR	-	-		A/D 内部基準電圧モニタ回路許 可レジスタ
ADVMONO	-	-		A/D 内部基準電圧モニタ回路出 力許可レジスタ

表 2.85 ADSTRGR レジスタに設定する A/D 起動要因比較 (144/120/112/100 ピン版)

ビット	RX63T(S12ADB)	RX72T(S12ADH)
TRSB[5:0]	グループ B 専用 A/D 変換開始トリガ選択ビット	グループ B A/D 変換開始トリガ選択ビット
	b5 b0	b5 b0
	1 1 1 1 1 1 : トリガ要因非選択状態	1 1 1 1 1 1 : トリガ要因非選択状態
	0 0 0 0 0 1 : TRGA0N	0 0 0 0 0 1 : TRGA0N
	0 0 0 0 1 0 : TRGA1N	0 0 0 0 1 0 : TRGA1N
	0 0 0 0 1 1 : TRGA2N	0 0 0 0 1 1 : TRGA2N
	0 0 0 1 0 0 : TRGA3N	0 0 0 1 0 0 : TRGA3N
	0 0 0 1 0 1 : TRGA4N	0 0 0 1 0 1 : TRGA4N
	0 0 0 1 1 0 : TRGA6N	0 0 0 1 1 0 : TRGA6N
	0 0 0 1 1 1 : TRGA7N	0 0 0 1 1 1 : TRGA7N
	0 0 1 0 0 0 : TRG0AN	0 0 1 0 0 0 : TRG0N
	0 0 1 0 0 1 : TRG4AN	0 0 1 0 0 1 : TRG4AN
	0 0 1 0 1 0 : TRG4BN	0 0 1 0 1 0 : TRG4BN
	0 0 1 0 1 1 : TRG4AN または TRG4BN	0 0 1 0 1 1 : TRG4AN または TRG4BN
	0 0 1 1 0 0 : TRG4ABN	0 0 1 1 0 0 : TRG4ABN
	0 0 1 1 0 1 : TRG7AN	0 0 1 1 0 1 : TRG7AN
	0 0 1 1 1 0 : TRG7BN	0 0 1 1 1 0 : TRG7BN
	0 0 1 1 1 1 : TRG7AN または TRG7BN	0 0 1 1 1 1 : TRG7AN または TRG7BN
	0 1 0 0 0 0 : TRG7ABN	0 1 0 0 0 0 : TRG7ABN
	0 1 0 0 0 1 : GTADTRA0N	
	0 1 0 0 1 0 : GTADTRB0N	
	0 1 0 0 1 1 : GTADTRA1N	0 1 0 0 1 1 : TRGA9N
	0 1 0 1 0 0 : GTADTRB1N	0 1 0 1 0 0 : TRG9N
	0 1 0 1 0 1 : GTADTRA2N	
	0 1 0 1 1 0 : GTADTRB2N	
	0 1 0 1 1 1 : GTADTRA3N	
	0 1 1 0 0 0 : GTADTRB3N	
	0 1 1 0 0 1 : GTADTRA0N または GTADTRB0N	0 1 1 0 0 1 : TRGA0N または TRG0N
	0 1 1 0 1 0 : GTADTRA1N または GTADTRB1N	0 1 1 0 1 0 : TRGA9N または TRG9N
	0 1 1 0 1 1 : GTADTRA2N または GTADTRB2N	0 1 1 0 1 1 : TRGA0N または TRGA9N
	0 1 1 1 0 0 : GTADTRA3N または GTADTRB3N	0 1 1 1 0 0 : TRG0N または TRG9N
	0 1 1 1 0 1 : GTADTRA4N	0 1 1 1 0 1 : TMTRG0AN_0
	0 1 1 1 1 0 : GTADTRB4N	0 1 1 1 1 0 : TMTRG0AN_1
	0 1 1 1 1 1 : GTADTRA5N	0 1 1 1 1 1 : TMTRG0AN_2
	1 0 0 0 0 0 : GTADTRB5N	1 0 0 0 0 0 : TMTRG0AN_3
	1 0 0 0 0 1 : GTADTRA6N	1 0 0 0 0 1 : TRG9AEN
	1 0 0 0 1 0 : GTADTRB6N	1 0 0 0 1 0 : TRG0AEN
	1 0 0 0 1 1 : GTADTRA7N	1 0 0 0 1 1 : TRGA09N
	1 0 0 1 0 0 : GTADTRB7N	1 0 0 1 0 0 : TRG09N
	1 0 0 1 0 1 : GTADTRA4N または GTADTRB4N	
	1 0 0 1 1 0 : GTADTRA5N または GTADTRB5N	
	1 0 0 1 1 1 : GTADTRA6N または GTADTRB6N	
	1 0 1 0 0 0 : GTADTRA7N または GTADTRB7N	
		1 1 0 0 1 0 : ELCTRG00N (注 1)/ELCTRG10N (注 2)/ ELCTRG20N (注 3)
		1 1 0 0 1 1 : ELCTRG01N (注 1)/ELCTRG11N (注 2)/ ELCTRG21N (注 3)
		1 1 1 0 1 0 : ELCTRG00N または ELCTRG01N(注 1) ELCTRG10N または ELCTRG11N(注 2) ELCTRG20N または ELCTRG21N(注 3)

ビット	RX63T(S12ADB)	RX72T(S12ADH)
TRSA[5:0]	A/D 変換開始トリガ選択ビット	A/D 変換開始トリガ選択ビット
	b13 b8	b13 b8
	1 1 1 1 1 1 : トリガ要因非選択状態	1 1 1 1 1 1 : トリガ要因非選択状態
	0 0 0 0 0 0 : ADTRGn#	0 0 0 0 0 0 : ADTRGn#
	0 0 0 0 0 1 : TRGA0N	0 0 0 0 0 1 : TRGA0N
	0 0 0 0 1 0 : TRGA1N	0 0 0 0 1 0 : TRGA1N
	0 0 0 0 1 1 : TRGA2N	0 0 0 0 1 1 : TRGA2N
	0 0 0 1 0 0 : TRGA3N	0 0 0 1 0 0 : TRGA3N
	0 0 0 1 0 1 : TRGA4N	0 0 0 1 0 1 : TRGA4N
	0 0 0 1 1 0 : TRGA6N	0 0 0 1 1 0 : TRGA6N
	0 0 0 1 1 1 : TRGA7N	0 0 0 1 1 1 : TRGA7N
	0 0 1 0 0 0 : TRG0AN	0 0 1 0 0 0 : TRG0N
	0 0 1 0 0 1 : TRG4AN	0 0 1 0 0 1 : TRG4AN
	0 0 1 0 1 0 : TRG4BN	0 0 1 0 1 0 : TRG4BN
	0 0 1 0 1 1 : TRG4AN または TRG4BN	0 0 1 0 1 1 : TRG4AN または TRG4BN
	0 0 1 1 0 0 : TRG4ABN	0 0 1 1 0 0 : TRG4ABN
	0 0 1 1 0 1 : TRG7AN	0 0 1 1 0 1 : TRG7AN
	0 0 1 1 1 0 : TRG7BN	0 0 1 1 1 0 : TRG7BN
	0 0 1 1 1 1 : TRG7AN または TRG7BN	0 0 1 1 1 1 : TRG7AN または TRG7BN
	0 1 0 0 0 0 : TRG7ABN	0 1 0 0 0 0 : TRG7ABN
	0 1 0 0 0 1 : GTADTRA0N	
	0 1 0 0 1 0 : GTADTRB0N	
	0 1 0 0 1 1 : GTADTRA1N	0 1 0 0 1 1 : TRGA9N
	0 1 0 1 0 0 : GTADTRB1N	0 1 0 1 0 0 : TRG9N
	0 1 0 1 0 1 : GTADTRA2N	
	0 1 0 1 1 0 : GTADTRB2N	
	0 1 0 1 1 1 : GTADTRA3N	
	0 1 1 0 0 0 : GTADTRB3N	
	0 1 1 0 0 1 : GTADTRA0N または GTADTRB0N	0 1 1 0 0 1 : TRGA0N または TRG0N
	0 1 1 0 1 0 : GTADTRA1N または GTADTRB1N	0 1 1 0 1 0 : TRGA9N または TRG9N
	0 1 1 0 1 1 : GTADTRA2N または GTADTRB2N	0 1 1 0 1 1 : TRGA0N または TRGA9N
	0 1 1 1 0 0 : GTADTRA3N または GTADTRB3N	0 1 1 1 0 0 : TRG0N または TRG9N
	0 1 1 1 0 1 : GTADTRA4N	0 1 1 1 0 1 : TMTRG0AN_0
	0 1 1 1 1 0 : GTADTRB4N	0 1 1 1 1 0 : TMTRG0AN_1
	0 1 1 1 1 1 : GTADTRA5N	0 1 1 1 1 1 : TMTRG0AN_2
	1 0 0 0 0 0 : GTADTRB5N	1 0 0 0 0 0 : TMTRG0AN_3
	1 0 0 0 0 1 : GTADTRA6N	1 0 0 0 0 1 : TRG9AEN
	1 0 0 0 1 0 : GTADTRB6N	1 0 0 0 1 0 : TRG0AEN
	1 0 0 0 1 1 : GTADTRA7N	1 0 0 0 1 1 : TRGA09N
	1 0 0 1 0 0 : GTADTRB7N	1 0 0 1 0 0 : TRG09N
	1 0 0 1 0 1 : GTADTRA4N または GTADTRB4N	
	1 0 0 1 1 0 : GTADTRA5N または GTADTRB5N	
	1 0 0 1 1 1 : GTADTRA6N または GTADTRB6N	
	1 0 1 0 0 0 : GTADTRA7N または GTADTRB7N	
		1 1 0 0 1 0 : ELCTRG00N (注 1)/ELCTRG10N (注 2)/ ELCTRG20N (注 3)
		1 1 0 0 1 1 : ELCTRG01N (注 1)/ELCTRG11N (注 2)/ ELCTRG21N (注 3)
		1 1 1 0 1 0 : ELCTRG00N または ELCTRG01N(注 1) ELCTRG10N または ELCTRG11N(注 2) ELCTRG20N または ELCTRG21N(注 3)

注 1. ユニット 0

注 2. ユニット 1

注 3. ユニット 2

表 2.86 ADSTRGR レジスタに設定する A/D 起動要因比較 (64/48 ピン版)

ビット	RX63T(S12ADB)	RX72T(S12ADH)
TRSB[4:0] (RX63T)	グループ B 専用 A/D 変換開始トリガ選択ビット b4 b0	グループ B A/D 変換開始トリガ選択ビット b5 b0
TRSB[5:0] (RX72T)	1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 1 : TRGA0N 0 0 0 1 0 : TRGA1N 0 0 0 1 1 : TRGA2N 0 0 1 0 0 : TRGA3N 0 0 1 0 1 : TRGA4N 0 0 1 1 0 : TRGA6N 0 0 1 1 1 : TRGA7N 0 1 0 0 0 : TRG0AN 0 1 0 0 1 : TRG4AN 0 1 0 1 0 : TRG4BN 0 1 0 1 1 : TRG4AN または TRG4BN 0 1 1 0 0 : TRG4ABN 0 1 1 0 1 : TRG7AN 0 1 1 1 0 : TRG7BN 0 1 1 1 1 : TRG7AN または TRG7BN 1 0 0 0 0 : TRG7ABN 1 0 0 0 1 : GTADTRA0N 1 0 0 1 0 : GTADTRB0N 1 0 0 1 1 : GTADTRA1N 1 0 1 0 0 : GTADTRB1N 1 0 1 0 1 : GTADTRA2N 1 0 1 1 0 : GTADTRB2N 1 0 1 1 1 : GTADTRA3N 1 1 0 0 0 : GTADTRB3N 1 1 0 0 1 : GTADTRA0N または GTADTRB0N 1 1 0 1 0 : GTADTRA1N または GTADTRB1N 1 1 0 1 1 : GTADTRA2N または GTADTRB2N 1 1 1 0 0 : GTADTRA3N または GTADTRB3N	1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 0 1 1 0 : TRGA6N 0 0 0 1 1 1 : TRGA7N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN 0 0 1 1 0 1 : TRG7AN 0 0 1 1 1 0 : TRG7BN 0 0 1 1 1 1 : TRG7AN または TRG7BN 0 1 0 0 0 0 : TRG7ABN 0 1 0 0 1 1 : TRGA9N 0 1 0 1 0 0 : TRG9N 0 1 1 0 0 1 : TRGA0N または TRG0N 0 1 1 0 1 0 : TRGA9N または TRG9N 0 1 1 0 1 1 : TRGA0N または TRGA9N 0 1 1 1 0 0 : TRG0N または TRG9N 0 1 1 1 0 1 : TMTRG0AN_0 0 1 1 1 1 0 : TMTRG0AN_1 0 1 1 1 1 1 : TMTRG0AN_2 1 0 0 0 0 0 : TMTRG0AN_3 1 0 0 0 0 1 : TRG9AEN 1 0 0 0 1 0 : TRG0AEN 1 0 0 0 1 1 : TRGA09N 1 0 0 1 0 0 : TRG09N 1 1 0 0 1 0 : ELCTRG00N (注 1)/ELCTRG10N (注 2)/ ELCTRG20N (注 3) 1 1 0 0 1 1 : ELCTRG01N (注 1)/ELCTRG11N (注 2)/ ELCTRG21N (注 3) 1 1 1 0 1 0 : ELCTRG00N または ELCTRG01N(注 1) ELCTRG10N または ELCTRG11N(注 2) ELCTRG20N または ELCTRG21N(注 3)

ビット	RX63T(S12ADB)	RX72T(S12ADH)
TRSA[4:0] (RX63T)	A/D 変換開始トリガ選択ビット	A/D 変換開始トリガ選択ビット
TRSA[5:0] (RX72T)	b12 b8 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 : ADTRG0# 0 0 0 0 1 : TRGA0N 0 0 0 1 0 : TRGA1N 0 0 0 1 1 : TRGA2N 0 0 1 0 0 : TRGA3N 0 0 1 0 1 : TRGA4N 0 0 1 1 0 : TRGA6N 0 0 1 1 1 : TRGA7N 0 1 0 0 0 : TRG0AN 0 1 0 0 1 : TRG4AN 0 1 0 1 0 : TRG4BN 0 1 0 1 1 : TRG4AN または TRG4BN 0 1 1 0 0 : TRG4ABN 0 1 1 0 1 : TRG7AN 0 1 1 1 0 : TRG7BN 0 1 1 1 1 : TRG7AN または TRG7BN 1 0 0 0 0 : TRG7ABN 1 0 0 0 1 : GTADTRA0N 1 0 0 1 0 : GTADTRB0N 1 0 0 1 1 : GTADTRA1N 1 0 1 0 0 : GTADTRB1N 1 0 1 0 1 : GTADTRA2N 1 0 1 1 0 : GTADTRB2N 1 0 1 1 1 : GTADTRA3N 1 1 0 0 0 : GTADTRB3N 1 1 0 0 1 : GTADTRA0N または GTADTRB0N 1 1 0 1 0 : GTADTRA1N または GTADTRB1N 1 1 0 1 1 : GTADTRA2N または GTADTRB2N 1 1 1 0 0 : GTADTRA3N または GTADTRB3N	b13 b8 1 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 0 : ADTRGn# 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 0 1 1 0 : TRGA6N 0 0 0 1 1 1 : TRGA7N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN 0 0 1 1 0 1 : TRG7AN 0 0 1 1 1 0 : TRG7BN 0 0 1 1 1 1 : TRG7AN または TRG7BN 0 1 0 0 0 0 : TRG7ABN 0 1 0 0 1 1 : TRGA9N 0 1 0 1 0 0 : TRG9N 0 1 1 0 0 1 : TRGA0N または TRG0N 0 1 1 0 1 0 : TRGA9N または TRG9N 0 1 1 0 1 1 : TRGA0N または TRGA9N 0 1 1 1 0 0 : TRG0N または TRG9N 0 1 1 1 0 1 : TMTRG0AN_0 0 1 1 1 1 0 : TMTRG0AN_1 0 1 1 1 1 1 : TMTRG0AN_2 1 0 0 0 0 0 : TMTRG0AN_3 1 0 0 0 0 1 : TRG9AEN 1 0 0 0 1 0 : TRG0AEN 1 0 0 0 1 1 : TRGA09N 1 0 0 1 0 0 : TRG09N 1 1 0 0 1 0 : ELCTRG00N (注 1)/ELCTRG10N (注 2) ELCTRG20N (注 3) 1 1 0 0 1 1 : ELCTRG01N (注 1)/ELCTRG11N (注 2) ELCTRG21N (注 3) 1 1 1 0 1 0 : ELCTRG00N または ELCTRG01N(注 1) ELCTRG10N または ELCTRG11N(注 2) ELCTRG20N または ELCTRG21N(注 3)

注 1. ユニット 0

注2. ユニット1

注 3. ユニット 2

2.31 D/A コンバータ

表 2.87 に D/A コンバータの概要比較を、表 2.88 に D/A コンバータのレジスタ比較を示します。

表 2.87 D/A コンバータの概要比較

項目	RX63T(DAa)	RX72T(R12DAb)
分解能	10 ビット	12 ビット
出力チャンネル	2 チャンネル	2 チャンネル
アナログモジュールの 干渉対策	D/A 変換と A/D 変換の干渉対策 10 ビット A/D コンバータが出力する 10 ビット A/D コンバータ同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御する (D/A コンバータのラッシュカレント発生タイミングを許可信号で制御することにより、干渉による A/D 変換精度劣化を低減する)	D/A 変換と A/D 変換の干渉対策 12 ビット A/D コンバータ(ユニット 2)が出力する 12 ビット A/D コンバータ同期 D/A 変換許可信号により、D/A 変換データの更新タイミングを制御する。 これにより、12 ビット D/A コンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能
イベントリンク機能 (入力)	-	イベント信号の入力により、 チャンネル 0 の D/A 変換を開始可能
出力先切り替え	-	外部端子への出力と、コンパレータ C への出力を独立して制御可能
基準電源端子	AVCC	AVCC2
基準グランド端子	AVSS	AVSS2

表 2.88 D/A コンバータのレジスタ比較

レジスタ	ビット	RX63T(DAa)	RX72T(R12DAb)
DADSELR	-	-	D/A出力先選択レジスタ

2.32 データ演算回路

表 2.89 にデータ演算回路の概要比較を示します。

表 2.89 データ演算回路の概要比較

項目	RX63T(DOC)	RX72T(DOC)
データ演算機能	16 ビットデータの比較、加算、または減算	16 ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
割り込み	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき
イベントリンク機能(出力)	-	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき

2.33 RAM

表 2.90 に RAM の概要比較を、表 2.91 に RAM のレジスタ比較を示します。

表 2.90 RAM の概要比較

項目	RX63T(RAM)	RX72T	
		ECC 誤り訂正機能なし (RAM)	ECC 誤り訂正機能あり (ECCRAM)
容量	48K バイト 32K バイト 24K バイト 8K バイト	128K バイト	16K バイト
アドレス	0000 0000h~0000 BFFFh (48K バイト) 0000 0000h~0000 7FFFh (32K バイト) 0000 0000h~0000 5FFFh (24K バイト) 0000 0000h~0000 1FFFh (8K バイト)	0000 0000h~0001 FFFFh	00FF C000h~00FF FFFFh
メモリバス	メモリバス 1	メモリバス 1	メモリバス 3
アクセス	- 読み出し、書き込みともに 1 サイクルで動作 - 内蔵 RAM 有効/無効選択可能	- リード/ライトともに 1 サイクルで動作 - RAM 有効/無効選択可能	- ECC 機能有効/無効選択可能 【MEMWAIT = 0 を設定したとき】 - ECC 機能無効の場合 ーリード/ライトともに 2 サイクルで動作 - ECC 機能有効の場合(エラーなしのとき) ーリード/ライトともに 2 サイクルで動作 - ECC 機能有効の場合(エラーありのとき) ーリード/ライトともに 3 サイクルで動作 【MEMWAIT = 1 を設定したとき】 - ECC 機能無効の場合 ーリード/ライトともに 3 サイクルで動作 - ECC 機能有効の場合(エラーなしのとき) ーリードは 3 サイクル、ライトは 4 サイクルで動作 - ECC 機能有効の場合(エラー発生時) ーリード/ライトともに 5 サイクルで動作

項目	RX63T(RAM)	RX72T	
		ECC 誤り訂正機能なし (RAM)	ECC 誤り訂正機能あり (ECCRAM)
データ保持機能	ディープソフトウェアスタンバイモード時のデータ保持機能なし	ディープソフトウェアスタンバイモード時のデータ保持機能なし	
消費電力低減機能	モジュールストップ状態への設定が可能	RAM、ECCRAM 個別にモジュールストップ状態への遷移が可能	
エラーチェック機能	-	1 ビット誤り検出 - エラー発生時、ノンマスカブル割り込み、または割り込みを発生	- ECC 誤り訂正機能 —1 ビット誤り訂正、2 ビット誤り検出 - エラー発生時、ノンマスカブル割り込み、または割り込みを発生

表 2.91 RAM のレジスタ比較

レジスタ	ビット	RX63T(RAM)	RX72T(RAM,ECCRAM)
ECCRAMMODE	-	-	ECCRAM動作モード制御レジスタ
ECCRAM2STS	-	-	ECCRAM2ビットエラーステータスレジスタ
ECCRAM1STSEN	-	-	ECCRAM1ビットエラー情報更新許可レジスタ
ECCRAM1STS	-	-	ECCRAM1ビットエラーステータスレジスタ
ECCRAMPRCR	-	-	ECCRAMプロテクトレジスタ
ECCRAM2ECAD	-	-	ECCRAM2ビットエラーアドレスキャプチャレジスタ
ECCRAM1ECAD	-	-	ECCRAM1ビットエラーアドレスキャプチャレジスタ
ECCRAMPRCR2	-	-	ECCRAMプロテクトレジスタ2
ECCRAMETST	-	-	ECCRAMテスト制御レジスタ
RAMMODE	-	-	RAM動作モード制御レジスタ
RAMSTS	-	-	RAMエラーステータスレジスタ
RAMECAD	-	-	RAMエラーアドレスキャプチャレジスタ
RAMPRCR	-	-	RAMプロテクトレジスタ

2.34 フラッシュメモリ

表 2.92 にフラッシュメモリの概要比較を、表 2.93 にフラッシュメモリのレジスタ比較を示します。

表 2.92 フラッシュメモリの概要比較

項目	RX63T		RX72T	
	ROM	E2 データフラッシュ	コード フラッシュメモリ	データ フラッシュメモリ
メモリ容量	- ユーザ領域： 512K バイト/ 384K バイト/ 256K バイト/ 64K バイト/ 48K バイト/ 32K バイト - ユーザブート領 域：16K バイト	データ領域： 32K バイト/ 8K バイト	- ユーザ領域： 1M バイト/ 512K バイト - ユーザブート領 域：32K バイト	データ領域： 32K バイト
アドレス	【ユーザ領域】 - 容量が 32K バイト の場合 —FFFF 8000h～ FFFF FFFFh - 容量が 48K バイト の場合 —FFFF 4000h～ FFFF FFFFh - 容量が 64K バイト の場合 —FFFF 0000h～ FFFF FFFFh - 容量が 256K バイト の場合 —FFFC 0000h～ FFFF FFFFh - 容量が 384K バイト の場合 —FFFA 0000h～ FFFF FFFFh - 容量が 512K バイト の場合 —FFF8 0000h～ FFFF FFFFh 【ユーザブート領域】 FF7F C000h～ FF7F FFFFh	- 容量が 32K バイト の場合 —0010 0000h～ 0010 7FFFh - 容量が 8K バイトの 場合 —0010 0000h～ 0010 1FFFh	【ユーザ領域】 - 容量が 512K バイト の場合 —FFF8 0000h～ FFFF FFFFh - 容量が 1M バイトの 場合 —FFF0 0000h～ FFFF FFFFh 【ユーザブート領域】 FF7F 8000h～ FF7F FFFFh	0010 0000h～ 0010 7FFFh

項目	RX63T		RX72T	
	ROM	E2 データフラッシュ	コード フラッシュメモリ	データ フラッシュメモリ
ROM キャッシュ	-		- 容量：8K バイト - マッピング方式： ダイレクトマップ - ラインサイズ： 16 バイト	-
リード サイクル	ICLK1 サイクルの高速 読み出し	ワード、バイトアクセ ス時には FCLK6 サイ クルでの読み出し	- ROM キャッシュ動 作許可時： キャッシュヒット 時、1 サイクル キャッシュミス時、 —ICLK ≤ 120MHz のとき、1~2 サイ クル —ICLK > 120MHz のとき、2~3 サイ クル - ROM キャッシュ動 作禁止時： —ICLK ≤ 120MHz のとき、1 サイ クル —ICLK > 120MHz のとき、2 サイ クル	16 ビット、8 ビットア クセス時には FCLK8 サ イクルでのリード
イレーズ後の 値	FFh	不定値	FFh	不定値
プログラム/ イレーズ方式	- ROM/E2 データフラッシュの書き換えを行う専用のシーケンサ(FCU)を内蔵 - FCU へコマンドを発行することにより、ROM/E2 データフラッシュへプログラム/イレーズを実行可能		- フラッシュメモリの書き換えを行う専用のシーケンサ(FCU)を内蔵 - FACI コマンド発行領域(007E 0000h)に設定した FACI コマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズが可能 - フラッシュメモリプログラムによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) - ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング)	
セキュリティ 機能	フラッシュメモリの不正改ざん/不正リードを防止		フラッシュメモリの不正改ざん/不正リードを防止	
プロテクト ン機能	フラッシュメモリの誤書き換えを防止 (ソフトウェアプロテクション、エラープロテ クション、ブートプログラムプロテクション)		フラッシュメモリの誤書き換えを防止 (ソフトウェアプロテクション、エラープロテ クション、ブートプログラムプロテクション)	
Trusted Memory (TM)機能	-		コードフラッシュメモリのブロック 8, 9 に対 する不正リードを防止	
バックグラ ウンドオペ レーション (BGO)機能	E2 データフラッシュへのプログラム/イレ ーズを実行している期間、CPU は ROM 領域 のプログラムを実行可能		データ領域プログラム/イレーズ中のユーザ 領域リードが可能	

項目	RX63T		RX72T	
	ROM	E2 データフラッシュ	コード フラッシュメモリ	データ フラッシュメモリ
サスペンド/レ ジューム機能	- ROM へのプログラム/イレーズを中断し、CPU は ROM 領域のプログラムを実行可能 (サスペンド) - E2 データフラッシュへのプログラム/イレーズを中断し、CPU は E2 データフラッシュ領域の読み出しを実行可能 (サスペンド) - 中断した後、ROM/E2 データフラッシュへのプログラム/イレーズを再開可能 (レジューム)		-	
プログラム/ イレーズ単位	- ユーザ領域およびユーザブート領域へのプログラム：128 バイト - ユーザ領域のイレーズ：ブロック単位 - ユーザブート領域のイレーズ：16K バイト (64/48 ピン版にはありません)	- データ領域へのプログラム：2 バイト - データ領域のイレーズ：ブロック単位	- ユーザ領域およびユーザブート領域へのプログラム：256 バイト - ユーザ領域のイレーズ：ブロック単位	- データ領域へのプログラム：4 バイト - データ領域のイレーズ：ブロック単位
ブランク チェック機能	-	- データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 - チェック単位：2 バイト、または 2K バイト	-	- データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 - チェック単位：4～32K バイト (4 バイト単位で指定)
その他の機能	セルフプログラミング中の割り込み受け付け可能		セルフプログラミング中の割り込み受け付け可能	
オンボードプ ログラミング (シリアルプロ グラミング/ セルフプログ ラミング)	- ブートモードによる書き換え —調歩同期式シリアルインタフェース (SCI1) を使用 —通信速度は自動調整 —ユーザブート領域も書き換え可能 - USB ブートモードによる書き換え (112/100/64/48 ピン版にはありません) —USB0 を使用 —特別なハードウェアが不要で、PC と直結可能 - ユーザブートモードによる書き換え (64/48 ピン版にはありません) —ユーザ独自のブートプログラムを作成可能 - ユーザプログラム中の ROM/E2 データフラッシュ書き換えルーチンによる書き換え —システムをリセットすることなく ROM/E2 データフラッシュの書き換えが可能		- ブートモード (SCI インタフェース) によるプログラム/イレーズ —調歩同期式シリアルインターフェース (SCI1) を使用 —通信速度は自動調整 —ユーザブート領域もプログラム/イレーズ可能 - ブートモード (USB インタフェース) によるプログラム/イレーズ —USBb を使用 —特別なハードウェアが不要で、PC と直結可能 ブートモード (FINE インタフェース) によるプログラム/イレーズ —FINE を使用 - ユーザブートモードによるプログラム/イレーズ —ユーザ独自のブートプログラムを作成可能 - セルフプログラミングによるプログラム/イレーズ —システムをリセットすることなくユーザ領域/データ領域のプログラム/イレーズが可能	

項目	RX63T		RX72T	
	ROM	E2 データフラッシュ	コード フラッシュメモリ	データ フラッシュメモリ
オフボードプログラミング (パラレルプログラマによるプログラム/イレース)	フラッシュライタを使用して、ユーザ領域/ユーザブート領域の書き換えが可能	フラッシュライタを使用したデータ領域の書き換えはできません	パラレルプログラマを使用して、ユーザ領域/ユーザブート領域のプログラム/イレースが可能	パラレルプログラマを使用したデータ領域のプログラム/イレースはできません
ユニーク ID	-		本 MCU 個体ごとの 12 バイト長の ID コード	

表 2.93 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX63T	RX72T
FMODR	-	フラッシュモードレジスタ	-
FASTAT	DFLWPE	E2 データフラッシュ P/E プロテクト違反フラグ	-
	DFLRPE	E2 データフラッシュリード プロテクト違反フラグ	-
	DFLAE(RX63T) DFAE(RX72T)	E2 データフラッシュアクセス違反フラグ	データフラッシュメモリアクセス違反フラグ
	ROMAE(RX63T) CFAE(RX72T)	ROM アクセス違反フラグ	コードフラッシュメモリアクセス違反フラグ
FAEINT	DFLWPEIE	E2 データフラッシュ P/E プロテクト違反割り込み許可ビット	-
	DFLRPEIE	E2 データフラッシュリード プロテクト違反割り込み許可ビット	-
	DFLAEIE(RX63T) DFAEIE(RX72T)	E2 データフラッシュアクセス違反割り込み許可ビット	データフラッシュメモリアクセス違反割り込み許可ビット
	ROMAEIE(RX63T) CFAEIE(RX72T)	ROM アクセス違反割り込み許可ビット	コードフラッシュメモリアクセス違反割り込み許可ビット
DFLRE0	-	E2 データフラッシュ読み出し許可レジスタ 0	-
DFLRE1	-	E2 データフラッシュ読み出し許可レジスタ 1	-
DFLWE0	-	E2 データフラッシュ P/E 許可レジスタ 0	-
DFLWE1	-	E2 データフラッシュ P/E 許可レジスタ 1	-
FSTATR0 (RX63T) FSTATR (RX72T)	FLWEERR	-	フラッシュライトイレース プロテクトエラーフラグ
	PRGSPD	プログラムサスペンドステータス フラグ (b0)	プログラムサスペンドステータス フラグ (b8)
	ERSSPD	イレースサスペンドステータス フラグ (b1)	イレースサスペンドステータス フラグ (b9)
	DBFULL	-	データバッファフルフラグ
	SUSRDY	サスペンドレディフラグ (b3)	サスペンドレディフラグ (b11)
	PRGERR	プログラムエラーフラグ (b4)	プログラムエラーフラグ (b12)
	ERSERR	イレースエラービット (b5)	イレースエラーフラグ (b13)
	ILGLERR	イリーガルコマンドエラーフラグ (b6)	イリーガルコマンドエラーフラグ (b14)
	FRDY	フラッシュレディフラグ (b7)	フラッシュレディフラグ (b15)
FSTATR1	-	フラッシュステータスレジスタ 1	-

レジスタ	ビット	RX63T	RX72T
FENTRYR	FENTRY0(RX63T) FENTRYC(RX72T)	ROM P/E モードエントリビット 0	コードフラッシュメモリ P/E モードエントリビット
	FEKEY[7:0](RX63T) KEY[7:0](RX72T)	キーコード	キーコードビット
FPROTR	FPKEY[7:0](RX63T) KEY[7:0](RX72T)	キーコード	キーコードビット
FRESETR	-	フラッシュリセットレジスタ	-
DFLBCCNT	-	E2 データフラッシュブランク チェック制御レジスタ	-
DFLBCSTAT (RX63T) FBCSTAT (RX72T)	BCST	ブランクチェックステータス ビット DFLBCSTAT は 16 ビットレジスタです。	ブランクチェックステータス フラグ FBCSTAT は 8 ビットレジスタです。
PCKAR (RX63T) FPCKAR (RX72T)	PCKA[7:0]	周辺クロック通知ビット ROM/E2 データフラッシュへの P/E 時に FlashIF クロック(FCLK) を設定する	フラッシュシーケンサ処理 クロック周波数通知ビット FlashIF クロック(FCLK)の周波数 を設定し、フラッシュシーケンサ に使用周波数を通知
	KEY[7:0]	-	キーコードビット
ROMCE	-	-	ROM キャッシュ許可レジスタ
ROMCIV	-	-	ROM キャッシュ無効化レジスタ
NCRGn	-	-	ノンキャッシュابل領域 n アドレスレジスタ (n = 0, 1)
NCRCn	-	-	ノンキャッシュابل領域 n 設定レジスタ (n = 0, 1)
FSADDR	-	-	FACI コマンド処理開始アドレス レジスタ
FEADDR	-	-	FACI コマンド処理終了アドレス レジスタ
FSUINITR	-	-	フラッシュシーケンサ設定初期化 レジスタ
FLKSTAT	-	-	ロックビットステータスレジスタ
FBCCNT	-	-	データフラッシュブランクチェック 制御レジスタ
FPSADDR	-	-	データフラッシュ書き込み開始 アドレスレジスタ
UIDRn	-	-	ユニーク ID レジスタ n (n = 0~2)

2.35 パッケージ

表 2.94 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。詳細は、「RX ファミリ間の移行設計ガイド パッケージ外形の相違点 (R01AN4591JJ)」を参照してください。

表 2.94 パッケージ

パッケージタイプ	RENESAS Code	
	RX63T	RX72T
144 ピン LFQFP	PLQP0144KA-A	PLQP0144KA- B
120 ピン LQFP	○	×
112 ピン LQFP	○	×
100 ピン LFQFP	PLQP0100KB-A	PLQP0100KB- B
64 ピン LQFP	○	×
48 ピン LQFP	○	×

○ : パッケージあり (RENESAS Code は省略)、 × : パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点がある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

3.1 144 ピンパッケージ(RX72T : PGA 疑似差動入力あり USB 端子あり)

表 3.1 に 144 ピンパッケージ端子機能の比較を示します。

表 3.1 144 ピンパッケージ端子機能の比較

144 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
1	VCC_USB	P14/MTIOC4B/MTIOC4B#/GTIOC2A/ GTIOC9A/GTIOC2A#/GTIOC9A#/IRQ11
2	PE5/BCLK/USB0_VBUS/IRQ0	P13/MTIOC4A/MTIOC4A#/GTIOC1A/ GTIOC8A/GTIOC1A#/GTIOC8A#/IRQ10
3	EMLE	P12/MTIOC3B/MTIOC3B#/GTIOC0A/ GTIOC7A/GTIOC0A#/GTIOC7A#/IRQ9
4	TRSYNC/P03/RXD2/SMISO2/SSCL2/IRQ7	PE6/RD#/GTETRG/ GTETRGB/ GTETRG/ GTETRGD/POE10#/IRQ3
5	TRDATA3/P02/TXD2/SMOSI2/SSDA2	PE5/BCLK/MTIOC9D/MTIOC9D#/ GTIOC3A/GTETRGB/GTIOC3A#/ GTETRGD/SCK9/CTS9#/RTS9#/SS9#/ IRQ0/ADST0
6	VSS	VCC
7	P01/RD#/CTS0#/RTS0#/SS0#/USB0_DRPD	EMLE
8	VCL	VSS
9	P00/CS1#/CACREF	UB/P00/A11/MTIOC9A/MTIOC9A#/ CACREF/RXD9/SMISO9/SSCL9/RXD12/ SMISO12/SSCL12/RXD12/IRQ2/ADST1/ COMP0
10	MD/FINED	VCL
11	PE4/A10/POE10#/MTCLKC/IRQ1	MD/FINED
12	PE3/A11/POE11#/MTCLKD/IRQ2-DS	P01/A10/MTIOC9C/MTIOC9C#/GTETRG/ GTETRGB/ GTETRG/ GTETRGD/POE12#/TXD9/SMOSI9/SSDA9/TXD12/ SMOSI12/SSDA12/TXD12/SIOX12/IRQ4/ ADST2/COMP1
13	TRDATA2/P14/SCK2	PE4/A9/MTCLKC/MTCLKC#/GTETRG/ GTETRGB/ GTETRG/ GTETRGD/POE10#/SCK9/IRQ1
14	VCC	PE3/A8/MTCLKD/MTCLKD#/GTETRG/ GTETRGB/ GTETRG/ GTETRGD/POE11#/CTS9#/RTS9#/SS9#/IRQ2_DS
15	P13/CTS2#/RTS2#/SS2#/USB0_VBUSEN	RES#
16	RES#	XTAL/P37
17	XTAL	VSS
18	VSS	EXTAL/P36
19	EXTAL	VCC
20	VCC	UPSEL/PE2/POE10#/NMI

144 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
21	PE2/POE10#/NMI	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/ TMO5/CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA3/IRQ15
22	PE1/WR0#/WR#/CTS12#/RTS12#/SS12#/ SSLA3/SSLB3/USB0_OVRCURA	PE0/WR1#/BC1#/WAIT#/MTIOC9B/ MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/ SSCL5/SSLA2/CRX0/USB0_OVRCURB/ IRQ7
23	PE0/WR1#/BC1#/WAIT#/SSLA2/SSLB2/ CRX1/USB0_OVRCURB/IRQ7	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/ TMRI1/TMRI5/TXD5/SMOSI5/SSDA5/ SSLA1/CTX0/IRQ8
24	PD7/GTIOC0A/CTS0#/RTS0#/SS0#/SSLA1/ SSLB1/CTX1	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
25	PD6/GTIOC0B/SSLA0/SSLB0	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
26	PD5/GTIOC1A/RXD1/SMISO1/SSCL1/IRQ6	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/ IRQ2
27	VSS	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
28	PD4/GTIOC1B/SCK1	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMCI1/TMO4/ SCK5/SCK8/MOSIA/USB0_VBUS
29	PD3/GTIOC2A/TXD1/SMOSI1/SSDA1	TRDATA3/PD1/A6/GTIOC3A/GTIOC0B/ GTIOC3A#/GTIOC0B#/TMO2/RXD8/ SMISO8/SSCL8/MISOA
30	PD2/CS2#/GTIOC2B/MOSIA/MOSIB/ USB0_ID	TRDATA2/PD0/A5/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#/TMO6/TXD8/ SMOSI8/SSDA8/RSPCKA
31	PD1/CS0#/GTIOC3A/MISOA/MISOB/ USB0_EXICEN	TRDATA7/PF3/A19/CS3#/GTETRGA/ TMO7/CTS11#/RTS11#/SS11#/CRX0/ IRQ14/COMP0
32	PD0/A12/GTIOC3B/RSPCKA/RSPCKB	TRDATA6/PF2/A18/CS2#/GTETRGB/ TMO3/SCK11/CTX0/IRQ5/COMP1
33	PF4/CS3#	TRDATA5/PF1/A17/CS1#/GTETRGC/ TMO5/RXD11/SMISO11/SSCL11/IRQ13/ COMP2
34	PF3/TXD1/SMOSI1/SSDA1	TRDATA4/PF0/A0/BC0#/GTETRGD/TMO1/ TXD11/SMOSI11/SSDA11/IRQ12/COMP3
35	PF2/CS1#/RXD1/SMISO1/SSCL1/IRQ5	USB0_DM
36	TRST#/PF1	USB0_DP
37	TMS/PF0	VSS_USB
38	PB7/A19/SCK12	VCC_USB
39	PB6/A18/RXD12/SMISO12/SSCL12/ RXDX12/CRX1/IRQ2	TRDATA1/PB7/A4/GTIOC1B/GTIOC1B#/ SCK5/SCK11/SCK12/USB0_OVRCURB
40	PB5/A17/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/USB0_OVRCURA/IRQ2

144 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
41	PLL ^{VCC}	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0/USB0_VBUSEN
42	PB4/A16/POE8#/GTETRG0/IRQ3-DS	VCC
43	PLL ^{VSS}	TRSYNC1/PB4/A1/GTETRGA/GTETRGA#/ GTETRGC/GTETRGC#/GTETRGD/POE8#/ CTS5#/RTS5#/SS5#/SCK11/CTS11#/ RTS11#/SS11#/USB0_OVRCURB/IRQ3_DS
44	TDI/RXD1 ^(注 1)	VSS
45	TCK/FINEC	PC2/CS1#/MTIOC0D/MTIOC0D#/ GTADSM0/SCK8/USB0_ID/ USB0_OVRCURA/IRQ15/ADSM0/COMP5
46	TDO/TXD1 ^(注 1)	PC1/A16/MTIOC0C/MTIOC0C#/ GTADSM1/TXD8/SMOSI8/SSDA8/USB0_EXICEN/ USB0_VBUSEN/IRQ13/ADSM1/COMP4
47	PB3/A15/MTIOC0A/CACREF/SCK0	PC0/CS0#/MTIOC0B/MTIOC0B#/ RXD8/SMISO8/SSCL8/USB0_VBUS/IRQ12/ COMP3
48	PB2/MTIOC0B/TXD0/SMOSI0/SSDA0/ SDA0	PB3/A7/MTIOC0A/MTIOC0A#/ CACREF/SCK6/RSPCKA/IRQ9
49	PB1/MTIOC0C/RXD0/SMISO0/SSCL0/ SCL0/IRQ4	PB2/A6/MTIOC0B/MTIOC0B#/ GTADSM0/TMRI0/TXD6/SMOSI6/SSDA6/ SDA/ADSM0
50	PB0/A14/MTIOC0D/MOSIA/MOSIB	PB1/A5/MTIOC0C/MTIOC0C#/ GTADSM1/TMCI0/RXD6/SMISO6/SSCL6/ SCL/IRQ4/ADSM1
51	TRDATA1/PA6/CS3#/CTS3#/RTS3#/SS3#	PB0/A0/BC0#/A4/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/ RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
52	PA5/MTIOC1A/RXD0/SMISO0/SSCL0/ MISOA/MISOB/ADTRG1#	PA7/A15/MTCLKA/MTCLKC/MTCLKA#/ MTCLKC#/ GTADSM0/TMO2/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/ADSM0
53	PA4/MTIOC1B/TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB/ADTRG0#	PA6/A14/MTCLKB/MTCLKD/MTCLKB#/ MTCLKD#/ GTADSM1/TMO6/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0/IRQ7/ADSM1
54	PA3/MTIOC2A/SCK0/SSLA0/SSLB0	PA5/A3/MTIOC1A/MTIOC1A#/ TMCI3/RXD6/SMISO6/SSCL6/RXD8/SMISO8/ SSCL8/MISOA/IRQ1/ADTRG1#
55	PA2/MTIOC2B/RXD2/SMISO2/SSCL2/ SSLA1/SSLB1	PA4/A2/MTIOC1B/MTIOC1B#/ TMCI7/SCK6/TXD8/SMOSI8/SSDA8/ RSPCKA/ADTRG0#
56	PA1/MTIOC6A/TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2	PA3/A1/MTIOC2A/MTIOC2A#/ GTADSM0/TMRI7/TXD9/SMOSI9/SSDA9/ SCK8/SSLA0
57	PA0/MTIOC6C/SCK2/SSLA3/SSLB3	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/ RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SCK11/SSLA1
58	TRDATA0/P35/TXD3/SMOSI3/SSDA3	PA1/MTIOC6A/MTIOC6A#/ TMO4/TXD9/SMOSI9/SSDA9/ RXD11/SMISO11/SSCL11/SSLA2/ CRX0/USB0_ID/USB0_OVRCURA/ IRQ14_DS/ADTRG0#

144 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
59	TRCLK/P34/GTETRG1/RXD3/SMISO3/SSCL3/IRQ3	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/TXD11/SMOSI11/SSDA11/SSLA3/CTX0/USB0_EXICEN/USB0_VBUSEN
60	VCC	P35/A13/MTIOC2A/MTIOC9A/MTIOC2A#/MTIOC9A#/GTADSM0/TMO0/CTS8#/RTS8#/SS8#/TXD1/SMOSI1/SSDA1/IRQ6
61	P96/A13/POE4#/RXD1/SMISO1/SSCL1/IRQ4-DS	P34/A12/MTIOC2B/MTIOC9B/MTIOC2B#/MTIOC9B#/GTADSM1/GTETRGB/TMO4/CTS9#/RTS9#/SS9#/RXD1/SMISO1/SSCL1/USB0_OVRCURB/IRQ3
62	PG6/CS2#/SCK1	PC6/MTIOC1A/MTIOC9C/MTIOC1A#/MTIOC9C#/RXD11/SMISO11/SSCL11/CRX0/IRQ11_DS
63	VSS	PC5/MTIOC1B/MTIOC9D/MTIOC1B#/MTIOC9D#/TXD11/SMOSI11/SSDA11/CTX0/IRQ10_DS
64	P95/MTIOC6B/GTIOC4A/TXD1/SMOSI1/SSDA1	VCC
65	P94/MTIOC7A/GTIOC5A/CTS1#/RTS1#/SS1#	P96/CS0#/WAIT#/GTETRG/GTETRGB/GTETRG/GTETRGD/POE4#/CTS8#/RTS8#/SS8#/IRQ4_DS
66	P93/MTIOC7B/GTIOC6A/CTS2#/RTS2#/SS2#	VSS
67	P92/MTIOC6D/GTIOC4B	P95/MTIOC6B/MTIOC6B#/GTIOC4A/GTIOC7A/GTIOC4A#/GTIOC7A#
68	P91/MTIOC7C/GTIOC5B	P94/MTIOC7A/MTIOC7A#/GTIOC5A/GTIOC8A/GTIOC5A#/GTIOC8A#
69	P90/MTIOC7D/GTIOC6B	P93/MTIOC7B/MTIOC7B#/GTIOC6A/GTIOC9A/GTIOC6A#/GTIOC9A#
70	PG5/POE12#/SCK3/ADTRG#	P92/MTIOC6D/MTIOC6D#/GTIOC4B/GTIOC7B/GTIOC4B#/GTIOC7B#
71	PG4/GTIOC6B/RXD3/SMISO3/SSCL3/IRQ6	P91/MTIOC7C/MTIOC7C#/GTIOC5B/GTIOC8B/GTIOC5B#/GTIOC8B#
72	PG3/GTIOC6A/TXD3/SMOSI3/SSDA3	P90/MTIOC7D/MTIOC7D#/GTIOC6B/GTIOC9B/GTIOC6B#/GTIOC9B#
73	PG2/SCK2/IRQ2	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
74	PG1/GTIOC7B/RXD2/SMISO2/SSCL2/IRQ1	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
75	PG0/GTIOC7A/TXD2/SMOSI2/SSDA2/IRQ0	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
76	P76/D0[A0/D0]/MTIOC4D/GTIOC2B	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
77	P75/D1[A1/D1]/MTIOC4C/GTIOC1B	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
78	P74/D2[A2/D2]/MTIOC3D/GTIOC0B	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
79	P73/D3[A3/D3]/MTIOC4B/GTIOC2A	P70/D6[A6/D6]/GTETRG/GTETRGB/GTETRG/GTETRGD/POE0#/CTS9#/RTS9#/SS9#/IRQ5_DS
80	P72/D4[A4/D4]/MTIOC4A/GTIOC1A	PG2/D11[A11/D11]/GTETRG/GTIOC0B/GTIOC0B#/SCK9/IRQ2/COMP0

144 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
81	P71/D5[A5/D5]/MTIOC3B/GTIOC0A	PG1/D12[A12/D12]/GTIOC0A/GTIOC0A#/ TXD9/SMOSI9/SSDA9/IRQ1/COMP1
82	P70/D6[A6/D6]/POE0#/CTS1#/RTS1#/ SS1#/IRQ5-DS	PG0/D13[A13/D13]/GTIOC1B/GTIOC1B#/ RXD9/SMISO9/SSCL9/IRQ0/COMP2
83	P33/D7[A7/D7]/MTIOC3A/MTCLKA/ SSLA3/SSLB3	PK2/D14[A14/D14]/GTIOC1A/GTIOC1A#/ POE12#/CTS9#/RTS9#/SS9#/SCK5/ IRQ9_DS/COMP3
84	P32/D8[A8/D8]/MTIOC3C/MTCLKB/ SSLA2/SSLB2	PK1/D15[A15/D15]/GTIOC2B/GTIOC2B#/ POE13#/CTS8#/RTS8#/SS8#/TXD5/ SMOSI5/SSDA5/IRQ8_DS/COMP4
85	VCC	PK0/CS1#/GTIOC2A/GTIOC2A#/POE14#/ RXD5/SMISO5/SSCL5/IRQ15_DS/COMP5
86	P31/D9[A9/D9]/MTIOC0A/MTCLKC/ SSLA1/SSLB1	P33/D7[A7/D7]/MTIOC3A/MTCLKA/ MTIOC3A#/MTCLKA#/GTIOC3B/GTIOC3B#/ TMO0/SSLA3/IRQ13_DS
87	VSS	P32/D8[A8/D8]/MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/GTIOC3A/ GTIOC3A#/TMO6/SSLA2/IRQ12_DS
88	P30/D10[A10/D10]/MTIOC0B/MTCLKD/ SCK0/SSLA0/SSLB0	VCC
89	P26/CS0#/TXD1/SMOSI1/SSDA1/SDA1	P31/D9[A9/D9]/MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
90	P25/CS1#/SCK1/SCL1	VSS
91	P24/D11[A11/D11]/CTS0#/RTS0#/SS0#/ RSPCKA/RSPCKB/IRQ4	P30/D10[A10/D10]/MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/TMCI6/SCK8/CTS8#/ RTS8#/SS8#/SSLA0/IRQ7/COMP3
92	P23/D12[A12/D12]/CACREF/TXD0/ SMOSI0/SSDA0/MOSIA/MOSIB/CTX1	P27/CS3#/MTIOC1A/MTIOC0C/MTIOC1A#/ MTIOC0C#/POE9#/IRQ15
93	P22/D13[A13/D13]/RXD0/SMISO0/SSCL0/ MISOA/MISOB/CRX1/ADTRG#	P26/CS2#/MTIOC9A/MTIOC9A#/CTS1#/ RTS1#/SS1#/IRQ11/ADST0
94	P21/D14[A14/D14]/MTCLKA/IRQ6-DS/ ADTRG1#	P25/CS3#/MTIOC9C/MTIOC9C#/SCK1/ IRQ10/ADST1
95	P20/D15[A15/D15]/MTCLKB/IRQ7-DS/ ADTRG0#	P24/D11[A11/D11]/MTIC5U/MTIC5U#/ TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/ RSPCKA/IRQ4/COMP0
96	PC5/AN19	P23/D12[A12/D12]/MTIC5V/MTIC5V#/ TMO2/CACREF/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/ MOSIA/CTX0/IRQ11/COMP1
97	PC4/AN18	P22/D13[A13/D13]/MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/ SMISO12/SSCL12/RXDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2
98	P65/A0/BC0#/AN5	PC4/A20/MTIOC9B/MTIOC9B#/TXD1/ SMOSI1/SSDA1/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/ADST2/COMP5
99	P64/A1/AN4	PC3/MTIOC9D/MTIOC9D#/RXD1/SMISO1/ SSCL1/RXD12/SMISO12/SSCL12/RXDX12/ IRQ14/COMP4

144 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
100	PC3/AN17	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/MOSIA/IRQ6_DS/AN217/ ADTRG1#/COMP5
101	PC2/AN16	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
102	AVCC	P65/A12/IRQ9/AN211/CMPC53/DA1
103	VREF	P64/A13/IRQ8/AN210/CMPC33/DA0
104	AVSS	AVCC2
105	PC1/AN15	AVCC2
106	PC0/AN14	AVSS2
107	P63/A2/AN3	P63/A14/A12/IRQ7/AN209/CMPC23
108	P62/A3/AN2	P62/A15/A13/IRQ6/AN208/CMPC43
109	P61/A4/AN1	P61/A16/A14/IRQ5/AN207/CMPC13
110	P60/A5/AN0	P60/A17/A15/IRQ4/AN206/CMPC03
111	P57/AN13	P55/A18/A16/IRQ3/AN203/CMPC32
112	P56/AN12	P54/A19/A17/IRQ2/AN202/CMPC22
113	P55/AN11/DA1	P53/A20/A18/IRQ1/AN201/CMPC12
114	P54/AN10/DA0	P52/IRQ0/AN200/CMPC02
115	P53/A6/AN9	P51/AN205/CMPC52
116	P52/A7/AN8	P50/AN204/CMPC42
117	P51/AN7	PH7/AN106/CVREFC1
118	P50/AN6	PH6/AN105
119	P47/AN103/CVREFH	PH5/AN104
120	P46/AN102	P47/AN103
121	P45/AN101	P46/AN102/CMPC50/CMPC51
122	P44/AN100	P45/AN101/CMPC40/CMPC41
123	P43/AN003/CVREFL	P44/AN100/CMPC30/CMPC31
124	P42/AN002	PH4/AN107/PGAVSS1
125	P41/AN001	PH3/AN006/CVREFC0
126	P40/AN000	PH2/AN005
127	AVCC0	PH1/AN004
128	VREFH0	P43/AN003
129	VREFL0	P42/AN002/CMPC20/CMPC21
130	AVSS0	P41/AN001/CMPC10/CMPC11
131	P82/WAIT#/MTIC5U/SCK12/IRQ3	P40/AN000/CMPC00/CMPC01
132	P81/A8/MTIC5V/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	PH0/AN007/PGAVSS0
133	VSS	AVCC1
134	P80/A9/MTIC5W/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5	AVCC0
135	P12/CS3#/USB0_DPRPD	AVSS0
136	P11/ALE/MTCLKC/IRQ1-DS	AVSS1
137	P10/MTCLKD/IRQ0-DS	P82/ALE/WAIT#/MTIC5U/MTIC5U#/TMO4/ SCK6/SCK12/IRQ3/COMP5
138	P05/CS2#/WAIT#	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/TXD6/ SMOSI6/SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/COMP4

144 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
139	VCC	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5/COMP3
140	P04	P11/RD#/MTIOC3A/MTCLKC/MTIOC3A#/ MTCLKC#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/TMO3/POE9#/ IRQ1_DS
141	USB0_DPUPE	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGA/GTETRGA/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS
142	VSS_USB	P17/MTIOC4D/MTIOC4D#/GTIOC2B/ GTIOC9B/GTIOC2B#/GTIOC9B#/IRQ14
143	USB0_DM	P16/MTIOC4C/MTIOC4C#/GTIOC1B/ GTIOC8B/GTIOC1B#/GTIOC8B#/IRQ13
144	USB0_DP	P15/MTIOC3D/MTIOC3D#/GTIOC0B/ GTIOC7B/GTIOC0B#/GTIOC7B#/IRQ12

注 1. ブートモード時のみ、SCI 端子として使用できます。

3.2 100 ピンパッケージ(RX72T : PGA 疑似差動入力あり USB 端子あり)

表 3.2 に 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力あり USB 端子あり)を示します。

表 3.2 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力あり USB 端子あり)

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
1	PE5/BCLK/IRQ0	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/ GTETRGB/GTIOC3A#/GTETRGD/SCK9/ CTS9#/RTS9#/SS9#/IRQ0/ADST0
2	EMLE	EMLE
3	VSS	VSS
4	P01/RD#/CTS0#/RTS0#/SS0#	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF /RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXD12/IRQ2/ADST1/COMP0
5	VCL	VCL
6	P00/CS1#/CACREF	MD/FINED
7	MD/FINED	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE12#/ TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/IRQ4/ADST2/ COMP1
8	PE4/A10/POE10#/MTCLKC/IRQ1	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1
9	PE3/A11/POE11#/MTCLKD/IRQ2-DS	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2_DS
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	PE2/POE10#/NMI	UPSEL/PE2/POE10#/NMI
16	PE1/WR0#/WR#/CTS12#/RTS12#/SS12#/ SSLA3/SSLB3	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/ TMO5/CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA3/IRQ15
17	PE0/WR1#/BC1#/WAIT#/SSLA2/SSLB2/ CRX1/IRQ7	PE0/WR1#/BC1#/WAIT#/MTIOC9B/ MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/ SSCL5/SSLA2/CRX0/USB0_OVRCURB/IRQ7
18	TRST#/PD7/GTIOC0A/CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/ GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/ SSDA5/SSLA1/CTX0/IRQ8
19	TMS/PD6/GTIOC0B/SSLA0/SSLB0	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
20	TDI/PD5/GTIOC1A/RXD1/SMISO1/SSCL1/ IRQ6	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
21	TCK/FINEC/PD4/GTIOC1B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
22	TDO/PD3/GTIOC2A/TXD1/SMOSI1/SSDA1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
23	PD2/CS2#/GTIOC2B/MOSIA/MOSIB	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMC11/TMO4/ SCK5/SCK8/MOSIA/USB0_VBUS
24	PD1/CS0#/GTIOC3A/MISOA/MISOB	USB0_DM
25	PD0/A12/GTIOC3B/RSPCKA/RSPCKB	USB0_DP
26	PB7/A19/SCK12	VCC_USB
27	PB6/A18/RXD12/SMISO12/SSCL12/ RXDX12/CRX1/IRQ2	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/USB0_OVRCURA/IRQ2
28	PB5/A17/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0/USB0_VBUSEN
29	PLLVC	VCC
30	PB4/A16/POE8#/GTETRGO/IRQ3-DS	PB4/A1/GTETRGA/GTETRGA#/GTETRGC/ GTETRGC#/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/ USB0_OVRCURB/IRQ3_DS
31	PLLVS	VSS/VSS_USB
32	PB3/A15/MTIOC0A/CACREF/SCK0	PB3/A7/MTIOC0A/MTIOC0A#/CACREF/ SCK6/RSPCKA/IRQ9
33	PB2/MTIOC0B/TXD0/SMOSI0/SSDA0/ SDA0	PB2/A6/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
34	PB1/MTIOC0C/RXD0/SMISO0/SSCL0/ SCL0/IRQ4	PB1/A5/MTIOC0C/MTIOC0C#/GTADSM1/ TMC10/RXD6/SMISO6/SSCL6/SCL/IRQ4/ ADSM1
35	PB0/A14/MTIOC0D/MOSIA/MOSIB	PB0/A0/A4/BC0#/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/ RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/RXD0/SMISO0/SSCL0/ MISOA/MISOB/ADTRG1#	PA5/A3/MTIOC1A/MTIOC1A#/TMC13/ RXD6/SMISO6/SSCL6/RXD8/SMISO8/ SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB/ADTRG0#	PA4/A2/MTIOC1B/MTIOC1B#/TMC17/ SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/ ADTRG0#
38	PA3/MTIOC2A/SCK0/SSLA0/SSLB0	PA3/A1/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/RXD2/SMISO2/SSCL2/ SSLA1/SSLB1	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SCK11/SSLA1
40	PA1/MTIOC6A/TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/ SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/ SSLA2/CRX0/USB0_ID/USB0_OVRCURA/ IRQ14_DS/ADTRG0#
41	PA0/MTIOC6C/SCK2/SSLA3/SSLB3	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/ TXD11/SMOSI11/SSDA11/SSLA3/CTX0/ USB0_EXICEN/USB0_VBUSEN
42	VCC	VCC
43	P96/A13/POE4#/RXD1/SMISO1/SSCL1/ IRQ4-DS	P96/CS0#/WAIT#/GTETRGA/GTETRGA#/ GTETRGC/GTETRGC#/POE4#/CTS8#/ RTS8#/SS8#/IRQ4_DS

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
44	VSS	VSS
45	P95/MTIOC6B/GTIOC4A/TXD1/SMOSI1/SSDA1	P95/MTIOC6B/MTIOC6B#/GTIOC4A/GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A/GTIOC5A/CTS1#/RTS1#/SS1#	P94/MTIOC7A/MTIOC7A#/GTIOC5A/GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B/GTIOC6A/CTS2#/RTS2#/SS2#	P93/MTIOC7B/MTIOC7B#/GTIOC6A/GTIOC9A/GTIOC6A#/GTIOC9A#
48	P92/MTIOC6D/GTIOC4B	P92/MTIOC6D/MTIOC6D#/GTIOC4B/GTIOC7B/GTIOC4B#/GTIOC7B#
49	P91/MTIOC7C/GTIOC5B	P91/MTIOC7C/MTIOC7C#/GTIOC5B/GTIOC8B/GTIOC5B#/GTIOC8B#
50	P90/MTIOC7D/GTIOC6B	P90/MTIOC7D/MTIOC7D#/GTIOC6B/GTIOC9B/GTIOC6B#/GTIOC9B#
51	P76/D0[A0/D0]/MTIOC4D/GTIOC2B	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/D1[A1/D1]/MTIOC4C/GTIOC1B	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/D2[A2/D2]/MTIOC3D/GTIOC0B	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
54	P73/D3[A3/D3]/MTIOC4B/GTIOC2A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/D4[A4/D4]/MTIOC4A/GTIOC1A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/D5[A5/D5]/MTIOC3B/GTIOC0A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
57	P70/D6[A6/D6]/POE0#/CTS1#/RTS1#/SS1#/IRQ5-DS	P70/D6[A6/D6]/GTETRG/MTETRG/POE0#/CTS9#/RTS9#/SS9#/IRQ5_DS
58	P33/D7[A7/D7]/MTIOC3A/MTCLKA/SSLA3/SSLB3	P33/D7[A7/D7]/MTIOC3A/MTCLKA/MTIOC3A#/MTCLKA#/GTIOC3B/GTIOC3B#/TMO0/SSLA3/IRQ13_DS
59	P32/D8[A8/D8]/MTIOC3C/MTCLKB/SSLA2/SSLB2	P32/D8[A8/D8]/MTIOC3C/MTCLKB/MTIOC3C#/MTCLKB#/GTIOC3A/GTIOC3A#/TMO6/SSLA2/IRQ12_DS
60	VCC	VCC
61	P31/D9[A9/D9]/MTIOC0A/MTCLKC/SSLA1/SSLB1	P31/D9[A9/D9]/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/D10[A10/D10]/MTIOC0B/MTCLKD/SCK0/SSLA0/SSLB0	P30/D10[A10/D10]/MTIOC0B/MTCLKD/MTIOC0B#/MTCLKD#/TMCi6/SCK8/CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/D11[A11/D11]/CTS0#/RTS0#/SS0#/RSPCKA/RSPCKB/IRQ4	P27/CS3#/MTIOC1A/MTIOC0C/MTIOC1A#/MTIOC0C#/POE9#/IRQ15
65	P23/D12[A12/D12]/CACREF/TXD0/SMOSI0/SSDA0/MOSIA/MOSIB/CTX1	P24/D11[A11/D11]/MTIC5U/MTIC5U#/TMCi2/TMO6/CTS8#/RTS8#/SS8#/SCK8/RSPCKA/IRQ4/COMP0
66	P22/D13[A13/D13]/RXD0/SMISO0/SSCL0/MISOA/MISOB/CRX1/ADTRG#	P23/D12[A12/D12]/MTIC5V/MTIC5V#/TMO2/CACREF/TXD8/SMOSI8/SSDA8/TXD12/SMOSI12/SSDA12/TXD12/SIOX12/MOSIA/CTX0/IRQ11/COMP1
67	P21/D14[A14/D14]/MTCLKA/IRQ6-DS/ADTRG1#	P22/D13[A13/D13]/MTIC5W/MTIC5W#/MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/TMO4/RXD8/SMISO8/SSCL8/RXD12/SMISO12/SSCL12/RXD12/MISOA/CRX0/IRQ10/ADTRG2#/COMP2

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子あり)
68	P20/D15[A15/D15]/MTCLKB/IRQ7-DS/ ADTRG0#	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/MOSIA/ IRQ6_DS/AN217/ADTRG1#/COMP5
69	P65/A0/BC0#/AN5	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
70	P64/A1/AN4	P65/A12/IRQ9/AN211/CMPC53/DA1
71	AVCC	P64/A13/IRQ8/AN210/CMPC33/DA0
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/A2/AN3	P63/A12/A14/IRQ7/AN209/CMPC23
75	P62/A3/AN2	P62/A13/A15/IRQ6/AN208/CMPC43
76	P61/A4/AN1	P61/A14/A16/IRQ5/AN207/CMPC13
77	P60/A5/AN0	P60/A15/A17/IRQ4/AN206/CMPC03
78	P55/AN11/DA1	P55/A16/A18/IRQ3/AN203/CMPC32
79	P54/AN10/DA0	P54/A17/A19/IRQ2/AN202/CMPC22
80	P53/A6/AN9	P53/A18/A20/IRQ1/AN201/CMPC12
81	P52/A7/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P47/AN103
83	P50/AN6	P46/AN102/CMPC50/CMPC51
84	P47/AN103/CVREFH	P45/AN101/CMPC40/CMPC41
85	P46/AN102	P44/AN100/CMPC30/CMPC31
86	P45/AN101	PH4/AN107/PGAVSS1
87	P44/AN100	P43/AN003
88	P43/AN003/CVREFL	P42/AN002/CMPC20/CMPC21
89	P42/AN002	P41/AN001/CMPC10/CMPC11
90	P41/AN001	P40/AN000/CMPC00/CMPC01
91	P40/AN000	PH0/AN007/PGAVSS0
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/WAIT#/MTIC5U/SCK12/IRQ3	P82/ALE/WAIT#/MTIC5U/MTIC5U#/ TMO4/SCK6/SCK12/IRQ3/COMP5
97	P81/A8/MTIC5V/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/ TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/COMP4
98	P80/A9/MTIC5W/RXD12/SMISO12/SSCL12/ RXDX12/IRQ5	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5/COMP3
99	P11/ALE/MTCLKC/IRQ1-DS	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS
100	P10/MTCLKD/IRQ0-DS	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGA/GTETRGC/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

3.3 100 ピンパッケージ(RX72T : PGA 疑似差動入力あり USB 端子なし)

表 3.3 に 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力あり USB 端子なし)を示します。

表 3.3 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力あり USB 端子なし)

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子なし)
1	PE5/BCLK/IRQ0	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/ GTETRGB/GTIOC3A#/GTETRGD/SCK9/ CTS9#/RTS9#/SS9#/IRQ0/ADST0
2	EMLE	EMLE
3	VSS	VSS
4	P01/RD#/CTS0#/RTS0#/SS0#	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF /RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXD12/IRQ2/ADST1/COMP0
5	VCL	VCL
6	P00/CS1#/CACREF	MD/FINED
7	MD/FINED	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE12#/ TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/IRQ4/ADST2/ COMP1
8	PE4/A10/POE10#/MTCLKC/IRQ1	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1
9	PE3/A11/POE11#/MTCLKD/IRQ2-DS	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2_DS
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	PE2/POE10#/NMI	PE2/POE10#/NMI
16	PE1/WR0#/WR#/CTS12#/RTS12#/SS12#/ SSLA3/SSLB3	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/ TMO5/CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA3/IRQ15
17	PE0/WR1#/BC1#/WAIT#/SSLA2/SSLB2/ CRX1/IRQ7	PE0/WR1#/BC1#/WAIT#/MTIOC9B/ MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/ SSCL5/SSLA2/CRX0/IRQ7
18	TRST#/PD7/GTIOC0A/CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/ GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/ SSDA5/SSLA1/CTX0/IRQ8
19	TMS/PD6/GTIOC0B/SSLA0/SSLB0	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
20	TDI/PD5/GTIOC1A/RXD1/SMISO1/SSCL1/ IRQ6	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
21	TCK/FINEC/PD4/GTIOC1B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子なし)
22	TDO/PD3/GTIOC2A/TXD1/SMOSI1/SSDA1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
23	PD2/CS2#/GTIOC2B/MOSIA/MOSIB	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMC11/TMO4/ SCK5/SCK8/MOSIA
24	PD1/CS0#/GTIOC3A/MISOA/MISOB	TRDATA3/PD1/A6/GTIOC3A/GTIOC0B/ GTIOC3A#/GTIOC0B#/TMO2/RXD8/ SMISO8/SSCL8/MISOA
25	PD0/A12/GTIOC3B/RSPCKA/RSPCKB	TRDATA2/PD0/A5/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#/TMO6/TXD8/ SMOSI8/SSDA8/RSPCKA
26	PB7/A19/SCK12	TRDATA1/PB7/A4/GTIOC1B/GTIOC1B#/ SCK5/SCK11/SCK12
27	PB6/A18/RXD12/SMISO12/SSCL12/ RXDX12/CRX1/IRQ2	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/IRQ2
28	PB5/A17/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0
29	PLLVC	VCC
30	PB4/A16/POE8#/GTETRGO/IRQ3-DS	PB4/A1/GTETRGA/GTETRGA#/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3_DS
31	PLLVS	VSS
32	PB3/A15/MTIOC0A/CACREF/SCK0	PB3/A7/MTIOC0A/MTIOC0A#/CACREF/ SCK6/RSPCKA/IRQ9
33	PB2/MTIOC0B/TXD0/SMOSI0/SSDA0/SDA0	PB2/A6/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
34	PB1/MTIOC0C/RXD0/SMISO0/SSCL0/ SCL0/IRQ4	PB1/A5/MTIOC0C/MTIOC0C#/GTADSM1/ TMC10/RXD6/SMISO6/SSCL6/SCL/IRQ4/ ADSM1
35	PB0/A14/MTIOC0D/MOSIA/MOSIB	PB0/A0/A4/BC0#/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/ RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/RXD0/SMISO0/SSCL0/ MISOA/MISOB/ADTRG1#	PA5/A3/MTIOC1A/MTIOC1A#/TMC13/ RXD6/SMISO6/SSCL6/RXD8/SMISO8/ SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB/ADTRG0#	PA4/A2/MTIOC1B/MTIOC1B#/TMC17/ SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/ ADTRG0#
38	PA3/MTIOC2A/SCK0/SSLA0/SSLB0	PA3/A1/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/RXD2/SMISO2/SSCL2/ SSLA1/SSLB1	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SCK11/SSLA1
40	PA1/MTIOC6A/TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/ SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/ SSLA2/CRX0/IRQ14_DS/ADTRG0#
41	PA0/MTIOC6C/SCK2/SSLA3/SSLB3	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/ TXD11/SMOSI11/SSDA11/SSLA3/CTX0
42	VCC	VCC

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子なし)
43	P96/A13/POE4#/RXD1/SMISO1/SSCL1/IRQ4-DS	P96/CS0#/WAIT#/GTETRG/GBTETRGB/GBTETRG/GBTETRGD/POE4#/CTS8#/RTS8#/SS8#/IRQ4_DS
44	VSS	VSS
45	P95/MTIOC6B/GTIOC4A/TXD1/SMOSI1/SSDA1	P95/MTIOC6B/MTIOC6B#/GTIOC4A/GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A/GTIOC5A/CTS1#/RTS1#/SS1#	P94/MTIOC7A/MTIOC7A#/GTIOC5A/GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B/GTIOC6A/CTS2#/RTS2#/SS2#	P93/MTIOC7B/MTIOC7B#/GTIOC6A/GTIOC9A/GTIOC6A#/GTIOC9A#
48	P92/MTIOC6D/GTIOC4B	P92/MTIOC6D/MTIOC6D#/GTIOC4B/GTIOC7B/GTIOC4B#/GTIOC7B#
49	P91/MTIOC7C/GTIOC5B	P91/MTIOC7C/MTIOC7C#/GTIOC5B/GTIOC8B/GTIOC5B#/GTIOC8B#
50	P90/MTIOC7D/GTIOC6B	P90/MTIOC7D/MTIOC7D#/GTIOC6B/GTIOC9B/GTIOC6B#/GTIOC9B#
51	P76/D0[A0/D0]/MTIOC4D/GTIOC2B	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/D1[A1/D1]/MTIOC4C/GTIOC1B	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/D2[A2/D2]/MTIOC3D/GTIOC0B	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
54	P73/D3[A3/D3]/MTIOC4B/GTIOC2A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/D4[A4/D4]/MTIOC4A/GTIOC1A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/D5[A5/D5]/MTIOC3B/GTIOC0A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
57	P70/D6[A6/D6]/POE0#/CTS1#/RTS1#/SS1#/IRQ5-DS	P70/D6[A6/D6]/GTETRG/GBTETRGB/GBTETRG/GBTETRGD/POE0#/CTS9#/RTS9#/SS9#/IRQ5_DS
58	P33/D7[A7/D7]/MTIOC3A/MTCLKA/SSLA3/SSLB3	P33/D7[A7/D7]/MTIOC3A/MTCLKA/MTIOC3A#/MTCLKA#/GTIOC3B/GTIOC3B#/TMO0/SSLA3/IRQ13_DS
59	P32/D8[A8/D8]/MTIOC3C/MTCLKB/SSLA2/SSLB2	P32/D8[A8/D8]/MTIOC3C/MTCLKB/MTIOC3C#/MTCLKB#/GTIOC3A/GTIOC3A#/TMO6/SSLA2/IRQ12_DS
60	VCC	VCC
61	P31/D9[A9/D9]/MTIOC0A/MTCLKC/SSLA1/SSLB1	P31/D9[A9/D9]/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/D10[A10/D10]/MTIOC0B/MTCLKD/SCK0/SSLA0/SSLB0	P30/D10[A10/D10]/MTIOC0B/MTCLKD/MTIOC0B#/MTCLKD#/TMCi6/SCK8/CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/D11[A11/D11]/CTS0#/RTS0#/SS0#/RSPCKA/RSPCKB/IRQ4	P27/CS3#/MTIOC1A/MTIOC0C/MTIOC1A#/MTIOC0C#/POE9#/IRQ15
65	P23/D12[A12/D12]/CACREF/TXD0/SMOSI0/SSDA0/MOSIA/MOSIB/CTX1	P24/D11[A11/D11]/MTIC5U/MTIC5U#/TMCi2/TMO6/CTS8#/RTS8#/SS8#/SCK8/RSPCKA/IRQ4/COMP0
66	P22/D13[A13/D13]/RXD0/SMISO0/SSCL0/MISOA/MISOB/CRX1/ADTRG#	P23/D12[A12/D12]/MTIC5V/MTIC5V#/TMO2/CACREF/TXD8/SMOSI8/SSDA8/TXD12/SMOSI12/SSDA12/TXD12/SIOX12/MOSIA/CTX0/IRQ11/COMP1

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子なし)
67	P21/D14[A14/D14]/MTCLKA/IRQ6-DS/ ADTRG1#	P22/D13[A13/D13]/MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/ SMISO12/SSCL12/RDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2
68	P20/D15[A15/D15]/MTCLKB/IRQ7-DS/ ADTRG0#	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/ SSDA12/TDX12/SIOX12/MOSIA/ IRQ6_DS/AN217/ADTRG1#/COMP5
69	P65/A0/BC0#/AN5	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
70	P64/A1/AN4	P65/A12/IRQ9/AN211/CMPC53/DA1
71	AVCC	P64/A13/IRQ8/AN210/CMPC33/DA0
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/A2/AN3	P63/A12/A14/IRQ7/AN209/CMPC23
75	P62/A3/AN2	P62/A13/A15/IRQ6/AN208/CMPC43
76	P61/A4/AN1	P61/A14/A16/IRQ5/AN207/CMPC13
77	P60/A5/AN0	P60/A15/A17/IRQ4/AN206/CMPC03
78	P55/AN11/DA1	P55/A16/A18/IRQ3/AN203/CMPC32
79	P54/AN10/DA0	P54/A17/A19/IRQ2/AN202/CMPC22
80	P53/A6/AN9	P53/A18/A20/IRQ1/AN201/CMPC12
81	P52/A7/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P47/AN103
83	P50/AN6	P46/AN102/CMPC50/CMPC51
84	P47/AN103/CVREFH	P45/AN101/CMPC40/CMPC41
85	P46/AN102	P44/AN100/CMPC30/CMPC31
86	P45/AN101	PH4/AN107/PGAVSS1
87	P44/AN100	P43/AN003
88	P43/AN003/CVREFL	P42/AN002/CMPC20/CMPC21
89	P42/AN002	P41/AN001/CMPC10/CMPC11
90	P41/AN001	P40/AN000/CMPC00/CMPC01
91	P40/AN000	PH0/AN007/PGAVSS0
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/WAIT#/MTIC5U/SCK12/IRQ3	P82/ALE/WAIT#/MTIC5U/MTIC5U#/ TMO4/SCK6/SCK12/IRQ3/COMP5
97	P81/A8/MTIC5V/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/ TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TDX12/SIOX12/COMP4
98	P80/A9/MTIC5W/RXD12/SMISO12/SSCL12/ RXDX12/IRQ5	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RDX12/IRQ5/COMP3
99	P11/ALE/MTCLKC/IRQ1-DS	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS

100 ピン	RX63T	RX72T (PGA 疑似差動入力あり USB 端子なし)
100	P10/MTCLKD/IRQ0-DS	P10/ MTIOC9B /MTCLKD/ MTIOC9B #/ MTCLKD #/ GTETR GB/ GTETR GD/ TMR I3/ POE 12#/ CTS 6#/ RTS 6#/ SS 6#/ IRQ0_DS

3.4 100 ピンパッケージ(RX72T : PGA 疑似差動入力なし USB 端子なし)

表 3.4 に 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力なし USB 端子なし)を示します。

表 3.4 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力なし USB 端子なし)

100 ピン	RX63T	RX72T (PGA 疑似差動入力なし USB 端子なし)
1	PE5/BCLK/IRQ0	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/ GTETRGA/GTIOC3A#/GTETRGD/SCK9/ CTS9#/RTS9#/SS9#/IRQ0/ADST0
2	EMLE	EMLE
3	VSS	VSS
4	P01/RD#/CTS0#/RTS0#/SS0#	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF/ RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RDX12/IRQ2/ADST1/COMP0
5	VCL	VCL
6	P00/CS1#/CACREF	MD/FINED
7	MD/FINED	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGA/GTETRGC/GTETRGD/POE12#/ TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/ SSDA12/TDX12/SIOX12/IRQ4/ADST2/ COMP1
8	PE4/A10/POE10#/MTCLKC/IRQ1	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/ GTETRGA/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1
9	PE3/A11/POE11#/MTCLKD/IRQ2-DS	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/ GTETRGA/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2_DS
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	PE2/POE10#/NMI	PE2/POE10#/NMI
16	PE1/WR0#/WR#/CTS12#/RTS12#/SS12#/ SSLA3/SSLB3	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/ TMO5/CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA3/IRQ15
17	PE0/WR1#/BC1#/WAIT#/SSLA2/SSLB2/ CRX1/IRQ7	PE0/WR1#/BC1#/WAIT#/MTIOC9B/ MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/ SSCL5/SSLA2/CRX0/IRQ7
18	TRST#/PD7/GTIOC0A/CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/ GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/ SSDA5/SSLA1/CTX0/IRQ8
19	TMS/PD6/GTIOC0B/SSLA0/SSLB0	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
20	TDI/PD5/GTIOC1A/RXD1/SMISO1/SSCL1/ IRQ6	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
21	TCK/FINEC/PD4/GTIOC1B/SCK1	TCK/PD4/GTIOC1B/GTETRGA/GTIOC1B#/ TMCI0/TMCI6/SCK1/SCK11/IRQ2

100 ピン	RX63T	RX72T (PGA 疑似差動入力なし USB 端子なし)
22	TDO/PD3/GTIOC2A/TXD1/SMOSI1/SSDA1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
23	PD2/CS2#/GTIOC2B/MOSIA/MOSIB	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMC11/TMO4/ SCK5/SCK8/MOSIA
24	PD1/CS0#/GTIOC3A/MISOA/MISOB	TRDATA3/PD1/A6/GTIOC3A/GTIOC0B/ GTIOC3A#/GTIOC0B#/TMO2/RXD8/ SMISO8/SSCL8/MISOA
25	PD0/A12/GTIOC3B/RSPCKA/RSPCKB	TRDATA2/PD0/A5/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#/TMO6/TXD8/ SMOSI8/SSDA8/RSPCKA
26	PB7/A19/SCK12	TRDATA1/PB7/A4/GTIOC1B/GTIOC1B#/ SCK5/SCK11/SCK12
27	PB6/A18/RXD12/SMISO12/SSCL12/ RXDX12/CRX1/IRQ2	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/IRQ2
28	PB5/A17/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0
29	PLLVC	VCC
30	PB4/A16/POE8#/GTETRGO/IRQ3-DS	PB4/A1/GTETRGA/GTETRGA/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3_DS
31	PLLVS	VSS
32	PB3/A15/MTIOC0A/CACREF/SCK0	PB3/A7/MTIOC0A/MTIOC0A#/CACREF/ SCK6/ RSPCKA/IRQ9
33	PB2/MTIOC0B/TXD0/SMOSI0/SSDA0/SDA0	PB2/A6/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
34	PB1/MTIOC0C/RXD0/SMISO0/SSCL0/SCL0/ IRQ4	PB1/A5/MTIOC0C/MTIOC0C#/GTADSM1/ TMCIO/RXD6/SMISO6/SSCL6/SCL/IRQ4/ ADSM1
35	PB0/A14/MTIOC0D/MOSIA/MOSIB	PB0/A0/A4/BC0#/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/ RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/RXD0/SMISO0/SSCL0/ MISOA/MISOB/ADTRG1#	PA5/A3/MTIOC1A/MTIOC1A#/TMC13/ RXD6/SMISO6/SSCL6/RXD8/SMISO8/ SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB/ADTRG0#	PA4/A2/MTIOC1B/MTIOC1B#/TMC17/ SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/ ADTRG0#
38	PA3/MTIOC2A/SCK0/SSLA0/SSLB0	PA3/A1/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/RXD2/SMISO2/SSCL2/ SSLA1/SSLB1	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SCK11/SSLA1
40	PA1/MTIOC6A/TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/ SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/ SSLA2/CRX0/IRQ14_DS/ADTRG0#
41	PA0/MTIOC6C/SCK2/SSLA3/SSLB3	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/ TXD11/SMOSI11/SSDA11/SSLA3/CTX0
42	VCC	VCC

100 ピン	RX63T	RX72T (PGA 疑似差動入力なし USB 端子なし)
43	P96/A13/POE4#/RXD1/SMISO1/SSCL1/ IRQ4-DS	P96/CS0#/WAIT#/GTETRG/ GTETRGB/GTETRG/ GTETRGD/ POE4#/CTS8#/RTS8#/SS8#/IRQ4_DS
44	VSS	VSS
45	P95/MTIOC6B/GTIOC4A/TXD1/SMOSI1/ SSDA1	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A/GTIOC5A/CTS1#/RTS1#/ SS1#	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B/GTIOC6A/CTS2#/RTS2#/ SS2#	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
48	P92/MTIOC6D/GTIOC4B	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
49	P91/MTIOC7C/GTIOC5B	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
50	P90/MTIOC7D/GTIOC6B	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
51	P76/D0[A0/D0]/MTIOC4D/GTIOC2B	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/D1[A1/D1]/MTIOC4C/GTIOC1B	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/D2[A2/D2]/MTIOC3D/GTIOC0B	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
54	P73/D3[A3/D3]/MTIOC4B/GTIOC2A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/D4[A4/D4]/MTIOC4A/GTIOC1A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/D5[A5/D5]/MTIOC3B/GTIOC0A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
57	P70/D6[A6/D6]/POE0#/CTS1#/RTS1#/SS1#/ IRQ5-DS	P70/D6[A6/D6]/GTETRG/ GTETRGB/ GTETRG/ GTETRGD/POE0#/CTS9#/ RTS9#/SS9#/IRQ5_DS
58	P33/D7[A7/D7]/MTIOC3A/MTCLKA/SSLA3/ SSLB3	P33/D7[A7/D7]/MTIOC3A/MTCLKA/ MTIOC3A#/MTCLKA#/GTIOC3B/ GTIOC3B#/TMO0/SSLA3/IRQ13_DS
59	P32/D8[A8/D8]/MTIOC3C/MTCLKB/SSLA2/ SSLB2	P32/D8[A8/D8]/MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/GTIOC3A/ GTIOC3A#/TMO6/SSLA2/IRQ12_DS
60	VCC	VCC
61	P31/D9[A9/D9]/MTIOC0A/MTCLKC/SSLA1/ SSLB1	P31/D9[A9/D9]/MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/D10[A10/D10]/MTIOC0B/MTCLKD/ SCK0/SSLA0/SSLB0	P30/D10[A10/D10]/MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/TMCI6/SCK8/ CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/D11[A11/D11]/CTS0#/RTS0#/SS0#/ RSPCKA/RSPCKB/IRQ4	P24/D11[A11/D11]/MTIC5U/MTIC5U#/ TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/ RSPCKA/IRQ4/COMP0
65	P23/D12[A12/D12]/CACREF/TXD0/SMOSI0/ SSDA0/MOSIA/MOSIB/CTX1	P23/D12[A12/D12]/MTIC5V/MTIC5V#/ TMO2/CACREF/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXD12/ SIOX12/MOSIA/CTX0/IRQ11/COMP1

100 ピン	RX63T	RX72T (PGA 疑似差動入力なし USB 端子なし)
66	P22/D13[A13/D13]/RXD0/SMISO0/SSCL0/ MISOA/MISOB/CRX1/ADTRG#	P22/D13[A13/D13]/MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/ SMISO12/SSCL12/RXDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2
67	P21/D14[A14/D14]/MTCLKA/IRQ6-DS/ ADTRG1#	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/MOSIA/ IRQ6_DS/AN217/ADTRG1#/COMP5
68	P20/D15[A15/D15]/MTCLKB/IRQ7-DS/ ADTRG0#	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
69	P65/A0/BC0#/AN5	P65/A12/IRQ9/AN211/CMPC53/DA1
70	P64/A1/AN4	P64/A13/IRQ8/AN210/CMPC33/DA0
71	AVCC	AVCC2
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/A2/AN3	P63/A12/A14/IRQ7/AN209/CMPC23
75	P62/A3/AN2	P62/A13/A15/IRQ6/AN208/CMPC43
76	P61/A4/AN1	P61/A14/A16/IRQ5/AN207/CMPC13
77	P60/A5/AN0	P60/A15/A17/IRQ4/AN206/CMPC03
78	P55/AN11/DA1	P55/A16/A18/IRQ3/AN203/CMPC32
79	P54/AN10/DA0	P54/A17/A19/IRQ2/AN202/CMPC22
80	P53/A6/AN9	P53/A18/A20/IRQ1/AN201/CMPC12
81	P52/A7/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P51/AN205/CMPC52
83	P50/AN6	P50/AN204/CMPC42
84	P47/AN103/CVREFH	P47/AN103
85	P46/AN102	P46/AN102/CMPC50/CMPC51
86	P45/AN101	P45/AN101/CMPC40/CMPC41
87	P44/AN100	P44/AN100/CMPC30/CMPC31
88	P43/AN003/CVREFL	P43/AN003
89	P42/AN002	P42/AN002/CMPC20/CMPC21
90	P41/AN001	P41/AN001/CMPC10/CMPC11
91	P40/AN000	P40/AN000/CMPC00/CMPC01
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/WAIT#/MTIC5U/SCK12/IRQ3	P82/ALE/WAIT#/MTIC5U/MTIC5U#/ TMO4/SCK6/SCK12/IRQ3/COMP5
97	P81/A8/MTIC5V/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/ TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/COMP4
98	P80/A9/MTIC5W/RXD12/SMISO12/SSCL12/ RXDX12/IRQ5	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5/COMP3

100 ピン	RX63T	RX72T (PGA 疑似差動入力なし USB 端子なし)
99	P11/ALE/MTCLKC/IRQ1-DS	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS
100	P10/MTCLKD/IRQ0-DS	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGA/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

4. 移行の際の留意点

RX63T グループと RX72T グループの相違について、いくつかの留意点があります。

ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。また、ソフトウェアに関する留意点を「4.2 機能設計の留意点」で説明します。

4.1 端子設計の留意点

RX63T グループ(100 ピン)と RX72T グループ(100 ピン : PGA 疑似差動入力なし USB 端子なし)ではピンコンパチブルとなり、移行し易い端子設計としておりますが、グループが異なるため、端子の扱いが一部異なります。詳細は、「表 3.4 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力なし USB 端子なし)」を参照してください。

4.1.1 VCL 端子(外付け容量)

VCL 端子に接続する内部電源安定用の平滑コンデンサは、RX63T グループでは 0.1 μ F の容量を、RX72T グループでは 0.47 μ F の容量を使用してください。

4.1.2 PLLVCC 端子

RX72T グループには PLLVCC 端子がありません。

4.1.3 モード設定端子

リセット解除時のモード設定端子は、RX63T グループでは MD 端子と P00 端子ですが、RX72T グループでは MD 端子と UB 端子(P00 と兼用)となっています。

4.1.4 外部クロックを入力する方法

RX63T グループでは、外部クロックを入力する際、EXTAL 端子へ入力するクロックの逆相を XTAL 端子に入力できますが、RX72T グループでは XTAL 端子をオープンにしてください。

4.1.5 PGA 疑似差動入力関連端子(P40~42、P44~46、PH0、PH4)

RX72T グループは、リセット状態から PGA 疑似差動入力の端子へ負電圧の入力が可能になっています。

このため、リセット解除後、P40~42、P44~46、PH0、PH4 の端子機能を使用するためには、PGA 使用の有無に関わらず PGA に関するレジスタの設定変更が必要です。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で VOLSRS.PGAVLS ビット、A/D コンバータの初期設定フロー、および PIDR レジスタを参照してください。

なお、PGA 疑似差動入力なしの製品でも設定変更が必要です。

4.1.6 AVCC 端子と AVSS 端子間のデカップリング容量挿入方法

RX72T グループでは過大なサージなど異常電圧によるアナログ入力端子 (AN000~AN007, AN100~AN107, AN200~AN211, AN216, AN217) の破壊を防ぐために、AVCCn と AVSSn 間にコンデンサを、またアナログ入力端子 (AN000~AN007, AN100~AN107, AN200~AN211, AN216, AN217) を基準に保護回路を接続してください。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で、12 ビット A/D コンバータのノイズ対策上の注意を参照してください。

4.1.7 USB DP/DM のプルアップ抵抗/プルダウン抵抗内蔵

RX72T グループでは、DP/DM のプルアップ抵抗/プルダウン抵抗が内蔵されています。そのため RX63T とは USB 外部接続回路が異なります。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で、USB 外部接続回路例を参照してください。

4.2 機能設計の留意点

RX63T グループで動作するソフトウェアは RX72T グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なるため、十分に評価してください。

以下は RX72T グループと RX63T グループで異なる機能の設定に関し、ソフトウェアでの留意点について掲載しております。

モジュールおよび機能の相違点については「2 仕様の概要比較」を参照してください。詳細は、「5 参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

4.2.1 レジスタ退避バンク内 RAM の自己診断

RX72T グループのレジスタ退避バンクは RAM で構成されています。レジスタ退避バンクにはバッファが搭載されているため、SAVE 命令で書き込みを行った後に同一バンクから RSTR 命令で読み出しを行うと、RAM のメモリセルではなくバッファのデータが読み出されることがあります。レジスタ退避バンク内 RAM の自己診断を行う場合、バッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のバンクに SAVE 命令でデータを書く
- (2) (1)のバンクとは異なるバンクに、SAVE 命令でデータを書く
- (3) (1)のバンクから RSTR

4.2.2 RIIC 動作電圧設定

RX72T グループで RIIC を使用する場合、スロープ特性を保つために、電源電圧範囲を指定する必要があります。

初期値は VCC が 4.5V 以上の設定になっています。4.5V 未満で使用する場合、RIIC を動作させる前に電圧範囲を変更してください。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.RICVLS ビットを参照してください。

4.2.3 USB 動作電圧設定

RX72T グループで USB を使用する場合、USB を動作させる前に USB 電源制御ビットを 1 にする必要があります。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.USBVON ビットを参照してください。

4.2.4 例外ベクタテーブル

RX63T グループのベクタテーブルの配置アドレスは固定ですが、RX72T グループでは例外テーブルレジスタ (EXTB) に設定した値を先頭アドレスとして、ベクタテーブルを可変に配置できます。

4.2.5 電圧レベル設定

RX72T グループでは、動作電圧に応じて動作モードの電圧レベル設定レジスタ (VOLSR)、電圧検出回路の電圧検出レベル選択レジスタ (LVDLVLR)、オプション設定メモリのオプション機能選択レジスタ 1 (OFS1) を適切な値に変更する必要があります。**プログラムで必ず設定してください。**

4.2.6 エンディアン

エンディアンの設定は、RX63T グループでは、オプション設定メモリに配置されている MDEB レジスタ (ユーザブートモード時)、MDES レジスタ (シングルチップモード時)で行いますが、RX72T グループでは、オプション設定メモリに配置されている MDE レジスタで行います。

4.2.7 オプション設定メモリ

RX63T グループでは、ID コードプロテクト、オンチップデバッグの ID コードプロテクトは ROM に配置されていますが、RX72T グループではオプション設定メモリに配置されています。設定方法が異なるため、注意してください。

4.2.8 クロック周波数設定

RX63T グループではクロック周波数設定制限は $ICLK \geq PCLK$ ですが、RX72T グループでは以下のように設定してください。

クロック周波数設定制限 : $ICLK \geq BCLK$ 、 $PCLKC \geq PCLKA \geq PCLKB$

クロック周波数比制限 : (N は整数)

$ICLK : FCLK = N : 1$ or $1 : N$ 、

$ICLK : PCLKA = N : 1$ or $1 : N$ 、

$ICLK : PCLKB = N : 1$ or $1 : N$ 、

$ICLK : PCLKC = N : 1$ or $1 : N$ 、

$ICLK : PCLKD = N : 1$ or $1 : N$ 、

$PCLKA : PCLKC = 1 : 1$ or $1 : 2$ 、

$PCLKB : PCLKD = 1 : 1$ or $2 : 1$ or $4 : 1$ or $1 : 2$

また、RX72T グループでは ICLK を 120MHz より速くする場合は、MEMWAIT レジスタの変更が必要です。

4.2.9 PLL 回路

PLL 回路の通倍率は、RX63T グループで 8~50 通倍、RX72T グループで 10~30 通倍(0.5 刻み)です。PLL 回路を使用するには、設定値を適切な値に変更してください。また、RX72T グループでは、PLL クロックの切り替えはプログラムで実施してください。

4.2.10 MOSCWTCR レジスタ

RX63T グループはメインクロックをカウントし、RX72T グループは LOCO クロックをカウントします。

4.2.11 メインクロック発振停止検出機能の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

RX72T グループでは、PLL のクロックソースに HOCO クロックを選択し、かつシステムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わらないので注意してください。

4.2.12 全モジュールクロックストップモード

RX63T グループでは、全モジュールクロックストップモードへ移行させる場合、MSTPA27、MSTPA29 に“1”を書き込んでおく必要があります。

RX72T グループでは、全モジュールクロックストップモードへ移行させる場合、MSTPA24、MSTPA27、MSTPA29、MSTPD0~MSTPD7 に“1”を書き込んでおく必要があります。

4.2.13 DIRQnE ビット($n = 0 \sim 15$)による入力バッファ制御

RX72T グループでは、DPSIERy.DIRQnE($y=0,1,n=0 \sim 15$)ビットを“1”にすることで、IRQ0-DS~IRQ15-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF($y=0,1,n=0 \sim 15$)ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

4.2.14 選択型割り込み

RX63T グループでは、割り込み要因は固定のベクタ番号ですが、RX72T グループでは MTU/GPTW の割り込み要因は選択型割り込み A となり、選択型割り込み A 要因選択レジスタ n (SLIARn)を設定することで、割り込み要因を割り込みベクタテーブル 208~255 に配置することができます

4.2.15 ポート方向レジスタ(PDR)の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.2.16 POE3 の汎用入出力ポート切り替え制御の注意事項

RX72T グループでは、POE3 で指定した出力停止要求が発生すると、PMMCRn レジスタ($n=0 \sim 3$)の当該ビットを“1”にした端子は、汎用入出力ポートに切り替わります。事前に対応する POECRn レジスタ($n=0 \sim 3$)のビットを“0”にしてください。

4.2.17 MTU3d/GPTW 動作周波数

RX72T グループでは、MTU3d/GPTW のカウントクロックは PCLKC ですが、使用するバスのクロックは PCLKA です。使用する周波数の組み合わせによっては制限がありますので、注意してください。

4.2.18 MTU による DMAC 起動

RX72T グループでは、MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因がクリアされます。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

4.2.19 カウンタ停止時の MTIOC 端子出力レベル

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。このとき、RX72T グループの相補 PWM モード/リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード/リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

4.2.20 ELC イベント入力の時タイマモードレジスタ設定の注意事項

RX72T グループでは、MTU を ELC のアクション動作に設定する場合は、該当チャンネルのタイマモードレジスタ (TMDR) は初期値 (00h) に設定してください。

4.2.21 ポートアウトプットイネーブル

RX72T グループでは、RX63T グループからポートアウトプットイネーブルのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.22 ポートアウトプットイネーブル 3 出力停止要求発生時の制御

RX72T グループでは、出力停止要求が発生したとき、POECR1~POECR3、POECR7 レジスタの対応するビットを“1”にした端子はハイインピーダンスになり、PMMCR0~PMMCR3 レジスタの対応するビットを“1”にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを“1”にした場合は、POECR1~POECR3、POECR7 レジスタの設定が優先され、端子はハイインピーダンスになります。

汎用入出力ポートに切り替わった後は、PDR レジスタ、PODR レジスタの設定により端子の状態が決定します。

4.2.23 MTU/GPTW 反転出力設定時のアクティブレベル設定について

RX72T グループでは、MPC.PmnPFS レジスタにより MTU/GPTW の出力を正転出力/反転出力から選択することができます。

MTU の反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2j レジスタ(j=A,B)で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1、ALR2 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

GPTW の反転出力を選択した場合、端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR3~ALR5 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

4.2.24 ハイインピーダンス時の端子の読み出しについて

RX72T グループでは、POE によって端子がハイインピーダンスになっているときは、当該端子のレベルを読み出すことはできません。読んだ場合の値は不定です。端子のレベルを読み出すには、ハイインピーダンス状態を解除してください。

ハイインピーダンス制御の代わりにポート切り替え制御を選択した場合、この制限はありません。

4.2.25 POE と POEG を併用した場合の注意事項

RX72T グループでは、POE と POEG を併用する場合、同一の GPTW 出力端子に対して、POE と POEG の両方で出力停止制御を行わないでください。

4.2.26 汎用 PWM タイマ

RX72T グループでは、RX63T グループから汎用 PWM タイマのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.27 ウォッチドッグタイマ/独立ウォッチドッグタイマ

RX72T グループでは、WDT アンダフロー/リフレッシュエラー割り込み、IWDT アンダフロー/リフレッシュエラー割り込みをマスカブル割り込みまたはノンマスカブル割り込みから選択することが可能です。

4.2.28 I²C バスインタフェースのノイズ除去

RX63T グループでは、SCL、SDA ラインにアナログノイズフィルタを内蔵していますが、RX72T グループではアナログノイズフィルタを内蔵していません。

4.2.29 12 ビット A/D コンバータ

RX72T グループでは、RX63T グループから 12 ビット A/D コンバータのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.30 A/D 変換スタートビット

RX72T グループでは、12 ビット A/D コンバータのグループ優先動作モード有効時 (ADCSR.ADCS[1:0] ビット=01b かつ ADGSPCR.PGS ビット=1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット=1) した場合、ADCSR.ADST ビットは“1”を保持します。

4.2.31 コンペア機能制約

RX72T グループの 12 ビット A/D コンバータのコンペア機能には、以下の制約があります。

- (1) 自己診断機能およびダブルトリガモードの使用は禁止です。
(ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です。)
- (2) マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
- (3) ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
- (4) ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
- (5) ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
- (6) High 側基準値 $\geq$ Low 側基準値となるように設定してください。

4.2.32 A/D スキャン変換終了割り込みの発生

RX66T グループでは、ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADCSR.ADIE ビットが“1”にセットされていれば A/D スキャン変換終了割り込みが発生します。

4.2.33 12 ビット A/D コンバータのスキャン変換時間

RX63T グループと RX72T グループでは、スキャン変換時間が異なります。各グループの選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、以下のように表されます。詳細は、RX63T グループ、RX72T グループ ユーザーズマニュアルハードウェア編で、12 ビット A/D コンバータのアナログ入力のサンプリング時間とスキャン変換時間を参照してください。

$$\text{RX63T: } t_{\text{SCAN}} = t_{\text{D}} + t_{\text{SPLSH}} + t_{\text{DIAG}} + (t_{\text{CONV}} \times n) + t_{\text{ED}}$$

$$\text{RX72T: } t_{\text{SCAN}} = t_{\text{D}} + t_{\text{SPLSH}} + (t_{\text{DIS}} \times n) + t_{\text{DIAG}} + (t_{\text{CONV}} \times n) + t_{\text{ED}}$$

t_{D} …スキャン変換開始遅延時間

t_{SPLSH} …チャンネル専用サンプル & ホールド回路処理時間

t_{DIS} …断線検出アシスト処理時間

t_{DIAG} …自己診断変換時間

t_{CONV} …A/D 変換処理時間

t_{ED} …スキャン変換終了遅延時間

4.2.34 D/A コンバータの設定について

RX72T グループでは、D/A コンバータの設定は D/A 出力先選択レジスタ (DADSELR) でコンパレータ C への出力設定を行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

4.2.35 ROM キャッシュ

RX72T グループは 8K バイトの ROM キャッシュがありますが、リセット解除後の ROM キャッシュ動作は禁止です。

ROM キャッシュを使用する場合は、ROMCE.ROMCEN ビットを 1 にしてください。

4.2.36 フラッシュメモリのコマンド使用方法

RX63T グループでは、FCU に FCU コマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX72T グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.1 に FCU コマンドと FACI コマンドの仕様比較を示します。

表 4.1 FCU コマンドと FACI コマンドの仕様比較

項目	FCU コマンド(RX63T)	FACI コマンド(RX72T)
コマンド発行領域	P/E 用アドレス (00F8 0000h~00FF FFFFh)	FACI コマンド発行領域 (007E 0000h)
使用可能コマンド	• P/E ノーマルモード移行 • ステータスリードモード移行 • ロックビットリードモード移行 (ロックビットリード 1) • 周辺クロック通知 • プログラム • ブロックイレーズ • P/E サスペンド • P/E レジューム • ステータスレジスタクリア • ロックビットリード 2 / ブランクチェック • ロックビットプログラム	• プログラム • ブロックイレーズ • P/E サスペンド • P/E レジューム • ステータスクリア • 強制終了 • ロックビットリード • ブランクチェック • コンフィギュレーション設定 • ロックビットプログラム

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX63T グループ ユーザーズマニュアル ハードウェア編 Rev2.20(R01UH0238JJ0220)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX72T グループ ユーザーズマニュアル ハードウェア編 Rev1.00(R01UH0803JJ0100)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

RX ファミリ間の移行設計ガイド パッケージ外形の相違点 (R01AN4591JJ)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A151A/J
- TN-RX*-A152A/J
- TN-RX*-A161A/J
- TN-RX*-A186A/J
- TN-RX*-A193A/J
- TN-RX*-A0219A/J
- TN-RX*-A0226A/J
- TN-RX*-A0227A/J

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Feb.18.19	—	初版発行
1.10	Jul.29.20	5	1 表 1.1 RX63T/RX72T 搭載機能比較 改訂
		8	2.1 表 2.2 CPU のレジスタ比較 改訂
		9	2.2 表 2.3 動作モードの概要比較 改訂
		10	2.3 アドレス空間 追加
		13	2.4 図 2.4 オプション設定メモリ領域比較 追加
		38	2.10 例外処理 追加
		41	2.11 表 2.22 割り込みコントローラのレジスタ比較 改訂
		48	2.16 表 2.32 I/O ポート 100 ピン(RX72T:PGA 疑似差動入力あり)の概要比較 改訂
		49	2.16 表 2.33 I/O ポート 100 ピン(RX72T:PGA 疑似差動入力なし)の概要比較 改訂
			2.16 表 2.34 I/O ポートの機能比較 追加
		51	2.16 表 2.35 I/O ポートのレジスタ比較 改訂
		52	2.17 表 2.36 マルチプル端子の割り当て端子比較 追加
		69~92	2.17 表 2.39~表 2.55 Pmn 端子機能制御レジスタ(PmnPFS)の比較 追加
		93	2.17 表 2.56 マルチファンクションピンコントローラのレジスタ比較 改訂
		97	2.18 表 2.58 マルチファンクションタイマパルスユニット 3 のレジスタ比較 改訂
		98	2.18 表 2.59 TPSC ビットの設定比較(MTU5 以外) 追加
		100	2.18 表 2.59 TPSC ビットの設定比較(MTU5 以外) 追加
		103	2.19 表 2.62 ポートアウトプットイネーブル 3 レジスタ比較 改訂
		118	2.20 表 2.64 汎用 PWM タイマのレジスタ比較 改訂
		125	2.20 表 2.65 GTIOA/B ビットの設定比較 追加
		137	2.25 表 2.75 シリアルコミュニケーションインタフェースのレジスタ比較 改訂
		149	2.29 表 2.82 CRC 演算器のレジスタ比較 改訂
		150	2.30 表 2.83 12 ビット A/D コンバータの概要比較 改訂
		155	2.30 表 2.84 12 ビット A/D コンバータのレジスタ比較 改訂
		158	2.30 表 2.85 ADSTRGR レジスタに設定する A/D 起動要因比較 (144/120/112/100 ピン版) 追加
		161	2.30 表 2.86 ADSTRGR レジスタに設定する A/D 起動要因比較 (64/48 ピン版) 追加
		165	2.33 表 2.90 RAM の概要比較 改訂
		166	2.33 表 2.91 RAM のレジスタ比較 改訂
		167	2.34 表 2.92 フラッシュメモリの概要比較 改訂
		170	2.34 表 2.93 フラッシュメモリのレジスタ比較 改訂
		180	3.2 表 3.2 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力あり USB 端子あり) 改訂
		184	3.3 表 3.3 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力あり USB 端子なし) 改訂
		189	3.4 表 3.4 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力なし USB 端子なし) 改訂

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	Jul.29.20	194	4.1.4 汎用入出力ポート 削除
		195	4.1.7 USB DP/DM のプルアップ抵抗/プルダウン抵抗内蔵 追加
		196	4.2.1 レジスタ退避バンク内 RAM の自己診断 追加
		197	4.2.10 MOSCWTCR レジスタ 追加
		198	4.2.11、4.2.13、4.2.15、4.2.16 追加
		199	4.2.19、4.2.22～4.2.24 追加
		200	4.2.25、4.2.27、4.2.28、4.2.30～4.2.32 追加
		201	4.2.33、4.2.34 追加
		202	4.2.36 表 4.1 FCU コマンドと FACL コマンドの仕様比較 改訂
		203	5. 参考ドキュメント 改訂
		204	テクニカルアップデートの対応について 改訂

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。