

デュアル 500MHz Arm® Cortex®-A7 CPUおよび 125MHz Cortex®-M3 CPUをベースとした産業用通信ソリューション。FPU内蔵、最大 6MバイトのECC付き拡張内蔵SRAM、Advanced 5 port Ethernet switch、独立したGMAC等イーサネット拡張機能搭載、EtherCAT®、Sercos®、Profinet®、EtherNet/IP™、DLR、PRP、HSR対応。Quad SPI、DDRコントローラ、NANDフラッシュコントローラ、LCDコントローラ、SD/SDIO/eMMC、A/Dコンバータなど豊富な周辺機能、セキュリティ機能

特長

■ 32ビット Arm Cortex-A7 MPCore 内蔵

- 最大 500MHz
- シングルコアもしくはデュアルコア
- FPU、VFPv4-D16
- MMU
- L1 キャッシュ：コア毎に 16K バイト（命令） / 16K バイト（データ）
- L2 キャッシュ：最大 256K バイト

■ 32ビット Arm Cortex-M3 プロセッサ内蔵

- 最大 125MHz
- Memory Protection Unit (MPU) をサポート

■ 低消費電力機能

- クロックゲーティング管理
- クロック周波数変更

■ 内蔵 SRAM

- 最大 6M バイト（ECC 付き）

■ データ転送

- 2 ユニットの各 8ch DMAC

■ メモリインタフェース

- 最大 2ch の Quad SPI/XIP
- 高度な ECC 管理機能を備えた NAND Flash
- 16 ビット幅 DDR インタフェース (DDR2-500/DDR3-1000)
- 最大 2ch の SD/SDIO/eMMC

■ IO マルチプレキシングコントローラ

- 周辺機能の I/O 位置を複数の端子の中から選択可

■ クロックオシレータ

- 外部クロック / オシレータ 入力周波数：40MHz
- 32kHz の RTC

■ セキュリティ機能（オプション）

- セキュアブート / JTAG ロック / 64 ビットのチップ ID

■ 周辺機能

- CPU リソース
 - メールボックス
 - 2 ユニットのタイマ（16bit×6ch, 32bit×2ch）
 - PWMTimer（16bit×16ch）
 - CPU 毎に 1 ユニットのウォッチドッグ
 - セマフォ
- 汎用インタフェース
 - 1ch の USB2.0 ホスト
 - 1ch の USB2.0 ホストもしくはファンクション
 - 8ch の UART
 - 6ch の SPI（4ch のマスタ / 2ch のスレーブ）
 - 2ch の I2C
 - 2ch の CAN
 - 最大 2 ユニットの 12 ビット ADC（最大 1MSPS）
 - MSEBI（外部バスインタフェース）
- その他機能
 - LCD コントローラ
 - GPIO ピン（最大 170）

■ R-IN Engine

- Arm Cortex-M3 CPU
- ハードウェア RTOS アクセラレータ（HW-RTOS）
- ハードウェア Ethernet アクセラレータ

■ 高度なリアルタイム Ethernet 機能

- SercosIII スレーブコントローラ
- EtherCAT ポートスレーブコントローラ
- Advanced 5（4+1）Port Switch（A5PSW）
 - QoS と IEEE1588 対応で 5 ポートをスイッチ
 - 最大 5 のギガビットのポート
 - IEC62439-3 Ed2.0-2012 準拠 PRP（オプション）
 - IEC62439-3 Ed2.0-2012 準拠の HSR（オプション）
- 最大 2 つの独立した GMAC、IEEE1588 準拠
- MII/RMII/RGMII の最大 5 の外部ポート

CAN（Controller Area Network）：ドイツ Robert Bosch GmbH により開発された車載ネットワーク規格です。

Arm は Arm Limited（またはその子会社）の EU およびその他地域における登録商標です。

EtherCAT は、ドイツ Beckhoff Automation GmbH によりライセンスされた特許取得済み技術であり登録商標です。

Sercos は Sercos International e.V の登録商標です。

全ての商標・登録商標は各所有者の財産です。

第1章 概要

ルネサスの「RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ」は、産業用イーサネットをベースとしたアプリケーションへの要求に特化して開発された製品です。

1.1 仕様概要

表 1.1 仕様概要 (1/8)

分類	モジュール/機能	説明
CPU	Arm Cortex-A7	<ul style="list-style-type: none"> ● Arm 社の 32 ビット CPU Cortex-A7 (リビジョン r0p5) ● デュアルコアもしくはシングルコア ● 最大動作周波数: 500MHz ● クロック周波数変更 ● L1 キャッシュ: コア単位に 16K バイト (命令) / 16K バイト (データ) ● L2 キャッシュ: 最大 256K バイト ● FPU、VFPv4-D16 ● MMU ● ハードウェアコヒーレントキャッシュ ● リトルエンディアン
	Arm Cortex-M3	<ul style="list-style-type: none"> ● Arm 社の 32 ビット CPU Cortex-M3 (リビジョン r2p1) ● 最大動作周波数: 125MHz ● Memory Protection Unit (MPU) ● リトルエンディアン
メモリ	オンチップ 2MB SRAM	<ul style="list-style-type: none"> ● 容量: 2M バイト (1M バイト+1M バイト) ● 512K バイト単位に分割されたアクセスポート ● SEC-DED (シングルエラー訂正、ダブルエラー検出)
	オンチップ 4MB SRAM	<ul style="list-style-type: none"> ● 容量: 4M バイト ● 1M バイト単位に分割されたアクセスポート ● SEC-DED (シングルエラー訂正、ダブルエラー検出)
ウォッチドッグ		<ul style="list-style-type: none"> ● リロードレジスタ付きのフリーランニングの 12 ビットデクリメントカウンタ ● 出力をシステムリセット、あるいは割り込みとして使用可能 ● デバッグ (ブレークポイント実行など) による CPU 停止中のウォッチドッグ停止制御
動作モード		<ul style="list-style-type: none"> ● 3 つのブートモード (CA7) <ul style="list-style-type: none"> - NAND Flash - QSPI Flash - USB DFU
クロック	クロック発生回路	<ul style="list-style-type: none"> ● 入力 40MHz クロックをオシレータまたはクリスタルから選択可能 ● システムクロック: 最大 125MHz ● Cortex-A7 クロック: システムクロックの 1/2/4 倍 ● DDR メモリクロック: 250MHz/500MHz
RTC		<ul style="list-style-type: none"> ● 24 時間モードの日付クロック ● カレンダー ● アラーム機能 ● クリスタル 32kHz ● RTC バックアップモード用独立電源供給
リセット		<ul style="list-style-type: none"> ● マスタリセット入力 ● 内部システムリセット (ソフトウェア、ウォッチドッグ)

表 1.1 仕様概要 (2/8)

分類	モジュール/機能	説明
データ転送	ダイレクトメモリ アクセスコントローラ (Direct Memory Access Controller : DMAC)	<ul style="list-style-type: none"> ● 2 ユニット : <ul style="list-style-type: none"> - DMAC1 : 8 チャンネル、16 リクエストソース - DMAC2 : 8 チャンネル、16 リクエストソース ● メモリからメモリ、メモリから周辺機能、周辺機能からメモリの転送 ● 転送幅 : <ul style="list-style-type: none"> - 8、16、32、64 ビット ● プログラマブルな DMA パーストサイズ
メールボックス		<ul style="list-style-type: none"> ● 3 ユニットのプログラマブルなメールボックス メールボックス毎の 7 つの 32 ビットデータレジスタ
セマフォ		<ul style="list-style-type: none"> ● 内部共有リソースのハードウェアロックメカニズム
パラレルバス インタフェース	外部バスインタフェース (Medium Speed External Bus Interface : MSEBI)	<ul style="list-style-type: none"> ● マスタおよびスレーブモード <ul style="list-style-type: none"> - 8、16、32 ビットから選択可能なデータバス幅 ● アドレス/データ/制御データをデータバス上にマルチプレクス ● パーストモード ● DMA サポート <ul style="list-style-type: none"> - マスタモード : 4DMA チャンネル接続 (外部リクエスト受信可能) - スレーブモード : 外部リクエスト送信可能 ● 最大 4 チップセレクト ● 2 バイト~4G バイトのプログラマブルなアドレス機能 ● プログラマブルなセットアップ/ホールド時間 ● 外部ウエイトリクエスト
I/O ポート	IO マルチプレキシング	<ul style="list-style-type: none"> ● 周辺機能の I/O 位置が選択可能 ● 出力ドライブ強度の選択 ● オンチップのプルアップ/プルダウン抵抗の選択
メモリ インタフェース	DDR2/3 コントローラ	<ul style="list-style-type: none"> ● DDR2-500/DDR3-1000 ● メモリデータバスサイズ : 16 ビット、8 ビット、8+ECC ビット ● 最大 2 チップセレクトおよび 2ODT ● 最大 2G バイトアドレスをサポート ● ECC SEC/DED ソフトウェア設定可能 (有効/無効) ● 終端抵抗 (ODT : On-Die Termination) 設定 ● 出カインピーダンスおよびスルーレート設定 ● DDR2/DDR3 低電力制御マネージメント (ソフトウェアによる) ● ポートアドレス保護チェック <ul style="list-style-type: none"> - ポート単位の最大 16 アドレス保護領域
	NAND Flash コントローラ	<ul style="list-style-type: none"> ● 8 ビットバス幅の NAND インタフェース ● 非同期モードサポート ● 4 チップセレクト ● ライトプロテクション ● プログラマブルなアドレスサイクル (0/1/2/3/4/5) ● 内蔵 DMA ● 256B、512B、2KB、1KB、4KB、8KB、16KB ページをサポート ● BCH ECC (エラー検出およびデータ訂正) <ul style="list-style-type: none"> - ECC データブロックサイズ : 256 バイト、512 バイト、1024 バイト - ECC 訂正機能 : 2、4、8、16、24、32 ビットエラー ● Bad Block Management (BBM)

表 1.1 仕様概要 (3/8)

分類	モジュール/機能	説明
メモリ インタフェース	Quad SPI (QSPI)	<ul style="list-style-type: none"> ● 最大 2 ユニット ● Single、Dual もしくは Quad の I/O 命令をサポート ● リード高速化モード (NoCMD モード) をサポート ● リマップアドレスによるダイレクトアクセス ● プログラマブルなデバイスサイズ ● 最大 4 チップセレクト ● 1/2/3/4 バイトアドレス指定をサポート ● プログラマブルなページサイズをサポート (デフォルト 256 バイト) ● プログラマブルなデバイスブロック毎のバイト数 ● プログラマブルなライトプロテクト領域 ● 送受信 FIFO : 16 バイト ● 送受信 FIFO へのダイレクトアクセス (レガシーモード) ● コントロールレジスタセットによる任意の FLASH コマンド実行 ● ダイレクトアクセス時のバーストライト対応
	SD/SDIO/eMMC	<ul style="list-style-type: none"> ● 最大 2 ユニット ● SD/SDIO カードインタフェース <ul style="list-style-type: none"> - 1 ビットもしくは 4 ビットモードでのデータ転送 - デフォルトモードもしくはハイスピードモードでのデータ転送 ● eMMC インタフェース <ul style="list-style-type: none"> - 1 ビット、4 ビットもしくは 8 ビットモードでのデータ転送 ● 転送速度 <ul style="list-style-type: none"> - デフォルトモード : 最大 25MHz - ハイスピードモード : 最大 50MHz ● PIO/SDMA/ADMA2 転送のサポート
ネットワーク エレメント	R-IN Engine	<ul style="list-style-type: none"> ● ITRON ライクのシステムコール <ul style="list-style-type: none"> - イベント、セマフォ、およびメールボックスといったエレメント用の 30 種類のシステムコール ● タスクスケジューラ <ul style="list-style-type: none"> - ハードウェア ISR : 128 の割り込みから最大 32 個を選択可能 - コンテキスト要素数 : 64 - セマフォ識別子数 : 128 - イベント識別子数 : 64 - メールボックス識別子数 : 64 - メールボックス要素数 : 192 - コンテキスト優先度レベル数 : 16 ● ハードウェアファンクションマネージャ ● 内蔵 DMA コントローラ ● バッファアロケータ ● ヘッドのエンコード/デコード ● 専用ギガビットイーサネット MAC (MACDMAC 内蔵)

表 1.1 仕様概要 (4/8)

分類	モジュール/機能	説明
ネットワーク エレメント	アドバンスド 5 ポート スイッチ (Advanced 5 Port Switch : A5PSW)	<ul style="list-style-type: none"> ● 動作モード : <ul style="list-style-type: none"> - 10Mbps 半二重および全二重 - 100Mbps 半二重および全二重 - 1000Mbps 全二重 ● ポート単位の MAC ベース RMON 統計カウンタ ● ポート単位 (集約なし) のポート統計 ● 最大 8192MAC アドレスのルックアップテーブル (スタティックおよび学習) ● パケットバッファサイズ : 1M ビット ● フレキシブルな出カキューハンドリングのためのフレームプライオリティクラス分けをサポートしている個別の QoS レベルの 4 キュー <ul style="list-style-type: none"> - 重み付け均等化キューイング (WFQ) によるアービトレーション管理 (オプション) ● 不要なフレーム複製を回避するためのフラッディング制御を備えたイーサネットのマルチキャスト、ブロードキャストのサポート ● 各マルチキャストアドレスのフレーム複製を制限するプログラマブルなマルチキャスト宛先ポートマスク ● IEEE 1588-2008 互換 <ul style="list-style-type: none"> - 1 step Peer-to-Peer (P2P) をサポート (レイヤー2 のみ) - 1 step End-to-End (E2E) をサポート (レイヤー2 のみ) ● 最大 32VLAN の厳密な分離を実現する VLAN ドメインフィルタリングを備えたマルチキャストおよびブロードキャストの解決 ● VLAN フレームの送受信対応 ● 各ポートでのシングルおよびダブルタグ VLAN フレームをサポートしているプログラマブルな Ingress および Egress の VLAN タグの追加、削除および操作 ● 標準フレーム長 (1536 バイト)、最大 1700 バイトの拡張フレーム長および最大 10K バイトのジャンボフレームのサポート ● ポート単位のポートミラーリング設定 ● RSTP ポート状態 (RSTP3 状態、STP5 状態) <ul style="list-style-type: none"> - ポート単位に変更可能な RSTP ポート状態 learning、discarding、forwarding - BPDU フレームのサポート - MSTP BPDU フレームのサポート (ソフトウェア) ● 管理モードでの開始 ● フレームスヌーピングエンジン ● スタンドアロンの Energy-Efficient-Ethernet (EEE) 管理 ● ポート単位のイグレスレートリミット設定 ● ポート単位の Ingress ブロードキャストストーム保護設定 ● ポート単位の Ingress マルチキャストストーム保護設定 ● 802.1X 送信元アドレス認証のサポート ● 802.1X ゲスト VLAN のサポート ● PRP 機能 (IEC 62439-3 edition 2.0- 2012) ● DLR モジュール ● カットスルー ● TDMA (Time Division Multiple Access) 4 タイムスロット ● 8 チャンネルのパターンマッチャ ● SNMP と RMON/MIB によるリモートモニタリング ● Hub 機能搭載

表 1.1 仕様概要 (5/8)

分類	モジュール/機能	説明
ネットワーク エレメント	HSR スイッチ	<ul style="list-style-type: none"> ● HSR 機能 (IEC 62439-3 edition 2.0- 2012) <ul style="list-style-type: none"> - DANH - 冗長ボックス (Red Box) - 冗長送信フレーム生成 - 重複した受信フレームのフィルタリング - 冗長ヘッダの生成と検出 - 受信フレーム追跡テーブル ● 100Mbps 全二重イーサネット ● 動的フレームバッファ割り当て (page manager) ● 128 プロキシノード (VDANs) をサポート ● リンクローカルプロトコルをサポート ● 重複検出メモリ ● MAC アドレスフィルタリング ● 1 つの VLAN タグをサポート ● ポート単位 (集約なし) のポート統計 ● 144K バイトフレームバッファ ● IEEE 1588-2008 ● フラッディング制御を備えたイーサネットマルチキャスト ● 拡張フレーム長: 最大 2000 バイト (ジャンボフレーム未対応) ● HSR ループで最小 16 ノードをサポート ● 重複検出滞留時間設定
	EtherCAT スレーブ コントローラ	<ul style="list-style-type: none"> ● 最大 3 ポート ● 自動 TX シフト ● 拡張リンク検出 ● 8 つの FMMU (Fieldbus Memory Management Unit) ● 8 つの SyncManager ● 64 ビット分散クロック ● グローバル IRQ へのマッピング ● Read/Write オフセット ● ライトプロテクション ● AL Status Code レジスタ ● 拡張ウォッチドッグ ● AL Event Mask レジスタ ● ウォッチドッグカウンタ ● SyncManager イベントタイム ● EPU エラーカウンタ ● ロストリンクカウンタ ● 外部 EEPROM 用の I2C interface
	SercosIII スレーブ コントローラ	<ul style="list-style-type: none"> ● 2 ポート ● シリアルインタフェースは 100Mbaud ● 自動送信のテレグラム処理および同期テレグラムおよびデータテレグラムのモニタリング ● マルチプレクサ経由で Sercos プロトコルと標準イーサネットプロトコル間の機能切り替え ● 受信データストリームモニタによりフレームタイプ検出し、SercosIII フレームタイプ検出時に動作開始 ● テレグラムタイプ (MST/MDT もしくは AT) に基づいて SRAM の入出力データ転送のハンドリング

表 1.1 仕様概要 (6/8)

分類	モジュール/機能	説明
ネットワーク エレメント	独立した GMAC	<ul style="list-style-type: none"> ● 2 ユニットの MAC (GMAC1、GMAC2) ● 以下の標準規格に準拠 <ul style="list-style-type: none"> – IEEE 1588-2008 v2 standard (高精度ネットワーククロック同期) – IEEE 1588-2008 v2 は Power IEEE C37.238 profile に準拠 – IEEE 802.3-az-2010 (Energy Efficient Ethernet (EEE)) ● 10/100/1000Mbps データ転送速度をサポート ● 半二重および全二重動作の両方をサポート ● 標準および最大 16K バイト (16K バイト-1) のジャンボイーサネットフレームをサポートするためのプログラマブルなフレーム長 ● アドレスフィルタブロック用 17 個の MAC アドレスレジスタ ● 多種のフレキシブルなアドレスフィルタリングモードに対応 ● 送受信エンジン用独立チャンネルネイティブ DMA ● 拡張 IEEE 1588-2002 & 2008 イーサネットフレームタイムスタンプをサポート ● Pulse-Per-Second (PPS) 出力信号のフレキシブル制御 (GMAC1 のみ) ● CRC 生成およびチェック機能設定 ● RMON 統計サポート (L2 層のみ) ● Station Management ブロック、MDIO インタフェース
サブシステム エレメント	USB2.0 ホスト (USBh)	<ul style="list-style-type: none"> ● 1 つの専用ポートと 1 つの共用ポート (ホストもしくはファンクション) ● 転送速度 <ul style="list-style-type: none"> – High speed (HS) : 480Mbps (USB2.0) – Full speed (FS) : 12Mbps (USB1.1) – Low speed (LS) : 1.5Mbps (USB1.1) ● USB Plug Detect (UPD) ● 出力ポート電力切り替えマネージメント ● アプリケーションからの過電流表示 ● 内蔵 DMA ● 送受信 FIFO
	USB2.0 ファンクション (USBf)	<ul style="list-style-type: none"> ● 1 つの共用ポート (ホストもしくはファンクション) ● サポート <ul style="list-style-type: none"> – High speed (HS) : 480Mbps (USB2.0) – Full speed (FS) : 12Mbps (USB1.1) ● VBUS 経由でホストの接続を検出する USB Plug Detect (UPD) ● 16 の物理 Endpoint ● 内蔵 DMA ● Endpoint バッファ
	UART 1、2、3	<ul style="list-style-type: none"> ● 16550 UART 準拠 ● 分離した 16×8 (16×8 ビット幅) の送信および 16×8 の受信 FIFO ● RS485 および MODBUS[®]拡張機能 ● 最大 5.2Mbaud のボーレート生成 ● ラインブレークの生成および検出 ● プログラマブルなハードウェアフロー制御 ● 16750 に準拠した自動フロー制御モード ● TXD、RXD、CTS_N、RTS_N、DTR_N、DSR_N、DCD_N、RI_N のサポート
	UART 4、5、6、7、8	<ul style="list-style-type: none"> ● UART 1、2、3 と同機能に加えて以下の機能が使用可能 <ul style="list-style-type: none"> – パーストモード制御を備えた DMA 接続

表 1.1 仕様概要 (7/8)

分類	モジュール/機能	説明
サブシステム エレメント	SPI 1、2、3、4 (マスタ)	<ul style="list-style-type: none"> ● 送信および受信 FIFO (16×16) ● プログラマブルな RXD サンプリング機能 ● プログラマブルなフレームデータサイズ (4~16 ビット) ● 4 チップセレクト ● DMA コントローラインタフェース
	SPI 5、6 (スレーブ)	<ul style="list-style-type: none"> ● 送信および受信 FIFO (16×16) ● プログラマブルなフレームデータサイズ (4~16 ビット) ● DMA コントローラインタフェース
	I ² C 1、2	<ul style="list-style-type: none"> ● 2 種類のスピードモード <ul style="list-style-type: none"> - 標準モード (0~100Kbps) - ファストモード (400Kbps 以下) ● 分離された 8×8 送信および 8×8 受信 FIFO ● マスタもしくはスレーブの I²C 動作 ● 7 もしくは 10 ビットのアドレス指定 ● 7 もしくは 10 ビットの結合されたフォーマットの転送 ● バルク転送モード ● プログラマブルな SDA ホールド時間 (t_{HD, DAT})
	CAN 1、2	<ul style="list-style-type: none"> ● 11 ビットと 29 ビット ID の両方をサポート ● 125Kbps~1Mbps のビットレートをサポート ● アクセプタンスフィルタリング ● ソフトウェアドリブンのビットレート検出 (ホットプラグインサポート) ● シングルショット送信オプション、listen-only モード、自己メッセージ受信 ● ビット位置情報付きのアービトレーションロスト割り込み ● Read/write エラーカウンタ ● ラストエラーレジスタ ● プログラマブルなエラー限界警告 ● 同期フレームの周期的送信 ● プログラマブルなタイムベース
	汎用タイマ (TIMER)	<ul style="list-style-type: none"> ● 2 ユニットでそれぞれ以下をサポート <ul style="list-style-type: none"> - 6 つのプログラマブルな 16 ビットタイマ - 2 つのプログラマブルな 32 ビットタイマ ● 2 つのタイムベースから選択可能なプリスケアラ ● 自動リロードモードもしくはシングルショットモード ● DMA 接続 (32 ビットタイマのみ)
	PWMTimer	<ul style="list-style-type: none"> ● キャプチャおよびクロック用の 6 本の入力 <ul style="list-style-type: none"> - バウンスフィルタ - 40 本の外部入力 ● 16 本のコンペアマッチ出力 <ul style="list-style-type: none"> - 20 本の外部出力 ● 16 個の 16 ビットカウンタ <ul style="list-style-type: none"> - キャプチャおよびコンペア機能 - 32 ビットカスケードカウンタ - 2 つの 10 ビットプリスケアラクロック - 他のカウンタとの同期動作

表 1.1 仕様概要 (8/8)

分類	モジュール/機能	説明
ADC	ADC	<ul style="list-style-type: none"> ● 最大 2 ユニット ● 12 ビット分解能 ● 0.0625MSPS~1MSPS のサンプリングレート ● アナログ入力 <ul style="list-style-type: none"> – 8 チャンネル: (5 チャンネル+サンプル&ホールドを備えた 3 チャンネル) ● チャンネル毎に個々のトリガー ● DNL、±1.0LSB (Max.) [VAIN=0.0V~AVDD および f_{CLK}=20MHz 時] ● INL、±4.0LSB (Max.) [VAIN=0.0V~AVDD および f_{CLK}=20MHz 時] ● パワーダウンモード ● 2 段階の優先度 ● 同一優先度レベルで同時に変換要求発生時のラウンドロビン管理 ● DMA 接続 ● 仮想チャンネル機能
マルチメディア	LCD コントローラ (LCDC)	<ul style="list-style-type: none"> ● プログラマブルな LCD パネル解像度 ● 1 ポートの TFT LCD パネルインタフェース <ul style="list-style-type: none"> – 18 ビットデジタル (6 ビット/color) – 24 ビットデジタル (8 ビット/color) ● プログラマブルなフレームバッファ bits per pixel (bpp) <ul style="list-style-type: none"> – カラーパレットでマップされた 1、2、4、8bpp の 18 ビット LCD ピクセル – 16、18bpp の 18 ビット LCD ピクセル – 24bpp の 24 ビット LCD ピクセル ● ハードウェア点滅のサポート ● LCD パネルの LED バックライト輝度制御用の PWM モジュール ● 電源投入および切断シーケンスのサポート ● 内蔵 DMA
セキュリティ		<ul style="list-style-type: none"> ● セキュアブートによるプログラムの署名検証 ● JTAG 接続によるデバッグ無効化 ● Coretex-A7 から読み出し可能なチップ固有の 64 ビット ID
デバッグインタフェース		<ul style="list-style-type: none"> ● JTAG デバッグに結合された ETM ● Cortex-A7 および Cortex-M3 コアで共有されたトレースバッファ (32KB) ● Arm JTAG ● Arm SWD
電源電圧		<ul style="list-style-type: none"> ● コア電圧: 1.15V±0.05V ● IO 電圧: 3.3V±0.3V ● DDR IO 電圧: 1.8V±0.1V、1.5V±0.075V
動作温度		ジャンクション温度: -40°C~+110°C
パッケージ		<ul style="list-style-type: none"> ● RZ/N1D <ul style="list-style-type: none"> – 400LFBGA、17×17mm、0.8mm ピッチ – 324LFBGA、15×15mm、0.8mm ピッチ ● RZ/N1S <ul style="list-style-type: none"> – 324LFBGA、15×15mm、0.8mm ピッチ – 196LFBGA、12×12mm、0.8mm ピッチ ● RZ/N1L <ul style="list-style-type: none"> – 196LFBGA、12×12mm、0.8mm ピッチ

1.2 SoC ブロック図

パッケージに応じて利用可能な機能については「[1.3 製品ファミリ/パッケージ別機能比較](#)」を参照してください。

1.2.1 RZ/N1D

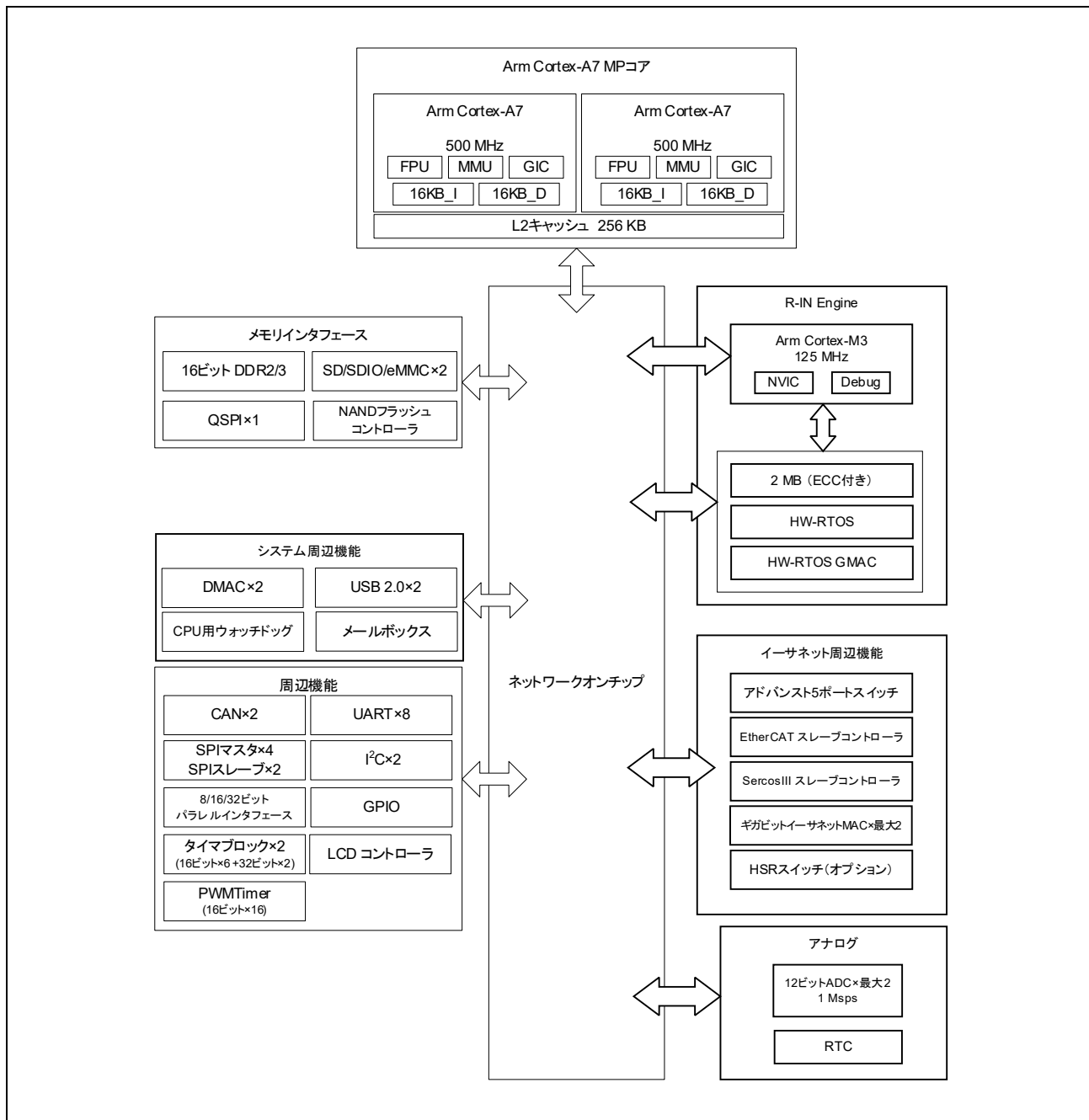


図 1.1 RZ/N1D ブロック図

1.2.2 RZ/N1S

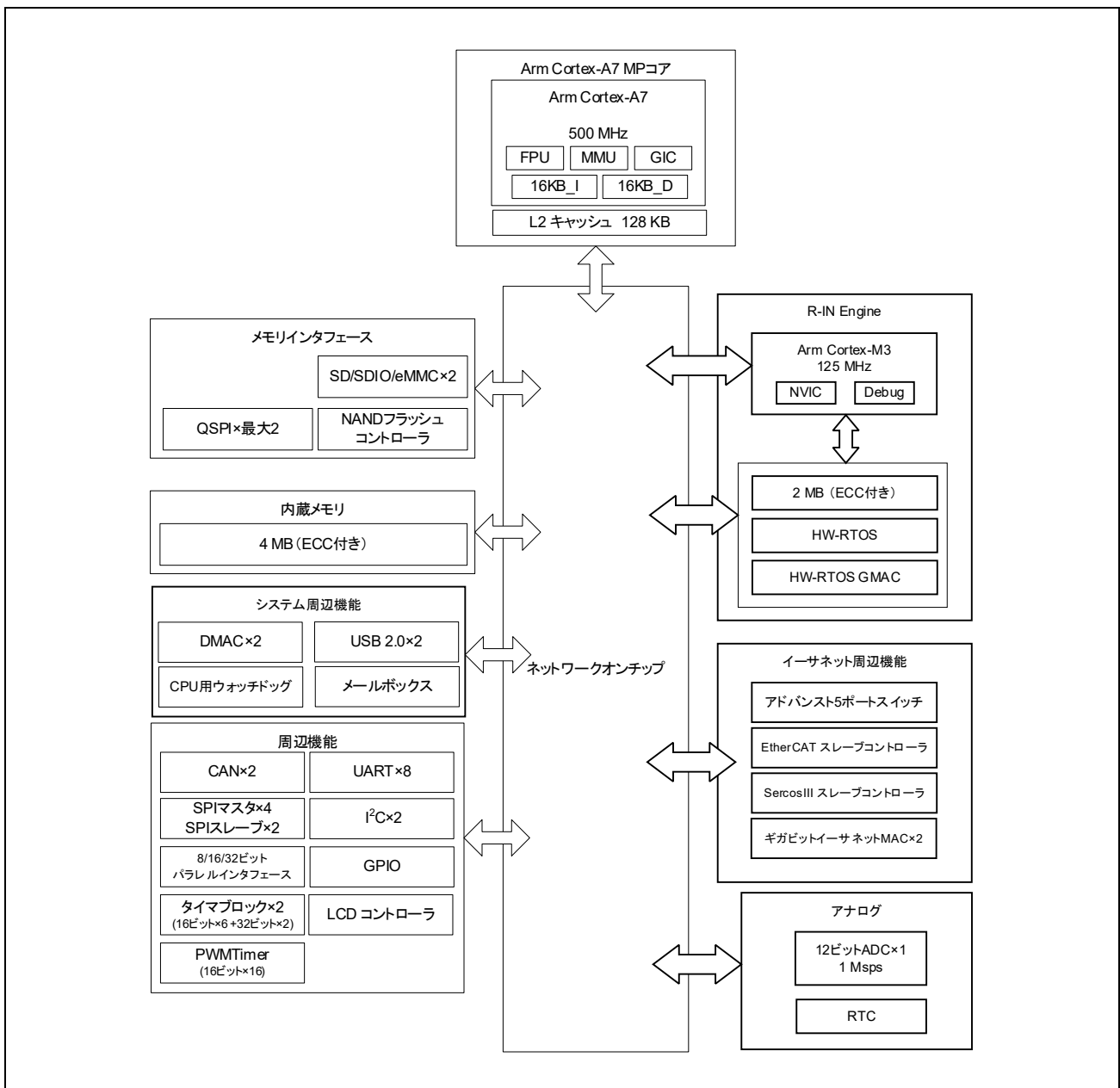


図 1.2 RZ/N1S ブロック図

1.2.3 RZ/N1L

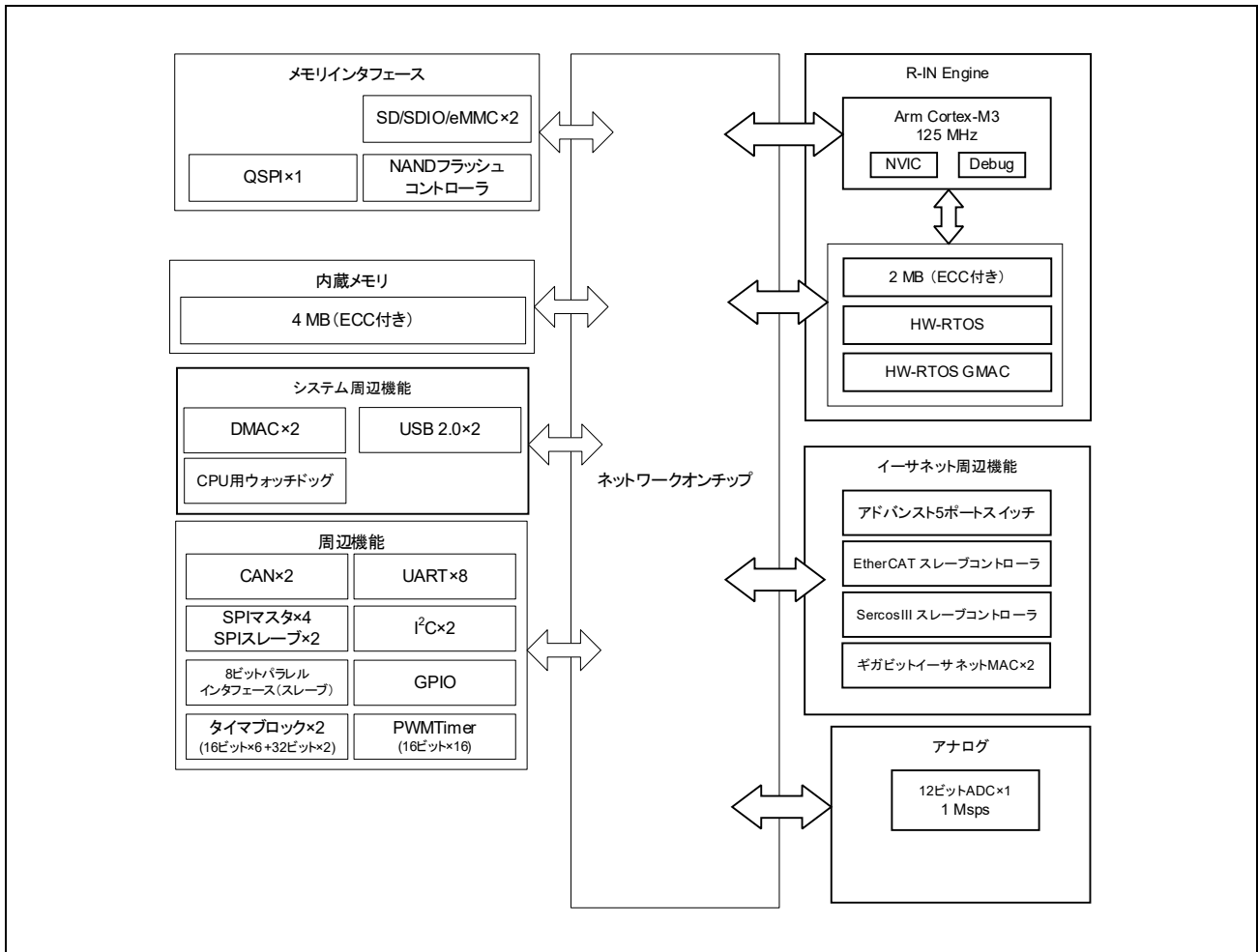


図 1.3 RZ/N1L ブロック図

1.3 製品ファミリ/パッケージ別機能比較

表 1.2 ルネサス CPU サブシステム

ハードウェア機能	RZ/N1D		RZ/N1S		RZ/N1L	
	パッケージタイプ :		400BGA	324BGA	324BGA	196BGA
Processor Unit	Arm Cortex-A7	デュアル		シングル		—
	Arm Cortex-M3	使用可能				
Memory Unit	2 MB with ECC	使用可能				
	4 MB with ECC	—		使用可能		
	DDR メモリコントローラ	使用可能 ^{注1}		—		
	Quad SPI	1ch		2ch	1ch ^{注2}	
	SDIO/SD/eMMC	2ch				
	NAND Flash	使用可能				
Networking elements	R-IN Engine & HWRTOS	使用可能 ^{注5}				
	Ethernet ポート数	5 ポート	3 ポート ^{注3}	5 ポート	3 ポート ^{注3}	
	独立した GMAC	最大 2	使用不可 ^{注4}	最大 2	最大 1 ^{注4}	
	EtherCAT Slave Controller	使用可能 ^{注6 注7}				
	SercosIII Slave Controller	使用可能 ^{注6 注7}				
	Advanced 5port Switch	5 ポート (4+1)	4 ポート (3+1)	5 ポート (4+1)	3 ポート (2+1) ^{注7}	
	PRP	オプション	—	使用可能	—	
HSR Switch ^{注5 注6}	オプション	—				
Peripheral Group	ADC	2 ユニット	1 ユニット			
	RTC	使用可能				使用不可
	DMAC	2ch				
	UART	8ch				
	I ² C	2ch				
	Parallel bus Master & Slave ^{注8}	使用可能				スレーブのみ
	USB Host & Function	使用可能				
	Mailbox	使用可能				使用不可
	Watchdog for CA7	使用可能、2		使用可能、1		使用不可
	Watchdog for CM3	使用可能				
	SPI マスタ	4ch				
	SPI スレーブ	2ch				
	CAN	2ch				
	LCDC	使用可能			使用不可	
	Semaphore	使用可能				
	Timer block	2 ユニット				
	PWMTimer	使用可能				
	GPIO 端子数 ^{注9}	170	132	160	95	95
	セキュリティ機能 ^{注10}	オプション				

注1. RZ/N1D-324 はチップセレクトおよび ODT が 1 つとなります。

注2. RZ/N1S-196 および RZ/N1L はチップセレクトが 2 つのみとなります。

注3. 使用できないポートの詳細については Ethernet インタフェースモードの制限の章を参照ください。

注4. GMAC2 は RZ/N1D-324、RZ/N1S-196、および RZ/N1L において A5PSW 経由で使用できます。

注5. HW-RTOS と HSR は同時に使用できません。

注6. SERCOSIII、ETHERCAT、および HSR 機能は同時に使用できません。

- 注7. A5PSW、SERCOSIII、および ETHERCAT 機能は RZ/N1S-196 および RZ/N1L において同時に使用できません。
- 注8. RZ/N1D-324 は 32 ビットモードを使用できません。RZ/N1S-196 および RZ/N1L は 8 ビットモードかつ 2 外部ウエイトリクエストのみ使用できます。RZ/N1S-196 のマスタは ALE シリアルモードのみ使用できます。
- 注9. 周辺機能の信号と共用されています。
- 注10. オプションのセキュリティ機能に関する情報は、弊社営業窓口にお問い合わせください。

1.4 製品一覧

表 1.3 製品一覧

名称	P/N	パッケージ	メイン CPU	PRP/HSR	セキュリティ
RZ/N1D	R9A06G032VGBG	400BGA	デュアル Cortex-A7	—	—
	R9A06G032EGBG				使用可能
	R9A06G032VGBA	324BGA			—
	R9A06G032EGBA				使用可能
	R9A06G032NGBG	400BGA		PRP/HSR	—
	R9A06G032PGBG				使用可能
RZ/N1S	R9A06G033VGBA	196BGA	シングル Cortex-A7	—	—
	R9A06G033EGBA				使用可能
	R9A06G033NGBG	324BGA		PRP	—
	R9A06G033PGBG				使用可能
RZ/N1L	R9A06G034VGBA	196BGA	Cortex-M3	—	—

1.5 端子配置図

1.5.1 RZ/N1D BGA-400 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	
20	GND	GPIO75	GPIO77	GPIO36	GPIO37	GPIO42	GPIO48	GPIO53	GPIO54	GPIO59	GPIO12	GPIO18	GPIO20	GPIO62	GPIO63	GPIO90	GPIO88	GPIO86	GPIO84	GND	20
19	GPIO78	GPIO76	GPIO74	GPIO68	GPIO38	GPIO41	GPIO45	GPIO51	GPIO56	GPIO58	GPIO13	GPIO17	GPIO64	GPIO106	GPIO91	GPIO89	GPIO87	GPIO85	GPIO93	GPIO82	19
18	GPIO30	GPIO79	GPIO73	GPIO71	GPIO66	GPIO39	GPIO44	GPIO47	GPIO52	GPIO55	GPIO19	GPIO15	GPIO22	GPIO102	GPIO107	GPIO96	GPIO95	GPIO100	GPIO80	GPIO81	18
17	GPIO27	GPIO32	GPIO34	GPIO69	GPIO70	GPIO67	GPIO40	GPIO46	GPIO49	GPIO57	GPIO16	GPIO21	GPIO104	GPIO99	GPIO98	GPIO97	GPIO105	GPIO103	GPIO92	GPIO83	17
16	GPIO24	GPIO28	GPIO29	GPIO129	GPIO128	GPIO72	GPIO65	GPIO43	GPIO50	GND	GPIO14	GPIO23	GPIO108	GPIO101	VDD11_C A7	GPIO120	GPIO109	GPIO118	GPIO94	GPIO117	16
15	GPIO6	GPIO8	GPIO31	GPIO33	GPIO35	GND	GND	GND	RGMII5_VDDQ	RGMII5_VDDQ	GND	GND	VDD33	GND	VDD11_C A7	GPIO125	GPIO126	GPIO121	GPIO116	GPIO119	15
14	GPIO5	GPIO9	GPIO10	GPIO26	RGMII3_VDDQ	RGMII3_VDDQ	VDD33	RGMII4_VDDQ	RGMII4_VDDQ	GND	RGMII2_VDDQ	RGMII2_VDDQ	VDD33	GND	GPIO124	GPIO123	GPIO122	GPIO111	GPIO115	GPIO113	14
13	GPIO2	GPIO4	GPIO3	GPIO11	GPIO25	GND	VDD11	GND	VDD11	VDD11	GND	VDD11	GND	VDD33	GPIO127	JTAG_TDO	JTAG_TCK	GPIO114	GPIO112	GPIO110	13
12	GPIO0	GPIO131	GPIO1	GPIO7	RGMII1_VDDQ	GND	VDD11	GND	GND	GND	GND	GND	VDD11	VDD33	GND	JTAG_TRST_N	JTAG_TDI	JTAG_TMS	GPIO61	GPIO60	12
11	GPIO137	GPIO135	GPIO133	GPIO132	GPIO130	RGMII1_VDDQ	GND	GND	GND	GND	GND	GND	GND	USB_AVSS	USB_RREF	USB_AVDD	USB_VBUS	MRESET_N	MRESET_OUT	USB_GND	11
10	GPIO139	GPIO136	GPIO138	GPIO140	GPIO134	GND	VDD33	GND	GND	GND	GND	GND	VDD11	USB_AVSS	USB_GND	USB_GND	USB_GND	USB_GND	USB_DM1	USB_DP1	10
9	GPIO141	GPIO143	GPIO147	GPIO144	CTRSTBY_B	VDD33	VDD33	VDD11	GND	GND	GND	GND	VDD11	GND	USB_VD33	USB_VD33	USB_GND	USB_GND	USB_DM2	USB_DP2	9
8	GPIO145	GPIO149	GPIO142	GPIO148	ANF_VDD_PRG	RTC_VDD33	GND	VDD11	VDD11	DVSS	DVDD	VDD11	GND	VDD33	ADC2_AGND	ADC2_AVDD	ADC2_IN6	ADC2_IN7	ADC2_IN8	USB_GND	8
7	RTC_XI	GPIO146	RTC_PWRGOD	GPIO152	GPIO150	GND	VDD33	DVDDQ	GND	DVSS	DVDD	DVDDQ	VDD33	TMC2	THMODE	ADC2_VREFN	ADC2_VREFP	ADC2_IN3	ADC2_IN2	ADC2_IN4	7
6	RTC_XO	GPIO151	GPIO153	GPIO154	GPIO158	GND	VDD33	GND	DVDDQ	DVDDQ	DVDDQ	DVDDQ	GND	CONFIG1	CONFIG0	ADC1_AVDD	ADC1_VREFP	ADC1_IN8	ADC1_IN1	ADC1_IN0	6
5	GPIO155	GPIO157	GPIO159	GPIO163	GPIO162	DDR_DQ6	GND	GND	GND	DDR_VREF	GND	DDR_ADDR0	GND	DDR_ADDR5	CONFIG2	ADC1_AGND	ADC1_VREFN	ADC1_IN4	ADC1_IN6	ADC1_IN7	5
4	GPIO160	GPIO156	GPIO167	GPIO165	GND	DDR_DQ0	DDR_DQS_N0	DDR_DQ7	DDR_DQ5	DDR_MZQ	DDR_CS1	DDR_ADDR12	DDR_ADDR15	DDR_BA0	DDR_ADDR7	DDR_ADDR1	TMC1	ADC1_IN3	ADC1_IN0	ADC1_IN2	4
3	GPIO161	GPIO169	GPIO166	GND	DDR_DQ4	DDR_DQS0	DDR_DM0	DDR_DQ3	GND	DDR_ADDR10	DDR_RAS	DDR_CAS	DDR_ADDR3	DDR_ADDR4	DDR_ADDR9	DDR_ADDR14	DDR_ADDR11	DDR_RESET_N	GND	ADC1_IN1	3
2	GPIO164	GPIO168	DDR_DQ14	DDR_DQ8	DDR_DQ2	DDR_DM1	DDR_DQS_N1	DDR_DQ9	DDR_DQ15	DDR_CLKP	DDR_CLKEN	DDR_WE	DDR_ODT0	DDR_BA2	DDR_ADDR2	DDR_ADDR11	DDR_ADDR13	GND	MCLK_XO	GND	2
1	GND	GND	DDR_DQ12	DDR_DQ10	GND	DDR_DQS1	GND	DDR_DQ11	DDR_DQ13	DDR_CLKN	GND	DDR_CS0	DDR_ODT1	DDR_BA1	GND	DDR_ADDR6	DDR_ADDR8	GND	MCLK_XI	GND	1

図 1.4 RZ/N1D 端子配置 BGA-400 (上面図)

1.5.2 RZ/N1D BGA-324 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V		
18	GND	GPIO75	GPIO77	GPIO36	GPIO41	GPIO42	GPIO46	GPIO48	GPIO51	GPIO54	GPIO64	GPIO101	GPIO107	GPIO90	GPIO88	GPIO86	GPIO84	GND	18	
17	GPIO78	GPIO76	GPIO74	GPIO66	GPIO39	GPIO44	GPIO47	GPIO52	GPIO53	GPIO56	GPIO108	GPIO99	GPIO91	GPIO89	GPIO87	GPIO85	GPIO93	GPIO82	17	
16	GPIO79	GPIO69	GPIO72	GPIO68	GPIO37	GPIO40	GPIO45	GPIO50	GPIO57	GPIO58	GPIO106	GPIO96	GPIO97	GPIO95	GPIO120	GPIO100	GPIO80	GPIO81	16	
15	GPIO30	GPIO33	GPIO73	GPIO70	GPIO67	GPIO38	GPIO43	GPIO49	GPIO55	GPIO102	GPIO104	GPIO98	GPIO105	VDD11_Q A7	GPIO125	GPIO103	GPIO92	GPIO83	15	
14	GPIO35	GPIO28	GPIO31	GPIO128	GPIO71	GPIO65	RGMII4 _VDDQ	GND	GPIO59	GPIO62	GPIO63	GPIO109	GND	VDD11_Q A7	GPIO124	GPIO126	GPIO94	GPIO115	14	
13	GPIO29	GPIO32	GPIO34	GPIO129	VDD33	GND	RGMII4 _VDDQ	RGMII5 _VDDQ	RGMII5 _VDDQ	VDD33	VDD33	GND	GND	GPIO123	GPIO122	GPIO118	GPIO116	GPIO113	13	
12	GPIO24	GPIO27	GPIO25	GPIO26	RGMII3 _VDDQ	GND	VDD11	GND	GND	VDD11	GND	VDD11	VDD33	GPIO127	GPIO121	GPIO117	GPIO119	GPIO114	12	
11	GPIO133	GPIO131	GPIO132	GPIO130	RGMII3 _VDDQ	VDD33	GND	GND	GND	GND	GND	VDD11	VDD33	JTAG _TDO	JTAG _TDI	GPIO111	GPIO112	GPIO110	11	
10	GPIO135	GPIO137	GPIO136	GPIO134	GND	VDD11	GND	GND	GND	GND	GND	USB _AVSS	GND	JTAG _TRST_N	JTAG _TMS	JTAG _TCK	GPIO61	GPIO60	10	
9	GPIO139	GPIO138	GPIO147	GPIO142	VDD33	VDD33	GND	GND	GND	GND	GND	USB _AVSS	USB _RREF	USB _AVDD	USB _VBUS	MRESET _N	MRESET _OUT	USB _GND	9	
8	GPIO141	GPIO143	GPIO140	GPIO148	ANF_VDD _PRG	VDD33	GND	GND	DVSS	DVDD	VDD11	USB _VD33	USB _VD33	USB _GND	USB _GND	USB _GND	USB _DM1	USB _DP1	8	
7	GPIO145	GPIO149	GPIO144	CTRSTBY B	RTC_VDD 33	VDD11	GND	DVDDQ	DVSS	DVDD	VDD11	GND	VDD33	CONFIG0	USB _GND	USB _GND	USB _DM2	USB _DP2	7	
6	RTC_XI	GPIO148	GPIO150	RTC_PWRGO OD	GND	VDD33	VDD11	DVDDQ	DVDDQ	DVDDQ	DVDDQ	VDD33	TMC2	ADC1 _AVDD	ADC1 _VREFP	ADC1 _IN6	ADC1 _IN8	USB _GND	6	
5	RTC_XO	GPIO151	GPIO154	GND	DDR _DQ6	GND	GND	GND	DDR _VREF	DDR _ADDR0	GND	THMODE	TMC1	CONFIG2	ADC1 _AGND	ADC1 _VREFN	ADC1 _IN4	ADC1 _IN7	5	
4	GPIO152	GPIO153	GND	DDR _DQ0	DDR _DQ0S0	DDR _DQ01	DDR _DQ07	DDR _MZQ	GND	DDR _ADDR12	DDR _BA0	DDR _ADDR5	DDR _ADDR7	DDR _ADDR1	DDR _ADDR9	CONFIG1	ADC1 _IN1	ADC1 _IN2	ADC1 _IN0	4
3	GPIO155	DDR _DQ14	DDR _DQ4	DDR _DQS_N0	DDR _DM0	DDR _DQ3	DDR _DQ5	GND	DDR _ADDR10	DDR _RAS	DDR _ADDR15	DDR _ADDR3	DDR _ADDR4	DDR _ADDR9	DDR _ADDR14	DDR _RESET_N	GND	ADC1 _IN3	3	
2	DDR _DQ12	DDR _DQ10	DDR _DQ2	DDR _DM1	DDR _DQS_N1	DDR _DQ9	DDR _DQ15	DDR _CLKP	DDR _CLKEN	DDR _WE	DDR _CAS	DDR _BA2	DDR _ADDR2	DDR _ADDR11	DDR _ADDR13	GND	MCLK_XO	GND	2	
1	GND	DDR _DQ8	GND	DDR _DQS1	GND	DDR _DQ11	DDR _DQ13	DDR _CLKN	GND	DDR _CS0	DDR _ODT0	DDR _BA1	GND	DDR _ADDR6	DDR _ADDR8	GND	MCLK_XI	GND	1	

図 1.5 RZ/N1D 端子配置 BGA-324 (上面図)

1.5.3 RZ/N1S BGA-324 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	
18	GND	GPIO69	GND	GPIO48	GPIO55	GPIO59	GPIO12	GPIO17	GPIO20	GND	GPIO0	GPIO2	GPIO6	GND	GPIO88	GPIO86	GPIO84	GND	18
17	GPIO67	GPIO68	GPIO70	GPIO50	GPIO51	GPIO57	GND	GPIO14	GPIO19	GPIO21	GPIO1	GPIO3	GPIO8	GPIO90	GPIO89	GPIO87	GPIO85	GPIO93	17
16	GPIO66	GPIO65	GPIO64	GPIO71	GPIO53	GPIO49	GPIO56	GPIO13	GPIO18	GPIO23	GPIO5	GPIO7	GPIO9	GPIO153	GPIO91	GPIO81	GPIO82	GPIO80	16
15	GND	GPIO62	GPIO63	GPIO72	GPIO52	GPIO54	GPIO58	GPIO15	GPIO16	GPIO22	GPIO4	GPIO11	GPIO10	GPIO154	GPIO152	GPIO151	GPIO92	GND	15
14	GPIO43	GPIO45	GPIO46	GPIO73	VDD33	VDD33	RGMII5_VDDQ	RGMII5_VDDQ	RGMII2_VDDQ	RGMII2_VDDQ	RGMII1_VDDQ	RGMII1_VDDQ	VDD33	GPIO155	GPIO157	GPIO150	GPIO83	GPIO94	14
13	GPIO38	GPIO39	GPIO44	GPIO47	GND	GND	GND	GND	GND	GND	GND	GND	VDD33	GPIO156	GPIO158	GPIO159	MRESET_OUT	GND	13
12	GPIO36	GPIO37	GPIO41	GPIO42	RGMII4_VDDQ	GND	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	GND	GND	GND	MRESET_N	MCLK_XO	MCLK_XI	12
11	GND	GPIO34	GPIO33	GPIO40	RGMII4_VDDQ	GND	VDD11	GND	GND	GND	GND	VDD11	PLL_AVDD	GND	GND	USB_VBUS	USB_GND	USB_GND	11
10	GPIO32	GPIO35	GPIO31	GPIO30	RGMII3_VDDQ	GND	VDD11	GND	GND	GND	GND	VDD11	PLL_AGND	USB_AVDD	USB_RREF	USB_GND	USB_DM1	USB_DP1	10
9	GPIO28	GPIO27	GPIO29	GPIO25	RGMII3_VDDQ	GND	VDD11	GND	GND	GND	GND	VDD11	VDD33	USB_VD33	USB_VD33	USB_GND	USB_DM2	USB_DP2	9
8	GPIO24	GPIO26	GPIO77	GND	GND	VDD33	VDD11	GND	GND	GND	GND	VDD11	GND	ADC1_AVDD	ADC1_VREFN	ADC1_IN7	USB_GND	USB_GND	8
7	GND	GPIO79	GPIO76	GPIO74	GND	VDD33	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	GND	ADC1_AGND	ADC1_VREFP	ADC1_IN2	ADC1_IN8	ADC1_IN6	7
6	GPIO61	GPIO78	GPIO75	GPIO133	GND	VDD33	GND	GND	GND	GND	GND	GND	GND	VDD33	TMC2	ADC1_IN0	ADC1_IN1	ADC1_IN3	6
5	GPIO60	VDD33	GPIO149	RTC_VDD33	GND	GND	VDD33	VDD33	VDD33	GND	GND	GND	VDD33	VDD33	JTAG_TRST_N	JTAG_TDI	JTAG_TMS	ADC1_IN4	5
4	GND	ANF_VDD_PRG	RTC_PWR_GOOD	GPIO123	GPIO125	GPIO127	GPIO129	GPIO130	GPIO131	GPIO132	GPIO134	GPIO136	CTRSTBY_B	CONFIG1	TMC1	JTAG_TCK	GPIO148	GND	4
3	RTC_XO	GPIO120	GPIO121	GPIO122	GPIO124	GPIO126	GPIO128	GPIO106	GPIO109	GPIO112	GPIO114	GPIO135	THMODE	CONFIG0	JTAG_TDO	GPIO145	GPIO146	GPIO147	3
2	RTC_XI	GPIO119	GPIO97	GPIO98	GPIO100	GPIO102	GPIO104	GPIO105	GPIO108	GPIO111	GPIO113	GPIO116	GPIO137	GPIO138	GPIO139	GPIO142	GPIO143	GPIO144	2
1	GND	GPIO95	GPIO96	GND	GPIO99	GPIO101	GPIO103	GND	GPIO107	GPIO110	GND	GPIO115	GPIO117	GPIO118	GND	GPIO140	GPIO141	GND	1

図 1.6 RZ/N1S 端子配置 BGA-324 (上面図)

1.5.4 RZ/N1S BGA-196 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	
14	GND	GPIO70	GND	GPIO48	GPIO51	GPIO57	GND	GPIO3	GPIO7	GPIO8	GND	GPIO89	GPIO87	GND	14
13	GPIO64	GPIO68	GPIO71	GPIO50	GPIO49	GPIO56	GPIO0	GPIO2	GPIO6	GPIO90	GPIO86	GPIO84	GPIO81	GPIO93	13
12	GPIO63	GPIO67	GPIO72	GPIO52	GPIO54	GPIO58	GPIO1	GPIO5	GPIO9	GPIO88	GPIO91	GPIO82	GPIO80	GPIO83	12
11	GPIO66	GPIO65	GPIO69	GPIO53	GPIO55	GPIO59	GPIO4	GPIO11	GPIO10	VDD33	GPIO85	GPIO92	GPIO94	GND	11
10	GND	GPIO45	GPIO62	GPIO73	VDD33	RGMI15_VDDQ	RGMI15_VDDQ	RGMI11_VDDQ	RGMI11_VDDQ	GND	VDD11	MRESET_OUT	MCLK_XO	MCLK_XI	10
9	GPIO47	GPIO43	GPIO42	GPIO44	VDD11	GND	VDD11	GND	VDD11	PLL_AVDD	PLL_AGND	MRESET_N	USB_VBUS	USB_GND	9
8	GPIO46	GPIO39	GPIO38	GPIO41	RGMI14_VDDQ	GND	GND	GND	GND	USB_AVDD	USB_RREF	USB_GND	USB_DM1	USB_DP1	8
7	GND	GPIO36	GPIO37	GPIO40	RGMI14_VDDQ	VDD11	GND	GND	VDD11	USB_VD33	USB_VD33	USB_GND	USB_DM2	USB_DP2	7
6	GPIO61	GPIO77	GPIO79	GPIO76	VDD33	GND	GND	GND	GND	GND	ADC1_AVDD	ADC1_VREFN	USB_GND	USB_GND	6
5	GPIO60	GPIO75	GPIO78	GPIO74	VDD11	GND	VDD11	VDD11	GND	VDD11	ADC1_AGND	ADC1_VREFP	ADC1_IN8	ADC1_IN7	5
4	GND	RTC_VDD33	VDD33	ANF_VDD_PRG	VDD33	GPIO105	GPIO107	GPIO112	VDD33	VDD33	TMC2	ADC1_IN2	ADC1_IN0	ADC1_IN6	4
3	RTC_XO	RTC_PWR_GOOD	GPIO97	GPIO95	GPIO100	GPIO103	GPIO111	GPIO115	GPIO117	CTRSTBY_B	CONFIG1	TMC1	ADC1_IN4	ADC1_IN3	3
2	RTC_XI	GPIO98	GPIO96	GPIO102	GPIO104	GPIO108	GPIO110	GPIO114	GPIO116	THMODE	CONFIG0	JTAG_TCK	JTAG_TMS	ADC1_IN1	2
1	GND	GPIO99	GPIO101	GND	GPIO106	GPIO109	GND	GPIO113	GPIO118	GND	JTAG_TDO	JTAG_TRST_N	JTAG_TDI	GND	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	

図 1.7 RZ/N1S 端子配置 BGA-196 (上面図)

1.5.5 RZ/N1L BGA-196 パッケージ

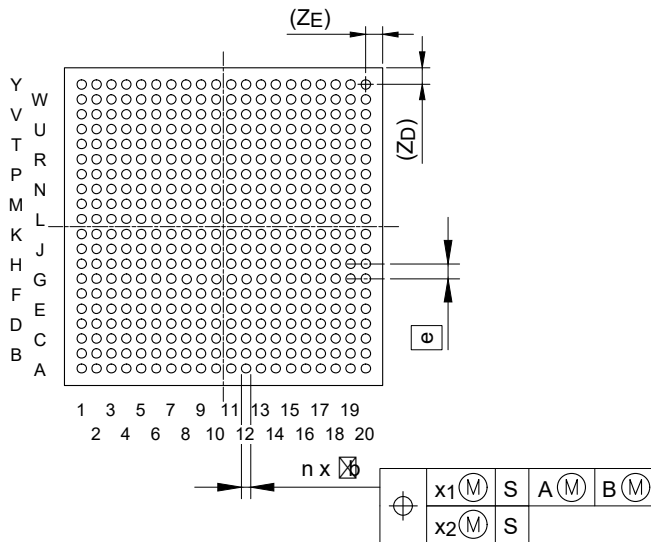
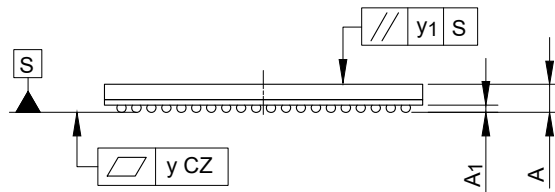
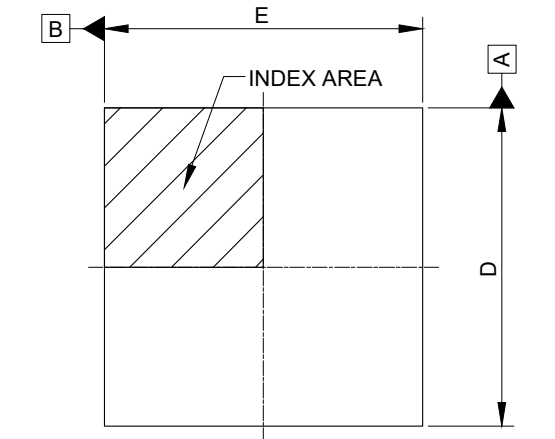
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	
14	GND	GPIO70	GND	GPIO48	GPIO51	GPIO57	GND	GPIO3	GPIO7	GPIO8	GND	GPIO89	GPIO87	GND	14
13	GPIO64	GPIO68	GPIO71	GPIO50	GPIO49	GPIO56	GPIO0	GPIO2	GPIO6	GPIO90	GPIO86	GPIO84	GPIO81	GPIO93	13
12	GPIO63	GPIO67	GPIO72	GPIO52	GPIO54	GPIO58	GPIO1	GPIO5	GPIO9	GPIO88	GPIO91	GPIO82	GPIO80	GPIO83	12
11	GPIO66	GPIO65	GPIO69	GPIO53	GPIO55	GPIO59	GPIO4	GPIO11	GPIO10	VDD33	GPIO85	GPIO92	GPIO94	GND	11
10	GND	GPIO45	GPIO62	GPIO73	VDD33	RGMI15_VDDQ	RGMI15_VDDQ	RGMI11_VDDQ	RGMI11_VDDQ	GND	VDD11	MRESET_OUT	MCLK_XO	MCLK_XI	10
9	GPIO47	GPIO43	GPIO42	GPIO44	VDD11	GND	VDD11	GND	VDD11	PLL_AVDD	PLL_AGND	MRESET_N	USB_VBUS	USB_GND	9
8	GPIO46	GPIO39	GPIO38	GPIO41	RGMI14_VDDQ	GND	GND	GND	GND	USB_AVDD	USB_RREF	USB_GND	USB_DM1	USB_DP1	8
7	GND	GPIO36	GPIO37	GPIO40	RGMI14_VDDQ	VDD11	GND	GND	VDD11	USB_VD33	USB_VD33	USB_GND	USB_DM2	USB_DP2	7
6	GPIO61	GPIO77	GPIO79	GPIO76	VDD33	GND	GND	GND	GND	GND	ADC1_AVDD	ADC1_VREFN	USB_GND	USB_GND	6
5	GPIO60	GPIO75	GPIO78	GPIO74	VDD11	GND	VDD11	VDD11	GND	VDD11	ADC1_AGND	ADC1_VREFP	ADC1_IN8	ADC1_IN7	5
4	GND	VDD33	VDD33	GND	VDD33	GPIO105	GPIO107	GPIO112	VDD33	VDD33	TMC2	ADC1_IN2	ADC1_IN0	ADC1_IN6	4
3	N.C.	VDD33	GPIO97	GPIO95	GPIO100	GPIO103	GPIO111	GPIO115	GPIO117	CTRSTBY_B	CONFIG1	TMC1	ADC1_IN4	ADC1_IN3	3
2	GND	GPIO98	GPIO96	GPIO102	GPIO104	GPIO108	GPIO110	GPIO114	GPIO116	THMODE	CONFIG0	JTAG_TCK	JTAG_TMS	ADC1_IN1	2
1	GND	GPIO99	GPIO101	GND	GPIO106	GPIO109	GND	GPIO113	GPIO118	GND	JTAG_TDO	JTAG_TRST_N	JTAG_TDI	GND	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	

図 1.8 RZ/N1L 端子配置 BGA-196 (上面図)

1.6 外形寸法図

1.6.1 BGA-400 パッケージ

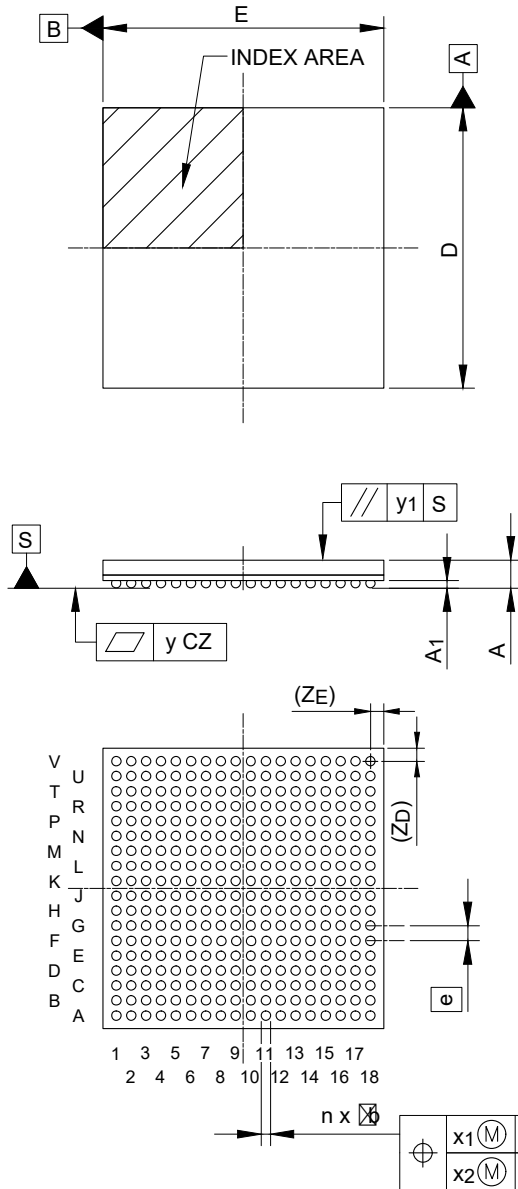
JEITA Package Code	RENESAS Code	MASS (Typ) [g]
P-LFBGA400-17x17-0.80	PLBG0400GB-A	0.88



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	16.90	17.00	17.10
E	16.90	17.00	17.10
A	—	—	1.70
A1	0.35	0.40	0.45
\square	—	0.80	—
b	0.45	0.50	0.55
x1	—	—	0.15
x2	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
n	—	400	—
Z _D	—	0.90	—
Z _E	—	0.90	—

1.6.2 BGA-324 パッケージ

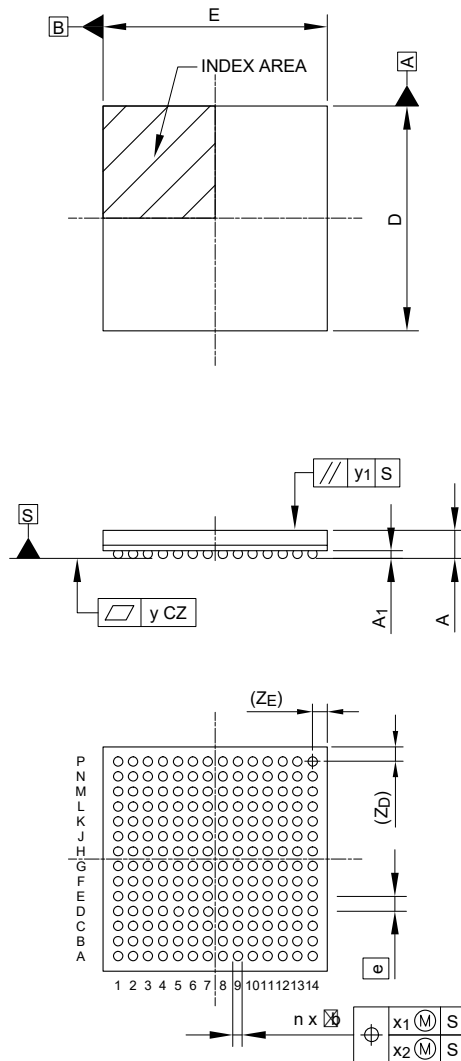
JEITA Package Code	RENESAS Code	MASS (Typ) [g]
P-LFBGA324-15x15-0.80	PLBG0324GA-A	0.70



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	14.90	15.00	15.10
E	14.90	15.00	15.10
A	—	—	1.70
A1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x1	—	—	0.15
x2	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
n	—	324	—
ZD	—	0.70	—
ZE	—	0.70	—

1.6.3 BGA-196 パッケージ

JEITA Package Code	RENESAS Code	MASS (Typ) [g]
P-LFBGA196-12x12-0.80	PLBG0196GA-A	0.43



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.92	12.0	12.08
E	11.92	12.0	12.08
A	—	—	1.70
A1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x1	—	—	0.15
x2	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
n	—	196	—
ZD	—	0.80	—
ZE	—	0.80	—

改訂記録	RZ/N1Dグループ、RZ/N1Sグループ、RZ/N1Lグループ データシート
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2018.03.30	—	初版発行
0.95	2018.10.19	全章	すべての章で表現修正、および体裁修正
		1	特長、DMA（16ch DMA→各 8ch DMA） 説明修正
		1	特長、タイマ（タイマブロック（6×16b+2×32b）→タイマ（16bit×6ch, 32bit×2ch）） 表現修正
		1	特長、ADC（ADC @ 1MHz→ADC（最大 1MSPS）） 説明修正
		1	特長、MSEBI（外部バスインタフェース） 説明追加
		1	特長、補足部（EtherCAT） 説明修正
		2	1.1 仕様概要、表 1.1 仕様概要（1/8）、CPU、L1 キャッシュ 表現修正
		2	1.1 仕様概要、表 1.1 仕様概要（1/8）、ウォッチドッグ 説明修正
		3	1.1 仕様概要、表 1.1 仕様概要（2/8）、セマフォ 説明追加
		3	1.1 仕様概要、表 1.1 仕様概要（2/8）、DDR2/3 コントローラ 表現修正
		4	1.1 仕様概要、表 1.1 仕様概要（3/8）、Quad SPI（QSPI） 説明追加
		4	1.1 仕様概要、表 1.1 仕様概要（3/8）、SD/SDIO/eMMC（eMMC カード→eMMC、 ADMA→ADMA2） 説明修正
		4	1.1 仕様概要、表 1.1 仕様概要（3/8）、R-IN Engine 説明修正
		5	1.1 仕様概要、表 1.1 仕様概要（4/8）、アドバンスド 5 ポートスイッチ（Advanced 5 Port Switch : A5PSW） 説明修正
		6	1.1 仕様概要、表 1.1 仕様概要（5/8）、EtherCAT スレーブコントローラ（分配→分散） 説明修正
		6	1.1 仕様概要、表 1.1 仕様概要（5/8）、SercosIII スレーブコントローラ 説明修正
		7	1.1 仕様概要、表 1.1 仕様概要（6/8）、独立した GMAC 説明修正
		8	1.1 仕様概要、表 1.1 仕様概要（7/8）、CAN 1、2 説明修正
		9	1.1 仕様概要、表 1.1 仕様概要（8/8）、電源電圧（3.3V→3.3 V±0.3V、1.8V、1.5V→ 1.8V±0.1V、1.5V±0.075V）、その他 説明修正
		13	1.3 製品ファミリ/パッケージ別機能比較、表 1.2 ルネサス CPU サブシステム （Peripherals SoC→Peripheral Group）、その他 説明修正
20	1.6 外形寸法図、1.6.1 BGA-400 パッケージ 図修正		
21	1.6 外形寸法図、1.6.2 BGA-324 パッケージ 図修正		
22	1.6 外形寸法図、1.6.3 BGA-196 パッケージ 図修正		
1.00	2019.03.29	全章	すべての章で表現修正、および体裁修正
		14	1.4 製品一覧、表 1.3 製品一覧、RZ/N1D 説明修正
1.10	2020.05.29	1	特長、セキュリティ機能 説明追加
		3	1.1 仕様概要、表 1.1 仕様概要（2/8）、ダイレクトメモリアクセスコントローラ（Direct Memory Access Controller : DMAC） 説明修正
		4	1.1 仕様概要、表 1.1 仕様概要（3/8）、Quad SPI（QSPI） 説明修正
		9	1.1 仕様概要、表 1.1 仕様概要（8/8）、セキュリティ 説明追加
		13	1.3 製品ファミリ/パッケージ別機能比較、表 1.2 ルネサス CPU サブシステム、セキュ リティ機能 説明追加
1.20	2020.09.30	14	1.4 製品一覧、表 1.3 製品一覧、セキュリティ 説明追加
		1	特長、周辺機能、PMWTimer 説明追加
		8	1.1 仕様概要、表 1.1 仕様概要（7/8）、PMWTimer 説明追加
		10	1.2.1 RZ/N1D、図 1.1 RZ/N1D ブロック図、PMWTimer 図修正
		11	1.2.2 RZ/N1S、図 1.2 RZ/N1S ブロック図、PWMTimer 図修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2020.09.30	12	1.2.3 RZ/N1L、図 1.3 RZ/N1L ブロック図、PWMTimer 図修正
		13	1.3 製品ファミリ/パッケージ別機能比較、表 1.2 ルネサス CPU サブシステム、PWMTimer 説明追加
1.30	2021.02.28	5	1.1 仕様概要、表 1.1 仕様概要 (4/8)、アドバンスド 5 ポートスイッチ (Advanced 5 Port Switch : A5PSW) 説明修正

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれかに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。