

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RA*-A0076A/J	Rev.	第1版
題名	RA6T2 グループ SCI の RDR、TDR のアクセス方法について の更新		情報分類	技術情報	
適用製品	RA6T2 グループ	対象ロット等	関連資料	RA6T2 グループ ユーザーズ マニュアル: ハードウェア Rev.1.30	
		全ロット			

RA6T2 グループ ユーザーズマニュアル ハードウェア編 Rev.1.30 において、RDRとTDRのアクセス方法について更新しましたので連絡いたします。

## 【訂正前】

### 26.2.2 RDR：受信データレジスタ

Base address:  $SCI\_Bn = 0x4011\_8000 + 0x0100 \times n$  ( $n = 0$  to  $4, 9$ )

Offset address:  $0x00$

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field	-	-	-	FFER	FPER	DR	MPB	RDAT[8:0]								
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ RDAT レジスタは、受信データを格納するための9 ビットのレジスタです。 受信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は [7:0] に、9 ビットデータを選択した場合は[8:0] に格納されます。0 は未使用ビットに格納され ます。	R
9	MPB	マルチプロセッサフラグ 0: データ送信サイクル 1: ID 送信サイクル	R
10	DR	受信データレディフラグ FRSR.DR の読み出しが可能です。	R
11	FPER	FIFO パリティエラーフラグ 調歩同期式モードでのみ有効 0: 受信FIFO からの読み出しデータにパリティエラーが存在しません。 1: 受信 FIFO からの読み出しデータにパリティエラーが存在します。	R
12	FFER	FIFO フレーミングエラーフラグ 調歩同期式モードでのみ有効 0: 受信FIFO からの読み出しデータにフレーミングエラーが存在しません。 1: 受信 FIFO からの読み出しデータにフレーミングエラーが存在します。	R
23:13	-	読むと 0 が読めます。	R
24	ORER	オーバーランエラーフラグ CSR.ORER の読み出しが可能です。	R
26:25	-	読むと 0 が読めます。	R
27	PER	パリティエラーフラグ CSR.PER の読み出しが可能です。	R

28	FER	フレーミングエラーフラグ CSR.FER の読み出しが可能です。	R
31:29	-	読むと 0 が読めます。	R

FIFO モード (CCR3.FM = 1) では、このレジスタは 16 段 FIFO バッファ構成です。

26.2.3 TDR：送信データレジスタ

Base address: SCI\_Bn = 0x4011\_8000 + 0x0100 × n (n = 0 to 4, 9)

Offset address: 0x04

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field	-	-	-	TSYN C	-	-	MPBT	TDAT[8:0]								
Value after reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ TDAT レジスタは、送信データを設定するための9 ビットのレジスタです。 送信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は [7:0] に、9 ビットデータを選択した場合は[8:0] に設定されます。 バイトアクセスの場合は、TDR [15:8] を書き込んでから TDR [7:0] を書き込みます。	R/W
9	MPBT	マルチプロセッサ送信ビットフラグ 送信フレーム内のマルチプロセッサビットの値このビットは調歩同期式モードおよびマン チェスタモードで使用されます。このビットが使用されていない場合書き込むときは、初 期値を書き込みます。 0: データ送信サイクル 1: ID 送信サイクル	R/W
11:10	-	読むと 1 が読めます。書く場合、1 としてください。	R/W
12	TSYNC	送信SYNC データ マンチェスタモードでMCR.SBSEL = 1 かつMCR.SYNSEL = 1 であるときに有効です。こ のビットが使用されていない場合は、初期値を書き込みます。 0: スタートビットはDATA SYNC として送信されます。 1: スタートビットはCOMMAND SYNC として送信されます。	R/W
31:13	-	読むと 1 が読めます。書く場合、1 としてください。	R/W

FIFO モード (CCR3.FM = 1) では、このレジスタは 16 段 FIFO バッファ構成です。

31.3.2 CRC スヌープ機能

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みをモニタし、そのレジスタアドレスで読み出し/書き込みしたデータに自動 CRC 演算を実行します。CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR レジスタにデータを書き込む必要がありません。「31.2.5. CRCSAR：スヌープアドレスレジスタ」で指定したすべての I/O レジスタが、CRC スヌープの対象となります。CRC スヌープは、SCIIn.TDR (n = 0~4, 9) レジスタへの書き込みと、SCIIn.RDR (n = 0~4, 9) レジスタからの読み出しをモニタするのに役立ちます。

この機能を使用するには、特定のレジスタの下位アドレス 14 ビットを CRCSAR レジスタの CRCSA13~CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象レジスタへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象レジスタからの読み出しに対してスヌープを有効にします。CRCSWR ビットの書き込みが完了する前に対象 I/O レジスタへのアクセスを実行することは可能です。この場合、データは CRCDIR レジスタに格納されません。この問題を避けるには、I/O レジスタにアクセスする前に、CRCSWR ビットを読み戻して、書き込みの完了を確認してください。

CRCSEN ビットとCRCSWR ビットの両方を1 にして、バスマスタモジュール (CPU、DMAC、DTC など) の対象となるレジスタにデータを書き込むと、CRC 演算器はそのデータをCRCDIR レジスタに格納してCRC 演算を

実行します。同様に、CRCSEN ビットを1、CRCSWR ビットを0 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となるレジスタからデータを読み出すと、CRC 演算器はそのデータをCRCDIR レジスタに格納してCRC 演算を実行します。

CRC-8、CRC-16 およびCRC-CCITT 生成多項式を使用してCRC コードが生成される場合、対象となるレジスタはバイト（8 ビット）でアクセスできます。同様に、CRC-32 およびCRC-32C 生成多項式を使用してCRC コードを生成する場合、対象となるレジスタはワード（32 ビット）でアクセスできます。

CPU 停止時はCRC スヌープ動作は無効です。

CRC がPSARC.PSARC1 ビットによってセキュアになっている場合、CRC スヌープ機能が使用可能なのは指定されたI/O レジスタへのセキュアアクセスです。CRC がPSARC.PSARC1 ビットによって非セキュアになっている場合、CRC スヌープ機能が使用可能なのは指定された I/O レジスタへの非セキュアアクセスです。

【訂正後】

26.2.2 RDR/RDR\_BY：受信データレジスタ

Base address: SCI\_Bn = 0x4011\_8000 + 0x0100 × n (n = 0 to 4, 9)

Offset address: 0x00

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

  

Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field	-	-	-	FFER	FPER	DR	MPB	RDAT[8:0]								
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ RDAT レジスタは、受信データを格納するための9 ビットのレジスタです。 受信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は [7:0] に、9 ビットデータを選択した場合は[8:0] に格納されます。0 は未使用ビットに格納されます。 <b>RDR [7:0]をバイトアクセスする場合には、RDR_BYを使用してください。</b>	R
9	MPB	マルチプロセッサフラグ 0: データ送信サイクル 1: ID 送信サイクル	R
10	DR	受信データレディフラグ FRSR.DR の読み出しが可能です。	R
11	FPER	FIFO パリティエラーフラグ 調歩同期モードでのみ有効 0: 受信FIFO からの読み出しデータにパリティエラーが存在しません。 1: 受信 FIFO からの読み出しデータにパリティエラーが存在します。	R
12	FFER	FIFO フレーミングエラーフラグ 調歩同期モードでのみ有効 0: 受信FIFO からの読み出しデータにフレーミングエラーが存在しません。 1: 受信 FIFO からの読み出しデータにフレーミングエラーが存在します。	R
23:13	-	読むと 0 が読めます。	R
24	ORER	オーバーランエラーフラグ CSR.ORER の読み出しが可能です。	R
26:25	-	読むと 0 が読めます。	R
27	PER	パリティエラーフラグ CSR.PER の読み出しが可能です。	R
28	FER	フレーミングエラーフラグ CSR.FER の読み出しが可能です。	R
31:29	-	読むと 0 が読めます。	R

FIFO モード (CCR3.FM = 1) では、このレジスタは 16 段 FIFO バッファ構成です。

**FIFO モードを使用する場合には、RDR を使用して 32 ビットでアクセスしてください。**

26.2.3 TDR/TDRLL/TDR LH：送信データレジスタ

Base address: SCI\_Bn = 0x4011\_8000 + 0x0100 × n (n = 0 to 4, 9)

Offset address: 0x04 (TDR/TDRLL)

0x05 (TDR LH)

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

  

Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field	-	-	-	TSYN C	-	-	MPBT	TDAT[8:0]								
Value after reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ TDAT レジスタは、送信データを設定するための9 ビットのレジスタです。 送信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は [7:0] に、9 ビットデータを選択した場合は[8:0] に設定されます。 バイトアクセスの場合は、TDR [15:8] を書き込んでから TDR [7:0] を書き込みます。 <b>TDR [7:0]をバイトアクセスする場合には TDRLL を、TDR[15:8]をバイトアクセスする場合には TDR LH を使用してください。</b>	R/W

9	MPBT	マルチプロセッサ送信ビットフラグ 送信フレーム内のマルチプロセッサビットの値このビットは調歩同期式モードおよびマン チェスタモードで使用されます。このビットが使用されていない場合書き込むときは、初 期値を書き込みます。 0: データ送信サイクル 1: ID 送信サイクル	R/W
11:10	-	読むと 1 が読めます。書く場合、1 としてください。	R/W
12	TSYNC	送信SYNC データ マンチェスタモードでMCR.SBSEL = 1 かつMCR.SYNSEL = 1 であるときに有効です。こ のビットが使用されていない場合は、初期値を書き込みます。 0: スタートビットはDATA SYNC として送信されます。 1: スタートビットはCOMMAND SYNC として送信されます。	R/W
31:13	-	読むと 1 が読めます。書く場合、1 としてください。	R/W

FIFO モード (CCR3.FM = 1) では、このレジスタは 16 段 FIFO バッファ構成です。

FIFO モードを使用する場合には、TDR を使用して 32 ビットでアクセスしてください。

### 31.3.2 CRC スヌープ機能

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みをモニタし、そのレジスタアドレスで読み出し／書き込みしたデータに自動 CRC 演算を実行します。CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR レジスタにデータを書き込む必要がありません。「31.2.5. CRCSAR : スヌープアドレスレジスタ」で指定したすべての I/O レジスタが、CRC スヌープの対象となります。CRC スヌープは、SCIn.TDR (n = 0~4, 9) レジスタへの書き込みと、SCIn.RDR (n = 0~4, 9) レジスタからの読み出しをモニタするのに役立ちます。

この機能を使用するには、特定のレジスタの下位アドレス 14 ビットを CRCSAR レジスタの CRCSA13~CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象レジスタへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象レジスタからの読み出しに対してスヌープを有効にします。CRCSWR ビットの書き込みが完了する前に対象 I/O レジスタへのアクセスを実行することは可能です。この場合、データは CRCDIR レジスタに格納されません。この問題を避けるには、I/O レジスタにアクセスする前に、CRCSWR ビットを読み戻して、書き込みの完了を確認してください。

CRCSEN ビットとCRCSWR ビットの両方を1 にして、バスマスタモジュール (CPU、DMAC、DTC など) の対象となるレジスタにデータを書き込むと、CRC 演算器はそのデータをCRCDIR レジスタに格納してCRC 演算を実行します。同様に、CRCSEN ビットを1、CRCSWR ビットを0 にして、バスマスタモジュール (CPU、DMAC、DTC など) の対象となるレジスタからデータを読み出すと、CRC 演算器はそのデータをCRCDIR レジスタに格納してCRC 演算を実行します。

CRC-8、CRC-16 およびCRC-CCITT 生成多項式を使用してCRC コードが生成される場合、対象となるレジスタはバイト (8 ビット) でアクセスできます。RDR、TDRをアクセスする場合は、RDR\_BY、TDRLLを使用してください。

同様に、CRC-32 およびCRC-32C 生成多項式を使用してCRC コードを生成する場合、対象となるレジスタはワード (32 ビット) でアクセスできます。RDR、TDRについてはRDATA、TDATA以外のデータを含むCRCコードを生成することにご注意ください。

CPU 停止時はCRC スヌープ動作は無効です。

CRC がPSARC.PSARC1 ビットによってセキュアになっている場合、CRC スヌープ機能が使用可能なのは指定されたI/O レジスタへのセキュアアクセスです。CRC がPSARC.PSARC1 ビットによって非セキュアになっている場合、CRC スヌープ機能が使用可能なのは指定された I/O レジスタへの非セキュアアクセスです。