

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>

E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A644A/J	Rev.	第1版
題名	ディープスタンバイコントロールレジスタ (DSCTR) および パワーオンリセット例外処理に関する誤記訂正および注意事項		情報分類	技術情報	
適用製品	R5S72650P200BG R5S72651P200BG R5S72652P200BG R5S72653P200BG R5S72050W200BG	対象ロット等 全ロット	関連資料	<ul style="list-style-type: none"> SH7265 グループハードウェアマニュアル Rev. 1.00 (RJJ09B0374-0100) SH7205 グループハードウェアマニュアル Rev. 1.00 (RJJ09B0399-0100) 	

上記製品におきまして、ディープスタンバイコントロールレジスタ (DSCTR) およびパワーオンリセット例外処理に関する誤記訂正および注意事項がございますので、ご連絡させていただきます。ご理解、ご了承いただきたくよろしくお願いいたします。

1. 誤記訂正

誤：

35.3(SH7265)/32.3(SH7205) 各動作モードにおけるレジスタの状態の一覧

モジュール	レジスタ名	ディープスタンバイ
低消費電力モード	DSCTR	保持

正：

35.3(SH7265)/32.3(SH7205) 各動作モードにおけるレジスタの状態の一覧

モジュール	レジスタ名	ディープスタンバイ
低消費電力モード	DSCTR	初期化

2. 注意事項

●ディープスタンバイコントロールレジスタ (DSCTR) のビット 7、ビット 6 からの読み出し値は不定です。

●/RES 端子によるパワーオンリセット解除後、ディープスタンバイコントロールレジスタ (DSCTR) のビット 6 (RAMBOOT) に“1”を書き込んだ状態でディープスタンバイモードへ遷移し解除した後に、再度/RES によるパワーオンリセットを行う前に WDT によるパワーオンリセット/H-UDI リセットが発生した場合、これらのリセット例外処理は下記のような動作となります。

プログラムカウンタ (PC) の 取り出し番地	スタックポインタ (SP) の 取り出し番地
H' FF800000	H' FF800004

したがって、上記の動作に該当する場合は、該当保持 RAM 領域に PC および SP を保持しておいてください。

●/RES 端子によるパワーオンリセット解除後、ディープスタンバイモードへ遷移し解除した後に、再度/RES によるパワーオンリセットを行う前に WDT によるパワーオンリセット/H-UDI リセットが発生する可能性がある場合は、ディープスタンバイモード解除後にディープスタンバイ解除要因フラグレジスタ (DSFR) のビット 15 (IOKEEP) およびビット 9~0 が全て 0 クリアされた状態で (1 の場合は 1 リード後に 0 ライトしてください)、WDT および H-UDI の設定を行ってください。

IOKEEP ビットが 0 でない状態で WDT および H-UDI の設定を行い、/RES 端子によるパワーオンリセットを行う前に WDT によるパワーオンリセット/H-UDI リセットが発生した場合、表 33.4 (SH7265 の場合)/表 30.4 (SH7205 の場合)以外の、ディープスタンバイで保持されている全端子が、保持されたままになります。また、ディープスタンバイコントロールレジスタ (DSCTR) のビット 7 (CSOKEEPE) を“1”に設定している場合には、表 33.4 (SH7265 の場合)/表 30.4 (SH7205 の場合)の外部バス制御端子も保持されたままになります。

ビット 9~0 の全てのフラグが 0 でない状態で WDT および H-UDI の設定を行い、/RES 端子によるパワーオンリセットを行う前に WDT によるパワーオンリセット/H-UDI リセットが発生した場合、内部のディープスタンバイ解除要因情報がクリアされず、以降ディープスタンバイモードに再度遷移しようとしたときに誤って解除されます。

以上