

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-16C-A224A/J	Rev.	第1版
題名	R32C/117グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	R32C/117グループ	対象ロット等	関連資料	R32C/117グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (RJJ09B0565-0110)	

R32C/117グループ ユーザーズマニュアル ハードウェア編 Rev.1.10において誤記がありましたので、以下のとおり訂正いたします。

## 〈訂正内容〉

### •Page 67, 68 of 604

表4.36、表4.37のレジスタ名を以下のとおり訂正いたします。

CAN0 **アクセプタンス**マスクレジスタk **【誤】**

CAN0 **マスク**レジスタk **【正】**

### •Page 70 of 604

表4.39のCOMSMRレジスタのリセット後の値を以下のとおり訂正いたします。

**XXXX XX**00b **【誤】**

**0000 00**00b **【正】**

•Page 86 of 604

図8.1を以下のとおり訂正いたします。

【誤】

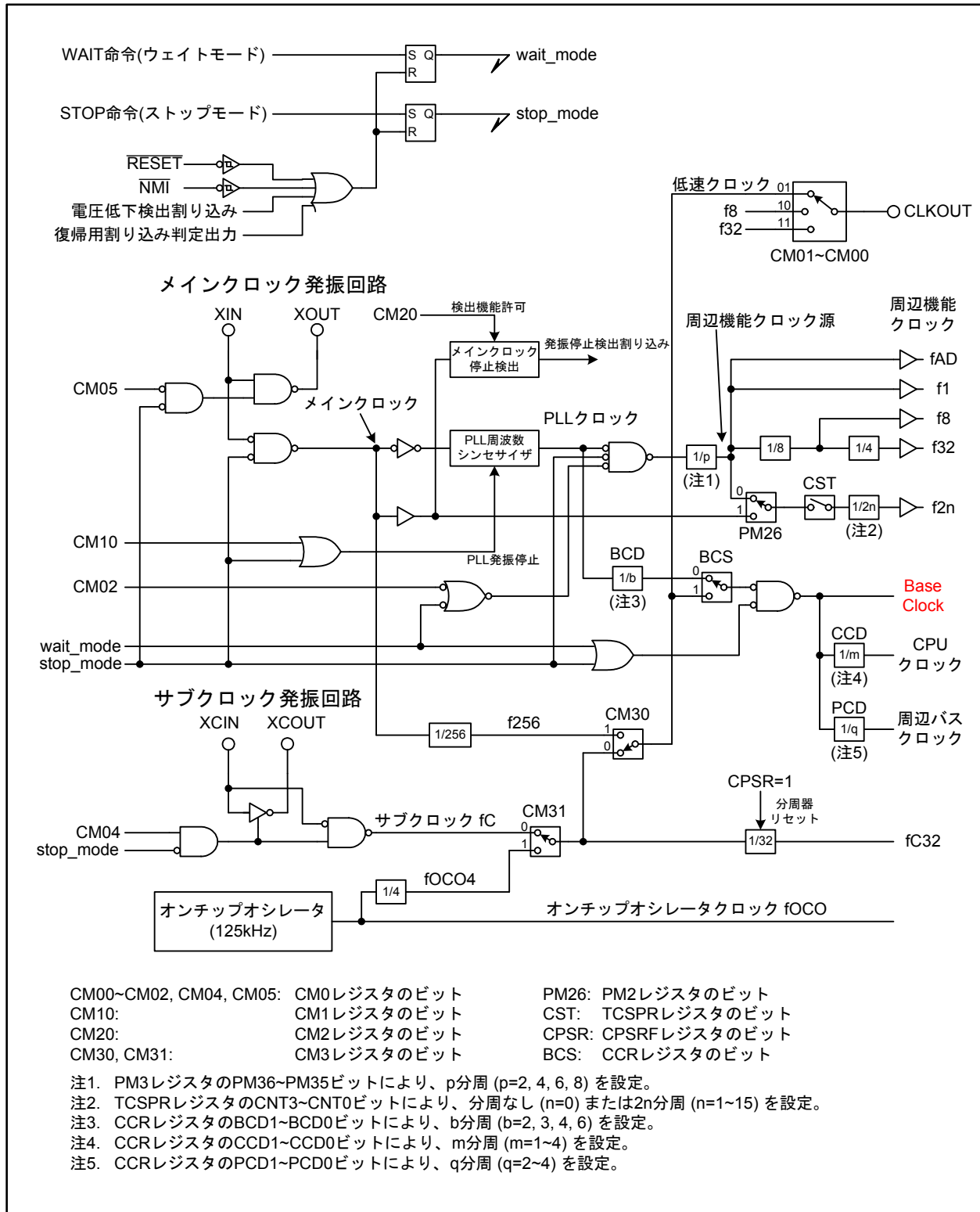


図8.1 クロック発生回路のブロック図

【正】

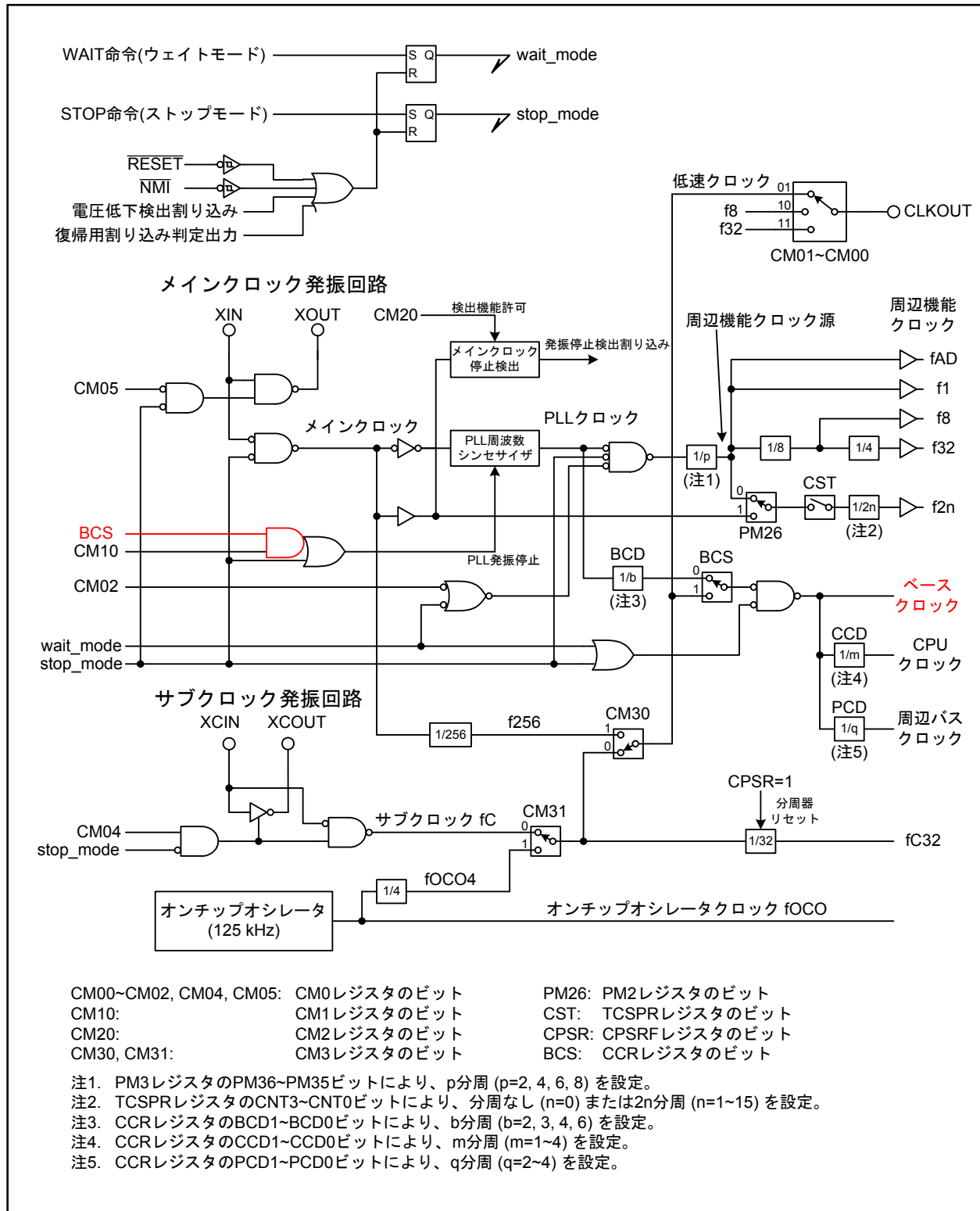


図8.1 クロック発生回路のブロック図

## •Page 88 of 604

図8.3の注8の文章に以下のとおり追記いたします。

## 【誤】

注8. このビットはウォッチドッグタイマを動作させる前に設定してください。

## 【正】

注8. このビットはウォッチドッグタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください。

## •Page 89 of 604

図8.4の注2の文章を以下のとおり訂正いたします。

## 【誤】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”にすることはできません。

## 【正】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”にしてもPLL周波数シンセサイザの発振は停止しません。

## •Page 118 of 604

9.3.1項の本文下部の数式を以下のとおり訂正いたします。

## 【誤】

- メモリ拡張モードの場合

$$0080000h < (CB23 \times 2^{18}) < (CB12 \times 2^{18}) < (CB01 \times 2^{18}) \leq 3DC0000h$$

- マイクロプロセッサモードの場合

$$0080000h < (CB23 \times 2^{18}) < (CB12 \times 2^{18}) < (CB01 \times 2^{18}) \leq 3FC0000h$$

## 【正】

- メモリ拡張モードの場合

$$0080000h \leq (CB23 \times 2^{18}) \leq (CB12 \times 2^{18}) \leq (CB01 \times 2^{18}) \leq 3DC0000h$$

- マイクロプロセッサモードの場合

$$0080000h \leq (CB23 \times 2^{18}) \leq (CB12 \times 2^{18}) \leq (CB01 \times 2^{18}) \leq 3FC0000h$$

## •Page 121, 122 of 604

図9.7、図9.8、図9.9の設定範囲と注2を以下のとおり訂正いたします。

## 【誤】

## •図9.7

メモリ拡張モード時： 04h~F8h

マイクロプロセッサモード時： 04h~FFh

注2. CB12レジスタの設定値より大きい値を設定してください。

## •図9.8

メモリ拡張モード時： 03h~F7h

マイクロプロセッサモード時： 03h~FEh

注2. CB23レジスタの設定値より大きい値を設定してください。また、CB01レジスタの設定値より小さい値を設定してください。

## •図9.9

メモリ拡張モード時： 02h~F6h

マイクロプロセッサモード時： 02h~FDh

注2. CB12レジスタの設定値より小さい値を設定してください。

## 【正】

## •図9.7

メモリ拡張モード時： 02h~F8h

マイクロプロセッサモード時： 02h~FFh

注2. CB12レジスタの設定値以上の値を設定してください。

## •図9.8

メモリ拡張モード時： 02h~F8h

マイクロプロセッサモード時： 02h~FFh

注2. CB23レジスタの設定値以上の値を設定してください。また、CB01レジスタの設定値以下の値を設定してください。

## •図9.9

メモリ拡張モード時： 02h~F8h

マイクロプロセッサモード時： 02h~FFh

注2. CB12レジスタの設定値以下の値を設定してください。

## •Page 140 of 604

図10.1の注1を以下のとおり変更いたします。

## 【誤】

注1. PRC2ビットは“1”を書いた後、任意の番地に書き込みを実行すると“0”になります。他のビットは“0”になりませんので、プログラムで“0”にしてください。

## 【正】

注1. PRC2ビットは“1”を書いた後、任意の番地に書き込みを実行すると“0”になります。

•Page 169 of 604

12章 計算式下の本文の一部を以下のとおり変更いたします。

【誤】

たとえば、CPUクロック周波数が**50MHz**で周辺バスクロック周波数がその1/2、プリスケータの分周値が16の場合、ウォッチドッグタイマの周期は約**21ms**となります。

【正】

たとえば、CPUクロック周波数が**64 MHz**で周辺バスクロック周波数がその1/2、プリスケータの分周値が16の場合、ウォッチドッグタイマの周期は約**16.4 ms**となります。

•Page 181 of 604

表13.5の外部バスのアドレスを以下のとおり訂正いたします。

【誤】

表 13.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数(注2)	基準クロック
外部バス	000 <b>6</b> 0000h~01FFFFFFh FE000000h~FFDFFFFFFh	8/16/32 ビット	EBCnレジスタ(n=0~3) の設定値に依存(注5)	周辺バスクロック

【正】

表 13.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数(注2)	基準クロック
外部バス	000 <b>8</b> 0000h~01FFFFFFh FE000000h~FFDFFFFFFh	8/16/32 ビット	EBCnレジスタ(n=0~3) の設定値に依存(注5)	周辺バスクロック

•Page 238 of 604

17.3 本文の3段落目の一部を以下のとおり削除いたします。

【誤】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA<sub>i</sub>、TA<sub>i-1</sub> (i=4,1,2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。**このモードではTA<sub>i</sub>レジスタ設定値とTA<sub>i1</sub>レジスタ設定値の合計がTB<sub>2</sub>レジスタ設定値と一致するようにします。**

【正】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA<sub>i</sub>、TA<sub>i-1</sub> (i=4, 1, 2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

## •Page 243 of 604

図17.17の注2を以下のとおり訂正いたします。

## 【誤】

注2. INV1レジスタのINV11ビットが“1”（三相モード1）の場合

## 【正】

注2. INVC1レジスタのINV11ビットが“1”（三相モード1）の場合

## •Page 253 of 604

図18.7のUiIRSビットの機能欄を以下のとおり訂正いたします。

## 【誤】

0: UiTBレジスタ空 (TI=1)

## 【正】

0: 送信バッファ空 (TI=1)

## •Page 266 of 604

図18.20の波形の名称を以下のとおり訂正いたします。

## 【誤】

UiC0レジスタのTXEPTフラグ

## 【正】

UiC0レジスタのTXEPTビット

## •Page 266 of 604

図18.20の設定条件記載箇所の4項目目を以下のとおり訂正いたします。

## 【誤】

- UiC1レジスタ、U78CONレジスタのUiRSビット=0 (UiTBレジスタ空で割り込み要求発生)

## 【正】

- UiC1レジスタ、U78CONレジスタのUiRSビット=0 (送信バッファ空で割り込み要求発生)

•Page 319 of 604

図21.1を以下のとおり訂正いたします。

【誤】

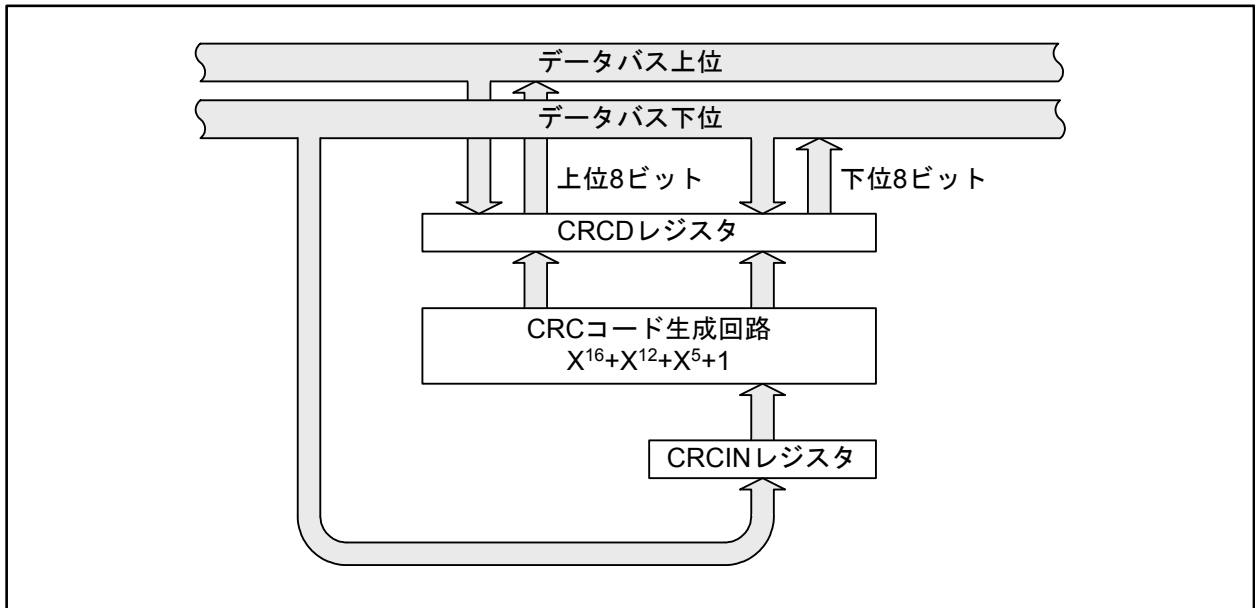


図21.1 CRC演算回路のブロック図

【正】

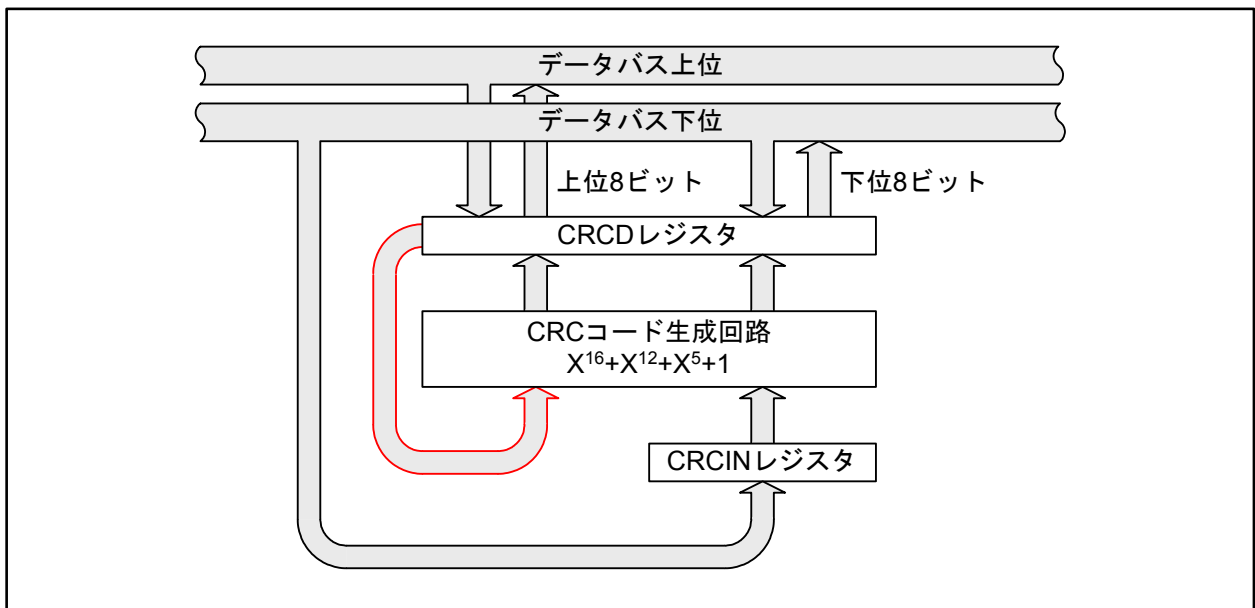


図21.1 CRC演算回路のブロック図



## •Page 335 of 604

図23.9の注3を以下のとおり削除いたします。

## 【誤】

注3. ゲート機能解除後、GOCビットは“0”になります。

## 【正】

—なし—

## •Page 390 of 604

24.1.8.5項 IRFビットが“1”になる条件の2項目目を以下のとおり訂正いたします。

## 【誤】

- I2CCCRレジスタにデータを書いたとき (WIT=1、内部WAITフラグ=1)

## 【正】

- I2CCCRレジスタにデータを書いたとき (RIE=1、内部WAITフラグ=1)

## •Page 426 of 604

25.1.9.5項 本文の3段落目を以下のとおり訂正いたします。

## 【誤】

オーバーライトモードとオーバーランモードの両方において、EOFの6番目のビットに続く fCAN (CANシステムクロック)の5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

## 【正】

オーバーライトモードとオーバーランモードの両方において、EOFの6番目のビットに続く 周辺バスクロック 5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

## •Page 430 of 604

25.1.10.3項 本文の3段落目を以下のとおり訂正いたします。

## 【誤】

オーバーランモードとオーバーライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアプロテクトにより EOFの6番目のビットに続く fCAN (CANシステムクロック)の5サイクルの間は、プログラムで“0” (受信FIFOメッセージロスト未発生) になりません。

## 【正】

オーバーランモードとオーバーライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアプロテクトにより EOFの6番目のビットに続く 周辺バスクロック 5サイクルの間は、プログラムで“0” (受信FIFOメッセージロスト未発生) になりません。

## •Page 440 of 604

図25.19の(b6-b5)の機能欄から以下のとおり文章を一部削除いたします。

## 【誤】

何も配置されていない。書く場合、“0”を書いてください。

読んだ場合、その値は“0”

## 【正】

何も配置されていない。読んだ場合、その値は“0”

## •Page 460 of 604

25.2.3項 本文を以下のとおり訂正いたします。

## 【誤】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのハードウェアリセットまたはソフトウェアリセット実行後、CANスリープモードから動作を開始します。

## 【正】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

## •Page 463 of 604

図25.36のPCDビット部のqの値を以下のとおり訂正いたします。

## 【誤】

q=1, 2, 3, 4

## 【正】

q=2, 3, 4

## •Page 475 of 604

26本文の2段落目を以下のとおり訂正いたします(TN-16C-A200A/J参照)。

## 【誤】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合と、アナログ入出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

## 【正】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

•Page 475 of 604

図26.1を以下のとおり訂正いたします(TN-16C-A200A/J参照)。

【誤】

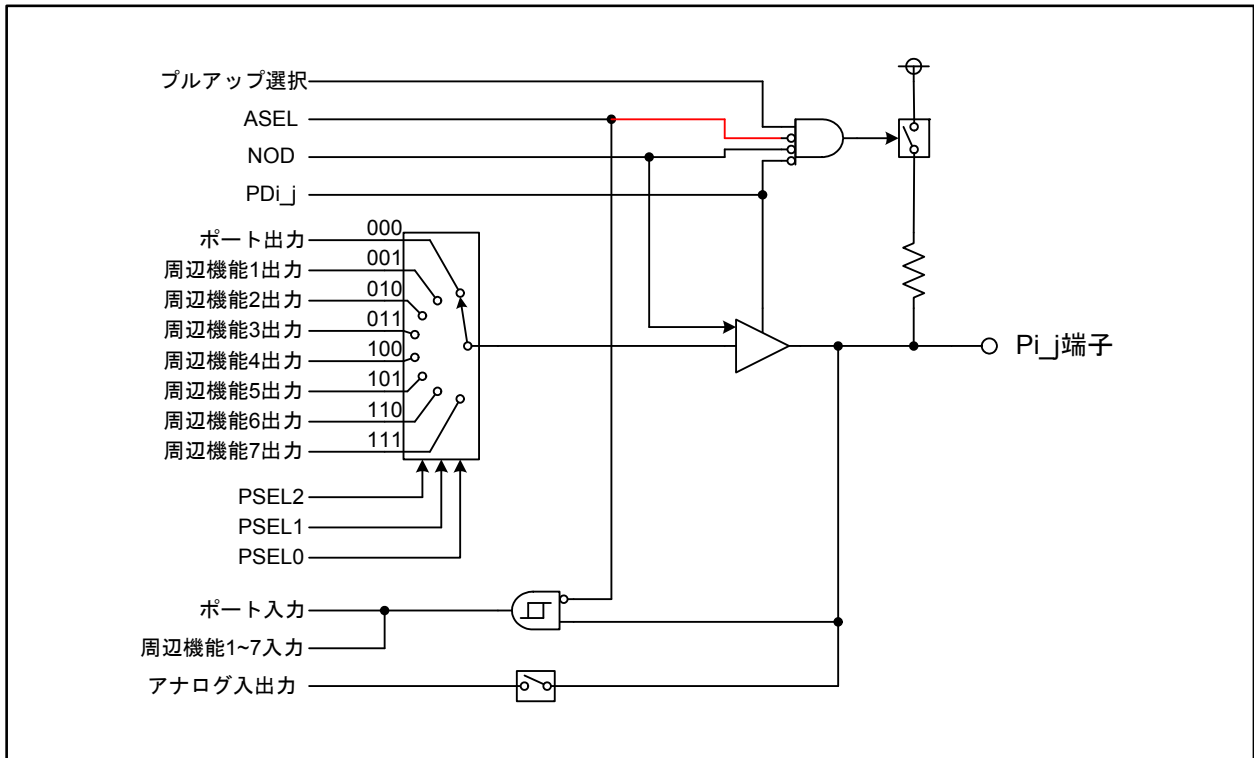


図26.1 入出力端子ブロック図(代表例) (i=0~15、j=0~7)

【正】

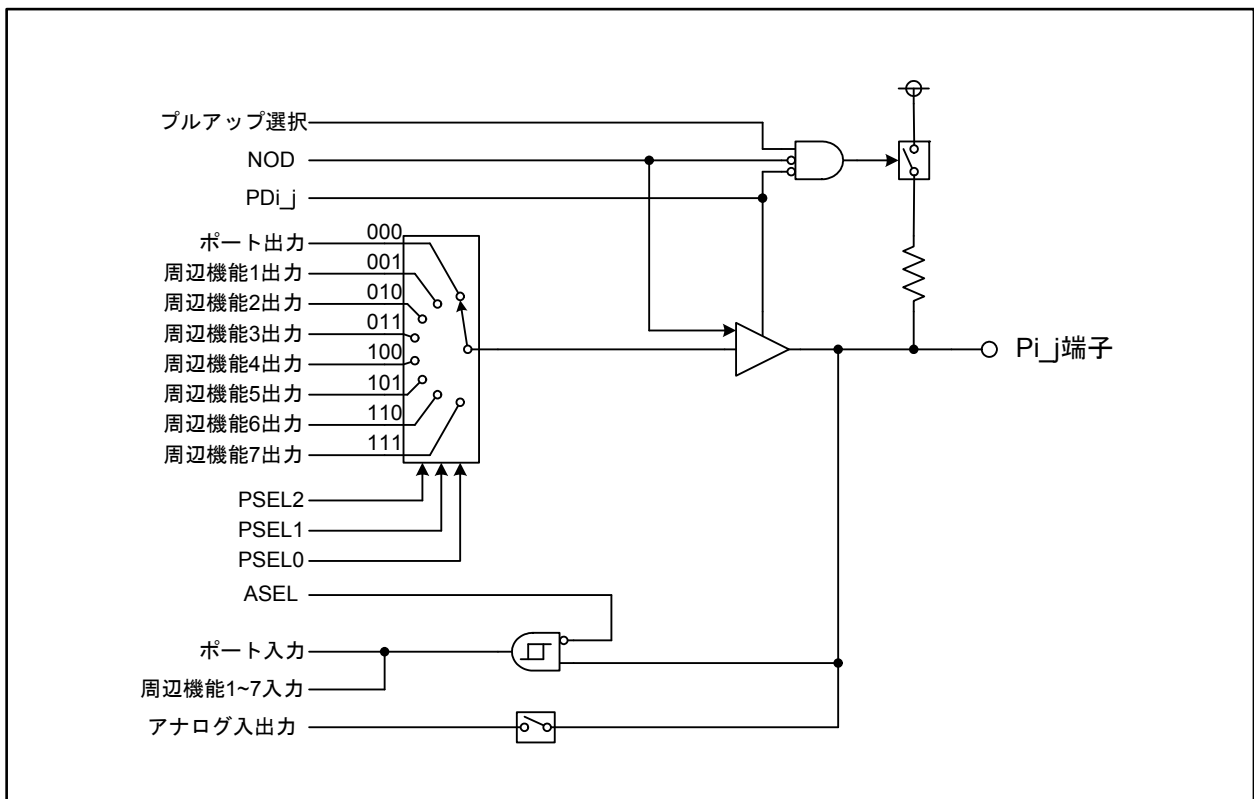


図26.1 入出力端子ブロック図(代表例) (i=0~15、j=0~7)

•Page 521 of 604

表27.8のメモリ拡張モードの制限事項を以下のとおり訂正いたします。

【誤】

表 27.8 CPU動作モードとフラッシュメモリ書き換え

項目	CPU動作モード	
	シングルチップモード	メモリ拡張モード
CB01レジスタ	00hのまま変更しないでください	04h~F8hの範囲で、かつCB12レジスタの設定値より大きい値を設定してください
CB12レジスタ	00hのまま変更しないでください	03h~F7hの範囲で、かつCB23レジスタの設定値より大きくCB01レジスタの設定値より小さい値を設定してください
CB23レジスタ	00hのまま変更しないでください	02h~F6hの範囲で、かつCB12レジスタの設定値より小さい値を設定してください

【正】

表 27.8 CPU動作モードとフラッシュメモリ書き換え

項目	CPU動作モード	
	シングルチップモード	メモリ拡張モード
CB01レジスタ	00hのまま変更しないでください	02h~F8hの範囲で、かつCB12レジスタの設定値以上の値を設定してください
CB12レジスタ	00hのまま変更しないでください	02h~F8hの範囲で、かつCB23レジスタの設定値以上、CB01レジスタの設定値以下の値を設定してください
CB23レジスタ	00hのまま変更しないでください	02h~F8hの範囲で、かつCB12レジスタの設定値以下の値を設定してください

•Page 552, 565 of 604

表28.16、表28.42のヒステリシスの項目の信号線名を以下のとおり訂正いたします。

【誤】

HOLD, RDY, NMI, INT0~INT8, KI0~KI3, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, CTS0~CTS8, CLK0~CLK8, RXD0~RXD8, SCL0~SCL6, SDA0~SDA6, SS0~SS6, SRXD0~SRXD6, ADTRG, IIO0\_0~IIO0\_7, IIO1\_0~IIO1\_7, UD0A, UD0B, UD1A, UD1B, ISCLK2, ISRXD2, IEIN, CAN0IN, CAN0WU (注1)

【正】

HOLD, RDY, NMI, INT0~INT8, KI0~KI3, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, CTS0~CTS8, CLK0~CLK8, RXD0~RXD10, SCL0~SCL6, SDA0~SDA6, SS0~SS6, SRXD0~SRXD6, ADTRG, IIO0\_0~IIO0\_7, IIO1\_0~IIO1\_7, UD0A, UD0B, UD1A, UD1B, ISCLK2, ISRXD2, IEIN, MSCL, MSDA, CAN0IN, CAN0WU (注1)

以上