

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A059A/J	Rev.	第1版
題名	改訂項目通知 RL78/F13, F14 ユーザーズマニュアル ハードウェア編		情報分類	技術情報	
適用製品	RL78/F13, RL78/F14, RL78/F1A	対象ロット等	関連資料	左記適用製品のユーザーズマニュアル ハードウェア編	

RL78/F13, F14 ユーザーズマニュアル ハードウェア編 Rev.2.00 (R01UH0368JJ0200) において、下記訂正がございます。
以下に報告いたします。

表 1. RL78/F13, F14 ユーザーズマニュアル改訂項目一覧 (1)

No	対象ページ		変更内容	参照先
	Rev.2.10	Rev.2.00		
1	P10~P31	P10~P12	1.4 ブロック図 製品毎のブロック図の記載を追加	—
2	P148	P129	表 3-5 SFR 一覧 (1/4) P13 レジスタのリセット時の値を修正	p.4
3	P252	P233	4.2.7 ポート 7 P7x 端子をデジタル入出力で使用する際の対応レジスタを修正	p.4
4	P264	P245	表 4-14 P80/ANI2/ANO0 端子機能の設定 表 13-1 の記載と合わせ修正	p.4
5	P314	P295	図 4-75 ポート・レジスタのフォーマット P13 レジスタのリセット時の値を修正	p.4
6	P318	P299	図 4-79 ポート・モード・コントロール・レジスタのフォーマット PMC7 レジスタの設定時の注意事項を記載	p.5
7	P375	P356	図 5-18 LIN クロック選択レジスタ (LINCKSEL) のフォーマット LINnMCK ビットの注意事項を記載	p.5
8	P405	P386	5.7.2 高速オンチップ・オンシレータについて 選択クロックの記載を修正	p.5
9	P421	P402	6.2.2 タイマ・データ・レジスタ mn (TDRmn) 書き換え時のモードを記載	p.5
10	P545	P526	表 8-2 タイマ RD のレジスタ構成 (1/2) TRDCR1 レジスタのアクセスサイズ修正	p.5
11	P578	P559	8.2.19 タイマ RD ジェネラル・レジスタ Ai, Bi, Ci, Di [相補 PWM モード]の無効となるレジスタの記載を修正	p.5
12	P595	P576	図 8-44 パルス出力強制遮断 INTPO 入力部の誤記修正	p.6
13	P639	P620	図 9-8 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) のフォー マット RWAIT ビットの説明に注記を追加	p.7
14	P670	P651	表 11-3 ウォッチドッグ・タイマのオーバフロー時間の設定 2 ¹³ /fWDT, 2 ¹⁴ /fWDT, 2 ¹⁶ /fWDT に注記を追加	p.7
15	P676	P657	12.2 A/D コンバータの構成 (1) ANI0-ANI23 (VDD 系), AIN24-ANI30 (EVDD 系) 端子 注記の変換精度が良い使用方法に関する記載改訂	p.7
16	P700	P681	図 12-18 ポート・モード・コントロール・レジスタ 7, 9, 12 のフォーマット PMC7 レジスタの設定時の注意事項を記載	p.8
17	P743	P724	表 13-1 ANO0/ANI2/P80 端子機能の設定 表 4-14 の記載と合わせ修正	p.8
18	P763, P802, P859, P918, P949	P744, P783, P840, P899, P930	第 15 章 シリアル・アレイ・ユニット RL78/F13, F14 各チャンネルの機能割り当て説明表の下部に SPI 機能付クロック同期 シリアル通信使用時の注意事項を追加	p.9

表 2. RL78/F13, F14 ユーザーズマニュアル改訂項目一覧 (2)

No	対象ページ		変更内容	参照先
	Rev.2.10	Rev.2.00		
19	P777	P758	図 15-7 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット CKPmn ビットの説明欄にSSI _{mn} 端子入力を使用する場合の説明を追加	p.10
20	P790	P771	図 15-17 シリアル・スレーブ選択許可レジスタ m (SSEm) のフォーマット 図下部に SPI 機能付クロック同期シリアル通信使用時の注記を追加	p.11
21	P1069, P1099, P1127	P1050, P1080, P1108	17.2.1 LIN マスタ関連レジスタ 17.2.2 LIN スレーブ関連レジスタ 17.2.3 UART 関連レジスタ LIN クロック選択レジスタ (LINCKSEL) LIN _n MCK ビットの注意事項を記載	p.11
22	P1081, P1082, P1109, P1110	P1062, P1063, P1090, P1091	17.2.1 LIN マスタ関連レジスタ、17.2.2 LIN スレーブ関連レジスタ LIN/UART エラー検出許可レジスタ (LEDEn) ビットエラー、フレーミングエラーの説明に記載追加	p.11
23	P1112	P1093	17.2.2 LIN スレーブ関連レジスタ (16) LIN/UART 送信コントロール・レジスタ (LTRCn) FTS ビットの説明削除	p.12
24	P1119	P1100	17.2.2 LIN スレーブ関連レジスタ (20) LIN/UART データ・フィールド・コンフィギュレーション・レジスタ (LDFCn) RFDL[3:0]ビット説明文の誤記修正	p.12
25	P1136	P1117	17.2.3 UART 関連レジスタ (11) LIN/UART スペース・コンフィギュレーション・レジスタ (LSCn) IBS[1:0]ビット説明文の記載追加	p.12
26	P1141	P1122	17.2.3 UART 関連レジスタ (16) LIN/UART ステータス・レジスタ (LSTn) FTC フラグ説明文の記載削除	p.12
27	P1149	P1130	17.2.3 UART 関連レジスタ (22) UART オペレーション許可レジスタ (LUOERn) UROE ビット説明文の記載追加	p.12
28	P1177, P1178	P1158, P1159	表 17-14 LIN マスタモード ステータスの種類 表 17-15 LIN スレーブモード ステータスの種類 注 1 の動作モードの誤記修正	p.12
29	P1179	P1160	表 17-16 エラーステータスの種類 (LIN マスタモード) 注 3 の記載修正	p.12
30	P1179, P1181	P1160, P1162	表 17-16 エラーステータスの種類 (LIN マスタモード) 表 17-17 エラーステータスの種類 (LIN スレーブモード) 注 1 (ビットエラー) の記載修正	p.12
31	P1189	P1170	図 17-30 拡張ビット受信 (データ比較あり) の例 (LSB ファースト、UEBDL = 0) 図下部に図 17-29 の記載と合わせ注記を追加	p.13
32	P1204, P1205, P1206, P1207	P1185, P1186, P1187, P1188	17.6.2 LIN マスタ セルフテストモードにおける送信 17.6.3 LIN マスタ セルフテストモードにおける受信 17.6.4 LIN スレーブ セルフテストモードにおける送信 17.6.5 LIN スレーブ セルフテストモードにおける受信 レスポンス送信/受信開始時、中断したい場合の説明を追加	p.13
33	P1209, P1211	P1190, P1192	図 17-41 LIN マスタモード ボー・レート生成ブロック図 図 17-42 LIN スレーブモード ボー・レート生成ブロック図 図下部の LIN 通信クロック源の記載改訂	p.13
34	P1213	P1194	図 17-43 UART ボー・レート生成ブロック図 図下部の LIN 通信クロック源の記載改訂	p.13
35	P1253, P1285, P1300, P1330	P1233, P1265, P1280, P1310	18.3.7 CAN _i エラー・フラグ・レジスタ L (CiERFLL) 18.3.35 CAN 受信 FIFO ステータス・レジスタ m (RFSTSm) 18.3.47 CAN _i 送受信 FIFO ステータス・レジスタ k (CFSTSk) 18.3.75 CAN _i 送信履歴バッファ・ステータス・レジスタ (THLSTSi) 表下部の注記に書き込み命令の説明を追加	p.13
36	P1263	P1243	18.3.14 CAN グローバル・エラー・フラグ・レジスタ (GERFLL) 表下部の注記に書き込み命令の説明を追加	p.13
37	P1298	P1278	18.3.46 CAN _i 送受信 FIFO 制御レジスタ kH (CFCCHk) CFITR ビットの説明文の誤記修正	p.13

表 3. RL78/F13, F14 ユーザーズマニュアル改訂項目一覧 (3)

No	対象ページ		変更内容	参照先
	Rev.2.10	Rev.2.00		
38	P1418	P1398	19.4.3 DTC 保留命令 DTC 転送保留命令に乗除積和算命令を追加	p.14
39	P1433	P1413	表 21-1 割り込み要因一覧 (3/4) 注 5 (INTFL) の誤記修正	p.14
40	P1464	P1444	21.4.4 除算命令中の割り込み処理 表下部に除算命令使用時の注意事項の記載追加	p.14
41	P1466	P1446	21.4.5 割り込み要求の保留 割り込み要求の保留命令に乗算、積和算命令を追加	p.14
42	P1537	P1517	図 27-9 1 ビットエラー検出割り込み許可レジスタ (ECCIER) のフォーマット 図下部の注記に 2 ビットエラー検出時の動作を記載	p.14
43	P1542	P1522	27.3.4 CPU スタック・ポインタ・モニタ機能 オンチップ・デバッグ時の注記追加	p.15
44	P1547	P1527	図 27-20 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット 注 2 (セルフ・プログラミング時の GCSC ビット) の記載削除	p.15
45	P1617	P1597	表 33-5 オペレーション一覧 (12/18) 表下部に除算命令使用時の注記を追加	p.15
46	P1631, P1678, P1725	P1611, P1658, P1705	34.3.1 端子特性 (1/4)、35.3.1 端子特性 (1/4)、36.3.1 端子特性 (1/4) 表下部の注 1 に EV _{DD1} 端子の記載追加	p.15
47	P1632, P1679, P1726	P1612, P1659, P1706	34.3.1 端子特性 (2/4)、35.3.1 端子特性 (2/4)、36.3.1 端子特性 (2/4) 表下部の注 1 に EV _{SS1} 端子の記載追加	p.16
48	P1641, P1688, P1736	P1621, P1668, P1716	34.4.1 基本動作 (1/2)、35.4.1 基本動作 (1/2)、36.4.1 基本動作 (1/2) 表下部の注記 (ノイズ・フィルタ) に “RESET 端子” の記載を追加	p.16
49	P1652, P1699, P1747	P1632, P1679, P1727	34.5.1 シリアル・アレイ・ユニット (7) 同電位通信時 (簡易 I ² C モード) 35.5.1 シリアル・アレイ・ユニット (7) 同電位通信時 (簡易 I ² C モード) 36.5.1 シリアル・アレイ・ユニット (7) 同電位通信時 (簡易 I ² C モード) 条件 (2.7V ≤ V _{DD} < 4.0V) の R _b の値 (抵抗値) の誤記修正	p.16
50	P1670, P1717, P1765	P1650, P1697, P1745	34.9 フラッシュ・メモリ・プログラミング特性 35.9 フラッシュ・メモリ・プログラミング特性 36.9 フラッシュ・メモリ・プログラミング特性 表内の項目 (消去時間) の条件に記載している “セクタ” を “ブロック” に修正	p.16
51	P1720	P1700	36.1 絶対最大定格 (2/2) ロウ・レベル出力電流 (I _{OL1}) の P106 端子の誤記修正	p.16

No.2 「表 3-5 SFR 一覧 (1/4)」

表 3-5 SFR 一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF0DH	ポート・レジスタ13	P13	R/W	○	○	—	不定 ^注

注 P130 ビットはユーザ・オプション・バイト (000C2H/020C2H) のビット 5 (RESOUTB) の設定に依存します。

No.3 「4.2.7 ポート 7」

P70/ANI26-P74/ANI30 をデジタル入力として使用する場合は、~~A/D ポート・コンフィギュレーション・レジスタ (ADPC)~~ ポート・モード・コントロール・レジスタ 7 (PMC7) でデジタル入出力に、かつ PM7 レジスタで入力モードに設定して、上位ビットから使用してください。

P70/ANI26-P74/ANI30 をデジタル出力として使用する場合は、~~A/D ポート・コンフィギュレーション・レジスタ (ADPC)~~ ポート・モード・コントロール・レジスタ 7 (PMC7) でデジタル入出力に、かつ PM7 レジスタで出力モードに設定してください。

P70/ANI26-P74/ANI30 をアナログ入力として使用する場合は、~~A/D ポート・コンフィギュレーション・レジスタ (ADPC)~~ ポート・モード・コントロール・レジスタ 7 (PMC7) でアナログ入力に、かつ PM7 レジスタで入力モードに設定して、下位ビットから使用してください。

No.4 「表 4-14 P80/ANI2/ANO0 端子機能の設定」

表 4-14 P80/ANI2/ANO0 端子機能の設定

ADPCレジスタ	PM8レジスタ	DAMレジスタ	DAM2レジスタ	ADSレジスタ	ANO0/ANI2/P80端子機能
デジタル入出力	入力モード	—	アナログ出力許可	—	設定禁止
			アナログ出力禁止		デジタル入力
	出力モード	—	アナログ出力許可	—	設定禁止
			アナログ出力禁止		デジタル出力
アナログ入出力	入力モード	D/A変換動作許可	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	アナログ出力 (D/A出力)
			アナログ出力禁止	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (AD変換非対象) ^注	
		D/A変換動作停止	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	設定禁止
	アナログ出力禁止		ANI選択	アナログ入力 (A/D変換対象)	
		ANI非選択	アナログ入力 (AD変換非対象)		
出力モード	—	—	—	設定禁止	

注 コンパレータの内部基準電圧としてD/Aコンバータを使用する場合の設定です。この場合は、CMPSELレジスタのCVRS1, CVRS0 ビットを10b (内部基準電圧 (D/Aコンバータ出力)) としてください。

No.5 「図 4-75 ポート・レジスタのフォーマット」

図 4-75 ポート・レジスタのフォーマット (100ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P13	P137	0	0	0	0	0	0	P130	FFF0DH	不定 ^{注2}	R/W

注 1. P121-P124, P137 は Read Only です。

- 2. P130 ビットはユーザ・オプション・バイト (000C2H/020C2H) のビット 5 (RESOUTB) の設定に依存します。
RESOUTB = 0 : P130 = 1
RESOUTB = 1 : P130 = 0

No.6 「図 4-79 ポート・モード・コントロール・レジスタのフォーマット」

図 4-79 ポート・モード・コントロール・レジスタのフォーマット (100ピン製品) 注2

アドレス：F0067H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PMC7	1	1	1	PMC74注1	PMC73注1	PMC72注1	PMC71注1	PMC70

アドレス：F0069H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PMC9	PMC97注2	PMC96注2	1	1	1	1	1	1

注1. 以下の製品は、対応するビットに“0”を書いてください。

PMC74~PMC71ビット：RL78/F14の64ピンかつコード・フラッシュ・メモリが128KB~256KBの製品

PMC73ビット：RL78/F14の48ピンかつコード・フラッシュ・メモリが128KB~256KBの製品

- P97とP96のデジタル入出力/アナログ入力を選択するレジスタは、P96/ANI16およびP97/ANI17ではADPC、P96/ANI26およびP97/ANI27ではPMC9となります。各製品の割り当てられている端子機能については「1.5 端子接続図」を参照してください。

注意1. 搭載していないビットには必ず初期値を設定してください。ただし、PMC74~PMC71ビットは注1の記載を参照ください。

No.7 「図 5-18 LIN クロック選択レジスタ (LINCKSEL)」

図5-18 LINクロック選択レジスタ (LINCKSEL) のフォーマット

アドレス：F02C3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	0	LIN1MCKE注	LIN0MCKE	0	0	LIN1MCK注	LIN0MCK

注意 1. LINnMCKE (n = 0, 1) を 1 にする前に、LINnMCK で LINn の動作クロックを選択してください。

2. SNOOZE 時に LINn を動作させる場合、LINnMCK = 0 に設定してください。

3. LINnMCK を 1 (fMx クロックを選択) で使用する場合、タイムアウトエラーを使用しないでください。その場合、fCLK クロックは LIN 通信クロック源の 1.2 倍以上の周波数でご使用ください。

No.8 「5.7.2 高速オンチップ・オシレータについて」

5.7.2 高速オンチップ・オシレータについて

FRQSEL3 = 0 (高速オンチップ・オシレータ = 48/ 24/ 12/ 6/ 3 MHz) 設定時、かつ CPU/周辺ハードウェア・クロックをPLLクロックに選択する場合は、CPU/周辺ハードウェア・クロック周波数 (fCLK) を 32 MHz に設定しないでください。

No.9 「6.2.2 タイマ・データ・レジスタ mn (TDRmn)」

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります。コンペア機能として使用した場合、TDRmn レジスタは任意のタイミングで書き換えることができます。

No.10 「表 8-2 タイマ RD のレジスタ構成 (1/2)」

表 8-2 タイマ RD のレジスタ構成 (1/2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRD制御レジスタ1	TRDCR1	00H注	F0280H	1, 8

注 ユーザ・オプション・バイト (000C2H/020C2H) の FRQSEL4 = 1 かつ、PER1 レジスタの TRD0EN = 0 の場合、タイマ RD の SFR は不定となります。初期値を読み出す必要がある場合は、fCLK を fn に設定し TRD0EN = 1 にセットしたあとに読み出してください。

No.11 「8.2.19 タイマ RD ジェネラル・レジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)」

[相補 PWM モード]

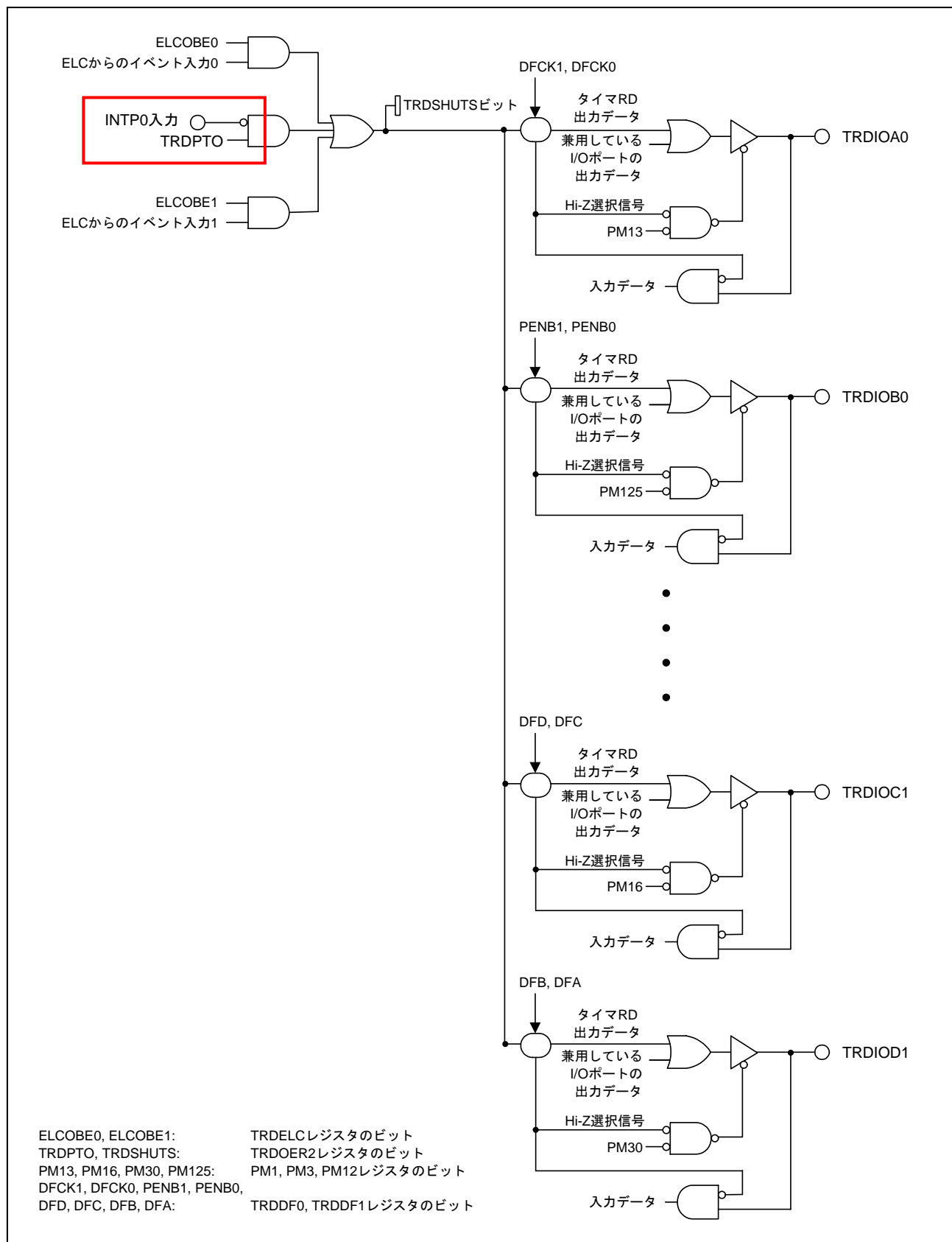
TRDGRAi~TRDGRDi レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。相補 PWM モードでは、TRDGRC0 レジスタは使用しません。

相補 PWM モードでは、次のレジスタは無効です。

TRDPMR, TRDOCR 注, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

No.12 「図 8-44 パルス出力強制遮断」
INTP0 入力部の修正 (アクティブレベル)

図 8-44 パルス出力強制遮断



No.13 「**図 9-8 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) のフォーマット**」

図 9-8 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。
 内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで動作クロック（f_{RTC}）の最大1クロック時間がかかります。（注1、注2）
 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

注 1. RTCC1 = 1に設定した後、f_{RTC}の1クロック時間内でRWAIT = 1とした場合、RWST ビットが1になるまで動作クロック（f_{RTC}）の2クロック時間がかかる場合があります。

2. スタンバイ（HALT モード、STOP モード、SNOOZE モード）から復帰した場合、f_{RTC}の1クロック時間内でRWAIT = 1とした場合、RWST ビットが1になるまで動作クロック（f_{RTC}）の2クロック時間がかかる場合があります。

注意 RTCC1 レジスタに1ビット操作命令で書き込みを行うと、RIFG フラグ、WAFG フラグがクリアされることがあります。そのため、RTCC1 レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFG フラグ、WAFG フラグをクリアしないようにするためには、該当ビットに書き込みが無効となる1を設定してください。なお、RIFG フラグ、WAFG フラグを使用せず値が書き換わっても問題ない場合は、RTCC1 レジスタに1ビット操作命令で書き込みを行ってもかまいません。

No.14 「**表 11-3 ウォッチドッグ・タイマのオーバフロー時間の設定**」

表 11-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{WDT} = 17.25 kHz (MAX.) の場合)
0	0	0	2 ⁶ /f _{WDT} (3.71 ms)
0	0	1	2 ⁷ /f _{WDT} (7.42 ms)
0	1	0	2 ⁸ /f _{WDT} (14.84 ms)
0	1	1	2 ⁹ /f _{WDT} (29.68 ms)
1	0	0	2 ¹¹ /f _{WDT} (118.72 ms)
1	0	1	2 ¹³ /f _{WDT} ^注 (474.89 ms)
1	1	0	2 ¹⁴ /f _{WDT} ^注 (949.79 ms)
1	1	1	2 ¹⁶ /f _{WDT} ^注 (3799.18 ms)

注 ウォッチドッグ・タイマのインターバル割り込みを使用する場合、ウォッチドッグ・タイマのオーバフロー時間を2¹³/f_{WDT}、2¹⁴/f_{WDT} または 2¹⁶/f_{WDT} に設定しないでください。

No.15 「**12.2 A/D コンバータの構成 (1) ANI0-ANI23 (V_{DD}系), AIN24-ANI30 (EV_{DD}系) 端子**」

(1) ANI0-ANI23 (V_{DD}系), AIN24-ANI30 (EV_{DD}系) 端子

A/D コンバータのアナログ入力端子です。A/D 変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

注意 A/D コンバータの基準電圧として ~~AV_{REFP} = V_{DD}, AV_{REFM} = V_{SS}~~ 以外の AV_{REFP}, AV_{REFM} から供給以外の設定で使用した場合、変換精度が悪くなります。また、EV_{DD}系のアナログ端子はV_{DD}系より精度が悪いため、高精度な変換が必要な場合はV_{DD}系のアナログ端子を使用してください。

No.16 「**図 12-18** ポート・モード・コントロール・レジスタ 7, 9, 12 (PMC7, PMC9, PMC12) のフォーマット」
図 12-18 ポート・モード・コントロール・レジスタ 7, 9, 12 (PMC7, PMC9, PMC12) のフォーマット
 アドレス：F0067H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PMC7	1	1	1	PMC74 ^{注1}	PMC73 ^{注1}	PMC72 ^{注1}	PMC71 ^{注1}	PMC70

アドレス：F0069H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PMC9	PMC97 ^{注2}	PMC96 ^{注2}	1	1	1	1	1	1

注1. 以下の製品は、対応するビットに“0”を書いてください。

PMC74~PMC71ビット：RL78/F14の64ピンかつコード・フラッシュ・メモリが128KB~256KBの製品

PMC73ビット：RL78/F14の48ピンかつコード・フラッシュ・メモリが128KB~256KBの製品

- P97とP96のデジタル入出力/アナログ入力を選択するレジスタは、P96/ANI16およびP97/ANI17ではADPC、P96/ANI26およびP97/ANI27ではPMC9となります。各製品の割り当てられている端子機能については「1.5 端子接続図」を参照してください。

注意1. アナログ入力に設定したポートは、ポート・モード・レジスタx (PMx) で入力モードに選択してください。

- 搭載していないビットには必ず初期値を設定してください。ただし、PMC74~PMC71ビットは注1の記載を参照ください。

No.17 「表 13-1 ANO0/ANI2/P80 端子機能の設定」

表 13-1 ANO0/ANI2/P80 端子機能の設定

ADPCレジスタ	PM8レジスタ	DAMレジスタ	DAM2レジスタ	ADSレジスタ	ANO0/ANI2/P80端子機能
デジタル入出力	入力モード	-	アナログ出力許可	-	設定禁止
			アナログ出力禁止		デジタル入力
	出力モード		アナログ出力許可		設定禁止
			アナログ出力禁止		デジタル出力
アナログ入出力	入力モード	D/A変換動作許可	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	アナログ出力 (D/A出力)
			アナログ出力禁止	ANI選択	アナログ入力 (A/D変換対象)
				ANI非選択	アナログ入力 (A/D変換非対象) ^注
		D/A変換動作停止	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	設定禁止
	アナログ出力禁止	ANI選択	アナログ入力 (A/D変換対象)		
		ANI非選択	アナログ入力 (A/D変換非対象)		
出力モード	-	-	-	設定禁止	

注 コンパレータの内部基準電圧としてD/Aコンバータを使用する場合の設定です。この場合は、CMPSELレジスタのCVRS1, CVRS0ビットを10b (内部基準電圧 (D/Aコンバータ出力)) としてください。

No.18 「第15章 シリアル・アレイ・ユニット」 RL78/F13, F14 各チャネルの機能割り当て説明表

・グループ A の製品

ユニット	チャネル	CSI として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00 (SPI 機能対応) 注2	UART0 (LIN-bus 対応)	IIC00
	1	CSI01 (SPI 機能対応) 注2		IIC01

・グループ C-1, D-1 の製品

ユニット	チャネル	CSI として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00 (SPI 機能対応) 注2	UART0 (LIN-bus 対応)	IIC00
	1	CSI01 (SPI 機能対応) 注2		IIC01
1	0	CSI10 (SPI 機能対応) 注1,2	UART1	IIC10
	1	—		—

・グループ B, C-2, D-2, E の製品

ユニット	チャネル	CSI として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00 (SPI 機能対応) 注2	UART0 (LIN-bus 対応)	IIC00
	1	CSI01 (SPI 機能対応) 注2		IIC01
1	0	CSI10 (SPI 機能対応) 注1,2	UART1	IIC10
	1	CSI11 (SPI 機能対応) 注2		IIC11

注 1. 48 ピンは、~~SPI 機能に対応していません。~~ 48 ピン、32 ピンおよび 30 ピンの製品には、SSI10 端子はありません。

2. SSI_{mn} (スレーブ選択入力) を使用される場合、SCR_{mn} レジスタの CKP_{mn} ビットを 1 (クロック位相を反転) にしてください (m = 0, 1, n = 0, 1)。

備考 グループ A: RL78/F13 (LIN 搭載版) の 20, 30, 32, 48, 64 ピンかつコード・フラッシュ・メモリが 16KB~64KB の製品

グループ B: RL78/F13 (LIN 搭載版) の 48, 64 ピンかつコード・フラッシュ・メモリが 96KB~128KB の製品
 および RL78/F13 (LIN 搭載版) の 80 ピンかつコード・フラッシュ・メモリが 64KB~128KB の製品

グループ C-1: RL78/F13 (CAN&LIN 搭載版) の 30, 32 ピンの製品

グループ C-2: RL78/F13 (CAN&LIN 搭載版) の 48, 64, 80 ピンの製品

グループ D-1: RL78/F14 の 30, 32 ピンの製品

グループ D-2: RL78/F14 の 48, 64, 80 ピンかつコード・フラッシュ・メモリが 48KB~96KB の製品

グループ E: RL78/F14 の 48, 64, 80 ピンかつコード・フラッシュ・メモリが 128KB~256KB の製品
 および RL78/F14 の 100 ピンかつコード・フラッシュ・メモリが 64KB~256KB の製品

No.19 「図 15-7 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット」

図15-7 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (1/3)

アドレス：F010CH, F010DH (SCR00) , F010EH, F010FH (SCR01) リセット時：0087H R/W

F014CH, F014DH (SCR10) , F014EH, F014FH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0

TXEmn	RXEmn	チャンネル n の動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	CSI モードでのデータとクロックの移送選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UART モード，簡易 I²C モード時には，必ず DAPmn，CKPmn = 0, 0 に設定してください。また，SSImn (スレーブ選択入力) を使用する場合は，CKPmn = 1 に設定してください。

注意 ビット 6, 10, 11 には，必ず 0 を設定してください。

備考 m：ユニット番号 (m = 0, 1) n：チャンネル番号 (n = 0, 1) p：CSI 番号 (p = 00, 01, 10, 11)

No.20 「図 15-17 シリアル・スレーブ選択許可レジスタ m (SSEm)」

図 15-17 シリアル・スレーブ選択許可レジスタ m (SSEm) のフォーマット

アドレス：F0122H, F0123H (SSE0) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSE 01	SSE 00

アドレス：F0162H, F0163H (SSE1) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSE 11	SSE 10

SSEmn ^注	CSI 通信かつスレーブ・モード時のチャンネル n の SSI _{mn} 入力の設定
0	SSI _{mn} 端子入力の無効
1	SSI _{mn} 端子入力の有効

注 SSEmn ビットに 1 を設定する場合は、SCRmn レジスタの CKPmn ビットを 1 (クロック位相を反転) にしてください。

注意 ビット 15-2 には、必ず 0 を設定してください。

No.21 「LIN クロック選択レジスタ (LINCKSEL)」

・LIN マスタ関連レジスタ、LIN スレーブ関連レジスタ (4) LIN クロック選択レジスタ (LINCKSEL)

アドレス：F02C3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	0	LIN1MCKE ^注	LIN0MCKE	0	0	LIN1MCK ^注	LIN0MCK

- 注意 1. LINnMCKE (n = 0, 1) を 1 にする前に、LINnMCK で LINn の動作クロックを選択してください。
 2. SNOOZE 時に LINn を動作させる場合、LINnMCK = 0 に設定してください。
 3. LINnMCK を 1 (fMx クロックを選択) で使用する場合、タイムアウトエラーを使用しないでください。その場合、fCLK クロックは LIN 通信クロック源の 1.2 倍以上の周波数でご使用ください。

・UART 関連レジスタ (4) LIN クロック選択レジスタ (LINCKSEL)

アドレス：F02C3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	0	LIN1MCKE ^注	LIN0MCKE	0	0	LIN1MCK ^注	LIN0MCK

- 注意 1. LINnMCKE (n = 0, 1) を 1 にする前に、LINnMCK で LINn の動作クロックを選択してください。
 2. SNOOZE 時に LINn を動作させる場合、LINnMCK = 0 に設定してください。
 3. LINnMCK を 1 (fMx クロックを選択) で使用する場合、fCLK クロックは LIN 通信クロック源の 1.2 倍以上の周波数でご使用ください。

No.22 「LIN/UART エラー検出許可レジスタ (LEDEn)」

・LIN マスタ関連レジスタ (15) LIN/UART エラー検出許可レジスタ (LEDEn)

・LIN スレーブ関連レジスタ (14) LIN/UART エラー検出許可レジスタ (LEDEn)

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

~~“0”の場合、ビットエラーを検出しません。~~

~~“1”の場合、ビットエラーを検出します。~~

このビットを“1”(ビットエラー検出許可)にしてください。

~~このビットが“1”の場合の~~ ビットエラーの検出結果は、LESTn レジスタの BER フラグに反映されます。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

~~“0”の場合、フレーミングエラーを検出しません。~~

~~“1”の場合、フレーミングエラーを検出します。~~

このビットを“1”(フレーミングエラー検出許可)にしてください。

~~このビットが“1”の場合の~~ フレーミングエラーの検出結果は、LESTn レジスタの FER フラグに反映されます。

No.23 「17.2.2 LIN スレーブ関連レジスタ (16) LIN/UART 送信コントロール・レジスタ (LTRCn)」
FTS ビット (LIN 通信開始ビット)

ヘッダ受信/ウェイクアップ受信 (入力信号 Low 幅カウント) を行う場合、“1”にしてください。
 また、ウェイクアップ送信を行う場合にも、このビットを“1”にしてください。
 このビットは“1”のみ書けます。“0”は書けません。

~~LIN スレーブモード [固定ポーレート] において、LIN 動作モードでこのビットを“1”にする際は、LRXDn 端子が“H”の状態で行ってください。~~

No.24 「17.2.2 LIN スレーブ関連レジスタ (20) LIN/UART データ・フィールド・コンフィギュレーション・レジスタ (LDFCn)」

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。
 データ長は 0~8 バイトまで設定でき、データ長にはチェックサムのサイズは含みません。
 これらのビットは、RTS が“0” (レスポンス送信/受信停止) のときに設定してください。
 9 バイト以上のレスポンスデータ送信 送受信を行う場合は、最後のデータグループ (LSS ビットが“0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが“1”) はチェックサムを含みません。

No.25 「17.2.3 UART 関連レジスタ (11) LIN/UART スペース・コンフィギュレーション・レジスタ (LSCn)」
IBS[1:0] ビット (インタバイトスペース設定ビット)

UART バッファによる送信時、UART フレーム間のスペース幅を設定します。
 0 Tbit ~ 3 Tbit を設定できます。
 送信データバッファ (LUTDRn レジスタ) およびウェイト用送信データバッファ (LUWTDRn レジスタ) から送信を行う場合、本ビットはリセット時の値 (“00b”) にしてください。

No.26 「17.2.3 UART 関連レジスタ (16) LIN/UART ステータス・レジスタ (LSTn)」
FTC フラグ (バッファ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
 UART バッファから LDFCn レジスタの MDL ビットで設定したデータ数のデータをエラーの有無に関わらず送信完了時、“1”となります。このとき割り込みが発生します。~~ただし、このビットが“1”の状態、UART バッファからの送信を完了した場合は、割り込みが発生しません。~~クリアする場合は“0”を書いてください。

No.27 「17.2.3 UART 関連レジスタ (22) UART オペレーション許可レジスタ (LUOERn)」
UROE ビット (受信動作許可ビット)

受信動作の許可/禁止を設定します。
 “0”の場合、受信動作を禁止します。
 “1”の場合、受信動作を許可します。
 受信中にこのビットをクリアしないでください。受信中に通信を中断する場合は、LCUCn レジスタの OM0 ビットに“0” (LIN リセットモード) を設定し、LIN リセットモードに遷移させてください。ただし、このとき送信動作も中断されます。
 UART バッファからデータを送信している途中で、このビットを“1”にしないでください。

No.28 「表 17-14 LIN マスタモード ステータスの種類、表 17-15 LIN スレーブモード ステータスの種類」
 ・表下部 注 1 の記載改訂

注 1. LIN ウェイクアップモードおよび LIN 動作モード内で LESTn レジスタの…

No.29 「表 17-16 エラーステータスの種類 (LIN マスタモード)」
 ・表下部 注 3 の記載改訂

注 3. タイムアウト時間は、レスポンスフィールドデータ長 (LDFCn レジスタの RFDL[3:0] ビット)、およびチェックサム選択 (LDFCn レジスタの CSM ビット) に依存し、下記の式により計算できます。
 フレームセパレートモード選択時 (LDFCn レジスタの FSM ビットが“1”)、LTRCn レジスタの RTS ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間になります。

No.30 「表 17-16 エラーステータスの種類 (LIN マスタモード)、表 17-17 エラーステータスの種類 (LIN スレーブモード)」
 ・表下部 注 1 の記載改訂

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、その領域の直後 エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

No.31 「図 17-30 拡張ビット受信（データ比較あり）の例（LSB ファースト、UEBDL = 0）」

- ・図下部に注記を追加

注意 受信エラー（パリティエラー/フレーミングエラー/オーバランエラー）が発生すると、LINn の受信ステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生かつ比較結果が一致した場合は、EXBT フラグおよび IDMT フラグも“1”になります。

No.32 「17.6.2 LIN マスタ セルフテストモードにおける送信、17.6.3 LIN マスタ セルフテストモードにおける受信、17.6.4 LIN スレーブ セルフテストモードにおける送信、17.6.5 LIN スレーブ セルフテストモードにおける受信」

- ・ヘッダ送信（受信）→ レスポンス送信（受信）開始

LIN マスタセルフテストモード（送信/受信）/LIN スレーブセルフテストモード（送信/受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行されます。（チェックサムは LIN/UART モジュールが自動演算します。）

LIN マスタセルフテストモード（送信/受信）/LIN スレーブセルフテストモード（送信/受信）実行中に処理を中断したい場合は、LCUCn レジスタの OM0 ビットに“0”を書き込み、LIN リセットモードへ移行してください。

No.33 「図 17-41 LIN マスタモード ボー・レート生成ブロック図、図 17-42 LIN スレーブモード ボー・レート生成ブロック図」

- ・図下部の LIN 通信クロック源の記載改訂

LIN 通信クロック源は、以下の条件に設定してください。

- ・~~LIN 通信クロック源 \leq fCLK~~ LIN 通信クロック源 = fCLK^注
- ・4MHz ~ 32MHz

注. ~~LIN 通信クロック源に高速システム・クロック (fMX) を選択し、fCLK のクロック源が高速オンチップ・オシレータ・クロック (fIU) の場合、または高速オンチップ・オシレータ・クロックをクロック源とする PLL クロックの場合、「LIN 通信クロック源 < fCLK」としてしてください。~~

タイムアウトエラー検出機能を使用しない場合、LIN 通信クロック源 = fMX を選択可。その場合、CPU/周辺ハードウェア・クロック (fCLK) は LIN 通信クロック源の 1.2 倍以上の周波数。

No.34 「図 17-43 UART ボー・レート生成ブロック図」

- ・図下部の LIN 通信クロック源の記載改訂

LIN 通信クロック源は、以下の条件に設定してください。

- ・~~LIN 通信クロック源 \leq fCLK~~ LIN 通信クロック源 = fCLK^注
- ・4MHz ~ 32MHz

注. ~~LIN 通信クロック源に高速システム・クロック (fMX) を選択し、fCLK のクロック源が高速オンチップ・オシレータ・クロック (fIU) の場合、または高速オンチップ・オシレータ・クロックをクロック源とする PLL クロックの場合、「LIN 通信クロック源 < fCLK」としてしてください。~~

LIN 通信クロック源 = fMX を選択可。その場合、CPU/周辺ハードウェア・クロック (fCLK) は LIN 通信クロック源の 1.2 倍以上の周波数。

No.35 「18.3.7 CANi エラー・フラグ・レジスタ L (CiERFLL)、18.3.35 CAN 受信 FIFO ステータス・レジスタ m (RFSTSm)、18.3.47 CANi 送受信 FIFO ステータス・レジスタ k (CFSTSk)、18.3.75 CANi 送信履歴バッファ・ステータス・レジスタ (THLSTSi)」

- ・レジスタ/ビット表の下部の注記の記載改訂

注 このフラグビットへの書き込みは、ステータス・クリアする (0 にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。0 を書く場合は 8 ビット・データ転送命令または 16 ビット・データ転送命令を使用してください。

No.36 「18.3.14 CAN グローバル・エラー・フラグ・レジスタ (GERFLL)」

- ・レジスタ/ビット表の下部の注記の記載改訂

注 このフラグビットへの書き込みは、ステータス・クリアする (0 にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。0 を書く場合は 8 ビット・データ転送命令を使用してください。

No.37 「18.3.46 CANi 送受信 FIFO 制御レジスタ kH (CFCCHk)」

- ・CFITR ビット

CFITSS ビットが 1 のとき 0 のとき、有効です。

- ・CFITSS ビット

0 のとき、CFITR ビットで選択したクロックがインターバル・タイマのカウンタ・ソースになります。

No.38 「19.4.3 DTC 保留命令」

19.4.3 DTC 保留命令

DTC から CPU へ転送要求があっても以下の命令直後では DTC は起動されず保留されます。また、PREFIX 命令コードと直後の 1 命令の間に DTC が起動されることはありません。

- コール・リターン命令
- 無条件分岐命令
- 条件付分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSW へのビット操作命令とオペランドに ES レジスタを含んだ 8 ビット操作命令
- データ・フラッシュにアクセスする命令
- 乗除積和算命令 (MULU 命令を除く)

No.39 「表 21-1 割り込み要因一覧 (3/4)」

- 表下部の注 5 の誤記修正

注 5. ~~フラッシュ・セルフ・プログラミング・ライブラリ、データ・フラッシュ・ライブラリで使用します。~~
本割り込みは使用しないでください。

No.40 「21.4.4 除算命令中の割り込み処理」

- 表 21-6 通常時と除算命令中の割り込み処理 の下部に以下の記載を追加

注意 割り込み処理中にDIVHU、DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。
ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU、DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU、DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU、DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- GNURL78 (KPIT社 コンパイラ)のC言語ソース

No.41 「21.4.5 割り込み要求の保留」

- 割り込み要求の保留命令に乗算、積和算命令を追加

21.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令 (割り込み要求の保留命令) を次に示します。

- MOV PSW, #byte
- :
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3K, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L レジスタの各レジスタに対する操作命令

No.42 「図 27-9 1 ビットエラー検出割り込み許可レジスタ (ECCIER) のフォーマット」

(2) 1 ビットエラー検出割り込み許可レジスタ (ECCIER)

図27-9 1ビットエラー検出割り込み許可レジスタ (ECCIER) のフォーマット

アドレス：F0202H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ECCIER	—	—	—	—	—	—	—	IEN
IEN	1 ビットエラー検出割り込み許可ビット							
0	割り込み禁止							
1	割り込み許可							

- 注意 1. ECCIER レジスタのビット 1-7 は、読むと"0"が読めます。書く場合、必ず"0"を書いてください。
2. ビットエラーが 2 ビットの場合、ECCIER の値にかかわらず INTRAM 割り込み要求が発生します。

No.43 「27.3.4 CPU スタック・ポインタ・モニタ機能」

27.3.4 CPU スタック・ポインタ・モニタ機能

本機能により、スタック・ポインタのオーバーフローかアンダーフローを検出し、割り込みを発生させることができます。

注意 オンチップ・デバッグ中は、CPU スタック・ポインタ・モニタ機能は動作しません。

No.44 「図 27-20 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット」

図27-20 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード/ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされる SFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, PITHLxx, ADPC, PIOR 注1

GCSC 注2	クロック制御機能、電圧検出回路の制御レジスタのガード
0	無効。クロック制御機能、電圧検出回路の制御レジスタのリード/ライト可能。
1	有効。クロック制御機能、電圧検出回路の制御レジスタのライト無効。リード可能。 [ガードされる SFR] CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, CANCKSEL, LINCKSEL, CKSEL, PLLCTL, MDIV, RTCCL, POCRES, STPSTC

注1. Pxx (ポート・レジスタ) はガードされません。

~~注2. セルフ・プログラミング時は、GCSC=0 に設定してください。~~

No.45 「表 33-5 オペレーション一覧 (12/18)」

表 33-5 オペレーション一覧 (12/18)

命令群	ニモニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	AX ← A × X			
	MULHU		3	2	—	BCAX ← A X × BC (符号なし)			
	MULH		3	2	—	BCAX ← A X × BC (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) ← AX ÷ DE (符号なし)			
	DIVWU		3	17	—	BCAX (商), HLDE (余り) ← BCAX ÷ HLDE (符号なし)			
	MACHU		3	3	—	MACR ← MACR + AX × BC (符号なし)		×	×
	MACH		3	3	—	MACR ← MACR + AX × BC (符号付き)		×	×

注1. 内部 RAM 領域、SFR 領域、および拡張 SFR 領域をアクセスしたとき、またはデータ・アクセスをしないときの CPU クロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときの CPU クロック (fCLK) 数。

注意 割り込み処理中に DIVHU、DIVWU 命令を実行する場合、割り込み禁止状態(DI)で実行してください。

ただし、RAM 領域での命令実行を除き、アセンブリ言語ソースにて DIVHU、DIVWU 命令の直後に NOP 命令を追加した場合は、割り込み許可状態でも DIVHU、DIVWU 命令を実行することができます。下記のコンパイラはビルド時に DIVHU、DIVWU 命令が出力される場合、その直後に自動で NOP 命令が挿入されます。

- CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71 以降の C 言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR 社 コンパイラ製品) Service pack 1.40.6 以降の C 言語ソース
- GNURL78 (KPIT 社 コンパイラ)の C 言語ソース。

No.46 「34.3.1 端子特性 (1/4)、35.3.1 端子特性 (1/4)、36.3.1 端子特性 (1/4)」

・表下部の注1の記載改訂

注1. EVDD0, EVDD1, VDD 端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

No.47 「34.3.1 端子特性 (2/4)、35.3.1 端子特性 (2/4)、36.3.1 端子特性 (2/4)」

・表下部の注1の記載改訂

注1. 出力端子から EV_{Sso}, EV_{Ssi}, V_{SS} 端子に流れ込んでも、デバイスの動作を保証する電流値です。

No.48 「34.4.1 基本動作 (1/2)、35.4.1 基本動作 (1/2)、36.4.1 基本動作 (1/2)」

・表下部の注の記載改訂

注 RESET, INTP0-INTP3, INTP12, INTP13 には MIN. 100ns のノイズ・フィルタを持ちます。

No.49 「34.5.1 シリアル・アレイ・ユニット、35.5.1 シリアル・アレイ・ユニット、36.5.1 シリアル・アレイ・ユニット」
(7) 同電位通信時 (簡易I²Cモード)

(SDAr, SCLr はN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}			400 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1300		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 5.7 2.7 kΩ			
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	600		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 5.7 2.7 kΩ			
データ・セットアップ時間 (受信時)	t _{SU : DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1/f _{MCK} + 120		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 5.7 2.7 kΩ	1/f _{MCK} + 270		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	0	300	ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 5.7 2.7 kΩ			

注 かつ f_{CLK} ≤ f_{MCK}/4

No.50 「34.9 フラッシュ・メモリ・プログラミング特性、35.9 フラッシュ・メモリ・プログラミング特性、
36.9 フラッシュ・メモリ・プログラミング特性」

項目	略号	条件	MIN.	TYP.	MAX.	単位
消去時間	T _{erasa}	セクタ ブロック消去	5			ms

No.51 「36.1 絶対最大定格 (2/2)」

(2/2)

項目	略号	条件	定格	単位
ロウ・レベル出力電流	I _{OL1}	1端子 P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P4060 P106, P107, P120, P125-P127, P130, P140, P150-P157	40	mA
		端子合計 170 mA	70	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P4060 P106, P107, P130, P140, P154-P157	100	mA
	I _{OL2}	1端子	1	mA
	端子合計	P100-P105	5	mA

注 端子の入出力バッファ電源は、「表4-1 各端子の入出力バッファ電源」をご参照ください。