

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

H8/3687 群

瑞萨 16 位单片机

H8 族 / H8/300H Tiny 系列

H8/3687N	HD643687G HD64N3687G
H8/3687F	HD64F3687 HD64F3687G
H8/3687	HD6433687 HD6433687G
H8/3686	HD6433686 HD6433686G
H8/3685	HD6433685 HD6433685G
H8/3684F	HD64F3684 HD64F3684G
H8/3684	HD6433684 HD6433684G
H8/3683	HD6433683 HD6433683G
H8/3682	HD6433682 HD6433682G

Cautions

Keep safety first in your circuit designs!

1. Renesas Technology Corp. puts the maximum effort into making semiconductor products better and more reliable, but there is always the possibility that trouble may occur with them. Trouble with semiconductors may lead to personal injury, fire or property damage.
Remember to give due consideration to safety when making your circuit designs, with appropriate measures such as (i) placement of substitutive, auxiliary circuits, (ii) use of nonflammable material or (iii) prevention against any malfunction or mishap.

Notes regarding these materials

1. These materials are intended as a reference to assist our customers in the selection of the Renesas Technology Corp. product best suited to the customer's application; they do not convey any license under any intellectual property rights, or any other rights, belonging to Renesas Technology Corp. or a third party.
2. Renesas Technology Corp. assumes no responsibility for any damage, or infringement of any third-party's rights, originating in the use of any product data, diagrams, charts, programs, algorithms, or circuit application examples contained in these materials.
3. All information contained in these materials, including product data, diagrams, charts, programs and algorithms represents information on products at the time of publication of these materials, and are subject to change by Renesas Technology Corp. without notice due to product improvements or other reasons. It is therefore recommended that customers contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor for the latest product information before purchasing a product listed herein.
The information described here may contain technical inaccuracies or typographical errors. Renesas Technology Corp. assumes no responsibility for any damage, liability, or other loss rising from these inaccuracies or errors.
Please also pay attention to information published by Renesas Technology Corp. by various means, including the Renesas Technology Corp. Semiconductor home page (<http://www.renesas.com>).
4. When using any or all of the information contained in these materials, including product data, diagrams, charts, programs, and algorithms, please be sure to evaluate all information as a total system before making a final decision on the applicability of the information and products. Renesas Technology Corp. assumes no responsibility for any damage, liability or other loss resulting from the information contained herein.
5. Renesas Technology Corp. semiconductors are not designed or manufactured for use in a device or system that is used under circumstances in which human life is potentially at stake. Please contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor when considering the use of a product contained herein for any specific purposes, such as apparatus or systems for transportation, vehicular, medical, aerospace, nuclear, or undersea repeater use.
6. The prior written approval of Renesas Technology Corp. is necessary to reprint or reproduce in whole or in part these materials.
7. If these products or technologies are subject to the Japanese export control restrictions, they must be exported under a license from the Japanese government and cannot be imported into a country other than the approved destination.
Any diversion or reexport contrary to the export control laws and regulations of Japan and/or the country of destination is prohibited.
8. Please contact Renesas Technology Corp. for further details on these materials or the products contained therein.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

请遵循安全第一进行电路设计

1. 虽然瑞萨科技尽力提高半导体产品的质量和可靠性，但是半导体产品也可能发生故障。半导体的故障可能导致人身伤害、火灾事故以及财产损害。在电路设计时，请充分考虑安全性，采用合适的如冗余设计、利用非易燃材料以及故障或者事故防止等的安全设计方法。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的瑞萨科技产品的参考资料，不转让属于瑞萨科技或者第三者所有的知识产权和其它权利的许可。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法以及其它应用电路的例子而引起的损害或者对第三者的权力的侵犯，瑞萨科技不承担责任。
3. 本资料所记载的产品数据、图、表、程序、算法以及其它所有信息均为本资料发行时的信息，由于改进产品或者其它原因，本资料记载的信息可能变动，恕不另行通知。在购买本资料所记载的产品时，请预先向瑞萨科技或者经授权的瑞萨科技产品经销商确认最新信息。
本资料所记载的信息可能存在技术不准确或者印刷错误。因这些错误而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
同时也请通过各种方式注意瑞萨科技公布的信息，包括瑞萨科技半导体网站。
(<http://www.renesas.com>)
4. 在使用本资料所记载部分或者全部数据、图、表、程序以及算法等信息时，在最终做出有关信息和产品是否适用的判断前，务必对作为整个系统的所有信息进行评价。由于本资料所记载的信息而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
5. 瑞萨科技的半导体产品不是为在可能和人命相关的环境下使用的设备或者系统而设计和制造的产品。在研讨将本资料所记载的产品用于运输、交通车辆、医疗、航空宇宙用、原子能控制、海底中继器的设备或者系统等特殊用途时，请与瑞萨科技或者经授权的瑞萨产品经销商联系。
6. 未经瑞萨科技的书面许可，不得翻印或者复制全部或者部分资料的内容。
7. 如果本资料所记载的某产品或者技术内容受日本出口管理限制，必须在得到日本政府的有关部门许可后才能出口，并且不准进口到批准目的地国家以外的国家。
禁止违反日本和（或者）目的地国家的出口管理法和法规的任何转卖、挪用或者再出口。
8. 如果需要了解本资料所记载的信息或者产品的详细，请与瑞萨科技联系。

General Precautions on Handling of Product

1. Treatment of NC Pins

Note: Do not connect anything to the NC pins.

The NC (not connected) pins are either not connected to any of the internal circuitry or are used as test pins or to reduce noise. If something is connected to the NC pins, the operation of the LSI is not guaranteed.

2. Treatment of Unused Input Pins

Note: Fix all unused input pins to high or low level.

Generally, the input pins of CMOS products are high-impedance input pins. If unused pins are in their open states, intermediate levels are induced by noise in the vicinity, a passthrough current flows internally, and a malfunction may occur.

3. Processing before Initialization

Note: When power is first supplied, the product's state is undefined.

The states of internal circuits are undefined until full power is supplied throughout the chip and a low level is input on the reset pin. During the period where the states are undefined, the register settings and the output state of each pin are also undefined.

Design your system so that it does not malfunction because of processing while it is in this undefined state. For those products which have a reset function, reset the LSI immediately after the power supply has been turned on.

4. Prohibition of Access to Undefined or Reserved Addresses

Note: Access to undefined or reserved addresses is prohibited.

The undefined or reserved addresses may be used to expand functions, or test registers may have been allocated to these addresses. Do not access these registers; the system's operation is not guaranteed if they are accessed.

有关产品的一般注意事项

1. NC 管脚的处理

【注意】 NC管脚什么也不要连接。

NC(Non-Connection)管脚有不连接内部电路和作为测试管脚和降低噪声等目的使用的情況。因此，对于NC管脚，请什么也不要连接。

2. 未使用的输入管脚的处理

【注意】 将未使用的输入管脚固定成高电平或者低电平。

CMOS产品的输入管脚一般为高阻抗输入。如果将未使用的输入管脚处于开放状态，就可能由于周围噪声的感应而产生中间电平，在内部产生浸透电流，引起误动作。对于未使用的输入管脚，请固定成高电平或低电平。

3. 初始化前的处理

【注意】 加入电源时，产品的状态不定。

从给所有电源管脚外加电压开始，到给复位管脚输入低电平为止，内部电路处于不确定状态，寄存器的设定和各管脚的输出状态不定。请采用避免由此不定状态引起的系统误动作的对策进行系统设计。对于具有复位功能的产品，在加入电源后，请首先执行复位运行。

4. 禁止存取未定义地址或者保留地址

【注意】 禁止存取未定义地址或者保留地址。

未定义地址或者保留地址，除了将来用于功能扩展外，还有被分配测试用寄存器等的情况。因为不能保证存取这些寄存器时的运行和继续运行，所以请不要存取。

本书的构成

本书由如下的内容构成：

1. 有关产品的一般注意事项
2. 本书的构成
3. 前言
4. 目录
5. 概要
6. 各功能模块的说明
 - CPU 以及系统控制
 - 内部外围模块

各模块功能说明的构成取决于各模块。一般由①特点、②输入/输出管脚、③寄存器说明、④运行说明、⑤使用时的注意事项等章节构成。

<p>在设计采用本 LSI 的应用系统时，请在充分确认注意事项的基础上进行。 请你务必阅读各章节中有关说明的注意事项和各章节最后的使用时的注意事项（使用时的注意事项根据需要记载）。</p>
--

7. 寄存器一览表
8. 电特性
9. 附录
10. 索引

前 言

H8/3687 群是以高速 H8/300H CPU 为核心，集成了系统构成所必需的外围功能的单片机。H8/300H CPU 具有与 H8/300CPU 兼容的指令系统。

对象者 本手册是以设计“采用 H8/3687 群的应用系统”的用户为对象。
使用本手册的读者需要具备有关电路、逻辑电路以及微型计算机的基础知识。

目的 本手册是以“能让用户理解 H8/3687 群的硬件功能和电特性”为目的。
关于执行指令的详细内容，已记述在《H8/300H Series Programming Manual》中，请对照阅读。

阅读方法

- 希望了解全部功能时。
 - 请按照目录的顺序阅读。
本书大致以 CPU、系统控制功能、外围功能、电特性的顺序构成。
- 希望了解详细的 CPU 功能。
 - 请参照《H8/300H Series Programming Manual》。
- 知道寄存器名，希望了解详细的功能时。
 - 在本书的后面附有“索引”。请从索引检索页号。
关于地址、位内容以及初始化，汇总在“第22章 寄存器一览表”中。

寄存器符号

串行通信接口等相同或者类似的功能存在于多个通道时，使用如下的符号：

XXX_N (XXX 为基本寄存器名，N 为通道号)

范例 位的表示顺序：左侧为高位、右侧为低位

注意

使用内部仿真器 (E7、E8) 进行 H8/3687 的程序开发和调试时，必须注意以下限制事项：

1. $\overline{\text{NMI}}$ 管脚被E7或E8占用，不能使用。
2. P85、P86、P87管脚也不能使用。使用时必须在用户电路板上追加硬件。

3. 因为E7、E8使用地址H'D000~H'DFFF区，用户不能使用。
4. 不能存取地址H'F780~H'FB7F区。
5. 使用E7、E8时，可设定地址断开是给E7、E8使用还是开放给用户。在E7、E8使用地址断开的情况下，请不要存取地址断开的控制寄存器。
6. 使用E7、E8时， $\overline{\text{NMI}}$ 管脚为输入/输出（输出时为漏极开路）管脚，P85管脚和P87管脚为输入管脚，P86管脚为输出管脚。
7. 引导模式的单板上编程模式使用SCI3的通道1（P21/RXD和P22/TXD）。

相关资料一览表 最新的资料刊登在网站上。请确认现有的资料是否为最新版。
 (<http://www.renesas.com>)

•有关 H8/3687 群用户手册

资料名	资料编号
H8/3687 群硬件手册	本手册
H8/300H Series Programming Manual	ADE-602-053
H8/300H 系列程序设计手册	ADC-602-003

•有关开发工具的用户手册

资料名	资料编号
H8S、H8/300 系列 C/C++编译程序、汇编程序、优化连接编辑程序用户手册	RCJ10B0001-0100
H8S, H8/300 Series Simulator/Debugger User's Manual	ADE-702-282
H8S, H8/300 Series High-Performance Embedded Workshop, High-Performance Debugging Interface Tutorial	ADE-702-231
High-Performance Embedded Workshop User's Manual	ADE-702-201

•应用说明

资料名	资料编号
Single Power Supply F-ZTAT™ On-Board Programming	ADE-502-055

目 录

第 1 章	概 要	1
1.1	特点	1
1.2	内部框图	3
1.3	管脚排列图	5
1.4	管脚功能	7
第 2 章	CPU	11
2.1	地址空间和存储器映像	12
2.2	寄存器构成	15
2.2.1	通用寄存器	15
2.2.2	程序计数器 (PC)	16
2.2.3	条件码寄存器 (CCR)	17
2.3	数据格式	18
2.3.1	通用寄存器的数据格式	18
2.3.2	存储器的数据格式	19
2.4	指令系统	21
2.4.1	指令的功能分类表	21
2.4.2	指令的基本格式	29
2.5	寻址方式和有效地址	30
2.5.1	寻址方式	30
2.5.2	有效地址的计算方法	32
2.6	基本总线周期	35
2.6.1	内部存储器 (RAM、ROM)	35
2.6.2	内部外围模块	36
2.7	CPU 的状态	37
2.8	使用时的注意事项	38
2.8.1	空区域的数据存取	38
2.8.2	EPMOV 指令	38
2.8.3	位操作指令	39
第 3 章	异常处理	45
3.1	异常类型和向量地址	45
3.2	寄存器说明	47
3.2.1	中断边沿选择寄存器 1 (IEGR1)	47

3.2.2	中断边沿选择寄存器 2 (IEGR2)	48
3.2.3	中断许可寄存器 1 (IENR1)	49
3.2.4	中断许可寄存器 2 (IENR2)	50
3.2.5	中断标志寄存器 1 (IRR1)	51
3.2.6	中断标志寄存器 2 (IRR2)	52
3.2.7	唤醒中断标志寄存器 (IWPR)	53
3.3	复位异常处理	54
3.4	中断异常处理	54
3.4.1	外部中断请求	54
3.4.2	内部中断请求	56
3.4.3	中断处理顺序	56
3.4.4	中断响应时间	57
3.5	使用时的注意事项	59
3.5.1	复位后的中断请求	59
3.5.2	堆栈区的存取	59
3.5.3	改写端口模式寄存器时的注意事项	59
第 4 章	地址断开	61
4.1	寄存器说明	62
4.1.1	地址断开控制寄存器 (ABRKCR)	62
4.1.2	地址断开状态寄存器 (ABRKSR)	63
4.1.3	断开地址寄存器 (BARH、BARL)	63
4.1.4	断开数据寄存器 (BDRH、BDRL)	63
4.2	运行说明	64
第 5 章	时钟振荡器	67
5.1	系统时钟振荡器	68
5.1.1	晶体谐振器的连接方法	68
5.1.2	陶瓷谐振器的连接方法	69
5.1.3	输入外部时钟的方法	69
5.2	子时钟振荡器	70
5.2.1	32.768kHz 晶体谐振器的连接方法	70
5.2.2	不使用子时钟时的管脚处理	71
5.3	预定标器	71
5.3.1	预定标器 S	71
5.3.2	预定标器 W	71
5.4	使用时的注意事项	72
5.4.1	谐振器的注意事项	72
5.4.2	电路板设计时的注意事项	72

第 6 章	低功耗模式	73
6.1	寄存器说明.....	74
6.1.1	系统控制寄存器 1 (SYSCR1)	74
6.1.2	系统控制寄存器 2 (SYSCR2)	75
6.1.3	模块待机控制寄存器 1 (MSTCR1)	76
6.1.4	模块待机控制寄存器 2 (MSTCR2)	76
6.2	模式间转移和LSI状态.....	77
6.2.1	睡眠模式.....	79
6.2.2	待机模式.....	79
6.2.3	子睡眠模式.....	79
6.2.4	子激活模式.....	80
6.3	激活模式的运行频率.....	80
6.4	直接转移.....	80
6.4.1	从激活模式到子激活模式的直接转移时间	80
6.4.2	从子激活模式到激活模式的直接转移时间	81
6.5	模块待机功能.....	81
第 7 章	ROM	83
7.1	块结构	84
7.2	寄存器说明.....	85
7.2.1	快速擦写存储器控制寄存器 1 (FLMCR1)	85
7.2.2	快速擦写存储器控制寄存器 2 (FLMCR2)	86
7.2.3	块指定寄存器 1 (EBR1)	86
7.2.4	快速擦写存储器功率控制寄存器 (FLPWCR)	86
7.2.5	快速擦写存储器许可寄存器 (FENR)	87
7.3	单板上编程.....	87
7.3.1	引导模式.....	88
7.3.2	用户模式的编程/擦除.....	90
7.4	编程/擦除程序.....	91
7.4.1	编程/编程验证.....	91
7.4.2	擦除/擦除验证.....	94
7.4.3	快速擦写存储器的编程/擦除时的中断	94
7.5	编程/擦除保护.....	96
7.5.1	硬件保护.....	96
7.5.2	软件保护.....	96
7.5.3	错误保护.....	96
7.6	编程器模式.....	97
7.7	快速擦写存储器的低功耗运行.....	97

第 8 章	RAM	99
第 9 章	I/O 端口	101
9.1	端口1	102
9.1.1	端口模式寄存器 1 (PMR1)	102
9.1.2	端口控制寄存器 1 (PCR1)	103
9.1.3	端口数据寄存器 1 (PDR1)	103
9.1.4	端口上拉控制寄存器 1 (PUCR1)	104
9.1.5	管脚功能	104
9.2	端口2	106
9.2.1	端口控制寄存器 2 (PCR2)	106
9.2.2	端口数据寄存器 2 (PDR2)	107
9.2.3	端口模式寄存器 3 (PMR3)	107
9.2.4	管脚功能	107
9.3	端口3	109
9.3.1	端口控制寄存器 3 (PCR3)	109
9.3.2	端口数据寄存器 3 (PDR3)	110
9.3.3	管脚功能	110
9.4	端口5	112
9.4.1	端口模式寄存器 5 (PMR5)	112
9.4.2	端口控制寄存器 5 (PCR5)	113
9.4.3	端口数据寄存器 5 (PDR5)	113
9.4.4	端口上拉控制寄存器 5 (PUCR5)	114
9.4.5	管脚功能	114
9.5	端口6	117
9.5.1	端口控制寄存器 6 (PCR6)	117
9.5.2	端口数据寄存器 6 (PDR6)	118
9.5.3	管脚功能	118
9.6	端口7	121
9.6.1	端口控制寄存器 7 (PCR7)	121
9.6.2	端口数据寄存器 7 (PDR7)	122
9.6.3	管脚功能	122
9.7	端口8	124
9.7.1	端口控制寄存器 8 (PCR8)	124
9.7.2	端口数据寄存器 8 (PDR8)	125
9.7.3	管脚功能	125
9.8	端口B	126
9.8.1	端口数据寄存器 B (PDRB)	126

第 10 章	实时时钟 (RTC)	127
10.1	特点	127
10.2	输入/输出管脚	128
10.3	寄存器说明	128
10.3.1	秒数据寄存器/自由运行计数器数据寄存器 (RSECDR)	128
10.3.2	分数据寄存器 (RMINDR)	129
10.3.3	小时数据寄存器 (RHRDR)	129
10.3.4	星期几数据寄存器 (RWKDR)	130
10.3.5	RTC 控制寄存器 1 (RTCCR1)	131
10.3.6	RTC 控制寄存器 2 (RTCCR2)	132
10.3.7	时钟源选择寄存器 (RTCCSR)	133
10.4	RTC 运行	134
10.4.1	加电后寄存器的初始设定	134
10.4.2	初始设定的步骤	134
10.4.3	读时刻的步骤	135
10.5	中断源	136
第 11 章	定时器 B1	137
11.1	特点	137
11.2	输入/输出管脚	138
11.3	寄存器说明	138
11.3.1	定时器模式寄存器 B1 (TMB1)	138
11.3.2	定时器计数器 B1 (TCB1)	139
11.3.3	定时器装入寄存器 B1 (TLB1)	139
11.4	运行说明	139
11.4.1	间隔定时器的运行	139
11.4.2	自动再装入定时器的运行	139
11.4.3	事件计数器	140
11.5	定时器B1的运行模式	140
第 12 章	定时器 V	141
12.1	特点	141
12.2	输入/输出管脚	143
12.3	寄存器说明	143
12.3.1	定时器计数器 V (TCNTV)	143
12.3.2	时间常数寄存器 A、B (TCORA、TCORB)	143
12.3.3	定时器控制寄存器 V0 (TCRV0)	144
12.3.4	定时器控制/状态寄存器 V (TCSR V)	145
12.3.5	定时器控制寄存器 V1 (TCRV1)	146
12.4	运行说明	146

12.4.1	定时器 V 的运行	146
12.5	定时器 V 的使用例	150
12.5.1	输出任意占空比脉冲	150
12.5.2	来自 TRGV 输入的任意延迟时间和任意脉冲宽度的脉冲输出	151
12.6	使用时的注意事项	152
第 13 章	定时器 Z	155
13.1	特点	155
13.2	输入/输出管脚	160
13.3	寄存器说明	160
13.3.1	定时器启动寄存器 (TSTR)	162
13.3.2	定时器模式寄存器 (TMDR)	162
13.3.3	定时器 PWM 模式寄存器 (TPMR)	163
13.3.4	定时器功能控制寄存器 (TFCR)	164
13.3.5	定时器输出主许可寄存器 (TOER)	165
13.3.6	定时器输出控制寄存器 (TOCR)	167
13.3.7	定时器计数器 (TCNT)	168
13.3.8	通用寄存器 A、B、C、D (GRA、GRB、GRC、GRD)	168
13.3.9	定时器控制寄存器 (TCR)	169
13.3.10	定时器 I/O 控制寄存器 (TIORA、TIORC)	170
13.3.11	定时器状态寄存器 (TSR)	172
13.3.12	定时器中断许可寄存器 (TIER)	173
13.3.13	PWM 模式输出电平控制寄存器 (POCR)	174
13.3.14	与 CPU 的接口	174
13.4	运行说明	176
13.4.1	计数器运行	176
13.4.2	通过比较匹配输出波形的功能	179
13.4.3	输入捕捉功能	182
13.4.4	同步运行	184
13.4.5	PWM 模式	185
13.4.6	复位同步 PWM 模式	191
13.4.7	互补 PWM 模式	195
13.4.8	缓冲运行	203
13.4.9	定时器 Z 输出时序	210
13.5	中断请求	213
13.5.1	状态标志的置位时序	213
13.5.2	状态标志的清除时序	215
13.6	使用时的注意事项	215

第 14 章	监视定时器	221
14.1	特点	221
14.2	寄存器说明.....	221
14.2.1	定时器控制/状态寄存器 WD (TCSRWD)	222
14.2.2	定时器计数器 WD (TCWD)	223
14.2.3	定时器模式寄存器 WD (TMWD)	223
14.3	运行说明.....	224
第 15 章	14 位 PWM.....	225
15.1	特点	225
15.2	输入/输出管脚.....	226
15.3	寄存器说明.....	226
15.3.1	PWM 控制寄存器 (PWCR)	226
15.3.2	PWM 数据寄存器 U、L (PWDRU、PWDR L)	227
15.4	运行说明.....	227
第 16 章	串行通信接口 3 (SCI3)	229
16.1	特点	229
16.2	输入/输出管脚.....	231
16.3	寄存器说明.....	232
16.3.1	接收移位寄存器 (RSR)	232
16.3.2	接收数据寄存器 (RDR)	232
16.3.3	发送移位寄存器 (TSR)	232
16.3.4	发送数据寄存器 (TDR)	232
16.3.5	串行模式寄存器 (SMR)	233
16.3.6	串行控制寄存器 3 (SCR3)	234
16.3.7	串行状态寄存器 (SSR)	235
16.3.8	位速率寄存器 (BRR).....	236
16.4	异步模式的运行说明.....	241
16.4.1	时钟.....	241
16.4.2	SCI3 的初始化.....	242
16.4.3	数据发送.....	243
16.4.4	数据接收.....	245
16.5	时钟同步模式的运行说明.....	248
16.5.1	时钟.....	248
16.5.2	SCI3 的初始化.....	248
16.5.3	数据发送.....	249
16.5.4	数据接收.....	251
16.5.5	数据发送和接收同时运行	253
16.6	多处理器通信功能.....	254

16.6.1	多处理器数据发送	255
16.6.2	多处理器数据接收	256
16.7	中断请求	258
16.8	使用时的注意事项	259
16.8.1	关于中止的检测和处理	259
16.8.2	标记状态和中止的发送	259
16.8.3	关于接收错误标志和发送运行（只限时钟同步模式）	259
16.8.4	异步模式的接收数据采样时序和接收容限	259
第 17 章	I²C 总线接口 2 (IIC2)	261
17.1	特点	261
17.2	输入/输出管脚	263
17.3	寄存器说明	263
17.3.1	I ² C 总线控制寄存器 1 (ICCR1)	264
17.3.2	I ² C 总线控制寄存器 2 (ICCR2)	265
17.3.3	I ² C 总线模式寄存器 (ICMR)	267
17.3.4	I ² C 总线中断许可寄存器 (ICIER)	268
17.3.5	I ² C 总线状态寄存器 (ICSR)	270
17.3.6	从属地址寄存器 (SAR)	272
17.3.7	I ² C 总线发送数据寄存器 (ICDRT)	272
17.3.8	I ² C 总线接收数据寄存器 (ICDRR)	272
17.3.9	I ² C 总线移位寄存器 (ICDRS)	272
17.4	运行说明	273
17.4.1	I ² C 总线格式	273
17.4.2	主发送运行	274
17.4.3	主接收运行	276
17.4.4	从属发送运行	278
17.4.5	从属接收运行	280
17.4.6	时钟同步串行格式	282
17.4.7	噪声消除电路	284
17.4.8	使用例	285
17.5	中断请求	289
17.6	位同步电路	289
17.7	使用时的注意事项	290
17.7.1	关于停止条件和开始条件（再送）的输出	290
17.7.2	关于 I ² C 总线模式寄存器 (ICMR) 的 WAIT 设定	290
第 18 章	A/D 转换器	291
18.1	特点	291
18.2	输入/输出管脚	293

18.3	寄存器说明.....	293
18.3.1	A/D 数据寄存器 A~D (ADDRA~D)	293
18.3.2	A/D 控制/状态寄存器 (ADCSR)	294
18.3.3	A/D 控制寄存器 (ADCR)	295
18.4	运行说明.....	296
18.4.1	单通道模式.....	296
18.4.2	扫描模式.....	296
18.4.3	输入采样和 A/D 转换时间	296
18.4.4	外部触发输入时序.....	297
18.5	A/D转换精度的定义.....	298
18.6	使用时的注意事项.....	300
18.6.1	关于容许信号源阻抗.....	300
18.6.2	关于对绝对精度的影响.....	300
第 19 章	EEPROM.....	301
19.1	特点	301
19.2	输入/输出管脚.....	302
19.3	寄存器说明.....	303
19.3.1	EEPROM 键寄存器 (EKR)	303
19.4	运行说明.....	303
19.4.1	EEPROM 接口.....	303
19.4.2	总线格式和时序.....	303
19.4.3	开始条件	304
19.4.4	停止条件.....	304
19.4.5	应答.....	304
19.4.6	从属地址.....	304
19.4.7	写运行.....	305
19.4.8	应答查询.....	306
19.4.9	读运行.....	307
19.5	使用时的注意事项.....	309
19.5.1	电源 ON/OFF 时的数据保护	309
19.5.2	改写次数.....	309
19.5.3	噪声消除时间.....	309
第 20 章	加电复位和低电压检测电路【任选】	311
20.1	特点	311
20.2	寄存器说明.....	313
20.2.1	低电压检测控制寄存器 (LVDCR)	313
20.2.2	低电压检测状态寄存器 (LVDSR)	314
20.3	运行说明.....	315

20.3.1	加电复位电路.....	315
20.3.2	低电压检测电路.....	316
第 21 章	电源电路.....	319
21.1	使用内部电源降压电路的情况.....	319
21.2	不使用内部电源降压电路的情况.....	319
第 22 章	寄存器一览表.....	321
22.1	寄存器地址一览表（按地址顺序）.....	322
22.2	寄存器位一览表.....	327
22.3	各运行模式的寄存器状态.....	332
第 23 章	电特性.....	337
23.1	绝对最大额定值.....	337
23.2	电特性（F-ZTAT™版、EEPROM叠层F-ZTAT™版）.....	338
23.2.1	电源电压和运行范围.....	338
23.2.2	DC 特性.....	340
23.2.3	AC 特性.....	347
23.2.4	A/D 转换特性.....	351
23.2.5	监视定时器特性.....	352
23.2.6	快速擦写存储器特性.....	353
23.2.7	EEPROM 特性【暂定规格】.....	354
23.2.8	电源电压检测电路特性【任选】.....	355
23.2.9	加电复位特性【任选】.....	356
23.3	电特性（掩模型ROM版）.....	357
23.3.1	电源电压和运行范围.....	357
23.3.2	DC 特性.....	359
23.3.3	AC 特性.....	366
23.3.4	A/D 转换特性.....	370
23.3.5	监视定时器特性.....	371
23.3.6	EEPROM 特性【暂定规格】.....	371
23.3.7	电源电压检测电路特性【任选】.....	372
23.3.8	加电复位特性【任选】.....	373
23.4	时序图.....	373
23.5	输出负载条件.....	376
附录 A	指令.....	377
A.1	指令表.....	377
A.2	操作码映像.....	392
A.3	指令执行状态数.....	395

A.4 指令和寻址方式的组合	404
附录 B I/O 端口	405
B.1 I/O端口框图	405
B.2 各处理状态的端口状态	417
附录 C 型号一览表	419
附录 D 外形尺寸图	421
附录 E EEPROM 叠层构造截面图.....	423
索引	索引-1

图目录

第1章 概要

图1.1	F-ZTAT™版、掩模型ROM版 H8/3687群内部框图	3
图1.2	EEPROM叠层版 H8/3687N内部框图	4
图1.3	F-ZTAT™版、掩模型ROM版 H8/3687群管脚排列图 (FP-64E, FP-64A)	5
图1.4	EEPROM叠层版 H8/3687N管脚排列图 (FP-64E)	6

第2章 CPU

图2.1	存储器映像 (1)	12
图2.1	存储器映像 (2)	13
图2.1	存储器映像 (3)	14
图2.2	CPU内部寄存器构成	15
图2.3	通用寄存器的使用方法	16
图2.4	堆栈指针和堆栈区的关系	16
图2.5	通用寄存器的数据格式 (1)	18
图2.5	通用寄存器的数据格式 (2)	19
图2.6	存储器的数据格式	20
图2.7	指令格式	29
图2.8	存储器间接转移地址的指定	32
图2.9	内部存储器的存取周期	35
图2.10	内部外围模块的存取周期 (3个状态存取的情况)	36
图2.11	CPU的状态分类	37
图2.12	状态转移图	38
图2.13	同地址被分配2个寄存器的定时器的构成例子	39

第3章 异常处理

图3.1	复位异常处理顺序	55
图3.2	中断异常处理结束后的堆栈状态	57
图3.3	中断请求顺序	58
图3.4	端口模式寄存器的操作和中断请求标志的清除过程	60

第4章 地址断开

图4.1	地址断开框图	61
图4.2	地址断开中断的运行例子 (1)	64
图4.2	地址断开中断的运行例子 (2)	65

第5章 时钟振荡器

图5.1	时钟发生电路的框图	67
图5.2	系统时钟振荡器的电路图	68

图5.3	晶体谐振器的连接例子	68
图5.4	晶体谐振器的等效电路	68
图5.5	陶瓷谐振器的连接例子	69
图5.6	输入外部时钟的连接例子	69
图5.7	子时钟振荡器的电路图	70
图5.8	32.768kHz晶体谐振器的连接例子	70
图5.9	32.768kHz晶体谐振器的等效电路	70
图5.10	不需要子时钟时的管脚处理	71
图5.11	有关振荡电路的电路板设计的注意事项	72
第6章	低功耗模式	
图6.1	模式转移图	77
第7章	ROM	
图7.1	快速擦写存储器的块结构	84
图7.2	用户模式的编程/擦除例子	90
图7.3	编程/编程验证流程图	92
图7.4	擦除/擦除验证流程图	95
第9章	I/O端口	
图9.1	端口1的管脚结构	102
图9.2	端口2的管脚结构	106
图9.3	端口3的管脚结构	109
图9.4	端口5的管脚结构	112
图9.5	端口6的管脚结构	117
图9.6	端口7的管脚结构	121
图9.7	端口8的管脚结构	124
图9.8	端口B的管脚结构	126
第10章	实时时钟 (RTC)	
图10.1	RTC框图	127
图10.2	时间表现的定义	131
图10.3	初始设定步骤	134
图10.4	无法得到正确时刻的例子	135
第11章	定时器B1	
图11.1	定时器B1框图	137
第12章	定时器V	
图12.1	定时器V的框图	142
图12.2	内部时钟运行时的计数时序	147
图12.3	外部时钟运行时的计数时序	147
图12.4	OVF的置位时序	148

图12.5	CMFA和CMFB的置位时序.....	148
图12.6	TMOV输出时序.....	148
图12.7	通过比较匹配进行的清除时序.....	149
图12.8	通过TMRIV输入进行的清除时序.....	149
图12.9	脉冲输出例子.....	150
图12.10	同步于TRGV输入的脉冲输出例子.....	151
图12.11	给TCNTV写和清除的竞争.....	152
图12.12	给TCORA写和比较匹配的竞争.....	153
图12.13	内部时钟的转换和TCNTV运行.....	153

第13章 定时器Z

图13.1	定时器Z的框图.....	157
图13.2	定时器Z（通道0）的框图.....	158
图13.3	定时器Z（通道1）的框图.....	159
图13.4	复位同步PWM模式和互补PWM模式的输出例子.....	165
图13.5	16位寄存器的存取运行（CPU \leftrightarrow TCNT（16位））.....	174
图13.6	8位寄存器的存取运行（CPU \leftrightarrow TSTR（8位））.....	175
图13.7	计数器运行的设定步骤例子.....	176
图13.8	自由运行计数器的运行.....	177
图13.9	周期计数器运行.....	178
图13.10	内部时钟运行时的计数时序.....	178
图13.11	外部时钟运行时的计数时序（检测两个边沿时）.....	179
图13.12	通过比较匹配输出波形的运行例子.....	179
图13.13	0输出、1输出的运行例子.....	180
图13.14	交替输出的运行例子.....	181
图13.15	输出比较的输出时序.....	181
图13.16	输入捕捉运行的设定步骤的例子.....	182
图13.17	输入捕捉的运行例子.....	183
图13.18	输入捕捉的信号时序.....	183
图13.19	同步模式的设定步骤的例子.....	184
图13.20	同步运行的例子.....	185
图13.21	PWM模式的设定步骤的例子.....	186
图13.22	PWM模式的运行例子（1）.....	187
图13.23	PWM模式的运行例子（2）.....	188
图13.24	PWM模式的运行例子（3）.....	189
图13.25	PWM模式的运行例子（4）.....	190
图13.26	复位同步PWM模式的设定步骤的例子.....	192
图13.28	复位同步PWM模式的运行例子（在OLS0=OLS1=0的情况）.....	194
图13.29	互补PWM模式的设定步骤的例子.....	196
图13.30	互补PWM模式的解除步骤.....	197
图13.31	互补PWM模式的运行例子（1）.....	198
图13.32（1）	互补PWM模式的运行例子（TPSC2=TPSC1=TPSC0=0）（2）.....	199
图13.32（2）	互补PWM模式的运行例子（TPSC2=TPSC1=TPSC0=0以外）（3）.....	200
图13.33	在尖峰时的时序.....	201
图13.34	在负尖峰时的时序.....	201
图13.35	比较缓冲运行.....	204
图13.36	比较缓冲运行.....	204

图13.37	缓冲运行的设定步骤的例子	205
图13.38	缓冲运行例子（1）（对于输出比较寄存器的缓冲运行）	206
图13.39	缓冲运行时的比较匹配时序例子	206
图13.40	缓冲运行例子（2）（对于输入捕捉寄存器的缓冲运行）	207
图13.41	缓冲运行时的输入捕捉时序	208
图13.42	缓冲运行例子（3）（互补PWM模式时的缓冲运行CMD1=CMD0=1）	209
图13.43	缓冲运行例子（4）（互补PWM模式时的缓冲运行CMD1=CMD0=1）	210
图13.44	通过对TOER写操作禁止定时器Z输出的时序的例子	211
图13.45	通过外部触发禁止定时器Z输出的时序的例子	211
图13.46	通过对TFCR写操作反转定时器Z输出电平的时序的例子	212
图13.47	通过对POCR写操作反转定时器Z输出电平的时序的例子	212
图13.48	比较匹配时的IMF标志的置位时序	213
图13.49	输入捕捉时的IMF标志的置位时序	214
图13.50	OVF标志的置位时序	214
图13.51	状态标志的清除时序	215
图13.52	TCNT的写操作和清除的竞争	215
图13.53	TCNT的写操作和累加计数的竞争	216
图13.54	GR的写操作和比较匹配的竞争	216
图13.55	TCNT的写操作和溢出的竞争	217
图13.56	GR的读操作和输入捕捉的竞争	218
图13.57	通过输入捕捉清除计数和累加计数的竞争	218
图13.58	GR的写操作和输入捕捉的竞争	219
图13.59	比较匹配和TOCR的位操作指令发生竞争时的例子	220

第14章 监视定时器

图14.1	监视定时器的框图	221
图14.2	监视定时器运行的例子	224

第15章 14位PWM

图15.1	14位PWM框图	225
图15.2	14位PWM输出波形	227

第16章 串行通信接口3（SCI3）

图16.1	SCI3的框图	231
图16.2	异步通信的数据格式	241
图16.3	输出时钟和通信数据的相位关系（异步模式） （8位数据/有奇偶校验/2个停止位的例子）	241
图16.4	初始化SCI3时的流程图例子	242
图16.5	异步模式发送时的运行例子（8位数据/有奇偶校验/1个停止位的例子）	243
图16.6	发送数据的流程图例子（异步模式）	244
图16.7	异步模式接收时的运行例子（8位数据/有奇偶校验/1个停止位的例子）	245
图16.8	数据接收的流程图例子（异步模式）	247
图16.9	时钟同步通信的数据格式	248
图16.10	时钟同步模式发送时的运行例子	249

图16.11	数据发送的流程图例子（时钟同步模式）	250
图16.12	时钟同步模式接收时的运行例子	251
图16.13	接收数据的流程图例子（时钟同步模式）	252
图16.14	数据发送和接收同时运行的流程图例子（时钟同步模式）	253
图16.15	使用多处理器格式的处理器之间的通信例子 （给接收站A发送数据HAA的例子）	254
图16.16	多处理器数据发送的流程图例子	255
图16.17	多处理器数据接收的流程图例子	256
图16.18	多处理器格式的接收时的运行例子 （8位数据/有多处理器位/1个停止位的例子）	257
图16.19	异步模式的接收数据的采样时序	260

第17章 I²C总线接口2（IIC2）

图17.1	I ² C总线接口2的框图	262
图17.2	输入/输出管脚的外部电路连接例子	263
图17.3	I ² C总线格式	273
图17.4	I ² C总线时序	273
图17.5	主发送模式的运行时序（1）	275
图17.6	主发送模式的运行时序（2）	275
图17.7	主接收模式的运行时序（1）	277
图17.8	主接收模式的运行时序（2）	277
图17.9	从属发送模式的运行时序（1）	279
图17.10	从属发送模式的运行时序（2）	280
图17.11	从属接收模式的运行时序（1）	281
图17.12	从属接收模式的运行时序（2）	281
图17.13	时钟同步串行的传送格式	282
图17.14	发送模式的运行时序	283
图17.15	接收模式的运行时序	284
图17.16	噪声消除电路的框图	284
图17.17	主发送模式的流程图例子	285
图17.18	主接收模式的流程图例子	286
图17.19	从属发送模式的流程图例子	287
图17.20	从属接收模式的流程图例子	288
图17.21	位同步电路的时序	290

第18章 A/D转换器

图18.1	A/D转换器的框图	292
图18.2	A/D转换时序	297
图18.3	外部触发输入时序	298
图18.4	A/D转换精度的定义（1）	299
图18.5	A/D转换精度的定义（2）	299
图18.6	模拟输入电路的例子	300

第19章 EEPROM

图19.1	EEPROM的框图	302
图19.2	EEPROM总线格式和总线时序	303

图19.3	字节写运行	305
图19.4	页写运行	306
图19.5	当前地址读运行	307
图19.6	随机地址读运行	308
图19.7	顺序读运行（在使用当前地址读的情况下）	309
第20章 加电复位和低电压检测电路【任选】		
图20.1	加电复位电路和低电压检测电路的框图	312
图20.2	加电复位电路的运行时序	315
图20.3	低电压检测复位电路的运行时序	316
图20.4	低电压检测中断电路的运行时序	317
图20.5	低电压检测电路运行/解除的设定时序	318
第21章 电源电路		
图21.1	在使用内部电源降压电路的情况下的电源连接图	319
图21.2	在不使用内部电源降压电路的情况下的电源连接图	320
第23章 电特性		
图23.1	系统时钟输入时序	373
图23.2	RES管脚的低电平宽度时序	373
图23.3	输入时序	374
图23.4	I ² C总线接口输入/输出时序	374
图23.5	SCK3输入时钟时序	374
图23.6	SCI时钟同步模式输入/输出时序	375
图23.7	EEPROM总线时序	375
图23.8	输出负载电路	376
附录		
图B.1	端口1框图（P17）	405
图B.2	端口1框图（P16、P14）	406
图B.3	端口1框图（P15）	406
图B.4	端口1框图（P12）	407
图B.5	端口1框图（P11）	407
图B.6	端口1框图（P10）	408
图B.7	端口2框图（P24、P23）	408
图B.8	端口2框图（P22）	409
图B.9	端口2框图（P21）	409
图B.10	端口2框图（P20）	410
图B.11	端口3框图（P37、P36、P35、P34、P33、P32、P31、P30）	410
图B.12	端口5框图（P57、P56）*	411
图B.13	端口5框图（P55）	411
图B.14	端口5框图（P54、P53、P52、P51、P50）	412
图B.15	端口6框图（P67、P66、P65、P64、P63、P62、P61、P60）	412
图B.16	端口7框图（P76）	413
图B.17	端口7框图（P75）	413

图B.18	端口7框图 (P74)	414
图B.19	端口7框图 (P72)	414
图B.20	端口7框图 (P71)	415
图B.21	端口7框图 (P70)	415
图B.22	端口8框图 (P87、P86、P85)	416
图B.23	端口B框图 (PB7、PB6、PB5、PB4、PB3、PB2、PB1、PB0)	416
图D.1	FP-64E外形尺寸图	421
图D.2	FP-64A外形尺寸图	422
图E.1	EEPROM叠层构造截面图	423

表目录

第1章 概要

表1.1 管脚功能.....	7
----------------	---

第2章 CPU

表2.1 操作符号.....	21
表2.2 数据传送指令.....	22
表2.3 算术运算指令.....	23
表2.4 逻辑运算指令.....	24
表2.5 移位指令.....	24
表2.6 位操作指令.....	25
表2.7 转移指令.....	27
表2.8 系统控制指令.....	28
表2.9 数据块传送指令.....	28
表2.10 寻址方式一览表.....	30
表2.11 绝对地址的存取范围.....	31
表2.12 有效地址的计算方法 (1).....	33
表2.12 有效地址的计算方法 (2).....	34

第3章 异常处理

表3.1 异常类型和向量地址.....	46
表3.2 中断请求等待状态数.....	57

第4章 地址断开

表4.1 使用的数据总线.....	63
-------------------	----

第5章 时钟振荡器

表5.1 晶体谐振器的参数.....	69
--------------------	----

第6章 低功耗模式

表6.1 运行频率和待机时间.....	75
表6.2 执行SLEEP指令后的状态和由中断产生的返回地址.....	78
表6.3 各运行模式的LSI状态.....	78

第7章 ROM

表7.1 编程模式的选择方法.....	87
表7.2 引导模式的运行.....	89
表7.3 可以自动匹配位速率的系统时钟频率.....	89
表7.4 再编程数据运算表.....	93

表7.5	追加编程数据运算表	93
表7.6	编程时间	93
表7.7	快速擦写存储器的运行状态	97
第10章	实时时钟 (RTC)	
表10.1	管脚结构	128
表10.2	中断源	136
第11章	定时器B1	
表11.1	管脚结构	138
表11.2	定时器B1的运行模式	140
第12章	定时器V	
表12.1	管脚结构	143
表12.2	输入到TCNTV的时钟和计数条件	144
第13章	定时器Z	
表13.1	定时器Z的功能一览表	156
表13.2	管脚结构	160
表13.3	FTIOB0管脚的最初输出电平	186
表13.4	复位同步PWM模式时的输出管脚	191
表13.5	复位同步PWM模式时的寄存器设定	191
表13.6	在互补PWM模式时的输出管脚	195
表13.7	在互补PWM模式时的寄存器设定	195
表13.8	缓冲运行的寄存器组合	203
第15章	14位PWM	
表15.1	管脚结构	226
第16章	串行通信接口3 (SCI3)	
表16.1	SCI3的通道结构	230
表16.2	管脚结构	231
表16.3	对于位速率的BRR的设定例子 (异步模式)	237
表16.4	各频率的最大位速率 (异步模式)	239
表16.5	对于位速率的BRR的设定例子 (时钟同步模式)	240
表16.6	SSR状态标志的状态和接收数据的传送	246
表16.7	SCI3的中断请求	258
第17章	I²C总线接口2 (IIC2)	
表17.1	管脚结构	263
表17.2	传送率	265
表17.3	中断请求一览表	289
表17.4	监视SCL的时间	290

第18章	A/D转换器	
表18.1	管脚结构.....	293
表18.2	模拟输入通道与A/D数据寄存器的对应.....	294
表18.3	A/D转换时间（单通道模式）.....	297
第19章	EEPROM	
表19.1	管脚结构.....	302
表19.2	从属地址.....	305
第20章	加电复位和低电压检测电路【任选】	
表20.1	LVDCR的设定和选择功能.....	314
第23章	电特性	
表23.1	绝对最大额定值.....	337
表23.2	DC特性（1）.....	340
表23.2	DC特性（2）.....	345
表23.2	DC特性（3）.....	346
表23.3	AC特性.....	347
表23.4	I ² C总线接口时序.....	349
表23.5	串行通信接口（SCI）时序.....	350
表23.6	A/D转换器特性.....	351
表23.7	监视定时器特性.....	352
表23.8	快速擦写存储器特性.....	353
表23.9	EEPROM特性.....	354
表23.10	电源电压检测电路特性.....	355
表23.11	加电复位特性.....	356
表23.12	DC特性（1）.....	359
表23.12	DC特性（2）.....	364
表23.12	DC特性（3）.....	365
表23.13	AC特性.....	366
表23.14	I ² C总线接口时序.....	368
表23.15	串行通信接口（SCI）时序.....	369
表23.16	A/D转换器特性.....	370
表23.17	监视定时器特性.....	371
表23.18	EEPROM特性.....	371
表23.19	电源电压检测电路特性.....	372
表23.20	加电复位特性.....	373
附录		
表A.1	指令系统一览表.....	379
表A.2	操作码映像（1）.....	392
表A.2	操作码映像（2）.....	393
表A.2	操作码映像（3）.....	394
表A.3	执行状态（周期）所需要的状态数.....	395
表A.4	指令执行状态（周期数）.....	396

表A.5 指令和寻址方式的组合	404
-----------------------	-----

第 1 章 概要

1.1 特点

- 16 位高速 H8/300H CPU
在目标码级，与H8/300 CPU向上兼容
通用寄存器：16位×16个
基本指令：62种
- 丰富的外围功能
RTC（可作为自由运行计数器使用）
定时器B1（8位定时器）
定时器V（8位定时器）
定时器Z（16位定时器）
14位PWM
监视定时器
SCI（异步或者时钟同步串行通信接口）×2个通道
I²C总线接口（符合飞利浦公司提倡的I²C总线接口方式）
10位A/D转换器

• 内部存储器

产品类型		产品型号		ROM	RAM	备考
		标准品	内置加电复位和低电压检测电路版			
快速擦写存储器版 (F-ZTAT™版)	H8/3687F	HD64F3687	HD64F3687G	56K 字节	4K 字节	
	H8/3684F	HD64F3684	HD64F3684G	32K 字节	4K 字节	
掩模型 ROM 版	H8/3687	HD6433687	HD6433687G	56K 字节	3K 字节	
	H8/3686	HD6433686	HD6433686G	48K 字节	3K 字节	
	H8/3685	HD6433685	HD6433685G	40K 字节	3K 字节	
	H8/3684	HD6433684	HD6433684G	32K 字节	3K 字节	
	H8/3683	HD6433683	HD6433683G	24K 字节	3K 字节	
	H8/3682	HD6433682	HD6433682G	16K 字节	3K 字节	
EEPROM 叠层版 (512 字节)	快速擦写 存储器版	H8/3687N	—	HD64N3687G	56K 字节	4K 字节
	掩模型 ROM 版	—	—	HD6483687G	56K 字节	3K 字节

• 通用输入/输出端口

输入/输出端口：45个管脚（H8/3687N：43个管脚）。

其中8个大电流端口（ $I_{OL}=20\text{mA}$ @ $V_{OL}=1.5\text{V}$ ）

输入端口：8个管脚（模拟输入管脚兼用）

• EEPROM 的接口（只限于 H8/3687N）

I²C总线接口（符合飞利浦公司提倡的I²C总线接口方式）

• 支持各种低功耗模式

【注】F-ZTAT™是（株）瑞萨科技的商标。

• 小型封装

封装	代码	尺寸	管脚节距
LQFP-64	FP-64E	10.0 × 10.0 mm	0.5 mm
QFP-64	FP-64A	14.0 × 14.0 mm	0.8 mm

H8/3687N 的封装只限于 LQFP-64（FP-64E）

1.2 内部框图

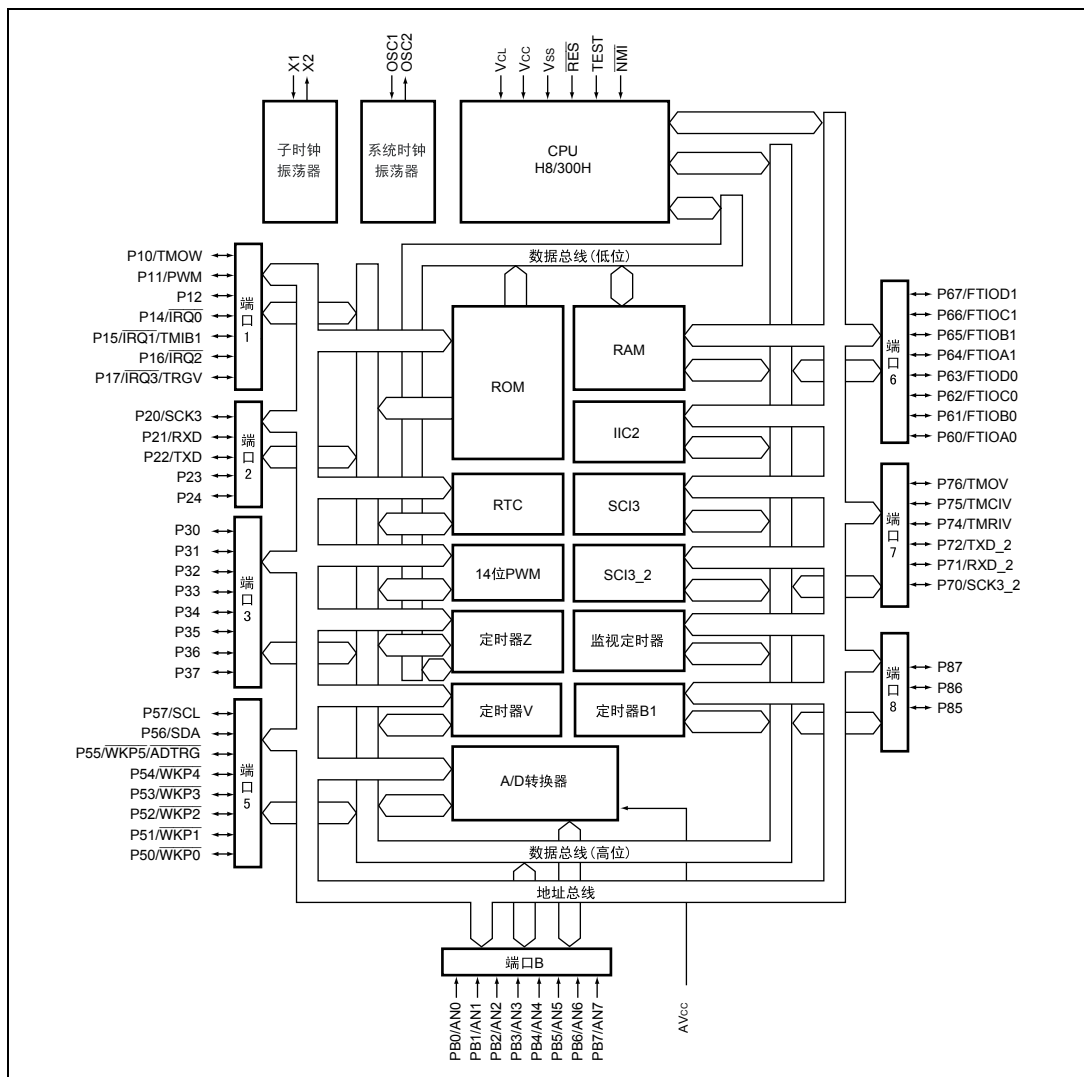


图 1.1 F-ZTAT™ 版、掩模型 ROM 版 H8/3687 群内部框图

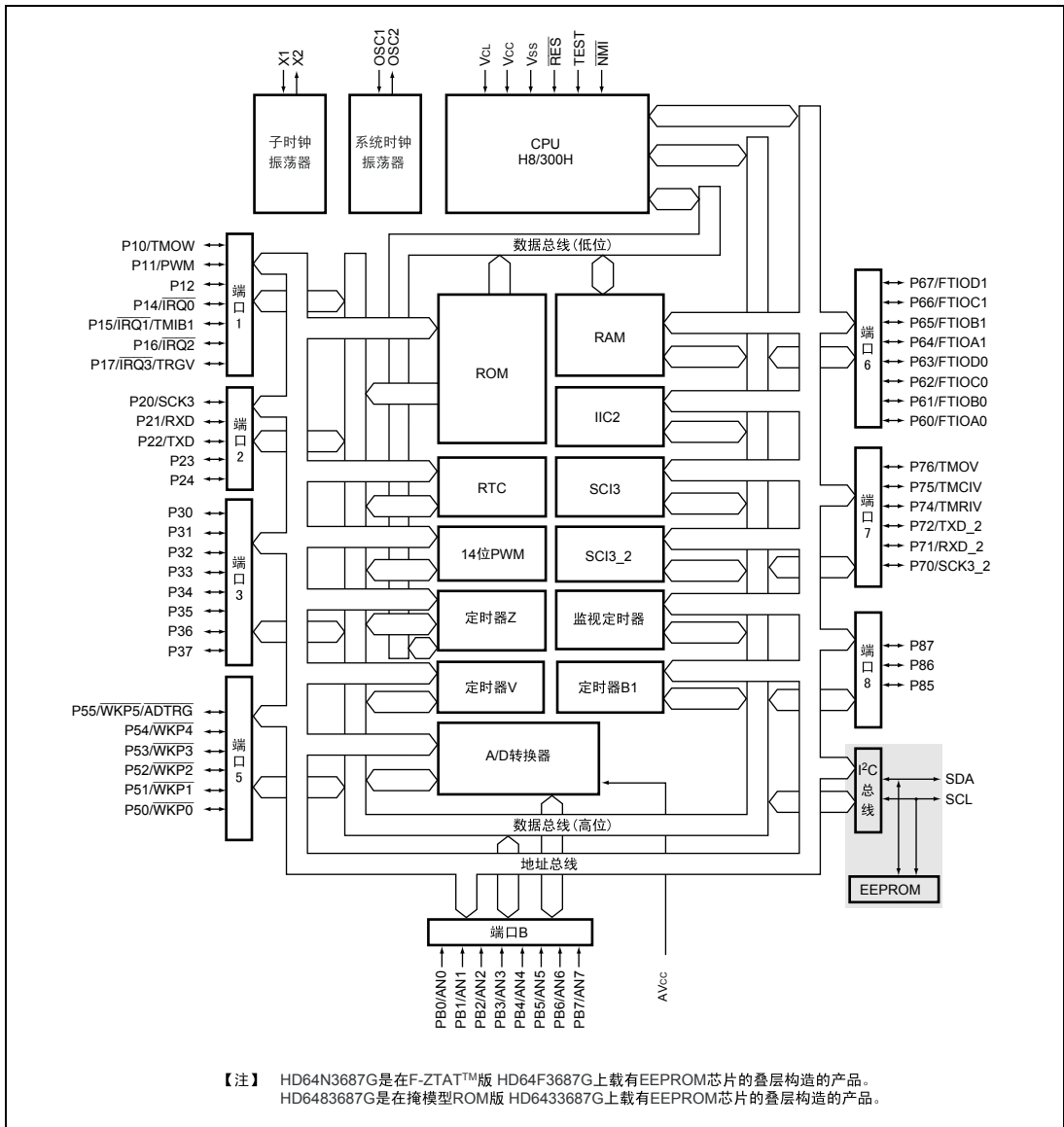


图 1.2 EEPROM 叠层版 H8/3687N 内部框图

1.3 管脚排列图

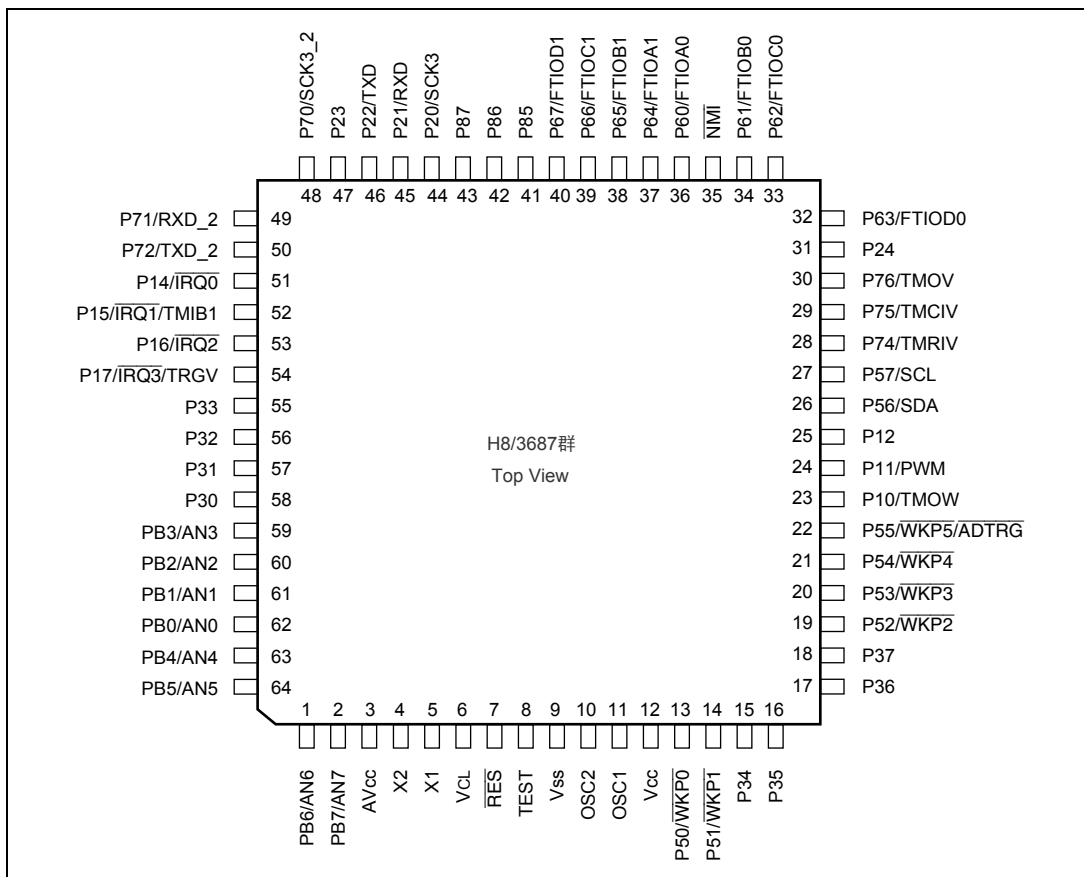


图 1.3 F-ZTAT™ 版、掩模型 ROM 版 H8/3687 群管脚排列图 (FP-64E, FP-64A)

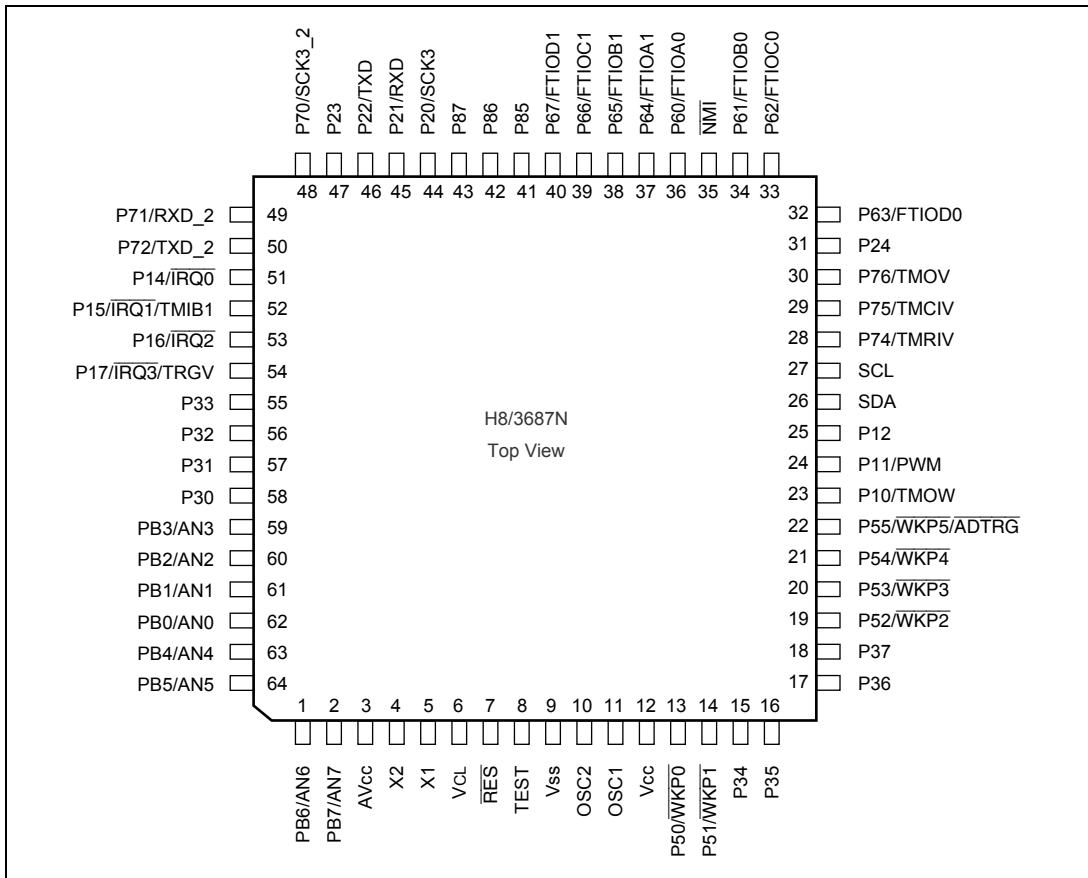


图 1.4 EEPROM 叠层版 H8/3687N 管脚排列图 (FP-64E)

1.4 管脚功能

表 1.1 管脚功能

类型	符号	管脚编号	输入/输出	功 能
		FP-64E FP-64A		
电源	Vcc	12	输入	电源管脚。请与系统电源连接。
	Vss	9	输入	接地管脚。请与系统电源（0V）连接。
	AVcc	3	输入	用于 A/D 转换的模拟信号电源管脚。不使用 A/D 转换器时，请与系统电源连接。
	VCL	6	输入	内部降压电源管脚。为了稳定化,请在该管脚和 Vss 管脚之间插入 0.1μF 左右的电容。
时钟	OSC1	11	输入	用于系统时钟的晶体谐振器或者陶瓷谐振器的连接管脚。也能输入外部时钟。连接例子，请参照“第五章 时钟发生器”。
	OSC2	10	输出	
	X1	5	输入	用于子时钟的 32.768kHz 晶体谐振器的连接管脚。连接例子，请参照“第五章 时钟发生器”。
	X2	4	输出	
系统控制	RES	7	输入	复位管脚。内置上拉电阻（typ. 150kΩ）。该管脚如设定为低电平，则为复位状态。
	TEST	8	输入	测试管脚。请与 V _{SS} 电位连接。
外部中断	NMI	35	输入	非屏蔽中断请求输入管脚。
	IRQ0~ IRQ3	51~54	输入	外部中断请求输入管脚。能选择上升沿/下降沿。
	WKP0~ WKP5	13、14 19~22	输入	外部中断请求输入管脚。能选择上升沿/下降沿。
RTC	TMOW	23	输出	分频时钟输出管脚。
定时器 B1	TMIB1	52	输入	外部事件输入管脚。
定时器 V	TMOV	30	输出	输出比较功能的波形输出管脚。
	TMCIV	29	输入	外部事件输入管脚。
	TMRIV	28	输入	计数器复位输入管脚。
	TRGV	54	输入	计数开始触发输入管脚。
定时器 Z	FTIOA0	36	输入/输出	输出比较的输出/输入捕捉的输入/外部时钟输入兼用管脚。
	FTIOB0	34	输入/输出	输出比较的输出/输入捕捉的输入/PWM 输出兼用管脚。
	FTIOC0	33	输入/输出	输出比较的输出/输入捕捉的输入/PWM 同步输出兼用管脚（在复位、互补 PWM 模式时）。
	FTIOD0	32	输入/输出	输出比较的输出/输入捕捉的输入/PWM 输出兼用管脚。

第 1 章 概要

类型	符号	管脚编号	输入/输出	功 能
		FP-64E FP-64A		
定时器 Z	FTIOA1	37	输入/输出	输出比较的输出/输入捕捉的输入/PWM 输出兼用管脚（在复位、互补 PWM 模式时）。
	FTIOB1~ FTIOD1	38~40	输入/输出	输出比较的输出/输入捕捉的输入/PWM 输出兼用管脚。
14 位 PWM	PWM	24	输出	14 位 PWM 方波输出管脚。
I ² C 总线接口 (IIC)	SDA* ¹	26	输入/输出	I ² C 数据输入/输出管脚。能用 NMOS 漏极开路输出直接驱动总线。使用时，外部需要上拉电阻。
	SCL* ¹	27	输入/输出 (EEPROM: 输入)	I ² C 时钟输入/输出管脚。能用 NMOS 漏极开路输出直接驱动总线。使用时，外部需要上拉电阻。
串行通信 接口 (SCI)	TXD、 TXD_2	46、50	输出	发送数据输出管脚。
	RXD、 RXD_2	45、49	输入	接收数据输入管脚。
	SCK3、 SCK3_2	44、48	输入/输出	时钟输入/输出管脚。
A/D 转换器	AN7~ AN0	2、1 64、63 59~62	输入	模拟信号输入管脚。
	ADTRG	22	输入	转换开始触发输入管脚。
I/O 接口	PB7~PB0	2、1 64、63 59~62	输入	8 位输入端口。
	P17~P14 P12~P10	54~51 25~23	输入/输出	7 位输入/输出端口。
	P24~P20	31、47~ 44	输入/输出	5 位输入/输出端口。
	P37~P30	18~15 55~58	输入/输出	8 位输入/输出端口。
	P57~P50	27* ² 、26* ² 22~19 14、13	输入/输出	8 位输入/输出端口。
	P67~P60	40~37 32~34 36	输入/输出	8 位输入/输出端口。
	P76~P74 P72~P70	30~28 50~48	输入/输出	6 位输入/输出端口。
	P87~P85	43~41	输入/输出	3 位输入/输出端口。

- 【注】 *1 H8/3687N 为 I²C 总线接口专用管脚。解除复位后，由于 I²C 总线变为禁止状态，因此，必须用程序将 ICCR1 的 ICE 位置 1。
- *2 H8/3687N 没有 P57、P56 管脚。

第 2 章 CPU

H8/3687 群 CPU 是与 H8/300CPU 向上兼容的内部结构为 32 位的 H8/300HCPU，仅支持 64K 字节地址空间的正常模式。

- H8/300 CPU 向上兼容
 - 可执行 H8/300 系列的目标程序
 - 增加了 16 位 × 8 个扩展寄存器
 - 增加了 32 位传送和运算指令
 - 增加了带符号的乘除法指令等
- 通用寄存器：16 位 × 16 个
 - 也可作为 8 位 × 16 个 + 16 位 × 8 个、32 位 × 8 个通用寄存器使用
- 基本指令：62 种
 - 8 / 16 / 32 位传送、运算指令
 - 乘除法指令
 - 强大的位操作指令
- 寻址方式：8 种
 - 寄存器直接 (Rn)
 - 寄存器间接 (@Em)
 - 带位移量寄存器间接 (@ (d:16, Em), @ (d:24, Em))
 - 后增/先减寄存器间接 (@Em+ / @-Em)
 - 绝对地址 (@aa:8, @aa:16, @aa:24)
 - 立即 (#xx:8, #xx:16, #xx:32)
 - 程序计数器相对 (@ (d:8, PC), @ (d:16, PC))
 - 存储器间接 (@@aa:8)
- 地址空间：64K 字节
- 高速运算
 - 频繁出现的指令全部以 2~4 状态执行
 - 8 / 16 / 32 位寄存器间的加减法 : 2 状态
 - 8 × 8 位寄存器间的乘法 : 14 状态
 - 16 ÷ 8 位寄存器间的除法 : 14 状态
 - 16 × 16 位寄存器间的乘法 : 22 状态
 - 32 ÷ 16 位寄存器间的除法 : 22 状态

- 低功耗状态
通过SLEEP指令转移到低功耗状态

2.1 地址空间和存储器映像

H8/3678 群的地址空间为 64K 字节，包含程序区和数据区。存储器映像如图 2.1 所示。

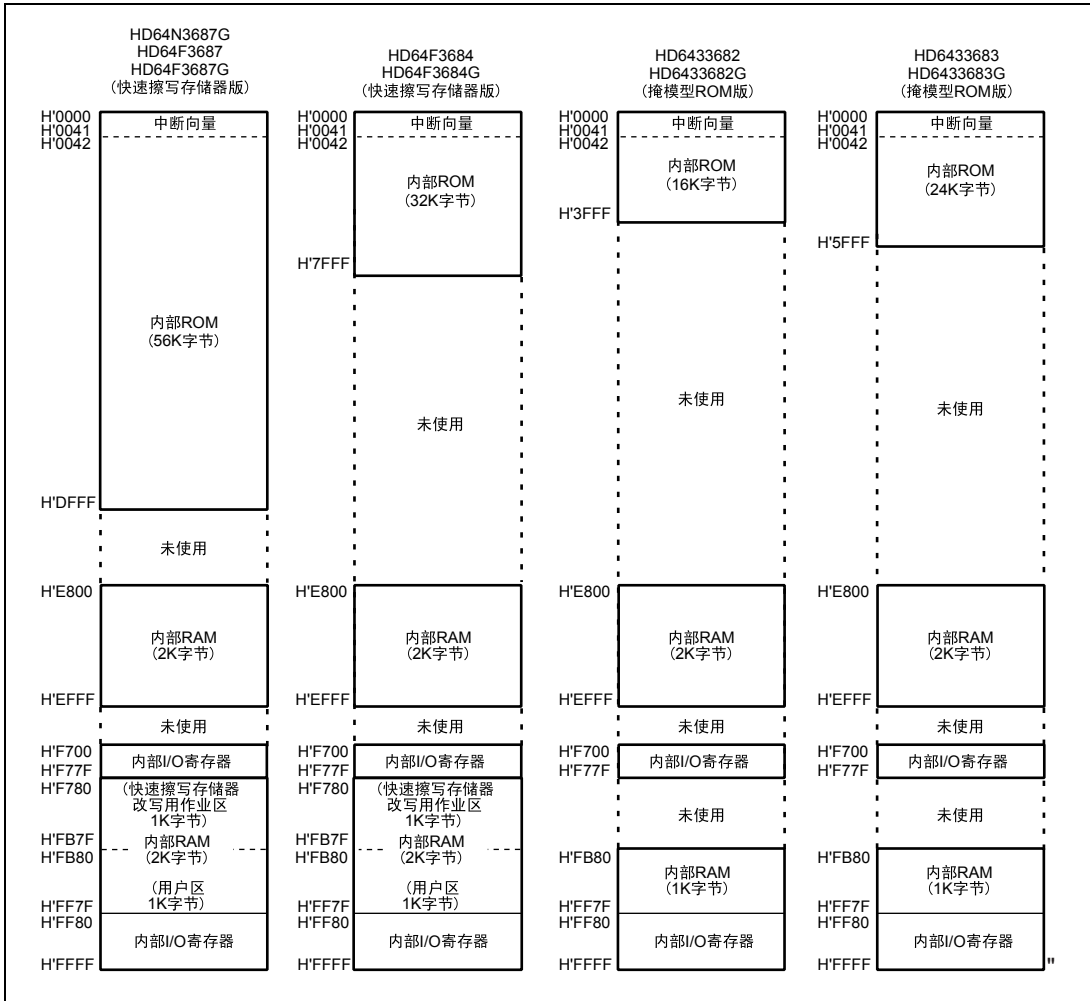


图 2.1 存储器映像 (1)

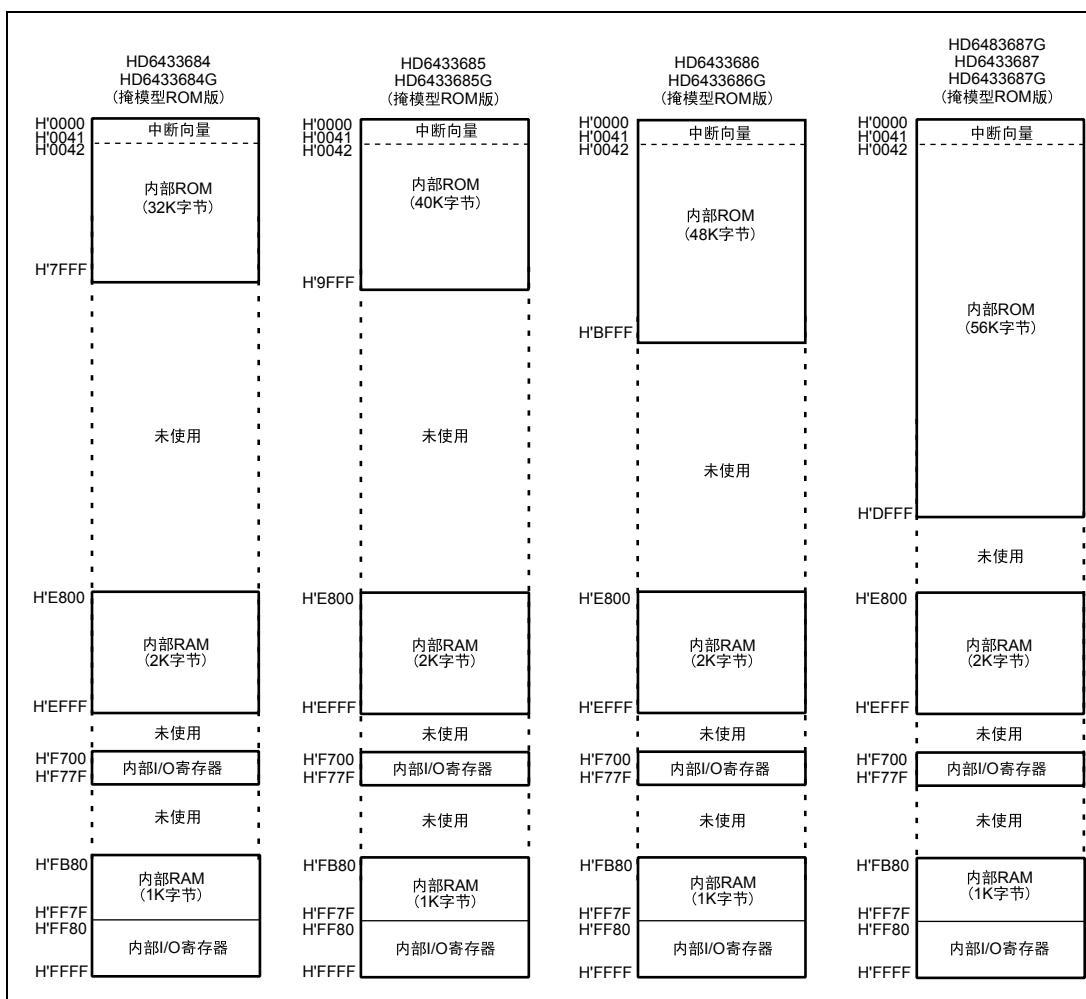


图 2.1 存储器映像 (2)

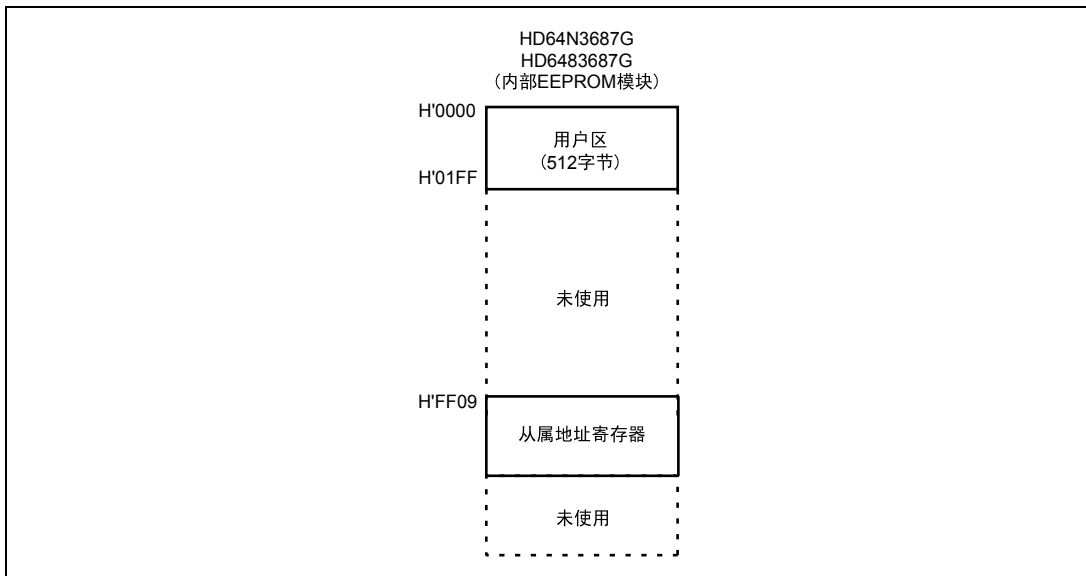


图 2.1 存储器映像 (3)

2.2 寄存器构成

H8/300H CPU 的内部寄存器结构如图 2.2 所示。这些寄存器分通用寄存器和控制寄存器 2 种。控制寄存器有 24 位程序计数器 (PC) 和 8 位条件码寄存器 (CCR)。

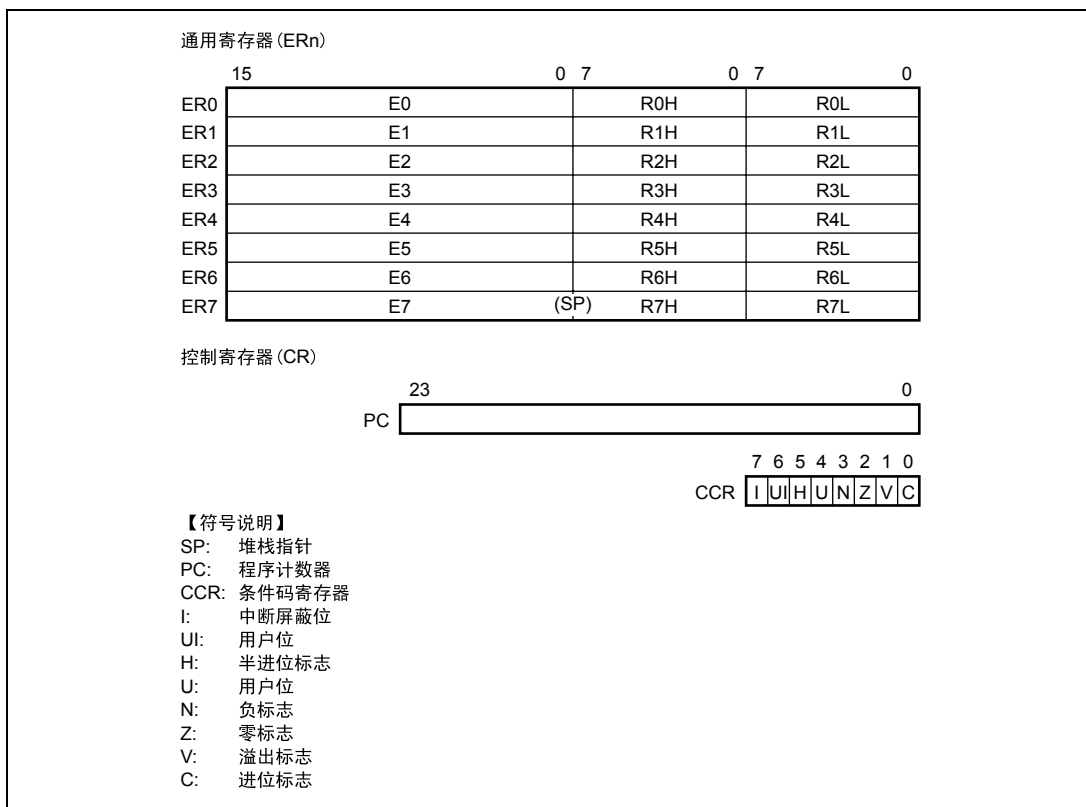


图 2.2 CPU 内部寄存器构成

2.2.1 通用寄存器

H8/300H CPU 具有 8 个 32 位长的通用寄存器。它们具有相同的功能，可作为地址寄存器或者数据寄存器使用。对于数据寄存器，可作为 32 位、16 位或者 8 位寄存器使用。通用寄存器的使用方法如图 2.3 所示。

作为地址寄存器及 32 位数据寄存器使用时，使用符号 ER (ER0~ER7)。

作为 16 位数据寄存器使用时，通用寄存器 ER 分为 16 位通用寄存器 E (E0~E7) 和 R (R0~R7) 两组。它们具有相同的功能，并可使用最多 16 个 16 位寄存器。有时将通用寄存器 E (E0~E7) 特称为扩展寄存器。

作为 8 位数据寄存器使用时，通用寄存器 R 分为 8 位通用寄存器 RH（R0H~R7H）和 RL（R0L~R7L）两组。它们具有相同的功能，并可使用最多 16 个 8 位寄存器。能独立指定各寄存器的使用方法。

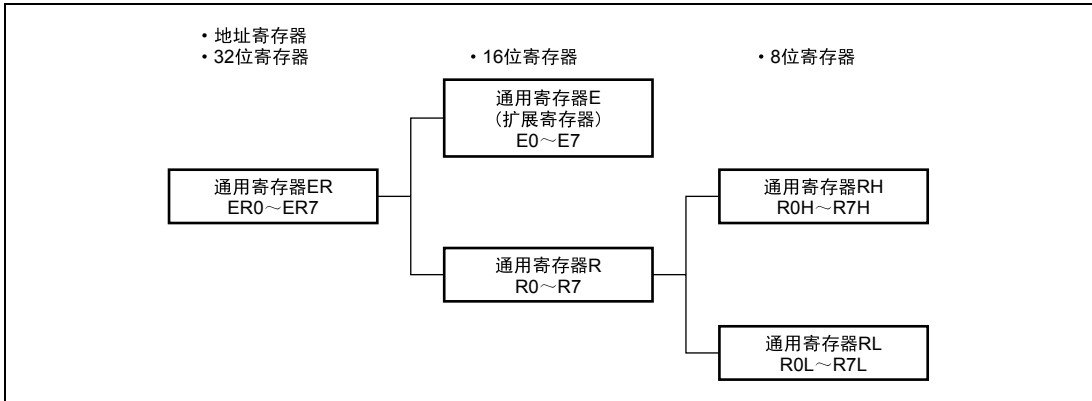


图 2.3 通用寄存器的使用方法

通用寄存器 ER7 除了通用寄存器的功能外，还有堆栈指针（SP）的功能，被隐含地用在异常处理和子程序调用等处。堆栈指针和堆栈区的关系如图 2.4 所示。

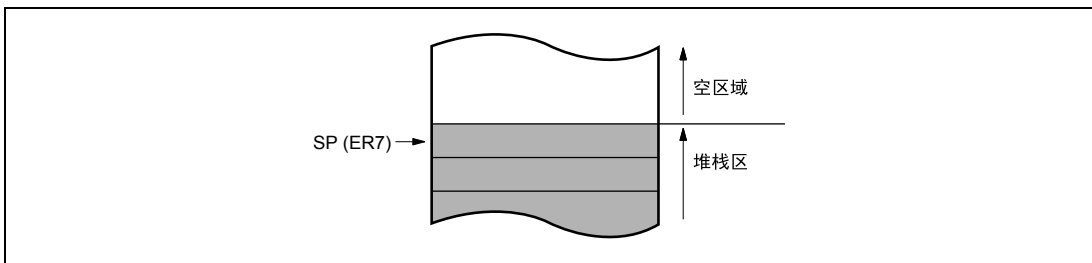


图 2.4 堆栈指针和堆栈区的关系

2.2.2 程序计数器（PC）

PC 是一个 24 位计数器，指定 CPU 将要执行下一条指令的地址。因为 CPU 的指令都是从偶数地址开始，并以 2 字节（字）为单位，所以在读指令码时，PC 的最低位被当作 0。在复位异常处理过程中，当通过被生成的向量地址装入起始地址时，PC 被初始化。

2.2.3 条件码寄存器 (CCR)

CCR 表示 CPU 的内部状态。由包含中断屏蔽位 (I)、半进位 (H)、负 (N)、零 (Z)、溢出 (V) 和进位 (C) 等 8 位标志位构成。I 位被复位异常处理初始化成 1，而其他位不被初始化。

位	符号	初始值	R/W	说 明
7	I	1	R/W	中断屏蔽位 当该位被置 1 时，中断请求就被屏蔽。但是，NMI 与 I 位无关，总被接受。异常处理执行开始时，I 位被置 1。
6	UI	不确定	R/W	用户位 可用软件 (LDC、STC、ANDC、ORC 和 XORC 指令) 进行读写。
5	H	不确定	R/W	半进位标志 由于 ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B 和 NEG.B 指令的执行，位 3 发生进位或借位时被置 1，否则被清 0。由于 ADD.W、SUB.W、CMP.W 和 NEG.W 指令的执行，位 11 发生进位、借位时，或者，由于 ADD.L、SUB.L、CMP.L 和 NEG.L 指令的执行，位 27 发生进位、借位时被置 1，否则被清 0。
4	U	不确定	R/W	用户位 可用软件 (LDC、STC、ANDC、ORC 和 XORC 指令) 进行读写。
3	N	不确定	R/W	负标志 存放数据的最高位 (符号位) 的值。
2	Z	不确定	R/W	零标志 数据为零时被置 1，否则被清 0。
1	V	不确定	R/W	溢出标志 由于算术运算指令的执行而发生溢出时被置 1，否则被清 0。
0	C	不确定	R/W	进位标志 由于运算的执行而发生进位时被置 1，否则被清 0。进位有以下种类： 加法结果的进位 减法结果的借位 移位和循环的进位 另外，进位标志位还有位累加器功能，在位操作指令中使用。

有些指令不改变标志位。能用 LDC、STC、ANDC、ORC 和 XORC 指令来操作 CCR。另外，N、Z、V 和 C 各标志位可以在条件转移指令（Bcc）中使用。有关各指令的标志位的变化，请参照“附录 A.1 指令表”。

2.3 数据格式

H8/300H CPU 能处理 1 位、4 位 BCD、8 位（字节）、16 位（字）以及 32 位（长字）的数据。1 位数据由位操作指令处理，以操作数据（字节）第 n 位（n = 0, 1, 2, …, 7）的形式存取。在 10 进制调整指令 DAA 和 DAS 中，字节数据被视作 2 个 4 位 BCD 数据。

2.3.1 通用寄存器的数据格式

通用寄存器的数据格式如图 2.5 所示。

数据类型	通用寄存器	数据格式
1位数据	RnH	
1位数据	RnL	
4位BCD数据	RnH	
4位BCD数据	RnL	
字节数据	RnH	
字节数据	RnL	

图 2.5 通用寄存器的数据格式（1）

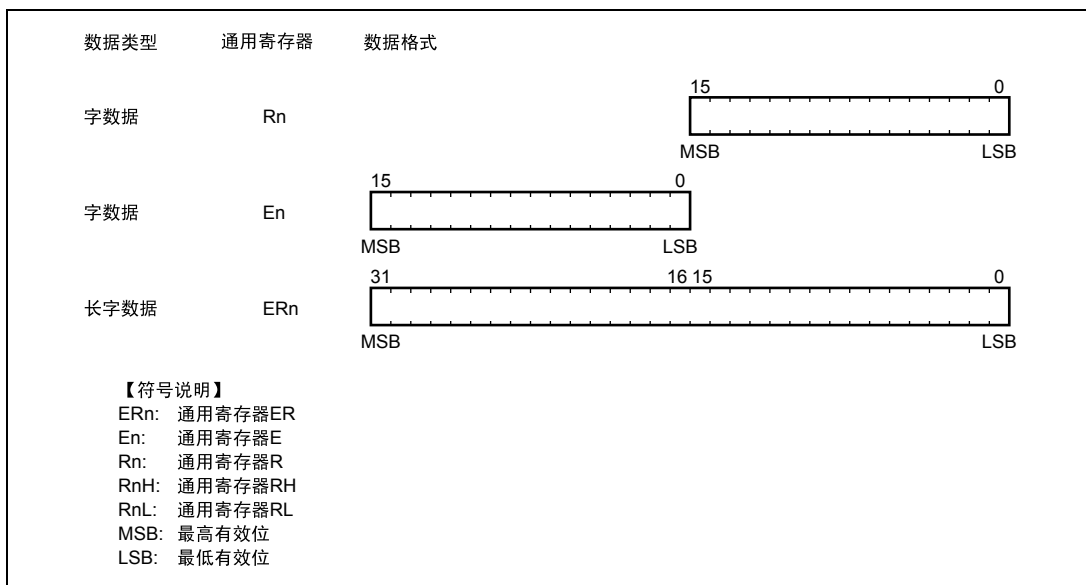


图 2.5 通用寄存器的数据格式（2）

2.3.2 存储器的数据格式

存储器的数据格式如图 2.6 所示。

H8/300H CPU 能存取存储器的字数据和长字数据。这些数据必须从偶数地址开始。如果存取从奇数地址开始的字数据或长字数据时，不发生地址错误，但地址的最低位被当作 0，将存取从前 1 个地址开始的数据。取指令码也相同。

把 ER7（SP）作为地址寄存器存取堆栈区时，必须以字或长字存取。

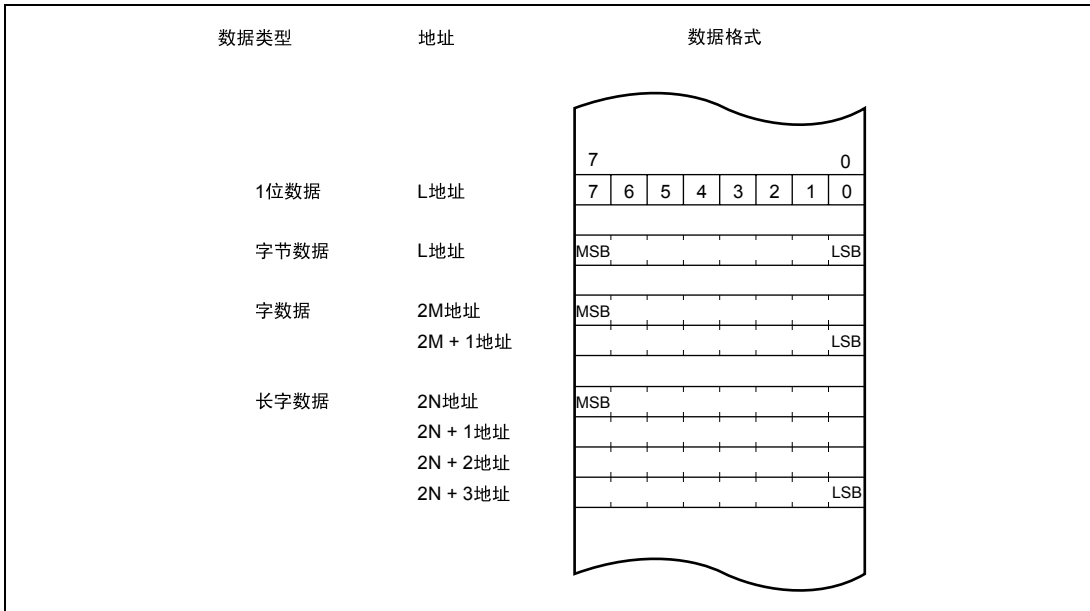


图 2.6 存储器的数据格式

2.4 指令系统

2.4.1 指令的功能分类表

H8/300H CPU 的指令共有 62 种。表 2.2~表 2.9 是各指令的功能分类表。各表使用的操作符号的定义如下：

表 2.1 操作符号

Rd	通用寄存器（目标）*
Rs	通用寄存器（源）*
Rn	通用寄存器 *
ERn	通用寄存器（32 位寄存器 / 地址寄存器）
(EAd)	目标操作数
(EAs)	源操作数
CCR	条件码寄存器
N	CCR 的 N（负）标志位
Z	CCR 的 Z（零）标志位
V	CCR 的 V（溢出）标志位
C	CCR 的 C（进位）标志位
PC	程序计数器
SP	堆栈指针
#IMM	立即数
disp	位移量
+	加法
-	减法
×	乘法
÷	除法
∧	逻辑与
∨	逻辑或
⊕	逻辑异或
→	传送
~	非（逻辑补）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 位长

【注】* 通用寄存器是 8 位（R0H~R7H、R0L~R7L）和 16 位（R0~R7、E0~E7），或者是 32 位寄存器 / 地址寄存器（ER0~ER7）。

表 2.2 数据传送指令

指令	长度*	功能
MOV	B/W/L	(EAs) → Rd、Rs → (EAd) 在两个通用寄存器或者通用寄存器和存储器之间进行数据传送，或者将立即数传送给通用寄存器。
MOVFP	B	(EAs) → Rd 本 LSI 不能使用。
MOVTP	B	Rs → (EAs) 本 LSI 不能使用。
POP	W/L	@SP+ → Rn 把数据从堆栈返回到通用寄存器。 POP.W Rn 和 MOV.W @SP+, Rn 相同。 POP.L ERn 和 MOV.L @SP+, ERn 相同。
PUSH	W/L	Rn → @-SP 把通用寄存器的内容压入堆栈。 PUSH.W Rn 和 MOV.W Rn, @-SP 相同。 PUSH.L ERn 和 MOV.L ERn, @-SP 相同。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.3 算术运算指令

指令	长度*	功能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$ 、 $Rd \pm \#IMM \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行加减运算（用字节长的通用寄存器的内容和立即数之间不能进行减法运算。请使用 SUBX 或者 ADD 指令。）
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行带进位加减运算。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 通用寄存器的内容加减 1 或者加减 2（字节的运算只能加减 1）。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 、 $Rd \pm 4 \rightarrow Rd$ 32 位寄存器的内容加减 1、加减 2 或者加减 4。
DAA DAS	B	Rd （10 进制调整） $\rightarrow Rd$ 参照 CCR，将通用寄存器的加减结果调整为 4 位的 BCD 数据。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 在两个通用寄存器的内容之间进行无符号乘法运算。能进行 8 位 \times 8 位 \rightarrow 16 位和 16 位 \times 16 位 \rightarrow 32 位的乘法。
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 在两个通用寄存器的内容之间进行带符号乘法运算。能进行 8 位 \times 8 位 \rightarrow 16 位和 16 位 \times 16 位 \rightarrow 32 位的乘法。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 在两个通用寄存器的内容之间进行无符号除法运算。能进行 16 位 \div 8 位 \rightarrow 商 8 位余数 8 位和 32 位 \div 16 位 \rightarrow 商 16 位余数 16 位的除法。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 在两个通用寄存器的内容之间进行带符号除法运算。能进行 16 位 \div 8 位 \rightarrow 商 8 位余数 8 位和 32 位 \div 16 位 \rightarrow 商 16 位余数 16 位的除法。
CMP	B/W/L	$Rd - Rs$ 、 $Rd - \#IMM$ 在两个通用寄存器的内容或者通用寄存器的内容和立即数之间进行比较，其结果反映到 CCR。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 取通用寄存器内容的 2 的补码（算术取补）。
EXTU	W/L	Rd （零扩展） $\rightarrow Rd$ 把 16 位寄存器的低 8 位零扩展为字。或者，把 32 位寄存器的低 16 位零扩展为长字。
EXTS	W/L	Rd （符号扩展） $\rightarrow Rd$ 把 16 位寄存器的低 8 位符号扩展为字。或者，把 32 位寄存器的低 16 位符号扩展为长字。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.4 逻辑运算指令

指令	长度*	功能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行逻辑与运算。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行逻辑或运算。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行逻辑异或运算。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 取通用寄存器内容的 1 的补码（逻辑补）。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.5 移位指令

指令	长度*	功能
SHAL SHAR	B/W/L	Rd （移位处理） $\rightarrow Rd$ 对通用寄存器的内容进行算术移位。
SHLL SHLR	B/W/L	Rd （移位处理） $\rightarrow Rd$ 对通用寄存器的内容进行逻辑移位。
ROTL ROTR	B/W/L	Rd （循环处理） $\rightarrow Rd$ 对通用寄存器的内容进行循环移位。
ROTXL ROTXR	B/W/L	Rd （循环处理） $\rightarrow Rd$ 包含进位标志位，对通用寄存器的内容进行循环。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.6 位操作指令

指令	长度*	功能
BSET	B	$1 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 把通用寄存器或者存储器的操作数中被指定的某一位置 1。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BCLR	B	$0 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 把通用寄存器或者存储器的操作数中被指定的某一位置 0。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BNOT	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 把通用寄存器或者存储器的操作数中被指定的某一位取反。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BTST	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow Z$ 测试通用寄存器或者存储器的操作数中被指定的某一位，且反映到零标志。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BAND	B	$C \wedge (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位和进位标志位进行逻辑与运算，结果存放到进位标志位。
BIAND	B	$C \wedge (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位取反，和进位标志位进行逻辑与运算，结果存放到进位标志位。位序号由 3 位立即数指定。
BOR	B	$C \vee (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位和进位标志位进行逻辑或运算，结果存放到进位标志位。
BIOR	B	$C \vee (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位取反，和进位标志位进行逻辑或运算，结果存放到进位标志位。位序号由 3 位立即数指定。
BXOR	B	$C \oplus (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位和进位标志位进行逻辑异或运算，结果存放到进位标志位。
BIXOR	B	$C \oplus (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位取反，和进位标志位进行逻辑异或运算，结果存放到进位标志位。位序号由 3 位立即数指定。

指 令	长度*	功 能
BLD	B	(<位序号> of <EAd>) → C 把通用寄存器或者存储器的操作数中被指定的某一位传送到进位标志位。
BILD	B	~ (<位序号> of <EAd>) → C 把通用寄存器或者存储器的操作数中被指定的某一位取反, 传送到进位标志位。 位序号由 3 位立即数指定。
BST	B	C → (<位序号> of <EAd>) 把进位标志位的内容传送到通用寄存器或者存储器的操作数中被指定的某一位。
BIST	B	C → ~ (<位序号> of <EAd>) 把进位标志位的内容取反, 传送到通用寄存器或者存储器的操作数中被指定的某一位。位序号由 3 位立即数指定。

【注】* 长度表示操作数长度。

B: 字节

表 2.7 转移指令

指令	长度	功能																																																			
Bcc*	—	<p>当指定条件成立时，转移到指定地址。转移条件如下表所示：</p> <table border="1"> <thead> <tr> <th>助记符</th> <th>描述</th> <th>转移条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>overflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>overflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>Plus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	助记符	描述	转移条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (Low)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	overflow Clear	$V = 0$	BVS	overflow Set	$V = 1$	BPL	Plus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
助记符	描述	转移条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (Low)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	overflow Clear	$V = 0$																																																			
BVS	overflow Set	$V = 1$																																																			
BPL	Plus	$N = 0$																																																			
BMI	Minus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	—	无条件转移到指定地址。																																																			
BSR	—	转移到指定地址的子程序。																																																			
JSR	—	转移到指定地址的子程序。																																																			
RTS	—	从子程序返回。																																																			

【注】* Bcc 指令是条件转移指令的总称。

表 2.8 系统控制指令

指令	长度*	功能
TRAPA	—	进行陷阱指令的异常处理。
RTE	—	从异常处理程序返回。
SLEEP	—	转移到低功耗状态。
LDC	B/W	(EAs) → CCR 把源操作数传送到 CCR。虽然 CCR 是字节长，但是从存储器传送时，以字长读数据。
STC	B/W	CCR → (EAd) 把 CCR 的内容传送到目标位置。虽然 CCR 是字节长，但是给存储器传送时，以字长写数据。
ANDC	B	CCR ∧ #IMM → CCR 取 CCR 和立即数的逻辑与。
ORC	B	CCR ∨ #IMM → CCR 取 CCR 和立即数的逻辑或。
XORC	B	CCR ⊕ #IMM → CCR 取 CCR 和立即数的逻辑异或。
NOP	—	PC + 2 → PC 使 PC 增量。

【注】* 长度表示操作数长度。

B: 字节

W: 字

表 2.9 数据块传送指令

指令	长度	功能
EPEMOV.B	—	if R4L ≠ 0 then Repeat @ER5+ → @ER6+, R4L-1 → R4L Until R4L=0 else next;
EPEMOV.W	—	if R4 ≠ 0 then Repeat @ER5+ → @ER6+, R4-1 → R4 Until R4=0 else next; 数据块传送指令。从 ER5 所示的地址开始，将 R4L 或者 R4 指定的字节数的数据传送到 ER6 所示的地址。传送结束后执行下一条指令。

2.4.2 指令的基本格式

H8/300H CPU 的指令以 2 字节（字）为单位。各指令由操作字段（OP）、寄存器字段（r）、EA 扩展部（EA）以及条件字段（cc）构成。指令格式的例子如图 2.7 所示。

（1）操作字段

表示指令的功能、指定寻址方式和操作数的处理内容。一定包含指令的前头4位。也有两个操作字段的情况。

（2）寄存器字段

指定通用寄存器。地址寄存器为3位，数据寄存器为3位或者4位。有两个寄存器字段，也有没有寄存器字段的情况。

（3）EA 扩展部

8位、16位或32位，指定立即数、绝对地址或者位移量。24位地址以及位移量以高8位全为0（H'00）的32位被处理。

（4）条件字段

指定条件转移指令的转移条件。

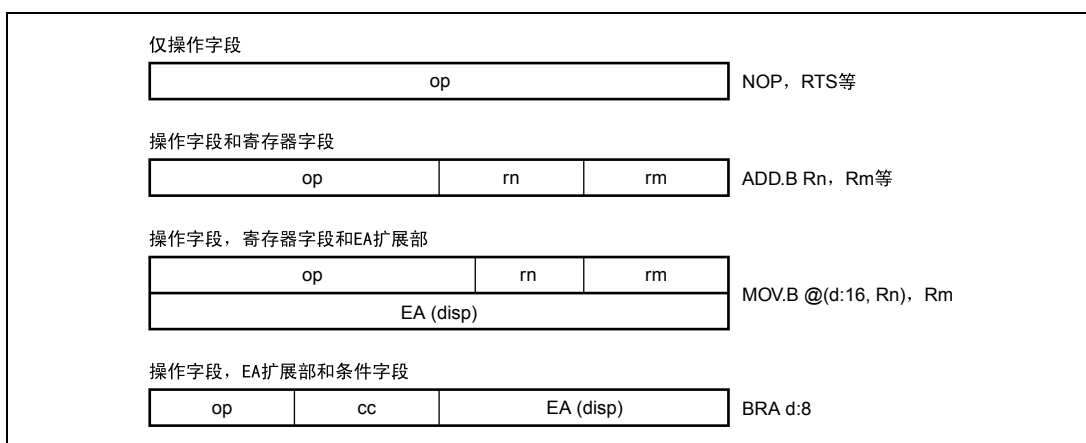


图 2.7 指令格式

2.5 寻址方式和有效地址

以下说明关于 H8/300H CPU 的寻址方式和有效地址。在 H8/3687 群产生的 24 位地址中，高 8 位被忽略，有效地址为 16 位。

2.5.1 寻址方式

H8/300H CPU 支持表 2.10 的 8 种寻址方式。各指令所能使用的寻址方式不同。详细内容请参照“附录 A.4 指令和寻址方式的组合”。

运算指令可使用寄存器直接和立即寻址方式。传送指令除了程序计数器相对和存储器间接以外，所有的寻址方式都可使用。位操作指令可用寄存器直接、寄存器间接以及绝对地址（@aa:8）指定操作数，并且，可使用寄存器直接（BSET、BCLR、BNOT 和 BTST 各指令）以及立即（3 位）来指定操作数中的位序号。

表 2.10 寻址方式一览表

No.	寻址方式	符号
1	寄存器直接	Rn
2	寄存器间接	@ERn
3	带位移量寄存器间接	@(d:16, ERn) / @(d:24, ERn)
4	后增寄存器间接 先减寄存器间接	@ERn+ @-ERn
5	绝对地址	@aa:8 / @aa:16 / @aa:24
6	立即	#xx:8 / #xx:16 / #xx:32
7	程序计数器相对	@(d:8, PC) / @(d:16, PC)
8	存储器间接	@@aa:8

(1) 寄存器直接 Rn

以指令码的寄存器字段指定的寄存器（8位、16位或者32位）为操作数。

作为8位寄存器，可指定R0H~R7H、R0L~R7L。

作为16位寄存器，可指定R0~R7、E0~E7。

作为32位寄存器，可指定ER0~ER7。

(2) 寄存器间接 @ERn

将指令码的寄存器字段指定的地址寄存器（ERn）的低24位作为地址，指定存储器上的操作数。

(3) 带位移量寄存器间接 @ (d:16, ERn) / @ (d:24, ERn)

将指令码的寄存器字段指定的地址寄存器 (ERn) 的内容加上指令码中的16位或者24位位移量的内容, 其结果的低24位作为地址指定存储器上的操作数。计算时, 16位位移量被符号扩展。

(4) 后增寄存器间接 @ERn+ / 先减寄存器间接 @-ERn

• 后增寄存器间接 @ERn+

将指令码的寄存器字段指定的地址寄存器 (ERn) 内容的低24位作为地址指定存储器上的操作数。然后, 地址寄存器的内容 (32位) 加1、加2或者加4, 结果存入地址寄存器。字节加1、字加2、长字加4。当长度是字或者长字时, 寄存器的内容应是偶数。

• 先减寄存器间接 @-ERn

将指令码的寄存器字段指定的地址寄存器 (ERn) 内容减1、减2或者减4, 其结果的低24位作为地址指定存储器上的操作数。然后, 把减法的结果存入地址寄存器。字节减1、字减2、长字减4。当长度是字或者长字时, 地址寄存器的内容应是偶数。

(5) 绝对地址 @aa:8 / @aa:16 / @aa:24

用指令码中含有的绝对地址指定存储器的操作数。

绝对地址是8位 (@aa:8)、16位 (@aa:16) 或者24位 (@aa:24)。

8位绝对地址时, 高16位全部为1 (H'FFFF)。

16位绝对地址时, 高8位进行符号扩展。

24位绝对地址时, 全地址空间都可存取。

H8/3687群由于高8位被忽略, 因此, 绝对地址为表2.11所示的存取范围。

表 2.11 绝对地址的存取范围

绝对地址	存取范围
8 位 (@aa:8)	H'FF00~H'FFFF
16 位 (@aa:16)	H'0000~H'FFFF
24 位 (@aa:24)	H'0000~H'FFFF

(6) 立即 #xx:8 / #xx:16 / #xx:32

把指令码中含有的8位 (#xx:8)、16位 (#xx:16) 或者32位 (#xx:32) 数据直接作为操作数使用。ADDS、SUBS、INC和DEC指令在指令码里隐含地包含立即数。位操作指令在指令码里可能含有指定位序号的3位立即数。另外，TRAPA指令在指令码里含有指定向量地址的2位立即数。

(7) 程序计数器相对 @(d:8, PC) / @(d:16, PC)

用在条件转移指令和BSR指令。

PC指定的24位地址加上指令码中含有的8位或者16位位移量，产生24位转移地址。在加法运算时，位移量被符号扩展为24位。另外被加的PC内容为下一个指令的起始地址，所以转移指令的可能转移范围是-126~+128字节（-63~+64字）或者是-32766~+32768字节（-16383~+16384字），这时，加法的结果应是偶数。

(8) 存储器间接 @@aa:8

用在JMP和JSR指令。以指令码中含有的8位绝对地址来指定存储器上的操作数，作为转移地址进行转移。指定存储器的操作数为长字。其第1字节被忽略，产生一个24位长的转移地址。存储器间接转移地址的指定方法如图2.8所示。

由于绝对地址的高位全为0，因此能储存转移地址的范围是0~255（H'0000~H'00FF）。但是，其中前头区域与异常处理向量区为公用区。

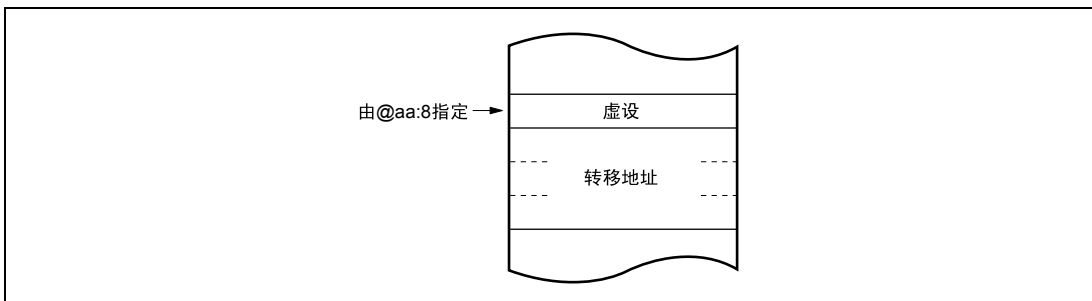


图 2.8 存储器间接转移地址的指定

2.5.2 有效地址的计算方法

各寻址方式的有效地址（EA：Effective Address）的计算方法如表 2.12 所示。在 H8/3687 群，计算结果的高 8 位被忽略，产生一个 16 位有效地址。

表 2.12 有效地址的计算方法 (1)

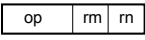
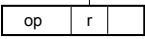
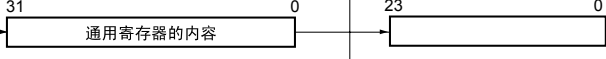
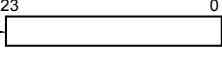
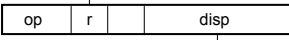
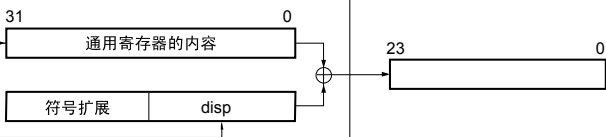

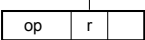
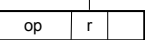
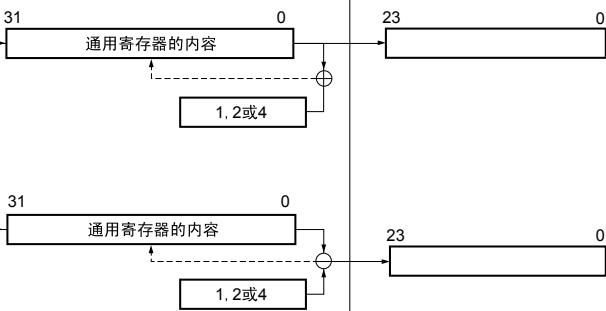
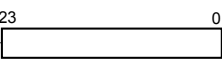
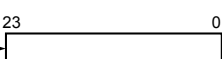
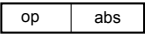
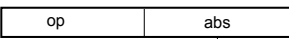

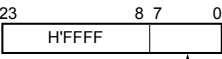
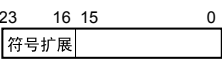
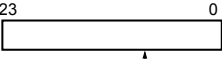
NO.	寻址方式和指令格式	有效地址计算方法	有效地址 (EA)
(1)	寄存器直接 (Rn) 		操作数为通用寄存器的内容。
(2)	寄存器间接 (@ERn) 		
(3)	带位移量寄存器间接 @(d:16, ERn) / @(d:24, ERn) 		
(4)	后增寄存器间接/先减寄存器间接 • 后增寄存器间接@ERn+  • 先减寄存器间接@-ERn 	 操作数为字节时加减1，为字时加减2， 为长字时加减4。	 
(5)	绝对地址 @ aa:8  @ aa:16  @ aa:24 		  

表 2.12 有效地址的计算方法 (2)

NO.	寻址方式和指令格式	有效地址计算方法	有效地址 (EA)
(6)	立即#xx:8/#xx:16/#xx:32 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> op IMM </div>		操作数为立即数。
(7)	程序计数器相对 @(d:8, PC)/@(d:16, PC) <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> op disp </div>		
(8)	存储器间接 @@ aa:8 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> op abs </div>		

【符号说明】

- r,rm,rn 寄存器字段
- op 操作字段
- disp 位移量
- IMM 立即数
- abs 绝对地址

2.6 基本总线周期

CPU 根据系统时钟 (ϕ) 或者子时钟 (ϕ_{SUB}) 运行。 ϕ 或者 ϕ_{SUB} 的上升沿到下一个上升沿的间隔称为 1 个状态。总线周期由 2 个状态或者 3 个状态构成, 对内部存储器和内部外围模块进行不同的存取。

2.6.1 内部存储器 (RAM、ROM)

内部存储器的存取以 2 个状态进行。数据总线宽度是 16 位, 可以是字节存取或者字存取。内部存储器的存取周期如图 2.9 所示。

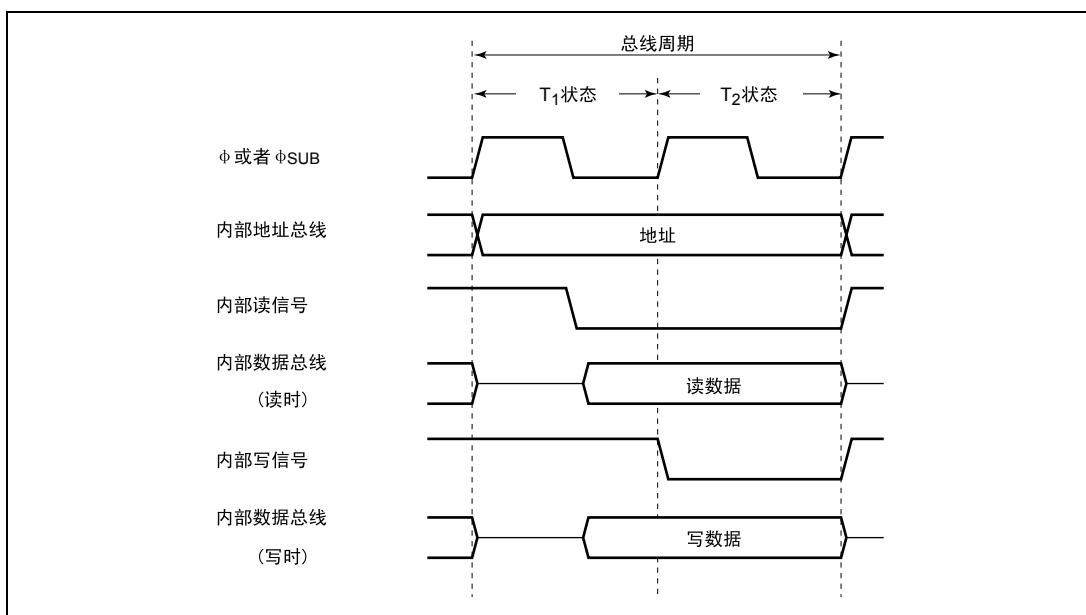


图 2.9 内部存储器的存取周期

2.6.2 内部外围模块

内部外围模块的存取以 2 个状态或者 3 个状态进行。数据总线宽度是 8 位或者 16 位，根据寄存器的不同而不同。各寄存器的数据总线宽度和存取状态数请参照“22.1 寄存器地址一览表（地址顺序）”。数据总线宽度为 16 位的寄存器只能进行字存取。数据总线宽度为 8 位的寄存器可以进行字节存取和字存取。如果对数据总线宽度为 8 位的寄存器进行字存取，总线周期就发生 2 次。2 个状态存取的运行时序和内部存储器相同。3 个状态存取的运行时序如图 2.10 所示。

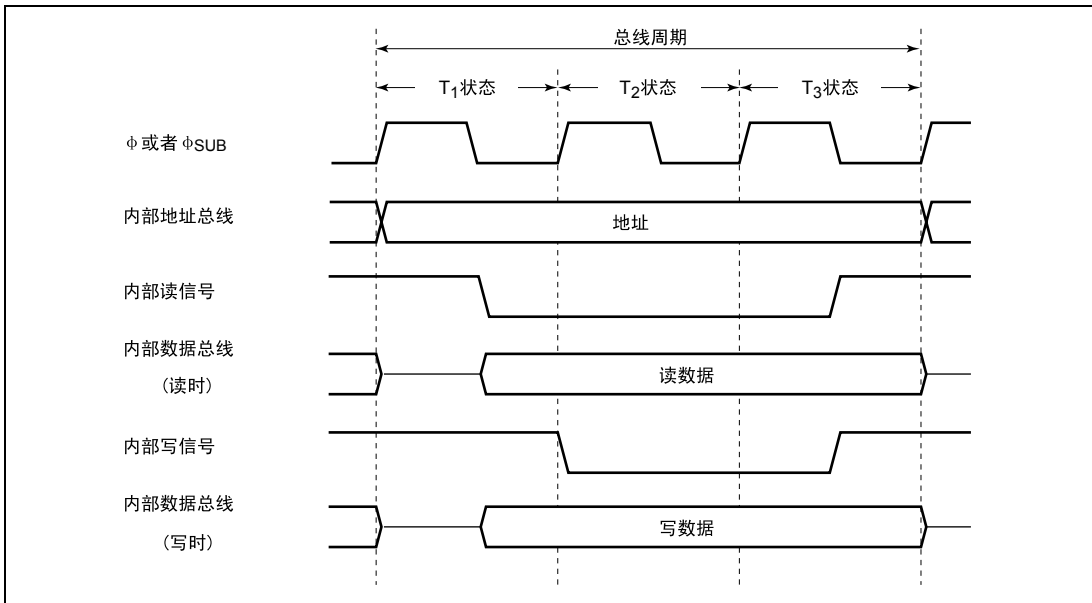


图 2.10 内部外围模块的存取周期（3 个状态存取的情况）

2.7 CPU 的状态

CPU 的状态有复位状态、程序执行状态、程序停止状态和异常处理状态 4 种。程序执行状态有激活模式和子激活模式，程序停止状态有睡眠模式、待机模式和子睡眠模式。各状态的分类如图 2.11 所示，各状态之间的转移条件如图 2.12 所示。程序执行状态以及程序停止状态的详细内容请参照“第 6 章 低功耗模式”。异常处理的详细内容请参照“第 3 章 异常处理”。

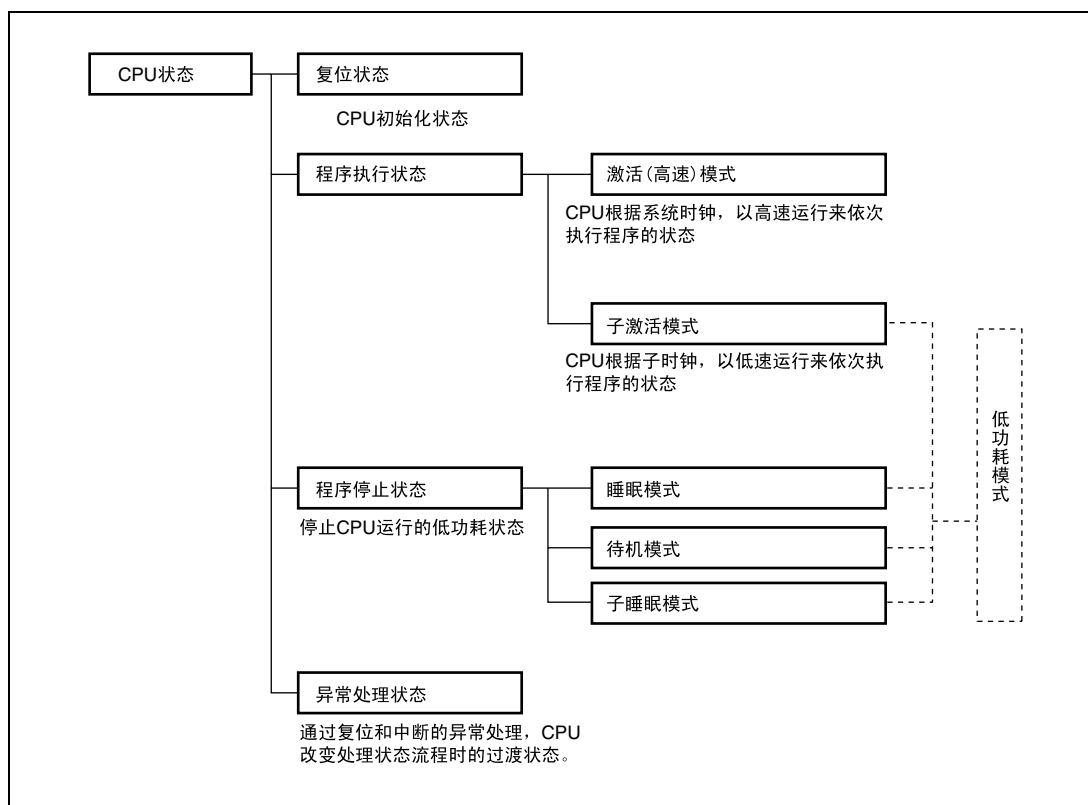


图 2.11 CPU 的状态分类

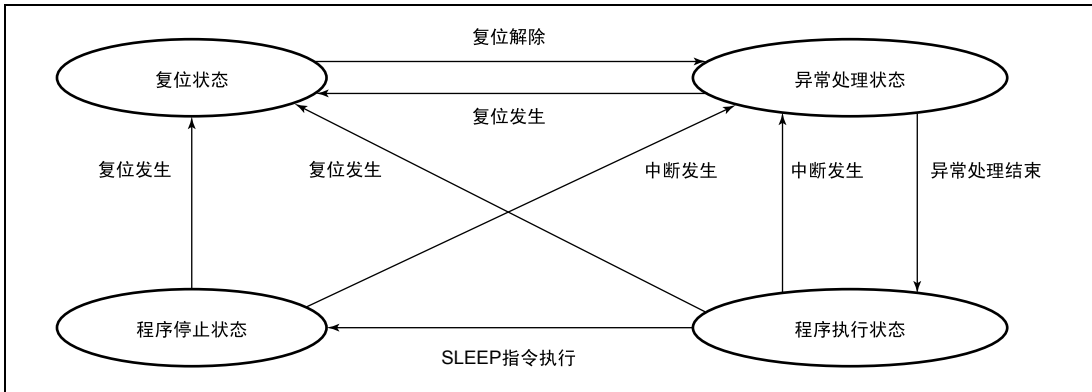


图 2.12 状态转移图

2.8 使用时的注意事项

2.8.1 空区域的数据存取

本 LSI 的地址空间，除了开放给用户的 ROM、RAM 和内部 I/O 寄存器的区域以外，还有空区域。如果从 CPU 传送数据给空区域，其传送数据就会丢失，成为导致 CPU 误动作的原因。从空区域传送数据到 CPU 的内容不被保证。

2.8.2 EEPMOV 指令

EEPMOV 指令是数据块传送指令，从 R5 的地址开始，把 R4L 表示的字节数的数据传送到 R6 的地址。设定 R4L 和 R6 时，不要使传送目标的最后地址 (R6+R4L 的值) 超过 H'FFFF (执行过程中，R6 的值 H'FFFF 不要变成 H'0000)。

2.8.3 位操作指令

BSET、BCLR、BNOT、BST 和 BIST 指令以字节单位读指定地址的数据，操作对象位（1 位）后，再以字节单位写入同地址。因此，如果 2 个寄存器被分配相同地址、含有只写位的寄存器、或者直接对端口使用位操作指令，位操作对象以外的数据就有被改写的可能，请注意。

(1) 同地址被分配 2 个寄存器的位操作

例1：定时器装入寄存器和定时器计数器的位操作

（H8/3687群适用于定时器B1。）

被分配成同一地址的 2 个寄存器的定时器的构成例子如图 2.13 所示。如果对定时器装入寄存器和定时器计数器执行位操作指令，由于定时器装入寄存器和定时器计数器地址共有，因此，有以下动作：

1. 以字节单位读定时器计数器的数据。
2. CPU用位操作指令把对象位（1位）置位或者复位。
3. 以字节单位把处理后数据写进定时器装入寄存器。

因为定时器计数器一直在计数，所以读出的数据与定时器装入寄存器的数据并不一定相等。因此定时器计数器的操作对象位以外的数据改写后，被写进定时器装入寄存器。

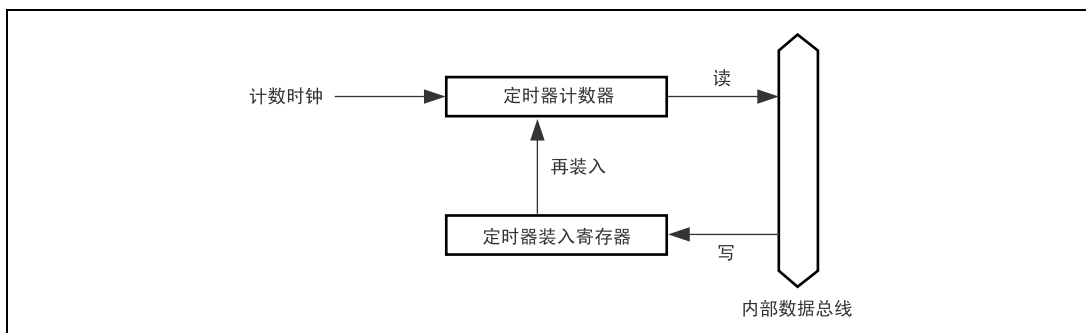


图 2.13 同地址被分配 2 个寄存器的定时器的构成例子

例2：对端口5执行BSET指令的情况

P57、P56 是输入管脚，分别为低电平和高电平输入状态，而 P55~P50 是输出管脚，分别为低电平输出状态。用 BSET 指令对 P50 进行高电平输出的例子如下所示：

【执行BSET指令前】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【执行BSET指令】

`BSET #0, @PDR5` 对端口 5 执行 BSET 指令。

【执行BSET指令后】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

【运行说明】

1. 一旦执行BSET指令，CPU就读端口5。P57、P56是输入管脚，CPU读管脚的状态（低电平和高电平输入）。P55~P50是输出管脚，CPU读PDR5的值。因此，在例子中，PDR5是H'80，而CPU读到的数据是H'40。
2. CPU把读到的数据的位0置1，数据变为H'41。
3. 把H'41写入PDR5，结束BSET指令。

其结果，PDR5 的位 0 为 1，P50 成为高电平输出。由于，PDR5 的位 7 和位 6 发生了变化，因此，请把与 PDR5 相同的数据存放到存储器的工作区，对工作区的数据进行位操作后，再把该数据写到 PDR5。

【执行BSET指令前】

```
MOV.B  #80, R0L
MOV.B  R0L, @RAM0
MOV.B  R0L, @PDR5
```

先把要写进 PDR5 的值 (H'80) 写到存储器的工作区 (RAM0) 和 PDR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【执行BSET指令】

```
BSET  #0, @RAM0
```

对 PDR5 的工作区 (RAM0) 执行 BSET 指令。

【执行BSET指令后】

```
MOV.B  @RAM0, R0L
MOV.B  R0L, @PDR5
```

把工作区 (RAM0) 的值写到 PDR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) 含有只写位寄存器的位操作

例3: 对端口5的PCR5执行BCLR指令的情况

P57、P56 是输入管脚，分别为低电平和高电平输入状态，而 P55~P50 是输出管脚，分别为低电平输出状态。用 BCLR 指令把 P50 设定为输入管脚的例子如下所示。被设定为输入管脚的 P50 为高电平输入状态。

【执行BCLR指令前】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【执行BCLR指令】

BCLR	#0 , @PCR5
------	------------

对 PCR5 执行 BCLR 指令。

【执行BCLR指令后】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输出	输出	输出	输出	输出	输出	输出	输入
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

【运行说明】

1. 一旦执行BCLR指令，CPU就读PCR5。PCR5是只写寄存器，CPU读H'FF。因此，在例子中，PCR5是H'3F，而CPU读到的数据是H'FF。
2. CPU把读到的数据的位0清0，数据变为H'FE。
3. 把H'FE写入PCR5，结束BCLR指令。

其结果，PCR5 的位 0 为 0，P50 成为输入管脚。由于，PCR5 的位 7 和位 6 变为 1，P57 和 P56 变为输出管脚，因此，请把与 PCR5 相同的数据存放到存储器的工作区，对工作区的数据进行位操作后，再把该数据写到 PCR5。

【执行BCLR指令前】

```
MOV.B #3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR5
```

先把要写进 PCR5 的值 (H'3F) 写到存储器的工作区 (RAM0) 和 PCR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【执行BCLR指令】

```
BCLR #0, @RAM0
```

对 PCR5 的工作区 (RAM0) 执行 BCLR 指令。

【执行BCLR指令后】

```
MOV.B @RAM0,R0L
MOV.B R0L, @PCR5
```

把工作区 (RAM0) 的值写到 PCR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

第 3 章 异常处理

异常处理由复位、陷阱指令和中断产生。

- 复位

复位是最高优先级的异常处理。一旦复位被 $\overline{\text{RES}}$ 管脚解除，就立即开始异常处理。也可通过监视定时器的溢出来复位，开始异常处理。两者的异常处理相同。

- 由陷阱指令产生的异常处理

通过执行一条TRAP指令开始异常处理。TRAP指令由指令码中指定的0~3的向量号生成不同的向量地址。陷阱指令的异常处理与CCR的I位无关，在程序执行状态下随时被接受。

- 中断异常处理

由CCR的I位屏蔽NMI以外的外部中断请求和地址断开以外的内部中断请求，并且在I位为1的期间被保留。一旦发生中断请求，在结束执行指令，或者在结束异常处理时，就开始异常处理。

3.1 异常类型和向量地址

表 3.1 列出了各种异常类型的向量地址和优先级。同时发生多个中断请求时，按优先级顺序从高到低进行处理。

表 3.1 异常类型和向量地址

发生源	异常类型	向量号	向量地址	优先级
RES 管脚 监视定时器	复位	0	H'0000~H'0001	
—	系统保留用	1~6	H'0002~H'000D	
外部中断管脚	NMI	7	H'000E~H'000F	
CPU	陷阱指令 #0	8	H'0010~H'0011	
	陷阱指令 #1	9	H'0012~H'0013	
	陷阱指令 #2	10	H'0014~H'0015	
	陷阱指令 #3	11	H'0016~H'0017	
地址断开	断开条件成立	12	H'0018~H'0019	
CPU	由睡眠指令的执行直接转移	13	H'001A~H'001B	
外部中断管脚	IRQ0 低电压检测中断*	14	H'001C~H'001D	
	IRQ1	15	H'001E~H'001F	
	IRQ2	16	H'0020~H'0021	
	IRQ3	17	H'0022~H'0023	
	WKP	18	H'0024~H'0025	
RTC	溢出	19	H'0026~H'0027	
—	系统保留用	20	H'0028~H'0029	
定时器 V	比较匹配 A	22	H'002C~H'002D	
	比较匹配 B			
	溢出			
SCI3	接收数据满、发送数据空、 发送结束、接收错误	23	H'002E~H'002F	
IIC2	发送数据空、发送结束、接收数据满、 仲裁失败/溢出错误、检测出 NACK、 检测出停止条件	24	H'0030~H'0031	
A/D 转换器	A/D 转换结束	25	H'0032~H'0033	
定时器 Z	比较匹配 / 输入捕捉 A0~D0 溢出	26	H'0034~H'0035	
	比较匹配 / 输入捕捉 A1~D1 溢出、下溢	27	H'0036~H'0037	
定时器 B1	溢出	29	H'003A~H'003B	
SCI3_2	接收数据满、发送数据空、 发送结束、接收错误	30	H'0040~H'0041	

【注】* 低电压检测中断只对内置加电复位和低电压检测电路的产品有效。

3.2 寄存器说明

控制中断的寄存器有：

- 中断边沿选择寄存器1 (IEGR1)
- 中断边沿选择寄存器2 (IEGR2)
- 中断许可寄存器1 (IENR1)
- 中断许可寄存器2 (IENR2)
- 中断标志寄存器1 (IRR1)
- 中断标志寄存器2 (IRR2)
- 唤醒中断标志寄存器 (IWPR)

3.2.1 中断边沿选择寄存器 1 (IEGR1)

IEGR1 用来选择 $\overline{\text{NMI}}$ 和 $\overline{\text{IRQ3}} \sim \overline{\text{IRQ0}}$ 管脚发生中断请求的触发边沿。

位	位名	初始值	R/W	说 明
7	NMIEG	0	R/W	NMI 边沿选择 0: 检测 $\overline{\text{NMI}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{NMI}}$ 管脚输入的上升沿
6	—	1	—	保留位。总是读出 1。
5	—	1	—	
4	—	1	—	
3	IEG3	0	R/W	IRQ3 边沿选择 0: 检测 $\overline{\text{IRQ3}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{IRQ3}}$ 管脚输入的上升沿
2	IEG2	0	R/W	IRQ2 边沿选择 0: 检测 $\overline{\text{IRQ2}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{IRQ2}}$ 管脚输入的上升沿
1	IEG1	0	R/W	IRQ1 边沿选择 0: 检测 $\overline{\text{IRQ1}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{IRQ1}}$ 管脚输入的上升沿
0	IEG0	0	R/W	IRQ0 边沿选择 0: 检测 $\overline{\text{IRQ0}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{IRQ0}}$ 管脚输入的上升沿

3.2.2 中断边沿选择寄存器 2 (IEGR2)

IEGR2 用来选择 $\overline{\text{ADTRG}}$ 和 $\overline{\text{WKP5}}\sim\overline{\text{WKP0}}$ 管脚发生中断请求的触发边沿。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	—	1	—	
5	WPEG5	0	R/W	WKP5 边沿选择 0: 检测 $\overline{\text{WKP5}}$ 管脚 ($\overline{\text{ADTRG}}$ 管脚) 输入的下降沿 1: 检测 $\overline{\text{WKP5}}$ 管脚 ($\overline{\text{ADTRG}}$ 管脚) 输入的上升沿
4	WPEG4	0	R/W	WKP4 边沿选择 0: 检测 $\overline{\text{WKP4}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP4}}$ 管脚输入的上升沿
3	WPEG3	0	R/W	WKP3 边沿选择 0: 检测 $\overline{\text{WKP3}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP3}}$ 管脚输入的上升沿
2	WPEG2	0	R/W	WKP2 边沿选择 0: 检测 $\overline{\text{WKP2}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP2}}$ 管脚输入的上升沿
1	WPEG1	0	R/W	WKP1 边沿选择 0: 检测 $\overline{\text{WKP1}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP1}}$ 管脚输入的上升沿
0	WPEG0	0	R/W	WKP0 边沿选择 0: 检测 $\overline{\text{WKP0}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP0}}$ 管脚输入的上升沿

3.2.3 中断许可寄存器 1 (IENR1)

IENR1 允许直接转移中断、RTC 中断及外部管脚中断。

位	位名	初始值	R/W	说 明
7	IENDT	0	R/W	直接转移中断请求允许 IENDT =1, 允许直接转移中断请求。
6	IENTA	0	R/W	RTC 中断请求允许 IENTA =1, 允许 RTC 中断请求。
5	IENWP	0	R/W	唤醒中断请求允许 是 WKP5~WKP0 管脚共用的许可位, IENWP =1, 允许中断请求。
4	—	1	—	保留位。总是读出 1。
3	IEN3	0	R/W	IRQ3 中断请求允许 IEN3=1, 允许 $\overline{\text{IRQ3}}$ 管脚的中断请求。
2	IEN2	0	R/W	IRQ2 中断请求允许 IEN2=1, 允许 $\overline{\text{IRQ2}}$ 管脚的中断请求。
1	IEN1	0	R/W	IRQ1 中断请求允许 IEN1=1, 允许 $\overline{\text{IRQ1}}$ 管脚的中断请求。
0	IEN0	0	R/W	IRQ0 中断请求允许 IEN0=1, 允许 $\overline{\text{IRQ0}}$ 管脚的中断请求。

在通过清除中断许可寄存器来禁止中断请求, 或者清除中断标志寄存器时, 请在屏蔽中断请求的状态 (I=1) 下进行。如果在 I=0 的状态下进行上述操作, 当执行指令与发生该中断请求出现竞争时, 就执行对应于该操作指令执行结束时发生的中断请求的异常处理。

3.2.4 中断许可寄存器 2 (IENR2)

IENR2 允许定时器 B1 的溢出中断。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	—	0	—	
5	IENRB1	0	R/W	定时器 B1 中断请求允许 如果此位置 1，允许定时器 B1 的溢出中断请求。
4	—	1	—	保留位。总是读出 1。
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

在通过清除中断许可寄存器来禁止中断请求，或者清除中断标志寄存器时，请在屏蔽中断请求的状态 (I=1) 下进行。如果在 I=0 的状态下进行上述操作，当执行指令与发生该中断请求出现竞争时，就执行对应于该操作指令执行结束时发生的中断请求的异常处理。

3.2.5 中断标志寄存器 1 (IRR1)

IRR1 是直接转移中断、RTC 中断和 IRQ3~IRQ0 中断请求状态标志寄存器。

位	位名	初始值	R/W	说 明
7	IRRDT	0	R/W	直接转移中断请求标志 [置位条件] 在 SYSCR2 的 DTON 置 1 的状态，执行睡眠指令并进行直接转移时 [清除条件] 写 0 时
6	IRRRTA	0	R/W	RTC 中断请求标志 [置位条件] RTC 溢出时 [清除条件] 写 0 时
5	—	1	—	保留位。总是读出 1。
4	—	1	—	
3	IRRI3	0	R/W	IRQ3 中断请求标志 [置位条件] 在 IRQ3 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时
2	IRRI2	0	R/W	IRQ2 中断请求标志 [置位条件] 在 IRQ2 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时
1	IRRI1	0	R/W	IRQ1 中断请求标志 [置位条件] 在 IRQ1 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时
0	IRRI0	0	R/W	IRQ0 中断请求标志 [置位条件] 在 IRQ0 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时

3.2.6 中断标志寄存器 2 (IRR2)

IRR2 是定时器 B1 中断请求状态标志寄存器。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	—	0	—	
5	IRRTB1	0	R/W	定时器 B1 中断请求标志 [置位条件] 定时器 B1 溢出时 [清除条件] 写 0 时
4	—	1	—	保留位。总是读出 1。
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

3.2.7 唤醒中断标志寄存器 (IWPR)

IWPR 是 $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 管脚的中断请求状态标志寄存器。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	—	1	—	
5	IWPF5	0	R/W	WKP5 中断请求标志 [置位条件] 在 $\overline{\text{WKP5}}$ 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时
4	IWPF4	0	R/W	WKP4 中断请求标志 [置位条件] 在 $\overline{\text{WKP4}}$ 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时
3	IWPF3	0	R/W	WKP3 中断请求标志 [置位条件] 在 $\overline{\text{WKP3}}$ 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时
2	IWPF2	0	R/W	WKP2 中断请求标志 [置位条件] 在 $\overline{\text{WKP2}}$ 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时
1	IWPF1	0	R/W	WKP1 中断请求标志 [置位条件] 在 $\overline{\text{WKP1}}$ 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时
0	IWPF0	0	R/W	WKP0 中断请求标志 [置位条件] 在 $\overline{\text{WKP0}}$ 管脚被设定成中断输入，检测出被指定的边沿时 [清除条件] 写 0 时

3.3 复位异常处理

当 $\overline{\text{RES}}$ 管脚变为低电平时，停止全部执行中的处理，LSI 进入复位状态。通过复位，CPU 的内部状态和内部外围模块的各寄存器被初始化。为确保本 LSI 复位，在加入电源时，到时钟振荡器的振荡稳定为止，必须保持 $\overline{\text{RES}}$ 管脚为低电平。如果是在运行中复位， $\overline{\text{RES}}$ 管脚必须至少保持 10 个系统时钟的低电平。当 $\overline{\text{RES}}$ 管脚在保持一定时间的低电平后变为高电平时，开始复位异常处理。复位异常处理顺序如图 3.1 所示。复位异常处理的顺序如下，但是，对于内置加电复位产品的复位顺序，请参照“第 20 章 加电复位和低电压检测电路”。

1. 设置条件码寄存器（CCR）的 I 位。
2. CPU 产生复位异常处理的向量地址（H'0000~H'0001），将该地址的数据作为起始地址传送到程序计数器（PC），并开始执行程序。

3.4 中断异常处理

3.4.1 外部中断请求

外部中断请求有 NMI、IRQ3~IRQ0 和 WKP 中断请求。

(1) NMI 中断请求

NMI 中断请求发生在 $\overline{\text{NMI}}$ 管脚的输入边沿。可由 IEGR1 的 NMIEG 来选择检测的边沿方向。NMI 中断请求是最优先的中断请求，与 CCR 的 I 位的值无关随时被接受。

(2) IRQ3~IRQ0 中断请求

IRQ3~IRQ0 中断请求发生在 $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ 管脚的输入边沿。对这些中断请求分配不同的中断向量。可用 IEGR1 的 IEG3~IEG0 单独选择各个管脚的检测的边沿方向。根据 PMR1，在 $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ 管脚被设定成中断请求输入的状态下，检测出被指定的边沿时，将 IRR1 对应的位置 1，并向 CPU 请求中断。这些中断请求可通过 IENR1 的 IEN3~IEN0 来禁止。

(3) WKP 中断请求

WKP 中断请求发生在 $\overline{\text{WKP5}}\sim\overline{\text{WKP0}}$ 管脚的输入边沿。这些中断请求的向量地址相同。可用 IEGR2 的 WPEG5~WPEG0 单独选择各个管脚的检测的边沿方向。根据 PMR5，在 $\overline{\text{WKP5}}\sim\overline{\text{WKP0}}$ 管脚被设定成中断请求输入的状态下，检测出被指定的边沿时，将 IWPR 对应的位置 1，并向 CPU 请求中断。这些中断请求可通过 IENR1 的 IENWP 来禁止。

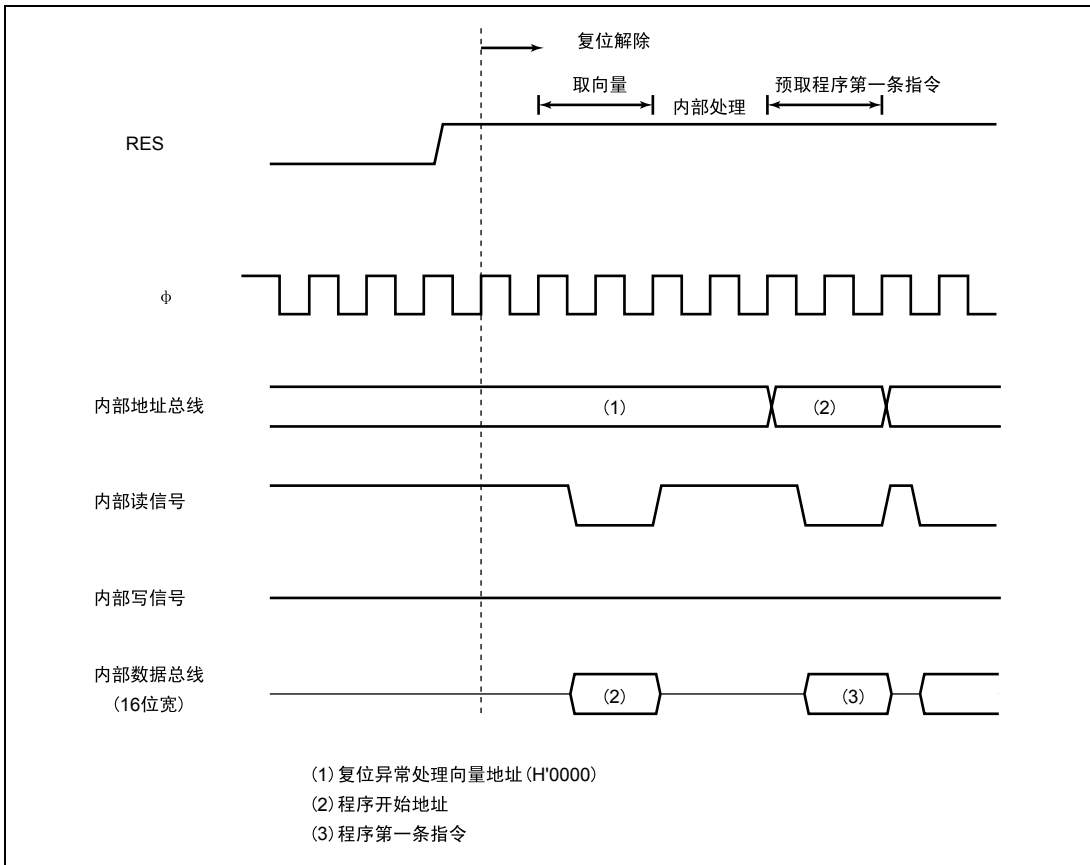


图 3.1 复位异常处理顺序

3.4.2 内部中断请求

各内部外围模块有中断请求状态标志和中断许可位。对于 RTC 中断请求、由执行 SLEEP 指令而发生的直接转移中断以及定时器 B1 中断请求，上述位包含在 IRR1、IRR2、IENR1 和 IENR2 中。当发生内部外围模块的中断请求时，对应的中断请求状态标志被置 1，并向 CPU 请求中断。这些中断请求可通过对应的许可位清 0 来禁止。

3.4.3 中断处理顺序

中断请求由中断控制器进行控制。中断运行如下：

1. NMI或者中断许可位置1，并且发生中断时，中断请求信号就被传送到中断控制器。
2. 在发生多个中断请求时，中断控制器根据表3.1所示向CPU请求当时最高优先级的中断处理，保留其它的中断处理。
3. 如果中断请求是NMI或者地址断开，不论I位如何，CPU总是接受。除此以外的中断请求，只有在CCR的I位被清0的情况下才接受，否则在I位被置位期间一直保留。
4. 当CPU接受中断请求，执行完执行中的指令后，开始中断异常处理。首先，把PC和CCR的值压入堆栈区。此时堆栈的状态如图3.2所示。被入栈的PC值为返回后要执行的第一条指令的地址。
5. 其次，CCR的I位置1。屏蔽NMI和地址断开以外的中断请求，并且，通过返回时的出栈，I位的值与CCR的其它位一起恢复到异常处理开始前的值。
6. 最后，CPU生成对应于接受了的中断请求的向量地址，然后把该地址作为中断处理程序的起始地址传送给PC，开始中断处理。

程序区在片内 ROM 和堆栈区在片内 RAM 的情况，中断请求顺序如图 3.3 所示。

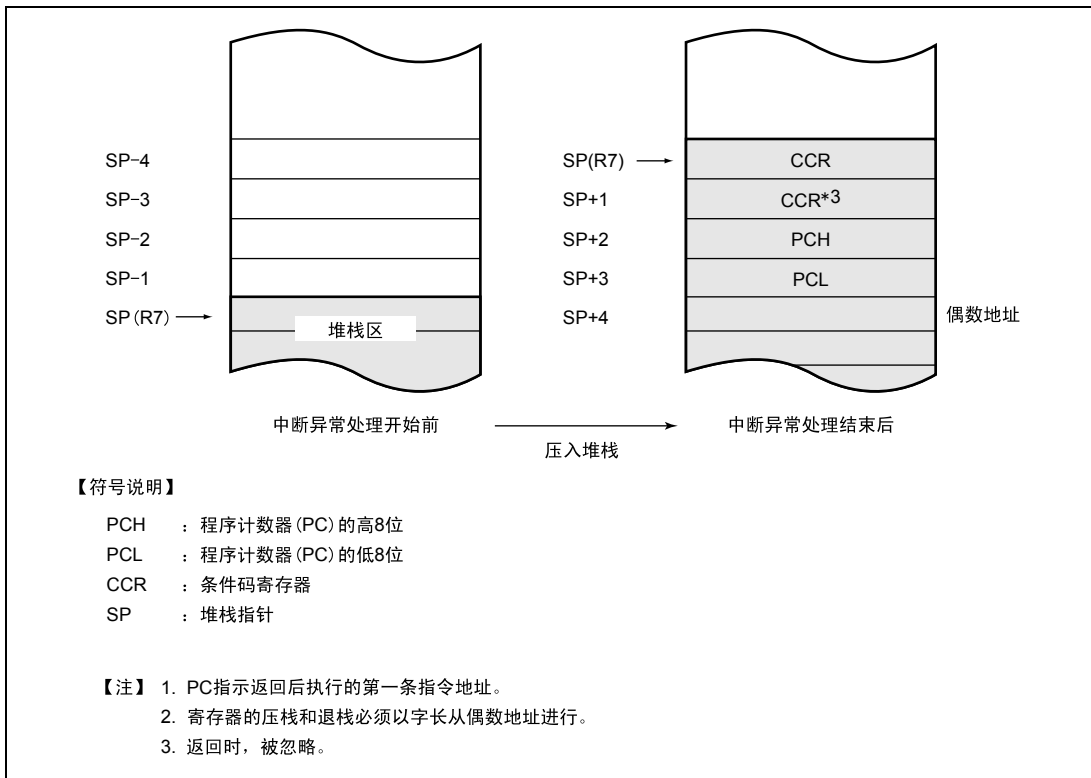


图 3.2 中断异常处理结束后的堆栈状态

3.4.4 中断响应时间

从中断请求标志被置位, 到执行中断请求处理程序的第一条指令为止的等待状态数如表 3.2 所示。

表 3.2 中断请求等待状态数

项 目	状态数	合计
执行中的指令结束时的等待时间*	1~23	15~37
PC、CCR 的入栈	4	
取向量	2	
取指令	4	
内部处理	4	

【注】* EEPMOV 指令除外。

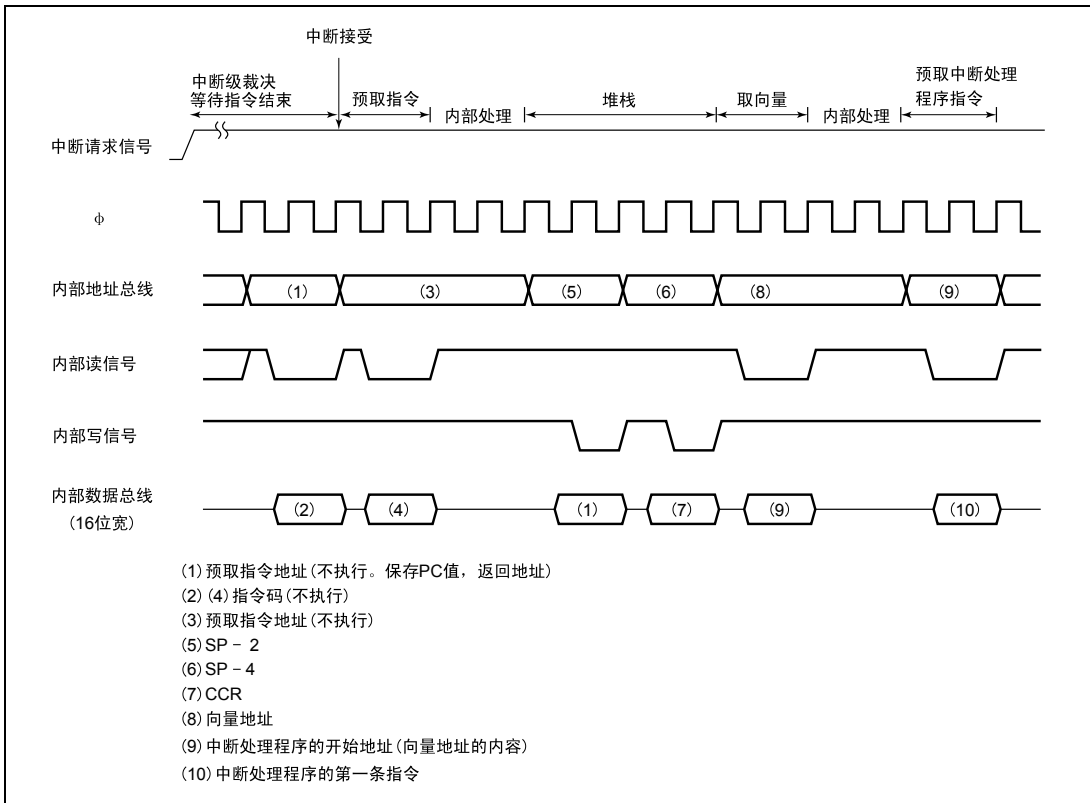


图 3.3 中断请求顺序

3.5 使用时的注意事项

3.5.1 复位后的中断请求

复位后，如果 CPU 在堆栈指针（SP）初始化之前接受中断请求，PC 和 CCR 的保存就无法正确进行，将导致程序失控。为了预防上述情况，在复位异常处理后，由于立即禁止包括 NMI 的所有中断请求并一定执行程序的第 1 条指令，因此，请在程序的前头初始化 SP（例：MOV.W #xx:16, SP）。

3.5.2 堆栈区的存取

存取字数据时，地址的最低位被视作 0。存取堆栈区时，必须以字长进行，保持堆栈指针（SP: R7）为偶数。（例：“PUSH Rn (MOV.W Rn, @-SP)”或者“POP Rn (MOV.W @SP+, Rn)”）

3.5.3 改写端口模式寄存器时的注意事项

改写端口模式寄存器以及改变外部中断请求管脚 $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ 和 $\overline{\text{WKP5}}\sim\overline{\text{WKP0}}$ 的功能时，中断请求标志有可能被置 1。切换管脚功能时，在禁止中断请求的状态下，改写端口模式寄存器，并且至少执行一条指令（可以是 NOP 指令）以后才能清除中断请求标志。端口模式寄存器的操作和中断请求标志的清除过程如图 3.4 所示。

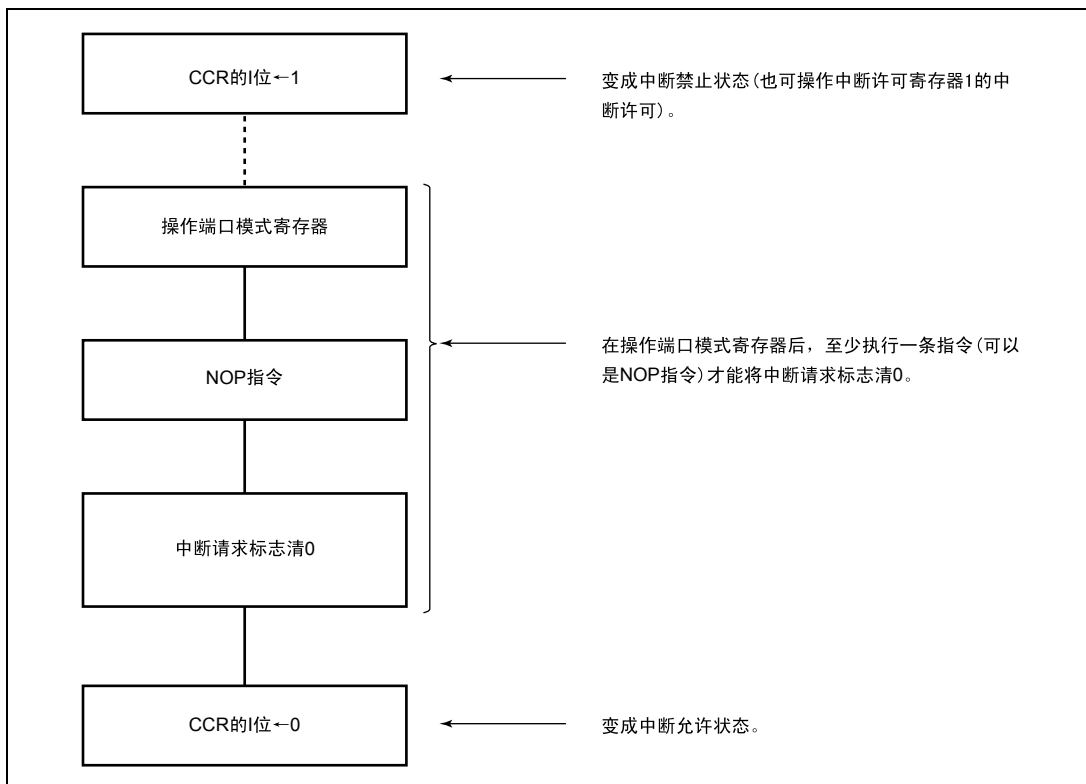


图 3.4 端口模式寄存器的操作和中断请求标志的清除过程

第 4 章 地址断开

地址断开提供简单的单板上程序调试功能。如果设定的断开条件成立，地址断开就发出地址断开中断请求。该中断请求不受 CCR 的 I 位的影响。可设定的断开条件有特定地址的指令执行、特定地址的存取和数据的组合等。另外，利用地址断开功能，能检测出程序误动作的开始位置并转移到修正程序等。地址断开的框图如图 4.1 所示。

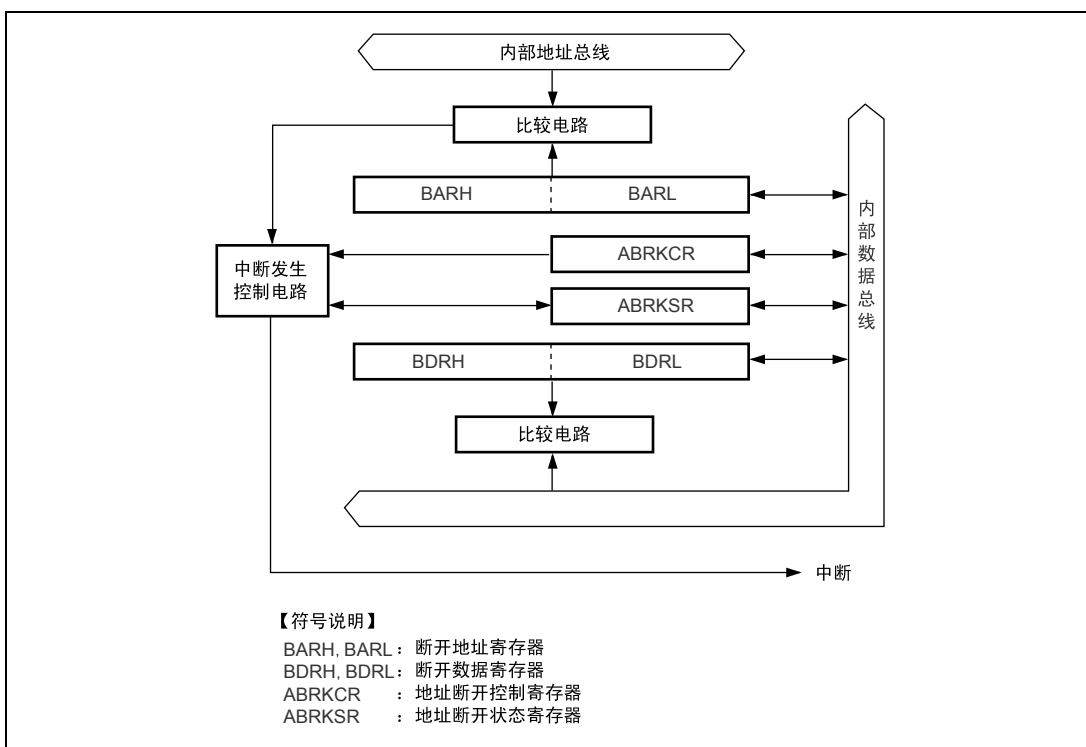


图 4.1 地址断开框图

4.1 寄存器说明

地址断开有以下寄存器：

- 地址断开控制寄存器（ABRKCR）
- 地址断开状态寄存器（ABRKSR）
- 断开地址寄存器（BARH、BARL）
- 断开数据寄存器（BDRH、BDRL）

4.1.1 地址断开控制寄存器（ABRKCR）

ABRKCR 设定地址断开的条件。

位	位名	初始值	R/W	说 明
7	RTINTE	1	R/W	RTE 中断允许 0: 屏蔽 RTE 指令执行后的中断，而且一定执行一条指令。 1: 不屏蔽中断。
6	CSEL1	0	R/W	条件选择 1~0 设定地址断开的条件。 00: 指令执行周期 01: CPU 数据读周期 10: CPU 数据写周期 11: CPU 数据读/写周期
5	CSEL0	0	R/W	
4	ACMP2	0	R/W	地址比较 2~0 设定 BAR 和内部地址总线的比较条件。 000: 比较 16 位。 001: 比较高 12 位。 010: 比较高 8 位。 011: 比较高 4 位。 1XX: 保留（请不要设定）
3	ACMP1	0	R/W	
2	ACMP0	0	R/W	
1	DCMP1	0	R/W	数据比较 1~0 设定 BDR 和内部数据总线的比较条件。 00: 不比较数据。 01: BDRL 和数据总线低 8 位比较。 10: BDRH 和数据总线高 8 位比较。 11: BDR 和数据总线 16 位比较。
0	DCMP0	0	R/W	

【注】X: Don't care

在数据读周期或者数据写周期设定地址断开时，请注意：使用的数据总线根据存取类型（字/字节存取）与数据总线宽度的组合的不同而不同。各种存取和其所使用的数据总线的对应关系如表 4.1 所示。在字存取 8 位数据总线宽的 I/O 寄存器空间时，发生 2 次字节存取。有关各寄存器的数据总线宽度请参照“22.1 寄存器地址一览表（地址顺序）”。

表 4.1 使用的数据总线

	字存取		字节存取	
	偶数地址	奇数地址	偶数地址	奇数地址
ROM 空间	高 8 位	低 8 位	高 8 位	高 8 位
RAM 空间	高 8 位	低 8 位	高 8 位	高 8 位
8 位数据总线宽度的 I/O 寄存器	高 8 位	高 8 位	高 8 位	高 8 位
16 位数据总线宽度的 I/O 寄存器	高 8 位	低 8 位	—	—

4.1.2 地址断开状态寄存器（ABRKSR）

ABRKSR 由地址断开的中断请求标志和地址断开的中断许可位构成。

位	位名	初始值	R/W	说 明
7	ABIF	0	R/W	地址断开中断标志 (置位条件) 设定在 ABRKCR 中的条件成立时。 (清除条件) 读到了 1 的状态后，写 0 时。
6	ABIE	0	R/W	地址断开中断允许 1: 允许地址断开中断请求。
5~0	—	全为 1	—	保留位。总是读出 1。

4.1.3 断开地址寄存器（BARH、BARL）

BARH、BARL 是一个为了使地址断开中断发生，而设定地址的 16 位可读写寄存器。当设定地址断开的条件为指令执行周期时，请设定指令的第 1 字节地址。该寄存器的初始值是 H'FFFF。

4.1.4 断开数据寄存器（BDRH、BDRL）

BDRH、BDRL 是一个为了使地址断开中断发生，而对数据进行设定的 16 位可读写寄存器。BDRH 和高 8 位数据总线比较，BDRL 和低 8 位数据总线比较。字节存取存储器或者寄存器时，偶数地址的数据传送和奇数地址的数据传送都使用高 8 位的数据总线。因此，在进行字节存取时，必须把比较数据设定给 BDRH。另外，在进行字存取时，使用的数据总线将根据地址的不同而不同。详细内容请参照“4.1.1 地址断开控制寄存器（ABRKCR）”。该寄存器的初始值不定。

4.2 运行说明

地址断开功能在 ABRKSR 的 ABIF 和 ABIE 都被置 1 时, 向 CPU 发出中断请求。ABRKSR 的 ABIF 的置 1 是通过给 BAR 设定的地址、给 BDR 设定的数据以及给 ABRKCR 设定的条件的组合来实现。如果接受中断请求, 在执行中的指令结束后, 就启动中断异常处理。另外, 地址断开中断不被 CPU 的 CCR 的 I 位屏蔽。

由地址断开中断的设定引起的运行例子如图 4.2 所示。

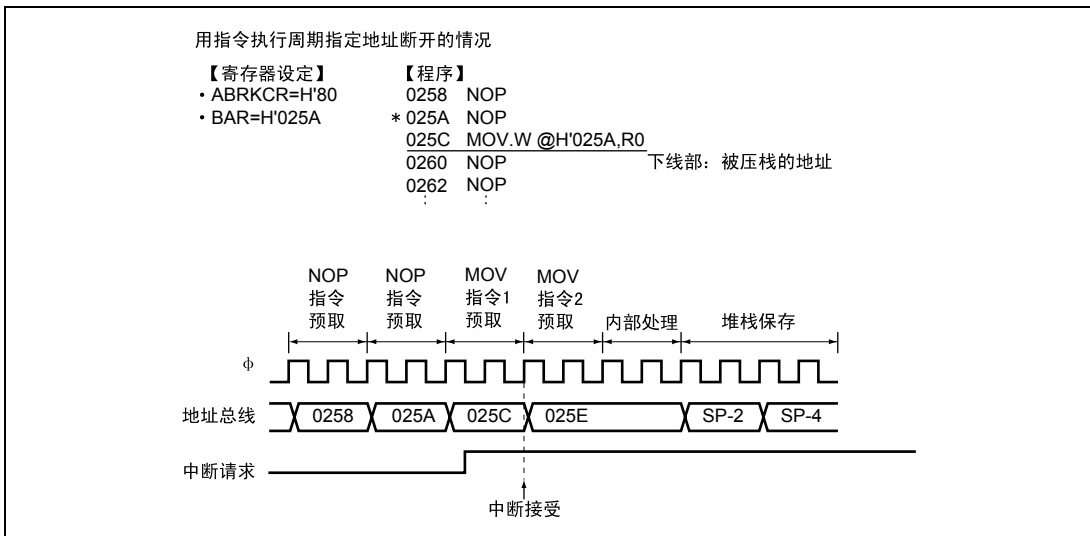


图 4.2 地址断开中断的运行例子 (1)

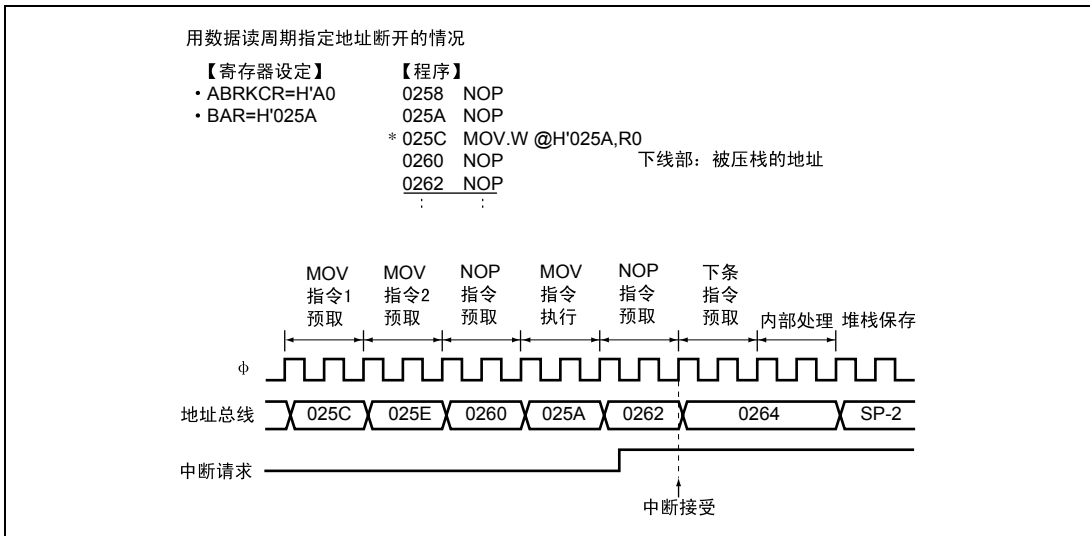


图 4.2 地址断开中断的运行例子 (2)

第 5 章 时钟振荡器

时钟发生电路由系统时钟发生电路（由系统时钟振荡器、占空比调整电路和系统时钟分频器组成）和子时钟发生电路（由子时钟振荡器和子时钟分频器组成）构成。时钟发生电路的框图如图 5.1 所示。

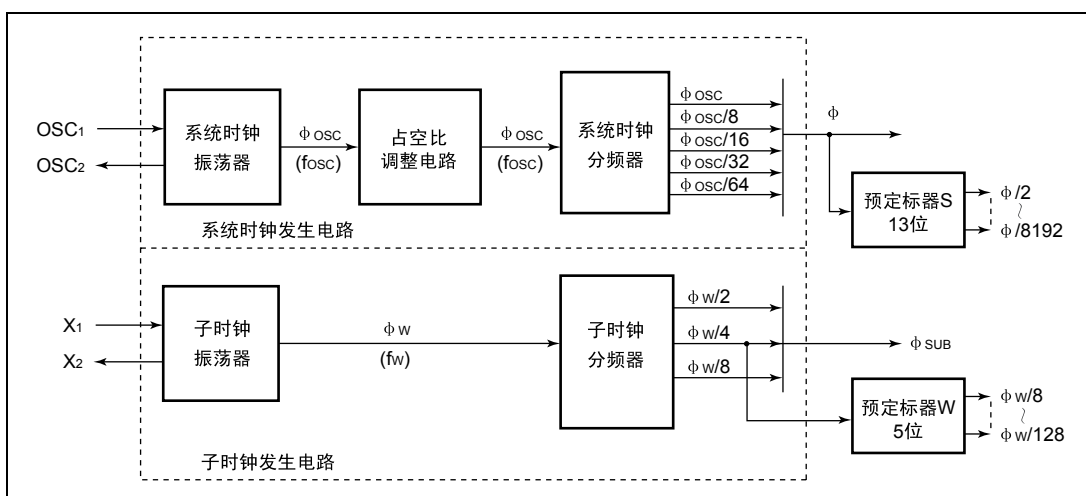


图 5.1 时钟发生电路的框图

系统时钟 ϕ 和子时钟 ϕ_{SUB} 是使 CPU 及外围功能运行的标准时钟。系统时钟被预定标器 S 分频成 $\phi/8192 \sim \phi/2$ ，子时钟被预定标器 W 分频成 $\phi_w/128 \sim \phi_w/8$ ，提供给各外围模块。

5.1 系统时钟振荡器

供给系统时钟的方法有连接晶体谐振器或者陶瓷谐振器和输入外部时钟 2 种。系统时钟振荡器的电路图如图 5.2 所示。

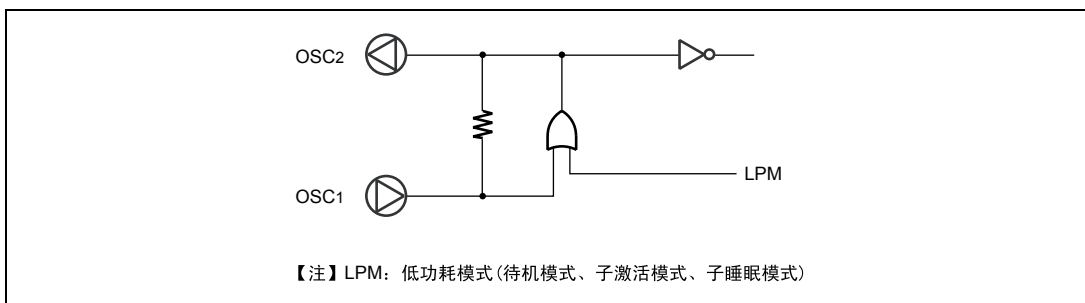


图 5.2 系统时钟振荡器的电路图

5.1.1 晶体谐振器的连接方法

晶体谐振器的连接例子如图 5.3 所示，必须使用 AT-CUT 并联谐振型晶体谐振器。晶体谐振器的等效电路如图 5.4 所示，必须使用如表 5.1 所示性能的谐振器。

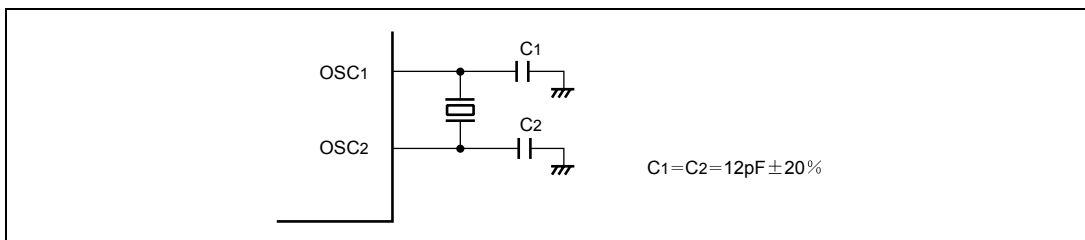


图 5.3 晶体谐振器的连接例子

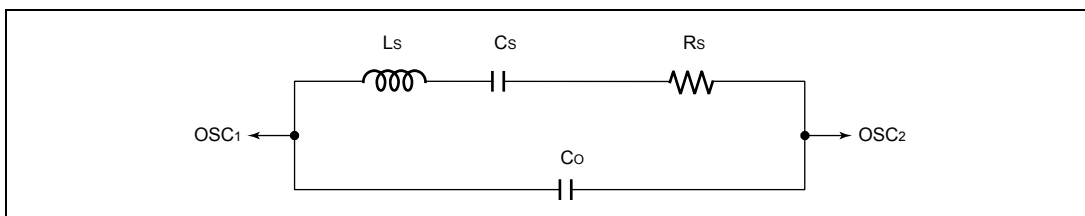


图 5.4 晶体谐振器的等效电路

表 5.1 晶体谐振器的参数

频率 (MHz)	2	4	8	10	16	20
R_s (max)	500 Ω	120 Ω	80 Ω	60 Ω	50 Ω	40 Ω
C_o (max)	7pF					

5.1.2 陶瓷谐振器的连接方法

陶瓷谐振器的连接例子如图 5.5 所示。

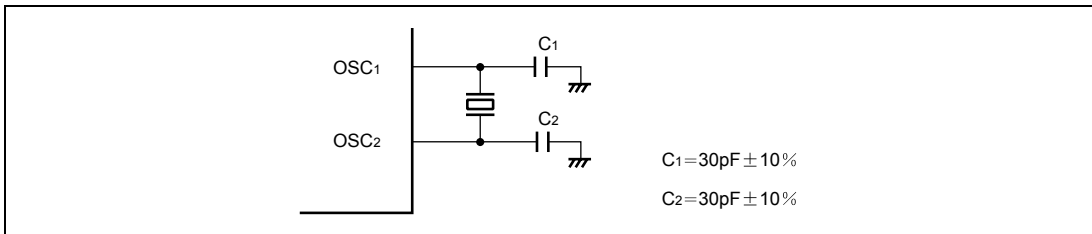


图 5.5 陶瓷谐振器的连接例子

5.1.3 输入外部时钟的方法

输入外部时钟到 OSC1 管脚，将 OSC2 管脚置为开路状态。连接例子如图 5.6 所示。必须将外部时钟的占空比设定为 45%~55%。

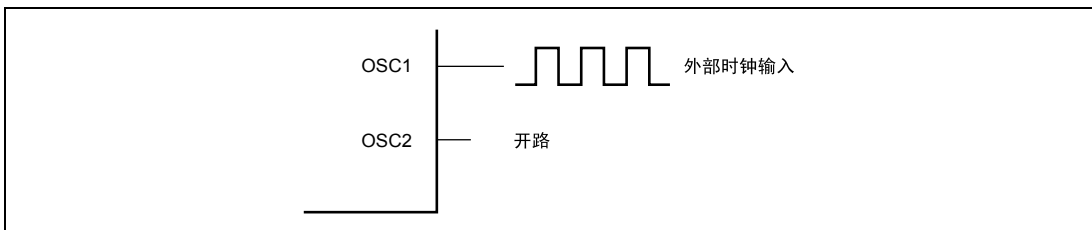


图 5.6 输入外部时钟的连接例子

5.2 子时钟振荡器

子时钟振荡器的电路图如图 5.7 所示。

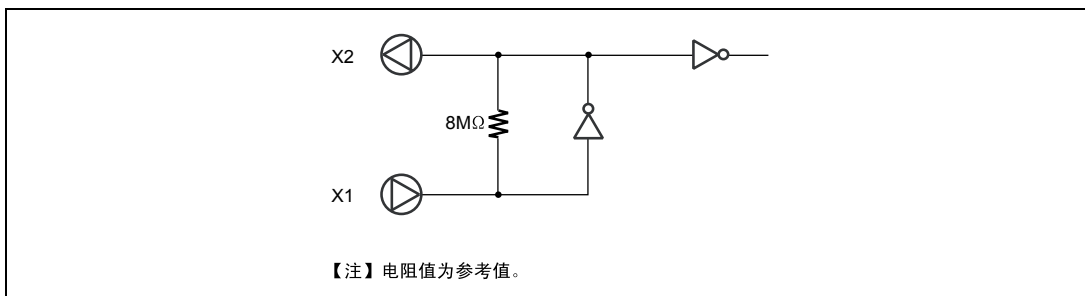


图 5.7 子时钟振荡器的电路图

5.2.1 32.768kHz 晶体谐振器的连接方法

给子时钟分频器提供时钟时，按如图 5.8 所示的方法，连接 32.768kHz 晶体谐振器。32.768kHz 晶体谐振器的等效电路如图 5.9 所示。

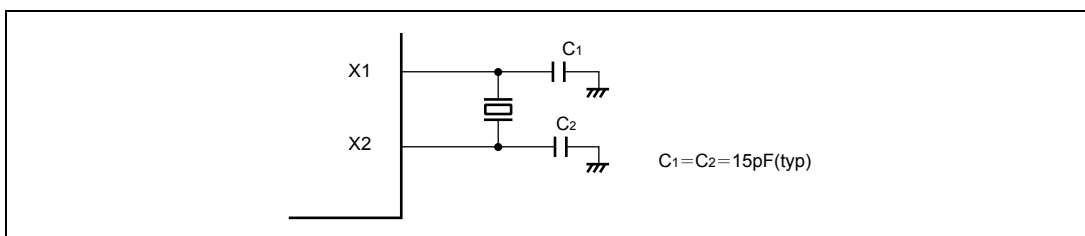


图 5.8 32.768kHz 晶体谐振器的连接例子

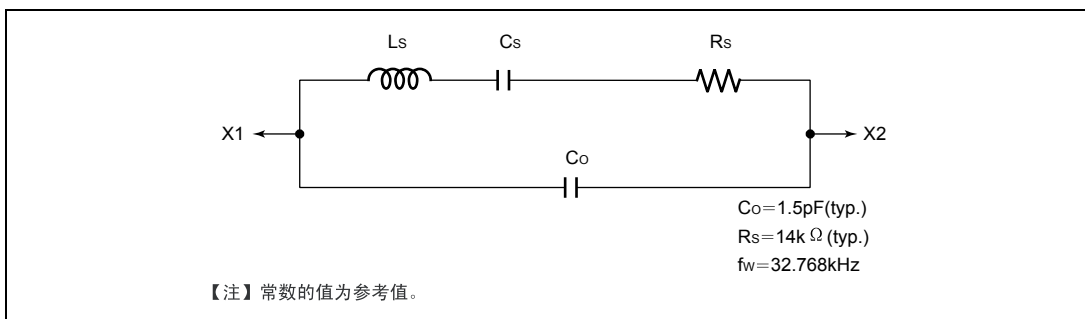


图 5.9 32.768kHz 晶体谐振器的等效电路

5.2.2 不使用子时钟时的管脚处理

在不需要子时钟时，如图 5.10 所示，必须把 X1 管脚与 V_{CL} 或者 V_{SS} 连接，并使 X2 管脚为开路状态。

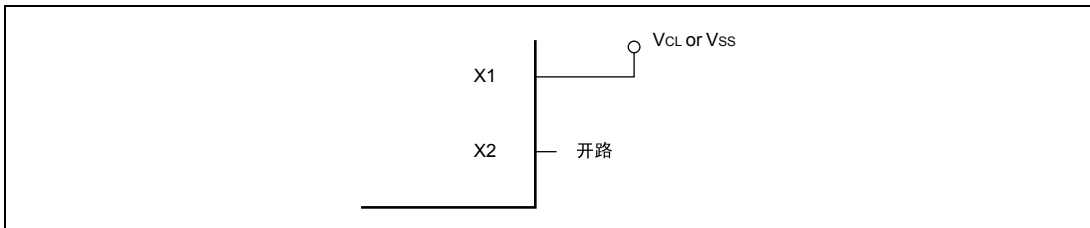


图 5.10 不需要子时钟时的管脚处理

5.3 预定标器

5.3.1 预定标器 S

预定标器 S 是以系统时钟 (ϕ) 作为输入时钟的 13 位计数器，分频输出作为内部外围模块的内部时钟使用。复位时，预定标器 S 被初始化为 H'0000，解除复位后开始累加计数。在待机模式、子激活模式以及子睡眠模式，系统时钟振荡器停止运行，预定标器 S 也停止运行。这时，预定标器 S 被初始化为 H'0000，不能从 CPU 存取。

预定标器 S 的输出被各种内部外围功能共用，分频比可由各种内部外围功能独立设定。另外，在激活模式及睡眠模式，预定标器 S 的输入时钟变成由 SYSCR2 的 MA2~MA0 设定分频比的系统时钟。

5.3.2 预定标器 W

预定标器 W 是以 32.768kHz 的 4 分频后的时钟作为输入时钟的 5 位计数器，分频输出用于 RTC 的时钟时基运行。复位时，预定标器 W 被初始化为 H'00，解除复位后开始累加计数，即使在待机模式、子激活模式以及子睡眠模式也继续运行。

5.4 使用时的注意事项

5.4.1 谐振器的注意事项

因为有关谐振器的诸特性密切关系到用户的电路板设计，所以希望用户参考本章介绍的谐振器的连接例子，经过充分评价后使用。由于振荡电路的电路常数取决于谐振器和安装电路的寄生电容等因素，必须与谐振器厂家充分磋商后作出决定。设计电路时，加在振荡管脚的电压不能超过最大额定值。

5.4.2 电路板设计时的注意事项

在使用晶体谐振器（陶瓷谐振器）的情况下，必须尽量把谐振器和负载电容设置在 OSC1 和 OSC2 管脚附近。另外，振荡电路的附近不要使其他信号线通过（图 5.11），否则，可能发生因电感而不正常振荡的情况。

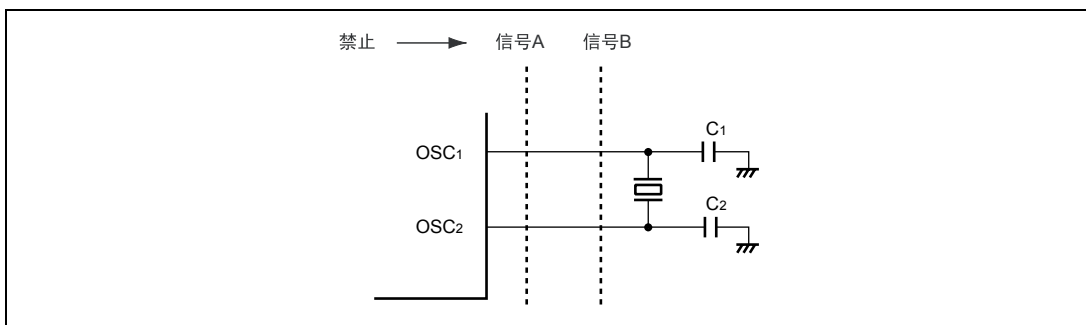


图 5.11 有关振荡电路的电路板设计的注意事项

第 6 章 低功耗模式

复位解除后的运行模式除了通常的激活模式以外，还有显著降低功耗的 4 种低功耗模式。此外，还有选择性地停止内部模块功能、降低功耗的模块待机功能。

- 激活模式
CPU 以及内部外围模块以系统时钟运行。系统时钟的频率可以从 ϕ_{osc} 、 $\phi_{osc}/8$ 、 $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 和 $\phi_{osc}/64$ 中选择。
- 子激活模式
CPU 以及内部外围模块以子时钟运行。子时钟的频率可以从 $\phi_w/2$ 、 $\phi_w/4$ 和 $\phi_w/8$ 中选择。
- 睡眠模式
CPU 停止运行，内部外围模块以系统时钟运行。
- 子睡眠模式
CPU 停止运行，内部外围模块以子时钟运行。
- 待机模式
CPU 以及全部内部外围模块停止运行，但是，RTC 在选择时钟时基功能时运行。
- 模块待机功能
独立于上述运行模式，可通过以模块为单位停止不使用的内部外围模块的运行，降低功耗。

6.1 寄存器说明

和低功耗模式有关的寄存器有：

- 系统控制寄存器 1 (SYSCR1)
- 系统控制寄存器 2 (SYSCR2)
- 模块待机控制寄存器 1 (MSTCR1)
- 模块待机控制寄存器 2 (MSTCR2)

6.1.1 系统控制寄存器 1 (SYSCR1)

SYSCR1和SYSCR2一起进行低功耗模式的控制。

位	位名	初始值	R/W	说 明
7	SSBY	0	R/W	软件待机 选择执行 SLEEP 指令后的转移模式。 0: 转移到睡眠模式或者子睡眠模式 1: 转移到待机模式 详细内容请参照表 6.2。
6	STS2	0	R/W	待机定时器选择 2~0 从待机模式、子激活模式或者子睡眠模式转移到激活模式或者睡眠模式时, 对系统时钟振荡器从开始振荡到供给时钟为止的待机状态数进行设定。按照运行频率, 必须设定 6.5ms 以上的待机时间。设定值和待机状态数的关系如表 6.1 所示。 在使用外部时钟的情况下, 推荐选择最小值 (STS2=STS1=STS0=1)。
5	STS1	0	R/W	
4	STS0	0	R/W	
3	NESEL	0	R/W	噪声消除采样频率选择 子时钟振荡器生成钟表 (Watch) 时钟 ϕ_w , 系统时钟振荡器生成 OSC 时钟 ϕ_{osc} 。本位选择采样钟表 (Watch) 时钟 ϕ_w 时的 OSC 时钟的采样频率。当 $\phi_{osc}=4\sim 20\text{MHz}$ 时, 请将该位设定成 0。 0: 以 $\phi_{osc}/16$ 时钟采样 1: 以 $\phi_{osc}/4$ 时钟采样
2	—	0	—	保留位。总是读出 0。
1	—	0	—	
0	—	0	—	

表 6.1 运行频率和待机时间

位			待机状态数	运行频率							
STS2	STS1	STS0		20MHz	16MHz	10MHz	8MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8,192 states	0.4	0.5	0.8	1.0	2.0	4.1	8.1	16.4
0	0	1	16,384 states	0.8	1.0	1.6	2.0	4.1	8.2	16.4	32.8
0	1	0	32,768 states	1.6	2.0	3.3	4.1	8.2	16.4	32.8	65.5
0	1	1	65,536 states	3.3	4.1	6.6	8.2	16.4	32.8	65.5	131.1
1	0	0	131,072 states	6.6	8.2	13.1	16.4	32.8	65.5	131.1	262.1
1	0	1	1,024 states	0.05	0.06	0.10	0.13	0.26	0.51	1.02	2.05
1	1	0	128 states	0.00	0.00	0.01	0.02	0.03	0.06	0.13	0.26
1	1	1	16 states	0.00	0.00	0.00	0.00	0.00	0.01	0.02	0.03

【注】时间单位是 ms。

6.1.2 系统控制寄存器 2 (SYSCR2)

SYSCR2 和 SYSCR1 一起进行低功耗模式的控制。

位	位名	初始值	R/W	说 明
7	SMSEL	0	R/W	睡眠模式选择
6	LSON	0	R/W	低速 ON 标志
5	DTON	0	R/W	直接转移 ON 标志
				这些位和 SYSCR1 的 SSBY 一起选择执行 SLEEP 指令后的转移模式。 详细内容请参照表 6.2。
4	MA2	0	R/W	激活模式时钟选择 2~0
3	MA1	0	R/W	选择激活模式以及睡眠模式的运行时钟频率。
2	MA0	0	R/W	时钟在执行 SLEEP 指令后，切换到设定的频率。 0XX: ϕ_{osc} 100: $\phi_{osc}/8$ 101: $\phi_{osc}/16$ 110: $\phi_{osc}/32$ 111: $\phi_{osc}/64$
1	SA1	0	R/W	子激活模式时钟选择 1~0
0	SA0	0	R/W	选择子激活模式以及子睡眠模式的运行时钟频率。 时钟在执行 SLEEP 指令后，切换到设定的频率。 00: $\phi_w/8$ 01: $\phi_w/4$ 1X: $\phi_w/2$

【注】X: Don't care

6.1.3 模块待机控制寄存器 1 (MSTCR1)

MSTCR1 以模块单位把内部外围模块设定为待机状态。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	MSTIIC	0	R/W	IIC2 模块待机 1: IIC2 成为待机状态。
5	MSTS3	0	R/W	SCI3 模块待机 1: SCI3 成为待机状态。
4	MSTAD	0	R/W	A/D 转换器模块待机 1: A/D 转换器成为待机状态。
3	MSTWD	0	R/W	监视定时器模块待机 1: 监视定时器成为待机状态（但是，在监视定时器的计数时钟被选择为内部振荡器的情况下，监视定时器的运行与此位的设定无关）。
2	—	0	—	保留位。总是读出 0。
1	MSTTV	0	R/W	定时器 V 模块待机 1: 定时器 V 成为待机状态。
0	MSTTA	0	R/W	RTC 模块待机 1: RTC 成为待机状态。

6.1.4 模块待机控制寄存器 2 (MSTCR2)

MSTCR2 以模块单位把内部外围模块设定为待机状态。

位	位名	初始值	R/W	说 明
7	MSTS3_2	0	R/W	SCI3_2 模块待机 1: SCI3_2 成为待机状态。
6	—	0	—	保留位。总是读出 0。
5	—	0	—	保留位。总是读出 0。
4	MSTTB1	0	R/W	定时器 B1 模块待机 1: 定时器 B1 成为待机状态。
3	—	0	—	保留位。总是读出 0。
2	—	0	—	保留位。总是读出 0。
1	MSTTZ	0	R/W	定时器 Z 模块待机 1: 定时器 Z 成为待机状态。
0	MSTPWM	0	R/W	PWM 模块待机 1: PWM 成为待机状态。

6.2 模式间转移和 LSI 状态

模式间可进行的转移如图 6.1 所示。通过执行 SLEEP 指令，从程序执行状态转移到程序停止状态；通过中断，从程序停止状态返回到程序执行状态。在程序执行状态的激活模式和子激活模式之间，能不停止程序的执行直接转移。另外，通过从激活模式到激活模式、从子激活模式到子激活模式的直接转移，能在同一模式改变运行频率；通过 RES 输入，能使全部模式转移到复位状态。在执行 SLEEP 指令时向各模式的转移条件、由中断产生的返回地址如表 6.2 所示，LSI 在各运行模式的内部状态如表 6.3 所示。

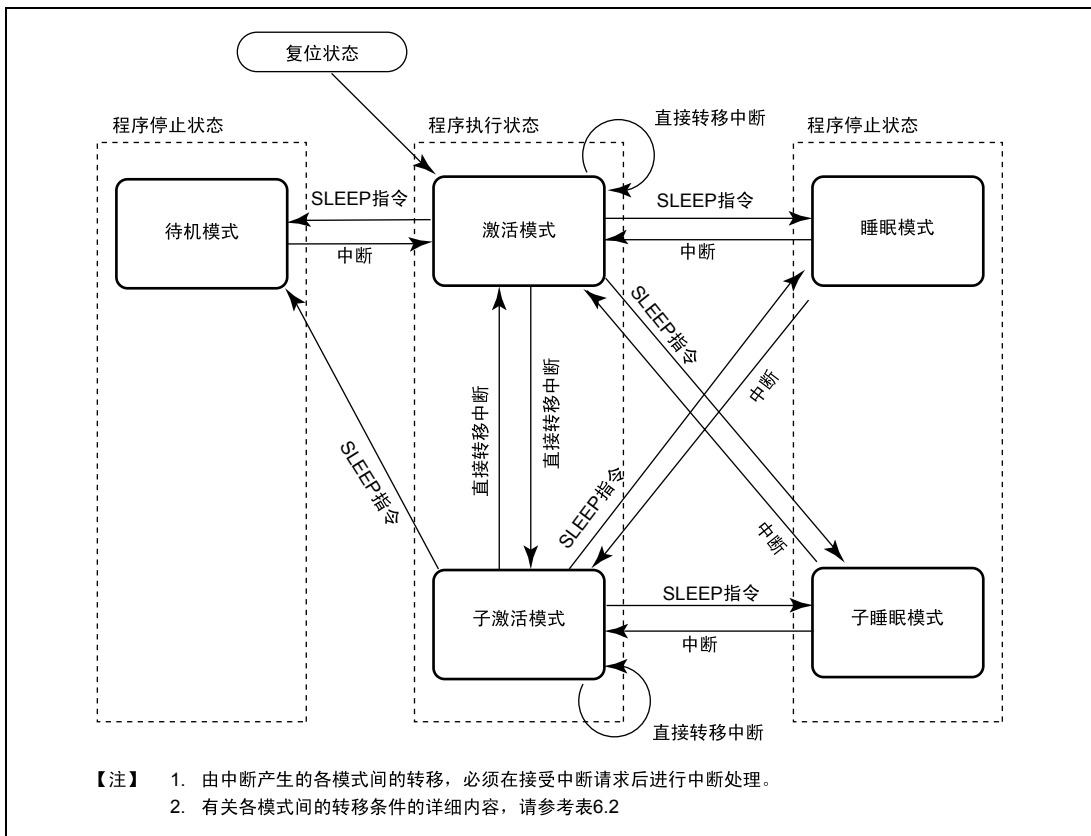


图 6.1 模式转移图

表 6.2 执行 SLEEP 指令后的状态和由中断产生的返回地址

DTON	SSBY	SMSEL	LSON	SLEEP 指令执行后的状态	由中断产生的返回地址
0	0	0	0	睡眠模式	激活模式
0	0	0	1	睡眠模式	子激活模式
0	0	1	0	子睡眠模式	激活模式
0	0	1	1	子睡眠模式	子激活模式
0	1	X	X	待机模式	激活模式
1	X	0*	0	激活模式（直接转移）	X
1	X	X	1	子激活模式（直接转移）	

【注】X: Don't care

* 如果在 SMSEL=1 时进行状态转移，就复位定时器 V、SCI3、SCI3_2 和 A/D 转换器，各寄存器的值将返回到初始值。如果在激活模式转移后使用这些功能，就必需重新设定各寄存器。

表 6.3 各运行模式的 LSI 状态

功能		激活模式	睡眠模式	子激活模式	子睡眠模式	待机模式
系统时钟振荡器		运行	运行	停止	停止	停止
子时钟振荡器		运行	运行	运行	运行	运行
CPU	指令执行	运行	停止	运行	停止	停止
	寄存器	运行	保持	运行	保持	保持
RAM		运行	保持	运行	保持	保持
I/O 端口		运行	保持	运行	保持	寄存器为保持，输出为高阻抗
外部中断	IRQ3~IRQ0	运行	运行	运行	运行	运行
	WKP5~WKP0	运行	运行	运行	运行	运行
外围模块	RTC	运行	运行	时钟时基功能选择时：运行 间隔定时器选择时：保持		
	定时器 V	运行	运行	复位	复位	复位
	监视定时器	运行	运行	保持（选择内部振荡器作为计数时钟时运行*）		
	SCI3、SCI3_2	运行	运行	复位	复位	复位
	IIC2	运行	运行	保持*	保持	保持
	定时器 B1	运行	运行	保持*	保持	保持
	定时器 Z	运行	运行	保持（选择内部时钟 ϕ 作为计数时钟时，计数器由子时钟累加计数*）		
A/D 转换器		运行	运行	复位	复位	复位

【注】* 在子激活模式，可以读写寄存器。

6.2.1 睡眠模式

在睡眠模式，虽然 CPU 停止运行，但是内部外围模块以 SYSCR2 的 MA2、MA1 和 MA0 所设定的频率时钟运行，CPU 的寄存器内容保持不变。如果发生中断请求，睡眠模式就被解除，并开始中断异常处理。在 CCR 的 I 位为 1 或者中断被中断许可位屏蔽时，不能解除睡眠模式。解除后的模式根据 SYSCR2 的 LSON 决定转向激活模式或者子激活模式。在睡眠模式，如果 $\overline{\text{RES}}$ 管脚为低电平，睡眠模式就被解除并转为复位状态。

6.2.2 待机模式

在待机模式，系统时钟振荡器停止振荡，CPU 以及内部外围模块停止运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器以及内部 RAM 的数据就保持不变。另外，只要提供由 RAM 数据保持电压所规定的电压，就能保持内部 RAM 的数据。I/O 端口为高阻抗状态。

待机模式由中断解除。如果发生中断请求，系统时钟振荡器就开始振荡。经过由 SYSCR1 的 STS2~STS0 设定的时间后，待机模式被解除，并开始中断异常处理。在 CCR 的 I 位为 1 或者中断被中断许可位屏蔽时，不能解除待机模式。

在待机模式，如果 $\overline{\text{RES}}$ 管脚为低电平，系统时钟振荡器就开始振荡。在系统时钟开始振荡的同时，系统时钟被供给整个 LSI。到系统时钟的振荡稳定为止， $\overline{\text{RES}}$ 管脚必须保持低电平。如果在经过振荡稳定时间后 $\overline{\text{RES}}$ 管脚变为高电平，CPU 就开始复位异常处理。

6.2.3 子睡眠模式

在子睡眠模式，CPU 以及 RTC 以外的内部外围模块停止运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器以及内部 RAM 的内容就保持不变，I/O 端口保持转移前的状态。

子睡眠模式由中断解除。如果发生中断请求，子睡眠模式就被解除，并开始中断异常处理。另外，在 CCR 的 I 位为 1 或者该中断被中断许可寄存器禁止接受时，子睡眠模式不被解除。解除后的模式根据 SYSCR2 的 LSON 决定转向激活模式或者子激活模式。在转向激活模式的情况下，经过由 SYSCR1 的 STS2~STS0 设定的振荡稳定等待时间后才转移。

在子睡眠模式，如果 $\overline{\text{RES}}$ 管脚为低电位，系统时钟振荡器就开始振荡。在系统时钟开始振荡的同时，系统时钟被供给整个 LSI。到系统时钟的振荡稳定为止， $\overline{\text{RES}}$ 管脚必须保持低电平。如果在经过振荡稳定时间后 $\overline{\text{RES}}$ 管脚变为高电平，CPU 就开始复位异常处理。

6.2.4 子激活模式

子激活模式的运行频率可以通过 SYSCR2 的 SA1 和 SA0，从 $\phi_w/2$ 、 $\phi_w/4$ 和 $\phi_w/8$ 中选择。在执行 SLEEP 指令后，运行频率切换到执行 SLEEP 指令前设定的频率。

在子激活模式，如果执行 SLEEP 指令，就通过 SYSCR1 和 SYSCR2 的组合转移到睡眠模式、子睡眠模式、待机模式、激活模式或者子激活模式。

另外，如果 $\overline{\text{RES}}$ 管脚为低电平，系统时钟振荡器就开始振荡。在系统时钟开始振荡的同时，系统时钟被供给整个 LSI。到系统时钟的振荡稳定为止， $\overline{\text{RES}}$ 管脚必须保持低电平。如果在经过振荡稳定时间后 $\overline{\text{RES}}$ 管脚变为高电平，CPU 就开始复位异常处理。

6.3 激活模式的运行频率

激活模式以 SYSCR2 的 MA2、MA1 和 MA0 设定的频率时钟运行。在执行 SLEEP 指令后，运行频率切换到设定的频率。

6.4 直接转移

CPU 执行程序的运行模式有激活模式和子激活模式。这 2 种运行模式间的直接转移不需停止程序的执行。如果 SYSCR2 的 DTON 置 1，并且执行 SLEEP 指令，就进行直接转移。在激活模式或者子激活模式，通过直接转移能改变运行频率。转移后便开始直接转移的中断异常处理。在由中断许可寄存器 1 禁止直接转移中断的情况下，不进行直接转移而转移到睡眠模式或者子睡眠模式。请注意：如果在 CCR 的 I 位为 1 的状态下进行直接转移，在转移到睡眠模式或者子睡眠模式后，就不能通过中断来解除。

6.4.1 从激活模式到子激活模式的直接转移时间

从执行 SLEEP 指令到结束中断异常处理为止的时间（直接转移时间）用计算式（1）表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令的执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{cyc}}) + (\text{中断异常处理的执行状态数}) \\ & \times (\text{转移后的 } t_{\text{subcyc}}) \dots\dots\dots(1) \end{aligned}$$

$$\text{〔例〕直接转移时间} = (2+1) \times t_{\text{osc}} + 14 \times 8t_w$$

$$= 3 t_{\text{osc}} + 112t_w$$

（在选择 CPU 运行时钟： $\phi_{\text{osc}} \rightarrow \phi_w/8$ 的情况下）

<记号说明>

t_{osc} : OSC 时钟周期时间

t_w : 钟表 (Watch) 时钟周期时间

t_{cyc} : 系统时钟 (ϕ) 周期时间

t_{subcyc} : 子时钟 (ϕ_{SUB}) 周期时间

6.4.2 从子激活模式到激活模式的直接转移时间

从执行 SLEEP 指令到结束中断异常处理为止的时间（直接转移时间）用计算式（2）表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令的执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{subcyc}}) + \{ (\text{以 STS2} \sim \text{STS0 设定的待机时间}) \\ & + (\text{中断异常处理的执行状态数}) \} \times (\text{转移后的 } t_{\text{cyc}}) \dots\dots\dots(2) \end{aligned}$$

$$\begin{aligned} \text{〔例〕直接转移时间} = & (2+1) \times 8t_w + (8192+14) \times t_{\text{osc}} \\ = & 24 t_w + 8206t_{\text{osc}} \end{aligned}$$

（在选择 CPU 运行时钟： $\phi_w/8 \rightarrow \phi_{\text{osc}}$ 、待机时间：8192 状态的情况下）

<记号说明>

- tosc : OSC 时钟周期时间
- tw : 钟表 (Watch) 时钟周期时间
- tcyc : 系统时钟 (ϕ) 周期时间
- tsubcyc: 子时钟 (ϕ_{SUB}) 周期时间

6.5 模块待机功能

模块待机功能对全部外围模块进行设定。设定为模块待机状态的模块，被停止供给时钟，进入低功耗状态。如果将对应 MSTCR1 的各模块的位置 1，该模块就成为模块待机状态，如果将对应 MSTCR1 的各模块的位清除，该模块就被解除。

第 7 章 ROM

快速擦写存储器版内置的 56K 字节或者 32K 字节快速擦写存储器的特点如下：

- 编程/擦除方式
编程是128字节单位的同时编程方式。擦除以块为单位进行。H8/3687F的快速擦写存储器被分成1K字节×4块、28K字节×1块、16K字节×1块和8K字节×1块，H8/3684F的快速擦写存储器被分成1K字节×4块和28K字节×1块。全部擦除时也必须按块分别擦除。
- 改写次数
改写次数可达1000次。
- 单板上编程
通过启动内部引导程序，进入全部擦除或者编程引导模式，可以进行单板上编程/擦除。此外，以通常的用户模式也可在单板上擦除和改写任意块。
- 编程器模式
除单板上编程以外，还有使用PROM编程器进行编程/擦除的编程器模式。
- 位速率自动匹配
在引导模式传送数据时，自动地匹配主机的传送位速率和本LSI的位速率。
- 编程/擦除保护
通过软件能设定对快速擦写存储器的编程/擦除保护。
- 低功耗模式
在子激活模式，能停止部分电源电路的运行，在低功耗模式读快速擦写存储器。

7.1 块结构

快速擦写存储器的块结构如图 7.1 所示。粗线框表示擦除块。细线框表示编程单位，框内的数值表示地址。56K 字节的快速擦写存储器被分成 1K 字节×4 块、28K 字节×1 块、16K 字节×1 块和 8K 字节×1 块，擦除以这些单位进行。32K 字节的快速擦写存储器被分成 1K 字节×4 块和 28K 字节×1 块。编程以低位地址为 H'00 或 H'80 开始的 128 字节单位进行。

擦除单位	H'0000	H'0001	H'0002	←编程单位128字节→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1K字节					
擦除单位	H'0380	H'0381	H'0382	←编程单位128字节→	H'03FF
	H'0400	H'0401	H'0402		H'047F
1K字节					
擦除单位	H'0480	H'0481	H'0482	←编程单位128字节→	H'04FF
1K字节					
擦除单位	H'0780	H'0781	H'0782	←编程单位128字节→	H'07FF
	H'0800	H'0801	H'0802		H'087F
1K字节					
擦除单位	H'0880	H'0881	H'0882	←编程单位128字节→	H'08FF
1K字节					
擦除单位	H'0B80	H'0B81	H'0B82	←编程单位128字节→	H'0BFF
	H'0C00	H'0C01	H'0C02		H'0C7F
1K字节					
擦除单位	H'0C80	H'0C81	H'0C82	←编程单位128字节→	H'0CFF
1K字节					
擦除单位	H'0F80	H'0F81	H'0F82	←编程单位128字节→	H'0FFF
	H'1000	H'1001	H'1002		H'107F
28K字节					
擦除单位	H'1080	H'1081	H'1082	←编程单位128字节→	H'10FF
28K字节					
擦除单位	H'7F80	H'7F81	H'7F82	←编程单位128字节→	H'7FFF
	H'8000	H'8001	H'8002		H'807F
16K字节					
擦除单位	H'8080	H'8081	H'8082	←编程单位128字节→	H'80FF
16K字节					
擦除单位	H'BF80	H'BF81	H'BF82	←编程单位128字节→	H'BFFF
	H'C000	H'C001	H'C002		H'C07F
8K字节					
擦除单位	H'C080	H'C081	H'C082	←编程单位128字节→	H'C0FF
8K字节					
	H'DF80	H'DF81	H'DF82		H'DFFF

图 7.1 快速擦写存储器的块结构

7.2 寄存器说明

快速擦写存储器有以下寄存器：

- 快速擦写存储器控制寄存器 1 (FLMCR1)
- 快速擦写存储器控制寄存器 2 (FLMCR2)
- 块指定寄存器 1 (EBR1)
- 快速擦写存储器功率控制寄存器 (FLPWCR)
- 快速擦写存储器许可寄存器 (FENR)

7.2.1 快速擦写存储器控制寄存器 1 (FLMCR1)

FLMCR1 使快速擦写存储器转移到编程模式、编程验证模式、擦除模式或者擦除验证模式。有关具体的设定方法，请参照“7.4 编程/擦除程序”。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	SWE	0	R/W	软件写允许 1: 允许快速擦写存储器编程/擦除。 0: 该寄存器的其他位和 EBR1 的各位不能置位。
5	ESU	0	R/W	擦除准备 1: 成为擦除准备状态。 0: 解除准备状态。 必须在 FLMCR1 的 E 位置 1 前置位。
4	PSU	0	R/W	编程准备 1: 成为编程准备状态。 0: 解除准备状态。 必须在 FLMCR1 的 P 位置 1 前置位。
3	EV	0	R/W	擦除验证 1: 转移到擦除验证模式。 0: 解除擦除验证模式。
2	PV	0	R/W	编程验证 1: 转移到编程验证模式。 0: 解除编程验证模式。
1	E	0	R/W	擦除 如果在 SWE=1、ESU=1 的状态下置 1，就转移到擦除模式。 0: 解除擦除模式。
0	P	0	R/W	编程 如果在 SWE=1、PSU=1 的状态下置 1，就转移到编程模式。 0: 解除编程模式。

7.2.2 快速擦写存储器控制寄存器 2 (FLMCR2)

FLMCR2 表示快速擦写存储器的编程/擦除状态。FLMCR2 是只读寄存器，不能写入。

位	位名	初始值	R/W	说 明
7	FLER	0	R	在快速擦写存储器的编程/擦除过程中，如果检测出错误，就为错误保护状态，将该位置位。 详细内容请参照“7.5.3 错误保护”。
6~0	—	全为 0	—	保留位。总是读出 0。

7.2.3 块指定寄存器 1 (EBR1)

EBR1 是指定快速擦写存储器擦除块的寄存器。当 FLMCR1 的 SWE 位是 0 时，EBR1 被初始化为 H'00。该寄存器不可将 2 个以上的位同时设定为 1，否则，EBR1 被自动清 0。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	EB6	0	R/W	为 1 时，H'C000~H'DFFF 的 8K 字节为擦除对象。
5	EB5	0	R/W	为 1 时，H'8000~H'BFFF 的 16K 字节为擦除对象。
4	EB4	0	R/W	为 1 时，H'1000~H'7FFF 的 28K 字节为擦除对象。
3	EB3	0	R/W	为 1 时，H'0C00~H'0FFF 的 1K 字节为擦除对象。
2	EB2	0	R/W	为 1 时，H'0800~H'0BFF 的 1K 字节为擦除对象。
1	EB1	0	R/W	为 1 时，H'0400~H'07FF 的 1K 字节为擦除对象。
0	EB0	0	R/W	为 1 时，H'0000~H'03FF 的 1K 字节为擦除对象。

7.2.4 快速擦写存储器功率控制寄存器 (FLPWCR)

当 LSI 转移到子激活模式时，FLPWCR 选择是否将快速擦写存储器变为低功耗模式。有在低功耗模式停止快速擦写存储器的部分电源电路的运行，而能对其进行读的模式，和即使转移到子激活模式，仍然保持快速擦写存储器的电源电路的运行，而能对其进行读的模式。

位	位名	初始值	R/W	说 明
7	PDWND	0	R/W	掉电禁止 为 0 时，如果转移到子激活模式，快速擦写存储器就成为低功耗模式。 为 1 时，即使转移到子激活模式，快速擦写存储器也以通常模式运行。
6~0	—	全为 0	—	保留位。总是读出 0。

7.2.5 快速擦写存储器许可寄存器 (FENR)

FENR 的位 7(FLSHE)设定 CPU 存取快速擦写存储器的控制寄存器 FLMCR1、FLMCR2、EBR1 和 FLPWCR 时的存取允许或者存取禁止。

位	位名	初始值	R/W	说 明
7	FLSHE	0	R/W	快速擦写存储器控制寄存器允许 为 1 时, 可存取快速擦写存储器控制寄存器。 为 0 时, 不能存取控制寄存器。
6~0	—	全为 0	—	保留位。总是读出 0。

7.3 单板上编程

作为进行快速擦写存储器编程/擦除的模式, 提供能单板上编程/擦除的引导模式和用 PROM 编程器进行编程/擦除的编程器模式。此外, 在用户模式也能进行单板上编程/擦除。如果从复位状态起动复位, 本 LSI 就根据 TEST 管脚、 $\overline{\text{NMI}}$ 管脚以及端口的输入电平, 转移到表 7.1 所示的不同的模式。必须至少在解除复位的 4 个状态以前, 确定各管脚的输入电平。

如果转移到引导模式, 就启动 LSI 内部引导程序。引导程序经 SCI3, 把编程控制程序从连接于外部的本机传送到内部 RAM, 在全部擦除快速擦写存储器后, 执行编程控制程序。能用于单板上状态的初次编程, 或者用于在用户模式无法进行编程/擦除时的强制恢复等。在用户模式, 可以通过转移到用户准备好的编程/擦除程序, 擦除并改写任意块。

表 7.1 编程模式的选择方法

TEST	NMI	P85	PB0	PB1	PB2	解除复位后的 LSI 状态
0	1	X	X	X	X	用户模式
0	0	1	X	X	X	引导模式
1	X	X	0	0	0	编程器模式

【注】X: Don't care

7.3.1 引导模式

从复位解除开始转移到编程控制程序为止，引导模式的运行如表 7.2 所示。

1. 在引导模式，在主机侧需要预先准备好快速擦写存储器的编程控制程序。根据“7.4 编程/擦除程序”叙述的内容，准备编程控制程序。
2. SCI3 设定为异步方式，发送和接收格式是：8 位数据，1 位停止位，无奇偶校验。
3. 如果启动引导程序，就测定从主机连续发送的异步串行通信数据 H'00 的低电平宽度，计算位速率，并将 SCI3 的位速率与主机的位速率匹配。必须在 RXD 管脚为高电平的状态下解除复位。根据需要，在电路板上将 RXD 管脚和 TXD 管脚上拉。从复位解除到能测定低电平宽度为止，需要大约 100 个状态。
4. 由于在位速率的匹配结束后，作为调整结束信号，发送 1 个字节的 H'00 给主机，因此，如果主机正常接收到调整结束信号，就必须发送 1 个字节的 H'55。如果不能正常接收，就必须通过复位再次启动引导模式。根据主机的位速率和本 LSI 的系统时钟频率的组合，会发生在容许范围内位速率不匹配的情况。因此，必须把主机的传送位速率和本 LSI 的系统时钟频率设定在表 7.3 的范围内。
5. 在引导模式，内部 RAM 的一部分被引导程序使用。能存放从主机发送来的编程控制程序的区域是 H'F780~H'FEFF。从执行程序开始转移到编程控制程序为止，不能使用该引导程序的区域。
6. 虽然在转移到编程控制程序时，SCI3 结束发送和接收（SCR3 的 RE=0、TE=0），但是，由于在 BRR 中匹配的位速率的值仍然被保持，因此能继续使用编程控制程序发送和接收与主机间的编程数据和验证数据。TXD 管脚变为高电平输出状态（PCR22=1、P22=1）。转移到编程控制程序后的 CPU 的通用寄存器为不定。尤其是堆栈指针，由于被隐含地使用在子程序调用等，因此，必须在编程控制程序的开头初始化。
7. 引导模式能通过复位解除。必须使复位管脚为低电平，在最少经过 20 个状态后，设定 $\overline{\text{NMI}}$ 管脚，并解除复位。如果发生 WDT 溢出复位，引导模式就被解除。
8. 在引导模式，不能改变 TEST 管脚和 $\overline{\text{NMI}}$ 管脚的输入电平。

表 7.2 引导模式的运行

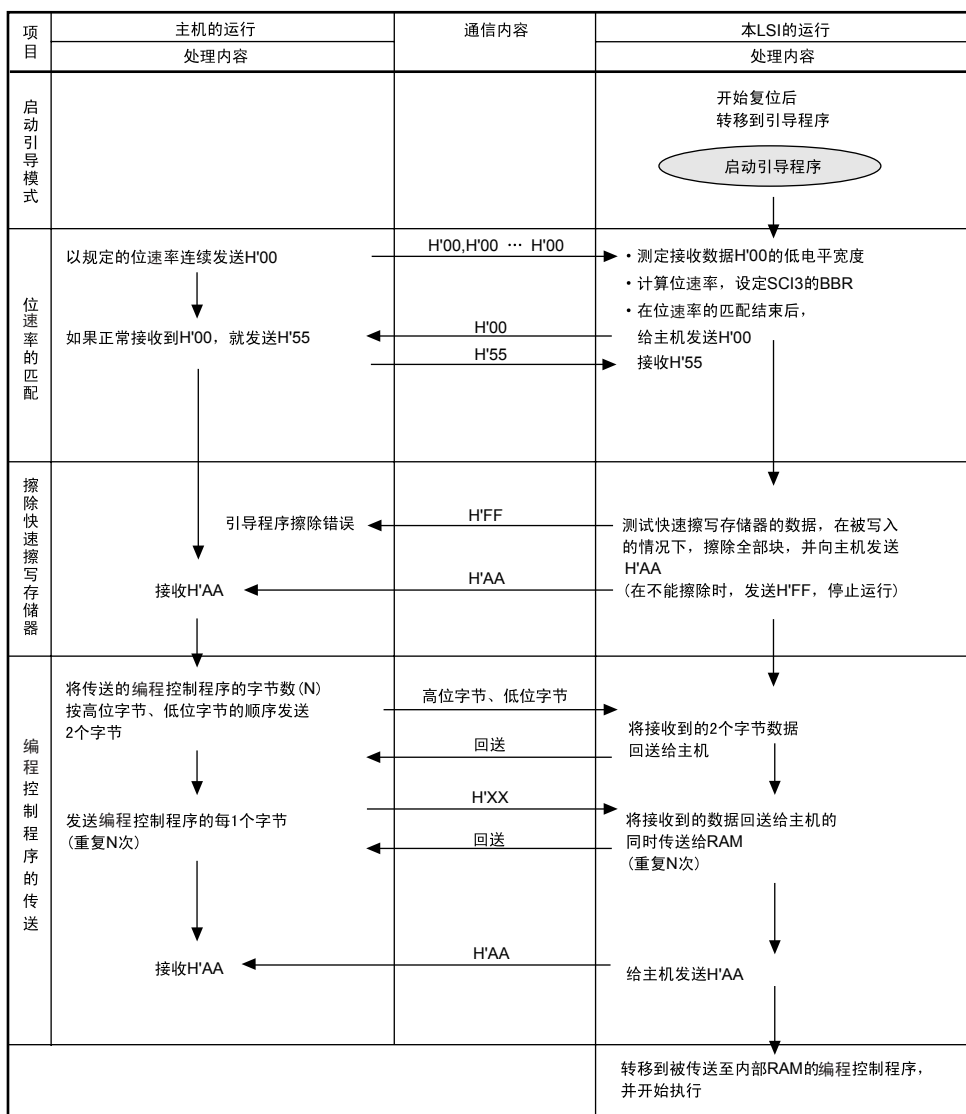


表 7.3 可以自动匹配位速率的系统时钟频率

主机的位速率	LSI 的系统时钟频率范围
19200bps	16 ~ 20MHz
9600bps	8 ~ 16MHz
4800bps	4 ~ 16MHz
2400bps	2 ~ 16MHz

7.3.2 用户模式的编程/擦除

在用户模式，通过转移到用户准备的编程/擦除程序，能单板上擦除或者改写任意块。不仅需要用户设定好转移条件和提供单板上改写数据的手段，而且，根据需要，有必要给部分快速擦写存储器写入编程/擦除程序，或者写入为了从外部提供编程/擦除程序的程序。由于在编程/擦除过程中不能读快速擦写存储器，必须与引导模式相同，将编程/擦除程序传送到内部RAM，并执行它。用户模式的编程/擦除步骤的例子如图7.2所示。请根据“7.4 编程/擦除程序”叙述的内容，准备编程/擦除程序。

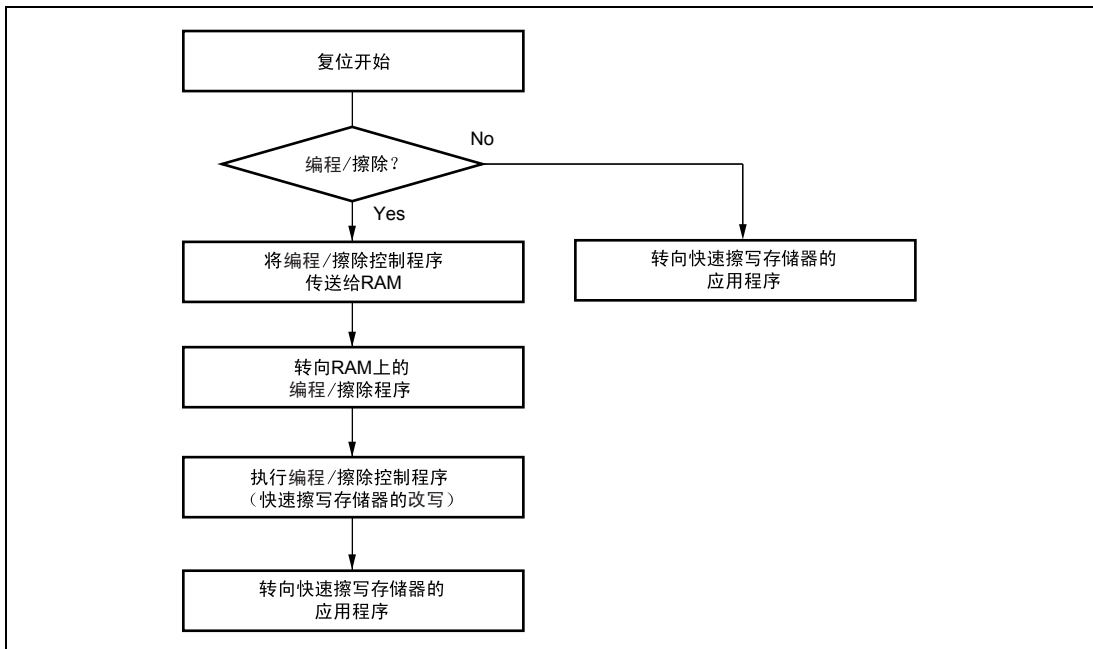


图 7.2 用户模式的编程/擦除例子

7.4 编程/擦除程序

采用软件方式，对单板上的快速擦写存储器编程/擦除。快速擦写存储器根据 FLMCR1 的设定，转移到编程模式、编程验证模式、擦除模式和擦除验证模式。在引导模式的编程控制程序和用户模式的编程/擦除程序中，结合这些模式进行编程/擦除。请按照“7.4.1 编程/编程验证”叙述的内容对快速擦写存储器编程，请按照“7.4.2 擦除/擦除验证”叙述的内容对快速擦写存储器擦除。

7.4.1 编程/编程验证

请按照图 7.3 所示的编程/编程验证流程图对快速擦写存储器编程。如果编程运行按照这个流程进行，就能不给芯片施加过分的电压应力和不损失数据的信赖性而进行编程。

1. 在擦除状态下进行编程，即已经被编程的地址不可再编程。
2. 以128字节为单位进行一次编程。即使写不满128字节的数据，也必须传送128字节的数据给快速擦写存储器。不需要的地址必须写H'FF。
3. 必须在RAM上确保128字节的编程数据区、128字节的再编程数据区和128字节的追加编程数据区。再编程数据的运算请按照表7.4进行，追加编程数据的运算请按照表7.5进行。
4. 必须以字节为单位，从再编程数据区或者追加编程数据区连续传送128字节到快速擦写存储器。编程地址和128字节数据被锁存在快速擦写存储器中。必须把快速擦写存储器的起始地址的低8位设定为H'00或者H'80。
5. P位置1的时间为编程时间。请按照表7.6设定编程时间。
6. 为了避免由于程序失控等的重复编程，设定监视定时器。溢出周期必须设定在6.6ms左右。
7. 为了给验证地址虚写，必须给低2位为b'00的地址写1个字节H'FF。能够从进行了虚写的地址开始以字或长字读验证数据。
8. 对同一位的编程/编程验证顺序，重复不可超过1000次。

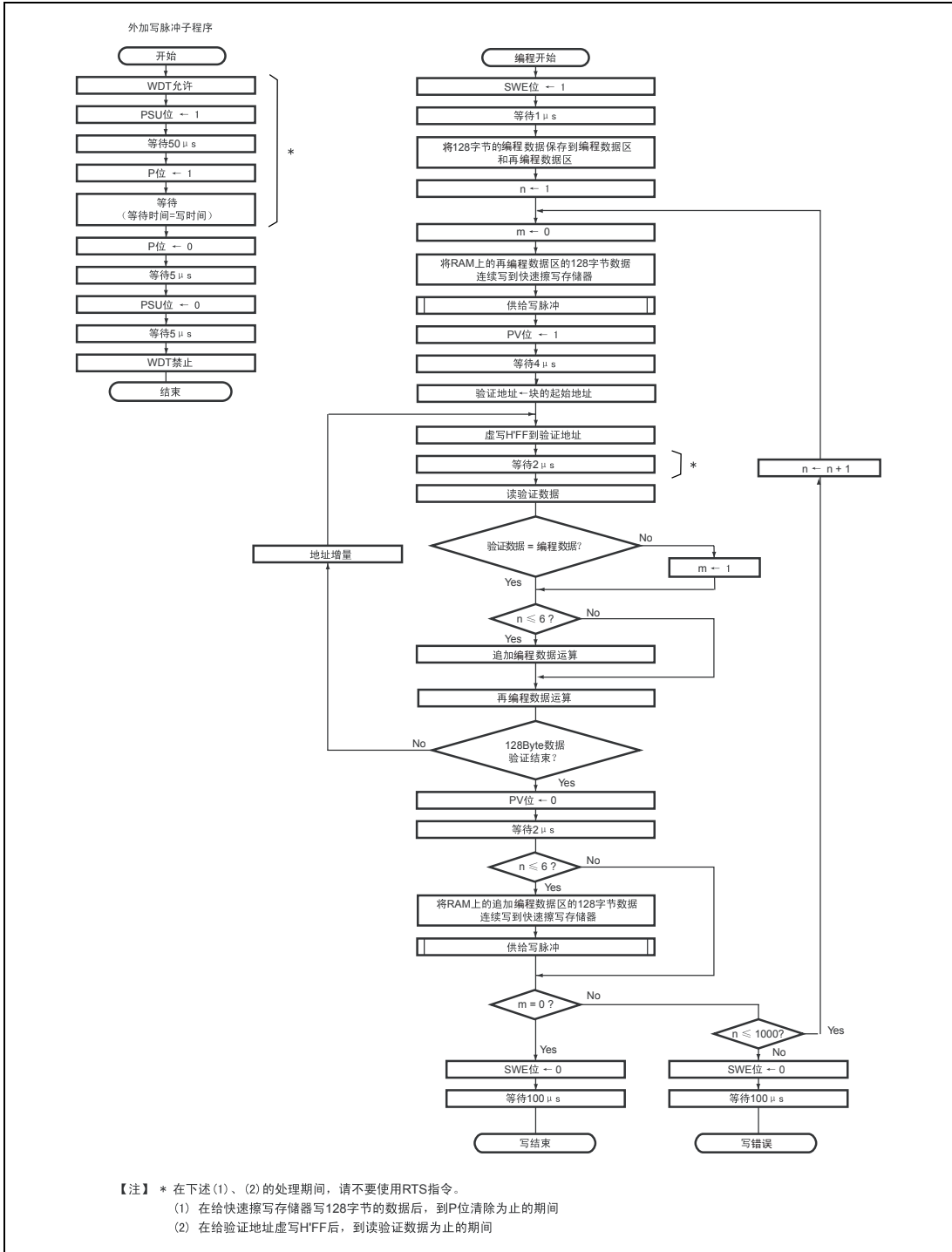


图 7.3 编程/编程验证流程图

表 7.4 再编程数据运算表

编程数据	验证数据	再编程数据	备 考
0	0	1	编程结束位
0	1	0	再编程位
1	0	1	
1	1	1	擦除状态

表 7.5 追加编程数据运算表

再编程数据	验证数据	追加编程数据	备 考
0	0	0	追加编程位
0	1	1	不执行追加编程
1	0	1	不执行追加编程
1	1	1	不执行追加编程

表 7.6 编程时间

n (编程次数)	编程时	追加编程时	备 考
1~6	30	10	
7~1,000	200	—	

【注】时间单位是 μs 。

7.4.2 擦除/擦除验证

请按照图 7.4 的擦除/擦除验证流程图进行擦除。

1. 在擦除前不必前写入（将要擦除的存储器的所有数据全部置0）。
2. 擦除以块单位进行。必须通过块指定寄存器1（EBR1）选择要擦除的1块。擦除多块也必须按单块分别依次擦除。
3. E位置1的时间为擦除时间。
4. 为了避免由于程序失控等的重复擦除，设定监视定时器。溢出周期必须设定在19.8ms左右。
5. 为了给验证地址虚写，必须给低2位为b'00的地址写1个字节H'FF。能够从进行了虚写的地址开始以长字读验证数据。
6. 读出的数据在未擦除时，再次将其设定为擦除方式，同样重复擦除/擦除验证顺序，但是，重复次数不可超过100次。

7.4.3 快速擦写存储器的编程/擦除时的中断

在对快速擦写存储器编程/擦除或者执行引导程序过程中，由于以下的原因，必须禁止包括 NMI 的全部中断请求：

1. 在编程/擦除过程中，如果发生中断，就不能保证按编程/擦除算法正常运行。
2. 如果在写向量地址前或者在编程/擦除过程中开始中断异常处理，就不能正常地取向量，且CPU失控。
3. 在执行引导程序过程中，如果发生中断，就无法按照正常顺序执行引导模式。

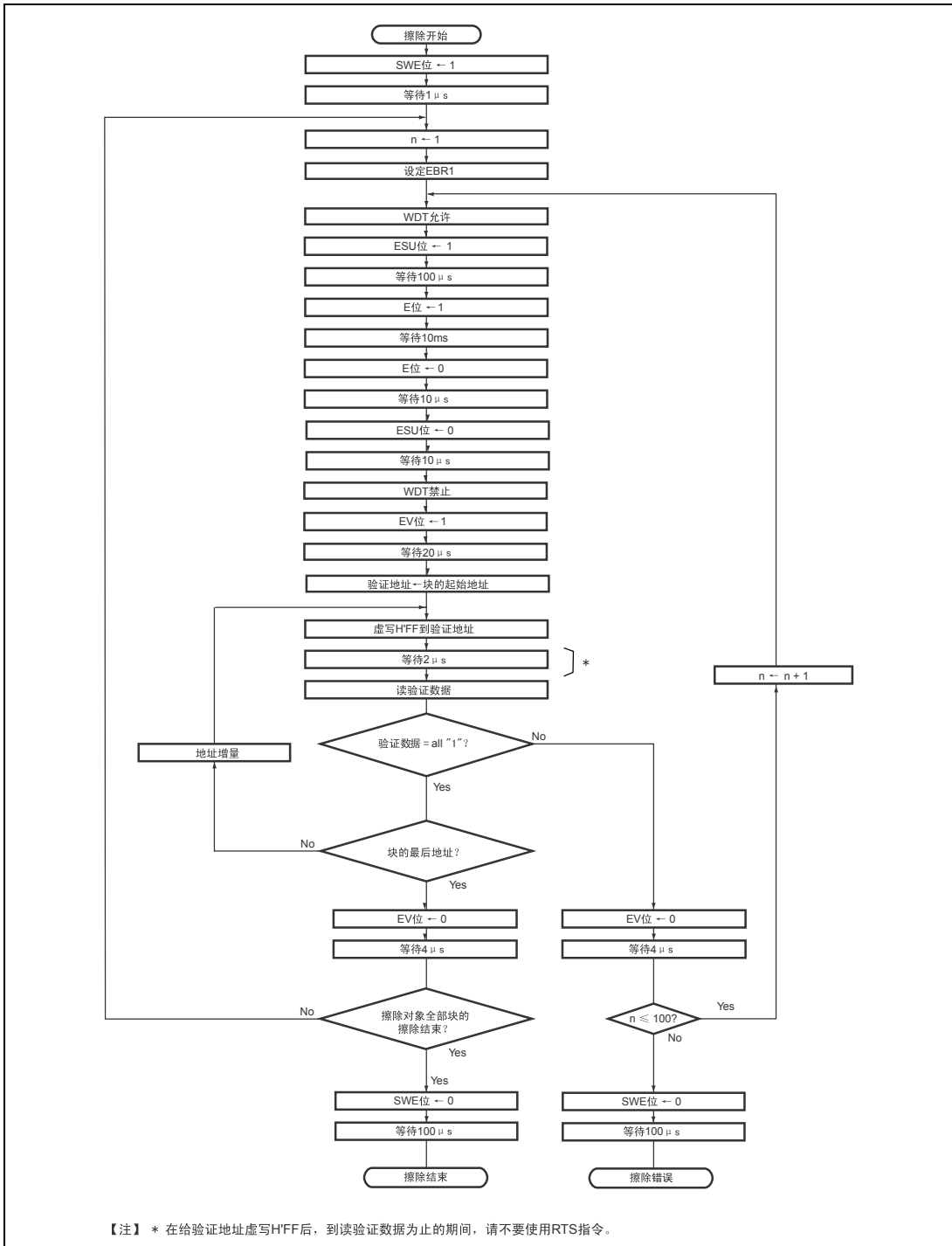


图 7.4 擦除/擦除验证流程图

7.5 编程/擦除保护

快速擦写存储器的编程/擦除保护状态，有硬件保护、软件保护和错误保护 3 种状态。

7.5.1 硬件保护

硬件保护是指通过向复位、子激活模式、子睡眠模式或者待机模式的状态转移，对快速擦写存储器的编程/擦除被强制禁止和中断的状态。快速擦写存储器控制寄存器 1 (FLMCR1)、快速擦写存储器控制寄存器 2 (FLMCR2) 和块指定寄存器 1 (EBR1) 被初始化。由 $\overline{\text{RES}}$ 管脚复位时，从加入电源到振荡稳定为止，如果不保持 $\overline{\text{RES}}$ 管脚为低电平，就不能成为复位状态。另外，运行中的复位，在 AC 特性规定的 $\overline{\text{RES}}$ 脉冲宽度之间，必须保持 $\overline{\text{RES}}$ 管脚为低电平。

7.5.2 软件保护

通过软件清除 FLMCR1 的 SWE 位，使全部块的编程/擦除成为保护状态。在此状态，即使 FLMCR1 的 P 位或者 E 位被置位，也不转移到编程模式或者擦除模式。另外，通过设定块指定寄存器 1 (EBR1) 能按块进行擦除保护。如果设定 EBR1 为 H'00，全部块就成为擦除保护状态。

7.5.3 错误保护

错误保护是在快速擦写存储器的编程/擦除过程中，检测出 CPU 失控以及不按照编程/擦除算法的运行，并强制中断编程/擦除运行的状态。通过中断编程/擦除运行，以防止因重复编程和重复擦除给快速擦写存储器带来的损坏。

在快速擦写存储器的编程/擦除过程中，如果检测出以下错误，FLMCR2 的 FLER 位就被置 1，成为错误保护状态：

- 在编程/擦除过程中，读快速擦写存储器（含向量读及取命令）
- 在编程/擦除过程中，开始复位以外的异常处理
- 在编程/擦除过程中，执行 SLEEP 命令

此时，虽然保持 FLMCR1、FLMCR2 和 EBR1 的内容，但是在检测出错误时，编程模式或者擦除模式将被强制中断，即使设置 P 位和 E 位，也不转移到编程模式或擦除模式。PV 位和 EV 位被保持，并且能转移到验证模式。只能通过复位解除错误保护状态。

7.6 编程器模式

在编程器模式，通过插座适配器，与单个快速擦写存储器相同，能用 PROM 编程器编程/擦除。请使用支持瑞萨科技内置 64K 字节快速擦写存储器的单片机型（FZTAT64V5）PROM 编程器。

7.7 快速擦写存储器的低功耗运行

在用户模式，快速擦写存储器成为以下的一种状态：

- 通常运行状态
可快速读快速擦写存储器。
- 低功耗运行状态
能停止快速擦写存储器的部分电源电路，在低功耗模式对其进行读操作。
- 待机状态
停止快速擦写存储器的所有电路。

LSI 运行模式和快速擦写存储器状态的关系如表 7.17 所示。在子激活模式，使用 FLPWCR 的 PDWND 位能把快速擦写存储器设定为低功耗运行状态。快速擦写存储器从低功耗运行状态或者待机状态恢复到通常运行状态时，需要已停止的电源电路的运行稳定化时间。包括使用外部时钟的情况，必须设定 SYSCR1 的 STS2~STS0，使恢复通常运行模式时的待机时间保持在 20 μs 以上。

表 7.7 快速擦写存储器的运行状态

LSI 的运行模式	快速擦写存储器的状态	
	PDWND=0 时（初始值）	PDWND=1 时
激活模式	通常运行状态	通常运行状态
子激活模式	低功耗运行状态	通常运行状态
睡眠模式	通常运行状态	通常运行状态
子睡眠模式	待机状态	待机状态
待机模式	待机状态	待机状态

第 8 章 RAM

H8/3687 群内置高速静态 RAM。RAM 以 16 位宽的数据总线与 CPU 连接，字节数据和字数据都是以 2 个状态周期进行存取。

产品类型		RAM 容量	RAM 地址	
快速擦写存储器版	H8/3687F	4K 字节	H'E800~H'EFFF、H'F780~H'FF7F*	
	H8/3684F	4K 字节	H'E800~H'EFFF、H'F780~H'FF7F*	
掩模型 ROM 版	H8/3687	3K 字节	H'E800~H'EFFF、H'FB80~H'FF7F	
	H8/3686	3K 字节	H'E800~H'EFFF、H'FB80~H'FF7F	
	H8/3685	3K 字节	H'E800~H'EFFF、H'FB80~H'FF7F	
	H8/3684	3K 字节	H'E800~H'EFFF、H'FB80~H'FF7F	
	H8/3683	3K 字节	H'E800~H'EFFF、H'FB80~H'FF7F	
	H8/3682	3K 字节	H'E800~H'EFFF、H'FB80~H'FF7F	
EEPROM 叠层版	快速擦写存储器版	H8/3687N	4K 字节	H'E800~H'EFFF、H'F780~H'FF7F*
	掩模型 ROM 版		3K 字节	H'E800~H'EFFF、H'FB80~H'FF7F

【注】* 在使用 E7、E8 时，禁止存取 H'F780~H'FB7F 区。

第 9 章 I/O 端口

H8/3687 群具有 45 个通用输入/输出端口（H8/3687N：43 个）和 8 个通用输入端口。其中端口 6 是大电流端口，在低电平输出时能驱动 20mA（@ $V_{OL}=1.5V$ ）。虽然每个端口都与内部外围模块的输入/输出管脚或者外部中断输入管脚兼用，复位后变为输入端口，但是，可以通过设定寄存器切换其功能。用于选择这些功能的寄存器有包含在 I/O 端口的寄存器和包含在各内部外围模块的寄存器。通用输入/输出端口由控制输入/输出的端口控制寄存器和存储输出数据的端口数据寄存器构成，并能以位单位选择输入/输出。

有关各端口的功能，请参照“附录 B.1 I/O 端口框图”。另外，有关对端口控制寄存器和端口数据寄存器执行位操作指令，请参照“2.8.3 位操作指令”。

9.1 端口 1

端口 1 是与 IRQ 中断输入管脚、RTC 输出管脚、14 位 PWM 输出管脚、定时器 B1 输入管脚以及定时器 V 输入管脚兼用的输入/输出端口。端口 1 的各管脚结构如图 9.1 所示。

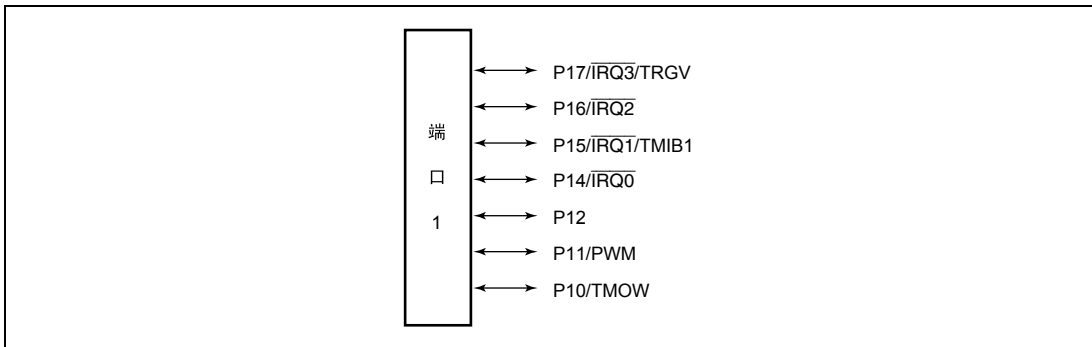


图 9.1 端口 1 的管脚结构

端口 1 有以下寄存器：

- 端口模式寄存器 1 (PMR1)
- 端口控制寄存器 1 (PCR1)
- 端口数据寄存器 1 (PDR1)
- 端口上拉控制寄存器 1 (PUCR1)

9.1.1 端口模式寄存器 1 (PMR1)

PMR1 切换端口 1 和端口 2 的管脚功能。

位	位名	初始值	R/W	说 明
7	IRQ3	0	R/W	选择 P17/ $\overline{\text{IRQ3}}$ /TRGV 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{IRQ3}}$ 及 TRGV 输入管脚
6	IRQ2	0	R/W	选择 P16/ $\overline{\text{IRQ2}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{IRQ2}}$ 输入管脚
5	IRQ1	0	R/W	选择 P15/ $\overline{\text{IRQ1}}$ /TMIB1 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{IRQ1}}$ 和 TMIB1 输入管脚
4	IRQ0	0	R/W	选择 P14/ $\overline{\text{IRQ0}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{IRQ0}}$ 输入管脚

位	位名	初始值	R/W	说 明
3	TXD2	0	R/W	选择 P72/TXD_2 管脚的功能。 0: 通用输入/输出端口 1: TXD_2 输出管脚
2	PWM	0	R/W	选择 P11/PWM 管脚的功能。 0: 通用输入/输出端口 1: PWM 输出管脚
1	TXD	0	R/W	选择 P22/TXD 管脚的功能。 0: 通用输入/输出端口 1: TXD 输出管脚
0	TMOW	0	R/W	选择 P10/TMOW 管脚的功能。 0: 通用输入/输出端口 1: TMOW 输出管脚

9.1.2 端口控制寄存器 1 (PCR1)

PCR1 按位选择作为端口 1 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR17	0	W	通过 PMR1 选择通用输入/输出端口的功能时，如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。 位 3 是保留位。
6	PCR16	0	W	
5	PCR15	0	W	
4	PCR14	0	W	
3	—	—	—	
2	PCR12	0	W	
1	PCR11	0	W	
0	PCR10	0	W	

9.1.3 端口数据寄存器 1 (PDR1)

PDR1 是端口 1 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P17	0	R/W	PDR1 是存储端口 1 的输出值的寄存器。 如果读此寄存器，对于被 PCR1 置 1 的位，就读此寄存器的值，而对于被 PCR1 清 0 的位，与此寄存器的值无关，读管脚的状态。 位 3 是保留位。总是读出 1。
6	P16	0	R/W	
5	P15	0	R/W	
4	P14	0	R/W	
3	—	1	—	
2	P12	0	R/W	
1	P11	0	R/W	
0	P10	0	R/W	

9.1.4 端口上拉控制寄存器 1 (PUCR1)

PUCR1 按位控制被设定成输入端口的管脚的上拉 MOS。

位	位名	初始值	R/W	说 明
7	PUCR17	0	R/W	只有被 PCR1 清 0 的位有效。 1: 对应的 P17~P14 管脚和 P12~P10 管脚的上拉 MOS 为 ON 状态。 0: 对应的 P17~P14 管脚和 P12~P10 管脚的上拉 MOS 为 OFF 状态。 位 3 是保留位。总是读出 1。
6	PUCR16	0	R/W	
5	PUCR15	0	R/W	
4	PUCR14	0	R/W	
3	—	1	—	
2	PUCR12	0	R/W	
1	PUCR11	0	R/W	
0	PUCR10	0	R/W	

9.1.5 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P17/ $\overline{\text{IRQ3}}$ /TRGV 管脚

寄存器名	PMR1	PCR1	功 能
位名	IRQ3	PCR17	
设定值	0	0	P17 输入管脚
		1	P17 输出管脚
	1	X	$\overline{\text{IRQ3}}$ 输入/TRGV 输入管脚

【注】X: Don't care

• P16/ $\overline{\text{IRQ2}}$ 管脚

寄存器名	PMR1	PCR1	功 能
位名	IRQ2	PCR16	
设定值	0	0	P16 输入管脚
		1	P16 输出管脚
	1	X	$\overline{\text{IRQ2}}$ 输入管脚

【注】X: Don't care

• P15/ $\overline{\text{IRQ1}}$ /TMIB1 管脚

寄存器名	PMR1	PCR1	功 能
位名	IRQ1	PCR15	
设定值	0	0	P15 输入管脚
		1	P15 输出管脚
	1	X	$\overline{\text{IRQ1}}$ 输入/TMIB1 输入管脚

【注】X: Don't care

• P14/ $\overline{\text{IRQ0}}$ 管脚

寄存器名	PMR1	PCR1	功 能
位名	IRQ0	PCR14	
设定值	0	0	P14 输入管脚
		1	P14 输出管脚
	1	X	$\overline{\text{IRQ0}}$ 输入管脚

【注】X: Don't care

• P12 管脚

寄存器名	PCR1	功 能
位名	PCR12	
设定值	0	P12 输入管脚
	1	P12 输出管脚

• P11/PWM 管脚

寄存器名	PMR1	PCR1	功 能
位名	PWM	PCR11	
设定值	0	0	P11 输入管脚
		1	P11 输出管脚
	1	X	PWM 输出管脚

【注】X: Don't care

• P10/TMOW 管脚

寄存器名	PMR1	PCR1	功 能
位名	TMOW	PCR10	
设定值	0	0	P10 输入管脚
		1	P10 输出管脚
	1	X	TMOW 输出管脚

【注】X: Don't care

9.2 端口 2

端口 2 是与 SCI3 的输入/输出管脚兼用的输入/输出端口。端口 2 的各管脚结构如图 9.2 所示。兼用管脚的功能优先进行 PMR1 和 SCI3 寄存器的设定。

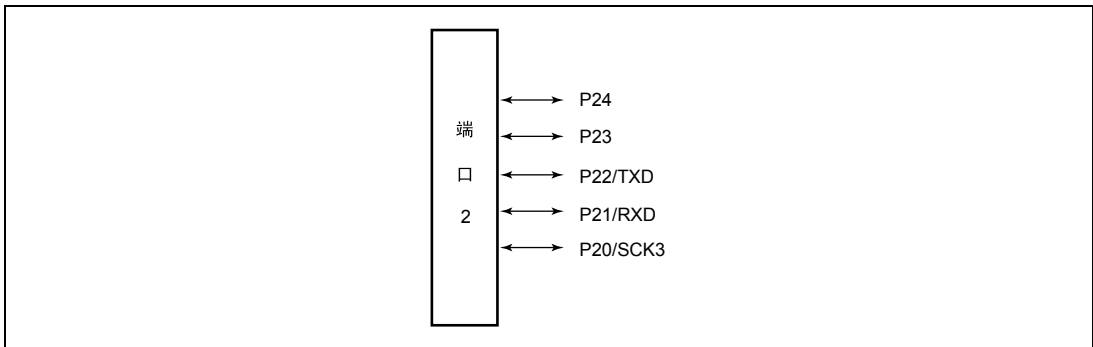


图 9.2 端口 2 的管脚结构

端口 2 有以下寄存器：

- 端口控制寄存器 2 (PCR2)
- 端口数据寄存器 2 (PDR2)
- 端口模式寄存器 3 (PMR3)

9.2.1 端口控制寄存器 2 (PCR2)

PCR2 按位选择作为端口 2 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	—	—	—	保留位。
6	—	—	—	
5	—	—	—	
4	PCR24	0	W	在选择通用输入/输出端口的功能时，如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。
3	PCR23	0	W	
2	PCR22	0	W	
1	PCR21	0	W	
0	PCR20	0	W	

9.2.2 端口数据寄存器 2 (PDR2)

PDR2 是端口 2 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	—	1	—	
5	—	1	—	
4	P24	0	R/W	存储端口 2 的输出值。
3	P23	0	R/W	如果读此寄存器，对于被 PCR2 置 1 的位，就读此寄存器的值。而对于被 PCR2 清 0 的位，与此寄存器的值无关，读管脚的状态。
2	P22	0	R/W	
1	P21	0	R/W	
0	P20	0	R/W	

9.2.3 端口模式寄存器 3 (PMR3)

PMR3 把端口 2 设定成 CMOS 输出或者 NMOS 漏极开路输出。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	—	0	—	
5	—	0	—	
4	POF24	0	R/W	如果将此位置 1，对应的管脚就为 PMOS 截止，并且为 NMOS 漏极开路输出，如果清 0，就为 CMOS 输出。
3	POF23	0	R/W	
2	—	1	—	保留位。总是读出 1。
1	—	1	—	
0	—	1	—	

9.2.4 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P24 管脚

寄存器名	PCR2	功 能
位名	PCR24	
设定值	0	P24 输入管脚
	1	P24 输出管脚

• P23 管脚

寄存器名	PCR2	功 能
位名	PCR23	
设定值	0	P23 输入管脚
	1	P23 输出管脚

• P22/TXD 管脚

寄存器名	PMR1	PCR2	功 能
位名	TXD	PCR22	
设定值	0	0	P22 输入管脚
		1	P22 输出管脚
	1	X	TXD 输出管脚

【注】X: Don't care

• P21/RXD 管脚

寄存器名	SCR3	PCR2	功 能
位名	RE	PCR21	
设定值	0	0	P21 输入管脚
		1	P21 输出管脚
	1	X	RXD 输入管脚

【注】X: Don't care

• P20/SCK3 管脚

寄存器名	SCR3		SMR	PCR2	功 能
位名	CKE1	CKE0	COM	PCR20	
设定值	0	0	0	0	P20 输入管脚
				1	P20 输出管脚
	0	0	1	X	SCK3 输出管脚
	0	1	X	X	SCK3 输出管脚
	1	X	X	X	SCK3 输入管脚

【注】X: Don't care

9.3 端口 3

端口 3 是通用输入/输出端口。端口 3 的各管脚结构如图 9.3 所示。

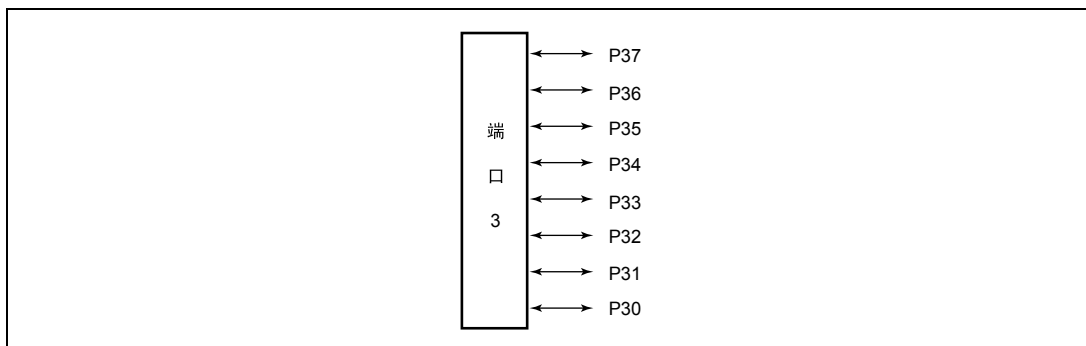


图 9.3 端口 3 的管脚结构

端口 3 有以下寄存器：

- 端口控制寄存器 3 (PCR3)
- 端口数据寄存器 3 (PDR3)

9.3.1 端口控制寄存器 3 (PCR3)

PCR3 按位选择作为端口 3 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR37	0	W	如果将该位置 1，对应的管脚就为输出端口，如果清 0，就为输入端口。
6	PCR36	0	W	
5	PCR35	0	W	
4	PCR34	0	W	
3	PCR33	0	W	
2	PCR32	0	W	
1	PCR31	0	W	
0	PCR30	0	W	

9.3.2 端口数据寄存器 3 (PDR3)

PDR3 是端口 3 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P37	0	R/W	存储端口 3 的输出值。
6	P36	0	R/W	如果读此寄存器，对于被 PCR3 置 1 的位，就读此寄存器的值。而对于被 PCR3 清 0 的位，与此寄存器的值无关，读管脚的状态。
5	P35	0	R/W	
4	P34	0	R/W	
3	P33	0	R/W	
2	P32	0	R/W	
1	P31	0	R/W	
0	P30	0	R/W	

9.3.3 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P37 管脚

寄存器名	PCR3	功 能
位名	PCR37	
设定值	0	P37 输入管脚
	1	P37 输出管脚

• P36 管脚

寄存器名	PCR3	功 能
位名	PCR36	
设定值	0	P36 输入管脚
	1	P36 输出管脚

• P35 管脚

寄存器名	PCR3	功 能
位名	PCR35	
设定值	0	P35 输入管脚
	1	P35 输出管脚

• P34 管脚

寄存器名	PCR3	功 能
位名	PCR34	
设定值	0	P34 输入管脚
	1	P34 输出管脚

• P33 管脚

寄存器名	PCR3	功 能
位名	PCR33	
设定值	0	P33 输入管脚
	1	P33 输出管脚

• P32 管脚

寄存器名	PCR3	功 能
位名	PCR32	
设定值	0	P32 输入管脚
	1	P32 输出管脚

• P31 管脚

寄存器名	PCR3	功 能
位名	PCR31	
设定值	0	P31 输入管脚
	1	P31 输出管脚

• P30 管脚

寄存器名	PCR3	功 能
位名	PCR30	
设定值	0	P30 输入管脚
	1	P30 输出管脚

9.4 端口 5

端口 5 是与 I²C 总线接口输入/输出管脚、A/D 触发输入管脚以及唤醒中断输入管脚兼用的输入/输出端口。端口 5 的各管脚结构如图 9.4 所示。P57/SCL 和 P56/SDA 管脚的功能优先进行 I²C 总线接口的寄存器的设定。由于 P56 和 P57 的输出缓冲器为 NMOS 推挽结构，因此，其高电平输出特性和 CMOS 结构的输出缓冲器不同（请参照“第 23 章 电特性”）。

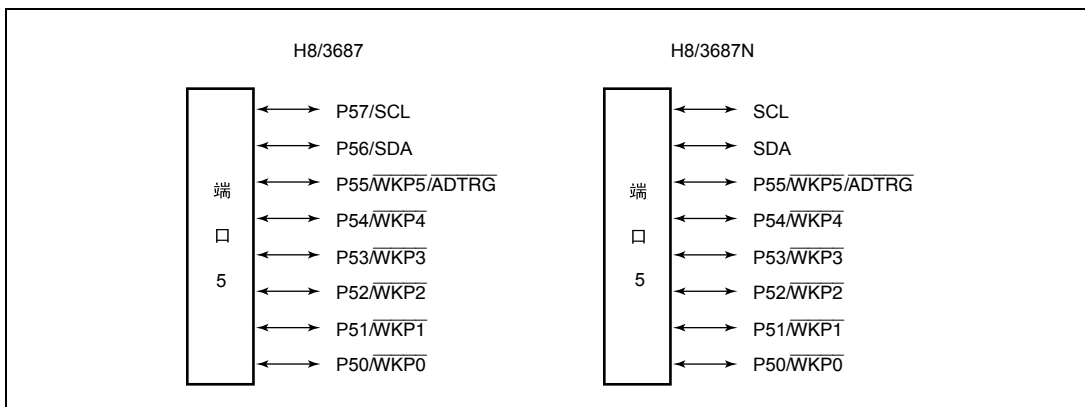


图 9.4 端口 5 的管脚结构

端口 5 有以下寄存器：

- 端口模式寄存器 5（PMR5）
- 端口控制寄存器 5（PCR5）
- 端口数据寄存器 5（PDR5）
- 端口上拉控制寄存器 5（PUCR5）

9.4.1 端口模式寄存器 5（PMR5）

PMR5 切换端口 5 的管脚功能。

位	位名	初始值	R/W	说 明
7	POF57	0	R/W	如果将此位置 1，对应的管脚就为 PMOS 截止，并且为 NMOS 漏极开路输出，如果清 0，就为 CMOS 输出。
6	POF56	0	R/W	
5	WKP5	0	R/W	选择 P55/WKP5/ADTRG 管脚的功能。 0: 通用输入/输出端口 1: WKP5 输入管脚以及 ADTRG 输入管脚
4	WKP4	0	R/W	选择 P54/WKP4 管脚的功能。 0: 通用输入/输出端口 1: WKP4 输入管脚

位	位名	初始值	R/W	说 明
3	WKP3	0	R/W	选择 P53/WKP3 管脚的功能。 0: 通用输入/输出端口 1: WKP3 输入管脚
2	WKP2	0	R/W	选择 P52/WKP2 管脚的功能。 0: 通用输入/输出端口 1: WKP2 输入管脚
1	WKP1	0	R/W	选择 P51/WKP1 管脚的功能。 0: 通用输入/输出端口 1: WKP1 输入管脚
0	WKP0	0	R/W	选择 P50/WKP0 管脚的功能。 0: 通用输入/输出端口 1: WKP0 输入管脚

9.4.2 端口控制寄存器 5 (PCR5)

PCR5 按位选择作为端口 5 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR57	0	W	在选择通用输入/输出端口的功能时，如果该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。 【注】 H8/3687N，不能将 PCR57 和 PCR56 置 1。
6	PCR56	0	W	
5	PCR55	0	W	
4	PCR54	0	W	
3	PCR53	0	W	
2	PCR52	0	W	
1	PCR51	0	W	
0	PCR50	0	W	

9.4.3 端口数据寄存器 5 (PDR5)

PDR5 是端口 5 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P57	0	R/W	PDR5 是存储端口 5 的输出值的寄存器。 如果读此寄存器，对于被 PCR5 置 1 的位，就读此寄存器的值。而对于被 PCR5 置 0 的位，与此寄存器的值无关，读管脚的状态。 【注】 H8/3687N，不能将 P57 和 P56 置 1。
6	P56	0	R/W	
5	P55	0	R/W	
4	P54	0	R/W	
3	P53	0	R/W	
2	P52	0	R/W	
1	P51	0	R/W	
0	P50	0	R/W	

9.4.4 端口上拉控制寄存器 5 (PUCR5)

PUCR5 按位控制设定成输入端口的管脚的上拉 MOS。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	—	0	—	
5	PUCR55	0	R/W	只有被 PCR5 清 0 的位有效。 1: 对应的管脚的上拉 MOS 为 ON 状态。 0: 对应的管脚的上拉 MOS 为 OFF 状态。
4	PUCR54	0	R/W	
3	PUCR53	0	R/W	
2	PUCR52	0	R/W	
1	PUCR51	0	R/W	
0	PUCR50	0	R/W	

9.4.5 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P57/SCL 管脚

寄存器名	ICCR1	PCR5	功 能
位名	ICE	PCR57	
设定值	0	0	P57 输入管脚
		1	P57 输出管脚
	1	X	SCL 输入/输出管脚

【注】X: Don't care

SCL 的输出形态为 NMOS 漏极开路输出，可以直接驱动总线。

• P56/SDA 管脚

寄存器名	ICCR1	PCR5	功 能
位名	ICE	PCR56	
设定值	0	0	P56 输入管脚
		1	P56 输出管脚
	1	X	SDA 输入/输出管脚

【注】X: Don't care

SDA 的输出形态为 NMOS 漏极开路输出，可以直接驱动总线。

• P55/ $\overline{\text{WKP5}}$ /ADTRG 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP5	PCR55	
设定值	0	0	P55 输入管脚
		1	P55 输出管脚
	1	X	$\overline{\text{WKP5}}$ /ADTRG 输入管脚

【注】X: Don't care

• P54/ $\overline{\text{WKP4}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP4	PCR54	
设定值	0	0	P54 输入管脚
		1	P54 输出管脚
	1	X	$\overline{\text{WKP4}}$ 输入管脚

【注】X: Don't care

• P53/ $\overline{\text{WKP3}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP3	PCR53	
设定值	0	0	P53 输入管脚
		1	P53 输出管脚
	1	X	$\overline{\text{WKP3}}$ 输入管脚

【注】X: Don't care

• P52/ $\overline{\text{WKP2}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP2	PCR52	
设定值	0	0	P52 输入管脚
		1	P52 输出管脚
	1	X	$\overline{\text{WKP2}}$ 输入管脚

【注】X: Don't care

• P51/ $\overline{\text{WKP1}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP1	PCR51	
设定值	0	0	P51 输入管脚
		1	P51 输出管脚
	1	X	$\overline{\text{WKP1}}$ 输入管脚

【注】X: Don't care

• P50/ $\overline{\text{WKPO}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKPO	PCR50	
设定值	0	0	P50 输入管脚
		1	P50 输出管脚
	1	X	$\overline{\text{WKPO}}$ 输入管脚

【注】X: Don't care

9.5 端口 6

端口 6 是与定时器 Z 的输入/输出管脚兼用的输入/输出端口。端口 6 的各管脚结构如图 9.5 所示。兼用管脚的功能优先进行定时器 Z 的寄存器的设定。

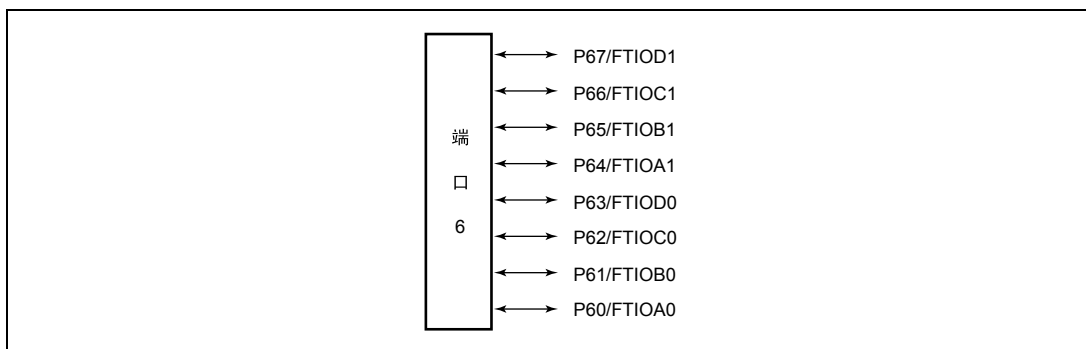


图 9.5 端口 6 的管脚结构

端口 6 有以下寄存器：

- 端口控制寄存器 6 (PCR6)
- 端口数据寄存器 6 (PDR6)

9.5.1 端口控制寄存器 6 (PCR6)

PCR6 按位选择作为端口 6 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR67	0	W	在选择通用输入/输出端口的功能时，如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。
6	PCR66	0	W	
5	PCR65	0	W	
4	PCR64	0	W	
3	PCR63	0	W	
2	PCR62	0	W	
1	PCR61	0	W	
0	PCR60	0	W	

9.5.2 端口数据寄存器 6 (PDR6)

PDR6 是端口 6 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P67	0	R/W	存储端口 6 的输出值。 如果读此寄存器，对于被 PCR6 置 1 的位，就读此寄存器的值。而对于被 PCR6 清 0 的位，与此寄存器的值无关，读管脚的状态。
6	P66	0	R/W	
5	P65	0	R/W	
4	P64	0	R/W	
3	P63	0	R/W	
2	P62	0	R/W	
1	P61	0	R/W	
0	P60	0	R/W	

9.5.3 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P67/FTIOD1 管脚

寄存器名	TOER	TFCR	TPMR	TIORC1	PCR6	功 能
位名	ED1	CMD1~0	PWMD1	IOD2~0	PCR67	
设定值	1	00	0	000、1XX	0	P67 输入/FTIOD1 输入管脚
					1	P67 输出管脚
	0	00	0	001、01X	X	FTIOD1 输出管脚
	除 00 以外	X	XXX			

【注】X: Don't care

• P66/FTIOC1 管脚

寄存器名	TOER	TFCR	TPMR	TIORC1	PCR6	功 能
位名	EC1	CMD1~0	PWMC1	IOC2~0	PCR66	
设定值	1	00	0	000、1XX	0	P66 输入/FTIOC1 输入管脚
					1	P66 输出管脚
	0	00	0	001、01X	X	FTIOC1 输出管脚
	除 00 以外	X	XXX			

【注】X: Don't care

• P65/FTIOB1 管脚

寄存器名	TOER	TFCR	TPMR	TIORA1	PCR6	功 能
位名	EB1	CMD1~0	PWMB1	IOB2~0	PCR65	
设定值	1	00	0	000、1XX	0	P65 输入/FTIOB1 输入管脚
					1	P65 输出管脚
	0	00	0	001、01X	X	FTIOB1 输出管脚
	除 00 以外	X	XXX			

【注】X: Don't care

• P64/FTIOA1 管脚

寄存器名	TOER	TFCR	TIORA1	PCR6	功 能
位名	EA1	CMD1~0	IOA2~0	PCR64	
设定值	1	XX	000、1XX	0	P64 输入/FTIOA1 输入管脚
				1	P64 输出管脚
	0	00	001、01X	X	FTIOA1 输出管脚

【注】X: Don't care

• P63/FTIOD0 管脚

寄存器名	TOER	TFCR	TPMR	TIORC0	PCR6	功 能
位名	ED0	CMD1~0	PWMD0	IOD2~0	PCR63	
设定值	1	00	0	000、1XX	0	P63 输入/FTIOD0 输入管脚
					1	P63 输出管脚
	0	00	0	001、01X	X	FTIOD0 输出管脚
	除 00 以外	X	XXX			

【注】X: Don't care

• P62/FTIOC0 管脚

寄存器名	TOER	TFCR	TPMR	TIORC0	PCR6	功 能
位名	EC0	CMD1~0	PWMC0	IOC2~0	PCR62	
设定值	1	00	0	000、1XX	0	P62 输入/FTIOC0 输入管脚
					1	P62 输出管脚
	0	00	0	001、01X	X	FTIOC0 输出管脚
	除 00 以外	X	XXX			

【注】X: Don't care

• P61/FTIOB0 管脚

寄存器名	TOER	TFCR	TPMR	TIORA0	PCR6	功 能
位名	EB0	CMD1~0	PWMB0	IOB2~0	PCR61	
设定值	1	00	0	000、1XX	0	P61 输入/FTIOB0 输入管脚
					1	P61 输出管脚
	0	00	0	001、01X	X	FTIOB0 输出管脚
			1	XXX		
	除 00 以外	X	XXX			

【注】X: Don't care

• P60/FTIOA0 管脚

寄存器名	TOER	TFCR	TFCR	TIORA0	PCR6	功 能
位名	EA0	CMD1~0	STCLK	IOA2~0	PCR60	
设定值	1	XX	X	000、1XX	0	P60 输入/FTIOA0 输入管脚
					1	P60 输出管脚
	0	00	0	001、01X	X	FTIOA0 输出管脚

【注】X: Don't care

9.6 端口 7

端口 7 是与定时器 V 和 SCI3_2 的输入/输出管脚兼用的输入/输出端口。端口 7 的各管脚结构如图 9.6 所示。兼用管脚的功能优先进行定时器 V 以及 SCI3_2 的设置。

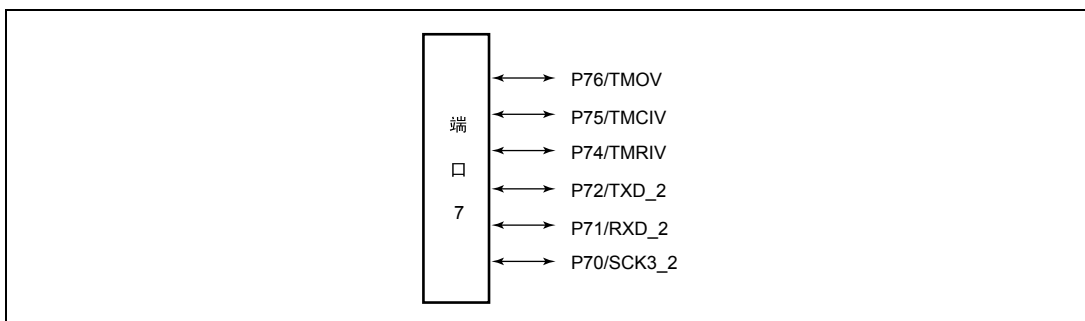


图 9.6 端口 7 的管脚结构

端口 7 有以下寄存器：

- 端口控制寄存器 7（PCR7）
- 端口数据寄存器 7（PDR7）

9.6.1 端口控制寄存器 7（PCR7）

PCR7 按位选择作为端口 7 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	—	—	—	在选择通用输入/输出端口的功能时，如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。 位 7 和位 3 为保留位。
6	PCR76	0	W	
5	PCR75	0	W	
4	PCR74	0	W	
3	—	—	—	
2	PCR72	0	W	
1	PCR71	0	W	
0	PCR70	0	W	

9.6.2 端口数据寄存器 7 (PDR7)

PDR7 是端口 7 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	—	1	—	存储通用输出端口的输出值。
6	P76	0	R/W	如果读此寄存器，对于被 PCR7 置 1 的位，就读此寄存器的值。而对于被 PCR7 清 0 的位，与此寄存器的值无关，读管脚的状态。 位 7 和位 3 为保留位。总是读出 1。
5	P75	0	R/W	
4	P74	0	R/W	
3	—	1	—	
2	P72	0	R/W	
1	P71	0	R/W	
0	P70	0	R/W	

9.6.3 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P76/TMOV 管脚

寄存器名	TCSR7	PCR7	功 能
位名	OS3~OS0	PCR76	
设定值	0000	0	P76 输入管脚
		1	P76 输出管脚
	上述以外	X	TMOV 输出管脚

【注】X: Don't care

• P75/TMCIV 管脚

寄存器名	PCR7	功 能
位名	PCR75	
设定值	0	P75 输入/TMCIV 输入管脚
	1	P75 输出/TMCIV 输入管脚

• P74/TMRIV 管脚

寄存器名	PCR7	功 能
位名	PCR74	
设定值	0	P74 输入/TMRIV 输入管脚
	1	P74 输出/TMRIV 输入管脚

• P72/TXD_2 管脚

寄存器名	PMR1	PCR7	功 能
位名	TXD2	PCR72	
设定值	0	0	P72 输入管脚
		1	P72 输出管脚
	1	X	TXD_2 输出管脚

【注】X: Don't care

• P71/RXD_2 管脚

寄存器名	SCR3_2	PCR7	功 能
位名	RE	PCR71	
设定值	0	0	P71 输入管脚
		1	P71 输出管脚
	1	X	RXD_2 输入管脚

【注】X: Don't care

• P70/SCK3_2 管脚

寄存器名	SCR3_2		SMR2	PCR7	功 能
	CKE1	CKE0	COM	PCR70	
设定值	0	0	0	0	P70 输入管脚
				1	P70 输出管脚
	0	0	1	X	SCR3_2 输出管脚
	0	1	X	X	SCR3_2 输出管脚
	1	X	X	X	SCR3_2 输入管脚

【注】X: Don't care

9.7 端口 8

端口 8 是通用输入/输出端口。端口 8 的各管脚结构如图 9.7 所示。

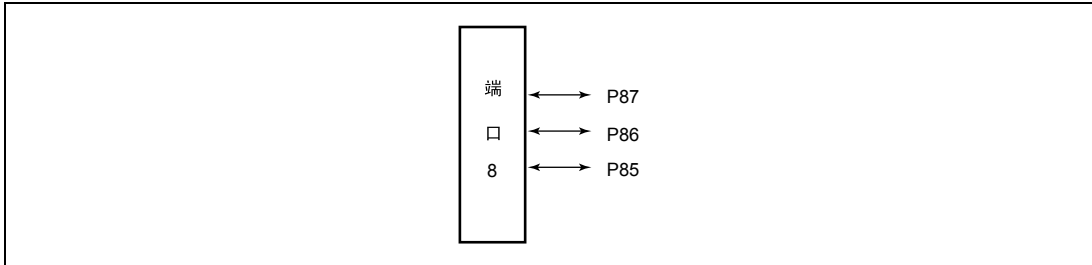


图 9.7 端口 8 的管脚结构

端口 8 有以下寄存器：

- 端口控制寄存器 8（PCR8）
- 端口数据寄存器 8（PDR8）

9.7.1 端口控制寄存器 8（PCR8）

PCR8 按位选择作为端口 8 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR87	0	W	在选择通用输入/输出端口的功能时，如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。
6	PCR86	0	W	
5	PCR85	0	W	
4	—	—	—	保留位。
3	—	—	—	
2	—	—	—	
1	—	—	—	
0	—	—	—	

9.7.2 端口数据寄存器 8 (PDR8)

PDR8 是端口 8 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P87	0	R/W	存储通用输出端口的输出值。
6	P86	0	R/W	如果读此寄存器，对于被 PCR8 置 1 的位，就读此寄存器的值。而对于被 PCR8 清 0 的位，与此寄存器的值无关，读管脚的状态。
5	P85	0	R/W	
4	—	1	—	保留位。总是读出 1。
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

9.7.3 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P87 管脚

寄存器名	PCR8	功 能
位名	PCR87	
设定值	0	P87 输入管脚
	1	P87 输出管脚

• P86 管脚

寄存器名	PCR8	功 能
位名	PCR86	
设定值	0	P86 输入管脚
	1	P86 输出管脚

• P85 管脚

寄存器名	PCR8	功 能
位名	PCR85	
设定值	0	P85 输入管脚
	1	P85 输出管脚

9.8 端口 B

端口 B 是与 A/D 转换器的模拟输入管脚兼用的输入端口。端口 B 的各管脚结构如图 9.8 所示。

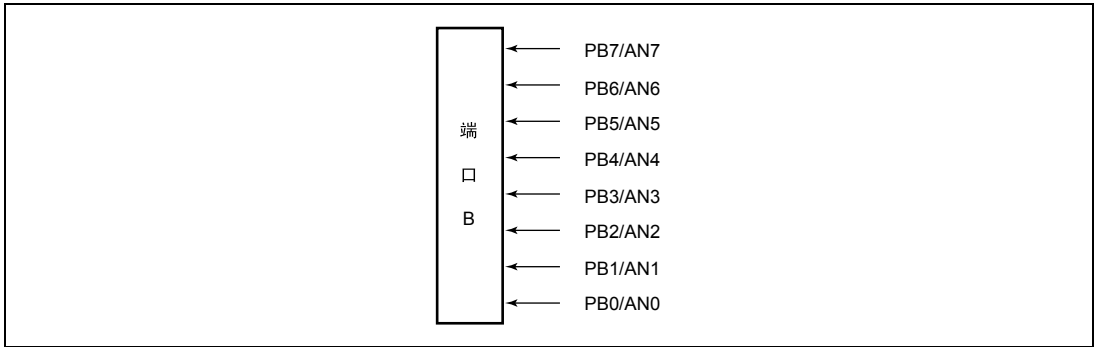


图 9.8 端口 B 的管脚结构

端口 B 有以下寄存器：

- 端口数据寄存器 B (PDRB)

9.8.1 端口数据寄存器 B (PDRB)

PDRB 是端口 B 的通用输入端口数据寄存器。

位	位名	初始值	R/W	说 明
7	PB7	—	R	如果读该寄存器，就读各管脚的输入值。但是，在被 A/D 转换器的 ADCSR 指定为模拟输入通道的管脚时，读出 0。
6	PB6	—	R	
5	PB5	—	R	
4	PB4	—	R	
3	PB3	—	R	
2	PB2	—	R	
1	PB1	—	R	
0	PB0	—	R	

第 10 章 实时时钟 (RTC)

实时时钟 (RTC:Real Time Clock) 是能对从 1 秒到 1 星期的时间进行计数的定时器。RTC 框图如图 10.1 所示。

10.1 特点

- 进行秒、分、小时以及星期几的计数
- 开始/停止功能
- 复位功能
- 可以通过 BCD 码进行读/写的秒、分、小时以及星期几计数器
- 周期 (秒、分、小时、日、星期) 中断
- 8 位自由运行计数器
- 时钟源的选择

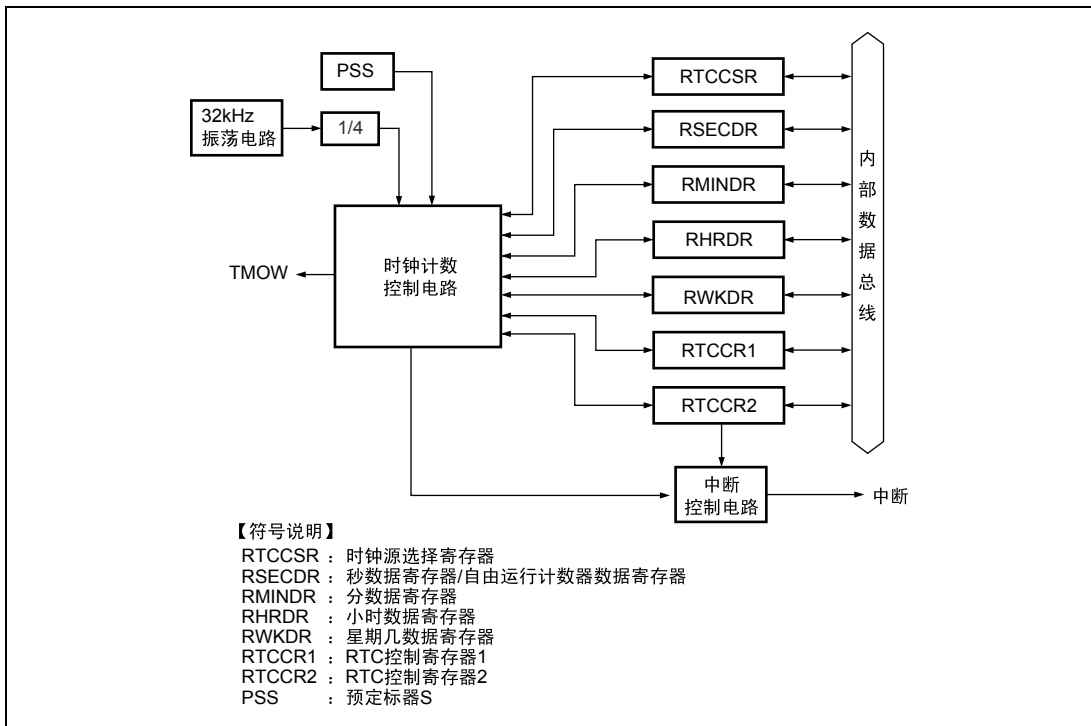


图 10.1 RTC 框图

10.2 输入/输出管脚

RTC 的输入/输出管脚结构如表 10.1 所示。

表 10.1 管脚结构

名称	略称	输入/输出	功 能
时钟输出	TMOW	输出	RTC 分频时钟输出管脚

10.3 寄存器说明

RTC 有以下寄存器：

- 秒数据寄存器/自由运行计数器数据寄存器 (RSECDR)
- 分数据寄存器 (RMINDR)
- 小时数据寄存器 (RHRDR)
- 星期几数据寄存器 (RWKDR)
- RTC控制寄存器1 (RTCCR1)
- RTC控制寄存器2 (RTCCR2)
- 时钟源选择寄存器 (RTCCSR)

10.3.1 秒数据寄存器/自由运行计数器数据寄存器 (RSECDR)

RSECDR 进行秒计数。RSECDR 用 BCD 码表示，进行从 0 到 59 的计数。另外，作为自由运行计数器运行时，变为 8 位计数器数据的读寄存器。有关读取秒、分、小时以及星期几，请参照“10.4.3 读时刻的步骤”。

位	位名	初始值	R/W	说 明
7	BSY	—	R	RTC 忙 RTC 正在更新（运算中的）秒、分、小时以及星期几数据寄存器的值时，此位被置 1。必须在此位为 0 时，读取秒、分、小时以及星期几数据寄存器的值。
6	SC12	—	R/W	秒的十位计数 秒的十位从 0 到 5 计数，进行 60 秒的计数。
5	SC11	—	R/W	
4	SC10	—	R/W	
3	SC03	—	R/W	秒的个位计数 每秒钟对秒的个位从 0 到 9 计数。发生进位时，秒的十位加 1。
2	SC02	—	R/W	
1	SC01	—	R/W	
0	SC00	—	R/W	

10.3.2 分数据寄存器 (RMINDR)

RMINDR 在 RSECDR 发生进位时, 进行分计数。RMINDR 用 BCD 码表示, 进行从 0 到 59 的计数。

位	位名	初始值	R/W	说 明
7	BSY	—	R	RTC 忙 RTC 正在更新 (正在运算) 秒、分、小时以及星期几数据寄存器的值时, 此位被置 1。必须在此位为 0 时, 读取秒、分、小时以及星期几数据寄存器的值。
6	MN12	—	R/W	分的十位计数 分的十位从 0 到 5 计数, 进行 60 分的计数。
5	MN11	—	R/W	
4	MN10	—	R/W	
3	MN03	—	R/W	分的个位计数 每分钟对分的个位从 0 到 9 计数。发生进位时, 分的十位加 1。
2	MN02	—	R/W	
1	MN01	—	R/W	
0	MN00	—	R/W	

10.3.3 小时数据寄存器 (RHRDR)

RHRDR 在 RMINDR 发生进位时, 进行小时计数。RHRDR 用 BCD 码表示, 根据 RTCCR1 的 12/24 位的选择, 进行从 0 到 11 或者从 0 到 23 的计数。

位	位名	初始值	R/W	说 明
7	BSY	—	R	RTC 忙 RTC 正在更新 (正在运算) 秒、分、小时以及星期几数据寄存器的值时, 此位被置 1。必须在此位为 0 时, 读取秒、分、小时以及星期几数据寄存器的值。
6	—	0	—	保留位。总是读出 0。
5	HR11	—	R/W	小时的十位计数 小时的十位从 0 到 2 计数。
4	HR10	—	R/W	
3	HR03	—	R/W	小时的个位计数 每小时对小时的个位从 0 到 9 计数。发生进位时, 小时的十位加 1。
2	HR02	—	R/W	
1	HR01	—	R/W	
0	HR00	—	R/W	

10.3.4 星期几数据寄存器 (RWKDR)

RWKDR 在 RHRDR 发生进位时, 进行星期几计数。通过 WK2~WK0 位用 0 到 6 的二进制码表示星期几。

位	位名	初始值	R/W	说 明
7	BSY	—	R	RTC 忙 RTC 正在更新 (正在运算) 秒、分、小时以及星期几数据寄存器的值时, 此位被置 1。必须在此位为 0 时, 读取秒、分、小时以及星期几数据寄存器的值。
6	—	0	—	保留位。总是读出 0。
5	—	0	—	
4	—	0	—	
3	—	0	—	
2	WK2	—	R/W	星期几计数 用二进制码表示星期几。 000: 星期日 001: 星期一 010: 星期二 011: 星期三 100: 星期四 101: 星期五 110: 星期六 111: 保留 (不能设定)
1	WK1	—	R/W	
0	WK0	—	R/W	

10.3.5 RTC 控制寄存器 1 (RTCCR1)

RTCCR1 控制时钟定时器运行开始、运行停止以及复位。时间表现的定义请参照图 10.2。

位	位名	初始值	R/W	说 明
7	RUN	—	R/W	RTC 开始运行 0: RTC 停止运行 1: RTC 开始运行
6	12/24	—	R/W	运行模式 0: RTC 以 12 小时模式运行。RHRDR 进行 0~11 的计数。 1: RTC 以 24 小时模式运行。RHRDR 进行 0~23 的计数。
5	PM	—	R/W	上午/下午 0: RTC 在 12 小时模式时有效, 表示上午。 1: RTC 在 12 小时模式时有效, 表示下午。
4	RST	0	R/W	复位 0: 通常运行 1: 对除了该位和 RTCCSR 以外的全部寄存器、控制电路进行复位。 另外, 在该位置 1 后, 必须将其清 0。
3	—	0	—	保留位。总是读出 0。
2	—	0	—	
1	—	0	—	
0	—	0	—	

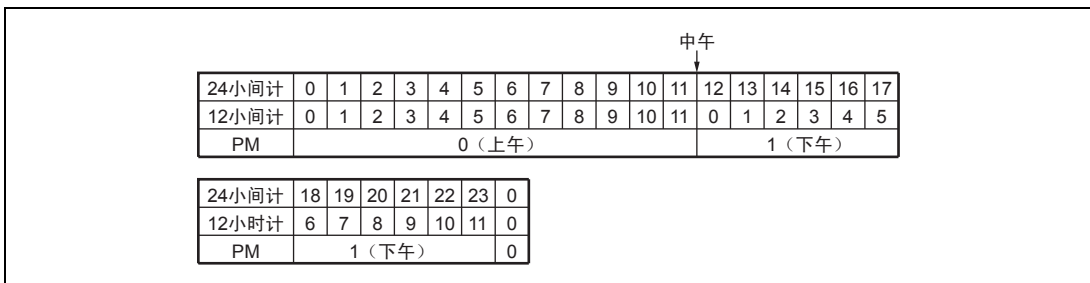


图 10.2 时间表现的定义

10.3.6 RTC 控制寄存器 2 (RTCCR2)

RTCCR2 控制星期、日、小时、分以及秒的 RTC 周期中断。如果允许星期、日、小时、分以及秒的各中断，在中断发生时，中断标志寄存器 1 (IRR1) 的 IRRTA 标志就被置 1。另外，RTC 作为自由运行计数器运行时，RTCCR2 控制自由运行计数器的溢出中断。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	—	0	—	
5	FOIE	—	R/W	自由运行计数器溢出中断允许 0: 禁止溢出中断 1: 允许溢出中断
4	WKIE	—	R/W	星期周期中断允许 0: 禁止星期周期中断 1: 允许星期周期中断
3	DYIE	—	R/W	日周期中断允许 0: 禁止日周期中断 1: 允许日周期中断
2	HRIE	—	R/W	小时周期中断允许 0: 禁止小时周期中断 1: 允许小时周期中断
1	MNIE	—	R/W	分周期中断允许 0: 禁止分周期中断 1: 允许分周期中断
0	SEIE	—	R/W	秒周期中断允许 0: 禁止秒周期中断 1: 允许秒周期中断

10.3.7 时钟源选择寄存器 (RTCCSR)

RTCCSR 选择时钟源。自由运行计数器用 RTCCR1 的 RUN 位来控制计数器运行开始和运行停止。如果选择 32.768MHz 以外的时钟，RTC 就变为无效，并且作为 8 位的自由运行计数器运行。作为自由运行计数器运行时，可以通过 RSECDR 读取计数器的值。另外，如果将 RTCCR2 的 FOIE 位置 1，就能通过允许自由运行计数器的溢出中断来产生中断。在激活模式和睡眠模式，输出系统时钟的 32、16、8、4 分频后的时钟。

位	位名	初始值	R/W	说 明	
7	—	0	—	保留位。总是读出 0。	
6	RCS6	0	R/W	选择时钟输出 在 PMR1 的 TMOW 置 1 时，选择从 TMOW 管脚输出的时钟。 00: $\phi/4$ 01: $\phi/8$ 10: $\phi/16$ 11: $\phi/32$	
5	RCS5	0	R/W		
4	—	0	—		保留位。总是读出 0。
3	RCS3	1	R/W		选择时钟源
2	RCS2	0	R/W	0000: $\phi/8$ ……………自由运行计数器运行	
1	RCS1	0	R/W	0001: $\phi/32$ ……………自由运行计数器运行	
0	RCS0	0	R/W	0010: $\phi/128$ ……………自由运行计数器运行	
				0011: $\phi/256$ ……………自由运行计数器运行	
				0100: $\phi/512$ ……………自由运行计数器运行	
				0101: $\phi/2048$ ……………自由运行计数器运行	
				0110: $\phi/4096$ ……………自由运行计数器运行	
				0111: $\phi/8192$ ……………自由运行计数器运行	
				1XXX: 32.768kHz · RTC 运行	

【注】X: Don't care

10.4 RTC 运行

10.4.1 加电后寄存器的初始设定

由于 RTC 不能通过 $\overline{\text{RES}}$ 输入对保存秒、分、小时、星期几的信息的寄存器进行复位，因此，在加电后必须对所有的寄存器进行初始设定。此后，与 $\overline{\text{RES}}$ 输入无关，只要供给电源，就能提供正确的时间。

10.4.2 初始设定的步骤

初始设定 RTC 的步骤如图 10.3 所示。另外，重新设定时也要按照图 10.3 进行。

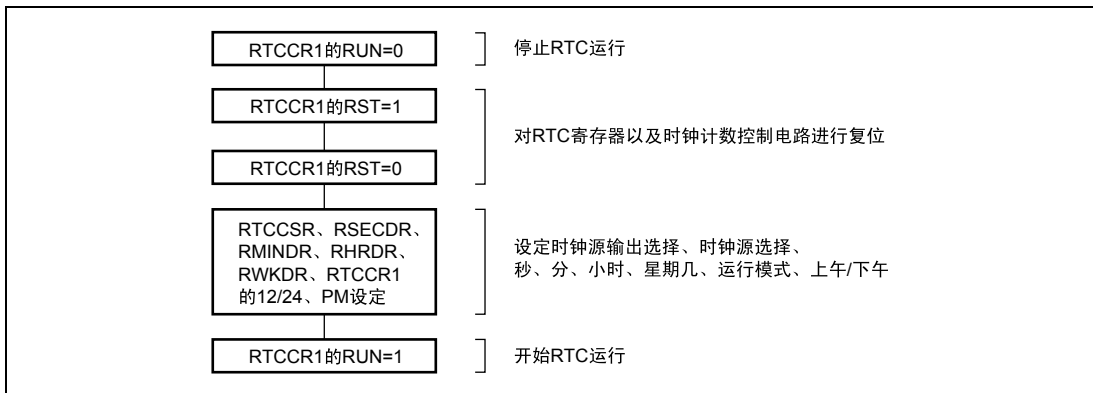


图 10.3 初始设定步骤

10.4.3 读时刻的步骤

由于在读时刻期间，如果秒、分、小时、星期几的数据被更新，就无法得到正确的时刻，因此，必须重新读取。无法得到正确时刻的例子如图 10.4 所示。在此例中，由于在更新数据后只读取 RSECDR，因此，产生了大约 1 分钟的误差。

读取正确时刻的方法有 3 种：

1. 判断BSY位，在BSY位从1变为0后，读取表示秒、分、小时、星期几的寄存器。从BSY位置1开始经过约62.5ms后，更新寄存器，并且将BSY位清0。
2. 使用中断，如果IRR1的IRR1TA标志被置1，就在确认BSY位为0后，读取表示秒、分、小时、星期几的寄存器。
3. 连续读两次表示秒、分、小时、星期几的寄存器，如果读到的数据相同，就使用该数据。

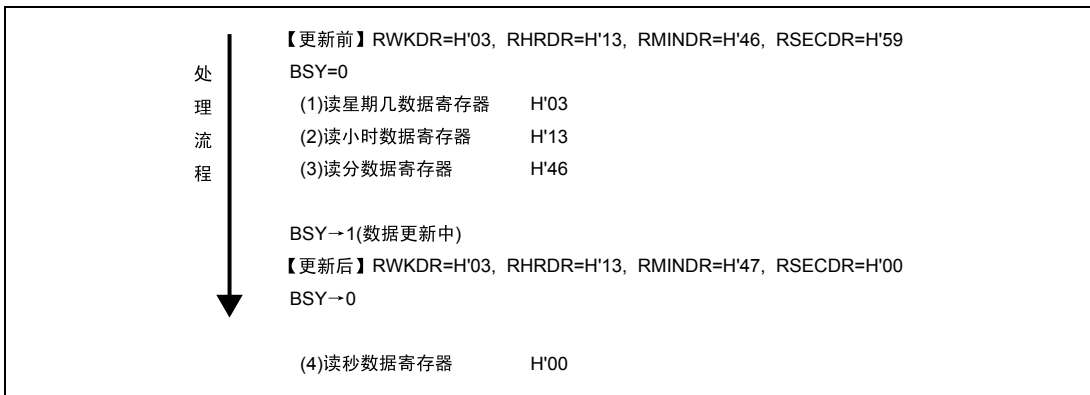


图 10.4 无法得到正确时刻的例子

10.5 中断源

RTC 有星期、日、小时、分、秒 5 种中断源。

使用中断时，必须在结束设定其它寄存器后，启动 RTC。另外，对 RTCCR2 的各中断许可位，不能将多位同时置 1。

如果发生 RTC 的中断请求，IRR1 的 IRRTA 标志就置 1。清除该标志时必须对其写 0。

表 10.2 中断源

中断源名	中断源	中断许可位
溢出中断	在自由运行计数器溢出时，发生中断。	FOIE
星期周期中断	在星期几数据寄存器的值为 0 时，发生中断（每星期）。	WKIE
日周期中断	每当星期几数据寄存器被计数时，发生中断（每日）。	DYIE
小时周期中断	每当小时数据寄存器被计数时，发生中断（每小时）。	HRIE
分周期中断	每当分数据寄存器被计数时，发生中断（每分钟）。	MNIE
秒周期中断	每当秒数据寄存器被计数时，发生中断（每秒）。	SCIE

第 11 章 定时器 B1

定时器 B1 是通过输入时钟进行累加计数的 8 位定时器，有间隔和自动再装入两种功能。定时器 B1 的框图如图 11.1 所示。

11.1 特点

- 时钟选择：8 种
可选择 7 种内部时钟（ $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ ）和外部时钟（可进行外部事件的计数）。
- 通过计数器溢出产生中断

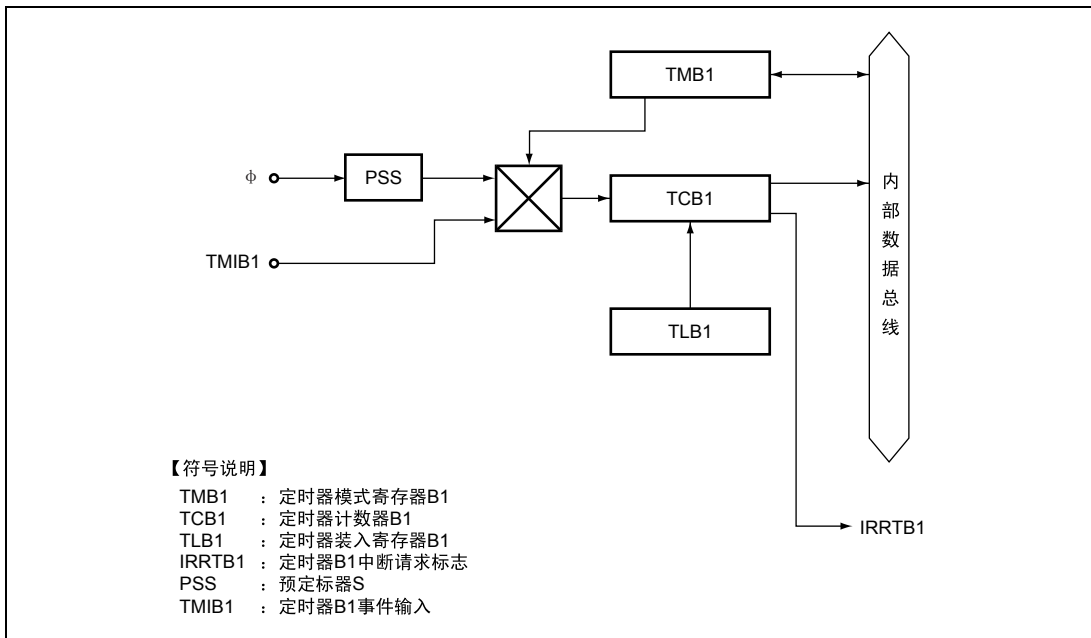


图 11.1 定时器 B1 框图

11.2 输入/输出管脚

定时器 B1 的管脚结构如表 11.1 所示。

表 11.1 管脚结构

名称	略称	输入/输出	功能
定时器 B1 事件输入	TMIB1	输入	输入到 TCB1 的事件输入管脚

11.3 寄存器说明

定时器 B1 有以下寄存器：

- 定时器模式寄存器 B1 (TMB1)
- 定时器计数器 B1 (TCB1)
- 定时器装入寄存器 B1 (TLB1)

11.3.1 定时器模式寄存器 B1 (TMB1)

TMB1 选择自动再装入功能和选择输入时钟。

位	位名	初始值	R/W	说 明
7	TMB17	0	R/W	自动再装入功能选择 0: 选择间隔功能 1: 选择自动再装入功能
6	—	1	—	保留位。总是读出 1。
5	—	1	—	
4	—	1	—	
3	—	1	—	
2	TMB12	0	R/W	时钟选择 000: 用内部时钟 ϕ /8192 计数 001: 用内部时钟 ϕ /2048 计数 010: 用内部时钟 ϕ /512 计数 011: 用内部时钟 ϕ /256 计数 100: 用内部时钟 ϕ /64 计数 101: 用内部时钟 ϕ /16 计数 110: 用内部时钟 ϕ /4 计数 111: 在外部事件 (TMIB1) 的上升沿或者下降沿计数*
1	TMB11	0	R/W	
0	TMB10	0	R/W	
<p>【注】*外部事件的边沿选择通过中断边沿选择寄存器 1 (IEGR1) 的 IEG1 来设定, 详细内容请参照“3.2.1 中断边沿选择寄存器 1 (IEGR1)”。另外, 在将 TMB12~TMB10 的所有位置 1 前, 必须把端口模式寄存器 1 (PMR1) 的 IRQ1 置 1。</p>				

11.3.2 定时器计数器 B1 (TCB1)

TCB1 是 8 位可读增量计数器，通过输入内部时钟进行累加计数。输入时钟通过 TMB1 的 TMB12~TMB10 选择。TCB1 的值总能从 CPU 读取。如果 TCB1 溢出 (H'FF→H'00 或者 H'FF→TLB1 的设定值)，IRR2 的 IRRTB1 标志就置 1。TCB1 被分配和 TLB1 相同的地址，初始值为 H'00。

11.3.3 定时器装入寄存器 B1 (TLB1)

TLB1 是 8 位只写寄存器，设定 TCB1 的再装入值。如果给 TLB1 设定再装入值，该值就同时装入 TCB1，TCB1 从该值开始累加计数。另外，如果在自动再装入运行时 TCB1 溢出，TLB1 的值就被装入 TCB1。因此，能在 1~256 个输入时钟的范围内设定溢出周期。TLB1 被分配和 TCB1 相同的地址，初始值为 H'00。

11.4 运行说明

11.4.1 间隔定时器的运行

如果把 TMB1 的 TMB17 清 0，定时器 B1 就作为 8 位间隔定时器运行。由于在复位时，将 TCB1 清成 H'00，将 TMB17 清 0，因此，在复位后，作为间隔定时器，不停止运行继续累加计数。通过 TMB1 的 TMB12~TMB10，定时器 B1 的运行时钟能选择预定标器 S 输出的 7 种内部时钟和从 TMB1 输入的外部时钟。

如果在 TMB1 的计数值变为 H'FF 后输入时钟，定时器 B1 就溢出，并且将 IRR2 的 IRRTB1 标志置 1。此时，如果 IENR2 的 IENTB1 为 1，就向 CPU 请求中断。

在溢出时，TCB1 的计数值返回到 H'00，重新开始累加计数。如果在间隔定时器运行时 (TMB17=0) 设定 TLB1，TLB1 的值就同时装入 TCB1。

11.4.2 自动再装入定时器的运行

如果把 TMB1 的 TMB17 置 1，定时器 B1 就作为 8 位自动再装入定时器运行。如果给 TLB1 设定再装入值，该值就同时装入 TCB1，并且 TCB1 从该值开始累加计数。如果在 TCB1 的计数值变为 H'FF 后输入时钟，定时器 B1 溢出，TLB1 的值就被装入 TCB1，并且从该值继续累加计数。因此，根据 TLB1 的值能在 1~256 个输入时钟的范围内设定溢出周期。

关于自动再装入运行时的时钟、中断，和间隔运行时的时钟、中断相同。另外，如果在自动再装入运行时 (TMB17=1) 重新设定 TLB1 的值，TLB1 的值就同时装入 TCB1。

11.4.3 事件计数器

定时器 B1 能把 TMIB1 用作事件输入管脚，作为事件计数器运行。如果将 TMB1 的 TMB12~TMB10 的各位都置 1，外部事件就被选择，并且 TCB1 在 TMB1 管脚输入的上升沿或者下降沿累加计数。

使用外部事件输入时，必须将 PMR1 的 IRQ1 置 1 且将 IENR1 的 IEN1 清 0，禁止 IRQ1 中断请求。

11.5 定时器 B1 的运行模式

定时器 B1 的运行模式如表 11.2 所示。

表 11.2 定时器 B1 的运行模式

运行模式		复位	激活	睡眠	子激活	子睡眠	待机
TCB1	间隔	复位	运行	运行	停止	停止	停止
	自动再装入	复位	运行	运行	停止	停止	停止
TMB1		复位	运行	保持	保持	保持	保持

第 12 章 定时器 V

定时器 V 是以 8 位计数器为基础的 8 位定时器。除了可以进行外部事件的计数以外，还可以通过 2 个寄存器的比较匹配信号，进行计数器的复位、中断请求和输出任意占空比脉冲等。另外，由于具有通过来自 TRGV 管脚的触发输入开始计数的功能，因此，可以从触发输入开始经过任意时间后，控制与触发同步的脉冲输出。定时器 V 的框图如图 12.1 所示。

12.1 特点

- 可以选择 7 种时钟
能从 6 种内部时钟（ $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ ）和外部时钟中选择。
- 可以指定计数器的清除信号
能从比较匹配 A、比较匹配 B 或者外部复位信号中选择。在选择停止计数功能时，清除计数器的同时停止计数。
- 通过 2 个比较匹配信号的组合，控制定时器输出
根据 2 个可独立运行的比较匹配信号的组合，能进行任意占空比的脉冲输出和 PWM 输出等各种应用。
- 中断源
有比较匹配 A、比较匹配 B 和定时器溢出 3 种中断源。
- 通过触发输入开始计数的功能
具有通过 TRGV 管脚的触发输入开始计数的功能。TRGV 管脚的触发输入可以选择上升沿、下降沿或者两个边沿。

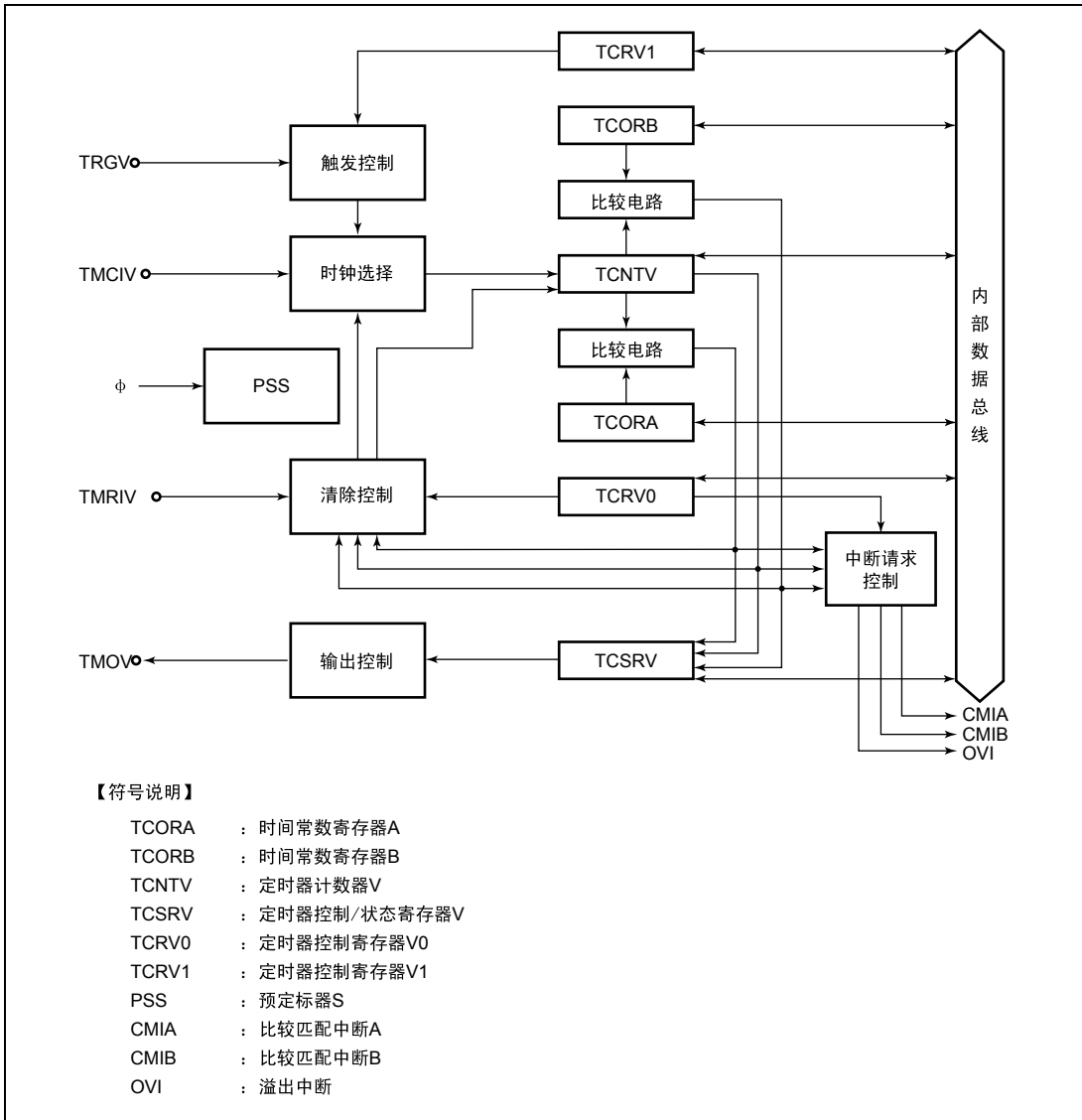


图 12.1 定时器 V 的框图

12.2 输入/输出管脚

定时器 V 的管脚结构如表 12.1 所示。

表 12.1 管脚结构

名称	略称	输入/输出	功 能
定时器 V 输出	TMOV	输出	定时器 V 的波形输出管脚
定时器 V 时钟输入	TMCIV	输入	输入到 TCNTV 的时钟输入管脚
定时器 V 复位输入	TMRIV	输入	复位 TCNTV 的外部输入管脚
触发输入	TRGV	输入	开始计数的触发输入管脚

12.3 寄存器说明

定时器 V 有以下寄存器：

- 定时器计数器 V (TCNTV)
- 时间常数寄存器 A (TCORA)
- 时间常数寄存器 B (TCORB)
- 定时器控制寄存器 V0 (TCRV0)
- 定时器控制/状态寄存器 V (TCSR V)
- 定时器控制寄存器 V1 (TCRV1)

12.3.1 定时器计数器 V (TCNTV)

TCNTV 是 8 位增量计数器。通过 TCRV0 的 CKS2~CKS0 选择时钟。CPU 能随时读或者写 TCNTV 的值。TCNTV 能由外部复位输入信号、比较匹配信号 A 或者比较匹配信号 B 清除。不论由哪种信号清除，都通过 TCRV0 的 CCLR1 和 CCLR0 选择。另外，如果 TCNTV 溢出，TCSR V 的 OVF 就被置 1。TCNTV 的初始值是 H'00。

12.3.2 时间常数寄存器 A、B (TCORA、TCORB)

TCORA 和 TCORB 具有相同的功能。

TCORA 是 8 位可读写寄存器。TCORA 的值不断与 TCNTV 比较，如果一致，TCSR V 的 CMFA 就置 1。此时，如果 TCRV0 的 CMIEA 是 1，就向 CPU 发出中断请求。但是，在 TCORA 的写周期的 T3 状态禁止比较。另外，可以根据 TCORA 和 TCNTV 一致的信号（比较匹配 A）和设定 TCSR V 的 OS3~OS0，控制 TMOV 管脚的定时器输出。

TCORA、TCORB 的初始值是 H'FF。

12.3.3 定时器控制寄存器 V0 (TCRV0)

TCRV0 选择 TCNTV 输入时钟、指定 TCNTV 清除条件和控制各中断请求。

位	位名	初始值	R/W	说 明
7	CMIEB	0	R/W	比较匹配中断允许 B 1：允许由 TCSR 的 CMFB 引起的中断请求。
6	CMIEA	0	R/W	比较匹配中断允许 A 1：允许由 TCSR 的 CMFA 引起的中断请求。
5	OVIE	0	R/W	定时器溢出中断允许 1：允许由 TCSR 的 OVF 引起的中断请求。
4	CCLR1	0	R/W	计数器清除 1~0 指定 TCNTV 的清除条件。 00：不被清除。 01：被比较匹配 A 清除。 10：被比较匹配 B 清除。 11：在 TMRIV 管脚的上升沿清除。 清除后的 TCNTV 运行根据 TCRV1 的 TRGE 不同而不同。
3	CCLR0	0	R/W	
2	CKS2	0	R/W	时钟选择 2~0 通过 TCRV1 的 ICKS0 的组合, 选择输入到 TCNTV 的时钟和计数条件。 请参照表 12.2。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 12.2 输入到 TCNTV 的时钟和计数条件

TCRV0			TCRV1	说 明
位 2	位 1	位 0	位 0	
CKS2	CKS1	CKS0	ICKS0	
0	0	0	—	禁止时钟输入
0	0	1	0	在内部时钟 $\phi/4$ 下降沿计数
0	0	1	1	在内部时钟 $\phi/8$ 下降沿计数
0	1	0	0	在内部时钟 $\phi/16$ 下降沿计数
0	1	0	1	在内部时钟 $\phi/32$ 下降沿计数
0	1	1	0	在内部时钟 $\phi/64$ 下降沿计数
0	1	1	1	在内部时钟 $\phi/128$ 下降沿计数
1	0	0	—	禁止时钟输入
1	0	1	—	在外部时钟的上升沿计数
1	1	0	—	在外部时钟的下降沿计数
1	1	1	—	在外部时钟的上升/下降两个边沿计数

12.3.4 定时器控制/状态寄存器 V (TCSR_V)

TCSR_V 表示状态标志和控制通过比较匹配的输出。

位	位名	初始值	R/W	说 明
7	CMFB	0	R/W	比较匹配标志 B [置位条件] 当 TCNTV 的值与 TCORB 的值相同时 [清除条件] 在 CMFB=1 的状态, 读 CMFB 以后, CMFB 写 0 时
6	CMFA	0	R/W	比较匹配标志 A [置位条件] 当 TCNTV 的值与 TCORA 的值相同时 [清除条件] 在 CMFA=1 的状态, 读 CMFA 以后, CMFA 写 0 时
5	OVF	0	R/W	定时器溢出标志 [置位条件] 当 TCNTV 的值从 H'FF 溢出为 H'00 时 [清除条件] 在 OVF=1 的状态, 读 OVF 以后, OVF 写 0 时
4	—	1	—	保留位。总是读出 1。
3	OS3	0	R/W	输出选择 3~2 选择通过 TCORB 和 TCNTV 比较匹配的 TMOV 管脚的输出方法。 00: 不变化 01: 0 输出 10: 1 输出 11: 交替输出
2	OS2	0	R/W	
1	OS1	0	R/W	输出选择 1~0 选择通过 TCORA 和 TCNTV 比较匹配的 TMOV 管脚的输出方法。 00: 不变化 01: 0 输出 10: 1 输出 11: 交替输出
0	OS0	0	R/W	

OS3 和 OS2 选择通过比较匹配 B 的输出方法, OS1 和 OS0 选择通过比较匹配 A 的输出方法, 它们都能独立设定。复位后, 在发生最初的比较匹配之前, 定时器输出 0。

12.3.5 定时器控制寄存器 V1 (TCRV1)

TCRV1 进行 TRGV 管脚的边沿、TRGV 输入允许以及 TCNTV 输入时钟的选择。

位	位名	初始值	R/W	说 明
7~5	—	全为 1	—	保留位。总是读出 1。
4	TVEG1	0	R/W	TRGV 输入边沿选择 选择 TRGV 管脚的输入边沿。 00: 禁止 TRGV 的触发输入 01: 选择上升沿 10: 选择下降沿 11: 选择上升/下降两个边沿
3	TVEG0	0	R/W	
2	TRGE	0	R/W	根据 TVEG1 和 TVEG0 选择的边沿输入，开始 TCNTV 累加计数。 0: 通过 TRGV 管脚输入开始 TCNTV 累加计数和通过比较匹配清除 TCNTV 时，禁止停止 TCNTV 累加计数 1: 通过 TRGV 管脚输入开始 TCNTV 累加计数的和通过比较匹配清除 TCNTV 时，允许停止 TCNTV 累加计数
1	—	1	—	保留位。总是读出 1。
0	ICKSO	0	R/W	内部时钟选择 0 以 TCRV0 的 CKS2~CKS0 的组合，选择输入到 TCNTV 的时钟。请参照表 12.2。

12.4 运行说明

12.4.1 定时器 V 的运行

1. 定时器 V 的运行时钟根据表 12.2，能选择预定标器 S 输出的 6 种内部时钟或者外部时钟。如果选择运行时钟，TCNTV 就开始累加计数。选择内部时钟时的计数时序如图 12.2 所示，选择外部时钟的两个边沿时的计数时序如图 12.3 所示。
2. 如果 TCNTV 从 H'FF 溢出到 H'00，TCSRv 的 OVF 就被置位。此时的时序如图 12.4 所示，如果 TCRV0 的 OVIE 是 1，就向 CPU 发出中断请求。
3. TCNTV 不断地和 TCORA、TCORB 比较，如果相同，TCSRv 的 CMFA 和 CMFB 就都被置 1。比较匹配信号产生在值相同后的最后状态。此时的时序如图 12.5 所示，如果 TCRV0 的 CMIEA 或者 CMIEB 是 1，就向 CPU 发出中断请求。
4. 当发生比较匹配 A 或 B 时，由 TCSRv 的 OS3~OS0 选择的输出值从 TMOV 管脚输出。以比较匹配 A 信号进行交替输出时的输出时序如图 12.6 所示。
5. 如果 TCRV0 的 CCLR1、CCLR0 是 01 或者 10，就以对应的比较匹配清除 TCNTV。清除时序如图 12.7 所示。

6. 如果TCRV0的CCLR1和CCLR0是11，就用TMRIV管脚输入的上升沿来清除TCNTV。TMRIV输入的脉冲宽度需要1.5个以上的系统时钟。清除时序如图12.8所示。
7. 在TCRV1的TRGE置1的状态下，如果发生计数器清除源，就在清除TCNTV的同时停止累加计数。如果从TRGV管脚输入由TCRV1的TVEG1或者TVEG0选择的边沿，就重新开始TCNTV累加计数。

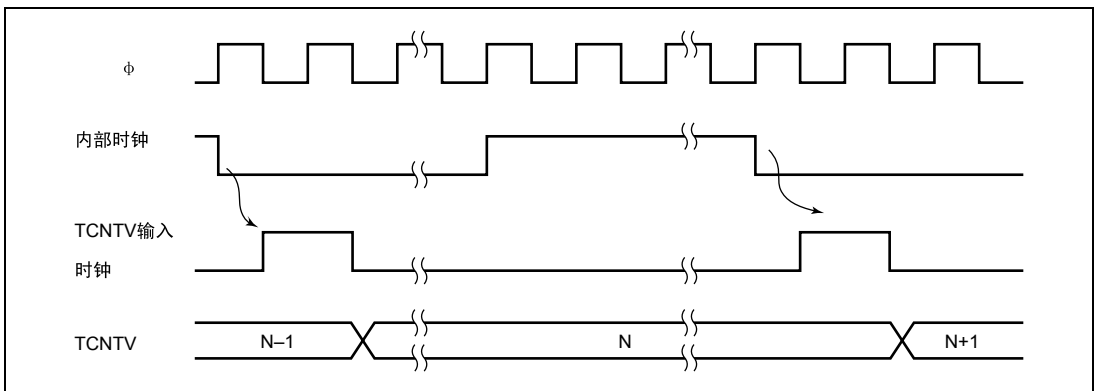


图 12.2 内部时钟运行时的计数时序

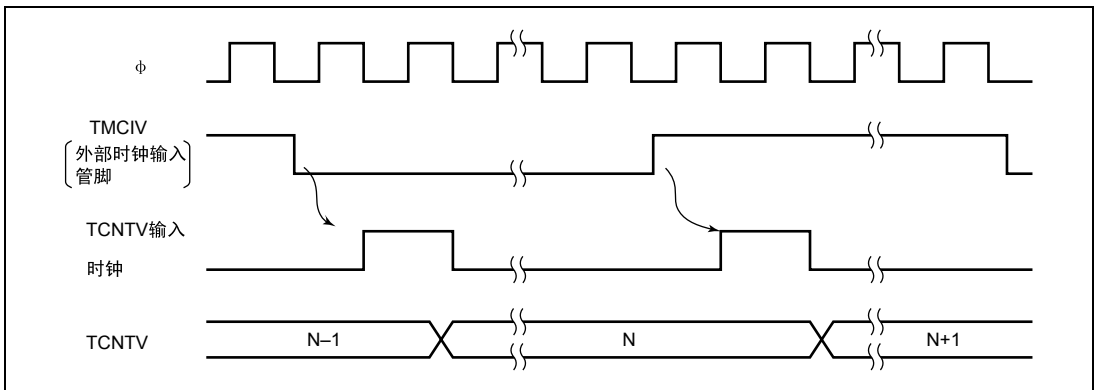


图 12.3 外部时钟运行时的计数时序

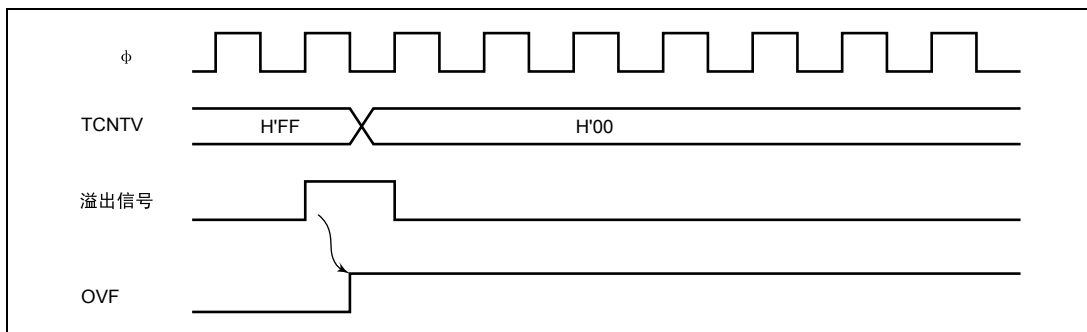


图 12.4 OVF 的置位时序

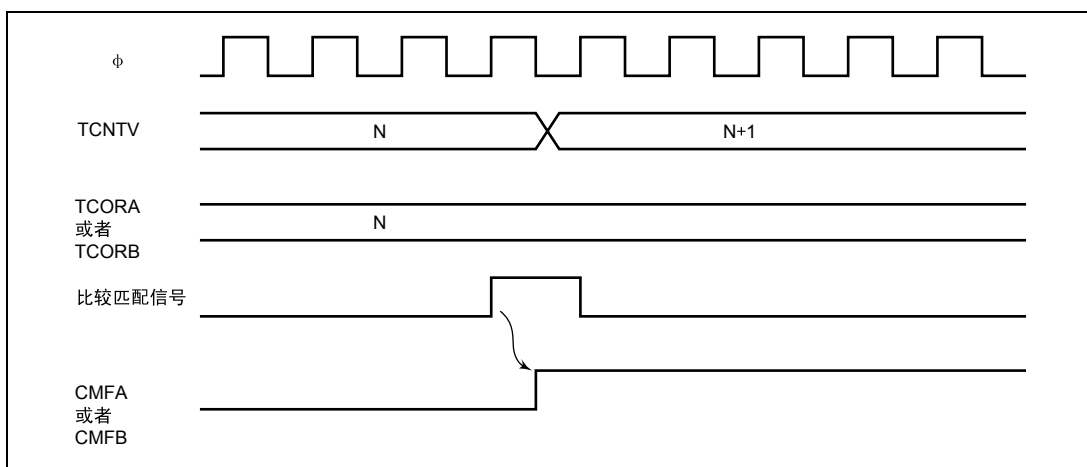


图 12.5 CMFA 和 CMFB 的置位时序

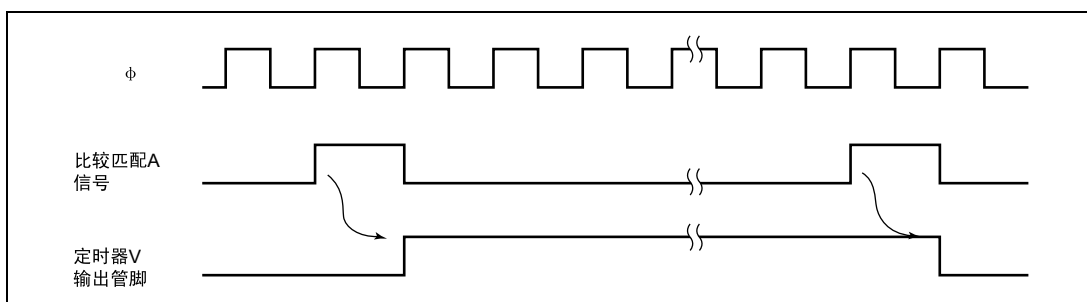


图 12.6 TMOV 输出时序

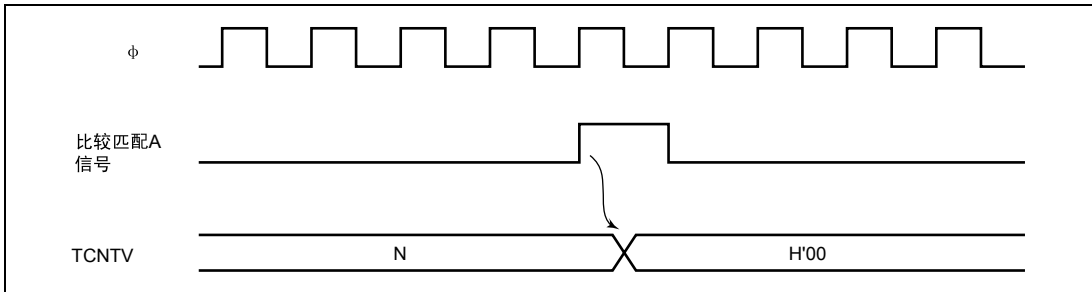


图 12.7 通过比较匹配进行的清除时序

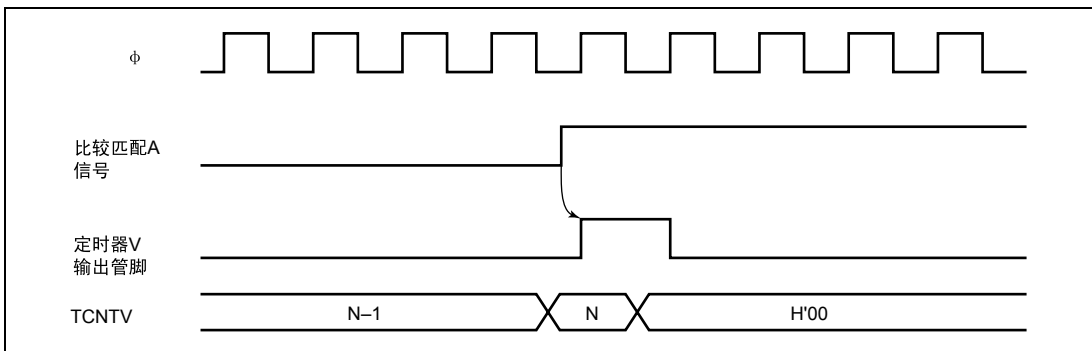


图 12.8 通过 TMRIV 输入进行的清除时序

12.5 定时器 V 的使用例

12.5.1 输出任意占空比脉冲

输出任意占空比脉冲的例子如图 12.9 所示。

1. 为了通过TCORA比较匹配清除TCNTV，设定TCRV0的CCLR1和CCLR0。
2. 为了通过TCORA比较匹配输出1、通过TCORB比较匹配输出0，设定TCSR的OS3~OS0。
3. 设定TCRV0的CKS2~CKS0和TCRV1的ICKS0，选择所希望的时钟源。
4. 根据上述设定，可以不通过软件输出周期为TCORA、脉宽为TCORB的波形。

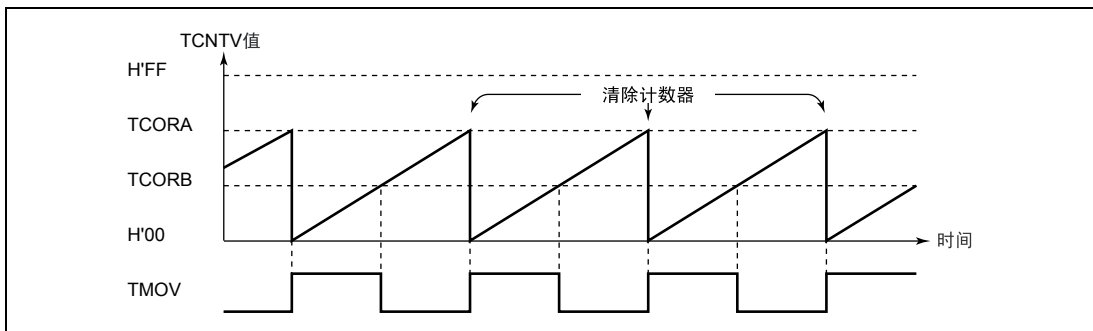


图 12.9 脉冲输出例子

12.5.2 来自 TRGV 输入的任意延迟时间和任意脉冲宽度的脉冲输出

利用通过 TRGV 输入开始累加计数的功能，能输出来自 TRGV 输入的任意延迟时间和任意脉冲宽度的脉冲。该输出例子如图 12.10 所示。

1. 为了通过TCORB比较匹配清除TCNTV，设定TCRV0的CCLR1和CCLR0。
2. 为了通过TCORA比较匹配输出1、通过TCORB的比较匹配输出0，设定TCSR的OS3~OS0。
3. 为了使TRGV输入的下沿有效，设定TCRV1的TVEG1~TVEG0和TRGE。
4. 设定TCRV0的CKS2~CKS0和TCRV1的ICKS0，选择希望的时钟源。
5. 根据上述设定，可以不通过软件输出同步于TRGV输入的且延迟时间为TCORA、脉宽为（TCORB-TCORA）的波形。

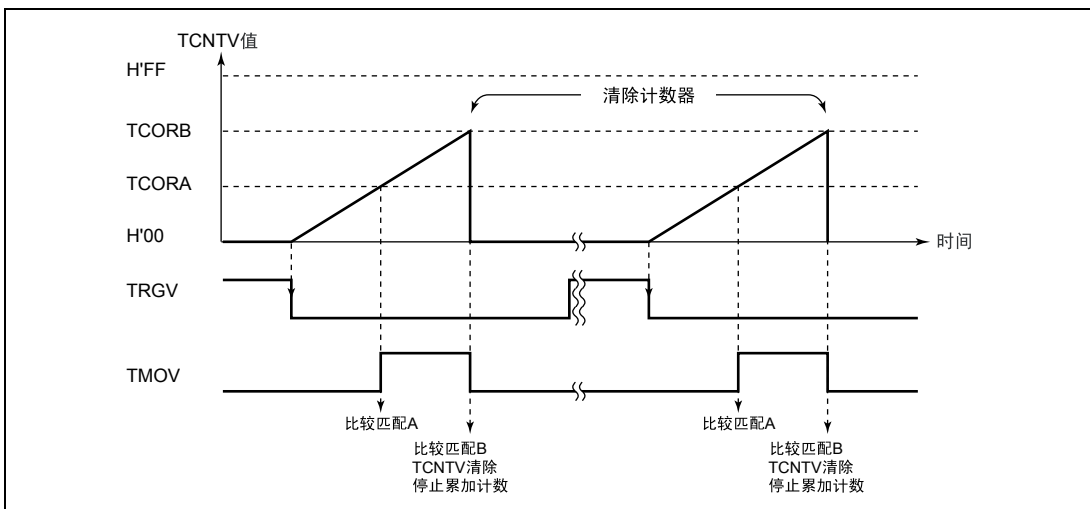


图 12.10 同步于 TRGV 输入的脉冲输出例子

12.6 使用时的注意事项

在定时器 V 的运行过程中，会发生以下的竞争和动作。

- 寄存器的写在写周期中的T3状态进行。如图12.11所示，在TCNTV写周期中的T3状态，如果产生TCNTV清除信号，就优先清除，不进行计数器写。只有在TCNTV写周期中的T3状态发生累加计数的情况下，才优先计数器写。
- 在TCORA或TCORB写周期中的T3状态发生比较匹配的情况下，优先给TCORA或者TCORB写，禁止比较匹配信号。该时序如图12.12所示。
- 如果比较匹配A和比较匹配B同时发生，对于比较匹配A设定的输出和对于比较匹配B设定的输出就可能会出现竞争，此时，输出将按照交替输出>1输出>0输出的优先顺序变化。
- 根据转换内部时钟的时序，TCNTV有被累加计数的情况。在使用内部时钟时，如果检测出系统时钟（ ϕ ）分频后的内部时钟的下降沿，就产生一个计数时钟。因此，如图12.13所示，如果按照转换前的时钟“高”电平→转换后的时钟“低”电平的时序转换时钟，把转换时序视作下降沿，就产生计数时钟，TCNTV被累加计数。另外，在转换内部时钟和外部时钟时，TCNTV也有可能被累加计数。

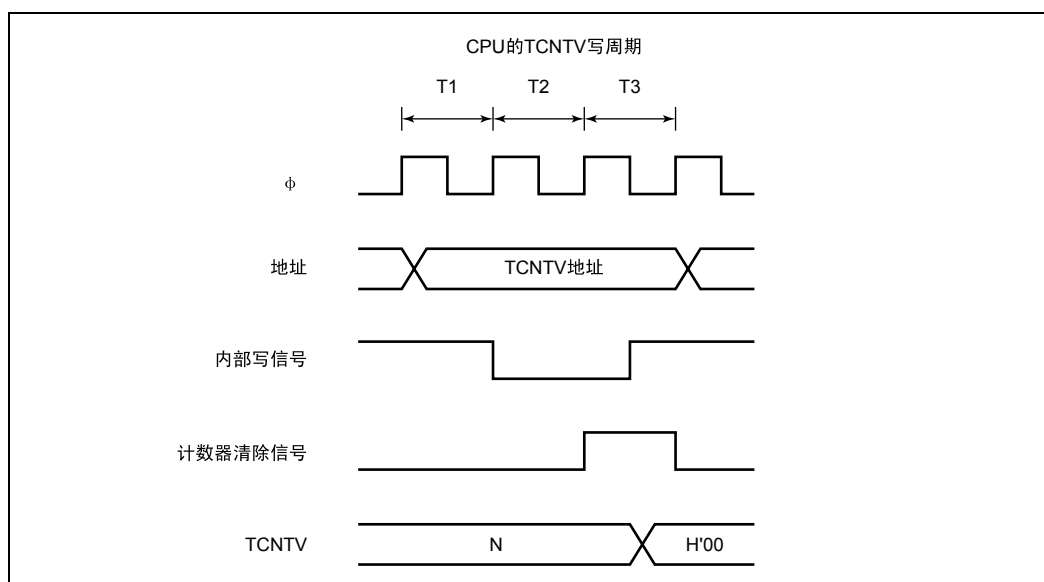


图 12.11 给 TCNTV 写和清除的竞争

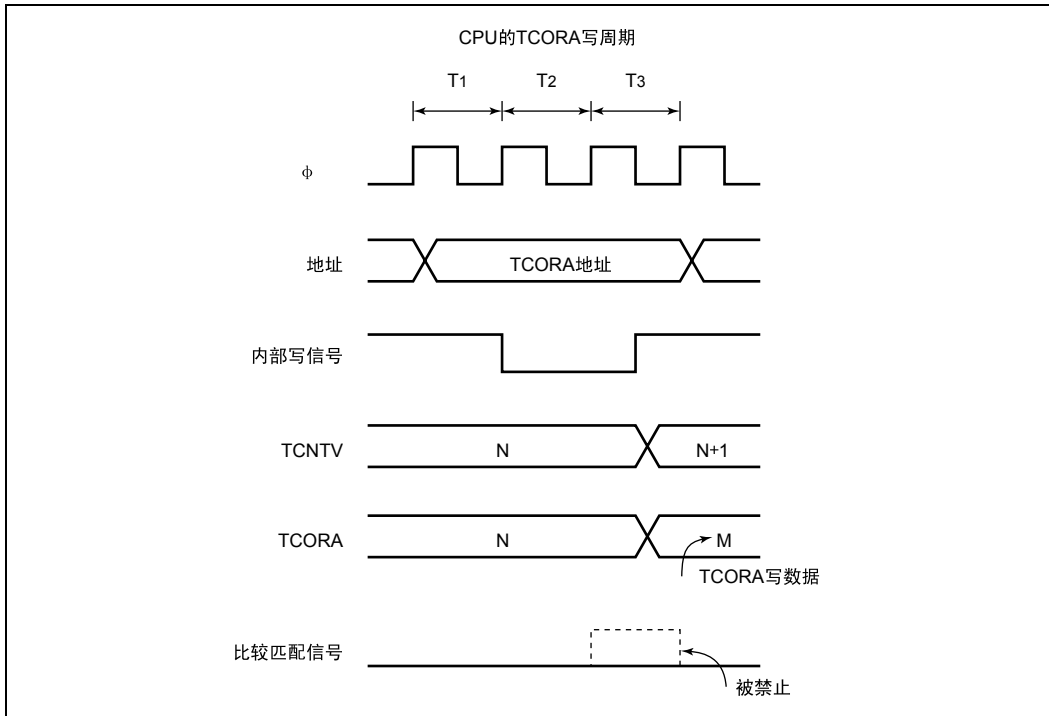


图 12.12 给 TCORA 写和比较匹配的竞争

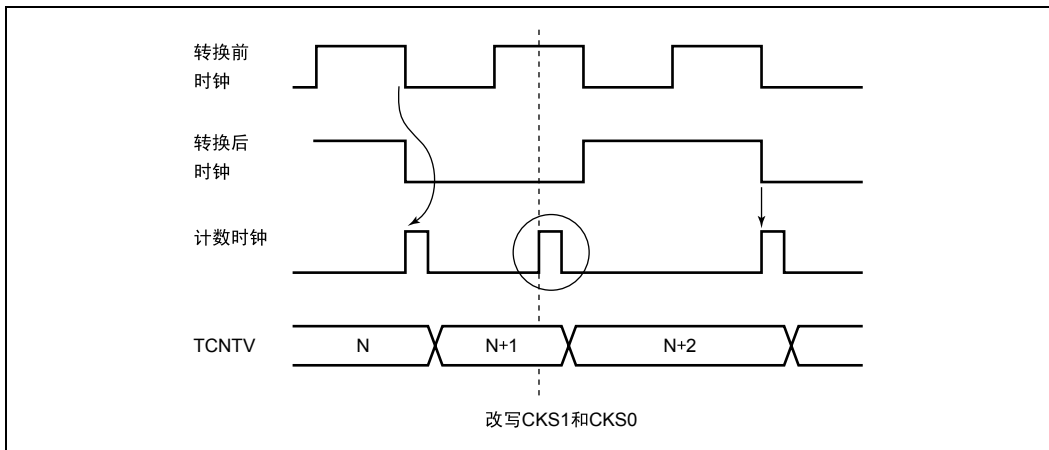


图 12.13 内部时钟的转换和 TCNTV 运行

第 13 章 定时器 Z

定时器 Z 是双通道 16 位定时器，其框图（全体图）如图 13.1 所示，通道 0 的框图如图 13.2 所示，通道 1 的框图如图 13.3 所示。关于定时器 Z 的功能请参照表 13.1。

13.1 特点

- 最多能进行 8 种输入/输出处理
- 各通道有 4 个、合计 8 个通用寄存器（GR），各寄存器能单独设定输出比较/输入捕捉功能
- 计数器输入时钟：5 种
可以从 4 种内部时钟（ ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ ）和外部时钟中选择。
- 各通道都能设定以下的运行模式
输出比较：能进行 0 输出/1 输出/交替输出
输入捕捉：检测上升沿/下降沿/两个边沿
同步运行：能同时对定时器计数器_0 和定时器计数器_1（TCNT_0、TCNT_1）进行写操作
能通过比较匹配/输入捕捉同时清除
PWM 模式：能进行任意占空比的 PWM 输出
最多能进行 6 相 PWM 输出
复位同步 PWM 模式：能 3 相输出正、反相 PWM 波形
互补 PWM 模式：能 3 相输出正、反相有非重叠关系的 PWM 波形
能设定 PWM 周期的 A/D 转换启动触发
缓冲运行：能构成输入捕捉寄存器的双缓冲器
能自动改写输出比较寄存器
- 通过内部 16 位总线高速存取
能通过 16 位总线接口高速存取 TCNT 和 GR 的 16 位寄存器。
- 能任意设定定时器的输出初始值
- 禁止通过外部触发定时器输出的功能
- 中断源：11 种
各通道都能请求比较匹配/输入捕捉兼用中断（4 个中断源）和溢出中断。另外，通道 1 能设定下溢中断。

表 13.1 定时器 Z 的功能一览表

项目		通道 0	通道 1
计数时钟		内部时钟: ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部时钟: FTIOA0 (TCLK)	
通用寄存器 (输出比较/输入捕捉兼 用寄存器)		GRA_0、GRB_0、GRC_0、GRD_0	GRA_1、GRB_1、GRC_1、GRD_1
缓冲寄存器		GRC_0、GRD_0	GRC_1、GRD_1
输入/输出管脚		FTIOA0、FTIOB0、FTIOC0、FTIOD0	FTIOA1、FTIOB1、FTIOC1、FTIOD1
计数器清除功能		GRA_0/GRB_0/GRC_0/GRD_0 的比较 匹配或者输入捕捉	GRA_1/GRB_1/GRC_1/GRD_1 的比较 匹配或者输入捕捉
比较匹配 输出	0 输出	○	○
	1 输出	○	○
	交替输出	○	○
输入捕捉功能		○	○
同步运行		○	○
PWM 模式		○	○
复位同步 PWM 模式		○	○
互补 PWM 模式		○	○
缓冲运行		○	○
中断源		比较匹配/输入捕捉 A0~D0 溢出	比较匹配/输入捕捉 A1~D1 溢出 下溢

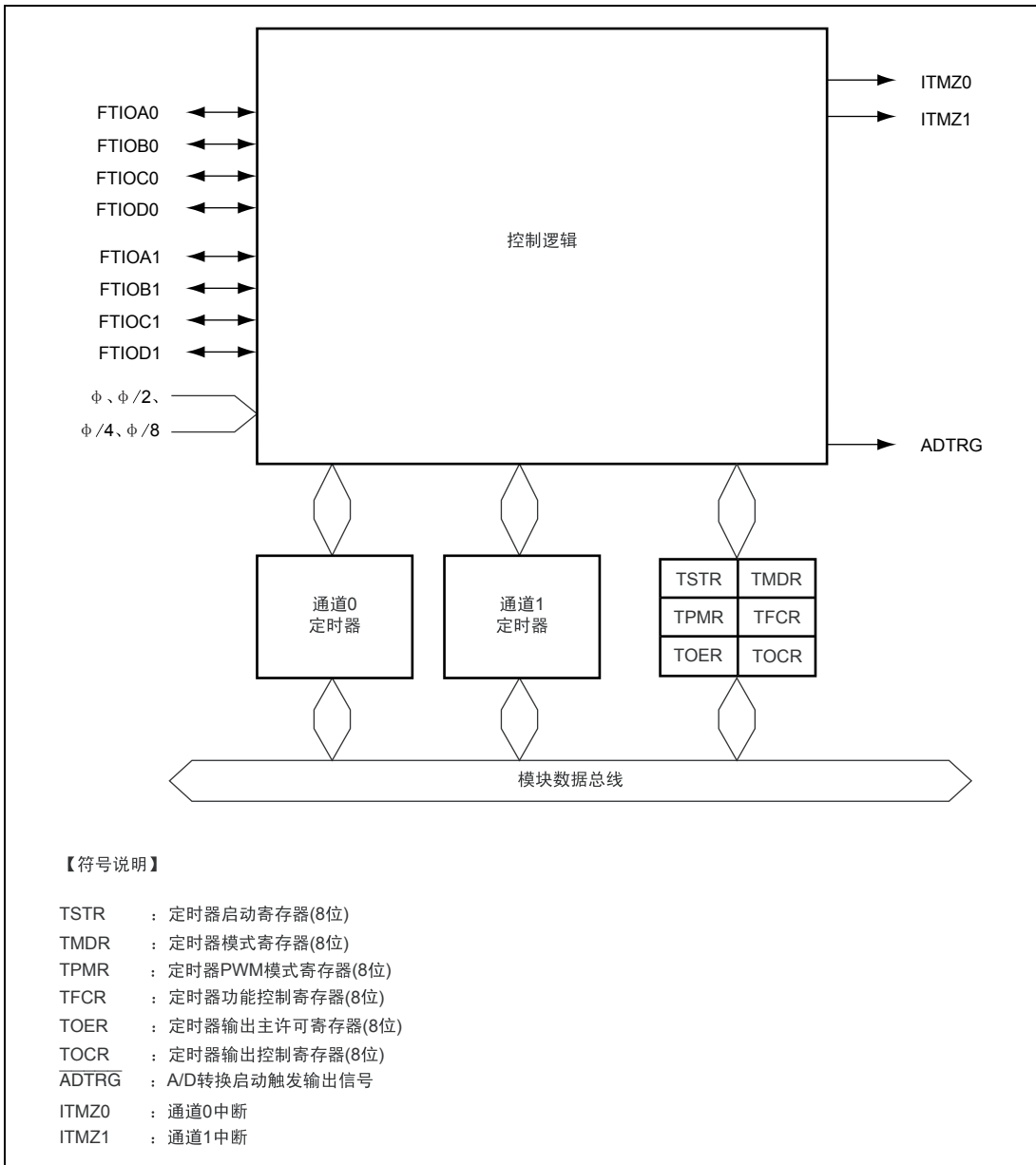


图 13.1 定时器 Z 的框图

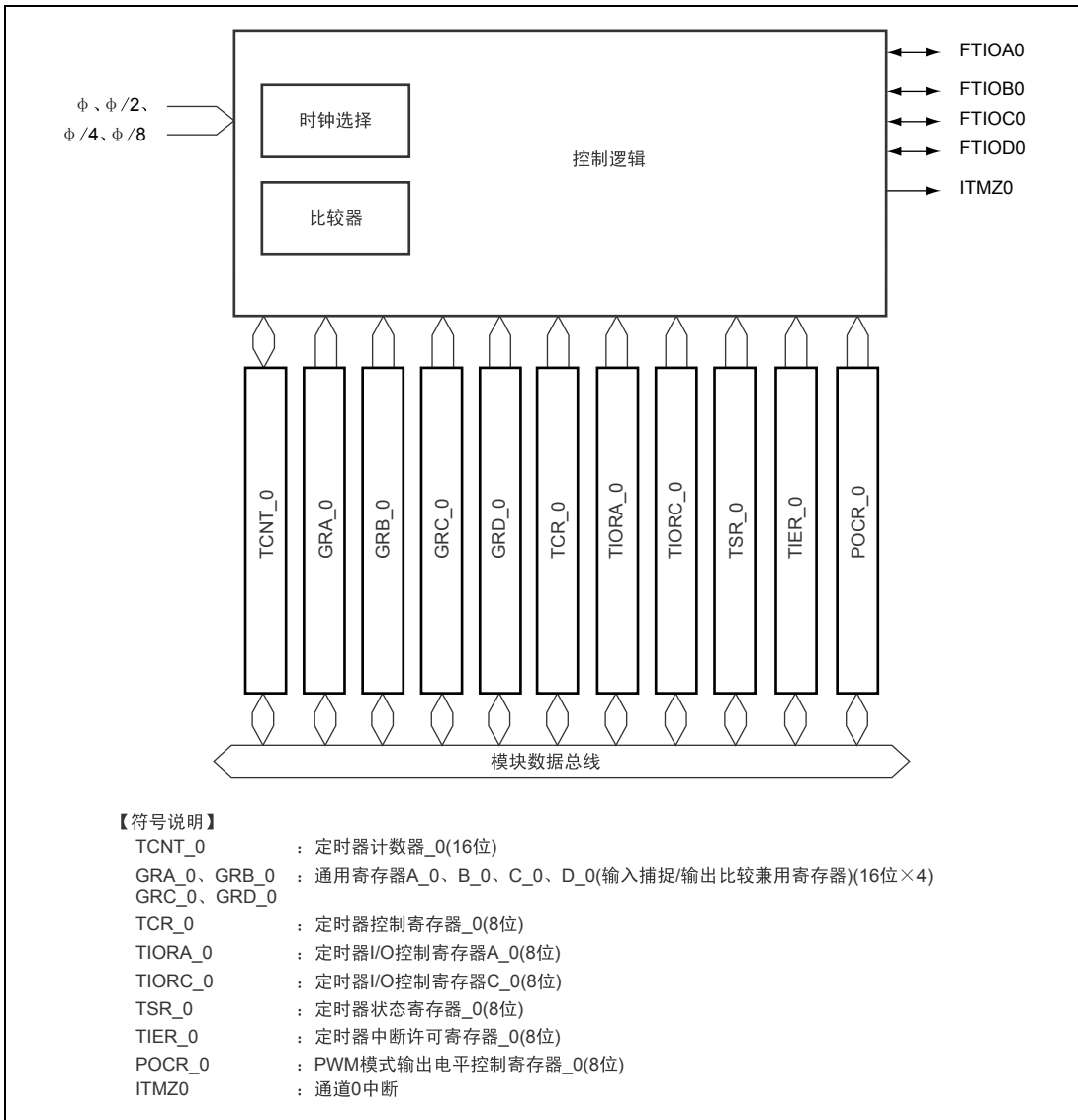


图 13.2 定时器 Z（通道 0）的框图

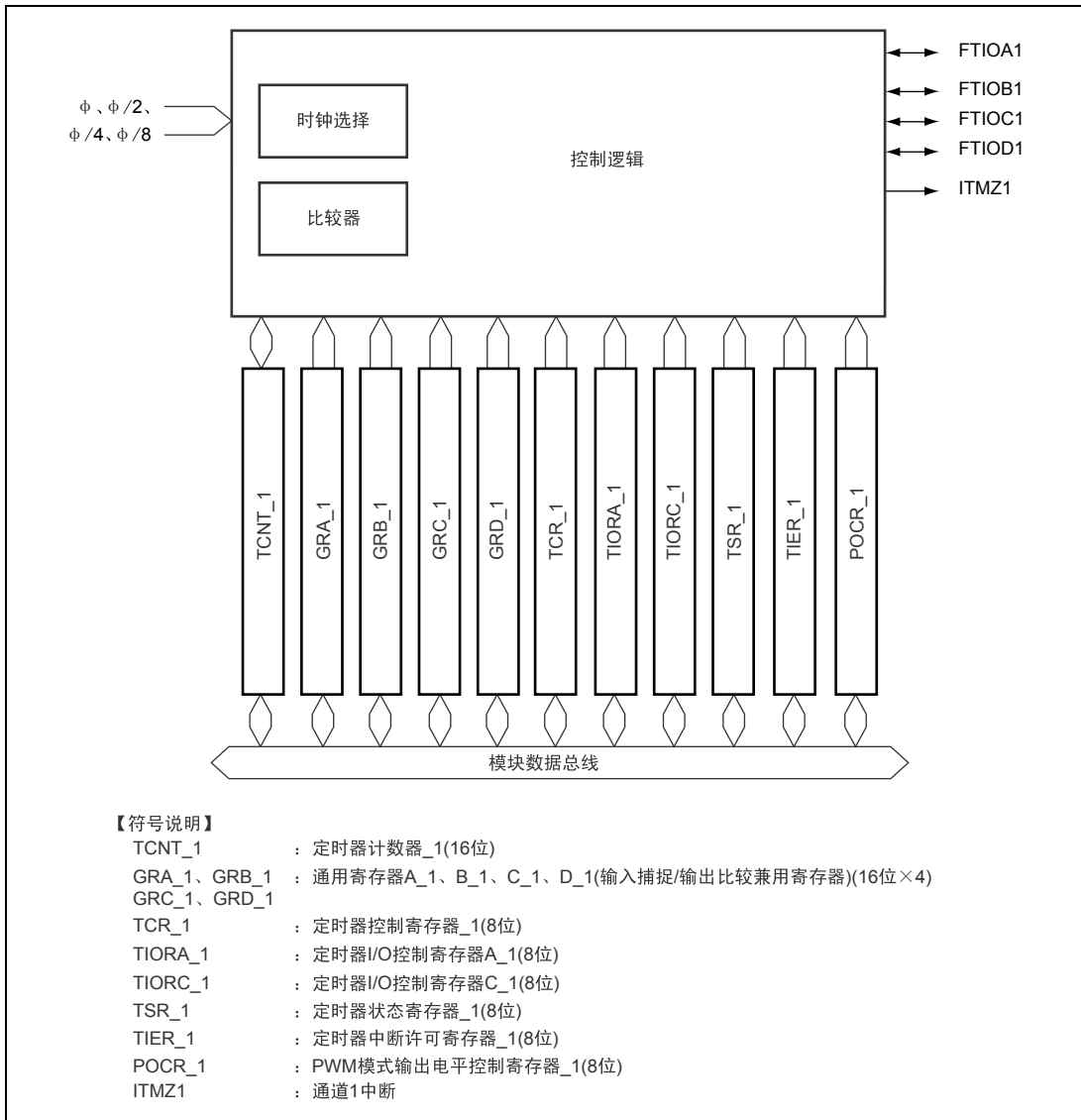


图 13.3 定时器 Z (通道 1) 的框图

13.2 输入/输出管脚

定时器 Z 的管脚结构如表 13.2 所示。

表 13.2 管脚结构

名称	略称	输入/输出	功能
输入捕捉/输出比较 A0	FTIOA0	输入/输出	GRA_0 输出比较的输出管脚/GRA_0 输入捉捕的输入管脚/外部时钟输入管脚 (TCLK)
输入捕捉/输出比较 B0	FTIOB0	输入/输出	GRB_0 输出比较的输出管脚/GRB_0 输入捉捕的输入管脚/PWM 输出管脚
输入捕捉/输出比较 C0	FTIOC0	输入/输出	GRC_0 输出比较的输出管脚/GRC_0 输入捉捕的输入管脚/PWM 同步输出管脚 (在复位同步 PWM 和互补 PWM 模式时)
输入捕捉/输出比较 D0	FTIOD0	输入/输出	GRD_0 输出比较的输出管脚/GRD_0 输入捉捕的输入管脚/PWM 输出管脚
输入捕捉/输出比较 A1	FTIOA1	输入/输出	GRA_1 输出比较的输出管脚/GRA_1 输入捉捕的输入管脚/PWM 输出管脚 (在复位同步 PWM 和互补 PWM 模式时)
输入捕捉/输出比较 B1	FTIOB1	输入/输出	GRB_1 输出比较的输出管脚/GRB_1 输入捉捕的输入管脚/PWM 输出管脚
输入捕捉/输出比较 C1	FTIOC1	输入/输出	GRC_1 输出比较的输出管脚/GRC_1 输入捉捕的输入管脚/PWM 输出管脚
输入捕捉/输出比较 D1	FTIOD1	输入/输出	GRD_1 输出比较的输出管脚/GRD_1 输入捉捕的输入管脚/PWM 输出管脚

13.3 寄存器说明

定时器 Z 有以下寄存器:

共用

- 定时器启动寄存器 (TSTR)
- 定时器模式寄存器 (TMDR)
- 定时器PWM模式寄存器 (TPMR)
- 定时器功能控制寄存器 (TFCR)
- 定时器输出主许可寄存器 (TOER)
- 定时器输出控制寄存器 (TOCR)

通道 0

- 定时器控制寄存器_0 (TCR_0)
- 定时器I/O控制寄存器A_0 (TIORA_0)
- 定时器I/O控制寄存器C_0 (TIORC_0)
- 定时器状态寄存器_0 (TSR_0)

- 定时器中断许可寄存器_0 (TIER_0)
- PWM模式输出电平控制寄存器_0 (POCR_0)
- 定时器计数器_0 (TCNT_0)
- 通用寄存器A_0 (GRA_0)
- 通用寄存器B_0 (GRB_0)
- 通用寄存器C_0 (GRC_0)
- 通用寄存器D_0 (GRD_0)

通道 1

- 定时器控制寄存器_1 (TCR_1)
- 定时器I/O控制寄存器A_1 (TIORA_1)
- 定时器I/O控制寄存器C_1 (TIORC_1)
- 定时器状态寄存器_1 (TSR_1)
- 定时器中断许可寄存器_1 (TIER_1)
- PWM模式输出电平控制寄存器_1 (POCR_1)
- 定时器计数器_1 (TCNT_1)
- 通用寄存器A_1 (GRA_1)
- 通用寄存器B_1 (GRB_1)
- 通用寄存器C_1 (GRC_1)
- 通用寄存器D_1 (GRD_1)

13.3.1 定时器启动寄存器 (TSTR)

TSTR 选择运行或者停止 TCNT。

位	位名	初始值	R/W	说 明
7~2	—	全为 1	—	保留位。总是读出 1，写无效。
1	STR1	0	R/W	通道 1 计数器开始运行 0: TCNT_1 停止计数运行 1: TCNT_1 计数运行
0	STR0	0	R/W	通道 0 计数器开始运行 0: TCNT_0 停止计数运行 1: TCNT_0 计数运行

13.3.2 定时器模式寄存器 (TMDR)

TMDR 选择缓冲运行的设定和同步运行。

位	位名	初始值	R/W	说 明
7	BFD1	0	R/W	缓冲运行 D1 0: GRD_1 为通常运行 1: GRB_1 和 GRD_1 为缓冲运行
6	BFC1	0	R/W	缓冲运行 C1 0: GRC_1 为通常运行 1: GRA_1 和 GRC_1 为缓冲运行
5	BFD0	0	R/W	缓冲运行 D0 0: GRD_0 为通常运行 1: GRB_0 和 GRD_0 为缓冲运行
4	BFC0	0	R/W	缓冲运行 C0 0: GRC_0 为通常运行 1: GRA_0 和 GRC_0 为缓冲运行
3~1	—	全为 1	—	保留位。总是读出 1，写无效。
0	SYNC	0	R/W	定时器同步 0: TCNT_1 和 TCNT_0 分别作为各自的定时器运行 1: TCNT_1 和 TCNT_0 为同步运行 各通道都能进行同步预置/同步清除

13.3.3 定时器 PWM 模式寄存器 (TPMR)

TPMR 能将管脚设定为 PWM 模式。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1，写无效。
6	PWMD1	0	R/W	PWM 模式 D1 0: FTIOD1 为通常运行 1: FTIOD1 为 PWM 模式
5	PWMC1	0	R/W	PWM 模式 C1 0: FTIOC1 为通常运行 1: FTIOC1 为 PWM 模式
4	PWMB1	0	R/W	PWM 模式 B1 0: FTIOB1 为通常运行 1: FTIOB1 为 PWM 模式
3	—	1	—	保留位。总是读出 1，写无效。
2	PWMD0	0	R/W	PWM 模式 D0 0: FTIOD0 为通常运行 1: FTIOD0 为 PWM 模式
1	PWMC0	0	R/W	PWM 模式 C0 0: FTIOC0 为通常运行 1: FTIOC0 为 PWM 模式
0	PWMB0	0	R/W	PWM 模式 B0 0: FTIOB0 为通常运行 1: FTIOB0 为 PWM 模式

13.3.4 定时器功能控制寄存器 (TFCR)

TFCR 设定各运行模式和选择输出电平。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	STCLK	0	R/W	外部时钟输入选择 0: 外部时钟输入无效 1: 外部时钟输入有效
5	ADEG	0	R/W	A/D 触发边沿选择 必须通过外部触发将 A/D 模块设定成 A/D 转换开始。 0: 互补 PWM 模式时, 在波峰 A/D 触发 1: 互补 PWM 模式时, 在波谷 A/D 触发
4	ADTRG	0	R/W	禁止外部触发 0: 互补 PWM 模式时, PWM 周期的 A/D 触发无效 1: 互补 PWM 模式时, PWM 周期的 A/D 触发有效
3	OLS1	0	R/W	输出电平选择 1 在复位同步 PWM 模式/互补 PWM 模式时, 选择反相的输出电平。 0: 最初输出高电平, 有效电平为低电平 1: 最初输出低电平, 有效电平为高电平
2	OLS0	0	R/W	输出电平选择 0 在复位同步 PWM 模式/互补 PWM 模式时, 选择正相的输出电平。 0: 最次输出高电平, 有效电平为低电平 1: 最次输出低电平, 有效电平为高电平 在 OLS1=0、OLS0=0 的情况下, 复位同步 PWM 模式和互补 PWM 模式的输出例子如图 13.4 所示。
1 0	CMD1 CMD0	0 0	R/W R/W	组合模式 1~0 00: 通道 0 和通道 1 为通常运行 01: 组合通道 0 和通道 1, 在复位同步 PWM 模式运行 10: 组合通道 0 和通道 1, 在互补 PWM 模式运行 (在波谷传送) 11: 组合通道 0 和通道 1, 在互补 PWM 模式运行 (在波峰传送) 【注】 当通过这些位设定成复位同步 PWM 模式或者互补 PWM 模式时, 此设定优先于通过 TPMR 的各位进行的 PWM 模式的设定。另外, 必须在 TCNT_0 和 TCNT_1 处于停止状态, 设定复位同步 PWM 模式和互补 PWM 模式。

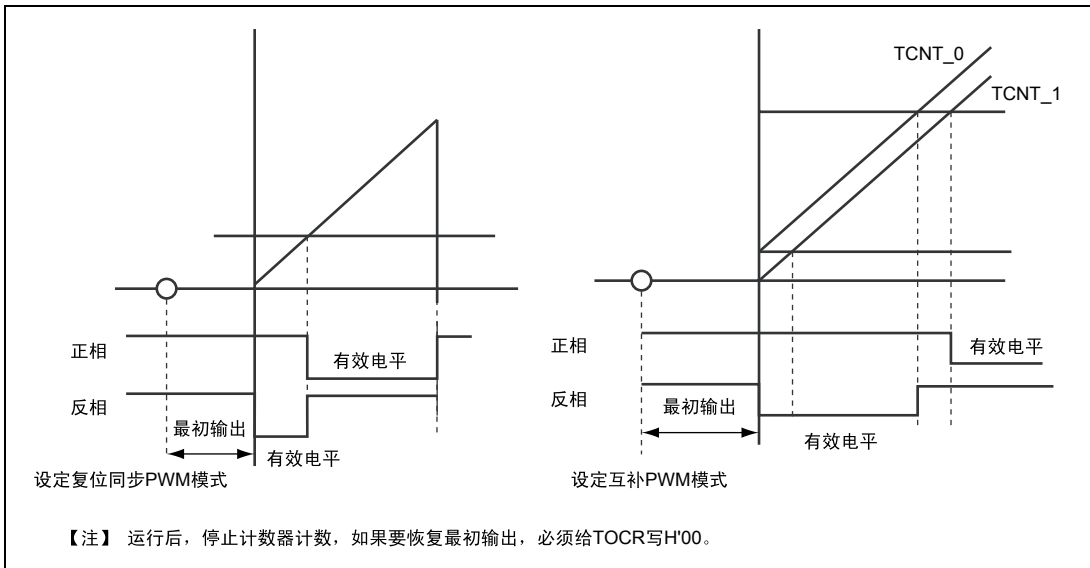


图 13.4 复位同步 PWM 模式和互补 PWM 模式的输出例子

13.3.5 定时器输出主许可寄存器 (TOER)

TOER 允许/禁止通道 0 和通道 1 的输出。在设定 $\overline{WKP4}$ 为输入时，如果给 $\overline{WKP4}$ 输入低电平，TOER 的各位就置 1，并且禁止定时器 Z 输出。

位	位名	初始值	R/W	说 明
7	ED1	1	R/W	主允许 D1 0: 根据 TPMP、TFCR、TIORC_1 的设定，允许 FTIOD1 管脚输出 1: 与 TPMP、TFCR、TIORC_1 的设定无关，禁止 FTIOD1 管脚输出 (FTIOD1 管脚作为输入/输出端口运行)
6	EC1	1	R/W	主允许 C1 0: 根据 TPMP、TFCR、TIORC_1 的设定，允许 FTIOC1 管脚输出 1: 与 TPMP、TFCR、TIORC_1 的设定无关，禁止 FTIOC1 管脚输出 (FTIOC1 管脚作为输入/输出端口运行)
5	EB1	1	R/W	主允许 B1 0: 根据 TPMP、TFCR、TIORA_1 的设定，允许 FTIOB1 管脚输出 1: 与 TPMP、TFCR、TIORA_1 的设定无关，禁止 FTIOB1 管脚输出 (FTIOB1 管脚作为输入/输出端口运行)

位	位名	初始值	R/W	说 明
4	EA1	1	R/W	主允许 A1 0: 根据 TPMP、TFCR、TIORA_1 的设定, 允许 FTIOA1 管脚输出 1: 与 TPMP、TFCR、TIORA_1 的设定无关, 禁止 FTIOA1 管脚输出 (FTIOA1 管脚作为输入/输出端口运行)
3	ED0	1	R/W	主允许 D0 0: 根据 TPMP、TFCR、TIORC_0 的设定, 允许 FTIOD0 管脚输出 1: 与 TPMP、TFCR、TIORC_0 的设定无关, 禁止 FTIOD0 管脚输出 (FTIOD0 管脚作为输入/输出端口运行)
2	EC0	1	R/W	主允许 C0 0: 根据 TPMP、TFCR、TIORC_0 的设定, 允许 FTIOC0 管脚输出 1: 与 TPMP、TFCR、TIORC_0 的设定无关, 禁止 FTIOC0 管脚输出 (FTIOC0 管脚作为输入/输出端口运行)
1	EB0	1	R/W	主允许 B0 0: 根据 TPMP、TFCR、TIORA_0 的设定, 允许 FTIOB0 管脚输出 1: 与 TPMP、TFCR、TIORA_0 的设定无关, 禁止 FTIOB0 管脚输出 (FTIOB0 管脚作为输入/输出端口运行)
0	EA0	1	R/W	主允许 A0 0: 根据 TPMP、TFCR、TIORA_0 的设定, 允许 FTIOA0 管脚输出 1: 与 TPMP、TFCR、TIORA_0 的设定无关, 禁止 FTIOA0 管脚输出 (FTIOA0 管脚作为输入/输出端口运行)

13.3.6 定时器输出控制寄存器 (TOCR)

TOCR 设定在最初发生比较匹配前的最初输出。另外,在复位同步 PWM 模式和互补 PWM 模式时,最初输出的设定根据 TFCR 的 OLS1 位和 OLS0 位的设定,与本寄存器的设定无关。

位	位名	初始值	R/W	说 明
7	TOD1	0	R/W	输出电平选择 D1 0: FTIOD1 为 0 输出* 1: FTIOD1 为 1 输出*
6	TOC1	0	R/W	输出电平选择 C1 0: FTIOC1 为 0 输出* 1: FTIOC1 为 1 输出*
5	TOB1	0	R/W	输出电平选择 B1 0: FTIOB1 为 0 输出* 1: FTIOB1 为 1 输出*
4	TOA1	0	R/W	输出电平选择 A1 0: FTIOA1 为 0 输出* 1: FTIOA1 为 1 输出*
3	TOD0	0	R/W	输出电平选择 D0 0: FTIOD0 为 0 输出* 1: FTIOD0 为 1 输出*
2	TOC0	0	R/W	输出电平选择 C0 0: FTIOC0 为 0 输出* 1: FTIOC0 为 1 输出*
1	TOB0	0	R/W	输出电平选择 B0 0: FTIOB0 为 0 输出* 1: FTIOB0 为 1 输出*
0	TOA0	0	R/W	输出电平选择 A0 0: FTIOA0 为 0 输出* 1: FTIOA0 为 1 输出*

【注】* 输出值在变换时被反映。

13.3.7 定时器计数器 (TCNT)

TCNT 是 16 位可读写寄存器, 各通道有 1 个, 共有 2 个寄存器, 通过输入时钟进行计数。输入时钟通过 TCR 的 TPSC2~TPSC0 位选择。TCNT 在互补 PWM 模式时作为增量/减量计数器运行, 在其它模式则作为增量计数器运行。

通过与对应 GRA、GRB、GRC、GRD 的比较匹配或者给 GRA、GRB、GRC、GRD 的输入捕捉, TCNT 能被清成 H'0000 (计数器清除功能); 如果 TCNT 发生溢出, 对应通道的 TSR 的 OVF 标志就被置 1。如果 TCNT_1 发生下溢, TSR 的 UDF 标志就被置 1。另外, 禁止以 8 位单位存取 TCNT 计数器, 必须以 16 位单位存取。

13.3.8 通用寄存器 A、B、C、D (GRA、GRB、GRC、GRD)

GR 是 16 位可读写寄存器, 各通道有 4 个, 共有 8 个。

通过 TIORA 和 TIORC 进行输出比较寄存器功能和输入捕捉寄存器功能的转换。

作为输出比较寄存器使用时, 总是比较 GR 和 TCNT 的值。如果两个值一致, TSR 的 IMFA~IMFD 标志就被置 1。能通过 TIORA 和 TIORC 进行比较匹配输出的设定。

作为输入捕捉寄存器使用时, 在检测出来自外部的信号后, 保存 TCNT 值, 此时将对应的 TSR 的 IMFA~IMFD 标志置 1。由 TIORA 和 TIORC 选择输入捕捉信号的检测边沿。

当设定成 PWM 模式、互补 PWM 模式或者复位同步 PWM 模式时, 忽略 TIORA 和 TIORC 的设定值。GR 在复位时被设定成输出比较寄存器 (没有管脚输出), 并且被初始化成 H'FFFF。另外, 禁止以 8 位单位存取 GR, 必须以 16 位单位存取。

13.3.9 定时器控制寄存器 (TCR)

TCR 进行 TCNT 的计数器时钟、选择外部时钟时的边沿以及计数器清除源的选择。各通道有 1 个，共有 2 个 TCR。

位	位名	初始值	R/W	说 明
7	CCLR2	0	R/W	计数器清除 2~0 000: 禁止清除 TCNT 001: 通过 GRA 的比较匹配/输入捕捉清除 TCNT* ¹ 010: 通过 GRB 的比较匹配/输入捕捉清除 TCNT* ¹ 011: 同步清除。与正在同步运行的其它通道计数器的清除同步清除 TCNT* ² 100: 禁止 TCNT 清除 101: 通过 GRC 的比较匹配/输入捕捉清除 TCNT* ¹ 110: 通过 GRD 的比较匹配/输入捕捉清除 TCNT* ¹ 111: 同步清除。与正在同步运行的其它通道计数器的清除同步清除 TCNT* ²
6	CCLR1	0	R/W	
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	
3	CKEG0	0	R/W	时钟边沿 1~0 00: 在上升沿计数 01: 在下降沿计数 1X: 在上升/下降的两个边沿计数
2	TPSC2	0	R/W	定时器预定标器 2~0 000: 内部时钟: 用 ϕ 计数 001: 内部时钟: 用 $\phi/2$ 计数 010: 内部时钟: 用 $\phi/4$ 计数 011: 内部时钟: 用 $\phi/8$ 计数 1XX: 外部时钟: 用 FTIOA0 (TCLK) 管脚输入计数
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

【注】*1 GR 作为输出比较寄存器运行时，通过比较匹配清除。GR 作为输入捕捉运行时，通过输入捕捉清除。

*2 通过 TMDR 设定同步运行。

X: Don't care

13.3.10 定时器 I/O 控制寄存器 (TIORA、TIORC)

TIOR 控制 GR。TIOR 由 TIOA 和 TIOB 构成，各通道有 2 个，共有 4 个。在设定成包含互补 PWM 模式和复位同步 PWM 模式的 PWM 模式时，TIOR 的设定变成无效。

• TIOA

TIOA 选择把 GRA 和 GRB 作为输出比较寄存器使用，还是作为输入捕捉寄存器使用。如果选择输出比较寄存器，就选择输出设定；如果选择输入捕捉寄存器，就选择输入捕捉信号的输入边沿。另外，TIOA 还选择 FTIOA 管脚和 FTIOB 管脚的功能。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	IOB2	0	R/W	I/O 控制 B2~0
5	IOB1	0	R/W	GRB 为输出比较寄存器
4	IOB0	0	R/W	000: 禁止通过比较匹配的管脚输出 001: 通过 GRB 的比较匹配进行 0 输出 010: 通过 GRB 的比较匹配进行 1 输出 011: 通过 GRB 的比较匹配进行交替输出 GRB 为输入捕捉寄存器 100: 在上升沿给 GRB 输入捕捉 101: 在下降沿给 GRB 输入捕捉 11X: 在上升/下降两个边沿给 GRB 输入捕捉
3	—	1	—	保留位。总是读出 1。
2	IOA2	0	R/W	I/O 控制 A2~0
1	IOA1	0	R/W	GRA 为输出比较寄存器
0	IOA0	0	R/W	000: 禁止通过比较匹配的管脚输出 001: 通过 GRA 的比较匹配进行 0 输出 010: 通过 GRA 的比较匹配进行 1 输出 011: 通过 GRA 的比较匹配进行交替输出 GRA 为输入捕捉寄存器 100: 在上升沿给 GRA 输入捕捉 101: 在下降沿给 GRA 输入捕捉 11X: 在上升/下降两个边沿给 GRA 输入捕捉

【注】X: Don't care

• TIORC

TIORC 选择把 GRC 和 GRD 作为输出比较寄存器使用，还是作为输入捕捉寄存器使用。如果选择输出比较寄存器，就选择输出设定；如果选择输入捕捉寄存器，就选择输入捕捉信号的输入边沿。另外，TIORC 还选择 FTIOC 管脚和 FTIOD 管脚的功能。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	IOD2	0	R/W	I/O 控制 D2~0
5	IOD1	0	R/W	GRD 为输出比较寄存器
4	IOD0	0	R/W	000: 禁止通过比较匹配的管脚输出 001: 通过 GRD 的比较匹配进行 0 输出 010: 通过 GRD 的比较匹配进行 1 输出 011: 通过 GRD 的比较匹配进行交替输出 GRD 为输入捕捉寄存器 100: 在上升沿给 GRD 输入捕捉 101: 在下降沿给 GRD 输入捕捉 11X: 在上升/下降两个边沿给 GRD 输入捕捉
3	—	1	—	保留位。总是读出 1。
2	IOC2	0	R/W	I/O 控制 C2~0
1	IOC1	0	R/W	GRC 为输出比较寄存器
0	IOC0	0	R/W	000: 禁止通过比较匹配的管脚输出 001: 通过 GRC 的比较匹配进行 0 输出 010: 通过 GRC 的比较匹配进行 1 输出 011: 通过 GRC 的比较匹配进行交替输出 GRC 为输入捕捉寄存器 100: 在上升沿给 GRC 输入捕捉 101: 在下降沿给 GRC 输入捕捉 11X: 在上升/下降两个边沿给 GRC 输入捕捉

【注】X: Don't care

13.3.11 定时器状态寄存器 (TSR)

TSR 表示 TCNT 溢出/下溢的发生和 GRA、GRB、GRC、GRD 的比较匹配/输入捕捉的发生。这些标志为中断源，如果 TIER 的对应位允许中断，TSR 就向 CPU 请求中断。各通道有 1 个，共有 2 个 TSR。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	—	1	—	
5	UDF*	0	R/W	下溢标志 [置位条件] • TCNT_1 下溢时 [清除条件] • 在读到 1 的状态后，写 0 时
4	OVF	0	R/W	溢出标志 [置位条件] • TCNT 值溢出时 [清除条件] • 在读到 1 的状态后，写 0 时
3	IMFD	0	R/W	输入捕捉/比较匹配标志 D [置位条件] • 当 GRD 作为输出比较寄存器运行，并且 TCNT=GRD 时 • 当 GRD 作为输入捕捉寄存器运行，并且通过输入捕捉信号把 TCNT 值传送到 GRD 时 [清除条件] • 在读到 1 的状态后，写 0 时
2	IMFC	0	R/W	输入捕捉/比较匹配标志 C [置位条件] • 当 GRC 作为输出比较寄存器运行，并且 TCNT=GRC 时 • 当 GRC 作为输入捕捉寄存器运行，并且通过输入捕捉信号把 TCNT 值传送到 GRC 时 [清除条件] • 在读到 1 的状态后，写 0 时

【注】*TSR_0 没有 UDF 标志。TSR_0 的位 5 是保留位，总是读出 1。

位	位名	初始值	R/W	说 明
1	IMFB	0	R/W	输入捕捉/比较匹配标志 B [置位条件] <ul style="list-style-type: none"> 当 GRB 作为输出比较寄存器运行, 并且 TCNT=GRB 时 当 GRB 作为输入捕捉寄存器运行, 并且通过输入捕捉信号把 TCNT 值传送到 GRB 时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时
0	IMFA	0	R/W	输入捕捉/比较匹配标志 A [置位条件] <ul style="list-style-type: none"> 当 GRA 作为输出比较寄存器运行, 并且 TCNT=GRA 时 当 GRA 作为输入捕捉寄存器运行, 并且通过输入捕捉信号把 TCNT 值传送到 GRA 时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时

13.3.12 定时器中断许可寄存器 (TIER)

TIER 控制溢出中断请求、GR 的比较匹配/输入捕捉中断请求的允许/禁止。各通道有 1 个, 共有 2 个 TIER。

位	位名	初始值	R/W	说 明
7~5	—	全 1	—	保留位。总是读 1。
4	OVIE	0	R/W	溢出中断允许 0: 禁止由 OVF、UDF 标志请求中断 (OVI) 1: 允许由 OVF、UDF 标志请求中断 (OVI)
3	IMIED	0	R/W	输入捕捉/比较匹配中断允许 D 0: 禁止由 IMFD 标志请求中断 (IMID) 1: 允许由 IMFD 标志请求中断 (IMID)
2	IMIEC	0	R/W	输入捕捉/比较匹配中断允许 C 0: 禁止由 IMFC 标志请求中断 (IMIC) 1: 允许由 IMFC 标志请求中断 (IMIC)
1	IMIEB	0	R/W	输入捕捉/比较匹配中断允许 B 0: 禁止由 IMFB 标志请求中断 (IMIB) 1: 允许由 IMFB 标志请求中断 (IMIB)
0	IMIEA	0	R/W	输入捕捉/比较匹配中断允许 A 0: 禁止由 IMFA 标志请求中断 (IMIA) 1: 允许由 IMFA 标志请求中断 (IMIA)

13.3.13 PWM 模式输出电平控制寄存器 (POCR)

POCR 控制在 PWM 模式时的有效电平。各通道有 1 个，共有 2 个 POCR。

位	位名	初始值	R/W	说 明
7~3	—	全 1	—	保留位。总是读出 1。
2	POLD	0	R/W	PWM 模式输出电平控制 D 0: FTIOD 的输出电平为低电平有效 1: FTIOD 的输出电平为高电平有效
1	POLC	0	R/W	PWM 模式输出电平控制 C 0: FTIOC 的输出电平为低电平有效 1: FTIOC 的输出电平为高电平有效
0	POLB	0	R/W	PWM 模式输出电平控制 B 0: FTIOB 的输出电平为低电平有效 1: FTIOB 的输出电平为高电平有效

13.3.14 与 CPU 的接口

(1) 16 位寄存器

TCNT 和 GR 是 16 位寄存器。由于它们与 CPU 之间的数据总线宽度为 16 位，因此，能以 16 位单位进行读或写操作。不能以 8 位单位进行读或者写操作，必须以 16 位单位存取。16 位寄存器的存取运行例子如图 13.5 所示。

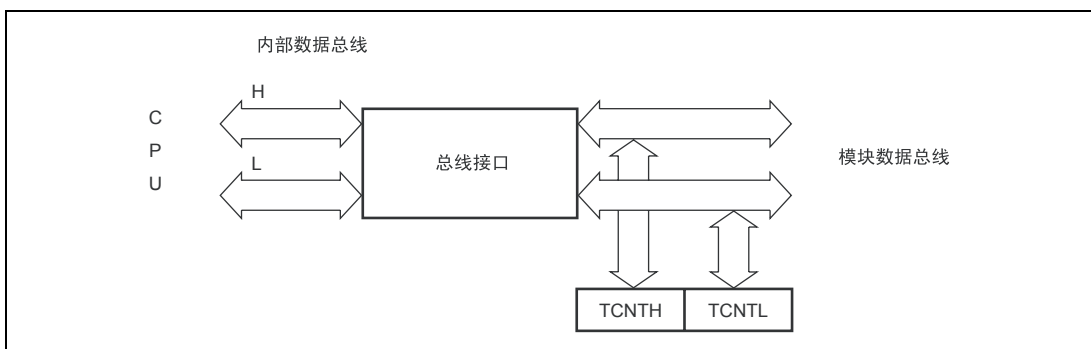


图 13.5 16 位寄存器的存取运行 (CPU ↔ TCNT (16 位))

(2) 8 位寄存器

除了 TCNT 和 GR 以外的寄存器是 8 位寄存器。这些寄存器以 8 位宽和 CPU 内部连接。8 位寄存器的存取运行例子如图 13.6 所示。

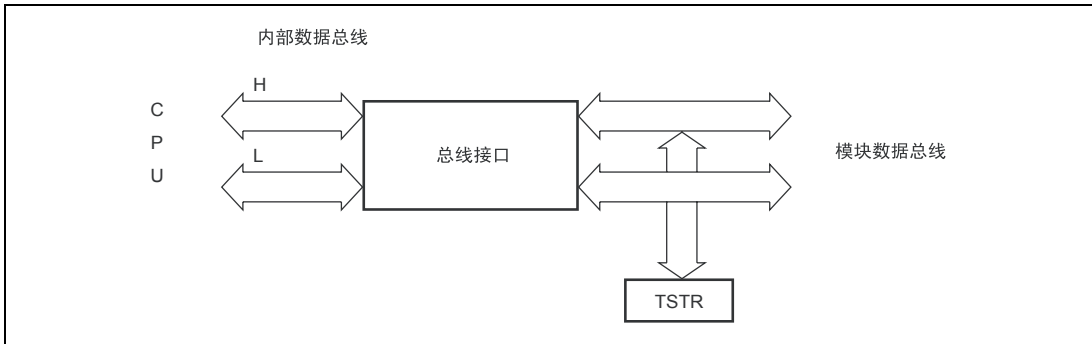


图 13.6 8 位寄存器的存取运行 (CPU \leftrightarrow TSTR (8 位))

13.4 运行说明

13.4.1 计数器运行

如果把 TSTR 的 STR0 位和 STR1 位置 1，对应通道的 TCNT 就开始计数的运行。能作为自由运行计数器运行和周期计数器运行等。

计数器运行的设定步骤的例子如图 13.7 所示。

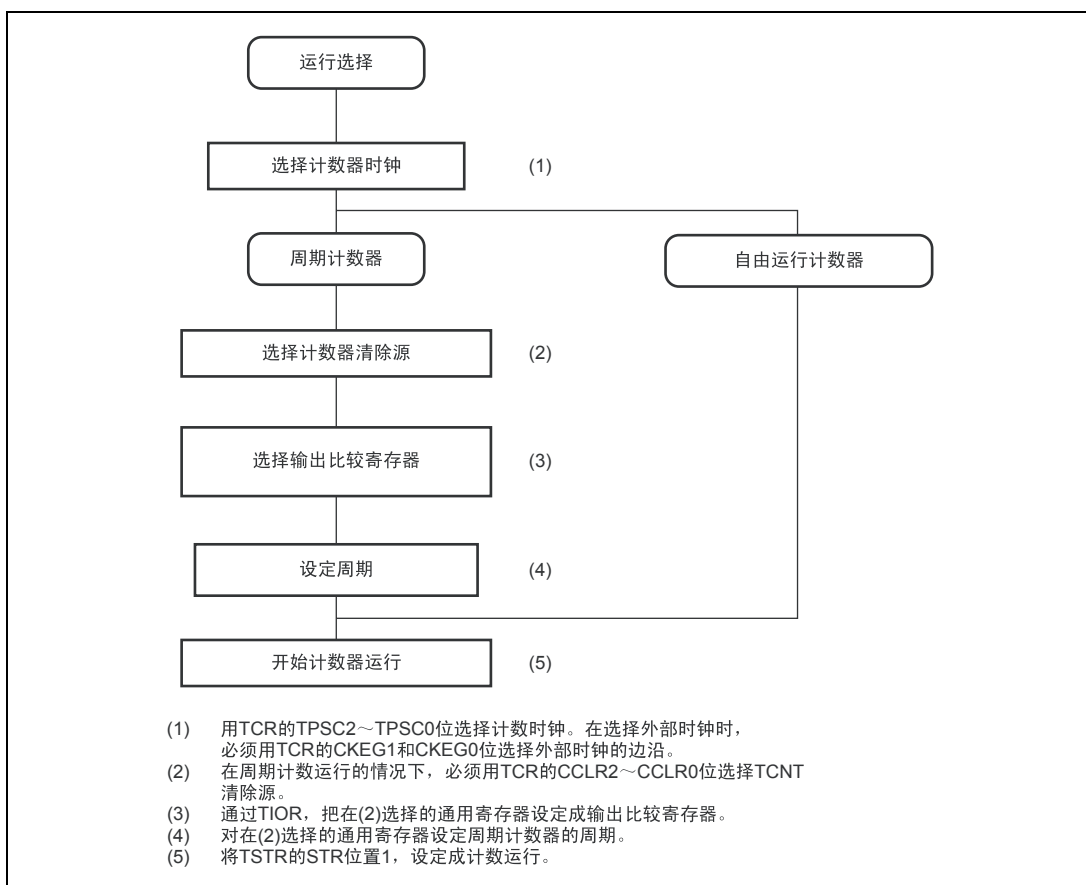


图 13.7 计数器运行的设定步骤例子

(1) 自由运行计数运行和周期计数运行

复位后 TCNT 全部变成自由运行计数器的设定。如果把 TSTR 的对应位置 1，TCNT 就作为自由运行计数器开始增量计数的运行。如果 TCNT 溢出，TSR 的 OVF 标志就被置 1，此时，如果对应的 TIER 的 OVIE 位是 1，就向 CPU 请求中断。TCNT 溢出后再次从 H'0000 开始增量计数的运行。自由运行计数器的运行如图 13.8 所示。

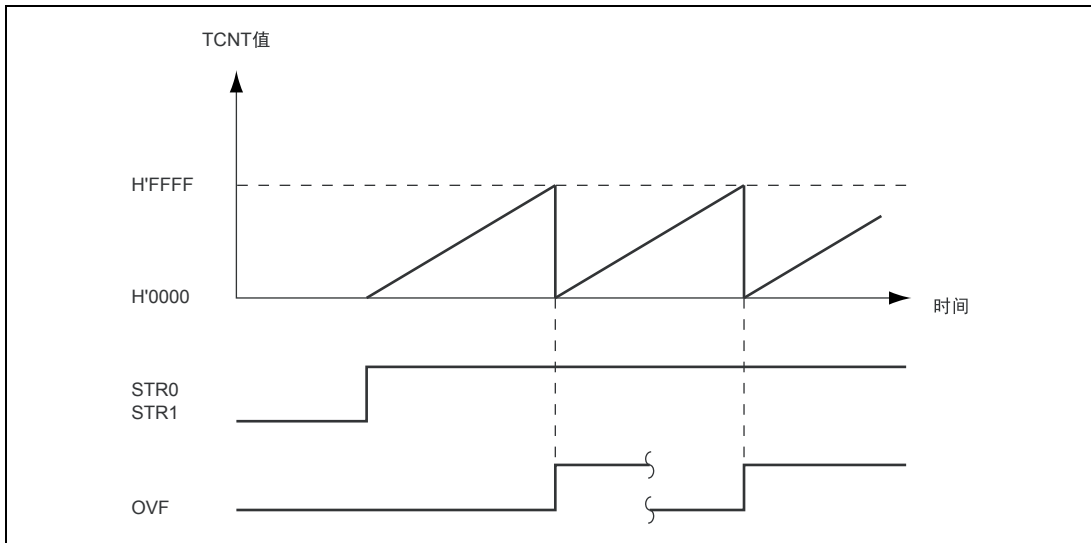


图 13.8 自由运行计数器的运行

如果把比较匹配选择为 TCNT 的清除源，该通道的 TCNT 就作为周期计数器运行（将用于设定周期的 GR 设定成输出比较寄存器，用 TCR 的 CCLR1 位和 CCLR0 位对通过比较匹配清除计数器进行设定）。设定后，如果把 TSTR 的对应位置 1，TCNT 就作为周期计数器开始增量计数器运行。当计数值和 GR 的值一致时，TSR 的 IMFA、IMFB、IMFC 以及 IMFD 标志就被置 1，TCNT 被清成 H'0000。此时，如果对应 TIER 的 IMIEA、IMIEB、IMIEC 以及 IMIED 位是 1，就向 CPU 请求中断。比较匹配结束后，TCNT 再次从 H'0000 开始增量计数。周期计数器的运行如图 13.9 所示。

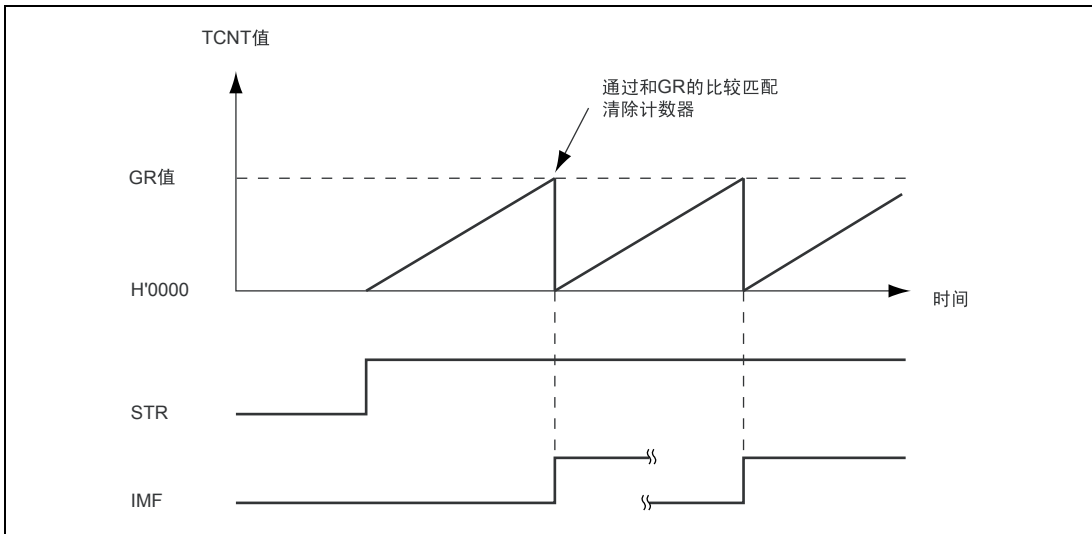


图 13.9 周期计数器运行

(2) TCNT 的计数器时序

- 内部时钟运行时

能通过TCR的TPSC2~TPSC0位选择系统时钟 (ϕ) 或者分频系统时钟的3种时钟 ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$)。此时的时序如图13.10所示。

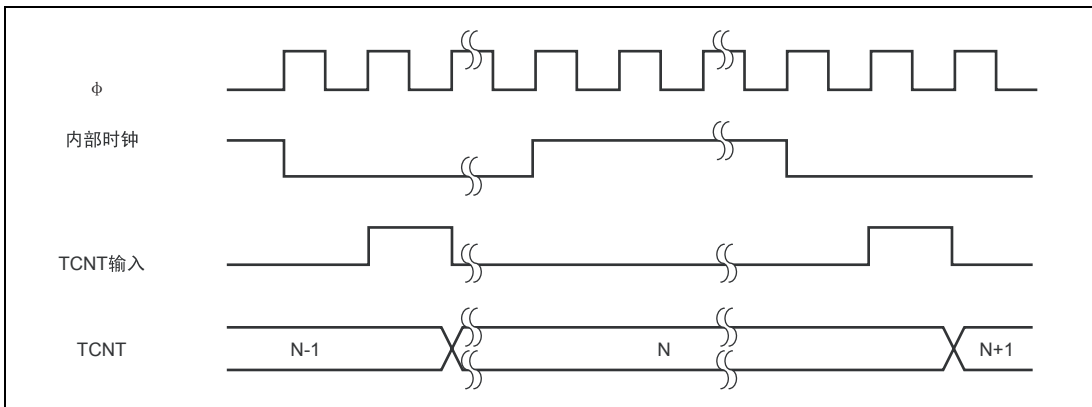


图 13.10 内部时钟运行时的计数时序

- 外部时钟运行时

能通过TCR的TPSC2~TPSC0位选择外部时钟输入管脚 (TCLK)、或者能通过CKEG1位和CKEG0位选择检测边沿。外部时钟的检测边沿可以选择上升沿、下降沿或者两个边沿。另外，外部时钟的脉冲宽度需要2个系统时钟以上。必须注意：少于2个系统时钟的脉冲宽度，计数器无法正常运行。上升/下降两个边沿检测时的时序如图13.11所示。

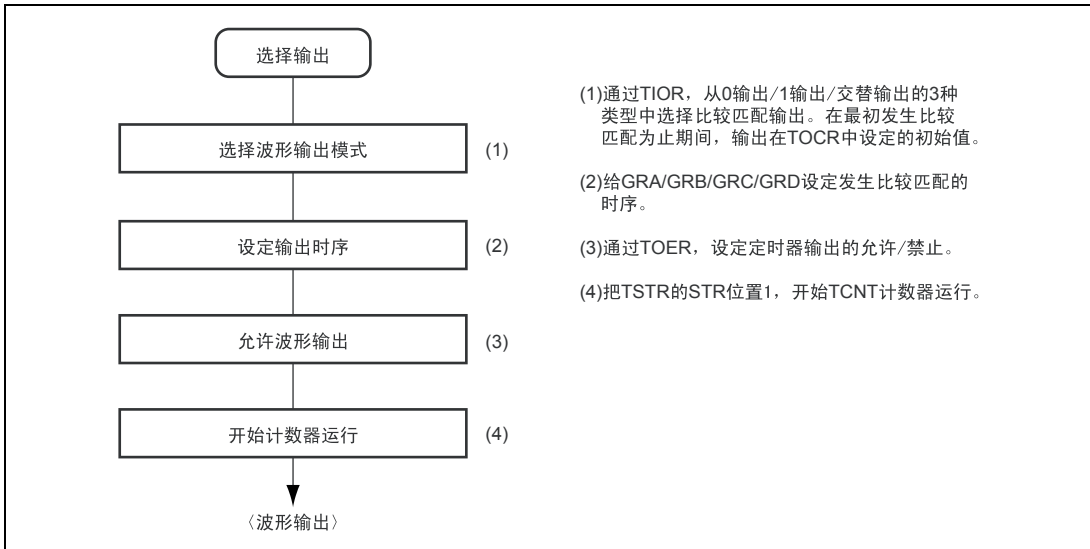


图 13.11 外部时钟运行时的计数时序（检测两个边沿时）

13.4.2 通过比较匹配输出波形的功能

通道 0 和通道 1 能通过比较匹配 A、B、C、D，从对应的 FTIOA、FTIOB、FTIOC、FTIOD 管脚进行 0 输出、1 输出或者交替输出。通过比较匹配输出波形的运行设定步骤的例子如图 13.12 所示。

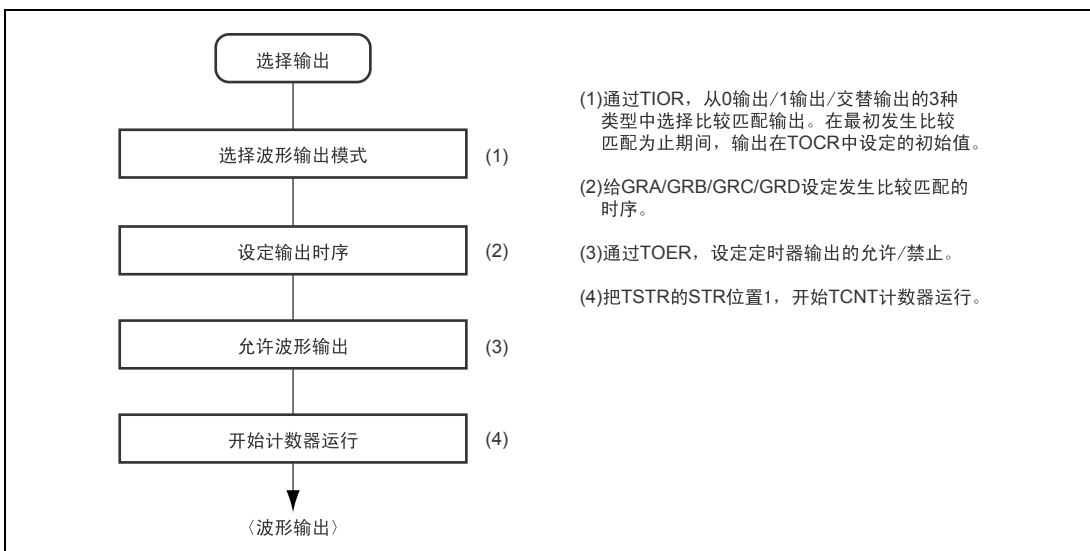


图 13.12 通过比较匹配输出波形的运行例子

(1) 输出波形的运行例子

TCNT 进行自由运行计数、通过比较匹配 A 进行 0 输出、通过比较匹配 B 进行 1 输出时的运行例子如图 13.13 所示。另外，设定的电平和管脚电平一致时，管脚电平不发生变化。

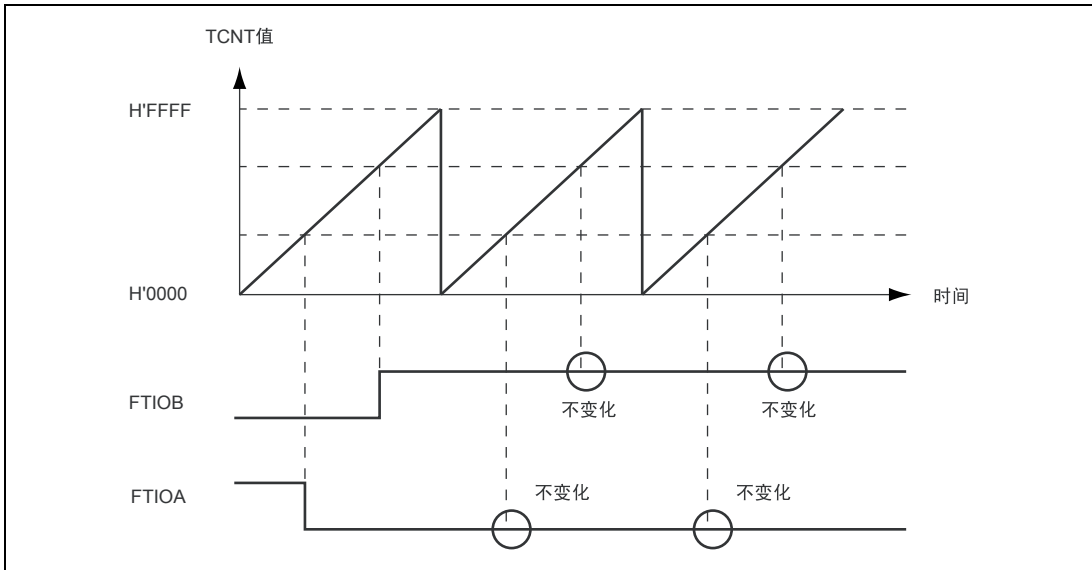


图 13.13 0 输出、1 输出的运行例子

TCNT 进行周期计数（通过比较匹配 B 清除计数器）、比较匹配 A、B 都进行交替输出时的运行例子如图 13.14 所示。

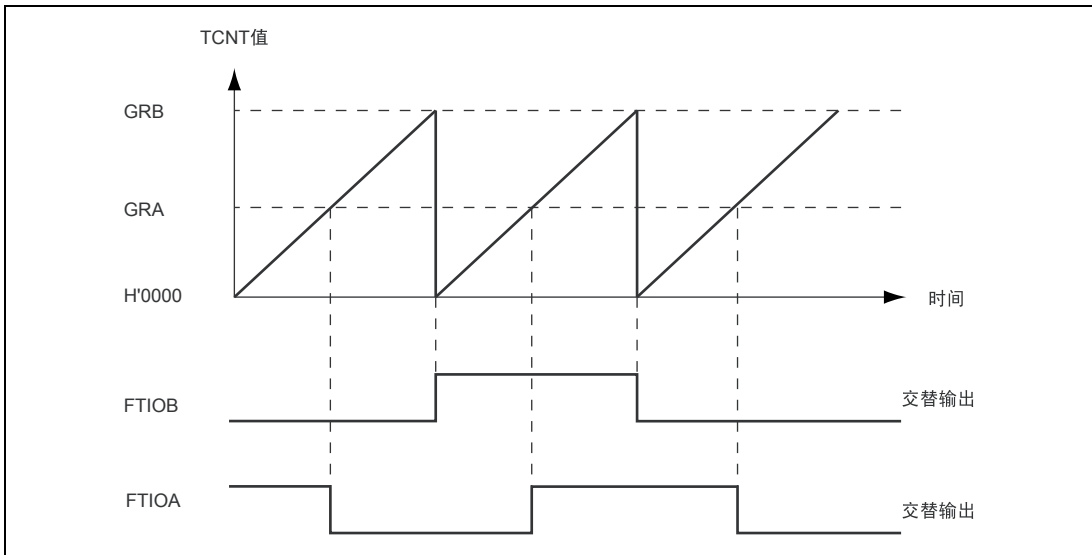


图 13.14 交替输出的运行例子

(2) 输出比较的输出时序

在 TCNT 和 GR 一致后的最后状态 (TCNT 更新一致后的计数器值的时序), 产生比较匹配信号。产生比较匹配信号时, 由 TIOR 设定的输出值被输出到输出比较的输出管脚 (FTIOA、FTIOB、FTIOC、FTIOD)。从 TCNT 和 GR 一致后, 到发生 TCNT 输入时钟为止, 不产生比较匹配信号。输出比较的输出时序例子如图 13.15 所示。

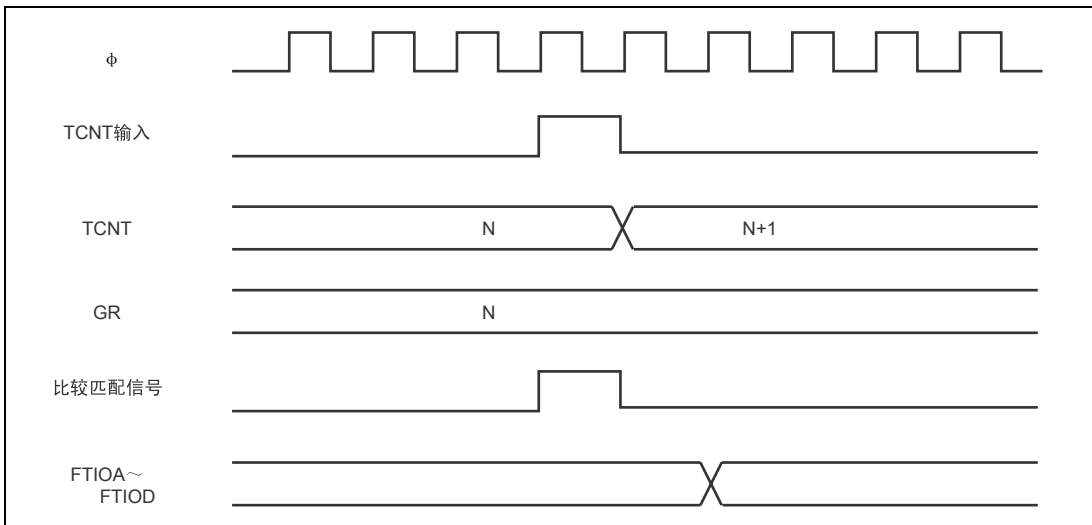


图 13.15 输出比较的输出时序

13.4.3 输入捕捉功能

能在检测到输入捕捉/输出比较管脚（FTIOA、FTIOB、FTIOC、FTIOD）的输入边沿后，把 TCNT 值传送到 GR。检测边沿能选择上升沿、下降沿或者两个边沿。另外，通过利用输入捕捉功能，能测定脉冲宽度和周期。输入捕捉运行的设定步骤的例子如图 13.16 所示。

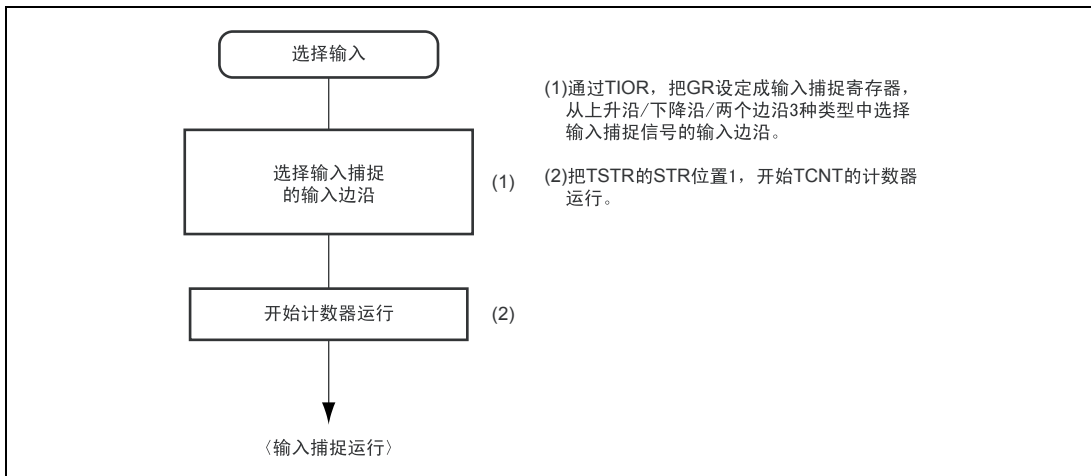


图 13.16 输入捕捉运行的设定步骤的例子

(1) 输入捕捉的运行例子

FTIOA 管脚的输入捕捉的输入边沿选择上升/下降两个边沿，FTIOB 管脚的输入捕捉的输入边沿选择下降沿，并且 TCNT 通过 GRB 的输入捕捉清除计数器时的运行例子如图 13.17 所示。

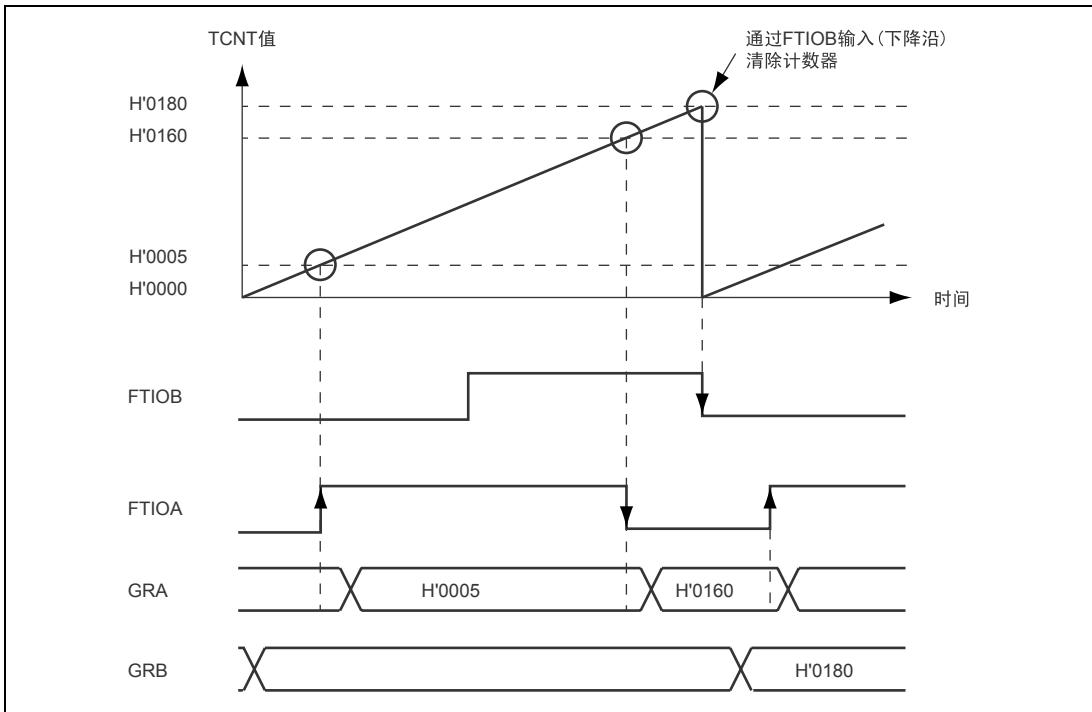


图 13.17 输入捕捉的运行例子

(2) 输入捕捉的信号时序

输入捕捉的输入能通过设定 **TIOR** 选择上升沿、下降沿或者两个边沿。选择上升沿时的时序如图 13.18 所示。另外，输入捕捉的输入信号的脉冲宽度需要 2 个系统时钟以上。

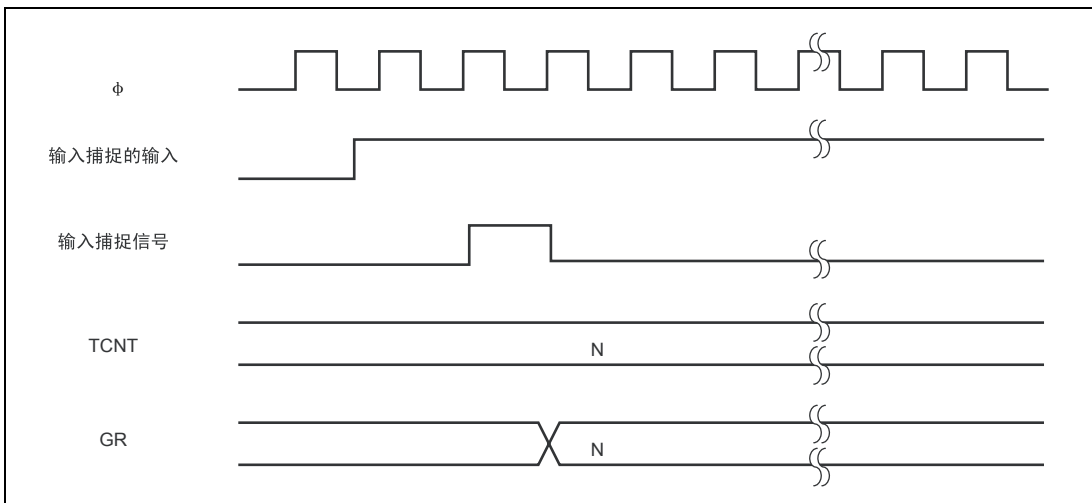


图 13.18 输入捕捉的信号时序

13.4.4 同步运行

同步运行能同时改写多个 TCNT 的值（同步预置），并且通过设定 TCR，能同时清除多个 TCNT（同步清除）。另外，通过同步运行，能对 1 个时基增加 GR。同步运行的设定步骤的例子如图 13.19 所示。

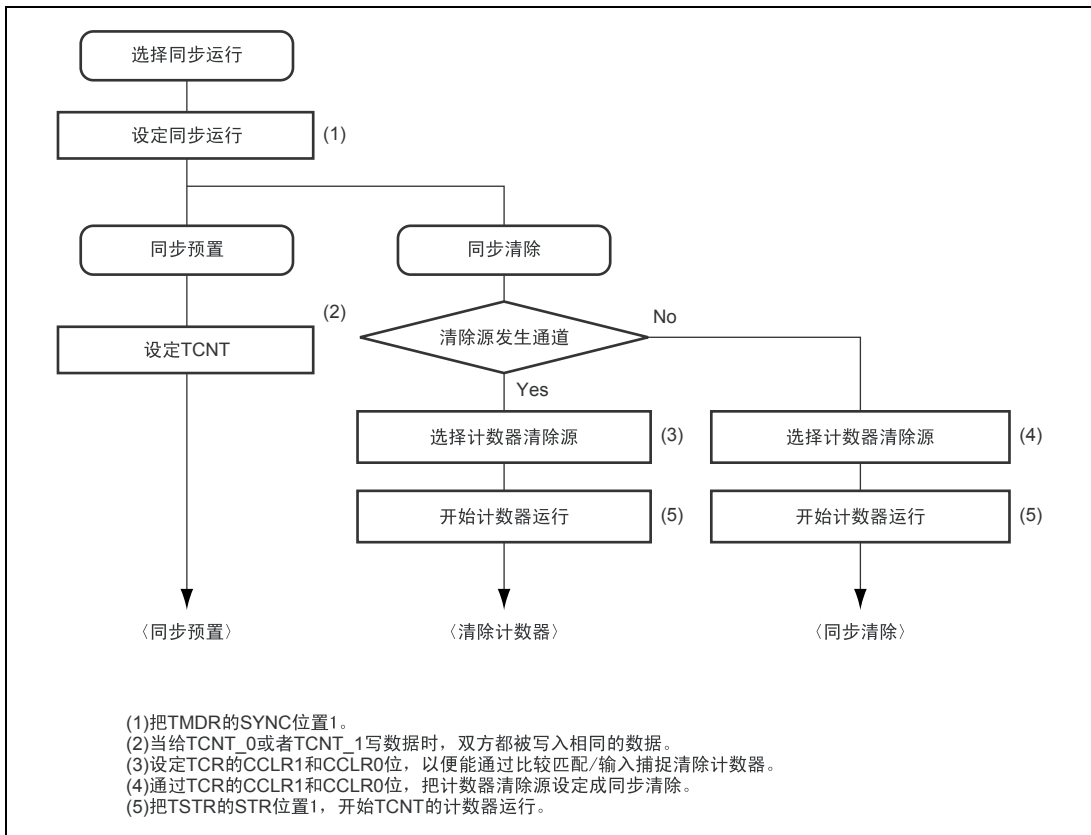


图 13.19 同步模式的设定步骤的例子

同步运行的例子如图 13.20 所示，它是同步运行把 FTIOB0、FTIOB 1 设定成 PWM 模式，把通道 0 的计数器清除源设定为 GRA_0 的比较匹配，并且把通道 1 的计数器清除源设定为同步清除时的例子。在同步运行的例子中，将通道 0 和通道 1 的计数器输入时钟设定为同一输入时钟。此时，TCNT 进行同步预置和进行根据 GRA_0 比较匹配的同步运行，并且从 FTIOB0 管脚和 FTIOB1 管脚输出 2 相 PWM 波形。关于 PWM 模式，请参照“13.4.5 PWM 模式”。

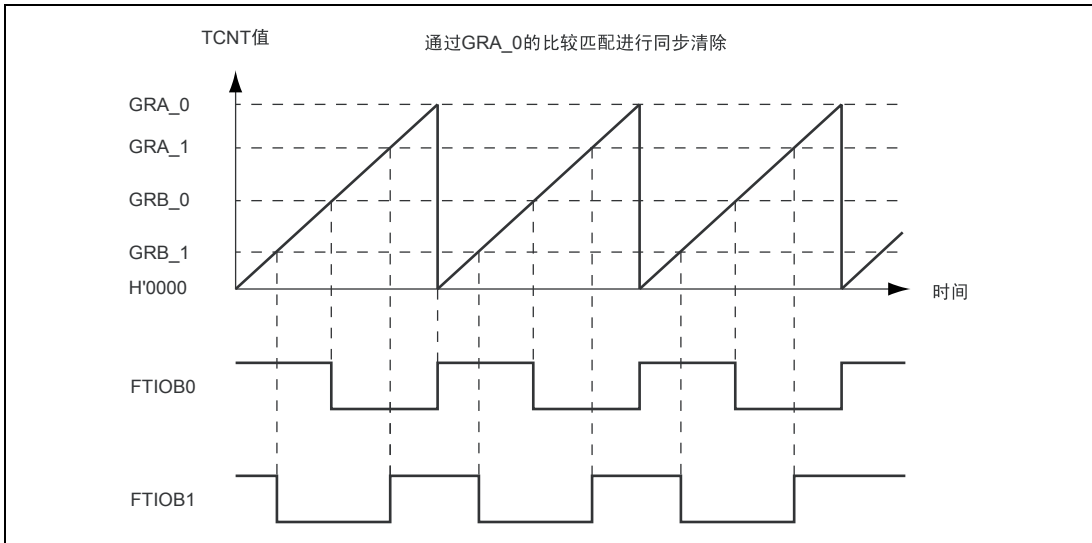


图 13.20 同步运行的例子

13.4.5 PWM 模式

PWM 模式通过 FTIOB、FTIOC 和 FTIOD 输出管脚输出各自的 PWM 波形。GRA 作为周期寄存器，GRB、GRC 和 GRD 作为占空比寄存器生成 PWM 波形。对应管脚的最初输出电平依据 TOCR、POCR 的设定值。FTIOB0 管脚的最初输出电平例子如表 13.3 所示。

输出电平由对应 POCR 的 POLB~POLD 位的状态决定。当 POLB=0 时，通过比较匹配 B 把 FTIOB 输出管脚置 0，通过比较匹配 A 把 FTIOB 输出管脚置 1。当 POLB=1 时，通过比较匹配 B 把 FTIOB 输出管脚置 1，通过比较匹配 A 把 FTIOB 输出管脚置 0。PWM 模式最多能输出 6 相 PWM。PWM 模式的设定步骤的例子如图 13.21 所示。

表 13.3 FTIOB0 管脚的最初输出电平

TOB0	POLB	最初输出电平
0	0	1
0	1	0
1	0	0
1	1	1

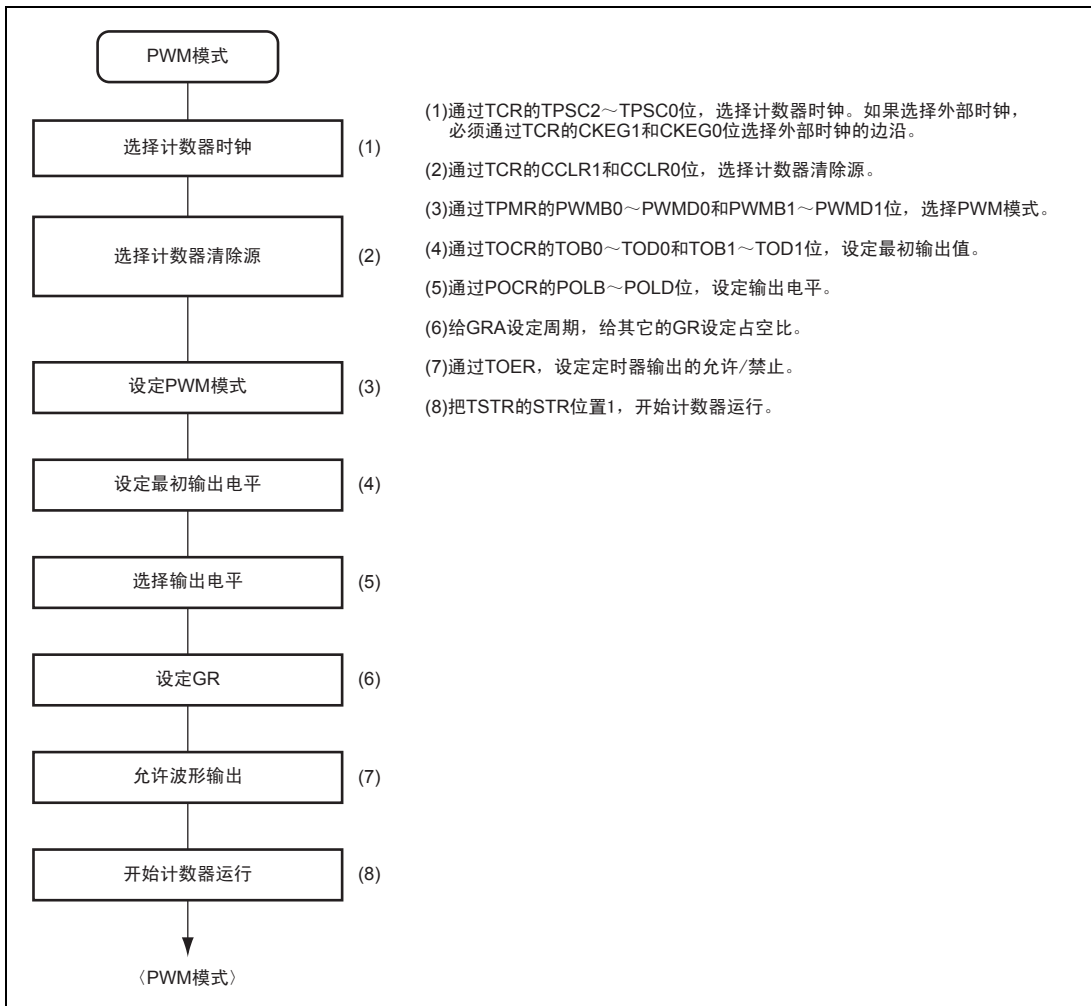


图 13.21 PWM 模式的设定步骤的例子

通过比较匹配 A 进行 1 输出和 TCNT 复位，通过比较匹配 B、C、D 进行 0 输出（TOB、TOC、TOD=0，POLB、POLC、POLD=0）时的运行例子如图 13.22 所示。

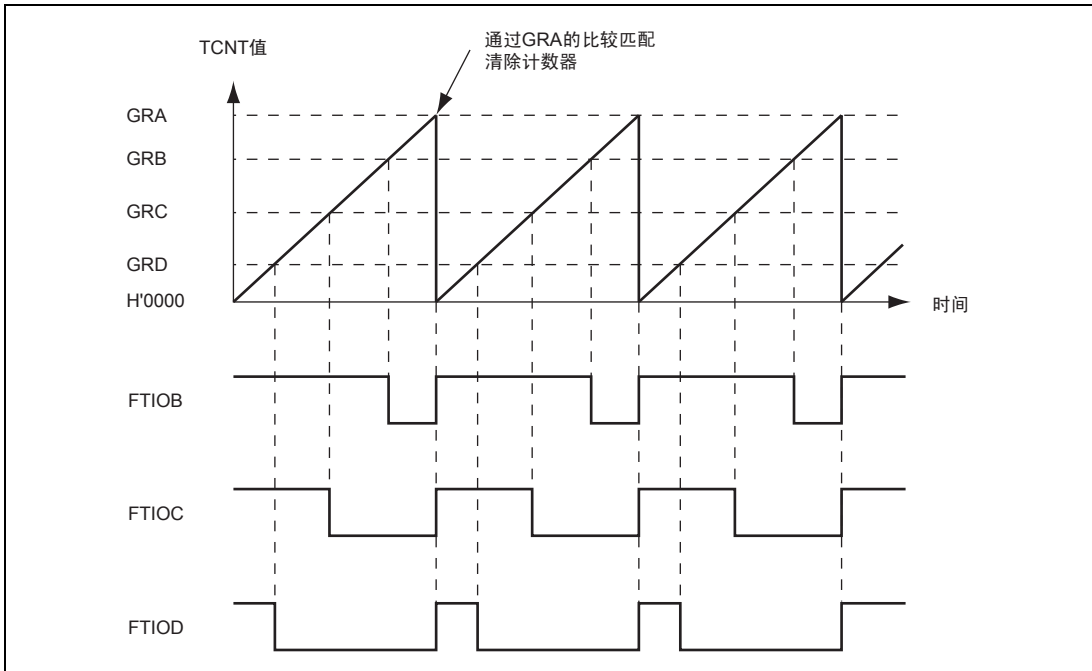


图 13.22 PWM 模式的运行例子（1）

通过比较匹配 A 进行 0 输出和 TCNT 复位，通过比较匹配 B、C、D 进行 1 输出（TOB、TOC、TOD=0，POLB、POLC、POLD=1）时的运行例子如图 13.23 所示。

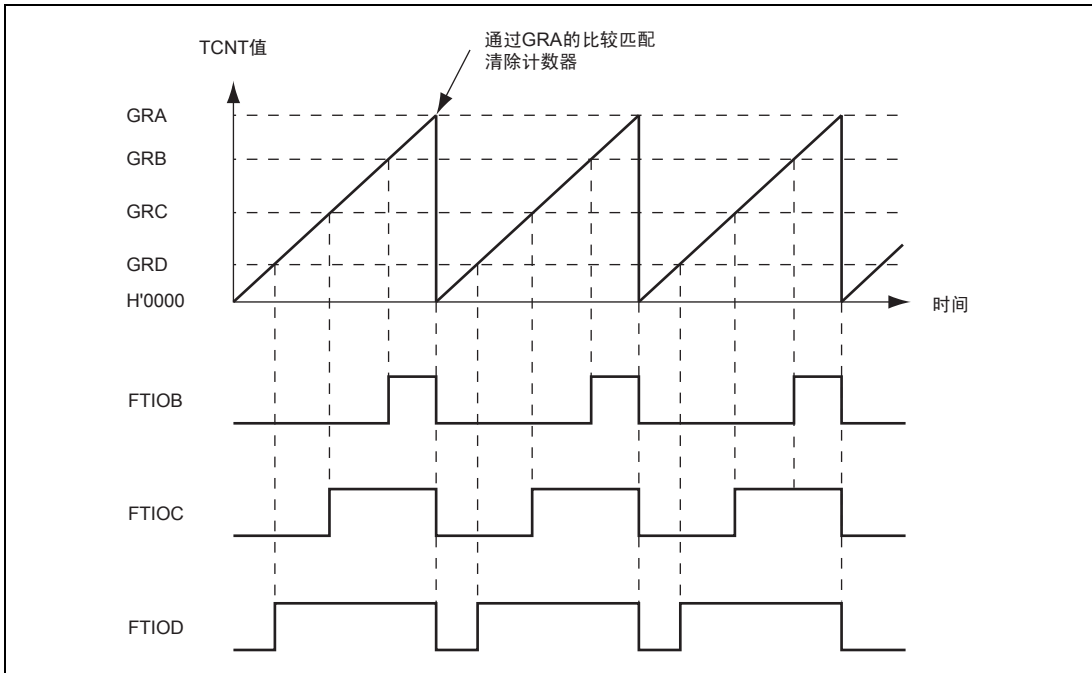


图 13.23 PWM 模式的运行例子 (2)

在 PWM 模式，输出占空比 0% 和 100% 的 PWM 波形时，设定 TOB、TOC、TOD=0 和 POLB、POLC、POLD=0 的例子如图 13.24，设定 TOB、TOC、TOD=0 和 POLB、POLC、POLD=1 的例子如图 13.25 所示。

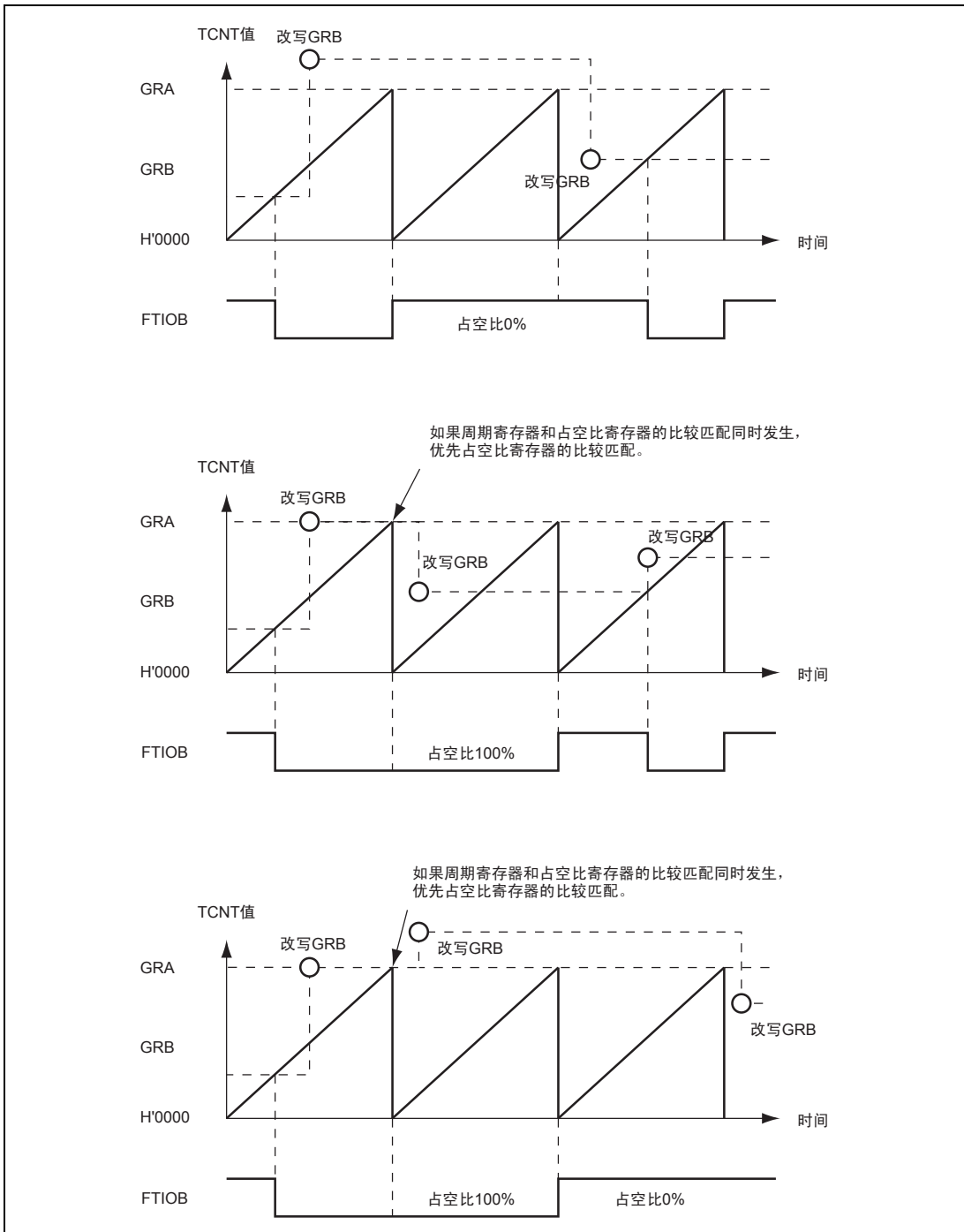


图 13.24 PWM 模式的运行例子 (3)

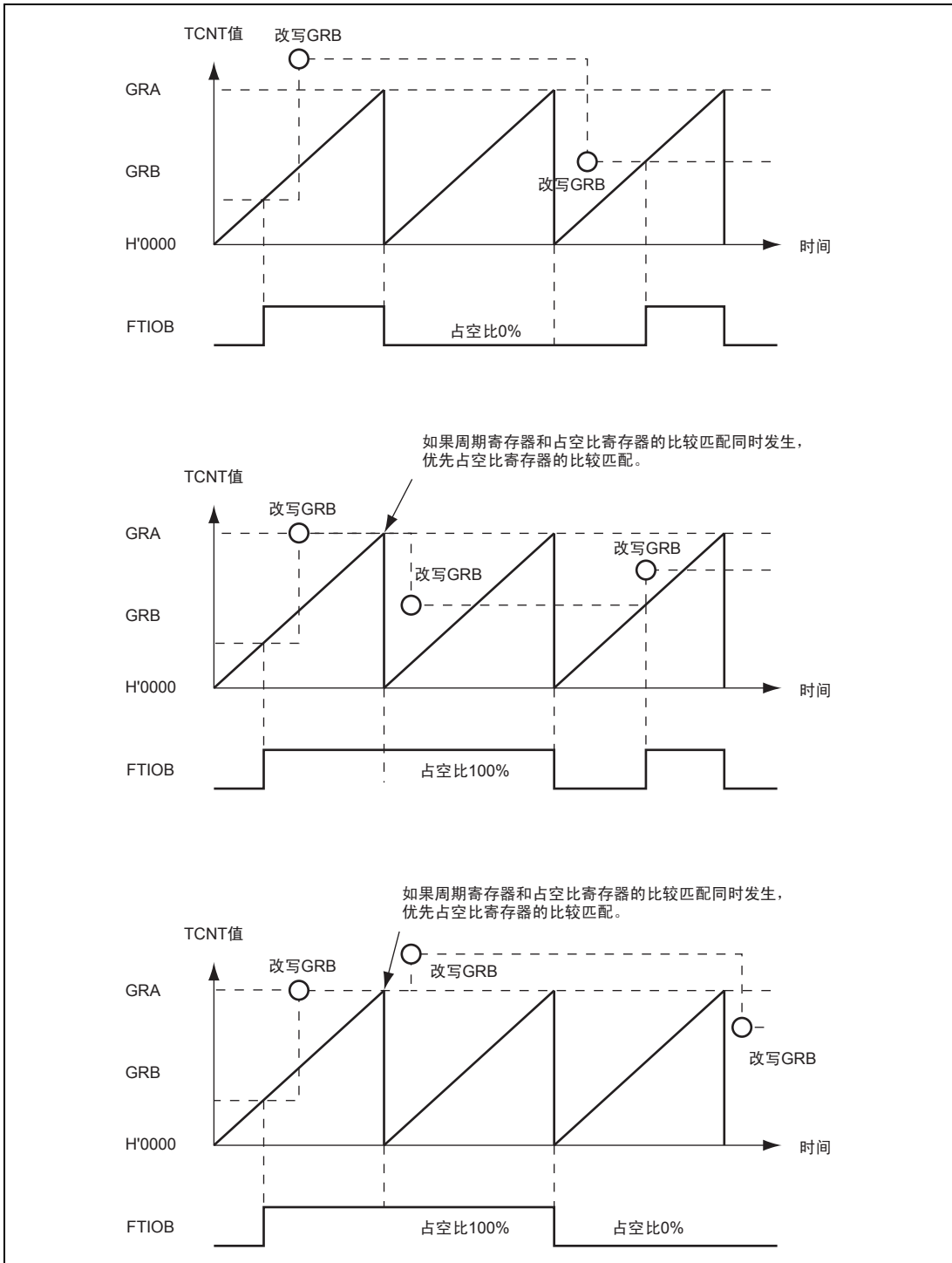


图 13.25 PWM 模式的运行例子 (4)

13.4.6 复位同步 PWM 模式

复位同步 PWM 模式通过结合通道，3 相输出一个波形的变化点有共通关系的 PWM 波形（正相和反相）。

当设定成复位同步 PWM 模式时，FTIOB0~FTIOD0 管脚和 FTIOA1~FTIOD1 管脚就自动变为 PWM 输出管脚，并且 TCNT_0 作为增量计数器运行。使用的 PWM 输出管脚如表 13.4 所示，使用的寄存器的设定如表 13.5 所示，复位同步 PWM 模式的设定步骤的例子如图 13.26 所示。

表 13.4 复位同步 PWM 模式时的输出管脚

通道	管脚名	输入/输出	管脚功能
0	FTIOC0	输出	与 PWM 周期同步的交替输出
0	FTIOB0	输出	PWM 输出 1
0	FTIOD0	输出	PWM 输出 1 (PWM 输出 1 的反相波形)
1	FTIOA1	输出	PWM 输出 2
1	FTIOC1	输出	PWM 输出 2 (PWM 输出 2 的反相波形)
1	FTIOB1	输出	PWM 输出 3
1	FTIOD1	输出	PWM 输出 3 (PWM 输出 3 的反相波形)

表 13.5 复位同步 PWM 模式时的寄存器设定

寄存器	详细内容
TCNT_0	初始设定 H'0000
TCNT_1	不使用 (单独运行)
GRA_0	设定 TCNT_0 的计数器周期
GRB_0	设定从 FTIOB0、FTIOD0 管脚输出的 PWM 波形的变化点
GRA_1	设定从 FTIOA1、FTIOC1 管脚输出的 PWM 波形的变化点
GRB_1	设定从 FTIOB1、FTIOD1 管脚输出的 PWM 波形的变化点

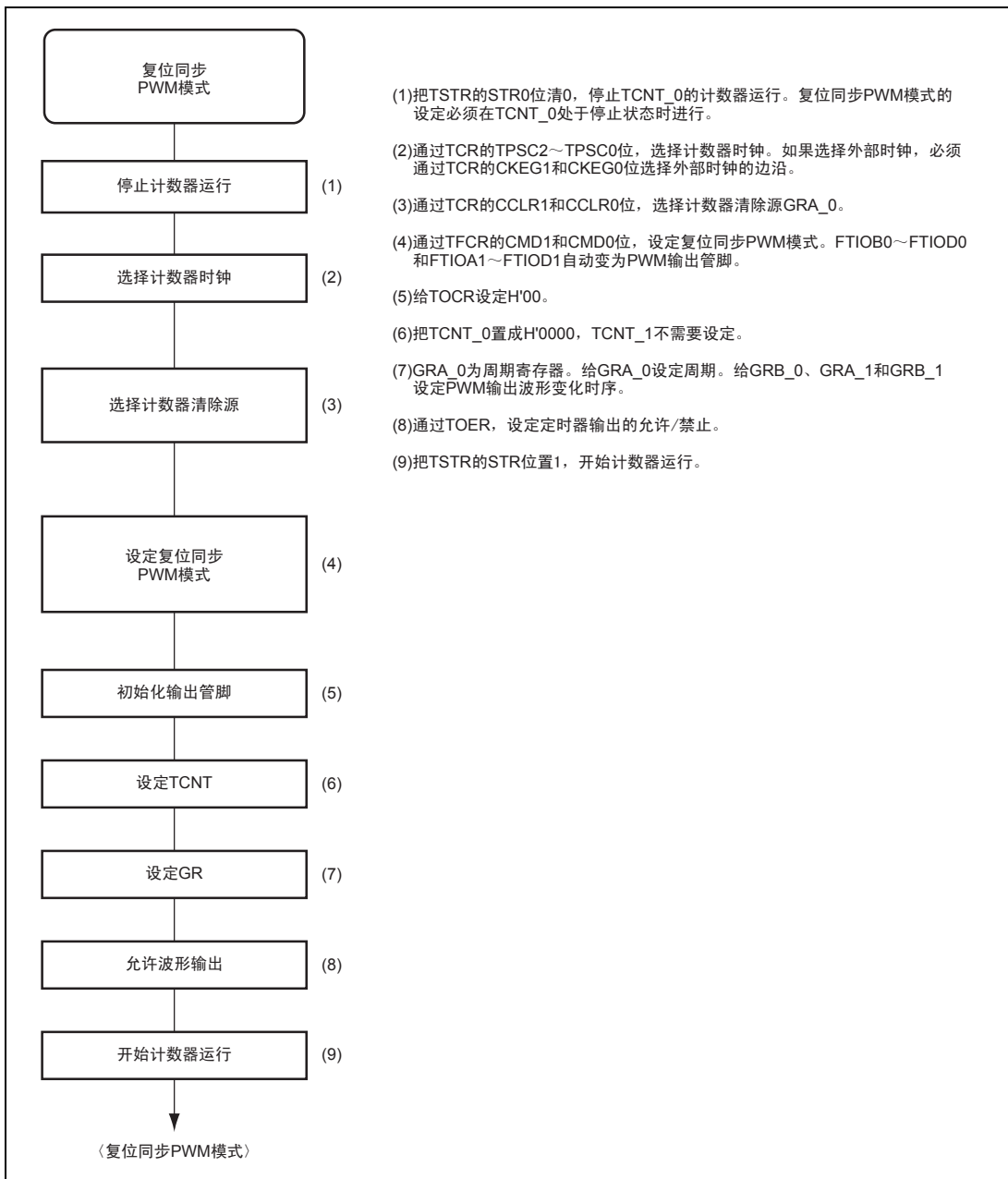


图 13.26 复位同步 PWM 模式的设定步骤的例子

复位同步 PWM 模式的运行例子如图 13.27 和图 13.28 所示。

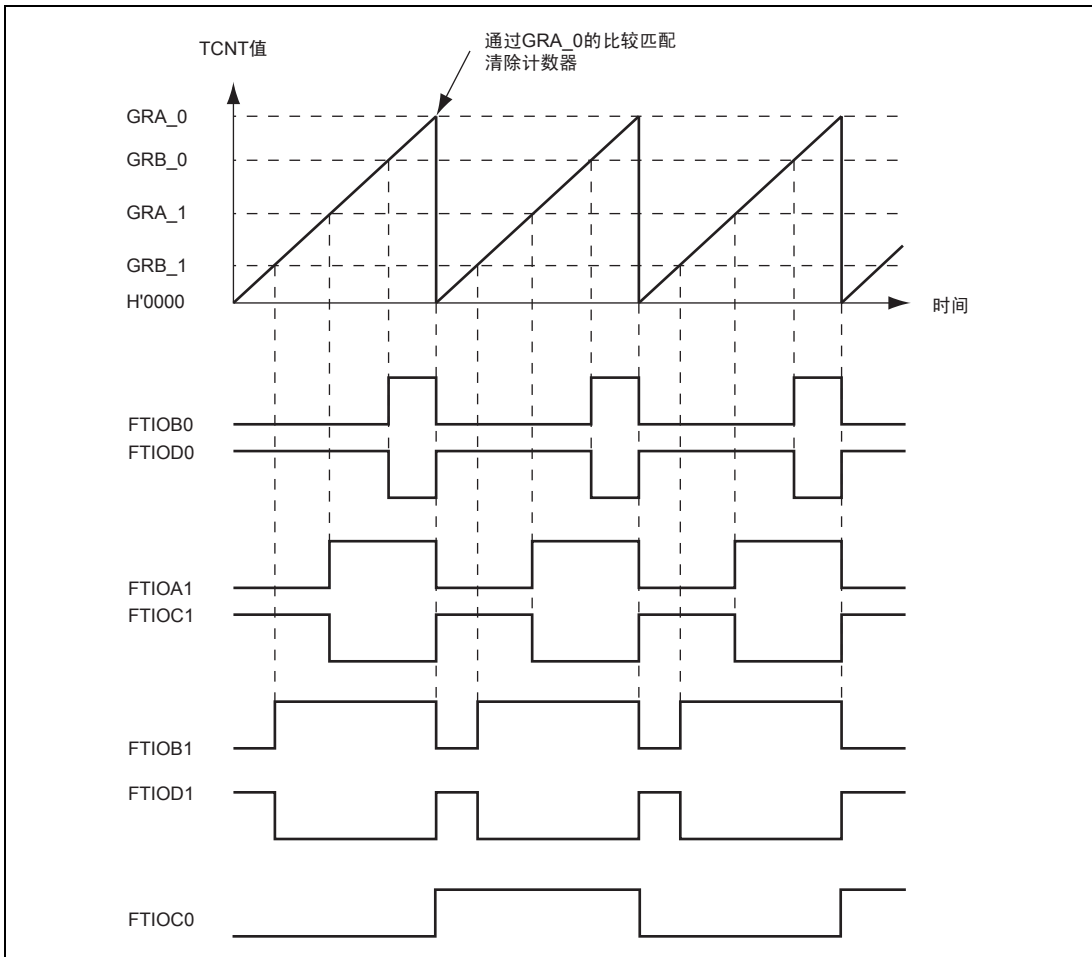


图 13.27 复位同步 PWM 模式的运行例子（在 OLS0=OLS1=1 的情况）

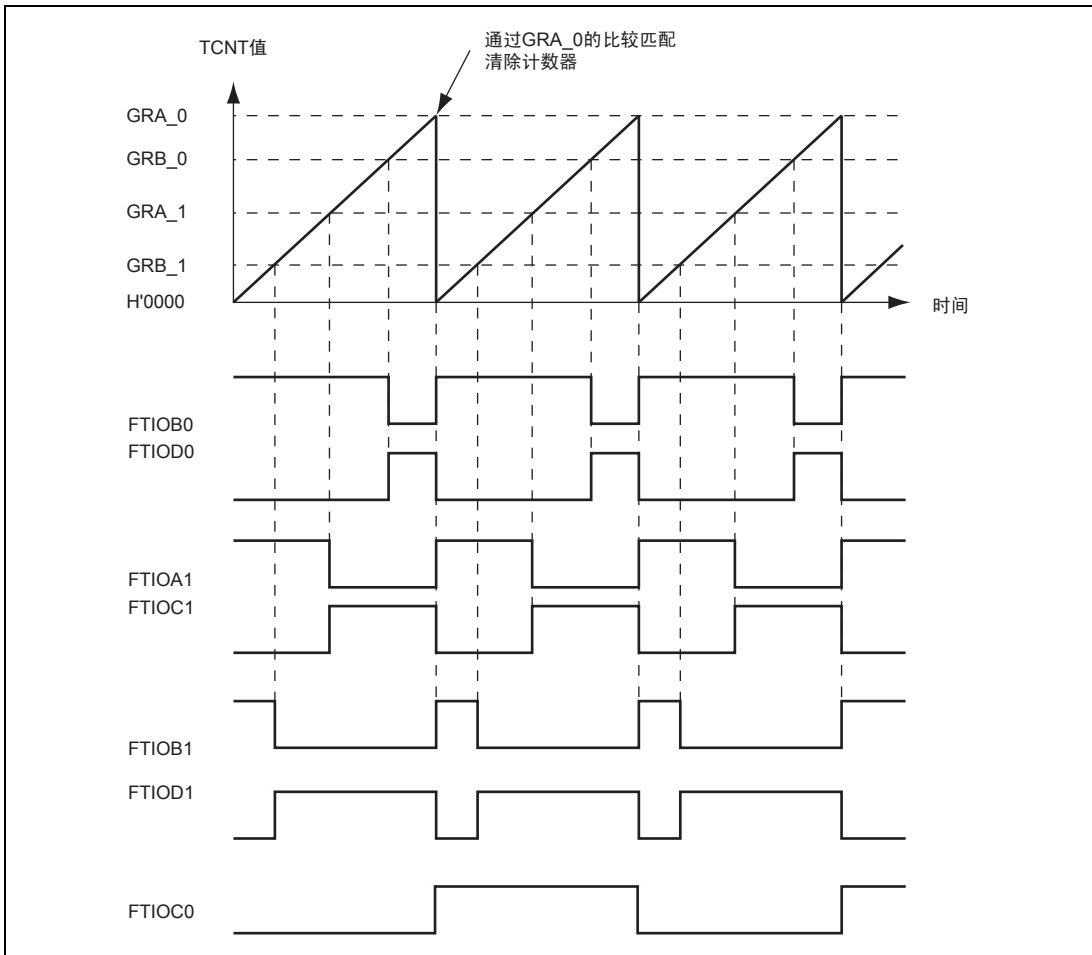


图 13.28 复位同步 PWM 模式的运行例子（在 OLS0=OLS1=0 的情况）

在复位同步 PWM 模式，TCNT_0 作为增量计数器运行，TCNT_1 独立运行。但是，GRA_1 和 GRB_1 从 TCNT_1 分离。如果 TCNT_0 与 GRA_0 比较匹配，就清除计数器，从 H'0000 开始重新累加计数。

每当 GRB_0、GRA_1、GRB_1 分别与 TCNT_0 发生比较匹配，和发生清除计数器时，PWM 输出管脚进行 0 输出或者 1 输出。

关于同时设定复位同步 PWM 模式和缓冲运行时的运行，请参照“13.4.8 缓冲运行”。

13.4.7 互补 PWM 模式

互补 PWM 模式通过结合通道，以正相和反相的非重叠关系 3 相输出 PWM 波形。

当设定成互补 PWM 模式时，FTIOB0~FTIOD0 管脚和 FTIOA1~FTIOD1 管脚就自动变为 PWM 输出管脚，并且 TCNT_0 和 TCNT_1 作为增量/减量计数器运行。在互补 PWM 模式时的输出管脚如表 13.6 所示，在互补 PWM 模式时的寄存器设定如表 13.7 所示，互补 PWM 模式的设定步骤的例子如图 13.29 所示。

表 13.6 在互补 PWM 模式时的输出管脚

通道	管脚名	输入/输出	管脚功能
0	FTIOC0	输出	与 PWM 周期同步的交替输出
0	FTIOB0	输出	PWM 输出 1
0	FTIOD0	输出	PWM 输出 1 (和 PWM 输出 1 有非重叠关系的反相波形)
1	FTIOA1	输出	PWM 输出 2
1	FTIOC1	输出	PWM 输出 2 (和 PWM 输出 2 有非重叠关系的反相波形)
1	FTIOB1	输出	PWM 输出 3
1	FTIOD1	输出	PWM 输出 3 (和 PWM 输出 3 有非重叠关系的反相波形)

表 13.7 在互补 PWM 模式时的寄存器设定

寄存器	详细内容
TCNT_0	初始设定非重叠期间 (和 TCNT_1 的差为非重叠期间。)
TCNT_1	初始设定 H'0000
GRA_0	设定 TCNT_0 的上限值-1
GRB_0	设定从 FTIOB0、FTIOD0 管脚输出的 PWM 波形的变化点
GRA_1	设定从 FTIOA1、FTIOC1 管脚输出的 PWM 波形的变化点
GRB_1	设定从 FTIOB1、FTIOD1 管脚输出的 PWM 波形的变化点

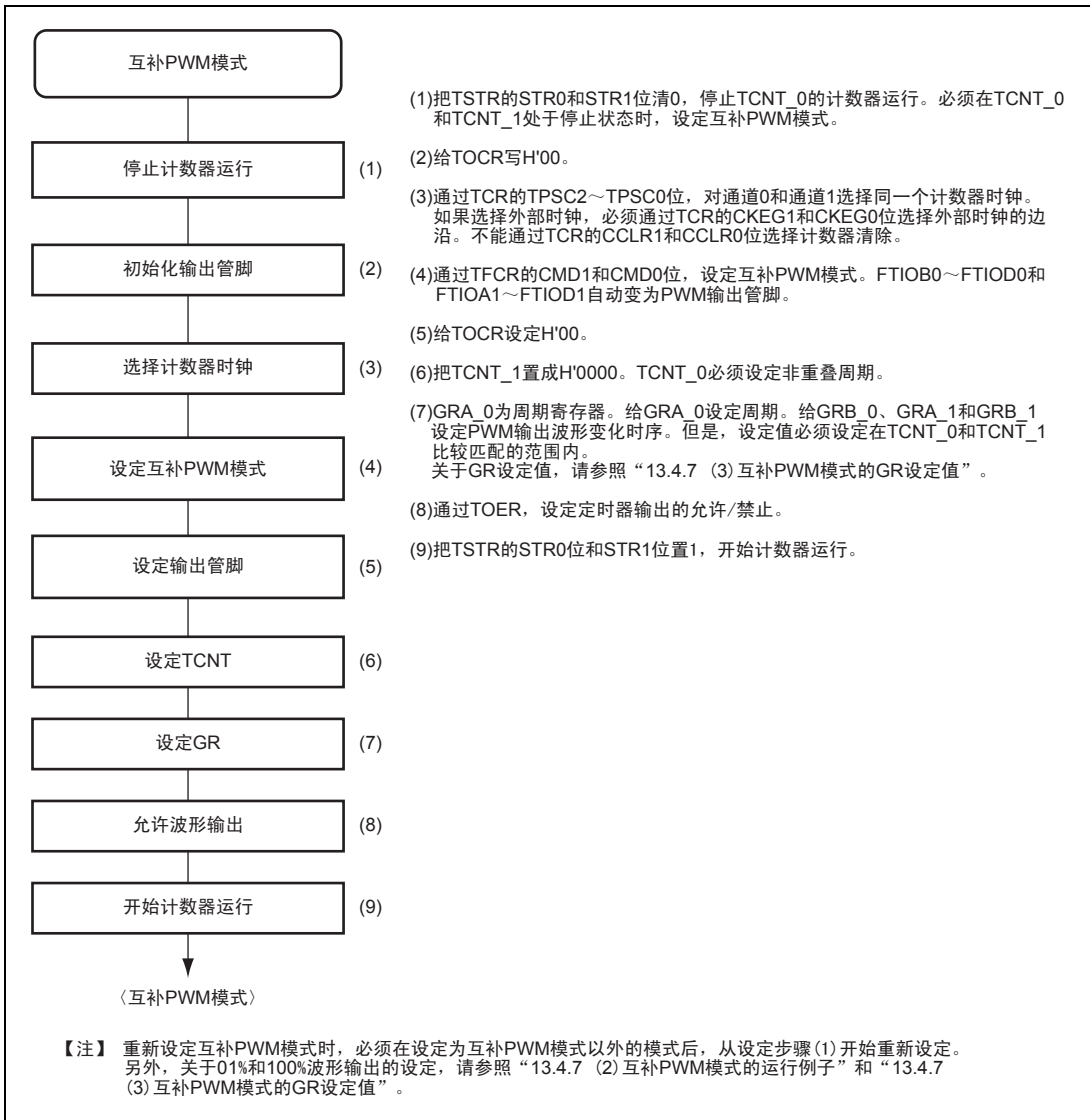


图 13.29 互补 PWM 模式的设定步骤的例子

(1) 互补 PWM 模式的解除步骤

互补 PWM 模式的解除步骤如图 13.30 所示。

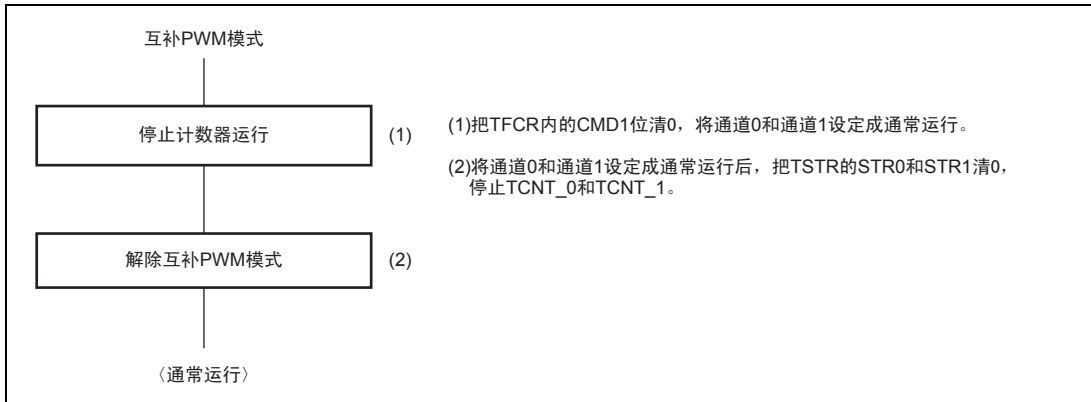


图 13.30 互补 PWM 模式的解除步骤

(2) 互补 PWM 模式的运行例子

互补 PWM 模式的运行例子如图 13.31 所示。在互补 PWM 模式，TCNT_0 和 TCNT_1 作为增量/减量计数器运行。如果 TCNT_0 与 GRA_0 比较匹配，就进行减量计数；如果 TCNT_1 下溢，就进行增量计数。GRA_0、GRA_1 以及 GRB_1 在计数器的 1 个增量/减量周期中，按照 TCNT_0→TCNT_1→TCNT_1→TCNT_0 的顺序进行比较匹配后，输出 PWM 波形。另外，在本模式，初始设定为 TCNT_0>TCNT_1。

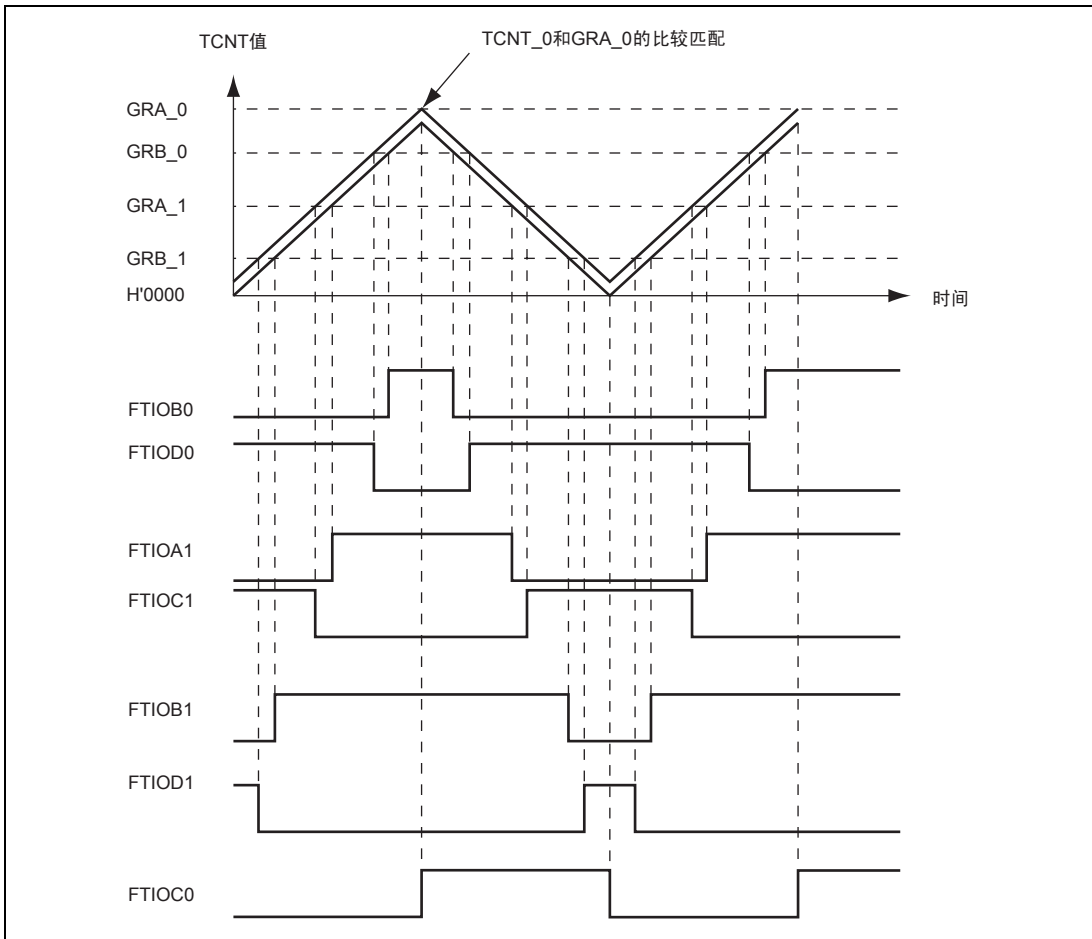


图 13.31 互补 PWM 模式的运行例子 (1)

在互补 PWM 模式,输出占空比 0%和占空比 100%的 PWM 波形的例子(1 相)如图 13.32 (1)、图 13.32 (2) 所示。TPSC2=TPSC1=TPSC0=0 的情况与除此以外的情况不同。

在 TPSC2=TPSC1=TPSC0=0 时,通过把 GRB_0 的值设定成大于等于 GRA_0 的值或者设定成 H'0000,就能输出占空比 0%或者占空比 100%的波形。当同时使用缓冲运行时,包括上述操作,能很容易地改变运行中的占空比。关于缓冲运行,请参照“13.4.8 缓冲运行”。

在 TPSC2=TPSC1=TPSC0=0 以外的情况时,通过把 GRB_0 的值设定成 $GRA_0 + 1 < GRB_0 < H'FFFF$,就能输出占空比 0%或者占空比 100%的波形。占空比 0%或者占空比 100%波形的详细输出方法,请参照“13.4.7 (3) 互补 PWM 模式的 GR 设定值”的“3.0%、100%波形输出的设定方法”。

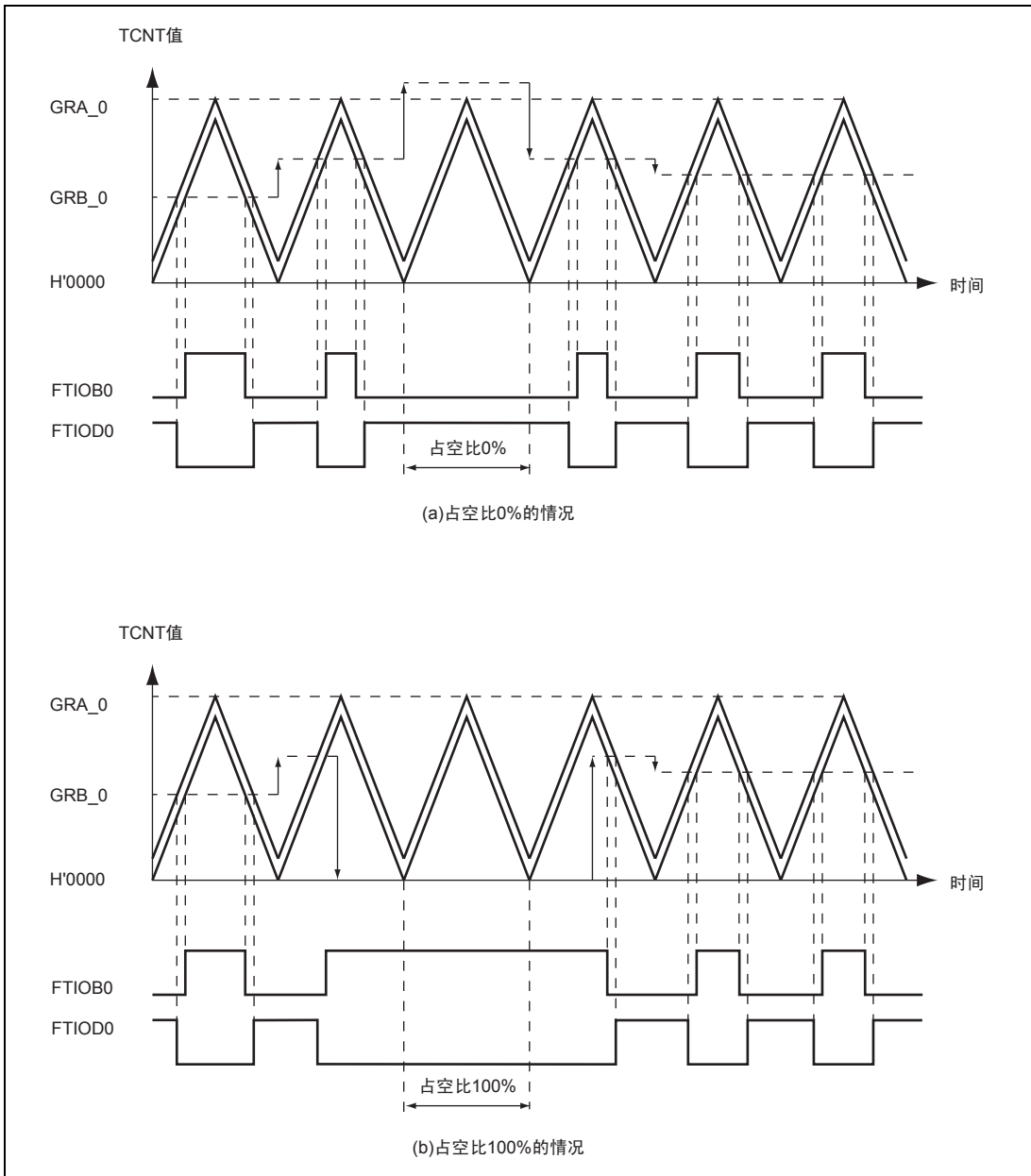


图 13.32 (1) 互补 PWM 模式的运行例子 (TPSC2=TPSC1=TPSC0=0) (2)

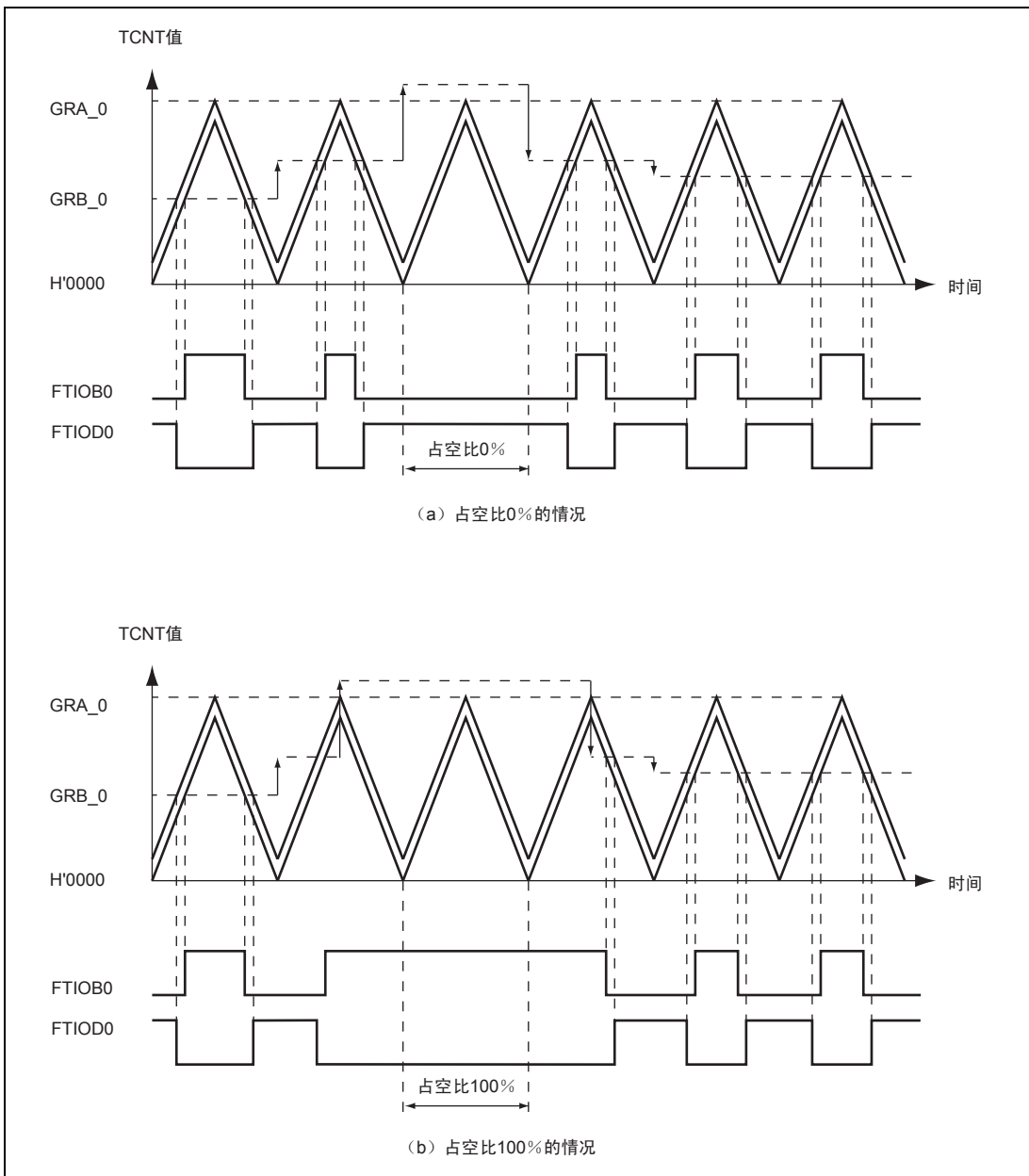


图 13.32 (2) 互补 PWM 模式的运行例子 (TPSC2=TPSC1=TPSC0=0 以外) (3)

当使用互补 PWM 模式时,在增量/减量计数器的变化点,TCNT 产生各自的尖峰/负尖峰。此时,通道 0 的 IMFA 标志和通道 1 的 UDF 标志的置位条件与通常情况不同,在缓冲运行时的传送条件也不同。该时序如图 13.33 和图 13.34 所示。

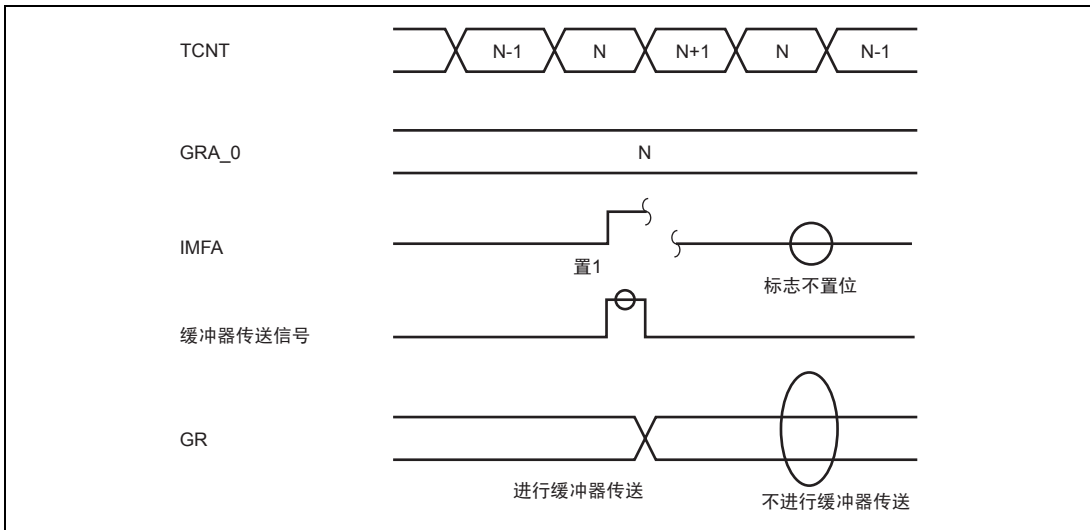


图 13.33 在尖峰时的时序

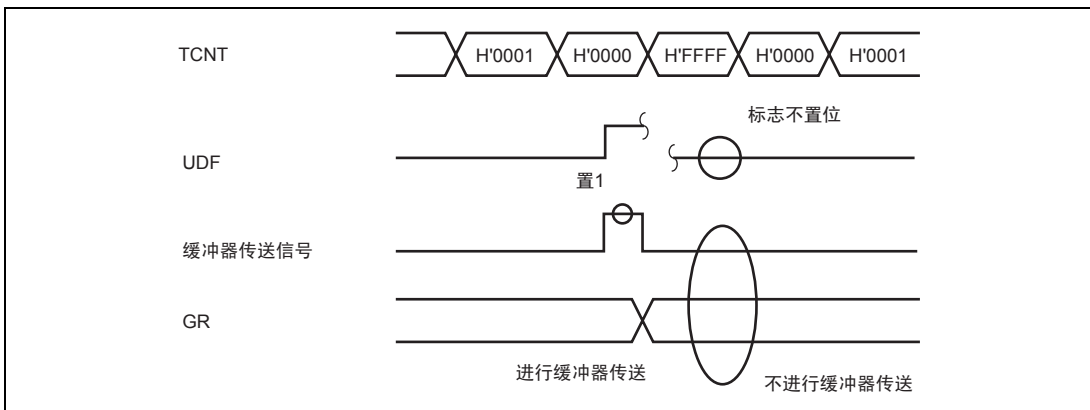


图 13.34 在负尖峰时的时序

在增量/减量计数时，将通道 0 的 IMFA 标志置 1；在下溢时，将通道 0 的 UDF 标志置 1。通过增量计数运行时的比较匹配 A0 或者 TCNT_1 的下溢，把设定成缓冲运行的 BR 传送到 GR。

(3) 互补 PWM 模式的 GR 设定值

对于互补 PWM 模式中的通用寄存器 (GR) 的设定和运行中的改变, 必须注意如下事项:

1. 初始值

- 在 TPSC2=TPSC1=TPSC0=0 以外的情况时, 必须将 GRA_0 的值设定在 H'FFFC 以下。但是, 在 TPSC2=TPSC1=TPSC0=0 时, 可将值设定在 H'FFFF 以下。
- 禁止设定 H'0000~T-1 (T: TCNT0 的初始值)。
- 禁止 GRA_0 - (T-1) 以上的设定。
- 在使用缓冲运行时, 必须给缓冲寄存器设定和其对应的通用寄存器相同的值。

2. 改变设定值的方法

- 直接写 GR 时, 必须在波谷部分 ($H'0000 \leq TCNT_1 < \text{前一个 GR 值}$) 以及波峰部分 ($\text{前一个 GR 值} < TCNT_0 \leq GRA_0$) 进行写操作。在此以外的情况下进行写操作时, 不能正确输出波形。关于 0%、100% 的输出波形, 请参照“3. 0%、100% 输出波形的设定方法”。

- 不能直接对 GR 写下列值。如果写下列值, 将不能正确输出波形。

在 TPSC2=TPSC1=TPSC0=0 时, 不能写 $H'0000 < GR \leq T-1$ 以及 $GRA_0 - (T-1) \leq GR < GRA_0$ 的值。

在 TPSC2=TPSC1=TPSC0=0 以外的情况时, 不能写 $H'0000 \leq GR \leq T-1$ 以及 $GRA_0 - (T-1) \leq GR \leq GRA_0 + 1$ 的值。

- 在运行中不能改变周期寄存器 GRA_0。

3. 0%、100% 波形输出的设定方法

(a) 在 TPSC2=TPSC1=TPSC0=0 且不进行缓冲运行时

通过在下列的时序直接对 GR 写 H'0000 和 GRA_0 以上的值, 可进行占空比 0% 波形输出和 100% 波形输出。

- 输出 0% 波形时, 必须在波谷部分 ($H'0000 \leq TCNT_1 < \text{前一个 GR 值}$) 写 GRA_0 以上的值。
- 输出 100% 波形时, 必须在波峰部分 ($\text{前一个 GR 值} < TCNT_0 \leq GRA_0$) 写 H'0000。

另外, 有关从占空比 0% 波形输出或者 100% 波形输出改变占空比的方法, 必须遵从以下几点:

- 从 0% 波形输出改变占空比时, 必须在波谷部分 ($H'0000 \leq TCNT_1 < \text{前一个 GR 值}$) 写 GR 的值。
- 从 100% 波形输出改变占空比时, 必须在波峰部分 ($\text{前一个 GR 值} < TCNT_0 \leq GRA_0$) 写 GR 的值。

但是，从0%波形输出到100%波形输出以及从100%波形输出到0%波形输出的改变一次也不能进行。

(b) 在 $TPSC2=TPSC1=TPSC0=0$ 且进行缓冲运行时

通过对缓冲寄存器写H'0000以及GRA_0以上的值，可进行0%波形输出以及100%波形输出。

- 输出0%波形时，必须对缓冲寄存器写GRA_0以上的值。
- 输出100%波形时，必须对缓冲寄存器写H'0000。

关于缓冲运行，请参照“13.4.8 缓冲运行”。

(c) 在 $TPSC2=TPSC1=TPSC0=0$ 以外的情况且不进行缓冲运行时

通过在下列的时序直接对GR写 $GRA_0+1 < GR < H'FFFF$ 的值，可进行占空比0%波形输出和100%波形输出。

- 输出0%波形时，必须在波谷部分 ($H'0000 \leq TCNT_1 < \text{前一个GR值}$) 写GR的值。
- 输出100%波形时，必须在波峰部分 ($\text{前一个GR值} < TCNT_0 \leq GRA_0$) 写GR的值。

另外，有关从占空比0%波形输出或者100%波形输出改变占空比的方法，必须遵从以下几点：

- 从0%波形输出改变占空比时，必须在波谷部分 ($H'0000 \leq TCNT_1 < \text{前一个GR值}$) 写GR的值。
- 从100%波形输出改变占空比时，必须在波峰部分 ($\text{前一个GR值} < TCNT_0 \leq GRA_0$) 写GR的值。

但是，从0%波形输出到100%波形输出以及从100%波形输出到0%波形输出改变一次也不能进行。

(d) 在 $TPSC2=TPSC1=TPSC0=0$ 以外的情况且使用缓冲运行时

通过对缓冲寄存器写 $GRA_0+1 < GR < H'FFFF$ 的值，可进行0%波形输出。但是，由于100%波形输出不能同时进行缓冲运行，必须直接写GR。另外，从100%波形输出改变占空比时也不能同时进行缓冲运行。关于缓冲运行，请参照“13.4.8 缓冲运行”。

13.4.8 缓冲运行

在将GR设定为输出比较寄存器或者输入捕捉寄存器、复位同步PWM模式以及互补PWM模式的4种情况下，缓冲运行的功能不同。缓冲运行的寄存器组合如表13.8所示。

表 13.8 缓冲运行的寄存器组合

通用寄存器	缓冲寄存器
GRA	GRC
GRB	GRD

(1) GR 为输出比较寄存器时

如果发生比较匹配，就把对应通道的缓冲寄存器的值传送到通用寄存器。此运行如图 13.35 所示。

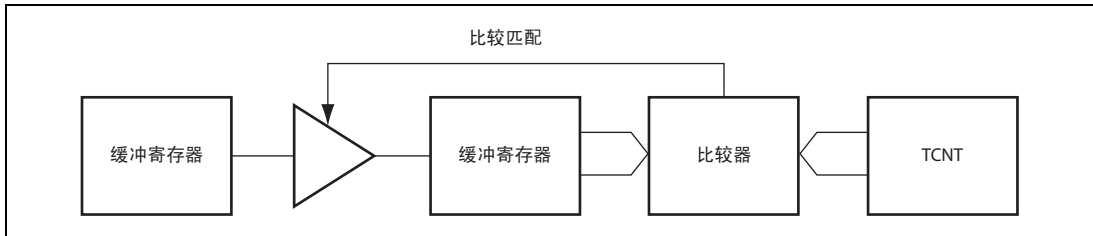


图 13.35 比较缓冲运行

(2) GR 为输入捕捉寄存器时

如果发生输入捕捉，就在 TCNT 的值传送到通用寄存器的同时，也将以前保存的通用寄存器的值传送到缓冲寄存器。此运行如图 13.36 所示。

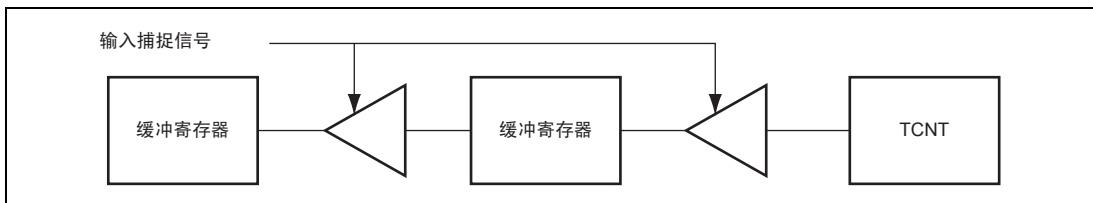


图 13.36 比较缓冲运行

(3) 互补 PWM 模式时

如果 TCNT 的计数器方向发生变化，就把缓冲寄存器的值传送到通用寄存器。此时，从缓冲寄存器到通用寄存器的传送按如下的时序进行：

- TCNT_0和GRA_0比较匹配时
- TCNT_1下溢时

(4) 复位同步 PWM 模式时

把缓冲寄存器的值从比较匹配 A0 传送到通用寄存器。

(5) 缓冲运行的设定步骤的例子

缓冲运行的设定步骤的例子如图 13.37 所示。

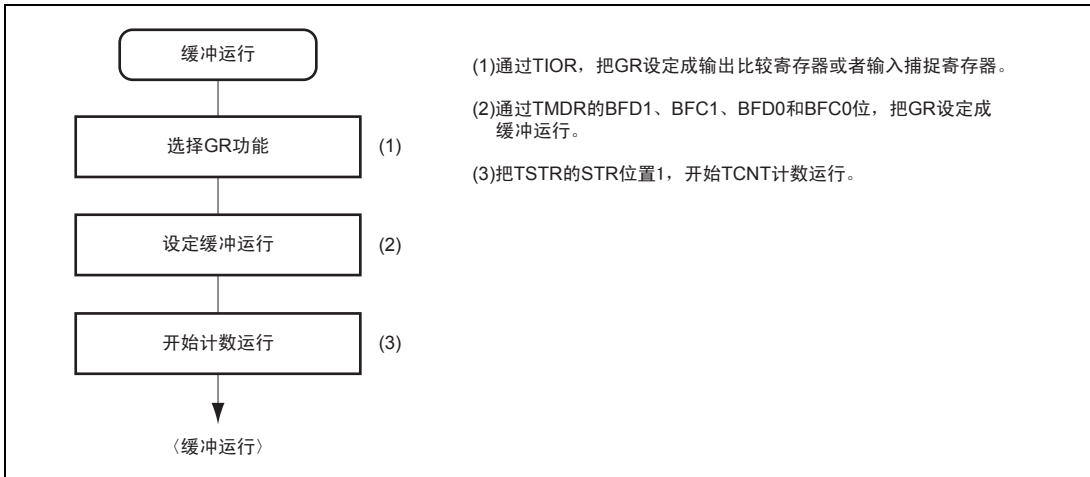


图 13.37 缓冲运行的设定步骤的例子

(6) 缓冲运行的例子

设定 GRA 为输出比较寄存器、设定 GRA 和 GRC 为缓冲运行时的运行如图 13.38 所示。这是进行通过比较匹配 B 清除 TCNT 的周期计数的运行时的例子。另外，FTIOA、FTIOB 管脚被分别设定成通过比较匹配 A、B 的交替输出。由于设定为缓冲运行，因此，在通过比较匹配 A 从 FTIOA 管脚交替输出的同时，缓冲寄存器的值被传送到通用寄存器。每当发生比较匹配 A 时，反复此运行。此传送时序如图 13.39 所示。

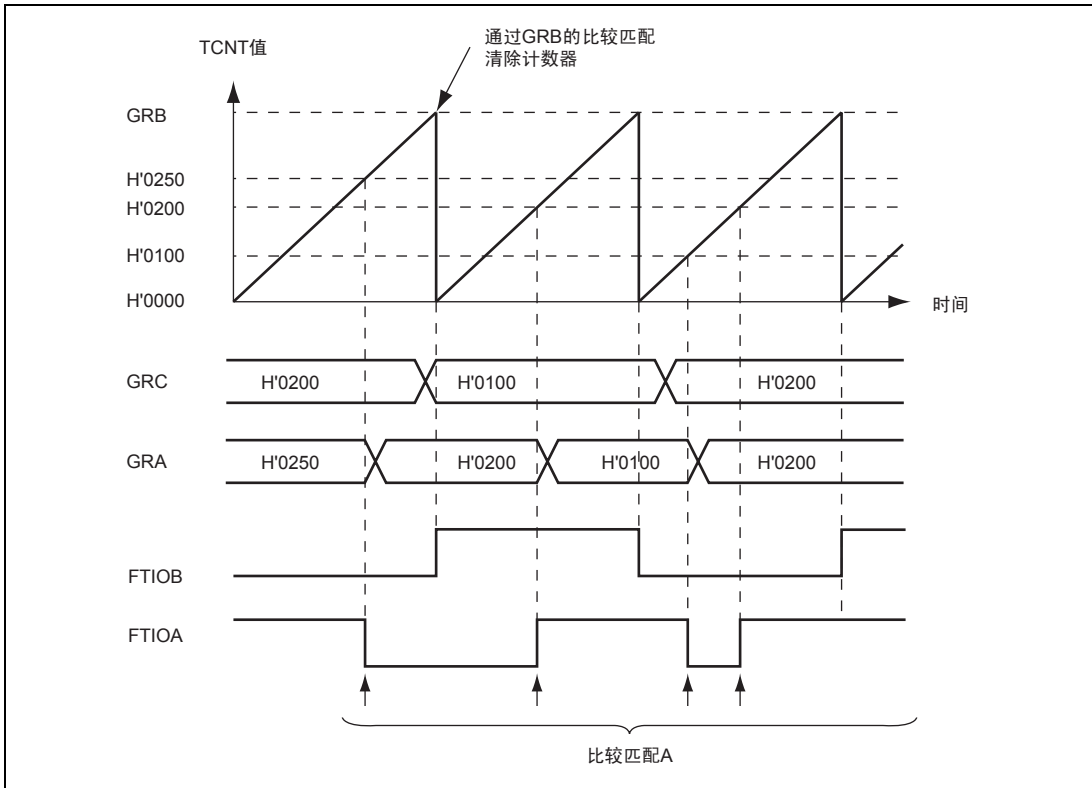


图 13.38 缓冲运行例子 (1) (对于输出比较寄存器的缓冲运行)

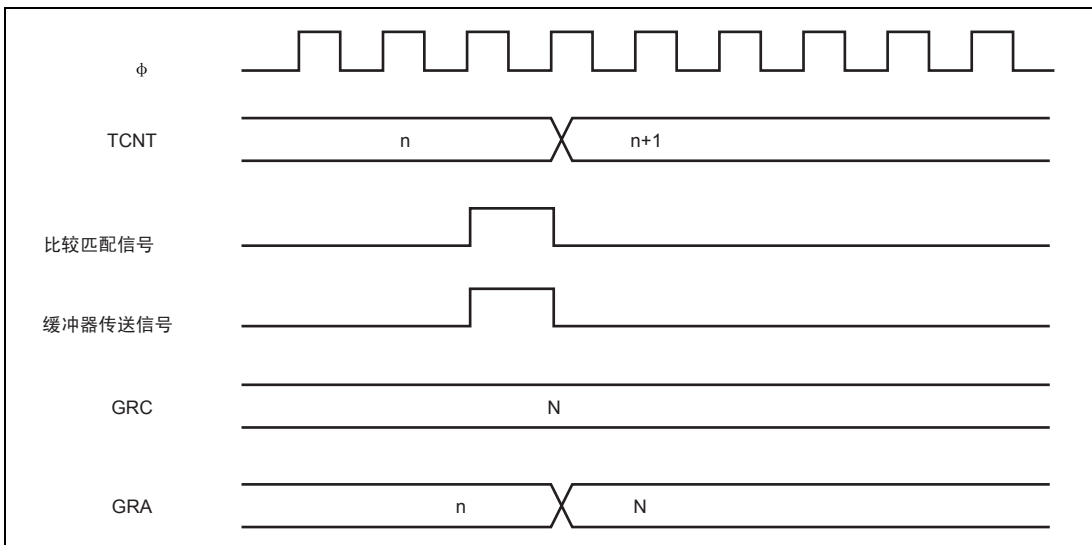


图 13.39 缓冲运行时的比较匹配时序例子

设定 GRA 为输入捕捉、设定 GRA 和 GRC 为缓冲运行时的运行如图 13.40 所示。这是通过输入捕捉 B 清除 TCNT 计数器的例子。在此例中，FTIOB 管脚的输入捕捉的输入边沿选择下降沿，FTIOA 管脚的输入捕捉的输入边沿选择上升/下降两个边沿。由于设定成缓冲运行，因此，在通过输入捕捉 A 将 TCNT 值保存到 GRA 的同时，将以前保存的 GRA 的值传送到 GRC。此传送时序如图 13.41 所示。

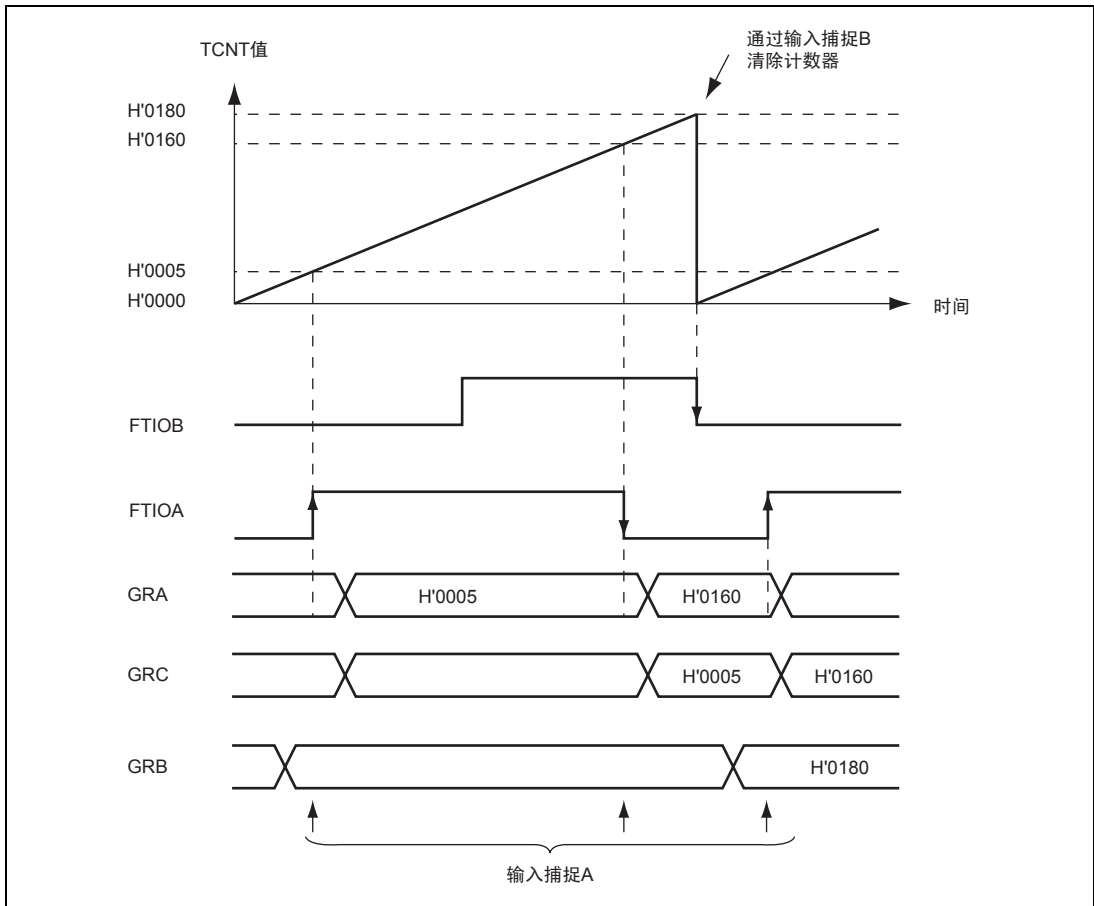


图 13.40 缓冲运行例子 (2) (对于输入捕捉寄存器的缓冲运行)

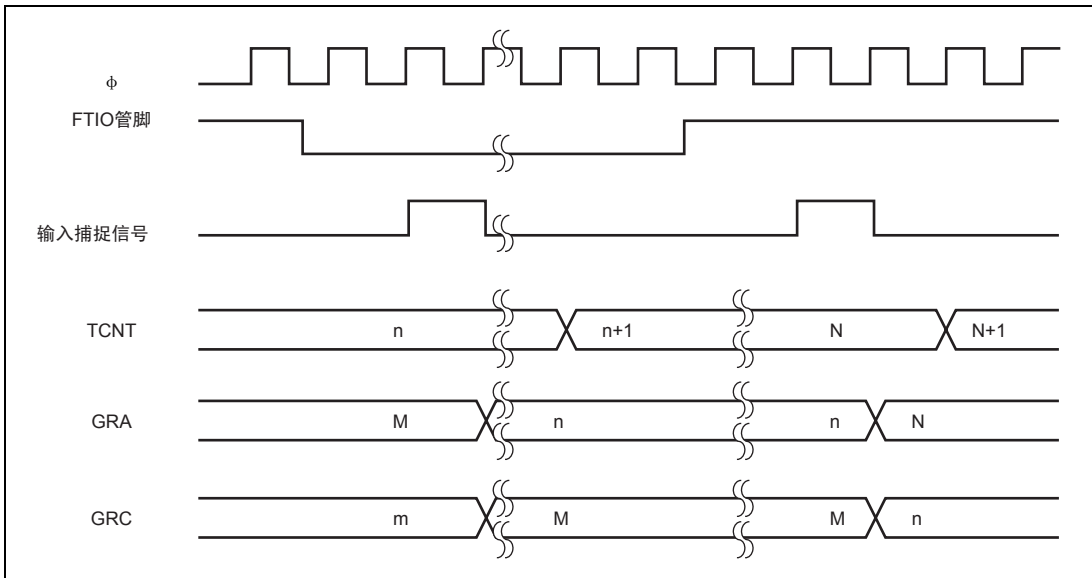


图 13.41 缓冲运行时的输入捕捉时序

在互补PWM模式, 设定GRB_0和GRD_0为缓冲运行时的运行例子如图13.42和图13.43所示。这是通过使用缓冲运行, 并且 $GRD_0 \geq GRA_0$, 生成占空比0%的PWM波形时的例子。根据设定CMD0和CMD1, 在TCNT_0和GRA_0比较匹配或者TCNT_1下溢时, 进行从GRD_0到GRB_0的传送。但是, 当 $GRD_0 \geq GRA_0$ 时, 与CMD0和CMD1的设定无关, 在TCNT_1下溢时传送; 当 $GRD_0 = H'0000$ 时, 与CMD0和CMD1的设定无关, 在TCNT_0和GRA_0比较匹配时传送。

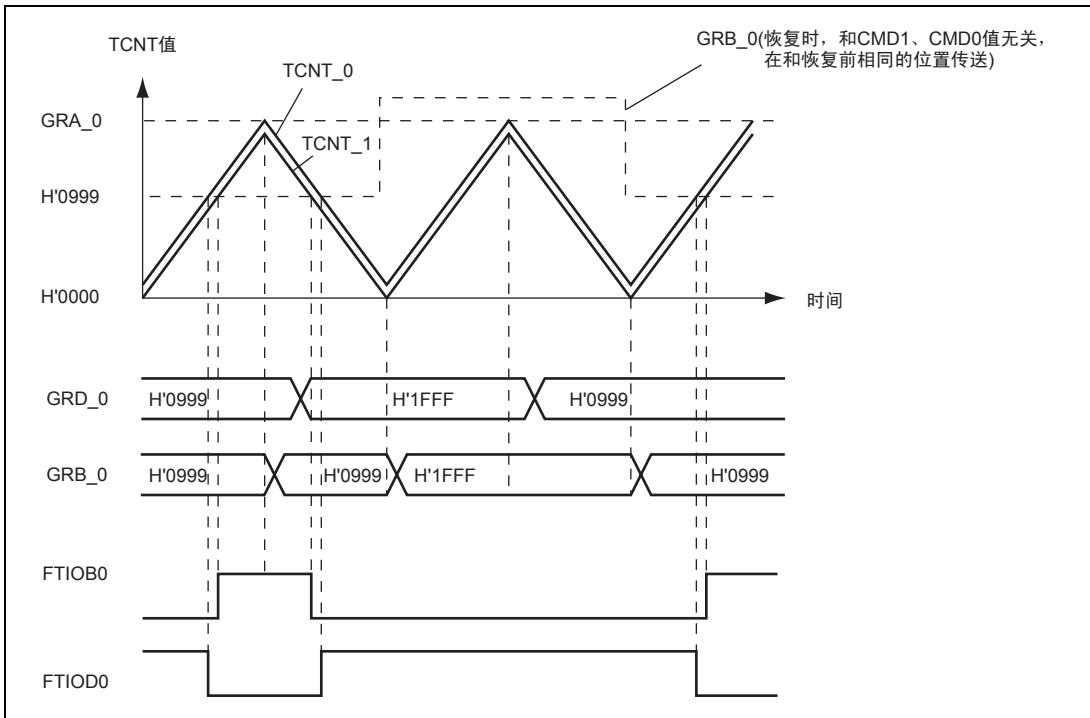


图 13.42 缓冲运行例子 (3) (互补 PWM 模式时的缓冲运行 CMD1=CMD0=1)

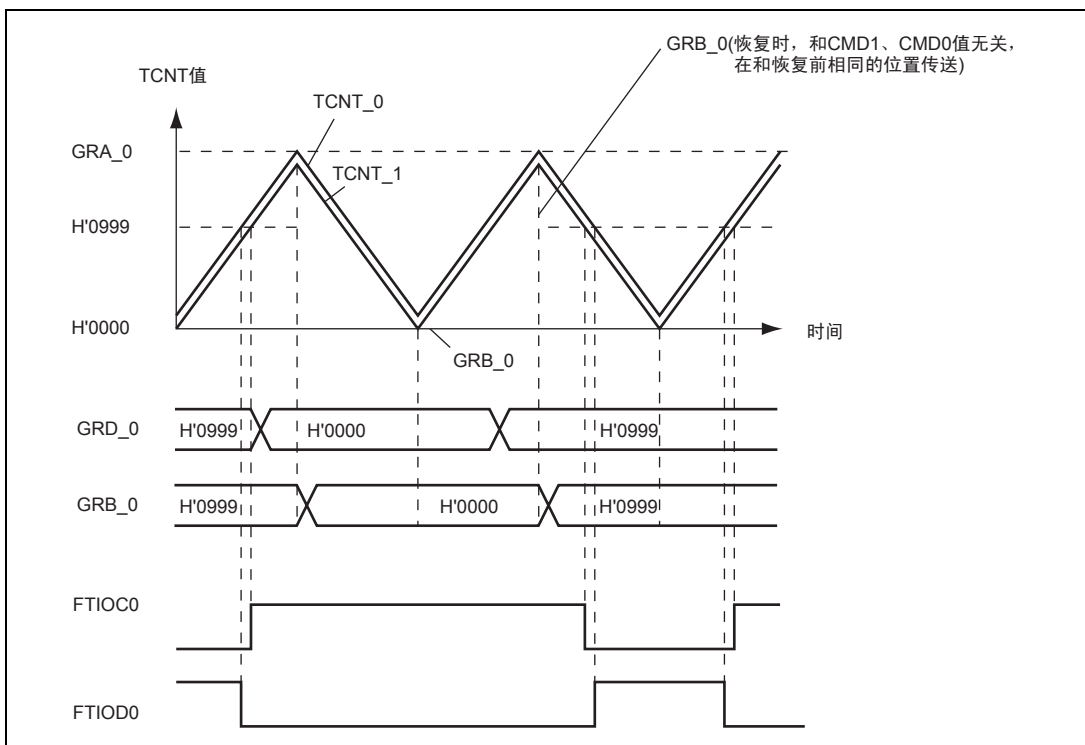


图 13.43 缓冲运行例子 (4) (互补 PWM 模式时的缓冲运行 $CMD1=CMD0=1$)

13.4.9 定时器 Z 输出时序

通道 0 和通道 1 的输出能通过 TOER、TOCR 的设定和外部电平，禁止输出或者反转输出。

(1) 通过 TOER 允许/禁止定时器 Z 输出的时序

如果将 TOER 的主允许位置 1，就禁止定时器 Z 的输出。能通过预先设定对应的输入/输出端口的 PCR 和 PDR，输出任意值。通过 TOER 允许/禁止定时器 Z 输出的时序如图 13.44 所示。

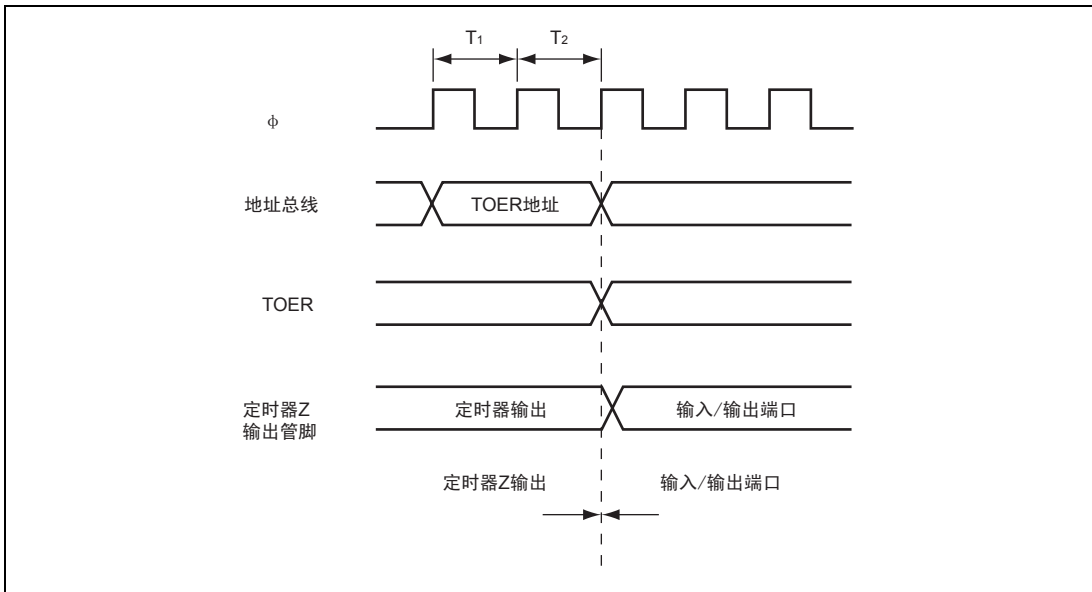


图 13.44 通过对 TOER 写操作禁止定时器 Z 输出的时序的例子

(2) 通过外部触发禁止定时器 Z 输出的时序

当设定 P54/WKP4 为 $\overline{WKP4}$ 输入管脚，并且给 $\overline{WKP4}$ 输入低电平时，TOER 的主允许位就被置 1，禁止定时器 Z 输出。

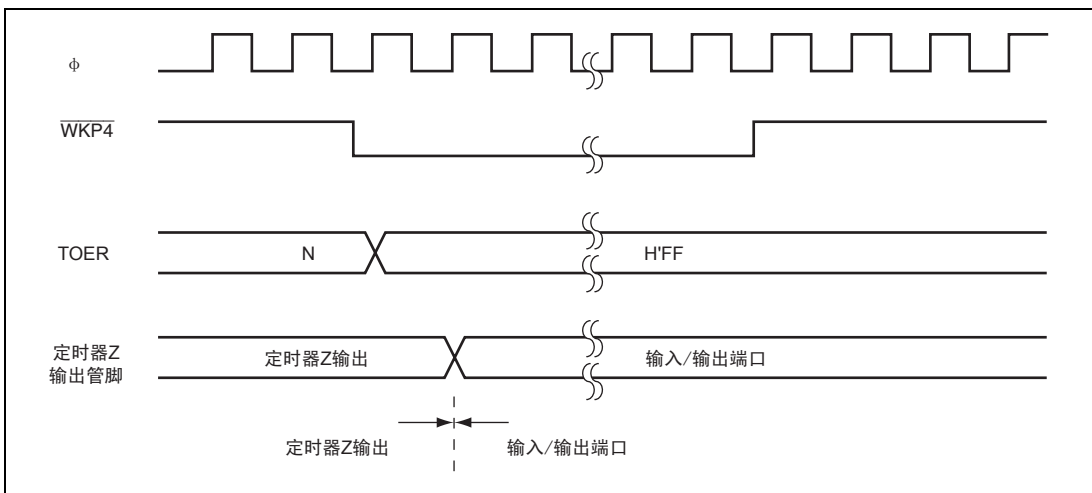


图 13.45 通过外部触发禁止定时器 Z 输出的时序的例子

(3) 通过 TFCR 反转输出的时序

在复位同步 PWM 模式或者互补 PWM 模式时，能通过反转 TFCR 的 OLS1 位和 OLS0 位反转输出电平。此时序如图 13.46 所示。

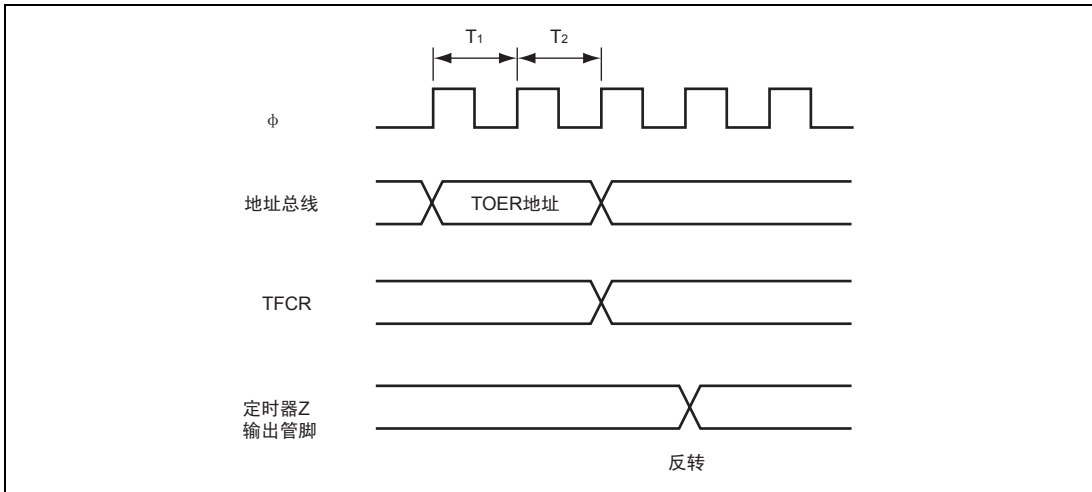


图 13.46 通过对 TFCR 写操作反转定时器 Z 输出电平的时序的例子

(4) 通过 POOCR 反转输出的时序

在 PWM 模式时，能通过反转 POOCR 的 POLD 位、POLC 位以及 POLB 位反转输出电平。此时序如图 13.47 所示。

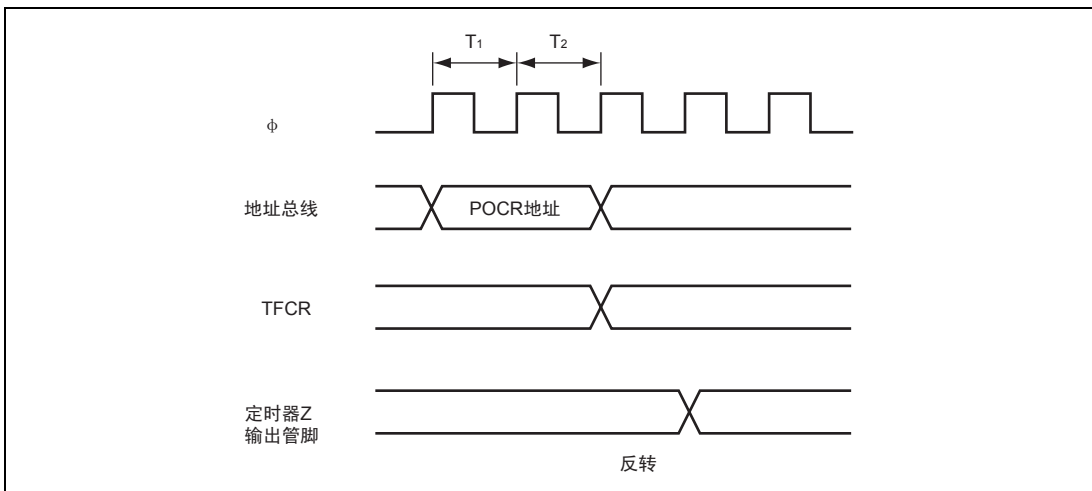


图 13.47 通过对 POOCR 写操作反转定时器 Z 输出电平的时序的例子

13.5 中断请求

定时器 Z 的 3 种中断请求有输入捕捉/比较匹配中断、溢出中断和下溢中断。在中断请求标志位和中断允许位同时置 1 时，请求相应中断。

13.5.1 状态标志的置位时序

(1) IMF 标志的置位时序

根据 GR 和 TCNT 一致时产生的比较匹配信号，将 IMF 标志置 1。在 TCNT 和 GR 一致后的最后状态（TCNT 更新一致的计数值的时序），产生比较匹配信号。因此，从 TCNT 和 GR 一致后，到发生 TCNT 输入时钟为止，不产生比较匹配信号。IMF 标志的置位时序如图 13.48 所示。

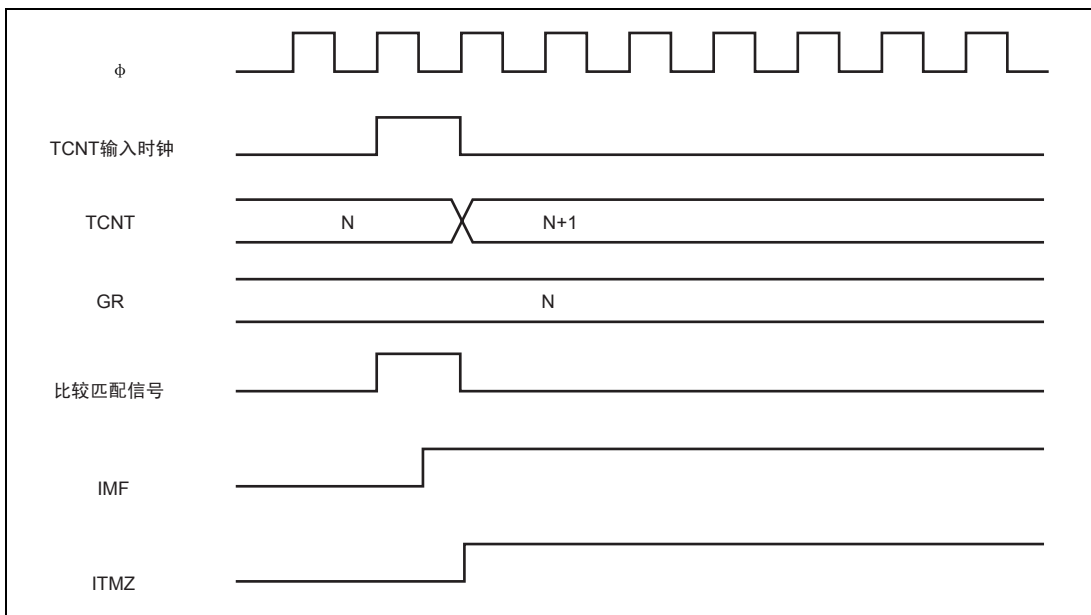


图 13.48 比较匹配时的 IMF 标志的置位时序

(2) 输入捕捉时的 IMF 标志的置位时序

根据输入捕捉信号的产生，将 IMF 标志置 1，同时把 TCNT 值传送到对应的 GR。此时序如图 13.49 所示。

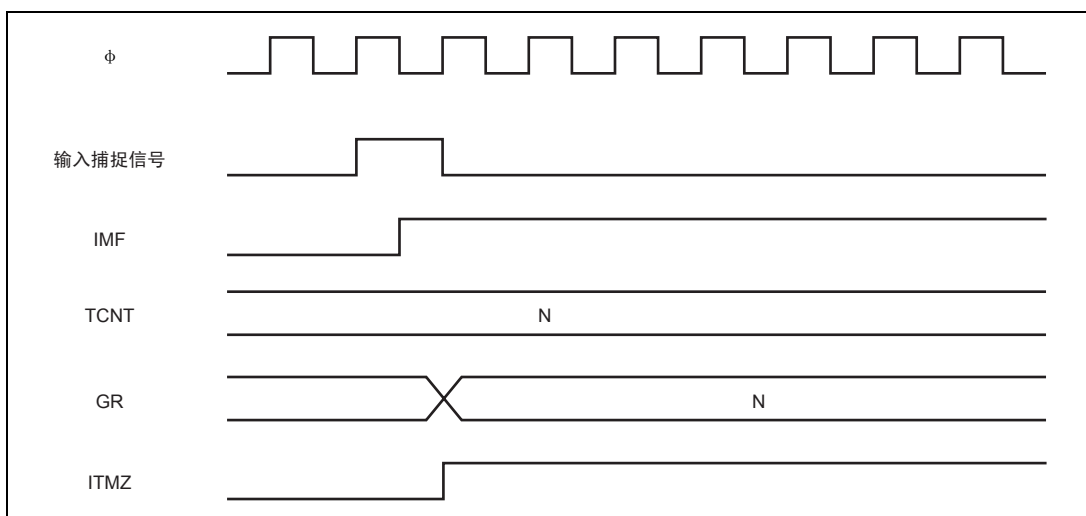


图 13.49 输入捕捉时的 IMF 标志的置位时序

(3) 溢出标志 (OVF) 的置位时序

当 TCNT 溢出时，将 OVF 标志置 1。此时序如图 13.50 所示。

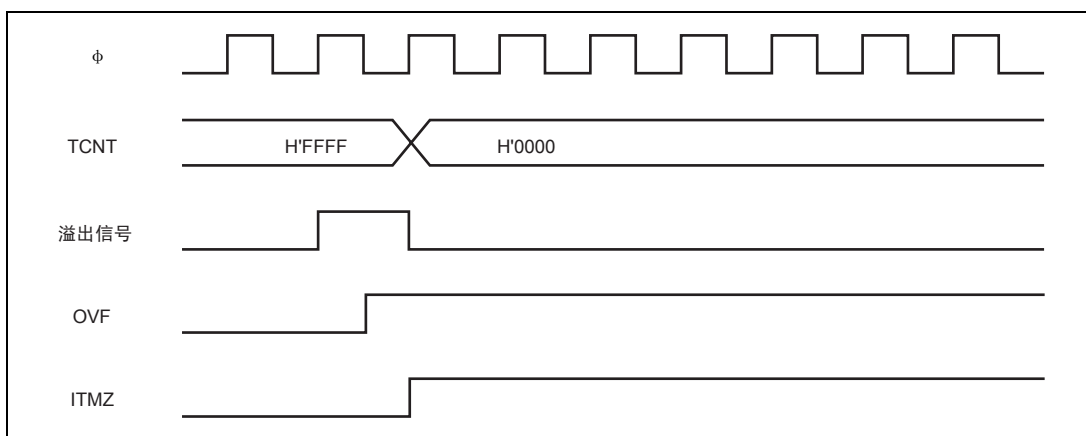


图 13.50 OVF 标志的置位时序

13.5.2 状态标志的清除时序

当 CPU 在读到 1 的状态后写 0 时，清除状态标志。通过 CPU 清除状态标志的时序如图 13.51 所示。

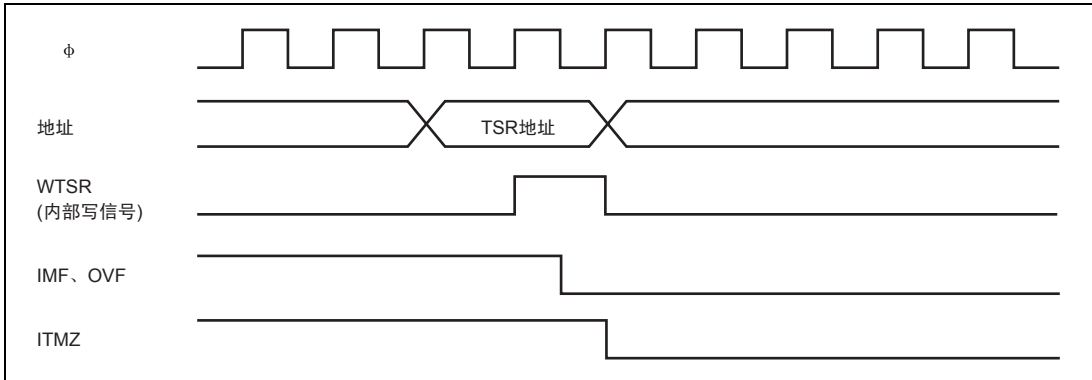


图 13.51 状态标志的清除时序

13.6 使用时的注意事项

(1) TCNT 的写操作和清除的竞争

在 TCNT 的写周期中的 T_2 状态，如果产生计数器清除信号，就不进行 TCNT 的写操作而优先清除 TCNT。此时序如图 13.52 所示。

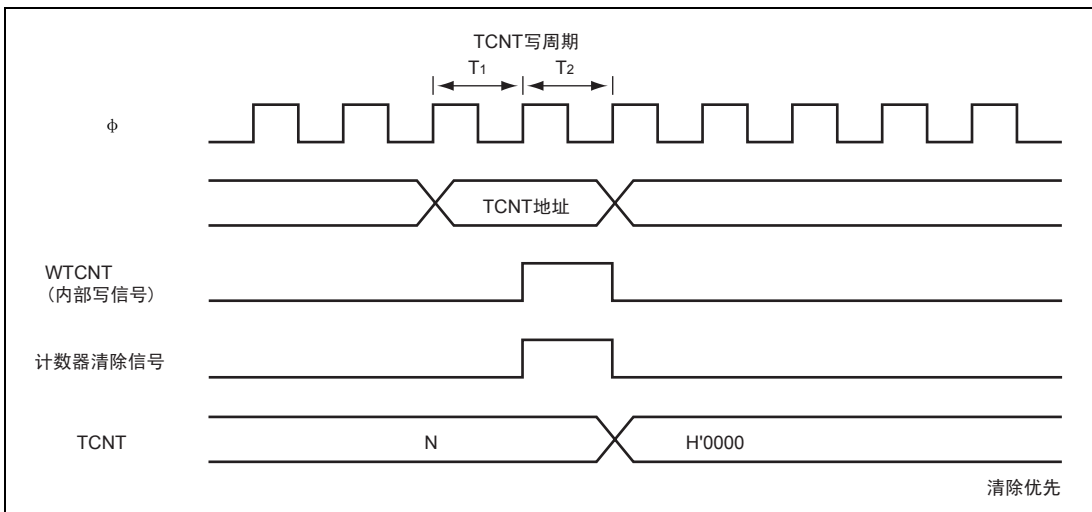


图 13.52 TCNT 的写操作和清除的竞争

(2) TCNT 的写操作和累加计数的竞争

在 TCNT 的写周期中的 T_2 状态，如果发生累加计数，就优先进行 TCNT 的写操作。此时序如图 13.53 所示。

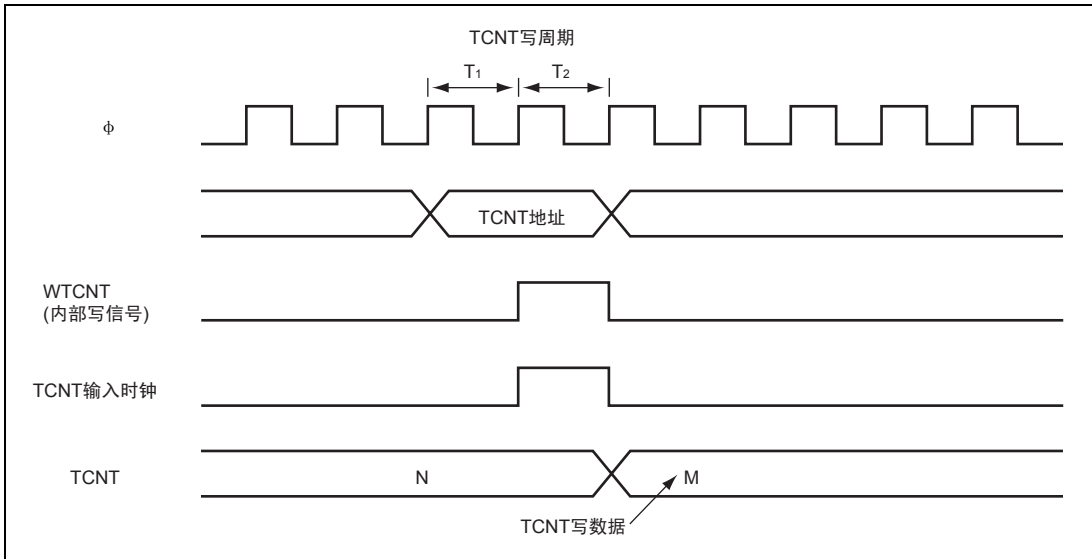


图 13.53 TCNT 的写操作和累加计数的竞争

(3) GR 的写操作和比较匹配的竞争

在 GR 的写周期中的 T_2 状态，即使发生比较匹配，也优先进行 GR 的写操作，禁止比较匹配信号。此时序如图 13.54 所示。

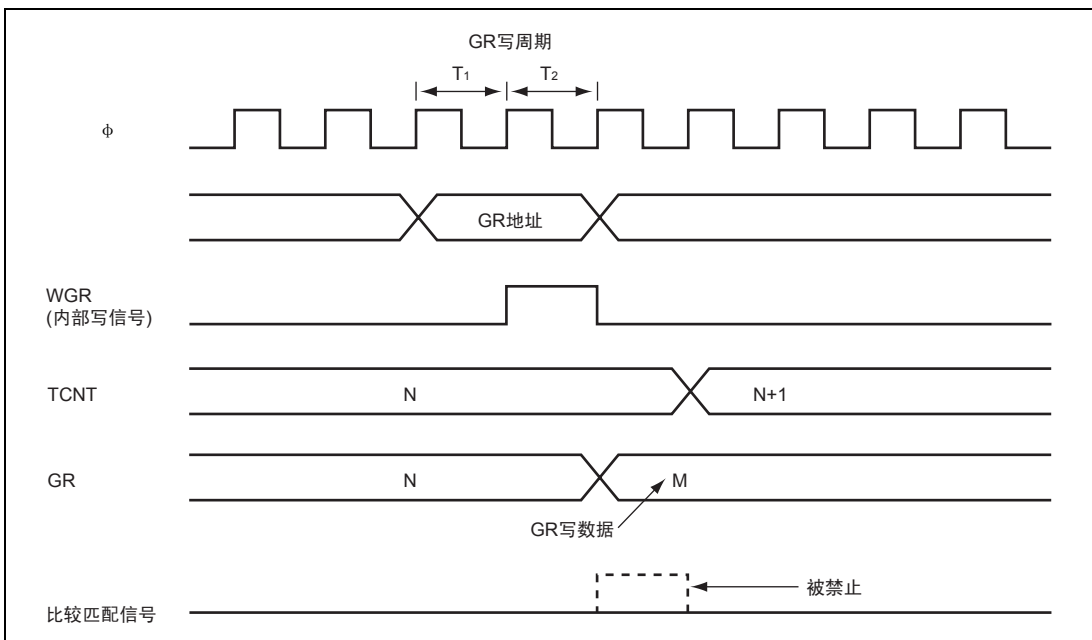


图 13.54 GR 的写操作和比较匹配的竞争

(4) TCNT 的写操作和溢出/下溢的竞争

在 TCNT 的写周期中的 T_2 状态，如果发生溢出，就不进行累加计数而优先进行计数器的写操作，此时将 OVF 标志置 1。下溢的情况也相同。此时序如图 13.55 所示。

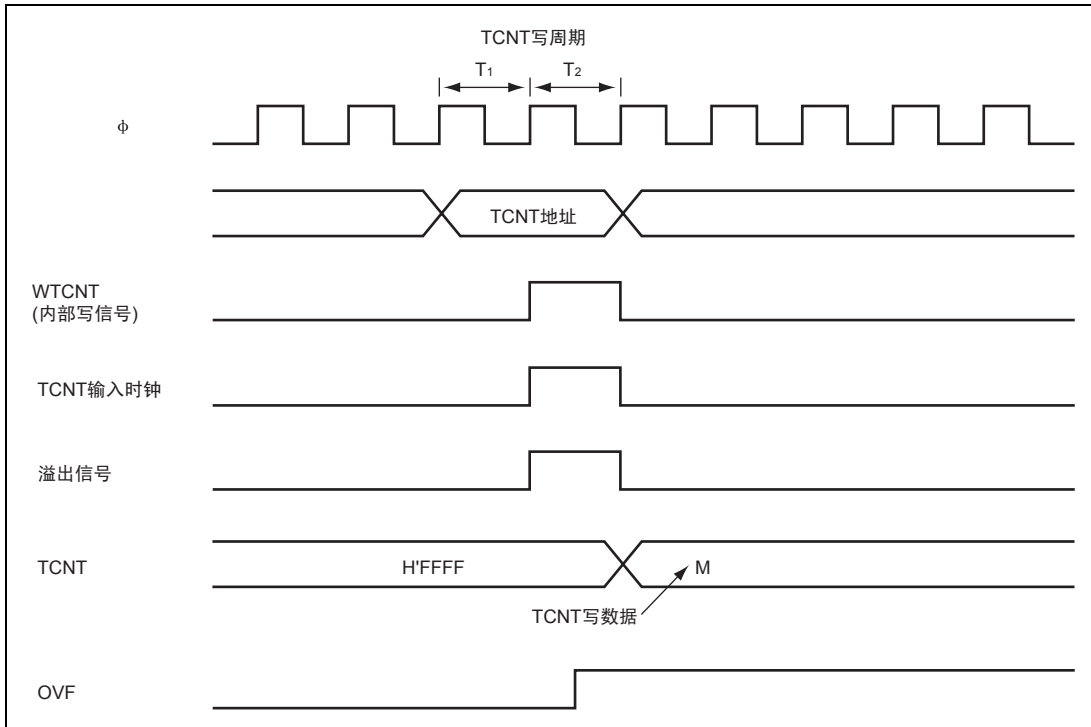


图 13.55 TCNT 的写操作和溢出的竞争

(5) GR 的读操作和输入捕捉的竞争

在 GR 的读周期中的 T_1 状态，如果产生输入捕捉信号，读到的数据为输入捕捉传送前的数据。此时的时序如图 13.56 所示。

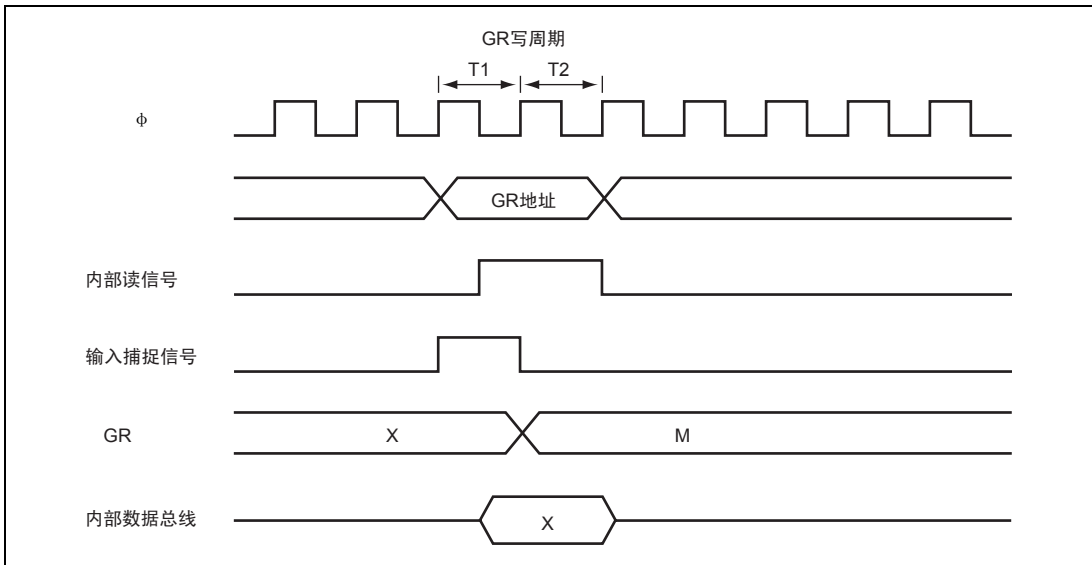


图 13.56 GR 的读操作和输入捕捉的竞争

(6) 通过输入捕捉清除计数和累加计数的竞争

如果同时产生输入捕捉信号和累加计数信号，就不进行累加计数而优先通过输入捕捉清除计数。同时，把清除计数器前的 TCNT 内容传送到 GR。此时序如图 13.57 所示。

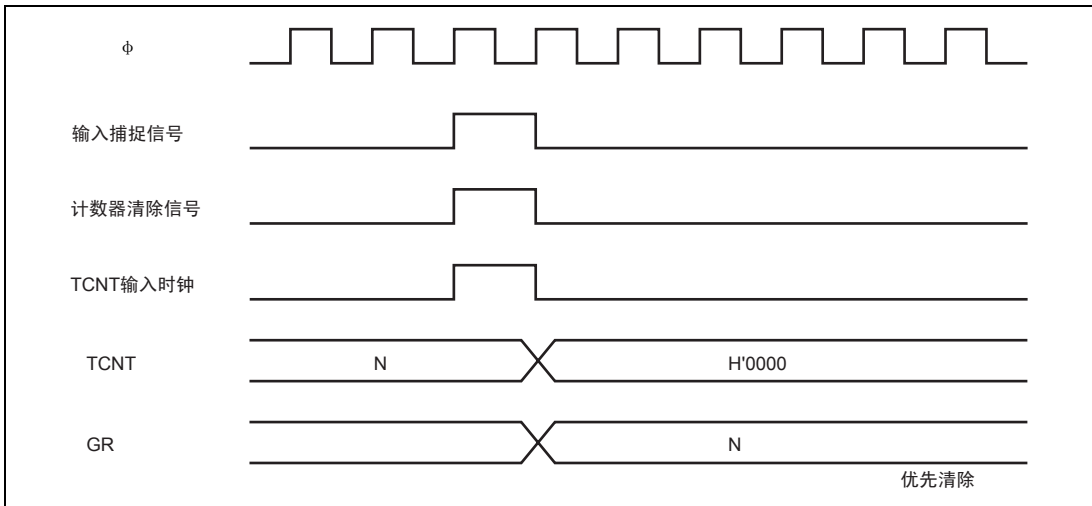


图 13.57 通过输入捕捉清除计数和累加计数的竞争

(7) GR 的写操作和输入捕捉的竞争

在 GR 的写周期中的 T_2 状态，如果产生输入捕捉信号，就不对 GR 进行写操作而优先输入捕捉。此时序如图 13.58 所示。

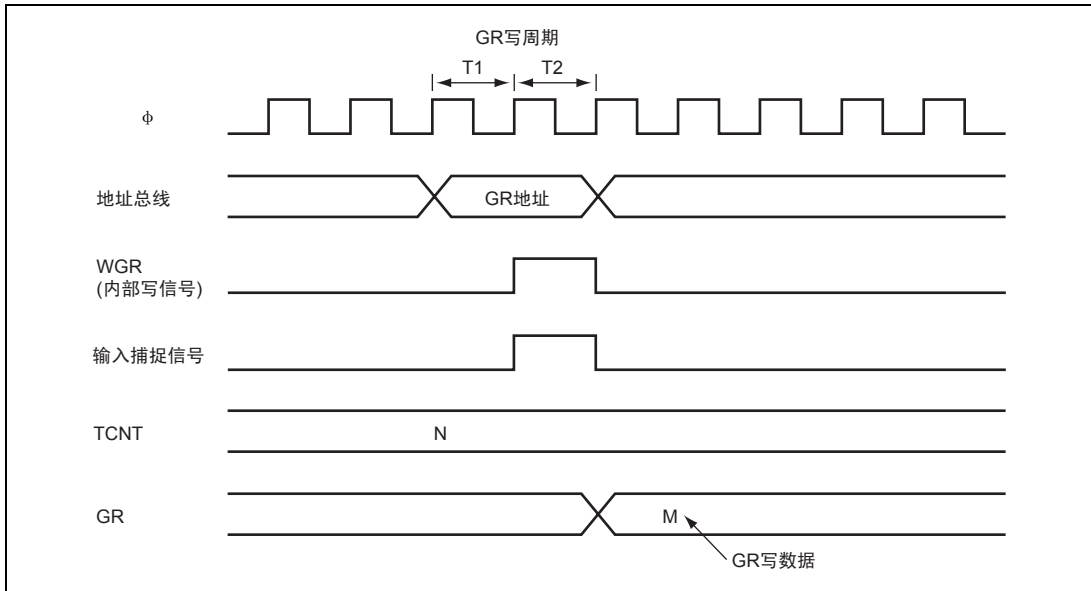


图 13.58 GR 的写操作和输入捕捉的竞争

(8) 设定复位同步 PWM 模式/互补模式时的注意事项

在设定 TFCR 的 CMD1 位和 CMD0 位时，必须注意如下事项：

- 必须在 TCNT_1 和 TCNT_0 处于停止状态下，对 CMD1 和 CMD0 位进行写操作。
- 禁止改变复位同步 PWM 模式和互补 PWM 模式相互转换的设定。必须在设定通常运行 (CMD1 和 CMD0 位清 0) 后，设定复位同步 PWM 模式或者互补 PWM 模式。

(9) 清除 TSR 标志时的注意事项

在清除 TSR 的特定标志时，通过 BCLR 指令或者 MOV 指令的组合进行“在读到 1 的状态后，写 0”，但是，如果在此处理期间其它位被置位，就可能同时清除该被置的位。为了避免这种情况，不要使用 BCLR 指令，请按照下面的处理进行。另外，本注意事项只适用于 F-ZTAT 版，对掩模 ROM 版已解决此问题。

- 例：清除 TSR 的位 4 (OVF) 时

```
MOV.B @TSR,R0L
```

```
MOV.B #B'11101111,R0L ← 只将要清除的位设定成 0，其它位全部设定成 1
```

```
MOV.B R0L,@TSR
```

(10) 写 TOCR 的 TOA0~TOD0、TOA1~TOD1 位时的注意事项

TOCR 的 TOA0~TOD0、TOA1~TOD1 位是决定在最初的比较匹配产生前的 FTIO 管脚输出值的位。如果发生一次比较匹配并且根据比较匹配 FTIOA0~FTIOD0、FTIOA1~FTIOD1 输出发生变化时，FTIOA0~FTIOD0、FTIOA1~FTIOD1 管脚的输出值和从 TOA0~TOD0、TOA1~TOD1 位读取的值就会产生不一致的情况。另外，TOCR 的写和比较匹配 A0~D0、A1~D1 的发生出现竞争时，写优先，比较匹配的输出变化在 FTIOA0~FTIOD0、FTIOA1~FTIOD1 管脚不被反映。因此，如果使用位操作指令对 TOCR 进行写操作，FTIOA0~FTIOD0、FTIOA1~FTIOD1 管脚的输出值和预想的结果就会出现不一致的情况。

如果在比较匹配运行中写 TOCR，就必须在存取 TOCR 前使定时器计数器暂定，读取端口 6 的状态后进行写操作，将 FTIOA0~FTIOD0、FTIOA1~FTIOD1 的输出值反映到 TOA0~TOD0、TOA1~TOD1，然后再启动定时器计数器。

比较匹配和 TOCR 的位操作指令发生竞争时的例子如图 13.59 所示。

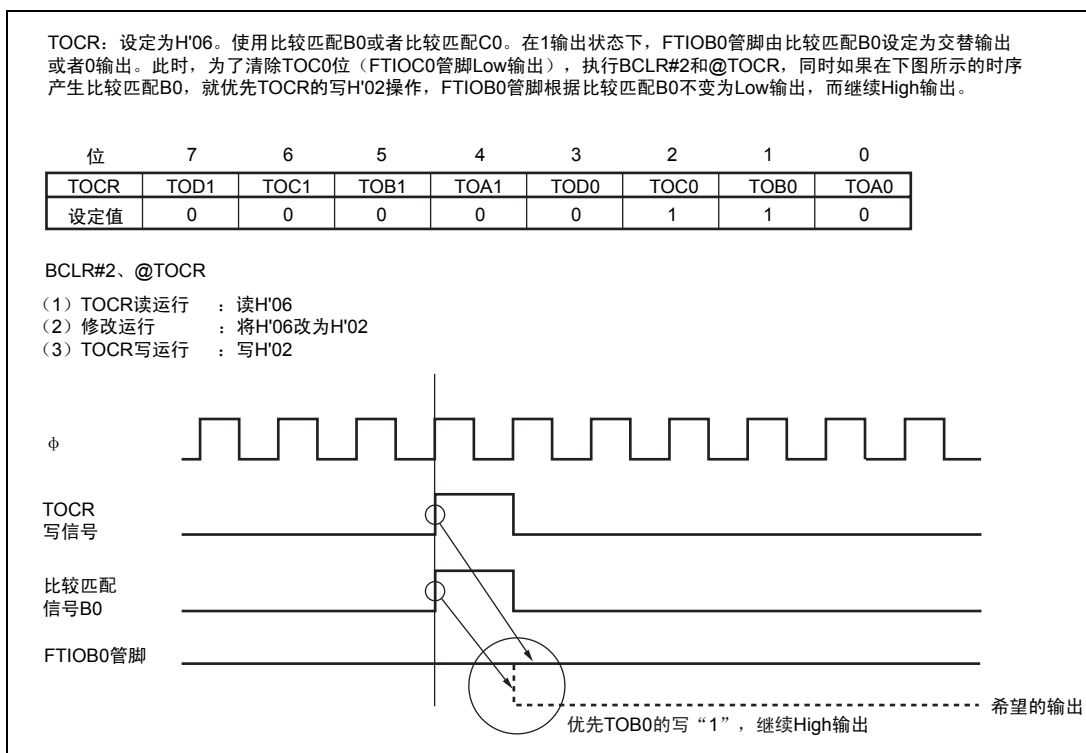


图 13.59 比较匹配和 TOCR 的位操作指令发生竞争时的例子

第 14 章 监视定时器

监视定时器是 8 位定时器，当由于系统失控等不能改写计数器的值而产生溢出时，对 LSI 内部进行复位。监视定时器的框图如图 14.1 所示。

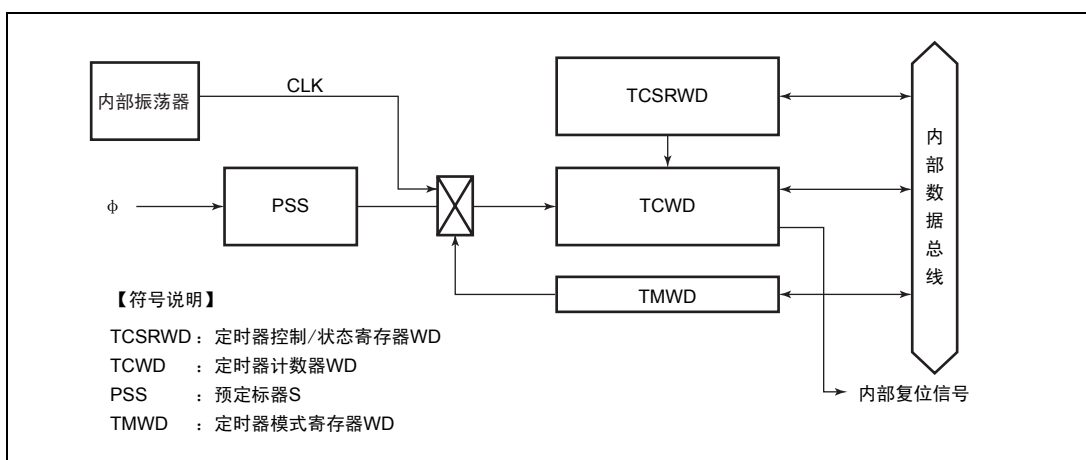


图 14.1 监视定时器的框图

14.1 特点

- 可选择 9 种内部时钟
可以选择 8 种内部时钟（ $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$ ）或者内部振荡器，作为定时器的计数时钟。如果选择内部振荡器，就在所有运行模式，作为监视定时器运行。
- 在计数器溢出时产生复位信号
溢出周期可以在选择时钟的 1 倍到 256 倍之间进行设定。

14.2 寄存器说明

监视定时器有以下寄存器：

- 定时器控制/状态寄存器 WD（TCSRWD）
- 定时器计数器 WD（TCWD）
- 定时器模式寄存器 WD（TMWD）

14.2.1 定时器控制/状态寄存器 WD (TCSRWD)

TCSRWD 是控制 TCSRWD 本身写和 TCWD 写的寄存器。同时，还具有控制监视定时器运行 and 表示运行状态的功能。必须用 MOV 指令对本寄存器进行改写，位操作指令不能改变设定值。

位	位名	初始值	R/W	说 明
7	B6WI	1	R/W	位 6 写禁止 仅在该位的写入值是 0 时，该寄存器的位 6 写入才有效。总是读出 1。
6	TCWE	0	R/W	定时器计数器 WD 写允许 在该位是 1 时，TCWD 成为写允许。对该位写数据时，位 7 的写入值必须为 0。
5	B4WI	1	R/W	位 4 写禁止 仅在该位的写入值是 0 时，该寄存器的位 4 写入才有效。总是读出 1。
4	TCSRWE	0	R/W	定时器控制/状态寄存器 WD 写允许 在该位是 1 时，该寄存器的位 2 和位 0 成为写允许。对该位写数据时，位 5 的写入值必须是 0。
3	B2WI	1	R/W	位 2 写禁止 仅在该位的写入值是 0 时，该寄存器的位 2 写入才有效。总是读出 1。
2	WDON	0	R/W	监视定时器 ON 如果该位置 1，TCWD 就开始累加计数。如果清 0，TCWD 就停止累加计数。 [清除条件] • 复位 • 在 TCSRWE=1 的状态下，给 B2WI 和 WDON 写 0 时 [置位条件] • 在 TCSRWE=1 的状态下，给 B2WI 写 0 和给 WDON 写 1 时
1	B0WI	1	R/W	位 0 写禁止 仅在该位的写入值是 0 时，该寄存器的位 0 写入才有效。总是读出 1。
0	WRST	0	R/W	监视定时器复位 [清除条件] • 由 RES 管脚进行复位 • 在 TCSRWE=1 的状态下，给 B0WI 和 WRST 写 0 时 [置位条件] • 在 TCWD 溢出，并且产生内部复位信号时

14.2.2 定时器计数器 WD (TCWD)

TCWD 是 8 位可读写增量计数器。如果 TCWD 从 H'FF 溢出到 H'00，就产生内部复位信号，并且 TCSRWD 的 WRST 被置 1。TCWD 的初始值是 H'00。

14.2.3 定时器模式寄存器 WD (TMWD)

TMWD 选择输入时钟。

位	位名	初始值	R/W	说 明
7~4	—	全为 1	—	保留位。总是读出 1。
3	CKS3	1	R/W	时钟选择 3~0
2	CKS2	1	R/W	选择输入到 TCWD 的时钟。
1	CKS1	1	R/W	1000: 内部时钟: 以 $\phi/64$ 计数
0	CKS0	1	R/W	1001: 内部时钟: 以 $\phi/128$ 计数
				1010: 内部时钟: 以 $\phi/256$ 计数
				1011: 内部时钟: 以 $\phi/512$ 计数
				1100: 内部时钟: 以 $\phi/1024$ 计数
				1101: 内部时钟: 以 $\phi/2048$ 计数
				1110: 内部时钟: 以 $\phi/4096$ 计数
				1111: 内部时钟: 以 $\phi/8192$ 计数
				0XXX: 内部振荡器
				关于由内部振荡器产生的溢出周期, 请参照“第 23 章 电特性”。

【注】X: Don't care

14.3 运行说明

监视定时器含有 8 位增量计数器。在 TCSRWD 的 TCSRWE=1 的状态下，如果给 B2WI 写 0，并且给 WDON 写 1，TCWD 就开始累加计数（为了使监视定时器运行，必须对 TCSRWD 进行 2 次写存取）。如果 TCWD 的计数值从 H'FF 溢出，就产生内部复位信号。内部复位信号的输出时间为 512 个 ϕ_{osc} 时钟。由于 TCWD 是可写计数器，如果给 TCWD 设定值，就从该值开始累加计数。因此，根据 TCWD 的设定值，能在 1~256 个输入时钟的范围内设定溢出周期。监视定时器运行的例子如图 14.2 所示。

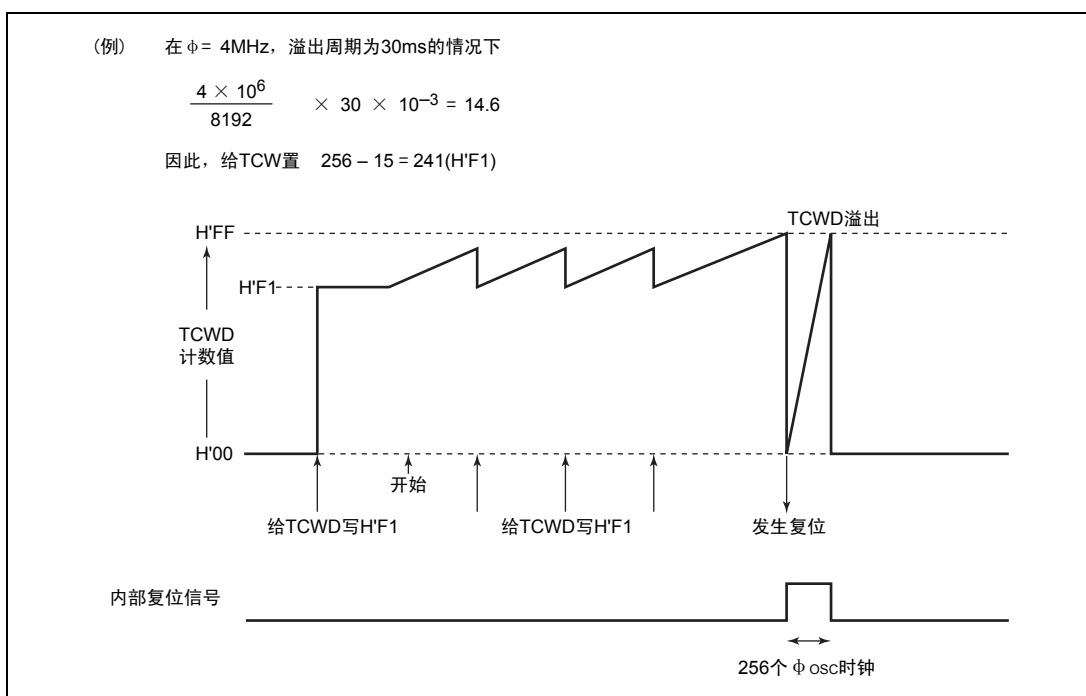


图 14.2 监视定时器运行的例子

第 15 章 14 位 PWM

这是脉冲分割方式的 PWM，能用于电子调谐器的控制等。14 位 PWM 的框图如图 15.1 所示。

15.1 特点

- 可选择 2 种转换周期
可选择 1 个最小变化宽度为 $1/\phi$ 的 $16384/\phi$ 的转换周期，或者可选择 1 个最小变化宽度为 $2/\phi$ 的 $32768/\phi$ 的转换周期。
- 以图减少波纹的脉冲分割方式

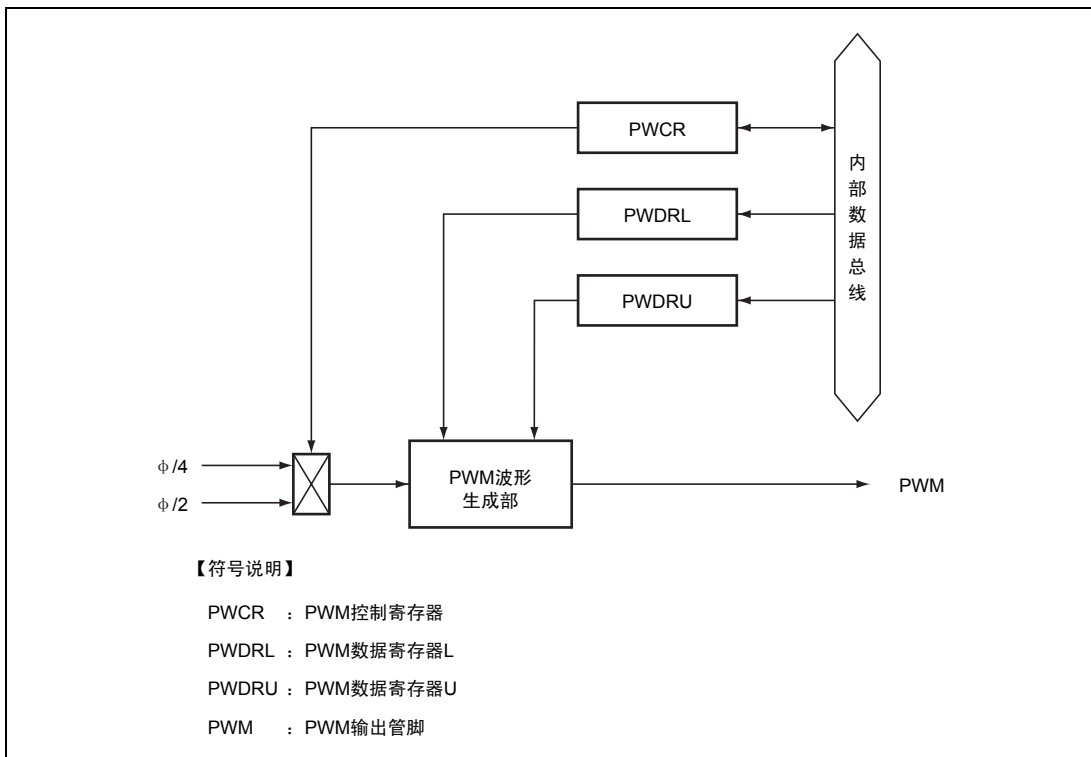


图 15.1 14 位 PWM 框图

15.2 输入/输出管脚

14 位 PWM 的管脚结构如表 15.1 所示。

表 15.1 管脚结构

名称	略称	输入/输出	功能
14 位 PWM 方波输出	PWM	输出	14 位 PWM 方波输出管脚

15.3 寄存器说明

14 位 PWM 有以下寄存器：

- PWM 控制寄存器 (PWCR)
- PWM 数据寄存器 U (PWDRU)
- PWM 数据寄存器 L (PWDRL)

15.3.1 PWM 控制寄存器 (PWCR)

PWCR 选择转换周期。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。写无效。
6	—	1	—	
5	—	1	—	
4	—	1	—	
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	PWCR0	0	R/W	时钟选择 0: 输入时钟为 $\phi/2$ ($t_{\phi}=2/\phi$) 生成一个转换周期为 $16384/\phi$ 、最小变化宽度为 $1/\phi$ 的 PWM 波形 1: 输入时钟为 $\phi/4$ ($t_{\phi}=4/\phi$) 生成一个转换周期为 $32768/\phi$ 、最小变化宽度为 $2/\phi$ 的 PWM 波形

【符号说明】

t_{ϕ} : PWM 输入时钟的周期

15.3.2 PWM 数据寄存器 U、L (PWDRU、PWDRL)

PWDRU 和 PWDRL 是 14 位只写寄存器，表示 PWM 波形的一个周期的高电平宽度。由高 6 位 PWDRU 和低 8 位 PWDRL 构成，总是读出 1。

PWDRU 和 PWDRL 都只能字节存取。必须注意：如果进行字存取，就不能保证运行。另外，如果给 PWDRU 和 PWDRL 写合计 14 位的数据，PWDRU 和 PWDRL 的内容就被取到 PWM 波形生成部，并更新 PWM 波形生成的数据。此外，必须按 PWDRL→PWDRU 的顺序写。

PWDRU 和 PWDRL 的初始值都是 H'C000。

15.4 运行说明

当使用 14 位 PWM 时，必须按如下顺序设定寄存器：

1. 将端口模式寄存器 1 (PMR1) 的 PWM 位置 1，把 P11/PWM 管脚设定成 PWM 输出管脚。
2. 通过 PWCR 的 PWCR0 位，选择一个转换周期。
3. 给 PWDRU 和 PWDRL 设定输出波形数据。此时必须按 PWDRL、PWDRU 的顺序以字节单位写。在给 PWDRU 写的同时，数据被取到 PWM 波形生成部，并与内部信号同步更新 PWM 波形生成。

如图 15.2 所示，一个转换周期由 64 个脉冲构成。此转换周期中的高电平宽度的合计值 (T_H) 对应 PWDRU、PWDRL 的数据。此关系用如下算式表示。

$$T_H = (\text{PWDRU, PWDRL 的数据值} + 64) \times t_{\phi} / 2$$

t_{ϕ} 是 PWM 输入时钟的周期，为 $2/\phi$ (PWCR0 位=0) 或者 $4/\phi$ (PWCR0 位=1)。在 PWDRU、PWDRL 的数据值为 H'FFC0~H'FFFF 时，PWM 输出为高电平。当数据值为 H'C000 时， $T_H = 64 \times t_{\phi} / 2 = 32 \times t_{\phi}$ 。

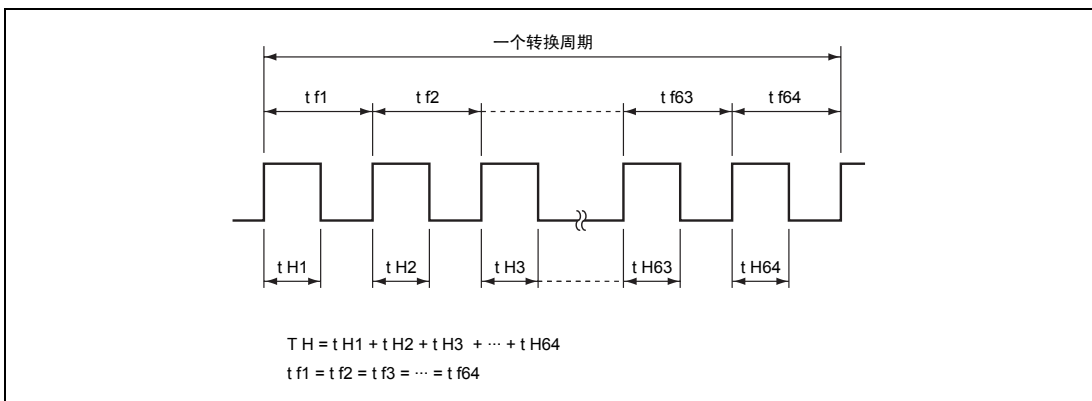


图 15.2 14 位 PWM 输出波形

第 16 章 串行通信接口 3 (SCI3)

H8/3687 系列具有 2 个独立通道的串行通信接口 3 (SCI3)，SCI3 可进行异步和时钟同步 2 种模式的串行数据通信。在异步模式，能与 Universal Asynchronous Receiver/Transmitter (UART) 或者 Asynchronous Communication Interface Adapter (ACIA) 等标准异步通信 LSI 进行串行数据通信。另外，在异步模式，具有多处理器间的串行数据通信功能（多处理器通信功能）。

SCI3 的通道结构如表 16.1 所示，框图如图 16.1 所示。2 个通道 (SCI3、SCI3_2) 有相同功能。在本章中，不对各通道分别说明。

16.1 特点

- 可以把串行数据通信格式设定为异步或者时钟同步
- 可以进行全双工通信
因为具有独立的发送部和接收部，所以能同时发送和接收。另外，发送部和接收部都采用了双缓冲结构，可以连续发送和接收。
- 用内部波特率发生器可以选择任意的位速率
- 可以选择内部波特率发生器或者外部时钟，作为发送和接收时钟源
- 6 种中断源
有发送结束、发送数据空、接收数据满、溢出错误、帧错误和奇偶校验错误中断源。

异步模式

- 数据长：可以选择 7 位/8 位
- 停止位长：可以选择 1 位/2 位
- 奇偶校验：可以选择偶校验/奇校验/无奇偶校验
- 检测接收错误：奇偶校验错误、溢出错误和帧错误
- 检测中止：当发生帧错误时，可以通过直接读 RXD 管脚电平，检测中止

时钟同步模式

- 数据长：8 位
- 检测接收错误：溢出错误

表 16.1 SCI3 的通道结构

通道	略称	管脚	寄存器	寄存器地址
通道 1	SCI3*	SCK3 RXD TXD	SMR	H'FFA8
			BRR	H'FFA9
			SCR3	H'FFAA
			TDR	H'FFAB
			SSR	H'FFAC
			RDR	H'FFAD
			RSR	—
			TSR	—
通道 2	SCI3_2	SCK3_2 RXD_2 TXD_2	SMR_2	H'F740
			BRR_2	H'F741
			SCR3_2	H'F742
			TDR_2	H'F743
			SSR_2	H'F744
			RDR_2	H'F745
			RSR_2	—
			TSR_2	—

【注】* 利用引导模式的单板上编程模式使用SCI3的通道1。

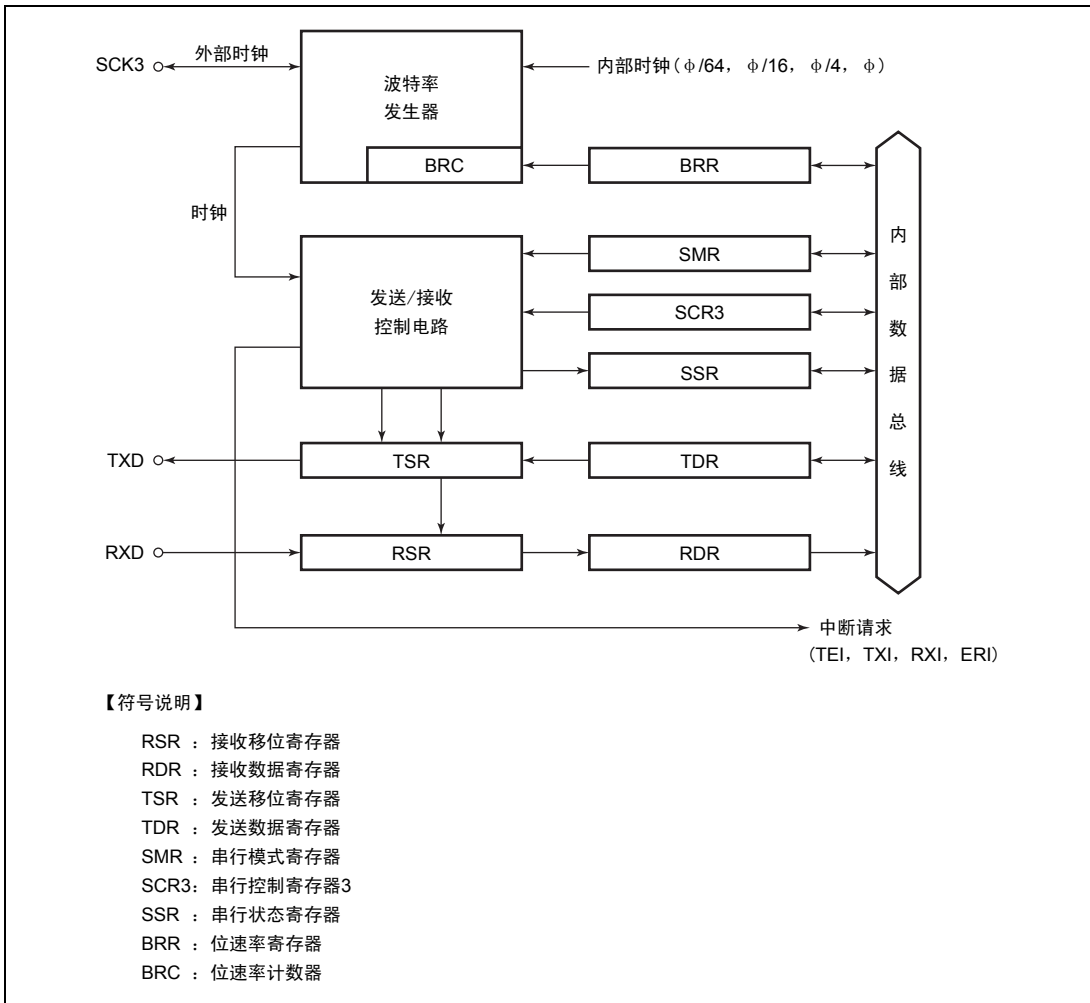


图 16.1 SCI3 的框图

16.2 输入/输出管脚

SCI3 管脚结构如表 16.2 所示。

表 16.2 管脚结构

名称	略称	输入/输出	功能
SCI3 时钟	SCK3	输入/输出	SCI3 的时钟输入/输出管脚
SCI3 接收数据输入	RXD	输入	SCI3 的接收数据输入管脚
SCI3 发送数据输出	TXD	输出	SCI3 的发送数据输出管脚

16.3 寄存器说明

SCI3 有以下寄存器:

- 接收移位寄存器 (RSR)
- 接收数据寄存器 (RDR)
- 发送移位寄存器 (TSR)
- 发送数据寄存器 (TDR)
- 串行模式寄存器 (SMR)
- 串行控制寄存器 3 (SCR3)
- 串行状态寄存器 (SSR)
- 位速率寄存器 (BRR)

16.3.1 接收移位寄存器 (RSR)

RSR 是用于并行转换从 RXD 管脚输入的串行数据的接收用移位寄存器。如果接收到 1 帧数据, 数据就自动传送到 RDR。不能直接从 CPU 存取 RSR。

16.3.2 接收数据寄存器 (RDR)

RDR 是用于存储接收数据的 8 位寄存器。如果接收到 1 帧数据, RSR 的接收数据就被传送到该寄存器, RSR 就可以接收下一个数据。由于 RSR 和 RDR 是双缓冲结构, 因此可以连续接收。必须在确认 SSR 的 RDRF 已被置 1 后, 对 RDR 进行 1 次读操作。不能从 CPU 写 RDR。RDR 的初始值是 H'00。

16.3.3 发送移位寄存器 (TSR)

TSR 是用于发送串行数据的移位寄存器。写到 TDR 的发送数据被自动传送给 TSR, 通过从 LSB 开始按顺序将 TSR 数据的各位传送到 TXD 管脚, 进行串行数据发送。不能直接从 CPU 存取 TSR。

16.3.4 发送数据寄存器 (TDR)

TDR 是用于存储发送数据的 8 位寄存器。如果检测出 TSR 为空, 写到 TDR 的发送数据就被传送给 TSR, 开始发送。由于 TDR 和 TSR 是双缓冲结构, 因此可以连续发送。在发送完 1 帧数据时, 如果下一个发送数据已被写到 TDR, 就传送给 TSR, 继续发送。为了正确进行串行发送, 必须在确认 SSR 的 TDRE 已被置 1 后, 对 TDR 写 1 次发送数据。TDR 的初始值是 H'FF。

16.3.5 串行模式寄存器 (SMR)

SMR 是用于选择串行数据通信格式和选择内部波特率发生器的时钟源的寄存器。

位	位名	初始值	R/W	说 明
7	COM	0	R/W	通信模式 0: 以异步模式运行。 1: 以时钟同步模式运行。
6	CHR	0	R/W	字符长度 (仅异步模式有效) 0: 以 8 位数据长的格式发送和接收。 1: 以 7 位数据长的格式发送和接收。
5	PE	0	R/W	奇偶校验允许 (仅异步模式有效) 当该位为 1 时, 发送时附加奇偶校验位, 接收时检测奇偶校验。
4	PM	0	R/W	奇偶校验模式 (仅在异步模式 PE=1 时有效) 0: 以偶校验发送和接收。 1: 以奇校验发送和接收。
3	STOP	0	R/W	停止位长度 (仅异步模式有效) 发送时, 选择停止位的长度。 0: 1 个停止位 1: 2 个停止位 接收时, 与该位的设定值无关, 只检测停止位的第 1 位, 在第 2 位是 0 时, 视为下一个发送字符的起始位。
2	MP	0	R/W	多处理器模式 在该位为 1 时, 允许多处理器通信功能。PE 和 PM 位的设定值变为无效。在时钟同步模式, 必须将该位设定成 0。
1	CKS1	0	R/W	时钟选择 1~0 选择内部波特率发生器的时钟源。 00: ϕ 时钟 (n=0) 01: $\phi/4$ 时钟 (n=1) 10: $\phi/16$ 时钟 (n=2) 11: $\phi/64$ 时钟 (n=3) 关于该位的设定值和波特率的关系, 请参照“16.3.8 位速率寄存器 (BRR)”。n 是用 10 进制表示的设定值, 表示“16.3.8 位速率寄存器 (BRR)”中的 n 的值。
0	CKS0	0	R/W	

16.3.6 串行控制寄存器 3 (SCR3)

SCR3 是用于进行发送和接收运行控制、中断控制以及发送和接收时钟源选择的寄存器。关于各中断请求参照“16.7 中断请求”。

位	位名	初始值	R/W	说 明
7	TIE	0	R/W	发送中断允许 如果该位置 1, 就允许 TXI 中断请求。
6	RIE	0	R/W	接收中断允许 如果该位置 1, 就允许 RXI 以及 ERI 中断请求。
5	TE	0	R/W	发送允许 在该位为 1 时, 允许发送。
4	RE	0	R/W	接收允许 在该位为 1 时, 允许接收。
3	MPIE	0	R/W	多处理器中断允许 (在异步模式 SMR 的 MP=1 时有效) 如果该位置 1, 就跳过多处理器位为 0 的接收数据, 禁止对 SSR 的 RDRF、FER 和 OER 各状态标志置位。如果接收到多处理器位为 1 的数据, 该位就被自动清除, 返回到通常的接收运行状态。详细内容请参照“16.6 多处理器通信功能”。
2	TEIE	0	R/W	发送结束中断允许 如果该位置 1, 就允许 TEI 中断请求。
1 0	CKE1 CKE0	0 0	R/W R/W	时钟允许 1 ~ 0 选择时钟源。 异步的情况 00: 内部波特率发生器 01: 内部波特率发生器 (从 SCK3 管脚输出与位速率相同频率的时钟) 10: 外部时钟 (必须从 SCK3 管脚输入频率为位速率的 16 倍的时钟。) 11: 保留 时钟同步的情况 00: 内部时钟 (SCK3 管脚功能变为时钟输出管脚。) 01: 保留 10: 外部时钟 (SCK3 管脚功能变为时钟输入管脚。) 11: 保留

16.3.7 串行状态寄存器 (SSR)

SSR 由 SCI3 状态标志、发送和接收多处理器位构成。TDRE、RDRF、OER、PER 和 FER 只能被清除。

位	位名	初始值	R/W	说 明
7	TDRE	1	R/W	发送数据寄存器空 表示 TDR 内的发送数据的有无。 [置位条件] • 当 SCR3 的 TE 为 0 时 • 将数据从 TDR 传送到 TSR 时 [清除条件] • 在读到 1 的状态后, 写 0 时 • 当给 TDR 写发送数据时
6	RDRF	0	R/W	接收数据寄存器满 表示 RDR 内的接收数据的有无。 [置位条件] • 当接收正常结束, 并且将接收数据从 RSR 传送到 RDR 时 [清除条件] • 在读到 1 的状态后, 写 0 时 • 当读 RDR 的数据时
5	OER	0	R/W	溢出错误 [置位条件] • 在接收过程中, 发生溢出错误时 [清除条件] • 在读到 1 的状态后, 写 0 时
4	FER	0	R/W	帧错误 [置位条件] • 在接收过程中, 发生帧错误时 [清除条件] • 在读到了 1 的状态后, 写 0 时
3	PER	0	R/W	奇偶校验错误 [置位条件] • 在接收过程中, 发生奇偶校验错误时 [清除条件] • 在读到 1 的状态后, 写 0 时

位	位名	初始值	R/W	说 明
2	TEND	1	R	发送结束 [置位条件] • 当 SCR3 的 TE 为 0 时 • 在发送字符的最后一位被发送时, 并且 TDRE 为 1 [清除条件] • 在读到 TDRE=1 的状态后, 给 TDRE 写 0 时 • 当给 TDR 写发送数据时
1	MPBR	0	R	多处理器位接收 存储接收字符中的多处理器位。在 SCR3 的 RE=0 时, 不变化。
0	MPBT	0	R/W	多处理器位传送 指定附加在发送字符的多处理器位的值。

16.3.8 位速率寄存器 (BRR)

BRR 是设定位速率的 8 位寄存器。BRR 的初始值是 H'FF。在异步模式, 设定 SMR 的 CKS1、CKS0 的值 n 和 BRR 的值 N 的例子如表 16.3 所示, 异步模式的最大位速率如表 16.4 所示, 无论哪个值都表示激活 (高速) 模式的值。在时钟同步模式, 设定 SMR 的 CKS1、CKS0 的值 n 和 BRR 的值 N 的例子如表 16.5 所示, 表示激活 (高速) 模式的值。对于其他运行频率和位速率的组合, BRR 的设定值 N 和误差用下面的计算式计算:

(异步模式)

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

$$\text{误差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

(时钟同步模式)

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: 位速率 (bit/s)

N: 波特率发生器的 BRR 的设定值 (0 ≤ N ≤ 255)

φ: 运行频率 (MHz)

n: SMR 的 CKS1 和 CKS0 的设定值 (0 ≤ n ≤ 3)

表 16.3 对于位速率的 BRR 的设定例子 (异步模式)

位速率 (bit/s)	ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00	—	—	—

(续前表)

位速率 (bit/s)	ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	—	—	—	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

【符号说明】

— : 虽然可以设定, 但是会出现误差。

(续前表)

位速率 (bit/s)	φ (MHz)											
	6			6.144			7.3728			8		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

(续前表)

位速率 (bit/s)	φ (MHz)											
	9.8304			10			12			12.888		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

【符号说明】

— : 虽然可以设定, 但是会出现误差。

(续前表)

位速率 (bit/s)	ϕ (MHz)														
	14			14.7456			16			18			20		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	181	0.16	2	191	0.00	2	207	0.16	2	233	0.16	3	64	0.16
300	2	90	0.16	2	95	0.00	2	103	0.16	2	116	0.16	2	129	0.16
600	1	181	0.16	1	191	0.00	1	207	0.16	1	233	0.16	2	64	0.16
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	116	0.16	1	129	0.16
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	233	0.16	1	64	0.16
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	116	0.16	0	129	0.16
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	58	-0.69	0	64	0.16
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	28	1.02	0	32	-1.36
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	17	0.00	0	19	0.00
38400	—	—	—	0	11	0.00	0	12	0.16	0	14	-2.34	0	15	1.73

【符号说明】

— : 虽然可以设定, 但是会出现误差。

表 16.4 各频率的最大位速率 (异步模式)

ϕ (MHz)	最大位速率 (bit/s)	n	N	ϕ (MHz)	最大位速率 (bit/s)	n	N
2	62500	0	0	8	250000	0	0
2.097152	65536	0	0	9.8304	307200	0	0
2.4576	76800	0	0	10	312500	0	0
3	93750	0	0	12	375000	0	0
3.6864	115200	0	0	12.288	384000	0	0
4	125000	0	0	14	437500	0	0
4.9152	153600	0	0	14.7456	460800	0	0
5	156250	0	0	16	500000	0	0
6	187500	0	0	17.2032	537600	0	0
6.144	192000	0	0	18	562500	0	0
7.3728	230400	0	0	20	625000	0	0

表 16.5 对于位速率的 BRR 的设定例子 (时钟同步模式)

位速率 (bit/s)	φ (MHz)													
	2		4		8		10		16		18		20	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	—	—	—	—	—	—			—	—	—	—
250	2	124	2	249	3	124	—	—	3	249	—	—	—	—
500	1	249	2	124	2	249	—	—	3	124	3	140	3	155
1k	1	124	1	249	2	124	—	—	2	249	3	69	3	77
2.5k	0	199	1	99	1	199	1	249	2	99	2	112	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	224	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	112	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	179	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	89	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	44	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	17	0	19
500k	0	0*	0	1	0	3	0	4	0	7	0	8	0	9
1M			0	0*	0	1	—	—	0	3	0	4	0	4
2M					0	0*	—	—	0	1	—	—	—	—
2.5M							0	0*	—	—	—	—	—	—
4M									0	0*	—	—	—	—

【符号说明】

空白栏：不可设定。

—：虽然可以设定，但是会出现误差。

*：不能连续发送和接收。

16.4 异步模式的运行说明

异步通信的通信数据的一般格式如图 16.2 所示。通信数据的一个字符或者一帧从起始位（低电平）开始，以发送/接收数据（LSB 优先）、奇偶校验位、停止位（高电平）的顺序构成。由于 SCI3 内部发送部和接收部独立，因此能进行全双工通信。另外，由于发送部和接收部都采用了双缓冲结构，因此可以通过在发送过程中写下一个发送数据、在接收过程中读前一个接收数据，进行连续发送和接收。

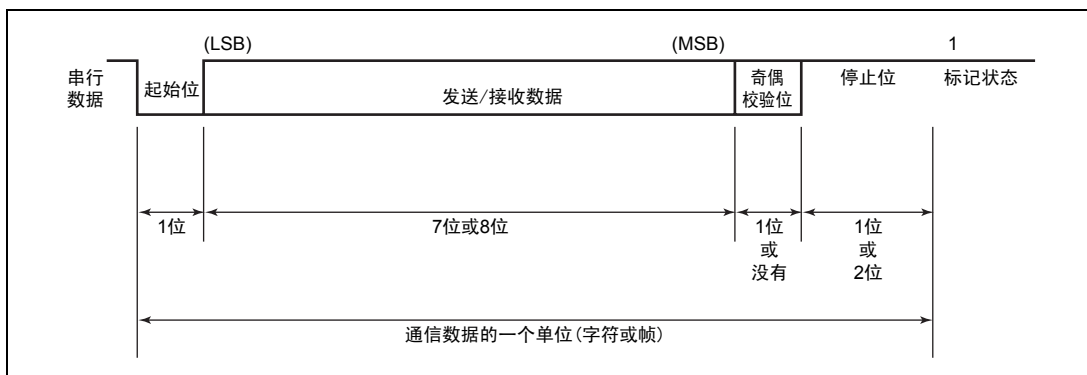


图 16.2 异步通信的数据格式

16.4.1 时钟

通过设定 SMR 的 COM 和 SCR3 的 CKE1、CKE0，能选择内部波特率发生器生成的内部时钟或者从 SCK3 管脚输入的外部时钟，作为 SCI3 的发送和接收时钟源。使用外部时钟时，必须给 SCK3 管脚输入频率为 16 倍位速率的时钟。使用内部时钟时，能从 SCK3 管脚输出与位速率相同频率的时钟。输出时钟的相位如图 16.3 所示，在发送和接收数据的每位的中央，时钟上升。

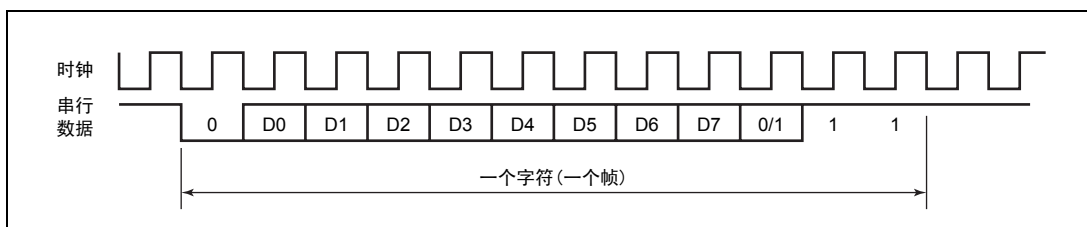


图 16.3 输出时钟和通信数据的相位关系（异步模式）
（8 位数据/有奇偶校验/2 个停止位的例子）

16.4.2 SCI3 的初始化

按照图 16.4 流程图的例子初始化。要注意的是，如果 TE 清 0，TDRE 就被置 1，即使 RE 清 0，RDRF、PER、FER 和 OER 的各标志以及 RDR 也不被初始化。在异步模式使用外部时钟的情况下，必须从初始化开始供给时钟。

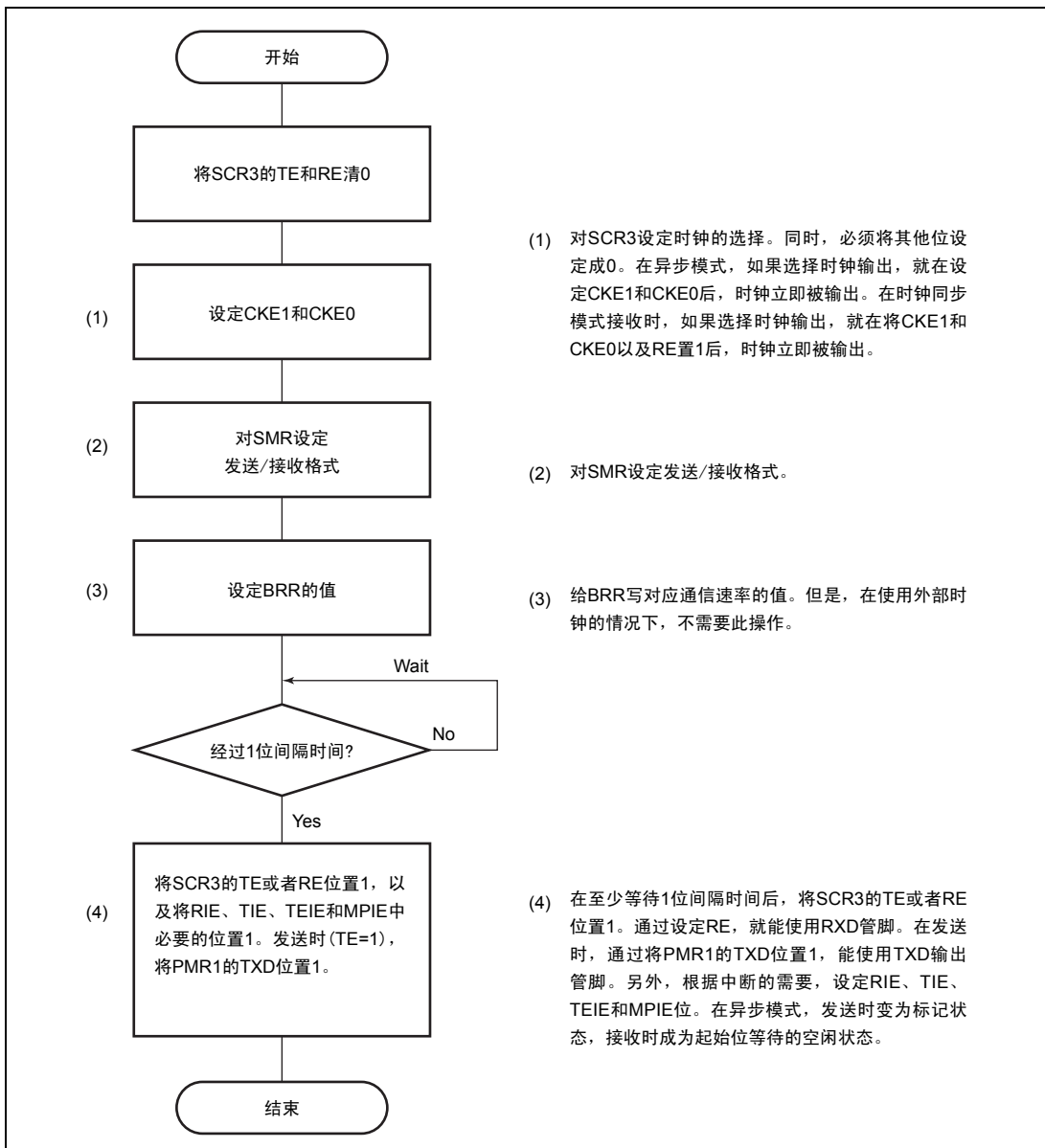


图 16.4 初始化 SCI3 时的流程图例子

16.4.3 数据发送

异步模式发送时的运行例子如图 16.5 所示。发送数据时的 SCI3 运行步骤如下：

1. 监视SSR的TDRE，如果是0，就被认为数据已写到TDR，将数据从TDR传送给TSR。
2. 在TDRE置1后，开始发送。此时，如果SCR3的TIE被置1，就发生TXI中断请求。可以通过该TXI中断处理程序，在前一个被传送的数据发送结束之前，将下一个发送数据写到TDR，进行连续发送。
3. 在发送停止位的同时，检测TDRE。
4. 如果TDRE是0，就将数据从TDR传送给TSR，并在发送停止位后，开始发送下一帧。
5. 如果TDRE是1，就将SSR的TEND置1，并在发送停止位后，输出1，成为标记状态。此时，如果SCR3的TEIE被置1，就发生TEI。
6. 发送数据的流程图例子如图16.6所示。

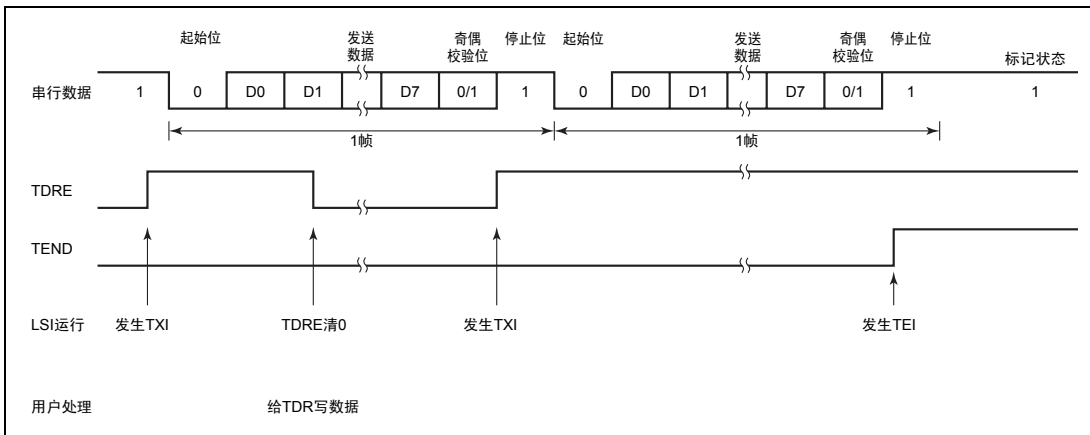


图 16.5 异步模式发送时的运行例子（8 位数据/有奇偶校验/1 个停止位的例子）

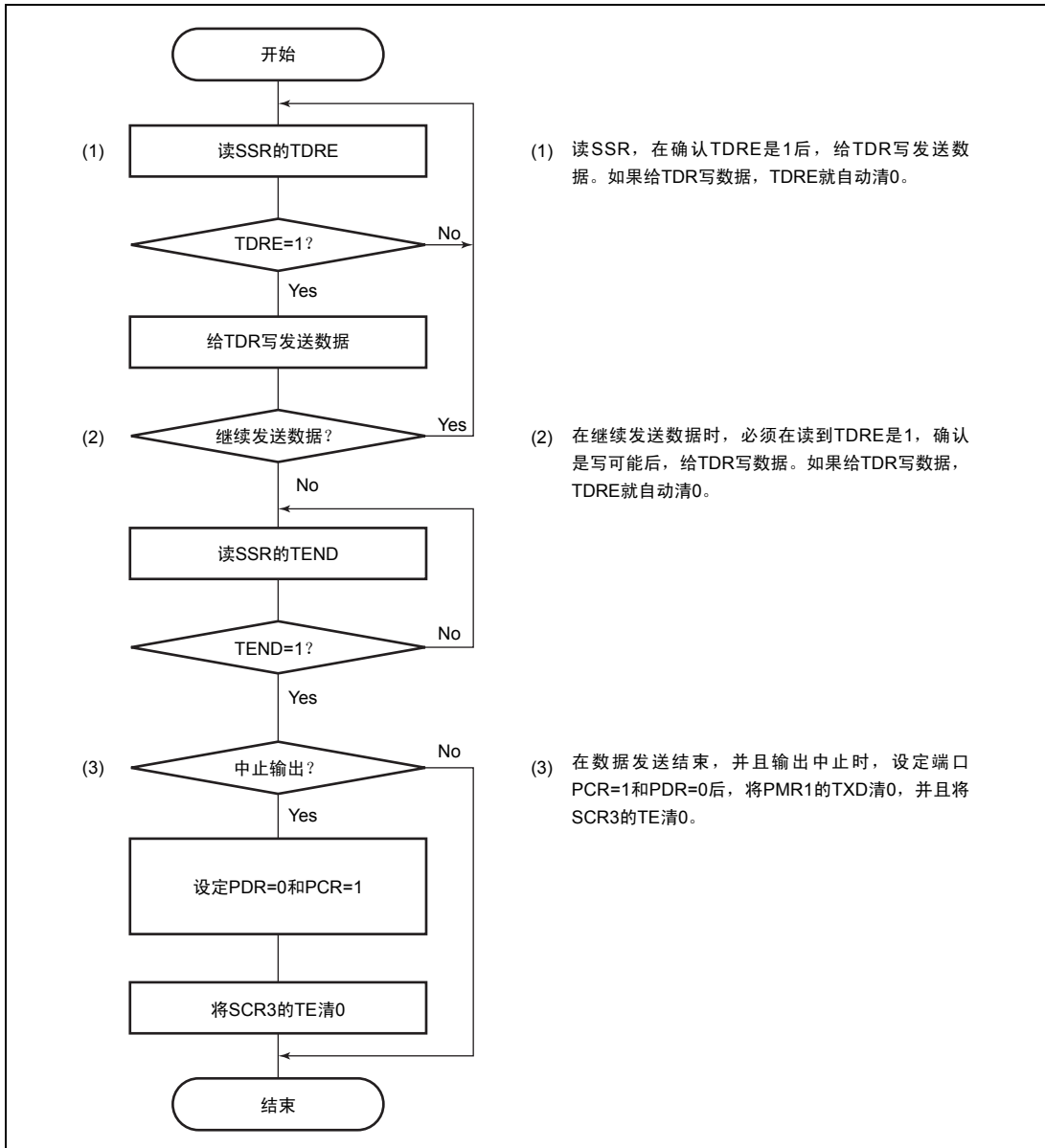


图 16.6 发送数据的流程图例子（异步模式）

16.4.4 数据接收

异步模式接收时的运行例子图 16.7 所示。SCI3 在接收时的运行步骤如下：

1. 监视通信线路，如果检测出起始位，就进行内部同步，将接收数据传送给RDR，并检测奇偶校验位和停止位。
2. 当发生溢出错误时（在SSR的RDRF被置1的状态下，完成接收下一个数据时），SSR的OER被置位。此时，如果SCR3的RIE被置1，就发生ERI中断请求。接收数据不传送给RDR。
3. 在检测出奇偶校验错误时，SSR的PER被置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE已被置1，就发生ERI中断请求。
4. 在检测出帧错误（停止位是0的时候）时，SSR的FER被置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE被置1，就发生ERI中断请求。
5. 在正常接收时，SSR的RDRF被置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE被置1，就发生RXI中断请求。可以通过该RXI中断处理程序，在下一个数据接收结束之前，读传送到RDR的接收数据，进行连续接收。

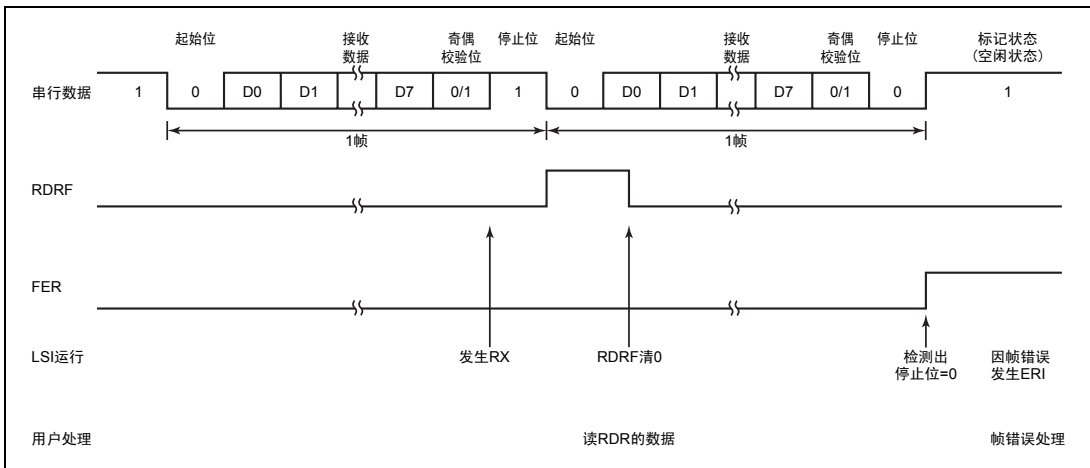


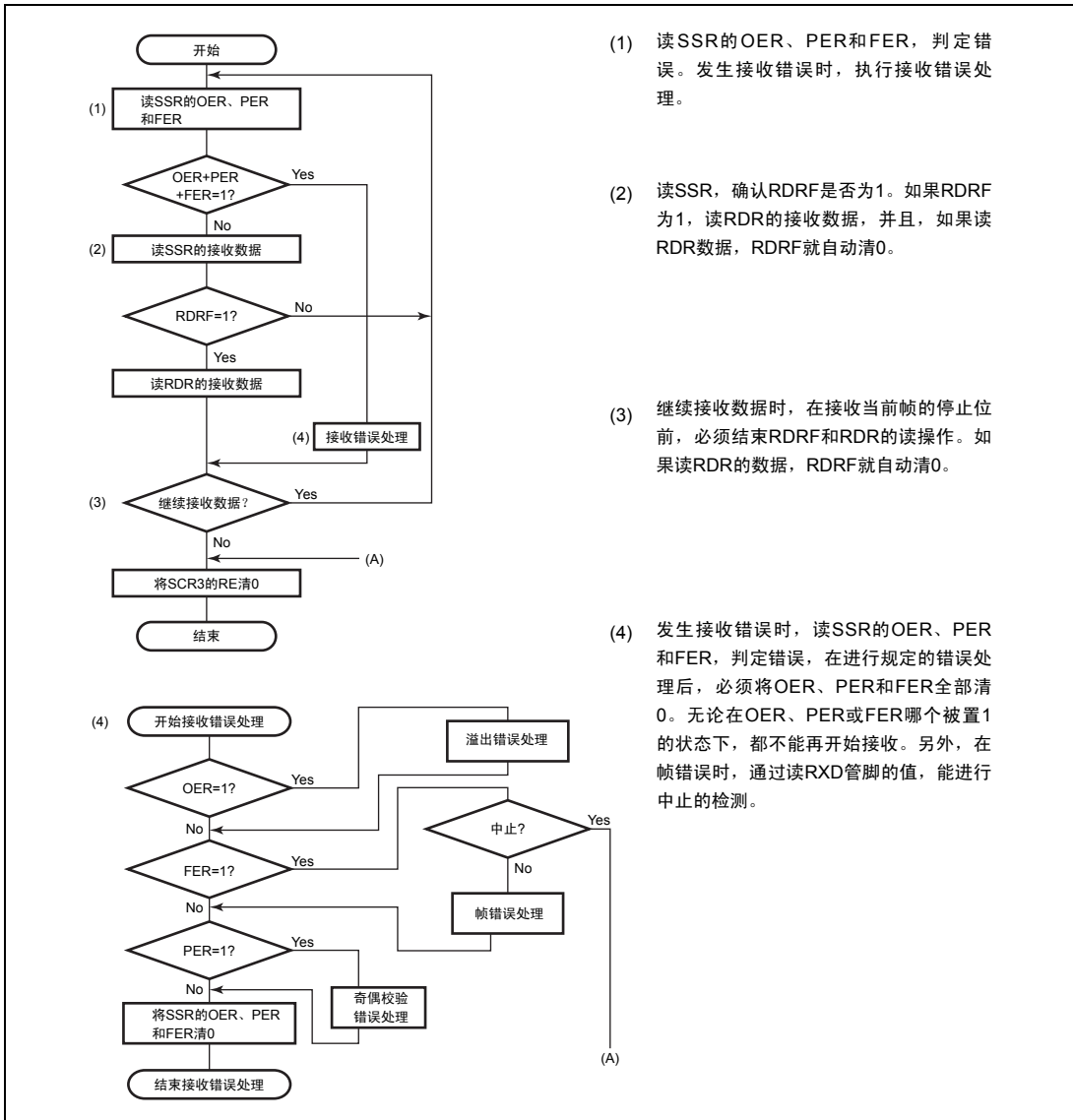
图 16.7 异步模式接收时的运行例子（8 位数据/有奇偶校验/1 个停止位的例子）

在检测出接收错误时，SSR 各状态标志的状态和接收数据的处理如表 16.6 所示。如果检测出接收错误，RDRF 就保持接收数据前的状态。在接收错误被置位的状态下，不能进行以后的接收运行。因此，在继续接收前，必须将 OER、FER、PER 和 RDRF 清 0。接收数据的流程图例子如图 16.8 所示。

表 16.6 SSR 状态标志的状态和接收数据的传送

SSR 状态标志				接收数据	接收错误的状态
RDRF*	OER	FER	PER		
1	1	0	0	丢失	溢出错误
0	0	1	0	传送给 RDR	帧错误
0	0	0	1	传送给 RDR	奇偶校验错误
1	1	1	0	丢失	溢出错误+帧错误
1	1	0	1	丢失	溢出错误+奇偶校验错误
0	0	1	1	传送给 RDR	帧错误+奇偶校验错误
1	1	1	1	丢失	溢出错误+帧错误+奇偶校验错误

【注】* RDRF 保持数据接收前的状态。



(1) 读 SSR 的 OER、PER 和 FER，判定错误。发生接收错误时，执行接收错误处理。

(2) 读 SSR，确认 RDRF 是否为 1。如果 RDRF 为 1，读 RDR 的接收数据，并且，如果读 RDR 数据，RDRF 就自动清 0。

(3) 继续接收数据时，在接收当前帧的停止位前，必须结束 RDRF 和 RDR 的读操作。如果读 RDR 的数据，RDRF 就自动清 0。

(4) 发生接收错误时，读 SSR 的 OER、PER 和 FER，判定错误，在进行规定的错误处理后，必须将 OER、PER 和 FER 全部清 0。无论在 OER、PER 或 FER 哪个被置 1 的状态下，都不能再开始接收。另外，在帧错误时，通过读 RXD 管脚的值，能进行中止的检测。

图 16.8 数据接收的流程图例子（异步模式）

16.5 时钟同步模式的运行说明

时钟同步通信的通信数据格式如图 16.9 所示。在时钟同步模式，与时钟脉冲同步发送和接收数据。通信数据的一个字符由 LSB 开始的 8 位数据构成。SCI3 在发送数据时，从同步时钟的一个下降沿开始到下一个下降沿为止输出数据。在接收数据时，与同步时钟的上升沿同步接收数据。MSB 输出后的通信线路保持 MSB 输出状态。在时钟同步模式，不能附加奇偶校验位和多处理器位。由于在 SCI3 内部，发送部和接收部独立，因此能通过共有时钟，进行全双工通信。由于发送部和接收部都采用了双缓冲结构，因此可以通过在发送中写下一个发送数据、在接收中读前一个接收数据，进行连续发送和接收。

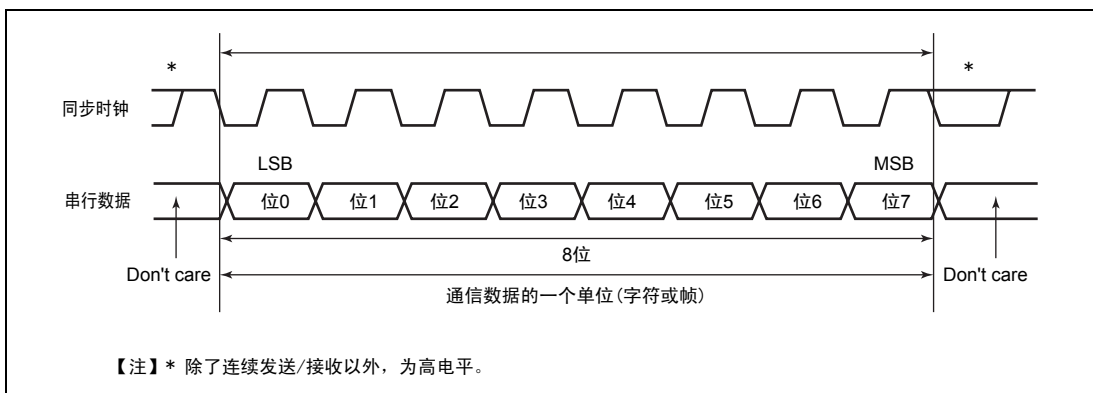


图 16.9 时钟同步通信的数据格式

16.5.1 时钟

通过设定 SMR 的 COM 和 SCR3 的 CKE1、CKE0，能选择内部波特率发生器生成的内部时钟或者选择从 SCK3 管脚输入的外部同步时钟。以内部时钟运行时，从 SCK3 管脚输出同步时钟。在一个字符的发送和接收时，同步时钟输出 8 个脉冲，不进行发送和接收时，同步时钟被固定为高电平。

16.5.2 SCI3 的初始化

在发送和接收数据前，必须按照图 16.4 的流程图的例子初始化 SCI3。

16.5.3 数据发送

时钟同步模式发送时的运行例子如图 16.10 所示。发送数据时的 SCI3 运行步骤如下：

1. SCI3 监视 SSR 的 TDRE，如果是 0，就被认为数据已写到 TDR，将数据从 TDR 传送给 TSR。
2. TDRE 置 1 后，开始发送。此时，如果 SCR3 的 TIE 被置 1，就发生 TXI 中断请求。
3. 在设定为时钟输出模式时，SCI3 输出 8 个脉冲的同步时钟。在设定为外部时钟时，与输入时钟同步输出数据。串行数据由 LSB（位 0）开始按顺序从 TXD 管脚被发送。
4. 在发送 MSB（位 7）的同时，检测 TDRE。
5. 如果 TDRE 是 0，就将数据从 TDR 传送给 TSR，并开始发送下一帧。
6. 如果 TDRE 是 1，就给 SSR 的 TEND 置 1，并保持 MSB 输出状态。此时，如果 SCR3 的 TEIE 被置 1，就发生 TEI。
7. 结束发送后，SCK3 管脚被固定为高电平。

发送数据的流程图例子如图 16.11 所示。由于在表示数据接收状态的错误标志（OER、FER、PER）被置 1 的状态下，不能进行发送，因此必须在发送前确认错误标志（OER、FER、PER）是否已被清 0。

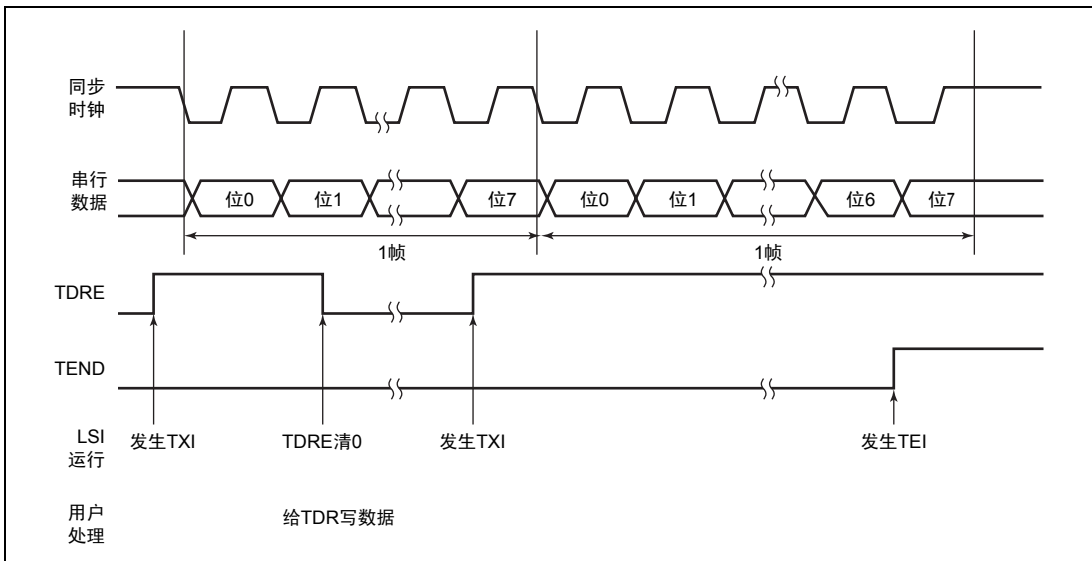


图 16.10 时钟同步模式发送时的运行例子

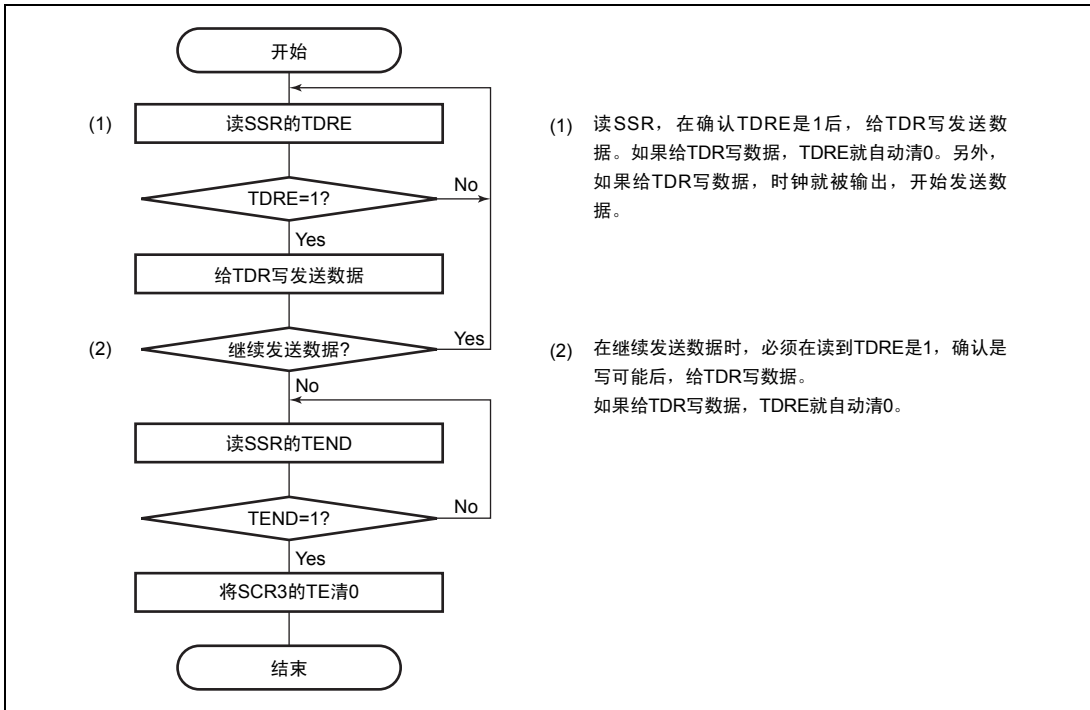


图 16.11 数据发送的流程图例子（时钟同步模式）

16.5.4 数据接收

时钟同步模式接收时的运行例子如图 16.12 所示。接收时的 SCI3 运行步骤如下：

1. SCI3与同步时钟的输入或者输出同步，进行内部初始化，并且开始接收。
2. 将接收的数据传送给RSR。
3. 当发生溢出错误时（在SSR的RDRF置1的状态下，完成接收下一个数据时），SSR的OER被置位。此时，如果SCR3的RIE被置1，就发生ERI中断请求。接收数据不传送给RDR。保持RDRF置1的状态。
4. 正常接收时，SSR的RDRF置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE被置1，就发生RXI中断请求。

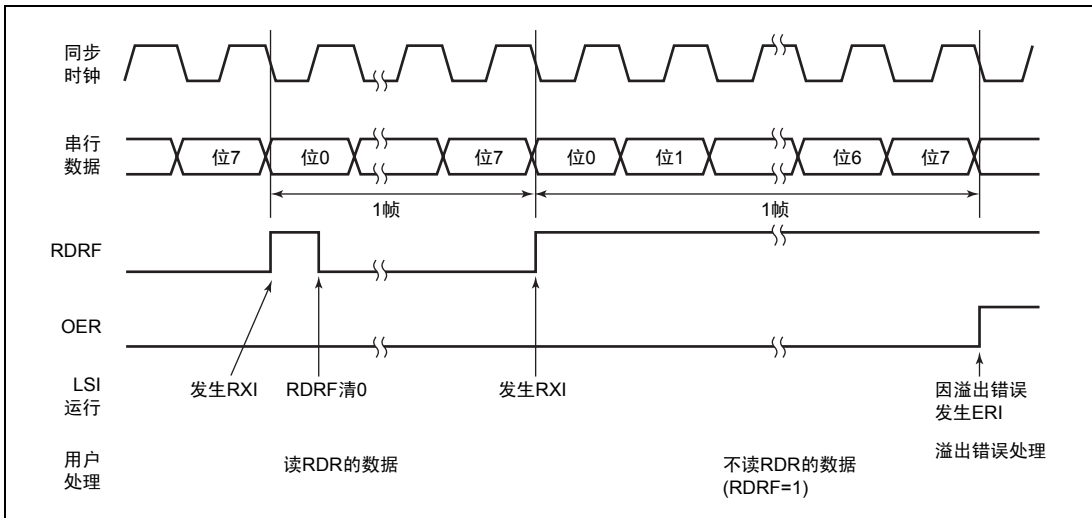


图 16.12 时钟同步模式接收时的运行例子

在接收错误被置位的状态下，不能进行以后的接收运行。因此，在继续接收前，必须将 OER、FER、PER 和 RDRF 清 0。接收数据的流程图例子如图 16.13 所示。

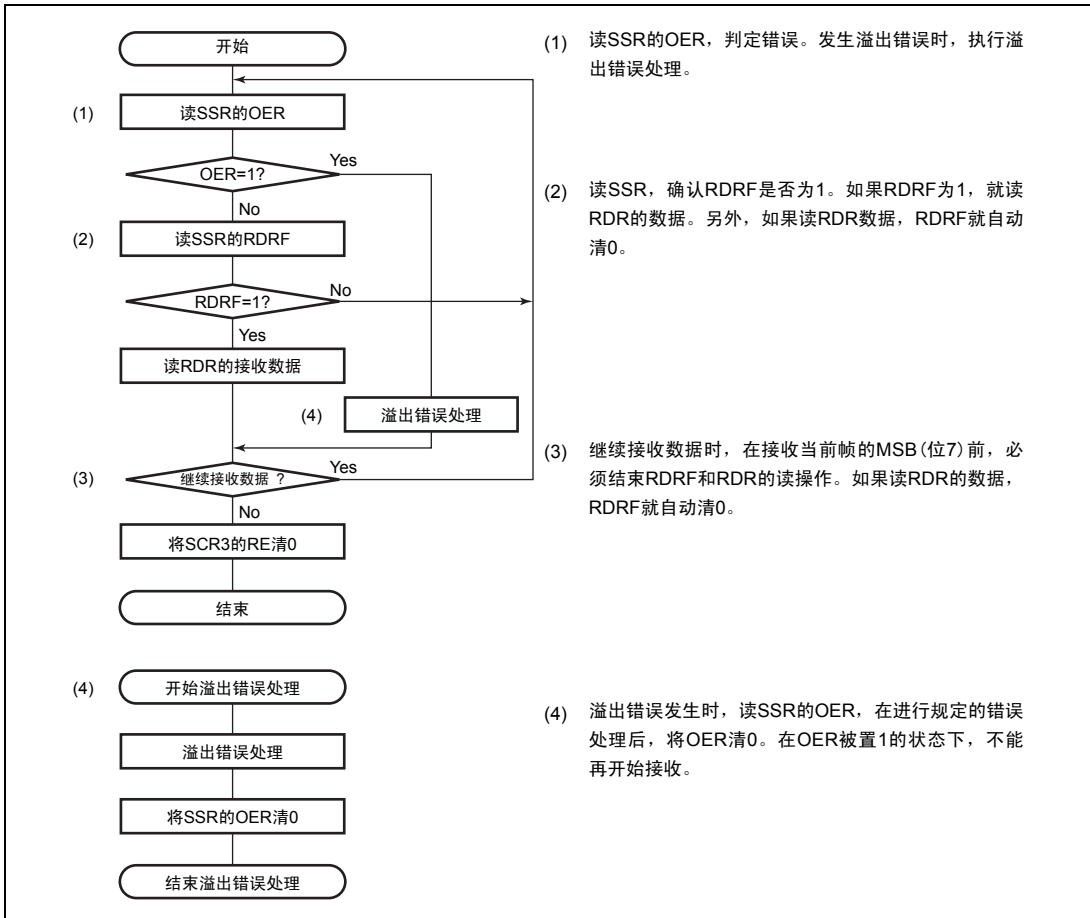


图 16.13 接收数据的流程图例子 (时钟同步模式)

16.5.5 数据发送和接收同时运行

发送和接收数据同时运行的流程图例子如图 16.14 所示。发送和接收数据同时运行必须在 SCI3 初始化后，按以下的步骤进行。从发送转换到同时发送和接收时，在确认 SCI3 是发送结束状态，并且 TDRE 和 TEND 被置 1 以后，将 TE 清 0，然后用一条指令将 TE 和 RE 同时置 1。从接收转换到同时发送和接收时，在确认 SCI3 是接收结束状态后，将 RE 清 0，然后在确认 RDRF 和错误标志 (OER、FER、PER) 被清 0 后，用一条指令将 TE 和 RE 同时置 1。

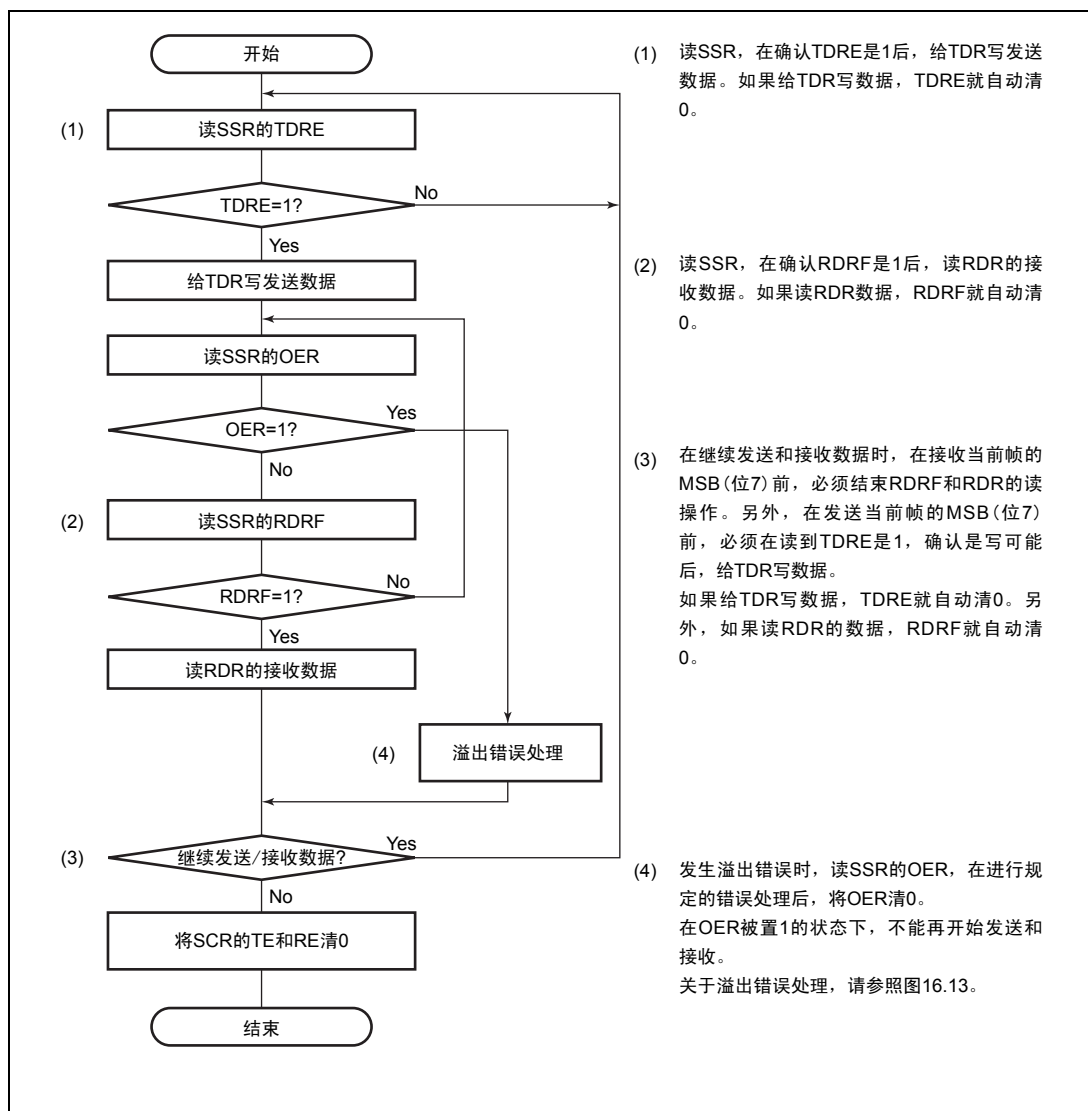


图 16.14 数据发送和接收同时运行的流程图例子 (时钟同步模式)

16.6 多处理器通信功能

如果使用多处理器通信功能，就能通过附加多处理器位的异步串行通信，在多处理器之间共用通信线路发送和接收数据。在多处理器通信时，给各接收站分配一个特有的 ID 码。由指定接收站的 ID 发送周期和对指定接收站的数据发送周期构成串行通信周期。由多处理器位区分 ID 发送周期和数据发送周期。当多处理器位是 1 时，为 ID 发送周期；当多处理器位是 0 时，为数据发送周期。使用多处理器格式的处理器之间的通信例子如图 16.15 所示。发送站首先发送将多处理器位为 1 的数据附加于接收站 ID 码的通信数据，然后发送将多处理器位为 0 的数据附加于发送数据的通信数据。接收站如果接收到多处理器位为 1 的通信数据，就与本站的 ID 比较。如果一致，就继续接收被发送的通信数据；如果不一致，就在再次接收到多处理器位是 1 的通信数据前，跳过通信数据。

SCI3 为了支持这个功能，在 SCR3 预备了 MPIE 位。如果将 MPIE 置 1，就在接收到多处理器位为 1 的数据前，将接收数据从 RSR 传送到 RDR、禁止检测接收错误和禁止 SSR 的 RDRF、FER 和 OER 各状态标志置位。如果接收到多处理器位为 1 的接收字符，就在将 SSR 的 MPBR 置 1 的同时，自动清除 MPIE，并返回通常的接收运行状态。此时，如果 SCR3 的 RIE 被置位，就发生 RXI 中断。

在指定了多处理器格式的情况下，奇偶校验位的指定为无效。除此以外，与通常的异步模式相同。进行多处理器通信时的时钟也和通常的异步模式相同。

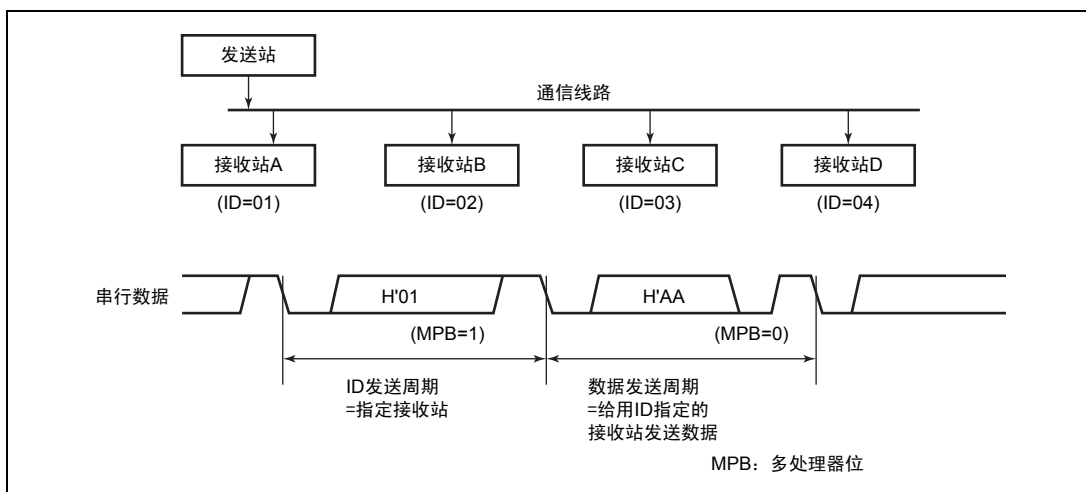


图 16.15 使用多处理器格式的处理器之间的通信例子
(给接收站 A 发送数据 H'AA 的例子)

16.6.1 多处理器数据发送

多处理器数据发送的流程图例子如图 16.16 所示。在 ID 发送周期，必须在将 SSR 的 MPBT 置 1 后发送。在数据发送周期，必须在将 SSR 的 MPBT 清 0 后发送。其它运行和异步模式的运行相同。

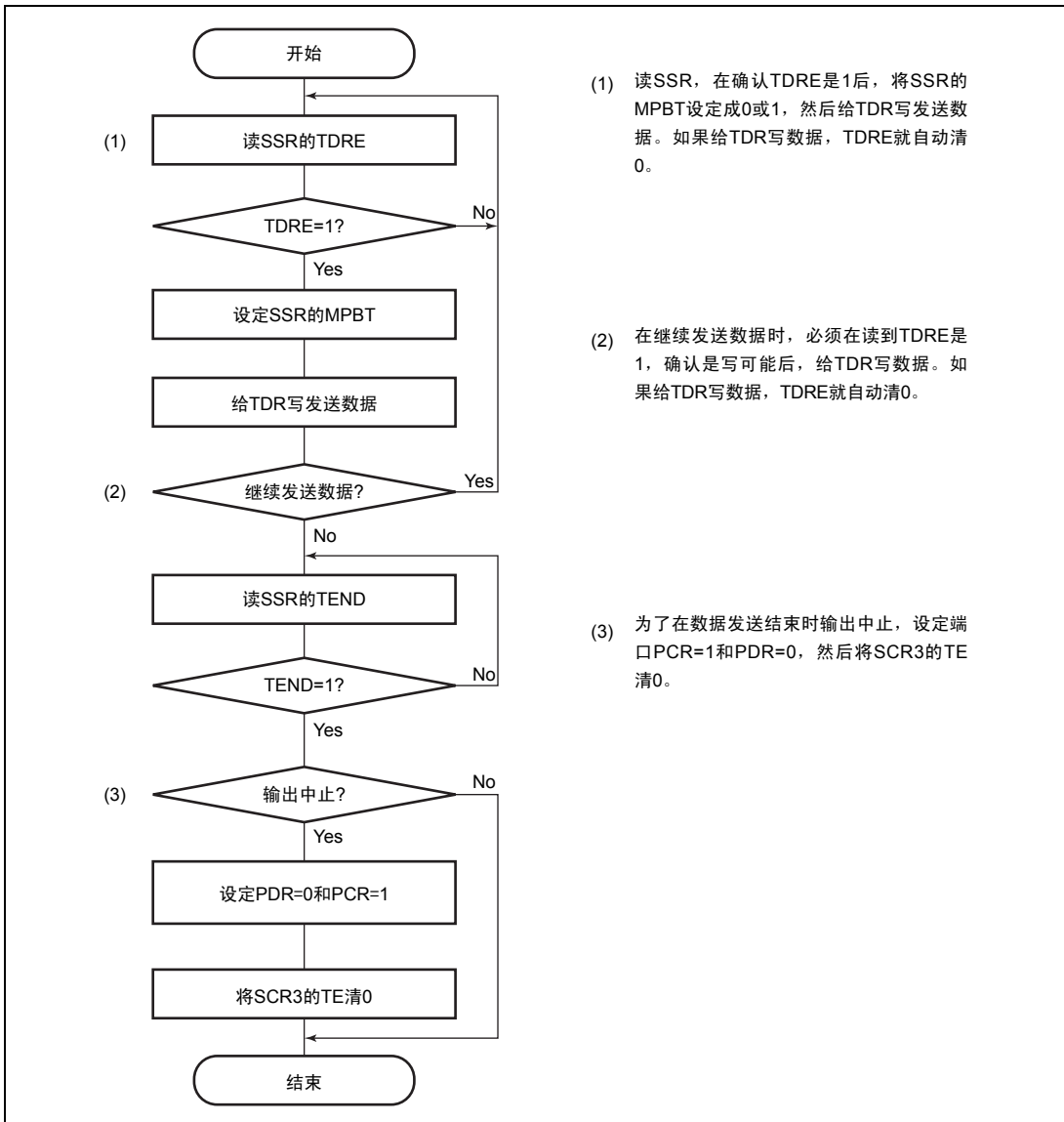


图 16.16 多处理器数据发送的流程图例子

16.6.2 多处理器数据接收

多处理器数据接收的流程图例子如图 16.17 所示。如果 SCR3 的 MPIE 置 1，就在接收到多处理器位是 1 的通信数据之前，跳过通信数据。如果接收到多处理器位是 1 的通信数据，就将接收数据传送给 RDR，此时，发生 RXI 中断请求。其它运行和异步模式的运行相同。接收时的运行例子如图 16.18 所示。

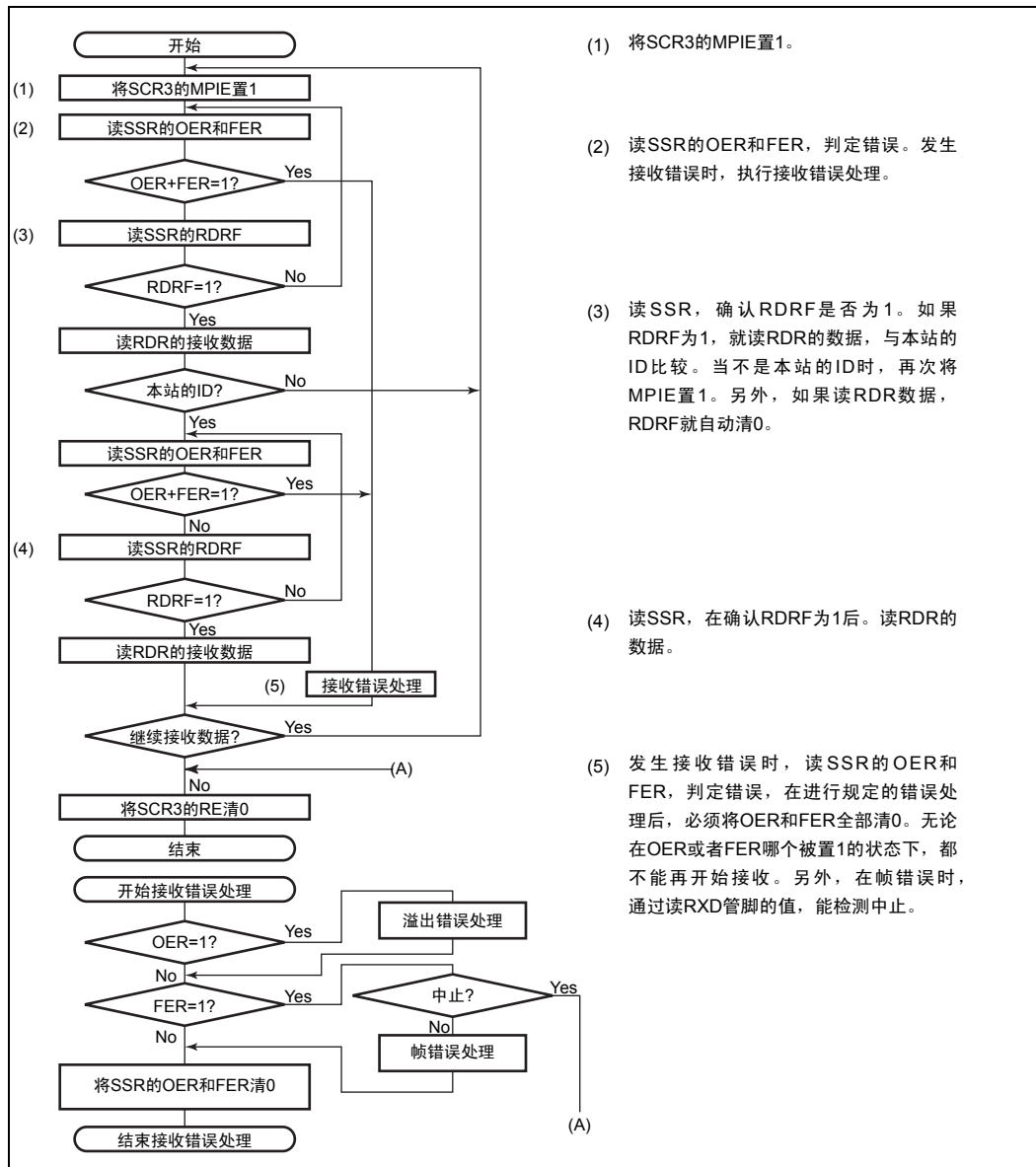


图 16.17 多处理器数据接收的流程图例子

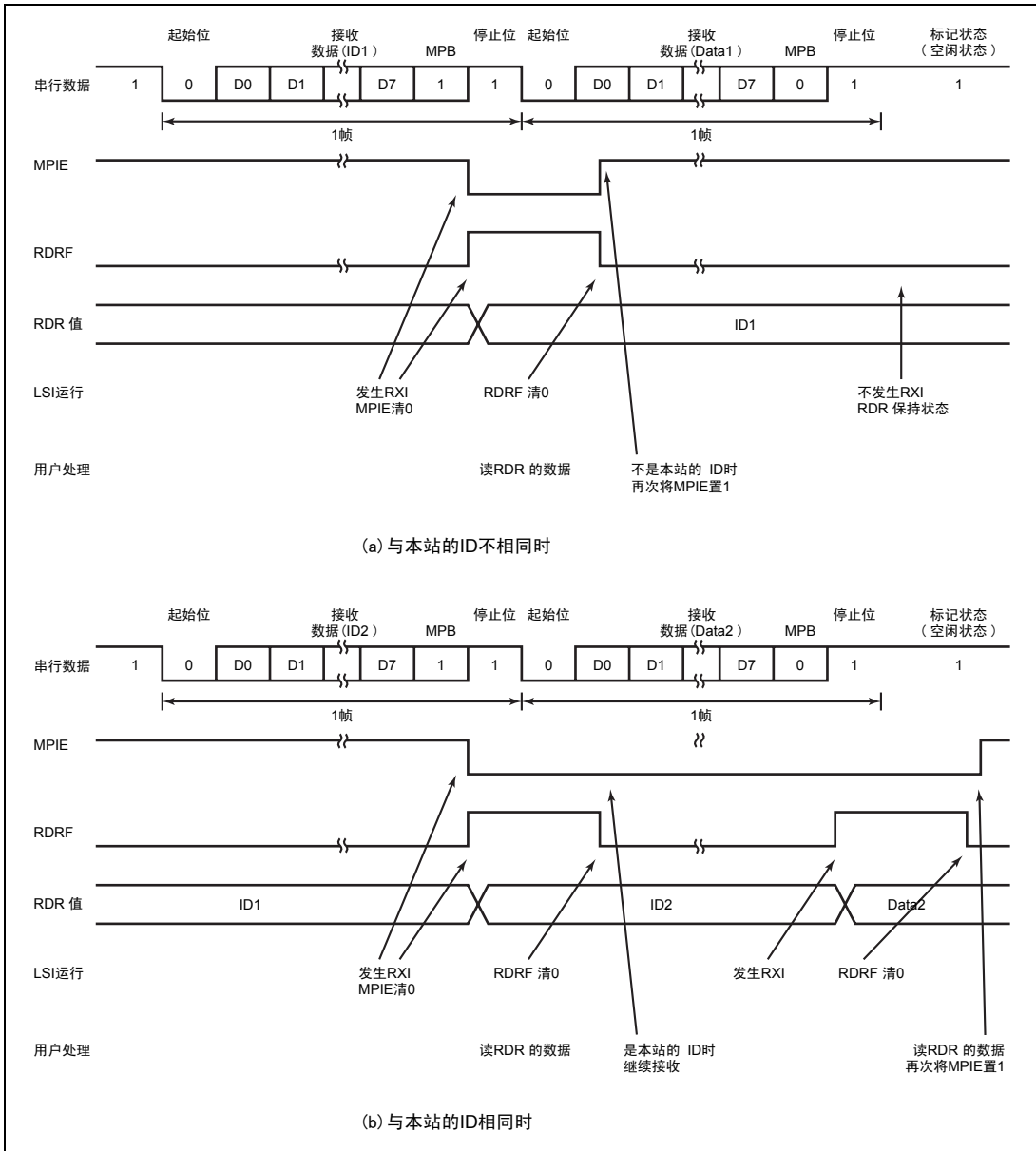


图 16.18 多处理器格式的接收时的运行例子
(8 位数据/有多处理器位/1 个停止位的例子)

16.7 中断请求

SCI3 生成的中断请求有 6 种：发送结束、发送数据空、接收数据满以及接收错误（溢出错误、帧错误和奇偶校验错误）。各中断请求的内容如表 16.7 所示。

表 16.7 SCI3 的中断请求

中断请求	略称	中断源
接收数据满	RXI	SSR 的 RDRF 置位
发送数据空	TXI	SSR 的 TDRE 置位
发送结束	TEI	SSR 的 TEND 置位
接收错误	ERI	SSR 的 OER、FER 和 PER 置位

SSR 的 TDRE 的初始值为 1。因此，如果在给 TDR 传送发送数据前，将 SCR3 的 TIE 置 1，即使没准备好发送数据也发生 TXI。另外，SSR 的 TEND 的初始值为 1。如果在给 TDR 传送发送数据前，将 SCR3 的 TEIE 置 1，即使发送数据没被发送也发生 TEI。在中断处理程序中，通过给 TDR 传送发送数据的处理，能有效地利用这些中断请求。相反，为了防止发生这些中断请求（TXI、TEI），在给 TDR 传送发送数据后，必须将对应这些中断请求的允许位（TIE、TEIE）置 1。

16.8 使用时的注意事项

16.8.1 关于中止的检测和处理

在检测帧错误时，通过直接读 RXD 管脚的值，能检测中止。因为，在中止期间 RXD 管脚的输入全部为 0，所以 FER 被置位，而且 PER 也可能被置位。SCI3 在接收了中止以后，还继续接收运行。因此，请注意，即使 FER 被清 0，也会再次被置 1。

16.8.2 标记状态和中止的发送

TE 是 0 时，TXD 管脚成为由 PDR 和 PCR 决定输入/输出方向和电平的 I/O 端口。利用它可将 TXD 管脚变为标记状态，或者在数据发送时，能发送中止。为了在将 TE 置 1 前，使通信线路为标记状态（1 的状态），设定 PCR=1 和 PDR=1。这时，由于 TE 被清 0，因此 TXD 管脚变为 I/O 端口，并且从 TXD 管脚输出 1。另外，在数据发送时，如果要发送中止，就在设定 PCR=1 和 PDR=0 后，将 TE 清 0。如果 TE 清 0，与现在的发送状态无关，发送部被初始化，TXD 管脚变为 I/O 端口，并且从 TXD 管脚输出 0。

16.8.3 关于接收错误标志和发送运行（只限时钟同步模式）

在接收错误标志（OER、PER、FER）被置 1 的状态下，即使 TDRE 清 0，也不能开始发送。在开始发送时，必须将接收错误标志清 0。另外，请注意，即使 RE 清 0，也不能将接收错误标志清 0。

16.8.4 异步模式的接收数据采样时序和接收容限

在异步模式，SCI3 以频率为 16 倍传送率的基本时钟运行。在接收时，SCI3 用基本时钟采样起始位的下降沿，使内部同步。另外，在基本时钟的第 8 个上升沿，将接收数据取到内部，如图 16.19 所示。

因此，在异步模式的接收容限能用式（1）表示。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 (\%) \quad \cdots \cdots \text{式 (1)}$$

N: 对于时钟的位速率的比率 (N=16)

D: 时钟的占空比 (D=0.5~1.0)

L: 帧长 (L=9~12)

F: 时钟频率的偏差绝对值

在式（1），假设 F（时钟频率的偏差绝对值）=0、D（时钟的占空比）=0.5，

$$M = \left\{ 0.5 - 1/(2 \times 16) \right\} \times 100 (\%) = 46.875\%$$

但是，因为此值只是计算值，所以在系统设计时应留有 20~30%的容限。

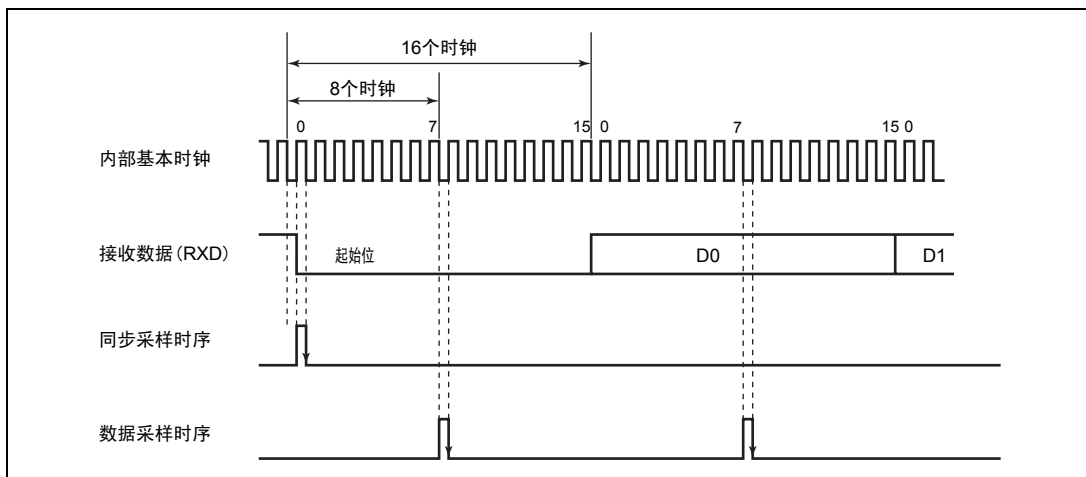


图 16.19 异步模式的接收数据的采样时序

第 17 章 I²C 总线接口 2 (IIC2)

I²C 总线接口 2 遵循飞利浦公司提倡的 I²C 总线 (Inter IC Bus) 接口方式, 具有子集功能。但是, 控制 I²C 总线的寄存器结构与飞利浦公司有些不同。I²C 总线接口 2 的框图如图 17.1 所示, 输入/输出管脚的外部电路连接例子如图 17.2 所示。

17.1 特点

- 可以选择 I²C 总线格式或者时钟同步串行格式
- 可以连续发送/接收

由于移位寄存器、发送数据寄存器和接收数据寄存器各自独立, 因此能连续发送/接收。

I²C 总线格式

- 在主模式, 自动生成开始条件和停止条件
- 接收时, 可以选择应答的输出电平
- 发送时, 自动装入应答位
- 具有位同步/等待功能

在主模式, 按位监视 SCL 的状态, 自动取得同步。在完成传送准备前, 置 SCL 为低电平, 使主侧处于等待状态。

- 中断源: 6种

发送数据空 (包含从属地址一致时)、发送结束、接收数据满 (包含从属地址一致时)、仲裁失败、检测出 NACK、检测出停止条件。

- 能直接驱动总线

在选择总线驱动功能时, SCL 和 SDA 的 2 个管脚为 NMOS 漏极开路输出。

时钟同步串行格式

- 中断源: 4种

发送数据空、发送结束、接收数据满、溢出错误。

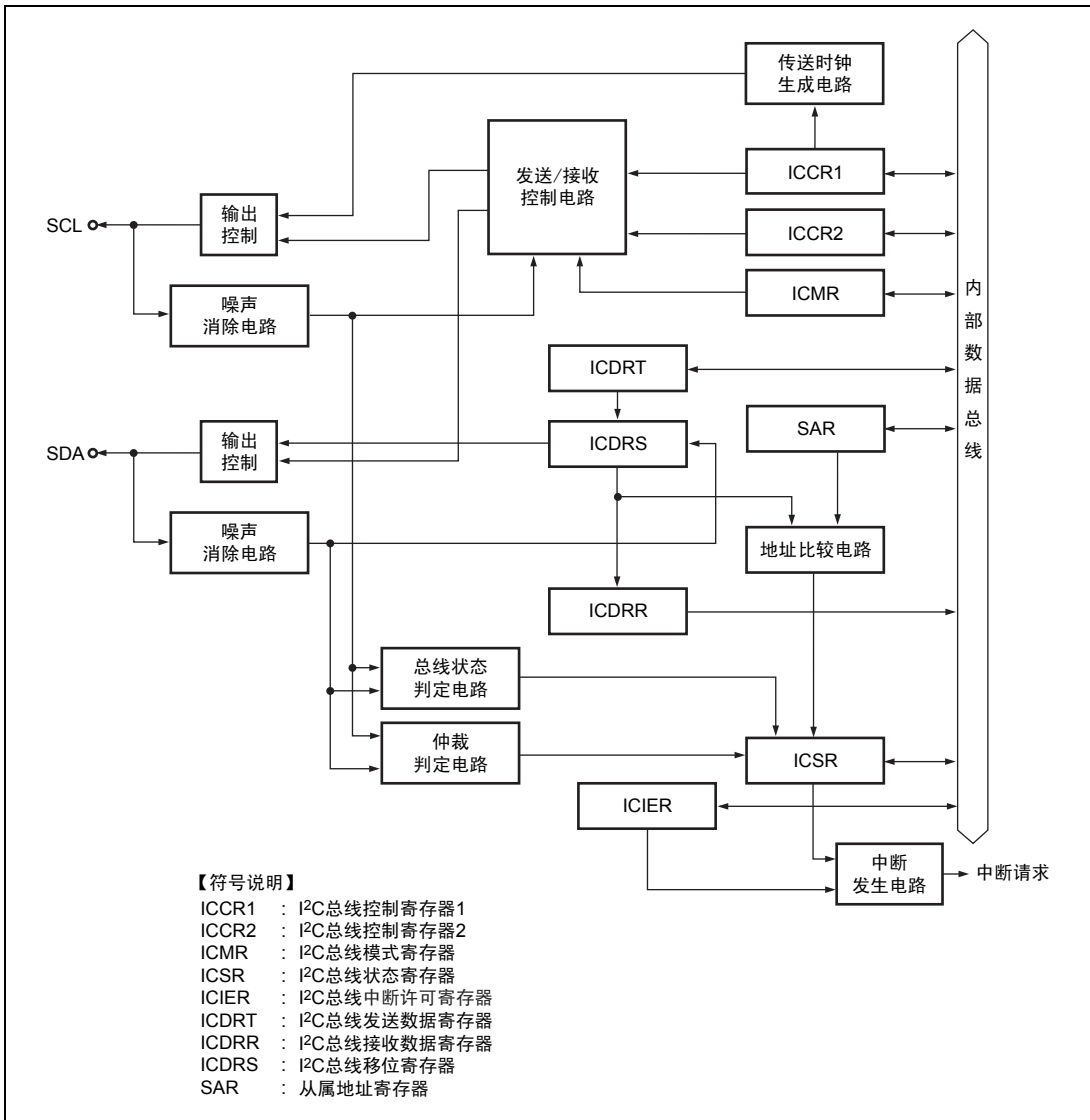


图 17.1 I²C 总线接口 2 的框图

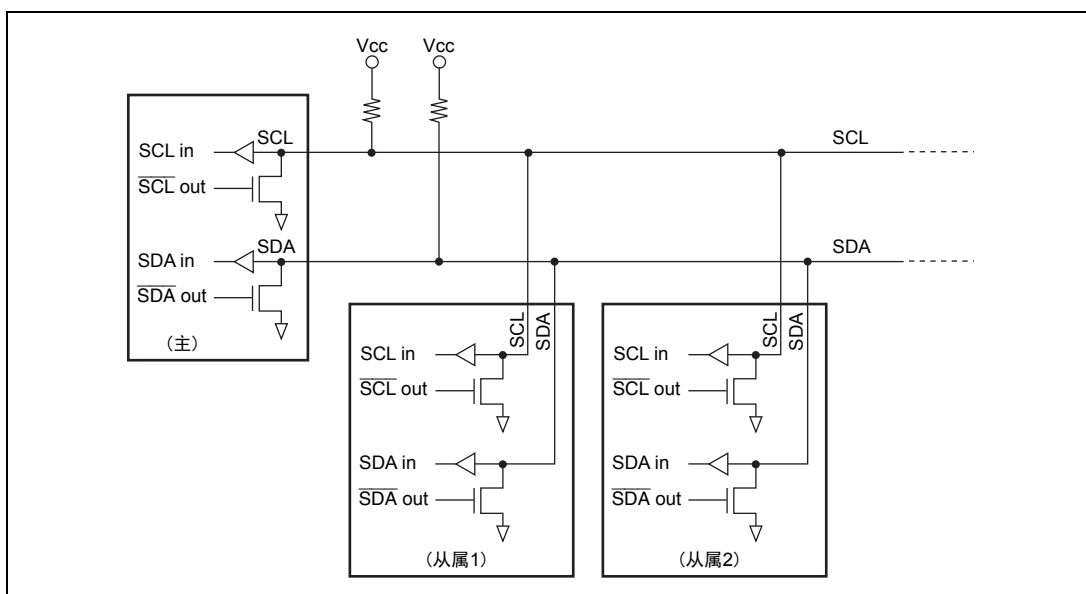


图 17.2 输入/输出管脚的外部电路连接例子

17.2 输入/输出管脚

在 I²C 总线接口 2 使用的管脚结构如表 17.1 所示。

表 17.1 管脚结构

名称	符号	输入/输出	功能
串行时钟管脚	SCL	输入/输出	I ² C 串行时钟输入/输出管脚
串行数据管脚	SDA	输入/输出	I ² C 串行数据输入/输出管脚

17.3 寄存器说明

I²C 总线接口 2 有以下寄存器：

- I²C 总线控制寄存器 1 (ICCR1)
- I²C 总线控制寄存器 2 (ICCR2)
- I²C 总线模式寄存器 (ICMR)
- I²C 总线中断许可寄存器 (ICIER)
- I²C 总线状态寄存器 (ICSR)
- 从属地址寄存器 (SAR)
- I²C 总线发送数据寄存器 (ICDRT)
- I²C 总线接收数据寄存器 (ICDRR)

• I²C 总线移位寄存器 (ICDRS)17.3.1 I²C 总线控制寄存器 1 (ICCR1)

ICCR1 选择 I²C 总线接口 2 的运行/停止、发送/接收控制、主模式/从属模式、发送/接收以及主模式传送时钟频率。

位	位名	初始值	R/W	说 明
7	ICE	0	R/W	I ² C 总线接口 2 允许 0: 本模块为功能停止状态 (SCL/SDA 管脚为端口功能) 1: 本模块为传送运行可能状态 (SCL/SDA 为总线驱动状态)
6	RCVD	0	R/W	接收禁止 在 TRS=0 的状态, 读 ICDRR 时, 设定继续/禁止下一次运行。 0: 继续下一次的接收运行 1: 禁止下一次的接收运行
5 4	MST TRS	0 0	R/W R/W	主/从属选择 发送/接收选择 在 I ² C 总线格式的主模式, 如果总线竞争失败, MST 和 TRS 就被硬件复位, 变为从属接收模式。必须在传送帧之间, 改变 TRS。另外, 在从属接收模式, 如果开始条件后的 7 位与设定在 SAR 的从属地址一致, 并且第 8 位是 1, TRS 就被自动置 1。在时钟同步串行格式的主接收模式, 如果发生溢出错误, MST 就被清 0, 变为从属接收模式。 通过 MST 和 TRS 的组合, 变为以下的运行模式。另外, 在选择时钟同步串行格式的情况下, 当 MST=1 时, 为时钟输出。 00: 从属接收模式 01: 从属发送模式 10: 主接收模式 11: 主发送模式
3	CKS3	0	R/W	传送时钟选择 3~0
2	CKS2	0	R/W	只有在主模式时有效。必须对照需要的传送率进行设定。关于传送率, 请参照表 17.2。从属模式用于确保发送模式时的数据准备时间。
1	CKS1	0	R/W	
0	CKS0	0	R/W	此时间在 CKS3=0 时为 10tcyc; 在 CKS3=1 时为 20tcyc。

表 17.2 传送率

位 3 CKS3	位 2 CKS2	位 1 CKS1	位 0 CKS0	时钟	传送率					
					$\phi = 5\text{MHz}$	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	
0	0	0	0	$\phi / 28$	179kHz	286kHz	357kHz	571kHz	714kHz	
			1	$\phi / 40$	125kHz	200kHz	250kHz	400kHz	500kHz	
		1	0	$\phi / 48$	104kHz	167kHz	208kHz	333kHz	417kHz	
			1	$\phi / 64$	78.1kHz	125kHz	156kHz	250kHz	313kHz	
		1	0	0	$\phi / 80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
				1	$\phi / 100$	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
	1	1	0	$\phi / 112$	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz	
			1	$\phi / 128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz	
	1	0	0	0	$\phi / 56$	89.3kHz	143kHz	179kHz	286kHz	357kHz
				1	$\phi / 80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	0	$\phi / 96$	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
				1	$\phi / 128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1			0	0	$\phi / 160$	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
				1	$\phi / 200$	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
1		1	0	$\phi / 224$	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz	
			1	$\phi / 256$	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz	

17.3.2 I²C 总线控制寄存器 2 (ICCR2)

ICCR2 控制发行开始/停止条件、操作 SDA 管脚、监视 SCL 管脚以及复位 I²C 总线接口 2 的控制部。

位	位名	初始值	R/W	说 明
7	BBSY	0	R/W	总线忙 有表示 I ² C 总线占有/释放状态的标志功能、发行主模式开始/停止条件的功能。在时钟同步串行格式时，此位无意义。在 I ² C 总线格式，在 SCL = 高电平的状态下，如果 SDA 从高电平变为低电平，就认为开始条件被发行，将此位置 1；在 SCL = 高电平的状态下，如果 SDA 从低电平变为高电平，就认为停止条件被发行，将此位清 0。在发行开始条件时，给 BBSY 写 1 且给 SCP 写 0，再次发送开始条件时也同样进行此操作。在发行停止条件时，给 BBSY 写 0 且给 SCP 写 0。另外，必须使用 MOV 指令，发行开始条件/停止条件。

位	位名	初始值	R/W	说 明
6	SCP	1	R/W	<p>开始/停止条件发行禁止位</p> <p>在主模式，SCP 位控制发行开始条件/停止条件。在发行开始条件时，给 BBSY 写 1 且给 SCP 写 0，再次发送开始条件时也同样进行。在发行停止条件时，给 BBSY 写 0 且给 SCP 写 0。此位总是读出 1。即使写 1，数据也不被保存。</p>
5	SDAO	1	R/W	<p>SDA 输出值控制</p> <p>在改变 SDA 的输出电平时，SDAO 和位 4 的 SDAOP 配合使用。另外，在传送中，不能操作此位。</p> <p>0: 读时，SDA 管脚输出为低电平 : 写时，将 SDA 管脚输出变为低电平</p> <p>1: 读时，SDA 管脚输出为高电平 : 写时，将 SDA 管脚输出变为 Hi-Z (通过外部上拉电阻，输出高电平)</p>
4	SDAOP	1	R/W	<p>SDAO 写保护</p> <p>通过改写 SDAOP 位，控制改变 SDA 管脚的输出电平。在改变输出电平时，使用 MOV 指令给 SDAOP 写 0 且给 SDAOP 写 0，或者给 SDAOP 写 1 且给 SDAOP 写 0。此位总是读出 1。</p>
3	SCLO	1	R	<p>SCLO 监视 SCL 的输出电平。读时，如果 SCLO 是 1，SCL 管脚输出就为高电平，如果 SCLO 是 0，SCL 管脚输出就为低电平。</p>
2	—	1	—	保留位。总是读出 1。
1	IICRST	0	R/W	<p>IIC 控制部复位</p> <p>IICRST 对除了 I²C 寄存器以外的控制部进行复位。在 I²C 运行中，由于通信不良而中止时，如果 IICRST 位置 1，就可以不进行端口设定和寄存器初始化，而对 I²C 控制部复位。</p>
0	—	1	—	保留位。总是读出 1。

17.3.3 I²C 总线模式寄存器 (ICMR)

ICMR 选择 MSB 优先/LSB 优先、控制主模式等待和选择传送位数。

位	位名	初始值	R/W	说 明
7	MLS	0	R/W	MSB 优先/LSB 优先选择 0: MSB 优先 1: LSB 优先 在 I ² C 总线格式使用时, 必须设定成 0。
6	WAIT	0	R/W	等待插入位 在 I ² C 总线格式的主模式时, WAIT 设定在传送除了应答以外的数据后, 是否为等待状态。如果 WAIT 为 1, 就在数据最后位的时钟下降后, 延长 2 个传送时钟的低电平宽度。如果 WAIT 为 0, 就不插入等待, 连续传送数据和应答。 另外, 在 I ² C 总线格式从属模式和时钟同步串行格式时, 此位的设定值无效。
5	—	1	—	保留位。总是读出 1。
4	—	1	—	保留位。总是读出 1。
3	BCWP	1	R/W	BC 写保护 控制写 BC2~BC0。在改写 BC2~BC0 时, 将此位置 0, 然后用 MOV 指令进行。另外, 在时钟同步串行模式, 不能改写 BC。 0: 写时, 设定 BC2~BC0 的值 1: 读时, 总是读出 1 写时, BC2~BC0 的设定值无效

位	位名	初始值	R/W	说 明																		
2	BC2	0	R/W	位计数器 2~0 指定下一次传送数据的位数。如果读此位，就能知道剩余的传送位数。 在 I ² C 总线格式，给数据加上 1 个应答位后传送。必须在传送帧之间进行设定。另外，如果设定 000 以外的值，必须在 SCL 为低状态时进行。在包含应答的数据传送结束后，这些位自动返回到 000。在选择时钟同步串行格式时，不能改写。 <table border="0" style="width: 100%;"> <tr> <td style="text-align: left;">I²C 总线格式</td> <td style="text-align: left;">时钟同步串行格式</td> </tr> <tr> <td>000: 9 位</td> <td>000: 8 位</td> </tr> <tr> <td>001: 2 位</td> <td>001: 1 位</td> </tr> <tr> <td>010: 3 位</td> <td>010: 2 位</td> </tr> <tr> <td>011: 4 位</td> <td>011: 3 位</td> </tr> <tr> <td>100: 5 位</td> <td>100: 4 位</td> </tr> <tr> <td>101: 6 位</td> <td>101: 5 位</td> </tr> <tr> <td>110: 7 位</td> <td>110: 6 位</td> </tr> <tr> <td>111: 8 位</td> <td>111: 7 位</td> </tr> </table>	I ² C 总线格式	时钟同步串行格式	000: 9 位	000: 8 位	001: 2 位	001: 1 位	010: 3 位	010: 2 位	011: 4 位	011: 3 位	100: 5 位	100: 4 位	101: 6 位	101: 5 位	110: 7 位	110: 6 位	111: 8 位	111: 7 位
I ² C 总线格式	时钟同步串行格式																					
000: 9 位	000: 8 位																					
001: 2 位	001: 1 位																					
010: 3 位	010: 2 位																					
011: 4 位	011: 3 位																					
100: 5 位	100: 4 位																					
101: 6 位	101: 5 位																					
110: 7 位	110: 6 位																					
111: 8 位	111: 7 位																					
1	BC1	0	R/W																			
0	BC0	0	R/W																			

17.3.4 I²C 总线中断许可寄存器 (ICIER)

ICIER 允许各种中断源、选择应答有效/无效、设定发送应答以及确认接收应答。

位	位名	初始值	R/W	说 明
7	TIE	0	R/W	发送中断允许 当 ICSR 的 TDRE 被置位时，允许/禁止发送数据空中断 (TXI)。 0: 禁止发送数据空中断请求 (TXI) 1: 允许发送数据空中断请求 (TXI)
6	TEIE	0	R/W	发送结束中断允许 在 ICSR 的 TDRE 为 1 状态，并且在第 9 个时钟上升时，TEIE 选择允许/禁止发送结束中断 (TEI)。另外，能通过将 TEND 清 0 或者将 TEIE 清 0，解除 TEI。 0: 禁止发送结束中断请求 (TEI) 1: 允许发送结束中断请求 (TEI)

位	位名	初始值	R/W	说 明
5	RIE	0	R/W	<p>接收中断允许</p> <p>当接收数据从 ICDRS 被传送到 ICDRR, 并且在 ICSR 的 RDRF 被置 1 时, RIE 选择允许/禁止接收数据满中断请求 (RXI) 和选择禁止/允许时钟同步格式时的溢出错误中断请求 (ERI)。另外, 能通过将 RDRF 清 0 或者将 RIE 清 0, 解除 RXI。</p> <p>0: 禁止接收数据满中断请求 (RXI) 和时钟同步格式时的溢出错误中断请求 (ERI)</p> <p>1: 允许接收数据满中断请求 (RXI) 和时钟同步格式时的溢出错误中断请求 (ERI)</p>
4	NAKIE	0	R/W	<p>NACK 接收中断允许</p> <p>当 ICSR 的 NACKF 和 AL 被置位时, NAKIE 选择允许/禁止 NACK 接收中断请求 (NAKI) 和选择允许/禁止时钟同步格式时的溢出错误 (ICSR 的 OVE 置位) 中断请求 (ERI)。另外, 能通过将 NACKF 或者 OVE 清 0, 或者将 NAKIE 清 0, 解除 NAKI。</p> <p>0: 禁止 NACK 接收中断请求 (NAKI)</p> <p>1: 允许 NACK 接收中断请求 (NAKI)</p>
3	STIE	0	R/W	<p>停止条件检测中断允许</p> <p>0: 禁止检测停止条件的中断请求 (STPI)</p> <p>1: 允许检测停止条件的中断请求 (STPI)</p>
2	ACKE	0	R/W	<p>应答位判定选择</p> <p>0: 忽略接收应答的内容进行连续传送。</p> <p>1: 当接收应答为 1 时, 中止传送。</p>
1	ACKBR	0	R	<p>接收应答</p> <p>在发送模式时, 此位保存从接收设备接收的应答位的内容, 写无效。</p> <p>0: 接收应答=0</p> <p>1: 接收应答=1</p>
0	ACKBT	0	R/W	<p>发送应答</p> <p>在接收模式时, 设定在应答时序发送的位。</p> <p>0: 在应答时序发送 0</p> <p>1: 在应答时序发送 1</p>

17.3.5 I²C 总线状态寄存器 (ICSR)

ICSR 确认各中断请求标志和状态。

位	位名	初始值	R/W	说 明
7	TDRE	0	R/W	发送数据空 [置位条件] • 在将数据从 ICDRT 传送到 ICDRS, 并且 ICDRT 变为空时 • 在将 TRS 置位时 • 在发行开始条件 (包含再送) 时 • 在从属模式, 从接收模式变为发送模式时 [清除条件] • 在读到 1 的状态后, 写 0 时 • 在用指令给 ICDRT 写数据时
6	TEND	0	R/W	发送结束 [置位条件] • 在 I ² C 总线格式, 当 TDRE 为 1 状态, 并且在 SCL 的第 9 个时钟上升时 • 在时钟同步串行格式, 发出发送帧的最后位时 [清除条件] • 在读到 1 的状态后, 写 0 时 • 在用指令给 ICDRT 写数据时
5	RDRF	0	R/W	接收数据寄存器满 [置位条件] • 在将接收数据从 ICDRS 传送到 ICDRR 时 [清除条件] • 在读到 1 的状态后, 写 0 时 • 在用指令读 ICDRR 时
4	NACKF	0	R/W	无应答检测标志 [置位条件] • 在 ICIER 的 ACKE=1 的状态下, 发送时没有来自接收设备的应答时 [清除条件] • 在读到 1 的状态后, 写 0 时

位	位名	初始值	R/W	说 明
3	STOP	0	R/W	<p>停止条件检测标志</p> <p>[置位条件]</p> <ul style="list-style-type: none"> 在主模式中，结束帧传送后检测出停止条件时 从属模式中，在一般调用后或者检测出开始条件后的第一字节的从属地址与设定于 SAR 的地址一致后，检测出停止条件时 <p>[清除条件]</p> <ul style="list-style-type: none"> 在读到 1 的状态后，写 0 时
2	AL/OVE	0	R/W	<p>仲裁失败标志/溢出错误标志</p> <p>在 I²C 总线格式的主模式，AL/OVE 表示总线竞争失败。在时钟同步格式，并且在 RDRF=1 的状态下，AL/OVE 表示接收到最后位。</p> <p>在多个主设备几乎同时占有总线时，I²C 总线接口 2 监视 SDA，如果与自己送出的数据不同，就将 AL 标志置 1，表示总线已被其它主设备占有。</p> <p>[置位条件]</p> <ul style="list-style-type: none"> 在主发送模式，并且在 SCL 的上升沿，内部 SDA 和 SDA 管脚的电平不一致时 在主模式，当检测出开始条件，并且 SDA 管脚为高电平时 在时钟同步格式，并且在 RDRF=1 的状态下接收到最后位时 <p>[清除条件]</p> <ul style="list-style-type: none"> 在读到 1 的状态后，写 0 时
1	AAS	0	R/W	<p>从属地址识别标志</p> <p>在从属接收模式，当开始条件后的第一帧与 SAR 的 SVA6~SVA0 一致时，此标志被置位。</p> <p>[置位条件]</p> <ul style="list-style-type: none"> 在从属接收模式，检测出从属地址时 在从属接收模式，检测出一般调用地址时 <p>[清除条件]</p> <ul style="list-style-type: none"> 在读到 1 的状态后，写 0 时
0	ADZ	0	R/W	<p>一般调用地址识别标志</p> <p>在 I²C 总线格式的从属接收模式时有效</p> <p>[置位条件]</p> <ul style="list-style-type: none"> 在从属接收模式，检测出一般调用地址时 <p>[清除条件]</p> <ul style="list-style-type: none"> 在读到 1 的状态后，写 0 时

17.3.6 从属地址寄存器 (SAR)

SAR 选择格式和设定从属地址，在 I²C 总线格式的从属模式，当开始条件后送来的第 1 帧的高 7 位和 SAR 的高 7 位一致时，作为从属设备运行。

位	位名	初始值	R/W	说 明
7~1	SVA6~0	全 0	R/W	从属地址 6~0 设定与连接到 I ² C 总线的其它从属设备不同的唯一地址。
0	FS	0	R/W	格式选择 0: 选择 I ² C 总线格式 1: 选择时钟同步串行格式

17.3.7 I²C 总线发送数据寄存器 (ICDRT)

ICDRT 是保存发送数据的 8 位可读/写寄存器，当检测出移位寄存器 (ICDRS) 为空时，将写在 ICDRT 的发送数据传送到 ICDRS，开始数据发送。在 ICDRS 的数据发送中，如果把下次发送的数据预先写到 ICDRT，就能连续发送。另外，在将 ICMR 的 MLS 位设定为 1 的情况下，如果在给 ICDRT 写数据后进行读，就能读取 MSB/LSB 的反转数据。ICDRT 的初始值为 H'FF。

17.3.8 I²C 总线接收数据寄存器 (ICDRR)

ICDRR 是保存接收数据的 8 位寄存器。如果 1 字节数据接收结束，就将接收的数据从 ICDRS 传送到 ICDRR，成为能接收下一个数据的状态。由于 ICDRR 是接收专用寄存器，不能从 CPU 写。ICDRR 的初始值为 H'FF。

17.3.9 I²C 总线移位寄存器 (ICDRS)

ICDRS 是用于发送/接收数据的寄存器。发送时，将发送数据从 ICDRT 传送到 ICDRS，从 SDA 管脚送出数据。接收时，如果 1 字节数据接收结束，就将数据从 ICDRS 传送到 ICDRR。另外，不能直接从 CPU 读本寄存器。

17.4 运行说明

I²C 总线接口 2 通过设定 SAR 的 FS，能在 I²C 总线模式和时钟同步串行模式进行通信。

17.4.1 I²C 总线格式

I²C 总线格式如图 17.3 所示，I²C 总线时序如图 17.4 所示。必须由 8 位构成开始条件后的第 1 帧。

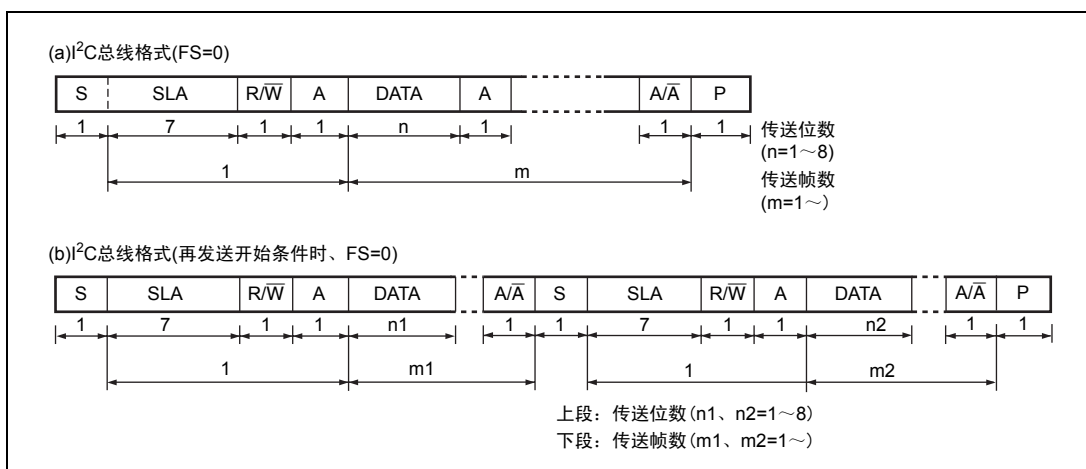


图 17.3 I²C 总线格式

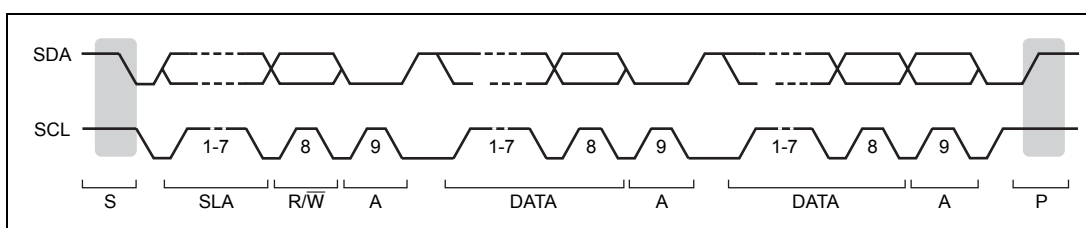


图 17.4 I²C 总线时序

符号说明

- S : 开始条件。在 SCL=高电平状态下，主设备将 SDA 从高电平变为低电平。
- SLA : 从属地址
- R/W : 表示发送/接收方向。为 1 时，将数据从从属设备发送到主设备；为 0 时，将数据从主设备发送到从属设备。
- A : 应答。接收设备将 SDA 置为低电平。
- DATA : 发送/接收数据
- P : 停止条件。在 SCL=高电平状态下，主设备将 SDA 从低电平变为高电平。

17.4.2 主发送运行

在主发送模式，主设备输出发送时钟和发送数据，从属设备返回应答。关于主发送模式的运行时序，请参照图 17.5 和图 17.6。主发送模式的发送步骤和运行如下表示：

1. 将ICCR1的ICE位置1，并且设定ICMR的MLS和WAIT、ICCR1的CKS3~CKS0等（初始设定）。
2. 读ICCR2的BBSY标志，在确认总线处于释放状态后，将ICCR1的MST和TRS设定成主发送模式。然后，用MOV指令写BBSY=1和SCP=0（发行开始条件），由此，生成开始条件。
3. 在确定ICSR的TDRE被置位后，给ICDRT写发送数据（第1字节是表示从属地址和 $\overline{R/W}$ 的数据）。此时，TDRE自动清0，在将数据从ICDRT传送到ICDRS后，再次将TDRE置位。
4. 在TDRE被置位的状态下，结束1字节的发送，在发送时钟的第9个时钟的上升沿，将ICSR的TEND置位。读ICIER的ACKBR，在确认选择了从属设备后，将第2字节的数据写到ICDRT。由于ACKBR为1时无法确认从属设备，因此发行停止条件。通过用MOV指令写BBSY=0和SCP=0，发行停止条件。另外，在完成数据准备前或者在发行停止条件前，SCL被固定成低电平。
5. 在每次TDRE被置位时，第2字节以后的发送数据被写到ICDRT。
6. 如果将发送字节数写到ICDRT，就在TDRE被置位的状态下，等待TEND置位（最后字节发送结束），或者在ICIER的ACKE已置位的状态下，等待来自接收设备的NACK（ICSR的NACKF=1）。然后，发行停止条件，清除TEND或者NACKF。
7. 如果ICSR的STOP被置位，就返回从属接收模式。

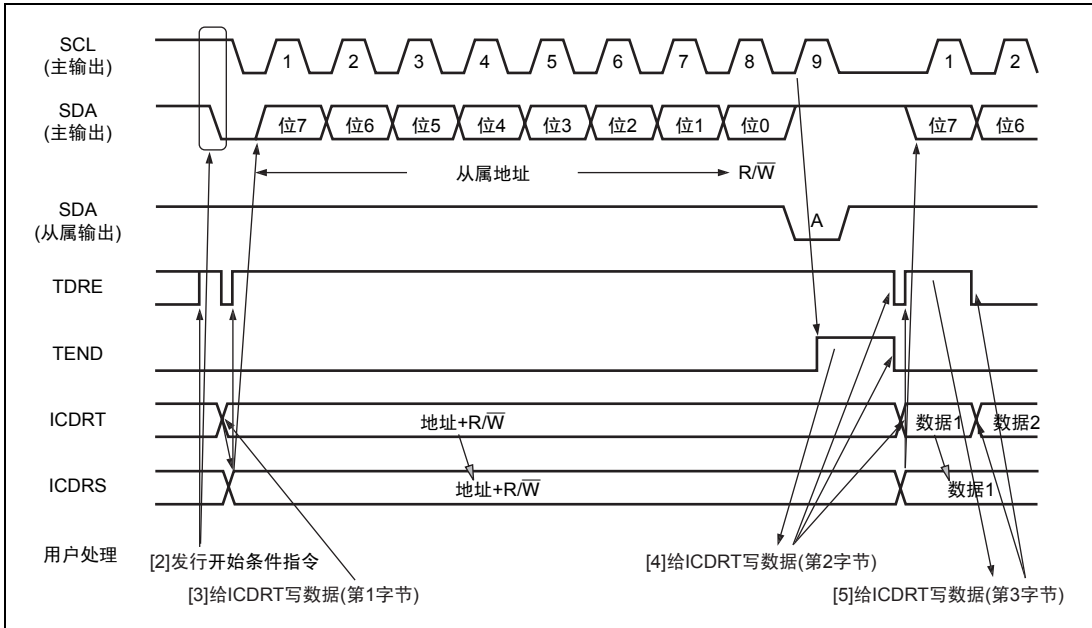


图 17.5 主发送模式的运行时序 (1)

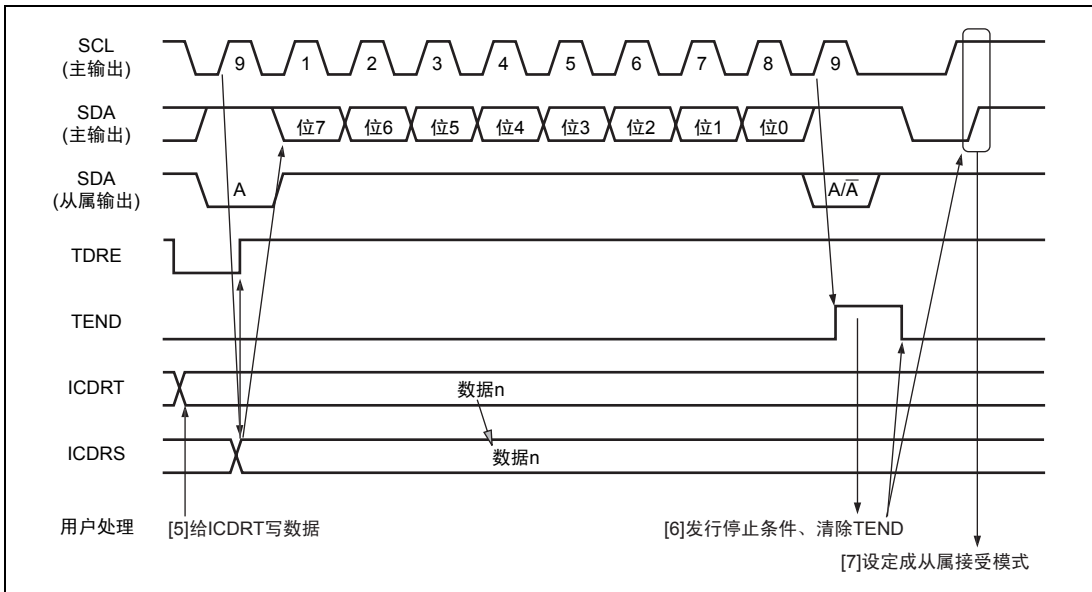


图 17.6 主发送模式的运行时序 (2)

17.4.3 主接收运行

在主接收模式，主设备输出接收时钟，接收来自从属设备的数据，并且返回应答。关于主接收模式的运行时序，请参照图 17.7 和图 17.8。

主接收模式的接收步骤和运行如下表示：

1. 在清除ICSR的TEND后，清除ICCR1的TRS，从主发送模式转换到主接收模式。然后清除TDRE。
2. 如果虚读ICDRR，就开始接收，与内部时钟同步输出接收时钟，接收数据。在接收时钟的第9个时钟，主设备将由ICIER的ACKBT设定的电平输出到SDA。
3. 1帧数据的接收结束，在接收时钟的第9个时钟的上升沿，ICSR的RDRF被置位。此时，能通过读ICDRR，读取接收到的数据，同时RDRF被清除。
4. 在每次RDRF被置位时，都能通过读ICDRR，连续接收数据。另外，由于其它处理，在RDRF置位的状态下，如果ICDRR的读延迟到第8个时钟下降以后，在读ICDRR之前，SCL就被固定成低电平。
5. 当下一个接收数据为最后帧时，在读ICDRR之前，将ICCR1的RCVD置位。由此，在下次接收后，成为可发行停止条件的状态。
6. 在接收时钟的第9个时钟的上升沿，如果RDRF被置位，就发行停止条件。
7. 如果ICSR的STOP被置位，就读ICDRR，然后清除RCVD。
8. 返回从属接收模式。

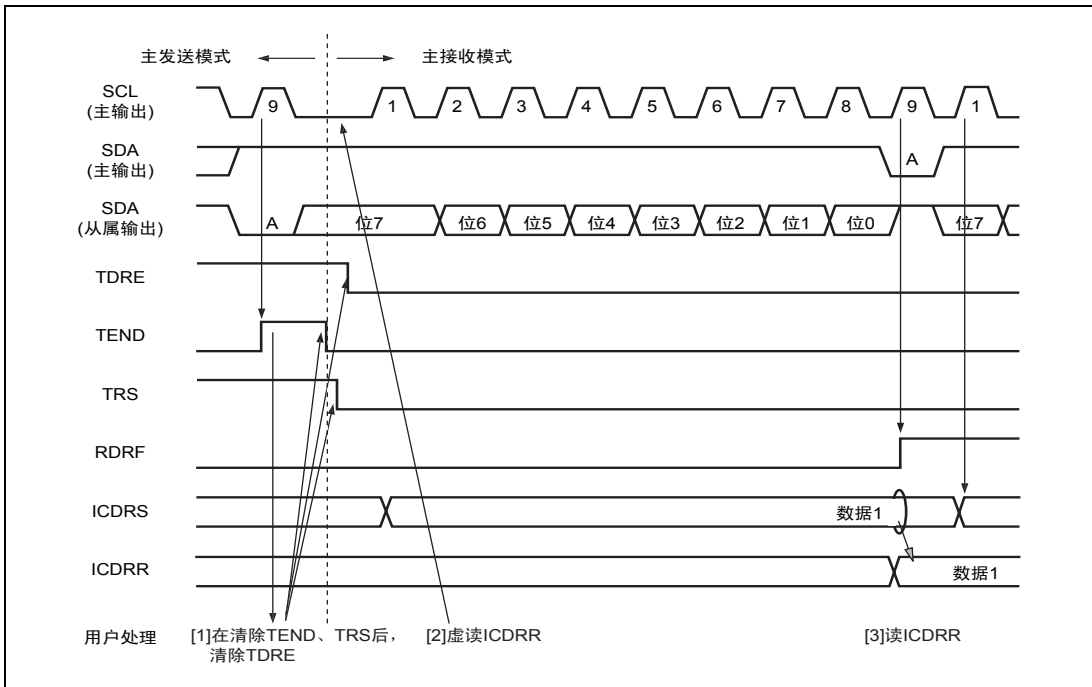


图 17.7 主接收模式的运行时序 (1)

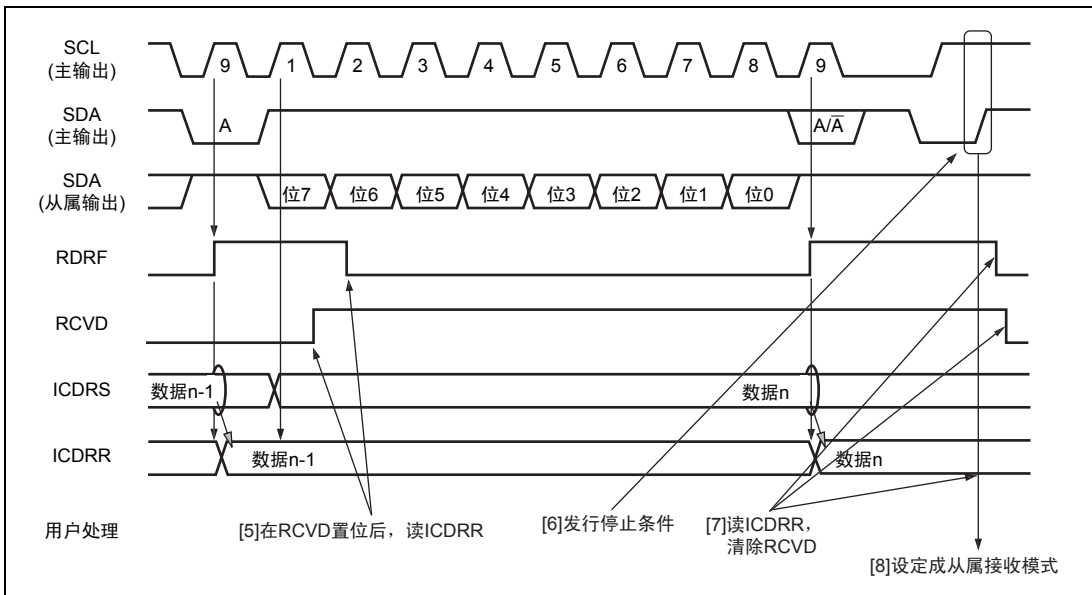


图 17.8 主接收模式的运行时序 (2)

17.4.4 从属发送运行

在从属发送模式，从属设备输出发送数据，主设备输出接收时钟，并且返回应答。关于从属发送模式的运行时序，请参照图 17.9 和图 17.10。

从属发送模式的发送步骤和运行如下表示：

1. 将ICCR1的ICE位置1，并且设定ICMR的MLS和WAIT、ICCR1的CKS3~CKS0等（初始设定）。将ICCR1的MST和TRS设定为从属接收模式，等待从属地址一致。
2. 在检测出开始条件后的第1帧，从属地址一致时，在第9个时钟的上升沿，从属设备将由ICIER的ACKBT设定的电平输出到SDA。此时，在第8位的数据(R/W)为1时，ICCR1的TRS和ICSR的TDRE被置位，自动转换到从属发送模式。在每次TDRE被置位时，如果给ICDRT写发送数据，就能连续发送。
3. 在将最后的发送数据写到ICDRT后，当TDRE被置位时，在TDRE=1的状态下，等待ICSR的TEND被置位。如果TEND被置位，就清除TEND。
4. 为了结束处理，清除TRS，并且虚读ICDRR，释放SCL。
5. 清除TDRE。

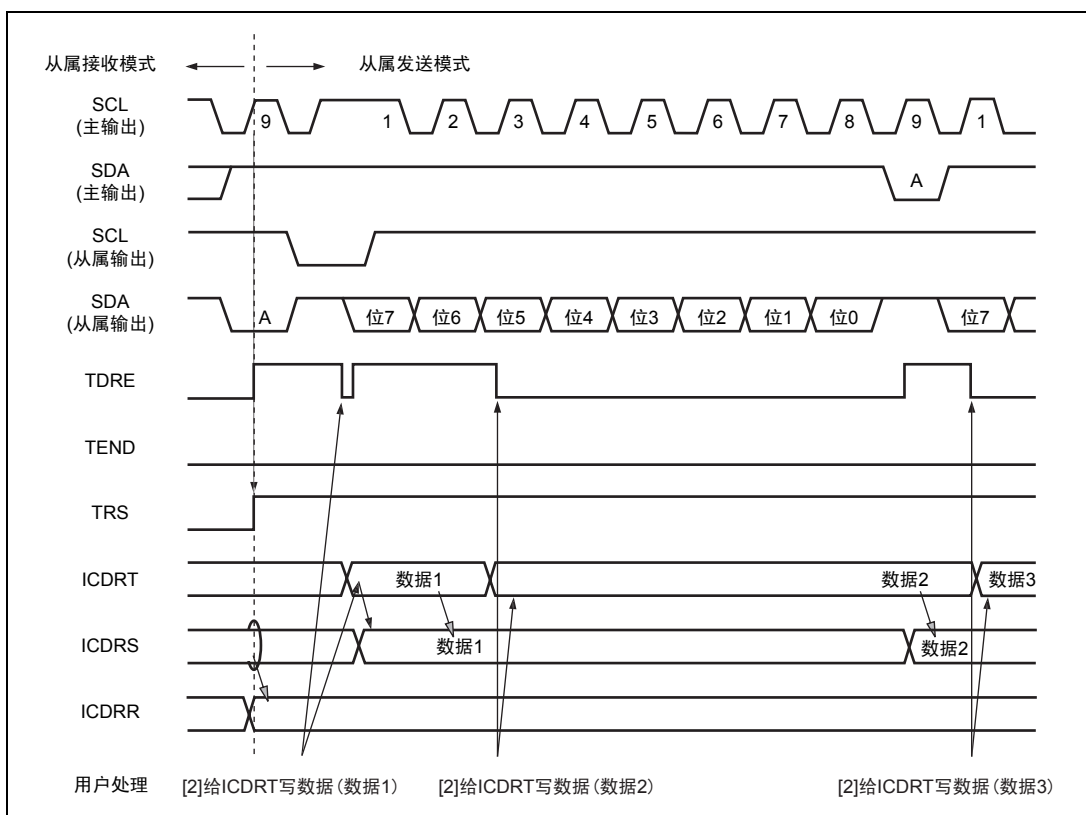


图 17.9 从属发送模式的运行时序 (1)

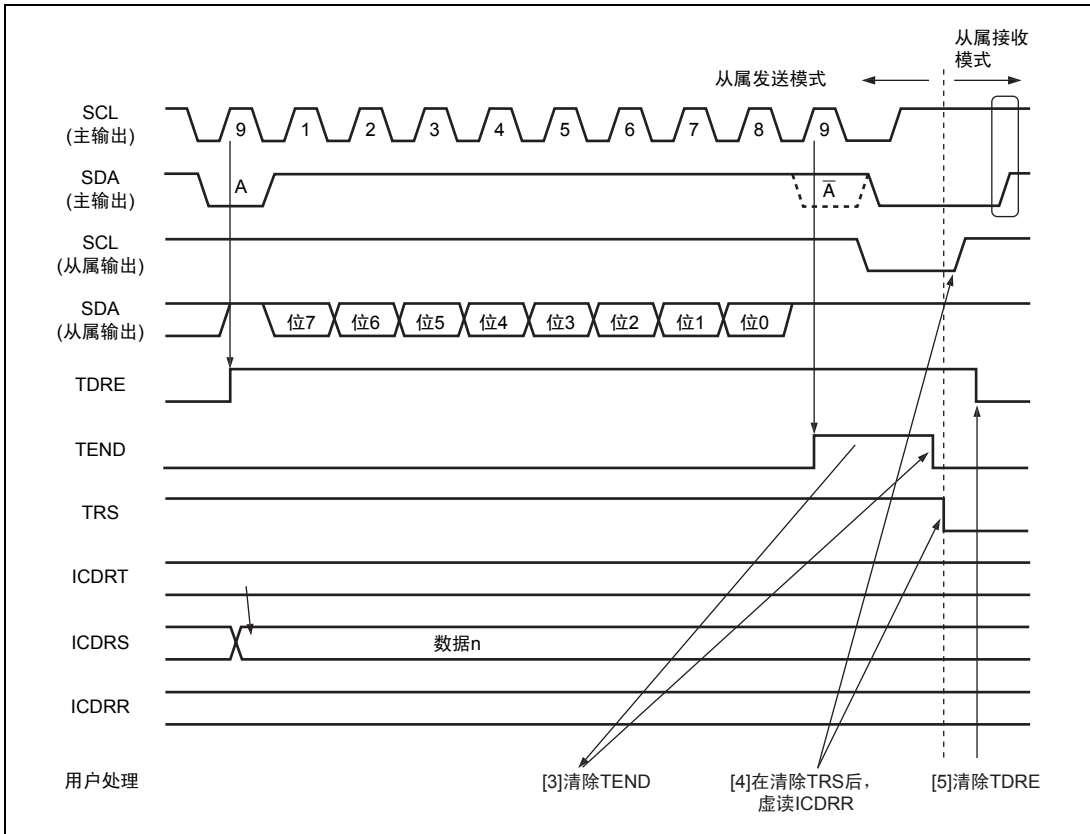


图 17.10 从属发送模式的运行时序 (2)

17.4.5 从属接收运行

在从属接收模式，主设备输出发送时钟和发送数据，从属设备返回应答。关于从属接收模式的运行时序，请参照图 17.11 和图 17.12。从属接收模式的接收步骤和运行如下表示：

1. 将ICCR1的ICE位置位，并且设定ICMR的MLS和WAIT、ICCR1的CKS3~CKS0等（初始设定）。将ICCR1的MST和TRS设为从属接收模式，等待从属地址一致。
2. 在检测出开始条件后的第一帧，从属地址一致时，在第9个时钟的上升沿，从属设备将由ICIER的ACKBT设定的电平输出到SDA。由于ICSR的RDRF同时被置位，虚读ICDRR（因为读数据表示从属地址+R/W，所以不要）。
3. 在每次RDRF被置位1时，读ICDRR。在RDRF被置位的状态下，如果第8个时钟下降，就在读ICDRR之前，将SCL固定成低电平。在读ICDRR前改变的返回给主设备的应答设定被反映在下一个的传送帧。
4. 同样，通过读ICDRR，读取最后字节。

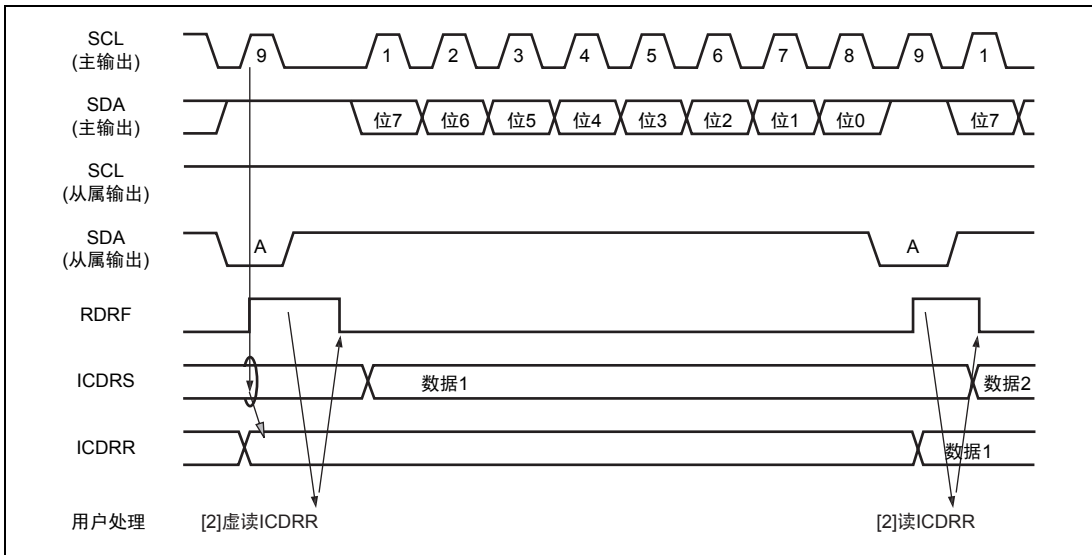


图 17.11 从属接收模式的运行时序 (1)

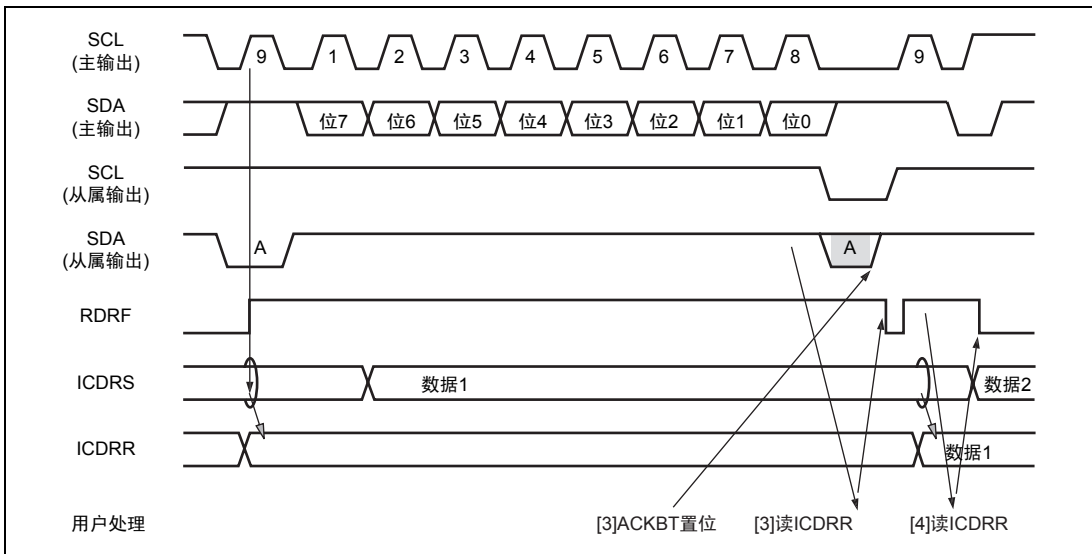


图 17.12 从属接收模式的运行时序 (2)

17.4.6 时钟同步串行格式

本模块能通过给 SAR 的 FS 置 1，作为时钟同步串行运行。在 ICCR1 的 MST=1 时，从 SCL 输出传送时钟；在 MST=0 时，输入外部时钟。

(1) 数据传送格式

时钟同步串行的传送格式如图 17.13 所示。

从 SCL 时钟的一个下降沿开始到下一个下降沿为止输出传送数据，保证 SCL 时钟上升沿的数据。数据的传送顺序能通过 ICMR 的 MLS，选择 MSB 优先或者 LSB 优先。另外，能通过 ICCR2 的 SDAO，在传送等待中改变 SDA 的输出电平。

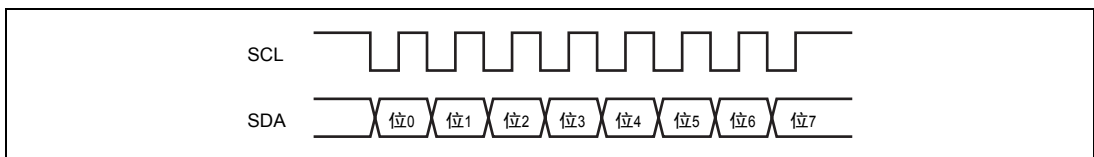


图 17.13 时钟同步串行的传送格式

(2) 发送运行

在发送模式，与传送时钟的下降沿同步从 SDA 输出发送数据。在 ICCR1 的 MST=1 时，传送时钟为输出；在 MST=0 时，传送时钟为输入。发送模式的运行时序，请参照图 17.14。发送模式的步骤和运行如下表示：

1. 将 ICCR1 的 ICE 位置 1，并且设定 ICCR1 的 MST、CKS3~CKS0 等（初始设定）。
2. 将 ICCR1 的 TRS 置位，设定成发送模式。由此，ICSR 的 TDRE 被置位。
3. 如果确认 TDRE 被置位，就给 ICDRT 写发送数据。由此，数据从 ICDRT 被传送到 ICDRS，TDRE 被自动置位。在每次 TDRE 被置位时，如果给 ICDRT 写数据，就能连续发送。另外，从发送模式转换到接收模式时，必须在 TDRE 置位的状态下，清除 TRS。

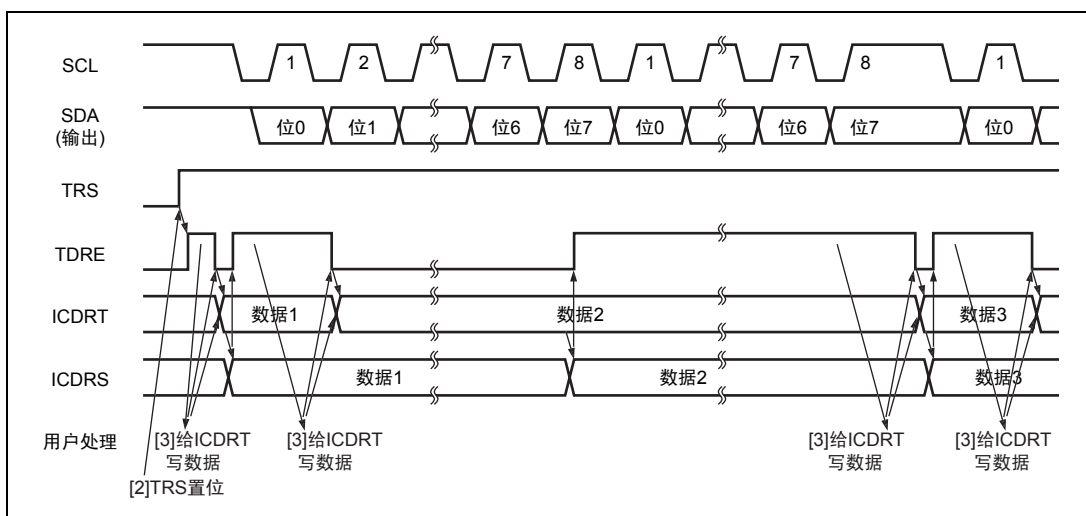


图 17.14 发送模式的运行时序

(3) 接收运行

在接收模式，在传送时钟的上升沿锁存数据。在 ICCR1 的 MST=1 时，传送时钟为输出；在 MST=0 时，传送时钟为输入。关于接收模式的运行时序，请参照图 17.15。接收模式的步骤和运行如下表示：

1. 将 ICCR1 的 ICE 位置 1，并且设定 ICCR1 的 MST、CKS3~CKS0 等（初始设定）。
2. 在输出传送时钟时，置 MST=1。由此，开始输出接收时钟。
3. 当接收结束时，数据从 ICDRS 被传送到 ICDRR，ICSR 的 RDRF 被置位。在 MST=1 时，由于成为能接收下一字节的状态，连续输出时钟。在每次 RDRF 被置位时，通过读 ICDRR，可以连续接收。在 RDRF 被置位的状态下，如果第 8 个时钟上升，就检测出溢出，将 ICSR 的 AL/OVE 置位。此时，ICDRR 的值保持以前的接收数据。
4. 在 MST=1 时，为了停止接收，在给 ICCR1 的 RCVD 置位后，读 ICDRR。由此，在下一字节接收结束后，SCL 被固定成高电平。

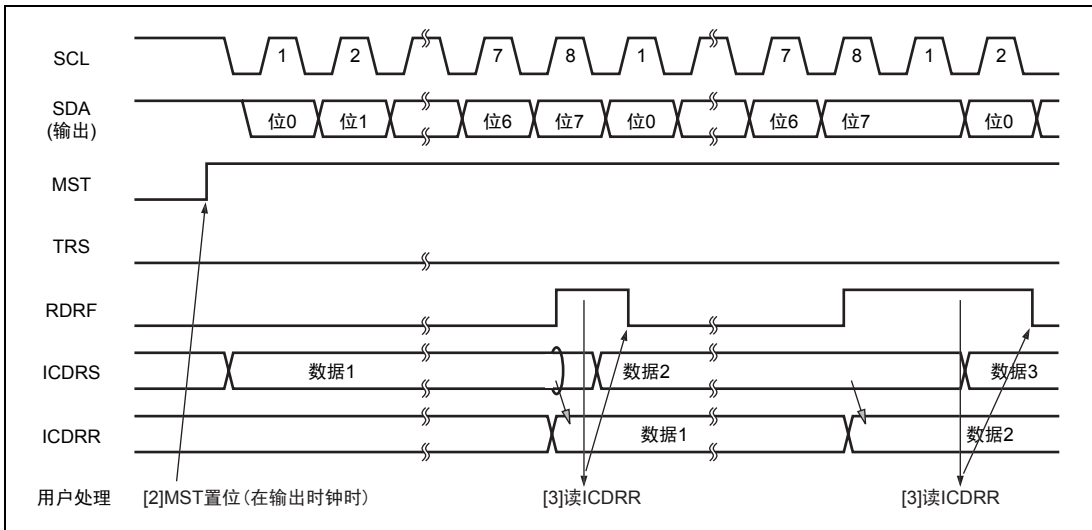


图 17.15 接收模式的运行时序

17.4.7 噪声消除电路

SCL 管脚和 SDA 管脚的状态经过噪声消除电路被取到内部。噪声消除电路的框图如图 17.16 所示。

噪声消除电路由 2 段串联的锁存电路和一致检测电路构成。用系统时钟采样 SCL 管脚的输入信号（或者 SDA 管脚的输入信号），当 2 个锁存器输出一致时将该电平传递给后面电路。在不一致时，保持以前的值。

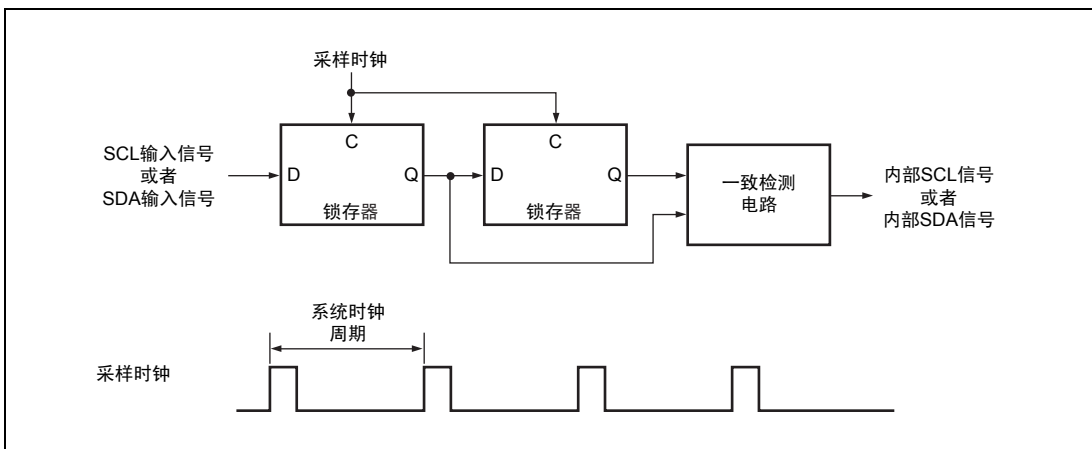


图 17.16 噪声消除电路的框图

17.4.8 使用例

在使用 I²C 总线接口 2 时，在各模式的流程图例子如图 17.17~图 17.20 所示。

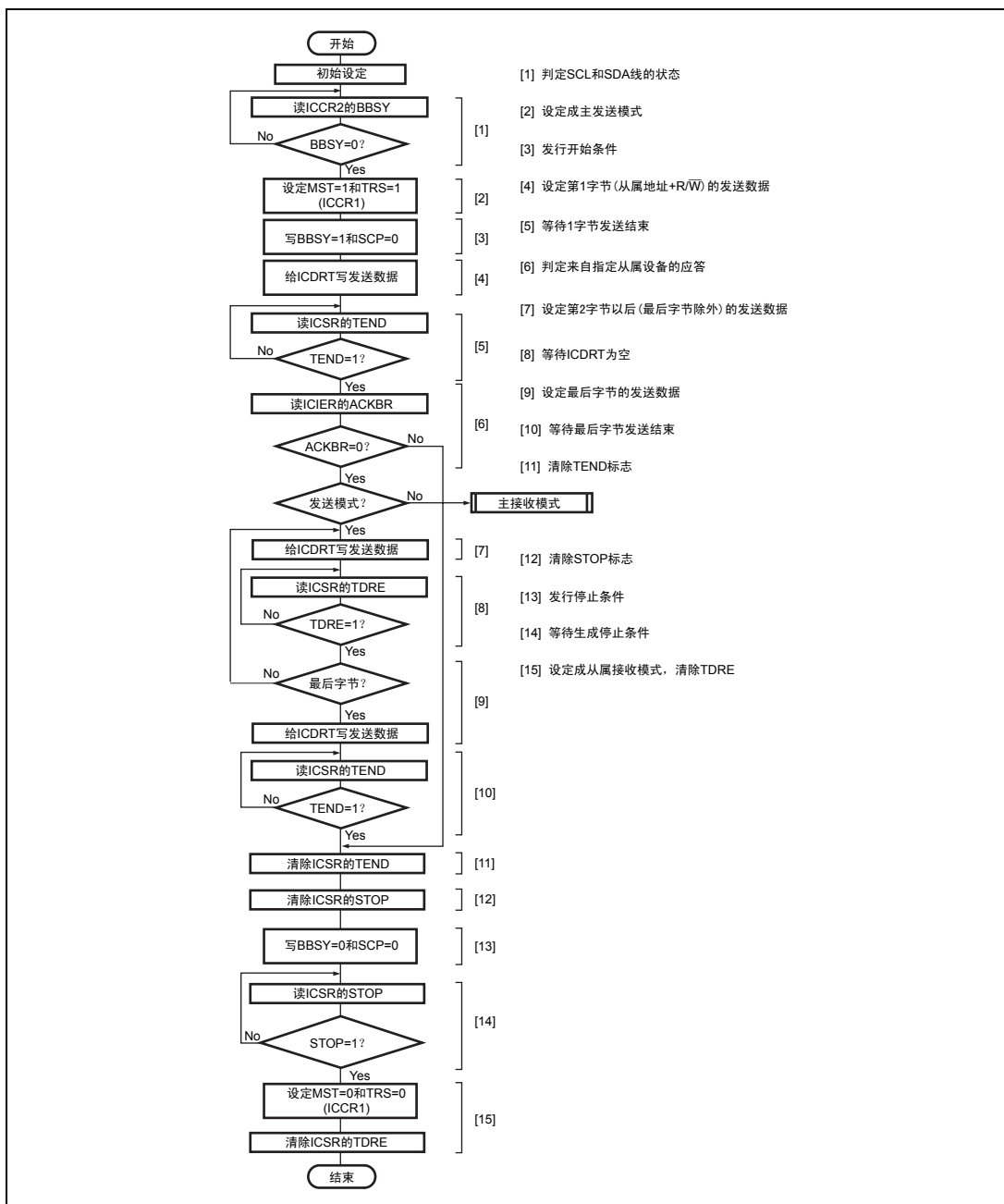


图 17.17 主发送模式的流程图例子

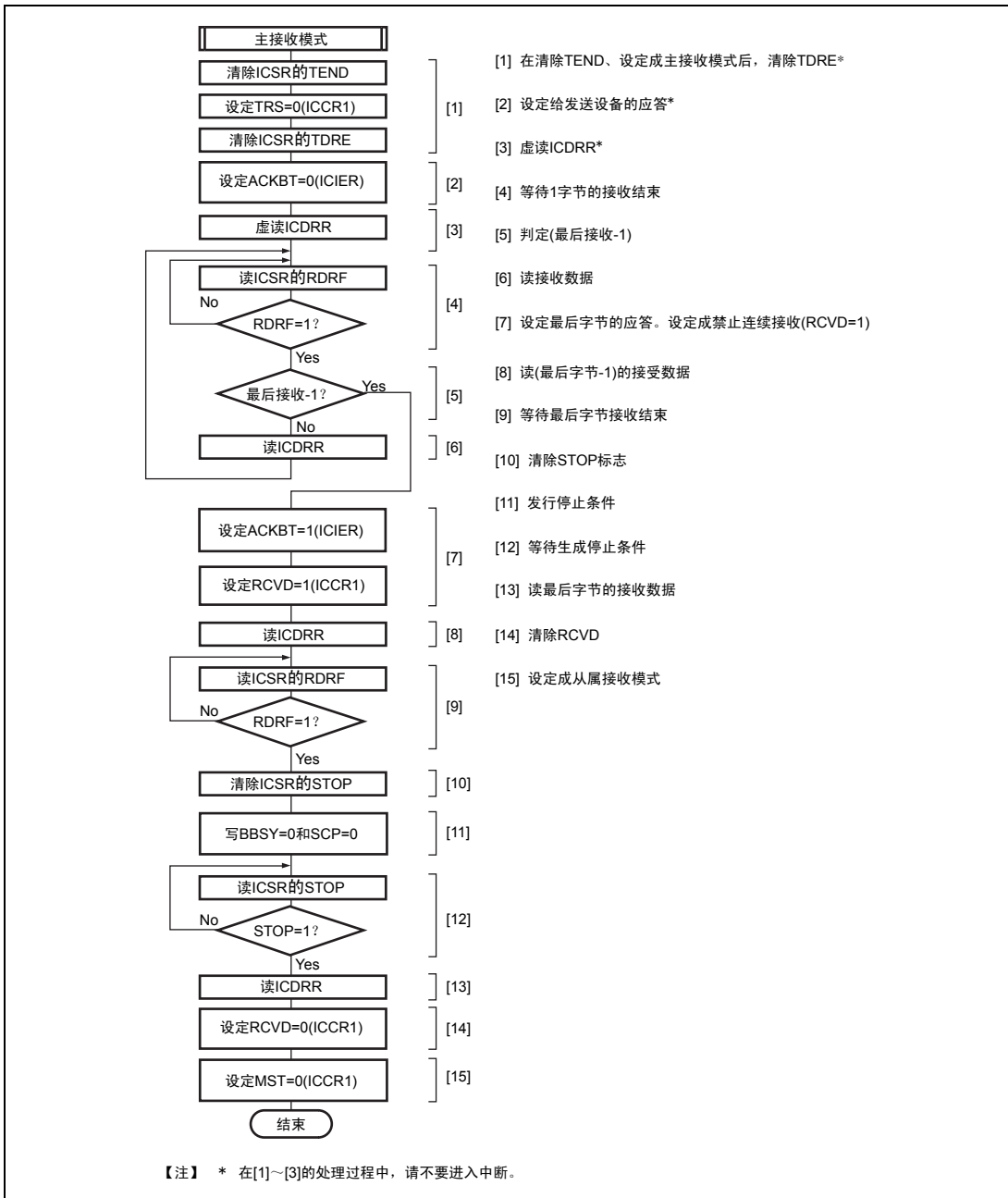


图 17.18 主接收模式的流程图例子

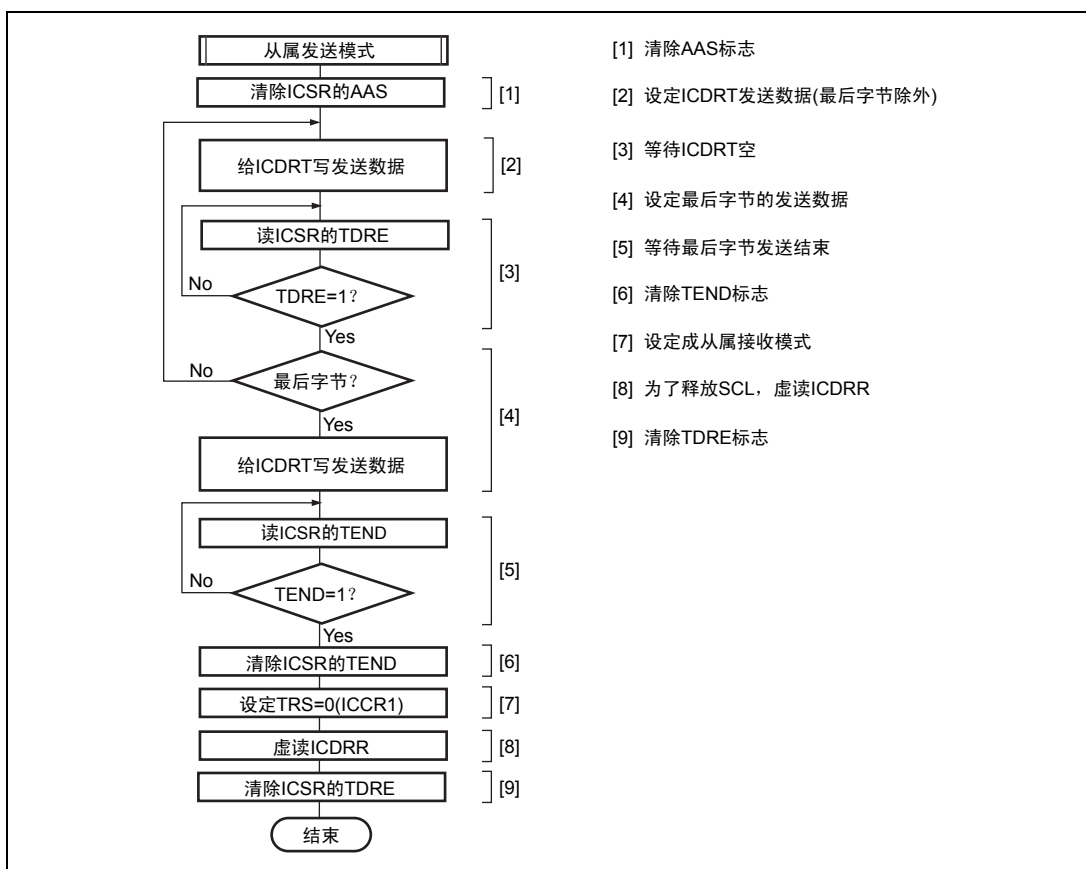


图 17.19 从属发送模式的流程图例子

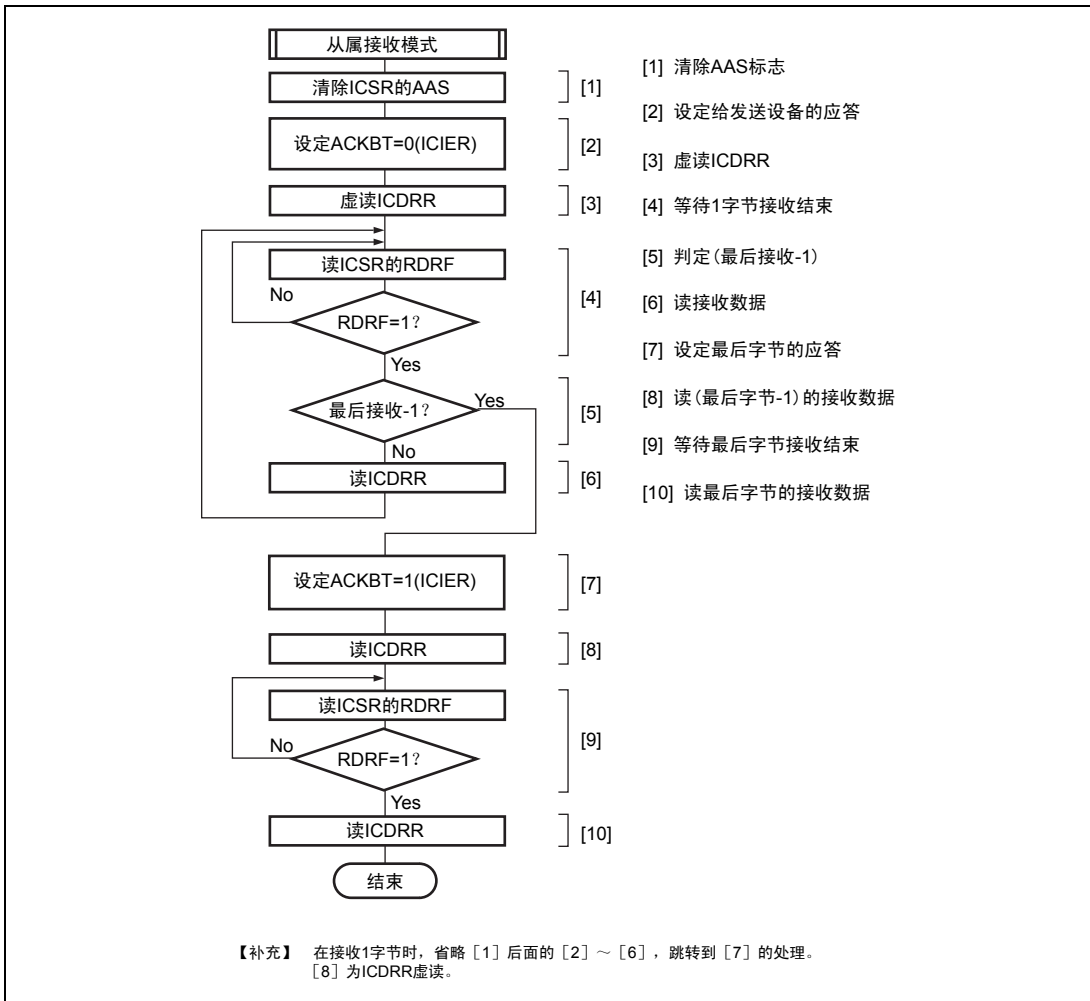


图 17.20 从属接收模式的流程图例子

17.5 中断请求

本模块的中断请求有 6 种：发送数据空、发送结束、接收数据满、检测出 NACK、检测出停止条件、仲裁失败/溢出错误。各中断请求的内容如表 17.3 所示。

表 17.3 中断请求一览表

中断请求	略称	中断条件	I ² C 模式	时钟同步模式
发送数据空	TXI	(TDRE=1) · (TIE=1)	○	○
发送结束	TEI	(TEND=1) · (TEIE=1)	○	○
接收数据满	RXI	(RDRF=1) · (RIE=1)	○	○
检测出停止条件	STPI	(STOP=1) · (STIE=1)	○	×
检测出 NACK	NAKI	{(NACKF=1)+(AL=1)} · (NAKIE=1)	○	×
仲裁失败/溢出错误			○	○

当表 17.3 的中断条件为 1 且 CCR 的 I 位是 0 时，CPU 执行中断异常处理。在异常处理中，必须清除各种中断源。请注意：通过给 ICDRT 写发送数据，TDRE 和 TEND 将被自动清除；通过读 ICDRR，RDRF 将被自动清除。特别是，在给 ICDRT 写发送数据的同时，TDRE 再次被置位，并且，在清除 TDRE 时，有时会多发送 1 字节数据。

17.6 位同步电路

在设定主模式时，本模块在下面两个状态下，

- SCL 被从属设备拉成低电平
- 由于 SCL 线的负载（负载电容、上拉电阻），SCL 的上升变迟缓

由于高电平宽度可能变窄，因此监视 SCL，边按位取得同步，边进行通信。

位同步电路的时序如图 17.21 所示。在将 SCL 从低电平输出改变到 Hi-Z 开始，到监视 SCL 为止的时间如表 17.4 所示。

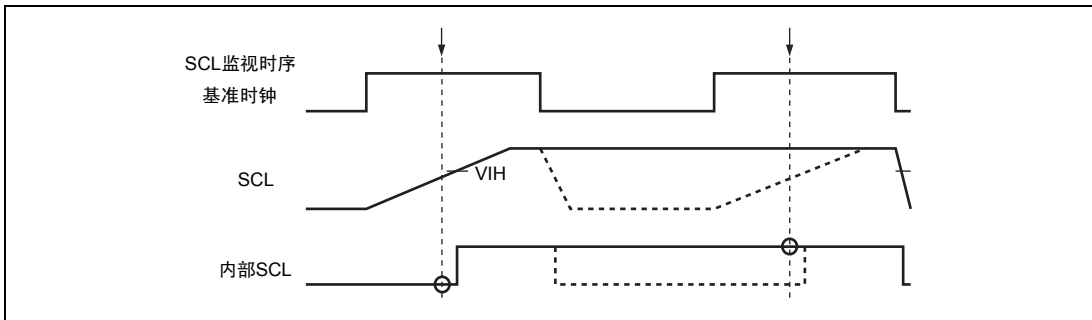


图 17.21 位同步电路的时序

表 17.4 监视 SCL 的时间

CKS3	CKS2	监视 SCL 的时间
0	0	7.5 t _{cyc}
	1	19.5 t _{cyc}
1	0	17.5 t _{cyc}
	1	41.5 t _{cyc}

17.7 使用时的注意事项

17.7.1 关于停止条件和开始条件（重新发送）的输出

在主模式中，如果在下列 1. 或者 2. 的条件下和在特定的时序发行停止条件和开始条件（再送）时，就有不能正常输出停止条件和开始条件（重新发送）的情况。

为了防止此情况，必须在确认了第 9 个时钟的下降沿后发行停止条件和开始条件（再送）。可通过检查 I²C 控制寄存器 2 (ICCR2) 的 SCLO 位确认第 9 个时钟的下降沿。

1. 当根据 SCL 总线负载（负载容量、上拉电阻）SCL 上升时间处于“17.6 位同步电路”中规定的时间以上时
2. 当从属设备拉长第 8 个时钟和第 9 个时钟的 Low 期间，位同步电路运行时

17.7.2 关于 I²C 总线模式寄存器 (ICMR) 的 WAIT 设定

在 WAIT 位置“1”后使用时，如果从属设备将 SCL 管脚的第 8 个时钟和第 9 个时钟的 Low 期间拉长 2 个传送时钟以上，第 9 个时钟的 High 期间就有变短的情况。为了防止此情况，必须将 ICMR 的 WAIT 位设定为“0”。

第 18 章 A/D 转换器

是逐次逼近方式的 10 位 A/D 转换器，最多能转换 8 个通道的模拟输入。A/D 转换器的框图如图 18.1 所示。

18.1 特点

- 分辨率：10 位
- 输入通道：8 个通道
- 高速转换：每 1 个通道最小 3.5 μ s（在 20MHz 运行时）
- 运行模式：2 种
 - 单通道模式：1 个通道的 A/D 转换
 - 扫描模式：1~4 个通道的连续 A/D 转换
- 数据寄存器：4 个
 - A/D 转换结果被传送到对应各通道的数据寄存器，并且被保持。
- 采样和保持功能
- 开始转换的方法：2 种
 - 可通过软件或者外部触发信号开始 A/D 转换
- 中断源
 - 能产生 A/D 转换结束的中断（ADI）请求。

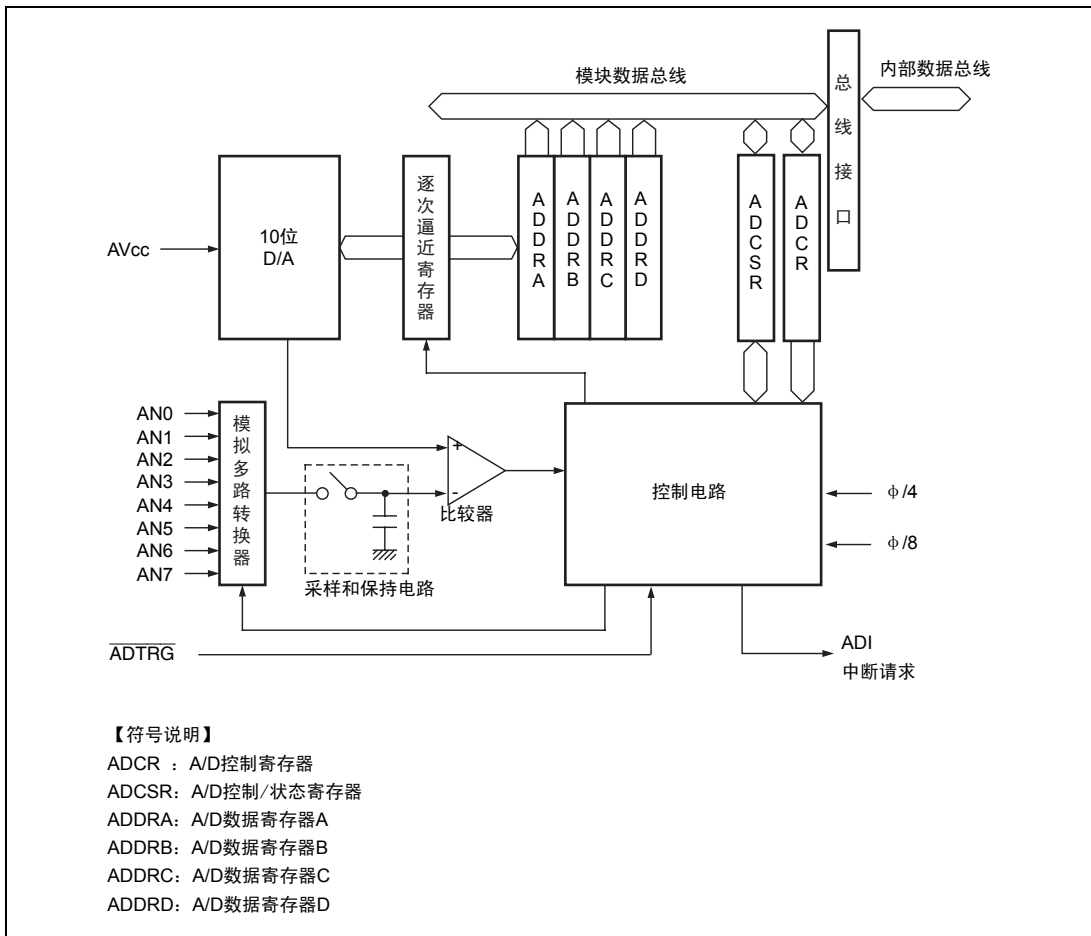


图 18.1 A/D 转换器的框图

18.2 输入/输出管脚

在 A/D 转换器中使用的管脚如表 18.1 所示。8 个模拟输入管脚被分成 2 组，模拟输入管脚 0~3 (AN0~AN3) 为组 0，模拟输入管脚 4~7 (AN4~AN7) 为组 1。AVcc 管脚是 A/D 转换器内的模拟部电源。

表 18.1 管脚结构

管脚名称	略称	输入/输出	功 能
模拟电源管脚	AVcc	输入	模拟部的电源管脚
模拟输入管脚 0	AN0	输入	组 0 的模拟输入管脚
模拟输入管脚 1	AN1	输入	
模拟输入管脚 2	AN2	输入	
模拟输入管脚 3	AN3	输入	
模拟输入管脚 4	AN4	输入	组 1 的模拟输入管脚
模拟输入管脚 5	AN5	输入	
模拟输入管脚 6	AN6	输入	
模拟输入管脚 7	AN7	输入	
A/D 外部触发输入管脚	$\overline{\text{ADTRG}}$	输入	用于开始 A/D 转换的外部触发输入管脚

18.3 寄存器说明

A/D 转换器有以下寄存器：

- A/D 数据寄存器 A (ADDRA)
- A/D 数据寄存器 B (ADDRB)
- A/D 数据寄存器 C (ADDRC)
- A/D 数据寄存器 D (ADDRD)
- A/D 控制/状态寄存器 (ADCSR)
- A/D 控制寄存器 (ADCR)

18.3.1 A/D 数据寄存器 A~D (ADDRA~D)

A/D 数据寄存器是用于存储 A/D 转换结果的 16 位只读寄存器，有 ADDRA~ADDRD 4 个。存储各模拟输入通道的转换结果的 A/D 数据寄存器如表 18.2 所示。

10 位转换数据被存储在 A/D 数据寄存器的位 15 到位 6。低 6 位的读出值总是为 0。与 CPU 之间的数据总线为 8 位宽度，可从 CPU 直接读取高位字节，但是，对于低位字节，将读取在读高位字节时被传送到暂存器的数据。因此，在读 A/D 数据寄存器时，必须字存取或者按高位字节、低位字节的顺序存取。ADDR 的初始值是 H'0000。

表 18.2 模拟输入通道与 A/D 数据寄存器的对应

模拟输入通道		存储转换结果的 A/D 数据寄存器
组 0	组 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

18.3.2 A/D 控制/状态寄存器 (ADCSR)

ADCSR 由 A/D 转换器的控制位和转换结束状态位构成。

位	位名	初始值	R/W	说 明
7	ADF	0	R/W	A/D 结束标志 [置位条件] • 在单通道模式，A/D 转换结束时 • 在扫描模式，选择的所有通道一次转换结束时 [清除条件] • 在读到 1 的状态后，写 0 时
6	ADIE	0	R/W	A/D 中断允许 如果该位置 1，就允许由 ADF 产生的 A/D 转换结束的中断请求 (ADI)。
5	ADST	0	R/W	A/D 开始 如果该位置 1，就开始 A/D 转换。在单通道模式，如果结束 A/D 转换，该位就被自动清除。在扫描模式，在该位被软件、复位或者待机模式清除前，依次连续转换被选择的通道。
4	SCAN	0	R/W	扫描模式 选择 A/D 转换模式。 0: 单通道模式 1: 扫描模式
3	CKS	0	R/W	时钟选择 设定 A/D 转换时间。 0: 转换时间 = 134 个状态 (max) 1: 转换时间 = 70 个状态 (max) 必须在 ADST = 0 的状态下，切换转换时间。

位	位名	初始值	R/W	说 明
2	CH2	0	R/W	通道选择 2~0
1	CH1	0	R/W	选择模拟输入通道。
0	CH0	0	R/W	SCAN=0 时 000: AN0 001: AN1 010: AN2 011: AN3 100: AN4 101: AN5 110: AN6 111: AN7
				SCAN=1 时 000: AN0 001: AN0~AN1 010: AN0~AN2 011: AN0~AN3 100: AN4 101: AN4~AN5 110: AN4~AN6 111: AN4~AN7

18.3.3 A/D 控制寄存器 (ADCR)

ADCR 允许通过外部触发开始 A/D 转换。

位	位名	初始值	R/W	说 明
7	TRGE	0	R/W	触发允许 如果该位置 1，就在外部触发管脚 ($\overline{\text{ADTRG}}$) 的上升沿或者下降沿，开始 A/D 转换。 根据中断边沿选择寄存器 2 (IEGR2) 的 WPEG5 的设定，选择外部触发管脚 ($\overline{\text{ADTRG}}$) 的上升沿或者下降沿。
6~1	—	全为 1	—	保留位。总是读出 1。
0	—	0	R/W	保留位。可读写，但不能设定成 1。

18.4 运行说明

A/D 转换器采用逐次逼近方式，其分辨率为 10 位。运行模式有单通道模式和扫描模式。为了避免误动作，必须在 ADCSR 的 ADST 位为 0 的状态下，切换运行模式或者切换模拟输入通道。在改变运行模式或者改变模拟输入通道的同时，可以进行 ADST 位的置位。

18.4.1 单通道模式

单通道模式按下列顺序对指定的 1 个通道的模拟输入进行一次 A/D 转换：

1. 如果通过软件或者外部触发输入，将 ADCSR 的 ADST 位置 1，就开始对选择的通道进行 A/D 转换。
2. 如果 A/D 转换结束，A/D 转换结果就被传送到对应该通道的 A/D 数据寄存器。
3. 在 A/D 转换结束时，ADCSR 的 ADF 标志被置 1，此时，如果 ADIE 位被置 1，就发生 ADI 中断请求。
4. ADST 位在 A/D 转换中保持 1。并且在转换结束时，被自动清除，A/D 转换器变为待机状态。

18.4.2 扫描模式

扫描模式按下列顺序对指定的最多 4 个通道的模拟输入进行连续 A/D 转换。

1. 如果通过软件或者外部触发输入，将 ADCSR 的 ADST 位置 1，就从组的第 1 个通道（CH2=0 时 AN0、CH2=1 时 AN4）开始 A/D 转换。
2. 如果各通道的 A/D 转换结束，A/D 转换结果就被依次传送到对应该通道的 A/D 数据寄存器。
3. 如果选择的所有通道的 A/D 转换结束，ADCSR 的 ADF 标志就被置 1。此时，如果 ADIE 位被置 1，就发生 ADI 中断请求。A/D 转换器再次从组的第 1 个通道开始 A/D 转换。
4. ADST 位不被自动清除，在被置成 1 的期间重复 2.~3.。如果将 ADST 位清 0，就停止 A/D 转换。

18.4.3 输入采样和 A/D 转换时间

A/D 转换器内置采样和保持电路。在从 ADST 位被置 1 开始经过 t_D 时间后，A/D 转换器对输入进行采样，然后开始转换。A/D 转换的时序如图 18.2 所示，A/D 转换时间如表 18.3 所示。

如图 18.2 所示，A/D 转换时间包含 t_D 和输入采样时间。在此， t_D 根据给 ADCSR 的写时序决定，不为定值。因此，转换时间在表 18.3 所示的范围内变化。扫描模式的转换时间虽然

以表 18.3 所示的值为第一次转换时间，但是，第二次以后的转换时间，当 CKS=0 时，为 128 个状态（固定）；当 CKS=1 时，为 66 个状态（固定）。

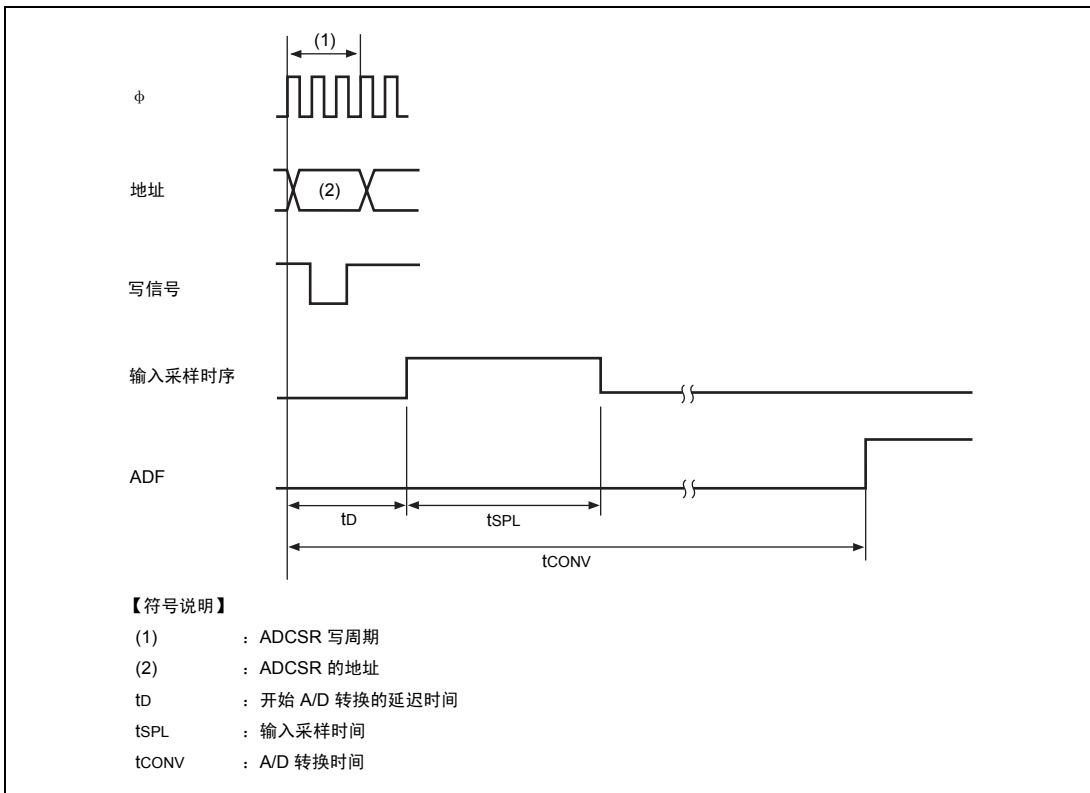


图 18.2 A/D 转换时序

表 18.3 A/D 转换时间（单通道模式）

	符号	CKS=0			CKS=1		
		min	typ	max	min	typ	max
开始 A/D 转换的延迟时间	tD	6	—	9	4	—	5
输入采样时间	tSPL	—	31	—	—	15	—
A/D 转换时间	tCONV	131	—	134	69	—	70

【注】表中的数值单位是状态。

18.4.4 外部触发输入时序

能通过外部触发输入，开始 A/D 转换。在 ADCR 的 TRGE 位置 1 时，外部触发输入从 ADTRG 管脚输入。在 ADTRG 输入管脚的下降沿，ADCSR 的 ADST 位被置 1，开始 A/D 转换。不论是单通道模式还是扫描模式，其它的运行与通过软件将 ADST 位置成 1 的情况相同。此时序如图 18.3 所示。

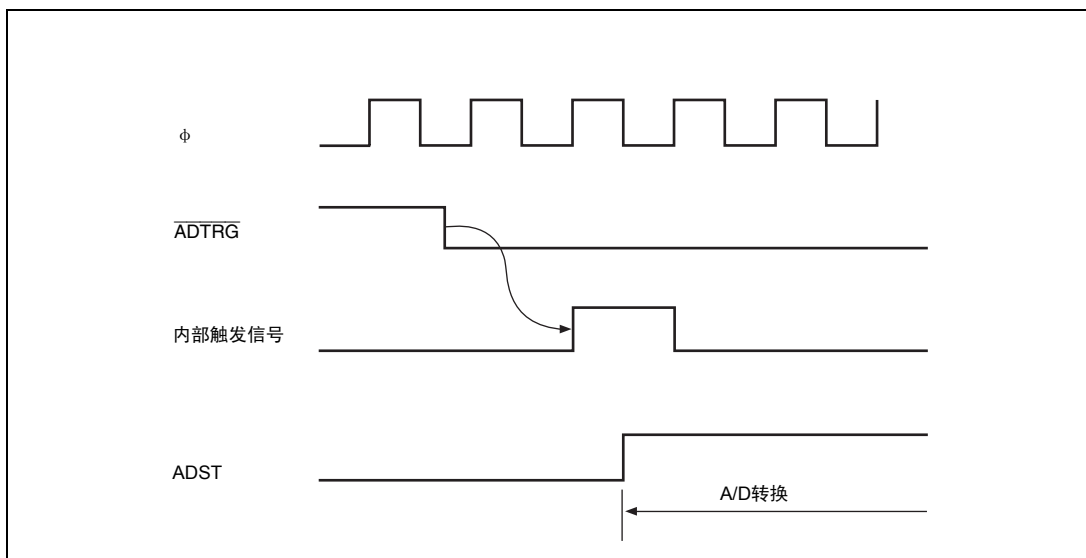


图 18.3 外部触发输入时序

18.5 A/D 转换精度的定义

本 LSI 的 A/D 转换精度的定义如下：

- 分辨率

A/D 转换器的数字输出码位数

- 量化误差

A/D 转换器固有的偏差，为 $1/2\text{LSB}$ （图 18.4）。

- 偏移误差

在数字输出从最小电压值 0000000000 变化到 0000000001 时，来自模拟输入电压值的理想 A/D 转换特性的偏差（图 18.5）。

- 满刻度误差

在数字输出从 1111111110 变化到 1111111111 时，来自模拟输入电压值的理想 A/D 转换特性的偏差（图 18.5）。

- 非线性误差

来自从零电压到满刻度电压之间的理想 A/D 转换特性的误差。但是，不含有偏移误差、满刻度误差和量化误差。

- 绝对精度

数字值和模拟输入值的偏差。含有偏移误差、满刻度误差、量化误差和非线性误差。

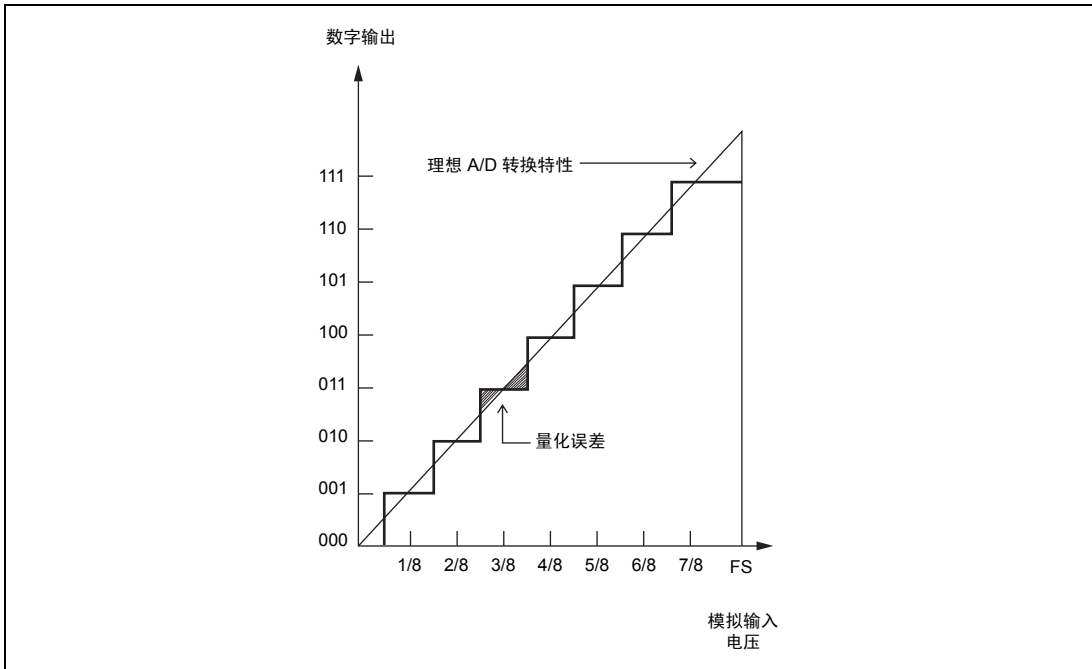


图 18.4 A/D 转换精度的定义 (1)

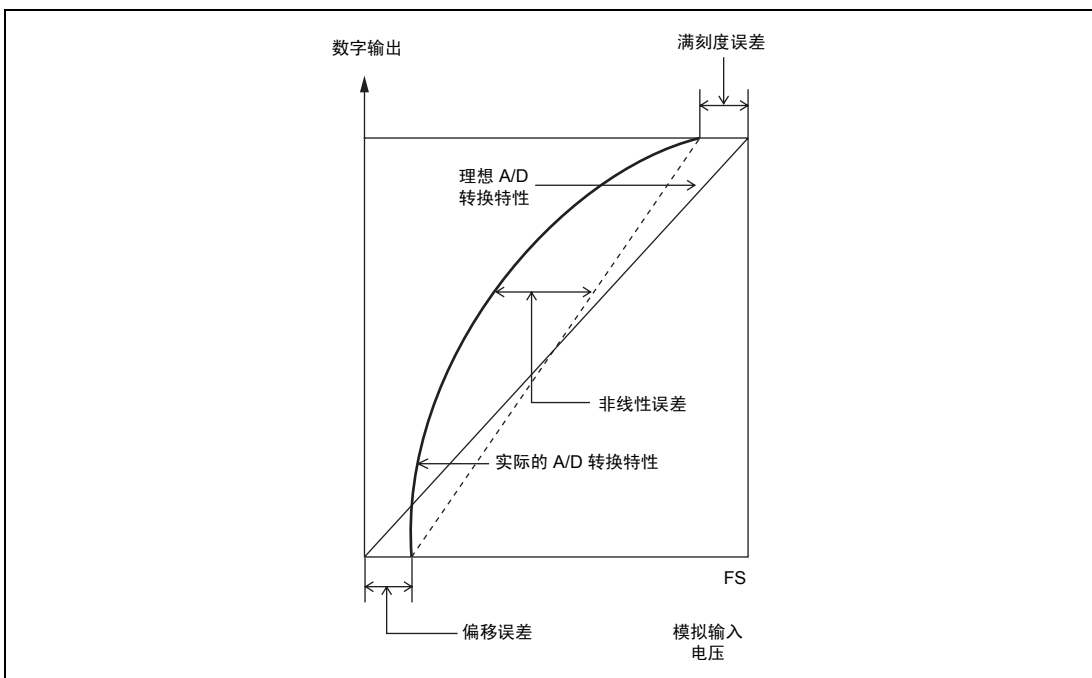


图 18.5 A/D 转换精度的定义 (2)

18.6 使用时的注意事项

18.6.1 关于容许信号源阻抗

对于信号源阻抗为 $5\text{k}\Omega$ 以下的输入信号，本 LSI 的模拟输入是保证其转换精度的设计。这是为了在采样时间内，对 A/D 转换器的采样和保持电路的输入电容进行充电所制定的规格，在传感器的输出阻抗超过 $5\text{k}\Omega$ 的情况下，会发生充电不足，并且有不能保证 A/D 转换精度的情况。在单通道模式进行转换，并且在外部设置大电容的情况下，由于输入负载实际上仅变成了 $10\text{k}\Omega$ 的内部输入电阻，因此可忽略信号源阻抗。但是，在这种情况下，形成一个低通滤波器，可能无法跟踪大微分系数的模拟信号（例如，电压的变动率为 $5\text{mV}/\mu\text{s}$ 以上）（图 18.6）。在转换高速模拟信号的情况下，或者在扫描模式进行转换的情况下，必须插入一个低阻抗的缓冲器。

18.6.2 关于对绝对精度的影响

由于附加电容会导致与 GND 的耦合，因此，如果在 GND 中有噪声，就有可能降低绝对精度。必须与电稳定的 GND 连接。同时，必须注意在安装电路板上滤波器电路不要干涉数字信号，也不要充当天线。

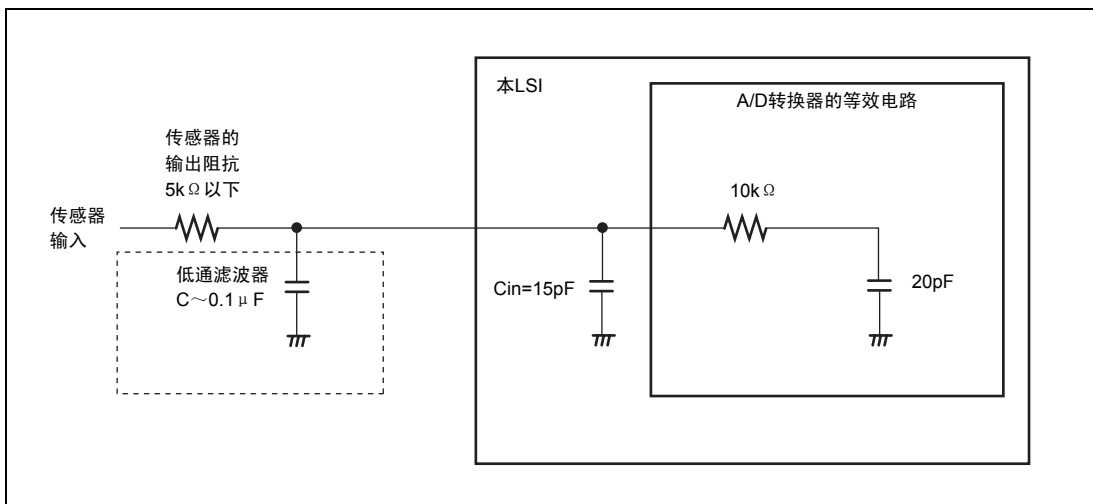


图 18.6 模拟输入电路的例子

第 19 章 EEPROM

H8/3687N 内置 512 字节的 EEPROM。EEPROM 的框图如图 19.1 所示。

19.1 特点

- 写方式：2 种
1 字节写
页写：页大小为 8 字节
- 读方式：3 种
当前地址读
随机地址读
顺序读
- 能进行应答查询
- 改写时间
10ms（电源电压 $V_{CC}=2.7V$ 以上）
- 改写次数
字节写：每 1 字节能最多进行 10,000 次改写
页写：每 1 页能最多进行 100,000 次改写
- 数据保持
页写 10,000 次改写后的数据保持 10 年
- 和 CPU 的接口
 I^2C 总线接口（遵循菲利普斯公司的规格）
设备码 1010
能改变从属地址码（初始值是 000）
由于 I^2C 总线对外部开放，因此能从外部直接存取 EEPROM

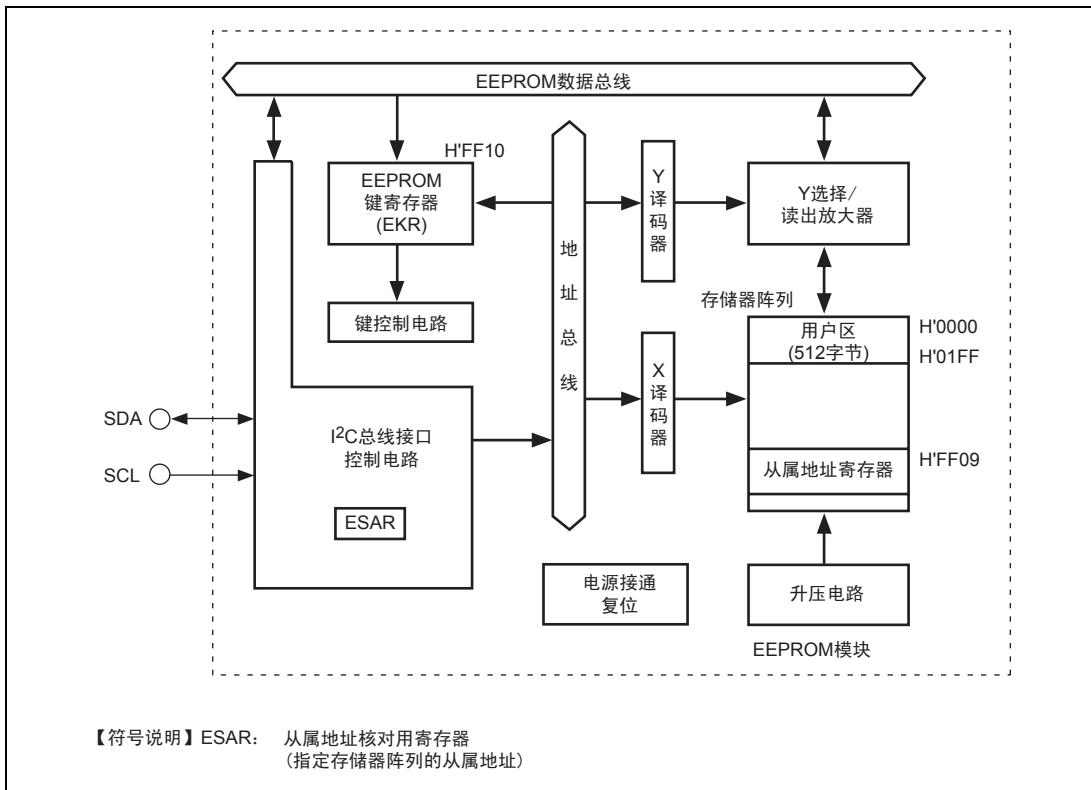


图 19.1 EEPROM 的框图

19.2 输入/输出管脚

EEPROM 使用的管脚如表 19.1 所示。

表 19.1 管脚结构

名称	符号	输入/输出	功能
串行时钟管脚	SCL	输入	用于设定串行数据的输入/输出时序的时钟输入管脚。在时钟的上升沿输入数据，在下降沿输出数据。由于 I ² C 总线接口的输出是漏极开路，所以必须用电阻上拉。关于电阻值，请从“23.2.2 DC 特性”的 V _{OL} 、I _{OL} 和 C _{IN} 以及“23.2.3 AC 特性”求出适合系统的值。最大时钟频率是 400kHz。
串行数据管脚	SDA	输入/输出	串行数据输入/输出管脚。由于输出是漏极开路，所以必须用电阻上拉。关于电阻值，请从“23.2.2 DC 特性”的 V _{OL} 、I _{OL} 和 C _{IN} 以及“23.2.3 AC 特性”求出适合系统的值。除了开始条件和停止条件以外，必须在 SCL 为低电平时，将 SDA 输入从高电平变到低电平或者从低电平变到高电平。

19.3 寄存器说明

EEPROM 有以下寄存器：

- EEPROM 键寄存器 (EKR)

19.3.1 EEPROM 键寄存器 (EKR)

EKR 是 8 位可读写寄存器，用于改变写在 EEPROM 中的从属地址码。改变从属地址码的方法是在给 EKR 写 H'5F 后，作为从属地址码，以字节写方式将 H'00~H'07 中的任何一个数写给 EEPROM 的 H'FF09 地址。EKR 的初始值是 H'FF。

19.4 运行说明

19.4.1 EEPROM 接口

是多芯片构造的 LSI。HD64N3687G 内置 F-ZTAT™ 版 HD64F3687G 和 512 字节 EEPROM 的 2 个芯片，HD6483687G 内置掩模型 ROM 版 HD6433687G 和 512 字节 EEPROM 的 2 个芯片。

EEPROM 接口是 I²C 总线接口。由于此 I²C 总线对外部开放，因此能和连接 I²C 总线的外部设备进行通信。

19.4.2 总线格式和时序

I²C 总线格式和 I²C 总线时序依照“17.4.1 I²C 总线格式”。EEPROM 固有的总线格式为下列 2 点：

1. EEPROM 地址以 2 字节构成，写数据是按高位地址、低位地址的顺序从各自的 MSB 侧传送。
2. 写数据是从 MSB 侧发送。

EEPROM 的总线格式和总线时序如图 19.2 所示。

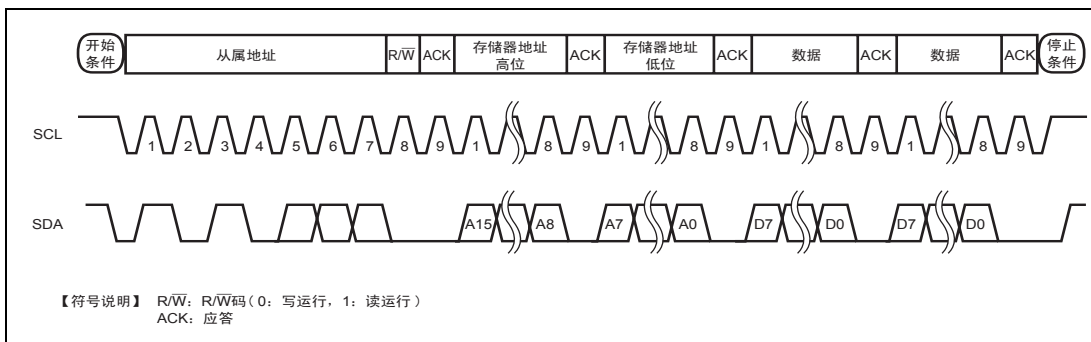


图 19.2 EEPROM 总线格式和总线时序

19.4.3 开始条件

为了开始读和写运行，必须在 SCL 输入为高电平时，使 SDA 输入从高电平变化到低电平，生成开始条件。

19.4.4 停止条件

为了停止读和写运行，必须在 SCL 输入为高电平时，使 SDA 输入从低电平变化到高电平，生成停止条件。

在读运行，如果生成停止条件，就结束读运行，变为存取待机状态。在写运行，如果生成停止条件，就结束改写数据的输入，在写周期时间(t_{wc})内执行对存储器的写操作后，变为存取待机状态。

19.4.5 应答

地址信息和读数据、写数据等的串行数据以 8 位单位进行发送和接收。应答是表示该 8 位数据被正常发送或者正常接收的信号。

在写运行时，EEPROM 在完成接收数据后的第 9 个时钟输出应答“0”。在读运行时，EEPROM 在完成接收数据后的应答之后发送读数据。发送后成为总线释放状态，如果检测到应答“0”，就发送下一个读数据。如果没有检测到应答“0”而接收到停止条件，就结束读运行，变为存取待机状态。如果没有检测到应答“0”，并且也没有接收到停止条件，就不发送数据，保持总线释放状态。

19.4.6 从属地址

在生成开始条件后，输入 7 位从属地址和 1 位 R/\bar{W} 码。根据此输入，EEPROM 开始读和写运行。

如表 19.2 所示，从属地址由前半部 4 位设备码和后半部 3 位从属地址码 7 位构成。设备码是识别设备类型的码，本 LSI 与通用 EEPROM 相同，被固定成 1010。从属地址码决定从连接到 I²C 总线的设备码 1010 的设备（最多 8 个）中选择哪个设备。选择按 A2、A1、A0 的顺序输入的从属地址码与从属地址核对用寄存器（ESAR）的内容一致的设备。

从属地址码存储在 EEPROM 的 H'FF09 地址，在复位解除后的 10ms 内，从存储器阵列的从属地址寄存器传送到 ESAR。另外，在传送中，不能存取 EEPROM。

写在 EEPROM 中的从属地址码的初始值是 H'00。能在 H'00~H'07 范围内改写，但是，必须以字节写方式改写。

从属地址的下一个位是 R/\bar{W} 码。0 为写运行，1 为读运行。

另外，在设备码不是 1010 或者从属地址码不一致的情况下，EEPROM 处于存取待机状态。

表 19.2 从属地址

位	位名	初始值	设定值	备 考
7	设备码 D3	—	1	
6	设备码 D2	—	0	
5	设备码 D1	—	1	
4	设备码 D0	—	0	
3	从属地址码 A2	0	A2	能改变初始值
2	从属地址码 A1	0	A1	能改变初始值
1	从属地址码 A0	0	A0	能改变初始值

19.4.7 写运行

写运行有字节写和页写 2 种。写运行的启动方法是给继从属地址之后的 R/\overline{W} 码输入 0。

(1) 字节写

如果继开始条件之后输入 7 位从属地址和 R/\overline{W} 码为 0 的 8 位数据，EEPROM 就在第 9 位输出应答“0”，进入写模式。然后，按高位、低位的顺序，从 MSB 侧输入 2 字节存储器地址。由于每输入 1 字节存储器地址，就输出应答“0”，因此从 MSB 侧连续输入 1 字节写数据。如果收到写数据，EEPROM 就输出应答“0”。在此，如果输入停止条件，就进入 EEPROM 内部控制的改写运行，在改写运行结束之前，不受理 SCL 和 SDA 的输入。如果改写运行结束，EEPROM 就自动返回存取待机状态。

字节写运行如图 19.3 所示。

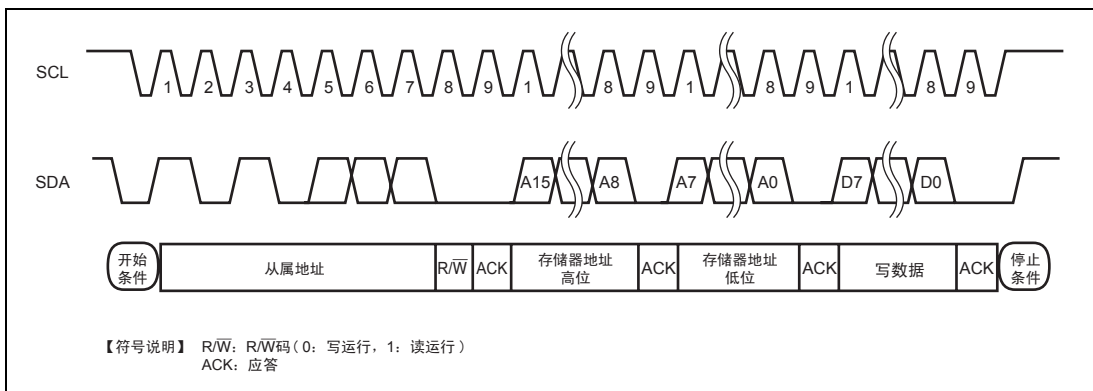


图 19.3 字节写运行

(2) 页写

本 LSI 有 1 次可改写最多 8 字节的任意字节数的页写功能。页写与字节写相同，按开始条件→从属地址+R/ \overline{W} 码→存储器地址(n)→写数据(Dn)的顺序，边确认每 9 位的应答"0"输出，边输入写数据。如果在输入写数据(Dn)后不输入停止条件，而输入写数据(Dn+1)，就进入页写模式。如果输入写数据(Dn+1)，EEPROM 地址的 LSB 侧的 3 位(A2~A0)就被自动增加? 为(n+1)地址，从而能接连不断地输入写数据。

在每次输入写数据后，页内地址递增，能最多输入 8 字节的写数据。在 EEPROM 地址的 LSB 侧的 3 位(A2~A0)到达页的最后地址时，地址将翻转并返回到页的起始地址。在翻转时，虽然给同一个地址输入二次或者二次以上写数据，但是最后输入的写数据有效。如果输入停止条件，就结束写数据的输入，进入改写运行。

页写运行如图 19.4 所示。

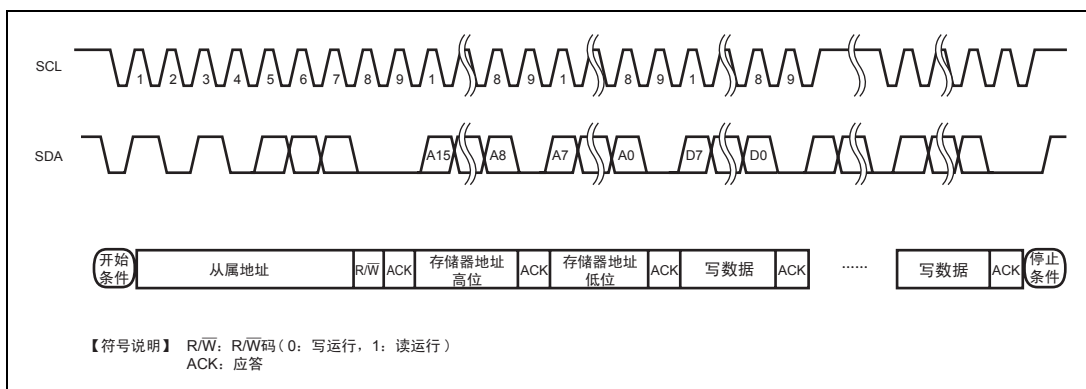


图 19.4 页写运行

19.4.8 应答查询

有判定 EEPROM 是否处于改写中的应答查询功能。在改写期间中，继开始条件之后输入从属地址+R/ \overline{W} 码 8 位。在应答查询时，必须将读/写码置为 0。用第 9 位的应答判断是否处于改写中。应答"1"表示改写中，应答"0"表示改写结束。在输入写数据后，从输入停止条件时开始，应答查询发挥作用。

19.4.9 读运行

读运行有当前地址读、随机地址读和顺序读 3 种。虽然读运行的开始方法与写运行相同，但是必须给继从属地址之后的 R/\overline{W} 码输入 1。

(1) 当前地址读

EEPROM 内部的地址计数器保持前一次读或者写运行时的最后存取地址(n)加 1 的(n+1)地址。当前地址读是读取此内部地址计数器保持的(n+1)地址的模式。

与写运行相同，如果按开始条件→从属地址+ R/\overline{W} 码($R/\overline{W}=1$)的顺序输入，在输出应答"0"后，就从 MSB 侧串行输出(n+1)地址的 1 字节数据。此后，如果按应答"1"→停止条件的顺序输入，就结束读运行，返回存取待机状态。

另外，前一次在读模式存取了最后地址 H'01FF 的情况下，当前地址翻转变为 0 地址。同样，前一次在写模式存取了页的最后地址的情况下，当前地址在页内翻转变为页的起始地址。

只要不使电源 OFF，当前地址总有效。电源 ON 后的当前地址不定。对于电源 ON 后的读运行，必须通过随机地址读指定地址。

当前地址读的运行如图 19.5 所示。

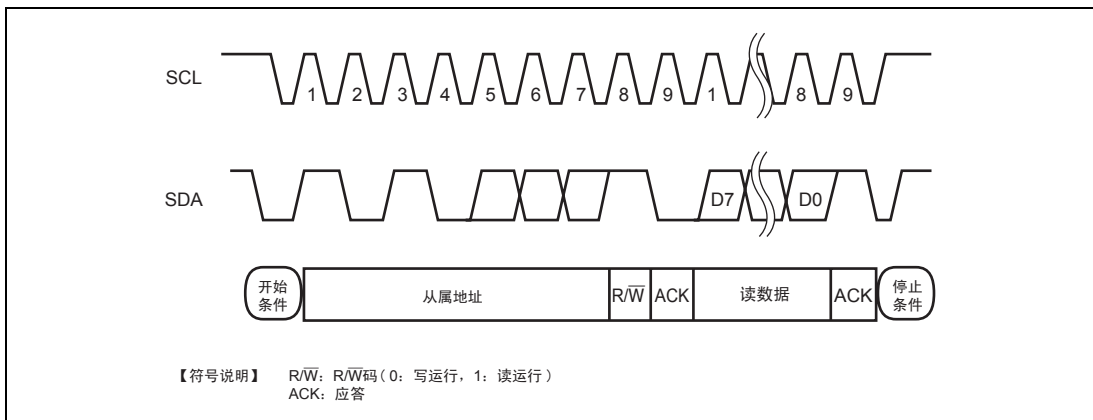


图 19.5 当前地址读运行

(2) 随机地址读

是指定地址后进行读的模式。用虚写模式输入要读的地址。按开始条件→从属地址+ R/\overline{W} 码 ($R/\overline{W}=0$) →存储器地址（高位）→存储器地址（低位）的顺序输入。如果确认了输入存储器地址（低位）后的应答"0"输出，再一次输入开始条件后读当前地址，就输出在虚写模式指定的地址数据。在数据输出后，如果按应答"1"→停止条件的顺序输入，就结束读运行，返回到存取待机状态。

随机地址读的运行如图 19.6 所示。

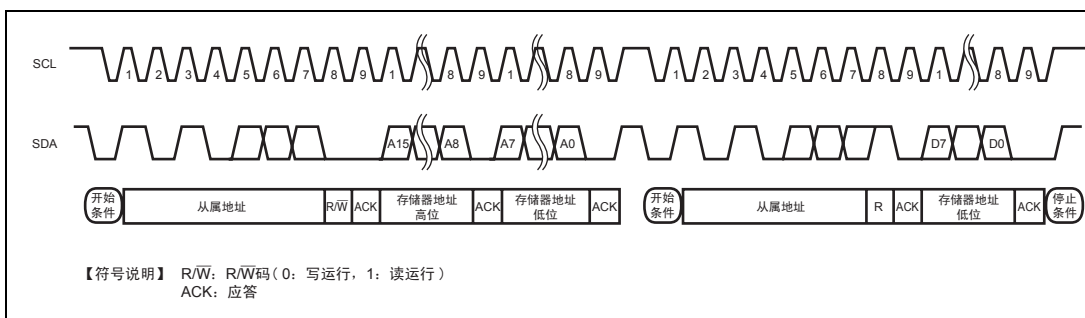


图 19.6 随机地址读运行

(3) 顺序读

是连续读数据的模式。无论是当前地址读，还是随机地址读都能连续读数据。在输出 1 字节数据后，如果输入应答"0"，地址就被递增，并且输出下一个 1 字节数据。如果在数据输出后继续输入应答"0"，就边增加地址，边接连不断地输出数据。在地址变为最后地址 H'01FF 时，翻转到 0 地址。即使在翻转后，也可以顺序读。结束运行时，与当前地址读和随机地址读相同，按应答"1"→停止条件的顺序输入。

在进行当前地址读时，使用顺序读的运行如图 19.7 所示。

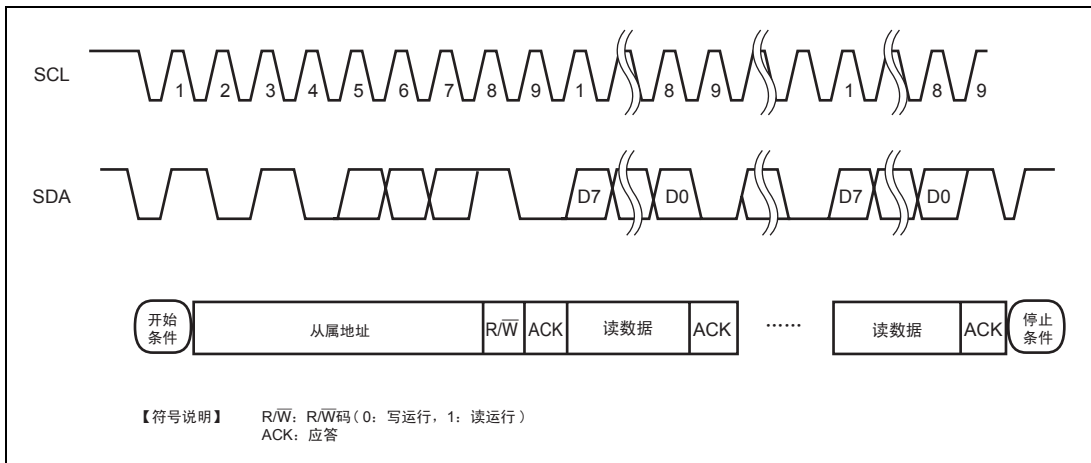


图 19.7 顺序读运行（在使用当前地址读的情况下）

19.5 使用时的注意事项

19.5.1 电源 ON/OFF 时的数据保护

由于电源 ON/OFF 时的误动作，数据可能被破坏。为了防止数据破坏，必须注意下列事项：

1. 在电源ON/OFF时，必须将SCL和SDA固定成 V_{CC} 或者 V_{SS} 。
2. 必须在存取待机状态下，将电源OFF。
3. 从中间电平的电源ON是导致误动作的原因。电源ON必须从0V开始。
4. 电源ON时的电压上升时间必须在 $10\mu s$ 以上。

19.5.2 改写次数

页写的改写次数为每 1 页 10^5 次（累积不良率 1% 以下）。字节写的改写次数为每 1 字节 10^4 次。而且，页写的改写不超过 10^4 次的数据可以保持 10 年。

19.5.3 噪声消除时间

SCL 和 SDA 管脚有噪声消除功能。通过此功能，消除 50ns 宽度以下的脉冲。因为超过 50ns 宽度的脉冲将被认作有效脉冲，所以必须注意不要产生 50ns 宽度以上的误脉冲。

第 20 章 加电复位和低电压检测电路【任选】

本 LSI 作为任选电路，能内置加电复位电路和低电压检测电路。

低电压检测电路由低电压检测中断电路（LVDI: Interrupt by Low Voltage Detect）和低电压检测复位电路（LVDR: Reset by Low Voltage Detect）构成。

本电路是用于防止由电源电压下降而引起的本 LSI 的异常运行（失控），以及在电源电压再次上升时，再现电源电压下降前的状态的电路。

即使电源电压下降，只要在运行保证电压以上，并且在正常运行中，通过转移到待机模式，就能消除电源电压下降到运行保证电压以下时的不稳定状态，提高系统的安全性。并且，在电源电压下降了的情况下，自动转移到复位状态。如果电源电压再次上升，就在保持一定时间的复位状态后，自动转移到激活模式。

加电复位电路和低电压检测电路的框图如图 20.1 所示。

20.1 特点

- 加电复位电路

通过外部连接电容，在接通电源时，产生内部复位信号。

- 低电压检测电路

低电压检测复位电路：监视电源电压，在一定电压以下时，产生内部复位信号。

低电压检测中断电路：监视电源电压，在从一定电压下降或者上升时，产生中断。

检测复位发生电压的电平能选择两种情况：只使用低电压检测复位电路，或者低电压检测中断电路和低电压检测复位电路并用。

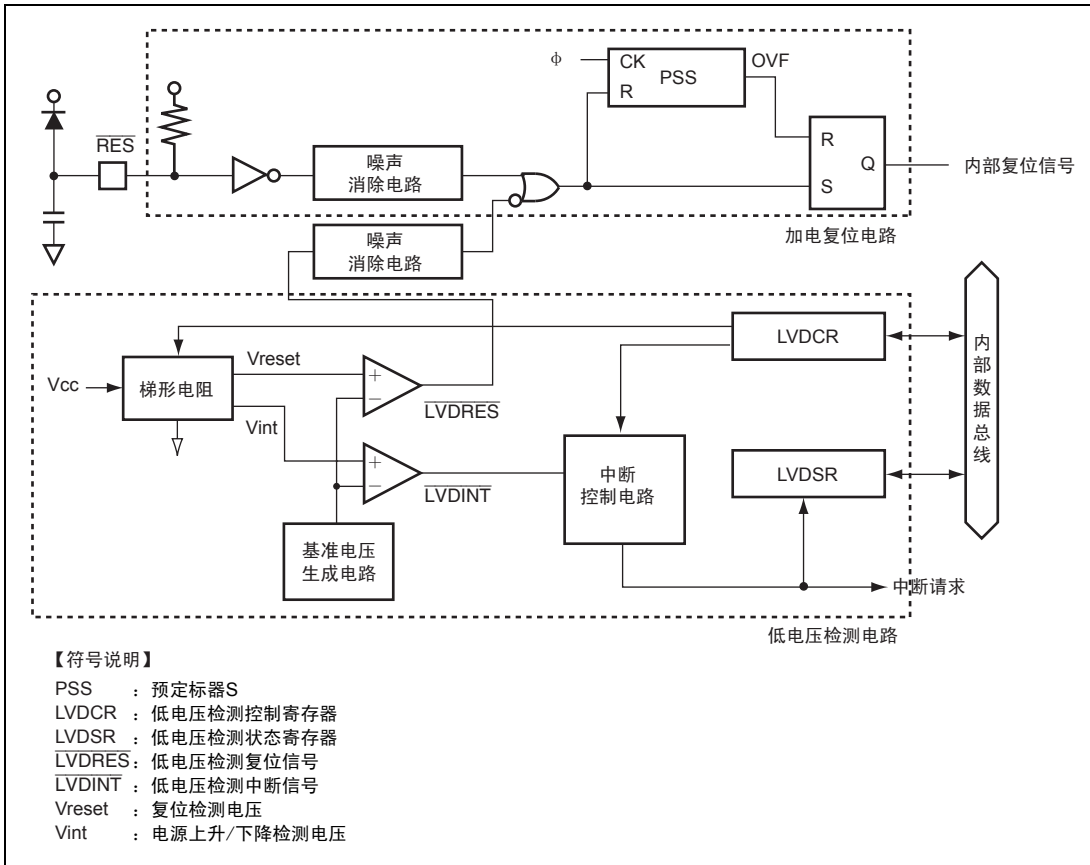


图 20.1 加电复位电路和低电压检测电路的框图

20.2 寄存器说明

低电压检测电路有以下寄存器：

- 低电压检测控制寄存器（LVDCR）
- 低电压检测状态寄存器（LVDSR）

20.2.1 低电压检测控制寄存器（LVDCR）

LVDCR 控制是否使用低电压检测电路、控制设定 LVDR 检测电平、控制允许/禁止由低电压检测复位电路产生的复位、以及控制允许/禁止由电源电压下降和上升产生的中断。

LVDCR 的设定值和选择功能的关系如表 20.1 所示。必须按照表 20.1 设定 LVDCR。

位	位名	初始值	R/W	说 明
7	LVDE	0*	R/W	LVD 允许 0: 未使用低电压检测电路（待机状态） 1: 使用低电压检测电路
6~4	—	全为 1	—	保留位。总是读出 1，写无效。
3	LVDSSEL	0*	R/W	LVDR 检测电平选择 0: 复位检测电压 2.3V(typ.) 1: 复位检测电压 3.6V(typ.) 使用下降电压检测和上升电压检测中断时，必须使用 2.3V(typ.)复位。 另外，只使用复位检测时，必须使用 3.6V(typ.)复位。
2	LVDRRE	0*	R/W	LVDR 允许 0: 禁止由 LVDR 产生的复位 1: 允许由 LVDR 产生的复位
1	LVDDDE	0	R/W	电压下降时的中断允许 0: 禁止电压下降时的中断请求 1: 允许电压下降时的中断请求
0	LVDDUE	0	R/W	电压上升时的中断允许 0: 禁止电压上升时的中断请求 1: 允许电压上升时的中断请求

【注】*在通过 LVDR 复位时，不被初始化。在加电复位、监视定时器复位时，被初始化。

表 20.1 LVDCR 的设定和选择功能

LVDCR 设定值					选择功能			
LVDE	LVDSSEL	LVDRE	LVDDE	LVDUE	加电 复位	低电压检测 复位	低电压检测 下降中断	低电压检测 上升中断
0	*	*	*	*	○	—	—	—
1	1	1	0	0	○	○	—	—
1	0	0	1	0	○	—	○	—
1	0	0	1	1	○	—	○	○
1	0	1	1	1	○	○	○	○

【注】*的设定值无效。

20.2.2 低电压检测状态寄存器 (LVDSR)

LVDSR 表示电源电压从某一定电压开始下降或者上升。

位	位名	初始值	R/W	说 明
7~2	—	全为 1	—	保留位。总是读出 1，写无效。
1	LVDDF	0*	R/W	LVD 电源电压下降标志 [置位条件] 在电源电压下降到 Vint(D) (typ.=3.7V)以下时 [清除条件] 在读到 1 的状态后，写 0 时
0	LVDFU	0*	R/W	LVD 电源电压上升标志 [置位条件] 在 LVDCR 的 LVDUE 位置 1 的状态下，电源电压下降到 Vint(D)以下， 并且在下降到 Vreset1 (typ.=2.3V)前，上升到 Vint(U) (typ.=4.0V)以 上时 [清除条件] 在读到 1 的状态后，写 0 时

【注】*在通过 LVDR 复位时，被初始化。

20.3 运行说明

20.3.1 加电复位电路

加电复位电路的运行时序如图 20.2 所示。由于电源电压上升，经过内部上拉电阻（typ. 150kΩ），逐渐对外接在 $\overline{\text{RES}}$ 管脚的电容充电。此 $\overline{\text{RES}}$ 管脚的状态传到内部，对预定标器 S 和整个芯片进行复位。如果 $\overline{\text{RES}}$ 管脚电平上升到一定电平，就解除预定标器 S 的复位，开始累加计数。如果预定标器 S 对 ϕ 进行 131,072 次计数，就产生 OVF 信号，解除内部复位信号。另外，为了避免由于 $\overline{\text{RES}}$ 管脚的噪声而产生的误动作，在芯片内部，内置了约 100ns 的噪声消除电路。

为了使 LSI 稳定运行，必须使电源在规定的时间内上升。电源上升时间(t_{PWON})的最大值由振荡频率(f_{OSC})和连接到 $\overline{\text{RES}}$ 管脚的电容(C_{RES})来定义。假设电源上升时间为达到电源电压的 90% 的时间，请设计满足下列算式的电源电路：

$$t_{\text{PWON}}(\text{ms}) \leq 90 \times C_{\text{RES}}(\mu\text{F}) \pm 162/f_{\text{OSC}}(\text{MHz})$$

$$(t_{\text{PWON}} \leq 3000\text{ms}, C_{\text{RES}} \geq 0.22\mu\text{F}, 2 \sim 10\text{MHz 时 } f_{\text{OSC}}=10)$$

但是，电源电压 V_{CC} 一定下降到 $V_{\text{por}}=100\text{mV}$ 以下，必须在充分放掉 $\overline{\text{RES}}$ 管脚的电荷后，使电源电压 V_{CC} 上升。为了放掉 $\overline{\text{RES}}$ 管脚的电荷，建议给 V_{CC} 侧外接二极管。如果从大于 V_{por} 的电压开始电源电压 V_{CC} 上升，加电复位可能不动作。

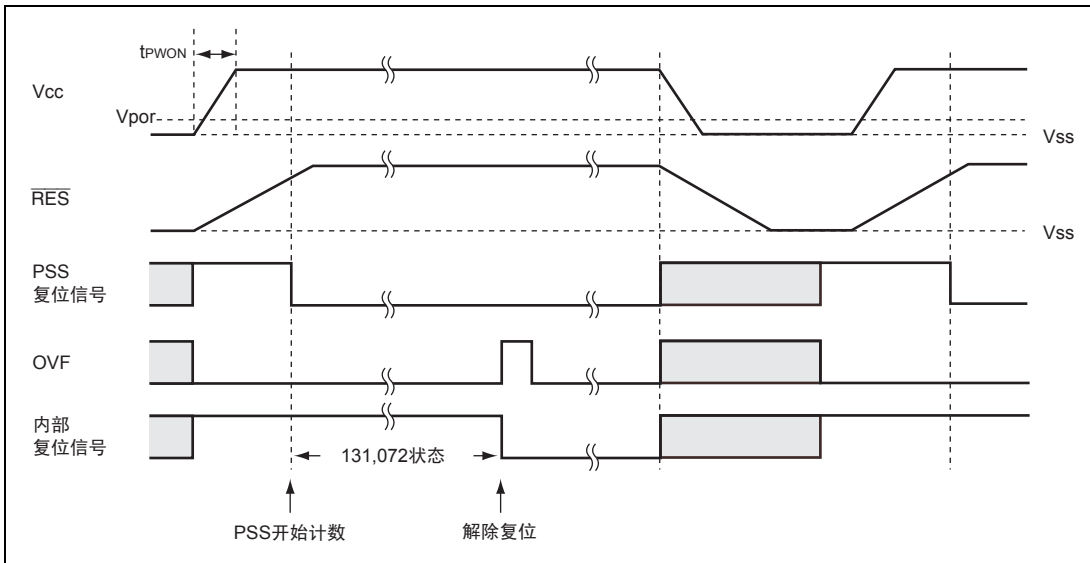


图 20.2 加电复位电路的运行时序

20.3.2 低电压检测电路

(1) 低电压检测复位电路 (LVDR)

LVDR 的运行时序如图 20.3 所示。在加电复位解除后, LVDR 变为模块待机状态。为了让 LVDR 运行, 将 LVDCR 的 LVDE 位置 1, 并且通过软件定时器等, 在等待到基准电压和低电压检测电源稳定为止的时间 $t_{LVDRON}(50\mu s)$ 后, 将 LVDCR 的 LVDRE 位置 1。此后, 必须进行端口的输出设定。另外, 在解除低电压检测电路时, 在将 LVDRE 位清 0 后, 将 LVDE 位清 0。为了避免误动作, 不能将 LVDE 位和 LVDRE 位同时清除。

如果电源电压下降到 V_{reset} 电压 ($typ.=2.3V$ 或者 $3.6V$) 以下, LVDR 就使 $\overline{LVDRRES}$ 信号变为 0, 并且复位预定标器 S。只要加电复位不动作, 就继续低电压检测复位状态。如果电源电压再次上升到 V_{reset} 电压以上, 预定标器 S 就开始累加计数, 对 ϕ 进行 131,072 次计数, 解除内部复位信号。此时, LVDCR 的 LVDE 位、LVDSEL 位、LVDRE 位不被初始化。

但是, 在电源电压 V_{cc} 在下降到 $V_{LVDRmin}=1.0V$ 以下后从此开始上升的情况下, 低电压检测复位可能不运行, 请充分评价。

另外, 如果电源电压 V_{cc} 下降到 $V_{por}=100mV$ 以下, 本 LSI 就变为加电复位运行。

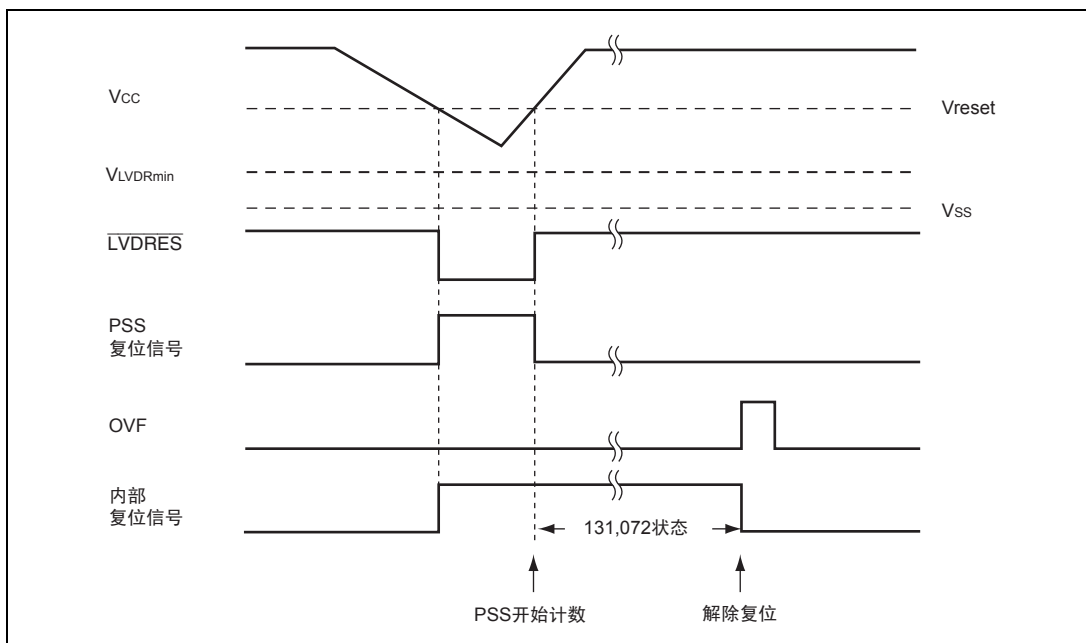


图 20.3 低电压检测复位电路的运行时序

(2) 低电压检测中断电路 (LVDI)

LVDI 的运行时序如图 20.4 所示。在解除加电复位后, LVDI 变为模块待机状态。为了让 LVDI 运行, 将 LVDCR 的 LVDE 位置 1, 并且通过软件定时器等, 在等待到基准电压和低电压检测电源稳定为止的时间 $t_{LVDO\text{N}}$ (50 μs)后, 将 LVDCR 的 LVDDE 位和 LVDUE 位置 1。此后, 必须进行端口的输出设定。另外, 在解除低电压检测电路时, 在将 LVDD E 位和 LVDUE 位全部清 0 后, 将 LVDE 位清 0。为了避免误动作, LVDE 位不能和 LVDDE 位、LVDUE 位同时清除。

如果电源电压下降到 $V_{\text{int(D)}}(\text{typ.}=3.7\text{V})$ 电压以下, LVDI 就使 $\overline{\text{LVDINT}}$ 信号变为 0, 将 LVDSR 的 LVDDF 位置 1。如果 LVDDE 位是 1, 就发生 IRQ0 中断请求。此时, 必须将需要的数据保存到外接的 EEPROM 等, 并且转移到待机模式或者子睡眠模式。设计电源电路时, 必须在完成此处理之前, 将电源电压保持在保证运行的下限电压以上。

另外, 如果电源电压不下降到 $V_{\text{reset1}}(\text{typ.}=2.3\text{V})$ 电压, 而上升到 $V_{\text{int(U)}}(\text{typ.}=4.0\text{V})$ 电压以上, $\overline{\text{LVDINT}}$ 信号就变为 1, 此时, 如果 LVDUE 位是 1, LVDSR 的 LVDUF 位就被置 1, 同时发生 IRQ0 中断请求。

如果电源电压下降到 $V_{\text{reset1}}(\text{typ.}=2.3\text{V})$ 电压以下, 本 LSI 就变为低电压检测复位运行。

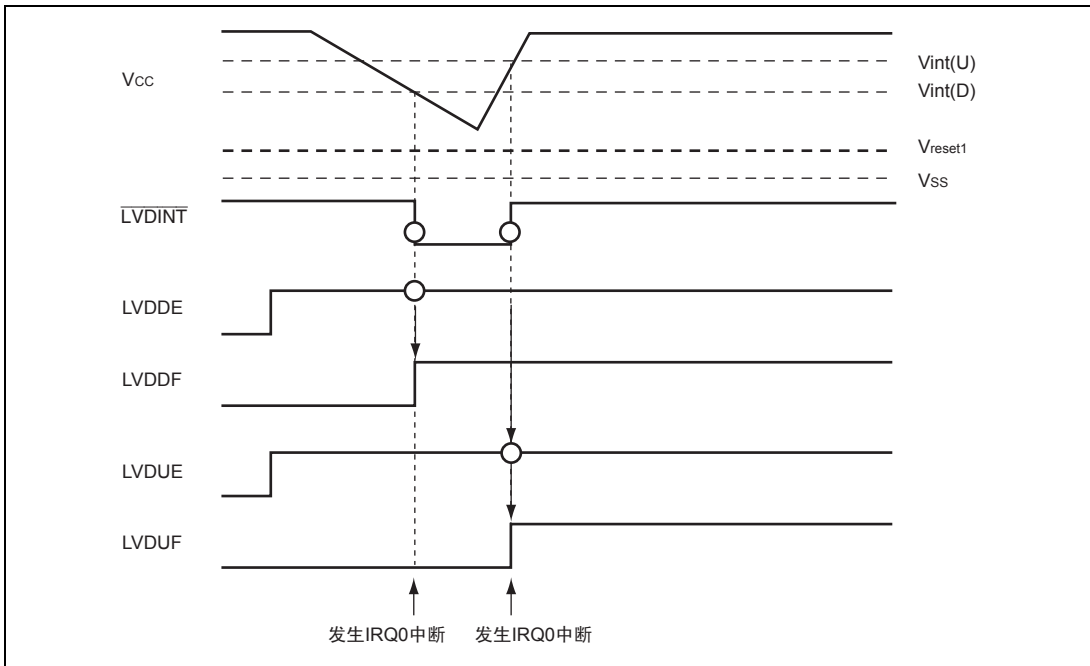


图 20.4 低电压检测中断电路的运行时序

(3) 使用 LVDR、LVDI 时的运行/解除的设定步骤

为了正常运行或者解除低电压检测电路，必须按以下步骤设定。设定低电压检测电路运行和解除时的时序如图 20.5 所示。

1. 运行低电压检测电路时，首先，将LVDCR的LVDE位置1。
2. 通过软件定时器等，在等待到基准电压和低电压检测电源稳定为止的时间 $t_{LV\text{DON}}$ (50 μs)后，将LVDSR的LVDDF位和LVDF位清0，根据需要将LVDCR的LVDPRE位、LVDDDE位以及LVDFUE位置1。
3. 解除低电压检测电路时，在将LVDPRE位、LVDDDE位以及LVDFUE位全部清0后，将LVDE位清0。为了避免误动作，LVDE位不能和LVDPRE位、LVDDDE位、LVDFUE位同时清除。

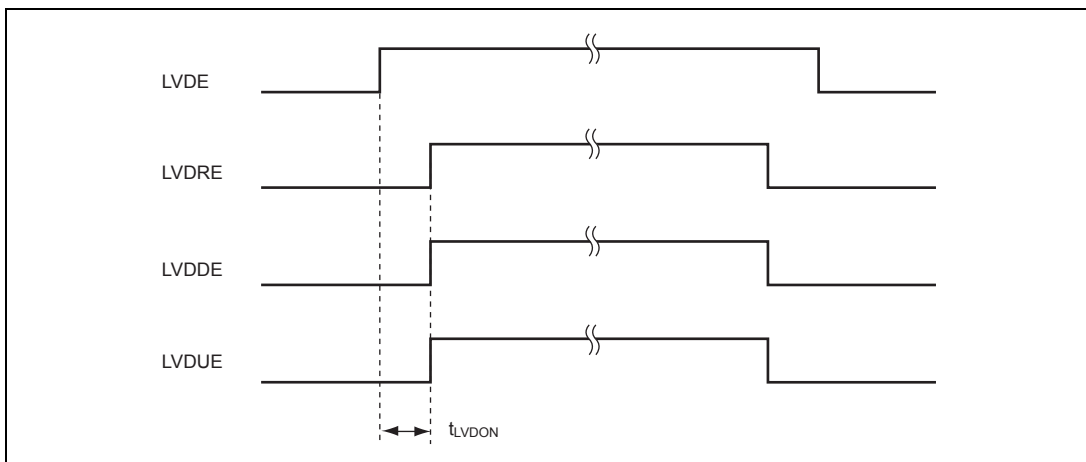


图 20.5 低电压检测电路运行/解除的设定时序

第 21 章 电源电路

在本 LSI 中内藏内部电源降压电路。通过使用此内部电源降压电路，能不依靠连接到外部 V_{CC} 管脚的电源电压，将内部电源大约固定在 3.0V。因此，能抑制使用 3.0V 以上的外部电源时的消费电流，使它与使用大约 3.0V 的外部电源时的消费电流基本相同。当外部电压低于 3.0V 时，内部电压与外部电压基本相同。也能不使用内部电源降压电路，将内部电源电压和外部电源电压同样地使用。

21.1 使用内部电源降压电路的情况

如图 21.1 所示，必须将外部电源连接到 V_{CC} 管脚，并且在 V_{CL} 和 V_{SS} 之间连接一个大约 $0.1\mu\text{F}$ 的电容。通过附加这个外部电路，使内部降压电路有效。外部电路的输入/输出电平以连接到 V_{CC} 的外部电源电压和连接到 V_{SS} 的 GND 电位为基准。例如，端口的输入/输出电平，高电平以 V_{CC} 为基准，低电平以 V_{SS} 为基准。A/D 转换器的模拟电源不受内部降压电路的影响。

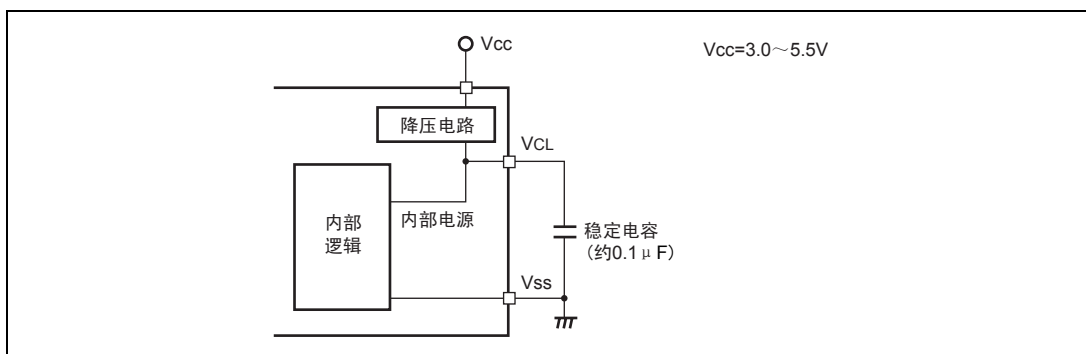


图 21.1 在使用内部电源降压电路的情况下的电源连接图

21.2 不使用内部电源降压电路的情况

如图 21.2 所示，必须将外部电源连接到 V_{CL} 和 V_{CC} 管脚。外部电源被直接提供给内部电源。可使用的电源电压为 3.0V~3.6V。在供给超过这个范围的电源的情况下，运行不被保证。

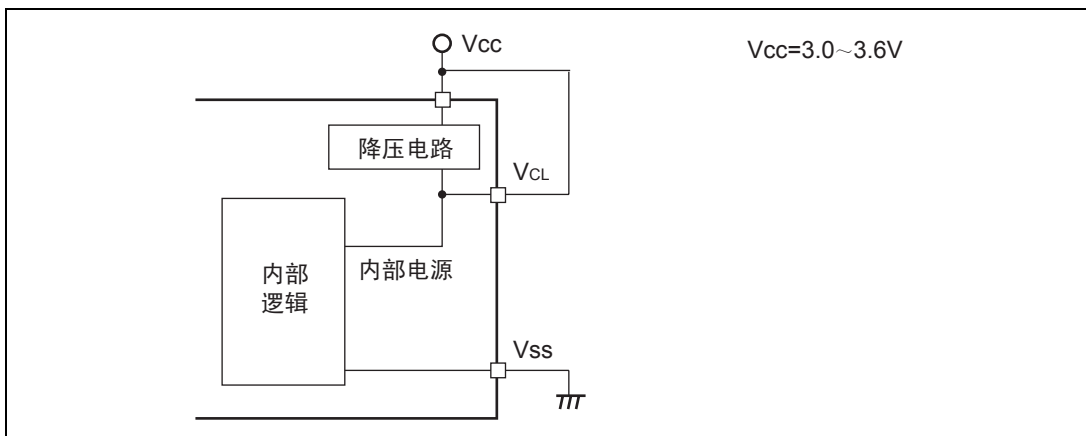


图 21.2 在不使用内部电源降压电路的情况下的电源连接图

第 22 章 寄存器一览表

在寄存器地址一览表中，汇总了有关内部寄存器地址、位结构以及各运行模式的状态的信息。表的记述方法如下：

1. 寄存器地址一览表（按地址顺序）

- 从分配的低地址寄存器开始顺序记载。
- 对于保留地址，在寄存器名称部用“—”表示。
不能存取保留地址。
- 地址为16位时，记载MSB侧的地址。
- 根据模块名称分类。
- 表示数据总线宽度。
- 表示存取状态数。

2. 寄存器位一览表

- 按“寄存器地址一览表（按地址顺序）”的顺序，记载位结构。
- 对于保留位，在位名称部用“—”表示。
- 16位寄存器的情况，从MSB侧的位开始记载。

3. 各运行模式的寄存器状态

- 按“寄存器地址一览表（按地址顺序）”的顺序，记载寄存器状态。
- 表示在基本运行模式中的寄存器状态。在内部模块固有复位等的情况下，请参照内部模块章节。

22.1 寄存器地址一览表（按地址顺序）

数据总线宽度表示位数。

存取状态数表示指定的标准时钟的状态数。

【注】禁止存取未定义地址和保留地址。由于不能保证存取这些地址时的运行和继续运行，因此不能存取。

寄存器名	略称	位数	地址	模块	数据总线 宽度	存取 状态数
—	—	—	H'F000~ H'F6FF	—	—	—
定时器控制寄存器_0	TCR_0	8	H'F700	定时器 Z	8	2
定时器 I/O 控制寄存器 A_0	TIORA_0	8	H'F701	定时器 Z	8	2
定时器 I/O 控制寄存器 C_0	TIORC_0	8	H'F702	定时器 Z	8	2
定时器状态寄存器_0	TSR_0	8	H'F703	定时器 Z	8	2
定时器中断许可寄存器_0	TIER_0	8	H'F704	定时器 Z	8	2
PWM 模式输出电平控制寄存器_0	POCR_0	8	H'F705	定时器 Z	8	2
定时器计数器_0	TCNT_0	16	H'F706	定时器 Z	16	2
通用寄存器 A_0	GRA_0	16	H'F708	定时器 Z	16	2
通用寄存器 B_0	GRB_0	16	H'F70A	定时器 Z	16	2
通用寄存器 C_0	GRC_0	16	H'F70C	定时器 Z	16	2
通用寄存器 D_0	GRD_0	16	H'F70E	定时器 Z	16	2
定时器控制寄存器_1	TCR_1	8	H'F710	定时器 Z	8	2
定时器 I/O 控制寄存器 A_1	TIORA_1	8	H'F711	定时器 Z	8	2
定时器 I/O 控制寄存器 C_1	TIORC_1	8	H'F712	定时器 Z	8	2
定时器状态寄存器_1	TSR_1	8	H'F713	定时器 Z	8	2
定时器中断许可寄存器_1	TIER_1	8	H'F714	定时器 Z	8	2
PWM 模式输出电平控制寄存器_1	POCR_1	8	H'F715	定时器 Z	8	2
定时器计数器_1	TCNT_1	16	H'F716	定时器 Z	16	2
通用寄存器 A_1	GRA_1	16	H'F718	定时器 Z	16	2
通用寄存器 B_1	GRB_1	16	H'F71A	定时器 Z	16	2
通用寄存器 C_1	GRC_1	16	H'F71C	定时器 Z	16	2
通用寄存器 D_1	GRD_1	16	H'F71E	定时器 Z	16	2
定时器启动寄存器	TSTR	8	H'F720	定时器 Z	8	2
定时器模式寄存器	TMDR	8	H'F721	定时器 Z	8	2
定时器 PWM 模式寄存器	TPMR	8	H'F722	定时器 Z	8	2

寄存器名	略称	位数	地址	模块	数据总线	存取
定时器功能控制寄存器	TFCR	8	H'F723	定时器 Z	8	2
定时器输出主许可寄存器	TOER	8	H'F724	定时器 Z	8	2
定时器输出控制寄存器	TOCR	8	H'F725	定时器 Z	8	2
—	—	—	H'F726、 H'F727	定时器 Z	—	—
秒数据寄存器/自由运行计数器数据寄存器	RSECDR	8	H'F728	RTC	8	2
分数据寄存器	RMINDR	8	H'F729	RTC	8	2
小时数据寄存器	RHRDR	8	H'F72A	RTC	8	2
星期几数据寄存器	RWKDR	8	H'F72B	RTC	8	2
RTC 控制寄存器 1	RTCCR1	8	H'F72C	RTC	8	2
RTC 控制寄存器 2	RTCCR2	8	H'F72D	RTC	8	2
—	—	—	H'F72E	RTC	—	—
时钟源选择寄存器	RTCCSR	8	H'F72F	RTC	8	2
低电压检测控制寄存器	LVDCR* ¹	8	H'F730	低电压检测 电路	8	2
低电压检测状态寄存器	LVDSR* ¹	8	H'F731	低电压检测 电路	8	2
—	—	—	H'F732~ H'F73F	—	—	—
串行模式寄存器_2	SMR_2	8	H'F740	SCI3_2	8	3
位传输率寄存器_2	BRR_2	8	H'F741	SCI3_2	8	3
串行控制寄存器 3_2	SCR3_2	8	H'F742	SCI3_2	8	3
发送数据寄存器_2	TDR_2	8	H'F743	SCI3_2	8	3
串行状态寄存器_2	SSR_2	8	H'F744	SCI3_2	8	3
接收数据寄存器_2	RDR_2	8	H'F745	SCI3_2	8	3
—	—	—	H'F746、 H'F747	SCI3_2	—	—
I ² C 总线控制寄存器 1	ICCR1	8	H'F748	IIC2	8	2
I ² C 总线控制寄存器 2	ICCR2	8	H'F749	IIC2	8	2
I ² C 总线模式寄存器	ICMR	8	H'F74A	IIC2	8	2
I ² C 总线中断许可寄存器	ICIER	8	H'F74B	IIC2	8	2
I ² C 总线状态寄存器	ICSR	8	H'F74C	IIC2	8	2
从属地址寄存器	SAR	8	H'F74D	IIC2	8	2
I ² C 总线发送数据寄存器	ICDRT	8	H'F74E	IIC2	8	2
I ² C 总线接收数据寄存器	ICDRR	8	H'F74F	IIC2	8	2

第 22 章 寄存器表

寄存器名	略称	位数	地址	模块	数据总线 宽度	存取 状态数
—	—	—	H'F750~ H'F75F	—	—	—
定时器模式寄存器 B1	TMB1	8	H'F760	定时器 B1	8	2
定时器计数器 B1	TCB1	8	H'F761	定时器 B1	8	2
—	—	—	H'F762~ H'FF8F	—	—	—
快速擦写存储器控制寄存器 1	FLMCR1	8	H'FF90	ROM	8	2
快速擦写存储器控制寄存器 2	FLMCR2	8	H'FF91	ROM	8	2
快速擦写存储器功率控制寄存器	FLPWCR	8	H'FF92	ROM	8	2
块指定寄存器 1	EBR1	8	H'FF93	ROM	8	2
—	—	—	H'FF94~ H'FF9A	ROM	—	—
快速擦写存储器许可寄存器	FENR	8	H'FF9B	ROM	8	2
—	—	—	H'FF9C~ H'FF9F	ROM	—	—
定时器控制寄存器 V0	TCRV0	8	H'FFA0	定时器 V	8	3
定时器控制/状态寄存器 V	TCSRv	8	H'FFA1	定时器 V	8	3
时间常数寄存器 A	TCORA	8	H'FFA2	定时器 V	8	3
时间常数寄存器 B	TCORB	8	H'FFA3	定时器 V	8	3
定时器计数器 V	TCNTV	8	H'FFA4	定时器 V	8	3
定时器控制寄存器 V1	TCRV1	8	H'FFA5	定时器 V	8	3
—	—	—	H'FFA6、 H'FFA7	—	—	—
串行模式寄存器	SMR	8	H'FFA8	SCI3	8	3
位传输率寄存器	BRR	8	H'FFA9	SCI3	8	3
串行控制寄存器 3	SCR3	8	H'FFAA	SCI3	8	3
发送数据寄存器	TDR	8	H'FFAB	SCI3	8	3
串行状态寄存器	SSR	8	H'FFAC	SCI3	8	3
接收数据寄存器	RDR	8	H'FFAD	SCI3	8	3
—	—	—	H'FFAE、 H'FFAF	SCI3	—	—
A/D 数据寄存器 A	ADDRA	16	H'FFB0	A/D 转换器	8	3
A/D 数据寄存器 B	ADDRB	16	H'FFB2	A/D 转换器	8	3
A/D 数据寄存器 C	ADDRC	16	H'FFB4	A/D 转换器	8	3
A/D 数据寄存器 D	ADDRD	16	H'FFB6	A/D 转换器	8	3
A/D 控制/状态寄存器	ADCSR	8	H'FFB8	A/D 转换器	8	3

寄存器名	略称	位数	地址	模块	数据总线 宽度	存取 状态数
A/D 控制寄存器	ADCR	8	H'FFB9	A/D 转换器	8	3
—	—	—	H'FFBA、 H'FFBB	—	—	—
PWM 数据寄存器 L	PWDL	8	H'FFBC	14 位 PWM	8	2
PWM 数据寄存器 U	PWDRU	8	H'FFBD	14 位 PWM	8	2
PWM 控制寄存器	PWCR	8	H'FFBE	14 位 PWM	8	2
—	—	—	H'FFBF	14 位 PWM	—	—
定时器控制/状态寄存器 WD	TCSRWD	8	H'FFC0	WDT* ²	8	2
定时器计数器 WD	TCWD	8	H'FFC1	WDT* ²	8	2
定时器模式寄存器 WD	TMWD	8	H'FFC2	WDT* ²	8	2
—	—	—	H'FFC3	WDT* ²	—	—
—	—	—	H'FFC4~ H'FFC7	—	—	—
地址断开控制寄存器	ABRKR	8	H'FFC8	地址断开	8	2
地址断开状态寄存器	ABRKS	8	H'FFC9	地址断开	8	2
断开地址寄存器 H	BARH	8	H'FFCA	地址断开	8	2
断开地址寄存器 L	BARL	8	H'FFCB	地址断开	8	2
断开数据寄存器 H	BDRH	8	H'FFCC	地址断开	8	2
断开数据寄存器 L	BDRL	8	H'FFCD	地址断开	8	2
—	—	—	H'FFCE、 H'FFCF	—	—	—
端口上拉控制寄存器 1	PUCR1	8	H'FFD0	I/O 端口	8	2
端口上拉控制寄存器 5	PUCR5	8	H'FFD1	I/O 端口	8	2
—	—	—	H'FFD2、 H'FFD3	I/O 端口	—	—
端口数据寄存器 1	PDR1	8	H'FFD4	I/O 端口	8	2
端口数据寄存器 2	PDR2	8	H'FFD5	I/O 端口	8	2
端口数据寄存器 3	PDR3	8	H'FFD6	I/O 端口	8	2
—	—	—	H'FFD7	I/O 端口	—	—
端口数据寄存器 5	PDR5	8	H'FFD8	I/O 端口	8	2
端口数据寄存器 6	PDR6	8	H'FFD9	I/O 端口	8	2
端口数据寄存器 7	PDR7	8	H'FFDA	I/O 端口	8	2
端口数据寄存器 8	PDR8	8	H'FFDB	I/O 端口	8	2
—	—	—	H'FFDC	I/O 端口	—	—
端口数据寄存器 B	PDRB	8	H'FFDD	I/O 端口	8	2

第 22 章 寄存器表

寄存器名	略称	位数	地址	模块	数据总线 宽度	存取 状态数
—	—	—	H'FFDE、 H'FFDF	I/O 端口	—	—
端口模式寄存器 1	PMR1	8	H'FFE0	I/O 端口	8	2
端口模式寄存器 5	PMR5	8	H'FFE1	I/O 端口	8	2
端口模式寄存器 3	PMR3	8	H'FFE2	I/O 端口	8	2
—	—	—	H'FFE3	I/O 端口	—	—
端口控制寄存器 1	PCR1	8	H'FFE4	I/O 端口	8	2
端口控制寄存器 2	PCR2	8	H'FFE5	I/O 端口	8	2
端口控制寄存器 3	PCR3	8	H'FFE6	I/O 端口	8	2
—	—	—	H'FFE7	I/O 端口	—	—
端口控制寄存器 5	PCR5	8	H'FFE8	I/O 端口	8	2
端口控制寄存器 6	PCR6	8	H'FFE9	I/O 端口	8	2
端口控制寄存器 7	PCR7	8	H'FFEA	I/O 端口	8	2
端口控制寄存器 8	PCR8	8	H'FFEB	I/O 端口	8	2
—	—	—	H'FFEC~ H'FFEF	I/O 端口	—	—
系统控制寄存器 1	SYSCR1	8	H'FFF0	低功耗	8	2
系统控制寄存器 2	SYSCR2	8	H'FFF1	低功耗	8	2
中断边沿选择寄存器 1	IEGR1	8	H'FFF2	中断	8	2
中断边沿选择寄存器 2	IEGR2	8	H'FFF3	中断	8	2
中断许可寄存器 1	IENR1	8	H'FFF4	中断	8	2
中断许可寄存器 2	IENR2	8	H'FFF5	中断	8	2
中断标志寄存器 1	IRR1	8	H'FFF6	中断	8	2
中断标志寄存器 2	IRR2	8	H'FFF7	中断	8	2
唤醒中断标志寄存器	IWPR	8	H'FFF8	中断	8	2
模块待机控制寄存器 1	MSTCR1	8	H'FFF9	低功耗	8	2
模块待机控制寄存器 2	MSTCR2	8	H'FFFA	低功耗	8	2
—	—	—	H'FFFB	低功耗	—	—
—	—	—	H'FFFC~ H'FFFF	—	—	—

• EEPROM

寄存器名	略称	位数	地址	模块	数据总线 宽度	存取 状态数
EEPROM 从属地址寄存器	—	8	H'FF09	EEPROM	—	—
EEPROM 键寄存器	EKR	8	H'FF10	EEPROM	8	2

【注】*1 LVDCR 和 LVDSR 为任选。

*2 WDT: 监视定时器

22.2 寄存器位一览表

内部外围模块的寄存器略称和位名如下所示。

对于 16 位寄存器，分别用 8 位 2 行表示。

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
—	—	—	—	—	—	—	—	—	—
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	定时器 Z
TIORA_0	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
TIORC_0	—	IOD2	IOD1	IOD0	—	IOC2	IOC1	IOC0	
TSR_0	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA	
TIER_0	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA	
POCR_0	—	—	—	—	—	POLD	POLC	POLB	
TCNT_0	TCNT0H7	TCNT0H6	TCNT0H5	TCNT0H4	TCNT0H3	TCNT0H2	TCNT0H1	TCNT0H0	
	TCNT0L7	TCNT0L6	TCNT0L5	TCNT0L4	TCNT0L3	TCNT0L2	TCNT0L1	TCNT0L0	
GRA_0	GRA0H7	GRA0H6	GRA0H5	GRA0H4	GRA0H3	GRA0H2	GRA0H1	GRA0H0	
	GRA0L7	GRA0L6	GRA0L5	GRA0L4	GRA0L3	GRA0L2	GRA0L1	GRA0L0	
GRB_0	GRB0H7	GRB0H6	GRB0H5	GRB0H4	GRB0H3	GRB0H2	GRB0H1	GRB0H0	
	GRB0L7	GRB0L6	GRB0L5	GRB0L4	GRB0L3	GRB0L2	GRB0L1	GRB0L0	
GRC_0	GRC0H7	GRC0H6	GRC0H5	GRC0H4	GRC0H3	GRC0H2	GRC0H1	GRC0H0	
	GRC0L7	GRC0L6	GRC0L5	GRC0L4	GRC0L3	GRC0L2	GRC0L1	GRC0L0	
GRD_0	GRD0H7	GRD0H6	GRD0H5	GRD0H4	GRD0H3	GRD0H2	GRD0H1	GRD0H0	
	GRD0L7	GRD0L6	GRD0L5	GRD0L4	GRD0L3	GRD0L2	GRD0L1	GRD0L0	
TCR_1	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TIORA_1	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
TIORC_1	—	IOD2	IOD1	IOD0	—	IOC2	IOC1	IOC0	
TSR_1	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
TIER_1	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA	
POCR_1	—	—	—	—	—	POLD	POLC	POLB	
TCNT_1	TCNT1H7	TCNT1H6	TCNT1H5	TCNT1H4	TCNT1H3	TCNT1H2	TCNT1H1	TCNT1H0	
	TCNT1L7	TCNT1L6	TCNT1L5	TCNT1L4	TCNT1L3	TCNT1L2	TCNT1L1	TCNT1L0	
GRA_1	GRA1H7	GRA1H6	GRA1H5	GRA1H4	GRA1H3	GRA1H2	GRA1H1	GRA1H0	
	GRA1L7	GRA1L6	GRA1L5	GRA1L4	GRA1L3	GRA1L2	GRA1L1	GRA1L0	
GRB_1	GRB1H7	GRB1H6	GRB1H5	GRB1H4	GRB1H3	GRB1H2	GRB1H1	GRB1H0	
	GRB1L7	GRB1L6	GRB1L5	GRB1L4	GRB1L3	GRB1L2	GRB1L1	GRB1L0	
GRC_1	GRC1H7	GRC1H6	GRC1H5	GRC1H4	GRC1H3	GRC1H2	GRC1H1	GRC1H0	
	GRC1L7	GRC1L6	GRC1L5	GRC1L4	GRC1L3	GRC1L2	GRC1L1	GRC1L0	

第 22 章 寄存器表

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
GRD_1	GRD1H7	GRD1H6	GRD1H5	GRD1H4	GRD1H3	GRD1H2	GRD1H1	GRD1H0	定时器 Z
	GRD1L7	GRD1L6	GRD1L5	GRD1L4	GRD1L3	GRD1L2	GRD1L1	GRD1L0	
TSTR	—	—	—	—	—	—	STR1	STR0	
TMDR	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC	
TPMR	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0	
TFCR	—	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0	
TOER	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0	
TOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0	
RSECDR	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00	RTC
RMINDR	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00	
RHRDR	BSY	—	HR11	HR10	HR03	HR02	HR01	HR00	
RWKDR	BSY	—	—	—	—	WK2	WK1	WK0	
RTCCR1	RUN	12/24	PM	RST	—	—	—	—	
RTCCR2	—	—	FOIE	WKIE	DYIE	HRIE	MNIE	SEIE	
RTCCSR	—	RCS6	RCS5	—	RCS3	RCS2	RCS1	RCS0	
LVDCR	LVDE	—	—	—	LVDSEL	LVDPRE	LVDDE	LVDUE	低电压检测 电路(任选)
LVDSR	—	—	—	—	—	—	LVDDF	LVDUF	
—	—	—	—	—	—	—	—	—	—
SMR_2	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3_2
BRR_2	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR_2	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR_2	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
ICCR1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—	
ICMR	MLS	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
—	—	—	—	—	—	—	—	—	—
TMB1	TMB17	—	—	—	—	TMB12	TMB11	TMB10	定时器 B1
TCB1	TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10	

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
—	—	—	—	—	—	—	—	—	—
FLMCR1	—	SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER	—	—	—	—	—	—	—	—
FLPWCR	PDWND	—	—	—	—	—	—	—	—
EBR1	—	EB6	EB5	EB4	EB3	EB2	EB1	EB0	—
FENR	FLSHE	—	—	—	—	—	—	—	—
TCRV0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	定时器 V
TCSRv	CMFB	CFMA	OVF	—	OS3	OS2	OS1	OS0	—
TCORA	TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0	—
TCORB	TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0	—
TCNTV	TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0	—
TCRV1	—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0	—
—	—	—	—	—	—	—	—	—	—
SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	—
SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	—
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	—
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	—
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	—
ADDRA	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 转换器
	AD1	AD0	—	—	—	—	—	—	—
ADDRB	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	—
	AD1	AD0	—	—	—	—	—	—	—
ADDRC	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	—
	AD1	AD0	—	—	—	—	—	—	—
ADDRD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	—
	AD1	AD0	—	—	—	—	—	—	—
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	—
ADCR	TRGE	—	—	—	—	—	—	—	—
—	—	—	—	—	—	—	—	—	—
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	14 位 PWM
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	—
PWCR	—	—	—	—	—	—	—	PWCR0	—
TCSRWD	B6WI	TCWE	B4WI	TCSRW	B2WI	WDON	B0WI	WRST	WDT*1
				E					
TCWD	TCWD7	TCWD6	TCWD5	TCWD4	TCWD3	TCWD2	TCWD1	TCWD0	—
TMWD	—	—	—	—	CKS3	CKS2	CKS1	CKS0	—

第 22 章 寄存器表

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
—	—	—	—	—	—	—	—	—	—
ABRKCR	RTINTE	CSEL1	CSEL0	ACMP2	ACMP1	ACMP0	DCMP1	DCMP0	地址断开
ABRKSR	ABIF	ABIE	—	—	—	—	—	—	
BARH	BARH7	BARH6	BARH5	BARH4	BARH3	BARH2	BARH1	BARH0	
BARL	BARL7	BARL6	BARL5	BARL4	BARL3	BARL2	BARL1	BARL0	
BDRH	BDRH7	BDRH6	BDRH5	BDRH4	BDRH3	BDRH2	BDRH1	BDRH0	
BDRL	BDRL7	BDRL6	BDRL5	BDRL4	BDRL3	BDRL2	BDRL1	BDRL0	
—	—	—	—	—	—	—	—	—	—
PUCR1	PUCR17	PUCR16	PUCR15	PUCR14	—	PUCR12	PUCR11	PUCR10	I/O 端口
PUCR5	—	—	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	
PDR1	P17	P16	P15	P14	—	P12	P11	P10	
PDR2	—	—	—	P24	P23	P22	P21	P20	
PDR3	P37	P36	P35	P34	P33	P32	P31	P30	
PDR5	P57*2	P56*2	P55	P54	P53	P52	P51	P50	
PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
PDR7	—	P76	P75	P74	—	P72	P71	P70	
PDR8	P87	P86	P85	—	—	—	—	—	
PDRB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PMR1	IRQ3	IRQ2	IRQ1	IRQ0	TXD2	PWM	TXD	TMOW	
PMR5	POF57	POF56	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
PMR3	—	—	—	POF24	POF23	—	—	—	
PCR1	PCR17	PCR16	PCR15	PCR14	—	PCR12	PCR11	PCR10	
PCR2	—	—	—	PCR24	PCR23	PCR22	PCR21	PCR20	
PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30	
PCR5	PCR57*2	PCR56*2	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
PCR7	—	PCR76	PCR75	PCR74	—	PCR72	PCR71	PCR70	
PCR8	PCR87	PCR86	PCR85	—	—	—	—	—	
SYSCR1	SSBY	STS2	STS1	STS0	NESEL	—	—	—	低功耗
SYSCR2	SMSSEL	LSON	DTON	MA2	MA1	MA0	SA1	SA0	
IEGR1	NMIEG	—	—	—	IEG3	IEG2	IEG1	IEG0	中断
IEGR2	—	—	WPEG5	WPEG4	WPEG3	WPEG2	WPEG1	WPEG0	
IENR1	IENDT	IENTA	IENWP	—	IEN3	IEN2	IEN1	IEN0	
IENR2	—	—	IENRB1	—	—	—	—	—	
IRR1	IRRDT	IRRRTA	—	—	IRRI3	IRRI2	IRRI1	IRRI0	
IRR2	—	—	IRRTB1	—	—	—	—	—	

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
IWPR	—	—	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	中断
MSTCR1	—	MSTIIC	MSTS3	MSTAD	MSTWD	—	MSTTV	MSTTA	低功耗
MSTCR2	MSTS3_2	—	—	MSTTB1	—	—	MSTTZ	MSTPWM	
—	—	—	—	—	—	—	—	—	—

• EEPROM

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
EKR									EEPROM

【注】*1 WDT: 监视定时器

*2 在 EEPROM 叠层 F-ZTAT™ 版/掩模型 ROM 版, 为保留位。

22.3 各运行模式的寄存器状态

寄存器 略称	复位	激活	睡眠	子激活	子睡眠	待机	模块
TCR_0	初始化	—	—	—	—	—	定时器 Z
TIORA_0	初始化	—	—	—	—	—	
TIORC_0	初始化	—	—	—	—	—	
TSR_0	初始化	—	—	—	—	—	
TIER_0	初始化	—	—	—	—	—	
POCR_0	初始化	—	—	—	—	—	
TCNT_0	初始化	—	—	—	—	—	
GRA_0	初始化	—	—	—	—	—	
GRB_0	初始化	—	—	—	—	—	
GRC_0	初始化	—	—	—	—	—	
GRD_0	初始化	—	—	—	—	—	
TCR_1	初始化	—	—	—	—	—	
TIORA_1	初始化	—	—	—	—	—	
TIORC_1	初始化	—	—	—	—	—	
TSR_1	初始化	—	—	—	—	—	
TIER_1	初始化	—	—	—	—	—	
POCR_1	初始化	—	—	—	—	—	
TCNT_1	初始化	—	—	—	—	—	
GRA_1	初始化	—	—	—	—	—	
GRB_1	初始化	—	—	—	—	—	
GRC_1	初始化	—	—	—	—	—	
GRD_1	初始化	—	—	—	—	—	
TSTR	初始化	—	—	—	—	—	
TMDR	初始化	—	—	—	—	—	
TPMR	初始化	—	—	—	—	—	
TFCR	初始化	—	—	—	—	—	
TOER	初始化	—	—	—	—	—	
TOCR	初始化	—	—	—	—	—	
RSECDR	初始化	—	—	—	—	—	RTC
RMINDR	初始化	—	—	—	—	—	
RHRDR	初始化	—	—	—	—	—	
RWKDR	—	—	—	—	—	—	
RTCCR1	—	—	—	—	—	—	
RTCCR2	—	—	—	—	—	—	

寄存器 略称	复位	激活	睡眠	子激活	子睡眠	待机	模块	
RTCCSR	初始化	—	—	—	—	—	RTC	
LVDCR	初始化	—	—	—	—	—	低电压检测电路	
LVDSR	初始化	—	—	—	—	—	(任选)	
SMR_2	初始化	—	—	初始化	初始化	初始化	SCI3_2	
BRR_2	初始化	—	—	初始化	初始化	初始化		
SCR3_2	初始化	—	—	初始化	初始化	初始化		
TDR_2	初始化	—	—	初始化	初始化	初始化		
SSR_2	初始化	—	—	初始化	初始化	初始化		
RDR_2	初始化	—	—	初始化	初始化	初始化		
ICCR1	初始化	—	—	—	—	—	IIC2	
ICCR2	初始化	—	—	—	—	—		
ICMR	初始化	—	—	—	—	—		
ICIER	初始化	—	—	—	—	—		
ICSR	初始化	—	—	—	—	—		
SAR	初始化	—	—	—	—	—		
ICDRT	初始化	—	—	—	—	—		
ICDRR	初始化	—	—	—	—	—		
TMB1	初始化	—	—	—	—	—		定时器 B1
TCB1	初始化	—	—	—	—	—		
FLMCR1	初始化	—	—	初始化	初始化	初始化	ROM	
FLMCR2	初始化	—	—	—	—	—		
FLPWCR	初始化	—	—	—	—	—		
EBR1	初始化	—	—	初始化	初始化	初始化		
FENR	初始化	—	—	—	—	—		
TCRV0	初始化	—	—	初始化	初始化	初始化	定时器 V	
TCSRv	初始化	—	—	初始化	初始化	初始化		
TCORA	初始化	—	—	初始化	初始化	初始化		
TCORB	初始化	—	—	初始化	初始化	初始化		
TCNTV	初始化	—	—	初始化	初始化	初始化		
TCRV1	初始化	—	—	初始化	初始化	初始化		
SMR	初始化	—	—	初始化	初始化	初始化	SCI3	
BRR	初始化	—	—	初始化	初始化	初始化		
SCR3	初始化	—	—	初始化	初始化	初始化		
TDR	初始化	—	—	初始化	初始化	初始化		
SSR	初始化	—	—	初始化	初始化	初始化		
RDR	初始化	—	—	初始化	初始化	初始化		

第 22 章 寄存器表

寄存器 略称	复位	激活	睡眠	子激活	子睡眠	待机	模块	
ADDRA	初始化	—	—	初始化	初始化	初始化	A/D 转换器	
ADDRB	初始化	—	—	初始化	初始化	初始化		
ADDRC	初始化	—	—	初始化	初始化	初始化		
ADDRD	初始化	—	—	初始化	初始化	初始化		
ADCSR	初始化	—	—	初始化	初始化	初始化		
ADCR	初始化	—	—	初始化	初始化	初始化		
PWDRL	初始化	—	—	—	—	—	14 位 PWM	
PWDRU	初始化	—	—	—	—	—		
PWCR	初始化	—	—	—	—	—		
TCSRWD	初始化	—	—	—	—	—	WDT*	
TCWD	初始化	—	—	—	—	—		
TMWD	初始化	—	—	—	—	—		
ABRKCR	初始化	—	—	—	—	—	地址断开	
ABRKSR	初始化	—	—	—	—	—		
BARH	初始化	—	—	—	—	—		
BARL	初始化	—	—	—	—	—		
BDRH	初始化	—	—	—	—	—		
BDRL	初始化	—	—	—	—	—		
PUCR1	初始化	—	—	—	—	—		I/O 端口
PUCR5	初始化	—	—	—	—	—		
PDR1	初始化	—	—	—	—	—		
PDR2	初始化	—	—	—	—	—		
PDR3	初始化	—	—	—	—	—		
PDR5	初始化	—	—	—	—	—		
PDR6	初始化	—	—	—	—	—		
PDR7	初始化	—	—	—	—	—		
PDR8	初始化	—	—	—	—	—		
PDRB	初始化	—	—	—	—	—		
PMR1	初始化	—	—	—	—	—		
PMR5	初始化	—	—	—	—	—		
PMR3	初始化	—	—	—	—	—		
PCR1	初始化	—	—	—	—	—		
PCR2	初始化	—	—	—	—	—		
PCR3	初始化	—	—	—	—	—		
PCR5	初始化	—	—	—	—	—		

寄存器 略称	复位	激活	睡眠	子激活	子睡眠	待机	模块	
PCR6	初始化	—	—	—	—	—	I/O 端口	
PCR7	初始化	—	—	—	—	—		
PCR8	初始化	—	—	—	—	—		
SYSCR1	初始化	—	—	—	—	—	低功耗	
SYSCR2	初始化	—	—	—	—	—		
IEGR1	初始化	—	—	—	—	—	中断	
IEGR2	初始化	—	—	—	—	—		
IENR1	初始化	—	—	—	—	—		
IENR2	初始化	—	—	—	—	—		
IRR1	初始化	—	—	—	—	—		
IRR2	初始化	—	—	—	—	—		
IWPR	初始化	—	—	—	—	—		
MSTCR1	初始化	—	—	—	—	—		低功耗
MSTCR2	初始化	—	—	—	—	—		

• EEPROM

寄存器 略称	复位	激活	睡眠	子激活	子睡眠	待机	模块
EKR	—	—	—	—	—	—	EEPROM

【注】* WDT: 监视定时器

—: 表示不被初始化。

第 23 章 电特性

23.1 绝对最大额定值

表 23.1 绝对最大额定值

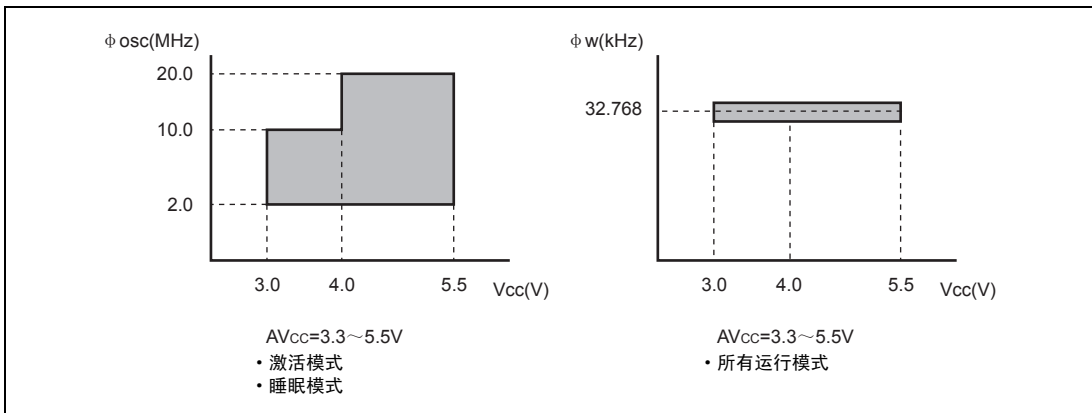
项目	符号	规格值	单位	备考	
电源电压	Vcc	-0.3~+7.0	V	*	
模拟电源电压	AVcc	-0.3~+7.0	V		
输入电压	端口 B 和 X1 以外	V_{IN}	-0.3~Vcc+0.3		V
	端口 B		-0.3~AVcc+0.3		V
	X1		-0.3~4.3		V
运行温度	Topr	-20~+75	°C		
保存温度	Tstg	-55~+125	°C		

【注】* 在超过绝对最大额定值使用 LSI 的情况下，会引起 LSI 的永久损坏。另外，在通常运行下，请尽量在“电特性”的条件下使用，如果超过这些条件，就会引起 LSI 误动作，同时会给 LSI 的信赖性带来坏影响。

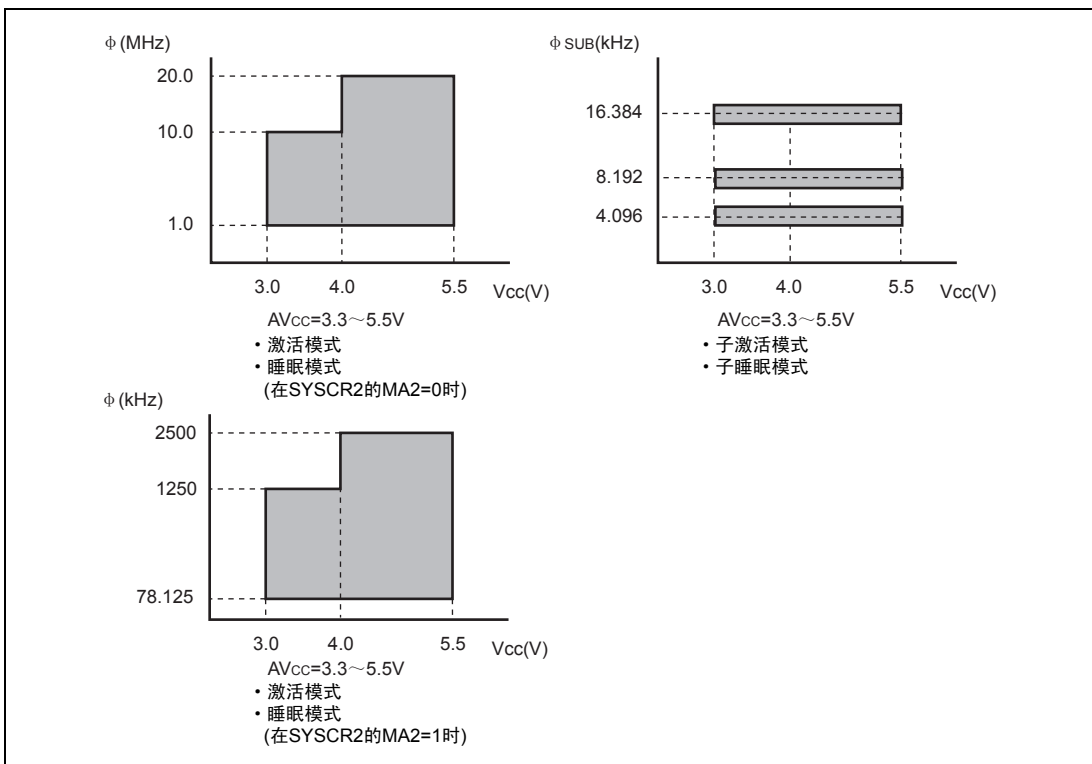
23.2 电特性 (F-ZTAT™ 版、EEPROM 叠层 F-ZTAT™ 版)

23.2.1 电源电压和运行范围

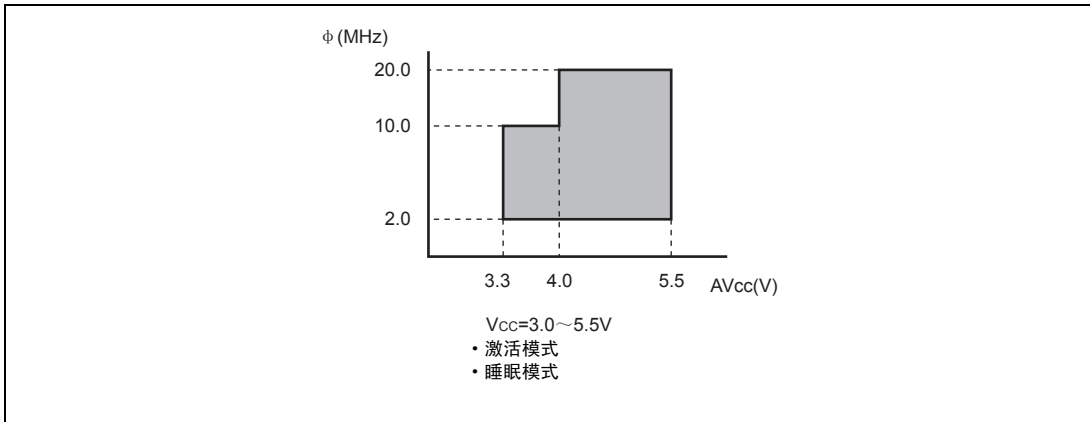
(1) 电源电压和振荡频率的范围



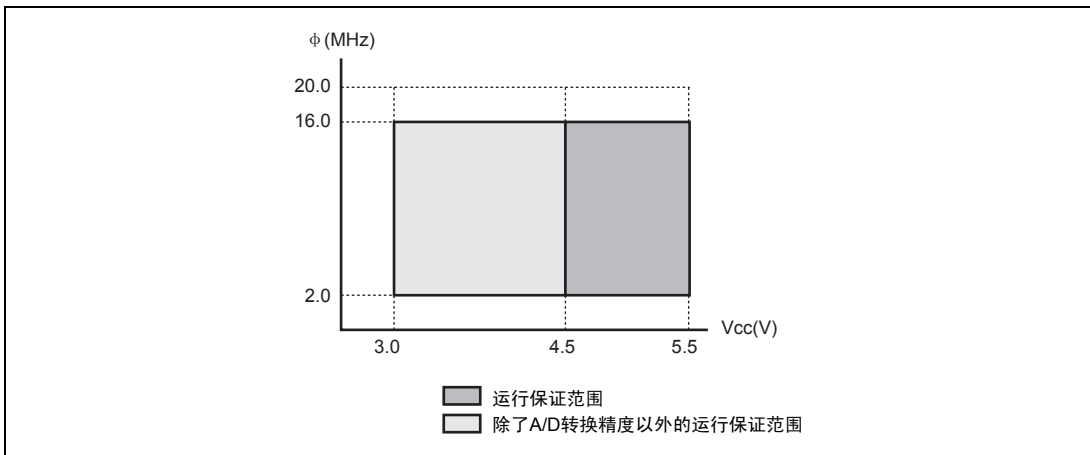
(2) 电源电压和运行频率的范围



(3) 模拟电源电压和 A/D 转换器的精度保证范围



(4) 使用低电压检测电路时的电源电压和振荡频率的范围



23.2.2 DC 特性

表 23.2 DC 特性 (1)

(在没有特别记载的情况下: $V_{cc}=3.0\sim 5.5V$ 、 $V_{ss}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入高电平电压	V_{IH}	\overline{RES} 、 \overline{NMI} $\overline{WKPO}\sim\overline{WKP5}$ $\overline{IRQ0}\sim\overline{IRQ3}$ \overline{ADTRG} 、 $\overline{TMIB1}$ \overline{TMRIV} 、 \overline{TMCIV} FTIOA0~FTIOD0 FTIOA1~FTIOD1 SCK3、SCK3_2 TRGV	$V_{cc}=4.0\sim 5.5V$	$V_{cc}\times 0.8$	—	$V_{cc}+0.3$	V	
		RXD、RXD_2 SCL、SDA P10~P12 P14~P17 P20~P24 P30~P37 P50~P57 P60~P67 P70~P72 P74~P76 P85~P87	$V_{cc}=4.0\sim 5.5V$	$V_{cc}\times 0.7$	—	$V_{cc}+0.3$	V	
		PB0~PB7	$V_{cc}=4.0\sim 5.5V$	$V_{cc}\times 0.7$	—	$AV_{cc}+0.3$	V	
				$V_{cc}\times 0.8$	—	$AV_{cc}+0.3$	V	
		OSC1	$V_{cc}=4.0\sim 5.5V$	$V_{cc}-0.5$	—	$V_{cc}+0.3$	V	
				$V_{cc}-0.3$	—	$V_{cc}+0.3$	V	

【注】* 必须将 TEST 管脚连接到 Vss。

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入低 电平电压	V_{IL}	RES、NMI WKP0~WKP5 IRQ0~IRQ3 ADTRG、TMIB1 TMRIV、TMCIV	$V_{CC}=4.0\sim 5.5V$	-0.3	-	$V_{CC}\times 0.2$	V	
		FTIOA0~FTIOD0 FTIOA1~FTIOD1 SCK3、SCK3_2 TRGV		-0.3	-	$V_{CC}\times 0.1$	V	
		RXD、RXD_2 SCL、SDA P10~P12 P14~P17 P20~P24 P30~P37	$V_{CC}=4.0\sim 5.5V$	-0.3	-	$V_{CC}\times 0.3$	V	
		P50~P57 P60~P67 P70~P72 P74~P76 P85~P87 PB0~PB7		-0.3	-	$V_{CC}\times 0.2$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	-0.3	-	0.5	V	
				-0.3	-	0.3	V	

第 23 章 电特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输出高 电平电压	V_{OH}	P10~P12 P14~P17 P20~P24 P30~P37	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=1.5mA$	$V_{CC}-1.0$	—	—	V	
		P50~P55 P60~P67 P70~P72 P74~P76 P85~P87	$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—	V	
		P56、P57	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=0.1mA$	$V_{CC}-2.5$	—	—	V	
			$V_{CC}=3.0\sim 4.0V$ $-I_{OH}=0.1mA$	$V_{CC}-2.0$	—	—	V	
输出低 电平电压	V_{OL}	P10~P12 P14~P17 P20~P24 P30~P37	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V	
		P50~P57 P70~P72 P74~P76 P85~P87	$I_{OL}=0.4mA$	—	—	0.4	V	
		P60~P67	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=20.0mA$	—	—	1.5	V	
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10.0mA$	—	—	1.0	V	
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.4	V	
			$I_{OL}=0.4mA$	—	—	0.4	V	
		SCL、SDA	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=6.0mA$	—	—	0.6	V	
			$I_{OL}=3.0mA$	—	—	0.4	V	

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入和输出 漏泄电流	I _{IL}	OSC1、TMIB1 \overline{RES} 、 \overline{NMI} $\overline{WKPO}\sim\overline{WKP5}$ $\overline{IRQ0}\sim\overline{IRQ3}$ \overline{ADTRG} 、TRGV TMRIV、TMCIV FTIOA0~FTIOD0 FTIOA1~FTIOD1 RXD、SCK3 RXD_2、SCK3_2 SCL、SDA	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
		P10~P12 P14~P17 P20~P24 P30~P37 P50~P57 P60~P67 P70~P72 P74~P76 P85~P87	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
		PB0~PB7	$V_{IN}=0.5V\sim$ ($AV_{CC}-0.5V$)	—	—	1.0	μA	
上拉 MOS 电流	-I _p	P10~P12 P14~P17	$V_{CC}=5.0V$ 、 $V_{IN}=0.0V$	50.0	—	300.0	μA	
		P50~P55	$V_{CC}=3.0V$ 、 $V_{IN}=0.0V$	—	60.0	—	μA	参考值
输入电容	C _{IN}	除了电源管脚的 全部输入管脚	f=1MHz、 $V_{IN}=0.0V$ 、 $T_a=25^{\circ}C$	—	—	15.0	pF	

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75℃)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
激活模式 消费电流	IOPE1	Vcc	激活模式 1 Vcc=5.0V、fosc=20MHz	—	21.0	30.0	mA	*
			激活模式 1 Vcc=3.0V、fosc=10MHz	—	9.0	—	mA	参考值 *
	IOPE2	Vcc	激活模式 2 Vcc=5.0V、fosc=20MHz	—	1.8	3.0	mA	*
			激活模式 2 Vcc=3.0V、fosc=10MHz	—	1.2	—	mA	参考值 *
睡眠模式 消费电流	ISLEEP1	Vcc	睡眠模式 1 Vcc=5.0V、fosc=20MHz	—	17.5	22.5	mA	*
			睡眠模式 1 Vcc=3.0V、fosc=10MHz	—	7.5	—	mA	参考值 *
	ISLEEP2	Vcc	睡眠模式 2 Vcc=5.0V、fosc=20MHz	—	1.7	2.7	mA	*
			睡眠模式 2 Vcc=3.0V、fosc=10MHz	—	1.1	—	mA	参考值 *
子激活模式 消费电流	ISUB	Vcc	Vcc=3.0V 在使用 32kHz 晶体谐振器时 ($\phi_{SUB} = \phi_{w/2}$)	—	35.0	70.0	μ A	*
			Vcc=3.0V 在使用 32kHz 晶体谐振器时 ($\phi_{SUB} = \phi_{w/8}$)	—	25.0	—	μ A	参考值 *
子睡眠模式 消费电流	ISUBSP	Vcc	Vcc=3.0V 在使用 32kHz 晶体谐振器时 ($\phi_{SUB} = \phi_{w/2}$)	—	25.0	50.0	μ A	*
待机模式 消费电流	ISTBY	Vcc	在未使用 32kHz 晶体谐振器时	—	—	5.0	μ A	*
RAM 数据 保持电压	V _{RAM}	Vcc		2.0	—	—	V	

【注】* 测定消费电流时的管脚状态如下表所示，流向上拉 MOS 和输出缓冲器的电流除外。

模式	$\overline{\text{RES}}$ 管脚	内部状态	除 $\overline{\text{RES}}$ 以外的各管脚	振荡管脚
激活模式 1	Vcc	运行	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器 子时钟：X1 管脚 = Vss
激活模式 2		运行 ($\phi \text{ OSC}/64$)		
睡眠模式 1	Vcc	只有定时器运行	Vcc	
睡眠模式 2		只有定时器运行 ($\phi \text{ OSC}/64$)		
子激活模式	Vcc	运行	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器 子时钟：晶体谐振器
子睡眠模式	Vcc	只有定时器运行	Vcc	
待机模式	Vcc	CPU 和定时器都停止	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器 子时钟：X1 管脚 = Vss

表 23.2 DC 特性 (2)

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
EEPROM 消费电流	IEEW	Vcc	写时 Vcc=5.0V、tscl=2.5 μ s	—	—	2.0	mA	*
	IEER	Vcc	读时 Vcc=5.0V、tscl=2.5 μ s	—	—	0.3	mA	
	IEESTBY	Vcc	待机时 Vcc=5.0V、tscl=2.5 μ s	—	—	3.0	μ A	

【注】* 表示 EEPROM 芯片的消费电流。H8/3687N 的消费电流为上记的电流值加上 H8/3687F 的消费电流。

表 23.2 DC 特性 (3)

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位
				Min	Typ	Max	
输出低电平容许电流 (每一个管脚)	I_{OL}	除端口 6、SCL、SDA 以外的输出管脚	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA
		端口 6		—	—	20.0	mA
		除端口 6、SCL、SDA 以外的输出管脚		—	—	0.5	mA
		端口 6		—	—	10.0	mA
		SCL、SDA		—	—	6.0	mA
输出低电平容许电流 (总计)	ΣI_{OL}	除端口 6、SCL、SDA 以外的输出管脚	$V_{CC}=4.0\sim 5.5V$	—	—	40.0	mA
		端口 6、SCL、SDA		—	—	80.0	mA
		除端口 6、SCL、SDA 以外的输出管脚		—	—	20.0	mA
		端口 6、SCL、SDA		—	—	40.0	mA
输出高电平容许电流 (每一个管脚)	$ -I_{OH} $	全部输出管脚	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA
				—	—	0.2	mA
输出高电平容许电流 (总计)	$ -\Sigma I_{OH} $	全部输出管脚	$V_{CC}=4.0\sim 5.5V$	—	—	30.0	mA
				—	—	8.0	mA

23.2.3 AC 特性

表 23.3 AC 特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
系统时钟振荡器 振荡频率	fosc	OSC1、OSC2	$V_{CC}=4.0\sim 5.5V$	2.0	—	20.0	MHz	* ¹
				2.0	—	10.0	MHz	
系统时钟 (ϕ) 周期时间	t _{cy}			1	—	64	t _{osc}	* ²
				—	—	12.8	μs	
子时钟振荡器 振荡频率	f _w	X1、X2		—	32.768	—	kHz	
钟表时钟 (ϕ_w) 周期时间	t _w	X1、X2		—	30.5	—	μs	
子时钟 (ϕ_{SUB}) 周期时间	t _{subcyc}			2	—	8	t _w	* ²
指令 周期时间				2	—	—	t _{cy} t _{subcyc}	
振荡稳定时间 (晶体谐振器)	t _{rc}	OSC1、OSC2		—	—	10.0	ms	
振荡稳定时间 (陶瓷谐振器)	t _{rc}	OSC1、OSC2		—	—	5.0	ms	
振荡稳定时间	t _{rcx}	X1、X2		—	—	2.0	s	
外部时钟 高电平宽度	t _{CPH}	OSC1	$V_{CC}=4.0\sim 5.5V$	20.0	—	—	ns	图 23.1
				40.0	—	—	ns	
外部时钟 低电平宽度	t _{CPL}	OSC1	$V_{CC}=4.0\sim 5.5V$	20.0	—	—	ns	
				40.0	—	—	ns	
外部时钟 上升时间	t _{CPr}	OSC1	$V_{CC}=4.0\sim 5.5V$	—	—	10.0	ns	
				—	—	15.0	ns	
外部时钟 下降时间	t _{CPf}	OSC1	$V_{CC}=4.0\sim 5.5V$	—	—	10.0	ns	
				—	—	15.0	ns	
RES 管脚 低电平宽度	t _{REL}	RES	在接通电源时和下列以外的模式	t _{rc}	—	—	ms	图 23.2
			当激活模式和睡眠模式运行时	200	—	—	ns	

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75℃)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
输入管脚 高电平宽度	t _H	NMI、TMIB1 IRQ0~IRQ3 WKP0~WKP5 TMCIV、TMRIV TRGV、ADTRG FTIOA0~FTIOD0 FTIOA1~FTIOD1		2	—	—	t _{cyc} t _{subcyc}	图 23.3
输入管脚 低电平宽度	t _L	NMI、TMIB1 IRQ0~IRQ3 WKP0~WKP5 TMCIV、TMRIV TRGV、ADTRG FTIOA0~FTIOD0 FTIOA1~FTIOD1		2	—	—	t _{cyc} t _{subcyc}	

【注】*1 输入外部时钟时，系统时钟振荡器的振荡频率为 Min1.0MHz。

*2 由系统控制寄存器 2 (SYSCR2) 的 MA2、MA1、MA0、SA1 和 SA0 的设定来决定。

表 23.4 I²C 总线接口时序(在没有特别记的情况下: V_{CC}=3.0~5.5V、V_{SS}=0.0V、T_a=-20~+75℃)

项目	符号	测定条件	规格值			单位	参照图
			Min	Typ	Max		
SCL 输入周期时间	t _{SCL}		12t _{cyc} +600	—	—	ns	图 23.4
SCL 输入高电平脉冲宽度	t _{SCLH}		3t _{cyc} +300	—	—	ns	
SCL 输入低电平脉冲宽度	t _{SCLL}		5t _{cyc} +300	—	—	ns	
SCL、SDA 输入下降时间	t _{sf}		—	—	300	ns	
SCL、SDA 输入尖峰脉冲消除时间	t _{SP}		—	—	1t _{cyc}	ns	
SDA 输入总线自由时间	t _{BUF}		5t _{cyc}	—	—	ns	
开始条件输入保持时间	t _{STAH}		3t _{cyc}	—	—	ns	
再发送开始条件输入准备时间	t _{STAS}		3t _{cyc}	—	—	ns	
停止条件输入准备时间	t _{STOS}		3t _{cyc}	—	—	ns	
数据输入准备时间	t _{SDAS}		1t _{cyc} +20	—	—	ns	
数据输入保持时间	t _{SDAH}		0	—	—	ns	
SCL、SDA 的电容性负载	C _b		0	—	400	pF	
SCL、SDA 输出下降时间	t _{sf}	V _{CC} =4.0~5.5V	—	—	250	ns	
			—	—	300		

表 23.5 串行通信接口 (SCI) 时序

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目		符号	适用管脚	测定条件	规格值			单位	参照图
					Min	Typ	Max		
输入时钟周期	异步	tscyc	SCK3		4	—	—	t _{cyc}	图 23.5
	时钟同步				6	—	—	t _{cyc}	
输入时钟脉冲宽度		tsckw	SCK3		0.4	—	0.6	t _{scyc}	
发送数据延迟时间 (时钟同步)		tTXD	TXD	$V_{CC}=4.0\sim 5.5V$	—	—	1	t _{cyc}	图 23.6
					—	—	1	t _{cyc}	
接收数据准备时间 (时钟同步)		trxs	RXD	$V_{CC}=4.0\sim 5.5V$	50.0	—	—	ns	
					100.0	—	—	ns	
接收数据保持时间 (时钟同步)		trXH	RXD	$V_{CC}=4.0\sim 5.5V$	50.0	—	—	ns	
					100.0	—	—	ns	

23.2.4 A/D 转换特性

表 23.6 A/D 转换器特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				Min	Typ	Max		
模拟电源电压	AVCC	AVCC		3.3	VCC	5.5	V	*1
模拟输入电压	AVIN	AN0~AN7		VSS-0.3	—	AVCC+0.3	V	
模拟电源电流	AI _{OP} E	AVCC	AVCC=5.0V f _{osc} =20MHz	—	—	2.0	mA	
	AI _{STOP1}	AVCC		—	50	—	μA	*2 参考值
	AI _{STOP2}	AVCC		—	—	5.0	μA	*3
模拟输入电容	CAIN	AN0~AN7		—	—	30.0	pF	
容许信号源阻抗	RAIN	AN0~AN7		—	—	5.0	kΩ	
分辨率 (数据长)				10	10	10	位	
转换时间 (单通道模式)			AVCC=3.3~5.5V	134	—	—	t _{cy}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AVCC=4.0~5.5V	70	—	—	t _{cy}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AVCC=4.0~5.5V	134	—	—	t _{cy}	
非线性误差				—	—	±3.5	LSB	
偏移误差				—	—	±3.5	LSB	
满刻度误差				—	—	±3.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±4.0	LSB	

【注】*1 在不使用 A/D 转换器的情况下, 必须使 $AV_{CC}=V_{CC}$ 。

*2 AI_{STOP1} 是在激活模式和睡眠模式的 A/D 转换待机时的电流值。

*3 AI_{STOP2} 是在复位、待机模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

23.2.5 监视定时器特性

表 23.7 监视定时器特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
内部振荡器溢出时间	tOVF			0.2	0.4	—	s	*

【注】* 在选择内部振荡器的状态下，从 0 到 255 累加计数，并且表示到内部复位发生为止的时间。

23.2.6 快速擦写存储器特性

表 23.8 快速擦写存储器特性

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75℃)

项目		符号	测定条件	规格值			单位
				Min	Typ	Max	
编程时间 (每 128 字节)* ¹ * ² * ⁴		tP		—	7	—	ms
擦除时间 (每 1 块)* ¹ * ³ * ⁶		tE		—	100	—	ms
改写次数		N _{WEC}		—	—	1000	次
编程时	SWE 位置位后的待机时间* ¹	x		1	—	—	μs
	PSU 位置位后的待机时间* ¹	y		50	—	—	μs
	P 位置位后的待机时间* ¹ * ⁴	z1	1≤n≤6	28	30	32	μs
			7≤n≤1000	198	200	202	μs
			追加编程	8	10	12	μs
	P 位清除后的待机时间* ¹	α		5	—	—	μs
	PSU 位清除后的待机时间* ¹	β		5	—	—	μs
	PV 位置位后的待机时间* ¹	γ		4	—	—	μs
	虚写后的待机时间* ¹	ε		2	—	—	μs
	PV 位清除后的待机时间* ¹	η		2	—	—	μs
	SWE 位清除后的待机时间* ¹	θ		100	—	—	μs
	最大写次数* ¹ * ⁴ * ⁵	N		—	—	1000	次
擦除时	SWE 位置位后的待机时间* ¹	x		1	—	—	μs
	ESU 位置位后的待机时间* ¹	y		100	—	—	μs
	E 位置位后的待机时间* ¹ * ⁶	z		10	—	100	ms
	E 位清除后的待机时间* ¹	α		10	—	—	μs
	ESU 位清除后的待机时间* ¹	β		10	—	—	μs
	EV 位置位后的待机时间* ¹	γ		20	—	—	μs
	虚写后的待机时间* ¹	ε		2	—	—	μs
	EV 位清除后的待机时间* ¹	η		4	—	—	μs
	SWE 位清除后的待机时间* ¹	θ		100	—	—	μs
	最大擦除次数* ¹ * ⁶ * ⁷	N		—	—	120	次

【注】*1 必须按照编程/擦除算法, 设定各时间。

*2 用每 128 字节编程时间表示置位快速擦写存储器控制寄存器 1 (FLMCR1) 的 P 位的总计时间。不包含编程验证时间。

*3 用擦除一个块的时间表示置位快速擦写存储器控制寄存器 1 (FLMCR1) 的 E 位的总计时间。不包含擦除验证时间。

*4 编程时间的最大值 (tp(MAX)) = P 位置位后的待机时间(z) × 最大写次数(N)

- *5 必须配合实际的 z1、z2 和 z3 的设定值,使最大写次数(N)不超过编程时间的最大值 tp(MAX)。另外,必须按下列所示,根据写次数(n)的值,改变 P 位置位后的待机时间 (z1、z2)。

$$\begin{aligned} & \text{写次数 } n \\ & 1 \leq n \leq 6 \quad z1 = 30\mu\text{s} \\ & 7 \leq n \leq 1000 \quad z2 = 200\mu\text{s} \end{aligned}$$

- *6 擦除时间的最大值 (te(MAX)) = E 位置位后的待机时间(z) × 最大擦除次数(N)
*7 必须配合实际的(z)的设定值,使最大擦除次数(N)不超过擦除时间的最大值 te (MAX)。

23.2.7 EEPROM 特性【暂定规格】

表 23.9 EEPROM 特性

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

项目	符号	测定条件	规格值			单位	参照图
			Min	Typ	Max		
SCL 输入周期时间	tSCL		2500	—		ns	图 23.7
SCL 输入高电平脉冲宽度	tSCLH		600	—	—	μs	
SCL 输入低电平脉冲宽度	tSCLL		1200	—	—	ns	
SCL、SDA 输入尖峰脉冲消除时间	tSP		—	—	50	ns	
SDA 输入总线自由时间	tBUF		1200	—	—	ns	
开始条件输入保持时间	tSTAH		600	—	—	ns	
再发送开始条件输入准备时间	tSTAS		600	—	—	ns	
停止条件输入准备时间	tSTOS		600	—	—	ns	
数据输入准备时间	tSDAS		160	—	—	ns	
数据输入保持时间	tSDAH		0	—	—	ns	
SCL、SDA 输入下降时间	tSf		—	—	300	ns	
SDA 输入上升时间	tSr		—	—	300	ns	
数据输出保持时间	tDH		50	—	—	ns	
SCL、SDA 的电容性负载	Cb		0	—	400	pF	
存取时间	tAA		100	—	900	ns	
写时的周期时间*	tWC		—	—	10	ms	
复位解除时间	tRES		—	—	13	ms	

【注】 * 一次写时的周期时间是从停止条件开始到写 (内部控制) 结束为止的时间。

23.2.8 电源电压检测电路特性【任选】

表 23.10 电源电压检测电路特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
电源下降检测电压	$V_{int}(D)$	LVDSSEL=0	3.3	3.7	—	V
电源上升检测电压	$V_{int}(U)$	LVDSSEL=0	—	4.0	4.5	V
复位检测电压 1* ¹	V_{reset1}	LVDSSEL=0	—	2.3	2.7	V
复位检测电压 2* ²	V_{reset2}	LVDSSEL=1	3.0	3.6	4.2	V
LVDR 运行的下限电压* ³	$V_{LVDRmin}$		1.0	—	—	V
LVD 稳定时间	t_{LVDRON}		50	—	—	μs
待机模式消费电流	I_{STBY}	LVDE=1 $V_{CC}=5.0V$ 在未使用 32kHz 晶体谐振器时	—	—	350	μA

【注】*1 必须在下降电压检测功能和上升电压检测功能并用时使用。

*2 在只使用低电压检测复位时，必须选择低电压复位 2。

*3 在电源电压 V_{CC} 降低到 $V_{LVDRmin}=1.0V$ 以下后从此开始上升的情况下，低电压检测复位可能不运行，请充分评价。

23.2.9 加电复位特性【任选】

表 23.11 加电复位特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

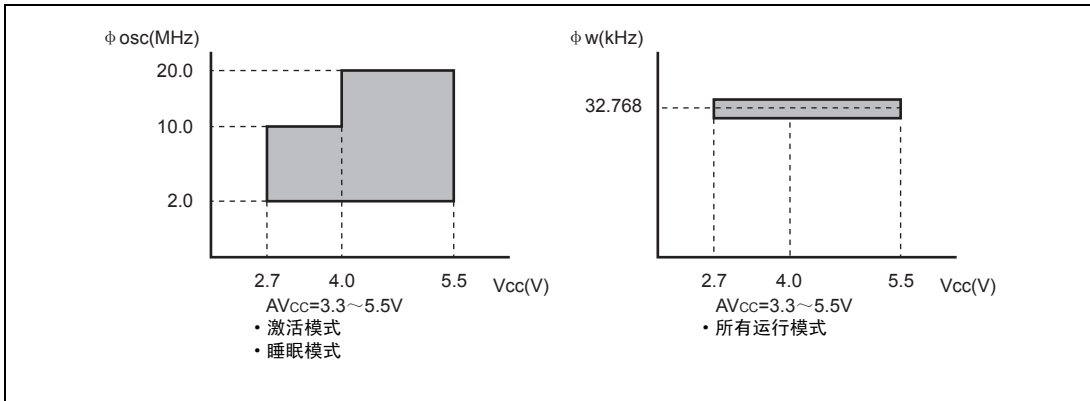
项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
\overline{RES} 管脚上拉电阻	R_{RES}		100	150	—	$k\Omega$
加电复位启动电压*	V_{por}		—	—	100	mV

【注】* 电源电压 V_{CC} 一定下降到 $V_{por}=100mV$ 以下, 必须在充分放掉 \overline{RES} 管脚的电荷后, 使电源电压 V_{CC} 上升。为了放掉 \overline{RES} 管脚的电荷, 建议给 V_{CC} 侧外接二极管。如果从大于 $100mV$ 的电压开始电源电压 V_{CC} 上升, 加电复位可能不动作。

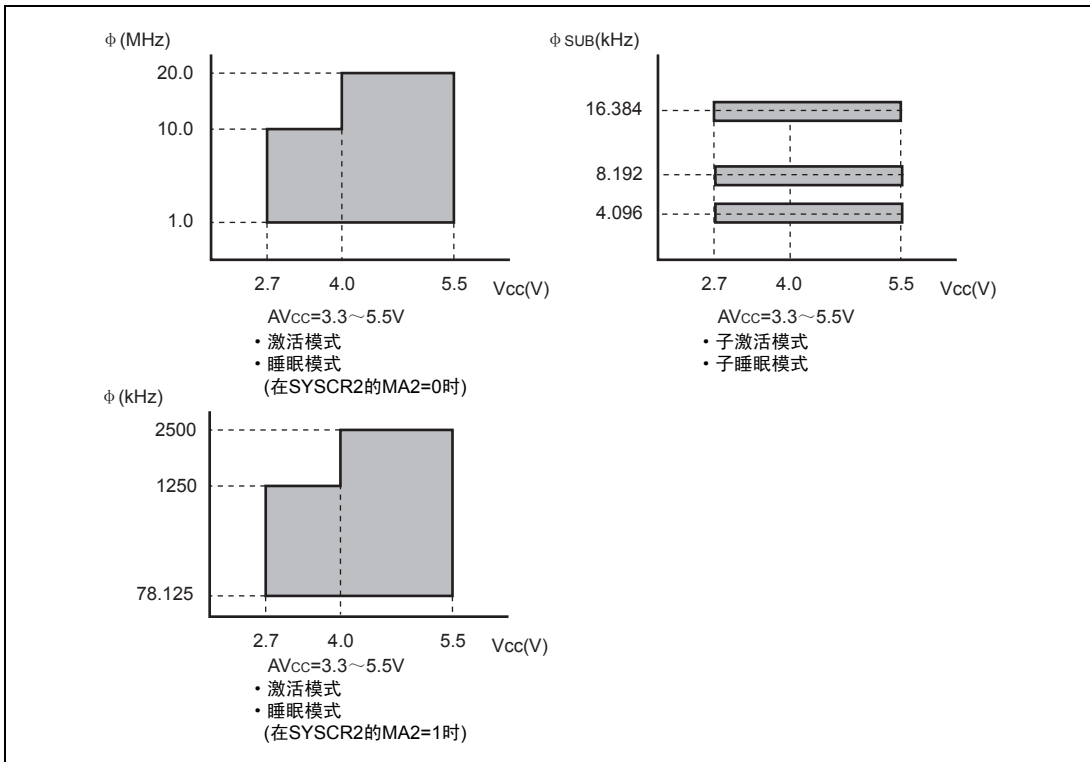
23.3 电特性（掩模型 ROM 版）

23.3.1 电源电压和运行范围

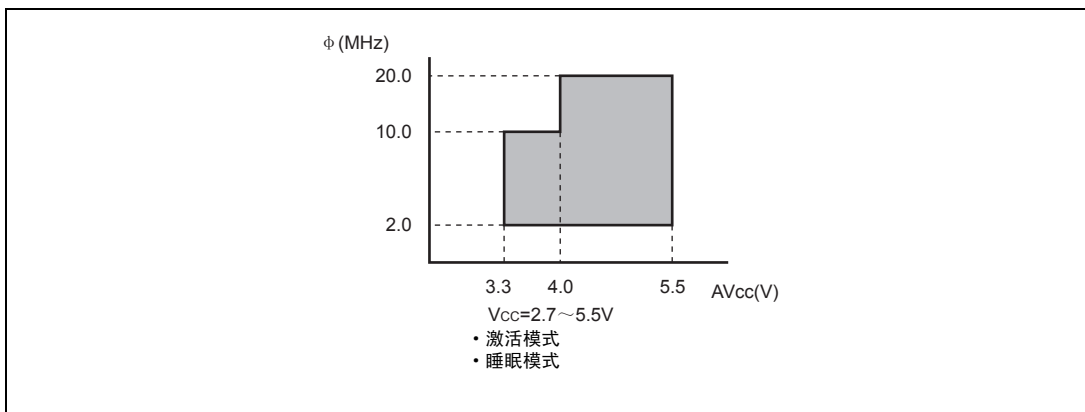
(1) 电源电压和振荡频率的范围



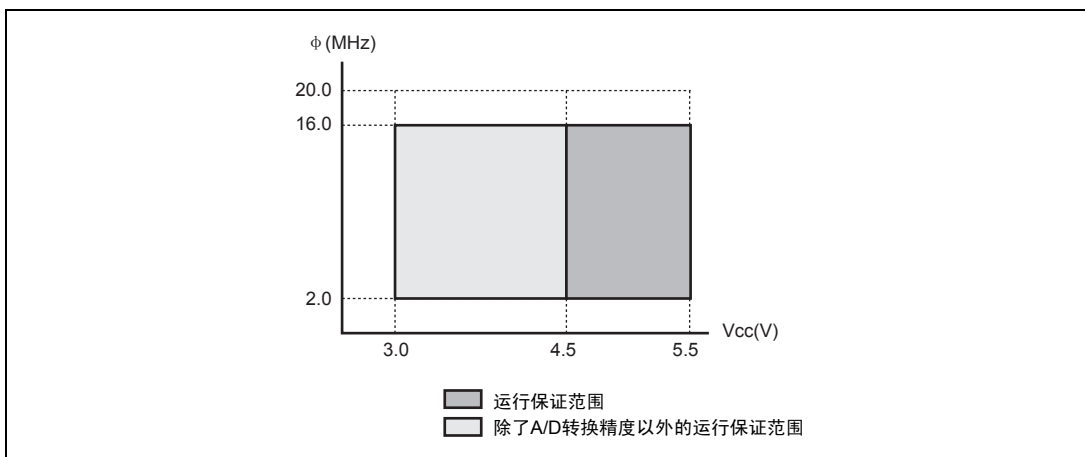
(2) 电源电压和运行频率的范围



(3) 模拟电源电压和 A/D 转换器的精度保证范围



(4) 使用低电压检测电路时的电源电压和振荡频率的范围



23.3.2 DC 特性

表 23.12 DC 特性 (1)

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入高 电平电压	V_{IH}	RES、NMI WKPO~WKP5 IRQ0~IRQ3 ADTRG、TMIB1 TMRIV、TMCIV	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
		FTIOA0~FTIOD0 FTIOA1~FTIOD1 SCK3、SCK3_2 TRGV		$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
		RXD、RXD_2 SCL、SDA P10~P12 P14~P17 P20~P24	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
		P30~P37 P50~P57 P60~P67 P70~P72 P74~P76 P85~P87		$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
		PB0~PB7	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V	
				$V_{CC}\times 0.8$	—	$AV_{CC}+0.3$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V	
				$V_{CC}-0.3$	—	$V_{CC}+0.3$	V	

【注】* 必须将 TEST 管脚连接到 Vss。

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入低电平电压	V_{IL}	RES、NMI WKP0~WKP5 IRQ0~IRQ3 ADTRG、TMIB1 TMRIV、TMCIV	$V_{CC}=4.0\sim 5.5V$	-0.3	-	$V_{CC}\times 0.2$	V	
		FTIOA0~FTIOD0 FTIOA1~FTIOD1 SCK3、SCK3_2 TRGV		-0.3	-	$V_{CC}\times 0.1$	V	
		RXD、RXD_2 SCL、SDA P10~P12 P14~P17 P20~P24 P30~P37	$V_{CC}=4.0\sim 5.5V$	-0.3	-	$V_{CC}\times 0.3$	V	
		P50~P57 P60~P67 P70~P72 P74~P76 P85~P87 PB0~PB7		-0.3	-	$V_{CC}\times 0.2$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	-0.3	-	0.5	V	
				-0.3	-	0.3	V	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输出高 电平电压	V_{OH}	P10~P12 P14~P17 P20~P24 P30~P37	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=1.5mA$	$V_{CC}-1.0$	—	—	V	
		P50~P55 P60~P67 P70~P72 P74~P76 P85~P87	$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—	V	
		P56、P57	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=0.1mA$	$V_{CC}-2.5$	—	—	V	
			$V_{CC}=3.0\sim 4.0V$ $-I_{OH}=0.1mA$	$V_{CC}-2.0$	—	—	V	
输出低 电平电压	V_{OL}	P10~P12 P14~P17 P20~P24 P30~P37	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V	
		P50~P57 P70~P72 P74~P76 P85~P87	$I_{OL}=0.4mA$	—	—	0.4	V	
		P60~P67	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=20.0mA$	—	—	1.5	V	
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10.0mA$	—	—	1.0	V	
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.4	V	
			$I_{OL}=0.4mA$	—	—	0.4	V	
		SCL、SDA	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=6.0mA$	—	—	0.6	V	
			$I_{OL}=3.0mA$	—	—	0.4	V	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入和输出 漏泄电流	I _{IL}	OSC1、TMIB1 \overline{RES} 、 \overline{NMI} $\overline{WKPO}\sim\overline{WKP5}$ $\overline{IRQ0}\sim\overline{IRQ3}$ \overline{ADTRG} 、TRGV TMRIV、TMCIV FTIOA0~FTIOD0 FTIOA1~FTIOD1 RXD、SCK3 RXD_2、SCK3_2 SCL、SDA	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
		P10~P12 P14~P17 P20~P24 P30~P37 P50~P57 P60~P67 P70~P72 P74~P76 P85~P87	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
		PB0~PB7	$V_{IN}=0.5V\sim$ ($AV_{CC}-0.5V$)	—	—	1.0	μA	
上拉 MOS 电流	-I _p	P10~P12 P14~P17	$V_{CC}=5.0V$ 、 $V_{IN}=0.0V$	50.0	—	300.0	μA	
		P50~P55	$V_{CC}=3.0V$ 、 $V_{IN}=0.0V$	—	60.0	—	μA	参考值
输入电容	C _{IN}	除了电源管脚以外的 全部输入管脚	f=1MHz、 $V_{IN}=0.0V$ 、 $T_a=25^{\circ}C$	—	—	15.0	pF	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
激活模式 消费电流	IOPE1	Vcc	激活模式 1 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	21.0	30.0	mA	*
			激活模式 1 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	9.0	—	mA	参考值 *
	IOPE2	Vcc	激活模式 2 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	1.8	3.0	mA	*
			激活模式 2 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	1.2	—	mA	参考值 *
睡眠模式 消费电流	ISLEEP1	Vcc	睡眠模式 1 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	17.5	22.5	mA	*
			睡眠模式 1 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	7.5	—	mA	参考值 *
	ISLEEP2	Vcc	睡眠模式 2 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	1.7	2.7	mA	*
			睡眠模式 2 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	1.1	—	mA	参考值 *
子激活模式 消费电流	ISUB	Vcc	$V_{CC}=3.0V$ 在使用 32kHz 晶体谐振器时 ($\phi_{SUB}=\phi w/2$)	—	35.0	70.0	μA	*
			$V_{CC}=3.0V$ 在使用 32kHz 晶体谐振器时 ($\phi_{SUB}=\phi w/8$)	—	25.0	—	μA	参考值 *
子睡眠模式 消费电流	ISUBSP	Vcc	$V_{CC}=3.0V$ 在使用 32kHz 晶体谐振器时 ($\phi_{SUB}=\phi w/2$)	—	25.0	50.0	μA	*
待机模式 消费电流	ISTBY	Vcc	在未使用 32kHz 晶体谐振器时	—	—	5.0	μA	*
RAM 数据 保持电压	V _{RAM}	Vcc		2.0	—	—	V	

【注】* 测定消费电流时的管脚状态如下表所示, 流向上拉 MOS 和输出缓冲器的电流除外。

模式	$\overline{\text{RES}}$ 管脚	内部状态	各管脚	振荡管脚
激活模式 1	Vcc	运行	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器 子时钟：X1 管脚 = Vss
激活模式 2		运行 ($\phi \text{ OSC}/64$)		
睡眠模式 1	Vcc	只有定时器运行	Vcc	
睡眠模式 2		只有定时器运行 ($\phi \text{ OSC}/64$)		
子激活模式	Vcc	运行	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器 子时钟：晶体谐振器
子睡眠模式	Vcc	只有定时器运行	Vcc	
待机模式	Vcc	CPU 和定时器都停止	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器 子时钟：X1 管脚 = Vss

表 23.12 DC 特性 (2)

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
EEPROM 消费电流	IEEW	Vcc	写时 Vcc=5.0V、tscl=2.5μs	—	—	2.0	mA	*
	IEER	Vcc	读时 Vcc=5.0V、tscl=2.5μs	—	—	0.3	mA	
	IEESTBY	Vcc	待机时 Vcc=5.0V、tscl=2.5μs	—	—	3.0	μA	

【注】* 表示 EEPROM 芯片的消费电流。H8/3687N 的消费电流为上记的电流值加上 H8/3687 的消费电流。

表 23.12 DC 特性 (3)

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位
				Min	Typ	Max	
输出低电平 容许电流 (每一个管脚)	I_{OL}	除端口 6、SCL、SDA 以外的输出管脚	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA
		端口 6		—	—	20.0	mA
		除端口 6、SCL、SDA 以外的输出管脚		—	—	0.5	mA
		端口 6		—	—	10.0	mA
		SCL、SDA		—	—	6.0	mA
输出低电平 容许电流 (总计)	ΣI_{OL}	除端口 6、SCL、SDA 以外的输出管脚	$V_{CC}=4.0\sim 5.5V$	—	—	40.0	mA
		端口 6、SCL、SDA		—	—	80.0	mA
		除端口 6、SCL、SDA 以外的输出管脚		—	—	20.0	mA
		端口 6、SCL、SDA		—	—	40.0	mA
输出高电平 容许电流 (每一个管脚)	$ -I_{OH} $	全部输出管脚	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA
				—	—	0.2	mA
输出高电平 容许电流 (总计)	$ \Sigma I_{OH} $	全部输出管脚	$V_{CC}=4.0\sim 5.5V$	—	—	30.0	mA
				—	—	8.0	mA

23.3.3 AC 特性

表 23.13 AC 特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
系统时钟振荡器 振荡频率	fosc	OSC1、OSC2	$V_{CC}=4.0\sim 5.5V$	2.0	—	20.0	MHz	* ¹
				2.0	—	10.0	MHz	
系统时钟 (ϕ) 周期时间	t _{cy}			1	—	64	t _{osc}	* ²
				—	—	12.8	μs	
子时钟振荡器 振荡频率	f _w	X1、X2		—	32.768	—	kHz	
钟表时钟 (ϕ_w) 周期时间	t _w	X1、X2		—	30.5	—	μs	
子时钟 (ϕ_{SUB}) 周期时间	t _{subcyc}			2	—	8	t _w	* ²
指令 周期时间				2	—	—	t _{cy} t _{subcyc}	
振荡稳定时间 (晶体谐振器)	t _{rc}	OSC1、OSC2		—	—	10.0	ms	
振荡稳定时间 (陶瓷谐振器)	t _{rc}	OSC1、OSC2		—	—	5.0	ms	
振荡稳定时间	t _{rcx}	X1、X2		—	—	2.0	s	
外部时钟 高电平宽度	t _{CPH}	OSC1	$V_{CC}=4.0\sim 5.5V$	20.0	—	—	ns	图 23.1
				40.0	—	—	ns	
外部时钟 低电平宽度	t _{CPL}	OSC1	$V_{CC}=4.0\sim 5.5V$	20.0	—	—	ns	
				40.0	—	—	ns	
外部时钟 上升时间	t _{CPr}	OSC1	$V_{CC}=4.0\sim 5.5V$	—	—	10.0	ns	
				—	—	15.0	ns	
外部时钟 下降时间	t _{CPf}	OSC1	$V_{CC}=4.0\sim 5.5V$	—	—	10.0	ns	图 23.2
				—	—	15.0	ns	
RES 管脚 低电平宽度	t _{REL}	RES	在接通电源时和下列以外的模式	t _{rc}	—	—	ms	图 23.2
			在激活模式和睡眠模式运行时	200	—	—	ns	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
输入管脚 高电平宽度	t_{IH}	\overline{NMI} 、TMIB1 $\overline{IRQ0}\sim\overline{IRQ3}$ $\overline{WKP0}\sim\overline{WKP5}$ TMCIV、TMRIV TRGV、 \overline{ADTRG} FTIOA0~FTIOD0 FTIOA1~FTIOD1		2	—	—	t_{cyc} t_{subcyc}	图 23.3
输入管脚 低电平宽度	t_{IL}	\overline{NMI} 、TMIB1 $\overline{IRQ0}\sim\overline{IRQ3}$ $\overline{WKP0}\sim\overline{WKP5}$ TMCIV、TMRIV TRGV、 \overline{ADTRG} FTIOA0~FTIOD0 FTIOA1~FTIOD1		2	—	—	t_{cyc} t_{subcyc}	

【注】*1 在输入外部时钟时，系统时钟振荡器的振荡频率为 Min1.0MHz。

*2 由系统控制寄存器 2 (SYSCR2) 的 MA2、MA1、MA0、SA1 和 SA0 的设定来决定。

表 23.14 I²C 总线接口时序(在没有特别记载的情况下: V_{CC}=2.7~5.5V、V_{SS}=0.0V、T_a=-20~+75°C)

项目	符号	测定条件	规格值			单位	参照图
			Min	Typ	Max		
SCL 输入周期时间	t _{SCL}		12t _{cyc} +600	—	—	ns	图 23.4
SCL 输入高电平脉冲宽度	t _{SCLH}		3t _{cyc} +300	—	—	ns	
SCL 输入低电平脉冲宽度	t _{SCLL}		5t _{cyc} +300	—	—	ns	
SCL、SDA 输入下降时间	t _{sf}		—	—	300	ns	
SCL、SDA 输入尖峰脉冲消除时间	t _{SP}		—	—	1t _{cyc}	ns	
SDA 输入总线自由时间	t _{BUF}		5t _{cyc}	—	—	ns	
开始条件输入保持时间	t _{STAH}		3t _{cyc}	—	—	ns	
再发送开始条件输入准备时间	t _{STAS}		3t _{cyc}	—	—	ns	
停止条件输入准备时间	t _{STOS}		3t _{cyc}	—	—	ns	
数据输入准备时间	t _{SDAS}		1t _{cyc} +20	—	—	ns	
数据输入保持时间	t _{SDAH}		0	—	—	ns	
SCL、SDA 的电容性负载	C _b		0	—	400	pF	
SCL、SDA 输出下降时间	t _{sf}	V _{CC} =4.0~5.5V	—	—	250	ns	
			—	—	300		

表 23.15 串行通信接口 (SCI) 时序

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目		符号	适用管脚	测定条件	规格值			单位	参照图
					Min	Typ	Max		
输入时钟周期	异步	tscyc	SCK3		4	—	—	t _{cyc}	图 23.5
	时钟同步				6	—	—	t _{cyc}	
输入时钟脉冲宽度		tsckw	SCK3		0.4	—	0.6	t _{scyc}	
发送数据延迟时间 (时钟同步)		tTXD	TXD	$V_{CC}=4.0\sim 5.5V$	—	—	1	t _{cyc}	图 23.6
					—	—	1	t _{cyc}	
接收数据准备时间 (时钟同步)		trxs	RXD	$V_{CC}=4.0\sim 5.5V$	50.0	—	—	ns	
					100.0	—	—	ns	
接收数据保持时间 (时钟同步)		trXH	RXD	$V_{CC}=4.0\sim 5.5V$	50.0	—	—	ns	
					100.0	—	—	ns	

23.3.4 A/D 转换特性

表 23.16 A/D 转换器特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
模拟电源电压	AVCC	AVCC		3.3	VCC	5.5	V	* ¹
模拟输入电压	AVIN	AN0~AN7		VSS-0.3	—	AVCC+0.3	V	
模拟电源电流	AI _{OPE}	AVCC	AVCC=5.0V f _{osc} =20MHz	—	—	2.0	mA	
	AI _{STOP1}	AVCC		—	50	—	μA	* ² 参考值
	AI _{STOP2}	AVCC		—	—	5.0	μA	* ³
模拟输入电容	CAIN	AN0~AN7		—	—	30.0	pF	
容许信号源阻抗	RAIN	AN0~AN7		—	—	5.0	kΩ	
分辨率 (数据长)				10	10	10	位	
转换时间 (单通道模式)			AVCC=3.3~5.5V	134	—	—	t _{cyt}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AVCC=4.0~5.5V	70	—	—	t _{cyt}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AVCC=4.0~5.5V	134	—	—	t _{cyt}	
非线性误差				—	—	±3.5	LSB	
偏移误差				—	—	±3.5	LSB	
满刻度误差				—	—	±3.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±4.0	LSB	

【注】*¹ 在不使用 A/D 转换器的情况下, 必须使 AVCC=VCC。*² AI_{STOP1} 是在激活模式和睡眠模式的 A/D 转换待机时的电流值。*³ AI_{STOP2} 是在复位、待机模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

23.3.5 监视定时器特性

表 23.17 监视定时器特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
内部振荡器溢出时间	tOVF			0.2	0.4	—	s	*

【注】* 在选择内部振荡器的状态下，从 0 到 255 累加计数，并且表示到内部复位发生为止的时间。

23.3.6 EEPROM 特性【暂定规格】

表 23.18 EEPROM 特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	测定条件	规格值			单位	参照图
			Min	Typ	Max		
SCL 输入周期时间	tSCL		2500	—		ns	图 23.7
SCL 输入高电平脉冲宽度	tSCLH		600	—	—	μs	
SCL 输入低电平脉冲宽度	tSCLL		1200	—	—	ns	
SCL、SDA 输入尖峰脉冲消除时间	tSP		—	—	50	ns	
SDA 输入总线自由时间	tBUF		1200	—	—	ns	
开始条件输入保持时间	tSTAH		600	—	—	ns	
再发送开始条件输入准备时间	tSTAS		600	—	—	ns	
停止条件输入准备时间	tSTOS		600	—	—	ns	
数据输入准备时间	tSDAS		160	—	—	ns	
数据输入保持时间	tSDAH		0	—	—	ns	
SCL、SDA 输入下降时间	tSf		—	—	300	ns	
SDA 输入上升时间	tSr		—	—	300	ns	
数据输出保持时间	tDH		50	—	—	ns	
SCL、SDA 的电容性负载	Cb		0	—	400	pF	
存取时间	tAA		100	—	900	ns	
写时的周期时间*	tWC		—	—	10	ms	
复位解除时间	tRES		—	—	13	ms	

【注】* 一次写时的周期时间是从停止条件开始到写（内部控制）结束为止的时间。

23.3.7 电源电压检测电路特性【任选】

表 23.19 电源电压检测电路特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
电源下降检测电压	$V_{int}(D)$	LVDSSEL=0	3.3	3.7	—	V
电源上升检测电压	$V_{int}(U)$	LVDSSEL=0	—	4.0	4.5	V
复位检测电压 1* ¹	V_{reset1}	LVDSSEL=0	—	2.3	2.7	V
复位检测电压 2* ²	V_{reset2}	LVDSSEL=1	3.0	3.6	4.2	V
LVDR 运行的下限电压* ³	$V_{LVDRmin}$		1.0	—	—	V
LVD 稳定时间	t_{LVDON}		50	—	—	μs
待机模式消费电流	I_{STBY}	LVDE=1 V _{CC} =5.0V 在未使用 32kHz 晶体谐振器时	—	—	350	μA

【注】*1 必须在下降电压检测功能和上升电压检测功能并用时使用。

*2 在只使用低电压检测复位时，必须选择低电压复位 2。

*3 在电源电压 V_{CC} 降低到 $V_{LVDRmin}=1.0V$ 以下后从此开始上升的情况下，低电压检测复位可能不运行，请充分评价。

23.3.8 加电复位特性【任选】

表 23.20 加电复位特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
\overline{RES} 管脚上拉电阻	R_{RES}		100	150	—	$k\Omega$
加电复位启动电压*	V_{por}		—	—	100	mV

【注】* 电源电压 V_{CC} 一定下降到 $V_{por}=100mV$ 以下, 必须在充分放掉 \overline{RES} 管脚的电荷后, 使电源电压 V_{CC} 上升。为了放掉 \overline{RES} 管脚的电荷, 建议给 V_{CC} 侧外接二极管。如果从大于 $100mV$ 的电压开始电源电压 V_{CC} 上升, 加电复位可能不动作。

23.4 时序图

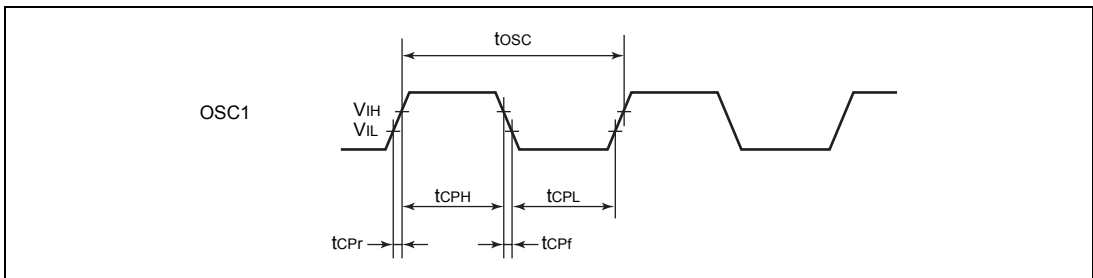
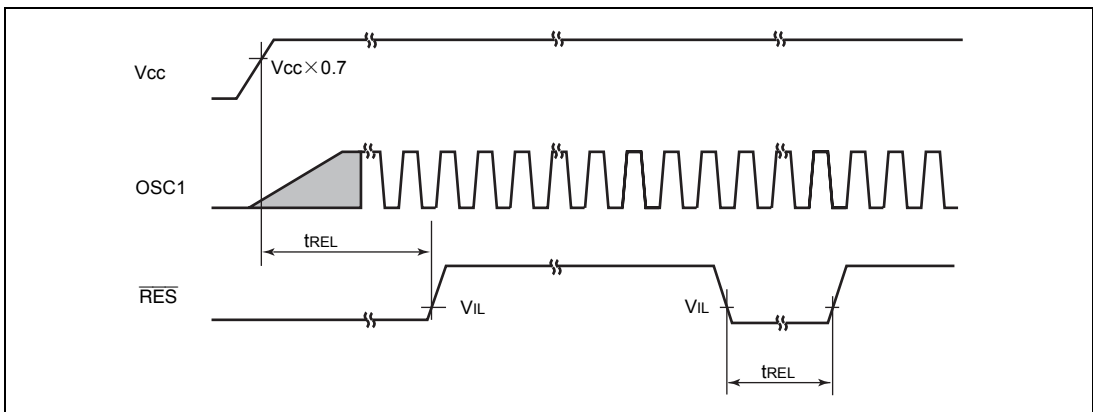


图 23.1 系统时钟输入时序

图 23.2 \overline{RES} 管脚的低电平宽度时序

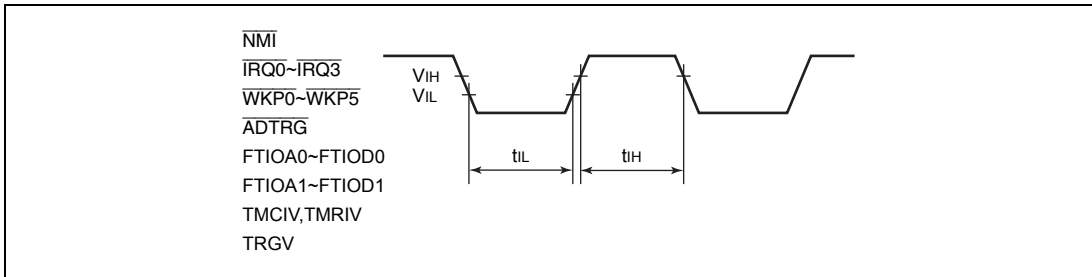


图 23.3 输入时序

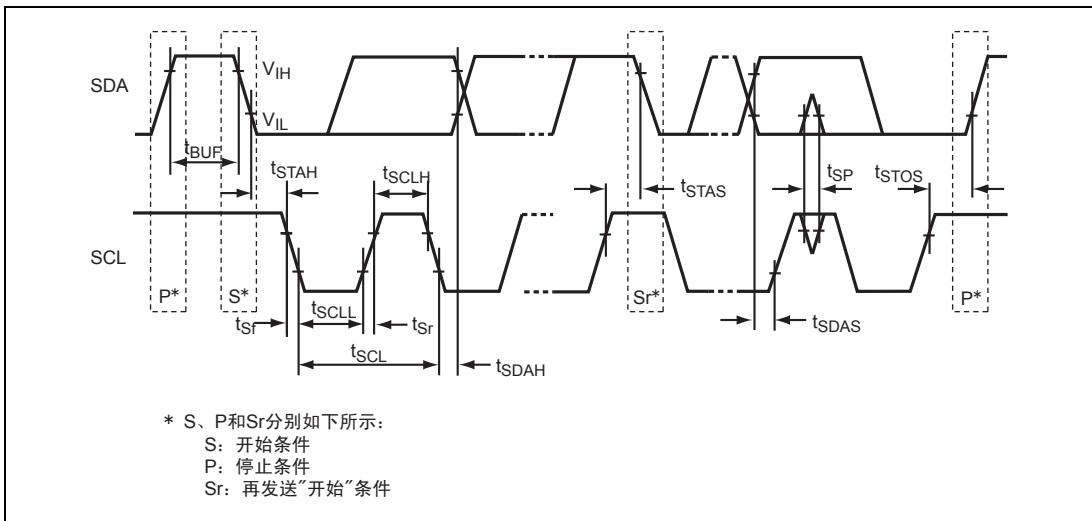


图 23.4 I²C 总线接口输入/输出时序

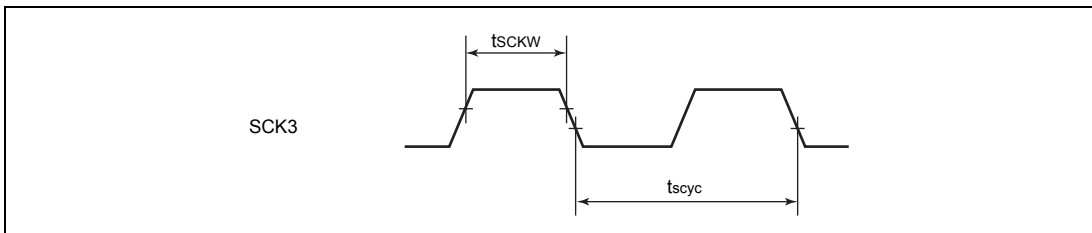


图 23.5 SCK3 输入时钟时序

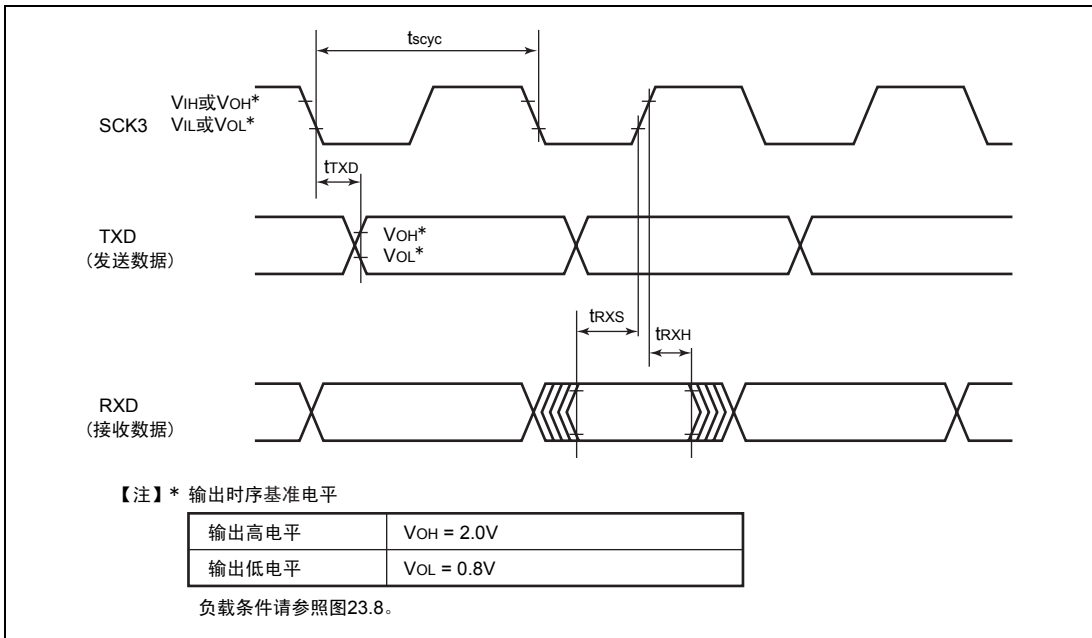


图 23.6 SCI 时钟同步模式输入/输出时序

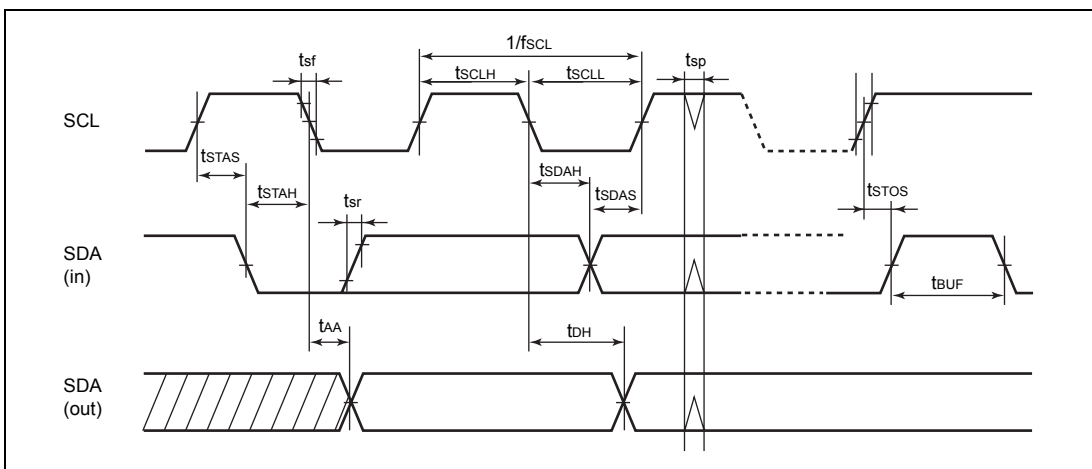


图 23.7 EEPROM 总线时序

23.5 输出负载条件

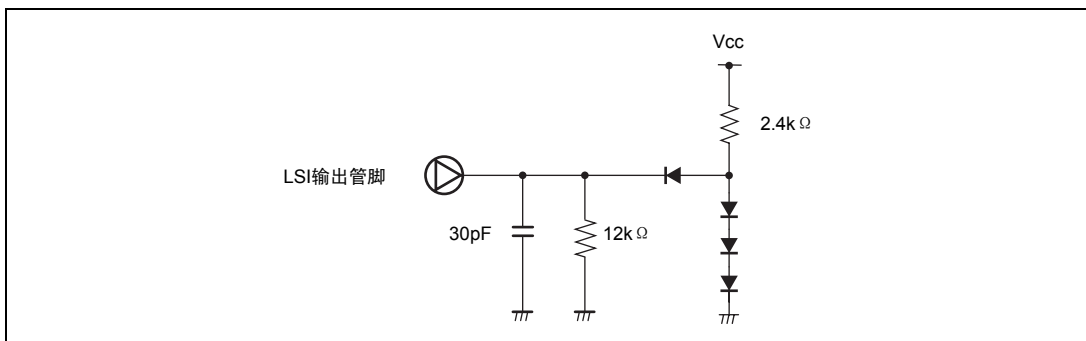


图 23.8 输出负载电路

附录 A 指令

A.1 指令表

《操作符号》

符号	内容
Rd	目标侧通用寄存器
Rs	源侧通用寄存器
Rn	通用寄存器
ERd	目标侧通用寄存器（地址寄存器或者 32 位寄存器）
ERs	源侧通用寄存器（地址寄存器或者 32 位寄存器）
ERn	通用寄存器（32 位寄存器）
(EAd)	目标操作数
(EAs)	源操作数
PC	程序计数器
SP	堆栈指针
CCR	条件码寄存器
N	CCR 的 N（负）标志位
Z	CCR 的 Z（零）标志位
V	CCR 的 V（溢出）标志位
C	CCR 的 C（进位）标志位
disp	位移量
→	左边的操作数传送到右边的操作数、或者左边的状态转移到右边的状态
+	两边的操作数相加
-	左边的操作数减去右边的操作数
×	两边的操作数相乘
÷	左边的操作数除以右边的操作数
∧	两边的操作数逻辑与
∨	两边的操作数逻辑或

【注】 通用寄存器为 8 位（R0H~R7H、R0L~R7L）或者 16 位（R0~R7、E0~E7）。

《操作符号》

符号	内容
\oplus	两边的操作数逻辑异或
\sim	非（逻辑补）
$() \langle \rangle$	操作数的内容
\updownarrow	表示根据执行结果而变化。
*	表示不定的状态（不保证值）。
0	表示总是被清 0。
1	表示总是被置 1。
—	表示不受执行结果的影响。
\triangle	根据条件的不同而不同。请参照注意事项。

表 A.1 指令系统一览表

(1) 数据传送指令

助记符	长度	寻址方式/指令长(字节)				操作	条件码							执行状态数 ^{*1}				
		#xx	Rn	@ERn	@(d.ERn)		@ERn+@-ERn	@aa	@(d.PC)	@@aa	I	H	Z	V	C	普通	高级	
MOV	B	2																2
MOV.B #xx:8, Rd	B	2																2
MOV.B Rs, Rd	B		2															2
MOV.B @ERS, Rd	B			2														4
MOV.B @(d:16, ERs), Rd	B				4													6
MOV.B @d:24, ERs), Rd	B					8												10
MOV.B @ERS+, Rd	B						2											6
MOV.B @aa:8, Rd	B							2										4
MOV.B @aa:16, Rd	B								4									6
MOV.B @aa:24, Rd	B									6								8
MOV.B Rs, @ERd	B			2														4
MOV.B Rs, @(d:16, ERd)	B				4													6
MOV.B Rs, @d:24, ERd)	B					8												10
MOV.B Rs, @-ERd	B							2										6
MOV.B Rs, @aa:8	B									2								4
MOV.B Rs, @aa:16	B										4							6
MOV.B Rs, @aa:24	B											6						8
MOV.W #xx:16, Rd	W	4																4
MOV.W Rs, Rd	W			2														2
MOV.W @ERS, Rd	W						2											4
MOV.W @(d:16, ERs), Rd	W							4										6
MOV.W @d:24, ERs), Rd	W								8									10
MOV.W @ERS+, Rd	W									2								6
MOV.W @aa:16, Rd	W										4							6
MOV.W @aa:24, Rd	W											6						8

(2) 算术运算指令

助记符	长度	寻址方式/指令长(字节)						操作	条件码							执行状态数 ^{*1}						
		#xx	Rn	@ERn	@(d, ERn)	@ERn+@ERn	@aa		@(d, PC)	@@aa	I	H	N	Z	V	C	普通	高级				
ADD	ADD.B #xx:8, Rd	B	2															↑	↑	2		
	ADD.B Rs, Rd	B	2																↑	↑	2	
	ADD.W #xx:16, Rd	W	4																↑	↑	4	
	ADD.W Rs, Rd	W	2																↑	↑	2	
ADDD	ADD.L #xx:32, ERd	L	6																↑	↑	6	
	ADD.L ERs, ERd	L	2																↑	↑	2	
	ADDD.B #xx:8, Rd	B	2																↑	↑	2	
	ADDD.B Rs, Rd	B	2																↑	↑	2	
ADDS	ADDS.L #1, ERd	L	2																↑	↑	2	
	ADDS.L #2, ERd	L	2																↑	↑	2	
	ADDS.L #4, ERd	L	2																↑	↑	2	
	INC.B Rd	B	2																↑	↑	2	
INC	INC.W #1, Rd	W	2																↑	↑	2	
	INC.W #2, Rd	W	2																↑	↑	2	
	INC.L #1, ERd	L	2																↑	↑	2	
	INC.L #2, ERd	L	2																↑	↑	2	
	DAA Rd	B	2																*	↑	↑	2
	SUB.B Rs, Rd	B	2																↑	↑	2	
SUB	SUB.W #xx:16, Rd	W	4																↑	↑	4	
	SUB.W Rs, Rd	W	2																↑	↑	2	
	SUB.L #xx:32, ERd	L	6																↑	↑	6	
	SUB.L ERs, ERd	L	2																↑	↑	2	
	SUBX.B #xx:8, Rd	B	2																↑	↑	2	
	SUBX.B Rs, Rd	B	2																↑	↑	2	

助记符	长度	寻址方式/指令长 (字节)				操作	条件码							执行状态数*1					
		#xx	Rn	@ERn	@(d, ERn) @ERn+/@-ERn @aa		@(d, PC)	@aa	I	H	N	Z	V	C	普通	高级			
CMP	L	6										—	(2)	↑	↑	↑	↑	↑	4
	L		2									—	(2)	↑	↑	↑	↑	↑	2
NEG	B		2									—	↑	↑	↑	↑	↑	↑	2
	W		2									—	↑	↑	↑	↑	↑	↑	2
	L		2									—	↑	↑	↑	↑	↑	↑	2
XTU	W		2									—	—	0	↑	0	—	—	2
	L		2									—	—	0	↑	0	—	—	2
EXTS	W		2									—	—	↑	↑	0	—	—	2
	L		2									—	—	↑	↑	0	—	—	2

(3) 逻辑运算指令

助记符	长度	寻址方式/指令长 (字节)				操作	条件码						执行状态数*1				
		#xx	Rn	@ERn	@(d, ERn) @ERn+@-ERn @aa		@(d, PC) @aa	I	H	N	Z	V	C	普通	高级		
AND	AND.B #xx:8, Rd	B	2								-	-	↑	↑	0	-	2
	AND.B Rs, Rd	B	2								-	-	↑	↑	0	-	2
	AND.W #xx:16, Rd	W	4								-	-	↑	↑	0	-	2
	AND.W Rs, Rd	W	2								-	-	↑	↑	0	-	2
OR	AND.L #xx:32, ERd	L	6								-	-	↑	↑	0	-	6
	AND.L ERs, ERd	L	4								-	-	↑	↑	0	-	4
	OR.B #xx:8, Rd	B	2								-	-	↑	↑	0	-	2
	OR.B Rs, Rd	B	2								-	-	↑	↑	0	-	2
	OR.W #xx:16, Rd	W	4								-	-	↑	↑	0	-	4
	OR.W Rs, Rd	W	2								-	-	↑	↑	0	-	2
	OR.L #xx:32, ERd	L	6								-	-	↑	↑	0	-	6
	OR.L ERs, ERd	L	4								-	-	↑	↑	0	-	4
	XOR.B #xx:8, Rd	B	2								-	-	↑	↑	0	-	2
	XOR.B Rs, Rd	B	2								-	-	↑	↑	0	-	2
XOR	XOR.W #xx:16, Rd	W	4								-	-	↑	↑	0	-	4
	XOR.W Rs, Rd	W	2								-	-	↑	↑	0	-	2
	XOR.L #xx:32, ERd	L	6								-	-	↑	↑	0	-	6
	XOR.L ERs, ERd	L	4								-	-	↑	↑	0	-	4
	NOT.B Rd	B	2								-	-	↑	↑	0	-	2
	NOT.W Rd	W	2								-	-	↑	↑	0	-	2
NOT	NOT.L ERd	L	2								-	-	↑	↑	0	-	2

(4) 移位指令

助记符	长度 #xx	寻址方式/指令长(字节)				操作	条件码							执行状态数*1				
		Rn	@ERn	@(d, ERn)	@ERn+@-ERn		@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	普通	高级	
SHAL	B	2																2
	W	2																2
	L	2																2
SHAR	B	2																2
	W	2																2
	L	2																2
SHLL	B	2																2
	W	2																2
	L	2																2
SHLR	B	2																2
	W	2																2
	L	2																2
ROTXL	B	2																2
	W	2																2
	L	2																2
ROTXR	B	2																2
	W	2																2
	L	2																2
ROTL	B	2																2
	W	2																2
	L	2																2
ROTR	B	2																2
	W	2																2
	L	2																2

(5) 位操作指令

助记符	长度	寻址方式/指令长 (字节)						操作	条件码						执行状态数 ¹					
		#xx	Rn	@ERn	@(d, ERn)	@ERn+@-ERn	@aa		@(d, PC)	@aa	@-aa	@-aa	I	H	N	Z	V	C	普通	高级
BSET	BSET #xx:3, Rd	B	2																2	
	BSET #xx:3, @ERd	B		4															8	
	BSET #xx:3, @aa:8	B					4												8	
	BSET Rn, Rd	B	2																2	
	BSET Rn, @ERd	B		4															8	
BCLR	BCLR #xx:3, Rd	B	2																2	
	BCLR #xx:3, @ERd	B		4															8	
	BCLR #xx:3, @aa:8	B					4												8	
	BCLR Rn, Rd	B	2																2	
	BCLR Rn, @ERd	B		4															8	
BNOT	BNOT #xx:3, Rd	B	2																2	
	BNOT #xx:3, @ERd	B		4															8	
	BNOT #xx:3, @aa:8	B					4												8	
	BNOT Rn, Rd	B	2																2	
	BNOT Rn, @ERd	B		4															8	
BTST	BTST #xx:3, Rd	B	2																2	
	BTST #xx:3, @ERd	B		4															6	
	BTST #xx:3, @aa:8	B					4												6	
	BTST Rn, Rd	B	2																2	
	BTST Rn, @ERd	B		4															6	
BLD	BLD #xx:3, Rd	B	2																2	
	BLD #xx:3, @ERd	B		4															6	
	BLD #xx:3, @aa:8	B					4												6	
	BILD #xx:3, Rd	B	2																2	
	BILD #xx:3, @ERd	B		4															6	

助记符	长度	寻址方式/指令长 (字节)				操作	条件码							执行状态数*1				
		#xx	Rn	@ERn	@(d, ERn)		@ERn+/@-ERn	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	普通	高级
BST	B	2																2
	B		4															8
	B					4												8
BIST	B	2																2
	B		4															8
	B					4												8
BAND	B	2																2
	B		4															6
	B					4												6
BIAND	B	2																2
	B		4															6
	B					4												6
BOR	B	2																2
	B		4															6
	B					4												6
BIOR	B	2																2
	B		4															6
	B					4												6
BXOR	B	2																2
	B		4															6
	B					4												6
BIXOR	B	2																2
	B		4															6
	B					4												6

(6) 转移指令

助记符	长度	寻址方式/指令长(字节)						转移条件	条件码						执行状态数 ^{*1}		
		#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa		@(d, PC)	@@aa	I	H	N	Z	V	C	普通
Bcc	—							Always	—	—	—	—	—	—	—	4	
BRA d:8(BT d:8)	—						2		—	—	—	—	—	—	—	6	
BRA d:16(BT d:16)	—						4		if condition is true then PC←PC+d else next;	—	—	—	—	—	—	4	
BRN d:8(BF d:8)	—						2			—	—	—	—	—	—	6	
BRN d:16(BF d:16)	—						4			—	—	—	—	—	—	4	
BHI d:8	—						2			—	—	—	—	—	—	6	
BHI d:16	—						4			—	—	—	—	—	—	4	
BLS d:8	—						2			—	—	—	—	—	—	6	
BLS d:16	—						4			—	—	—	—	—	—	4	
BCC d:8(BHS d:8)	—						2			—	—	—	—	—	—	6	
BCC d:16(BHS d:16)	—						4			—	—	—	—	—	—	4	
BCS d:8(BLO d:8)	—						2			—	—	—	—	—	—	6	
BCS d:16(BLO d:16)	—						4			—	—	—	—	—	—	4	
BNE d:8	—						2			—	—	—	—	—	—	6	
BNE d:16	—						4			—	—	—	—	—	—	4	
BEQ d:8	—						2			—	—	—	—	—	—	6	
BEQ d:16	—						4			—	—	—	—	—	—	4	
BVC d:8	—						2			—	—	—	—	—	—	6	
BVC d:16	—						4			—	—	—	—	—	—	4	
BVS d:8	—						2			—	—	—	—	—	—	6	
BVS d:16	—						4			—	—	—	—	—	—	4	
BPL d:8	—						2			—	—	—	—	—	—	6	
BPL d:16	—						4			—	—	—	—	—	—	4	
BMI d:8	—						2			—	—	—	—	—	—	6	
BMI d:16	—						4			—	—	—	—	—	—	4	

A.2 操作码映像

表 A.2 操作码映像 (1)

指令码:		第1字节		第2字节		MOV.B															
		AH	AL	BH	BL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ANDC	XORC	ANDC	LDC	ADD	ADD	表A.2(2)	表A.2(2)	MOV	ADDX	表A.2(2)	
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	表A.2(2)	XOR.B	AND.B	表A.2(2)	SUB	SUB	表A.2(2)	表A.2(2)	CMP	SUBX	表A.2(2)	
2																					
3																					
4	BRA	BRN	DIVXU	MULXU	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BSR	BPL	BMI	BGE	BSR	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	RTS	BSR	RTE	TRAPA	表A.2(2)	表A.2(2)	JMP	JMP	BSR	BSR	JMP	JMP	BSR	JSR	JSR	
6	BSET	BNOT	BCLR	BTST	OR	OR	XOR	AND	BST	BST	BST	MOV	MOV	MOV	MOV	MOV	MOV	MOV	MOV	MOV	
7					BOR	BOR	BXOR	BAND	BLD	BAND	BAND	BIOR	BAND	BAND	BIOR	BIOR	BIOR	BIOR	BIOR	BIOR	
8																					
9																					
A																					
B																					
C																					
D																					
E																					
F																					

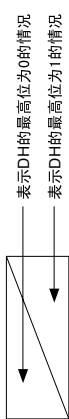


表 A.2 操作码映像 (2)

助记符	长度	寻址方式/指令长 (字节)							操作	条件码							执行状态数*1	
		#xx	Rn	@ERn	@(d, ERn)	@ERn+@-ERn	@aa	@(d, PC)		@@aa	—	I	H	N	Z	V	C	普通
SUBS	SUBS.L #1, ERd	L	2															2
	SUBS.L #2, ERd	L	2															2
	SUBS.L #4, ERd	L	2															2
DEC	DEC.B Rd	B	2												↑↑	↑↑		2
	DEC.W #1, Rd	W	2												↑↑	↑↑		2
	DEC.W #2, Rd	W	2												↑↑	↑↑		2
	DEC.L #1, ERd	L	2												↑↑	↑↑		2
	DEC.L #2, ERd	L	2												↑↑	↑↑		2
DAS	DAS Rd	B	2											*	↑↑	*		2
	MULXU.B Rs, Rd	B	2															14
MULXS	MULXU.W Rs, ERd	W	2															22
	MULXS.B Rs, Rd	B	4												↑↑	↑↑		16
	MULXS.W Rs, ERd	W	4												↑↑	↑↑		24
	DIVXU.B Rs, Rd	B	2												(6)	(7)		14
DIVXS	DIVXU.W Rs, ERd	W	2												(6)	(7)		22
	DIVXS.B Rs, Rd	B	4												(8)	(7)		16
CMP	DIVXS.W Rs, ERd	W	4												(8)	(7)		24
	CMP.B #xx:8, Rd	B	2												↑↑	↑↑	↑↑	2
	CMP.B Rs, Rd	B	2												↑↑	↑↑	↑↑	2
	CMP.W #xx:16, Rd	W	4												(1)	↑↑	↑↑	4
	CMP.W Rs, Rd	W	2											(1)	↑↑	↑↑	↑↑	2

表 A.2 操作码映像 (3)

指令码:	第1字节		第2字节		第3字节		第4字节		9	8	7	6	5	4	3	2	1	0	操作码映像																							
	AH	AL	BH	BL	CH	CL	DH	DL											A	B	C	D	E	F	STC	LDC	STC	LDC	STC	LDC	STC											
AHALBHCLCH	CL																																									
01406																			LDC	STC	LDC	STC	LDC	STC	LDC	STC	LDC	STC	LDC	STC	LDC	STC	LDC	STC	LDC	STC						
01C05	MULXS				MULXS																																					
01D05			DIVXS				DIVXS																																			
01F06																			OR		XOR		AND																			
7C06 ^{*1}																			BTST																							
7C07 ^{*1}			BOR		BIXOR		BAND		BIAND		BLD		BILD		BST		BIST																									
7D06 ^{*1}	BSET		BNOT		BCLR																																					
7D07 ^{*1}	BSET		BNOT		BCLR																																					
7Eaa6 ^{*2}																			BTST																							
7Eaa7 ^{*2}			BOR		BIXOR		BAND		BIAND		BLD		BILD		BST		BIST																									
7Fa6 ^{*2}	BSET		BNOT		BCLR																																					
7Faa7 ^{*2}	BSET		BNOT		BCLR																																					



指令码: 第1字节 第2字节 第3字节 第4字节
 AH AL BH BL CH CL DH DL

表示DH的最高位为0的情况
 表示DH的最高位为1的情况

【注】*1 r为寄存器指定部
 *2 aa为绝对地址指定部

A.3 指令执行状态数

本章节说明有关 H8/300H CPU 各指令的执行状态（execution status）和执行状态数的计算方法。

作为指令的执行状态，在指令执行中进行的取指令、读数据和写数据等的周期数如表 A.4 所示，对于各周期所需要的状态数如表 A.3 所示。用如下的计算式计算指令的执行状态数：

$$\text{执行状态数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

执行状态数的计算例子

（例）从内部 ROM 取指令、存取内部 RAM 的情况

1. BSET #0, @FF00

根据表A.4

$$I=L=2, J=K=M=N=0$$

根据表A.3

$$S_I=2, S_L=2$$

$$\text{执行状态数} = 2 \times 2 + 2 \times 2 = 8$$

从内部ROM取指令、从内部ROM读转移地址、堆栈区为内部RAM的情况

2. JSR @@30

根据表A.4

$$I=2, J=K=1, L=M=N=0$$

根据表A.3

$$S_I=S_J=S_K=2$$

$$\text{执行状态数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 执行状态（周期）所需要的状态数

执行状态（周期）	存取对象	
	内部存储器	内部外围模块
取指令 SI	2	—
读转移地址 SJ		
堆栈操作 SK		
存取字节数据 SL		2 或者 3*
存取字数据 SM		2 或者 3*
内部运行 SN	1	

【注】 *根据内部外围模块的不同而不同。详细内容请参照“22.1 寄存器地址一览表（按地址顺序）”。

表 A.4 指令执行状态（周期数）

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行	
		I	J	K	L	M	N	
LDC	LDC #xx:8, CCR	1						
	LDC Rs, CCR	1						
	LDC @ERs, CCR	2				1		
	LDC @(d:16, ERs), CCR	3				1		
	LDC @(d:24, ERs), CCR	5				1		
	LDC @ERs+, CCR	2				1	2	
	LDC @aa:16, CCR	3				1		
	LDC @aa:24, CCR	4				1		
MOV	MOV.B #xx:8, Rd	1						
	MOV.B Rs, Rd	1						
	MOV.B @ERs, Rd	1			1			
	MOV.B @(d:16, ERs), Rd	2			1			
	MOV.B @(d:24, ERs), Rd	4			1			
	MOV.B @ERs+, Rd	1			1		2	
	MOV.B @aa:8, Rd	1			1			
	MOV.B @aa:16, Rd	2			1			
	MOV.B @aa:24, Rd	3			1			
	MOV.B Rs, @ERd	1			1			
	MOV.B Rs, @(d:16, ERd)	2			1			
	MOV.B Rs, @(d:24, ERd)	4			1			
	MOV.B Rs, @-ERd	1			1		2	
	MOV.B Rs, @aa:8	1			1			
	MOV.B Rs, @aa:16	2			1			
	MOV.B Rs, @aa:24	3			1			
	MOV.W #xx:16, Rd	2						
	MOV.W Rs, Rd	1						
	MOV.W @ERs, Rd	1					1	
	MOV.W @(d:16, ERs), Rd	2					1	
	MOV.W @(d:24, ERs), Rd	4					1	
	MOV.W @ERs+, Rd	1					1	2
	MOV.W @aa:16, Rd	2					1	
	MOV.W @aa:24, Rd	3					1	
	MOV.W Rs, @ERd	1					1	
	MOV.W Rs, @(d:16, ERd)	2					1	
	MOV.W Rs, @(d:24, ERd)	4					1	

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs,@ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:24	4				2	
MOVFPPE	MOVFPPE @aa:16, Rd* ²	2			1		
MOVTPE	MOVTPE Rs,@aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2		2	
RTS	RTS	2		1		2	
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR,@-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #xx:2	2	1	2			4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】*1 n 为 R4L 和 R4 的设定值。源侧和目标侧各进行 (n+1) 次存取。

*2 本 LSI 不能使用。

A.4 指令和寻址方式的组合

表 A.5 指令和寻址方式的组合

功能	指令	寻址方式															
		# xx	Rn	@ERn	@(d:16,ERn)	@(d:24,ERn)	@ERn+/@-ERn	@aa:8	@aa:16	@aa:24	@(d:8,PC)	@(d:16,PC)	@:@aa:8				
数据传送指令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	—	
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WL	
	MOVFP, MOVTP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	
算术运算指令	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—	—	
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—	—	
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—	—	
	MULXU, MULXS, DIVXU, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—	—	
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—	—	
	AND, OR, XOR	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	
移位指令	移位指令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	
	位操作指令	—	B	B	—	—	—	—	—	—	—	—	—	—	—	—	
转移指令	BCC, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
系统控制指令	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	W	W	
	STC	—	B	W	W	W	W	W	W	W	W	W	W	W	W	W	
	ANDC, ORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	XORC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
数据块传送指令	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	数据块传送指令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

附录 B I/O 端口

B.1 I/O 端口框图

$\overline{\text{RES}}$ 在复位时为低电平、 $\overline{\text{SBY}}$ 在复位以及待机模式时为低电平。

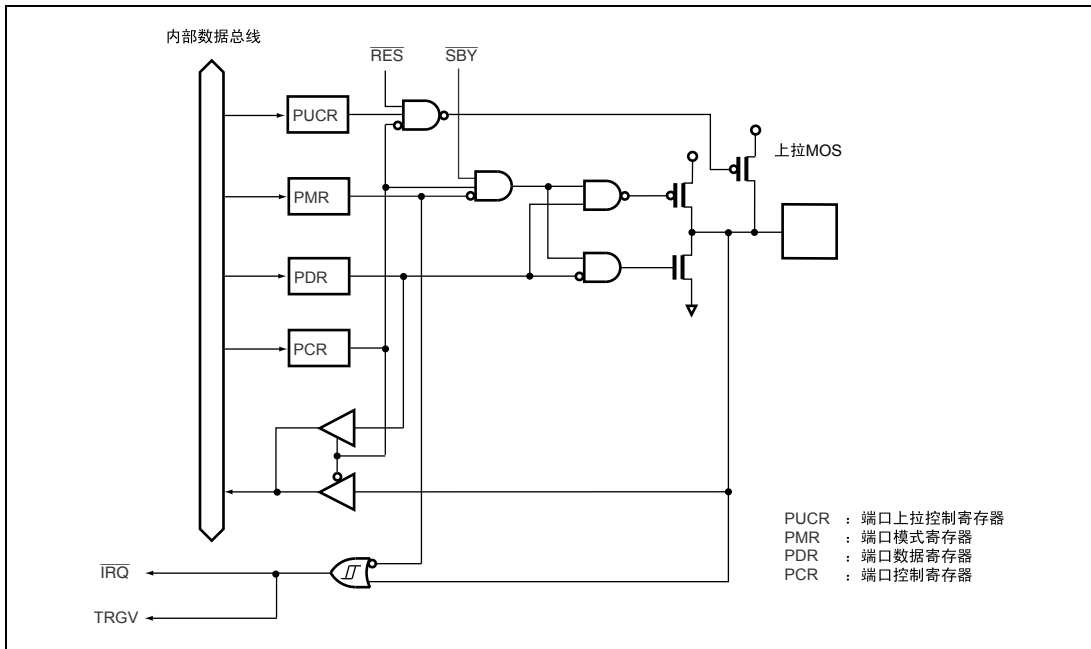


图 B.1 端口 1 框图 (P17)

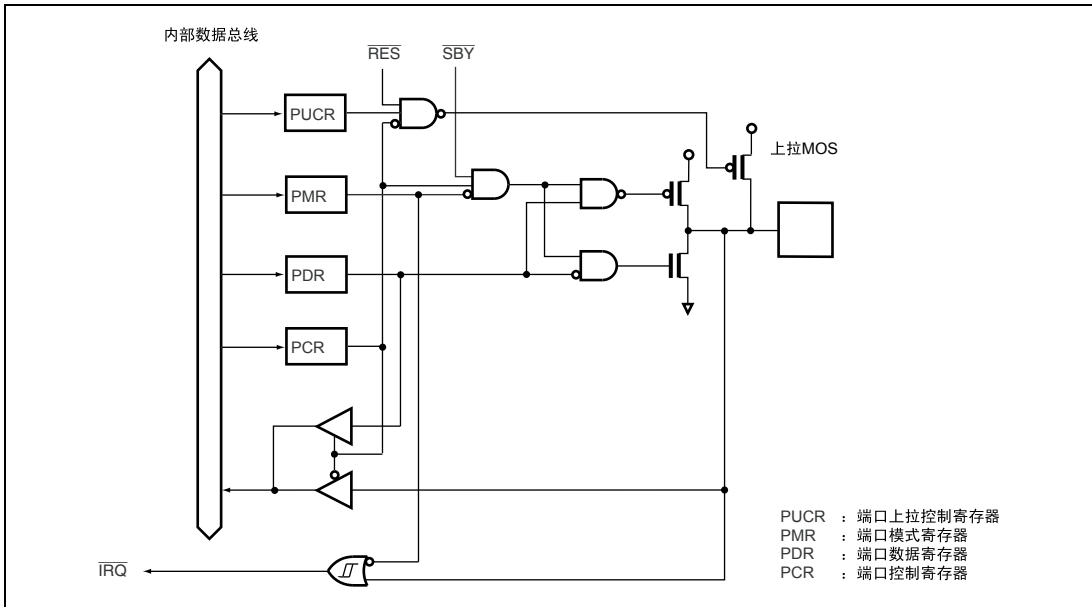


图 B.2 端口 1 框图 (P16、P14)

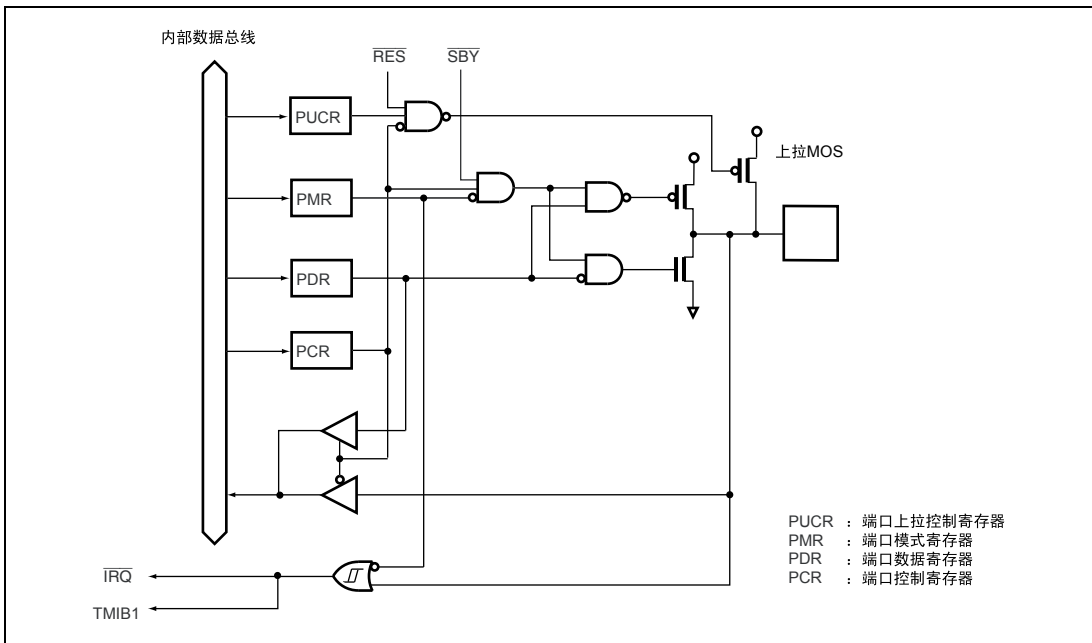


图 B.3 端口 1 框图 (P15)

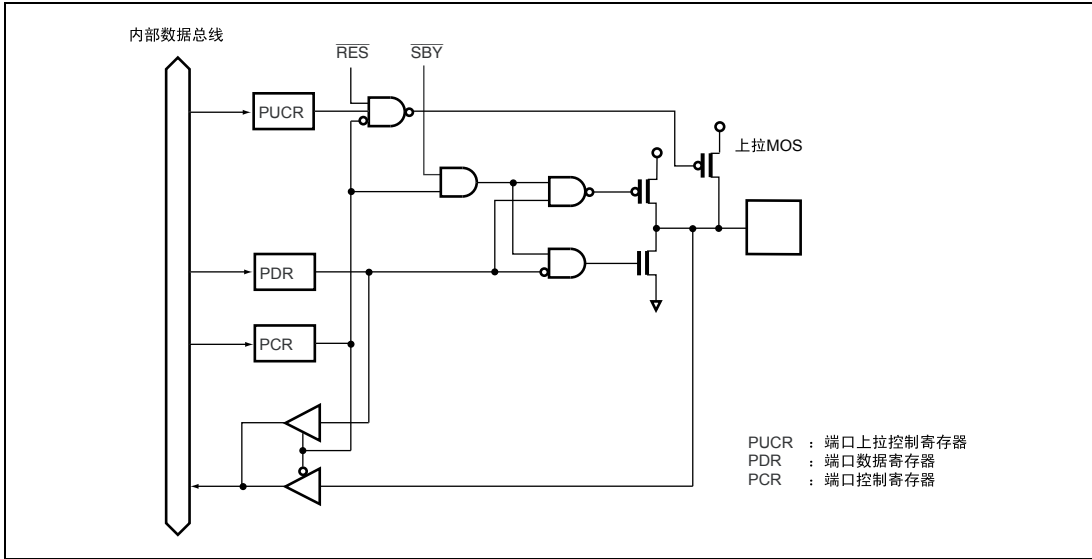


图 B.4 端口 1 框图 (P12)

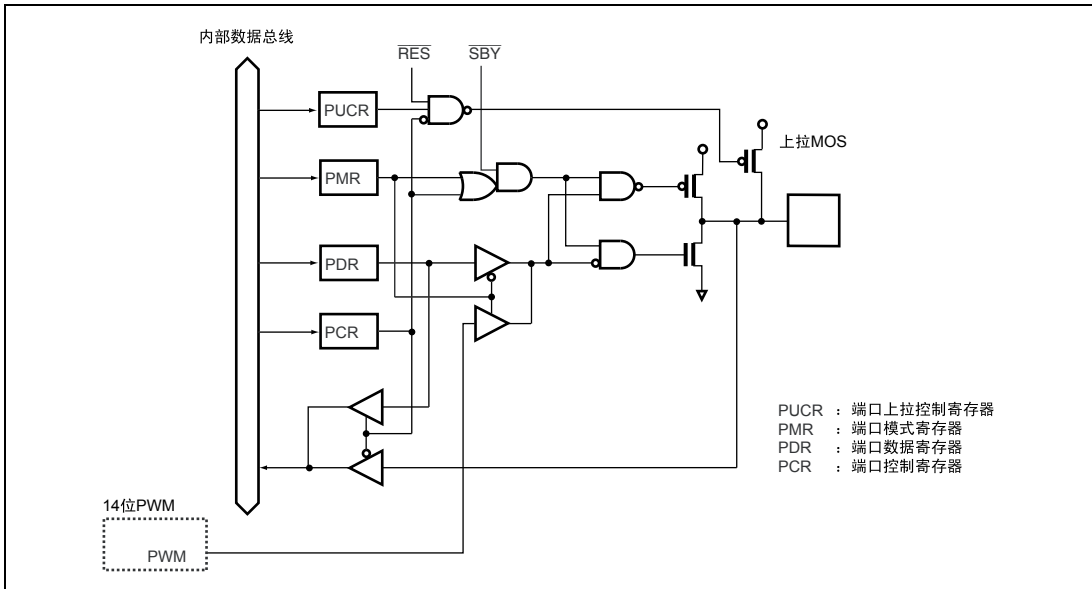


图 B.5 端口 1 框图 (P11)

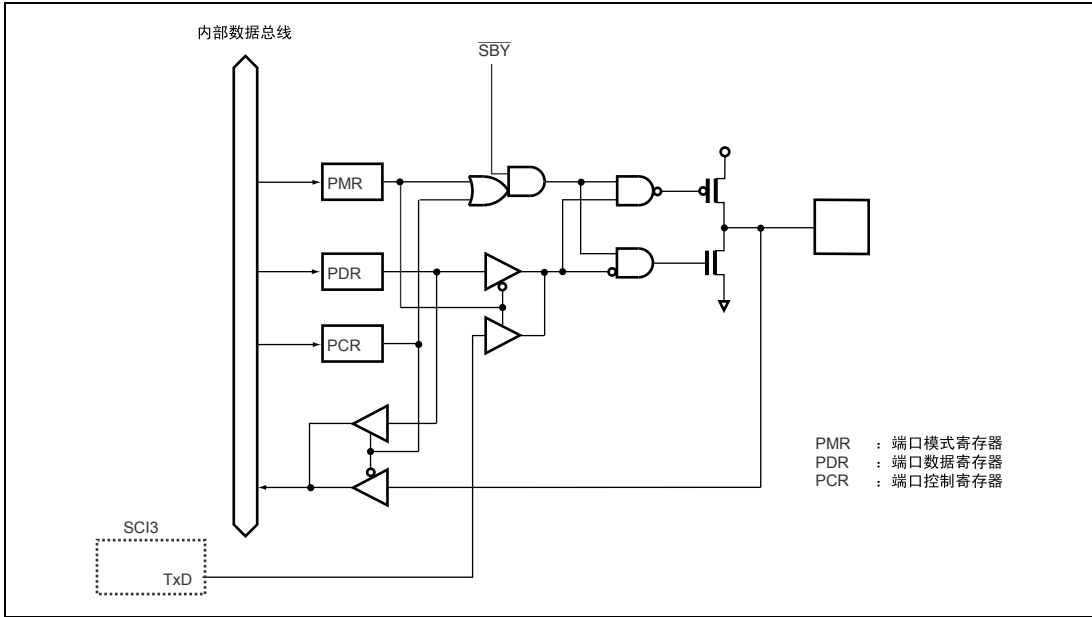


图 B.8 端口 2 框图 (P22)

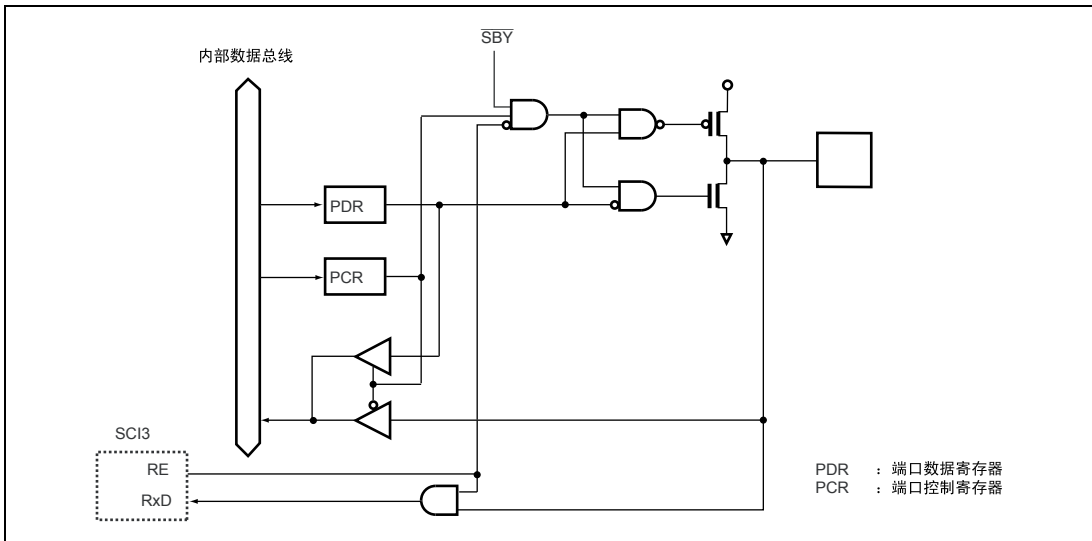


图 B.9 端口 2 框图 (P21)

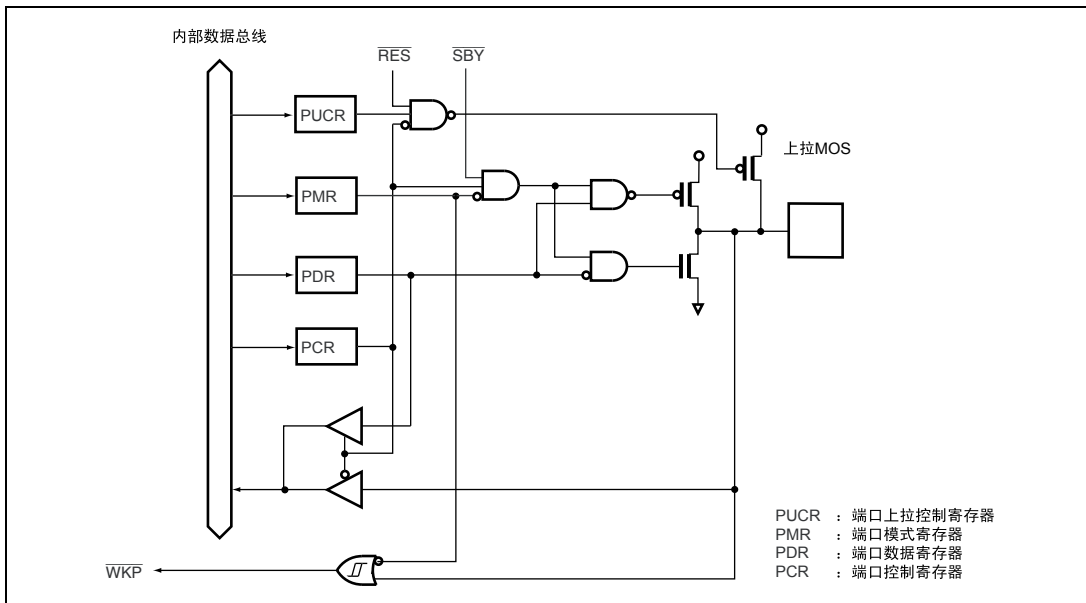


图 B.14 端口 5 框图 (P54、P53、P52、P51、P50)

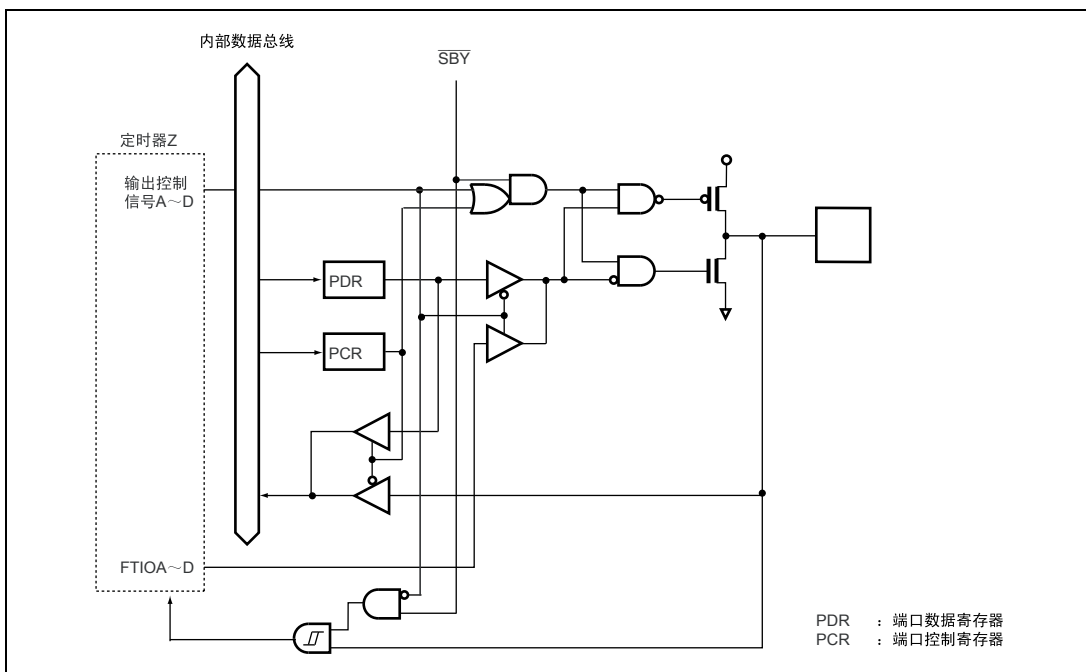


图 B.15 端口 6 框图 (P67、P66、P65、P64、P63、P62、P61、P60)

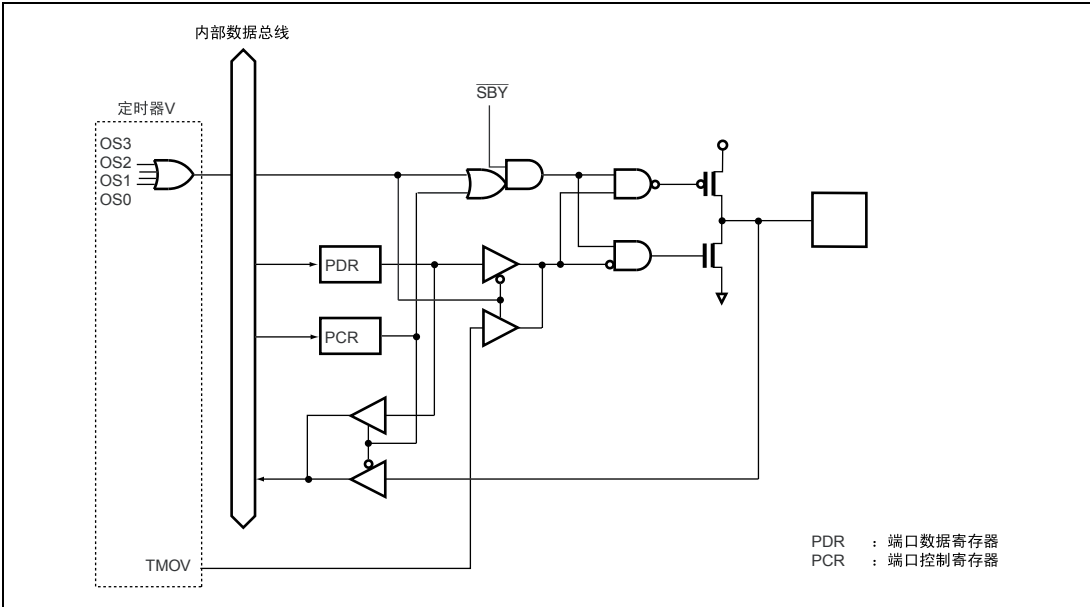


图 B.16 端口 7 框图 (P76)

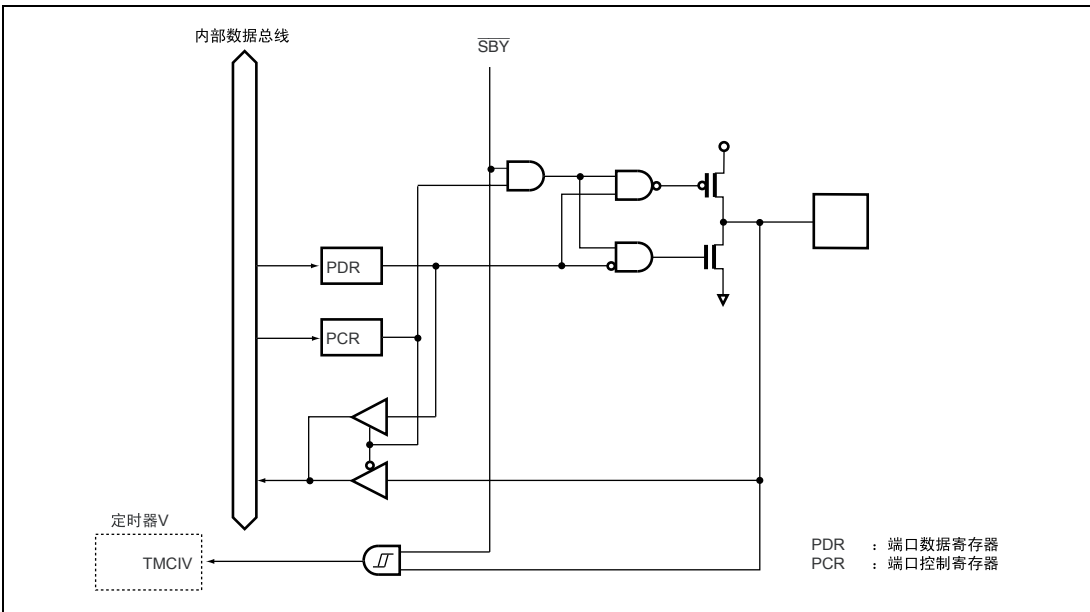


图 B.17 端口 7 框图 (P75)

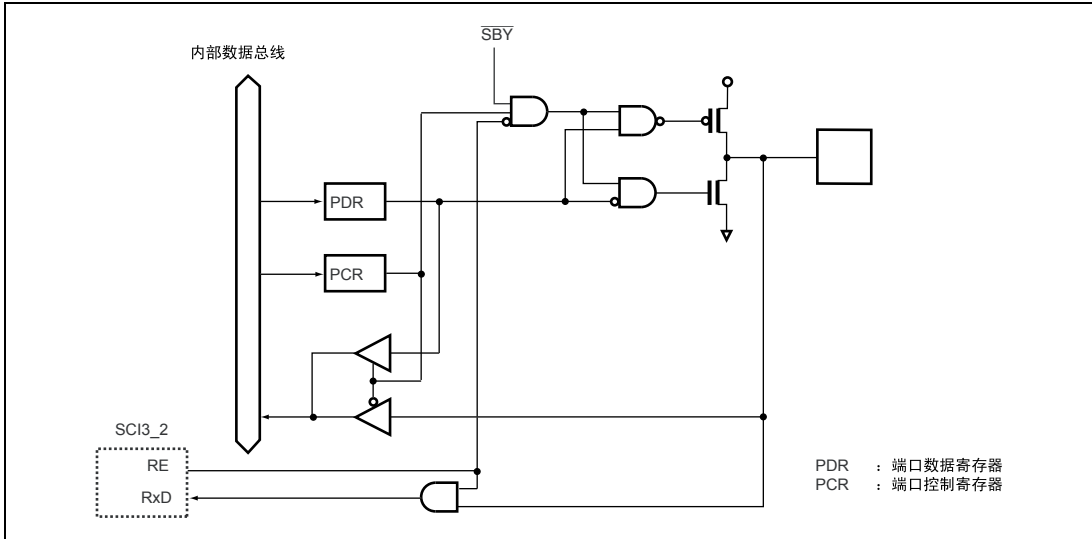


图 B.20 端口 7 框图 (P71)

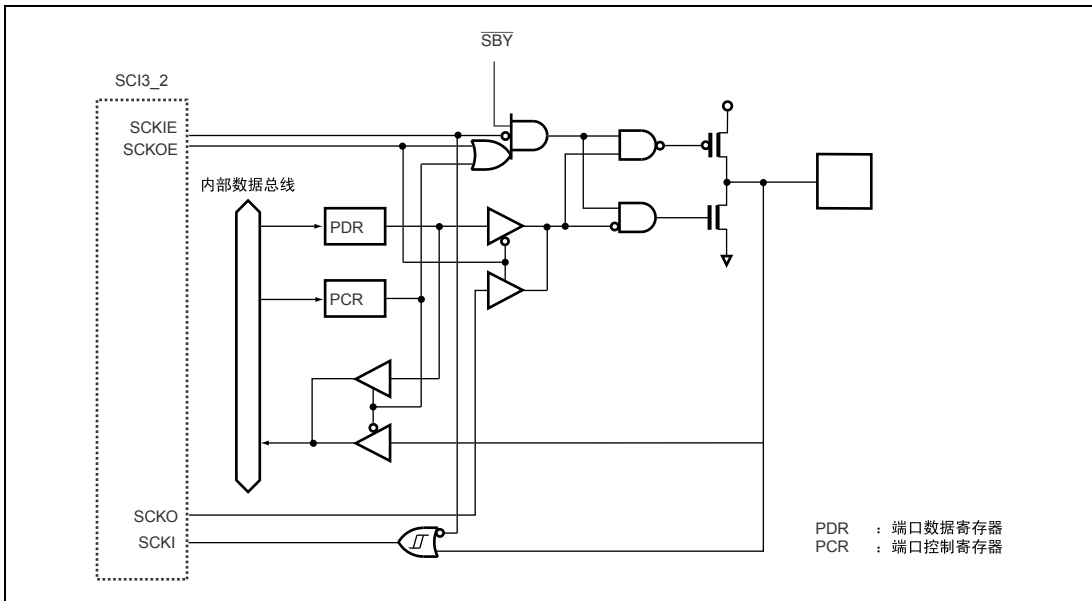


图 B.21 端口 7 框图 (P70)

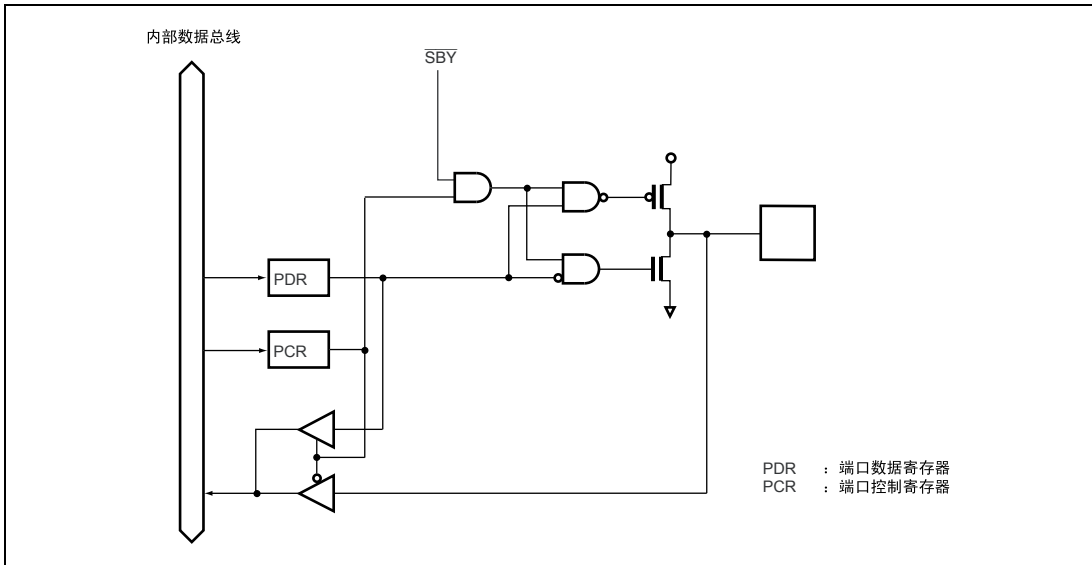


图 B.22 端口 8 框图 (P87、P86、P85)

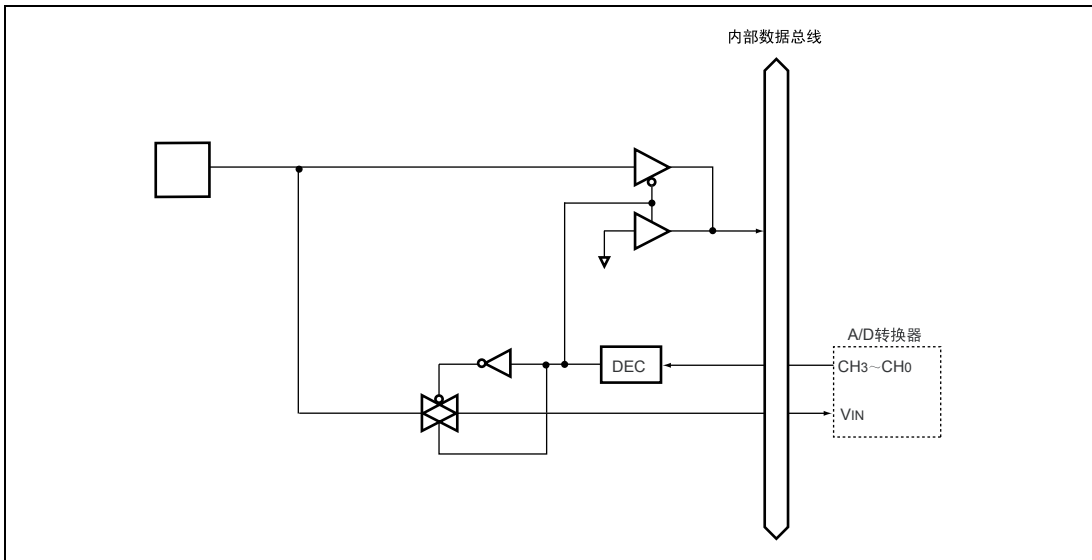


图 B.23 端口 B 框图 (PB7、PB6、PB5、PB4、PB3、PB2、PB1、PB0)

B.2 各处理状态的端口状态

运行模式	复位	睡眠	子睡眠	待机	子激活	激活
P17~P14 P12~P10	高阻抗	保持	保持	高阻抗* ¹	运行	运行
P24~P20	高阻抗	保持	保持	高阻抗	运行	运行
P37~P30	高阻抗	保持	保持	高阻抗	运行	运行
P57~P50* ²	高阻抗	保持	保持	高阻抗* ¹	运行	运行
P67~P60	高阻抗	保持	保持	高阻抗	运行	运行
P76~P74 P72~P70	高阻抗	保持	保持	高阻抗	运行	运行
P87~P85	高阻抗	保持	保持	高阻抗	运行	运行
PB7~PB0	高阻抗	高阻抗	高阻抗	高阻抗	高阻抗	高阻抗

【注】*1 上拉 MOS 在 ON 状态时输出高电平。

*2 在 H8/3687N 的情况下，为 P55~P50。

附录 C 型号一览表

产品分类			产品型号	标志型号	封装 (瑞萨科技封装代码)
H8/3687	快速擦写 存储器版	标准产品	HD64F3687H	HD64F3687H	QFP-64(FP-64A)
			HD64F3687FP	HD64F3687FP	LQFP-64(FP-64E)
		内藏加电复位和 低电压检测电路版	HD64F3687GH	HD64F3687GH	QFP-64(FP-64A)
			HD64F3687GFP	HD64F3687GFP	LQFP-64(FP-64E)
	掩模型 ROM 版	标准产品	HD6433687H	HD6433687(***)H	QFP-64(FP-64A)
			HD6433687FP	HD6433687(***)FP	LQFP-64(FP-64E)
		内藏加电复位和 低电压检测电路版	HD6433687GH	HD6433687G(***)H	QFP-64(FP-64A)
			HD6433687GFP	HD6433687G(***)FP	LQFP-64(FP-64E)
H8/3686	掩模型 ROM 版	标准产品	HD6433686H	HD6433686(***)H	QFP-64(FP-64A)
			HD6433686FP	HD6433686(***)FP	LQFP-64(FP-64E)
		内藏加电复位和 低电压检测电路版	HD6433686GH	HD6433686G(***)H	QFP-64(FP-64A)
			HD6433686GFP	HD6433686G(***)FP	LQFP-64(FP-64E)
H8/3685	掩模型 ROM 版	标准产品	HD6433685H	HD6433685(***)H	QFP-64(FP-64A)
			HD6433685FP	HD6433685(***)FP	LQFP-64(FP-64E)
		内藏加电复位和 低电压检测电路版	HD6433685GH	HD6433685G(***)H	QFP-64(FP-64A)
			HD6433685GFP	HD6433685G(***)FP	LQFP-64(FP-64E)
H8/3684	快速擦写 存储器版	标准产品	HD64F3684H	HD64F3684H	QFP-64(FP-64A)
			HD64F3684FP	HD64F3684FP	LQFP-64(FP-64E)
		内藏加电复位和 低电压检测电路版	HD64F3684GH	HD64F3684GH	QFP-64(FP-64A)
			HD64F3684GFP	HD64F3684GFP	LQFP-64(FP-64E)
	掩模型 ROM 版	标准产品	HD6433684H	HD6433684(***)H	QFP-64(FP-64A)
			HD6433684FP	HD6433684(***)FP	LQFP-64(FP-64E)
		内藏加电复位和 低电压检测电路版	HD6433684GH	HD6433684G(***)H	QFP-64(FP-64A)
			HD6433684GFP	HD6433684G(***)FP	LQFP-64(FP-64E)
H8/3683	掩模型 ROM 版	标准产品	HD6433683H	HD6433683(***)H	QFP-64(FP-64A)
			HD6433683FP	HD6433683(***)FP	LQFP-64(FP-64E)
		内藏加电复位和 低电压检测电路版	HD6433683GH	HD6433683G(***)H	QFP-64(FP-64A)
			HD6433683GFP	HD6433683G(***)FP	LQFP-64(FP-64E)
H8/3682	掩模型 ROM 版	标准产品	HD6433682H	HD6433682(***)H	QFP-64(FP-64A)
			HD6433682FP	HD6433682(***)FP	LQFP-64(FP-64E)
		内藏加电复位 低电压检测电路版	HD6433682GH	HD6433682G(***)H	QFP-64(FP-64A)
			HD6433682GFP	HD6433682G(***)FP	LQFP-64(FP-64E)

产品分类			产品型号	标志型号	封装 (瑞萨科技封装代码)	
H8/3687	EEPROM 叠层版	快速擦写 存储器版	内藏加电复位和 低电压检测电路版	HD64N3687GFP	HD64N3687GFP	LQFP-64(FP-64E)
		掩模型 ROM 版		HD6483687GFP	HD6483687G(***)FP	LQFP-64(FP-64E)

【注】 (***) 为 ROM 代码。

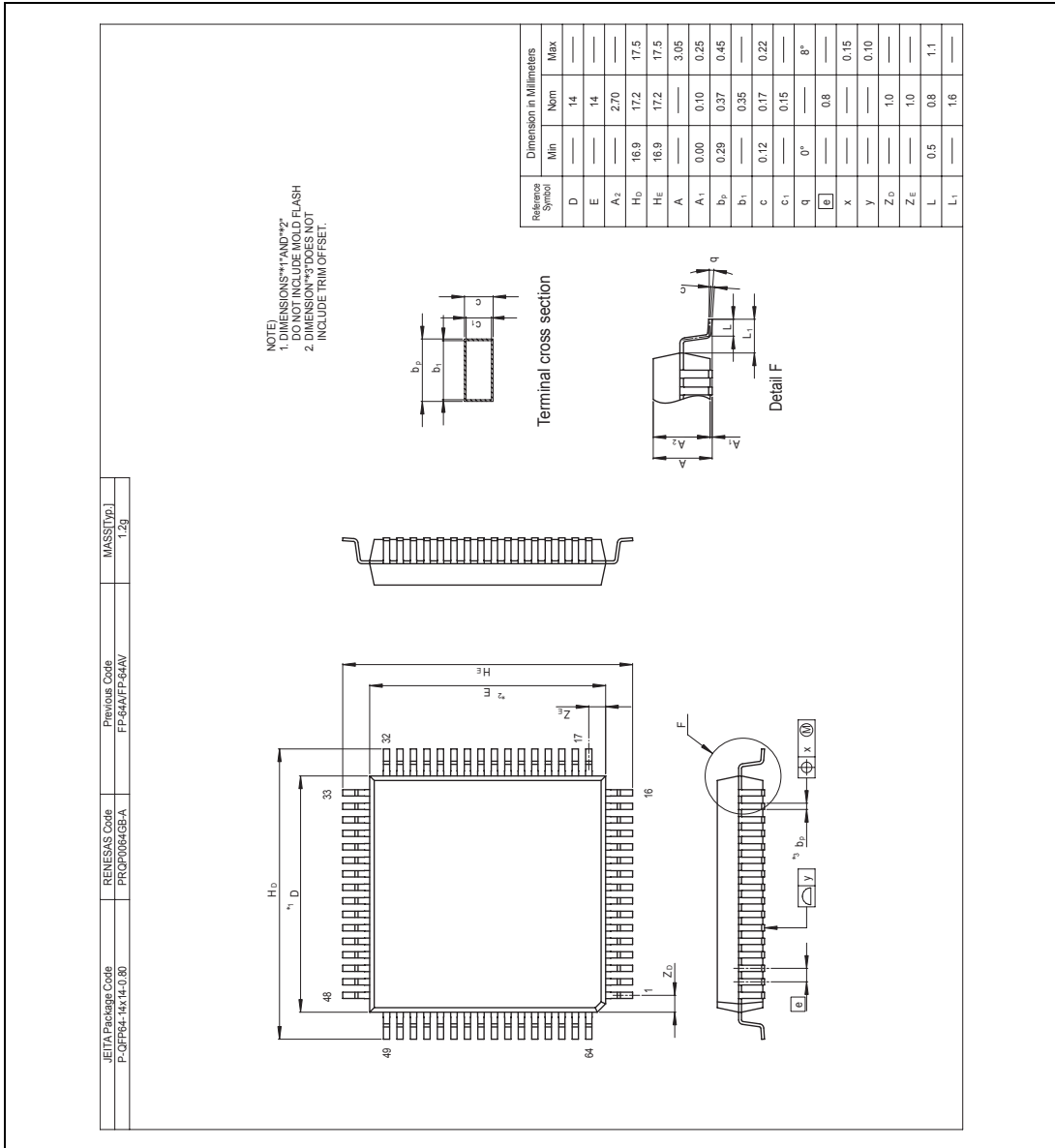


图 D.2 FP-64A 外形尺寸图

附录 E EEPROM 叠层构造截面图

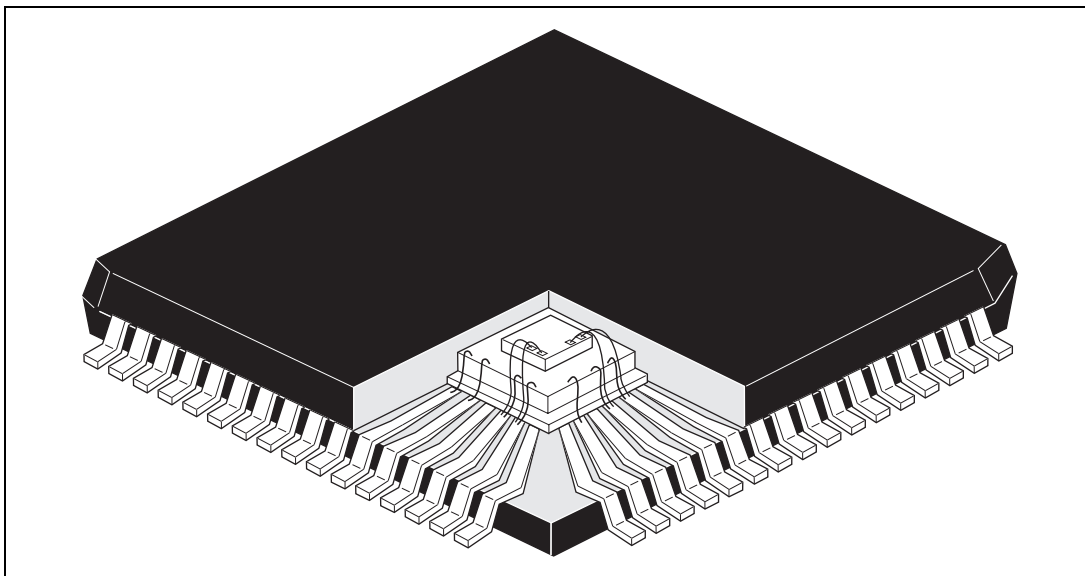


图 E.1 EEPROM 叠层构造截面图

修订记录	H8/3687 群硬件手册
------	---------------

Rev.	发行日	修订内容							
		页	修订处						
1.00	2003.08.28	—	初版发行						
2.00	2006.03.08	前言	<p>注意</p> <p>使用内部仿真器（E7、E8）进行 H8/3687 的程序开发和调试时，必须注意以下限制事项：</p> <ol style="list-style-type: none"> 1. NMI 管脚被 E7 或 E8 占用，不能使用。 3. 因为 E7、E8 使用地址 H'D000~H'DFFF 区，用户不能使用。 5. 使用 E7、E8 时，可设定地址断开是给 E7、E8 使用还是开放给用户。在 E7、E8 使用地址断开的情况下，请不要存取地址断开的控制寄存器。 6. 使用 E7、E8 时，NMI 管脚为输入/输出（输出时为漏极开路）管脚，P85 管脚和 P87 管脚为输入管脚，P86 管脚为输出管脚。 7. 引导模式的单板上编程模式使用 SCI3 的通道 1（P21/RXD 和 P22/TXD）。 						
		74	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">位</th> <th style="width: 20%;">位名</th> <th style="width: 70%;">说明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">3</td> <td style="text-align: center;">NESEL</td> <td> 噪声消除采样频率选择 子时钟振荡器生成钟表（Watch）时钟 ϕ_w，系统时钟振荡器生成 OSC 时钟 ϕ_{osc}。本位选择采样钟表（Watch）时钟 ϕ_w 时的 OSC 时钟的采样频率。当 $\phi_{osc}=4\sim 20\text{MHz}$ 时，请将该位设定成 0。 </td> </tr> </tbody> </table>	位	位名	说明	3	NESEL	噪声消除采样频率选择 子时钟振荡器生成钟表（Watch）时钟 ϕ_w ，系统时钟振荡器生成 OSC 时钟 ϕ_{osc} 。本位选择采样钟表（Watch）时钟 ϕ_w 时的 OSC 时钟的采样频率。当 $\phi_{osc}=4\sim 20\text{MHz}$ 时，请将该位设定成 0。
		位	位名	说明					
		3	NESEL	噪声消除采样频率选择 子时钟振荡器生成钟表（Watch）时钟 ϕ_w ，系统时钟振荡器生成 OSC 时钟 ϕ_{osc} 。本位选择采样钟表（Watch）时钟 ϕ_w 时的 OSC 时钟的采样频率。当 $\phi_{osc}=4\sim 20\text{MHz}$ 时，请将该位设定成 0。					
99	【注】* 在使用 E7、E8 时，禁止存取 H'F780~H'FB7F 区。								
	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">位</th> <th style="width: 20%;">位名</th> <th style="width: 70%;">说明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">SYNC</td> <td> 定时器同步 0: TCNT_1 和 TCNT_0 分别作为各自的定时器运行 1: TCNT_1 和 TCNT_0 为同步运行 各通道都能进行同步预置/同步清除 </td> </tr> </tbody> </table>	位	位名	说明	0	SYNC	定时器同步 0: TCNT_1 和 TCNT_0 分别作为各自的定时器运行 1: TCNT_1 和 TCNT_0 为同步运行 各通道都能进行同步预置/同步清除		
位	位名	说明							
0	SYNC	定时器同步 0: TCNT_1 和 TCNT_0 分别作为各自的定时器运行 1: TCNT_1 和 TCNT_0 为同步运行 各通道都能进行同步预置/同步清除							
	185	<p>同步运行的例子如图 13.20 所示，它是同步运行把 FTIOB0、FTIOB 1 设定成 PWM 模式，把通道 0 的计数器清除源设定为 GRA_0 的比较匹配，并且把通道 1 的计数器清除源设定为同步清除时的例子。在同步运行的例子中，将通道 0 和通道 1 的计数器输入时钟设定为同一输入时钟。此时，TCNT 进行同步预置和进行根据 GRA_0 比较匹配的同步运行，并且从 FTIOB0 管脚和 FTIOB1 管脚输出 2 相 PWM 波形。关于 PWM 模式，请参照“13.4.5 PWM 模式”。</p>							

		211																		
		211																		
		271	<table border="1"> <thead> <tr> <th>位</th> <th>位名</th> <th>说明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>STOP</td> <td> 停止条件检测标志 [置位条件] • 在主模式中，结束帧传送后检测出停止条件时 • 从属模式中，在一般调用后或者检测出开始条件后的第一字节的从属地址与设定于 SAR 的地址一致后，检测出停止条件时 </td> </tr> </tbody> </table>	位	位名	说明	3	STOP	停止条件检测标志 [置位条件] • 在主模式中，结束帧传送后检测出停止条件时 • 从属模式中，在一般调用后或者检测出开始条件后的第一字节的从属地址与设定于 SAR 的地址一致后，检测出停止条件时											
位	位名	说明																		
3	STOP	停止条件检测标志 [置位条件] • 在主模式中，结束帧传送后检测出停止条件时 • 从属模式中，在一般调用后或者检测出开始条件后的第一字节的从属地址与设定于 SAR 的地址一致后，检测出停止条件时																		
		290	追加了“17.7 使用时的注意事项”																	
		293	因此，在读 A/D 数据寄存器时，必须字存取或者按高位字节、低位字节的顺序字节存取。ADDR 的初始值是 H'0000。																	
		340~341	<table border="1"> <thead> <tr> <th rowspan="2">项目</th> <th rowspan="2">符号</th> <th rowspan="2">适用管脚</th> <th rowspan="2">测定条件</th> <th>规格值</th> </tr> <tr> <th>Min</th> </tr> </thead> <tbody> <tr> <td rowspan="2">输入高电平电压</td> <td rowspan="2">V_{IH}</td> <td rowspan="2">PB0~PB7</td> <td rowspan="2">$V_{CC}=4.0\sim 5.5V$</td> <td>$V_{CC}\times 0.7$</td> </tr> <tr> <td>$V_{CC}\times 0.8$</td> </tr> <tr> <td>输入低电平电压</td> <td>V_{IL}</td> <td> RXD、RXD2 SCL、SDA P10~P12 : P85~P87 PB0~PB7 </td> <td>$V_{CC}=4.0\sim 5.5V$</td> <td>-0.3</td> </tr> </tbody> </table>	项目	符号	适用管脚	测定条件	规格值	Min	输入高电平电压	V_{IH}	PB0~PB7	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$	$V_{CC}\times 0.8$	输入低电平电压	V_{IL}	RXD、RXD2 SCL、SDA P10~P12 : P85~P87 PB0~PB7	$V_{CC}=4.0\sim 5.5V$	-0.3
项目	符号	适用管脚	测定条件					规格值												
				Min																
输入高电平电压	V_{IH}	PB0~PB7	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$																
				$V_{CC}\times 0.8$																
输入低电平电压	V_{IL}	RXD、RXD2 SCL、SDA P10~P12 : P85~P87 PB0~PB7	$V_{CC}=4.0\sim 5.5V$	-0.3																

		345	<table border="1"> <thead> <tr> <th>模式</th> <th>RES 管脚</th> <th>内部状态</th> </tr> </thead> <tbody> <tr> <td>激活模式 1</td> <td>V_{CC}</td> <td>运行</td> </tr> <tr> <td>激活模式 2</td> <td></td> <td>运行 (φ OSC/64)</td> </tr> <tr> <td>睡眠模式 1</td> <td>V_{CC}</td> <td>只有定时器运行</td> </tr> <tr> <td>睡眠模式 2</td> <td></td> <td>只有定时器运行 (φ OSC/64)</td> </tr> </tbody> </table>	模式	RES 管脚	内部状态	激活模式 1	V _{CC}	运行	激活模式 2		运行 (φ OSC/64)	睡眠模式 1	V _{CC}	只有定时器运行	睡眠模式 2		只有定时器运行 (φ OSC/64)									
模式	RES 管脚	内部状态																									
激活模式 1	V _{CC}	运行																									
激活模式 2		运行 (φ OSC/64)																									
睡眠模式 1	V _{CC}	只有定时器运行																									
睡眠模式 2		只有定时器运行 (φ OSC/64)																									
		357	<p>φ osc (MHz) vs V_{CC} (V):</p> <table border="1"> <tr><th>V_{CC} (V)</th><th>φ osc (MHz)</th></tr> <tr><td>2.7</td><td>10.0</td></tr> <tr><td>4.0</td><td>20.0</td></tr> <tr><td>5.5</td><td>20.0</td></tr> </table> <p>φ w (kHz) vs V_{CC} (V):</p> <table border="1"> <tr><th>V_{CC} (V)</th><th>φ w (kHz)</th></tr> <tr><td>2.7</td><td>32.768</td></tr> <tr><td>4.0</td><td>32.768</td></tr> <tr><td>5.5</td><td>32.768</td></tr> </table> <p>AV_{CC}=3.3~5.5V <ul style="list-style-type: none"> • 激活模式 • 睡眠模式 </p>	V _{CC} (V)	φ osc (MHz)	2.7	10.0	4.0	20.0	5.5	20.0	V _{CC} (V)	φ w (kHz)	2.7	32.768	4.0	32.768	5.5	32.768								
V _{CC} (V)	φ osc (MHz)																										
2.7	10.0																										
4.0	20.0																										
5.5	20.0																										
V _{CC} (V)	φ w (kHz)																										
2.7	32.768																										
4.0	32.768																										
5.5	32.768																										
		357	<p>φ (MHz) vs V_{CC} (V):</p> <table border="1"> <tr><th>V_{CC} (V)</th><th>φ (MHz)</th></tr> <tr><td>2.7</td><td>10.0</td></tr> <tr><td>4.0</td><td>20.0</td></tr> <tr><td>5.5</td><td>20.0</td></tr> </table> <p>φ SUB (kHz) vs V_{CC} (V):</p> <table border="1"> <tr><th>V_{CC} (V)</th><th>φ SUB (kHz)</th></tr> <tr><td>2.7</td><td>16.384</td></tr> <tr><td>4.0</td><td>8.192</td></tr> <tr><td>5.5</td><td>4.096</td></tr> </table> <p>φ (kHz) vs V_{CC} (V):</p> <table border="1"> <tr><th>V_{CC} (V)</th><th>φ (kHz)</th></tr> <tr><td>2.7</td><td>1250</td></tr> <tr><td>4.0</td><td>2500</td></tr> <tr><td>5.5</td><td>2500</td></tr> </table> <p>AV_{CC}=3.3~5.5V <ul style="list-style-type: none"> • 激活模式 • 睡眠模式 (在SYSCR2的MA2=0时)</p> <p>AV_{CC}=3.3~5.5V <ul style="list-style-type: none"> • 子激活模式 • 子睡眠模式 (在SYSCR2的MA2=1时)</p>	V _{CC} (V)	φ (MHz)	2.7	10.0	4.0	20.0	5.5	20.0	V _{CC} (V)	φ SUB (kHz)	2.7	16.384	4.0	8.192	5.5	4.096	V _{CC} (V)	φ (kHz)	2.7	1250	4.0	2500	5.5	2500
V _{CC} (V)	φ (MHz)																										
2.7	10.0																										
4.0	20.0																										
5.5	20.0																										
V _{CC} (V)	φ SUB (kHz)																										
2.7	16.384																										
4.0	8.192																										
5.5	4.096																										
V _{CC} (V)	φ (kHz)																										
2.7	1250																										
4.0	2500																										
5.5	2500																										
	359~ 360		<table border="1"> <thead> <tr> <th rowspan="2">项目</th> <th rowspan="2">符号</th> <th rowspan="2">适用管脚</th> <th rowspan="2">测定条件</th> <th>规格值</th> </tr> <tr> <th>Min</th> </tr> </thead> <tbody> <tr> <td>输入高电平电压</td> <td>V_{IH}</td> <td>PB0~PB7</td> <td>V_{CC}=4.0~5.5V</td> <td>V_{CC}×0.7</td> </tr> <tr> <td>输入低电平电压</td> <td>V_{IL}</td> <td>RXD、RXD2 SCL、SDA P10~P12 : P85~P87 PB0~PB7</td> <td>V_{CC}=4.0~5.5V</td> <td>-0.3</td> </tr> </tbody> </table>	项目	符号	适用管脚	测定条件	规格值	Min	输入高电平电压	V _{IH}	PB0~PB7	V _{CC} =4.0~5.5V	V _{CC} ×0.7	输入低电平电压	V _{IL}	RXD、RXD2 SCL、SDA P10~P12 : P85~P87 PB0~PB7	V _{CC} =4.0~5.5V	-0.3								
项目	符号	适用管脚	测定条件					规格值																			
				Min																							
输入高电平电压	V _{IH}	PB0~PB7	V _{CC} =4.0~5.5V	V _{CC} ×0.7																							
输入低电平电压	V _{IL}	RXD、RXD2 SCL、SDA P10~P12 : P85~P87 PB0~PB7	V _{CC} =4.0~5.5V	-0.3																							

		364	<table border="1"> <thead> <tr> <th>模式</th> <th>RES 管脚</th> <th>内部状态</th> </tr> </thead> <tbody> <tr> <td>激活模式 1</td> <td>Vcc</td> <td>运行</td> </tr> <tr> <td>激活模式 2</td> <td></td> <td>运行 (φ OSC/64)</td> </tr> <tr> <td>睡眠模式 1</td> <td>Vcc</td> <td>只有定时器运行</td> </tr> <tr> <td>睡眠模式 2</td> <td></td> <td>只有定时器运行 (φ OSC/64)</td> </tr> </tbody> </table>	模式	RES 管脚	内部状态	激活模式 1	Vcc	运行	激活模式 2		运行 (φ OSC/64)	睡眠模式 1	Vcc	只有定时器运行	睡眠模式 2		只有定时器运行 (φ OSC/64)
模式	RES 管脚	内部状态																
激活模式 1	Vcc	运行																
激活模式 2		运行 (φ OSC/64)																
睡眠模式 1	Vcc	只有定时器运行																
睡眠模式 2		只有定时器运行 (φ OSC/64)																
		370	<table border="1"> <thead> <tr> <th rowspan="2">项目</th> <th rowspan="2">测定条件</th> <th>规格值</th> </tr> <tr> <th>Min</th> </tr> </thead> <tbody> <tr> <td>模拟电源电压</td> <td></td> <td>3.3</td> </tr> <tr> <td>转换时间 (单通道模式)</td> <td>A Vcc=3.3~5.5V</td> <td>134</td> </tr> </tbody> </table>	项目	测定条件	规格值	Min	模拟电源电压		3.3	转换时间 (单通道模式)	A Vcc=3.3~5.5V	134					
项目	测定条件	规格值																
		Min																
模拟电源电压		3.3																
转换时间 (单通道模式)	A Vcc=3.3~5.5V	134																
		421~ 422	替换了外形尺寸图															

索引

ABRKCR.....	62, 325, 330, 334	LVDCR.....	313, 323, 328, 333
ABRKSr.....	63, 325, 330, 334	LVDSR.....	312, 323, 328, 333
ADCR.....	295, 325, 329, 334	MSTCR1.....	76, 326, 331, 335
ADCSR.....	294, 324, 329, 334	MSTCR2.....	76, 326, 331, 335
ADDRA.....	293, 324, 329, 334	PCR1.....	103, 326, 330, 334
ADDRB.....	293, 324, 329, 334	PCR2.....	106, 326, 330, 334
ADDRc.....	293, 324, 329, 334	PCR3.....	109, 326, 330, 334
ADDRD.....	293, 324, 329, 334	PCR5.....	113, 326, 330, 334
BARH.....	63, 325, 330, 334	PCR6.....	117, 326, 330, 335
BARL.....	63, 325, 330, 334	PCR7.....	121, 326, 330, 335
BDRH.....	63, 325, 330, 334	PCR8.....	124, 326, 330, 335
BDRL.....	63, 325, 330, 334	PDR1.....	103, 325, 330, 334
BRR.....	236, 324, 329, 333	PDR2.....	106, 325, 330, 334
EBR1.....	86, 324, 329, 333	PDR3.....	110, 325, 330, 334
EKR.....	303, 326, 331, 335	PDR5.....	113, 325, 330, 334
FENR.....	87, 324, 329, 333	PDR6.....	118, 325, 330, 334
FLMCR1.....	85, 324, 329, 333	PDR7.....	121, 325, 330, 334
FLMCR2.....	86, 324, 329, 333	PDR8.....	125, 325, 330, 334
FLPWCR.....	86, 324, 329, 333	PDRB.....	126, 325, 330, 334
GRA.....	168, 322, 327, 332	PMR1.....	102, 326, 330, 334
GRB.....	168, 322, 327, 332	PMR3.....	107, 326, 330, 334
GRC.....	168, 322, 327, 332	PMR5.....	112, 326, 330, 334
GRD.....	168, 322, 327, 332	POCR.....	174, 322, 327, 332
ICCR1.....	264, 323, 328, 333	PUCR1.....	104, 325, 330, 334
ICCR2.....	265, 323, 328, 333	PUCR5.....	114, 325, 330, 334
ICDRR.....	272, 323, 328, 333	PWCR.....	226, 325, 329, 334
ICDRS.....	272	PWDRL.....	227, 325, 329, 334
ICDRT.....	272, 323, 328, 333	PWDRU.....	227, 325, 329, 334
ICIER.....	268, 323, 328, 333	RDR.....	232, 324, 329, 333
ICMR.....	267, 323, 328, 333	RHRDR.....	129, 323, 328, 332
ICSR.....	270, 323, 328, 333	RMINDR.....	129, 323, 328, 332
IEGR1.....	47, 326, 330, 335	RSECDR.....	128, 323, 328, 332
IEGR2.....	48, 326, 330, 335	RTCCR1.....	131, 323, 328, 332
IENR1.....	49, 326, 330, 335	RTCCR2.....	132, 323, 328, 332
IENR2.....	50, 326, 330, 335	RTCCSR.....	133, 323, 328, 333
IRR1.....	51, 326, 330, 335	RWKDR.....	130, 323, 328, 332
IRR2.....	52, 326, 330, 335	SAR.....	272, 323, 328, 333
IWPR.....	53, 326, 331, 335	SCR3.....	234, 324, 329, 333

SMR..... 233, 324, 329, 333
SSR..... 235, 324, 329, 333
SYSCR1..... 74, 326, 330, 335
SYSCR2..... 75, 326, 330, 335
TCB1..... 139, 324, 328, 333
TCNT 168, 322, 327, 332
TCNTV 143, 324, 329, 333
TCORA 143, 324, 329, 333
TCORB 143, 324, 329, 333
TCR..... 169, 322, 327, 332
TCRV0 144, 324, 329, 333
TCRV1 146, 324, 329, 333
TCSR..... 145, 324, 329, 333
TCSRWD 222, 325, 329, 334
TCWD 223, 325, 329, 334

TDR..... 232, 324, 329, 333
TFCR..... 164, 323, 328, 332
TIER..... 173, 322, 327, 332
TIORA 170, 322, 327, 332
TIORC 171, 322, 327, 332
TLB1..... 139
TMB1..... 138, 324, 328, 333
TMDR..... 162, 322, 328, 332
TMWD 223, 325, 329, 334
TOCR 167, 323, 328, 332
TOER 165, 323, 328, 332
TPMR 163, 322, 328, 332
TSR 172, 322, 327, 332
TSTR..... 162, 322, 328, 332

瑞萨16位单片机硬件手册
H8/3687群

Publication Date: 1st Edition, August, 2003
Rev.2.00, March 08, 2006

Published by: Sales Strategic Planning Div.
Renesas Technology Corp.

Edited by: Customer Support Department
Global Strategic Communication Div.
Renesas Solutions Corp.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2730-6071

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

Renesas Technology Singapore Pte. Ltd.

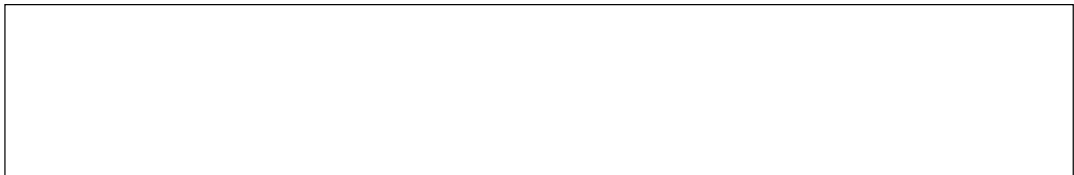
1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510



H8/3687 群



瑞萨电子株式会社

RCJ09B0001-0200