

V850ES/JH3-E, V850ES/JJ3-E

ユーザズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

V850ES/Jx3-E マイクロコントローラ

V850ES/JH3-E

V850ES/JJ3-E

μPD70F3778

μPD70F3784

μPD70F3779

μPD70F3785

μPD70F3780

μPD70F3786

μPD70F3781

μPD70F3782

μPD70F3783

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、V850ES/JH3-E, V850ES/JJ3-Eの機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。

構成 V850ES/JH3-E, V850ES/JJ3-Eのユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

一通りV850ES/JH3-E, V850ES/JJ3-Eの機能を理解しようとするとき
目次に従ってお読みください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

命令機能の詳細を理解しようとするとき

別冊のV850ES ユーザズ・マニュアル アーキテクチャ編を参照してください。

V850ES/JG3-H, V850ES/JH3-Hの電気的特性を知りたいとき

第35章 電気的特性を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラは正しく認識できませんので、注意してください。

凡 例 データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記： \overline{xxx} （端子，信号名称に上線）
メモリ・マップのアドレス：上部 - 上位，下部 - 下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： $2^{10} = 1024$
M（メガ）： $2^{20} = 1024^2$
G（ギガ）： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/JH3-E, V850ES/JJ3-Eに関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/JH3-E, V850ES/JJ3-E ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料(ユーザーズ・マニュアル)

資料名	資料番号	
QB-V850ESJX3E インサーキット・エミュレータ	U19170J	
QB-V850MINI オンチップ・デバック・エミュレータ	U17638J	
QB-MINI2 フラッシュ・プログラミング機能付きオンチップ・デバック・エミュレータ	U18371J	
CA850 Ver.3.20 Cコンパイラ・パッケージ	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	
ID850QB Ver.3.40 統合デバッガ	操作編	U18604J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	インストレーション編	U17421J
	タスク・デバッガ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
ルネサス 半導体デバイスの品質水準	C11531J	C11531E
ルネサス 半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

<http://www2.renesas.com/pkg/ja/jissou/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

注意：本製品は、Silicon Storage Technology, Inc. からライセンスを受けたSuperFlash[®]を使用しています。

EEPROM, IECUBE, MINICUBE, Appliletはルネサス エレクトロニクス株式会社の登録商標です。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONはThe Realtime Operating System Nucleusの略称です。

ITRONはIndustrial TRONの略称です。

目 次

第1章	イントロダクション	22
1.1	概 説	22
1.2	特 徴	25
1.3	応用分野	27
1.4	オーダ情報	27
1.5	端子接続図 (Top View)	28
1.6	機能ブロック構成	31
1.6.1	内部ブロック図	31
1.6.2	内部ユニット	33
第2章	端子機能	37
2.1	端子機能一覧	37
2.2	端子状態	50
2.3	端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理	51
2.4	注意事項	56
第3章	CPU機能	57
3.1	特 徴	57
3.2	CPUレジスタ・セット	58
3.2.1	プログラム・レジスタ・セット	59
3.2.2	システム・レジスタ・セット	60
3.3	動作モード	66
3.3.1	動作モード指定	66
3.4	アドレス空間	67
3.4.1	CPUアドレス空間	67
3.4.2	CPUアドレス空間のラップ・アラウンド	68
3.4.3	メモリ・マップ	69
3.4.4	領 域	72
3.4.5	アドレス空間の推奨使用方法	77
3.4.6	周辺I/Oレジスタ	80
3.4.7	プログラマブル周辺I/Oレジスタ	98
3.4.8	特定レジスタ	99
3.4.9	注意事項	103
第4章	ポート機能	108
4.1	特 徴	108
4.2	ポートの基本構成	108
4.3	ポートの構成	110
4.3.1	ポート0	116
4.3.2	ポート2	119
4.3.3	ポート3	126
4.3.4	ポート4	131
4.3.5	ポート5	140

4.3.6	ポート7	147
4.3.7	ポート9	150
4.3.8	ポートCM	159
4.3.9	ポートCS	162
4.3.10	ポートCT	165
4.3.11	ポートDH	167
4.3.12	ポートDL	174
4.4	兼用機能使用時のポートのレジスタ設定	176
4.5	注意事項	190
4.5.1	ポート端子設定上の注意事項	190
4.5.2	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	193
4.5.3	オンチップ・デバッグ用端子に関する注意事項	194
4.5.4	P54/INTP11/DRST端子に関する注意事項	194
4.5.5	P51端子に関する電源投入時の注意事項	194
4.5.6	ヒステリシス特性について	194
第5章 バス制御機能		195
5.1	特 徴	195
5.2	バス制御端子	196
5.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	197
5.2.2	各動作モードの端子状態	197
5.3	メモリ・ブロック機能	198
5.4	バス・アクセス	199
5.4.1	アクセス・クロック数	199
5.4.2	バス・サイズ設定機能	199
5.4.3	バス・サイズによるアクセス	200
5.5	ウェイト機能	207
5.5.1	プログラマブル・ウェイト機能	207
5.5.2	外部ウェイト機能	208
5.5.3	プログラマブル・ウェイトと外部ウェイトの関係	209
5.5.4	プログラマブル・アドレス・ウェイト機能	210
5.6	アイドル・ステート挿入機能	211
5.7	バス・ホールド機能	212
5.7.1	機能概要	212
5.7.2	バス・ホールド手順	213
5.7.3	パワー・セーブ・モード時の動作	213
5.8	バスの優先順位	214
5.9	バス・タイミング	215
第6章 クロック発生機能		218
6.1	概 要	218
6.2	構 成	219
6.3	レジスタ	221
6.4	動 作	226
6.4.1	各クロックの動作	226
6.4.2	クロック出力機能	226
6.5	PLL機能	227
6.5.1	概 要	227
6.5.2	レジスタ	227

6.5.3	使用方法	231
第7章	16ビット・タイマ/イベント・カウンタAA (TAA)	232
7.1	概要	232
7.2	機能	232
7.3	構成	233
7.3.1	端子の構成	235
7.4	レジスタ	236
7.5	動作	253
7.5.1	インターバル・タイマ・モード (TAA _n MD2-TAA _n MD0ビット = 000)	259
7.5.2	外部イベント・カウント・モード (TAA _n MD2-TAA _n MD0ビット = 001)	269
7.5.3	外部トリガ・パルス出力モード (TAA _n MD2-TAA _n MD0ビット = 010)	277
7.5.4	ワンショット・パルス出力モード (TAA _n MD2-TAA _n MD0ビット = 011)	289
7.5.5	PWM出力モード (TAA _n MD2-TAA _n MD0ビット = 100)	296
7.5.6	フリー・ランニング・タイマ・モード (TAA _n MD2-TAA _n MD0ビット = 101)	305
7.5.7	パルス幅測定モード (TAA _n MD2-TAA _n MD0ビット = 110)	322
7.5.8	タイマ出力動作説明	327
7.6	タイマ同調動作機能	328
7.6.1	フリー・ランニング・タイマ・モード (タイマ同調動作時)	330
7.6.2	PWM出力モード (タイマ同調動作時)	337
7.7	同時スタート機能	339
7.7.1	PWM出力モード (同時スタート動作)	340
7.8	カスケード接続	342
7.9	セレクト機能	347
7.10	注意事項	348
第8章	16ビット・タイマ/イベント・カウンタAB (TAB)	349
8.1	概要	349
8.2	機能	349
8.3	構成	350
8.4	レジスタ	354
8.5	動作	371
8.5.1	インターバル・タイマ・モード (TAB _n MD2-TAB _n MD0ビット = 000)	372
8.5.2	外部イベント・カウント・モード (TAB _n MD2-TAB _n MD0ビット = 001)	381
8.5.3	外部トリガ・パルス出力モード (TAB _n MD2-TAB _n MD0ビット = 010)	390
8.5.4	ワンショット・パルス出力モード (TAB _n MD2-TAB _n MD0ビット = 011)	403
8.5.5	PWM出力モード (TAB _n MD2-TAB _n MD0ビット = 100)	412
8.5.6	フリー・ランニング・タイマ・モード (TAB _n MD2-TAB _n MD0ビット = 101)	423
8.5.7	パルス幅測定モード (TAB _n MD2-TAB _n MD0ビット = 110)	443
8.5.8	三角波PWMモード (TAB _n MD2-TAB _n MD0ビット = 111)	449
8.5.9	タイマ出力動作説明	451
8.6	タイマ同調動作機能/同時スタート機能	452
8.7	注意事項	453
第9章	16ビット・タイマ/イベント・カウンタT (TMT)	454
9.1	概要	454
9.2	機能	454
9.3	構成	455
9.3.1	端子の構成	458

9.4	レジスタ	459
9.5	タイマ出力動作説明	479
9.6	動作	480
9.6.1	インターバル・タイマ・モード (TT0MD3-TT0MD0ビット = 0000)	488
9.6.2	外部イベント・カウント・モード (TT0MD3-TT0MD0ビット = 0001)	498
9.6.3	外部トリガ・パルス出力モード (TT0MD3-TT0MD0ビット = 0010)	508
9.6.4	ワンショット・パルス出力モード (TT0MD3-TT0MD0ビット = 0011)	521
9.6.5	PWM出力モード (TT0MD3-TT0MD0ビット = 0100)	528
9.6.6	フリー・ランニング・タイマ・モード (TT0MD3-TT0MD0ビット = 0101)	537
9.6.7	パルス幅測定モード (TT0MD3-TT0MD0ビット = 0110)	553
9.6.8	三角波PWM出力モード (TT0MD3-TT0MD0ビット = 0111)	559
9.6.9	エンコーダ・カウント機能	561
9.6.10	エンコーダ・コンペア・モード (TT0MD3-TT0MD0ビット = 1000)	577
第10章 16ビット・インターバル・タイマM (TMM)		585
10.1	概要	585
10.2	構成	586
10.3	レジスタ	588
10.4	動作	590
10.4.1	インターバル・タイマ・モード	590
10.4.2	注意事項	594
第11章 モータ制御機能		595
11.1	機能概要	595
11.2	構成	596
11.3	レジスタ	600
11.4	動作	611
11.4.1	システム概要説明	611
11.4.2	デッド・タイム制御 (逆相波信号の生成)	616
11.4.3	割り込み間引き機能	623
11.4.4	転送機能付きレジスタの書き換え操作	630
11.4.5	A/D変換開始トリガ信号出力用TAA4の同調動作	648
11.4.6	A/D変換開始トリガ出力機能	652
第12章 リアルタイム・カウンタ		657
12.1	機能	657
12.2	構成	658
12.2.1	端子の構成	660
12.2.2	割り込み機能	660
12.3	レジスタ	661
12.4	動作	676
12.4.1	初期設定	676
12.4.2	リアルタイム・カウンタ動作中の各カウンタの書き換え	677
12.4.3	リアルタイム・カウンタ動作中の各カウンタの読み出し	678
12.4.4	リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更	679
12.4.5	リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更	680
12.4.6	INTRTC2割り込みの初期設定	681
12.4.7	リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更	682

12.4.8	リアルタイム・カウンタの初期化.....	683
12.4.9	リアルタイム・カウンタの時計誤差補正例.....	684
第13章	ウォッチドッグ・タイマ2機能.....	688
13.1	機能.....	688
13.2	構成.....	689
13.3	レジスタ.....	690
13.4	動作.....	692
第14章	リアルタイム出力機能 (RTO).....	693
14.1	機能.....	693
14.2	構成.....	694
14.3	レジスタ.....	696
14.4	動作.....	698
14.5	使用方法.....	699
14.6	注意事項.....	699
第15章	A/Dコンバータ.....	700
15.1	概要.....	700
15.2	機能.....	700
15.3	構成.....	701
15.4	レジスタ.....	704
15.5	動作.....	715
15.5.1	基本動作.....	715
15.5.2	変換動作タイミング.....	716
15.5.3	トリガ・モード.....	717
15.5.4	動作モード.....	719
15.5.5	パワー・フェイル比較モード.....	723
15.6	注意事項.....	728
15.7	A/Dコンバータ特性表の読み方.....	732
第16章	FIFO付きアシンクロナス・シリアル・インタフェースB (UARTB).....	736
16.1	特徴.....	736
16.2	構成.....	737
16.3	UARTBとほかのシリアル・インタフェースのモード切り替え.....	741
16.3.1	UARTB0とCSIF4を同時に使用する場合.....	741
16.3.2	UARTB1とCSIF3のモード切り替え.....	743
16.4	制御レジスタ.....	744
16.5	割り込み要求信号.....	760
16.6	制御方法.....	763
16.7	動作.....	767
16.7.1	データ・フォーマット.....	767
16.7.2	送信動作.....	768
16.7.3	連続送信動作.....	771
16.7.4	受信動作.....	772
16.7.5	受信エラー.....	775
16.7.6	パリティの種類と動作.....	776
16.7.7	受信データのノイズ・フィルタ.....	777
16.8	専用ボー・レート・ジェネレータ (BRG).....	778

16.9	制御フロー	784
16.10	注意事項	795
第17章 アシクロナス・シリアル・インタフェースC (UARTC)		797
17.1	特徴	797
17.2	構成	798
17.3	UARTCとほかのシリアル・インタフェースのモード切り替え	800
17.3.1	UARTC0とCSIF2とのモード切り替え	800
17.3.2	UARTC1とCSIF1とI ² C00のモード切り替え	801
17.3.3	UARTC2とI ² C02とCAN0のモード切り替え	802
17.3.4	UARTC3とCSIF0とI ² C01のモード切り替え	803
17.3.5	UARTC4とCSIE0のモード切り替え	804
17.3.6	UARTC5とCSIE1とI ² C03のモード切り替え	805
17.3.7	UARTC6とCSIF5のモード切り替え	806
17.3.8	UARTC7とCSIF6のモード切り替え	807
17.4	レジスタ	808
17.5	割り込み要求信号	818
17.6	動作	819
17.6.1	データ・フォーマット	819
17.6.2	SBF送信 / 受信フォーマット	821
17.6.3	SBF送信	823
17.6.4	SBF受信	824
17.6.5	UART送信	825
17.6.6	連続送信の手順説明	826
17.6.7	UART受信	828
17.6.8	受信エラー	830
17.6.9	パリティの種類と動作	832
17.6.10	受信データのノイズ・フィルタ	833
17.7	専用ボー・レート・ジェネレータ	834
17.8	注意事項	842
第18章 FIFO付きクロック同期式シリアル・インタフェースE (CSIE)		843
18.1	CSIE0, CSIE1のポート設定	843
18.1.1	V850ES/JH3-Eの場合	843
18.1.2	V850ES/JJ3-Eの場合	844
18.2	特徴	845
18.3	構成	846
18.4	制御レジスタ	850
18.5	専用ボー・レート・ジェネレータn (BRGn)	860
18.6	動作	862
18.7	使用方法	883
18.8	注意事項	890
第19章 クロック同期式シリアル・インタフェースF (CSIF)		891
19.1	特徴	891
19.2	構成	892
19.3	CSIFとほかのシリアル・インタフェースのモード切り替え	893
19.3.1	CSIF0とUARTC3とI ² C01のモード切り替え	893
19.3.2	CSIF1とUARTC1とI ² C00のモード切り替え	894

19.3.3	CSIF2とUARTC0のモード切り替え	895
19.3.4	CSIF3とUARTB1のモード切り替え	896
19.3.5	CSIF4とUARTB0を同時に使用する場合	897
19.3.6	CSIF5とUARTC6のモード切り替え	899
19.3.7	CSIF6とUARTC7のモード切り替え	900
19.4	レジスタ	901
19.5	割り込み要求信号	910
19.6	動作	911
19.6.1	シングル転送モード(マスタ・モード,送信モード)	911
19.6.2	シングル転送モード(マスタ・モード,受信モード)	913
19.6.3	シングル転送モード(マスタ・モード,送受信モード)	915
19.6.4	シングル転送モード(スレーブ・モード,送信モード)	917
19.6.5	シングル転送モード(スレーブ・モード,受信モード)	919
19.6.6	シングル転送モード(スレーブ・モード,送受信モード)	921
19.6.7	連続転送モード(マスタ・モード,送信モード)	923
19.6.8	連続転送モード(マスタ・モード,受信モード)	925
19.6.9	連続転送モード(マスタ・モード,送受信モード)	928
19.6.10	連続転送モード(スレーブ・モード,送信モード)	932
19.6.11	連続転送モード(スレーブ・モード,受信モード)	934
19.6.12	連続転送モード(スレーブ・モード,送受信モード)	937
19.6.13	受信エラー	941
19.6.14	クロック・タイミング	942
19.7	出力端子	944
19.8	ポーレート・ジェネレータ	945
19.8.1	ポーレートの生成	946
19.9	注意事項	947
第20章	I ² Cバス	948
20.1	特徴	948
20.2	構成	949
20.3	I ² Cバスとほかのシリアル・インタフェースのモード切り替え	953
20.3.1	I ² C00とCSIF1とUARTC1のモード切り替え	953
20.3.2	I ² C01とCSIF0とUARTC3のモード切り替え	954
20.3.3	I ² C02とUARTC2とCAN0のモード切り替え	955
20.3.4	I ² C03とCSIE1とUARTC5のモード切り替え	956
20.4	レジスタ	957
20.5	I ² Cバス・モードの機能	972
20.5.1	端子構成	972
20.6	I ² Cバスの定義および制御方法	973
20.6.1	スタート・コンディション	974
20.6.2	アドレス	975
20.6.3	転送方向指定	976
20.6.4	アクノリッジ(ACK)	977
20.6.5	ストップ・コンディション	978
20.6.6	ウェイト	979
20.6.7	ウェイト解除方法	981
20.7	I ² C割り込み要求信号(INTIICn)	982
20.7.1	マスタ動作	982
20.7.2	スレーブ動作(スレーブ・アドレス・データ受信時(アドレス一致))	985
20.7.3	スレーブ動作(拡張コード受信時)	989

20.7.4	通信不参加の動作	993
20.7.5	アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）	994
20.7.6	アービトレーション負けの動作（アービトレーション負けのあと，不参加）	996
20.8	割り込み要求信号（INTIICn）発生タイミングおよびウェイト制御	1003
20.9	アドレスの一致検出方法	1005
20.10	エラーの検出	1005
20.11	拡張コード	1005
20.12	アービトレーション	1006
20.13	ウェイク・アップ機能	1007
20.14	通信予約	1008
20.14.1	通信予約機能許可の場合（IICFn.IICRSVnビット = 0）	1008
20.14.2	通信予約機能禁止の場合（IICFn.IICRSVnビット = 1）	1012
20.15	注意事項	1013
20.16	通信動作	1014
20.16.1	シングルマスタ・システムでのマスタ動作	1015
20.16.2	マルチマスタ・システムでのマスタ動作	1016
20.16.3	スレーブ動作	1019
20.17	データ通信のタイミング	1023
第21章 CANコントローラ		1030
21.1	概要	1030
21.1.1	特徴	1030
21.1.2	機能概要	1031
21.1.3	構成	1032
21.2	CANプロトコル	1034
21.2.1	フレーム・フォーマット	1035
21.2.2	フレーム・タイプ	1035
21.2.3	データ・フレーム/リモート・フレーム	1036
21.2.4	エラー・フレーム	1044
21.2.5	オーバロード・フレーム	1045
21.3	機能	1046
21.3.1	バス・プライオリティの決定	1046
21.3.2	ビット・スタッフ	1046
21.3.3	マルチマスタ	1046
21.3.4	マルチキャスト	1047
21.3.5	CANスリープ・モード/CANストップ・モード機能	1047
21.3.6	エラー制御機能	1047
21.3.7	ボー・レート制御機能	1053
21.4	ターゲット・システムとの接続	1058
21.5	CANコントローラの内部レジスタ	1059
21.5.1	CANコントローラの構成	1059
21.5.3	レジスタのビット構成	1077
21.6	レジスタ	1081
21.7	ビットのセット/クリア機能	1117
21.8	CANコントローラの初期化処理	1119
21.8.1	CANモジュールの初期化	1119
21.8.2	メッセージ・バッファの初期化	1119
21.8.3	メッセージ・バッファの再定義	1119
21.8.4	動作モードへの移行	1121

21.8.5	CANモジュールのエラー・カウンタC0ERCのリセット	1121
21.9	メッセージ受信	1122
21.9.1	メッセージ受信	1122
21.9.2	受信データの読み出し	1123
21.9.3	受信履歴・リスト機能	1124
21.9.4	マスク機能	1126
21.9.5	マルチ・バッファ受信ブロック機能	1128
21.9.6	リモート・フレーム受信	1130
21.10	メッセージ送信	1131
21.10.1	メッセージ送信	1131
21.10.2	送信履歴・リスト機能	1133
21.10.3	自動ブロック送信機能 (ABT : Automatic Block Transmission)	1135
21.10.4	送信中断処理	1136
21.10.5	リモート・フレーム送信	1137
21.11	パワー・セーブ・モード	1138
21.11.1	CANスリープ・モード	1138
21.11.2	CANストップ・モード	1141
21.11.3	パワー・セーブ・モード使用例	1142
21.12	割り込み機能	1143
21.13	診断機能と特殊動作モード	1144
21.13.1	受信オンリー・モード	1144
21.13.2	シングル・ショット・モード	1145
21.13.3	セルフ・テスト・モード	1146
21.13.4	各動作モードにおける送受信動作	1147
21.14	タイム・スタンプ機能	1148
21.14.1	タイム・スタンプ機能	1148
21.15	ボー・レート設定について	1149
21.15.1	ビット・レート設定について	1149
21.15.2	代表的なボー・レート設定例	1153
21.16	CANコントローラの動作	1157
第22章 USBファンクション・コントローラ (USB F)		1183
22.1	概要	1183
22.2	構成	1184
22.2.1	ブロック図	1184
22.2.2	USBメモリ・マップ	1185
22.3	外部回路構成	1186
22.3.1	概要	1186
22.3.2	接続構成	1187
22.4	注意事項	1189
22.5	リクエスト	1190
22.5.1	自動リクエスト	1190
22.5.2	その他のリクエスト	1199
22.6	レジスタ構成	1200
22.6.1	USB制御レジスタ	1200
22.6.2	USBファンクション・コントローラ・レジスタ一覧	1201
22.6.3	EPC制御レジスタ	1217
22.6.4	データ保持レジスタ	1274
22.6.5	EPCリクエスト・データ・レジスタ	1297
22.6.6	ブリッジ・レジスタ	1312

22.6.7	DMAレジスタ	1316
22.6.8	周辺制御レジスタ	1320
22.7	STALLハンドシェークまたはノー・ハンドシェーク	1324
22.8	特定状態でのレジスタ値	1325
22.9	FW処理	1327
22.9.1	初期化処理	1329
22.9.2	割り込み処理	1332
22.9.3	USBメイン処理	1333
22.9.4	Suspend/Resume処理	1360
22.9.5	電源投入後の処理	1363
22.9.6	DMAモードによるバルク転送 (OUT) のデータ受信方法	1366
22.9.7	DMAモードによるバルク転送 (IN) のデータ送信方法	1371
第23章	イーサネット・コントローラ	1376
23.1	概説	1376
23.1.1	機能	1376
23.2	構成	1377
23.2.1	システム構成	1377
23.2.2	割り込み要求	1378
23.3	初期設定	1378
23.4	イーサネット・コントローラ制御レジスタ	1381
23.4.1	MAC制御レジスタ	1385
23.4.2	統計カウンタ	1413
23.4.3	FIFOコントローラ制御レジスタ	1438
23.4.4	イーサネット・コントローラ専用DMAC制御レジスタ	1465
23.5	MAC/FIFO/DMAC機能	1475
23.5.1	フレーム・フォーマット	1475
23.5.2	送信機能	1479
23.5.3	受信機能	1484
23.5.4	MAC制御機能	1486
23.5.5	DMAC機能	1490
23.5.6	シリアル・マネジメント・インタフェース機能	1492
23.5.7	アドレス・フィルタリング	1496
23.5.8	統計カウンタ	1501
23.6	データ転送	1502
23.6.1	バッファの構造	1502
23.6.2	ディスクリプタ・メカニズム	1504
23.6.3	フレーム送信	1513
23.6.4	フレーム受信	1518
23.6.5	エラー処理	1523
23.7	受信チェックサム機能	1524
23.7.1	ソフトウェア上の処理	1524
23.8	注意事項	1526
23.8.1	FIFOの注意事項	1526
第24章	DMA機能 (DMAコントローラ)	1527
24.1	特徴	1527
24.2	構成	1528
24.3	レジスタ	1529

24.4	転送対象	1538
24.5	転送モード	1538
24.6	転送タイプ	1539
24.7	DMAチャネルの優先順位	1540
24.8	DMA転送に関する各種時間	1540
24.9	DMA転送起動要因	1541
24.10	DMAの中断要因	1542
24.11	DMA転送の終了	1542
24.12	動作タイミング	1542
24.13	注意事項	1547
第25章 割り込み / 例外処理機能		1552
25.1	特 徴	1552
25.2	ノンマスカブル割り込み	1564
25.2.1	動 作	1567
25.2.2	復 帰	1568
25.2.3	NPフラグ	1569
25.3	マスカブル割り込み	1570
25.3.1	動 作	1570
25.3.2	復 帰	1572
25.3.3	マスカブル割り込みの優先順位	1573
25.3.4	割り込み制御レジスタ (xxICn)	1577
25.3.5	割り込みマスク・レジスタ0-7 (IMR0-IMR7)	1582
25.3.6	インサースビス・プライオリティ・レジスタ (ISPR)	1584
25.3.7	IDフラグ	1585
25.3.8	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)	1585
25.4	ソフトウェア例外	1586
25.4.1	動 作	1586
25.4.2	復 帰	1587
25.4.3	EPフラグ	1588
25.5	例外トラップ	1589
25.5.1	不正命令コード	1589
25.5.2	デバッグ・トラップ	1591
25.6	外部割り込み要求入力端子 (NMI, INTP00-INTP25)	1593
25.6.1	ノイズ除去	1593
25.6.2	エッジ検出	1593
25.7	CPUの割り込み応答時間	1601
25.8	CPUが割り込みを受け付けない期間	1602
25.9	注意事項	1602
第26章 キー割り込み機能		1603
26.1	機 能	1603
26.2	レジスタ	1604
26.3	注意事項	1604
第27章 スタンバイ機能		1605
27.1	概 要	1605
27.2	レジスタ	1607
27.3	HALTモード	1610
27.3.1	設定および動作状態	1610

27.3.2	HALTモードの解除	1610
27.4	IDLE1モード	1612
27.4.1	設定および動作状態	1612
27.4.2	IDLE1モードの解除	1613
27.5	IDLE2モード	1615
27.5.1	設定および動作状態	1615
27.5.2	IDLE2モードの解除	1616
27.5.3	IDLE2モード解除時のセットアップ時間の確保	1618
27.6	STOPモード	1619
27.6.1	設定および動作状態	1619
27.6.2	STOPモードの解除	1619
27.6.3	STOPモード解除時の発振安定時間の確保	1622
27.7	サブクロック動作モード	1623
27.7.1	設定および動作状態	1623
27.7.2	サブクロック動作モードの解除	1623
27.8	サブIDLEモード	1625
27.8.1	設定および動作状態	1625
27.8.2	サブIDLEモードの解除	1625
第28章	リセット機能	1628
28.1	概 要	1628
28.2	リセット要因を確認するレジスタ	1629
28.3	動 作	1630
28.3.1	RESET端子によるリセット動作	1630
28.3.2	ウォッチドッグ・タイマ2によるリセット動作	1632
28.3.3	クロック・モニタによるリセット動作	1634
28.3.4	低電圧検出回路によるリセット動作	1635
28.3.5	リセット解除後の動作	1636
28.3.6	リセット機能の動作フロー	1637
第29章	クロック・モニタ	1638
29.1	機 能	1638
29.2	構 成	1639
29.3	レジスタ	1640
29.4	動 作	1641
第30章	低電圧検出回路 (LVI)	1644
30.1	機 能	1644
30.2	構 成	1644
30.3	レジスタ	1645
30.4	動 作	1647
30.4.1	内部リセット信号として使用する場合	1647
30.4.2	割り込みとして使用する場合	1648
30.5	RAM保持電圧検出動作	1649
第31章	CRC機能	1650
31.1	機 能	1650
31.2	構 成	1650

31.3	レジスタ	1651
31.4	動作	1652
31.5	使用方法	1653
第32章 レギュレータ		1655
32.1	概要	1655
32.2	動作	1656
第33章 フラッシュ・メモリ		1657
33.1	特徴	1657
33.2	メモリ構成	1658
33.3	機能概要	1659
33.4	専用フラッシュ・プログラマでの書き換え	1662
33.4.1	プログラミング環境	1662
33.4.2	通信方式	1663
33.4.3	フラッシュ・メモリ制御	1674
33.4.4	通信方式の選択	1675
33.4.5	通信コマンド	1676
33.4.6	端子処理	1677
33.5	セルフ・プログラミングによる書き換え	1681
33.5.1	概要	1681
33.5.2	特徴	1682
33.5.3	標準セルフ・プログラミング・フロー	1683
33.5.4	フラッシュ関数一覧	1684
33.5.5	端子処理	1684
33.5.6	使用する内部資源	1685
33.6	書き込み済み品発注用ROMコードの作成方法	1686
33.6.1	ROMコードの発注手順	1686
第34章 オンチップ・デバッグ機能		1687
34.1	DCUを使用する方法	1688
34.1.1	接続回路例	1688
34.1.2	インタフェース信号	1689
34.1.3	マスク機能	1690
34.1.4	レジスタ	1691
34.1.5	動作	1693
34.1.6	注意事項	1694
34.2	DCUを使用しない方法	1695
34.2.1	接続回路例	1695
34.2.2	マスク機能	1698
34.2.3	ユーザ資源の確保	1699
34.2.4	注意事項	1706
34.3	ROMセキュリティ機能	1707
34.3.1	セキュリティID	1707
34.3.2	設定方法	1708
第35章 電気的特性		1710
35.1	絶対最大定格	1710

35.2	容 量	1712
35.3	動作条件	1712
35.4	発振回路特性	1713
35.4.1	メイン・クロック発振回路特性	1713
35.4.2	サブクロック発振回路特性	1714
35.4.3	PLL特性	1715
35.4.4	内蔵発振器特性	1715
35.5	DC特性	1716
35.5.1	入出力レベル	1716
35.5.2	電源電流	1718
35.6	データ保持特性	1719
35.7	AC特性	1720
35.7.1	CLKOUT出力タイミング	1721
35.7.2	バス・タイミング	1722
35.8	基本動作	1729
35.9	フラッシュ・メモリ・プログラミング特性	1749
第36章 外形図		1750
第37章 半田付け推奨条件		1752
付録A 開発ツール		1754
A.1	ソフトウェア・パッケージ	1756
A.2	言語処理用ソフトウェア	1756
A.3	制御ソフトウェア	1756
A.4	デバッグ用ツール(ハードウェア)	1757
A.4.1	IECUBE QB-V850ESJX3Eを使用する場合	1757
A.4.2	MINICUBE QB-V850MINIを使用する場合	1759
A.4.3	MINICUBE2 QB-MINI2を使用する場合	1760
A.5	デバッグ用ツール(ソフトウェア)	1761
A.6	組み込み用ソフトウェア	1762
A.7	フラッシュ・メモリ書き込み用ツール	1762
付録B V850ES/Jx3-EとV850ES/Jx3-Hとの主な違い		1765
付録C レジスタ索引		1764
付録D 命令セット一覧		1809
D.1	凡 例	1809
D.2	インストラクション・セット(アルファベット順)	1812
付録E 改版履歴		1818
E.1	本版で改訂された主な箇所	1818
E.2	前版までの改版履歴	1819

第1章 イン트로ダクション

V850ES/JH3-E, V850ES/JJ3-Eは、ルネサス エレクトロニクスの実タイム制御向けシングルチップ・マイクロコントローラV850マイコンのロウ・パワー・シリーズの1製品です。

1.1 概 説

V850ES/JH3-E, V850ES/JJ3-Eは、V850ES CPUコアを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータ、DMAコントローラ、CAN、USBファンクション・コントローラ、イーサネット・コントローラなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850ES/JH3-E, V850ES/JJ3-Eは、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。

表1 - 1にV850ES/JH3-Eの製品一覧を、表1 - 2にV850ES/JJ3-Eの製品一覧を示します。

表1 - 1 V850ES/JH3-Eの製品一覧

愛 称		V850ES/JH3-E					
品 名		μ PD70F3778	μ PD70F3779	μ PD70F3780	μ PD70F3781	μ PD70F3782	μ PD70F3783
内部メモリ	フラッシュ・メモリ	256 Kバイト	384 Kバイト	512 Kバイト	384 Kバイト	512 Kバイト	512 Kバイト
	内蔵RAM	60 Kバイト	60 Kバイト	60 Kバイト	60 Kバイト	60 Kバイト	60 Kバイト
	データ専用RAM	16 Kバイト	16 Kバイト	16 Kバイト	64 Kバイト	64 Kバイト	64 Kバイト
メモリ空間	論理空間	64 Mバイト					
	外部メモリ領域	5 Mバイト					
外部バス・インタフェース		アドレス・バス：22本，アドレス/データ・バス：16本 セバレート・バス/マルチプレクス・バス					
汎用レジスタ		32ビット×32レジスタ					
クロック	メイン・クロック	PLLモード時：f _x = 3 ~ 6.25 MHz，f _{xx} = 24 ~ 50 MHz (8通倍) クロック・スルー・モード：f _x = 3 ~ 6.25 MHz (内部：f _{xx} = 3 ~ 6.25 MHz)					
	サブクロック	f _{XT} = 32.768 kHz					
	内蔵発振器	f _R = 220 kHz (TYP.)					
	最小命令実行時間	20 ns (メイン・クロック (f _{xx}) = 50 MHz動作時)					
I/Oポート		入出力：84本 (5 Vトレラント：38本)					
タイマ	16ビットTAA	6チャンネル					
	16ビットTAB	2チャンネル					
	16ビットTMM	4チャンネル					
	16ビットTMT	1チャンネル					
	モータ制御	1チャンネル (TAAとTABと組み合わせて機能，Hi-Z出力制御機能あり)					
	時計タイマ	1チャンネル (RTC)					
	WDT	1チャンネル					
リアルタイム出力機能		6ビット×1チャンネル					
10ビットA/Dコンバータ		10チャンネル					
インタフェース	CSIF/UARTC	1チャンネル					
	CSIF/UARTC/I ² C	2チャンネル					
	CSIE/UARTC	1チャンネル					
	CSIE ^{注1} /UARTC/I ² C	1チャンネル					
	CSIF/UARTB	2チャンネル (うち1チャンネルは2箇所の端子に割り当てられています)					
	CSIE ^{注1}	1チャンネル					
	UARTC/I ² C	1チャンネル					
	UARTC/I ² C/CAN	-					
	USBコントローラ	USBファンクション (フルスピード)：1チャンネル					
	イーサネット・コントローラ	1チャンネル					
DMAコントローラ		4チャンネル (転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ)					
割り込み要因	外部 ^{注2,3}	22 (22)	22 (22)	22 (22)	22 (22)	22 (22)	22 (22)
	内部	78	78	78	78	78	82
パワー・セーブ機能		HALT / IDLE1 / IDLE2 / STOP / サブクロック / サブIDLEモード					
リセット要因		RESET端子入力，ウォッチドッグ・タイマ2 (WDT2)，クロック・モニタ (CLM)，低電圧検出回路 (LVI)					
オンチップ・デバッグ		MINICUBE [®] ，MINICUBE2対応					
動作電源電圧		2.85 ~ 3.6 V					
動作周囲温度		- 40 ~ + 85					
パッケージ		128ピン・プラスチックLQFP (ファインピッチ) (14 × 20 mm)					

注1. 同じチャンネルのものが二つの端子に割り当てられています。

2. ()内はSTOPモード解除可能な外部割り込み本数です。

3. NMIを含みます。

表1-2 V850ES/JJ3-Eの製品一覧

愛称		V850ES/JJ3-E		
品名		μ PD70F3784	μ PD70F3785	μ PD70F3786
内部メモリ	フラッシュ・メモリ	512 Kバイト	512 Kバイト	512 Kバイト
	内蔵RAM	60 Kバイト	60 Kバイト	60 Kバイト
	データ専用RAM	16 Kバイト	64 Kバイト	64 Kバイト
メモリ空間	論理空間	64 Mバイト		
	外部メモリ領域	13 Mバイト		
外部バス・インタフェース		アドレス・バス：24本，アドレス/データ・バス：16本 セパレート・バス/マルチプレクス・バス		
汎用レジスタ		32ビット×32レジスタ		
クロック	メイン・クロック	PLLモード時： $f_x = 3 \sim 6.25$ MHz， $f_{xx} = 24 \sim 50$ MHz（8逓倍） クロック・スルー・モード： $f_x = 3 \sim 6.25$ MHz（内部： $f_{xx} = 3 \sim 6.25$ MHz）		
	サブクロック	$f_{XT} = 32.768$ kHz		
	内蔵発振器	$f_R = 220$ kHz（TYP.）		
	最小命令実行時間	20 ns（メイン・クロック（ f_{xx} ）= 50 MHz動作時）		
I/Oポート		入出力：100本（5 Vトレラント：47本）		
タイマ	16ビットTAA	6チャンネル		
	16ビットTAB	2チャンネル		
	16ビットTMM	4チャンネル		
	16ビットTMT	1チャンネル		
	モータ制御	1チャンネル（TAAとTABと組み合わせて機能，Hi-Z出力制御機能あり）		
	時計タイマ	1チャンネル（RTC）		
	WDT	1チャンネル		
リアルタイム出力機能		8ビット×1チャンネル		
10ビットA/Dコンバータ		12チャンネル		
インタフェース	CSIF/UARTC	3チャンネル		
	CSIF/UARTC/I ² C	2チャンネル		
	CSIE/UARTC	1チャンネル		
	CSIE ^{注1} /UARTC/I ² C	1チャンネル		
	CSIF/UARTB	2チャンネル（うち1チャンネルは2箇所の端子に割り当てられています）		
	CSIE ^{注1}	1チャンネル		
	I ² C	1チャンネル		
	UARTC/I ² C	1チャンネル		
	UARTC/I ² C/CAN	-		1チャンネル
	USBコントローラ	USBファンクション（フルスピード）：1チャンネル		
	イーサネット・コントローラ	1チャンネル		
	DMAコントローラ		4チャンネル（転送対象：内蔵周辺I/O，内蔵RAM，外部メモリ）	
割り込み要因	外部 ^{注2,3}	27（27）	27（27）	27（27）
	内部	84	84	88
パワー・セーブ機能		HALT / IDLE1 / IDLE2 / STOP / サブクロック / サブIDLEモード		
リセット要因		RESET端子入力，ウォッチドッグ・タイマ2（WDT2），クロック・モニタ（CLM），低電圧検出回路（LVI）		
オンチップ・デバッグ		MINICUBE, MINICUBE2対応		
動作電源電圧		2.85 ~ 3.6 V		
動作周囲温度		- 40 ~ + 85		
パッケージ		144ピン・プラスチックLQFP（ファインピッチ）（20×20 mm）		

注1. 同じチャンネルのものが二つの端子に割り当てられています。

2. （ ）内はSTOPモード解除可能な外部割り込み本数です。

3. NMIを含みます。

1.2 特 徴

最小命令実行時間 20.0 ns (メイン・クロック (f_{xx}) = 50 MHz動作時 : V_{DD} = 2.85 V ~ 3.6 V)

30.5 μs (サブクロック (f_{xT}) = 32.768 kHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック)

符号付き乗算 (32×32 64) : 1-5クロック)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

外部拡張 : 14 Mバイトまで可能

(このうち1 Mバイトは内部ROM/RAM空間として使用)

・内蔵メモリ RAM : 76 K/124 Kバイト (表1-1, 表1-2参照)

フラッシュ・メモリ : 256 K/384 K/512 Kバイト (表1-1, 表1-2参照)

・外部バス・インタフェース

セパレート・バス/マルチプレクス・バス選択可能

8/16ビット・データ・バス・サイジング機能

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

割り込み/例外

		内部			外部		
		ノン マスクابل	マスクابل	計	ノン マスクابل	マスクابل	計
V850ES/JH3-E	μ PD70F3778	1	78	79	1	21	22
	μ PD70F3779	1	78	79	1	21	22
	μ PD70F3780	1	78	79	1	21	22
	μ PD70F3781	1	78	79	1	21	22
	μ PD70F3782	1	78	79	1	21	22
	μ PD70F3783	1	82	83	1	21	22
V850ES/JJ3-E	μ PD70F3784	1	83	84	1	26	27
	μ PD70F3785	1	83	84	1	26	27
	μ PD70F3786	1	87	88	1	26	27

ソフトウェア例外 : 32要因

例外トラップ : 2要因

I/Oライン 入出力ポート : 84 (V850ES/JH3-E)
100 (V850ES/JJ3-E)

タイマ機能

16ビット・インターバル・タイマM (TMM)	: 4ch
16ビット・タイマ/イベント・カウンタAA (TAA)	: 6ch
16ビット・タイマ/イベント・カウンタAB (TAB)	: 2ch
16ビット・タイマ/イベント・カウンタT (TMT)	: 1ch
モータ制御機能 (使用タイマ: TAB1, TAA4)	
16ビット精度のデッド・タイム付き6相PWM機能	
ハイ・インピーダンス出力制御機能	
タイマ同調動作機能によるA/Dトリガ生成	
任意の周期設定機能	
任意のデッド・タイム設定機能	
リアルタイム・カウンタ (RTC)	: 1ch
ウォッチドッグ・タイマ	: 1ch

リアルタイム出力ポート 6ビット×1ch

シリアル・インタフェース

- FIFO付きアシンクロナス・シリアルインタフェースB (UARTB)
- アシンクロナス・シリアル・インタフェースC (UARTC)
- FIFO付き3線式可変長シリアル・インタフェースE (CSIE)
- 3線式可変長シリアル・インタフェースF (CSIF)
- I²Cバス・インタフェース (I²C)
- CANインタフェース
- USBファンクション・コントローラ
- イーサネット・コントローラ

備考 搭載チャンネル数については表1 - 1, 表1 - 2を参照してください。

A/Dコンバータ 10ビット分解能: 10ch (V850ES/JH3-E)
12ch (V850ES/JJ3-E)

DMAコントローラ: 4ch

DCU (デバッグ・コントロール・ユニット): JTAGインタフェース

クロック・ジェネレータ メイン・クロック/サブクロック動作
CPUクロック7段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{XT})
クロック・スルー・モード/PLLモード選択可

内蔵発振クロック: 220 kHz (TYP.)

パワー・セーブ機能 HALT/IDLE1/IDLE2/STOP/サブクロック/サブIDLEモード

パッケージ 128ピン・プラスチックLQFP (ファインピッチ) (14×20) (V850ES/JH3-E)
144ピン・プラスチックLQFP (ファインピッチ) (20×20) (V850ES/JJ3-E)

1.3 応用分野

イーサネット・コントローラを必要とする対応機器全般
産業機器，FA機器，ビル管理システムなどのネットワーク制御

1.4 オーダ情報

・ V850ES/JH3-E

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3778GF-GAT-AX	128ピン・プラスチックLQFP (ファインピッチ) (14×20)	256 Kバイト
μ PD70F3779GF-GAT-AX	"	384 Kバイト
μ PD70F3780GF-GAT-AX	"	512 Kバイト
μ PD70F3781GF-GAT-AX	"	384 Kバイト
μ PD70F3782GF-GAT-AX	"	512 Kバイト
μ PD70F3783GF-GAT-AX	"	512 Kバイト

・ V850ES/JJ3-E

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3784GJ-GAE-AX	144ピン・プラスチックLQFP (ファインピッチ) (20×20)	512 Kバイト
μ PD70F3785GJ-GAE-AX	"	512 Kバイト
μ PD70F3786GJ-GAE-AX	"	512 Kバイト

備考 V850ES/JH3-E, V850ES/JJ3-Eは，鉛フリー製品です。

1.5 端子接続図 (Top View)

・V850ES/JH3-E

128ピン・プラスチックLQFP (ファインピッチ) (14 × 20)

μPD70F3778GF-GAT-AX

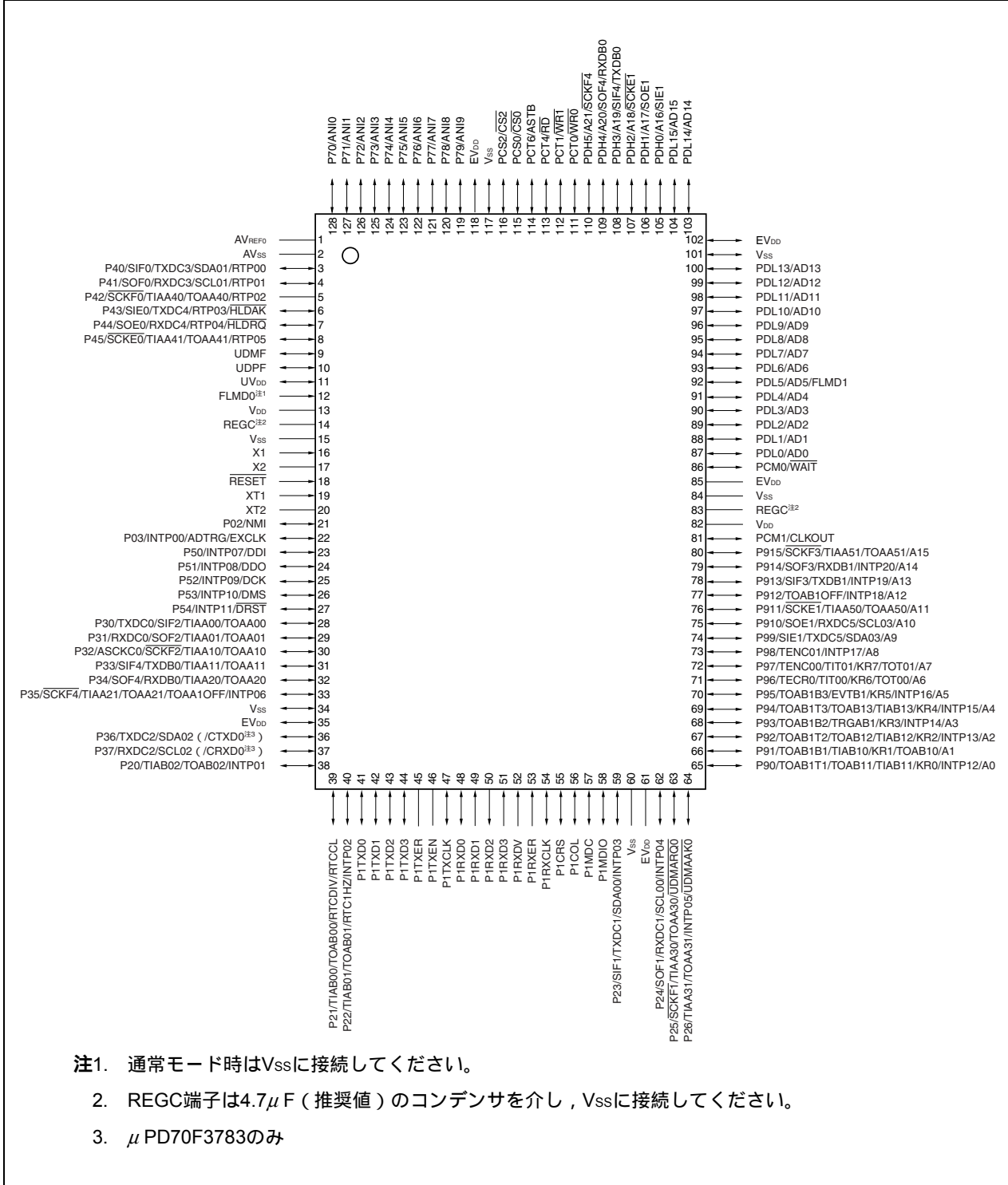
μPD70F3779GF-GAT-AX

μPD70F3780GF-GAT-AX

μPD70F3781GF-GAT-AX

μPD70F3782GF-GAT-AX

μPD70F3783GF-GAT-AX



注1. 通常モード時はVssに接続してください。

2. REGC端子は4.7μF (推奨値) のコンデンサを介し, Vssに接続してください。

3. μPD70F3783のみ

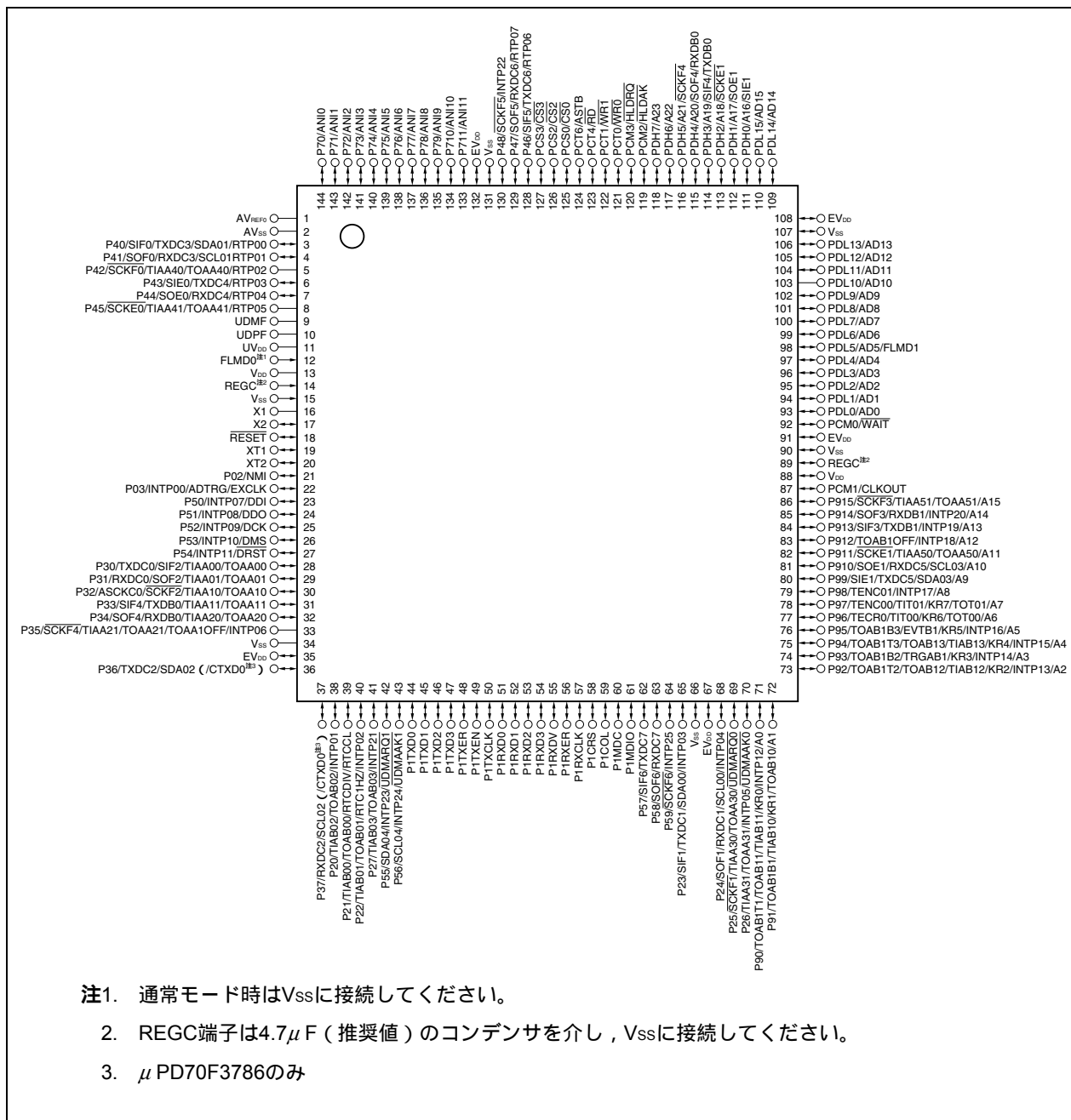
• V850ES/JJ3-E

144ピン・プラスチックLQFP (ファインピッチ) (20×20)

μ PD70F3784GJ-GAE-AX

μ PD70F3785GJ-GAE-AX

μ PD70F3786GJ-GAE-AX



注1. 通常モード時はVSSに接続してください。

2. REGC端子は4.7μF (推奨値) のコンデンサを介し、VSSに接続してください。

3. μ PD70F3786のみ

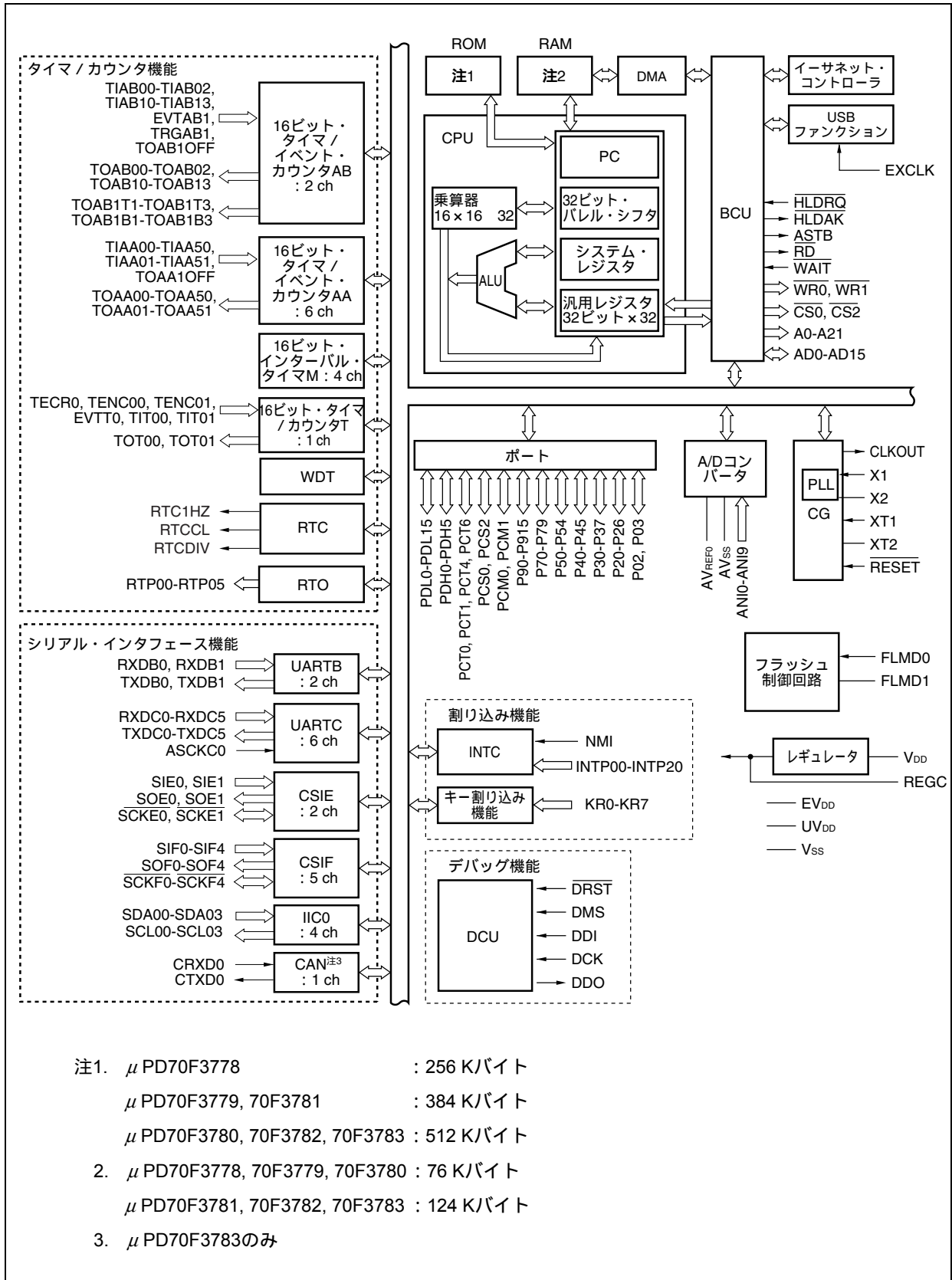
端子名称

A0-A23	: Address Bus	RTP00-RTP07	: Real-time Output Port
AD0-AD15	: Address/Data Bus	RXDB0, RXDB1	: Receive Data
ADTRG	: A/D Trigger Input	RXDC0-RXDC7	
ANI0-ANI11	: Analog Input	$\overline{\text{SCKE0}}$, $\overline{\text{SCKE1}}$: Serial Clock
ASCKC0	: Asynchronous Serial Clock	$\overline{\text{SCKF0}}$ - $\overline{\text{SCKF6}}$	
ASTB	: Address Strobe	SCL00-SCL04	: Serial Clock
AV _{REF0}	: Analog Reference Voltage	SDA00-SDA04	: Serial Data
AV _{SS}	: Grand for Analog Pin	SIE0, SIE1	: Serial Input
CLKOUT	: Clock Output	SIF0-SIF6	
CRXD0	: CAN Receive Data	SOE0, SOE1	: Serial Output
$\overline{\text{CS0}}$, $\overline{\text{CS2}}$, $\overline{\text{CS3}}$: Chip Select	SOF0-SOF6	
CTXD0	: CAN Transmit Data	TECR0	: Timer Encoder Clear Input
DCK	: Debug Clock	TENC00, TENC01	: Timer Encoder Input
DDI	: Debug Data Input	TIAA00, TIAA01,	: Timer Input
DDO	: Debug Data Output	TIAA10, TIAA11,	
DMS	: Debug Mode Select	TIAA20, TIAA21,	
$\overline{\text{DRST}}$: Debug Reset	TIAA30, TIAA31,	
EV _{DD}	: Power Supply for External Pin	TIAA40, TIAA41,	
EVTAB1	: Timer Event Count Input	TIAA50, TIAA51,	
EXCLK	: External Clock Input	TIAB00-TIAB03,	
FLMD0, FLMD1	: Flash Programming Mode	TIAB10-TIAB13,	
$\overline{\text{HLDK}}$: Hold Acknowledge	TIT00, TIT01	
$\overline{\text{HLDRQ}}$: Hold Request	TOAA00, TOAA01,	: Timer Output
INTP00-INTP25	: External Interrupt Input	TOAA10, TOAA11,	
KR0-KR7	: Key Return	TOAA20, TOAA21,	
NMI	: Non-maskable Interrupt Request	TOAA30, TOAA31,	
P02, P03	: Port0	TOAA40, TOAA41,	
P1COL, P1CRS,	: Ethernet PHY Interface	TOAA50, TOAA51,	
P1MDC, P1MDIO,		TOAB00-TOAB03,	
P1RXCLK,		TOAB10-TOAB13,	
P1RXD0-P1RXD3,		TOAB1B1-TOAB1B3,	
P1RXDV, P1RXER		TOAB1T1-TOAB1T3,	
P1TXCLK,		TOT00, TOT01	
P1TXD0-P1TXD3,		TOAA1OFF,	: Timer Output Off
P1TXEN, P1TXER		TOAB1OFF	
P20-P27	: Port2	TRGAB1	: Timer Trigger Input
P30-P37	: Port3	TXDB0, TXDB1	: Serial Output
P40-P48	: Port4	TXDC0-TXDC5	
P50-P59	: Port5	$\overline{\text{UDMAAK0}}$,	: DMA Acknowledge for External USB
P70-P711	: Port7	$\overline{\text{UDMAAK1}}$	
P90-P915	: Port9	$\overline{\text{UDMARQ0}}$,	: DMA Request for External USB
PCM0-PCM3	: Port CM	$\overline{\text{UDMARQ1}}$	
PCS0, PCS2	: Port CS	UDMF	: USB Data I/O (-) Function
PCS03		UDPF	: USB Data I/O (+) Function
PCT0, PCT1,	: Port CT	UV _{DD}	: Power Supply for External USB
PCT4, PCT6		V _{DD}	: Power Supply
PDH0-PDH7	: Port DH	V _{SS}	: Ground
PDL0-PDL15	: Port DL	$\overline{\text{WAIT}}$: External Wait Input
$\overline{\text{RD}}$: Read Strobe	$\overline{\text{WR0}}$: Lower Byte Write Strobe
REGC	: Regulator Control	$\overline{\text{WR1}}$: Upper Byte Write Strobe
$\overline{\text{RESET}}$: Reset	X1, X2	: Crystal for Main Clock
RTC1HZ, RTCCL,	: Real-time Counter Clock Output	XT1, XT2	: Crystal for Sub-clock
RTCDIV			

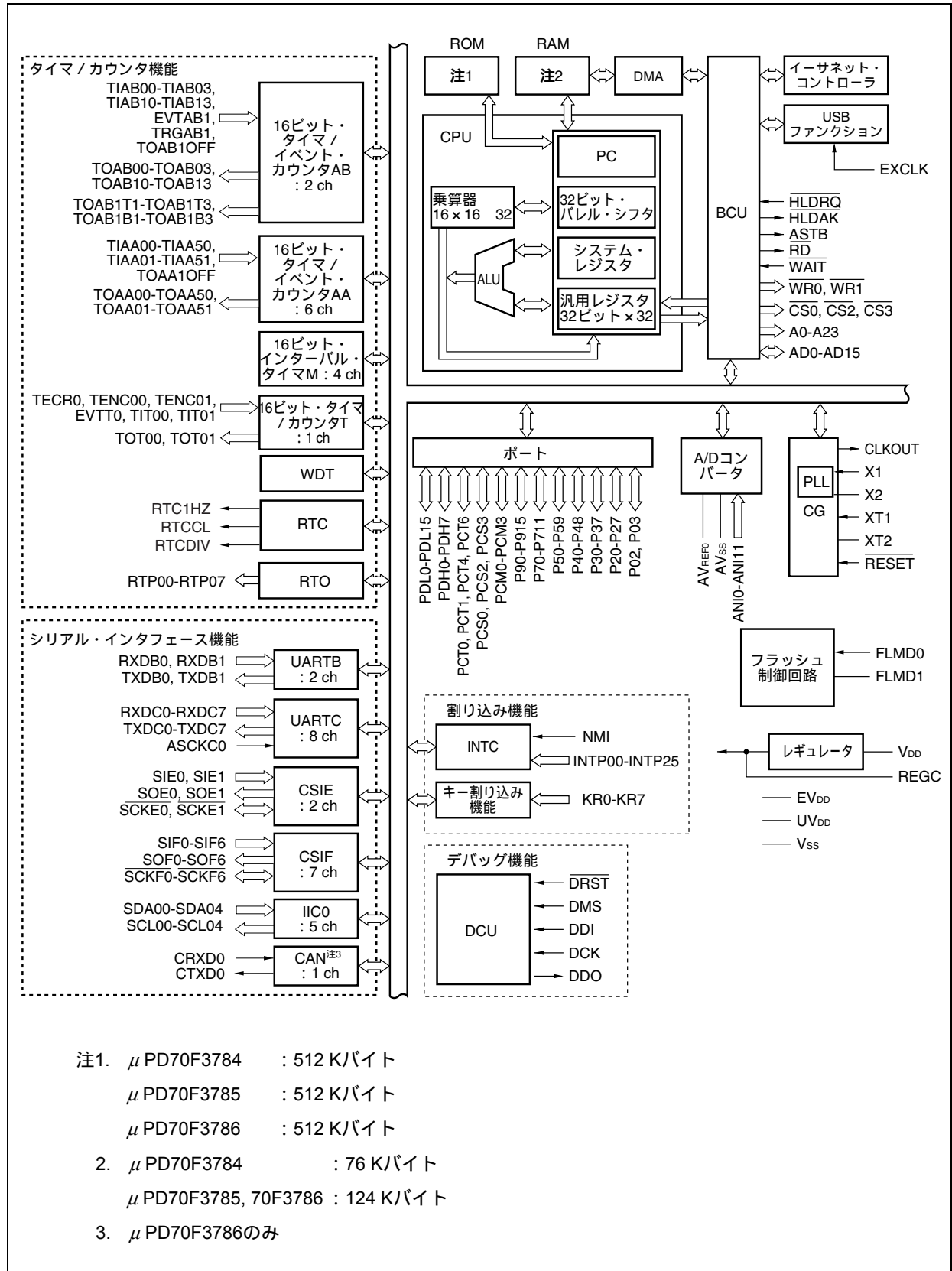
1.6 機能ブロック構成

1.6.1 内部ブロック図

・V850ES/JH3-E



・ V850ES/JJ3-E



1.6.2 内部ユニット

(1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を, 5段パイプライン制御により1クロックで実行できます。

乗算器 (16ビット×16ビット 32ビット), バレル・シフタ (32ビット) などの専用ハードウェアを内蔵し, 複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, 内部の命令キューに取り込まれます。

(3) フラッシュ・メモリ (ROM)

0000000H-007FFFFH/0000000H-005FFFFH/0000000H-003FFFFH番地にマッピングされる512 K/384 K/256 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

3FF0000H-3FFEFFFH番地にマッピングされる60 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。また, 各製品には00280000H-00283FFFFH/00280000H-0028FFFFFH番地に16 K/64 Kバイトのデータ専用RAMを内蔵しています。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア, および外部からのハードウェア割り込み要求 (NMI, INTP00-INTP25) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位を指定でき, 多重処理制御ができます。

(6) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり, メイン・クロック発振周波数 (f_x) とサブクロック周波数 (f_{xT}) を生成しています。メイン・クロック周波数 (f_{xx}) として, f_x をそのまま使用するクロック・スルー・モードと, f_x を8逓倍して使用するPLLモードがあります。

CPUクロック周波数 (f_{CPU}) としては, f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xT} の7種類から選択できます。

(7) 内蔵発振器

内蔵発振器を搭載しています。発振周波数は220 kHz (TYP.) です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

(8) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタAA (TAA) を6チャンネル, 16ビットのタイマ/イベント・カウンタAB (TAB) を2チャンネル, 16ビットのタイマ/イベント・カウンタT (TMT) を1チャンネル, 16ビットのインターバル・タイマM (TMM) を4チャンネル, 内蔵しています。

TAB1とTAA4を組み合わせるとモータ制御機能を実現できます。

(9) リアルタイム・カウンタ (時計用)

サブクロック (32.768 kHz) またはメイン・クロックから時計カウント用の基準時間 (1秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。年, 月, 曜日, 日, 時, 分, 秒の専用ハードウェア・カウンタを持ち, 最長99年までカウントが可能です。

(10) ウォッチドッグ・タイマ2

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして内蔵発振クロック, メイン・クロック, サブクロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDT2RES) を発生します。

(11) シリアル・インタフェース

V850ES/JH3-E, V850ES/JJ3-Eには, シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースC (UARTC), FIFO付きアシンクロナス・シリアル・インタフェースB (UARTB), 3線式可変長シリアル・インタフェースF (CSIF), FIFO付き 3線式可変長シリアル・インタフェースE (CSIE) I²Cバス・インタフェース (I²C), CANコントローラ (CAN)^注, USBファンクション・コントローラ (USBF), イーサネット・コントローラを内蔵しています。

UARTCは, TXDC0-TXDC5, RXDC0-RXDC5端子によりデータ転送を行います。

UARTBは, TXDB0, TXDB1, RXDB0, RXDB1端子によりデータ転送を行います。

CSIFは, SOF0-SOF6, SIF0-SIF6, SCKF0-SCKF6端子によりデータ転送を行います。

CSIEは, SOE0, SOE1, SIE0, SIE1, SCKE0, SCKE1端子によりデータ転送を行います。

I²Cは, SDA00-SDA04, SCL00-SCL04端子によりデータ転送を行います。

CAN^注は, CRXD0^注, CTXD0^注端子によりデータ転送を行います。

USBFは, UDMF, UDPF端子によりデータ転送を行います。

イーサネットは, P1COL, P1CRS, P1MDC, P1MDIO, P1RXCLK, P1RXD0, P1RXD1, P1RXD2, P1RXD3, P1RXDV, P1RXER, P1TXCLK, P1TXD0, P1TXD1, P1TXD2, P1TXD3, P1TXEN, P1TXER端子によりデータ転送を行います。

注 μ PD70F3783, 70F3786のみ

(12) A/Dコンバータ

10または12本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(13) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて, 内蔵RAM, 内蔵周辺I/O, 外部メモリ間でデータを転送します。

(14) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号 (INTKR) を発生させることができます。

(15) リアルタイム出力機能

あらかじめ設定しておいた6ビット・データをタイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

(16) CRC機能

8ビットのデータ設定により、16ビットのCRC (Cyclic Redundancy Check) コードを生成する、CRC演算回路を内蔵します。

(17) DCU (デバッグ・コントロール・ユニット)

JTAG (Joint Test Action Group) の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは、制御端子の入力レベルとOCDMレジスタの2つで行います。

(18) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

・ V850ES/JH3-E

ポート	入出力	兼用機能
P0	2ビット入出力	NMI, 外部割り込み, A/Dコンバータ・トリガ, 外部クロック入力
P2	7ビット入出力	タイマ入出力, シリアル・インタフェース, 外部割り込み, リアルタイム・カウンタ
P3	8ビット入出力	外部割り込み, シリアル・インタフェース, タイマ入出力,
P4	6ビット入出力	外部割り込み, シリアル・インタフェース, タイマ入出力,
P5	5ビット入出力	タイマ入出力, シリアル・インタフェース, リアルタイム出力, キー割り込み入力, デバッグ入出力
P7	10ビット入出力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	シリアル・インタフェース, キー割り込み入力, タイマ入出力, 外部割り込み, アドレス・バス
PCM	2ビット入出力	外部バス制御信号
PCS	2ビット入出力	外部バス制御信号
PCT	4ビット入出力	外部バス制御信号
PDH	6ビット入出力	外部アドレス・バス, シリアル・インタフェース
PDL	16ビット入出力	外部アドレス/データ・バス

・ V850ES/JJ3-E

ポート	入出力	兼用機能
P0	2ビット入出力	NMI, 外部割り込み, A/Dコンバータ・トリガ, 外部クロック入力
P2	8ビット入出力	タイマ入出力, シリアル・インタフェース, 外部割り込み, リアルタイム・カウンタ
P3	8ビット入出力	外部割り込み, シリアル・インタフェース, タイマ入出力,
P4	9ビット入出力	外部割り込み, シリアル・インタフェース, タイマ入出力,
P5	10ビット入出力	タイマ入出力, シリアル・インタフェース, リアルタイム出力, キー割り込み入力, デバッグ入出力
P7	12ビット入出力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	シリアル・インタフェース, キー割り込み入力, タイマ入出力, 外部割り込み, アドレス・バス
PCM	4ビット入出力	外部バス制御信号
PCS	3ビット入出力	外部バス制御信号
PCT	4ビット入出力	外部バス制御信号
PDH	8ビット入出力	外部アドレス・バス, シリアル・インタフェース
PDL	16ビット入出力	外部アドレス/データ・バス

第2章 端子機能

2.1 端子機能一覧

V850ES/JH3-E, V850ES/JJ3-Eの端子名称と機能を次に示します。

端子の入出力バッファ電源には, AV_{REF0} , EV_{DD} , UV_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子	
	V850ES/JH3-E	V850ES/JJ3-E
AV_{REF0}	ポート7	ポート7
EV_{DD}	\overline{RESET} , ポート0, 2-5, 9, CM, CS, CT, DH, DL	\overline{RESET} , ポート0, 2-5, 9, CM, CS, CT, DH, DL
UV_{DD}	UDPF, UDMF	UDPF, UDMF

(1) ポート端子

(1/3)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JH3-E	JJ3-E
P02	入出力	ポート0 2ビット入出力ポート 1ビット単位で入力/出力の指定が可能 5Vトレラント対応	NMI	21	21
P03			INTP00/ADTRG/EXCLK	22	22
P20	入出力	ポート2 7ビット入出力ポート (V850ES/JH3-E) 8ビット入出力ポート (V850ES/JJ3-E) 1ビット単位で入力/出力の指定が可能 5Vトレラント対応	TIAB02/TOAB02/INTP01	38	38
P21			TIAB00/TOAB00/RTGDIV/RTCCL	39	39
P22			TIAB01/TOAB01/RTC1HZ/INTP02	40	40
P23			SIF1/TXDC1/SDA00/INTP03	59	65
P24			SOF1/RXDC1/SDL00/INTP04	62	68
P25			SCKF1/TIAA30/TOAA30/UDMARQ0	63	69
P26			TIAA31/TOAA31/INTP05/UDMAAK0	64	70
P27			TIAB03/TOAB03/INTP21	-	41
P30	入出力	ポート3 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能 5Vトレラント対応	TXDC0/SIF2/TIAA00/TOAA00	28	28
P31			RXDC0/SOF2/TIAA01/TOAA01	29	29
P32			ASCKC0/SCKF2/TIAA10/TOAA10	30	30
P33			SIF4/TXDB0/TIAA11/TOAA11	31	31
P34			SOF4/RXDB0/TIAA20/TOAA20	32	32
P35			SCKF4/TIAA21/TOAA21 /TOAA21OFF/INTP06	33	33
P36			TXDC2/SDA02/CTXD0 ^注	36	36
P37			RXDC2/SCL02/CRXD0 ^注	37	37
P40	入出力	ポート4 6ビット入出力ポート (V850ES/JH3-E) 9ビット入出力ポート (V850ES/JJ3-E) 1ビット単位で入力/出力の指定が可能 5Vトレラント対応 (P46-P48)	SIF0/TXDC3/SDA01/RTP00	3	3
P41			SOF0/RXDC3/SCL01/RTP01	4	4
P42			SCKF0/TIAA40/TOAA40/RTP02	5	5
P43			SIE0/TXDC4/RTP03	-	6
			SIE0/TXDC4/RTP03/HLDAK	6	-
P44			SOE0/RXDC4/RTP04	-	7
			SOE0/RXDC4/RTP04/HLDRQ	7	-
P45			SCKE0/TIAA41/TOAA41/RTP05	8	8
P46			SIF5/TXDC6/RTP06	-	128
P47			SOF5/RXDC6/RTP07	-	129
P48	SCKF5/INTP22	-	130		

注 CANコントローラ内蔵品のみ

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(2/3)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JH3-E	JJ3-E
P50	入出力	ポート5 5ビット入出力ポート (V850ES/JH3-E) 10ビット入出力ポート (V850ES/JJ3-E) 1ビット単位で入力/出力の指定が可能 5Vトレラント対応	INTP07/DDI	23	23
P51			INTP08/DDO	24	24
P52			INTP09/DCK	25	25
P53			INTP10/DMS	26	26
P54			INTP11/DRST	27	27
P55			SDA04/INTP23/UDMARQ1	-	42
P56			SCL04/INTP24/UDMAAK1	-	43
P57			SIF6/TXDC7	-	62
P58			SOF6/RXDC7	-	63
P59			SCKF6/INTP25	-	64
P70	入出力	ポート7 10ビット入出力ポート (V850ES/JH3-E) 12ビット入出力ポート (V850ES/JJ3-E) 1ビット単位で入力/出力の指定が可能	ANI0	128	144
P71			ANI1	127	143
P72			ANI2	126	142
P73			ANI3	125	141
P74			ANI4	124	140
P75			ANI5	123	139
P76			ANI6	122	138
P77			ANI7	121	137
P78			ANI8	120	136
P79			ANI9	119	135
P710			ANI10	-	134
P711	ANI11	-	133		
P90	入出力	ポート9 16ビット入出力ポート 1ビット単位で入力/出力の指定が可能 5Vトレラント対応	TOAB1T1/TOAB11/TIAB11/KR0 /INTP12/A0	65	71
P91			TOAB1B1/TIAB10/KR1/TOAB10 /A1	66	72
P92			TOAB1T2/TOAB12/TIAB12/KR2 /INTP13/A2	67	73
P93			TOAB1B2/TRGAB1/KR3/INTP14 /A3	68	74
P94			TOAB1T3/TOAB13/TIAB13/KR4 /INTP15/A4	69	75
P95			TOAB1B3/EVTB1/KR5/INTP16/A5	70	76
P96			TECR0/TIT00/KR6/TOT00/A6	71	77
P97			TENC00/TIT01/KR7/TOT01/A7	72	78
P98			TENC01/INTP17/A8	73	79
P99			SIE1/TXDC5/SDA03/A9	74	80
P910			SOE1/RXDC5/SCL03/A10	75	81
P911			SCKE1/TIAA50/TOAA50/A11	76	82
P912			TOAB1OFF/INTP18/A12	77	83
P913			SIF3/TXDB1/INTP19/A13	78	84
P914			SOF3/RXDB1/INTP20/A14	79	85
P915	SCKF3/TIAA51/TOAA51/A15	80	86		

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(3/3)

端子名称	入出力	機能	兼用端子	ピン番号	
				JH3-E	JJ3-E
PCM0	入出力	ポートCM 2ビット入出力ポート (V850ES/JH3-E) 4ビット入出力ポート (V850ES/JJ3-E) 1ビット単位で入力/出力の指定が可能	WAIT	86	92
PCM1			CLKOUT	81	87
PCM2			HLD \overline{AK}	-	119
PCM3			H \overline{LDRQ}	-	120
PCS0	入出力	ポートCS 2ビット入出力ポート (V850ES/JH3-E) 3ビット入出力ポート (V850ES/JJ3-E) 1ビット単位で入力/出力の指定が可能	$\overline{CS0}$	115	125
PCS2			$\overline{CS2}$	116	126
PCS3			$\overline{CS3}$	-	127
PCT0	入出力	ポートCT 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	$\overline{WR0}$	111	121
PCT1			$\overline{WR1}$	112	122
PCT4			\overline{RD}	113	123
PCT6			ASTB	114	124
PDH0	入出力	ポートDH 6ビット入出力ポート (V850ES/JH3-E) 8ビット入出力ポート (V850ES/JJ3-E) 1ビット単位で入力/出力の指定が可能	A16/SIE1	105	111
PDH1			A17/SOE1	106	112
PDH2			A18/SCKE $\overline{1}$	107	113
PDH3			A19/SIF4/TXDB0	108	114
PDH4			A20/SOF4/RXDB0	109	115
PDH5			A21/SCKF4	110	116
PDH6			A22	-	117
PDH7			A23	-	118
PDL0	入出力	ポートDL 16ビット入出力ポート 1ビット単位で入力/出力の指定が可能	AD0	87	93
PDL1			AD1	88	94
PDL2			AD2	89	95
PDL3			AD3	90	96
PDL4			AD4	91	97
PDL5			AD5/FLMD1	92	98
PDL6			AD6	93	99
PDL7			AD7	94	100
PDL8			AD8	95	101
PDL9			AD9	96	102
PDL10			AD10	97	103
PDL11			AD11	98	104
PDL12			AD12	99	105
PDL13			AD13	100	106
PDL14			AD14	103	109
PDL15			AD15	104	110

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(2) ポート以外の端子

(1/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JH3-E	JJ3-E
A0	出力	外部メモリに対するアドレス・バス (セパレート・バス使用時) 5Vトレラント対応 (A0-A15)	P90/TOAB1T1/TOAB11/TIAB11 /KR0/INTP12	65	71
A1			P91/TOAB1B1/TIAB10/KR1 /TOAB10	66	72
A2			P92/TOAB1T2/TOAB12/TIAB12 /KR2/INTP13	67	73
A3			P93/TOAB1B2/TRGAB1/KR3 /INTP14	68	74
A4			P94/TOAB1T3/TOAB13/TIAB13 /KR4/INTP15	69	75
A5			P95/TOAB1B3/EVTAB1/KR5 /INTP16	70	76
A6			P96/TECR0/TIT00/KR6/TOT00	71	77
A7			P97/TENC00/TIT01/KR7/TOT01	72	78
A8			P98/TENC01/INTP17	73	79
A9			P99/SIE1/TXDC5/SDA03	74	80
A10			P910/SOE1/RXDC5/SCL03	75	81
A11			P911/SCKE1/TIAA50/TOAA50	76	82
A12			P912/TOAB1OFF/INTP18	77	83
A13			P913/SIF3/TXDB1/INTP19	78	84
A14			P914/SOF3/RXDB1/INTP20	79	85
A15			P915/SCKF3/TIAA51/TOAA51	80	86
A16			PDH0/SIE1	105	111
A17			PDH1/SOE1	106	112
A18			PDH2/SCKE1	107	113
A19			PDH3/SIF4/TXDB0	108	114
A20			PDH4/SOF4/RXDB0	109	115
A21			PDH5/SCKF4	110	116
A22			PDH6	-	117
A23			PDH7	-	118

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(2/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JH3-E	JJ3-E
AD0	入出力	外部メモリに対するアドレス/データ・バス	PDL0	87	93
AD1			PDL1	88	94
AD2			PDL2	89	95
AD3			PDL3	90	96
AD4			PDL4	91	97
AD5			PDL5/FLMD1	92	98
AD6			PDL6	93	99
AD7			PDL7	94	100
AD8			PDL8	95	101
AD9			PDL9	96	102
AD10			PDL10	97	103
AD11			PDL11	98	104
AD12			PDL12	99	105
AD13			PDL13	100	106
AD14			PDL14	103	109
AD15			PDL15	104	110
ADTRG	入力	A/Dコンバータ用外部トリガ入力, 5Vトレラント対応	P03/INTP00/EXCLK	22	22
ANI0	入力	A/Dコンバータ用アナログ電圧入力	P70	128	144
ANI1			P71	127	143
ANI2			P72	126	142
ANI3			P73	125	141
ANI4			P74	124	140
ANI5			P75	123	139
ANI6			P76	122	138
ANI7			P77	121	137
ANI8			P78	120	136
ANI9			P79	119	135
ANI10			P710	-	134
ANI11			P711	-	133
ASCKC0	入力	UARTC0のボー・レート・クロック入力, 5Vトレラント対応	P32/SCKF2/TIAA10/TOAA10	30	30
ASTB	出力	外部メモリに対するアドレス・ストローブ信号出力	PCT6	114	124
AVREF0		A/Dコンバータ用基準電圧入力, 兼ポート・グランド電位		1	1
AVSS		A/Dコンバータ用グランド電位		2	2
CLKOUT	出力	内部システム・クロック出力	PCM1	81	87
CRXD0 ^注	入力	CAN受信データ入力, 5Vトレラント対応	P37/RXDC2/SCL02	37	37
CS0	出力	チップ・セレクト出力	PCS0	115	125
CS2			PCS2	116	126
CS3			PCS3	-	127
CTXD0 ^注	出力	CAN送信データ出力, 5Vトレラント対応	P36/TXDC2/SDA02	36	36

注 CANコントローラ内蔵品のみ

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(3/9)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JH3-E	JJ3-E
DCK	入力	オンチップ・デバッグ用クロック入力, 5Vトレラント対応	P52/INTP09	25	25
DDI	入力	オンチップ・デバッグ用データ入力, 5Vトレラント対応	P50/INTP07	23	23
DDO	出力	オンチップ・デバッグ用データ出力 オンチップ・デバッグ・モード時, 強制的にハイ・レベル出力に設定される, 5Vトレラント対応	P51/INTP08	24	24
DMS	入力	オンチップ・デバッグ用モード選択信号入力, 5Vトレラント対応	P53/INTP10	26	26
$\overline{\text{DRST}}$	入力	オンチップ・デバッグ用リセット信号入力, 5Vトレラント対応	P54/INTP11	27	27
EVDD		外部用正電源供給 (V _{DD} と同電位)		35, 61, 85, 102, 118	35, 67, 91, 108, 132
EVTAB1	入力	TAB1の外部イベント・カウント入力	TOAB1B3/KR5/INTP16/A5	70	76
EXCLK	入力	外部USBクロック信号入力	P03/INTP00/ADTRG	22	22
FLMD0	入力	フラッシュ・メモリ・プログラミング・モード引き込み用端子		12	12
FLMD1	入力		PDL5/AD5	92	98
HLDAK	出力	バス・ホールド・アクノリッジ出力	PCM2 ----- P43/SIE0/TXDC4/RTP03	- 6	119 -
HLDRQ	入力	バス・ホールド要求入力	PCM3 ----- P44/SOE0/RXDC4/RTP04	- 7	120 -
INTP00	入力	外部割り込み要求入力 (マスカブル, アナログ・ノイズ除去) INTP02端子は, アナログ・ノイズ除去/デジタル・ノイズ除去の選択可能 5Vトレラント対応	P03/ADTRG/EXCLK	22	22
INTP01			P20/TIAB02/TOAB02	38	38
INTP02			P22/TIAB01/TOAB01/RTC1HZ	40	40
INTP03			P23/SIF1/TXDC1/SDA00	59	65
INTP04			P24/SOF1/RXDC1/SDL00	62	68
INTP05			P26/TIAA31/TOAA31/UDMAAK0	64	70
INTP06			P35/SCKF4/TIAA21/TOAA21 /TOAA1OFF	33	33
INTP07			P50/DDI	23	23
INTP08			P51/DDO	24	24
INTP09			P52/DCK	25	25
INTP10			P53/DMS	26	26
INTP11			P54/ $\overline{\text{DRST}}$	27	27
INTP12			P90/TOAB1T1/TOAB11/TIAB11 /KR0/A0	65	71
INTP13			P92/TOAB1T2/TOAB12/TIAB12 /KR2/A2	67	73
INTP14			P93/TOAB1B2/TRGAB1/KR3/A3	68	74
INTP15			P94/TOAB1T3/TOAB13/TIAB13 /KR4/A4	69	75
INTP16			P95/TOAB1B3/EVTAB1/KR5/A5	70	76
INTP17	P98/TENC01/A8	73	79		

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(4/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JH3-E	JJ3-E
INTP18	入力	外部割り込み要求入力 (マスクブル, アナログ・ノイズ除去) 5Vトレラント対応	P912/TOAB1OFF/A12	77	83
INTP19			P913/SIF3/TXDB1/A13	78	84
INTP20			P914/SOF3/RXDB1/A14	79	85
INTP21			P27/TIAB03/TOAB03	-	41
INTP22			P48/SCKF5	-	130
INTP23			P55/SDA04/UDMARQ1	-	42
INTP24			P56/SCL04/UDMAAK1	-	43
INTP25			P59/SCKF6	-	64
KR0			入力	キー割り込み入力(アナログ・ノイズ除去回路内蔵), 5Vトレラント対応	P90/TOAB1T1/TOAB11/TIAB11 /INTP12/A0
KR1	P91/TOAB1B1/TIAB10/TOAB10 /A1	66			72
KR2	P92/TOAB1T2/TOAB12/TIAB12 /INTP13/A2	67			73
KR3	P93/TOAB1B2/TRGAB1/ INTP14/A3	68			74
KR4	P94/TOAB1T3/TOAB13/TIAB13 /INTP15/A4	69			75
KR5	P95/TOAB1B3/EVTAB1/INTP16 /A5	70			76
KR6	P96/TECR0/TIT00/TOT00/A6	71			77
KR7	P97/TENC00/TIT01/TOT01/A7	72			78
NMI	入力	外部割り込み(ノンマスクブル, アナログ・ノイズ除去), 5Vトレラント対応	P02	21	21
P1COL	入力	イーサネット用衝突検出入力		56	59
P1CRS	入力	イーサネット用キャリア検出入力		55	58
P1MDC	出力	シリアル転送クロック出力		57	60
P1MDIO	入出力	シリアル入出力		58	61
P1RXCLK	入力	イーサネット用受信クロック入力		54	57
P1RXD0	入力	イーサネット用受信データ入力		48	51
P1RXD1	入力	イーサネット用受信データ入力		49	52
P1RXD2	入力	イーサネット用受信データ入力		50	53
P1RXD3	入力	イーサネット用受信データ入力		51	54
P1RXDV	入力	イーサネット用受信データVALID入力		52	55
P1RXER	入力	イーサネット用受信データ・エラー入力		53	56
P1TXCLK	入力	イーサネット用送信クロック入力		47	50
P1TXD0	出力	イーサネット用送信データ出力		41	44
P1TXD1	出力	イーサネット用送信データ出力		42	45
P1TXD2	出力	イーサネット用送信データ出力		43	46
P1TXD3	出力	イーサネット用送信データ出力		44	47
P1TXEN	出力	イーサネット用送信データ・イネーブル出力		46	49
P1TXER	出力	イーサネット用送信エラー出力		45	48

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(5/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JH3-E	JJ3-E
\overline{RD}	出力	外部メモリに対するリード・ストロブ信号出力	PCT4	113	123
REGC		レギュレータ出力安定容量接続 (4.7 μ F : 推奨値)		14, 83	14, 89
\overline{RESET}	入力	システム・リセット入力		18	18
RTC1HZ	出力	リアルタイム・カウンタ補正クロック (1Hz) 出力, 5Vトレラント対応	P22/TIAB01/TOAB01/INTP02	40	40
RTCCL	出力	リアルタイム・カウンタ・クロック (32kHz原発) 出力, 5Vトレラント対応	P21/TIAB00/TOAB00/RTCDIV	39	39
RTCDIV	出力	リアルタイム・カウンタ・クロック (32kHz分周) 出力, 5Vトレラント対応	P21/TIAB00/TOAB00/RTCCL	39	39
RTP00	出力	リアルタイム出力ポート RTP00, RTP01, RTP06, RTP07はN-chオープン・ドレイン出力選択可能, 5Vトレラント対応 (RTP06, RTP07)	P40/SIF0/TXDC3/SDA01	3	3
RTP01			P41/SOF0/RXDC3/SCL01	4	4
RTP02			P42/SCKF0/TIAA40/TOAA40	5	5
RTP03			P43/SIE0/TXDC4	-	6
			P43/SIE0/TXDC4/HLDAK	6	-
RTP04			P44/SOE0/RXDC4	-	7
			P44/SOE0/RXDC4/HLDRQ	7	-
RTP05			P45/SCKE0/TIAA41/TOAA41	8	8
RTP06	P46/SIF5/TXDC6	-	128		
RTP07	P47/SOF5/RXDC6	-	129		
RXDB0	入力	シリアル受信データ入力 (UARTB0), 5Vトレラント対応 シリアル受信データ入力 (UARTB0)	P34/SOF4/TIAA20/TOAA20	32	32
			PDH4/A20/SOF4	109	115
RXDB1	入力	シリアル受信データ入力 (UARTB1), 5Vトレラント対応	P914/SOF3/INTP20/A14	79	85
RXDC0	入力	シリアル受信データ入力 (UARTC0-UARTC7) 5Vトレラント対応 (RXDC0-RXDC2, RXDC5, RXDC6)	P31/SOF2/TIAA01/TOAA01	29	29
RXDC1			P24/SOF1/RXDC1/SDL00/INTP04	62	68
RXDC2			P37/SCL02/CRXD0 ^注	37	37
RXDC3			P41/SOF0/SCL01/RTP01	4	4
			P44/SOE0/RTP04	-	7
RXDC4			P44/SOE0/RTP04/HLDRQ	7	-
			P910/SOE1/SCL03/A10	75	81
RXDC5			P47/SOF5/RTP07	-	129
RXDC6	P58/SOF6	-	63		
RXDC7					
$\overline{SCKE0}$	入出力	シリアル・クロック入出力 (CSIE0)	P45/TIAA41/TOAA41/RTP05	8	8
$\overline{SCKE1}$		シリアル・クロック入出力 (CSIE1), 5Vトレラント対応 シリアル・クロック入出力 (CSIE1)	P911/TIAA50/TOAA50/A11	76	82
			PDH2/A18	107	113
$\overline{SCKF0}$	入出力	シリアル・クロック入出力 (CSIF0-CSIF3) 5Vトレラント対応	P42/TIAA40/TOAA40/RTP02	5	5
$\overline{SCKF1}$			P25/TIAA30/TOAA30/UMDARQ0	63	69
$\overline{SCKF2}$			P32/ASCKC0/TIAA10/TOAA10	30	30
$\overline{SCKF3}$			P915/TIAA51/TOAA51/A15	80	86
$\overline{SCKF4}$		シリアル・クロック入出力 (CSIF4) 5Vトレラント対応	P35/TIAA21/TOAA21/ TOAA1OFF/INTP06	33	33
		シリアル・クロック入出力 (CSIF4)	PDH5/A21	110	116
$\overline{SCKF5}$		シリアル・クロック入出力 (CSIF5, CSIF6)	P48/INTP22	-	130
$\overline{SCKF6}$		5Vトレラント対応	P59/INTP25	-	64

注 CANコントローラ内蔵品のみ

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(6/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JH3-E	JJ3-E
SCL00	入出力	シリアル・クロック入出力 (I ² C00-I ² C04) N-chオープン・ドレイン出力選択可能 5Vトレラント対応 (SCL00, SCL02-SCL04)	P24/SOF1/RXDC1/INTP04	62	68
SCL01			P41/SOF0/RXDC3/RTP01	4	4
SCL02			P37/RXDC2/CRXD0 ^注	37	37
SCL03			P910/SOE1/RXDC5/A10	75	81
SCL04			P56/INTP24/UDMAAK1	-	43
SDA00	入出力	シリアル送受信データ入出力 (I ² C00-I ² C04) N-chオープン・ドレイン出力選択可能 5Vトレラント対応 (SDA00, SDA02-SDA04)	P23/SIF1/TXDC1/INTP03	59	65
SDA01			P40/SIF0/TXDC3/RTP00	3	3
SDA02			P36/TXDC2/CTXD0 ^注	36	36
SDA03			P99/SIE1/TXDC5/A9	74	80
SDA04			P55/INTP23/UDMARQ1	-	42
SIE0	入力	シリアル受信データ入力 (CSIE0) 5Vトレラント対応	P43/TXDC4/RTP03	-	6
			P43/TXDC4/RTP03/HLDAK	6	-
SIE1		シリアル受信データ入力 (CSIE1) 5Vトレラント対応	P99/TXDC5/SDA03/A9	74	80
		シリアル受信データ入力 (CSIE1)	PDH0/A16	105	111
SIF0	入力	シリアル受信データ入力 (CSIF0-CSIF3) 5Vトレラント対応	P40/TXDC3/SDA01/RTP00	3	3
SIF1			P23/TXDC1/SDA00/INTP03	59	65
SIF2			P30/TXDC0/TIAA00/TOAA00	28	28
SIF3			P913/TXDB1/INTP19/A13	78	84
SIF4		シリアル受信データ入力 (CSIF4), 5Vトレラント対応	P33/TXDB0/TIAA11/TOAA11	31	31
		シリアル受信データ入力 (CSIF4)	PDH3/TXDB0	108	114
SIF5		シリアル受信データ入力 (CSIF5, CSIF6)	P46/TXDC6/RTP06	-	128
SIF6	5Vトレラント対応 (SIF5, SIF6)	P57/TXDC7	-	62	
SOE0	出力	シリアル送信データ出力 (CSIE0) 5Vトレラント対応	P44/RXDC4/RTP04	-	7
			P44/RXDC4/RTP04/HLDRQ	7	-
SOE1		シリアル送信データ出力 (CSIE0), 5Vトレラント対応	P910/RXDC5/SCL03/A10	75	81
		シリアル送信データ出力 (CSIE1)	PDH1/A17	106	112
SOF0	出力	シリアル送信データ出力 (CSIF0-CSIF3) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P41/RXDC3/SCL01/RTP01	4	4
SOF1			P24/RXDC1/SDL00/INTP04	62	68
SOF2			P31/RXDC0/TIAA01/TOAA01	29	29
SOF3		P914/RXDB1/INTP20/A14	79	85	
SOF4		シリアル送信データ出力 (CSIF4) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P34/RXDB0/TIAA20/TOAA20	32	32
		シリアル送信データ出力 (CSIF4)	PDH4/A20/RXDB0	109	115
SOF5		シリアル送信データ出力 (CSIF5, CSIF6)	P47/RXDC6/RTP07	-	129
SOF6	N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P58/RXDC7	-	63	
TECR0	入力	TMT0エンコーダ・クリア入力 N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P96/TIT00/KR6/TOT00/A6	71	77

注 CANコントローラ内蔵品のみ

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(7/9)

端子名称	入出力	機能	兼用端子	ピン番号		
				JH3-E	JJ3-E	
TENC00	入力	エンコーダ入力 / 外部イベント・カウント入力 / 外部トリガ入力 N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P97/TIT01/KR7/TOT01/A7	72	78	
TENC01		エンコーダ入力 N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P98/INTP17/A8	73	79	
TIAA00		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TAA0), 5Vトレラント対応	P30/TXDC0/SIF2/TOAA00	28	28	
TIAA01		キャプチャ・トリガ入力 (TAA0), 5Vトレラント対応	P31/RXDC0/SOF2/TOAA01	29	29	
TIAA10		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TAA1), 5Vトレラント対応	P32/ASCKC0/SCKF2/TOAA10	30	30	
TIAA11		キャプチャ・トリガ入力 (TAA1), 5Vトレラント対応	P33/SIF4/TXDB0/TOAA11	31	31	
TIAA20		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TAA2), 5Vトレラント対応	P34/SOF4/RXDB0/TOAA20	32	32	
TIAA21		キャプチャ・トリガ入力 (TAA2), 5Vトレラント対応	P35/SCKF4/TOAA21/ TOAA1OFF/INTP06	33	33	
TIAA30		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TAA3), 5Vトレラント対応	P25/SCKF1/TOAA30/UDMARQ0	63	69	
TIAA31		キャプチャ・トリガ入力 (TAA3), 5Vトレラント対応	P26/TOAA31/INTP05/UDMAAK0	64	70	
TIAA40		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TAA4)	P42/SCKF0/TOAA40/RTP02	5	5	
TIAA41		キャプチャ・トリガ入力 (TAA4)	P45/SCKE0/TOAA41/RTP05	8	8	
TIAA50		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TAA5), 5Vトレラント対応	P911/SCKE1/TOAA50/A11	76	82	
TIAA51		キャプチャ・トリガ入力 (TAA5), 5Vトレラント対応	P915/SCKF3/TOAA51/A15	80	86	
TIAB00		入力	外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TAB0), 5Vトレラント対応	P21/TOAB00/RTCDIV/RTCCL	39	39
TIAB01			キャプチャ・トリガ入力 (TAB0)	P22/TOAB01/RTC1HZ/INTP02	40	40
TIAB02	5Vトレラント対応		P20/TOAB02/INTP01	38	38	
TIAB03			P27/TOAB03/INTP21	-	41	
TIAB10	入力	キャプチャ・トリガ入力 / 外部イベント・カウント入力 / 外部トリガ入力 (TAB1) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P91/TOAB1B1/KR1/TOAB10/A1	66	72	
TIAB11		キャプチャ・トリガ入力 (TAB1) N-chオープン・ドレイン出力選択可能	P90/TOAB1T1/TOAB11/KR0/ INTP12/A0	65	71	
TIAB12			P92/TOAB1T2/TOAB12/KR2/ INTP13/A2	67	73	
TIAB13			P94/TOAB1T3/TOAB13/KR4/ INTP15/A4	69	75	
TIT00	入力	TMT0のキャプチャ・トリガ入力	P96/TECR0/KR6/TOT00/A6	71	77	
TIT01	入力	N-chオープン・ドレイン出力選択可能	P97/TENC00/KR7/TOT01/A7	72	78	

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(8/9)

端子名称	入出力	機能	兼用端子	ピン番号		
				JH3-E	JJ3-E	
TOAA00	出力	タイマ出力 (TAA0), N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P30/TXDC0/SIF2/TIAA00	28	28	
TOAA01			P31/RXDC0/SOF2/TIAA01	29	29	
TOAA10			タイマ出力 (TAA1), N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P32/ASCKC0/SCKF2/TIAA10	30	30
TOAA11				P33/SIF4/TXDB0/TIAA11	31	31
TOAA1OFF	入力	TAA1ハイ・インピーダンス出力制御信号入力 5Vトレラント対応	P35/SCKF4/TIAA21/TOAA21 /INTP06	33	33	
TOAA20	出力	タイマ出力 (TAA2) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P34/SOF4/RXDB0/TIAA20	32	32	
TOAA21			P35/SCKF4/TIAA21/TOAA1OFF /INTP06	33	33	
TOAA30	出力	タイマ出力 (TAA3), N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P25/SCKF1/TIAA30/UDMARQ0	63	69	
TOAA31			P26/TIAA31/INTP05/UDMAAK0	64	70	
TOAA40	出力	タイマ出力 (TAA4), N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P42/SCKF0/TIAA40/RTP02	5	5	
TOAA41			P45/SCKE0/TIAA41/RTP05	8	8	
TOAA50	出力	タイマ出力 (TAA5), N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P911/SCKE1/TIAA50/A11	76	82	
TOAA51			P915/SCKF3/TIAA51/A15	80	86	
TOAB00	出力	タイマ出力 (TAB0) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P21/TIAB00/RTCDIV/RTCCL	39	39	
TOAB01			P22/TIAB01/RTC1HZ/INTP02	40	40	
TOAB02			P20/TIAB02/INTP01	38	38	
TOAB03			P27/TIAB03/INTP21	-	41	
TOAB10	出力	タイマ出力 (TAB1) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P91/TOAB1B1/TIAB10/KR1/A1	66	72	
TOAB11			P90/TOAB1T1/TIAB11/KR0/ INTP12/A0	65	71	
TOAB12			P92/TOAB1T2/TIAB12/KR2/ INTP13/A2	67	73	
TOAB13			P94/TOAB1T3/TIAB13/KR4/ INTP15/A4	69	75	
TOAB1B1	出力	TAB1の6相PWMロウ・アーム用パルス信号出力 N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P91/TIAB10/KR1/TOAB10/A1	66	72	
TOAB1B2			P93/TRGAB1/KR3/INTP14/A3	68	74	
TOAB1B3			P95/EVTAB1/KR5/INTP16/A5	70	76	
TOAB1OFF	入力	TAB1ハイ・インピーダンス出力制御信号入力 5Vトレラント対応	P912/INTP18/A12	77	83	
TOAB1B1	出力	TAB1の6相PWMハイ・アーム用パルス信号出力 N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P90/TOAB11/TIAB11/KR0/ INTP12/A0	65	71	
TOAB1B2			P92/TOAB12/TIAB12/KR2/ INTP13/A2	67	73	
TOAB1B3			P94/TOAB13/TIAB13/KR4/ INTP15/A4	69	75	
TOT00	出力	タイマ出力 (TMT0) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P96/TECR0/TIT00/KR6/A6	71	77	
TOT01			P97/TENC00/TIT01/KR7/A7	72	78	

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

(9/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JH3-E	JJ3-E
TRGAB1	入力	TAB1の外部トリガ入力 N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P93/TOAB1B2/KR3/INTP14/A3	68	74
TXDB0	出力	シリアル送信データ出力 (UARTB0) 5Vトレラント対応	P33/SIF4/TIAA11/TOAA11	31	31
		シリアル送信データ出力 (UARTB0)	PDH3/A19/SIF4	108	114
TXDB1	出力	シリアル送信データ出力 (UARTB1) 5Vトレラント対応	P913/SIF3/INTP19/A13	78	84
TXDC0	出力	シリアル送信データ出力 (UARTC0-UARTC2)	P30/SIF2/TIAA00/TOAA00	28	28
TXDC1		N-chオープン・ドレイン出力選択可能	P23/SIF1/SDA00/INTP03	59	65
TXDC2		5Vトレラント対応	P36/SDA02/CTXD0 [※]	36	36
TXDC3		シリアル送信データ出力 (UARTC3, UARTC4)	P40/SIF0/SDA01/RTP00	3	3
TXDC4			P43/SIE0/RTP03	-	6
			P43/SIE0/RTP03/HLDAK	6	-
TXDC5		シリアル送信データ出力 (UARTC5-UARTC7)	P99/SIE1/SDA03/A9	74	80
TXDC6		N-chオープン・ドレイン出力選択可能	P46/SIF5/RTP06	-	128
TXDC7	5Vトレラント対応	P57/SIF6	-	62	
EXCLK	入力	外部USBクロック信号入力, 5Vトレラント対応	P03/INTP00/ADTRG	22	22
UDMAAK0	出力	USB用DMAアクノリッジ, 5Vトレラント対応	P26/TIAA31/TOAA31/INTP05	64	70
UDMAAK1			P56/SCL04/INTP24	-	43
UDMARQ0	入力	USB用DMAリクエスト, 5Vトレラント対応	P25/SCKF1/TIAA30/TOAA30	63	69
UDMARQ1			P55/SDL04/INTP23	-	42
UDMF	入出力	USBデータ入出力 (-) ファンクション		9	9
UDPF		USBデータ入出力 (+) ファンクション		10	10
UVDD		USB用3.3V正電源供給		11	11
VDD		内部用正電源供給端子		13, 82	13, 88
VSS		内部用グランド電位		15, 34, 60, 84, 101, 117	15, 34, 66, 90, 107, 131
WAIT	入力	外部ウエイト入力	PCM0	86	92
WR0	出力	外部メモリ (下位8ビット) に対するライト・ストロープ	PCT0	111	121
WR1		外部メモリ (上位8ビット) に対するライト・ストロープ	PCT1	112	122
X1	入力	メイン・クロック用発振子接続		16	16
X2				17	17
XT1	入力	サブクロック用発振子接続		19	19
XT2				20	20

注 CANコントローラ内蔵品のみ

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-2 動作モードによる各端子の動作状態

端子名称	電源投入時 ^{注1}	リセット中 (電源投入時 以外)	HALT モード ^{注2}	IDLE1, IDLE2, サブIDLE モード ^{注2}	STOP モード ^{注2}	アイドル・ ステート ^{注3}	バス・ ホールド					
$\overline{\text{DRST}}$	プルダウン	プルダウン ^{注4}	保持	保持	保持	保持	保持					
DDO	不定	Hi-Z ^{注5}	保持	保持	保持	保持	保持					
AD0-AD15	Hi-Z ^{注6}	Hi-Z ^{注6}	不定 ^{注7}	Hi-Z	Hi-Z	保持	Hi-Z					
A0-A15 ^{注8}			不定 ^{注7}									
A16-A23												
$\overline{\text{WAIT}}$			注7					-	-	-	-	
$\overline{\text{WR0}}, \overline{\text{WR1}}$			H ^{注7}					H	H	H	Hi-Z	
$\overline{\text{RD}}$												
ASTB												
$\overline{\text{CS0}}, \overline{\text{CS2}}, \overline{\text{CS3}}$												
$\overline{\text{HLDAK}}$			動作								L	
$\overline{\text{HLDRQ}}$											-	動作
CLKOUT											L	L
その他のポート端子	Hi-Z	Hi-Z	保持	保持	保持	保持	保持					

注1. 電源投入時，電源電圧が動作電源電圧範囲（下限）に達してから，1 ms経過するまでの期間です。

2. 兼用機能が動作しているときは動作します。
3. T3ステート後に挿入されるアイドル・ステート時の端子状態を示します。
4. 外部リセット時はプルダウンされます。ウォッチドッグ・タイマやクロック・モニタなどによる内部リセット時は，OCDM.OCDM0ビットの設定によって異なります。
5. オンチップ・デバッグ・モード時は，DDO出力になります。
6. バス制御端子はポート端子と兼用するので，入力モード（ポート・モード）に初期化します。
7. HALTモード時でもDMA動作中は動作します。
8. A0-A15は，セパレート・バス・モード用の端子です。

備考 Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング（受け付けない）

2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理

表2-3 各端子の入出力回路タイプと未使用時の処理 (1/4)

端子名称	兼用端子名	入出力回路タイプ	推奨接続方法	JH3-E	JJ3-E	
P02	NMI	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。			
P03	INTP00/ADTRG/EXCLK					
P20	TIAB02/TOAB02/INTP01	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。			
P21	TIAB00/TOAB00/RTCDIV/RTCCL					
P22	TIAB01/TOAB01/RTC1HZ/INTP02					
P23	SIF1/TXDC1/SDA00/INTP03					
P24	SOF1/RXDC1/SDL00/INTP04					
P25	SCKF1/TIAA30/TOAA30/UDMARQ0					
P26	TIAA31/TOAA31/INTP05/UDMAAK0					
P27	TIAB03/TOAB03/INTP21				-	
P30	TXDC0/SIF2/TIAA00/TOAA00	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。			
P31	RXDC0/SOF2/TIAA01/TOAA01					
P32	ASCKC0/SCKF2/TIAA10/TOAA10					
P33	SIF4/TXDB0/TIAA11/TOAA11					
P34	SOF4/RXDB0/TIAA20/TOAA20					
P35	SCKF4/TIAA21/TOAA21/ TOAA1OFF/INTP06					
P36	TXDC2/SDA02/CTXD0 ^注					
P37	RXDC2/SCL02/CRXD0 ^注					
P40	SIF0/TXDC3/SDA01/RTP00	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。			
P41	SOF0/RXDC3/SCL01/RTP01					
P42	SCKF0/TIAA40/TOAA40/RTP02					
P43	SIE0/TXDC4/RTP03 ----- SIE0/TXDC4/RTP03/HLDAK				-	-
P44	SOE0/RXDC4/RTP04 ----- SOE0/RXDC4/RTP04/HLDRQ				-	-
P45	SCKE0/TIAA41/TOAA41/RTP05					
P46	SIF5/TXDC6/RTP06				-	
P47	SOF5/RXDC6/RTP07				-	
P48	SCKF5/INTP22				-	

注 CANコントローラ内蔵品のみ

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

表2-3 各端子の入出力回路タイプと未使用時の処理(2/4)

端子名称	兼用端子名	入出力回路タイプ	推奨接続方法	JH3-E	JJ3-E
P50	INTP07/DDI	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P51	INTP08/DDO				
P52	INTP09/DCK				
P53	INTP10/DMS				
P54	INTP11/ $\overline{\text{DRST}}$	10-N	入力時：個別に抵抗を介して，EV _{SS} に接続してください。 V _{DD} レベルへの固定は禁止です。 出力時：オープンにしてください。 $\overline{\text{RESET}}$ 端子によるリセット時，内部でブルダウンされます。		
P55	SDA04/INTP23/ $\overline{\text{UDMARQ1}}$	10-D		-	
P56	SCL04/INTP24/ $\overline{\text{UDMAAK1}}$			-	
P57	SIF6/TXDC7			-	
P58	SOF6/RXDC7			-	
P59	$\overline{\text{SCKF6}}$ /INTP25			-	
P70-P79	ANI0-ANI9	11-G	入力時：個別に抵抗を介して，AV _{REF0} またはAV _{SS} に接続してください。 出力時：オープンにしてください。		
P710,	ANI10, ANI11			-	
P711					
P90	TOAB1T1/TOAB11/TIAB11/KR0/ INTP12/A0	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P91	TOAB1B1/TIAB10/KR1/TOAB10/A1				
P92	TOAB1T2/TOAB12/TIAB12/KR2/ INTP13/A2				
P93	TOAB1B2/TRGAB1/KR3/INTP14/A3				
P94	TOAB1T3/TOAB13/TIAB13/KR4/ INTP15/A4				
P95	TOAB1B3/EVTB1/KR5/INTP16/A5				
P96	TECR0/TIT00/KR6/TOT00/A6				
P97	TENC00/TIT01/KR7/TOT01/A7				
P98	TENC01/INTP17/A8				
P99	SIE1/TXDC5/SDA03/A9				
P910	SOE1/RXDC5/SCL03/A10				
P911	$\overline{\text{SCKE1}}$ /TIAA50/TOAA50/A11				
P912	TOAB1OFF/INTP18/A12				
P913	SIF3/TXDB1/INTP19/A13				
P914	SOF3/RXDB1/INTP20/A14				
P915	$\overline{\text{SCKF3}}$ /TIAA51/TOAA51/A15				
PCM0	WAIT	5	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
PCM1	CLKOUT				
PCM2	HLD $\overline{\text{AK}}$			-	
PCM3	HLD $\overline{\text{RQ}}$			-	

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

表2-3 各端子の入出力回路タイプと未使用時の処理(3/4)

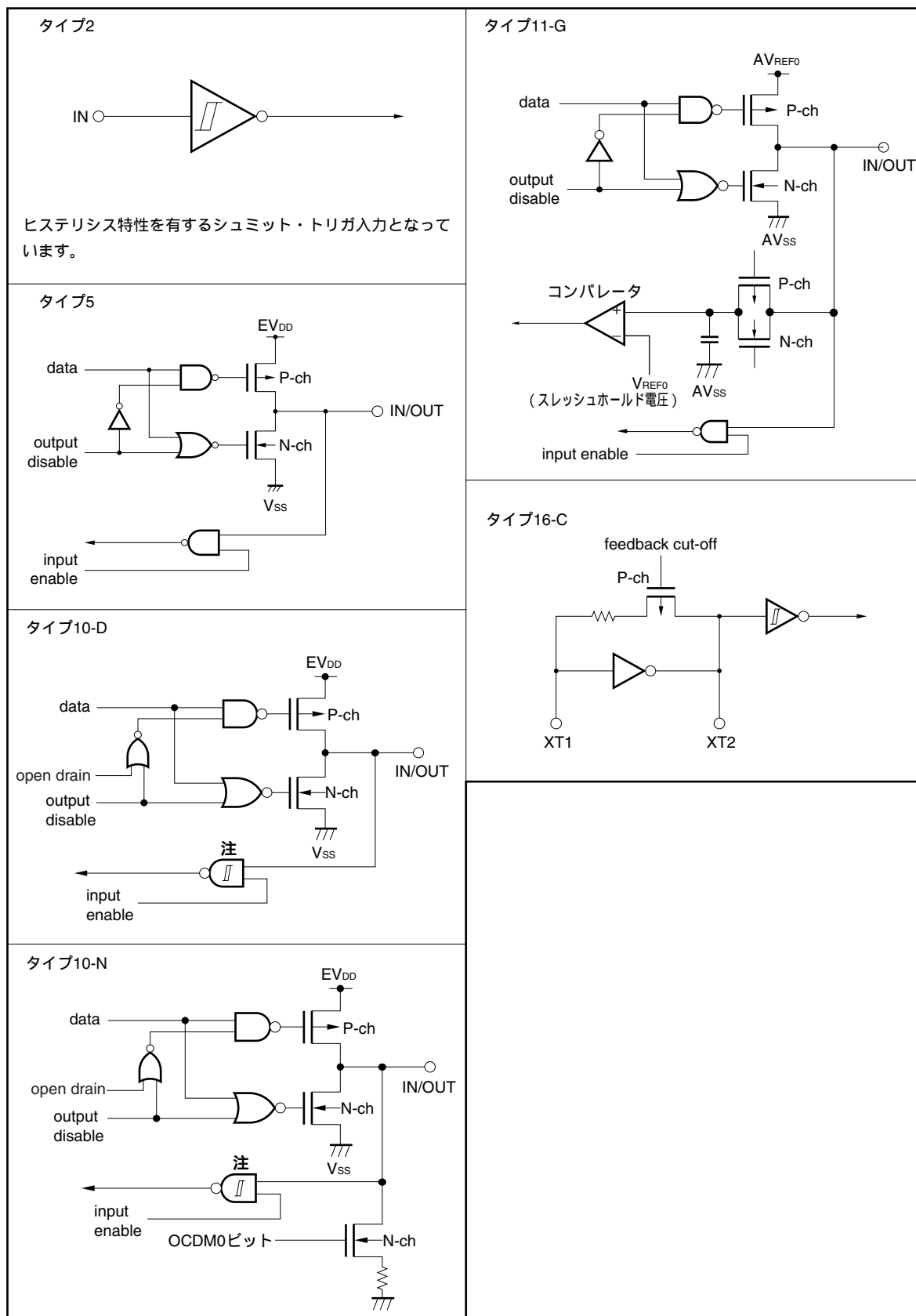
端子名称	兼用端子名	入出力回路タイプ	推奨接続方法	JH3-E	JJ3-E
PCS0	$\overline{CS0}$	5	入力時：個別に抵抗を介して、EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
PCS2	$\overline{CS2}$				
PCS3	$\overline{CS3}$				
PCT0	$\overline{WR0}$	5	入力時：個別に抵抗を介して、EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
PCT1	$\overline{WR1}$				
PCT4	\overline{RD}				
PCT6	ASTB				
PDH0	A16/SIE1	10-D	入力時：個別に抵抗を介して、EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
PDH1	A17/SOE1	5			
PDH2	$\overline{A18/SCKE1}$	10-D			
PDH3	A19/SIF4/TXDB0				
PDH4	A20/SOF4/RXDB0				
PDH5	$\overline{A21/SCKF4}$				
PDH6, PDH7	A22, A23	5			
PDL0- PDL4	AD0-AD4	5	入力時：個別に抵抗を介して、EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
PDL5	AD5/FLMD1				
PDL6- PDL15	AD6-AD15				
AV _{REF0}			常に電源を接続してください。(スタンバイ時も同様です)。		
AV _{SS}			常にグラウンドに直接接続してください(スタンバイ時も同様です)。		
EV _{DD}			V _{DD} に直接接続し常に電源を供給してください。		
FLMD0			フラッシュ・モード時以外は、V _{SS} に直接接続してください。		
P1COL		5	個別に抵抗を介して、EV _{DD} またはV _{SS} に接続してください。		
P1CRS		5			
P1MDIO		5			
P1RXCLK		5			
P1RXD0		5			
P1RXD1		5			
P1RXD2		5			
P1RXD3		5			
P1RXDV		5			
P1RXER		5			
P1TXCLK		5			

表2-3 各端子の入出力回路タイプと未使用時の処理 (4/4)

端子名称	兼用端子名	入出力回路タイプ	推奨接続方法	JH3-E	JJ3-E
P1MDC		5	オープンにしてください。		
P1TXD0		5			
P1TXD1		5			
P1TXD2		5			
P1TXD3		5			
P1TXEN		5			
P1TXER		5			
REGC			レギュレータ出力安定容量 (4.7 μ F (推奨値)) に接続してください。		
RESET		2			
UDMF			常に抵抗を介してグラウンドに接続してください。		
UDPF			常にグラウンドに直接接続してください (スタンバイ時も同様です)。		
UV _{DD}			常に電源に接続してください (スタンバイ時も同様です)。		
V _{DD}			常に電源に接続してください (スタンバイ時も同様です)。		
V _{SS}			常にグラウンドに直接接続してください (スタンバイ時も同様です)。		
X1					
X2					
XT1		16-C	抵抗を介して、V _{SS} に接続してください。		
XT2		16-C	オープンにしてください		

備考 JH3-E : V850ES/JH3-E, JJ3-E : V850ES/JJ3-E

図2-1 端子の入出力回路タイプ



注 ポート・モード時はヒステリシス特性を持ちません。

2.4 注意事項

次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・ P51/INTP08/DDO端子

第3章 CPU機能

V850ES/JH3-E, V850ES/JJ3-EのCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間 20 ns (メイン・クロック (f_{XX}) = 50 MHz動作時: V_{DD} = 2.85 V ~ 3.6 V)

30.5 μ s (サブクロック (f_{XT}) = 32.768 kHz動作時)

メモリ空間 プログラム (物理アドレス) 空間: 64 Mバイト・リニア

データ (論理アドレス) 空間 : 4 Gバイト・リニア

汎用レジスタ: 32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令: 1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・ SET1
- ・ CLR1
- ・ NOT1
- ・ TST1

3.2 CPUレジスタ・セット

V850ES/JH3-E, V850ES/JJ3-Eのレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES **ユーザーズ・マニュアル** **アーキテクチャ編**を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/デバッグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/デバッグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3-1 プログラム・レジスタ一覧

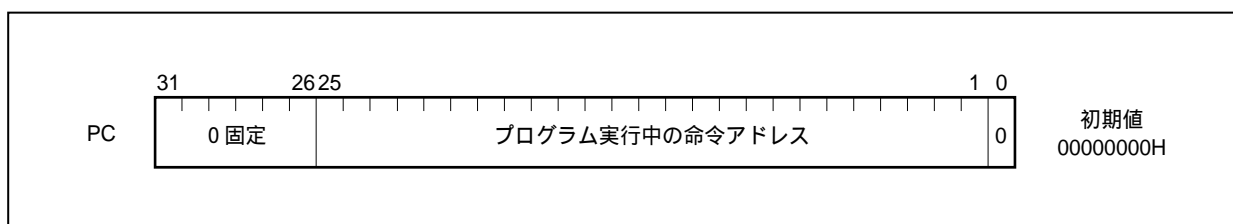
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考 アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリー言語編を参照してください。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC) ^{注1}		
3	NMI時状態退避レジスタ (FEPSW) ^{注1}		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. これらのレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCがFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

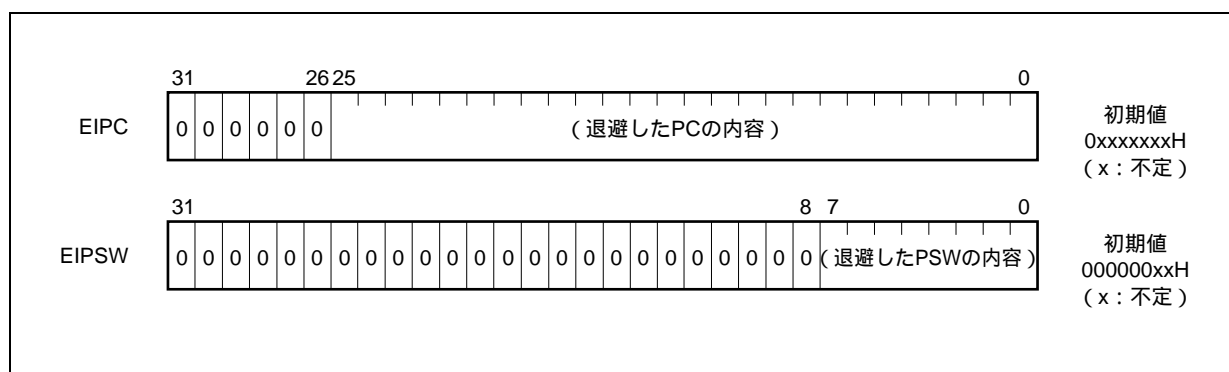
EIPCには、一部の命令 (25.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

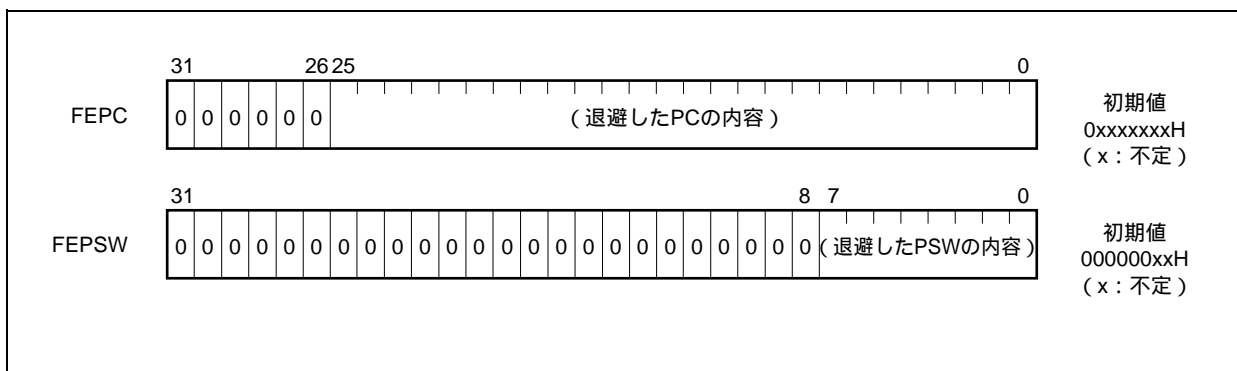
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

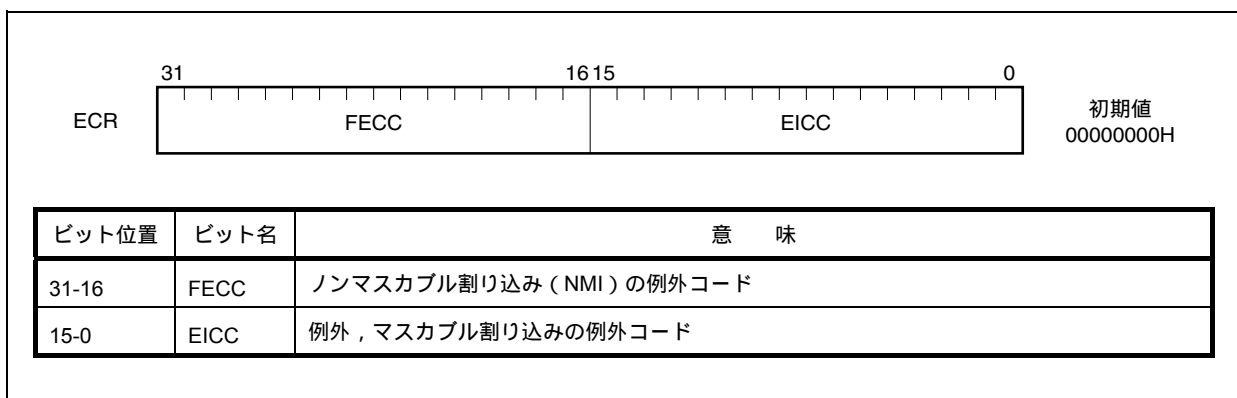
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) や CPU の状態を示すフラグの集合です。

LDSR 命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。ただし、ID フラグをセット (1) する場合、LDSR 命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット 31-8 は、将来の機能拡張のために予約されています (0 に固定)。

(1/2)

ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。"0" に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI 要求が受け付けられるとセット "1" され、多重割り込みを禁止します。 0: NMI 処理中でない。 1: NMI 処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット "1" されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット "1" され、以降の命令の演算結果が飽和しなくてもクリア "0" されません。クリア "0" する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット "1" もクリア "0" も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または 0 であった。 1: 演算の結果は負であった。
0	Z	演算の結果が 0 かどうかを示します。 0: 演算の結果は 0 でなかった。 1: 演算の結果は 0 であった。

備考 注の説明は次ページに記載しています。

(2/2)

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)

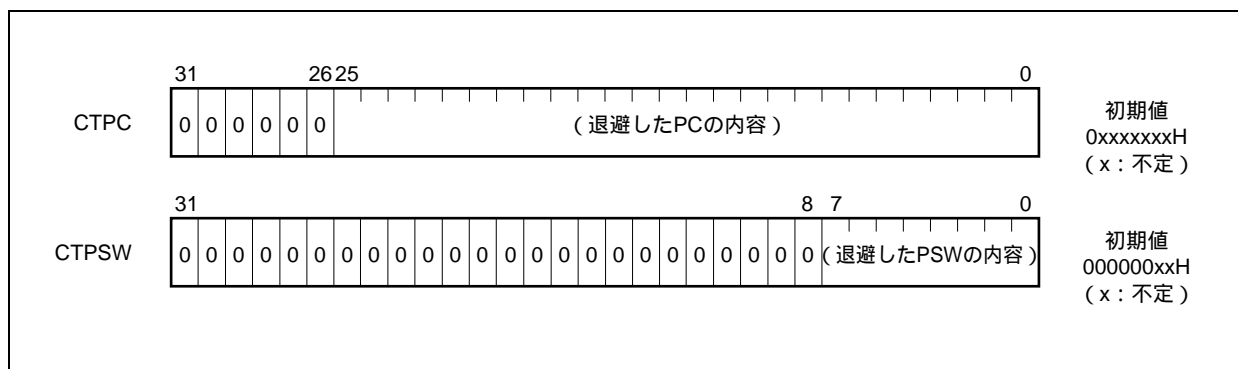
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると,プログラム・カウンタ(PC)の内容がDBPC に,プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

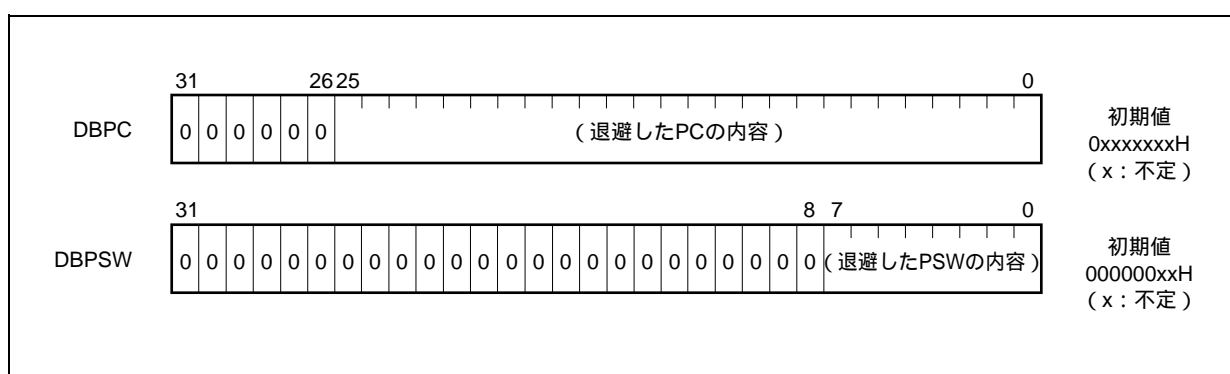
DBPCに退避される内容は,例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには,現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは,DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお,DBPCのビット31-26とDBPSWのビット31-8は,将来の機能拡張のために予約されています(“0”に固定)。

DBRET命令により,DBPCの値はPCへ,DBPSWの値はPSWへ復帰します。

**(7) CALLTベース・ポインタ (CTBP)**

CALLTベース・ポインタ(CTBP)は,テーブル・アドレスの指定,ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお,ビット31-26は,将来の機能拡張のために予約されています(“0”に固定)。



3.3 動作モード

V850ES/JH3-E, V850ES/JJ3-Eは次に示す動作モードを備えます。

(1) 通常動作モード

システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると，フラッシュ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) オンチップ・デバッグ・モード

JTAG (Joint Test Action Group) の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。詳細は第34章 オンチップ・デバッグ機能を参照してください。

3.3.1 動作モード指定

FLMD0, FLMD1端子の状態により，動作モードを指定します。

通常モード時は，リセット解除時に，FLMD0端子にロウ・レベルを入力してください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は，フラッシュ・プログラマ接続時はフラッシュ・プログラマから行いますが，セルフ・プログラミング時は外部回路で行ってください。

リセット解除時の動作		リセット後の動作モード
FLMD0	FLMD1	
L	x	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

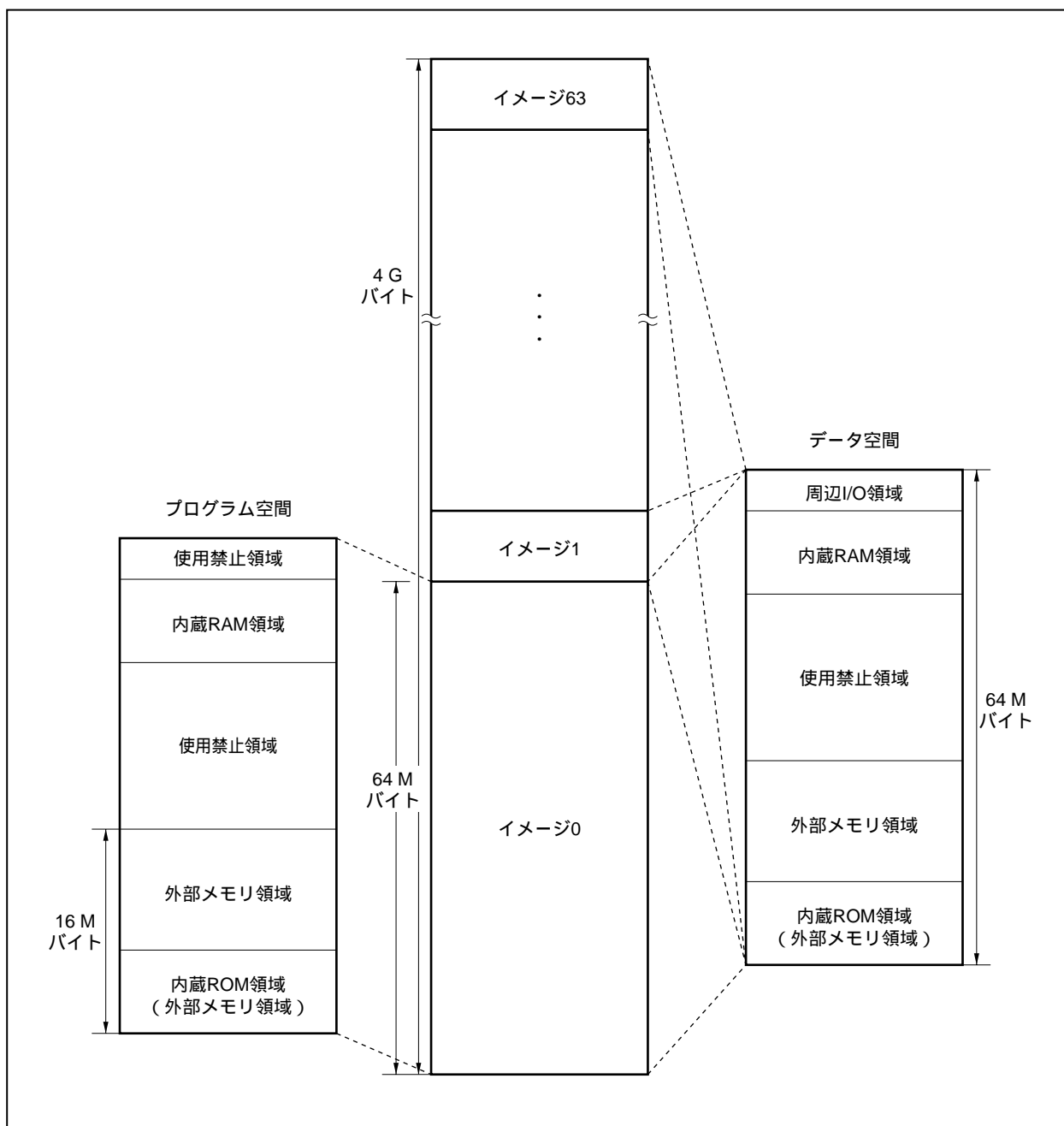
備考 L：ロウ・レベル入力
H：ハイ・レベル入力
x：任意

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3-1 アドレス空間上のイメージ



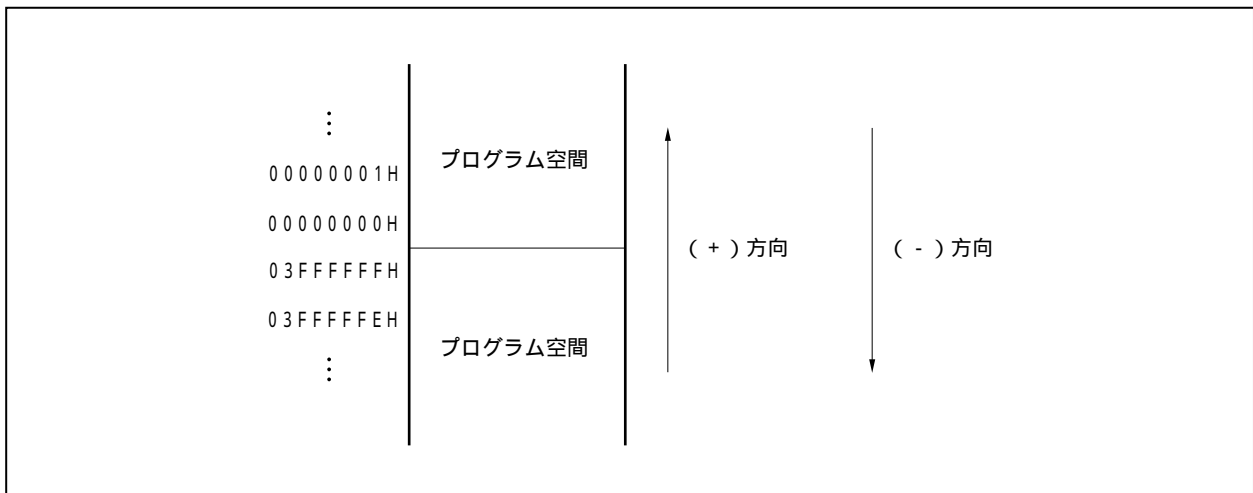
3.4.2 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC(プログラム・カウンタ)は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限である03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

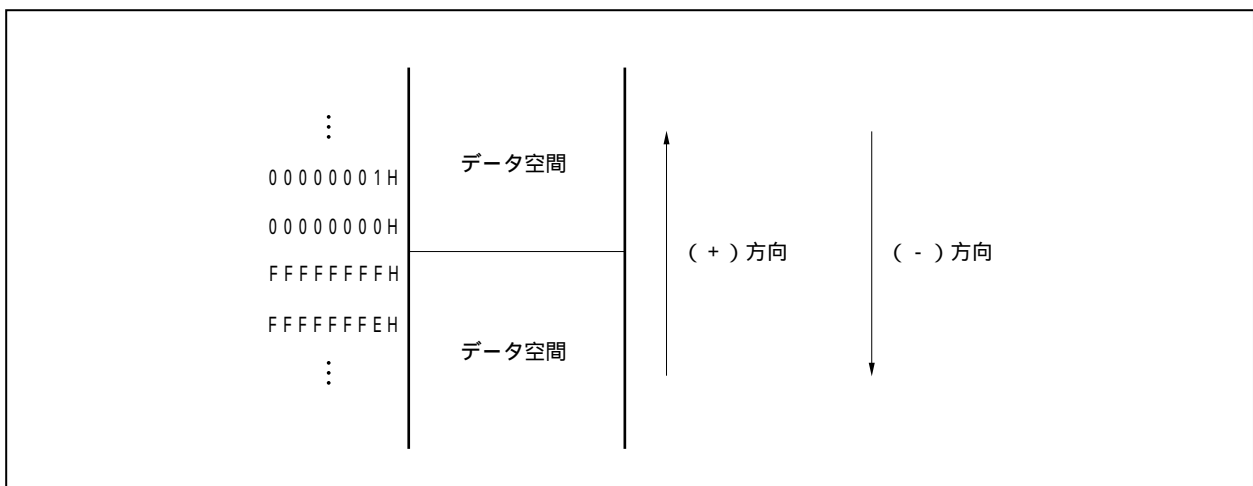
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

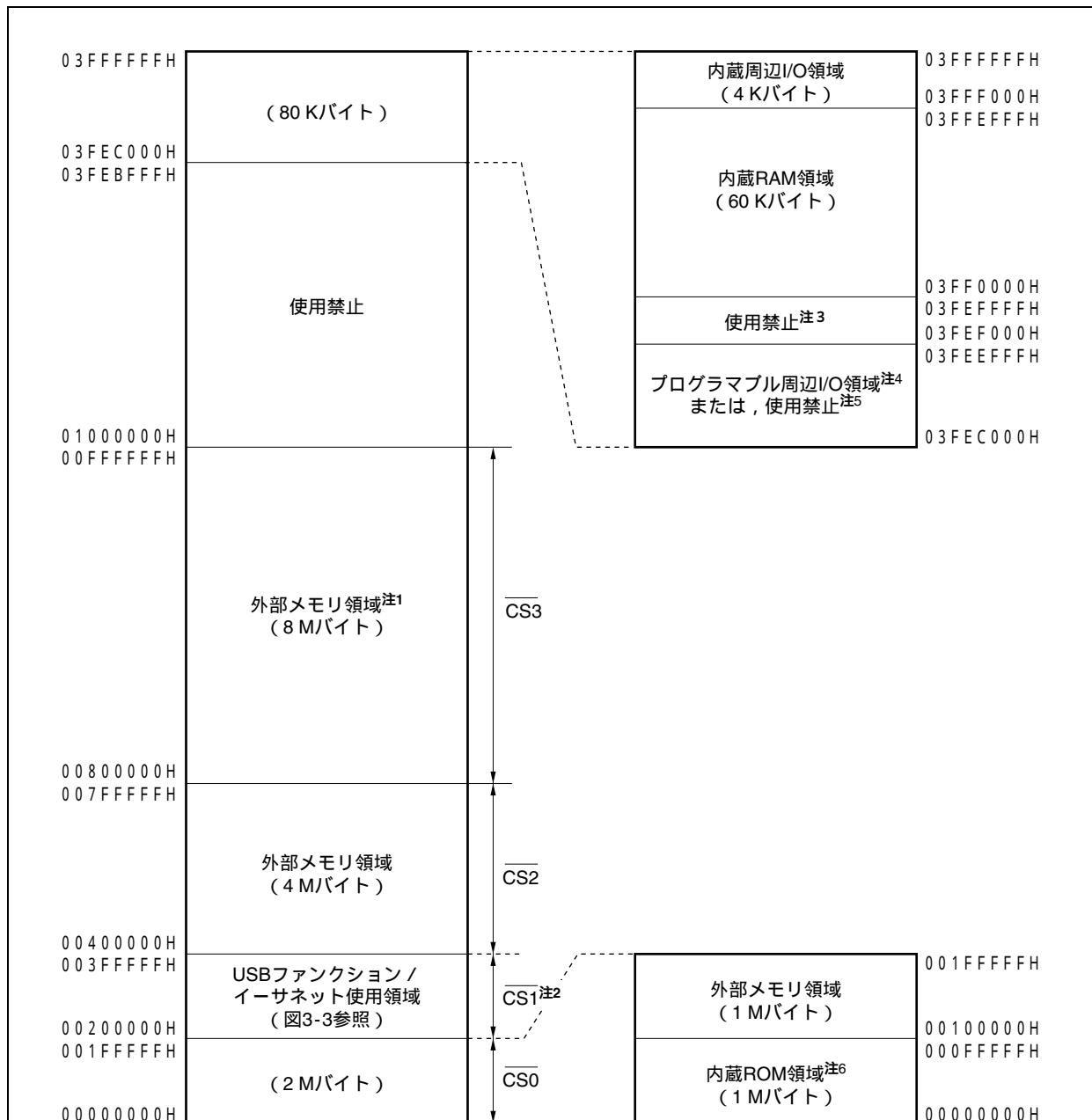
したがって、データ空間の上限であるFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.3 メモリ・マップ

V850ES/JH3-E, V850ES/JJ3-Eでは、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス)



- 注1. V850ES/JJ3-Eのみ、外部メモリ領域として使用できます。V850ES/JH3-Eでは、使用禁止領域です。
2. CS1はV850ES/Jx3-Eの外部信号としては存在しません。V850ES/Jx3-E内部でUSB、イーサネットに対するチップ・セレクト信号として使用しています。
3. 03FEF000H-03FEEFFFFH番地は、内蔵周辺I/O領域と同じ領域となるため、使用禁止となります。
4. プログラマブル周辺I/O領域だけは4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。
5. 03FEC000H-03FEEFFFFH番地は、CANコントローラ内蔵品では、プログラマブル周辺I/O領域として03FEC000H-03FECBFFFH番地を割り付けています。CANコントローラを内蔵していない製品では使用禁止となります。
6. データ・ライト・アクセス時は、外部メモリ領域になります。

図3 - 3 CS1空間のメモリ・マップ

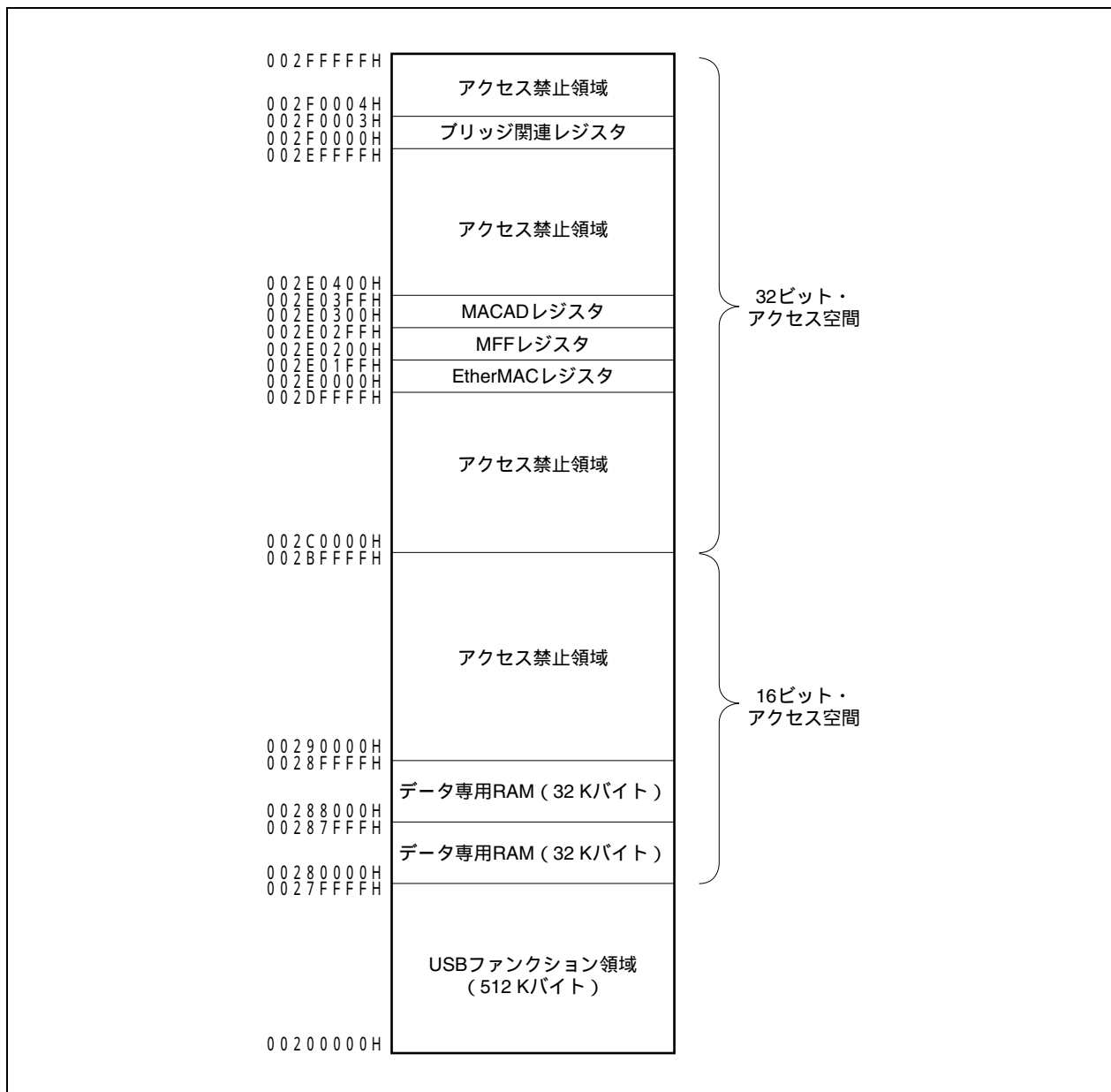


図3-4 プログラム・メモリ・マップ

03FFFFFFH	使用禁止 (プログラム・フェッチ不可領域)
03FFF000H 03FEFFFFH	
	内蔵RAM領域 (60 Kバイト)
03FF0000H 03FEFFFFH	使用禁止 (プログラム・フェッチ不可領域)
01000000H 00FFFFFFH	外部メモリ領域 ^注 (8 Mバイト)
00800000H 007FFFFFFH	外部メモリ領域 (4 Mバイト)
00400000H 003FFFFFFH	使用禁止 (プログラム・フェッチ不可領域)
00200000H 001FFFFFFH	外部メモリ領域 (1 Mバイト)
00100000H 000FFFFFFH	内蔵ROM領域 (1 Mバイト)
00000000H	

注 V850ES/JJ3-Eのみ, V850ES/JH3-Eでは使用禁止領域

3.4.4 領域

(1) 内蔵ROM領域

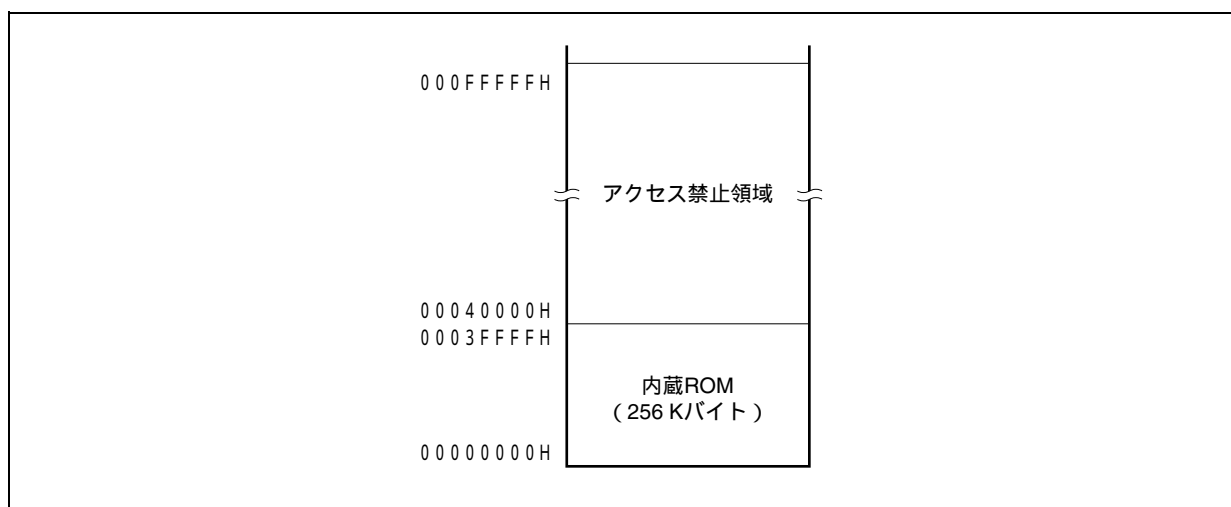
内蔵ROM領域は、最大1 Mバイトが予約されています。

(a) 内蔵ROM (256 Kバイト)

μ PD70F3778には00000000Hから0003FFFFH番地に256 Kバイト実装しています。

00040000Hから000FFFFFFH番地はアクセス禁止領域です。

図3 - 5 内蔵ROM領域 (256 Kバイト)



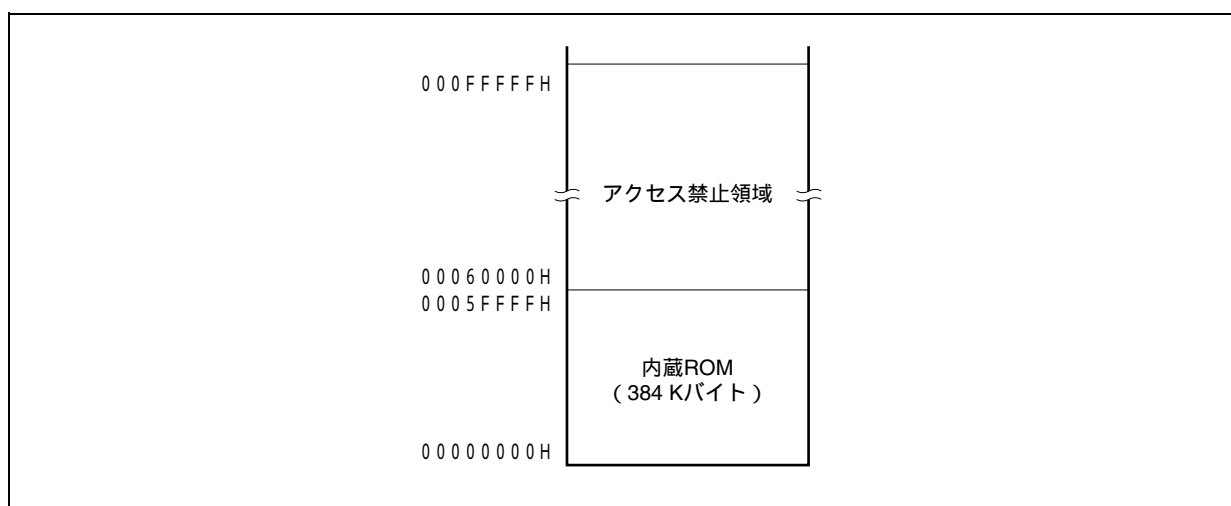
(b) 内蔵ROM (384 Kバイト)

次の製品には00000000Hから0005FFFFH番地に384 Kバイト実装しています。

00060000Hから000FFFFFFH番地はアクセス禁止領域です。

・ μ PD70F3779, 70F3781

図3 - 6 内蔵ROM領域 (384 Kバイト)

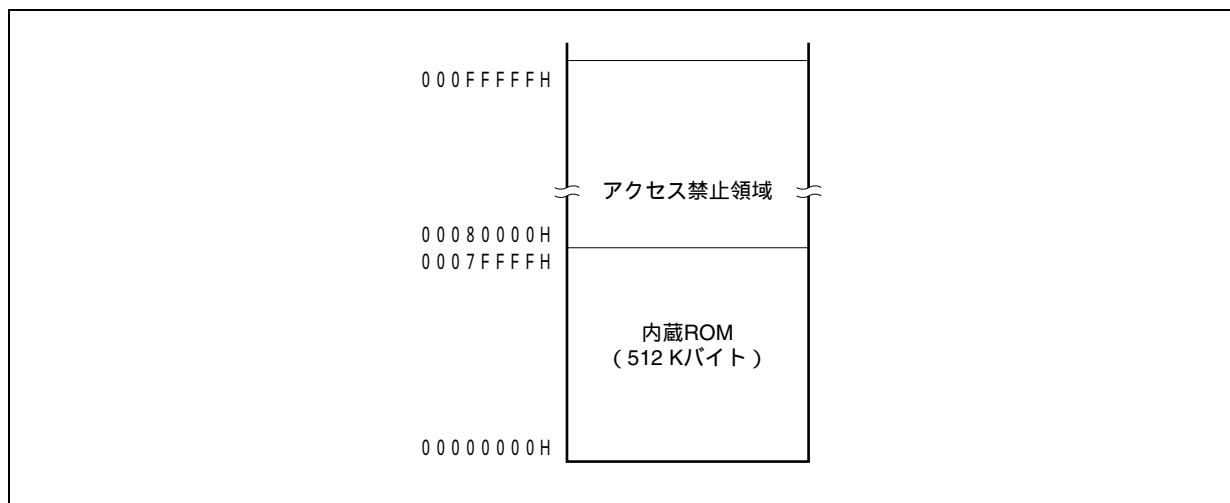


(c) 内蔵ROM (512 Kバイト)

次の製品には00000000Hから0007FFFFH番地に512 Kバイト実装しています。
00080000Hから000FFFFFFH番地はアクセス禁止領域です。

・ μ PD70F3780, 70F3782, 70F3783, 70F3784, 70F3785, 70F3786

図3-7 内蔵ROM領域 (512 Kバイト)

**(2) 内蔵RAM領域**

内蔵RAM領域は、最大60 Kバイトが予約されています。

V850ES/JH3-E, V850ES/JJ3-Eは内蔵RAMのほかにデータ専用RAMを搭載しています。

次にV850ES/JH3-E, V850ES/JJ3-EのRAM容量について示します。

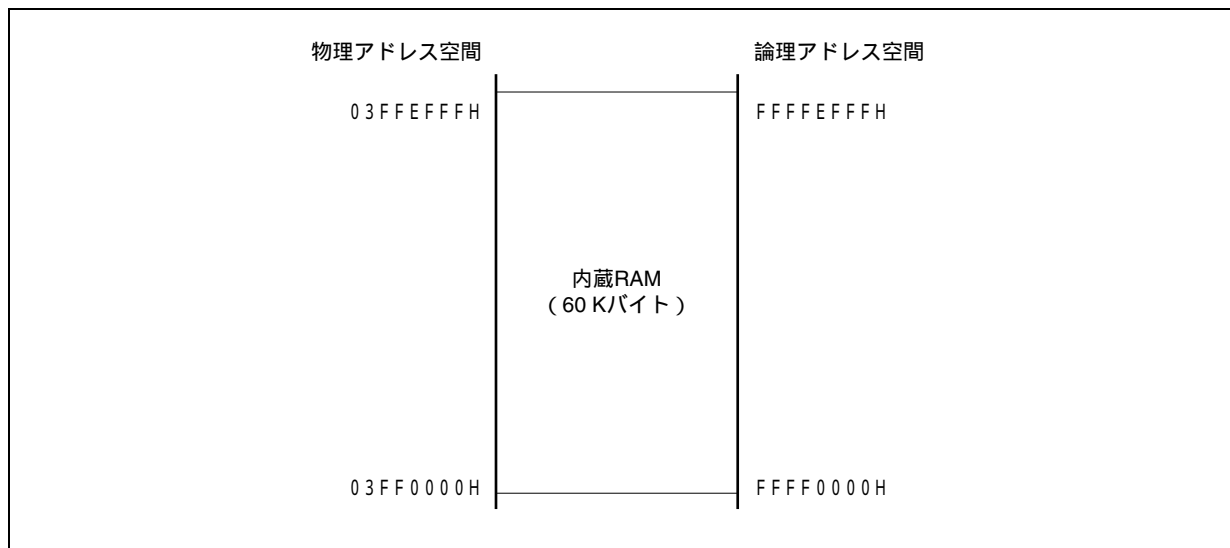
表3-3 RAM領域

愛称	品名	内蔵RAM	データ専用RAM	トータルRAM
V850ES/JH3-E	μ PD70F3778, 70F3779, 70F3780	60 Kバイト	16 Kバイト	76 Kバイト
	μ PD70F3781, 70F3782, 70F3783	60 Kバイト	64 Kバイト	124 Kバイト
V850ES/JJ3-E	μ PD70F3784	60 Kバイト	16 Kバイト	76 Kバイト
	μ PD70F3785, 70F3786	60 Kバイト	64 Kバイト	124 Kバイト

(a) 内蔵RAM (60 Kバイト)

V850ES/JH3-E, V850ES/JJ3-Eには03FF0000Hから03FFFFFFFFH番地に60 Kバイト実装しています。

図3 - 8 内蔵RAM領域 (60 Kバイト)

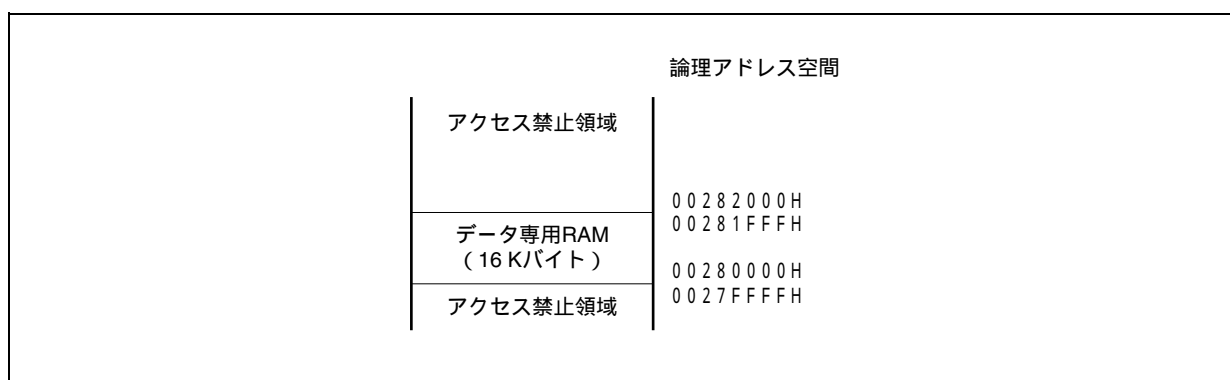


(b) データ専用RAM (16 Kバイト)

次の製品には00280000Hから00283FFFH番地に16 Kバイトのデータ専用RAMを実装しています。
03FF0000Hから03FF2FFFH番地はアクセス禁止領域です。

・ μ PD70F3778, 70F3779, 70F3780, 70F3784

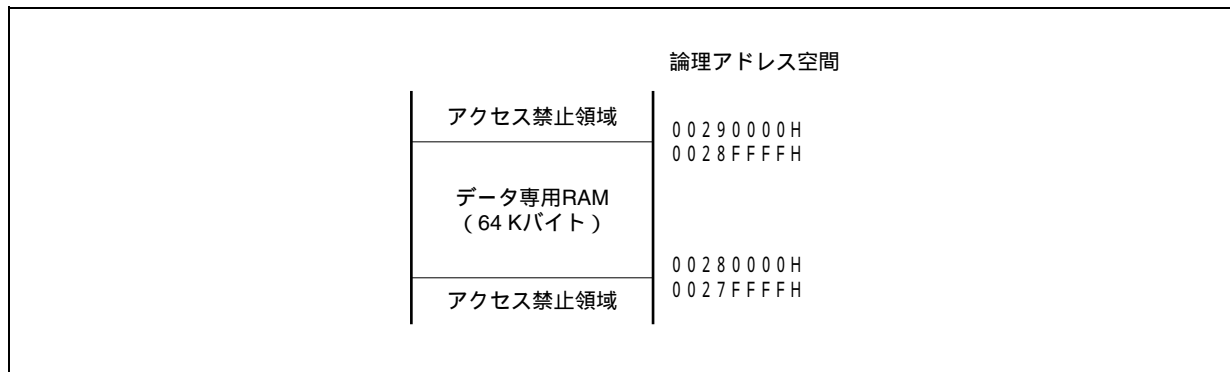
図3 - 9 データ専用RAM領域 (16 Kバイト)



(C) データ専用RAM (64 Kバイト)

次の製品には00280000Hから0028FFFFH番地に64 Kバイトのデータ専用RAMを実装しています。

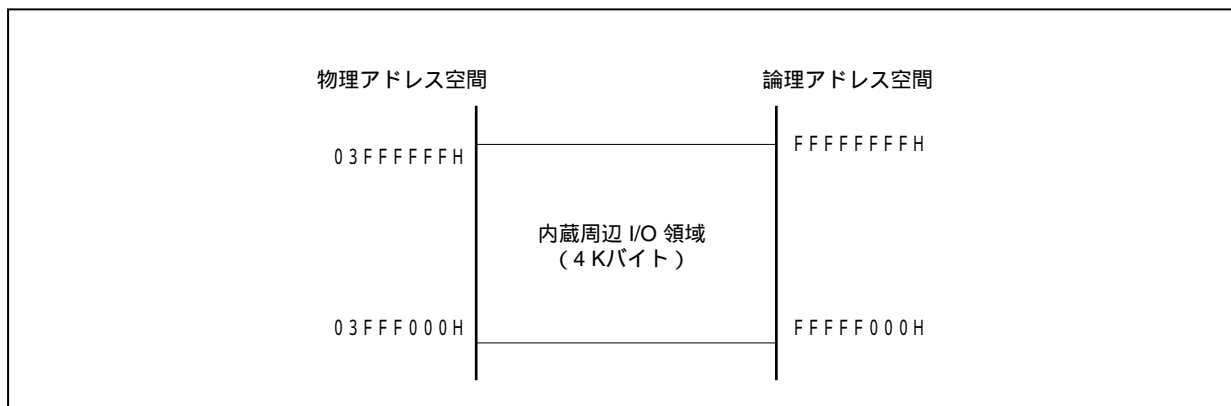
- ・ μ PD70F3781, 70F3782, 70F3783, 70F3785, 70F3786

図3 - 10 データ専用RAM領域 (64 Kバイト)

(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として03FFFF00H-03FFFFFFH番地の4 Kバイトを予約しています。

図3 - 11 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
 3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
 4. 内蔵ROM/RAM領域と、内蔵周辺I/O領域のアドレスは連続しています。
そのため、ポインタ操作などでアドレスをインクリメント/デクリメントしながらアクセスする場合は、誤って内蔵ROM/RAM領域を越えて内蔵周辺I/O領域へアクセスしないでください。

(4) 外部メモリ領域

外部メモリ領域としてV850ES/JH3-Eは5 Mバイト(00100000H-001FFFFFFH, 00400000H-007FFFFFFH), V850ES/JJ3-Eは13 Mバイト(00100000H-001FFFFFFH, 00400000H-00FFFFFFH)あります。詳細は第5章 バス制御機能を参照してください。

3.4.5 アドレス空間の推奨使用方法

V850ES/JH3-E, V850ES/JJ3-Eのアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、03FF0000H-03FFFEFFH番地に対してアクセスしてください。

注意 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

(2) データ空間

V850ES/JH3-E, V850ES/JJ3-Eでは、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR=r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μPD70F3786の場合

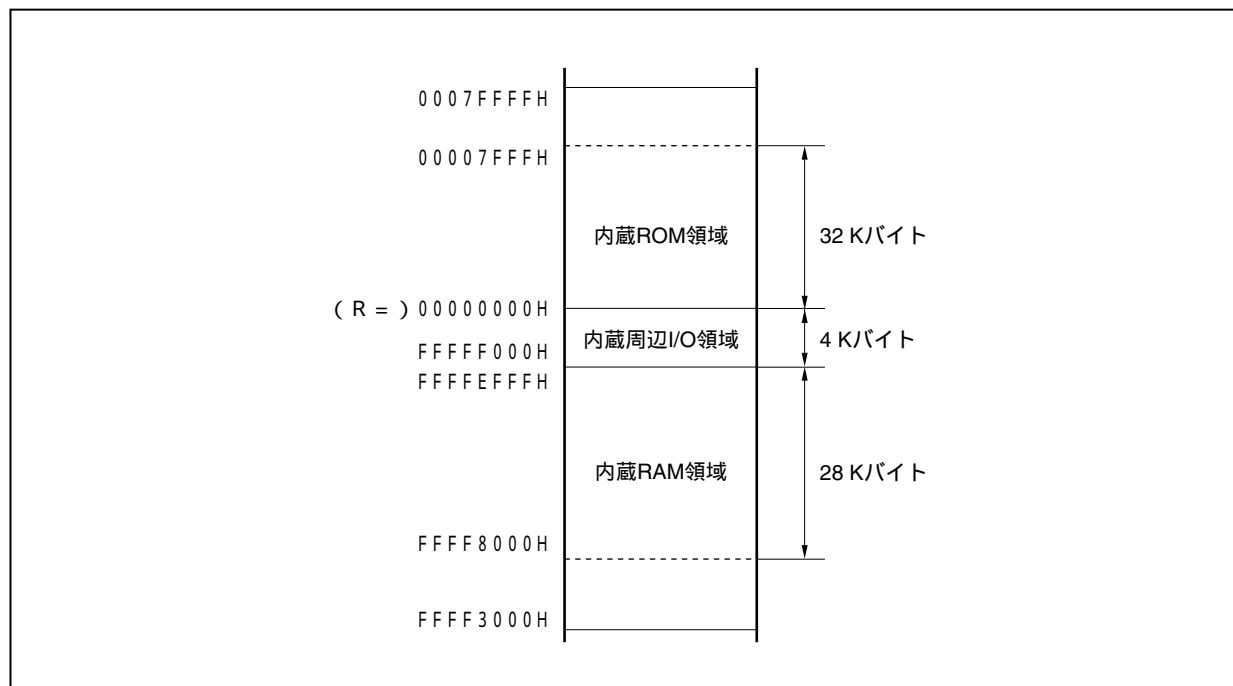
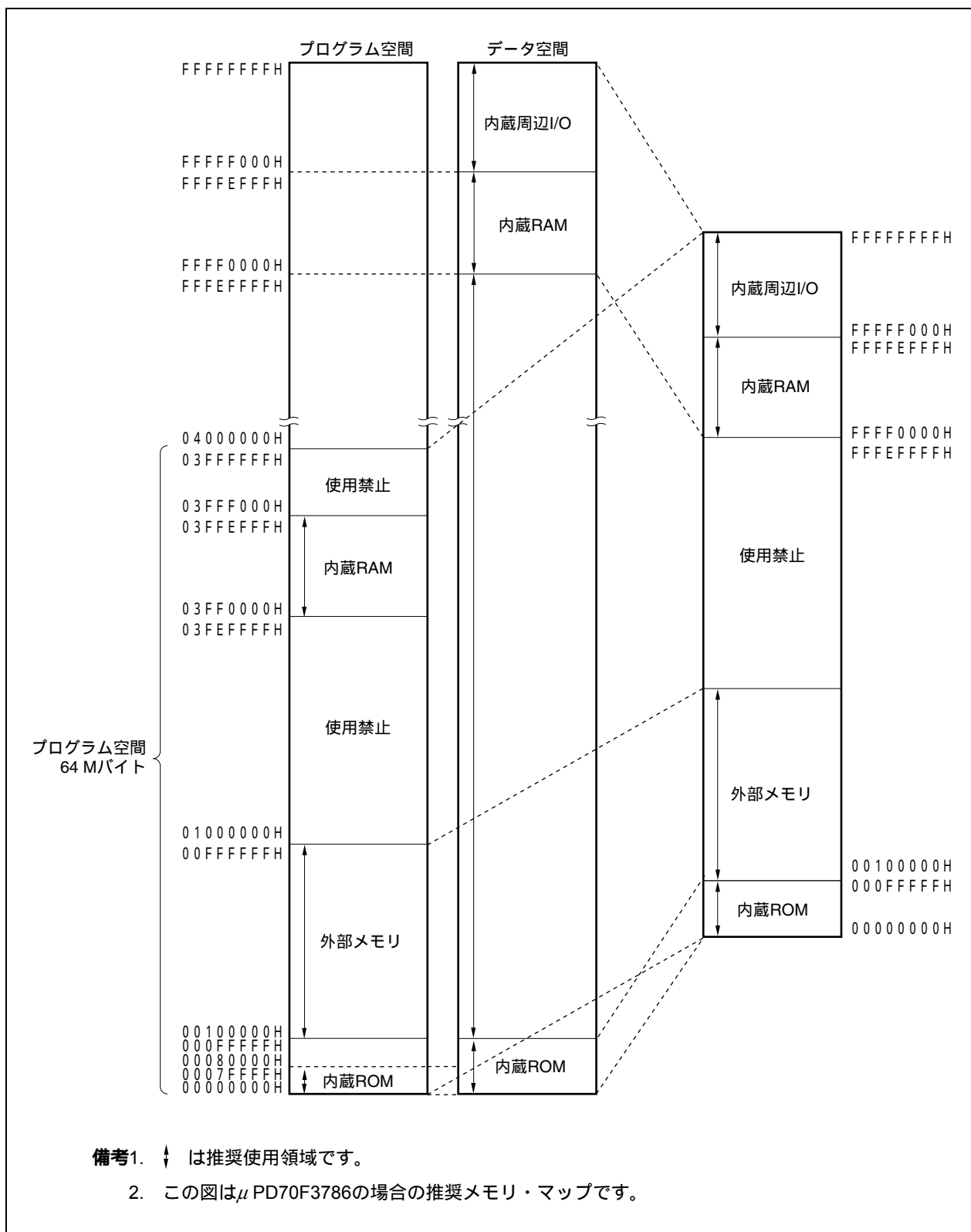


図3-12 推奨メモリ・マップ



3.4.6 周辺I/Oレジスタ

(1/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタ	PDL	R/W				0000H ^{注1}
FFFFF004H	ポートDLレジスタL	PDLL					00H ^{注1}
FFFFF005H	ポートDLレジスタH	PDLH					00H ^{注1}
FFFFF006H	ポートDHレジスタ ^{注2}	PDH ^{注2}					00H ^{注1}
FFFFF008H	ポートCSレジスタ	PCS					00H ^{注1}
FFFFF00AH	ポートCTレジスタ	PCT					00H ^{注1}
FFFFF00CH	ポートCMレジスタ	PCM					00H ^{注1}
FFFFF024H	ポートDLモード・レジスタ	PMDL					FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH					FFH
FFFFF026H	ポートDHモード・レジスタ ^{注2}	PMDH ^{注2}					FFH
FFFFF028H	ポートCSモード・レジスタ	PMCS					FFH
FFFFF02AH	ポートCTモード・レジスタ	PMCT					FFH
FFFFF02CH	ポートCMモード・レジスタ	PMCM					FFH
FFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL					0000H
FFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL					00H
FFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH					00H
FFFFF046H	ポートDHモード・コントロール・レジスタ ^{注2}	PMCDH ^{注2}					00H
FFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS					00H
FFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT					00H
FFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM					00H
FFFFF056H	ポートDHファンクション・コントロール・レジスタ	PFCDH					00H
FFFFF064H	周辺I/O領域セレクト制御レジスタ ^{注3}	BPC ^{注3}					0000H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H
FFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H					不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L					不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H				不定	
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L				不定	
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H				不定	
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L				不定	
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H				不定	
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L				不定	
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H				不定	

注1. 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

2. V850ES/JJ3-Eのみ
3. μ PD70F3783, 70F3786のみ

(2/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W				不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H					不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L					不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H					不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0					不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1					不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2					不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3					不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0					0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1					0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2					0000H
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3					0000H
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0					00H
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1					00H
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2					00H
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3					00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L				FFH	
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H				FFH	
FFFFF104H	割り込みマスク・レジスタ2	IMR2				FFFFH	
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L				FFH	
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H				FFH	
FFFFF106H	割り込みマスク・レジスタ3	IMR3				FFFFH	
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L				FFH	
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H				FFH	
FFFFF108H	割り込みマスク・レジスタ4	IMR4				FFFFH	
FFFFF108H	割り込みマスク・レジスタ4L	IMR4L				FFH	
FFFFF109H	割り込みマスク・レジスタ4H	IMR4H				FFH	
FFFFF10AH	割り込みマスク・レジスタ5	IMR5				FFFFH	
FFFFF10AH	割り込みマスク・レジスタ5L	IMR5L				FFH	
FFFFF10BH	割り込みマスク・レジスタ5H	IMR5H				FFH	
FFFFF10CH	割り込みマスク・レジスタ6	IMR6				FFFFH	
FFFFF10CH	割り込みマスク・レジスタ6L	IMR6L				FFH	
FFFFF10DH	割り込みマスク・レジスタ6H	IMR6H				FFH	
FFFFF10EH	割り込みマスク・レジスタ7	IMR7				001FH	
FFFFF10EH	割り込みマスク・レジスタ7L	IMR7L				1FH	
FFFFF110H	割り込み制御レジスタ	LVIIC				47H	
FFFFF112H	割り込み制御レジスタ	PIC00				47H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF114H	割り込み制御レジスタ	PIC01	R/W				47H
FFFFFF116H	割り込み制御レジスタ	PIC02					47H
FFFFFF118H	割り込み制御レジスタ	PIC03					47H
FFFFFF11AH	割り込み制御レジスタ	PIC04					47H
FFFFFF11CH	割り込み制御レジスタ	PIC05					47H
FFFFFF11EH	割り込み制御レジスタ	PIC06					47H
FFFFFF120H	割り込み制御レジスタ	PIC07					47H
FFFFFF122H	割り込み制御レジスタ	PIC08					47H
FFFFFF124H	割り込み制御レジスタ	PIC09					47H
FFFFFF126H	割り込み制御レジスタ	PIC10					47H
FFFFFF128H	割り込み制御レジスタ	PIC11					47H
FFFFFF12AH	割り込み制御レジスタ	PIC12					47H
FFFFFF12CH	割り込み制御レジスタ	PIC13					47H
FFFFFF12EH	割り込み制御レジスタ	PIC14					47H
FFFFFF130H	割り込み制御レジスタ	PIC15					47H
FFFFFF132H	割り込み制御レジスタ	PIC16					47H
FFFFFF134H	割り込み制御レジスタ	PIC17					47H
FFFFFF136H	割り込み制御レジスタ	PIC18					47H
FFFFFF138H	割り込み制御レジスタ	PIC19					47H
FFFFFF13AH	割り込み制御レジスタ	PIC20					47H
FFFFFF13CH	割り込み制御レジスタ	PIC21 ^注					47H
FFFFFF13EH	割り込み制御レジスタ	PIC22 ^注					47H
FFFFFF140H	割り込み制御レジスタ	PIC23 ^注					47H
FFFFFF142H	割り込み制御レジスタ	PIC24 ^注					47H
FFFFFF144H	割り込み制御レジスタ	PIC25 ^注					47H
FFFFFF146H	割り込み制御レジスタ	TAB0OVIC					47H
FFFFFF148H	割り込み制御レジスタ	TAB0CCIC0					47H
FFFFFF14AH	割り込み制御レジスタ	TAB0CCIC1					47H
FFFFFF14CH	割り込み制御レジスタ	TAB0CCIC2					47H
FFFFFF14EH	割り込み制御レジスタ	TAB0CCIC3					47H
FFFFFF150H	割り込み制御レジスタ	TAB1OVIC					47H
FFFFFF152H	割り込み制御レジスタ	TAB1CCIC0					47H
FFFFFF154H	割り込み制御レジスタ	TAB1CCIC1				47H	
FFFFFF156H	割り込み制御レジスタ	TAB1CCIC2				47H	
FFFFFF158H	割り込み制御レジスタ	TAB1CCIC3				47H	
FFFFFF15AH	割り込み制御レジスタ	TT0OVIC				47H	
FFFFFF15CH	割り込み制御レジスタ	TT0CCIC0				47H	
FFFFFF15EH	割り込み制御レジスタ	TT0CCIC1				47H	
FFFFFF160H	割り込み制御レジスタ	TT0IECIC				47H	
FFFFFF162H	割り込み制御レジスタ	TAA0OVIC				47H	

注 V850ES/JJ3-Eのみ

(4/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF164H	割り込み制御レジスタ	TAA0CCIC0	R/W				47H
FFFFFF166H	割り込み制御レジスタ	TAA0CCIC1					47H
FFFFFF168H	割り込み制御レジスタ	TAA1OVIC					47H
FFFFFF16AH	割り込み制御レジスタ	TAA1CCIC0					47H
FFFFFF16CH	割り込み制御レジスタ	TAA1CCIC1					47H
FFFFFF16EH	割り込み制御レジスタ	TAA2OVIC					47H
FFFFFF170H	割り込み制御レジスタ	TAA2CCIC0					47H
FFFFFF172H	割り込み制御レジスタ	TAA2CCIC1					47H
FFFFFF174H	割り込み制御レジスタ	TAA3OVIC					47H
FFFFFF176H	割り込み制御レジスタ	TAA3CCIC0					47H
FFFFFF178H	割り込み制御レジスタ	TAA3CCIC1					47H
FFFFFF17AH	割り込み制御レジスタ	TAA4OVIC					47H
FFFFFF17CH	割り込み制御レジスタ	TAA4CCIC0					47H
FFFFFF17EH	割り込み制御レジスタ	TAA4CCIC1					47H
FFFFFF180H	割り込み制御レジスタ	TAA5OVIC					47H
FFFFFF182H	割り込み制御レジスタ	TAA5CCIC0					47H
FFFFFF184H	割り込み制御レジスタ	TAA5CCIC1					47H
FFFFFF186H	割り込み制御レジスタ	TM0EQIC0					47H
FFFFFF188H	割り込み制御レジスタ	TM1EQIC0					47H
FFFFFF18AH	割り込み制御レジスタ	TM2EQIC0					47H
FFFFFF18CH	割り込み制御レジスタ	TM3EQIC0					47H
FFFFFF18EH	割り込み制御レジスタ	CE0TIC/UC4RIC					47H
FFFFFF190H	割り込み制御レジスタ	CE0TIOFIC/ UC4TIC					47H
FFFFFF192H	割り込み制御レジスタ	CE1TIC/IICIC3/ UC5RIC					47H
FFFFFF194H	割り込み制御レジスタ	CE1TIOFIC/ UC5TIC					47H
FFFFFF196H	割り込み制御レジスタ	CF0RIC/IICIC1/ UC3RIC					47H
FFFFFF198H	割り込み制御レジスタ	CF0TIC/UC3TIC					47H
FFFFFF19AH	割り込み制御レジスタ	CF1RIC/IICIC0/ UC1RIC					47H
FFFFFF19CH	割り込み制御レジスタ	CF1TIC/UC1RIC					47H
FFFFFF19EH	割り込み制御レジスタ	CF2RIC/UC0RIC					47H
FFFFFF1A0H	割り込み制御レジスタ	CF2TIC/UC0RIC					47H
FFFFFF1A2H	割り込み制御レジスタ	CF3RIC/ UB1TIRIC					47H
FFFFFF1A4H	割り込み制御レジスタ	CF3TIC/ UB1TITIC				47H	
FFFFFF1A6H	割り込み制御レジスタ	UB1TIFIC				47H	

(5/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF1A8H	割り込み制御レジスタ	UB1TIREIC	R/W				47H
FFFFF1AAH	割り込み制御レジスタ	UB1TITOIC					47H
FFFFF1ACH	割り込み制御レジスタ	CF4RIC/ UB0TIRIC					47H
FFFFF1AEH	割り込み制御レジスタ	CF4TIC/ UB0TITIC					47H
FFFFF1B0H	割り込み制御レジスタ	UB0TIFIC					47H
FFFFF1B2H	割り込み制御レジスタ	UB0TIREIC					47H
FFFFF1B4H	割り込み制御レジスタ	UB0TITOIC					47H
FFFFF1B6H	割り込み制御レジスタ	CF5RIC/UC6RIC ^{注1}					47H
FFFFF1B8H	割り込み制御レジスタ	CF5TIC/UC6TIC ^{注1}					47H
FFFFF1BAH	割り込み制御レジスタ	CF6RIC/UC7RIC ^{注1}					47H
FFFFF1BCH	割り込み制御レジスタ	CF6TIC/UC7TIC ^{注1}					47H
FFFFF1BEH	割り込み制御レジスタ	IICIC2/UC2RIC					47H
FFFFF1C0H	割り込み制御レジスタ	UC2TIC					47H
FFFFF1C2H	割り込み制御レジスタ	IICIC4 ^{注1}					47H
FFFFF1C4H	割り込み制御レジスタ	ADIC					47H
FFFFF1C6H	割り込み制御レジスタ	DMAIC0					47H
FFFFF1C8H	割り込み制御レジスタ	DMAIC1					47H
FFFFF1CAH	割り込み制御レジスタ	DMAIC2					47H
FFFFF1CCH	割り込み制御レジスタ	DMAIC3					47H
FFFFF1CEH	割り込み制御レジスタ	KRIC					47H
FFFFF1D0H	割り込み制御レジスタ	RTC0IC					47H
FFFFF1D2H	割り込み制御レジスタ	RTC1IC					47H
FFFFF1D4H	割り込み制御レジスタ	RTC2IC					47H
FFFFF1D6H	割り込み制御レジスタ	UFIC0					47H
FFFFF1D8H	割り込み制御レジスタ	UFIC1					47H
FFFFF1ECH	割り込み制御レジスタ	ERRIC0 ^{注2}					47H
FFFFF1EEH	割り込み制御レジスタ	WUPIC0 ^{注2}					47H
FFFFF1F0H	割り込み制御レジスタ	RECIC0 ^{注2}					47H
FFFFF1F2H	割り込み制御レジスタ	TRXIC0 ^{注2}				47H	
FFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R			00H	
FFFFF1FCH	コマンド・レジスタ	PRCMD	W			不定	
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W			00H	
FFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0				00H	
FFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1				00H	
FFFFF202H	A/Dコンバータ・チャンネル指定レジスタ	ADA0S				00H	
FFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2				00H	
FFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM				00H	
FFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT				00H	

注1. V850ES/JJ3-Eのみ

2. μ PD70F3783, 70F3786のみ

(6/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF210H	A/D変換結果レジスタ0	ADA0CR0	R				不定
FFFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H					不定
FFFFFF212H	A/D変換結果レジスタ1	ADA0CR1					不定
FFFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H					不定
FFFFFF214H	A/D変換結果レジスタ2	ADA0CR2					不定
FFFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H					不定
FFFFFF216H	A/D変換結果レジスタ3	ADA0CR3					不定
FFFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H					不定
FFFFFF218H	A/D変換結果レジスタ4	ADA0CR4					不定
FFFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H					不定
FFFFFF21AH	A/D変換結果レジスタ5	ADA0CR5					不定
FFFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H					不定
FFFFFF21CH	A/D変換結果レジスタ6	ADA0CR6					不定
FFFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H					不定
FFFFFF21EH	A/D変換結果レジスタ7	ADA0CR7					不定
FFFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H					不定
FFFFFF220H	A/D変換結果レジスタ8	ADA0CR8					不定
FFFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H					不定
FFFFFF222H	A/D変換結果レジスタ9	ADA0CR9					不定
FFFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H					不定
FFFFFF224H	A/D変換結果レジスタ10	ADA0CR10 ^{注1}					不定
FFFFFF225H	A/D変換結果レジスタ10H	ADA0CR10H ^{注1}					不定
FFFFFF226H	A/D変換結果レジスタ11	ADA0CR11 ^{注1}					不定
FFFFFF227H	A/D変換結果レジスタ11H	ADA0CR11H ^{注1}					不定
FFFFFF300H	キー・リターン・モード・レジスタ	KRM					00H
FFFFFF308H	セレクト動作制御レジスタ0	SELCNT0					00H
FFFFFF310H	CRCインプット・レジスタ	CRCIN					00H
FFFFFF312H	CRCデータ・レジスタ	CRCD					0000H
FFFFFF320H	プリスケアラ・モード・レジスタ1	PRSM1					00H
FFFFFF321H	プリスケアラ・コンペア・レジスタ1	PRSCM1					00H
FFFFFF324H	プリスケアラ・モード・レジスタ2	PRSM2					00H
FFFFFF325H	プリスケアラ・コンペア・レジスタ2	PRSCM2					00H
FFFFFF328H	プリスケアラ・モード・レジスタ3	PRSM3				00H	
FFFFFF329H	プリスケアラ・コンペア・レジスタ3	PRSCM3				00H	
FFFFFF32CH	プリスケアラ・モード・レジスタ4	PRSM4				00H	
FFFFFF32DH	プリスケアラ・コンペア・レジスタ4	PRSCM4				00H	
FFFFFF340H	IIC分周クロック選択レジスタ0	OCKS0				00H	
FFFFFF344H	IIC分周クロック選択レジスタ1	OCKS1				00H	
FFFFFF348H	IIC分周クロック選択レジスタ2	OCKS2				00H	
FFFFFF400H	ポート0レジスタ	P0	R/W				00H ^{注2}
FFFFFF404H	ポート2レジスタ	P2					00H ^{注2}
FFFFFF406H	ポート3レジスタ	P3					00H ^{注2}

注1. V850ES/JJ3-Eのみ

2. 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(7/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF408H	ポート4レジスタ	P4	R/W				0000H ^注
FFFFF408H	ポート4レジスタL	P4L					00H ^注
FFFFF409H	ポート4レジスタH	P4H					00H ^注
FFFFF40AH	ポート5レジスタ	P5					0000H ^注
FFFFF40AH	ポート5レジスタL	P5L					00H ^注
FFFFF40BH	ポート5レジスタH	P5H					00H ^注
FFFFF40EH	ポート7レジスタ	P7					0000H ^注
FFFFF40EH	ポート7レジスタL	P7L					00H ^注
FFFFF40FH	ポート7レジスタH	P7H					00H ^注
FFFFF412H	ポート9レジスタ	P9					0000H ^注
FFFFF412H	ポート9レジスタL	P9L					00H ^注
FFFFF413H	ポート9レジスタH	P9H					00H ^注
FFFFF420H	ポート0モード・レジスタ	PM0					FFH
FFFFF424H	ポート2モード・レジスタ	PM2					FFH
FFFFF426H	ポート3モード・レジスタ	PM3					FFH
FFFFF428H	ポート4モード・レジスタ	PM4					FFFFH
FFFFF428H	ポート4モード・レジスタL	PM4L					FFH
FFFFF429H	ポート4モード・レジスタH	PM4H					FFH
FFFFF42AH	ポート5モード・レジスタ	PM5					FFFFH
FFFFF42AH	ポート5モード・レジスタL	PM5L					FFH
FFFFF42BH	ポート5モード・レジスタH	PM5H					FFH
FFFFF42EH	ポート7モード・レジスタL	PM7L					FFH
FFFFF42FH	ポート7モード・レジスタH	PM7H					FFH
FFFFF432H	ポート9モード・レジスタ	PM9					FFFFH
FFFFF432H	ポート9モード・レジスタL	PM9L					FFH
FFFFF433H	ポート9モード・レジスタH	PM9H					FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0					00H
FFFFF444H	ポート2モード・コントロール・レジスタ	PMC2					00H
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					0000H
FFFFF448H	ポート4モード・コントロール・レジスタL	PMC4L				00H	
FFFFF449H	ポート4モード・コントロール・レジスタH	PMC4H				00H	
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5				0000H	
FFFFF44AH	ポート5モード・コントロール・レジスタL	PMC5L				00H	
FFFFF44BH	ポート5モード・コントロール・レジスタH	PMC5H				00H	
FFFFF452H	ポート9モード・コントロール・レジスタ	PMC9				0000H	
FFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L				00H	
FFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H				00H	
FFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0				00H	
FFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2				00H	
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3				00H	

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(8/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W				0000H	
FFFFFF468H	ポート4ファンクション・コントロール・レジスタL	PFC4L					00H	
FFFFFF469H	ポート4ファンクション・コントロール・レジスタH	PFC4H					00H	
FFFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W				0000H	
FFFFFF46AH	ポート5ファンクション・コントロール・レジスタL	PFC5L					00H	
FFFFFF46BH	ポート5ファンクション・コントロール・レジスタH	PFC5H					00H	
FFFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9	R/W				0000H	
FFFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L					00H	
FFFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H					00H	
FFFFFF484H	データ・ウエイト・コントロール・レジスタ0	DWC0	R/W				7777H	
FFFFFF488H	アドレス・ウエイト・コントロール・レジスタ	AWC					FFFFH	
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC					AAAAH	
FFFFFF540H	TAB0制御レジスタ0	TAB0CTL0	R/W				00H	
FFFFFF541H	TAB0制御レジスタ1	TAB0CTL1					00H	
FFFFFF542H	TAB0I/O制御レジスタ0	TAB0IOC0					00H	
FFFFFF543H	TAB0I/O制御レジスタ1	TAB0IOC1	R/W				00H	
FFFFFF544H	TAB0I/O制御レジスタ2	TAB0IOC2					00H	
FFFFFF545H	TAB0オプション・レジスタ0	TAB0OPT0					00H	
FFFFFF546H	TAB0キャプチャ/コンペア・レジスタ0	TAB0CCR0	R/W				0000H	
FFFFFF548H	TAB0キャプチャ/コンペア・レジスタ1	TAB0CCR1					0000H	
FFFFFF54AH	TAB0キャプチャ/コンペア・レジスタ2	TAB0CCR2					0000H	
FFFFFF54CH	TAB0キャプチャ/コンペア・レジスタ3	TAB0CCR3	R/W				0000H	
FFFFFF54EH	TAB0カウンタ・リード・バッファ・レジスタ	TAB0CNT		R				0000H
FFFFFF550H	TAB0I/O制御レジスタ4	TAB0IOC4		R/W				00H
FFFFFF560H	TAB1制御レジスタ0	TAB1CTL0	R/W				00H	
FFFFFF561H	TAB1制御レジスタ1	TAB1CTL1					00H	
FFFFFF562H	TAB1I/O制御レジスタ0	TAB1IOC0					00H	
FFFFFF563H	TAB1I/O制御レジスタ1	TAB1IOC1	R/W				00H	
FFFFFF564H	TAB1I/O制御レジスタ2	TAB1IOC2					00H	
FFFFFF565H	TAB1オプション・レジスタ0	TAB1OPT0					00H	
FFFFFF566H	TAB1キャプチャ/コンペア・レジスタ0	TAB1CCR0	R/W				0000H	
FFFFFF568H	TAB1キャプチャ/コンペア・レジスタ1	TAB1CCR1					0000H	
FFFFFF56AH	TAB1キャプチャ/コンペア・レジスタ2	TAB1CCR2					0000H	
FFFFFF56CH	TAB1キャプチャ/コンペア・レジスタ3	TAB1CCR3	R/W				0000H	
FFFFFF56EH	TAB1カウンタ・リード・バッファ・レジスタ	TAB1CNT		R				0000H
FFFFFF570H	TAB1I/O制御レジスタ4	TAB1IOC4		R/W				00H
FFFFFF580H	TAB1オプション・レジスタ1	TAB1OPT1	R/W				00H	
FFFFFF581H	TAB1オプション・レジスタ2	TAB1OPT2					00H	
FFFFFF582H	TAB1I/O制御レジスタ3	TAB1IOC3					A8H	
FFFFFF584H	TAB1デッドタイム・コンペア・レジスタ1	TAB1DTC	R/W				0000H	
FFFFFF590H	ハイ・インピーダンス出力制御レジスタ0	HZA0CTL0					00H	

(9/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF591H	ハイ・インピーダンス出力制御レジスタ1	HZA0CTL1	R/W				00H
FFFFFF5A0H	TAA0ノイズ除去制御レジスタ	TANFC0					00H
FFFFFF5A2H	TAA1ノイズ除去制御レジスタ	TANFC1					00H
FFFFFF5A4H	TAA2ノイズ除去制御レジスタ	TANFC2					00H
FFFFFF5A6H	TAA3ノイズ除去制御レジスタ	TANFC3					00H
FFFFFF5A8H	TAA4ノイズ除去制御レジスタ	TANFC4					00H
FFFFFF5AAH	TAA5ノイズ除去制御レジスタ	TANFC5					00H
FFFFFF5ACH	TMTノイズ除去制御レジスタ	TTNFC					00H
FFFFFF5B0H	ノイズ除去制御レジスタ	INTNFC					00H
FFFFFF600H	TMT0制御レジスタ0	TT0CTL0					00H
FFFFFF601H	TMT0制御レジスタ1	TT0CTL1					00H
FFFFFF602H	TMT0制御レジスタ2	TT0CTL2					00H
FFFFFF603H	TMT0I/O制御レジスタ0	TT0IOC0					00H
FFFFFF604H	TMT0I/O制御レジスタ1	TT0IOC1					00H
FFFFFF605H	TMT0I/O制御レジスタ2	TT0IOC2					00H
FFFFFF606H	TMT0I/O制御レジスタ3	TT0IOC3					00H
FFFFFF607H	TMT0オプション・レジスタ0	TT0OPT0					00H
FFFFFF608H	TMT0オプション・レジスタ1	TT0OPT1					00H
FFFFFF60AH	TMT0キャプチャ/コンペア・レジスタ0	TT0CCR0					0000H
FFFFFF60CH	TMT0キャプチャ/コンペア・レジスタ1	TT0CCR1					0000H
FFFFFF60EH	TMT0カウンタ・リード・パッファ・レジスタ	TT0CNT	R				0000H
FFFFFF610H	TMT0カウンタ・ライト・レジスタ	TT0TCW	R/W				0000H
FFFFFF630H	TAA0制御レジスタ0	TAA0CTL0					00H
FFFFFF631H	TAA0制御レジスタ1	TAA0CTL1					00H
FFFFFF632H	TAA0I/O制御レジスタ0	TAA0IOC0					00H
FFFFFF633H	TAA0I/O制御レジスタ1	TAA0IOC1					00H
FFFFFF634H	TAA0I/O制御レジスタ2	TAA0IOC2					00H
FFFFFF635H	TAA0オプション・レジスタ0	TAA0OPT0					00H
FFFFFF636H	TAA0キャプチャ/コンペア・レジスタ0	TAA0CCR0					0000H
FFFFFF638H	TAA0キャプチャ/コンペア・レジスタ1	TAA0CCR1					0000H
FFFFFF63AH	TAA0カウンタ・リード・パッファ・レジスタ	TAA0CNT	R				0000H
FFFFFF63CH	TAA0I/O制御レジスタ4	TAA0IOC4	R/W				00H
FFFFFF63DH	TAA0オプション・レジスタ1	TAA0OPT1					00H
FFFFFF640H	TAA1制御レジスタ0	TAA1CTL0					00H
FFFFFF641H	TAA1制御レジスタ1	TAA1CTL1					00H
FFFFFF642H	TAA1I/O制御レジスタ0	TAA1IOC0					00H
FFFFFF643H	TAA1I/O制御レジスタ1	TAA1IOC1					00H
FFFFFF644H	TAA1I/O制御レジスタ2	TAA1IOC2					00H
FFFFFF645H	TAA1オプション・レジスタ0	TAA1OPT0					00H
FFFFFF646H	TAA1キャプチャ/コンペア・レジスタ0	TAA1CCR0					0000H
FFFFFF648H	TAA1キャプチャ/コンペア・レジスタ1	TAA1CCR1					0000H

(10/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF64AH	TAA1カウンタ・リード・バッファ・レジスタ	TAA1CNT	R				0000H
FFFFF64CH	TAA1/O制御レジスタ4	TAA1IOC4	R/W				00H
FFFFF650H	TAA2制御レジスタ0	TAA2CTL0					00H
FFFFF651H	TAA2制御レジスタ1	TAA2CTL1					00H
FFFFF652H	TAA2/O制御レジスタ0	TAA2IOC0					00H
FFFFF653H	TAA2/O制御レジスタ1	TAA2IOC1					00H
FFFFF654H	TAA2/O制御レジスタ2	TAA2IOC2					00H
FFFFF655H	TAA2オプション・レジスタ0	TAA2OPT0					00H
FFFFF656H	TAA2キャプチャ/コンペア・レジスタ0	TAA2CCR0					0000H
FFFFF658H	TAA2キャプチャ/コンペア・レジスタ1	TAA2CCR1					0000H
FFFFF65AH	TAA2カウンタ・リード・バッファ・レジスタ	TAA2CNT		R			
FFFFF65CH	TAA2/O制御レジスタ4	TAA2IOC4	R/W				00H
FFFFF65DH	TAA2オプション・レジスタ1	TAA2OPT1					00H
FFFFF660H	TAA3制御レジスタ0	TAA3CTL0					00H
FFFFF661H	TAA3制御レジスタ1	TAA3CTL1					00H
FFFFF662H	TAA3/O制御レジスタ0	TAA3IOC0					00H
FFFFF663H	TAA3/O制御レジスタ1	TAA3IOC1					00H
FFFFF664H	TAA3/O制御レジスタ2	TAA3IOC2					00H
FFFFF665H	TAA3オプション・レジスタ0	TAA3OPT0					00H
FFFFF666H	TAA3キャプチャ/コンペア・レジスタ0	TAA3CCR0					0000H
FFFFF668H	TAA3キャプチャ/コンペア・レジスタ1	TAA3CCR1					0000H
FFFFF66AH	TAA3カウンタ・リード・バッファ・レジスタ	TAA3CNT	R				0000H
FFFFF66CH	TAA3/O制御レジスタ4	TAA3IOC4	R/W				00H
FFFFF670H	TAA4制御レジスタ0	TAA4CTL0					00H
FFFFF671H	TAA4制御レジスタ1	TAA4CTL1					00H
FFFFF672H	TAA4/O制御レジスタ0	TAA4IOC0					00H
FFFFF6731H	TAA4/O制御レジスタ1	TAA4IOC1					00H
FFFFF674H	TAA4/O制御レジスタ2	TAA4IOC2					00H
FFFFF675H	TAA4オプション・レジスタ0	TAA4OPT0					00H
FFFFF676H	TAA4キャプチャ/コンペア・レジスタ0	TAA4CCR0					0000H
FFFFF678H	TAA4キャプチャ/コンペア・レジスタ1	TAA4CCR1					0000H
FFFFF67AH	TAA4カウンタ・リード・バッファ・レジスタ	TAA4CNT		R			
FFFFF67CH	TAA4/O制御レジスタ4	TAA4IOC4	R/W				00H
FFFFF680H	TAA5制御レジスタ0	TAA5CTL0					00H
FFFFF681H	TAA5制御レジスタ1	TAA5CTL1					00H
FFFFF682H	TAA5/O制御レジスタ0	TAA5IOC0					00H
FFFFF683H	TAA5/O制御レジスタ1	TAA5IOC1					00H
FFFFF684H	TAA5/O制御レジスタ2	TAA5IOC2					00H
FFFFF685H	TAA5オプション・レジスタ0	TAA5OPT0					00H
FFFFF686H	TAA5キャプチャ/コンペア・レジスタ0	TAA5CCR0					0000H
FFFFF688H	TAA5キャプチャ/コンペア・レジスタ1	TAA5CCR1					0000H

(11/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF68AH	TAA5カウンタ・リード・バッファ・レジスタ	TAA5CNT	R				0000H
FFFFFF68CH	TAA5I/O制御レジスタ4	TAA5IOC4	R/W				00H
FFFFFF6C0H	発振安定時間選択レジスタ	OSTS					06H
FFFFFF6C1H	PLLロックアップ時間指定レジスタ	PLLS					03H
FFFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2					67H
FFFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE					9AH
FFFFFF6E0H	リアルタイム出力バッファ・レジスタ0L	RTBL0					00H
FFFFFF6E2H	リアルタイム出力バッファ・レジスタ0H	RTBH0					00H
FFFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0					00H
FFFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0					00H
FFFFFF700H	ポート0ファンクション・コントロール拡張レジスタ	PFCE0					00H
FFFFFF704H	ポート2ファンクション・コントロール拡張レジスタ	PFCE2					00H
FFFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3					00H
FFFFFF708H	ポート4ファンクション・コントロール拡張レジスタL	PFCE4L					00H
FFFFFF70AH	ポート5ファンクション・コントロール拡張レジスタL	PFCE5L					00H
FFFFFF712H	ポート9ファンクション・コントロール拡張レジスタ	PFCE9					0000H
FFFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L					00H
FFFFFF713H	ポート9ファンクション・コントロール拡張レジスタH	PFCE9H					00H
FFFFFF726H	ポートDHファンクション・コントロール拡張レジスタ	PFCEDH					00H
FFFFFF802H	システム・ステータス・レジスタ	SYS					00H
FFFFFF80CH	内蔵発振モード・レジスタ	RCM					00H
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0					00H
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1					00H
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2					00H
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3					00H
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR					00H
FFFFFF822H	クロック・コントロール・レジスタ	CKC					0AH
FFFFFF824H	ロック・レジスタ	LOCKR		R			00H
FFFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				03H
FFFFFF82CH	PLLコントロール・レジスタ	PLLCTL					01H
FFFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R				00H
FFFFFF870H	クロック・モニタ・モード・レジスタ	CLM	R/W				00H
FFFFFF888H	リセット要因フラグ・レジスタ	RESF					00H
FFFFFF890H	低電圧検出レジスタ	LVIM					00H
FFFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS					01H
FFFFFF8B0H	プリスケラ・モード・レジスタ0	PRSM0					00H
FFFFFF8B1H	プリスケラ・コンペア・レジスタ0	PRSCM0					00H
FFFFFF9FCH	オンチップ・デバッグ・モード・レジスタ	OCDM					01H
FFFFFFA00H	UARTC0制御レジスタ0	UC0CTL0					10H
FFFFFFA01H	UARTC0制御レジスタ1	UC0CTL1					00H
FFFFFFA02H	UARTC0制御レジスタ2	UC0CTL2					FFH

(12/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA03H	UARTC0オプション制御レジスタ0	UC0OPT0	R/W				14H
FFFFFFA04H	UARTC0状態レジスタ	UC0STR					00H
FFFFFFA06H	UARTC0受信データ・レジスタ	UC0RX	R				01FFH
FFFFFFA06H	UARTC0受信データ・レジスタL	UC0RXL					FFH
FFFFFFA08H	UARTC0送信データ・レジスタ	UC0TX	R/W				01FFH
FFFFFFA08H	UARTC0送信データ・レジスタL	UC0TXL					FFH
FFFFFFA0AH	UARTC0オプション制御レジスタ1	UC0OPT1					00H
FFFFFFA10H	UARTC1制御レジスタ0	UC1CTL0					10H
FFFFFFA11H	UARTC1制御レジスタ1	UC1CTL1					00H
FFFFFFA12H	UARTC1制御レジスタ2	UC1CTL2					FFH
FFFFFFA13H	UARTC1オプション制御レジスタ0	UC1OPT0					14H
FFFFFFA14H	UARTC1状態レジスタ	UC1STR					00H
FFFFFFA16H	UARTC1受信データ・レジスタ	UC1RX	R				01FFH
FFFFFFA16H	UARTC1受信データ・レジスタL	UC1RXL					FFH
FFFFFFA18H	UARTC1送信データ・レジスタ	UC1TX	R/W				01FFH
FFFFFFA18H	UARTC1送信データ・レジスタL	UC1TXL					FFH
FFFFFFA1AH	UARTC1オプション制御レジスタ1	UC1OPT1					00H
FFFFFFA20H	UARTC2制御レジスタ0	UC2CTL0					10H
FFFFFFA21H	UARTC2制御レジスタ1	UC2CTL1					00H
FFFFFFA22H	UARTC2制御レジスタ2	UC2CTL2					FFH
FFFFFFA23H	UARTC2オプション制御レジスタ0	UC2OPT0					14H
FFFFFFA24H	UARTC2状態レジスタ	UC2STR					00H
FFFFFFA26H	UARTC2受信データ・レジスタ	UC2RX	R				01FFH
FFFFFFA26H	UARTC2受信データ・レジスタL	UC2RXL					FFH
FFFFFFA28H	UARTC2送信データ・レジスタ	UC2TX	R/W				01FFH
FFFFFFA28H	UARTC2送信データ・レジスタL	UC2TXL					FFH
FFFFFFA2AH	UARTC2オプション制御レジスタ1	UC2OPT1					00H
FFFFFFA30H	UARTC3制御レジスタ0	UC3CTL0					10H
FFFFFFA31H	UARTC3制御レジスタ1	UC3CTL1					00H
FFFFFFA32H	UARTC3制御レジスタ2	UC3CTL2					FFH
FFFFFFA33H	UARTC3オプション制御レジスタ0	UC3OPT0					14H
FFFFFFA34H	UARTC3状態レジスタ	UC3STR					00H
FFFFFFA36H	UARTC3受信データ・レジスタ	UC3RX	R				01FFH
FFFFFFA36H	UARTC3受信データ・レジスタL	UC3RXL					FFH
FFFFFFA38H	UARTC3送信データ・レジスタ	UC3TX	R/W				01FFH
FFFFFFA38H	UARTC3送信データ・レジスタL	UC3TXL					FFH
FFFFFFA3AH	UARTC3オプション制御レジスタ1	UC3OPT1					00H
FFFFFFA40H	UARTC4制御レジスタ0	UC4CTL0					10H
FFFFFFA41H	UARTC4制御レジスタ1	UC4CTL1					00H
FFFFFFA42H	UARTC4制御レジスタ2	UC4CTL2					FFH
FFFFFFA43H	UARTC4オプション制御レジスタ0	UC4OPT0					14H

(13/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA44H	UARTC4状態レジスタ	UC4STR	R/W				00H
FFFFFFA46H	UARTC4受信データ・レジスタ	UC4RX	R				01FFH
FFFFFFA46H	UARTC4受信データ・レジスタL	UC4RXL					FFH
FFFFFFA48H	UARTC4送信データ・レジスタ	UC4TX	R/W				01FFH
FFFFFFA48H	UARTC4送信データ・レジスタL	UC4TXL					FFH
FFFFFFA4AH	UARTC4オプション制御レジスタ1	UC4OPT1					00H
FFFFFFA50H	UARTC5制御レジスタ0	UC5CTL0					10H
FFFFFFA51H	UARTC5制御レジスタ1	UC5CTL1				00H	
FFFFFFA52H	UARTC5制御レジスタ2	UC5CTL2				FFH	
FFFFFFA53H	UARTC5オプション制御レジスタ0	UC5OPT0				14H	
FFFFFFA54H	UARTC5状態レジスタ	UC5STR				00H	
FFFFFFA56H	UARTC5受信データ・レジスタ	UC5RX	R				01FFH
FFFFFFA56H	UARTC5受信データ・レジスタL	UC5RXL					FFH
FFFFFFA58H	UARTC5送信データ・レジスタ	UC5TX	R/W				01FFH
FFFFFFA58H	UARTC5送信データ・レジスタL	UC5TXL					FFH
FFFFFFA5AH	UARTC6オプション制御レジスタ1 ^注	UC6OPT1 ^注					00H
FFFFFFA60H	UARTC6制御レジスタ0	UC6CTL0 ^注					10H
FFFFFFA61H	UARTC6制御レジスタ1	UC6CTL1 ^注				00H	
FFFFFFA62H	UARTC6制御レジスタ2	UC6CTL2 ^注				FFH	
FFFFFFA63H	UARTC6オプション制御レジスタ0	UC6OPT0 ^注				14H	
FFFFFFA64H	UARTC6状態レジスタ	UC6STR ^注				00H	
FFFFFFA66H	UARTC6受信データ・レジスタ	UC6RX ^注	R				01FFH
FFFFFFA66H	UARTC6受信データ・レジスタL	UC6RXL ^注					FFH
FFFFFFA68H	UARTC6送信データ・レジスタ	UC6TX ^注	R/W				01FFH
FFFFFFA68H	UARTC6送信データ・レジスタL	UC6TXL ^注					FFH
FFFFFFA6AH	UARTC6オプション制御レジスタ1 ^注	UC6OPT1 ^注					00H
FFFFFFA70H	UARTC7制御レジスタ0	UC7CTL0 ^注					10H
FFFFFFA71H	UARTC7制御レジスタ1	UC7CTL1 ^注				00H	
FFFFFFA72H	UARTC7制御レジスタ2	UC7CTL2 ^注				FFH	
FFFFFFA73H	UARTC7オプション・レジスタ	UC7OPT0 ^注				14H	
FFFFFFA74H	UARTC7状態レジスタ	UC7STR ^注				00H	
FFFFFFA76H	UARTC7受信データ・レジスタ	UC7RX ^注	R				01FFH
FFFFFFA76H	UARTC7受信データ・レジスタL	UC7RXL ^注					FFH
FFFFFFA78H	UARTC7送信データ・レジスタ	UC7TX ^注	R/W				01FFH
FFFFFFA78H	UARTC7送信データ・レジスタL	UC7TXL ^注					FFH
FFFFFFA7AH	UARTC7オプション制御レジスタ1	UC7OPT1					00H
FFFFFFA80H	TMM0制御レジスタ0	TM0CTL0					00H
FFFFFFA84H	TMM0コンペア・レジスタ0	TM0CMP0				0000H	
FFFFFFA90H	TMM1制御レジスタ0	TM1CTL0				00H	
FFFFFFA94H	TMM1コンペア・レジスタ0	TM1CMP0				0000H	
FFFFFFAA0H	TMM2制御レジスタ0	TM2CTL0				00H	

注 V850ES/JJ3-Eのみ

(14/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFAA4H	TMM2コンペア・レジスタ0	TM2CMP0	R/W				0000H
FFFFFAB0H	TMM3制御レジスタ0	TM3CTL0					00H
FFFFFAB4H	TMM3コンペア・レジスタ0	TM3CMP0					0000H
FFFFFAD0H	サブ・カウント・レジスタ	RC1SUBC	R				0000H
FFFFFAD2H	秒カウント・レジスタ	RC1SEC	R/W				00H
FFFFFAD3H	分カウント・レジスタ	RC1MIN					00H
FFFFFAD4H	時カウント・レジスタ	RC1HOUR					12H
FFFFFAD5H	曜日カウント・レジスタ	RC1WEEK					00H
FFFFFAD6H	日カウント・レジスタ	RC1DAY					01H
FFFFFAD7H	月カウント・レジスタ	RC1MONTH					01H
FFFFFAD8H	年カウント・レジスタ	RC1YEAR					00H
FFFFFAD9H	時間誤差補正レジスタ	RC1SUBU					00H
FFFFFADAH	アラーム分設定レジスタ	RC1ALM					00H
FFFFFADBH	アラーム時設定レジスタ	RC1ALH					12H
FFFFFADCH	アラーム曜日設定レジスタ	RC1ALW					00H
FFFFFADDH	RTCコントロール・レジスタ0	RC1CC0					00H
FFFFFADEH	RTCコントロール・レジスタ1	RC1CC1					00H
FFFFFADFH	RTCコントロール・レジスタ2	RC1CC2					00H
FFFFFAE0H	RTCコントロール・レジスタ3	RC1CC3					00H
FFFFFB00H	CSIE0制御レジスタ0	CE0CTL0					00H
FFFFFB01H	CSIE0制御レジスタ1	CE0CTL1					07H
FFFFFB02H	CSIE0受信データ・レジスタ0	CE0RX0	R				0000H
FFFFFB02H	CSIE0受信データ・レジスタ0L	CE0RXL0					00H
FFFFFB03H	CSIE0受信データ・レジスタ0H	CE0RXH0					00H
FFFFFB06H	CSIE0送信データ・レジスタ	CE0TX0	R/W				0000H
FFFFFB06H	CSIE0送信データ・レジスタL	CE0TXL0					00H
FFFFFB07H	CSIE0送信データ・レジスタH	CE0TXH0					00H
FFFFFB08H	CSIE0状態レジスタ	CE0STR					20H
FFFFFB09H	CSIE0制御レジスタ2	CE0CTL2					00H
FFFFFB0CH	CSIE0制御レジスタ3	CE0CTL3					00H
FFFFFB40H	CSIE1制御レジスタ0	CE1CTL0					00H
FFFFFB41H	CSIE1制御レジスタ1	CE1CTL1					07H
FFFFFB42H	CSIE1受信データ・レジスタ	CE1RX0	R				0000H
FFFFFB42H	CSIE1受信データ・レジスタL	CE1RXL0					00H
FFFFFB43H	CSIE1受信データ・レジスタH	CE1RXH0					00H
FFFFFB46H	CSIE1送信データ・レジスタ	CE1TX0	R/W				0000H
FFFFFB46H	CSIE1送信データ・レジスタL	CE1TXL0					00H
FFFFFB47H	CSIE1送信データ・レジスタH	CE1TXH0					00H
FFFFFB48H	CSIE1状態レジスタ	CE1STR					20H
FFFFFB49H	CSIE1制御レジスタ2	CE1CTL2					00H
FFFFFB4CH	CSIE1制御レジスタ3	CE1CTL3					00H

(15/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFB80H	UARTB0制御レジスタ0	UB0CTL0	R/W				10H
FFFFFB82H	UARTB0制御レジスタ2	UB0CTL2					FFFFH
FFFFFB84H	UARTB0状態レジスタ	UB0STR					00H
FFFFFB86H	UARTB0受信データ・レジスタAP	UB0RXAP	R				00FFH
FFFFFB86H	UARTB0受信データ・レジスタ	UB0RX					FFH
FFFFFB88H	UARTB0送信データ・レジスタ	UB0TX	R/W				FFH
FFFFFB8AH	UARTB0FIFO制御レジスタ0	UB0FIC0					00H
FFFFFB8BH	UARTB0FIFO制御レジスタ1	UB0FIC1					00H
FFFFFB8CH	UARTB0FIFO制御レジスタ2	UB0FIC2					0000H
FFFFFB8CH	UARTB0FIFO制御レジスタ2L	UB0FIC2L					00H
FFFFFB8DH	UARTB0FIFO制御レジスタ2H	UB0FIC2H					00H
FFFFFB8EH	UARTB0状態レジスタ0	UB0FIS0	R				00H
FFFFFB8FH	UARTB0状態レジスタ1	UB0FIS1					10H
FFFFFBA0H	UARTB1御レジスタ0	UB1CTL0	R/W				10H
FFFFFBA2H	UARTB1御レジスタ2	UB1CTL2					FFFFH
FFFFFBA4H	UARTB1状態レジスタ	UB1STR					00H
FFFFFBA6H	UARTB1受信データ・レジスタAP	UB1RXAP	R				00FFH
FFFFFBA6H	UARTB1受信データ・レジスタ	UB1RX					FFH
FFFFFBA8H	UARTB1送信データ・レジスタ	UB1TX	R/W				FFH
FFFFFBAAH	UARTB1FIFO制御レジスタ0	UB1FIC0					00H
FFFFBABH	UARTB1FIFO制御レジスタ1	UB1FIC1					00H
FFFFBACH	UARTB1FIFO制御レジスタ2	UB1FIC2					0000H
FFFFBACH	UARTB1FIFO制御レジスタ2L	UB1FIC2L					00H
FFFFBADH	UARTB1FIFO制御レジスタ2H	UB1FIC2H					00H
FFFFBAEH	UARTB1状態レジスタ0	UB1FIS0	R				00H
FFFFBAFH	UARTB1状態レジスタ1	UB1FIS1					10H
FFFFBC0H	IICシフト・レジスタ4	IIC4	R/W				00H
FFFFBC2H	IICコントロール・レジスタ4	IICC4					00H
FFFFBC3H	スLEEP・アドレス・レジスタ4	SVA4					00H
FFFFBC4H	IICクロック選択レジスタ4	IICCL4					00H
FFFFBC5H	IIC機能拡張レジスタ4	IICX4					00H
FFFFBC6H	IIC状態レジスタ4	IICS4	R				00H
FFFFBCAH	IICフラグ・レジスタ4	IICF4	R/W				00H
FFFFBE0H	イーサネット・コントロール・レジスタ	MIICTL					00H
FFFFC00H	外部割り込み立ち上がりエッジ指定レジスタ0	INTF0					00H
FFFFC04H	外部割り込み立ち上がりエッジ指定レジスタ2	INTF2					00H
FFFFC06H	外部割り込み立ち上がりエッジ指定レジスタ3	INTF3					00H
FFFFC09H	外部割り込み立ち上がりエッジ指定レジスタ4	INTF4H ^注					00H
FFFFC0AH	外部割り込み立ち上がりエッジ指定レジスタ5	INTF5					0000H
FFFFC0AH	外部割り込み立ち上がりエッジ指定レジスタ5L	INTF5L					00H
FFFFC0BH	外部割り込み立ち上がりエッジ指定レジスタ5H	INTF5H					00H

注 V850ES/JJ3-Eのみ

(16/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFC12H	外部割り込み立ち下がりエッジ指定レジスタ9	INTF9	R/W				0000H	
FFFFFC12H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H					00H	
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9L	INTF9L					00H	
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H	
FFFFFC24H	外部割り込み立ち上がりエッジ指定レジスタ2	INTR2					00H	
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3					00H	
FFFFFC29H	外部割り込み立ち上がりエッジ指定レジスタ4 ^注	INTR4H ^注					00H	
FFFFFC2AH	外部割り込み立ち上がりエッジ指定レジスタ5	INTR5					0000H	
FFFFFC2AH	外部割り込み立ち上がりエッジ指定レジスタ5L	INTR5L					00H	
FFFFFC2BH	外部割り込み立ち上がりエッジ指定レジスタ5H	INTR5H					00H	
FFFFFC32H	外部割り込み立ち上がりエッジ指定レジスタ9	INTR9					0000H	
FFFFFC32H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H					00H	
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9L	INTR9L					00H	
FFFFFC60H	ポート0ファンクション・レジスタ	PF0					00H	
FFFFFC64H	ポート2ファンクション・レジスタ	PF2					00H	
FFFFFC66H	ポート3ファンクション・レジスタ	PF3					00H	
FFFFFC68H	ポート4ファンクション・レジスタ	PF4					0000H	
FFFFFC68H	ポート4ファンクション・レジスタL	PF4L					00H	
FFFFFC69H	ポート4ファンクション・レジスタH	PF4H					00H	
FFFFFC6AH	ポート5ファンクション・レジスタ	PF5					0000H	
FFFFFC6AH	ポート5ファンクション・レジスタL	PF5L					00H	
FFFFFC6BH	ポート5ファンクション・レジスタH	PF5H					00H	
FFFFFC72H	ポート9ファンクション・レジスタ	PF9					0000H	
FFFFFC72H	ポート9ファンクション・レジスタL	PF9L					00H	
FFFFFC73H	ポート9ファンクション・レジスタH	PF9H					00H	
FFFFFD00H	CSIF0制御レジスタ0	CF0CTL0					01H	
FFFFFD01H	CSIF0制御レジスタ1	CF0CTL1					00H	
FFFFFD02H	CSIF0制御レジスタ2	CF0CTL2					00H	
FFFFFD03H	CSIF0状態レジスタ	CF0STR					00H	
FFFFFD04H	CSIF0受信データ・レジスタ	CF0RX		R			0000H	
FFFFFD04H	CSIF0受信データ・レジスタL	CF0RXL					00H	
FFFFFD06H	CSIF0送信データ・レジスタ	CF0TX		R/W				0000H
FFFFFD06H	CSIF0送信データ・レジスタL	CF0TXL						00H
FFFFFD10H	CSIF1制御レジスタ0	CF1CTL0					01H	
FFFFFD11H	CSIF1制御レジスタ1	CF1CTL1					00H	
FFFFFD12H	CSIF1制御レジスタ2	CF1CTL2					00H	
FFFFFD13H	CSIF1状態レジスタ	CF1STR					00H	
FFFFFD14H	CSIF1受信データ・レジスタ	CF1RX	R			0000H		
FFFFFD14H	CSIF1受信データ・レジスタL	CF1RXL				00H		
FFFFFD16H	CSIF1送信データ・レジスタ	CF1TX	R/W				0000H	
FFFFFD16H	CSIF1送信データ・レジスタL	CF1TXL					00H	

注 V850ES/JJ3-Eのみ

(17/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD20H	CSIF2制御レジスタ0	CF2CTL0	R/W				01H
FFFFFD21H	CSIF2制御レジスタ1	CF2CTL1					00H
FFFFFD22H	CSIF2制御レジスタ2	CF2CTL2					00H
FFFFFD23H	CSIF2状態レジスタ	CF2STR					00H
FFFFFD24H	CSIF2受信データ・レジスタ	CF2RX	R				0000H
FFFFFD24H	CSIF2受信データ・レジスタL	CF2RXL					00H
FFFFFD26H	CSIF2送信データ・レジスタ	CF2TX	R/W				0000H
FFFFFD26H	CSIF2送信データ・レジスタL	CF2TXL					00H
FFFFFD30H	CSIF3制御レジスタ0	CF3CTL0					01H
FFFFFD31H	CSIF3制御レジスタ1	CF3CTL1					00H
FFFFFD32H	CSIF3制御レジスタ2	CF3CTL2				00H	
FFFFFD33H	CSIF3状態レジスタ	CF3STR				00H	
FFFFFD34H	CSIF3受信データ・レジスタ	CF3RX	R				0000H
FFFFFD34H	CSIF3受信データ・レジスタL	CF3RXL					00H
FFFFFD36H	CSIF3送信データ・レジスタ	CF3TX	R/W				0000H
FFFFFD36H	CSIF3送信データ・レジスタL	CF3TXL					00H
FFFFFD40H	CSIF4制御レジスタ0	CF4CTL0				01H	
FFFFFD41H	CSIF4制御レジスタ1	CF4CTL1				00H	
FFFFFD42H	CSIF4制御レジスタ2	CF4CTL2				00H	
FFFFFD43H	CSIF4状態レジスタ	CF4STR				00H	
FFFFFD44H	CSIF4受信データ・レジスタ	CF4RX	R				0000H
FFFFFD44H	CSIF4受信データ・レジスタL	CF4RXL					00H
FFFFFD46H	CSIF4送信データ・レジスタ	CF4TX	R/W				0000H
FFFFFD46H	CSIF4送信データ・レジスタL	CF4TXL					00H
FFFFFD50H	CSIF5制御レジスタ0	CF5CTL0 ^注				01H	
FFFFFD51H	CSIF5制御レジスタ1	CF5CTL1 ^注				00H	
FFFFFD52H	CSIF5制御レジスタ2	CF5CTL2 ^注				00H	
FFFFFD53H	CSIF5状態レジスタ	CF5STR ^注				00H	
FFFFFD54H	CSIF5受信データ・レジスタ	CF5RX ^注	R				0000H
FFFFFD54H	CSIF5受信データ・レジスタL	CF5RXL ^注					00H
FFFFFD56H	CSIF5送信データ・レジスタ	CF5TX ^注	R/W				0000H
FFFFFD56H	CSIF5送信データ・レジスタL	CF5TXL ^注					00H
FFFFFD60H	CSIF6制御レジスタ0	CF6CTL0 ^注				01H	
FFFFFD61H	CSIF6制御レジスタ1	CF6CTL1 ^注				00H	
FFFFFD62H	CSIF6制御レジスタ2	CF6CTL2 ^注				00H	
FFFFFD63H	CSIF6状態レジスタ	CF6STR ^注				00H	
FFFFFD64H	CSIF6受信データ・レジスタ	CF6RX ^注	R				0000H
FFFFFD64H	CSIF6受信データ・レジスタL	CF6RXL ^注					00H
FFFFFD66H	CSIF6送信データ・レジスタ	CF6TX ^注	R/W				0000H
FFFFFD66H	CSIF6送信データ・レジスタL	CF6TXL ^注					00H

注 V850ES/JJ3-Eのみ

(18/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD80H	IICシフト・レジスタ0	IIC0	R/W				00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0					00H
FFFFFD83H	スレープ・アドレス・レジスタ0	SVA0					00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0					00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0					00H
FFFFFD86H	IIC状態レジスタ0	IICS0	R				00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W				00H
FFFFFD90H	IICシフト・レジスタ1	IIC1					00H
FFFFFD92H	IICコントロール・レジスタ1	IICC1					00H
FFFFFD93H	スレープ・アドレス・レジスタ1	SVA1					00H
FFFFFD94H	IICクロック選択レジスタ1	IICCL1					00H
FFFFFD95H	IIC機能拡張レジスタ1	IICX1					00H
FFFFFD96H	IIC状態レジスタ1	IICS1	R				00H
FFFFFD9AH	IICフラグ・レジスタ1	IICF1	R/W				00H
FFFFFDA0H	IICシフト・レジスタ2	IIC2					00H
FFFFFDA2H	IICコントロール・レジスタ2	IICC2					00H
FFFFFDA3H	スレープ・アドレス・レジスタ2	SVA2					00H
FFFFFDA4H	IICクロック選択レジスタ2	IICCL2					00H
FFFFFDA5H	IIC機能拡張レジスタ2	IICX2					00H
FFFFFDA6H	IIC状態レジスタ2	IICS2	R				00H
FFFFDAAH	IICフラグ・レジスタ2	IICF2	R/W				00H
FFFFFDB0H	IICシフト・レジスタ3	IIC3					00H
FFFFFDB2H	IICコントロール・レジスタ3	IICC3					00H
FFFFFDB3H	スレープ・アドレス・レジスタ3	SVA3					00H
FFFFFDB4H	IICクロック選択レジスタ3	IICCL3					00H
FFFFFDB5H	IIC機能拡張レジスタ3	IICX3					00H
FFFFFDB6H	IIC状態レジスタ3	IICS3	R				00H
FFFFFDBAH	IICフラグ・レジスタ3	IICF3	R/W				00H
FFFFFF40H	USBクロック選択レジスタ	UCKSEL					00H
FFFFFF41H	USBファンクション制御レジスタ	UFCKMSK					03H
FFFFFF60H	外部DMAリクエスト・イネーブル・レジスタ	EXDRQEN					00H

3.4.7 プログラマブル周辺I/Oレジスタ

プログラマブル周辺I/Oレジスタ領域の選択にはBPCレジスタを使用します。

BPCレジスタは、 μ PD70F3783, 70F3786のみ有効です。

(1) 周辺I/O領域セレクト制御レジスタ (BPC)

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : FFFFF064H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BPC	PA15	0	PA13	PA12	PA11	PA10	PA09	PA08	PA07	PA06	PA05	PA04	PA03	PA02	PA01	PA00

PA15	プログラマブル周辺I/O領域の使用許可 / 不許可
0	プログラマブル周辺I/O領域の使用を不許可
1	プログラマブル周辺I/O領域の使用を許可

PA13-P00	プログラマブル周辺I/O領域のアドレスを設定します (A27-A14に対応)。
----------	---

注意 PA15ビット = 1にする場合は、必ずBPCレジスタに8FFBHを設定してください。

PA15ビット = 0にする場合は、必ずBPCレジスタに0000Hを設定してください。

プログラマブル周辺I/Oレジスタ領域の一覧は、表21 - 16 レジスタ・アクセス・タイプを参照してください。

3.4.8 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/JH3-E, V850ES/JJ3-Eには次の8個の特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・クロック・コントロール・レジスタ (CKC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）^注

DMA動作が必要な場合，DMA動作を許可する。

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 ( IDLE1, IDLE2, STOPモードの設定 )
CLR1 0, DCHCn [ r0 ] ;DMA動作禁止, n = 0-3
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
SET1 0, DCHCn [ r0 ] ;DMA動作許可, n = 0-3
(next instruction)
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOPモードに移行する場合（PSC.STPビット = 1）には，直後にNOP命令を5命令以上挿入する必要があります。

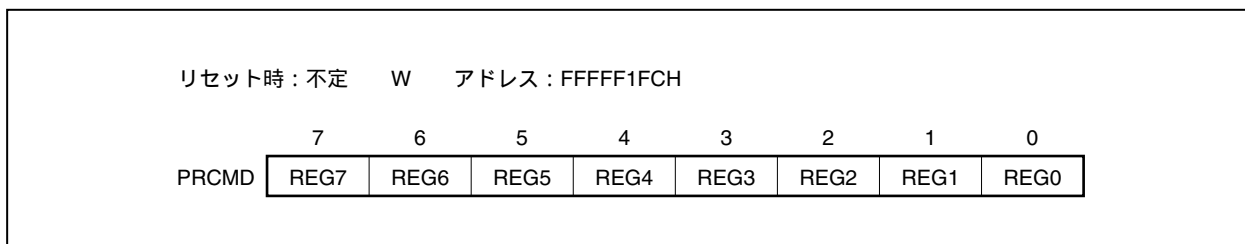
- 注意1.** コマンド・レジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記 ， を連続したストア命令で行うことを前提としているためです。 ， の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があります，誤動作の要因となります。
- 2.** PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例 ）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。



(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H								
	7	6	5	4	3	2	1	①									
SYS	0	0	0	0	0	0	0	0	PRERR								
										PRERR	プロテクション・エラーの検出						
										0	プロテクション・エラーは発生していない						
										1	プロテクション・エラーが発生している						

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.8(1) **特定レジスタへのデータ設定**で示す を行わずに を行ったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行ったとき (3.4.8(1) **特定レジスタへのデータ設定**で示す が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.9 注意事項

(1) 最初に設定するレジスタ

V850ES/JH3-E, V850ES/JJ3-Eを使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)
- ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

VSWC, OCDM, WDTM2レジスタを設定後、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあと、ただちにポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

(a) システム・ウェイト・コントロール・レジスタ (VSWC)

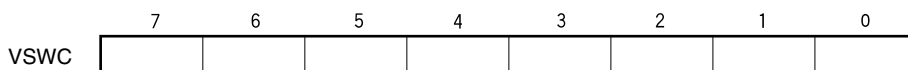
VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウェイト時）ですが、V850ES/JH3-E, V850ES/JJ3-Eでは動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です。

リセットにより77Hになります。

リセット時：77H R/W アドレス：FFFFFF06EH



動作周波数 (f _{CPU})	VSWCの設定値	ウェイト数
f _{CPU} < 16.6 MHz	00H	0 (ノー・ウェイト)
16.6 MHz f _{CPU} < 25 MHz	01H	1
25 MHz f _{CPU} < 33.3 MHz	11H	2
33.3 MHz f _{CPU} 50 MHz	12H	3

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第34章 オンチップ・デバッグ機能を参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。

詳細は、第13章 ウォッチドッグ・タイマ2機能を参照してください。

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス条件と、挿入されるウェイト数（CPUクロック数）の算出方法を次に示します。

(1/2)

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタAA (TAA) (n = 0-5)	TAAAnCNT	リード	1-2
	TAAAnCCR0, TAAAnCCR1	ライト	・1回目：ウェイトなし ・連続書き込み：0-3
		リード	1-2
	TAAAmIOC4	ライト	・1回目：ウェイトなし ・連続書き込み：0-3
リード		1-2	
16ビット・タイマ/イベント・カウンタAB (TAB) (n = 0, 1)	TABnCNT	リード	1-2
	TABnCCR0-TABnCCR3	ライト	・1回目：ウェイトなし ・連続書き込み：0-3
		リード	1-2
	TABnIOC4	ライト	・1回目：ウェイトなし ・連続書き込み：0-3
リード		1-2	
モータ制御	TAB0OPT1	ライト	・1回目：ウェイトなし ・連続書き込み：0-3
	TAB0DTC	ライト	・1回目：ウェイトなし ・連続書き込み：0-3
TMT	TT0CNT	リード	1-2
	TT0TCR0, TT0TCR1	ライト	・1回目：ウェイトなし ・連続書き込み：0-3
		リード	1-2
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
リアルタイム出力機能 (RTO)	RTBL0, RTBH0	ライト (RTPC0.RTPOE0 ビット = 0)	1
A/Dコンバータ	ADA0M0	リード	1-2
	ADA0CR0-ADA0CR11	リード	1-2
	ADA0CR0H-ADA0CR11H	リード	1-2

(2/2)

周辺機能	レジスタ名称	アクセス	k
CSIE (n = 0, 1)	CEnCTL0	ライト	1
	CEnTX0 (CEnTX0H, CEnTX0L)	ライト	1
	GenCS (CEnCSL)	ライト	1
	CEnSTR	リード	1
UARTB (n = 0, 1)	UBnTX	ライト	1
	UBnRX	リード	1
	UBnRXAP	リード	1
	UBnFIS0	リード	1
	UBnFIS1	リード	1
I ² C00-I ² C04	IICS0-IICS4	リード	1
CRC	CRCD	ライト	1
CANコントローラ (m = 0-31, a = 1-4)	COGMABT, COGMABTD, COMASKaL, COMASKaH, COLEC, COINFO, COERC, COIE, COINTS, COBRP, COBTR, COTS	リード/ライト	$(f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MIN.) ^注 $(2 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MAX.) ^注
	COGMCTRL, COGMCS, COCTRL	リード/ライト	$(f_{xx}/f_{CAN} + 1) / (2 + j)$ (MIN.) ^注 $(2 \times f_{xx}/f_{CAN} + 1) / (2 + j)$ (MAX.) ^注
	CORGPT, COTGPT	ライト	$(f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MIN.) ^注 $(2 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MAX.) ^注
		リード	$(3 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MIN.) ^注 $(4 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MAX.) ^注
	COLIPT, COLOPT	リード	$(3 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MIN.) ^注 $(4 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MAX.) ^注
		COMCTRLm	ライト
	リード		$(3 \times f_{xx}/f_{CAN} + 1) / (2 + j)$ (MIN.) ^注 $(4 \times f_{xx}/f_{CAN} + 1) / (2 + j)$ (MAX.) ^注
	COMDATA01m, COMDATA0m, COMDATA1m, COMDATA23m, COMDATA2m, COMDATA3m, COMDATA45m, COMDATA4m, COMDATA5m, COMDATA67m, COMDATA6m, COMDATA7m, COMDLCm, COMCONFm, COMIDLm, COMIDHm	ライト (8ビット)	$(4 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MIN.) ^注 $(5 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MAX.) ^注
		ライト (16ビット)	$(2 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MIN.) ^注 $(3 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MAX.) ^注
		リード (8/16ビット)	$(3 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MIN.) ^注 $(4 \times f_{xx}/f_{CANMOD} + 1) / (2 + j)$ (MAX.) ^注

アクセスに必要なクロック数 = $3 + i + j + (2 + j) \times k$

注 小数点以下切り上げ

注意 次に示す状態において、上記レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

備考 i: VSWCレジスタの上位4ビットの値(0)

j: VSWCレジスタの下位4ビットの値(0, 1)

(3) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	< >の ld 命令の実行が完了する前に、< >の sld 命令の直前の mov
・	命令< >のデコード動作と割り込み要求が競合した場合、< >の ld
・	命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28	
< > sld.w 0x28, r10	

(b) 回 避 策

コンパイラ (CA850) 使用時

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

アセンブラでの対策

命令< >の直後に sld 命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld 命令の直前に nop 命令を入れる。
- ・ sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記< >の命令で使用しない。

第4章 ポート機能

4.1 特 徴

入出力ポート：

- ・ V850ES/JH3-E：84本
5 Vトレラント / N-chオープン・ドレイン出力切り替え可能：48本
 - ・ V850ES/JJ3-E：100本
5 Vトレラント / N-chオープン・ドレイン出力切り替え可能：59本
- 1ビット単位で入力 / 出力指定可能

4.2 ポートの基本構成

V850ES/JH3-Eは、ポート0, 2-5, 7, 9, CM, CS, CT, DH, DLの合計84本の入出力ポートを内蔵しています。
V850ES/JJ3-Eは、ポート0, 2-5, 7, 9, CM, CS, CT, DH, DLの合計100本の入出力ポートを内蔵しています。
ポートの構成を次に示します。

表4 - 1 各端子の入出力バッファ電源 (V850ES/JH3-E)

電 源	対応する端子
AV _{REF0}	ポート7
EV _{DD}	RESET, ポート0, 2-5, 9, CM, CS, CT, DH, DL

表4 - 2 各端子の入出力バッファ電源 (V850ES/JJ3-E)

電 源	対応する端子
AV _{REF0}	ポート7
EV _{DD}	RESET, ポート0, 2-5, 9, CM, CS, CT, DH, DL

図4 - 1 ポートの構成図 (V850ES/JH3-E)

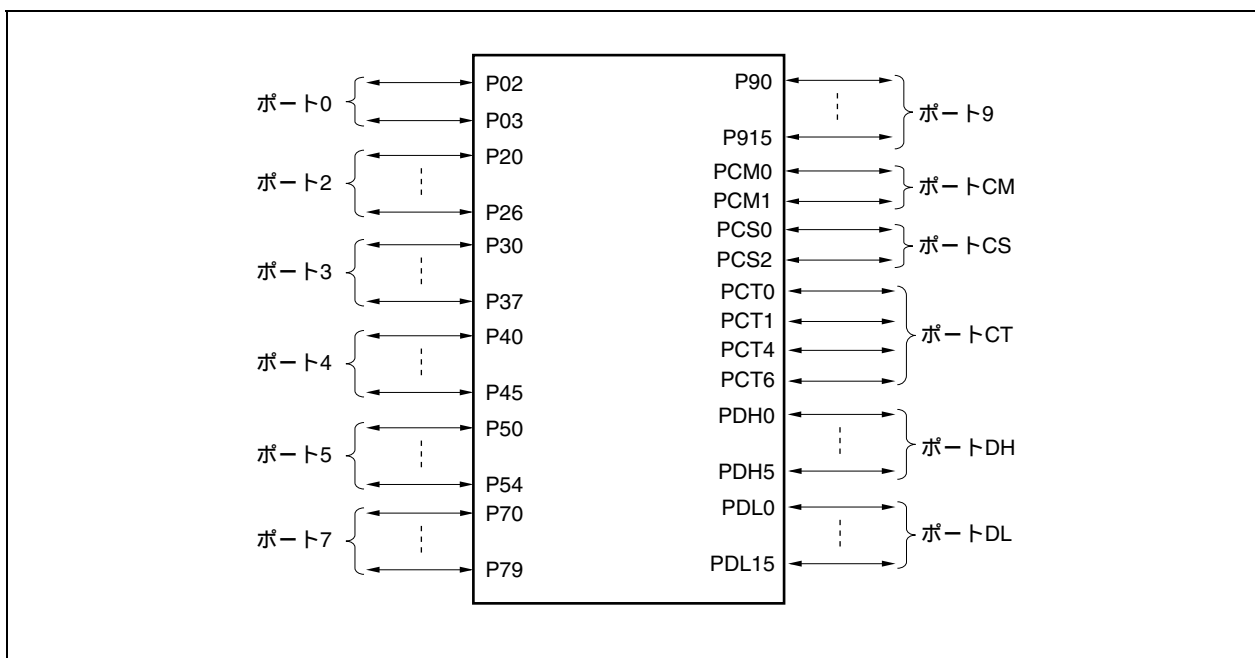
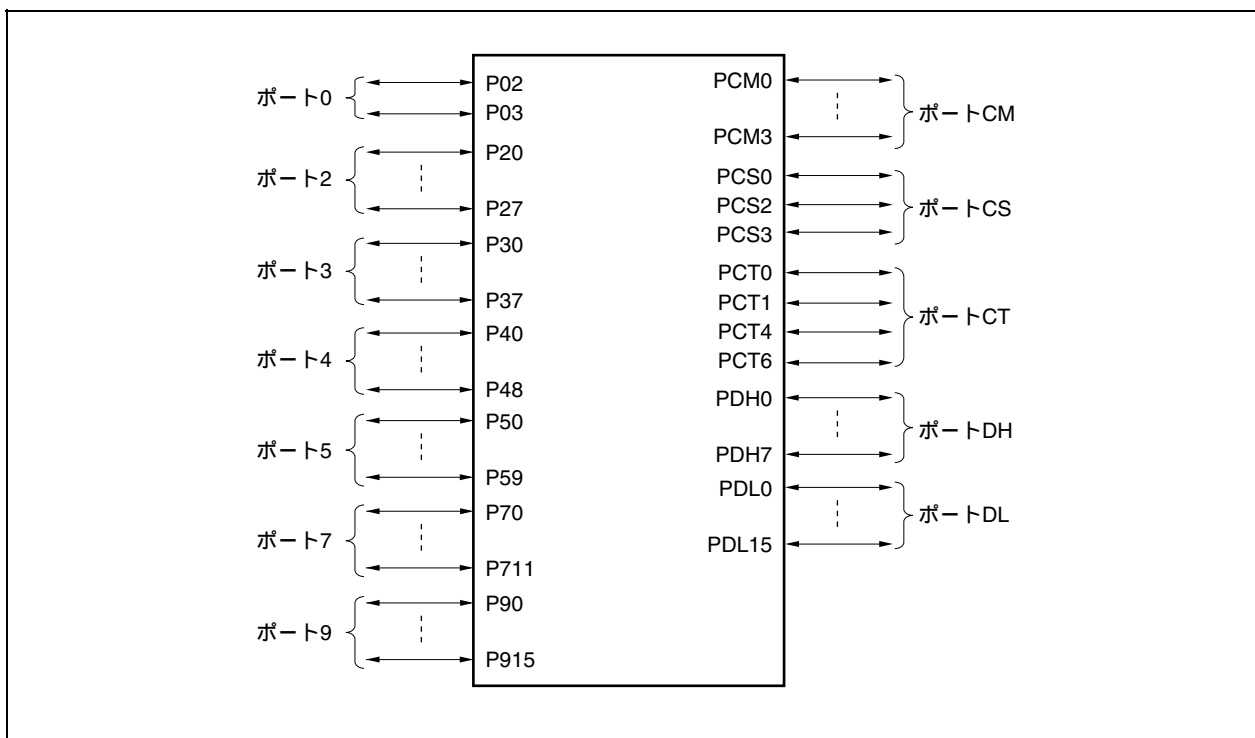


図4 - 2 ポートの構成図 (V850ES/JJ3-E)



4.3 ポートの構成

表4-3 ポートの構成 (V850ES/JH3-E)

項目	構成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 2-5, 7, 9, CM, CS, CT, DH, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 2-5, 9, CM, CS, CT, DH, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 2-4, 9, DH) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 2-4, 9, DH) ポートnファンクション・レジスタ (PFn : n = 0, 2-5, 9)
ポート	入出力 : 84本

表4-4 ポートの構成 (V850ES/JJ3-E)

項目	構成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 2-5, 7, 9, CM, CS, CT, DH, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 2-5, 9, CM, CS, CT, DH, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 2-5, 9, DH) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 2-5, 9, DH) ポートnファンクション・レジスタ (PFn : n = 0, 2-5, 9)
ポート	入出力 : 100本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時：00H (出力ラッチ) R/W								
	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
Pnm	出力データの制御 (出力モード時)							
0	0を出力							
1	1を出力							

PMcnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-5 Pnレジスタへの書き込み/読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^注 。 ポート・モード (PMcn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^注 。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H R/W								
	7	6	5	4	3	2	1	0
PMcn	PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定							
0	ポート・モード							
1	兼用機能モード							

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	兼用機能の指定							
	0	兼用機能1						
	1	兼用機能2						

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	PFCEnm	PFCnm	兼用機能の指定					
	0	0	兼用機能1					
	0	1	兼用機能2					
	1	0	兼用機能3					
	1	1	兼用機能4					

(6) ポートnファンクション・レジスタ (PFn)

通常出力/N-chオープン・ドレイン出力を指定するレジスタです。

PFnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

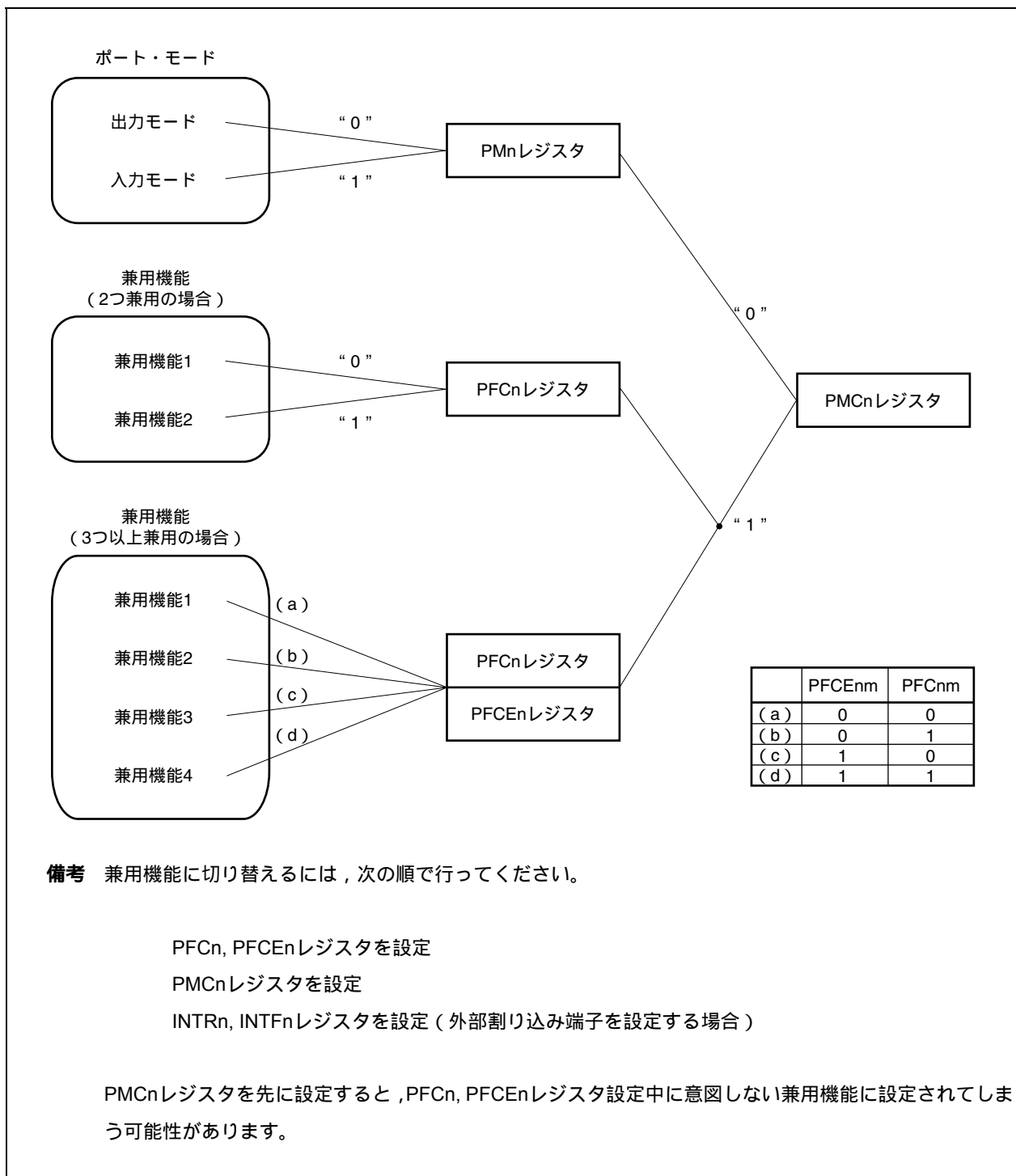
リセット時 : 00H		R/W						
	7	6	5	4	3	2	1	0
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0
PFnm ^注	通常出力/N-chオープン・ドレイン出力の制御							
0	通常出力 (CMOS出力)							
1	N-chオープン・ドレイン出力							

注 ポート・モード時 (PMCnmビット = 0)、PFnレジスタのPFnmビットは、PMnレジスタのPMnmビット = 0 (出力モード時) のときのみ有効です。PMnmビット = 1 (入力モード時) のときは、PFnレジスタの設定値は無効です。

(7) ポートの設定

ポートの設定は、次のように設定してください。

図4-3 各レジスタの設定と端子の機能



4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる2ビットのポートです。

ポート0は、次に示す端子と兼用しています。

表4-6 ポート0の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
P02	21	21	NMI	入力	N-chオープン・ドレイン出力選択可能
P03	22	22	INTP00/ADTRG/EXCLK	入力	

注意 P02, P03端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート0レジスタ (P0)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFF400H

	7	6	5	4	3	2	1	0
P0	0	0	0	0	P03	P02	0	0

P0n	出力データの制御 (出力モード時) (n = 2, 3)
0	0を出力
1	1を出力

(2) ポート0モード・レジスタ (PM0)

リセット時：FFH R/W アドレス：FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM03	PM02	1	1

PM0n	入出力モードの制御 (n = 2, 3)
0	出力モード
1	入力モード

(3) ポート0モード・コントロール・レジスタ (PMC0)

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	0	0	0	PMC03	PMC02	0	0

PMC03	P03端子の動作モードの指定
0	入出力ポート
1	INTP00入力/ADTRG入力/EXCLK入力

PMC02	P02端子の動作モードの指定
0	入出力ポート
1	NMI入力

(4) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時：00H R/W アドレス：FFFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	0	0

備考 兼用機能の指定については4. 3. 1 (6) ポート0の兼用機能の指定を参照してください。

(5) ポート0ファンクション・コントロール拡張レジスタ (PFCE0)

リセット時：00H R/W アドレス：FFFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	0	0	0	PFCE03	0	0	0

備考 兼用機能の指定については4. 3. 1 (6) ポート0の兼用機能の指定を参照してください。

(6) ポート0の兼用機能の指定

PFCE03	PFC03	P03端子の兼用機能の指定
0	0	INTP00入力
0	1	ADTRG入力
1	0	EXCLK入力
1	1	設定禁止

(7) ポート0ファンクション・レジスタ (PF0)

リセット時 : 00H R/W アドレス : FFFFFFFC60H

	7	6	5	4	3	2	1	0
PF0	0	0	0	0	PF03	PF02	0	0

PF0n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 2, 3)
0	通常出力
1	N-chオープン・ドレイン出力

4.3.2 ポート2

ポート2は1ビット単位で入出力を制御できる7ビット（V850ES/JH3-E）/8ビット（V850ES/JJ3-E）のポートです。

ポート2は、次に示す端子と兼用しています。

表4-7 ポート2の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
P20	38	38	TIAB02/TOAB02/INTP01	入出力	N-chオープン・ドレイン出力選択可能
P21	39	39	TIAB00/TOAB00/RTCDIV/RTCCL	入出力	
P22	40	40	TIAB01/TOAB01/RTC1HZ/INTP02	入出力	
P23	59	65	SIF1/TXDC1/SDA00/INTP03	入出力	
P24	62	68	SOF1/RXDC1/SCL00/INTP04	入力	
P25	63	69	SCKF1/TIAA30/TOAA30/UDMARQ0	入出力	
P26	64	70	TIAA31/TOAA31/INTP05/UDMAAK0	入出力	
P27	-	41	TIAB03/TOAB03/INTP21	入出力	

注意 P20-P27端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート2レジスタ (P2)

(a) V850ES/JH3-E

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF404H

	7	6	5	4	3	2	1	0
P2	0	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御（出力モード時）（n=0-6）
0	0を出力
1	1を出力

(b) V850ES/JJ3-E

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF404H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御（出力モード時）（n=0-7）
0	0を出力
1	1を出力

(2) ポート2モード・レジスタ (PM2)

(a) V850ES/JH3-E

リセット時: FFH R/W アドレス: FFFFF424H

	7	6	5	4	3	2	1	0
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	入出力モードの制御 (n = 0-6)	
0	出力モード	
1	入力モード	

(b) V850ES/JJ3-E

リセット時: FFH R/W アドレス: FFFFF424H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	入出力モードの制御 (n = 0-7)	
0	出力モード	
1	入力モード	

(3) ポート2モード・コントロール・レジスタ (PMC2)

(1/2)

(a) V850ES/JH3-E

リセット時 : 00H R/W アドレス : FFFFF444H

	7	6	5	4	3	2	1	0
PMC2	0	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
PMC26	P26端子の動作モードの指定							
0	入出力ポート							
1	TIAA31入力/TOAA31出力/INTP05入力/UDMAAK0出力							
PMC25	P25端子の動作モードの指定							
0	入出力ポート							
1	SCKF1入出力/TIAA30入力/TOAA30出力/UDMARQ0入力							
PMC24	P24端子の動作モードの指定							
0	入出力ポート							
1	SOF1出力/RXDC1入力/SCL00入出力/INTP04入力							
PMC23	P23端子の動作モードの指定							
0	入出力ポート							
1	SIF1入力/TXDC1出力/SDA00入出力/INTP03入力							
PMC22	P22端子の動作モードの指定							
0	入出力ポート							
1	TIAB01入力/TOAB01出力/RTC1HZ出力/INTP02入力							
PMC21	P21端子の動作モードの指定							
0	入出力ポート							
1	TIAB00入力/TOAB00出力/RTCDIV出力/RTCCL出力							
PMC20	P20端子の動作モードの指定							
0	入出力ポート							
1	TIAB02入力/TOAB02出力/INTP01入力							

(b) V850ES/JJ3-E

リセット時 : 00H R/W アドレス : FFFFF444H

	7	6	5	4	3	2	1	0
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
	P27端子の動作モードの指定							
	0	入出力ポート						
	1	TIAB03入力/TOAB03出力/INTP21入力						
	P26端子の動作モードの指定							
	0	入出力ポート						
	1	TIAA31入力/TOAA31出力/INTP05入力/ $\overline{\text{UDMAAK0}}$ 出力						
	P25端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{SCKF1}}$ 入出力/TIAA30入力/TOAA30出力/ $\overline{\text{UDMARQ0}}$ 入力						
	P24端子の動作モードの指定							
	0	入出力ポート						
	1	SOF1出力/RXDC1入力/SCL00入出力/INTP04入力						
	P23端子の動作モードの指定							
	0	入出力ポート						
	1	SIF1入力/TXDC1出力/SDA00入出力/INTP03入力						
	P22端子の動作モードの指定							
	0	入出力ポート						
	1	TIAB01入力/TOAB01出力/RTC1HZ出力/INTP02入力						
	P21端子の動作モードの指定							
	0	入出力ポート						
	1	TIAB00入力/TOAB00出力/RTCDIV出力/RTCCL出力						
	P20端子の動作モードの指定							
	0	入出力ポート						
	1	TIAB02入力/TOAB02出力/INTP01入力						

(4) ポート2ファンクション・コントロール・レジスタ (PFC2)

(a) V850ES/JH3-E

リセット時: 00H R/W アドレス: FFFFF464H

	7	6	5	4	3	2	1	0
PFC2	0	PFC26	PFC25	PFC24	PFC23	PFC22	PFC21	PFC20

(b) V850ES/JJ3-E

リセット時: 00H R/W アドレス: FFFFF464H

	7	6	5	4	3	2	1	0
PFC2	PFC27	PFC26	PFC25	PFC24	PFC23	PFC22	PFC21	PFC20

備考 兼用機能の指定については4. 3. 2 (6) **ポート2の兼用機能の指定**を参照してください。

(5) ポート2ファンクション・コントロール拡張レジスタ (PFCE2)

(a) V850ES/JH3-E

リセット時: 00H R/W アドレス: FFFFF704H

	7	6	5	4	3	2	1	0
PFCE2	0	PFCE26	PFCE25	PFCE24	PFCE23	PFCE22	PFCE21	PFCE20

(b) V850ES/JJ3-E

リセット時: 00H R/W アドレス: FFFFF704H

	7	6	5	4	3	2	1	0
PFCE2	PFCE27	PFCE26	PFCE25	PFCE24	PFCE23	PFCE22	PFCE21	PFCE20

備考 兼用機能の指定については4. 3. 2 (6) **ポート2の兼用機能の指定**を参照してください。

(6) ポート2の兼用機能の指定

PFCE27	PFC27	P27端子の兼用機能の指定 (V850ES/JJ3-Eのみ)
0	0	TIAB03入力
0	1	TOAB03出力
1	0	INTP21入力
1	1	設定禁止

PFCE26	PFC26	P26端子の兼用機能の指定
0	0	TIAB31入力
0	1	TOAB31出力
1	0	INTP05入力
1	1	UDMAAK0出力

PFCE25	PFC25	P25端子の兼用機能の指定
0	0	SCKF1入出力
0	1	TIAA30入力
1	0	TOAA30出力
1	1	UDMARQ0入力

PFCE24	PFC24	P24端子の兼用機能の指定
0	0	SOF1出力
0	1	RXDC1入力
1	0	SCL00入出力
1	1	INTP04入力

PFCE23	PFC23	P23端子の兼用機能の指定
0	0	SIF1入力
0	1	TXDC1出力
1	0	SDA00入出力
1	1	INTP03入力

PFCE22	PFC22	P22端子の兼用機能の指定
0	0	TIAB01入力
0	1	TOAB00出力
1	0	RTC1HZ出力
1	1	INTP02入力

PFCE21	PFC21	P21端子の兼用機能の指定
0	0	TIAB00入力
0	1	TOAB00出力
1	0	RTCDIV出力
1	1	RTCCL出力

PFCE20	PFC20	P20端子の兼用機能の指定
0	0	TIAB02入力
0	1	TOAB02出力
1	0	INTP01入力
1	1	設定禁止

(7) ポート2ファンクション・レジスタ (PF2)

(a) V850ES/JH3-E

リセット時 : 00H R/W アドレス : FFFFFFFC64H

	7	6	5	4	3	2	1	0
PF2	0	PF26	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-6)
0	通常出力
1	N-chオープン・ドレイン出力

(b) V850ES/JJ3-E

リセット時 : 00H R/W アドレス : FFFFFFFC64H

	7	6	5	4	3	2	1	0
PF2	PF27	PF26	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-7)
0	通常出力
1	N-chオープン・ドレイン出力

4.3.3 ポート3

ポート3は1ビット単位で入出力を制御できる8ビットのポートです。

ポート3は、次に示す端子と兼用しています。

表4-8 ポート3の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
P30	28	28	TXDC0/SIF2/TIAA00/TOAA00	入出力	N-chオープン・ドレイン出力選択可能
P31	29	29	RXDC0/SOF2/TIAA01/TOAA01	入出力	
P32	30	30	ASCKC0/SCKF2/TIAA10/TOAA10	入出力	
P33	31	31	SIF4/TXDB0/TIAA11/TOAA11	入出力	
P34	32	32	SOF4/RXDB0/TIAA20/TOAA20	入出力	
P35	33	33	SCKF4/TIAA21/TOAA21/TOAA1OFF /INTP06	入出力	
P36	36	36	TXDC2/SDA02 /CTXD0 [※]	入出力	
P37	37	37	RXDC2/SCL02/CRXD0 [※]	入出力	

注 μ PD70F3783, 70F3786のみ

注意 P30-P37端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート3レジスタ (P3)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF406H								
	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30
P3n	出力データの制御 (出力モード時) (n = 0-7)							
0	0を出力							
1	1を出力							

(2) ポート3モード・レジスタ (PM3)

リセット時：FFH R/W アドレス：FFFFFF426H								
	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30
PM3n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(3) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC37	P37端子の動作モードの指定
0	入出力ポート
1	RXDC2入力/SCL02入出力/CRXD0入力 ^注

PMC36	P36端子の動作モードの指定
0	入出力ポート
1	TXDC2出力/SDA02入出力/CTXD0出力 ^注

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	SCKF4入出力/TIAA21入力/TOAA21出力/TOAA1OFF入力/INTP06入力

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	SOF4出力/RXDB0入力/TIAA20入力/TOAA20出力

PMC33	P33端子の動作モードの指定
0	入出力ポート
1	SIF4入力/TXDB0出力/TIAA11入力/TOAA11出力

PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCKA0入力/SCKF2入出力/TIAA10入力/TOAA10出力

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXDC0入力/SOF2出力/TIAA01入力/TOAA01出力

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDC0出力/SIF2入力/TIAA00入力/TOAA00出力

注 μ PD70F3783, 70F3786のみ

(4) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時 : 00H R/W アドレス : FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

備考 兼用機能の指定については4.3.3(6)ポート3の兼用機能の指定を参照してください。

(5) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

リセット時 : 00H R/W アドレス : FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37 ^注	PFCE36 ^注	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30

注 μ PD70F3783, 70F3786のみ

備考 兼用機能の指定については4.3.3(6)ポート3の兼用機能の指定を参照してください。

(6) ポート3の兼用機能の指定

PFCE37 ^注	PFC37	P37端子の兼用機能の指定
0	0	RXDC2入力
0	1	SCL02入出力
1	0	CRXD0入力 ^注
1	1	設定禁止 ^注

注 μ PD70F3783, 70F3786のみ

PFCE36 ^注	PFC36	P36端子の兼用機能の指定
0	0	TXDC2出力
0	1	SDA02入出力
1	0	CTXD0出力 ^注
1	1	設定禁止 ^注

注 μ PD70F3783, 70F3786のみ

PFCE35	PFC35	P35端子の兼用機能の指定
0	0	SCKF4入出力 ^{注1}
0	1	TIAA21入力
1	0	TOAA21出力
1	1	TOAA1OFF入力/INTP06入力 ^{注2}

注1. SCKF4機能はP35端子のほかにPDH5端子にも、兼用されています。P35端子をSCKF4機能に設定した場合は、PDH5端子はSCKF4機能に設定しないでください。

- TOAA1OFF機能とINTP09機能は兼用となっています。TOAA1OFF機能として使用する場合は、兼用しているINTP09機能のエッジ検出を無効にしてください。また、INTP09機能として使用する場合は、ハイ・インピーダンス出力制御回路を停止してください。

PFCE34	PFC34	P34端子の兼用機能の指定
0	0	SOF4出力 ^注
0	1	RXDB0入力
1	0	TIAA20入力
1	1	TOAA20出力

注 SOF4機能はP34端子のほかにPDH4端子にも、兼用されています。P34端子をSOF4機能に設定した場合は、PDH4端子はSOF4機能に設定しないでください。

PFCE33	PFC33	P33端子の兼用機能の指定
0	0	SIF4入力 ^注
0	1	TXDB0出力
1	0	TIAA11入力
1	1	TOAA11出力

注 SIF4機能はP33端子のほかにPDH3端子にも、兼用されています。P33端子をSIF4機能に設定した場合は、PDH3端子はSIF4機能に設定しないでください。

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	ASCKC0入力
0	1	SCKF2入出力
1	0	TIAA10入力
1	1	TOAA10出力

PFCE31	PFC31	P31端子の兼用機能の指定
0	0	RXDC0入力
0	1	SOF2入力
1	0	TIAA01入力
1	1	TOAA01出力

PFCE30	PFC30	P30端子の兼用機能の指定
0	0	TXDC0出力
0	1	SIF2入力
1	0	TIAA00入力
1	1	TOAA00出力

(7) ポート3ファンクション・レジスタ (PF3)

リセット時 : 00H R/W アドレス : FFFFC66H

	7	6	5	4	3	2	1	0
PF3	PF37	PF36	PF35	PF34	PF33	PF32	PF31	PF30

PF3n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-7)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

4.3.4 ポート4

ポート4は1ビット単位で入出力を制御できる6ビット（V850ES/JH3-E）、9ビット（V850ES/JJ3-E）のポートです。

ポート4は、次に示す端子と兼用しています。

表4-9 ポート4の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
P40	3	3	SIF0/TXDC3/SDA01/RTP00	入出力	N-chオープン・ドレイン出力選択可能
P41	4	4	SOF0/RXDC3/SCL01/RTP01	入出力	
P42	5	5	SCKF0/TIAA40/TOAA40/RTP02	入出力	-
P43	6	-	SIE0/TXDC4/RTP03/HLDAK	入出力	
	-	6	SIE0/TXDC4/RTP03	入出力	
P44	7	-	SOE0/RXDC4/RTP04/HLDRQ	入出力	
	-	7	SOE0/RXDC4/RTP04	入出力	
P45	8	8	SCKE0/TIAA41/TOAA41/RTP05	入出力	
P46	-	128	SIF5/TXDC6/RTP06	入出力	N-chオープン・ドレイン出力選択可能
P47	-	129	SOF5/RXDC6/RTP07	入出力	
P48	-	130	SCKF5/INTP22	入出力	

注意 P40-P48端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート4レジスタ (P4)

(a) V850ES/JH3-E

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	P45	P44	P43	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(b) V850ES/JJ3-E

リセット時 : 0000H (出力ラッチ) R/W アドレス : P4 FFFFF408H,
P4L FFFFF408H, P4H FFFFF409H

	15	14	13	12	11	10	9	8
P4 (P4H)	0	0	0	0	0	0	0	P48

	7	6	5	4	3	2	1	0
(P4L)	P47	P46	P45	P44	P43	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-8)
0	0を出力
1	1を出力

(2) ポート4モード・レジスタ (PM4)

(a) V850ES/JH3-E

リセット時 : FFH R/W アドレス : FFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-5)	
0	出力モード	
1	入力モード	

(b) V850ES/JJ3-E

リセット時 : FFFFH R/W アドレス : PM4 FFFFF428H,
PM4L FFFFF428H, PM4H FFFFF429H

	15	14	13	12	11	10	9	8
PM4 (PM4H)	1	1	1	1	1	1	1	PM48

	7	6	5	4	3	2	1	0
(PM4L)	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-8)	
0	出力モード	
1	入力モード	

(3) ポート4モード・コントロール・レジスタ (PMC4)

(1/2)

(a) V850ES/JH3-E

リセット時 : 00H R/W アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40
PMC45	P45端子の動作モードの指定							
0	入出力ポート							
1	SCKE0入出力/TIAA41入力/TOAA41出力/RTP05出力							
PMC44	P44端子の動作モードの指定							
0	入出力ポート							
1	SOE0出力/RXDC4入力/RTP04出力/HLDRQ入力							
PMC43	P43端子の動作モードの指定							
0	入出力ポート							
1	SIE0入力/TXDC4出力/RTP03出力/HLDAK出力							
PMC42	P42端子の動作モードの指定							
0	入出力ポート							
1	SCKF0入出力/TIAA40入力/TOAA40出力/RTP02出力							
PMC41	P41端子の動作モードの指定							
0	入出力ポート							
1	SOF0出力/RXDC3入力/SCL01入出力/RTP01出力							
PMC40	P40端子の動作モードの指定							
0	入出力ポート							
1	SIF0入力/TXDC3出力/SDA01入出力/RTP00出力							

(b) V850ES/JJ3-E

リセット時 : 0000H (出力ラッチ) R/W アドレス : PMC4 FFFFF448H,
PMC4L FFFFF448H, PMC4H FFFFF449H

	15	14	13	12	11	10	9	8
PMC4 (PMC4H)	0	0	0	0	0	0	0	PMC48

	7	6	5	4	3	2	1	0
(PMC4L)	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40

PMC48	P48端子の動作モードの指定	
0	入出力ポート	
1	SCKF5入出力/INTP22入力	

PMC47	P47端子の動作モードの指定	
0	入出力ポート	
1	SOF5出力/RXDC6入力/RTP07出力	

PMC46	P46端子の動作モードの指定	
0	入出力ポート	
1	SIF5入力/TXDC6出力/RTP06出力	

PMC45	P45端子の動作モードの指定	
0	入出力ポート	
1	SCKE0入出力/TIAA41入力/TOAA41出力/RTP05出力	

PMC44	P44端子の動作モードの指定	
0	入出力ポート	
1	SOE0出力/RXDC4入力/RTP04出力	

PMC43	P43端子の動作モードの指定	
0	入出力ポート	
1	SIE0入力/TXDC4出力/RTP03出力	

PMC42	P42端子の動作モードの指定	
0	入出力ポート	
1	SCKF0入出力/TIAA40入力/TOAA40出力/RTP02出力	

PMC41	P41端子の動作モードの指定	
0	入出力ポート	
1	SOF0出力/RXDC3入力/SCL01入出力/RTP01出力	

PMC40	P40端子の動作モードの指定	
0	入出力ポート	
1	SIF0入力/TXDC3出力/SDA01入出力/RTP00出力	

(4) ポート4ファンクション・コントロール・レジスタ (PFC4)

(a) V850ES/JH3-E

リセット時: 00H R/W アドレス: FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40

(b) V850ES/JJ3-E

リセット時: 0000H R/W アドレス: PFC4 FFFFF468H,
PFC4L FFFFF468H, PFC4H FFFFF469H

	15	14	13	12	11	10	9	8
PFC4 (PFC4H)	0	0	0	0	0	0	0	PFC48

	7	6	5	4	3	2	1	0
(PFC4L)	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40

備考1. 兼用機能の指定については4.3.4(6) **ポート4の兼用機能の指定**を参照してください。

2. PFC4レジスタは、16ビット単位でリード/ライト可能です。

ただし、PFC4レジスタの上位8ビットをPFC4Hレジスタ、下位8ビットをPFC4Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

3. PFC4レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC4Hレジスタのビット0-7として指定してください。

(5) ポート4ファンクション・コントロール拡張レジスタL (PFCE4L)

(a) V850ES/JH3-E

リセット時: 00H R/W アドレス: FFFFF708H

	7	6	5	4	3	2	1	0
PFCE4L	0	0	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40

(b) V850ES/JJ3-E

リセット時: 00H R/W アドレス: FFFFF708H

	7	6	5	4	3	2	1	0
PFCE4L	PFCE47	PFCE46	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40

備考 兼用機能の指定については4.3.4(6) **ポート4の兼用機能の指定**を参照してください。

(6) ポート4の兼用機能の指定

PFC48 ^注	P48端子 ^注 の兼用機能の指定
0	SCKF5入出力
1	INTP22入力

注 V850ES/JJ3-Eのみ

PFCE47 ^注	PFC47 ^注	P47端子 ^注 の兼用機能の指定
0	0	SOF5出力
0	1	RXDC6入力
1	0	RTP07出力
1	1	設定禁止

注 V850ES/JJ3-Eのみ

PFCE46 ^注	PFC46 ^注	P46端子 ^注 の兼用機能の指定
0	0	SIF5入力
0	1	TXDC6出力
1	0	RTP06出力
1	1	設定禁止

注 V850ES/JJ3-Eのみ

PFCE45	PFC45	P45端子の兼用機能の指定
0	0	SCKE0入出力
0	1	TIAA41入力
1	0	TOAA41出力
1	1	RTP05出力

PFCE44	PFC44	P44端子の兼用機能の指定
0	0	SOE0出力
0	1	RXDC4入力
1	0	RTP04出力
1	1	HLDQR ^注 入力

注 V850ES/JH3-Eのみ, V850ES/JJ3-Eでは設定禁止

PFCE43	PFC43	P44端子の兼用機能の指定
0	0	SIE0入力
0	1	TXDC4出力
1	0	RTP03出力
1	1	HLDAR ^注 出力

注 V850ES/JH3-Eのみ, V850ES/JJ3-Eでは設定禁止

PFCE42	PFC42	P42端子の兼用機能の指定
0	0	SCKF0入出力
0	1	TIAA40入力
1	0	TOAA40出力
1	1	RTP02出力

PFCE41	PFC41	P41端子の兼用機能の指定
0	0	SOF0出力
0	1	RXDC3入力
1	0	SCL01入出力
1	1	RTP01出力

PFCE40	PFC40	P40端子の兼用機能の指定
0	0	SIF0入力
0	1	TXDC3出力
1	0	SDA01入出力
1	1	RTP00出力

(7) ポート4ファンクション・レジスタ (PF4)

(a) V850ES/JH3-E

リセット時: 00H R/W アドレス: FFFFFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	PF42	PF41	PF40

PF4n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-2)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(b) V850ES/JJ3-E

リセット時: 0000H R/W アドレス: PF4 FFFFFFFC68H,
PF4L FFFFFFFC68H, PF4H FFFFFFFC69H

	15	14	13	12	11	10	9	8
PF4 (PF4H)	0	0	0	0	0	0	0	PF48

	7	6	5	4	3	2	1	0
(PF4L)	PF47	PF46	0	0	0	PF42	PF41	PF40

PF4n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-2, 6-8)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

備考1. PF4レジスタは、16ビット単位でリード/ライト可能です。

ただし、PF4レジスタの上位8ビットをPF4Hレジスタ、下位8ビットをPF4Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PF4レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PF4Hレジスタのビット0-7として指定してください。

4.3.5 ポート5

ポート5は1ビット単位で入出力を制御できる5ビット（V850ES/JH3-E）、10ビット（V850ES/JJ3-E）のポートです。

ポート5は、次に示す端子と兼用しています。

表4-10 ポート5の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
P50	23	23	INTP07/DDI ^注	入力	N-chオープン・ドレイン出力選択可能
P51	24	24	INTP08/DDO ^注	入出力	
P52	25	25	INTP09/DCK ^注	入力	
P53	26	26	IINTP10/DMS ^注	入力	
P54	27	27	INTP11/DRST ^注	入力	
P55	-	42	SDA04/INTP23/UDMARQ1	入出力	
P56	-	43	SCL04/INTP24/UDMAAK1	入出力	
P57	-	62	SIF6/TXDC7	入出力	
P58	-	63	SOF6/RXDC7	入出力	
P59	-	64	SCKF6/INTP25	入力	

注 DDI, DDO, DCK, DMS, DRST^注端子はオンチップ・デバッグ用の端子です。

オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア（0）するまで、P54/INTP11/DRST端子状態をロウ・レベルに固定してください。

詳細は、4.5.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

- 注意1. P51端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。
2. P50-P59端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート5レジスタ (P5)

(a) V850ES/JH3-E

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	0	P54	P53	P52	P51	P50

P5n	出力データの制御 (出力モード時) (n = 0-4)
0	0を出力
1	1を出力

(b) V850ES/JJ3-E

リセット時: 0000H (出力ラッチ) R/W アドレス: P5 FFFFF40AH,
P5L FFFFF40AH, P5H FFFFF40BH

	15	14	13	12	11	10	9	8
P5 (P5H)	0	0	0	0	0	0	P59	P58

	7	6	5	4	3	2	1	0
(P5L)	P57	P56	P55	P54	P53	P52	P51	P50

P5n	出力データの制御 (出力モード時) (n = 0-9)
0	0を出力
1	1を出力

備考1. P5レジスタは、16ビット単位でリード/ライト可能です。

ただし、P5レジスタの上位8ビットをP5Hレジスタ、下位8ビットをP5Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. P5レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P5Hレジスタのビット0-7として指定してください。

(2) ポート5モード・レジスタ (PM5)

(a) V850ES/JH3-E

リセット時: FFH R/W アドレス: FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	1	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-4)
0	出力モード
1	入力モード

(b) V850ES/JJ3-E

リセット時: FFFFH R/W アドレス: PM5 FFFFF42AH,
PM5L FFFFF42AH, PM5H FFFFF42BH

	15	14	13	12	11	10	9	8
PM5 (PM5H)	1	1	1	1	1	1	PM59	PM58

	7	6	5	4	3	2	1	0
(PM5L)	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-9)
0	出力モード
1	入力モード

備考1. PM5レジスタは、16ビット単位でリード/ライト可能です。

ただし、PM5レジスタの上位8ビットをPM5Hレジスタ、下位8ビットをPM5Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PM5レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM5Hレジスタのビット0-7として指定してください。

(3) ポート5モード・コントロール・レジスタ (PMC5)

(1/2)

(a) V850ES/JH3-E

リセット時 : 00H R/W アドレス : FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	0	PMC54	PMC53	PMC52	PMC51	PMC50
PMC54	P54端子の動作モードの指定							
0	入出力ポート							
1	INTP11入力							
PMC53	P53端子の動作モードの指定							
0	入出力ポート							
1	INTP10入力							
PMC52	P52端子の動作モードの指定							
0	入出力ポート							
1	INTP09入力							
PMC51	P51端子の動作モードの指定							
0	入出力ポート							
1	INTP08入力							
PMC50	P50端子の動作モードの指定							
0	入出力ポート							
1	INTP07入力							

(b) V850ES/JJ3-E

リセット時 : 0000H R/W アドレス : PMC5 FFFF44AH,
PMC5L FFFF44AH, PMC5H FFFF44BH

	15	14	13	12	11	10	9	8
PMC5 (PMC5H)	0	0	0	0	0	0	PMC59	PMC58
	7	6	5	4	3	2	1	0
(PMC5L)	PMC57	PMC56	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC59	P59端子の動作モードの指定
0	入出力ポート
1	SCKF6入出力/INTP25入力
PMC58	P58端子の動作モードの指定
0	入出力ポート
1	SOF6出力/RXDC7入力
PMC57	P57端子の動作モードの指定
0	入出力ポート
1	SIF6入力/TXDC7出力
PMC56	P56端子の動作モードの指定
0	入出力ポート
1	SDA04入出力/INTP23入力/UDMARQ1入力
PMC55	P55端子の動作モードの指定
0	入出力ポート
1	SCL04入出力/INTP24入力/UDMAAK1出力
PMC54	P54端子の動作モードの指定
0	入出力ポート
1	INTP11入力
PMC53	P53端子の動作モードの指定
0	入出力ポート
1	INTP10入力
PMC52	P52端子の動作モードの指定
0	入出力ポート
1	INTP09入力
PMC51	P51端子の動作モードの指定
0	入出力ポート
1	INTP08入力
PMC50	P50端子の動作モードの指定
0	入出力ポート
1	INTP07入力

- 備考1. PMC5レジスタは、16ビット単位でリード/ライト可能です。
ただし、PMC5レジスタの上位8ビットをPMC5Hレジスタ、下位8ビットをPMC5Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. PMC5レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC5Hレジスタのビット0-7として指定してください。

(4) ポート5ファンクション・コントロール・レジスタ (PFC5) (V850ES/JJ3-Eのみ)

リセット時：0000H R/W アドレス：PFC5 FFFFF46AH,
PFC5L FFFFF46AH, PFC5H FFFFF46BH

	15	14	13	12	11	10	9	8
PFC5 (PFC5H)	0	0	0	0	0	0	PFC59	PFC58
	7	6	5	4	3	2	1	0
(PFC5L)	PFC57	PFC56	PFC55	0	0	0	0	0

備考1. 兼用機能の指定については4. 3. 5 (6) **ポート5の兼用機能の指定**を参照してください。
2. PFC5レジスタは、16ビット単位でリード/ライト可能です。
ただし、PFC5レジスタの上位8ビットをPFC5Hレジスタ、下位8ビットをPFC5Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
3. PFC5レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC5Hレジスタのビット0-7として指定してください。

(5) ポート5ファンクション・コントロール拡張レジスタL (PFCE5L) (V850ES/JJ3-Eのみ)

リセット時：00H R/W アドレス：FFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5L	0	PFCE56	PFCE55	0	0	0	0	0

備考 兼用機能の指定については4. 3. 5 (6) **ポート5の兼用機能の指定**を参照してください。

(6) ポート5の兼用機能の指定 (V850ES/JJ3-Eのみ)

PFC59	P59端子の兼用機能の指定
0	SCKF6入出力
1	INTP25入力

PFC58	P58端子の兼用機能の指定
0	SOF6出力
1	RXDC7入力

PFC57	P57端子の兼用機能の指定
0	SIF6入力
1	TXDC7出力

PFCE56	PFC56	P56端子の兼用機能の指定
0	0	SCL04入出力
0	1	INTP24入力
1	0	UDMAAK1出力
1	1	設定禁止

PFCE55	PFC55	P55端子の兼用機能の指定
0	0	SDA04入出力
0	1	INTP23入力
1	0	UDMARQ1入力
1	1	設定禁止

(7) ポート5ファンクション・レジスタ (PF5)

(a) V850ES/JH3-E

リセット時: 00H R/W アドレス: FFFFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	0	0	PF54	PF53	PF52	PF51	PF50

PF5n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-4)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(b) V850ES/JJ3-E

リセット時: 0000H R/W アドレス: PF5 FFFFFFFC6AH,
PF5L FFFFFFFC6AH, PF5H FFFFFFFC6BH

	15	14	13	12	11	10	9	8
PF5 (PF5H)	0	0	0	0	0	0	PF59	PF58

	7	6	5	4	3	2	1	0
(PF5L)	PF57	PF56	PF55	PF54	PF53	PF52	PF51	PF50

PF5n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-9)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

備考1. PF5レジスタは、16ビット単位でリード/ライト可能です。

ただし、PF5レジスタの上位8ビットをPF5Hレジスタ、下位8ビットをPF5Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PF5レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PF5Hレジスタのビット0-7として指定してください。

4.3.6 ポート7

ポート7は1ビット単位で入出力を制御できる10ビット（V850ES/JH3-E）、12ビット（V850ES/JJ3-E）のポートです。

ポート7は、次に示す端子と兼用しています。

表4 - 11 ポート7の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
P70	128	144	ANI0	入力	-
P71	127	143	ANI1	入力	
P72	126	142	ANI2	入力	
P73	125	141	ANI3	入力	
P74	124	140	ANI4	入力	
P77	123	139	ANI5	入力	
P76	122	138	ANI6	入力	
P77	121	137	ANI7	入力	
P78	120	136	ANI8	入力	
P79	119	135	ANI9	入力	
P710	-	134	ANI10	入力	
P711	-	133	ANI11	入力	

(1) ポート7レジスタH, ポート7レジスタL (P7H, P7L)

(a) V850ES/JH3-E

リセット時: 00H (出力ラッチ) R/W アドレス: P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	0	0	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-9)
0	0を出力
1	1を出力

(b) V850ES/JJ3-E

リセット時: 00H (出力ラッチ) R/W アドレス: P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-11)
0	0を出力
1	1を出力

注意 A/D変換中にP7H, P7Lレジスタをリード/ライトしないでください(15.6(4)兼用入出力について参照)。

備考 P7レジスタとして16ビット・アクセスはできません。P7H, P7Lレジスタとして8/1ビット単位でリード/ライト可能です。

(2) ポート7モード・レジスタH, ポート7モード・レジスタL (PM7H, PM7L)

(a) V850ES/JH3-E

リセット時: FFH R/W アドレス: PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	1	1	PM79	PM78
	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	入出力モードの制御 (n = 0-9)							
0	出力モード							
1	入力モード							

(b) V850ES/JJ3-E

リセット時: FFH R/W アドレス: PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	PM711	PM710	PM79	PM78
	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	入出力モードの制御 (n = 0-11)							
0	出力モード							
1	入力モード							

注意 P7n端子を兼用機能 (ANIn端子) として使用する場合は, PM7nビット = 1に設定してください。

備考 PM7レジスタとして16ビット・アクセスはできません。PM7H, PM7Lレジスタとして8/1ビット単位でリード/ライト可能です。

4.3.7 ポート9

ポート9は1ビット単位で入出力を制御できる16ビットのポートです。

ポート9は、次に示す端子と兼用しています。

表4 - 12 ポート9の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
P90	65	71	TOAB1T1/TOAB11/TIAB11/KR0 /INTP12/A0	入出力	N-chオープン・ドレイン出力選択可能
P91	66	72	TOAB1B1/TIAB10/KR1/TOAB10/A1	入出力	
P92	67	73	TOAB1T2/TOAB12/TIAB12/KR2 /INTP13/A2	入出力	
P93	68	74	TOAB1B2/TRGAB1/KR3/INTP14/A3	入出力	
P94	69	75	TOAB1T3/TOAB13/TIAB13/KR4 /INTP15/A4	入出力	
P95	70	76	TOAB1B3/EVTAB1/KR5/INTP16/A5	入出力	
P96	71	77	TECR0/TIT00/KR6/TOT00/A6	入出力	
P97	72	78	TENC00/TIT01/KR7/TOT01/A7	入出力	
P98	73	79	TENC01/INTP17/A8	入出力	
P99	74	80	SIE1/TXDC5/SDA03/A9	入出力	
P910	75	81	SOE1/RXDC5/SCL03/A10	入出力	
P911	76	82	SCKE1/TIAA50/TOAA50/A11	入出力	
P912	77	83	TOAB1OFF/INTP18/A12	入出力	
P913	78	84	SIF3/TXDB1/INTP19/A13	入出力	
P914	79	85	SOF3/RXDB1/INTP20/A14	入出力	
P915	80	86	SCKF3/TIAA51/TOAA51/A15	入出力	

注意 P90-P915端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート9レジスタ (P9)

リセット時：0000H (出力ラッチ) R/W アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	P913	P912	P911	P910	P99	P98
	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

備考1. P9レジスタは、16ビット単位でリード/ライト可能です。

ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。

(2) ポート9モード・レジスタ (PM9)

リセット時：FFFFH R/W アドレス：PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

備考1. PM9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

(3) ポート9モード・コントロール・レジスタ (PMC9)

(1/2)

リセット時：0000H R/W アドレス：PMC9 FFFFF452H,
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98

	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定	
0	入出力ポート	
1	SCKF3入出力/TIAA51入力/TOAA51出力/A15出力	
PMC914	P914端子の動作モードの指定	
0	入出力ポート	
1	SOF3出力/RXDB1入力/INTP20入力/A14出力	
PMC913	P913端子の動作モードの指定	
0	入出力ポート	
1	SIF3入力/TXDB1出力/INTP19入力/A13出力	
PMC912	P912端子の動作モードの指定	
0	入出力ポート	
1	TOAB1OFF入力/INTP18入力/A12出力	
PMC911	P911端子の動作モードの指定	
0	入出力ポート	
1	SCKE1入出力/TIAA50入力/TOAA50出力/A11出力	
PMC910	P910端子の動作モードの指定	
0	入出力ポート	
1	SOE1出力/RXDC5入力/SCL03入出力/A10出力	
PMC99	P99端子の動作モードの指定	
0	入出力ポート	
1	SIE1入力/TXDC5出力/SDA03入出力/A9出力	
PMC98	P98端子の動作モードの指定	
0	入出力ポート	
1	TENC01入力/INTP17入力/A8出力	

備考1. PMC9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PMC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	TENC00入力/TIT01入力/KR7入力/TOT01出力/A7出力
PMC96	P96端子の動作モードの指定
0	入出力ポート
1	TECR0入力/TIT00入力/KR06入力/TOT00出力/A6出力
PMC95	P95端子の動作モードの指定
0	入出力ポート
1	TOAB1B3出力/EVTAB1入力/KR5入力/INTP16入力/A5出力
PMC94	P94端子の動作モードの指定
0	入出力ポート
1	TOAB1T3出力/TOAB13出力/TIAB13入力/KR4入力/INTP15入力/A4出力
PMC93	P93端子の動作モードの指定
0	入出力ポート
1	TOAB1B2出力/TRGAB1入力/KR3入力/INTP14入力/A3出力
PMC92	P92端子の動作モードの指定
0	入出力ポート
1	TOAB1T2出力/TOAB12出力/TIAB12入力/KR2入力/INTP13入力/A2出力
PMC91	P91端子の動作モードの指定
0	入出力ポート
1	TOAB1B1出力/TIAB10入力/KR1入力/TOAB10出力/A1出力
PMC90	P90端子の動作モードの指定
0	入出力ポート
1	TOAB1T1出力/TOAB11出力/TIAB11入力/KR0入力/INTP12入力/A0出力

注意 P90-P915端子の兼用機能としてA0-A15端子を使用する場合は必ずPMC9レジスタを16ビット一括してFFFFHとしてください。

(4) ポート9ファンクション・コントロール・レジスタ (PFC9)

注意 セバレート・アドレス・バス出力 (A0-A15) を行う場合、PFC9レジスタをFEFFH, PFCE9レジスタをEFFFHに設定後、PMC9レジスタをFFFFHに16ビット一括で設定してください。

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

備考1. 兼用機能の指定については4. 3. 7 (6) **ポート9の兼用機能の指定**を参照してください。

2. PFC9レジスタは、16ビット単位でリード/ライト可能です。
ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

3. PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

(5) ポート9ファンクション・コントロール拡張レジスタ (PFCE9)

注意 セバレート・アドレス・バス出力 (A0-A15) を行う場合、PFC9レジスタをFEFFH, PFCE9レジスタをEFFFHに設定後、PMC9レジスタをFFFFHに16ビット一括で設定してください。

リセット時：0000H R/W アドレス：PFCE9 FFFFF712H,
PFCE9L FFFFF712H, PFCE9H FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	PFCE913	0	PFCE911	PFCE910	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

備考1. 兼用機能の指定については4. 3. 7 (6) **ポート9の兼用機能の指定**を参照してください。

2. PFCE9レジスタは、16ビット単位でリード/ライト可能です。
ただし、PFCE9レジスタの上位8ビットをPFCE9Hレジスタ、下位8ビットをPFCE9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

3. PFCE9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFCE9Hレジスタのビット0-7として指定してください。

(6) ポート9の兼用機能の指定

PFCE915	PFC915	P915端子の兼用機能の指定
0	0	SCKF3入出力
0	1	TIAA51入力
1	0	TOAA51出力
1	1	A15出力

PFCE914	PFC914	P914端子の兼用機能の指定
0	0	SOF3出力
0	1	RXDB1入力
1	0	INTP20入力
1	1	A14出力

PFCE913	PFC913	P913端子の兼用機能の指定
0	0	SIF3入力
0	1	TXDB1出力
1	0	INTP19入力
1	1	A13出力

PFC912	P912端子の兼用機能の指定
0	TOAB1OFF入力/INTP18入力
1	A12出力

注意 TOAB1OFF 機能と INTP18 機能は兼用となっています。端子を TOAB1OFF 機能として使用する場合は、兼用している INTP18 機能の割り込み検出を無効にしてください (INTR9. INTR912 ビット, INTF9. INTF912 ビットにそれぞれ0を設定)。また, INTP18 機能として使用する場合は、兼用している TOAB1OFF 機能のエッジ検出を無効 (HZA0CTL0. HZA0DCN0, NZA0DCP0 ビットに00を設定) にしてください。

PFCE911	PFC911	P911端子の兼用機能の指定
0	0	SCKE1入出力
0	1	TIAA50入力
1	0	TOAA50出力
1	1	A11出力

注意 SCKE1機能はP911端子のほかにPDH2端子にも割り当ててあります。P911端子をSCKE1機能に設定した場合, PDH2端子はSCKE1機能に設定しないでください。

PFCE910	PFC910	P910端子の兼用機能の指定
0	0	SOE1出力
0	1	RXDC5入力
1	0	SCL03入出力
1	1	A10出力

PFCE99	PFC99	P99端子の兼用機能の指定
0	0	SIE1入力
0	1	TXDC5出力
1	0	SDA03入出力
1	1	A9出力

注意 SIE1機能はP99端子のほかにPDH0端子にも割り当ててあります。P99端子をSIE1機能に設定した場合、PDH0端子はSIE1機能に設定しないでください。

PFCE98	PFC98	P98端子の兼用機能の指定
0	0	TENC01入力
0	1	INTP17入力
1	0	A8出力
1	1	設定禁止

PFCE97	PFC97	P97端子の兼用機能の指定
0	0	TENC00入力
0	1	TIT01入力/ KR7入力
1	0	TOT01出力
1	1	A7出力

注意 KR7機能とTIT01機能は兼用となっています。端子をTIT01機能として使用する場合は、兼用しているKR7機能のキー・リターン検出を無効にしてください（KRM.KRM7ビットに0を設定）。また、KR7機能として使用する場合は、兼用しているTIT01機能のエッジ検出を無効（TTI0IOC1.TT0IS3,TT0IS2ビットに00を設定）にしてください。

PFCE96	PFC96	P96端子の兼用機能の指定
0	0	TECR0入力
0	1	TIT00入力/ KR6入力
1	0	TOT00出力
1	1	A6出力

注意 KR6機能とTIT00機能は兼用となっています。端子をTIT00機能として使用する場合は、兼用しているKR6機能のキー・リターン検出を無効にしてください（KRM.KRM6ビットに0を設定）。また、KR6機能として使用する場合は、兼用しているTIT00機能のエッジ検出を無効（TTI0IOC1.TT0IS1,TT0IS0ビットに00を設定）にしてください。

PFCE95	PFC95	P95端子の兼用機能の指定
0	0	TOAB1B3出力
0	1	EVTAB1入力/ KR5入力
1	0	INTP16入力
1	1	A5出力

注意 KR5機能とEVTAB1機能は兼用となっています。端子をEVTAB1機能として使用する場合は、兼用しているKR5機能のキー・リターン検出を無効にしてください（KRM.KRM5ビットに0を設定）。また、KR5機能として使用する場合は、兼用しているEVTAB1端子のエッジ検出を無効（TAB1IOC2.TAB1EES1,TAB1EES0ビットに00を設定）にしてください。

PFCE94	PFC94	P94端子の兼用機能の指定
0	0	TOAB1T3出力/ TOAB13出力
0	1	TIAB13入力/ KR4入力
1	0	INTP15入力
1	1	A4出力

注意 KR4 機能と TIAB13 機能は兼用となっています。端子を TIAB13 機能として使用する場合は、兼用している KR4 機能のキー・リターン検出を無効にしてください (KRM.KRM4 ビットに 0 を設定)。また、KR4 機能として使用する場合は、兼用している TIAB13 端子のエッジ検出を無効 (TAB1IOC1.TAB1IS7,TAB1IS6 ビットに 00 を設定) にしてください。

PFCE93	PFC93	P93端子の兼用機能の指定
0	0	TOAB1B2出力
0	1	TRGAB1入力/ KR3入力
1	0	INTP14入力
1	1	A3出力

注意 KR3 機能と TRGAB1 機能は兼用となっています。端子を TRGAB1 機能として使用する場合は、兼用している KR3 機能のキー・リターン検出を無効にしてください (KRM.KRM3 ビットに 0 を設定)。また、KR3 機能として使用する場合は、兼用している TRGAB1 端子のエッジ検出を無効 (TAB1IOC2.TAB1ETS1,TAB1ETS0 ビットに 00 を設定) にしてください。

PFCE92	PFC92	P92端子の兼用機能の指定
0	0	TOAB1T2出力/ TOAB12出力
0	1	TIAB12入力/ KR2入力
1	0	INTP13入力
1	1	A2出力

注意 KR2 機能と TIAB12 機能は兼用となっています。端子を TIAB12 機能として使用する場合は、兼用している KR2 機能のキー・リターン検出を無効にしてください (KRM.KRM2 ビットに 0 を設定)。また、KR2 機能として使用する場合は、兼用している TIAB12 端子のエッジ検出を無効 (TAB1IOC1.TAB1IS5,TAB1IS4 ビットに 00 を設定) にしてください。

PFCE91	PFC91	P91端子の兼用機能の指定
0	0	TOAB1B1出力
0	1	TIAB10入力/ KR1入力
1	0	TOAB10出力
1	1	A1出力

注意 KR1 機能と TIAB10 機能は兼用となっています。端子を TIAB10 機能として使用する場合は、兼用している KR1 機能のキー・リターン検出を無効にしてください (KRM.KRM1 ビットに 0 を設定)。また、KR1 機能として使用する場合は、兼用している TIAB10 端子のエッジ検出を無効 (TAB1IOC1.TAB1IS1,TAB1IS0 ビットに 00 を設定) にしてください。

PFCE90	PFC90	P90端子の兼用機能の指定
0	0	TOAB1T1出力/ TOAB11出力
0	1	TIAB11入力/ KR0入力
1	0	INTP12入力
1	1	A0出力

注意 KR0 機能と TIAB11 機能は兼用となっています。端子を TIAB11 機能として使用する場合は、兼用している KR0 機能のキー・リターン検出を無効にしてください (KRM.KRM0 ビットに 0 を設定)。また、KR0 機能として使用する場合は、兼用している TIAB11 端子のエッジ検出を無効 (TAB1IOC1.TAB1IS3,TAB1IS2 ビットに 00 を設定) にしてください。

(7) ポート9ファンクション・レジスタ (PF9)

リセット時 : 0000H R/W アドレス : PF9 FFFFFFFC72H,
PF9L FFFFFFFC72H, PF9H FFFFFFFC73H

	15	14	13	12	11	10	9	8
PF9 (PF9H)	PF915	PF914	PF913	PF912	PF911	PF910	PF99	PF98
	7	6	5	4	3	2	1	0
(PF9L)	PF97	PF96	PF95	PF94	PF93	PF92	PF91	PF90

PF9n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-15)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意 出力端子に対して EV_{DD} 以上の電圧でプルアップする場合は、必ず該当するPF9nビットを1に設定してください。

備考1. PF9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PF9レジスタの上位8ビットをPF9Hレジスタ、下位8ビットをPF9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PF9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PF9Hレジスタのビット0-7として指定してください。

4.3.8 ポートCM

ポートCMは1ビット単位で入出力を制御できる2ビット（V850ES/JH3-E）/4ビット（V850ES/JJ3-E）のポートです。

ポートCMは、次に示す端子と兼用しています。

表4 - 13 ポートCMの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
PCM0	86	92	WAIT	入力	-
PCM1	81	87	CLKOUT	出力	
PCM2	-	119	HLD $\overline{\text{AK}}$	出力	
PCM3	-	120	HLD $\overline{\text{RQ}}$	入力	

(1) ポートCMレジスタ (PCM)

(a) V850ES/JH3-E

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	0	0	PCM1	PCM0

PCMn	出力データの制御（出力モード時）（n=0,1）
0	0を出力
1	1を出力

(b) V850ES/JJ3-E

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御（出力モード時）（n=0-3）
0	0を出力
1	1を出力

(2) ポートCMモード・レジスタ (PMCM)

(a) V850ES/JH3-E

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	1	1	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(b) V850ES/JJ3-E

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(3) ポートCMモード・コントロール・レジスタ (PMCCM)

(a) V850ES/JH3-E

リセット時 : 00H R/W アドレス : FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	0	0	PMCCM1	PMCCM0

PMCCM1	PCM1端子の動作モードの指定	
0	入出力ポート	
1	CLKOUT出力	

PMCCM0	PCM0端子の動作モードの指定	
0	入出力ポート	
1	WAIT入力	

(b) V850ES/JJ3-E

リセット時 : 00H R/W アドレス : FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定	
0	入出力ポート	
1	HLDRQ入力	

PMCCM2	PCM2端子の動作モードの指定	
0	入出力ポート	
1	HLDAK出力	

PMCCM1	PCM1端子の動作モードの指定	
0	入出力ポート	
1	CLKOUT出力	

PMCCM0	PCM0端子の動作モードの指定	
0	入出力ポート	
1	WAIT入力	

4.3.9 ポートCS

ポートCSは1ビット単位で入出力を制御できる2ビット（V850ES/JH3-E）/3ビット（V850ES/JJ3-E）のポートです。

ポートCSは、次に示す端子と兼用しています。

表4 - 14 ポートCMの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
PCS0	115	125	$\overline{\text{CS0}}$	出力	-
PCS2	116	126	$\overline{\text{CS2}}$	出力	
PCS3	-	127	$\overline{\text{CS3}}$	出力	

(1) ポートCSレジスタ (PCS)

(a) V850ES/JH3-E

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF008H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	0	PCS2	0	PCS0

PCS _n	出力データの制御（出力モード時）（n=0,2）
0	0を出力
1	1を出力

(b) V850ES/JJ3-E

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF008H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	PCS3	PCS2	0	PCS0

PCS _n	出力データの制御（出力モード時）（n=0,2,3）
0	0を出力
1	1を出力

(2) ポートCSモード・レジスタ (PMCS)

(a) V850ES/JH3-E

リセット時: FFH R/W アドレス: FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	1	PMCS2	1	PMCS0

PMCSn	入出力モードの制御 (n = 0, 2)
0	出力モード
1	入力モード

(b) V850ES/JJ3-E

リセット時: FFH R/W アドレス: FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	PMCS3	PMCS2	1	PMCS0

PMCSn	入出力モードの制御 (n = 0, 2, 3)
0	出力モード
1	入力モード

(3) ポートCSモード・コントロール・レジスタ (PMCCS)

(a) V850ES/JH3-E

リセット時 : 00H R/W アドレス : FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	0	PMCCS2	0	PMCCS0

PMCCS2	PCS2端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS2}}$ 出力	

PMCCS0	PCS0端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS0}}$ 出力	

(b) V850ES/JJ3-E

リセット時 : 00H R/W アドレス : FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	PMCCS3	PMCCS2	0	PMCCS0

PMCCS3	PCS3端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS3}}$ 出力	

PMCCS2	PCS2端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS2}}$ 出力	

PMCCS0	PCS0端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS0}}$ 出力	

4.3.10 ポートCT

ポートCTは1ビット単位で入出力を制御1できる4ビットのポートです。

ポートCTは次に示す端子と兼用しています。

表4 - 15 ポートCTの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
PCT0	111	121	$\overline{WR0}$	出力	-
PCT1	112	122	$\overline{WR1}$	出力	
PCT4	113	123	\overline{RD}	出力	
PCT6	114	124	ASTB	出力	

(1) ポートCTレジスタ (PCT)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御 (出力モード時) (n=0, 1, 4, 6)
0	0を出力
1	1を出力

(2) ポートCTモード・レジスタ (PMCT)

リセット時：FFH R/W アドレス：FFFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n=0, 1, 4, 6)
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時 : 00H R/W アドレス : FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0
	PMCCT6		PCT6端子の動作モードの指定					
	0	入出力ポート						
	1	ASTB出力						
	PMCCT4		PCT4端子の動作モードの指定					
	0	入出力ポート						
	1	RD出力						
	PMCCT1		PCT1端子の動作モードの指定					
	0	入出力ポート						
	1	WR1出力						
	PMCCT0		PCT0端子の動作モードの指定					
	0	入出力ポート						
	1	WR0出力						

4.3.11 ポートDH

ポートDHは1ビット単位で入出力を制御できる6ビット（V850ES/JH3-E）/8ビット（V850ES/JJ3-E）のポートです。

ポートDHは、次に示す端子と兼用しています。

表4 - 16 ポートDHの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
PDH0	105	111	A16/SIE1	入出力	—
PDH1	106	112	A17/SOE1	出力	
PDH2	107	113	A18/ $\overline{\text{SCKE1}}$	入出力	
PDH3	108	114	A19/SIF4/TXDB0	入出力	
PDH4	109	115	A20/SOF4/RXDB0	入出力	
PDH5	110	116	A21/ $\overline{\text{SCKF4}}$	入出力	
PDH6	-	117	A22	出力	
PDH7	-	118	A23	出力	

(1) ポートDHレジスタ (PDH)

(a) V850ES/JH3-E

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF006H

	7	6	5	4	3	2	1	0
PDH	0	0	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(b) V850ES/JJ3-E

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF006H

	7	6	5	4	3	2	1	0
PDH	PDH7	PDH6	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(2) ポートDHモード・レジスタ (PMDH)

(a) V850ES/JH3-E

リセット時: FFH R/W アドレス: FFFFF026H

	7	6	5	4	3	2	1	0
PMDH	1	1	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(b) V850ES/JJ3-E

リセット時: FFH R/W アドレス: FFFFF026H

	7	6	5	4	3	2	1	0
PMDH	PMDH7	PMDH6	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポートDHモード・コントロール・レジスタ (PMCDH)

(1/2)

(a) V850ES/JH3-E

リセット時 : 00H R/W アドレス : FFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	0	0	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0
PMCDH5	PDH5端子の動作モードの指定							
0	入出力ポート							
1	A21出力/SCKF4入出力							
PMCDH4	PDH4端子の動作モードの指定							
0	入出力ポート							
1	A20出力/SOF4出力/RXDB0入力							
PMCDH3	PDH3端子の動作モードの指定							
0	入出力ポート							
1	A19出力/SIF4入力/TXDB0出力							
PMCDH2	PDH2端子の動作モードの指定							
0	入出力ポート							
1	A18出力/SCKE1入出力							
PMCDH1	PDH1端子の動作モードの指定							
0	入出力ポート							
1	A17出力/SOE1出力							
PMCDH0	PDH0端子の動作モードの指定							
0	入出力ポート							
1	A16出力/SIE1入力							

(b) V850ES/JJ3-E

リセット時 : 00H R/W アドレス : FFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0
PMCDH7	PDH7端子の動作モードの指定							
0	入出力ポート							
1	A23出力							
PMCDH6	PDH6端子の動作モードの指定							
0	入出力ポート							
1	A22出力							
PMCDH5	PDH5端子の動作モードの指定							
0	入出力ポート							
1	A21出力/SCKF4入出力							
PMCDH4	PDH4端子の動作モードの指定							
0	入出力ポート							
1	A20出力/SOF4出力/RXDB0入力							
PMCDH3	PDH3端子の動作モードの指定							
0	入出力ポート							
1	A19出力/SIF4入力/TXDB0出力							
PMCDH2	PDH2端子の動作モードの指定							
0	入出力ポート							
1	A18出力/SCKE1入出力							
PMCDH1	PDH1端子の動作モードの指定							
0	入出力ポート							
1	A17出力/SOE1出力							
PMCDH0	PDH0端子の動作モードの指定							
0	入出力ポート							
1	A16出力/SIE1入力							

(4) ポートDHファンクション・コントロール・レジスタ (PFCDH)

リセット時：00H R/W アドレス：FFFFFF056H

	7	6	5	4	3	2	1	0
PFCDH	0	0	PFCDH5	PFCDH4	PFCDH3	PFCDH2	PFCDH1	PFCDH0

備考 兼用機能の指定については4. 3. 11 (6) ポートDHの兼用機能の指定を参照してください。

(5) ポートDHファンクション・コントロール拡張レジスタ (PFCEDH)

リセット時：00H R/W アドレス：FFFFFF726H

	7	6	5	4	3	2	1	0
PFCEDH	0	0	0	PFCEDH4	PFCEDH3	0	0	0

備考 兼用機能の指定については4. 3. 11 (6) ポートDHの兼用機能の指定を参照してください。

(6) ポートDHの兼用機能の指定

PFCDH5	PDH5端子の兼用機能の指定
0	A21出力
1	SCKF4入出力

注意 SCKF4 機能は PDH5 端子のほかに P35 端子にも割り当ててあります。PDH5 端子を SCKF4 機能に設定した場合、P35 端子は SCKF4 機能に設定しないでください。

PFCEDH4	PFCDH4	PDH4端子の兼用機能の指定
0	0	A20出力
0	1	SOF4出力
1	0	RXDB0入力
1	1	設定禁止

注意 SOF4/RXDB0 機能は PDH4 端子のほかに P34 端子にも割り当ててあります。PDH4 端子を SOF4/RXDB0 機能に設定した場合、P34 端子は SOF4/RXDB0 機能に設定しないでください。

PFCEDH3	PFCDH3	PDH3端子の兼用機能の指定
0	0	A19出力
0	1	SIF4入力
1	0	TXDB0出力
1	1	設定禁止

注意 SIF4/TXDB0 機能は PDH3 端子のほかに P33 端子にも割り当ててあります。PDH3 端子を SIF4/TXDB0 機能に設定した場合、P33 端子は SIF4/TXDB0 機能に設定しないでください。

PFCDH2	PDH2端子の兼用機能の指定
0	A18出力
1	SCKE1入出力

注意 SCKE1 機能は PDH2 端子のほかに P911 端子にも割り当ててあります。PDH2 端子を SCKE1 機能に設定した場合、P911 端子は SCKE1 機能に設定しないでください。

PFCDH1	PDH1端子の兼用機能の指定
0	A17出力
1	SOE1出力

注意 SOE1 機能は PDH1 端子のほかに P910 端子にも割り当ててあります。PDH1 端子を SOE1 機能に設定した場合、P910 端子は SOE1 機能に設定しないでください。

PFCDH0	PDH0端子の兼用機能の指定
0	A16出力
1	SIE1入力

注意 SIE1 機能は PDH0 端子のほかに P99 端子にも割り当ててあります。PDH0 端子を SIE1 機能に設定した場合、P99 端子は SIE1 機能に設定しないでください。

4.3.12 ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビットのポートです。

ポートDLは、次に示す端子と兼用しています。

表4 - 17 ポートDLの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JH3-E	V850ES/ JJ3-E			
PDL0	87	93	AD0	入出力	-
PDL1	88	94	AD1	入出力	
PDL2	89	95	AD2	入出力	
PDL3	90	96	AD3	入出力	
PDL4	91	97	AD4	入出力	
PDL5	92	98	AD5/FLMD1 ^注	入出力	
PDL6	93	99	AD6	入出力	
PDL7	94	100	AD7	入出力	
PDL8	95	101	AD8	入出力	
PDL9	96	102	AD9	入出力	
PDL10	97	103	AD10	入出力	
PDL11	98	104	AD11	入出力	
PDL12	99	105	AD12	入出力	
PDL13	100	106	AD13	入出力	
PDL14	103	109	AD14	入出力	
PDL15	104	110	AD15	入出力	

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第33章 フラッシュ・メモリを参照してください。

(1) ポートDLレジスタ (PDL)

リセット時：0000H (出力ラッチ) R/W アドレス：PDL FFFFF004H,
PDLL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH)	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0
PDLn	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

- 備考1.** PDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

(2) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFFF024H,
PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH)	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLn	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

- 備考1.** PMDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

(3) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時：0000H R/W アドレス：PMCDL FFFFF044H,
PMCDLL FFFFF044H, PMCDLH FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL (PMCDLH)	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
	7	6	5	4	3	2	1	0
(PMCDLL)	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0
PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	ADn入出力 (アドレス/データ・バス入出力)							

- 備考1.** PMCDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

4.4 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4 - 18に示します。
兼用端子として使用する場合は各機能を参照してください。

表4 - 18 ポート端子を兼用端子として使用する場合 (1/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
P03	INTP00	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 0	
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 1	
	EXCLK	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 1	PFC03 = 0	
P20	TIAB02	入力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 0	
	TOAB03	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 1	
	INTP01	入力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 1	PFC20 = 0	
P21	TIAB00	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 0	
	TOAB00	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 1	
	RTCDIV	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 0	
	RTCCL	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 1	
P22	TIAB01	入力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 0	PFC22 = 0	
	TOAB00	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 0	PFC22 = 1	
	RTC1HZ	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 1	PFC22 = 0	
	INTP02	入力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 1	PFC22 = 1	
P23	SIF1	入力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	PFCE23 = 0	PFC23 = 0	
	TXDC1	出力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	PFCE23 = 0	PFC23 = 1	
	SDA00	入出力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	PFCE23 = 1	PFC23 = 0	PF23 (PF2) = 1
	INTP03	入力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	PFCE23 = 1	PFC23 = 1	
P24	SOF1	出力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	PFCE24 = 0	PFC24 = 0	
	RXDC1	入力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	PFCE24 = 0	PFC24 = 1	
	SCL00	入出力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	PFCE24 = 1	PFC24 = 0	PF24 (PF2) = 1
	INTP04	入力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	PFCE24 = 1	PFC24 = 1	

表4 - 18 ポート端子を兼用端子として使用する場合 (2/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P25	SCKF1	入出力	P25 = 設定不要	PM25 = 設定不要	PMC25= 1	PFCE25 = 0	PFC25 = 0	
	TIAB30	入力	P25 = 設定不要	PM25 = 設定不要	PMC25= 1	PFCE25 = 0	PFC25 = 1	
	TOAB30	出力	P25 = 設定不要	PM25 = 設定不要	PMC25= 1	PFCE25 = 1	PFC25 = 0	
	UDMARQ0	入力	P25 = 設定不要	PM25 = 設定不要	PMC25= 1	PFCE25 = 1	PFC25 = 1	
P26	TIAB31	入力	P26 = 設定不要	PM26 = 設定不要	PMC26= 1	PFCE26 = 0	PFC26 = 0	
	TOAB31	出力	P26 = 設定不要	PM26 = 設定不要	PMC26= 1	PFCE26 = 0	PFC26 = 1	
	INTP05	入力	P26 = 設定不要	PM26 = 設定不要	PMC26= 1	PFCE26 = 1	PFC26 = 0	
	UDMAAK0	出力	P26 = 設定不要	PM26 = 設定不要	PMC26= 1	PFCE26 = 1	PFC26 = 1	
P27 ^注	TIAB03	入力	P27 = 設定不要	PM27 = 設定不要	PMC27= 1	PFCE27 = 0	PFC27 = 0	
	TOAB03	出力	P27 = 設定不要	PM27 = 設定不要	PMC27= 1	PFCE27 = 0	PFC27 = 1	
	INTP21	入力	P27 = 設定不要	PM27 = 設定不要	PMC27= 1	PFCE27 = 1	PFC27 = 0	
P30	TXDC0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30= 1	PFCE30 = 0	PFC30 = 0	
	SIF2	入力	P30 = 設定不要	PM30 = 設定不要	PMC30= 1	PFCE30 = 0	PFC30 = 1	
	INTP05	入力	P30 = 設定不要	PM30 = 設定不要	PMC30= 1	PFCE30 = 1	PFC30 = 0	
	UDMAAK0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30= 1	PFCE30 = 1	PFC30 = 1	
P31	RXDC0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31= 1	PFCE31 = 0	PFC31 = 0	
	SOF2	出力	P31 = 設定不要	PM31 = 設定不要	PMC31= 1	PFCE31 = 0	PFC31 = 1	
	TIAA01	入力	P31 = 設定不要	PM31 = 設定不要	PMC31= 1	PFCE31 = 1	PFC31 = 0	
	TOAA01	出力	P31 = 設定不要	PM31 = 設定不要	PMC31= 1	PFCE31 = 1	PFC31 = 1	
P32	ASCKC0	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32= 1	PFCE32 = 0	PFC32 = 0	
	SCKF2	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32= 1	PFCE32 = 0	PFC32 = 1	
	TIAA10	入力	P32 = 設定不要	PM32 = 設定不要	PMC32= 1	PFCE32 = 1	PFC32 = 0	
	TOAA10	出力	P32 = 設定不要	PM32 = 設定不要	PMC32= 1	PFCE32 = 1	PFC32 = 1	

表4 - 18 ポート端子を兼用端子として使用する場合 (3/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
P33	SIF4 ^{注1}	入力	P33 = 設定不要	PM33 = 設定不要	PMC33= 1	PFCE33 = 0	PFC33 = 0	
	TXDB0	出力	P33 = 設定不要	PM33 = 設定不要	PMC33= 1	PFCE33 = 0	PFC33 = 1	
	TIAA11	入力	P33 = 設定不要	PM33 = 設定不要	PMC33= 1	PFCE33 = 1	PFC33 = 0	
	TOAA11	出力	P33 = 設定不要	PM33 = 設定不要	PMC33= 1	PFCE33 = 1	PFC33 = 1	
P34	SOF4 ^{注2}	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	
	RXDB0	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	
	TIAA20	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	
	TOAA20	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 1	
P35	SCKF4 ^{注3}	入出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 0	PFC35 = 0	
	TIAA21	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 0	PFC35 = 1	
	TOAA21	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 1	PFC35 = 0	
	TOAA10FF ^{注4}	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 1	PFC35 = 1	
	INTP06 ^{注4}	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 1	PFC35 = 1	
P36	TXDC2	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	PFCE36 = 0	PFC36 = 0	
	SDA02	入出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	PFCE36 = 0	PFC36 = 1	PF36 (PF3) = 1
	CTXD0 ^{注5}	入力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	PFCE36 = 1	PFC36 = 0	
P37	RXDC2	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 0	PFC37 = 0	
	SCL02	入出力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 0	PFC37 = 1	PF37 (PF3) = 1
	CRXD0 ^{注5}	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 1	PFC37 = 0	

- 注1. SIF4機能はP33端子のほかにはPDH3端子にも、兼用されています。P33端子をSIF4機能に設定した場合は、PDH3端子はSIF4機能に設定しないでください。
2. SOF4機能はP34端子のほかにはPDH4端子にも、兼用されています。P34端子をSOF4機能に設定した場合は、PDH5端子はSOF4機能に設定しないでください。
3. SCKF4機能はP35端子のほかにはPDH5端子にも、兼用されています。P35端子をSCKF4機能に設定した場合は、PDH5端子はSCKF4機能に設定しないでください。
4. TOAA10FF機能とINTP09機能は兼用となっています。TOAA10FF機能として使用する場合は、兼用しているINTP09機能のエッジ検出を無効にしてください。また、INTP09機能として使用する場合は、ハイ・インピーダンス出力制御回路を停止してください。
5. μ PD70F3783, 70F3786のみ

表4 - 18 ポート端子を兼用端子として使用する場合 (4/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P40	SIF0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 0	PFC40 = 0	
	TXDC3	出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 0	PFC40 = 1	
	SDA01	入出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 1	PFC40 = 0	PF40 (PF4) = 1
	RTP00	出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 1	PFC40 = 1	
P41	SOF0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 0	PFC41 = 0	
	RXDC3	入力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 0	PFC41 = 1	
	SCL01	入出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 1	PFC41 = 0	PF41 (PF4) = 1
	RTP01	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 1	PFC41 = 1	
P42	SCKF0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	PFCE42 = 0	PFC42 = 0	
	TIAA40	入力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	PFCE42 = 0	PFC42 = 1	
	TOAA40	出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	PFCE42 = 1	PFC42 = 0	
	RTP02	出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	PFCE42 = 1	PFC42 = 1	
P43	SIE0	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFCE43 = 0	PFC43 = 0	
	TXDC4	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFCE43 = 0	PFC43 = 1	
	RTP03	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFCE43 = 1	PFC43 = 0	
	HLD $\overline{\text{DA}}$ ^注	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFCE43 = 1	PFC43 = 1	
P44	SOE0	出力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFCE44 = 0	PFC44 = 0	
	RXDC4	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFCE44 = 0	PFC44 = 1	
	RTP04	出力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFCE44 = 1	PFC44 = 0	
	HLD $\overline{\text{RQ}}$ ^注	出力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFCE44 = 1	PFC44 = 1	
P45	SCKE0	出力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 0	PFC45 = 0	
	TIAA41	入力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 0	PFC45 = 1	
	TOAA41	出力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 1	PFC45 = 0	
	RTP05	出力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 1	PFC45 = 1	

注 V850ES/JH3-Eのみ

表4 - 18 ポート端子を兼用端子として使用する場合 (5/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P46 ^注	SIF5	入力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFCE46 = 0	PFC46 = 0	
	TXDC6	出力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFCE46 = 0	PFC46 = 1	
	RTP06	出力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFCE46 = 1	PFC46 = 0	
P47 ^注	SOF5	出力	P47 = 設定不要	PM47 = 設定不要	PMC47 = 1	PFCE47 = 0	PFC47 = 0	
	RXDC6	入力	P47 = 設定不要	PM47 = 設定不要	PMC47 = 1	PFCE47 = 0	PFC47 = 1	
	RTP07	出力	P47 = 設定不要	PM47 = 設定不要	PMC47 = 1	PFCE47 = 1	PFC47 = 0	
P48 ^注	SCKF5	入出力	P48 = 設定不要	PM48 = 設定不要	PMC48 = 1	-	PFC48 = 0	
	INTP22	入力	P48 = 設定不要	PM48 = 設定不要	PMC48 = 1	-	PFC48 = 1	
P50	INTP07	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	-	-	
	DDI	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 設定不要	-	-	OCDM0 (OCDM) = 1
P51	INTP08	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	-	-	
	DDO	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 設定不要	-	-	OCDM0 (OCDM) = 1
P52	INTP09	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	-	-	
	DCK	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	-	-	OCDM0 (OCDM) = 1
P53	INTP10	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	-	-	
	DMS	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	-	-	OCDM0 (OCDM) = 1
P54	INTP11	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	-	-	
	DRST	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	-	-	OCDM0 (OCDM) = 1
P55 ^注	SDA04	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0	PF55 (PF5) = 1
	INTP23	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0	
	UDMARQ1	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 1	

注 V850ES/JJ3-Eのみ

表4 - 18 ポート端子を兼用端子として使用する場合 (6/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P56 ^注	SCL04	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0	PF55 (PF5) = 1
	INTP24	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 1	
	UDMAAK1	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 1	PFC55 = 1	
P57 ^注	SIF6	入力	P57 = 設定不要	PM57 = 設定不要	PMC57 = 1	-	PFC57 = 0	
	TXDC7	出力	P57 = 設定不要	PM57 = 設定不要	PMC57 = 1	-	PFC57 = 1	
P58 ^注	SOF6	出力	P58 = 設定不要	PM58 = 設定不要	PMC58 = 1	-	PFC58 = 0	
	RXDC7	入力	P58 = 設定不要	PM58 = 設定不要	PMC58 = 1	-	PFC58 = 1	
P59 ^注	SCKF6	入出力	P59 = 設定不要	PM59 = 設定不要	PMC59 = 1	-	PFC59 = 0	
	INTP25	入力	P59 = 設定不要	PM59 = 設定不要	PMC59 = 1	-	PFC59 = 1	
P70	ANI0	入力	P70 = 設定不要	PM70 = 1	-	-	-	
P71	ANI1	入力	P71 = 設定不要	PM71 = 1	-	-	-	
P72	ANI2	入力	P72 = 設定不要	PM72 = 1	-	-	-	
P73	ANI3	入力	P73 = 設定不要	PM73 = 1	-	-	-	
P74	ANI4	入力	P74 = 設定不要	PM74 = 1	-	-	-	
P75	ANI5	入力	P75 = 設定不要	PM75 = 1	-	-	-	
P76	ANI6	入力	P76 = 設定不要	PM76 = 1	-	-	-	
P77	ANI7	入力	P77 = 設定不要	PM77 = 1	-	-	-	
P78	ANI8	入力	P78 = 設定不要	PM78 = 1	-	-	-	
P79	ANI9	入力	P79 = 設定不要	PM79 = 1	-	-	-	
P710 ^注	ANI10	入力	P710 = 設定不要	PM710 = 1	-	-	-	
P711 ^注	ANI11	入力	P711 = 設定不要	PM711 = 1	-	-	-	

注 V850ES/JJ3-Eのみ

表4 - 18 ポート端子を兼用端子として使用する場合 (7/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P90	TOAB1T1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 0	
	TOAB11	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 0	
	TIAB11 ^{注1}	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1	KRM0 (KRM) = 0
	KR0 ^{注1}	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1	TAB1TIS3, TAB1TIS2 (TAB1IOC1) = 0
	INTP12	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 0	
	A0 ^{注2}	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 1	
P91	TOAB1B1	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 0	
	TIAB10 ^{注3}	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1	KRM1 (KRM) = 0
	KR1 ^{注3}	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1	TAB1TIS1, TAB1TIS0 (TAB1IOC1) = 0
	TOAB10	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0	PF91 (PF9) = 1
	A1 ^{注2}	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 1	
P92	TOAB1T2	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 0	
	TOAB12	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 0	
	TIAB12 ^{注4}	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1	KRM2 (KRM) = 0
	KR2 ^{注4}	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1	TAB1TIS5, TAB1TIS4 (TAB1IOC1) = 0
	INTP13	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 0	
	A2 ^{注1}	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 1	

- 注1. KR0機能とTIAB11機能は兼用となっています。端子 TIAB11 機能として使用する場合は、兼用している KR0 機能のキー・リターン検出を無効にしてください (KRM.KRM0 ビットに 0 を設定)。また、KR0 機能として使用する場合は、兼用している TIAB11 端子のエッジ検出を無効 (TAB1IOC1.TAB1IS3,TAB1IS2 ビットに 00 を設定) にしてください。
2. A0-A15 端子に設定する際は、一括して PMC9 レジスタ = FFFFH に 16 ビット設定してください。
3. KR1機能とTIAB10機能は兼用となっています。端子 TIAB10 機能として使用する場合は、兼用している KR1 機能のキー・リターン検出を無効にしてください (KRM.KRM1 ビットに 0 を設定)。また、KR1 機能として使用する場合は、兼用している TIAB10 端子のエッジ検出を無効 (TAB1IOC1.TAB1IS1,TAB1IS0 ビットに 00 を設定) にしてください。
4. KR2機能とTIAB12機能は兼用となっています。端子 TIAB12 機能として使用する場合は、兼用している KR2 機能のキー・リターン検出を無効にしてください (KRM.KRM2 ビットに 0 を設定)。また、KR2 機能として使用する場合は、兼用している TIAB12 端子のエッジ検出を無効 (TAB1IOC1.TAB1IS5,TAB1IS4 ビットに 00 を設定) にしてください。

表4 - 18 ポート端子を兼用端子として使用する場合 (8/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P93	TOAB1B2	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 0	
	TRGAB1 ^{注1}	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 1	KRM3 (KRM) = 0
	KR3 ^{注1}	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 1	TAB1ETS1, TAB1ETS0 (TAB1IOC1) = 0
	INTP14	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 0	
	A3 ^{注2}	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 1	
P94	TOAB1T3	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 0	
	TOAB13	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 0	
	TIAB13 ^{注3}	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1	KRM2 (KRM) = 0
	KR4 ^{注3}	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1	TAB1TIS7, TAB1TIS6 (TAB1IOC1) = 0
	INTP15	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0	
	A4 ^{注2}	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 1	
P95	TOAB1B3	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 0	
	EVTAB1 ^{注4}	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 1	KRM5 (KRM) = 0
	KR5 ^{注4}	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 1	TAB1EES1, TAB1EES0 (TAB1IOC1) = 0
	INTP16	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 1	PFC95 = 0	
	A5 ^{注2}	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 1	PFC95 = 1	

- 注1. KR3機能とTRGAB1機能は兼用となっています。端子をTRGAB1機能として使用する場合は、兼用しているKR3機能のキー・リターン検出を無効にしてください (KRM.KRM3ビットに0を設定)。また、KR3機能として使用する場合は、兼用しているTRGAB1端子のエッジ検出を無効 (TAB1IOC2.TAB1ETS1, TAB1ETS0ビットに00を設定) にしてください。
2. A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。
3. KR4機能とTIAB13機能は兼用となっています。端子をTIAB13機能として使用する場合は、兼用しているKR4機能のキー・リターン検出を無効にしてください (KRM.KRM4ビットに0を設定)。また、KR4機能として使用する場合は、兼用しているTIAB13端子のエッジ検出を無効 (TAB1IOC1.TAB1IS7, TAB1IS6ビットに00を設定) にしてください。
4. KR5機能とEVTAB1機能は兼用となっています。端子をEVTAB1機能として使用する場合は、兼用しているKR5機能のキー・リターン検出を無効にしてください (KRM.KRM5ビットに0を設定)。また、KR5機能として使用する場合は、兼用しているEVTAB1端子のエッジ検出を無効 (TAB1IOC2.TAB1EES1, TAB1EES0ビットに00を設定) にしてください。

表4 - 18 ポート端子を兼用端子として使用する場合 (9/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P96	TECR0	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 0	PFC96 = 0	
	TIT00 ^{注1}	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	KRM6 (KRM) = 0
	KR6 ^{注1}	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	TT0IS1, TT0IS0 (TTI0IOC1) = 0
	TOT00	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	
	A6 ^{注2}	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	注2
P97	TENC00	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 0	
	TIT01 ^{注3}	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 1	KRM7 (KRM) = 0
	KR7 ^{注3}	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 1	TT0IS3, TT0IS2 (TTI0IOC1) = 0
	TOT01	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0	
	A7 ^{注2}	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 1	
P98	TENC01	入力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 0	PFC98 = 0	
	INTP17	入力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 0	PFC98 = 1	
	A8 ^{注2}	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 1	PFC98 = 0	
P99	SIE1 ^{注4}	入力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 0	PFC99 = 0	
	TXDC5	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 0	PFC99 = 1	
	SDA03	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 1	PFC99 = 0	
	A9 ^{注2}	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 1	PFC99 = 1	

- 注1. KR6機能とTIT00機能は兼用となっています。端子をTIT00機能として使用する場合は、兼用しているKR6機能のキー・リターン検出を無効にしてください (KRM.KRM6ビットに0を設定)。また、KR6機能として使用する場合は、兼用しているTIT00機能のエッジ検出を無効 (TTI0IOC1. TT0IS1, TT0IS0ビットに00を設定) にしてください。
2. A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。
3. KR7機能とTIT01機能は兼用となっています。端子をTIT01機能として使用する場合は、兼用しているKR7機能のキー・リターン検出を無効にしてください (KRM.KRM7ビットに0を設定)。また、KR7機能として使用する場合は、兼用しているTIT01機能のエッジ検出を無効 (TTI0IOC1. TT0IS3, TT0IS2ビットに00を設定) にしてください。
4. SIE1機能はP99端子のほかにPDH0端子にも割り当ててあります。P99端子をSIE1機能に設定した場合、PDH0端子はSIE1機能に設定しないでください。

表4 - 18 ポート端子を兼用端子として使用する場合 (10/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P910	SOE1	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFCE910 = 0	PFC910 = 0	
	RXDC5	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFCE910 = 0	PFC910 = 1	
	SCL03	入出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFCE910 = 1	PFC910 = 0	PF910 (PF9) = 1
	A10 ^{注1}	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFCE910 = 1	PFC910 = 1	
P911	SCKE1 ^{注2}	入出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFCE911 = 0	PFC911 = 0	
	TIAA50	入力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFCE911 = 0	PFC911 = 1	
	TOAA50	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFCE911 = 1	PFC911 = 0	
	A11 ^{注1}	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFCE911 = 1	PFC911 = 1	
P912	TOAB1OFF ^{注3}	入力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 0	INTR912 (INTR9) = 0, INTF912 (INTF9) = 0
	INTP18 ^{注3}	入力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 0	HZA0DCN0, NZA0DCP0 (HZA0CTL0) = 00
	A12 ^{注1}	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 1	
P913	SIF3	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFCE913 = 0	PFC913 = 0	
	TXDB1	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFCE913 = 0	PFC913 = 1	
	INTP19	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFCE913 = 1	PFC913 = 0	
	A13 ^{注1}	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFCE913 = 1	PFC913 = 1	
P914	SOF3	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 0	
	RXDB1	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 1	
	INTP20	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 0	
	A14 ^{注1}	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 1	

注1. A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。

2. SCKE1機能はP911端子のほかにPDH2端子にも割り当ててあります。P911端子をSCKE1機能に設定した場合、PDH2端子はSCKE1機能に設定しないでください。

3. TOAB1OFF機能とINTP18機能は兼用となっています。端子をTOAB1OFF端子として使用する場合は、兼用しているINTP18機能の割り込み検出を無効にしてください (INTR.INTR912ビット, INTF.INTF912ビットにそれぞれ0を設定)。また、INTP18端子として使用する場合は、兼用しているTOAB1OFF端子のエッジ検出を無効 (HZA0CTL0.HZA0DCN0, NZA0DCP0ビットに00を設定) にしてください。

表4 - 18 ポート端子を兼用端子として使用する場合 (11/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P915	SCKF3	入出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 0	
	TIAA50	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 1	
	TOAA50	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 0	
	A15 ^{注1}	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 1	
PCM0	WAIT	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-	
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-	
PCM2	HLD $\overline{\text{AK}}$ ^{注2}	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-	
PCM3	H $\overline{\text{LDRQ}}$ ^{注2}	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-	
PCS0	CS $\overline{0}$	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	-	-	
PCS2	CS $\overline{2}$	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	-	
PCS3	CS $\overline{3}$ ^{注2}	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	-	
PCT0	WR $\overline{0}$	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCCT0 = 1	-	-	
PCT1	WR $\overline{1}$	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCCT1 = 1	-	-	
PCT4	RD	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCCT4 = 1	-	-	
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCCT6 = 1	-	-	
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	FECDH0 = 0	
	SIE1 ^{注3}	入力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	FECDH0 = 1	
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	FECDH1 = 0	
	SOE1 ^{注4}	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	FECDH1 = 1	
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	-	FECDH2 = 0	
	SCKE1	入出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	-	FECDH2 = 1	

注1. A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。

2. V850ES/JJ3-Eのみ

3. SIE1機能はPDH0端子のほかにP99端子にも割り当ててあります。PDH0端子をSIE1機能に設定した場合、P99端子はSIE1機能に設定しないでください。

4. SOE1機能はPDH1端子のほかにP910端子にも割り当ててあります。PDH1端子をSOE1機能に設定した場合、P910端子はSOE1機能に設定しないでください。

5. SCKE1機能はPDH2端子のほかにP911端子にも割り当ててあります。PDH2端子をSCKE1機能に設定した場合、P911端子はSCKE1機能に設定しないでください。

表4 - 18 ポート端子を兼用端子として使用する場合 (12/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	FECEDH3 = 0	FECDH3 = 0	
	SIF4 ^{注1}	入力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	FECEDH3 = 0	FECDH3 = 1	
	TXDB0 ^{注1}	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	FECEDH3 = 1	FECDH3 = 0	
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	FECEDH4 = 0	FECDH4 = 0	
	SOF4 ^{注2}	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	FECEDH4 = 0	FECDH4 = 1	
	RXDB0 ^{注2}	入力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	FECEDH4 = 1	FECDH4 = 0	
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	-	FECDH5 = 0	
	SCKF4 ^{注3}	入出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	-	FECDH5 = 1	
PDH6	A22 ^{注4}	出力	PDH6 = 設定不要	PMDH6 = 設定不要	PMCDH6 = 1	-	-	
PDH7	A23 ^{注4}	出力	PDH7 = 設定不要	PMDH7 = 設定不要	PMCDH7 = 1	-	-	
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-	
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-	
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-	
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-	
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-	

- 注1. SIF4/TXDB0機能はPDH3端子のほかにP33端子にも割り当ててあります。PDH3端子をSIF4/TXDB0機能に設定した場合、P33端子はSIF4/TXDB0機能に設定しないでください。
2. SOF4/RXDB0機能はPDH4端子のほかにP34端子にも割り当ててあります。PDH4端子をSOF4/RXDB0機能に設定した場合、P34端子はSOF4/RXDB0機能に設定しないでください。
3. SCKF4機能はPDH5端子のほかにP35端子にも割り当ててあります。PDH5端子をSCKF4機能に設定した場合、P35端子はSCKF4機能に設定しないでください。
4. V850ES/JJ3-Eのみ

表4 - 18 ポート端子を兼用端子として使用する場合 (13/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-	
	FLMD1 ^注	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	-	-	
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-	
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-	
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-	
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-	
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-	
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-	
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-	
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-	
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-	
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-	

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第33章 フラッシュ・メモリを参照してください。

4.5 注意事項

4.5.1 ポート端子設定上の注意事項

(1) V850ES/JH3-E, V850ES/JJ3-Eでは、1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート（ポート・モード）と、周辺機能の入出力端子（兼用機能モード）との切り替えは、PMCnレジスタで設定します。このレジスタの設定順序に関して、次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

PFnレジスタを設定 ^{注1}	: N-chオープン・ドレイン設定
PFCn, PFCEnレジスタを設定	: 兼用端子機能選択
PMCnレジスタの該当ビットに1を設定	: 兼用機能モードへ切り替え
INTRn, INTFnレジスタを設定 ^{注2}	: 外部割り込み設定

PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるため注意してください。

【例】に具体例を示します。

- 注1. N-chオープン・ドレイン出力端子のみ
2. 外部割り込み機能選択時のみ

注意 ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。

- ・ Pnレジスタのリード : ポート出力ラッチの値（PMn.PMnmビット = 0時）、または端子状態（PMn.PMnmビット = 1時）の読み出し
- ・ Pnレジスタへのライト : ポート出力ラッチへの書き込み

【例】SCL01端子の設定例

SCL01端子は、P41/SOF0と兼用されています。有効な端子機能を、PMC4, PFC4, PF4レジスタによって次のように選択します。

PMC41ビット	PFC41ビット	PF41ビット	有効な端子機能
0	don't care	1	P41（出力ポート・モードの場合、N-chオープン・ドレイン出力）
1	0	1	SOF0出力（N-chオープン・ドレイン出力）
	1	1	SCL01入出力（N-chオープン・ドレイン出力）

次に、P41端子からSCL01端子への切り替え時に、問題が発生する可能性がある設定順序を示します。

設定順	設定内容	端子状態	端子レベル
	初期値 (PMC41ビット = 0, PFC41ビット = 0, PF41ビット = 0)	ポート・モード (入力)	Hi-Z
	PMC41ビット←1	SOF0出力	ロウ・レベル(CSIF0の設定によってはハイ・レベル)
	PFC41ビット←1	SCL01入出力	ハイ・レベル(CMOS出力)
	PF41ビット←1	SCL01入出力	Hi-Z(N-chオープン・ドレイン出力)

で、兼用されているSOF0出力が端子に出力されるため、 I^2C 通信に影響を与える可能性があります。また、
、
のCMOS出力の期間に、不要な電流が発生する可能性があります。

(b) 兼用機能モード(入力)に関する注意事項

兼用機能ブロックへの入力信号は、PMcNレジスタの設定値と端子レベルのAND出力のため、PMcN.PMcNmビット = 0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMcNレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。

- ・ポート・モードから兼用機能モード(入力)へ切り替える場合
PMcNレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。
- ・兼用機能モード(入力)からポート・モードへ切り替える場合
兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。

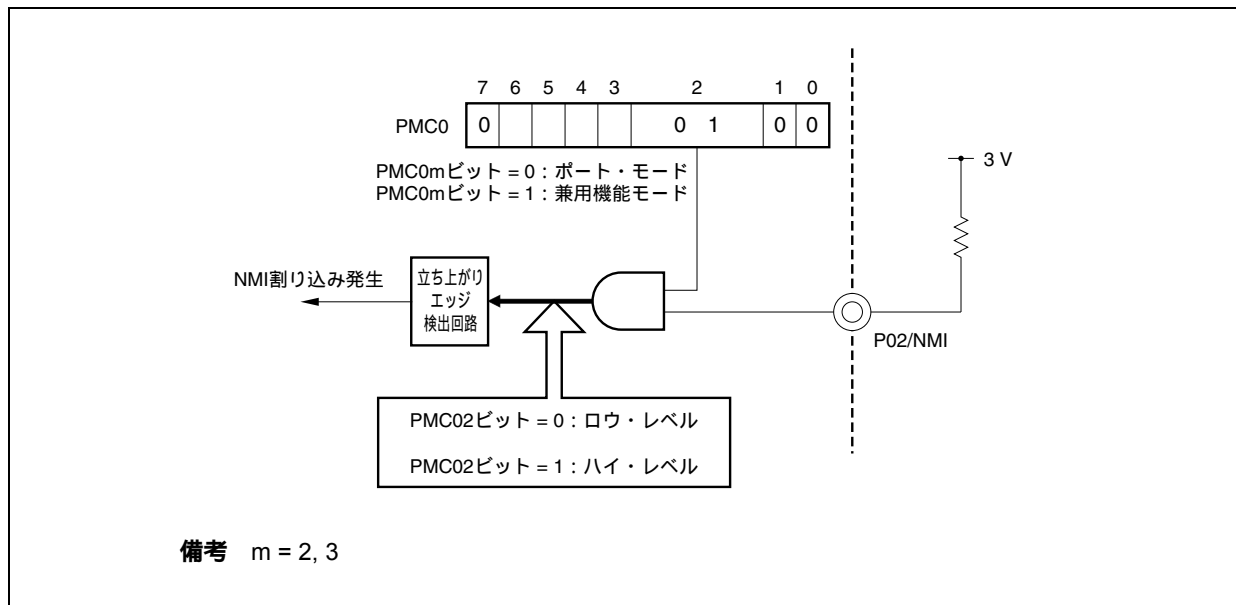
【例1】、【例2】に具体例を示します。

【例1】汎用ポート(P02)から外部割り込み端子(NMI)への切り替え

P02/NMI端子が図4-4のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち上がりエッジを指定している場合に、P02端子からNMI端子へ切り替えたとき(PMC02ビット = 0→1)、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ロウ・レベル ハイ・レベルと変化したかのように立ち上がりエッジとして検出し、NMI割り込みが発生します。

対策として、P02端子からNMI端子へ切り替えてから、NMI端子の有効エッジを設定してください。

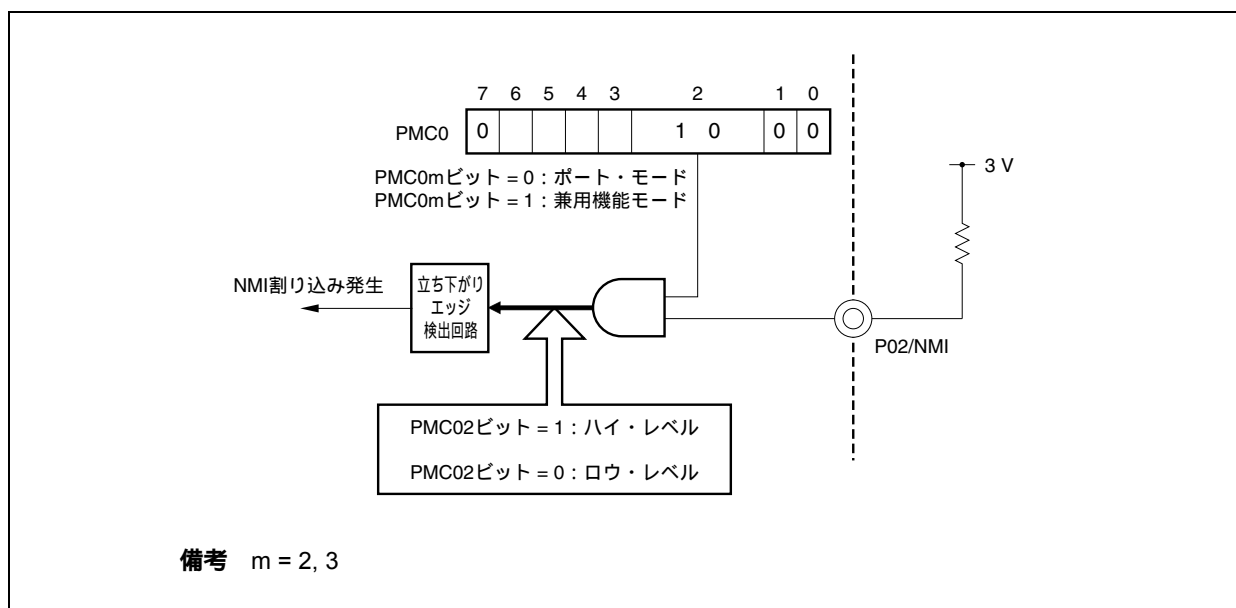
図4-4 P02からNMIへの切り替え (悪い例)



【例2】外部割り込み端子 (NMI) から、汎用ポート (P02) への切り替え

P02/NMI端子が図4-5のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち下がりエッジを指定している場合に、NMI端子からP02端子へ切り替えたとき (PMC02ビット = 1→0)、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ハイ・レベル ロウ・レベルと変化したかのように立ち下がりエッジとして検出し、NMI割り込みが発生します。対策として、NMI端子のエッジ検出設定を“エッジ検出しない”にしてから、NMI端子からP02端子へ切り替えてください。

図4-5 NMIからP02への切り替え (悪い例)



(2) ポート・モードにおいてPFn.PFnmビットは、出力モード (PMn.PMnmビット = 0) 時のみ有効となります。入力モード (PMnmビット = 1) のとき、PFnmビットの値はバッファに反映されません。

4.5.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート、P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P90端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850ES/JH3-E, V850ES/JJ3-E内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

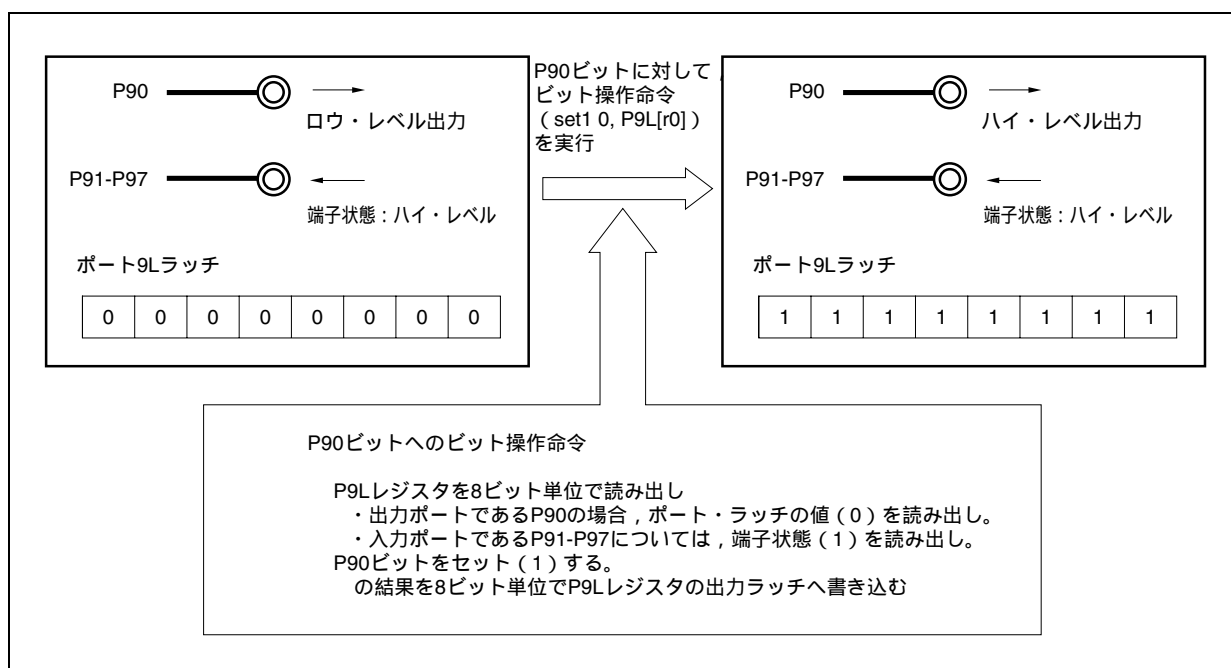
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 6 ビット操作命令（P90端子の場合）



4.5.3 オンチップ・デバッグ用端子に関する注意事項

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子はオンチップ・デバッグ用の端子です。

$\overline{\text{RESET}}$ 端子によるリセット後, P54/INTP11/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, オンチップ・デバッグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は, 次の処置が必要です。

- ・OCDMレジスタ (特定レジスタ) のOCDM0ビットをクリア (0)

このとき, $\overline{\text{RESET}}$ 端子によるリセット解除時から, 上記の処理を終えるまで, P54/INTP11/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, 誤動作 (CPUデッド・ロック) の原因となるため, P54端子の取り扱いには十分注意してください。

注意 WDT2RES信号, クロック・モニタ (CLM), 低電圧検出回路 (LVI) によるリセット時は, P54/INTP11/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されません。また, OCDMレジスタも値を保持します。

4.5.4 P54/INTP11/ $\overline{\text{DRST}}$ 端子に関する注意事項

P54/INTP11/ $\overline{\text{DRST}}$ 端子はプルダウン抵抗 (30 k Ω (TYP.)) を内蔵しています。 $\overline{\text{RESET}}$ 端子によるリセット後は, プルダウン抵抗が接続されています。OCDM0ビットをクリア (0) することにより, プルダウン抵抗は切断されます。

4.5.5 P51端子に関する電源投入時の注意事項

次に示す端子は, 電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・P51/INTP08/DDO端子

4.5.6 ヒステリシス特性について

ポート・モードでは, 次のポートはヒステリシス特性を持ちません。

P02, P03

P20-P27

P30-P37

P40-P48

P50-P59

P60-P65

P90-P915

第5章 バス制御機能

V850ES/JH3-E, V850ES/JJ3-Eは、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1 特 徴

最小で3バス・サイクルのマルチプレクス・バスとセパレート・バス出力選択可能

8ビット/16ビット・データ・バス切り替え可能

ウェイト機能

・最大で7ステートのプログラマブル・ウェイト機能

・ $\overline{\text{WAIT}}$ 端子による外部ウェイト機能

アイドル・ステート機能

バス・ホールド機能

5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5-1 バス制御端子一覧（マルチプレクス・バス選択時）

バス制御端子	兼用端子	入出力	機能
AD0-AD15	PDL0-PDL15	入出力	アドレス/データ・バス
A16-A23 ^{注1}	PDH0-PDH7	出力	アドレス・バス
WAIT $\bar{}$	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR $\bar{0}$, WR $\bar{1}$	PCT0, PCT1	出力	ライト・ストロブ信号
RD $\bar{}$	PCT4	出力	リード・ストロブ信号
ASTB	PCT6	出力	アドレス・ストロブ信号
HLDRQ $\bar{}$	P44 ^{注2} PCM3 ^{注3}	入力	バス・ホールド制御
HLD $\bar{A}K$	P43 ^{注2} PCM2 ^{注3}	出力	
CS $\bar{0}$, CS $\bar{2}$, CS $\bar{3}$ ^{注2}	PCS0, PCS2, PCS3	出力	チップ・セレクト

注1. V850ES/JJ3-Eのみ、V850ES/JH3-EではA16-A21

2. V850ES/JH3-Eのみ
3. V850ES/JJ3-Eのみ

表5-2 バス制御端子一覧（セパレート・バス選択時）

バス制御端子	兼用端子	入出力	機能
AD0-AD15	PDL0-PDL15	入出力	データ・バス
A0-A15	P90-P915	出力	アドレス・バス
A16-A23 ^{注1}	PDH0-PDH7	出力	アドレス・バス
WAIT $\bar{}$	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR $\bar{0}$, WR $\bar{1}$	PCT0, PCT1	出力	ライト・ストロブ信号
RD $\bar{}$	PCT4	出力	リード・ストロブ信号
HLDRQ	P44 ^{注2} PCM3 ^{注3}	入力	バス・ホールド制御
HLD $\bar{A}K$	P43 ^{注2} PCM2 ^{注3}	出力	
CS $\bar{0}$, CS $\bar{2}$, CS $\bar{3}$ ^{注3}	PCS0, PCS2, PCS3	出力	チップ・セレクト

注1. V850ES/JJ3-Eのみ、V850ES/JH3-EではA16-A21

2. V850ES/JH3-Eのみ
3. V850ES/JJ3-Eのみ

5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態

内蔵ROM, 内蔵RAM, 内蔵周辺I/Oへアクセスした場合, 各端子状態は次のようになります。

表5 - 3 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態一覧

バス制御端子	セパレート・バス・モード		マルチプレクス・バス・モード	
	内蔵ROM/RAM	周辺I/O	内蔵ROM/RAM	周辺I/O
アドレス/データ・バス (AD15-AD0)	不定	不定	不定	不定
アドレス・バス (A23-A16)	不定	不定 (アクセス中ドレス出力)	不定	不定 (アクセス中ドレス出力)
アドレス・バス (A15-A0)	不定	不定 (アクセス中ドレス出力)	不定	不定 (アクセス中ドレス出力)
制御信号	インアクティブ	インアクティブ	インアクティブ	インアクティブ

注意 内蔵ROM領域へライト・アクセスしたときには, 外部メモリ領域へのアクセスと同じく, アドレス, データ, 制御信号ともに活性化されます。

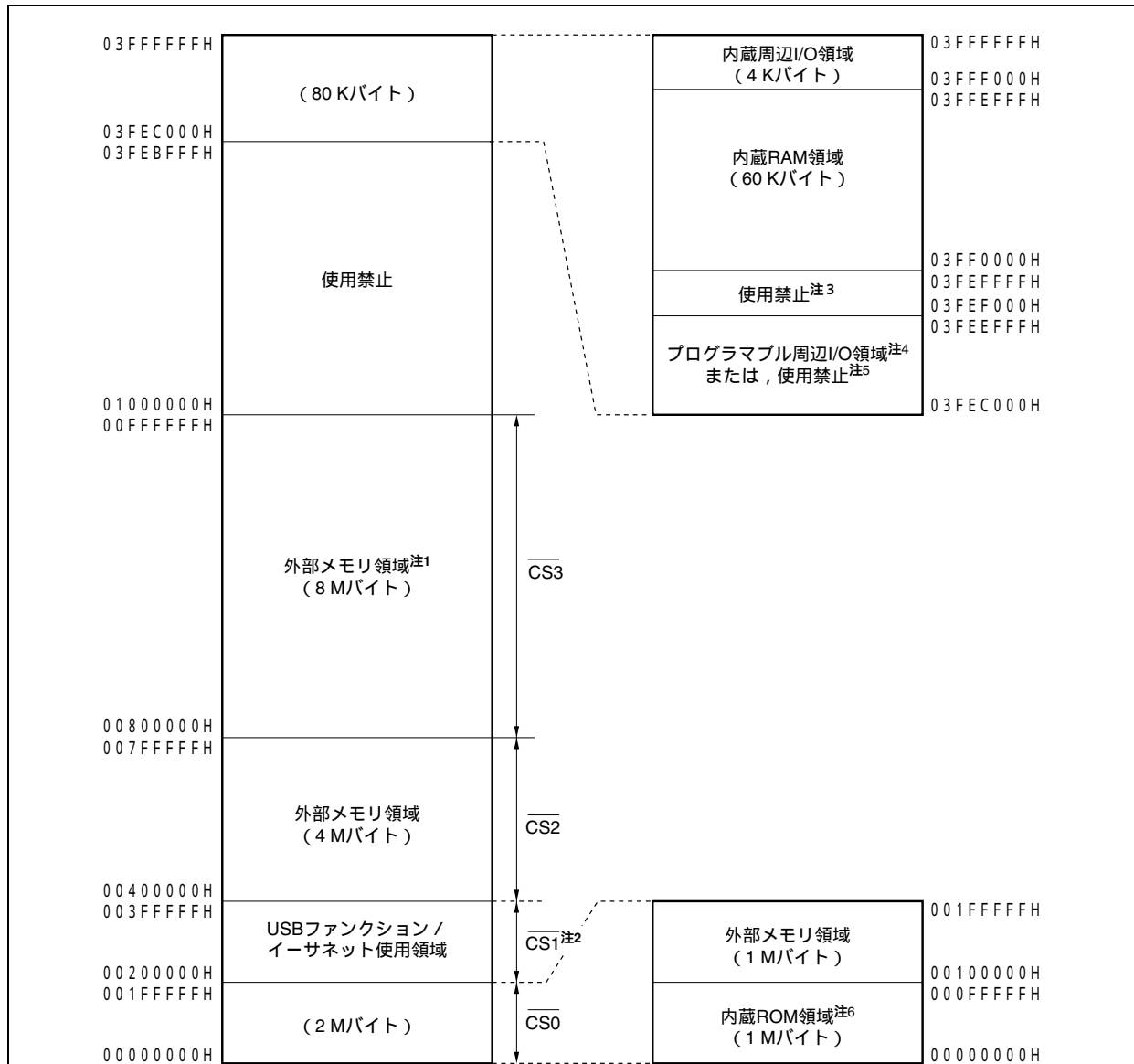
5.2.2 各動作モードの端子状態

V850ES/JH3-E, V850ES/JJ3-E各動作モードの端子状態については, 2.2 端子状態を参照してください。

5.3 メモリ・ブロック機能

16 Mバイトの外部メモリ空間は下位2 M, 4 M, 8 Mバイト単位のメモリ・ブロックに分割され、1ブロック単位にプログラマブル・ウエイト機能、バス・サイクル動作モードなどを独立に制御できます。

図5-1 データ・メモリ・マップ：物理アドレス



- 注1. V850ES/JJ3-Eのみ、外部メモリ領域として使用できます。V850ES/JH3-Eでは、使用禁止領域です。
2. CS1はV850ES/Jx3-Eの外部信号としては存在しません。V850ES/Jx3-E内部でUSB、イーサネットに対するチップ・セレクト信号として使用しています。
3. 03FEF000H-03FEEFFFFH番地は、内蔵周辺I/O領域と同じ領域となるため、使用禁止となります。
4. プログラマブル周辺I/O領域だけは4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。
5. 03FEC000H-03FEEFFFFH番地は、CANコントローラ内蔵品では、プログラマブル周辺I/O領域として03FEC000H-03FECBFFFH番地を割り付けています。CANコントローラを内蔵していない製品では使用禁止となります。
6. データ・ライト・アクセス時は、外部メモリ領域になります。

5.4 バス・アクセス

5.4.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域 (バス幅)	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (16ビット)	
			マルチプレクス	セパレート
バス・サイクル・タイプ				
命令フェッチ (通常アクセス)	1	1 ^注	3+n	
命令フェッチ (分岐)	3	2 ^注	3+n	
オペランド・データ・アクセス	5	1	3+n	

注 データ・アクセスと競合した場合は、+1されます。

備考 単位はクロック/アクセスです。

5.4.2 バス・サイズ設定機能

外部メモリ領域は、 \overline{CSn} で選択される領域ごとにBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

V850ES/JH3-Eの外部メモリ領域は、 $\overline{CS0}$, $\overline{CS2}$, V850ES/JJ3-Eの外部メモリ領域は、 $\overline{CS0}$, $\overline{CS2}$, $\overline{CS3}$ で選択されます。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時: 5555H R/W アドレス: FFFFF066H								
	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	BS30 ^注	0	BS20	0	1	0	BS00
	$\overline{CS3}$		$\overline{CS2}$					$\overline{CS0}$
	BSn0	CSn空間のデータ・バス幅 (n=0, 2, 3)						
	0	8ビット						
	1	16ビット						
<p>注 V850ES/JJ3-Eのみ、V850ES/JH3-Eでは必ず1を設定してください。</p> <p>注意 ビット14, 12, 10, 8, 2には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。</p>								

5.4.3 バス・サイズによるアクセス

V850ES/JH3-E, V850ES/JJ3-Eが内蔵周辺I/Oアクセス, 外部メモリ・アクセスを行う場合には, 8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- ・内蔵周辺I/Oのバス・サイズは16ビット固定
- ・外部メモリのバス・サイズは8ビット/16ビット選択可能 (BSCレジスタにより設定)

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

V850ES/JH3-E, V850ES/JJ3-Eは, リトル・エンディアン形式のみ対応しています。

図5-2 ワード内のリトル・エンディアン・アドレス

31	24 23	16 15	8 7	0
000BH	000AH	0009H	0008H	
0007H	0006H	0005H	0004H	
0003H	0002H	0001H	0000H	

(1) データ空間

V850ES/JH3-E, V850ES/JJ3-Eはアドレス・ミス・アライン機能を内蔵しています。

この機能により, データの形式 (ワード・データ, ハーフワード・データ) にかかわらず, すべてのアドレスに対してデータを配置できます。ただし, ワード・データ, ハーフワード・データの場合, データが境界整列していないと, バス・サイクルが最低2回は発生し, バス効率が低下します。

(a) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき, バイト長のバス・サイクルを2回生成します。

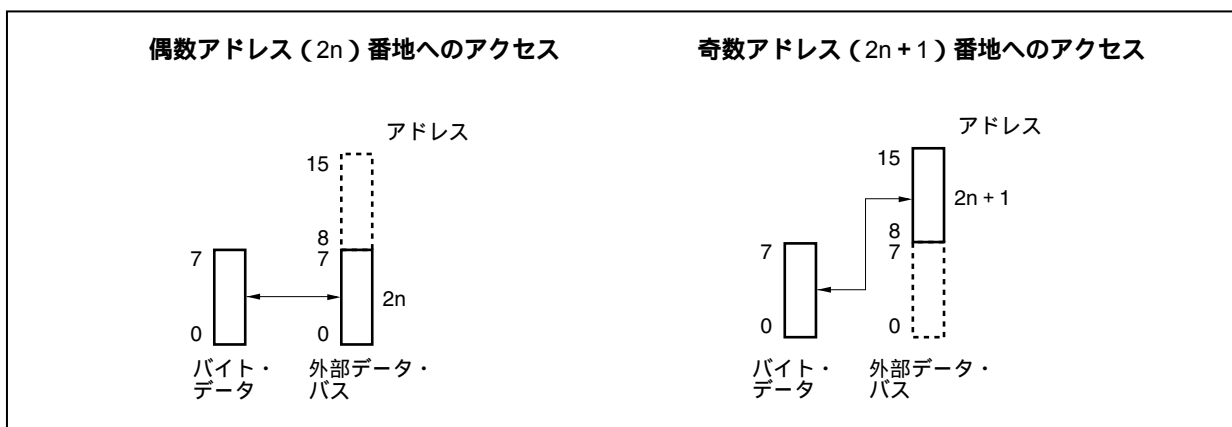
(b) ワード長のデータ・アクセスの場合

(i) アドレスの最下位ビットが1のとき, バイト長のバス・サイクル, ハーフワード長のバス・サイクル, バイト長のバス・サイクルの順でバス・サイクルを生成します。

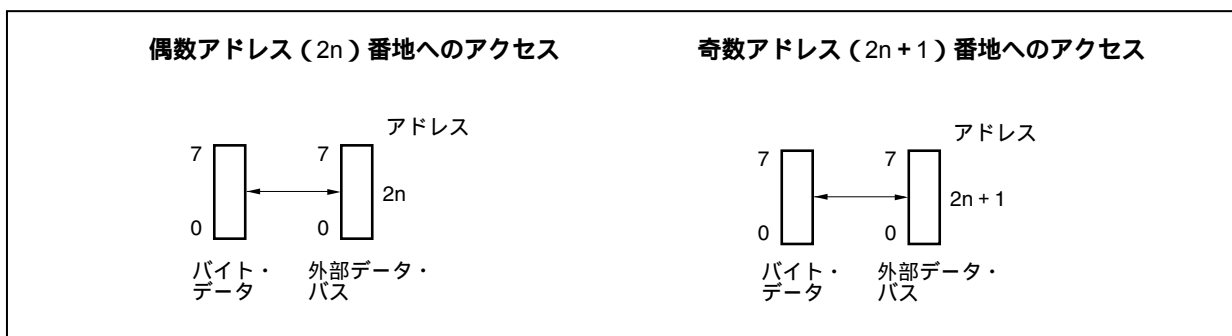
(ii) アドレスの下位2ビットが10のとき, ハーフワード長のバス・サイクルを2回生成します。

(2) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅のとき

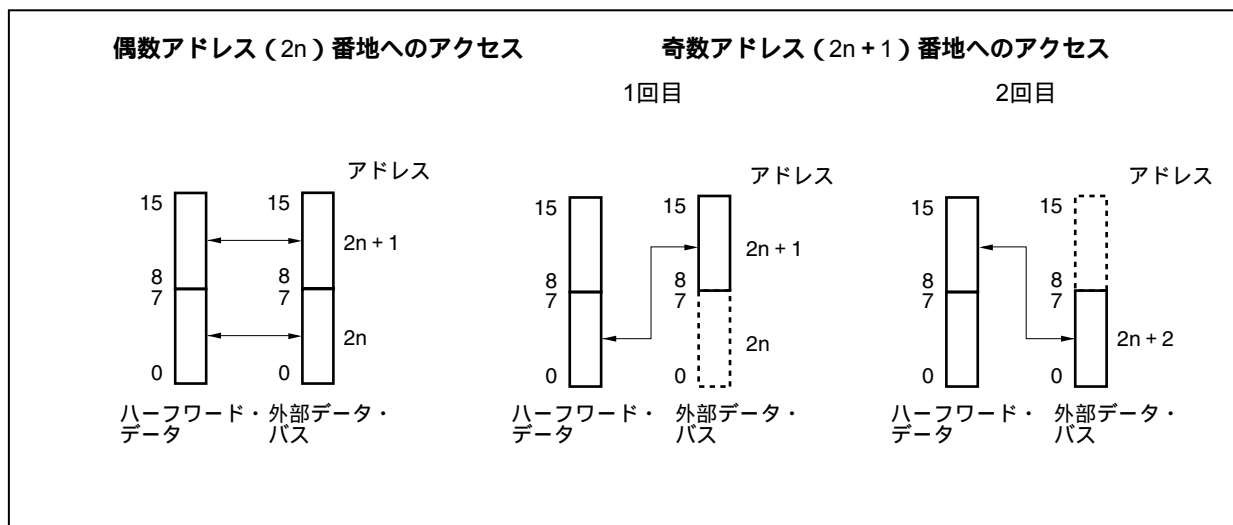


(b) 8ビット・データ・バス幅のとき

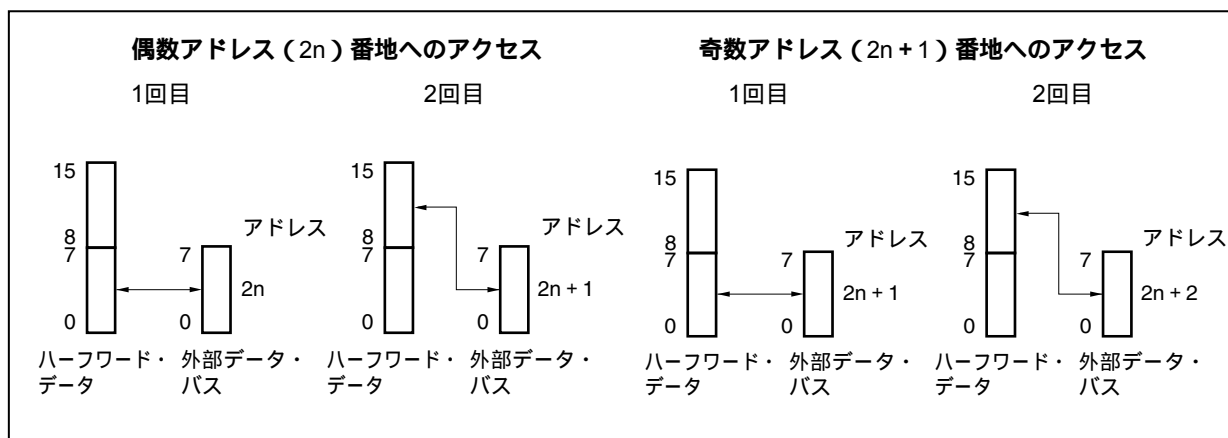


(3) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

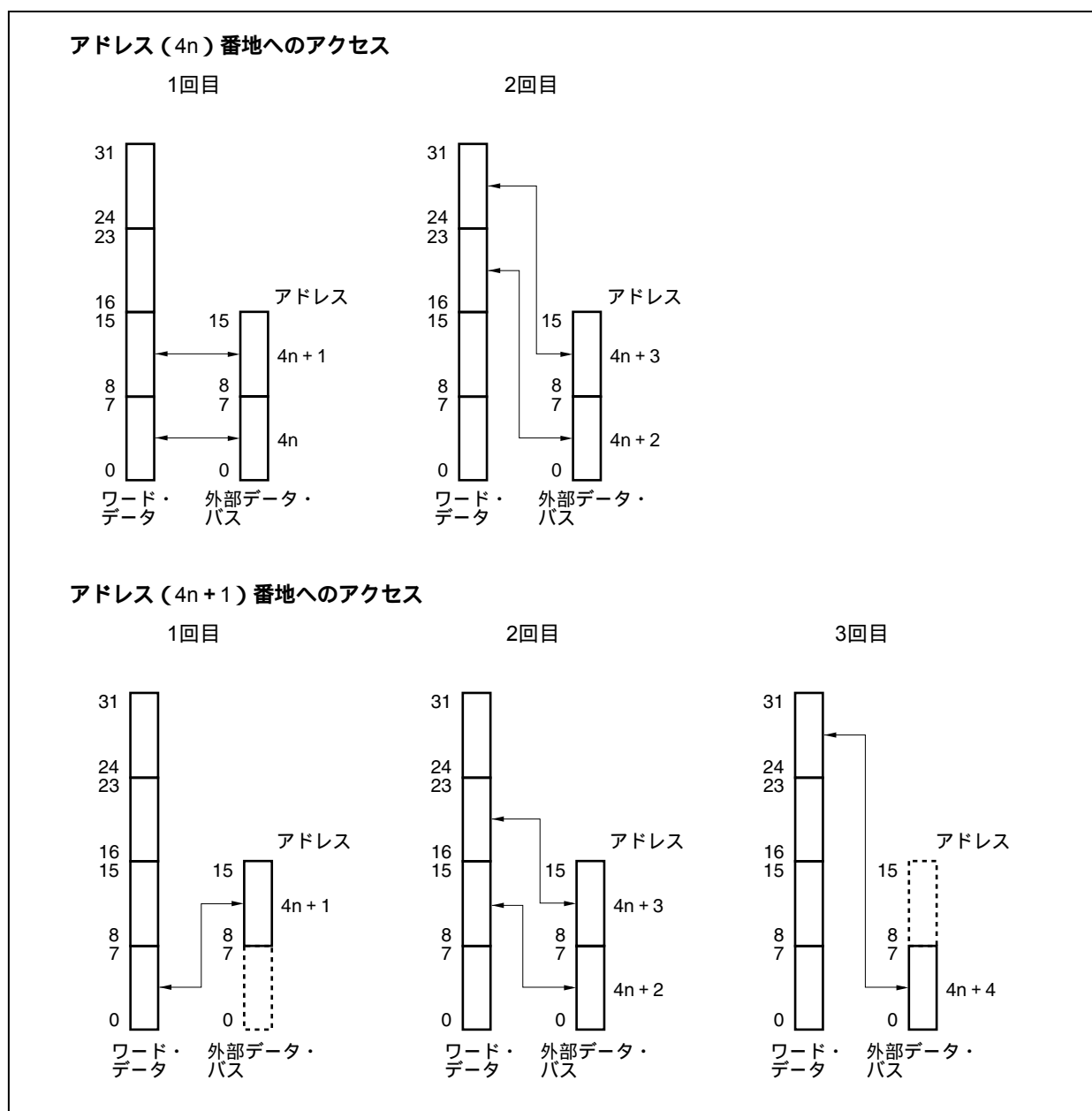


(b) 8ビット・データ・バス幅のとき

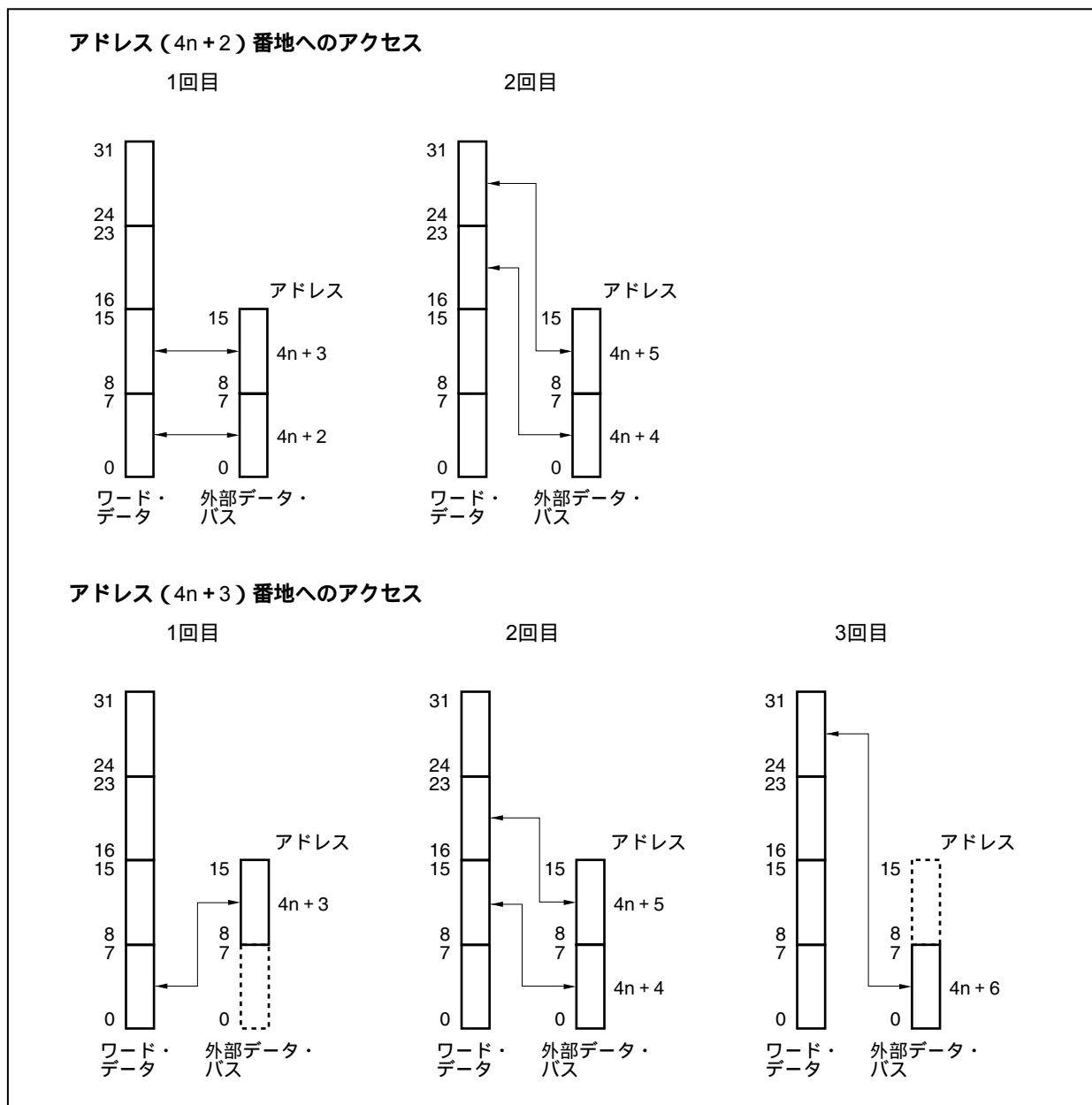


(4) ワード・アクセス (32ビット)

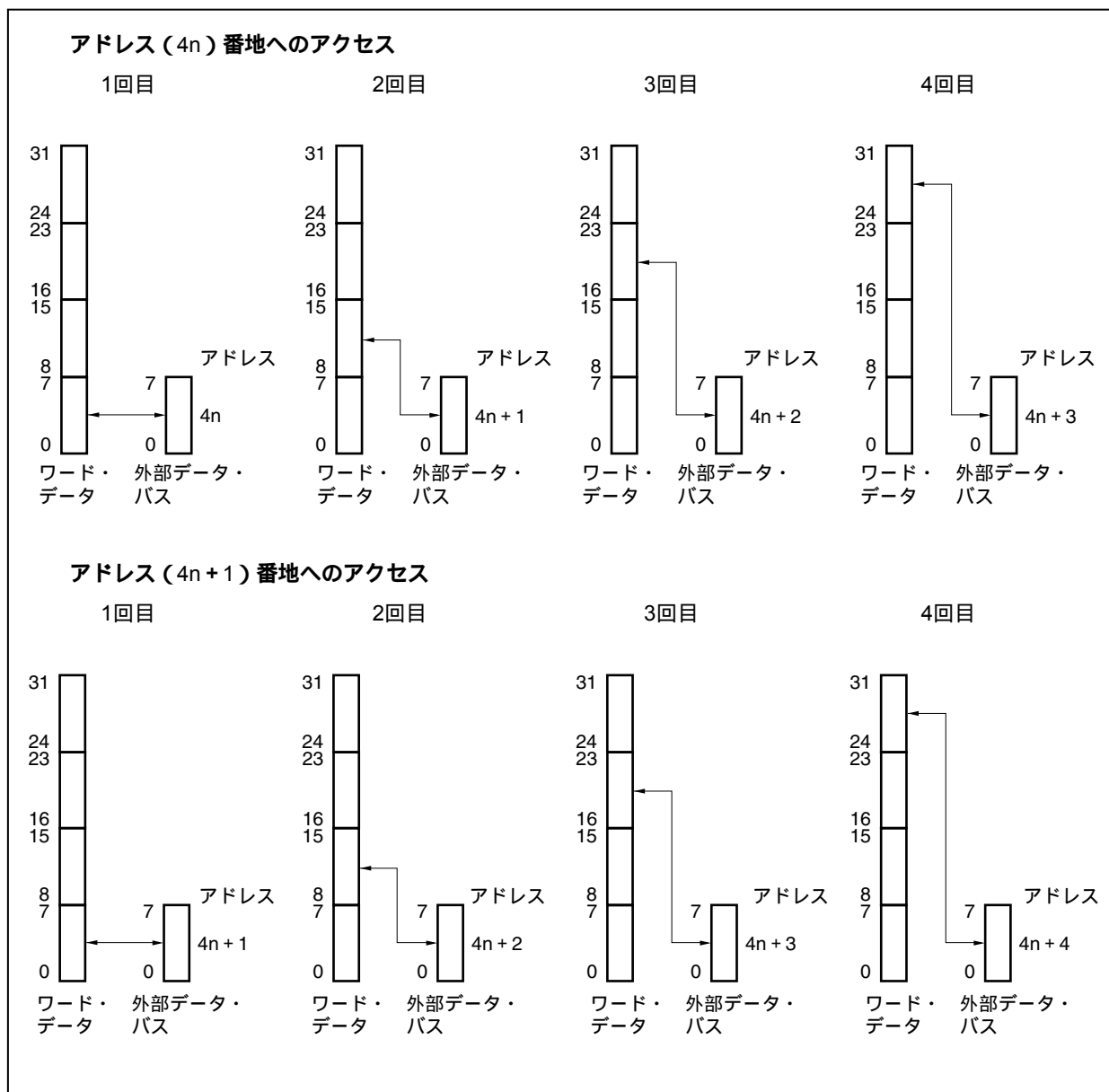
(a) 16ビット・データ・バス幅のとき (1/2)



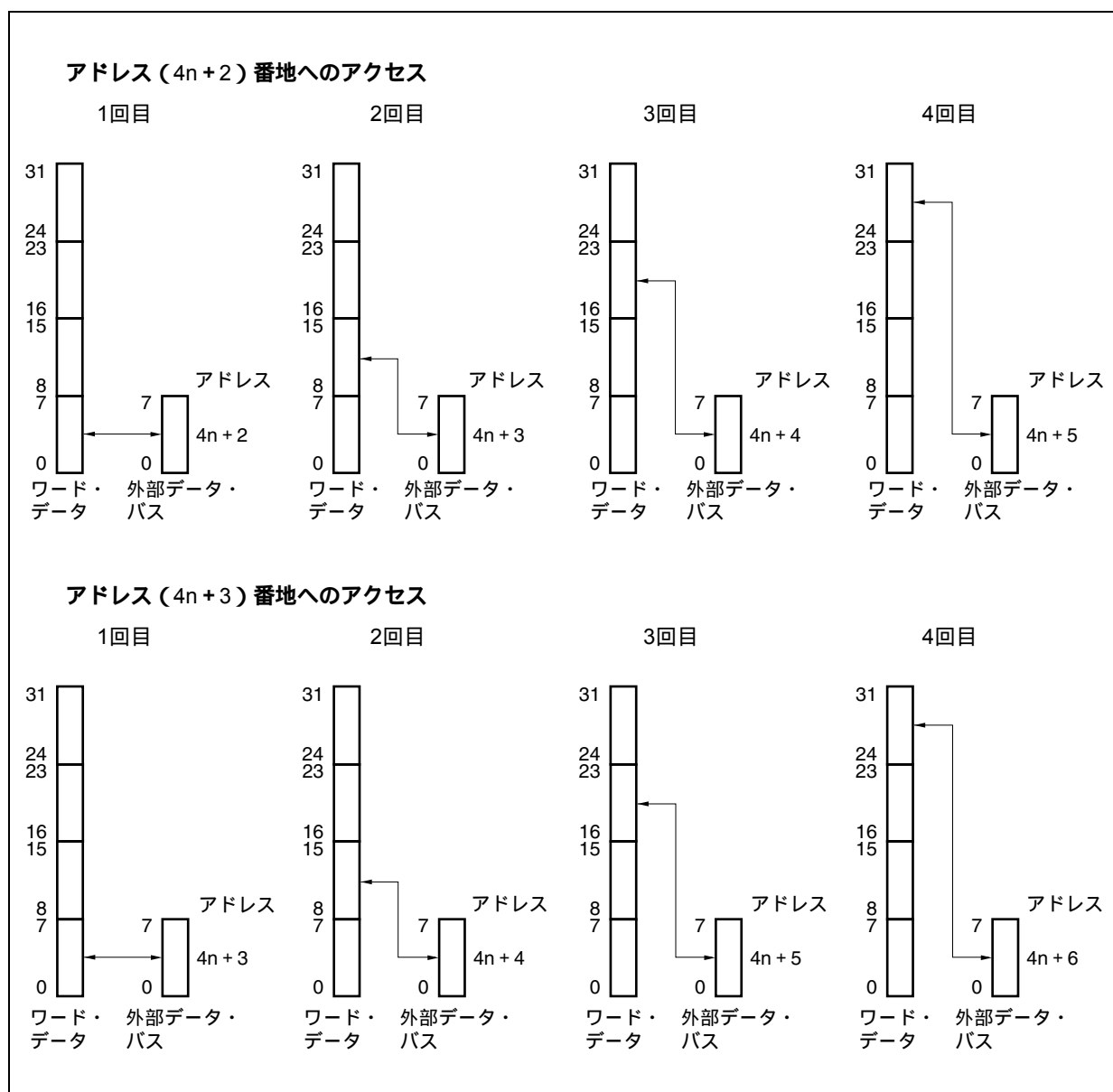
(a) 16ビット・データ・バス幅のとき (2/2)



(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき (2/2)



5.5 ウェイト機能

5.5.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとに起動されるバス・サイクルに対し、最大7ステートのデータ・ウェイトを挿入可能です。

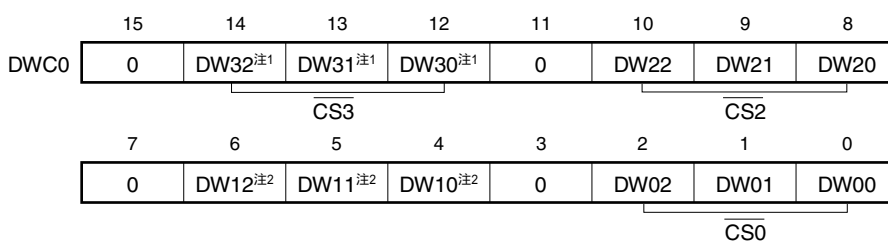
ウェイト数は、DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は、全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御だけ行われます。
- 2.** DWC0レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：7777H R/W アドレス：FFFFFF484H



DWn2	DWn1	DWn0	CSn空間の挿入ウェイト数 (n = 0-3)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

- 注1.** V850ES/JJ3-Eのみ、V850ES/JH3-Eでは必ず1を設定してください。
- 2.** DW12-DW10ビットは、USBファンクションへのアクセス・ウェイト設定になります。DW12-DW10ビット = 001B (1ウェイト) に設定することを推奨します。

注意 ビット15, 11, 7, 3には必ず0を設定してください。

5.5.2 外部ウエイト機能

極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

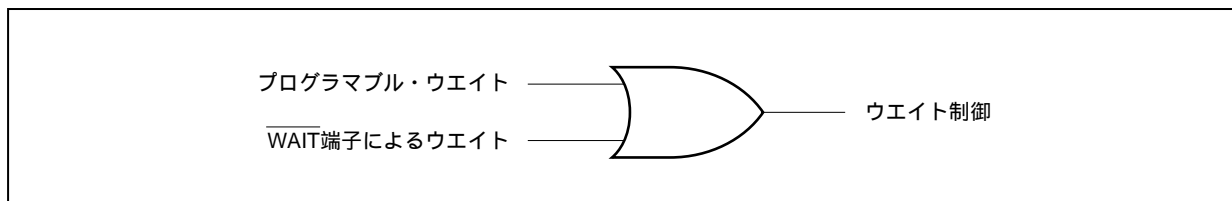
PCM0端子が兼用機能に設定されている場合に、外部ウエイト機能が有効になります。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2, TWステートのクロックの立ち下がりでサンプリングされます。サンプル・タイミングにおける設定 / 保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

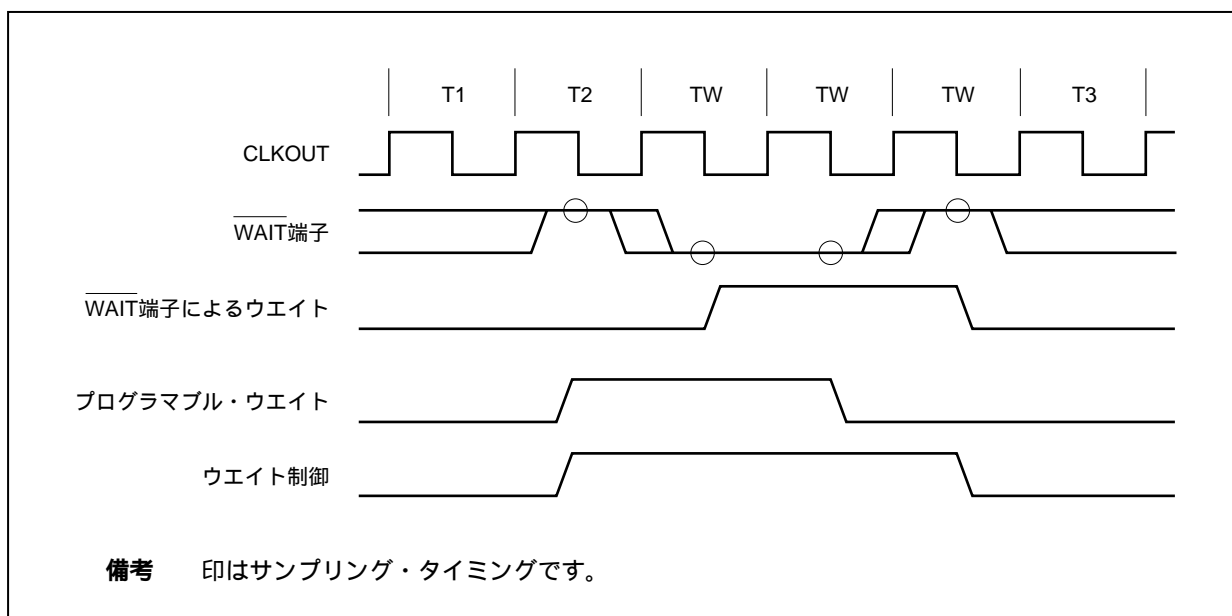
5.5.3 プログラマブル・ウェイトと外部ウェイトの関係

ウェイト・サイクルは、プログラマブル・ウェイトの設定値によるウェイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウェイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウェイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウェイトになります。

図5-3 ウェイト挿入例



5.5.4 プログラマブル・アドレス・ウエイト機能

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入はチップ・セレクト領域 ($\overline{CS0}$, $\overline{CS2}$, $\overline{CS3}$) ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウエイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウエイト・コントロール・レジスタ (AWC)

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト挿入の対象外になります。

2. AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：FFFFH R/W アドレス：FFFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	AHW3 ^{注1}	ASW3 ^{注1}	AHW2	ASW2	AHW1 ^{注2}	ASW1 ^{注2}	AHW0	ASW0
	$\overline{CS3}$		$\overline{CS2}$		$\overline{CS0}$			

AHWn	アドレス・ホールド・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

ASWn	アドレス・セットアップ・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

注1. V850ES/JJ3-Eのみ、V850ES/JH3-Eでは必ず1を設定してください。

2. AHW1, ASW1ビットには0を設定することを推奨します

注意 ビット15-8には必ず1を設定してください。

5.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、チップ・セレクトで選択される空間ごとに起動されるバス・サイクルに対し、T3ステート後に、1ステートのアイドル・ステート（TI）を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます（ライト・アクセス時には、アイドル・ステートは挿入できません）。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
- 2.** BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：AAAAH R/W アドレス：FFFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
BC31 ^{注1}	0	BC21	0	BC11 ^{注2}	0	BC01	0	
	CS3		CS2			CS0		
BCn1	アイドル・ステート挿入指定 (n = 0-3)							
0	挿入しない							
1	挿入する							

注1. V850ES/JJ3-Eのみ、V850ES/JH3-Eでは必ず1を設定してください。

2. BC11ビットには0を設定することを推奨します。

注意 ビット15, 13, 11, 9には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5.7 バス・ホールド機能

5.7.1 機能概要

P43^{注1}, P44^{注1}, PCM2^{注2}, PCM3^{注2}端子が兼用機能に設定されていれば, $\overline{\text{HLDRQ}}$, $\overline{\text{HLDK}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バスをハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 内蔵周辺I/Oレジスタ・アクセスあるいは, 外部メモリ・アクセスがあるまで, 内蔵ROM, 内蔵RAMからのプログラムの実行を継続します。

バス・ホールド状態は, $\overline{\text{HLDK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

なお, バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は, バス・ホールド要求を受け付けません。

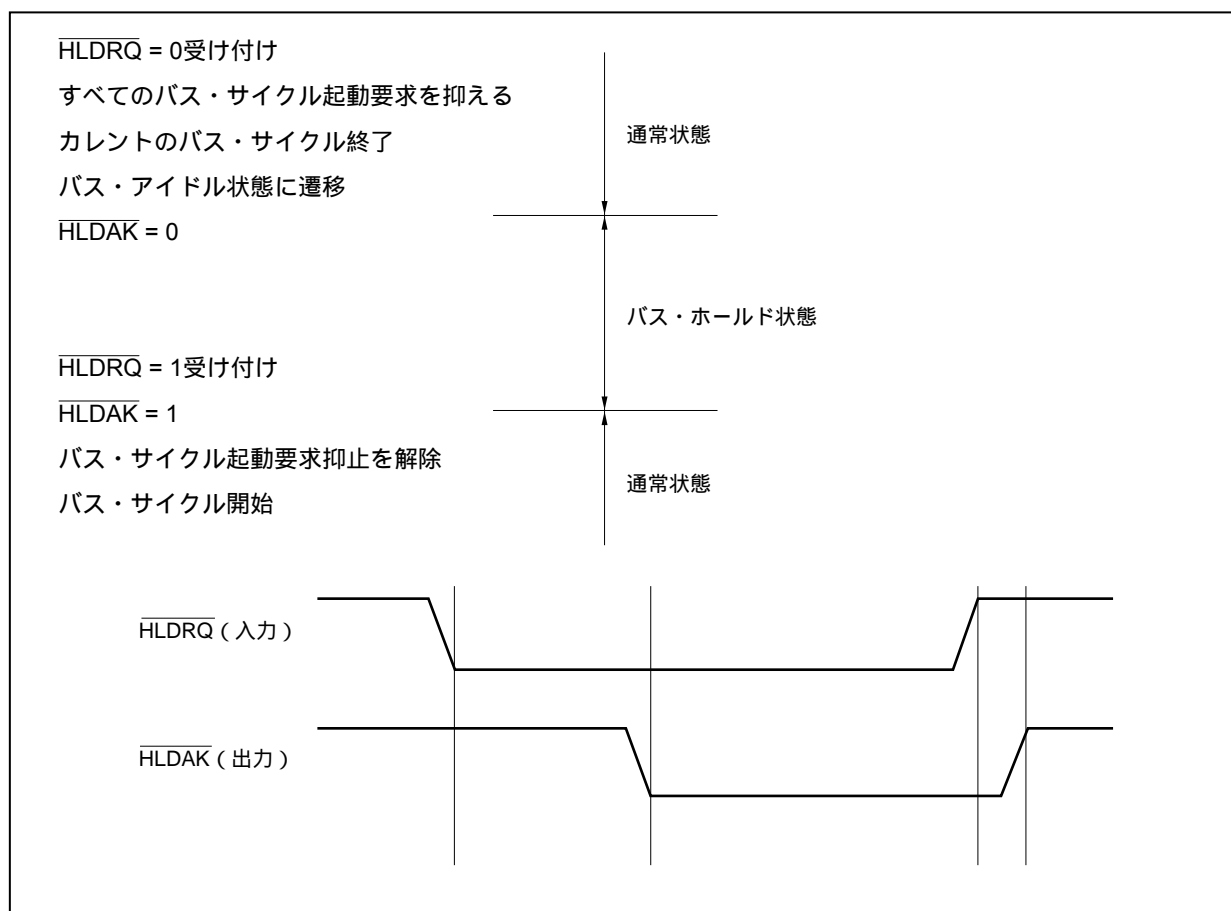
注1. V850ES/JH3-E

2. V850ES/JJ3-E

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間 3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

5.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



5.7.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLE1, IDLE2モード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDARQ}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDARQ}}$ 端子もインアクティブになり、バス・ホールド状態は解除されます。

5.8 バスの優先順位

外部バス・サイクルには、バス・ホールド、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の5つがあります。

優先順位はバス・ホールドが最も高く、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5 - 4 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

5.9 バス・タイミング

図5-4 マルチプレクス/セパレート・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

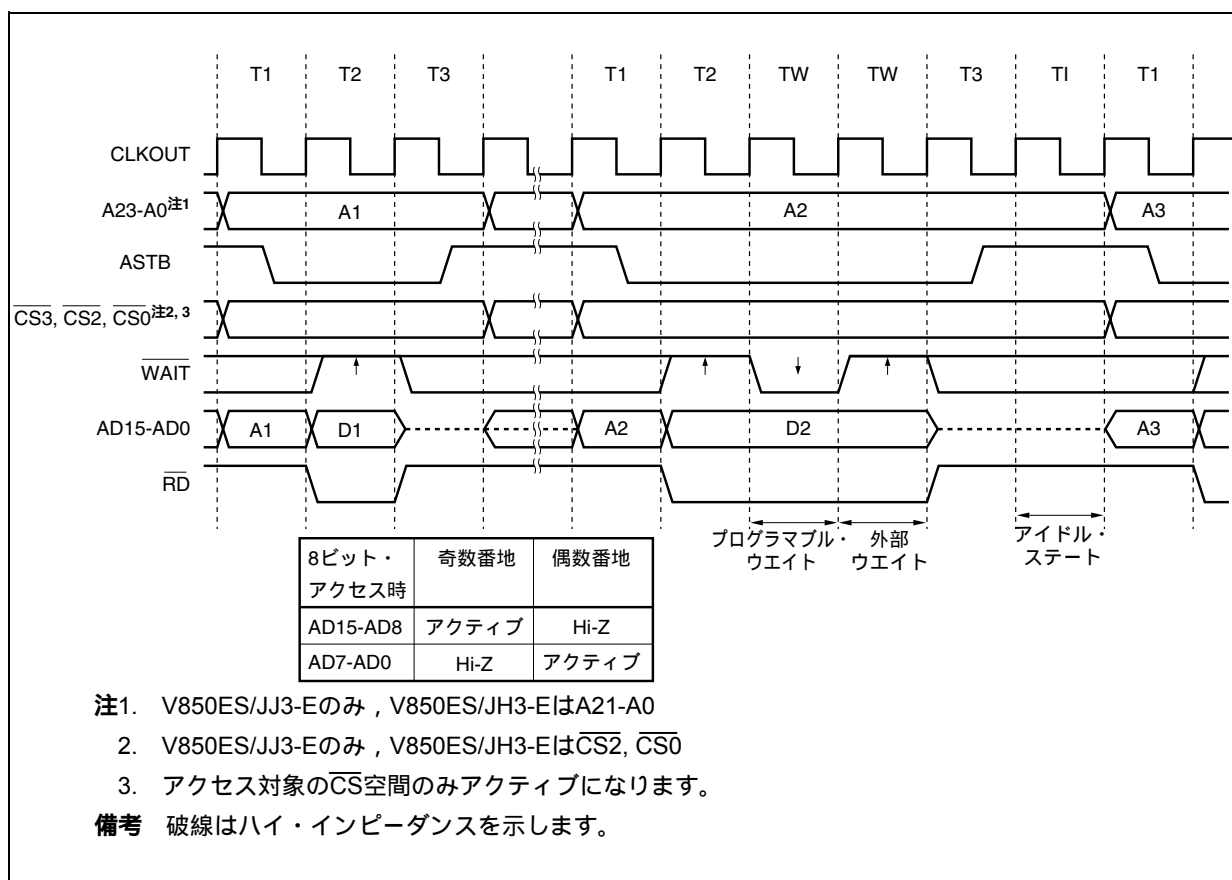


図5-5 マルチプレクス/セパレート・バス・リード・タイミング (バス・サイズ: 8ビット)

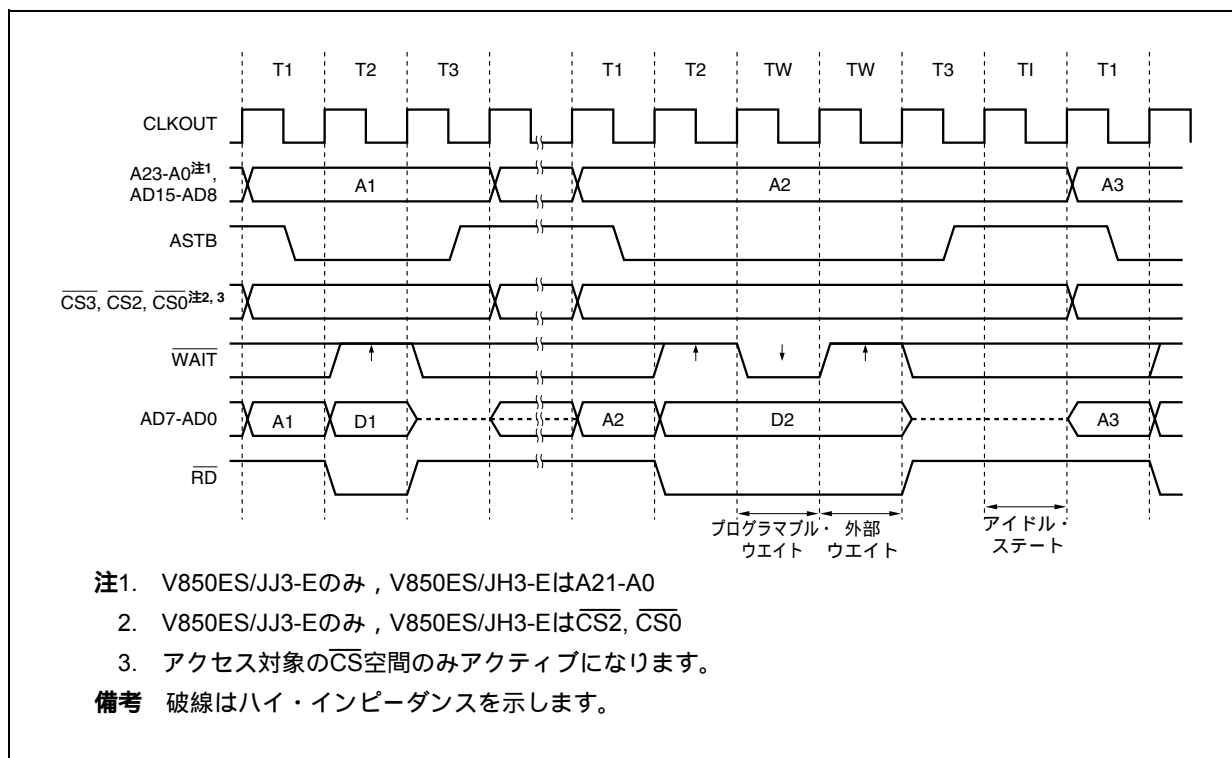


図5-6 マルチプレクス/セパレート・バス・ライト・タイミング
(バス・サイズ: 16ビット, 16ビット・アクセス時)

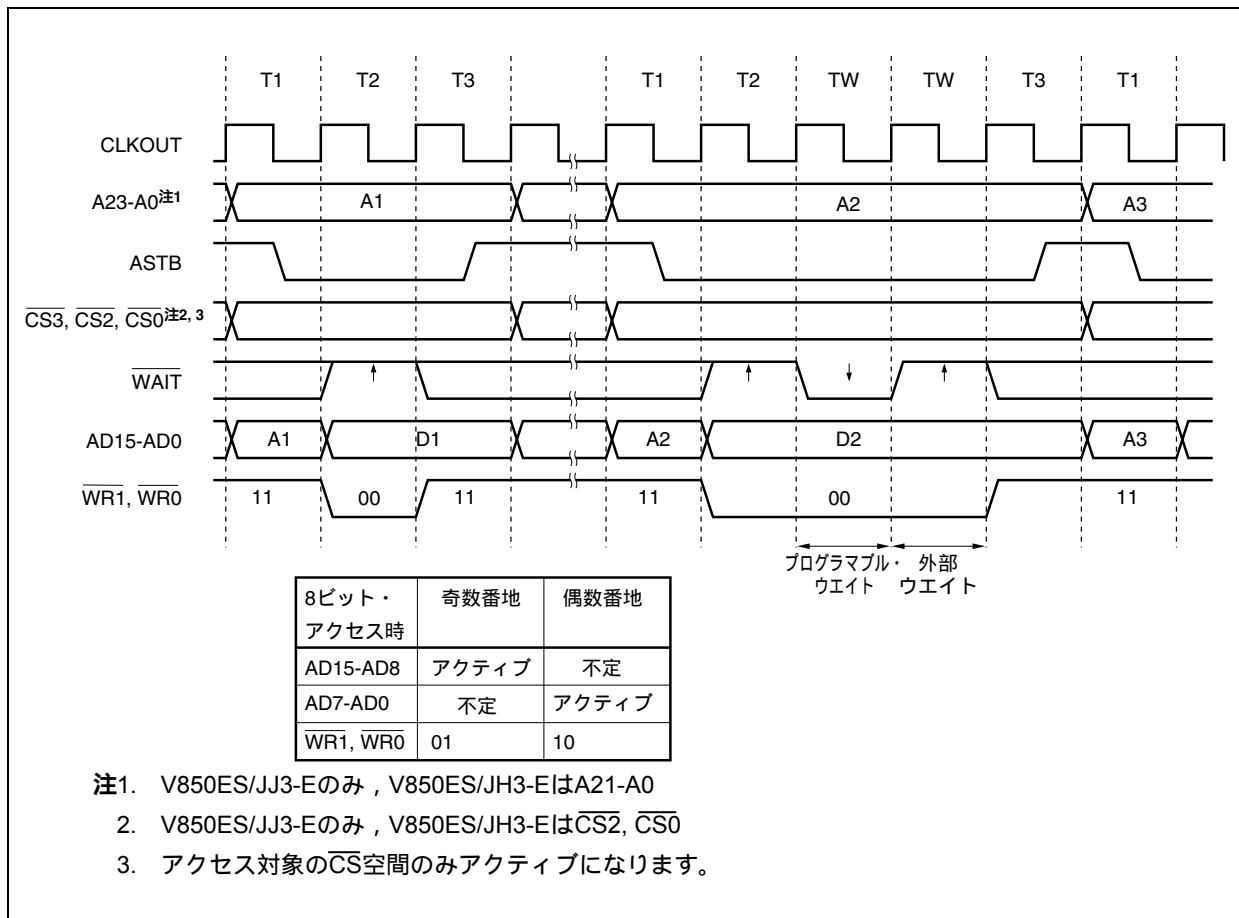


図5-7 マルチプレクス/セパレート・バス・ライト・タイミング (バス・サイズ: 8ビット)

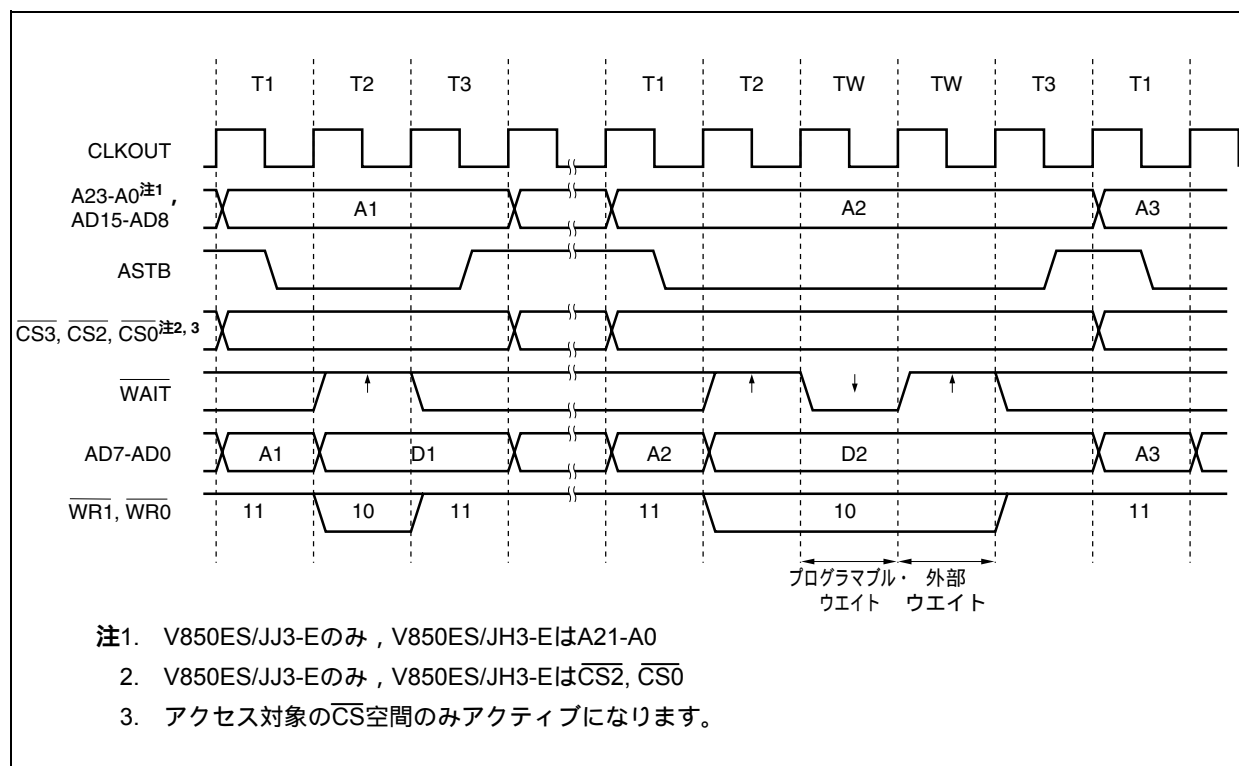
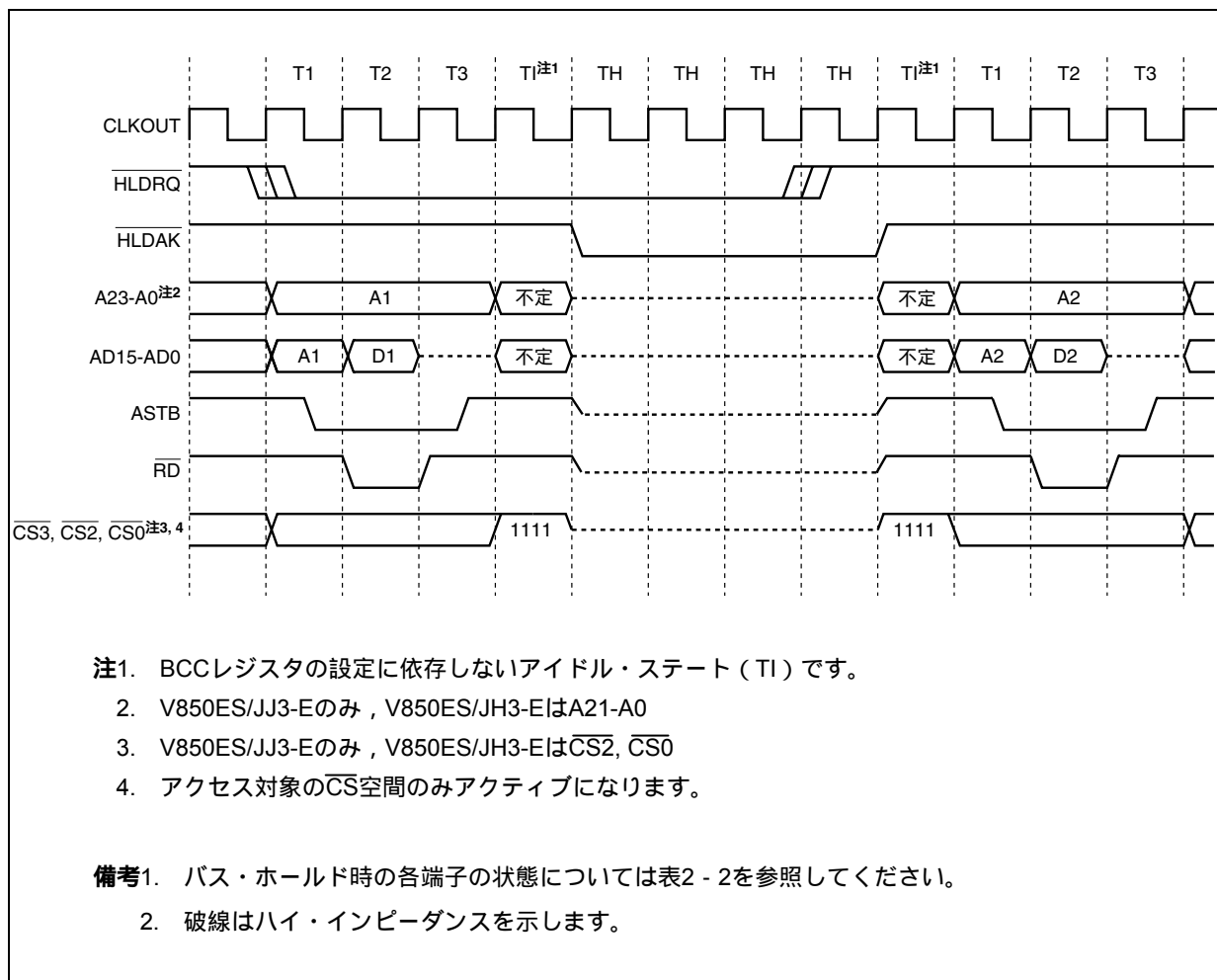


図5-8 マルチプレクス/セパレート・バス・ホールド・タイミング
(バス・サイズ: 16ビット, 16ビット・アクセス時)



第6章 クロック発生機能

6.1 概 要

クロック発生機能の概要を次に示します。

メイン・クロック発振回路

- ・クロック・スルー・モード時

$f_x = 3.0 \sim 6.25 \text{ MHz}$ ($f_{xx} = 3.0 \sim 6.25 \text{ MHz}$)

- ・PLLモード時

$f_x = 3.0 \sim 6.25 \text{ MHz}$ (8通倍 : $f_{xx} = 24 \sim 50 \text{ MHz}$)

サブクロック発振回路

- ・ $f_{XT} = 32.768 \text{ kHz}$

PLL (Phase Locked Loop) による通倍機能 (8通倍)

- ・クロック・スルー・モード / PLLモード選択可

内蔵発振器

- ・ $f_R = 220 \text{ kHz}$ (TYP.)

内部システム・クロックの生成

- ・7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{XT})

周辺クロックの生成

クロック出力機能

備考 f_x : メイン・クロック発振周波数

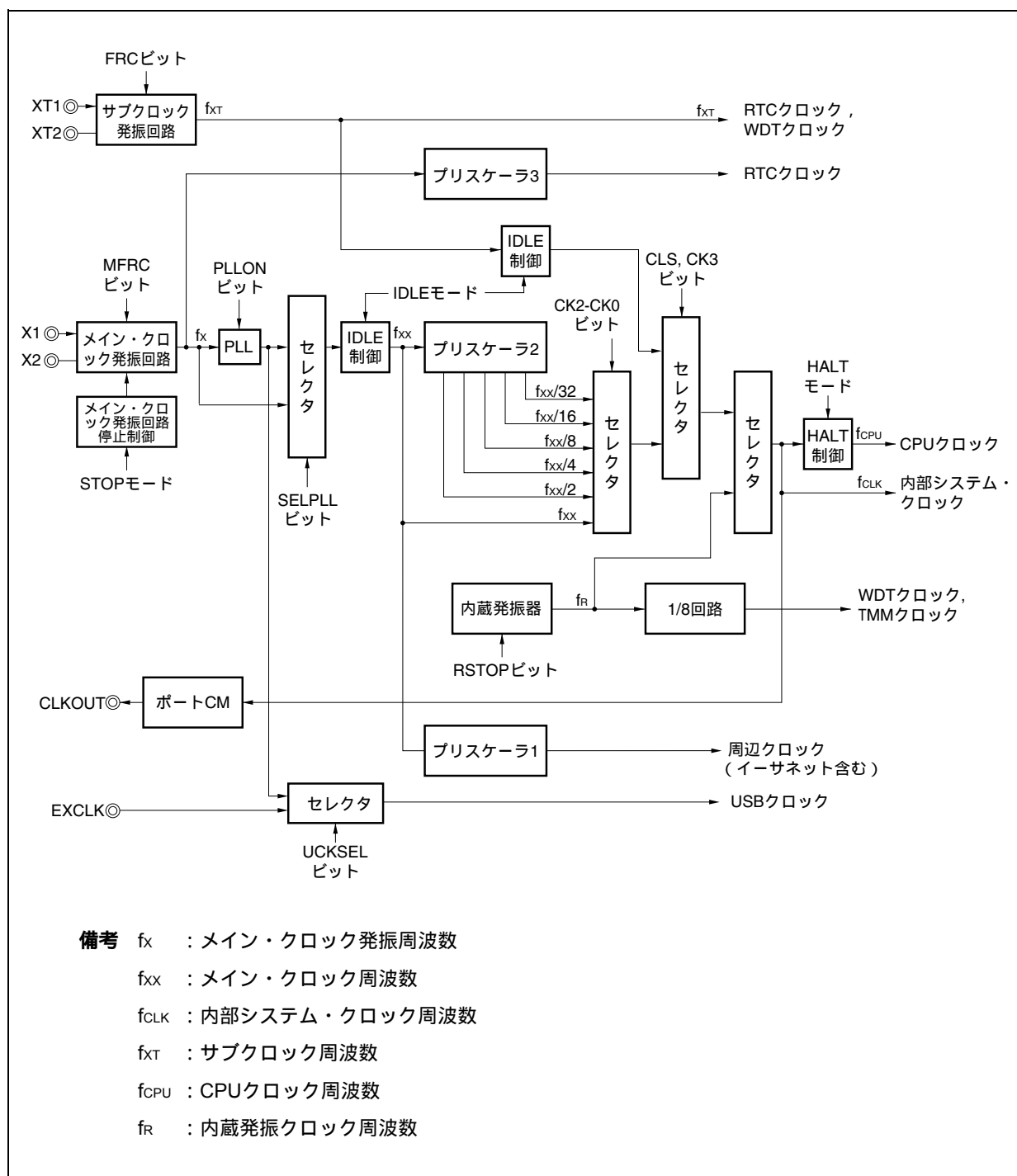
f_{xx} : メイン・クロック周波数

f_{XT} : サブクロック周波数

f_R : 内蔵発振クロック周波数

6.2 構 成

図6 - 1 クロック発生回路



(1) メイン・クロック発振回路

次の周波数 (f_x) を発振します。

・クロック・スルー・モード時

$f_x = 3.0 \sim 6.25$ MHz

・PLLモード時

$f_x = 3.0 \sim 6.25$ MHz (8通倍)

(2) サブクロック発振回路

32.768 kHzの周波数 (f_{XT}) を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時,あるいはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効)のとき,メイン・クロック発振回路の発振を停止します。

(4) 内蔵発振器

220 kHz (TYP.) の周波数 (f_R) を発振します。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx-fxx}/1024$) を生成します。

クロック供給の対象となるブロックを次に示します。

TAA, TAB, TMM, TMT, CSIE, CSIF, UARTB, UARTC, I²C, CAN, ADC, WDT2, イーサネット・コントローラ

(6) プリスケーラ2

メイン・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU}), 内部システム・クロック (f_{CLK}) を生成するセレクトに, プリスケーラ2で生成したクロック ($f_{xx-fxx}/32$) を供給します。

なお, f_{CLK} は, INTC, ROM, RAMブロックに供給するクロックで, CLKOUT端子から出力できます。

(7) プリスケーラ3

メイン・クロック発振回路で生成するクロック (f_x) を所定の周波数 (32.768 kHz) まで分周する回路で, リアルタイム・カウンタ (RTC) ブロックに供給します。

(8) PLL

メイン・クロック発振回路で生成するクロック (f_x) を8通倍します。

PLLCTL.SELPLLビットにより, f_x をそのまま出力するクロック・スルー・モードと, 通倍クロックを出力するPLLモードを選択します。

6.3 レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
<ul style="list-style-type: none"> ・CPUクロックがメイン・クロックで動作中にMCKビットをセット(1)しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと、停止します。 ・MCKビットを0から1にセットする前に、メイン・クロックで動作している内蔵周辺機能を停止してください。 ・メイン・クロックを停止させてサブクロックで動作している場合に、再度CPUクロックをメイン・クロックに切り替えるとき、または内蔵周辺機能を動作させたいときは、MCKビットをクリア(0)し、ソフトウェアで発振安定時間を確保したあとにCPUクロックを切り替え、または内蔵周辺機能を動作させてください。 	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS ^注	CPUクロック (f _{cpu}) の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK2	CK1	CK0	クロックの選択 (f _{clk} /f _{cpu})
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	X	設定禁止
1	X	X	X	f _{xt}

注 CLSビットはリードのみ可能です。

注意1. CLKOUTを出力している間は、CPUクロック(CK3-CK0ビット)を変更しないでください。

2. CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。

備考 X：任意

(a) メイン・クロック動作 サブクロック動作の設定例

- CK3ビット 1 : ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
- サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。
最大：1/f_{XT} (1/サブクロック周波数)
- MCKビット 1 : メイン・クロックを停止するときだけ、MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}} : 32.768 \text{ kHz}) \times 4$$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
_SET_SUB_RUN :
st.b      r0, PRCMD[r0]
set1      3, PCC[r0]           -- CK3ビット 1
_CHECK_CLS :
tst1      4, PCC[r0]          -- サブクロック動作に切り替わるまでウエイト
bz        _CHECK_CLS
_STOP_MAIN_CLOCK :
st.b      r0, PRCMD[r0]
set1      6, PCC[r0]          -- MCKビット 1, メイン・クロック停止
_DMA_ENABLE :
set1      0, DCHCn[r0]        -- DMA動作許可 n=0-3

```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(b) サブクロック動作 メイン・クロック動作の設定例

MCKビット 0 :メイン・クロック発振開始
プログラムによりウェイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。

CK3ビット 0 :ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。

メイン・クロック動作 :CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大: $1/f_{XT}$ (1/サブクロック周波数)

したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、またはCLSビットをリードしてメイン・クロック動作に切り替わったかどうかを確認してください。

注意 メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3

_START_MAIN_OSC :
st.b      r0, PRCMD[r0]        -- 特定レジスタ, プロテクション解除
clr1      6, PCC[r0]           -- メイン・クロック発振開始
movea     0x55, r0, r11        -- 発振安定時間待ち

_WAIT_OST :
nop
nop
nop
addi      -1, r11, r11
cmp       r0, r11
bne              _WAIT_OST
st.b      r0, PRCMD[r0]
clr1      3, PCC[r0]           -- CK3      0

_CHECK_CLS :
tst1      4, PCC[r0]          -- メイン・クロック動作に切り替わるまでウェイト
bnz              _CHECK_CLS

_DMA_ENABLE :
set1      0, DCHCn[r0]        -- DMA動作許可 n = 0-3

```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(2) 内蔵発振モード・レジスタ (RCM)

RCMレジスタは内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF80CH

	7	6	5	4	3	2	1	①
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振 / 停止
0	内蔵発振器発振
1	内蔵発振器停止

- 注意1.** CPUが内蔵発振クロックで動作している間(CCLS.CCLSFBビット = 1)は内蔵発振器を停止できません。RSTOPビットをセット(1)しないでください。
- 2.** RSTOPビットがセット(1)されている場合でも,CCLS.CCLSFBビットがセット(1)されると(発振安定時間中にWDTオーバフローが発生),内蔵発振器は発振しません。このときRSTOPビットはセット(1)されたままです。

(3) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは,CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時 : 00H^注 R アドレス : FFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSFB

CCLSFB	CPU動作クロックの状態
0	メイン・クロック (f _x) またはサブクロック (f _{XT}) で動作
1	内蔵発振クロック (f _R) で動作

注 リセット解除後の発振安定時間中にWDTオーバフローが発生した場合,CCLSFBビットがセット(1)され,リセット値は01Hになります。

6.4 動作

6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6-1 各クロックの動作状態

レジスタ設定および動作状態 対象クロック	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	リセット中	発振安定 時間カウ ント中	HALT モード	IDLE1, IDLE2 モード	STOP モード	サブ クロック・ モード	サブIDLE モード	サブ クロック・ モード	サブ IDLE モード
メイン・クロック発振回路 (fx)	×				×			×	×
サブクロック発振回路 (fxt)									
CPUクロック (fcPU)	×	×	×	×	×		×		×
内部システム・クロック (fCLK)	×	×		×	×		×		×
メイン・クロック (PLLモード時, fxx)	×	注		×	×			×	×
周辺クロック (fxx-fxx/1024)	×	×		×	×		×	×	×
WTクロック (メイン)	×				×			×	×
WTクロック (サブ)									
WDT2クロック (内蔵発振)	×								
WDT2クロック (メイン)	×	×		×	×		×	×	×
WDT2クロック (サブ)									

注 ロックアップ時間

備考 : 動作可能

× : 停止

6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック (fCLK) をCLKOUT端子から出力します。

内部システム・クロック (fCLK) は、PCC.CK3-CK0ビットで選択します。

CLKOUT端子はPCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は表6-1の内部システム・クロックと同じ状態になり、(動作可能)のときにクロックを出力できます。また、×(停止)のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード (PCM1端子: 入力モード) となるので、端子の状態はHi-Zになります。

6.5 PLL機能

6.5.1 概要

V850ES/JH3-E, V850ES/JJ3-Eでは, CPUおよび内蔵周辺機能の動作クロックとしてPLL機能による発振周波数の8通倍出力とクロック・スルー・モードを選択できます。

PLL機能使用時 (8通倍) : 入力クロック = 3.0 ~ 6.25 MHz (出力24 ~ 50 MHz)

クロック・スルー・モード : 入力クロック = 3.0 ~ 6.25 MHz (出力3.0 ~ 6.25 MHz)

6.5.2 レジスタ

(1) PLLコントロール・レジスタ (PLLCTL)

PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時 : 01H R/W アドレス : FFFFF82CH

	7	6	5	4	3	2	①	②
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

PLLON	PLL動作停止レジスタ
0	PLL停止
1	PLL動作 (PLLを動作開始後, 周波数が安定するまで所定のロックアップ時間が必要)

SELPLL	CPU動作クロック選択レジスタ
0	クロック・スルー・モード
1	PLLモード

- 注意1. PLLONビット = 0に設定すると, 自動的にSELPLLビット = 0 (クロック・スルー・モード) になります。
2. SELPLLビット = 1の設定は, PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき (アンロック中) にSELPLLビットをライトすると "0" がライトされます。

(2) クロック・コントロール・レジスタ (CKC)

CKCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)

CKCレジスタは、PLLモード時の内部システム・クロックを制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより0AHになります。

リセット時：0AH R/W アドレス：FFFFFF822H

	7	6	5	4	3	2	1	0
CKC	0	0	0	0	1	0	1	CKDIV0

CKDIV0	PLLモード時の内部システム・クロック (f _{xx})
0	設定禁止
1	f _{xx} = 8 × f _x (f _x = 3.0 ~ 6.25 MHz)

注意1. CKCレジスタには、必ず0BHを設定してください。0BH以外の値を設定した場合、または0BHを設定せず初期値(0AH)のままPLLを動作(PLLCTL.SELPLL = 1)に設定することは禁止です。

2. ビット3, 1には必ず“1”を設定し、ビット7-4, 2には必ず“0”を設定してください。

備考 CKCレジスタでの分周は、CPUクロックと周辺クロックの両方が対象となりますが、PCCレジスタでの分周は、CPUクロックのみ対象になります。

(3) ロック・レジスタ (LOCKR)

電源投入後,またはSTOPモード解除直後から所定の周波数でフェーズ・ロックし,安定するまでの時間がロックアップ時間(周波数安定時間)です。この安定するまでの状態をロックアップ状態と呼び,安定した状態をロック状態と呼びます。

LOCKRレジスタには,PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時: 00H R アドレス: FFFFF824H

	7	6	5	4	3	2	1	⓪
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック(ロックしていない)状態

注意 LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。セット/クリア条件は次のとおりです。

【セット条件】

- ・システム・リセット時[※]
- ・IDLE2, STOPモード時
- ・PLL停止を設定した時(PLLCTL.PLLONビットに“0”を設定)
- ・CPUをサブクロック動作としメイン・クロックを停止したとき(PCC.CK3ビットに“1”を設定し,PCC.MCKビットに“1”を設定)

注 リセットで01Hになり,リセット解除後の発振安定時間経過後に00Hになります。

【クリア条件】

- ・リセット解除後の発振安定用タイマのオーバーフロー(OSTSレジスタの初期値の時間(27.2(3)発振安定時間選択レジスタ(OSTS)参照))
- ・PLL動作状態でSTOPモードを設定した場合の,STOPモード解除後の発振安定用タイマのオーバーフロー(OSTSレジスタで時間設定)
- ・PLLCTL.PLLONビットを0 1に設定した時の,PLLロックアップ時間タイマのオーバーフロー(PLLSレジスタで時間設定)
- ・PLL動作状態でIDLE2モードを設定した場合の,IDLE2モード解除時に挿入されるセットアップ時間解除後(OSTSレジスタで時間設定)

(4) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタは、PLLCTL.PLLONビットを0 1に設定したときの、PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF6C1H

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	$2^{10}/f_x$
0	1	$2^{11}/f_x$
1	0	$2^{12}/f_x$
1	1	$2^{13}/f_x$ (初期値)

- 注意1. ロックアップ時間は、 $800 \mu s$ 以上になるように設定してください。
2. ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。

6.5.3 使用方法

(1) PLLを使用する場合

- ・リセット解除後は、PLLは動作 (PLLCTL.PLLONビット = 1) していますが、初期設定はクロック・スルー・モード (PLLCTL.SELPLLビット = 0) のため、PLLモード (SELPLLビット = 1) に変更してください。
- ・PLLを動作させる場合はPLLONビット = 1として、LOCKR.LOCKビット = 0となつてからSELPLLビット = 1としてください。PLLを停止させる場合は、最初にクロック・スルー・モード (SELPLLビット = 0) として、8クロック以上後に、PLL停止 (PLLONビット = 0) としてください。
- ・IDLE2/STOPモードへ遷移時は、設定にかかわらずPLLは停止しますが、IDLE2/STOPモードからは遷移前の状態で復帰します。復帰にかかる時間は次のとおりです。

(a) クロック・スルー・モード時にIDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が1 ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が350 μ s (MIN.) 以上となるようにOSTSレジスタを設定してください。

(b) PLL動作モードのままIDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が1 ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が800 μ s (MIN.) 以上となるようにOSTSレジスタを設定してください。

IDLE1モードへ遷移時は、PLLは停止しません。必要に応じて停止してください。

(2) PLLを使用しない場合

- ・リセット解除後は、クロック・スルー・モード (SELPLLビット = 0) ですが、PLLは動作 (PLLONビット = 1) しているので、PLLを停止 (PLLONビット = 0) してください。

第7章 16ビット・タイマ/イベント・カウンタAA (TAA)

タイマAA (TAA) は、16ビットのタイマ/イベント・カウンタです。

V850ES/JH3-E, V850ES/JJ3-Eは、TAA0-TAA5を内蔵しています。

7.1 概要

TAA_nの概要を次に示します。

- ・クロック選択 : 8通り
- ・キャプチャ・トリガ入力端子 : 2本
- ・外部イベント・カウント入力端子^注 : 1本
- ・外部トリガ入力端子^注 : 1本
- ・タイマ・カウンタ : 1本
- ・キャプチャ/コンペア・レジスタ : 2本
(TAA0とTAA1, TAA2とTAA3によるカスケード接続にて32ビット・キャプチャ・タイマ機能可能)
- ・キャプチャ/コンペア一致割り込み要求信号 : 2本
- ・タイマ出力端子 : 2本

注 外部イベント・カウント入力端子と外部トリガ入力端子はキャプチャ・トリガ入力端子 (TIAAn0) と兼用しています。

備考 n = 0-5

7.2 機能

TAA_nの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・タイマ同調機能
- ・同時スタート機能

7.3 構成

TAA_nは、次のハードウェアで構成されています。

表7-1 TAA_nの構成

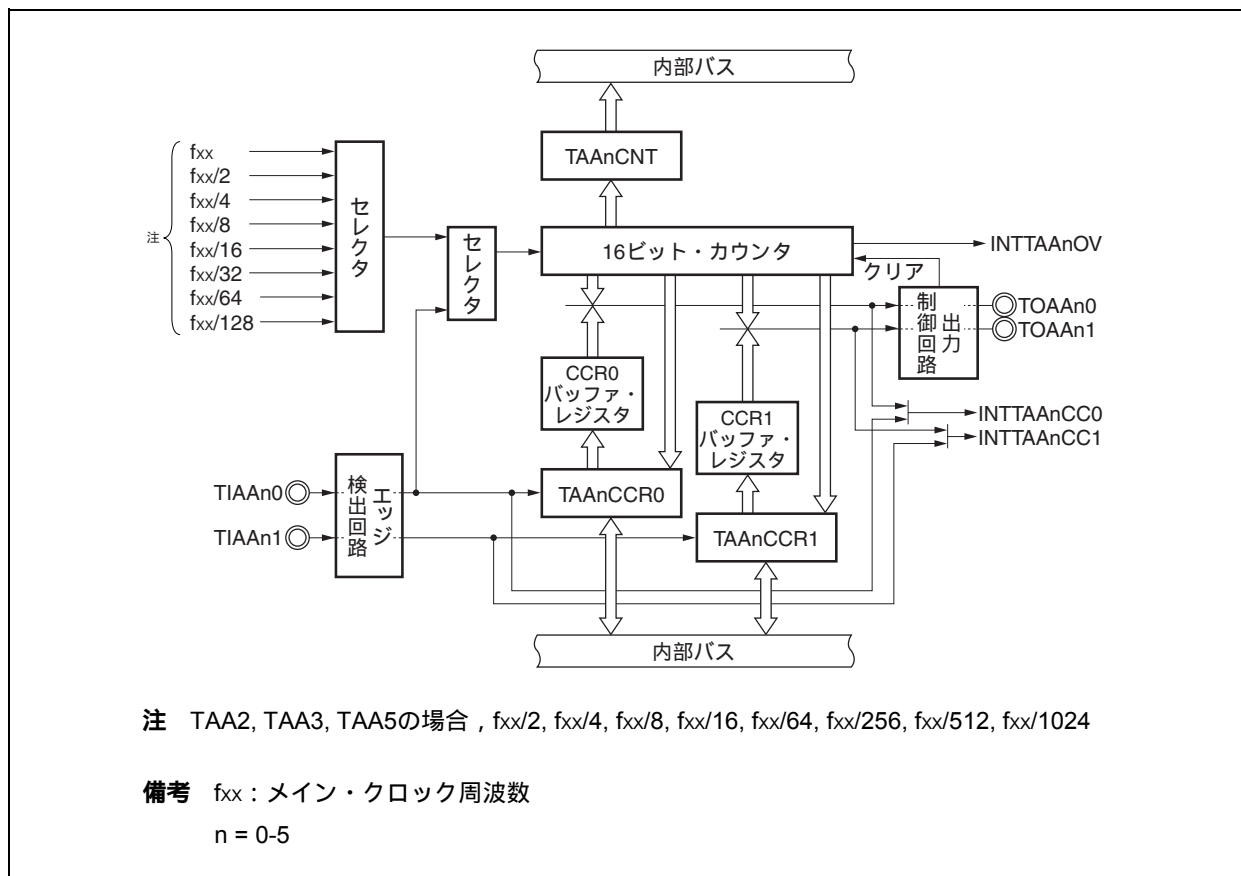
項目	構成
レジスタ	16ビット・カウンタ TAA _n キャプチャ/コンペア・レジスタ0, 1 (TAA _n CCR0, TAA _n CCR1) TAA _n カウンタ・リード・バッファ・レジスタ (TAA _n CNT) CCR0, CCR1バッファ・レジスタ TAA _n 制御レジスタ0, 1 (TAA _n CTL0, TAA _n CTL1) TAA _n I/O制御レジスタ0-2, 4 (TAA _n IOC0-TAA _n IOC2, TAA _n IOC4) TAA _n オプション・レジスタ0, 1 (TAA _n OPT0, TAA _n OPT1) TAAノイズ除去制御レジスタ (TANFC)
タイマ入力 ^{注1}	2本 (TIAAn0 ^{注2} , TIAAn1端子)
タイマ出力 ^{注1}	2本 (TOAAn0, TOAAn1端子)

注1. TIAAn0, TIAAn1, TOAAn0, TOAAn1端子の機能を使用する場合は、表4-18 ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。

- TIAAn0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

備考 n = 0-5

図7-1 TAA_nのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TAA_nCNTレジスタでリードできます。

TAA_nCTL0.TAA_nCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTAA_nCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTAA_nCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAA_nCCR0レジスタをコンペア・レジスタとして使用するとき、TAA_nCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAA_nCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTAA_nCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAA_nCCR1レジスタをコンペア・レジスタとして使用するとき、TAA_nCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAA_nCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTAA_nCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIAAn0, TIAAn1端子に入力される有効エッジを検出します。有効エッジは、TAA_nIOC1, TAA_nIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOAAn0, TOAAn1端子の出力を制御します。TOAAn0, TOAAn1端子の出力は、TAA_nIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

備考 n = 0-5

7.3.1 端子の構成

TAA_nを構成する、タイマ入力およびタイマ出力は次のポートに兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4 - 18 ポート端子を兼用端子として使用する場合参照）

表7 - 2 端子構成

チャンネル	ポート	タイマAA入力	タイマAA出力	その他の兼用機能
TAA0	P30	TIAA00 ^注	TOAA00	TXDC0/SIF2
	P31	TIAA01	TOAA01	RXDC0/SOF2
TAA1	P32	TIAA10 ^注	TOAA10	ASCKC0/SCKF2
	P33	TIAA11	TOAA11	SIF4/TXDB0
TAA2	P34	TIAA20 ^注	TOAA20	SOF4/RXDB0
	P35	TIAA21	TOAA21	SCKF4/TOAA10OFF/INTP06
TAA3	P25	TIAA30 ^注	TOAA30	SCKF1/UDMARQ0
	P26	TIAA31	TOAA31	INTP05/UDMAAK0
TAA4	P42	TIAA40 ^注	TOAA40	SCKF0/RTP02
	P45	TIAA41	TOAA41	SCKE0/RTP05
TAA5	P911	TIAA50 ^注	TOAA50	SCKE1/A11
	P915	TIAA51	TOAA51	SCKF3/A15

注 TAA_n0端子にはキャプチャ・トリガ入力機能と外部イベント入力機能と外部トリガ入力機能が兼用されています。

備考 n = 0-5

7.4 レジスタ

TAA_nを制御するレジスタを次に示します。

- ・ TAA_n制御レジスタ0 (TAA_nCTL0)
- ・ TAA_n制御レジスタ1 (TAA_nCTL1)
- ・ TAA_nI/O制御レジスタ0 (TAA_nIOC0)
- ・ TAA_nI/O制御レジスタ1 (TAA_nIOC1)
- ・ TAA_nI/O制御レジスタ2 (TAA_nIOC2)
- ・ TAA_nI/O制御レジスタ4 (TAA_nIOC4)
- ・ TAA_nオプション・レジスタ0 (TAA_nOPT0)
- ・ TAA_nオプション・レジスタ1 (TAA_nOPT1)
- ・ TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)
- ・ TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)
- ・ TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)
- ・ TAAノイズ除去制御レジスタ (TANFC)

備考1. TIA_n0, TIA_n1, TOA_n0, TOA_n1端子の機能を使用する場合は、表4 - 18 **ポート端子を兼用端子として使用する場合のレジスタ設定**を参照してください。

2. n = 0-5

(1) TAA制御レジスタ0 (TAACTL0)

TAACTL0レジスタは、TAAの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TAACTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAA0CTL0 FFFFF630H, TAA1CTL0 FFFFF640H,
TAA2CTL0 FFFFF650H, TAA3CTL0 FFFFF660H,
TAA4CTL0 FFFFF670H, TAA5CTL0 FFFFF680H

	⑦	6	5	4	3	2	1	0
TAACTL0	TAAACE	0	0	0	0	TAAACKS2	TAAACKS1	TAAACKS0

(n = 0-5)

TAAACE	TAAの動作の制御
0	TAA動作禁止 (TAAを非同期にリセット ^注)
1	TAA動作許可。TAA動作開始

TAAACKS2	TAAACKS1	TAAACKS0	内部カウント・クロックの選択	
			n = 0, 1, 4	n = 2, 3, 5
0	0	0	f _{xx} (20.0 ns)	f _{xx} /2 (40.0 ns)
0	0	1	f _{xx} /2 (40.0 ns)	f _{xx} /4 (80.0 ns)
0	1	0	f _{xx} /4 (80.0 ns)	f _{xx} /8 (160.0 ns)
0	1	1	f _{xx} /8 (160.0 ns)	f _{xx} /16 (320.0 ns)
1	0	0	f _{xx} /16 (320.0 ns)	f _{xx} /64 (1.28 μs)
1	0	1	f _{xx} /32 (640.0 ns)	f _{xx} /256 (5.12 μs)
1	1	0	f _{xx} /64 (1.28 μs)	f _{xx} /512 (10.24 μs)
1	1	1	f _{xx} /128 (2.56 μs)	f _{xx} /1024 (20.48 μs)

注 TAAOPT0.TAAOVFビット, 16ビット・カウンタ, タイマ出力 (TOAA_n, TOAA_n1端子)。

注意1. TAAACKS2-TAAACKS0ビットは、TAAACEビット = 0のときに設定してください。TAAACEビットを“0”から“1”に設定するときに、同時にTAAACKS2-TAAACKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx} : メイン・クロック周波数

() 内の数値はf_{xx} = 50 MHz時の周期です。

(2) TAA制御レジスタ1 (TAACTL1)

TAACTL1レジスタは、TAAの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAA0CTL1 FFFFF631H, TAA1CTL1 FFFFF641H,
TAA2CTL1 FFFFF651H, TAA3CTL1 FFFFF661H,
TAA4CTL1 FFFFF671H, TAA5CTL1 FFFFF681H

	7	⑥	⑤	4	3	2	1	0
TAA0CTL1	TAA0SYE	TAA0EST	TAA0EEE	TAA0SYM	0	TAA0MD2	TAA0MD1	TAA0MD0
TAA1CTL1	0	TAA1EST	TAA1EEE	0	0	TAA1MD2	TAA1MD1	TAA1MD0
TAA2CTL1	TAA2SYE	TAA2EST	TAA2EEE	TAA2SYM	0	TAA2MD2	TAA2MD1	TAA2MD0
TAA3CTL1	0	TAA3EST	TAA3EEE	0	0	TAA3MD2	TAA3MD1	TAA3MD0
TAA4CTL1	TAA4SYE	TAA4EST	TAA4EEE	TAA4SYM	0	TAA4MD2	TAA4MD1	TAA4MD0
TAA5CTL1	TAA5SYE	TAA5EST	TAA5EEE	TAA5SYM	0	TAA5MD2	TAA5MD1	TAA5MD0

TAAAnSYE	TAAAnSYM	同調動作モード許可制御 (n = 0, 2, 4, 5)
0	0	独立動作モード (アシンクロナス動作モード)
0	1	設定禁止
1	0	同調動作機能 (スレーブ・タイマの指定)
1	1	同時スタート機能 (スレーブ・タイマの指定)

スレーブ・タイマのみ設定可能です (マスタ・タイマ側の設定は禁止です)。

マスタ・タイマとスレーブ・タイマの関係は次のとおりです。

マスタ・タイマ	スレーブ・タイマ
TAA1	TAA0
TAA3	TAA2
TAB0	TAA5
TAB1	TAA4

同調動作機能については、7.6 タイマ同調動作機能を参照してください。

同時スタート機能については、7.7 同時スタート機能を参照してください。

TAAAnEST	ソフトウェア・トリガ制御 (n = 0-5)
0	
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時： TAAAnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時： TAAAnESTビットへの“1”ライトをトリガとして、PWM波形を出力

- 注意1. TAAAnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. 各チャンネルのTAAAnCTL1レジスタの「0」と記載されている箇所は必ず0を設定してください。

TAA _n EEE	カウント・クロックの選択 (n = 0-5)
0	外部イベント・カウント入力での動作禁止 (TAA _n CTL0.TAA _n CK0-TAA _n CK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TAA_nEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TAA _n MD2	TAA _n MD1	TAA _n MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1.** 外部イベント・カウント・モードのときは、TAA_nEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
2. TAA_nEEE, TAA_nMD2-TAA_nMD0ビットは、TAA_nCTL0.TAA_nCEビット = 0のときに設定してください(TAA_nCEビット = 1のときの同値書き込みは可能)。TAA_nCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TAA_nCEビットをクリア(0)してから再設定してください(n = 0-5)。

(3) TAA_nI/O制御レジスタ0 (TAA_nIOC0)

TAA_nIOC0レジスタは、タイマ出力 (TOAAn0, TOAAn1端子) を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0IOC0 FFFF632H, TAA1IOC0 FFFF642H,
TAA2IOC0 FFFF652H, TAA3IOC0 FFFF662H
TAA4IOC0 FFFF672H, TAA5IOC0 FFFF682H

	7	6	5	4	3	②	1	①
TAA _n IOC0 (n = 0-5)	0	0	0	0	TAA _n OL1	TAA _n OE1	TAA _n OL0	TAA _n OE0

TAA _n OL1	TOAAn1端子出力レベルの設定 [※]
0	TOAAn1端子ハイ・レベル・スタート
1	TOAAn1端子ロウ・レベル・スタート

TAA _n OE1	TOAAn1端子出力の設定
0	タイマ出力禁止 ・ TAA _n OL1ビット = 0のときTOAAn1端子からロウ・レベルを出力 ・ TAA _n OL1ビット = 1のときTOAAn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOAAn1端子から方形波を出力)

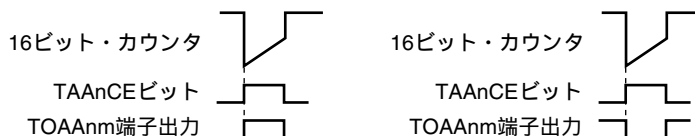
TAA _n OL0	TOAAn0端子出力レベルの設定 [※]
0	TOAAn0端子ハイ・レベル・スタート
1	TOAAn0端子ロウ・レベル・スタート

TAA _n OE0	TOAAn0端子出力の設定
0	タイマ出力禁止 ・ TAA _n OL0ビット = 0のときTOAAn0端子からロウ・レベルを出力 ・ TAA _n OL0ビット = 1のときTOAAn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOAAn0端子から方形波を出力)

注 TAA_nOL_mビットの指定によるタイマ出力端子 (TOAAn_m) の出力レベルを次に示します。

・ TAA_nOL_mビット = 0の場合

・ TAA_nOL_mビット = 1の場合



- 注意1. TAA_nOL1, TAA_nOE1, TAA_nOL0, TAA_nOE0ビットは、TAA_nCTL0.TAA_nCEビット = 0のときに書き換えてください (TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア (0) してから再設定してください。
2. TAA_nCEビット = 0, TAA_nOEmビット = 0の状態において、TAA_nOL_mビットを操作した場合でも、TOAAn_m端子の出力レベルは変化します。

備考 m = 0,1

(4) TAA_nI/O制御レジスタ1 (TAA_nIOC1)

TAA_nIOC1レジスタは、キャプチャ・トリガ入力信号 (TIAAn0, TIAAn1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAA0IOC1 FFFFF633H, TAA1IOC1 FFFFF643H,
TAA2IOC1 FFFFF653H, TAA3IOC1 FFFFF663H,
TAA4IOC1 FFFFF673H, TAA5IOC1 FFFFF683H

	7	6	5	4	3	2	1	0
TAA _n IOC1 (n = 0-5)	0	0	0	0	TAA _n IS3	TAA _n IS2	TAA _n IS1	TAA _n IS0

TAA _n IS3	TAA _n IS2	キャプチャ・トリガ入力信号 (TIAAn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA _n IS1	TAA _n IS0	キャプチャ・トリガ入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAA_nIS3-TAA_nIS0ビットは、TAA_nCTL0.TAA_nCEビット = 0のときに書き換えてください (TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア (0) してから再設定してください。
- 2.** TAA_nIS3-TAA_nIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TAA_nI/O制御レジスタ2 (TAA_nIOC2)

TAA_nIOC2レジスタは、外部イベント・カウント入力信号 (TIAAn0端子)、外部トリガ入力信号 (TIAAn0端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0IOC2 FFFFF634H, TAA1IOC2 FFFFF644H,
TAA2IOC2 FFFFF654H, TAA3IOC2 FFFFF664H,
TAA4IOC2 FFFFF674H, TAA5IOC2 FFFFF684H

TAA _n IOC2 (n = 0-5)	7	6	5	4	3	2	1	0
	0	0	0	0	TAA _n EES1	TAA _n EES0	TAA _n ETS1	TAA _n ETS0

TAA _n EES1	TAA _n EES0	外部イベント・カウント入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA _n ETS1	TAA _n ETS0	外部トリガ入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAA_nEES1, TAA_nEES0, TAA_nETS1, TAA_nETS0ビットは、TAA_nCTL0.TAA_nCEビット = 0のときに書き換えてください (TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア (0) してから再設定してください。
2. TAA_nEES1, TAA_nEES0ビットは、TAA_nCTL1.TAA_nEEEビット = 1、または外部イベント・カウント・モード (TAA_nCTL1.TAA_nMD2-TAA_nMD0ビット = 001) に設定したときのみ有効です。
3. TAA_nETS1, TAA_nETS0ビットは、外部トリガ・パルス出力モード (TAA_nCTL1.TAA_nMD2-TAA_nMD0ビット = 010)、ワンショット・パルス出力モード (TAA_nCTL1.TAA_nMD2-TAA_nMD0 = 011) に設定したときのみ有効です。

(6) TAA_nI/O制御レジスタ4 (TAA_nIOC4)

TAA_nIOC4レジスタは、タイマ出力を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。タイマ動作停止 (TAA_nCTL0.TAA_nCE = 0) ではありません。

注意1. 次に示す状態において、TAA_nIOC4レジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

2. TAA_nIOC4レジスタはインターバル・タイマ・モード、フリー・ランニング・タイマ・モード時のみ設定できます。それ以外のモードでは必ず00Hに設定してください(モード設定については7.4(2) TAA_n制御レジスタ1 (TAA_nCTL1) を参照してください)。またフリー・ランニング・タイマ・モードに設定してもTAA_nCCR0, TAA_nCCR1レジスタをキャプチャ機能に設定した場合はTAA_nIOC4レジスタの設定は無効になります。

リセット時：00H R/W アドレス：TAA0IOC4 FFFFF63CH, TAA1IOC4 FFFFF64CH,
TAA2IOC4 FFFFF65CH, TAA3IOC4 FFFFF66CH,
TAA4IOC4 FFFFF67CH, TAA5IOC4 FFFFF68CH

	7	6	5	4	3	2	1	0
TAA _n IOC4 (n = 0-5)	0	0	0	0	TAA _n OS1	TAA _n OR1	TAA _n OS0	TAA _n OR0

TAA _n OS1	TAA _n OR1	TIAAn1端子のトグル制御
0	0	要求なし。通常のトグル動作
0	1	リセット要求 次回16ビット・カウンタの値とTAA _n CCR1レジスタの値の一致でインアクティブ・レベルに固定
1	0	セット要求 次回16ビット・カウンタの値とTAA _n CCR1レジスタの値の一致でアクティブ・レベルに固定
1	1	キープ要求 現在の出力レベルを保持

TAA _n OS0	TAA _n OR0	TIAAn0端子のトグル制御
0	0	要求なし。通常のトグル動作
0	1	リセット要求 次回16ビット・カウンタの値とTAA _n CCR0レジスタの値の一致でインアクティブ・レベルに固定
1	0	セット要求 次回16ビット・カウンタの値とTAA _n CCR0レジスタの値の一致でアクティブ・レベルに固定
1	1	キープ要求 現在の出力レベルを保持

(7) TAA_nオプション・レジスタ0 (TAA_nOPT0)

TAA_nOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0OPT0 FFFFF635H, TAA1OPT0 FFFFF645H,
TAA2OPT0 FFFFF655H, TAA3OPT0 FFFFF665H,
TAA4OPT0 FFFFF675H, TAA5OPT0 FFFFF685H

	7	6	5	4	3	2	1	①
TAA _n OPT0 (n = 0-5)	0	0	TAA _n CCS1	TAA _n CCS0	0	0	0	TAA _n OVF

TAA _n CCS1	TAA _n CCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TAA _n CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TAA _n CCS0	TAA _n CCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TAA _n CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TAA _n OVF	TAA _n のオーバフロー検出フラグ
セット(1)	オーバフロー発生
リセット(0)	TAA _n OVFビットへの0ライトまたはTAA _n CTL0.TAA _n CEビット = 0
<ul style="list-style-type: none"> ・TAA_nOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウンタ値がFFFFHから0000Hにオーバフローするときセット(1)されます。 ・TAA_nOVFビットがセット(1)されると同時に、割り込み要求信号(INTTAA_nOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTAA_nOV信号は発生しません。 ・TAA_nOVFビット = 1のときにTAA_nOVFビットまたはTAA_nOPT0レジスタをリードしても、TAA_nOVFビットはクリアされません。 ・TAA_nOVFビットはリード/ライト可能ですが、ソフトウェアでTAA_nOVFビットをセット(1)することはできません。“1”をライトしてもTAA_nの動作に影響はありません。 	

注意1. TAA_nCCS1, TAA_nCCS0ビットは、TAA_nCEビット = 0のときに書き換えてください(TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア(0)してから再設定してください。

2. ビット1-3, 6, 7には必ず“0”を設定してください。

(8) TAA n オプション・レジスタ1 (TAA n OPT1)

TAA n OPT1レジスタは、カスケード接続による32ビット・キャプチャ機能を制御する8ビット・レジスタです。

TAA n OPT1レジスタはタイマ動作中 (TAA n CTL0.TAA n CE = 1) のとき書き換え禁止です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAA0OPT1 FFFFF63DH, TAA2OPT1 FFFFF65DH

		7	6	5	4	3	2	1	0
TAA n OPT1	TAA n CSE	0	0	0	0	0	0	0	0

(n = 0, 2)

TAA n CSE	カスケード制御
0	単体動作, または, カスケード機能下位側として動作
1	カスケード機能上位側として動作

- 注意1.** カスケード接続とタイマ同調動作は併用できません。カスケード接続する場合は、必ずTAA n CTL1.TAA n SYE = 0に設定してください。
- 2.** カスケード接続する場合は、フリーランニング・タイマ・モードに設定し、TAA n CCR0, TAA n CCR1レジスタをキャプチャ・レジスタとして使用してください。
- カスケード接続の詳細は、7.8 カスケード接続を参照してください。

(9) TAAキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)

TAA_nCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TAA_nCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA_nOPT0.TAA_nCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

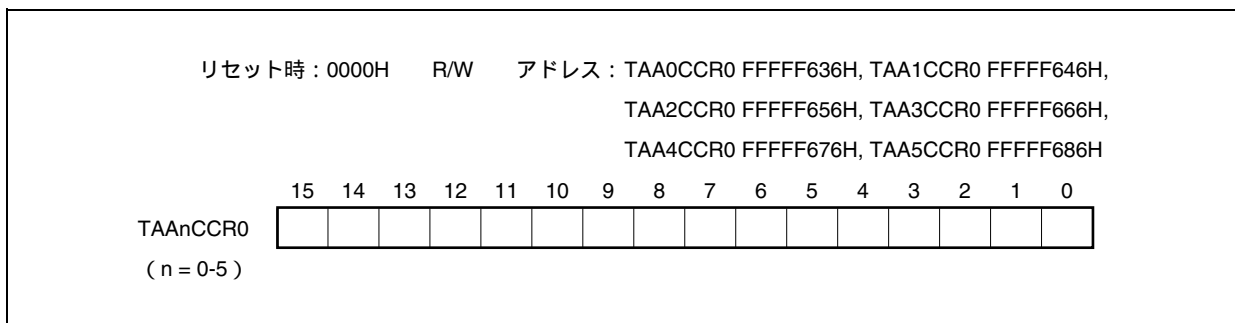
TAA_nCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TAA_nCCR0レジスタへのアクセスは禁止です。詳細は3.4.9(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TAA_nCCR0レジスタは、TAA_nCTL0.TAA_nCEビット = 1のときでも書き換えできます。

TAA_nCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA_nCC0) を発生し、TOAA_n0端子出力を許可している場合、TOAA_n0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TAA_nCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA_nCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIAA_n0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA_nCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIAA_n0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA_nCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAA_nCCR0レジスタのリードが競合しても、TAA_nCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(10) TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)

TAA_nCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TAA_nCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA_nOPT0.TAA_nCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

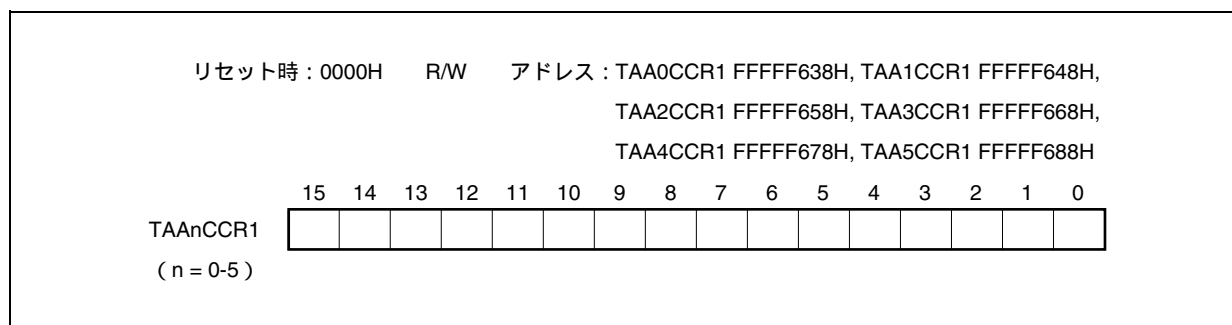
TAA_nCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TAA_nCCR1レジスタへのアクセスは禁止です。詳細は3.4.9(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TAAAnCCR1レジスタは、TAAAnCTL0.TAAAnCEビット = 1のときでも書き換えできます。

TAAAnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAAAnCC1) を発生し、TOAAAn1端子出力を許可している場合、TOAAAn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAAAnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIAAn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAAnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIAAn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAAnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAAAnCCR1レジスタのリードが競合しても、TAAAnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(11) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TAA_nCTL0.TAA_nCEビット = 1のときにTAA_nCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

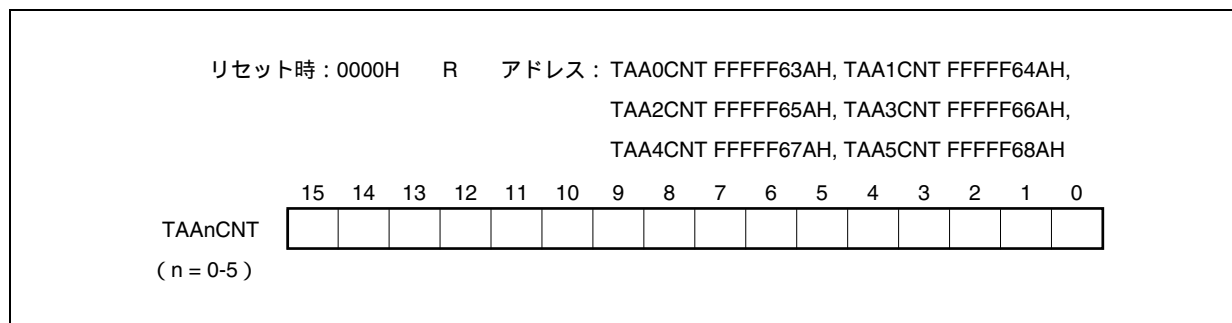
16ビット単位でリードのみ可能です。

TAA_nCEビット = 0のとき、TAA_nCNTレジスタは0000Hになります。このときにTAA_nCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTAA_nCEビット = 0になるため、TAA_nCNTレジスタは0000Hになります。

注意 次に示す状態において、TAA_nCNTレジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(12) TAAノイズ除去制御レジスタ (TANFCn)

TIAAn0, TIAAn1端子はデジタル・ノイズ除去を選択することが可能で、TANFCnレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 f_{xx} , $f_{xx}/4$ の中から選択できます。なおサンプリングの回数は3回です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×3クロックの時間かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に、TIAAn0, TIAAn1端子の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、TAAAnの外部トリガ機能、外部イベント機能、キャプチャ・トリガ機能を使用する場合は、サンプリング・クロック×3クロック経過後、TAAAnの動作を許可してください。

備考 n = 0-5

リセット時：00H R/W アドレス：TANFC0 FFFFF5A0H, TANFC1 FFFFF5A2H,
TANFC2 FFFFF5A4H, TANFC3 FFFFF5A6H,
TANFC4 FFFFF5A8H, TANFC5 FFFFF5AAH

	⑦	6	5	4	3	2	1	0
TANFCn (n = 0-5)	TANFENn	0	0	0	0	0	0	TANFCn0

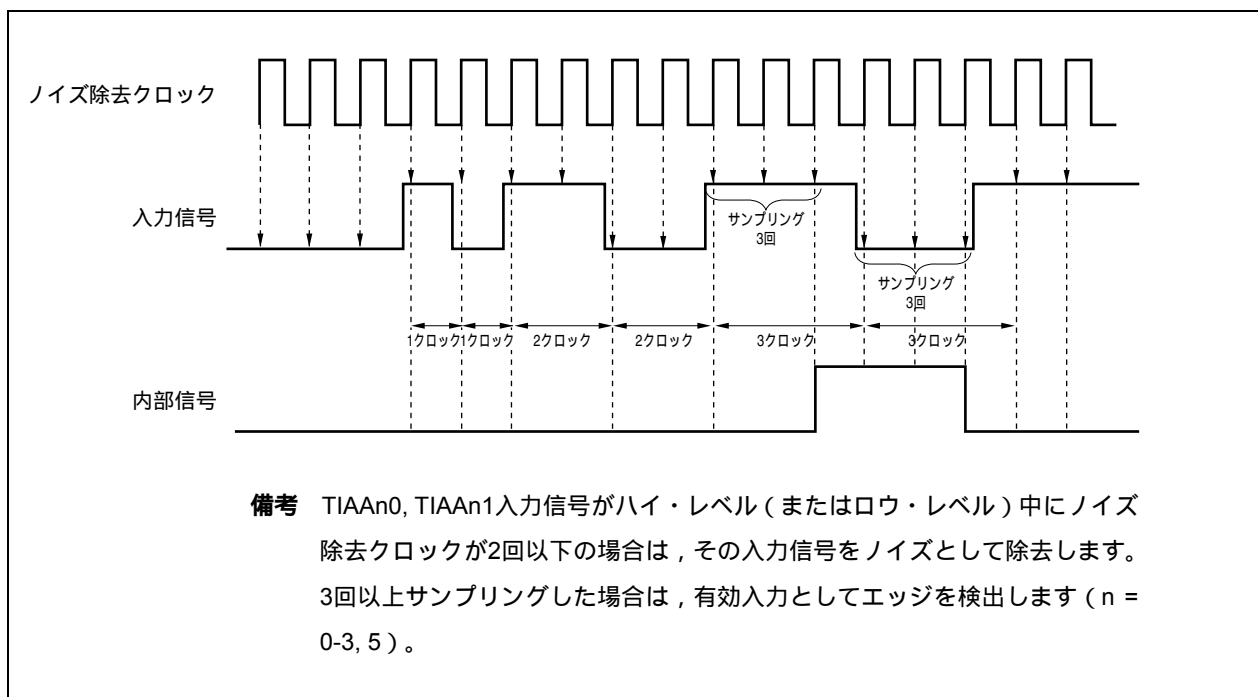
TANFENn	デジタル・ノイズ除去の設定
0	デジタル・ノイズ除去を行わない
1	デジタル・ノイズ除去を行う

TANFCn0	デジタル・サンプリングを行うクロック
0	f_{xx}
1	$f_{xx}/4$

- 備考1.** 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック×2となります。
- 2.** サンプリング・クロック×2より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

図7-2にタイマAA入力端子のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図7-2 デジタル・ノイズ除去タイミング例



7.5 動作

TAA_nには次のような動作があります。

動作	TAA _n CTL1.TAA _n ESTビット (ソフトウェア・トリガ・ビット)	TIAAn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIAAn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TAA_nIOC1.TAA_nIS1, TAA_nIS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TAA_nCTL1.TAA_nEEEビット = 0に設定) してください。

備考 n = 0-5

(1) 随時書き込みと一斉書き込み

TAA_nでは、タイマ動作中 (TAA_nCTL0.TAA_nCEビット = 1) でもTAA_nCCR0, TAA_nCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTAA_nCCR0, TAA_nCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います。

備考 n = 0-5

図7-3 随時書き込みの基本動作フロー・チャート例 (TAA0のインターバル・タイマ・モードの場合)

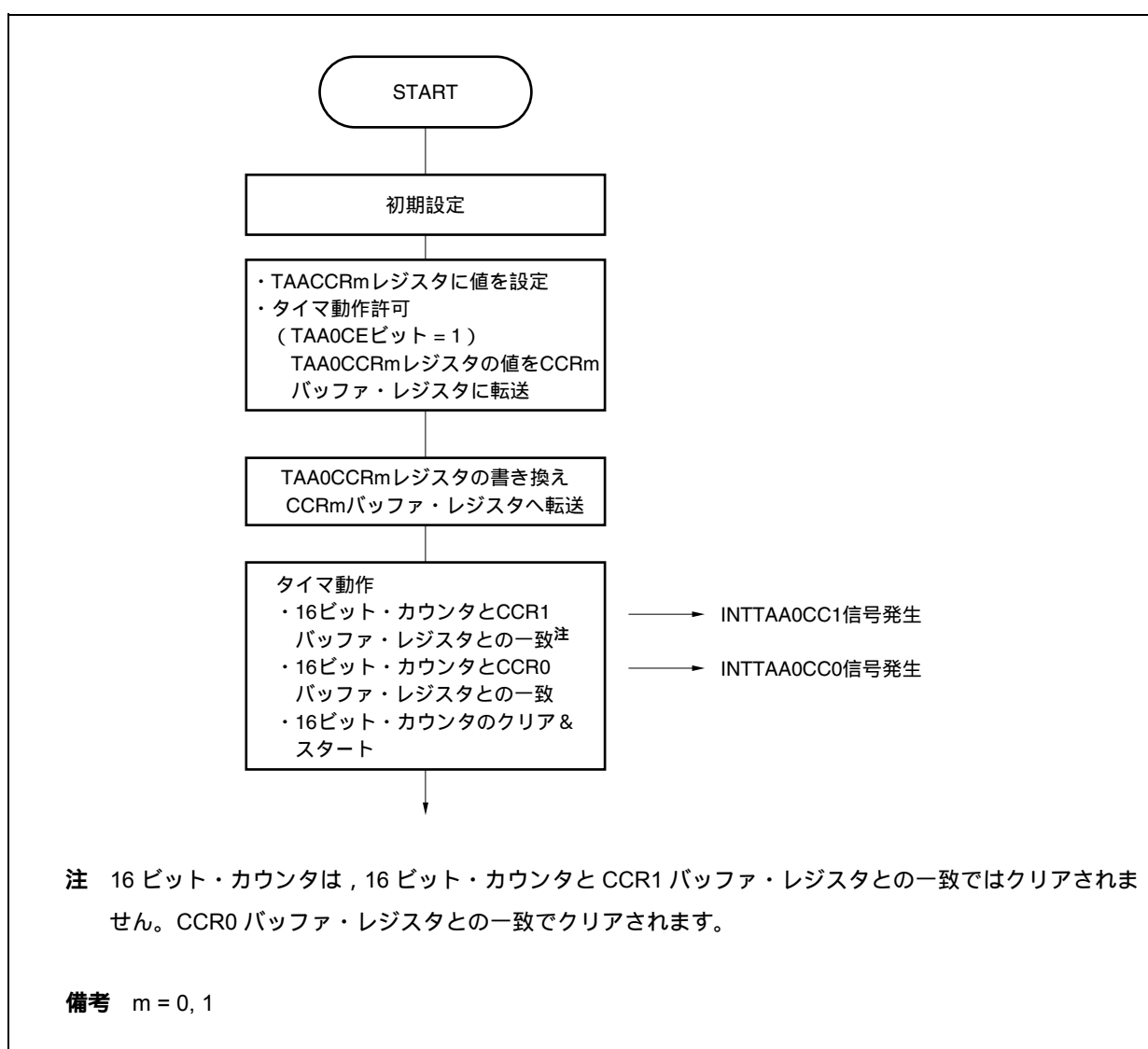
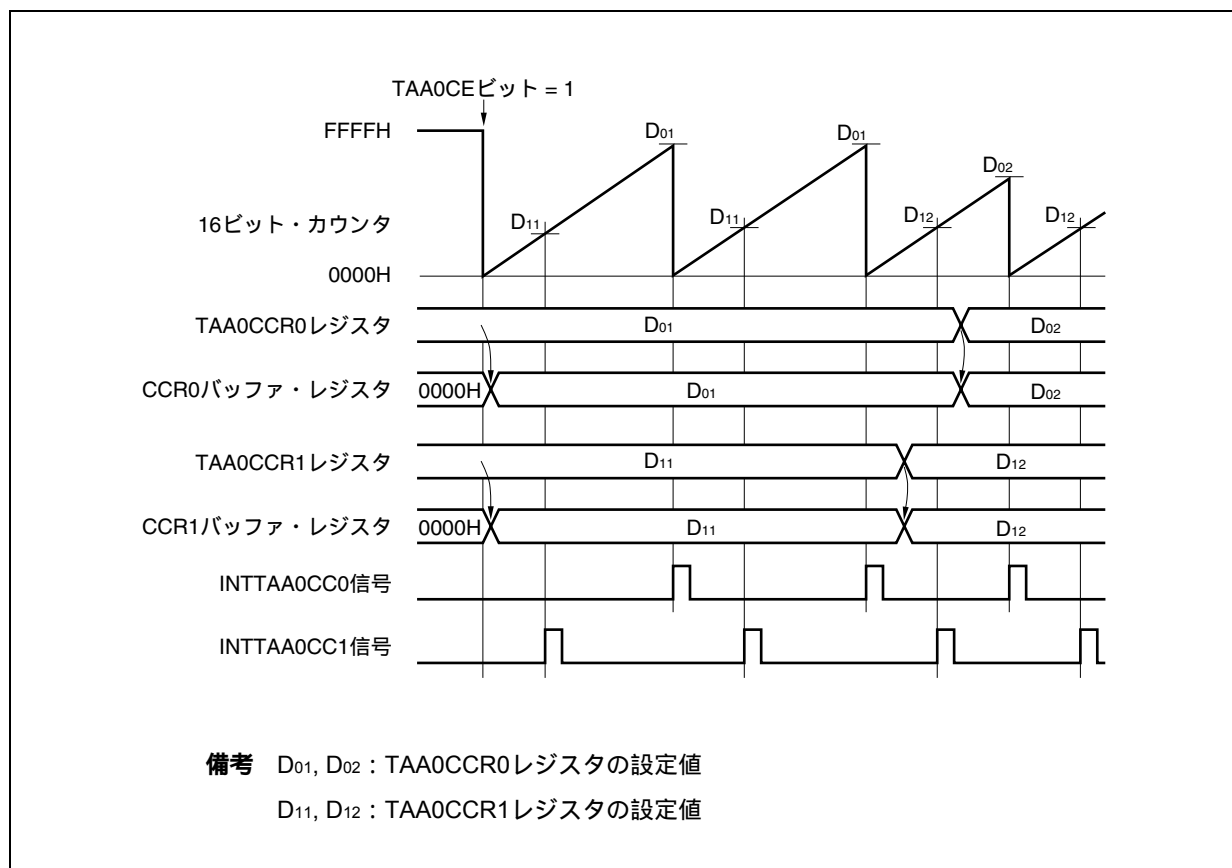


図7-4 随時書き込みのタイミング例 (TAA0のインターバル・タイマ・モードの場合)



(b) 一斉書き込み

このモードは、タイマ動作中にTAAAnCCR0, TAAAnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTAAAnCCR1レジスタへの書き込みとなります。TAAAnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TAAAnCCR0, TAAAnCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTAAAnCCR0レジスタを書き換え、次にTAAAnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TAAAnCCR0, TAAAnCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TAAAnCCR0レジスタの値だけ書き換えたい場合でも、TAAAnCCR1レジスタに同値(すでに設定したTAAAnCCR1レジスタと同じ値)を書き込んでください。

備考 n = 0-5

図7-5 一斉書き込みの基本動作フロー・チャート例 (TAA0のPWM出力モードの場合)

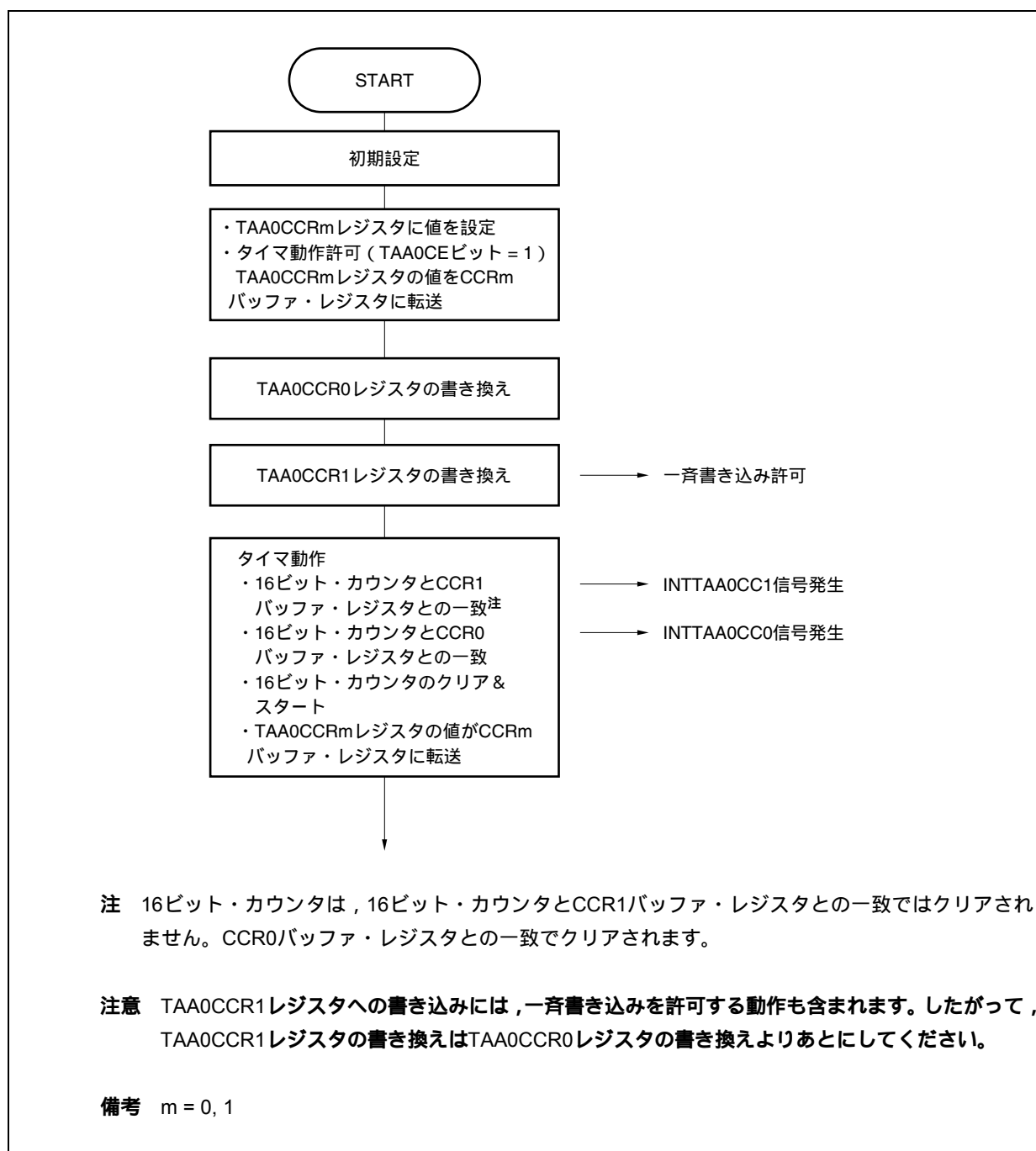
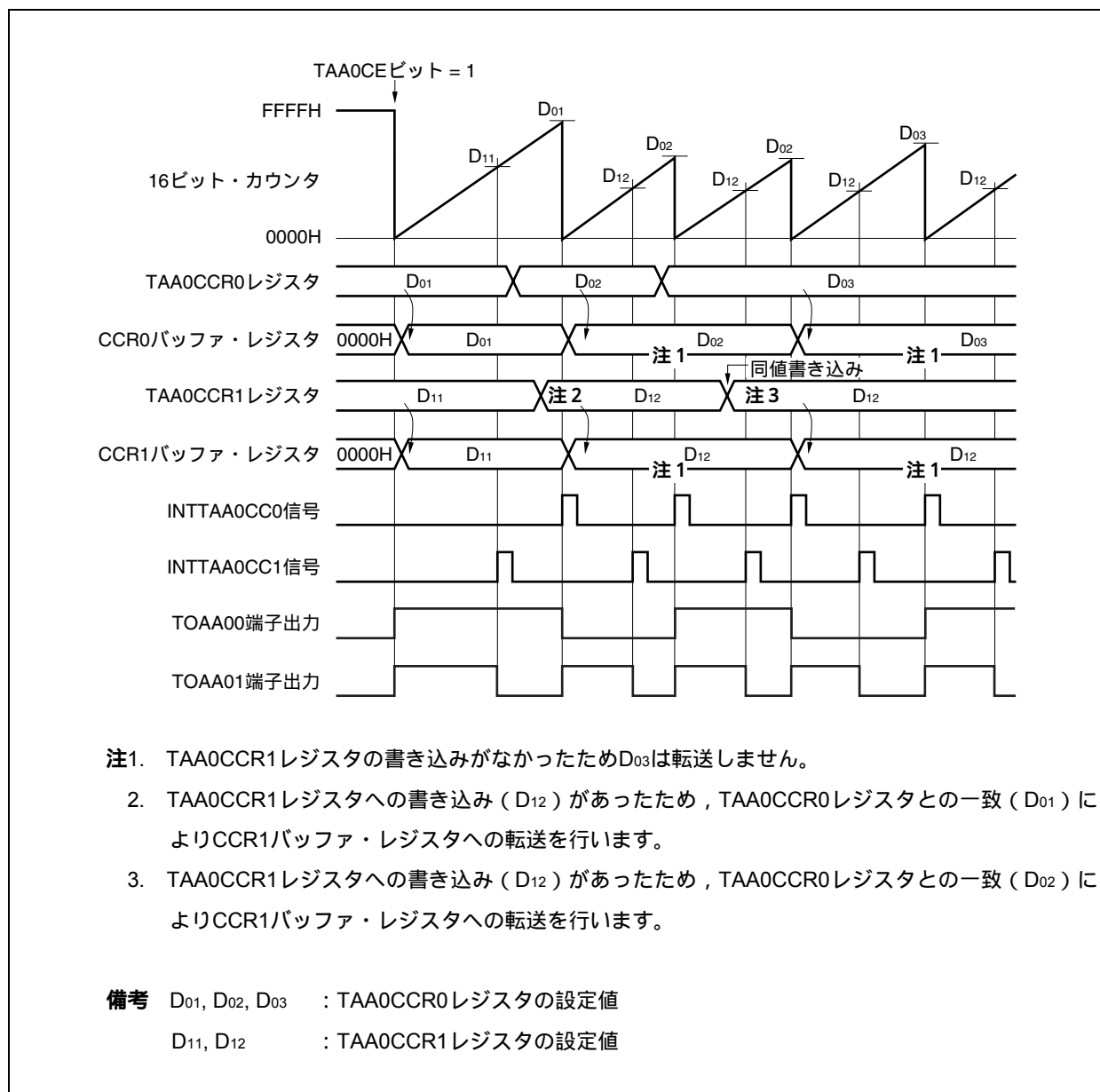


図7-6 一斉書き込みのタイミング (TAA0のPWM出力モードの場合)



7.5.1 インターバル・タイマ・モード (TAA_nMD2-TAA_nMD0ビット = 000)

インターバル・タイマ・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTAA_nCC0) を発生します。また、TOA_n0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TAA_nCCR1レジスタを使用しません。

図7-7 インターバル・タイマの構成図

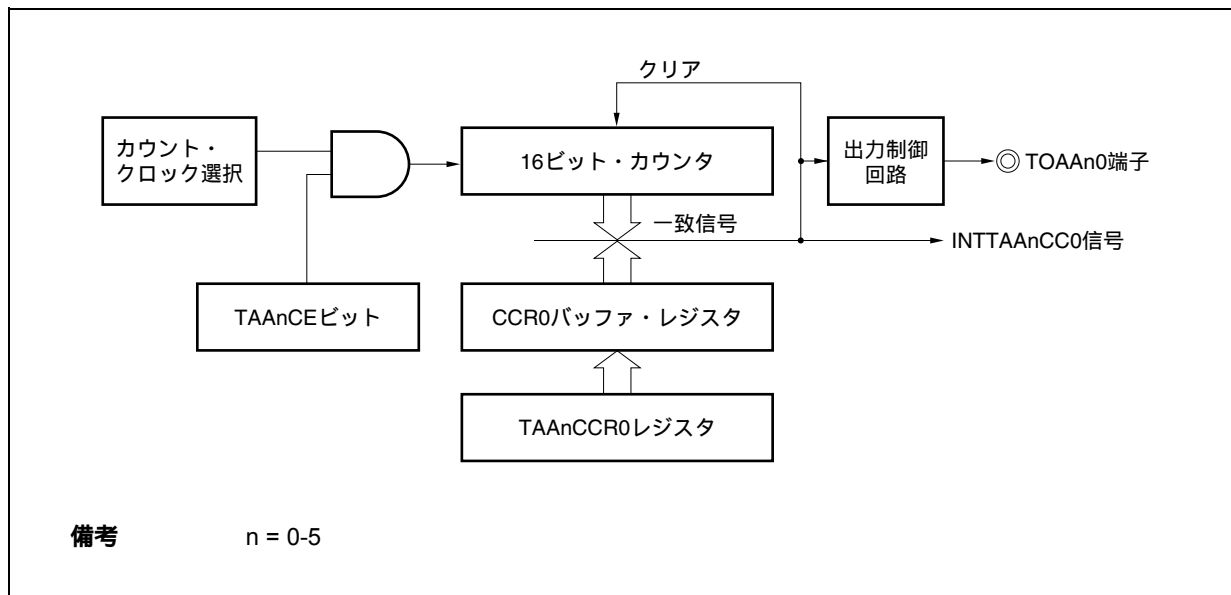
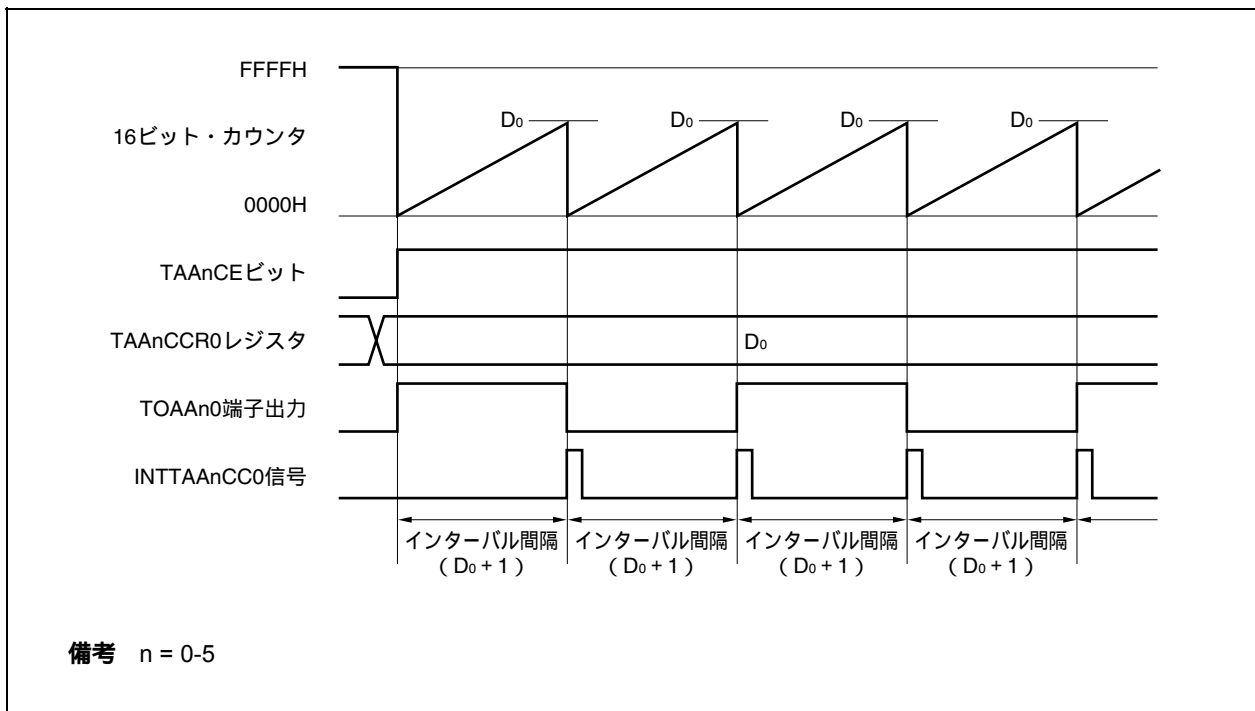


図7-8 インターバル・タイマ・モード動作の基本タイミング



TAA_nCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOAAn0端子出力を反転します。また、TAA_nCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOAAn0端子出力を反転させて、コンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TAA}_n\text{CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-5

図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

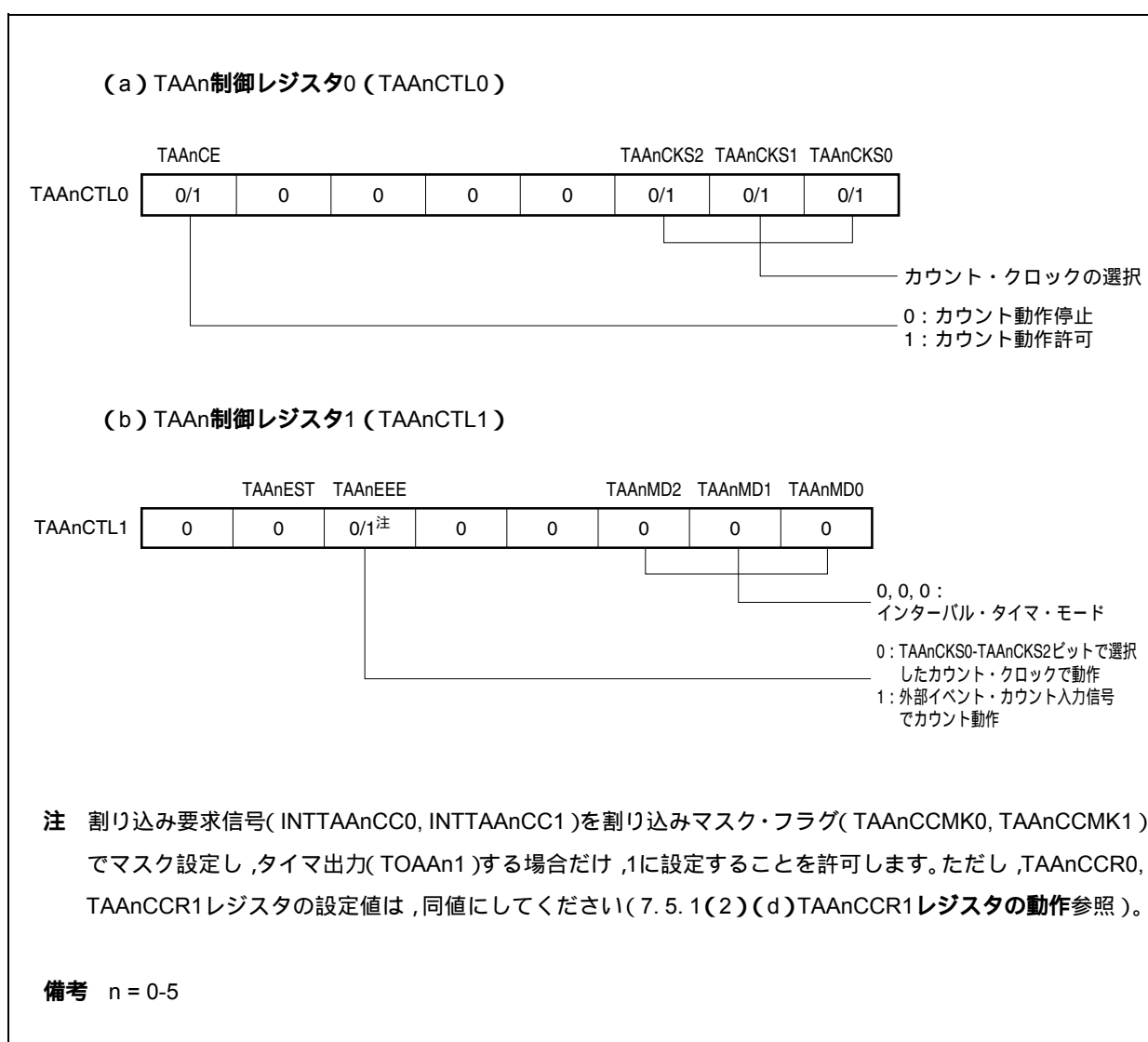
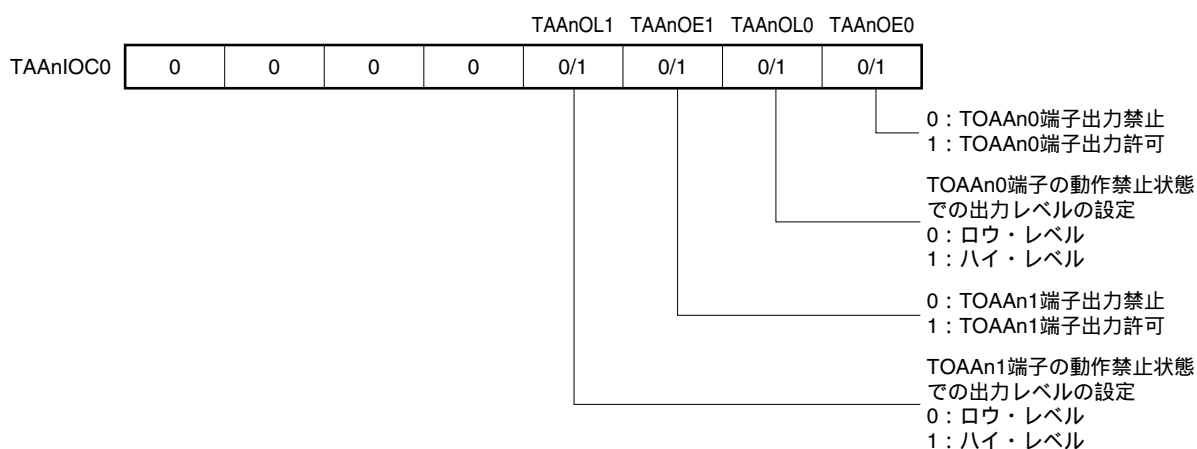


図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TAA_nI/O制御レジスタ0 (TAA_nIOC0)(d) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(e) TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)

TAA_nCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウンタ} \cdot \text{クロック周期}$$

となります。

(f) TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)

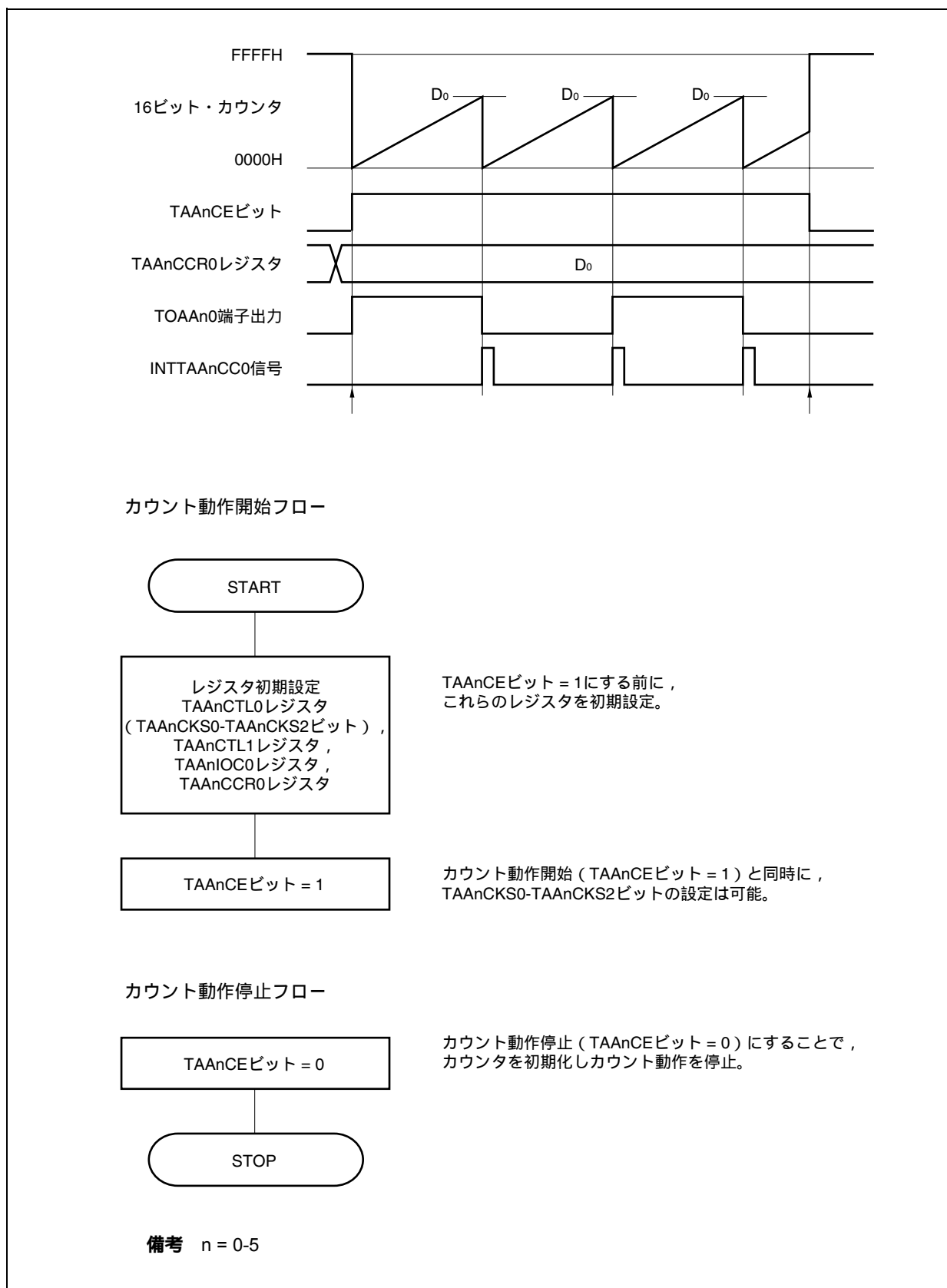
インターバル・タイマ・モードでは、通常、TAA_nCCR1レジスタを使用しません。しかし、TAA_nCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTAA_nCC1) が発生します。したがって、割り込みマスク・フラグ (TAA_nCCMK1) でマスク設定しておいてください。

備考1. TAA_nI/O制御レジスタ1 (TAA_nIOC1)、TAA_nI/O制御レジスタ2 (TAA_nIOC2)、TAA_nオプション・レジスタ0 (TAA_nOPT0) は、インターバル・タイマ・モードでは使用しません。

2. n = 0-5

(1) インターバル・タイマ・モード動作フロー

図7-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー

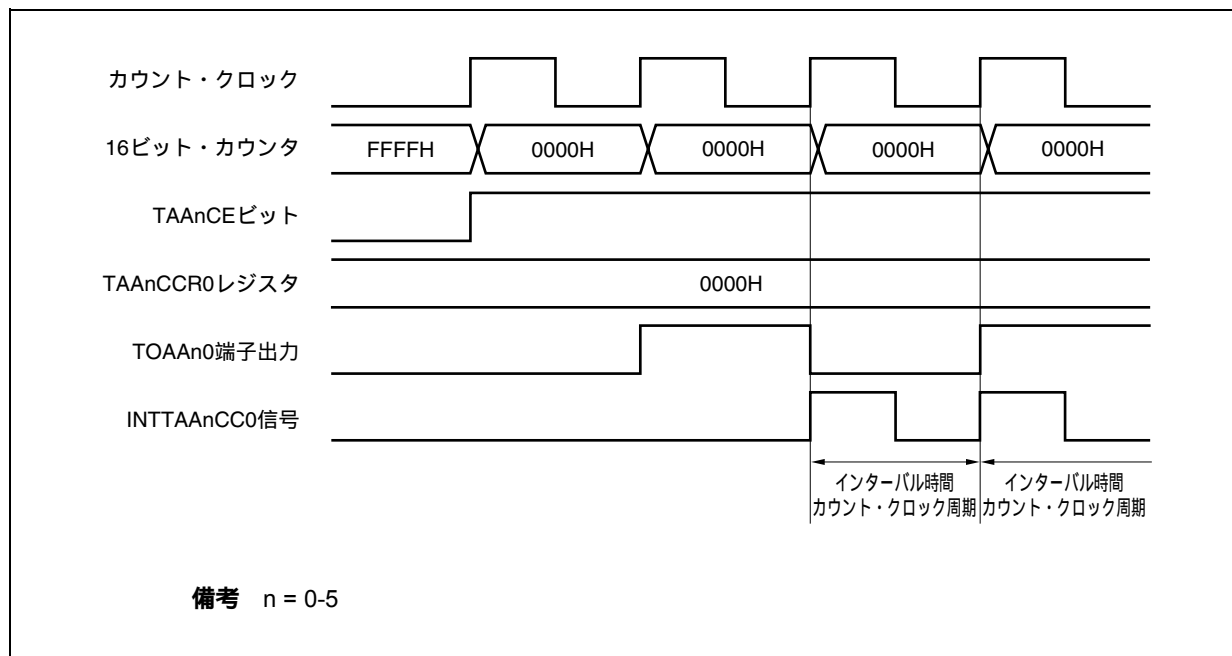


(2) インターバル・タイマ・モード動作タイミング

(a) TAA_nCCR0レジスタに0000Hを設定した場合の動作

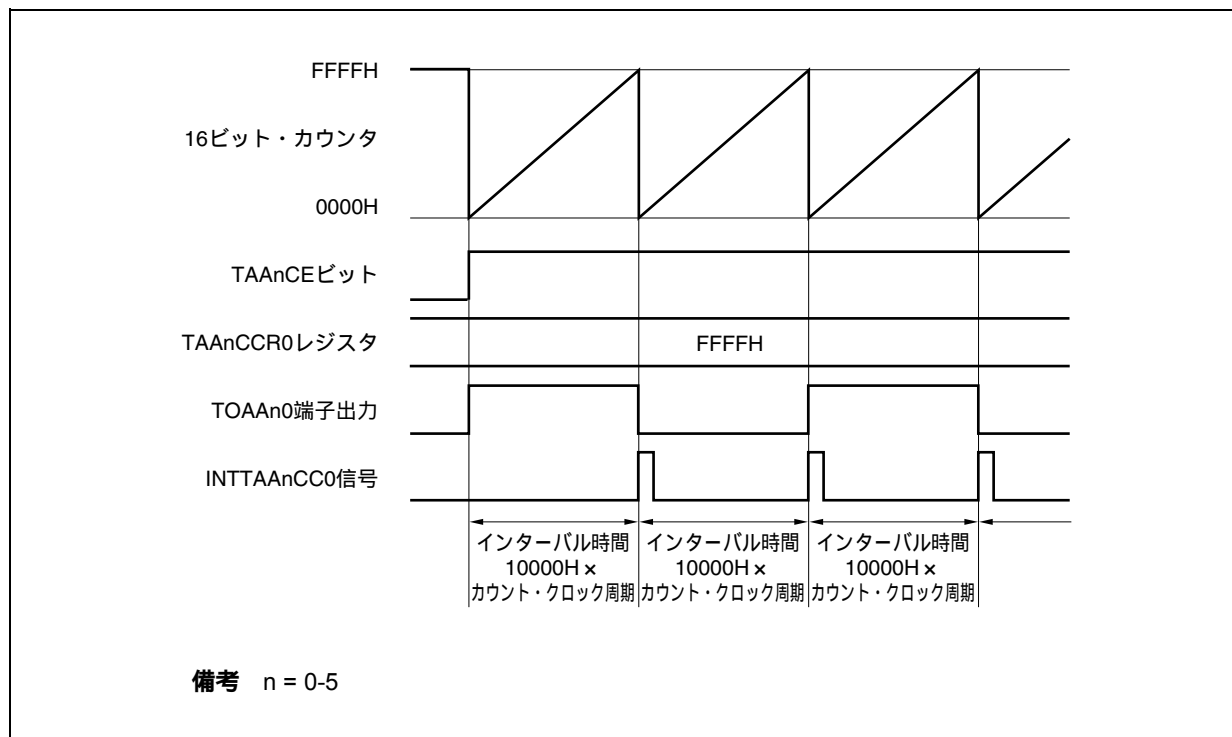
TAA_nCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTAA_nCC0信号を発生し、TOAA_n0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TAA_nCCR0レジスタにFFFFHを設定した場合の動作

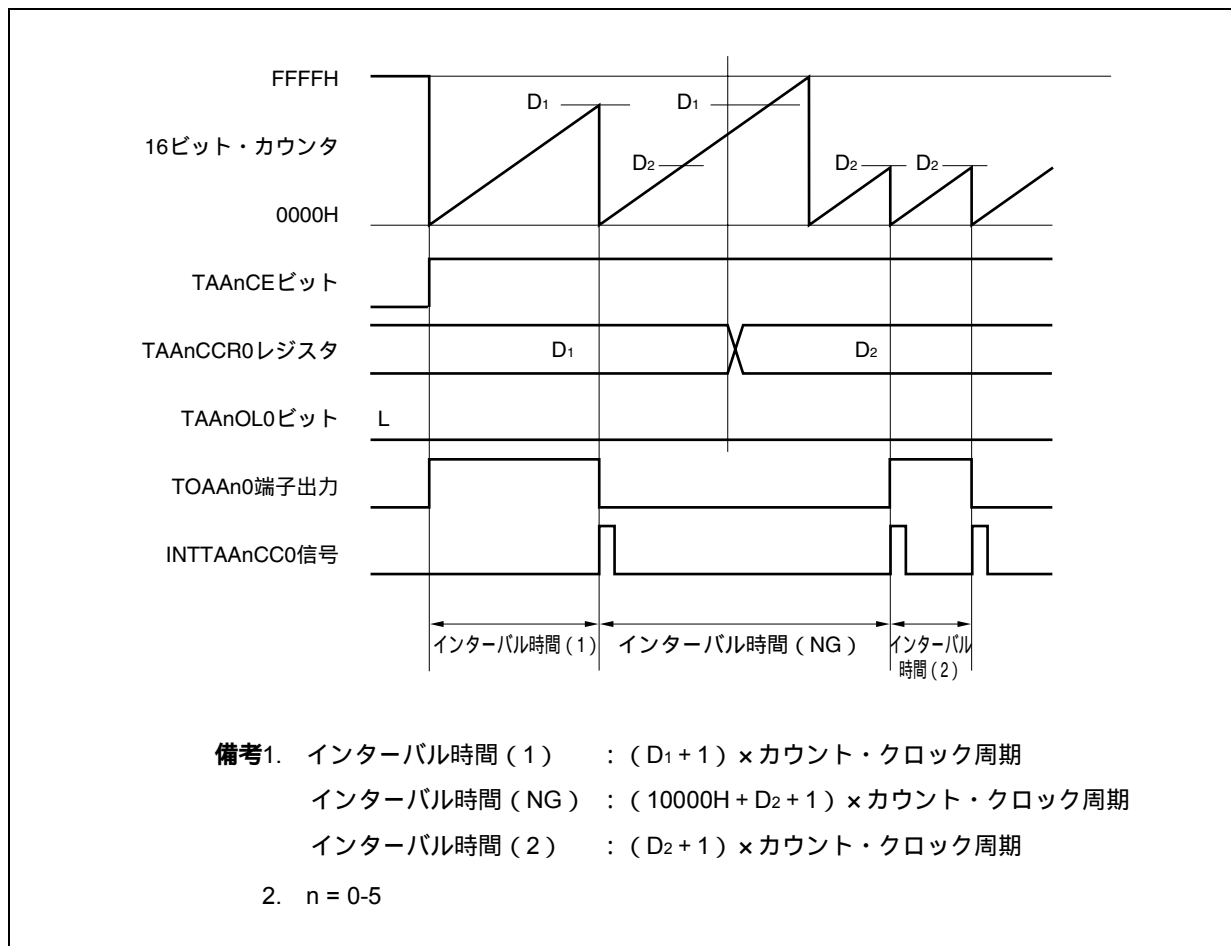
TAA_nCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTAA_nCC0信号を発生し、TOAA_n0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTAA_nOV) は発生せず、オーバフロー・フラグ (TAA_nOPT0.TAA_nOVFビット) もセット (1) されません。



(c) TAAAnCCR0レジスタの書き換えに関する注意事項

TAAAnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

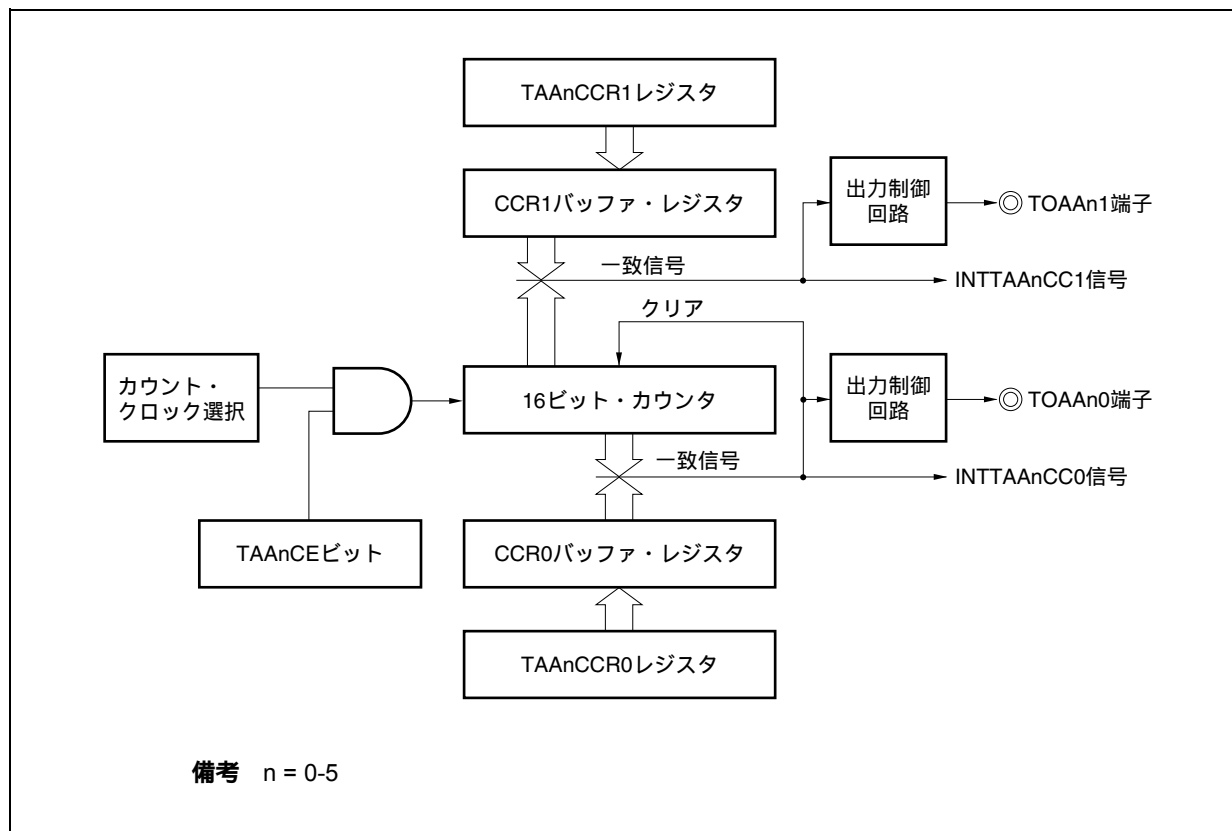
カウント動作中にTAAAnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAAAnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTAAAnCC0信号を発生しTOAAAn0端子出力を反転します。

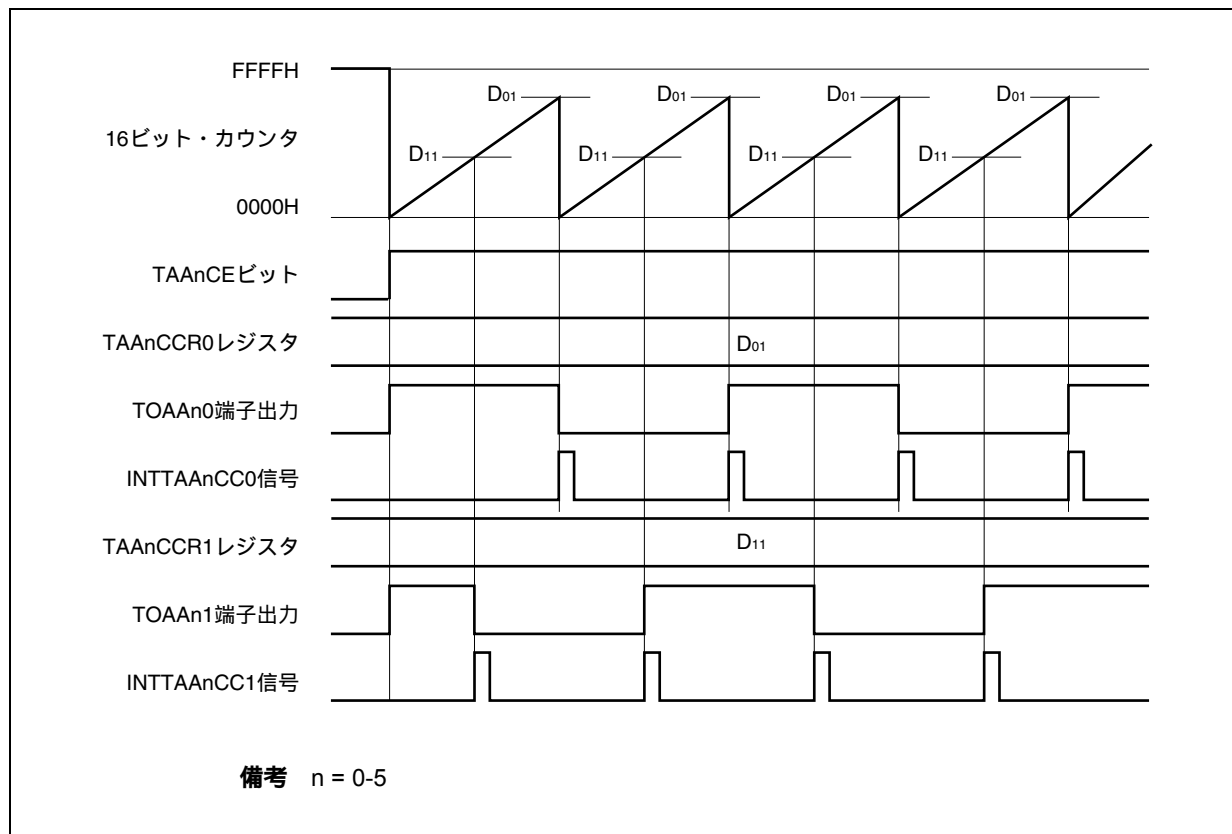
したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTAAAnCC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTAAAnCC0信号が発生する場合があります。

(d) TAA_nCCR1レジスタの動作図7 - 11 TAA_nCCR1レジスタの構成図

TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAA_nCC1信号が発生します。また、同じタイミングでTOAAn1端子出力は反転します。

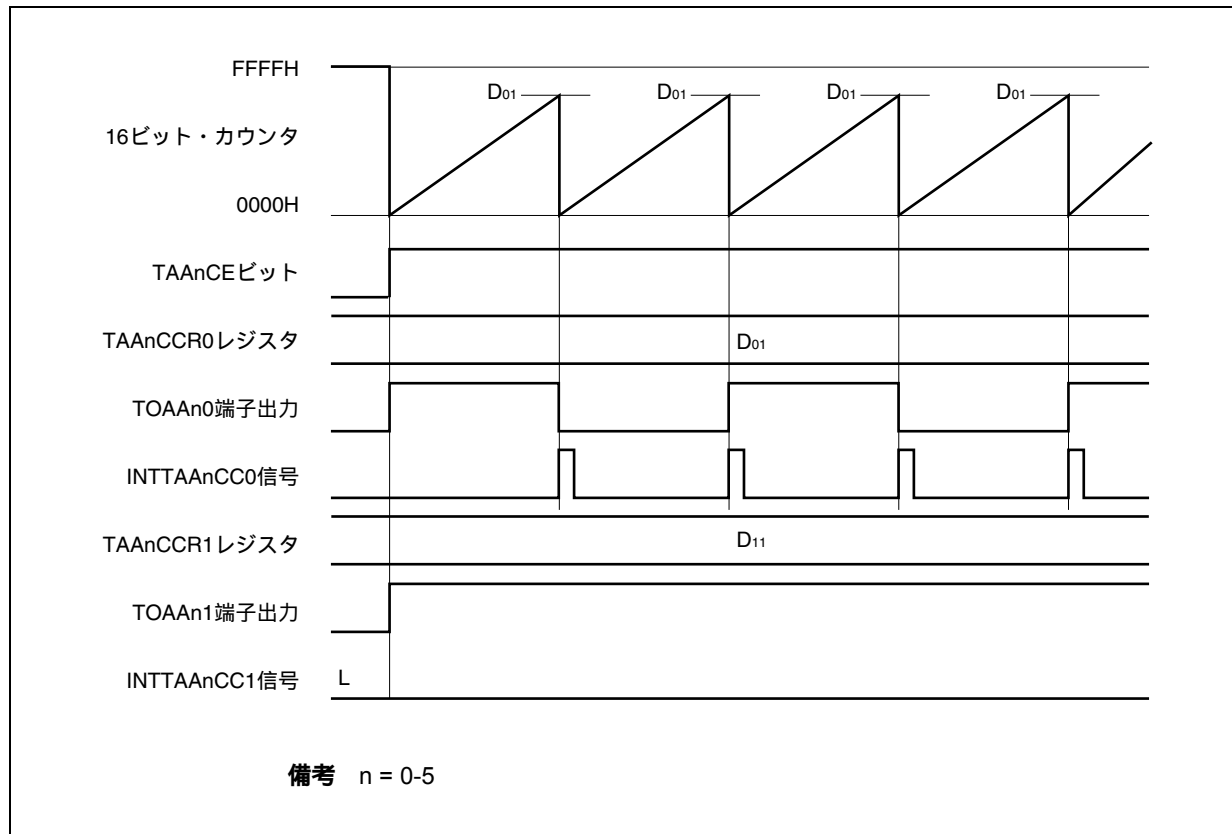
TOAAn1端子出力は、TOAAn0端子出力と同じ周期の方形波を出力します。

図7 - 12 D₀₁ D₁₁の場合のタイミング図



TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAA_nCCR1レジスタの値が一致しないので、INTTAA_nCC1信号は発生しません。また、TOAA_n1端子出力も変化しません。

図7 - 13 D₀₁ < D₁₁の場合のタイミング図



7.5.2 外部イベント・カウント・モード (TAA_nMD2-TAA_nMD0ビット = 001)

外部イベント・カウント・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号(INTTAA_nCC0)を発生します。TOAA_n0端子は使用できません。

外部イベント・カウント・モードでは、通常、TAA_nCCR1レジスタは使用しません。

図7-14 外部イベント・カウント・モードの構成図

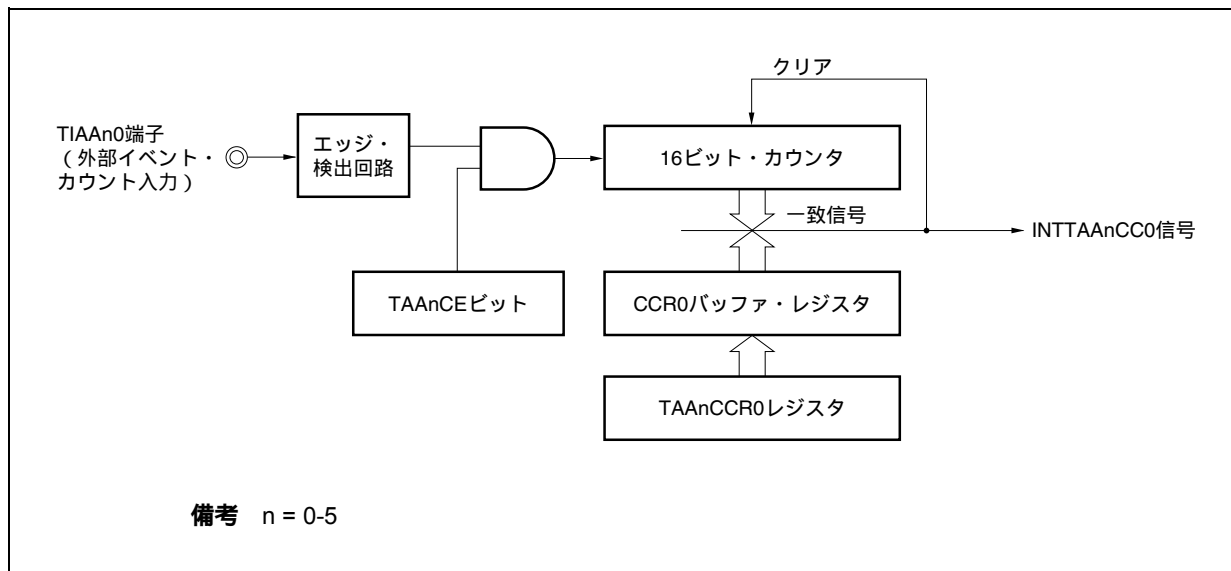
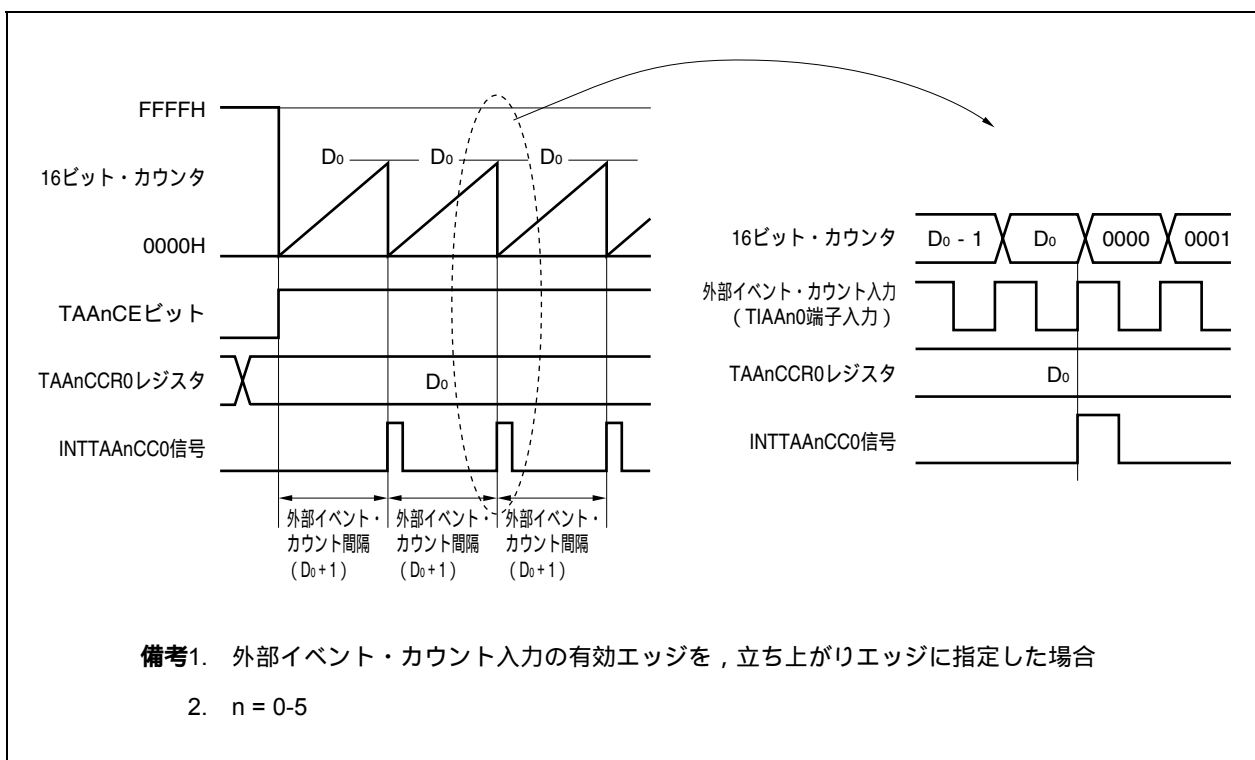


図7-15 外部イベント・カウント・モードの基本タイミング



TAA_nCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することによりカウント動作を行います。また、TAA_nCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。

INTTAA_nCC0信号は、外部イベント・カウント入力の有効エッジを(TAA_nCCR0レジスタに設定した値+1)回検出することにより発生します。

図7-16 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

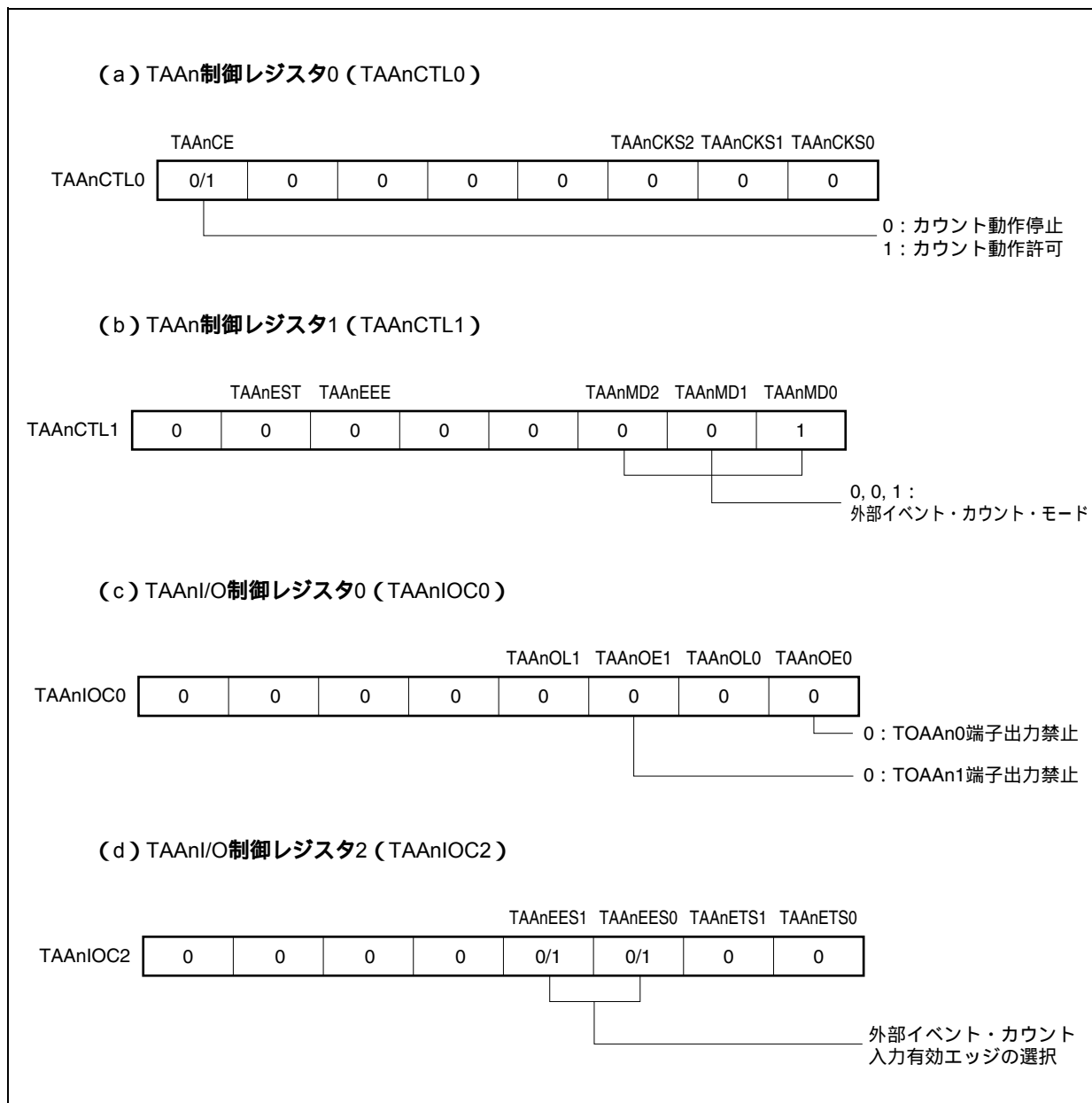


図7-16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)

TAA_nCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。

(g) TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)

外部イベント・カウント・モードでは、通常、TAA_nCCR1レジスタは使用しません。しかし、TAA_nCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTAA_nCC1)が発生します。

したがって、割り込みマスク・フラグ(TAA_nCCMK1)でマスク設定しておいてください。

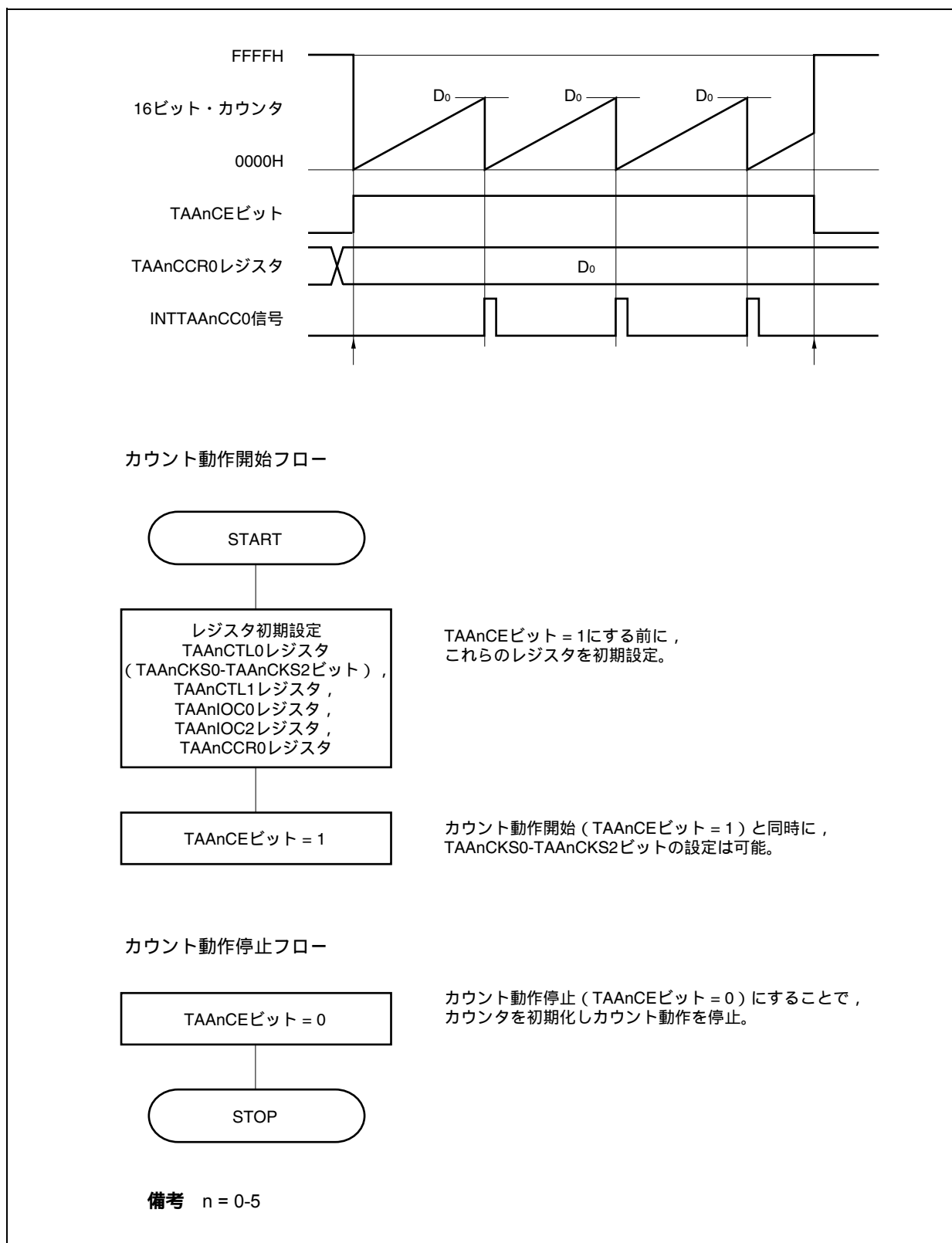
注意 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAA_n0端子からのみ入力できます。このとき、TAA_nIOC1.TAA_nIS1, TAA_nIS0ビット = 00 (キャプチャ・トリガ入力(TIAA_n0端子) : エッジ検出なし) に設定してください。

備考1. TAA_nI/O制御レジスタ1 (TAA_nIOC1) , TAA_nオプション・レジスタ0 (TAA_nOPT0) は、外部イベント・カウント・モードでは使用しません。

2. n = 0-5

(1) 外部イベント・カウント・モード動作フロー

図7-17 外部イベント・カウント・モード使用時のソフトウェア処理フロー

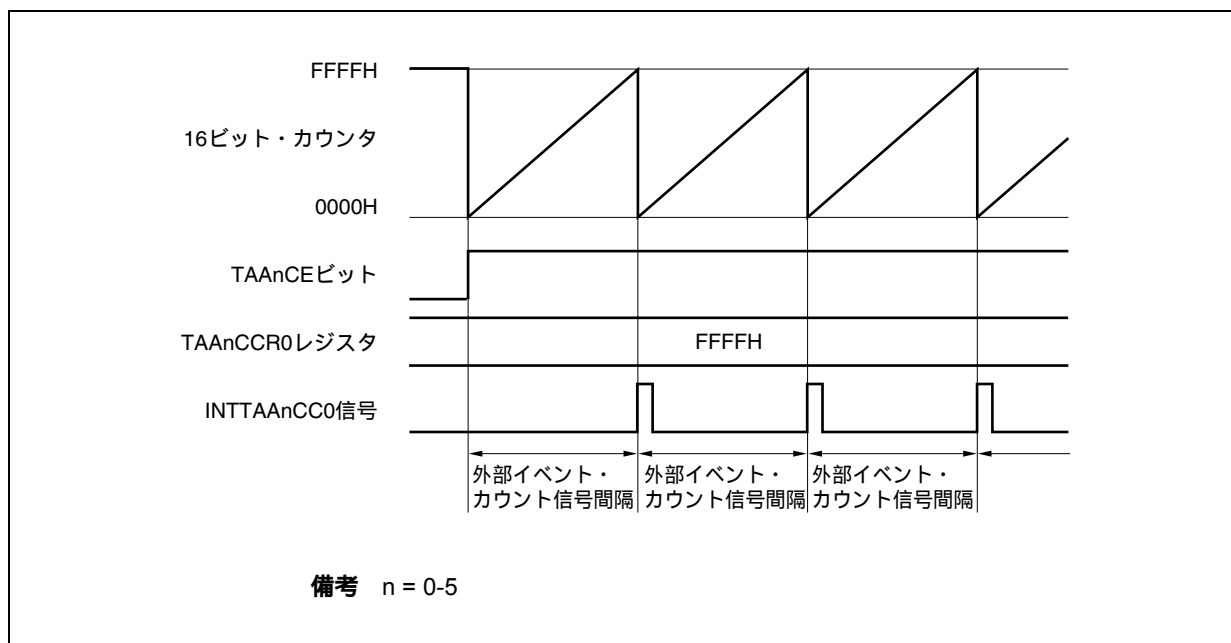


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時、TAA_nCCR0レジスタには、0000Hを設定しないでください。
2. 外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力からタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください
(TAA_nCTL1.TAA_nMD2-TAA_nMD0ビット = 000, TAA_nCTL1.TAA_nEEEビット = 1)。

(a) TAA_nCCR0レジスタにFFFFHを設定した場合の動作

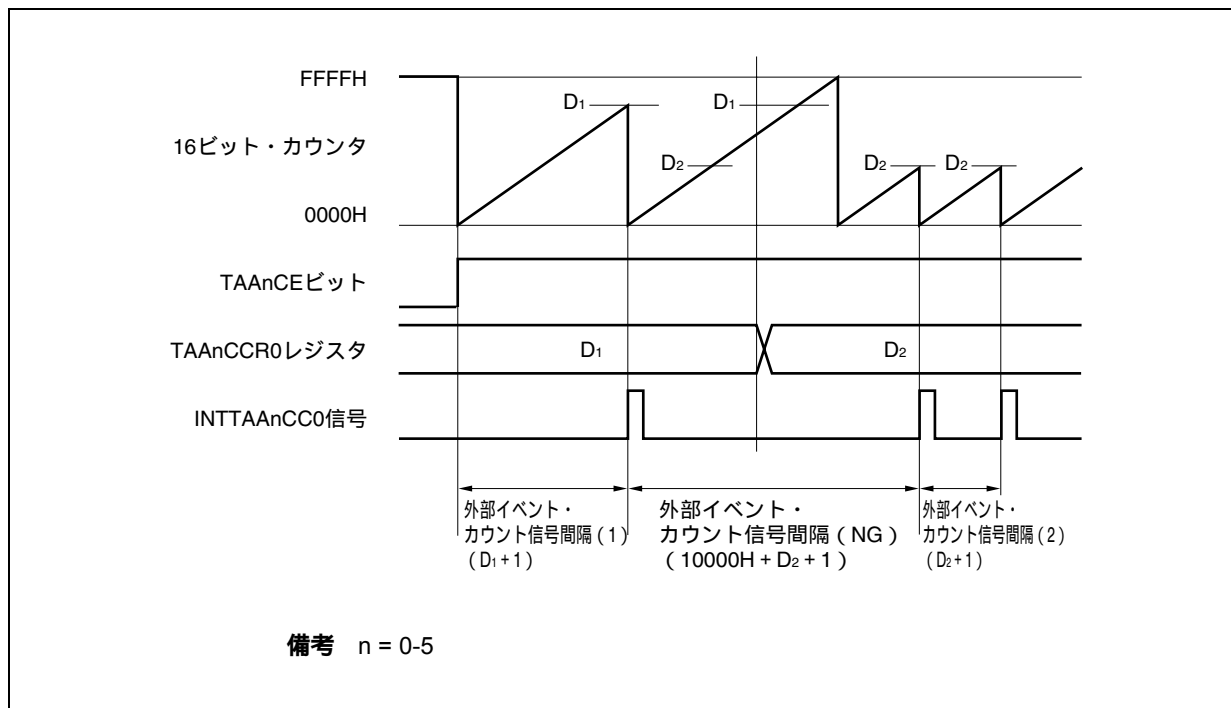
TAA_nCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTAA_nCC0信号を発生します。このとき、TAA_nOPT0.TAA_nOVFビットはセットされません。



(b) TAAAnCCR0レジスタの書き換えに関する注意事項

TAAAnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTAAAnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



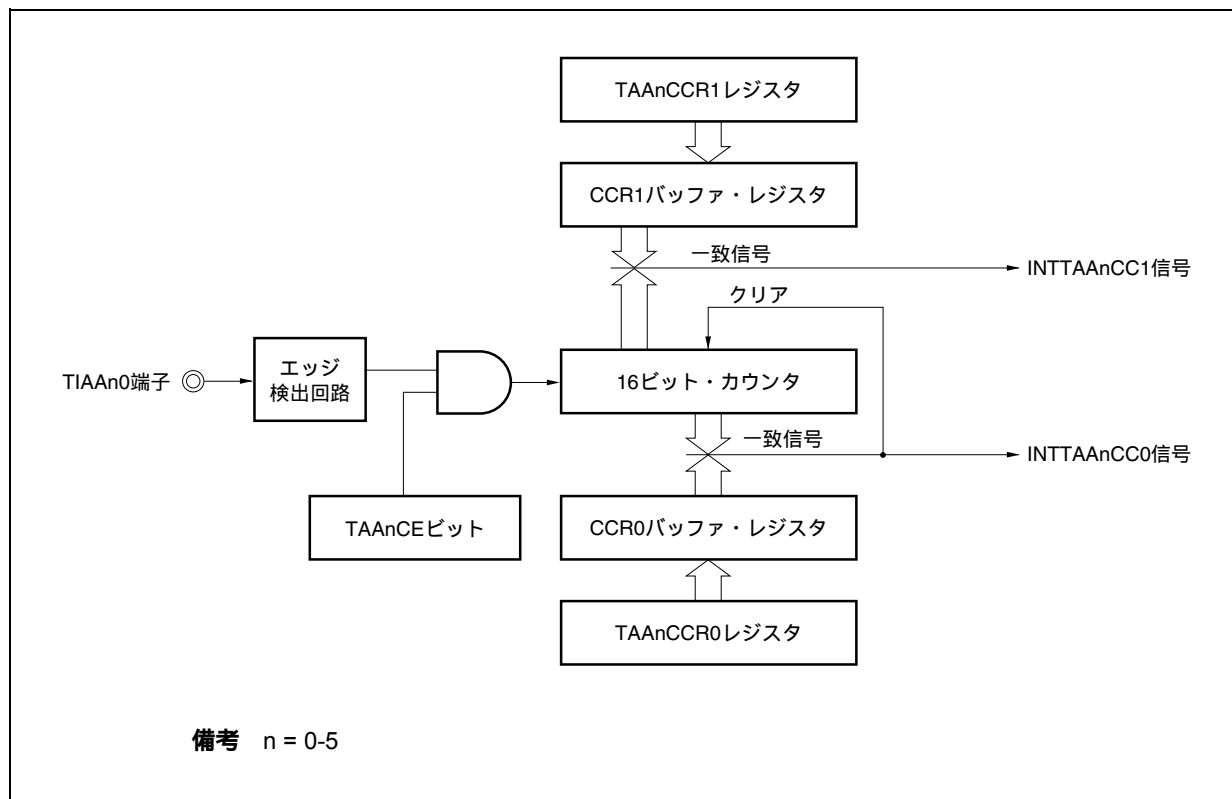
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAAAnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTAAAnCC0信号を発生します。

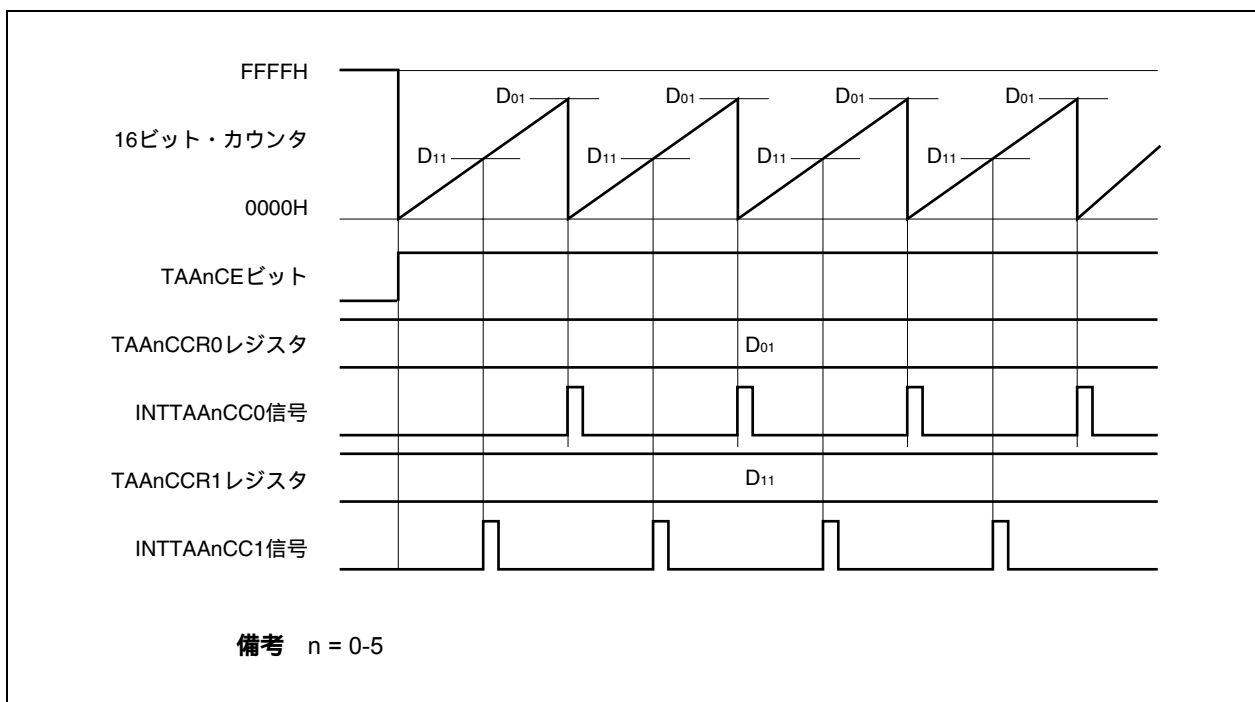
したがって、本来期待している外部イベント・カウント数である「 (D_1+1) 回」または「 (D_2+1) 回」の有効エッジ数でINTTAAAnCC0信号は発生せず、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTAAAnCC0信号が発生する場合があります。

(c) TAAAnCCR1レジスタの動作

図7 - 18 TAAAnCCR1レジスタの構成図

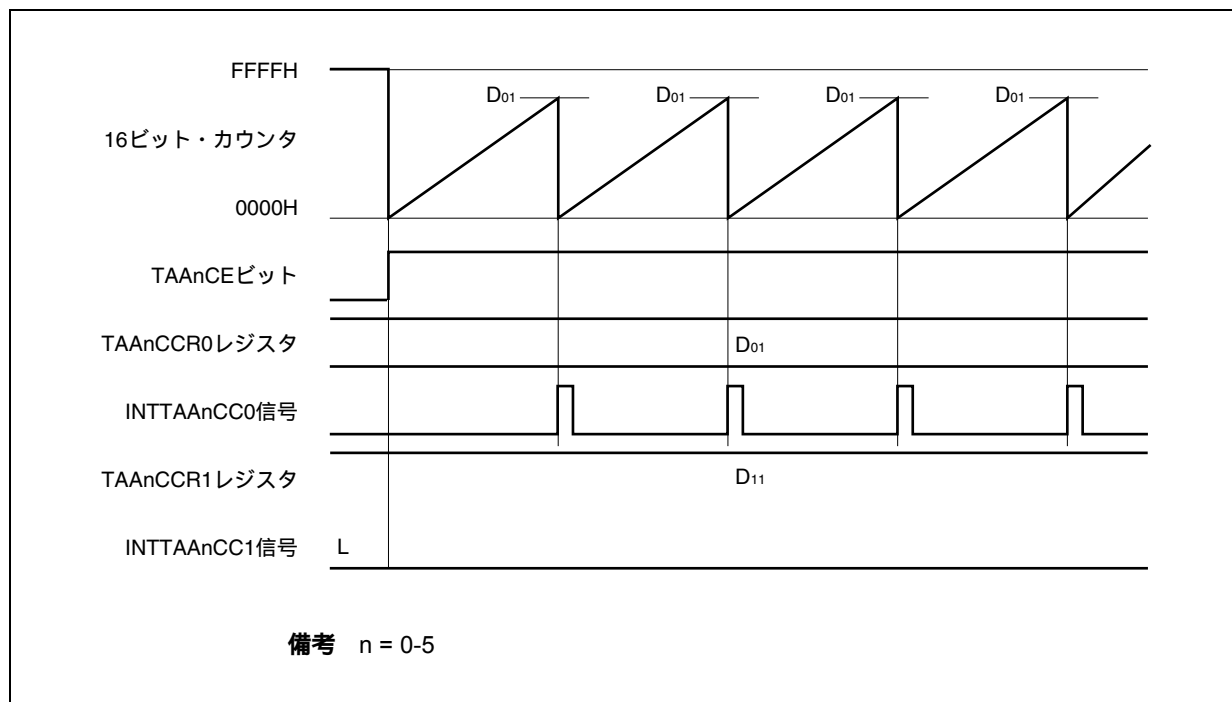


TAAAnCCR1レジスタの設定値がTAAAnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAAAnCC1信号が発生します。

図7 - 19 D₀₁ D₁₁の場合のタイミング図

TAAAnCCR1レジスタの設定値がTAAAnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値が一致しないので、INTTAAAnCC1信号は発生しません。

図7 - 20 D₀₁ < D₁₁の場合のタイミング図



7.5.3 外部トリガ・パルス出力モード (TAA_nMD2-TAA_nMD0ビット = 010)

外部トリガ・パルス出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOAA_n1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOAA_n0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図7-21 外部トリガ・パルス出力モードの構成図

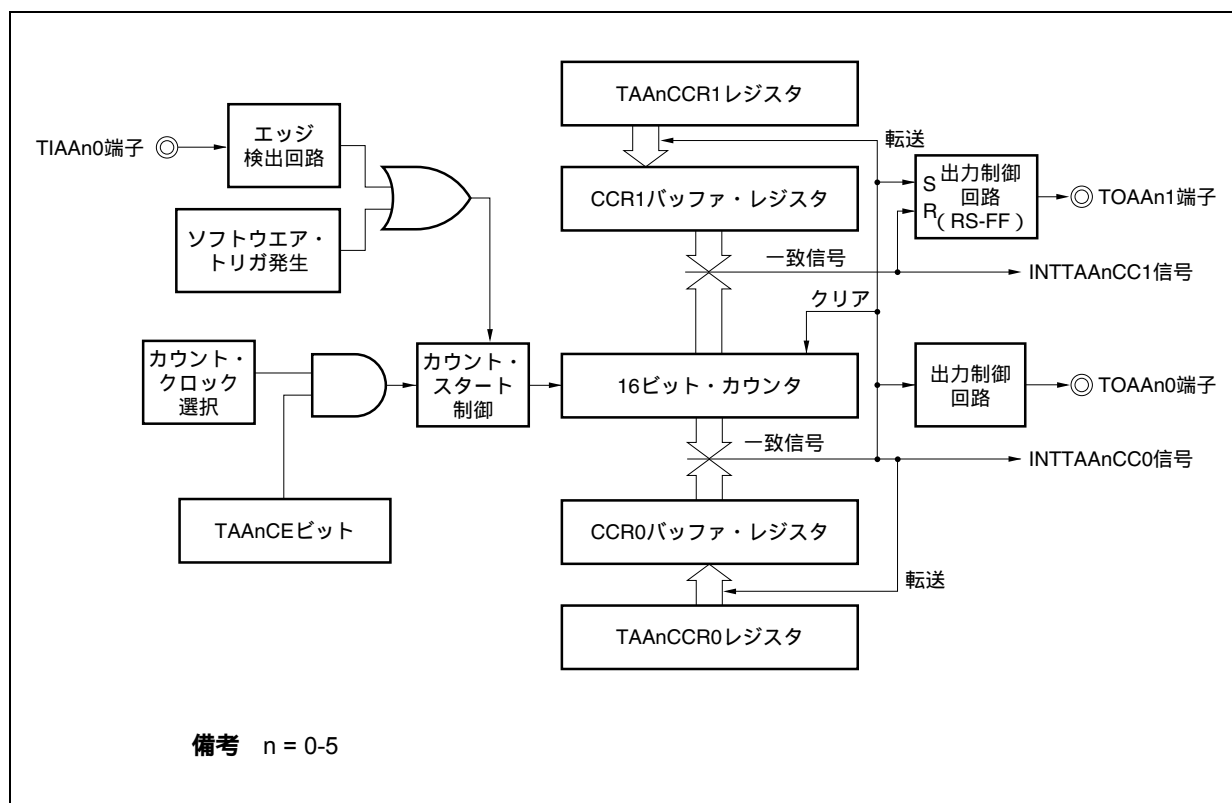
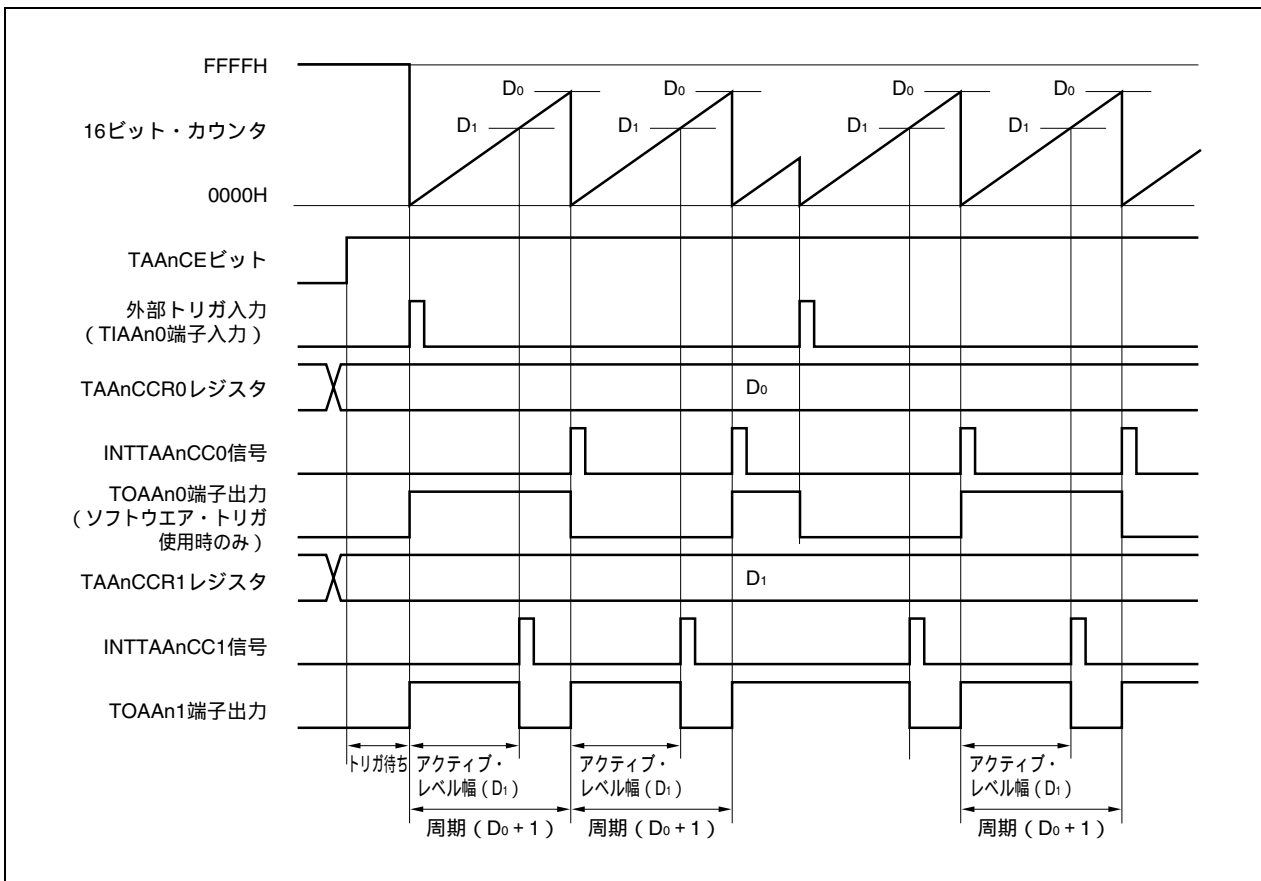


図7-22 外部トリガ・パルス出力モードの基本タイミング



TAAAnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAAAn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOAAAn0端子出力は反転します。TOAAAn1端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TAAAnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TAAAnCCR1レジスタの設定値}) / (\text{TAAAnCCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TAAAnCTL1.TAAAnESTビット) のセット(1)があります。

備考 n = 0-5

m = 0, 1

図7-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

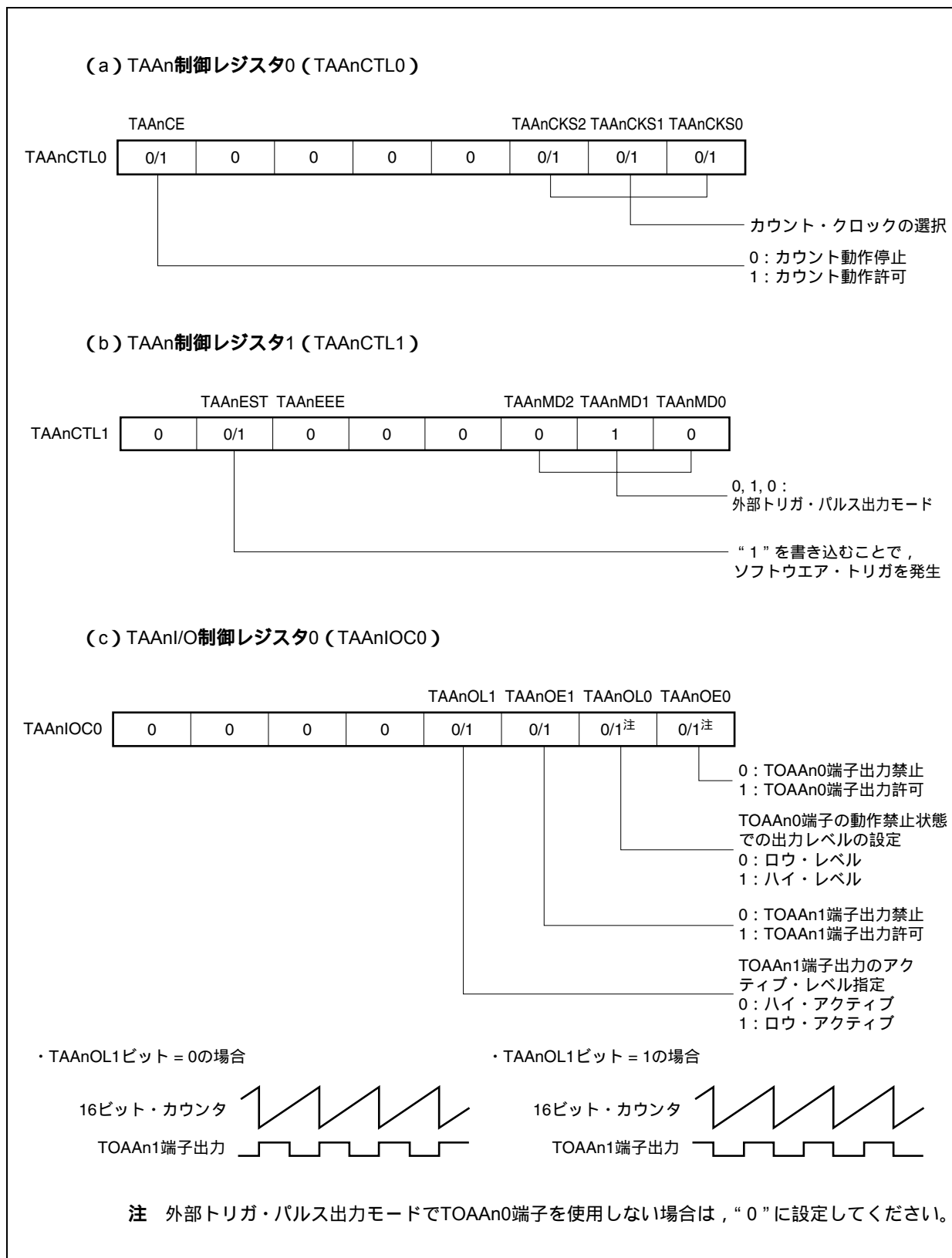
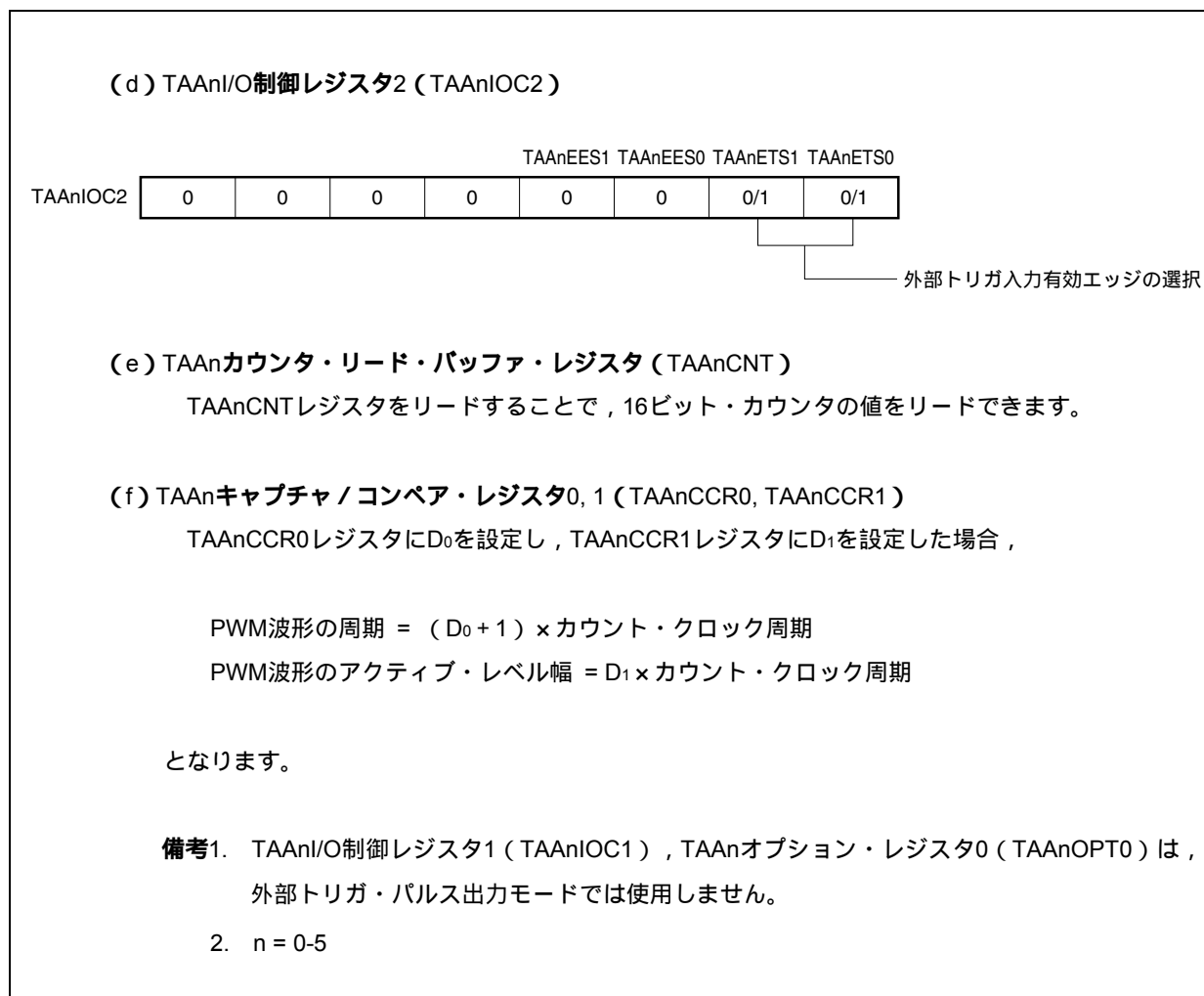


図7-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図7-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

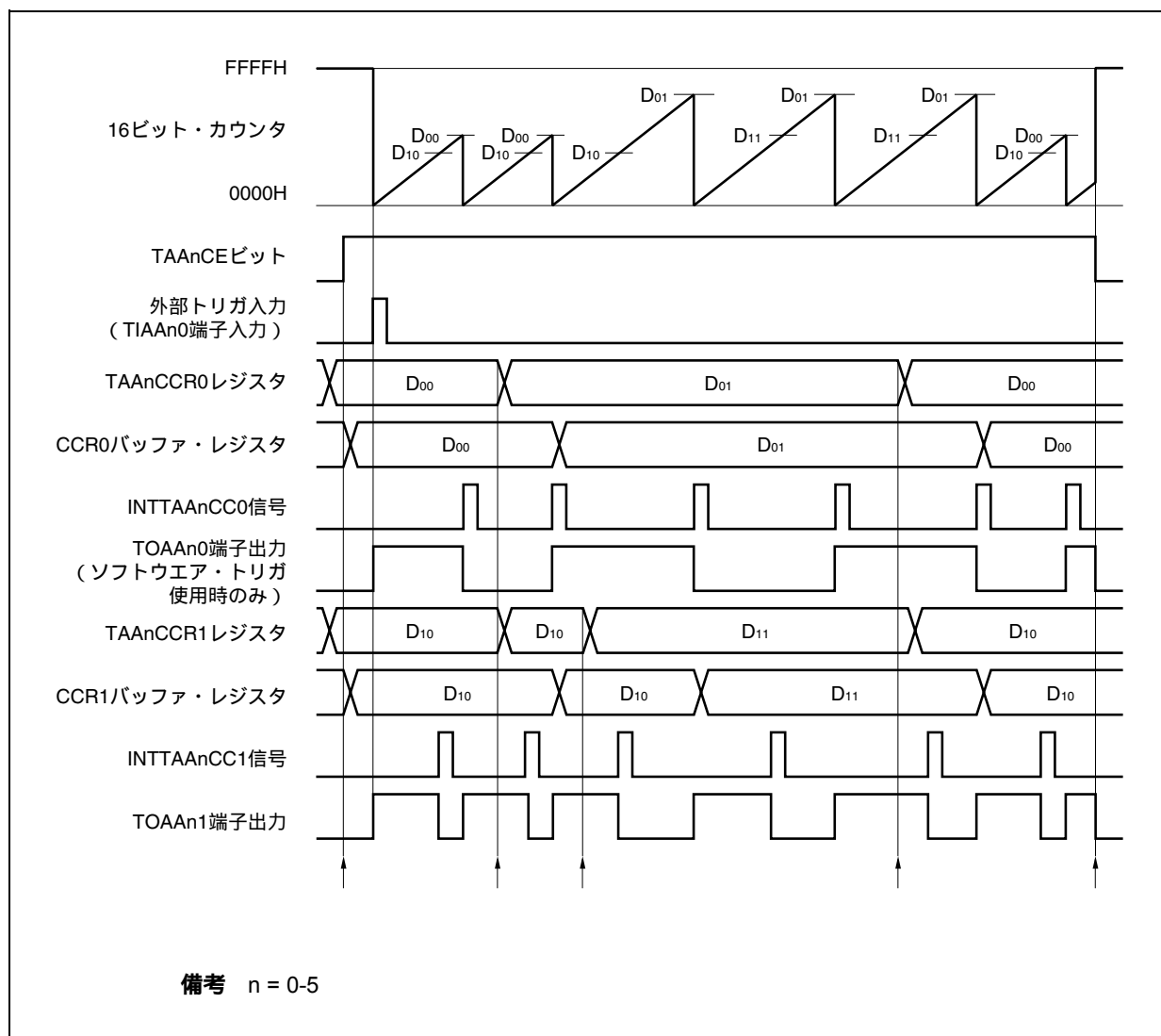
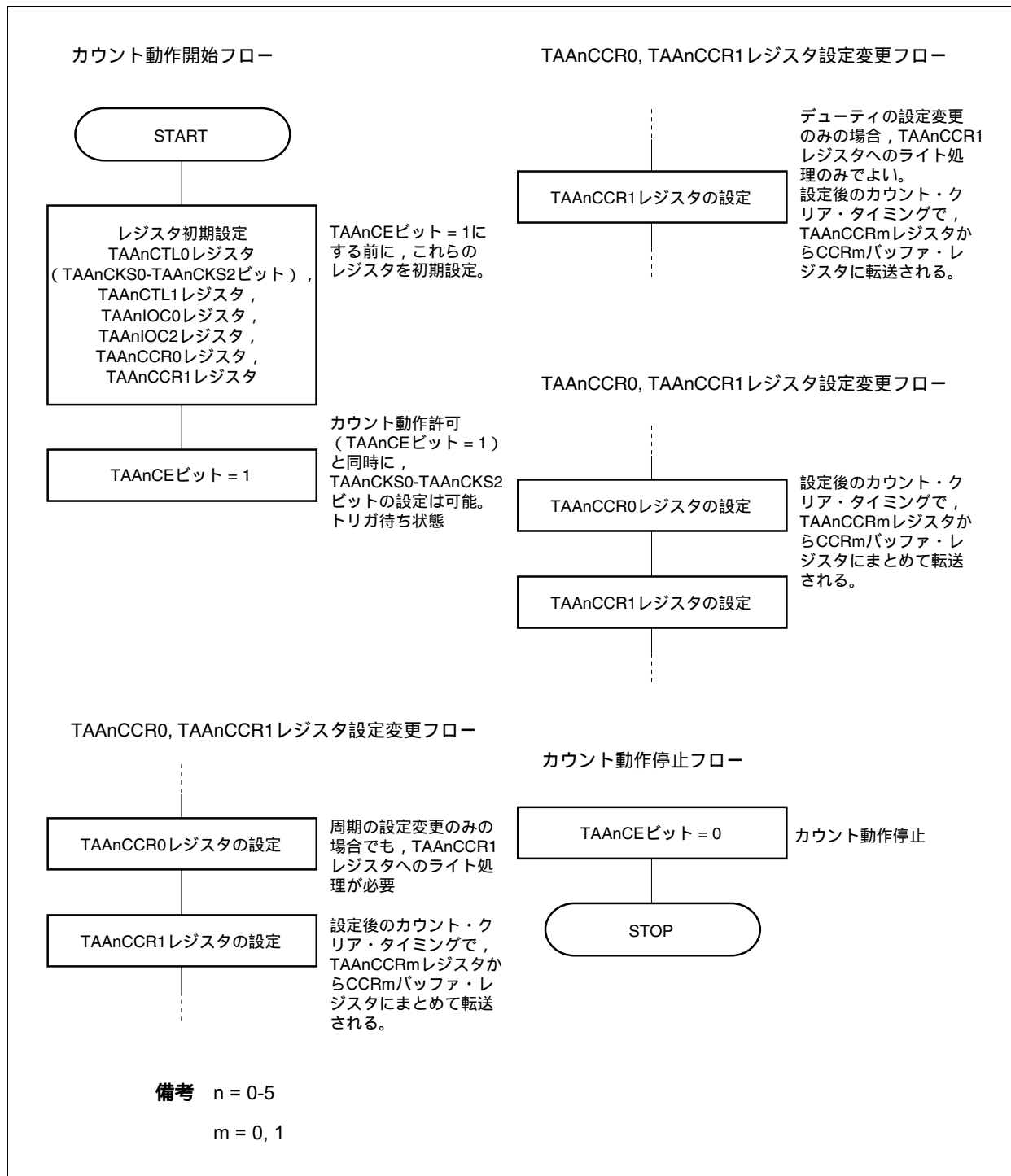


図7 - 24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) 外部トリガ・パルス出力モード動作タイミング

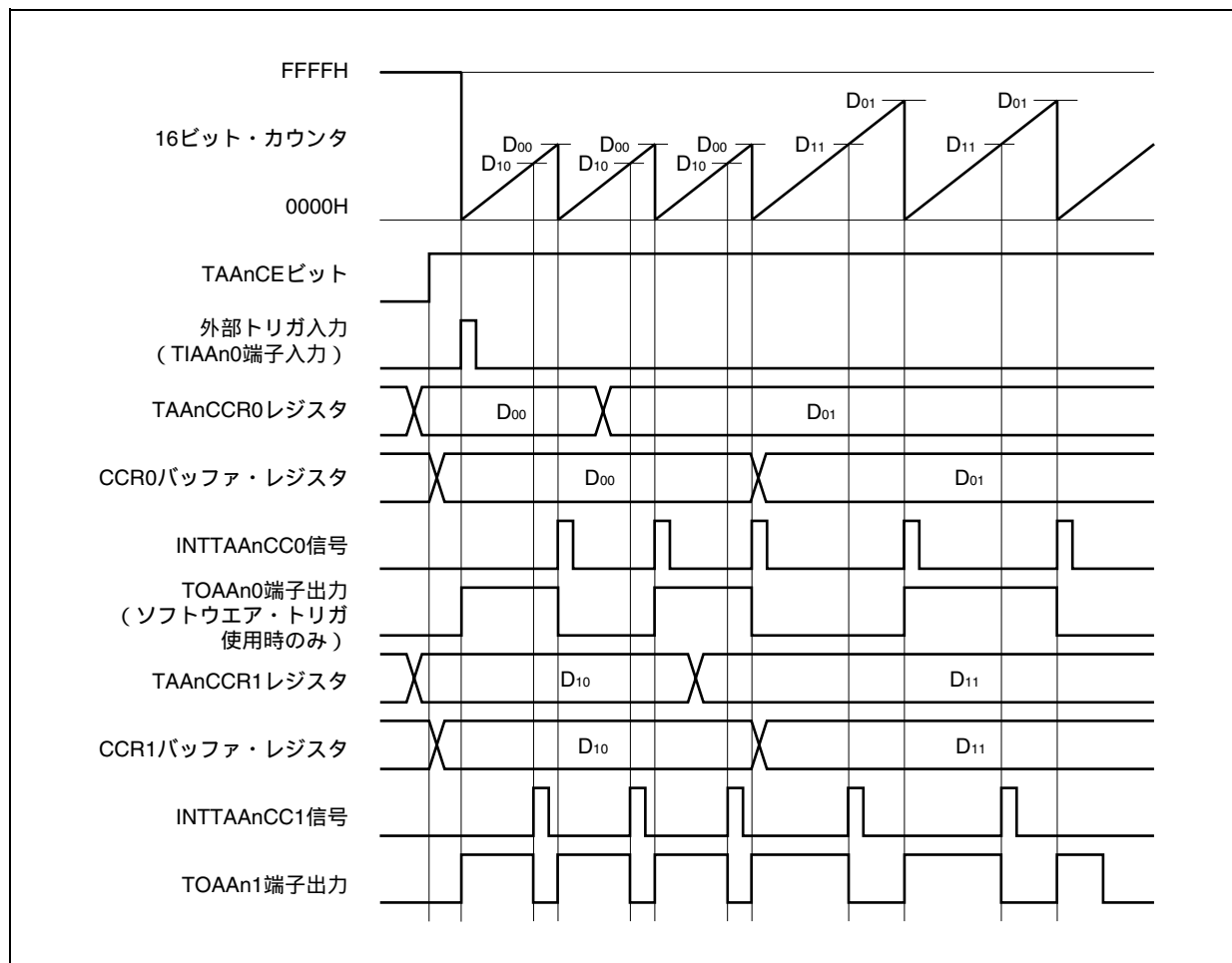
(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTAAAnCCR1レジスタにライトしてください。

TAAAnCCR1レジスタにライト後、再度TAAAnCCRmレジスタの書き換えを行う場合には、INTTAAAnCC0信号を検出後に書き換えてください。

備考 n = 0-5

m = 0, 1



TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1レジスタのみの設定でかまいません。

TAAAnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

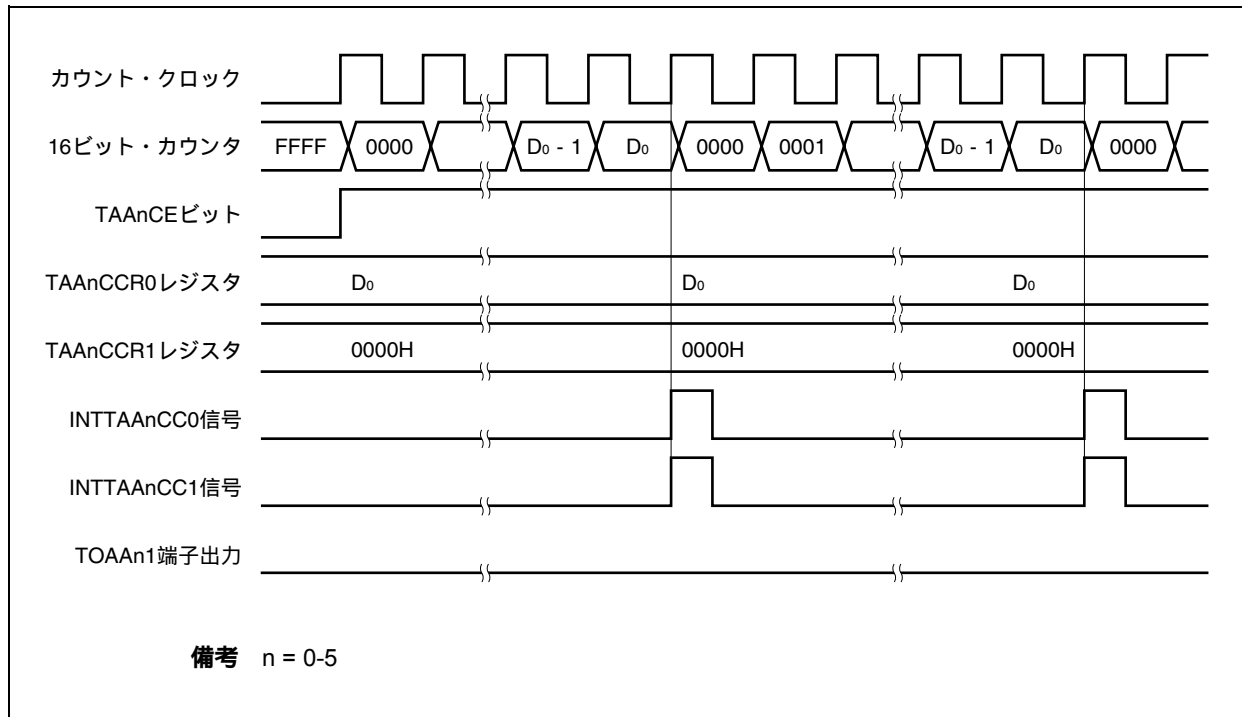
また、一度TAAAnCCR1レジスタにライトしたあとで、再度TAAAnCCR0、またはTAAAnCCR1レジスタへのライトを行う場合は、INTTAAAnCC0信号の発生後に行ってください。これを守れない場合には、TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TAAAnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-5

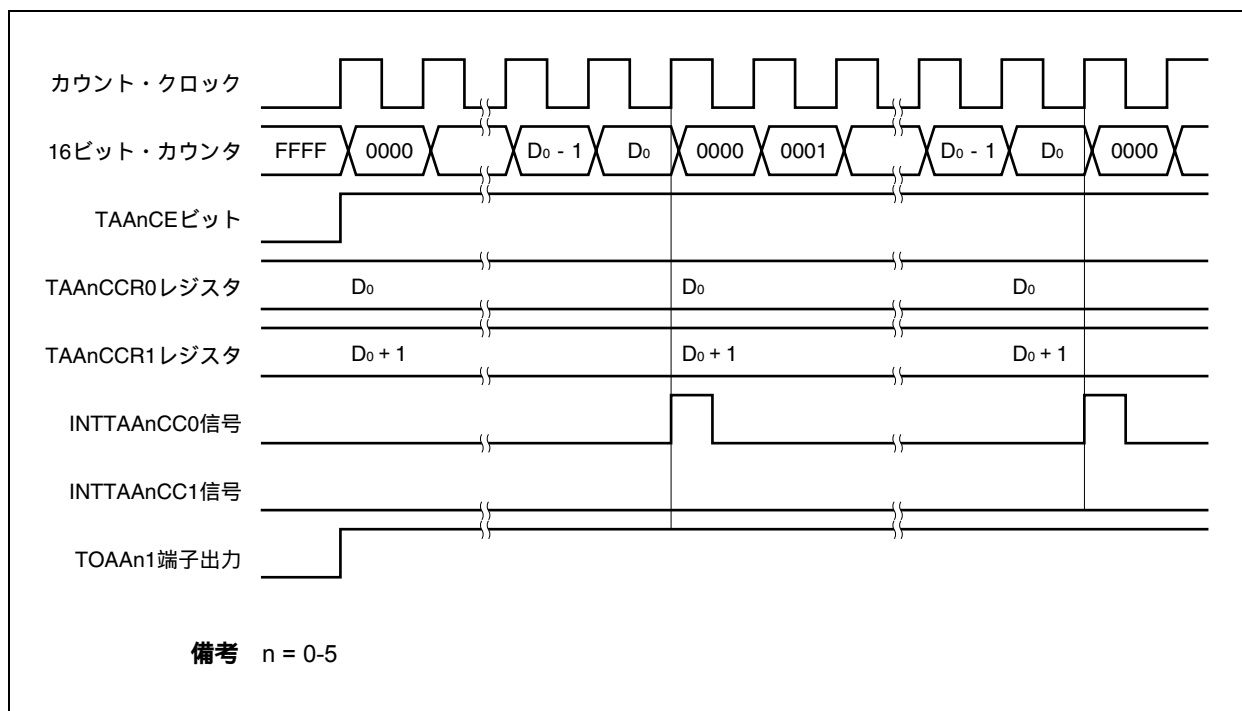
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TAAAnCCR1レジスタに対して0000Hを設定します。ただし、TAAAnCCR0レジスタの設定値がFFFFHの場合には、INTTAAAnCC1信号が定期的が発生します。

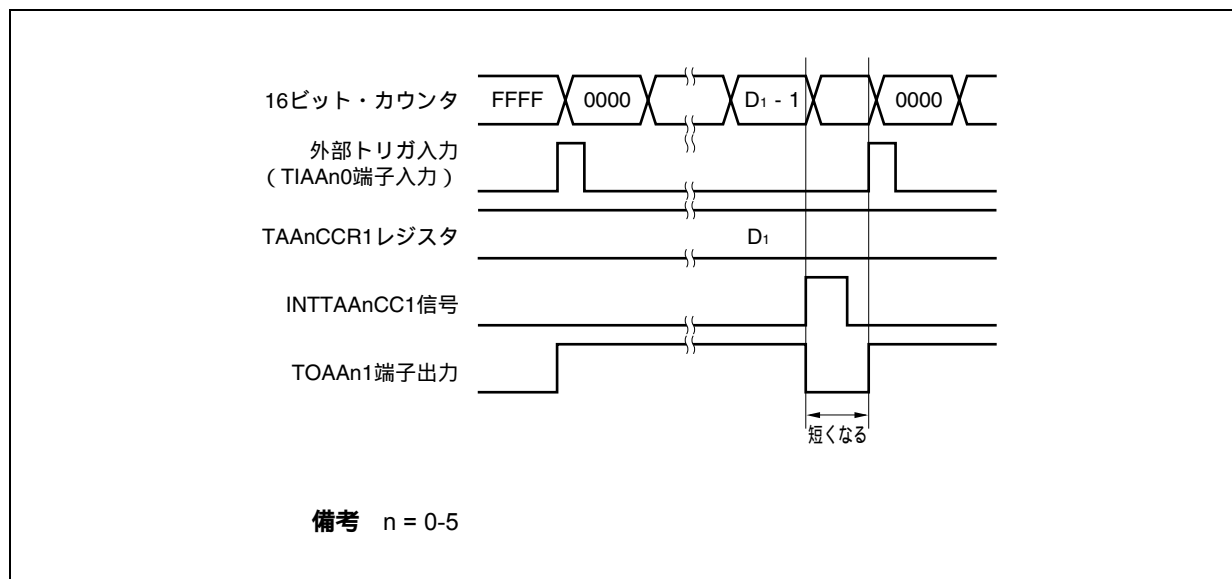


100 % 波形を出力するためには、TAAAnCCR1レジスタに対して (TAAAnCCR0レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。

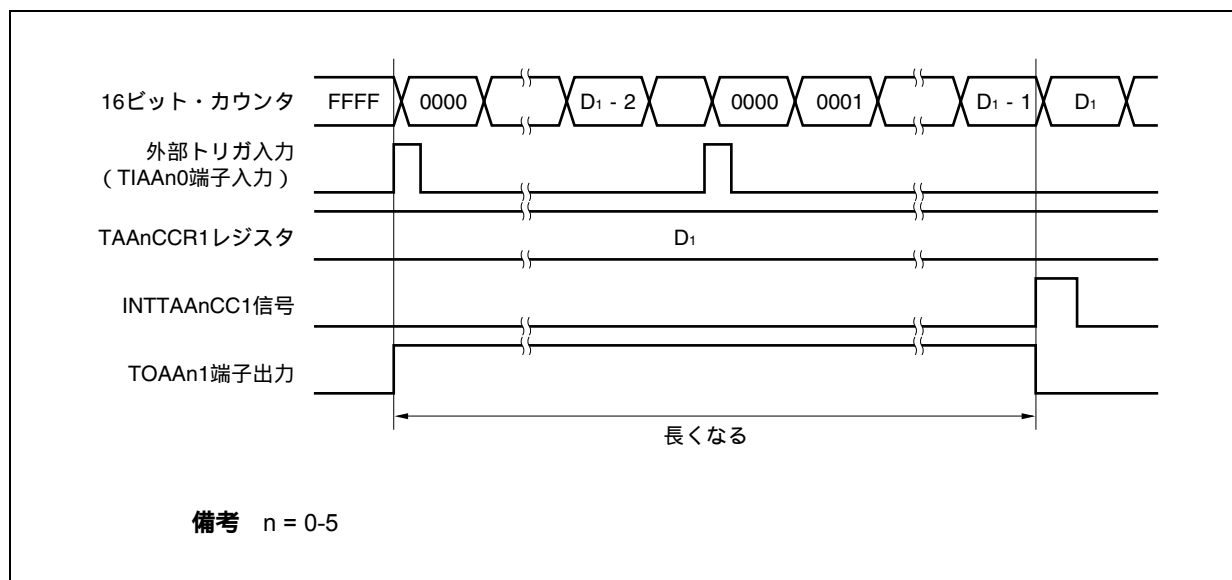


(c) トリガ検出とTAAAnCCR1レジスタとの一致の競合

INTTAAAnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOAAAn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

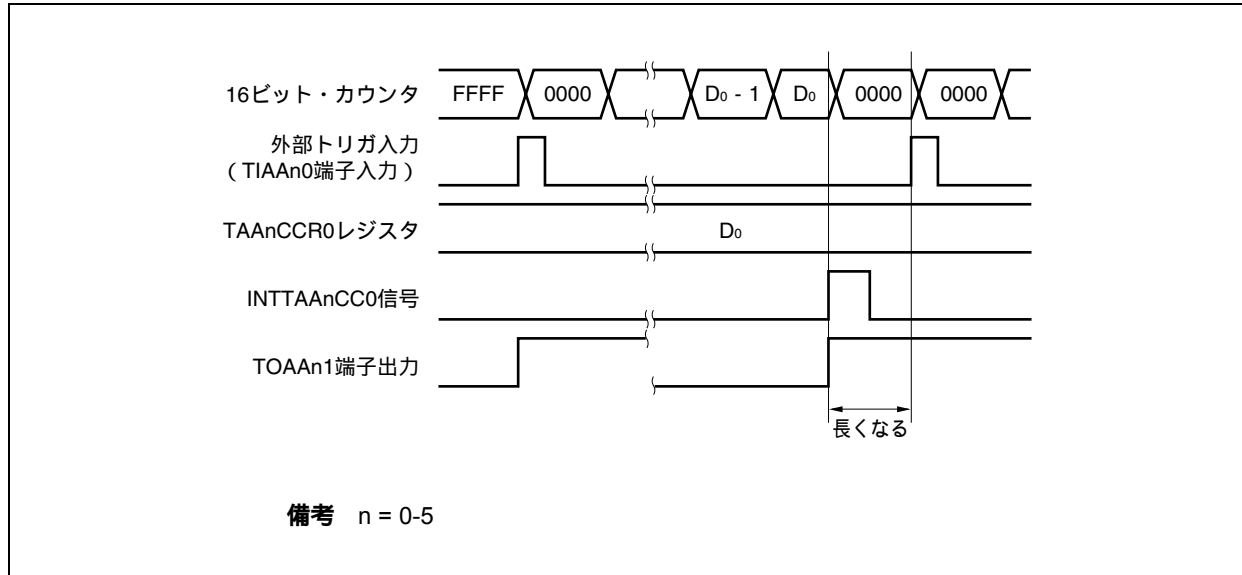


INTTAAAnCC1信号発生直前にトリガを検出した場合には、INTTAAAnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOAAAn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

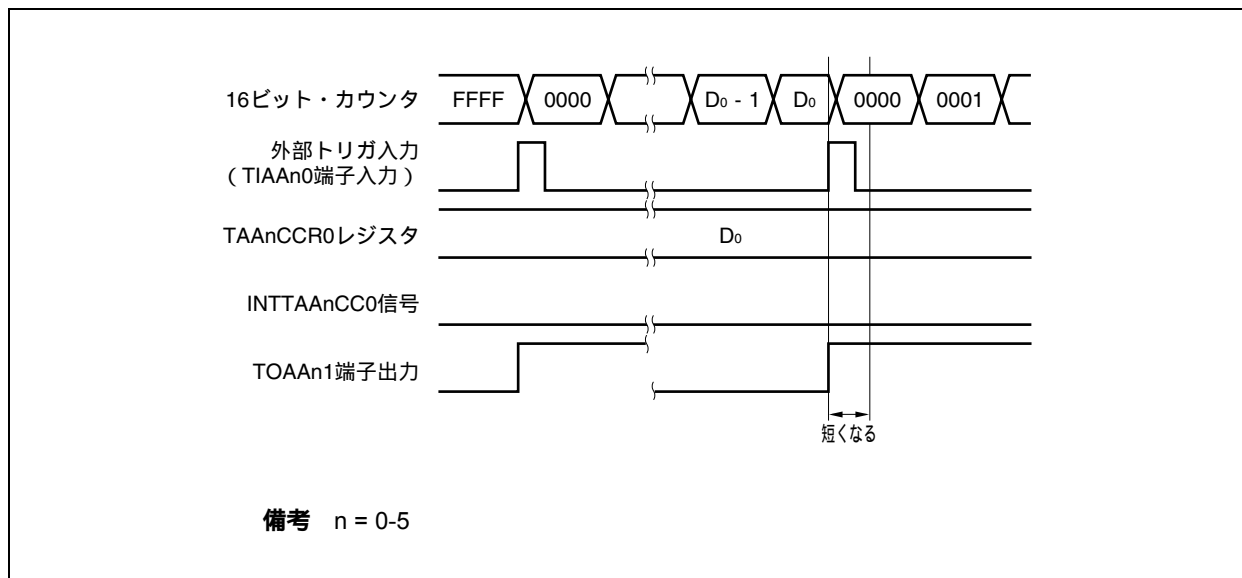


(d) トリガ検出とTAAAnCCR0レジスタとの一致の競合

INTTAAAnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を続けます。したがって、TOAAAn1端子出力のアクティブ期間が、INTTAAAnCC0信号発生からトリガ検出までの分だけ長くなります。

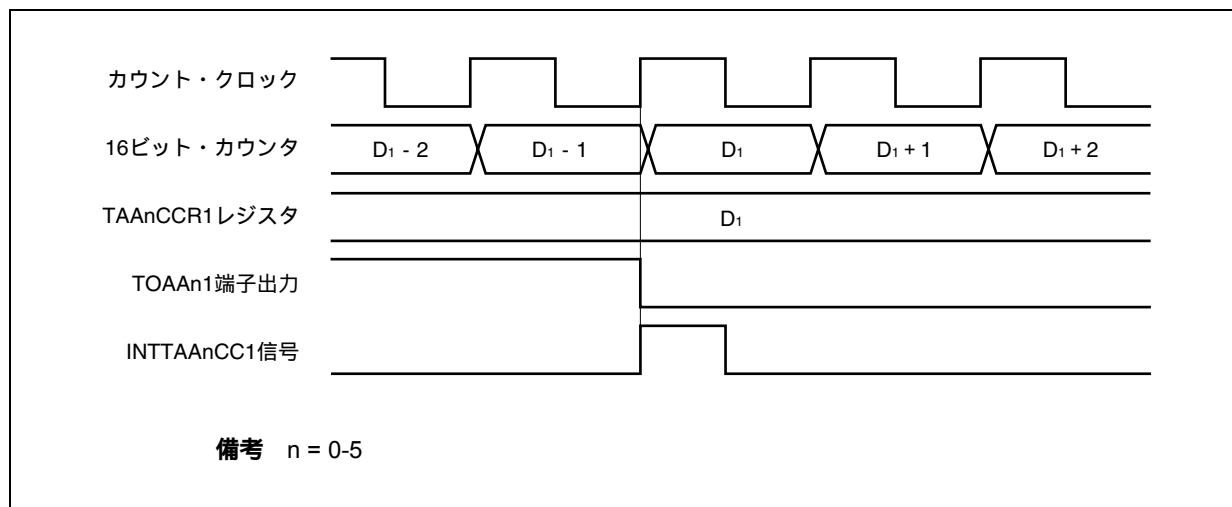


INTTAAAnCC0信号発生直前にトリガを検出した場合、INTTAAAnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOAAAn1端子出力をアクティブ・レベルにして、カウント動作を続けます。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウント値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAAAnCC1信号は、16ビット・カウンタのカウント値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.4 ワンショット・パルス出力モード (TAA_nMD2-TAA_nMD0ビット = 011)

ワンショット・パルス出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOAA_n1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOAA_n0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図7-25 ワンショット・パルス出力モードの構成図

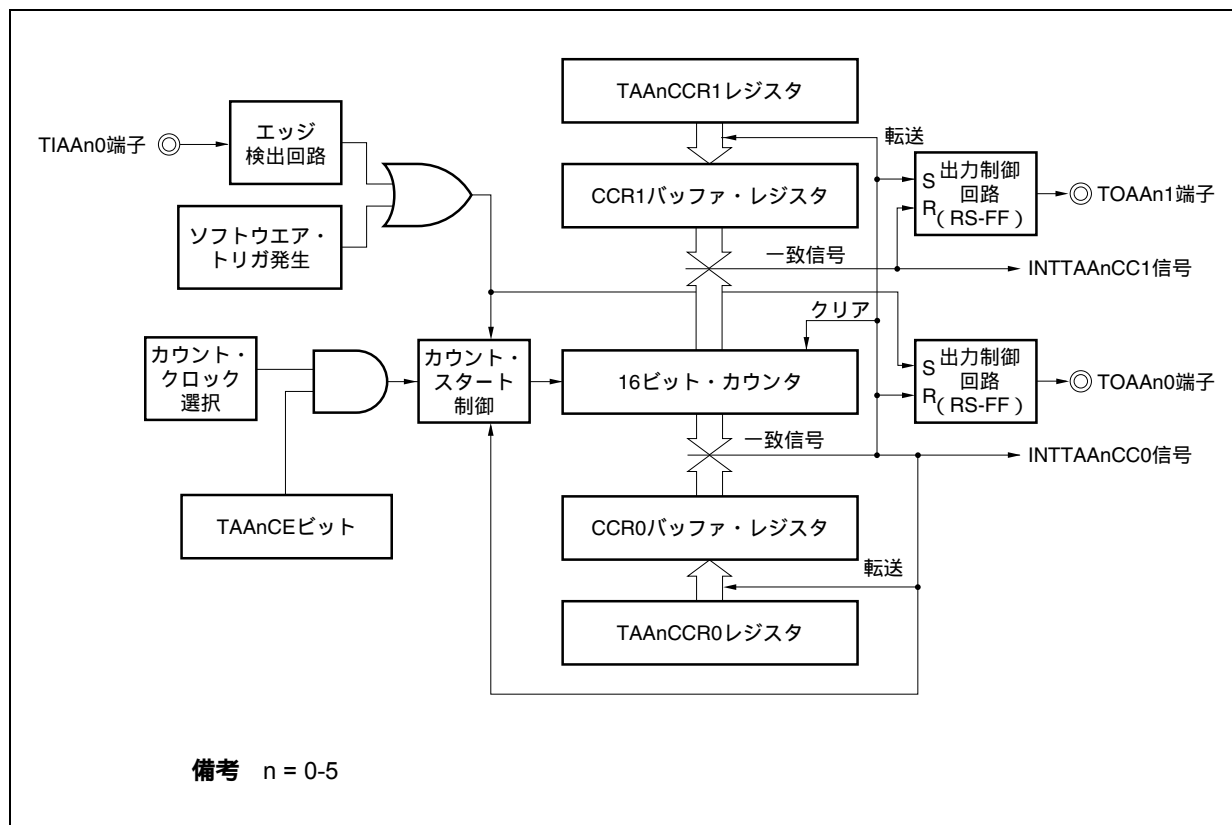
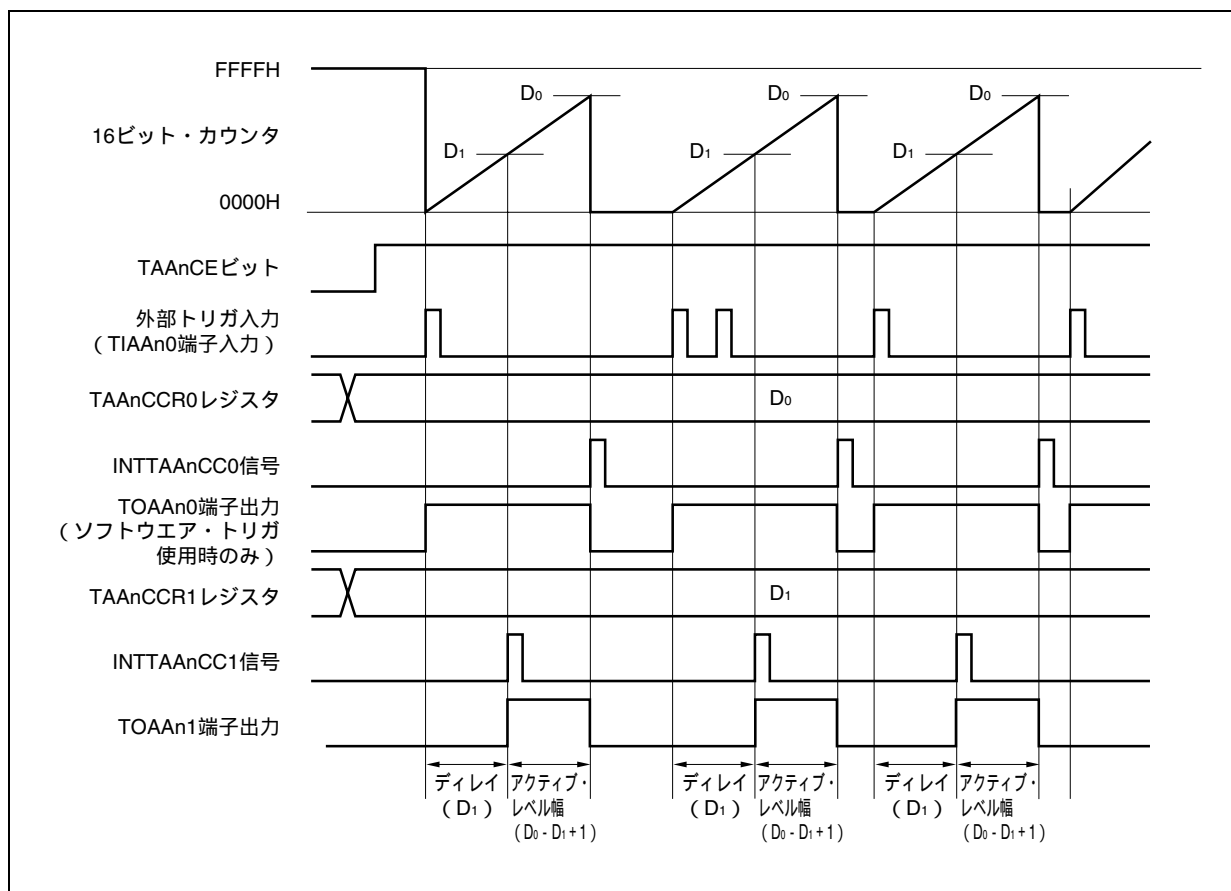


図7-26 ワンショット・パルス出力モードの基本タイミング



TAAAnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAAAn1端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力遅延期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力遅延期間} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR0レジスタの設定値} - \text{TAAAnCCR1レジスタの設定値} + 1) \\ \times \text{カウント・クロック周期}$$

コンパレー一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンパレー一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TAAAnCTL1.TAAAnESTビット) のセット(1)があります。

備考 n = 0-5

図7-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

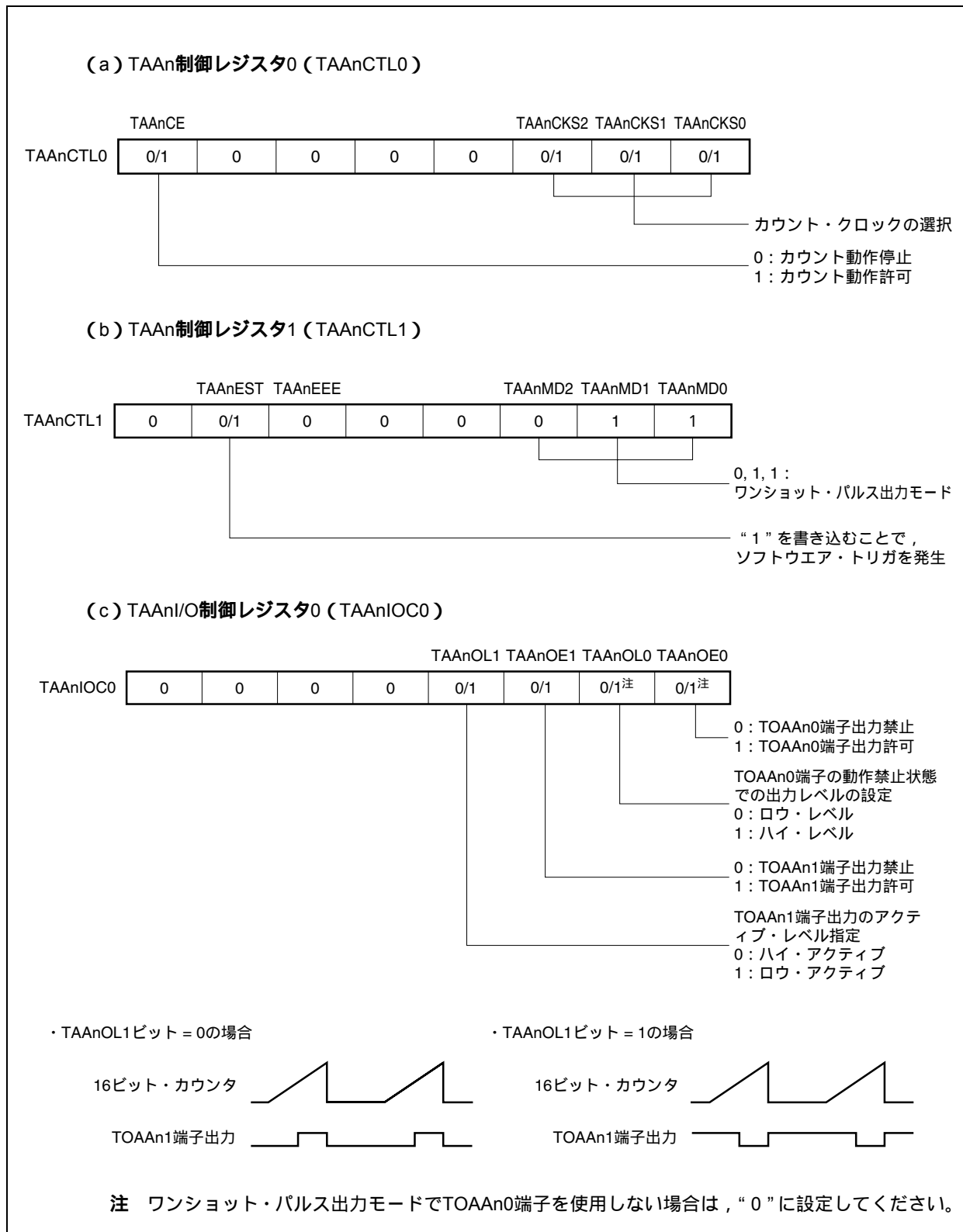
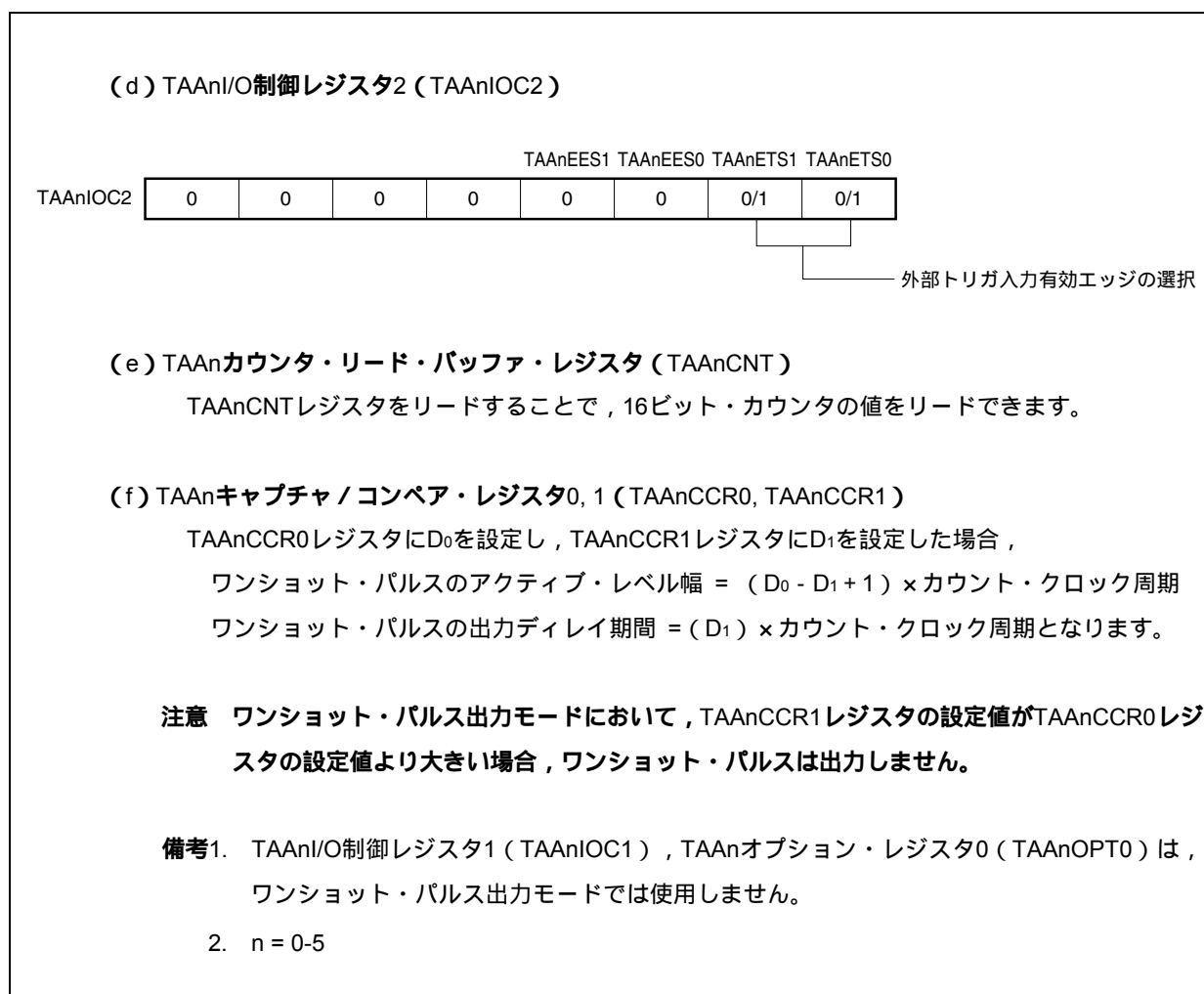
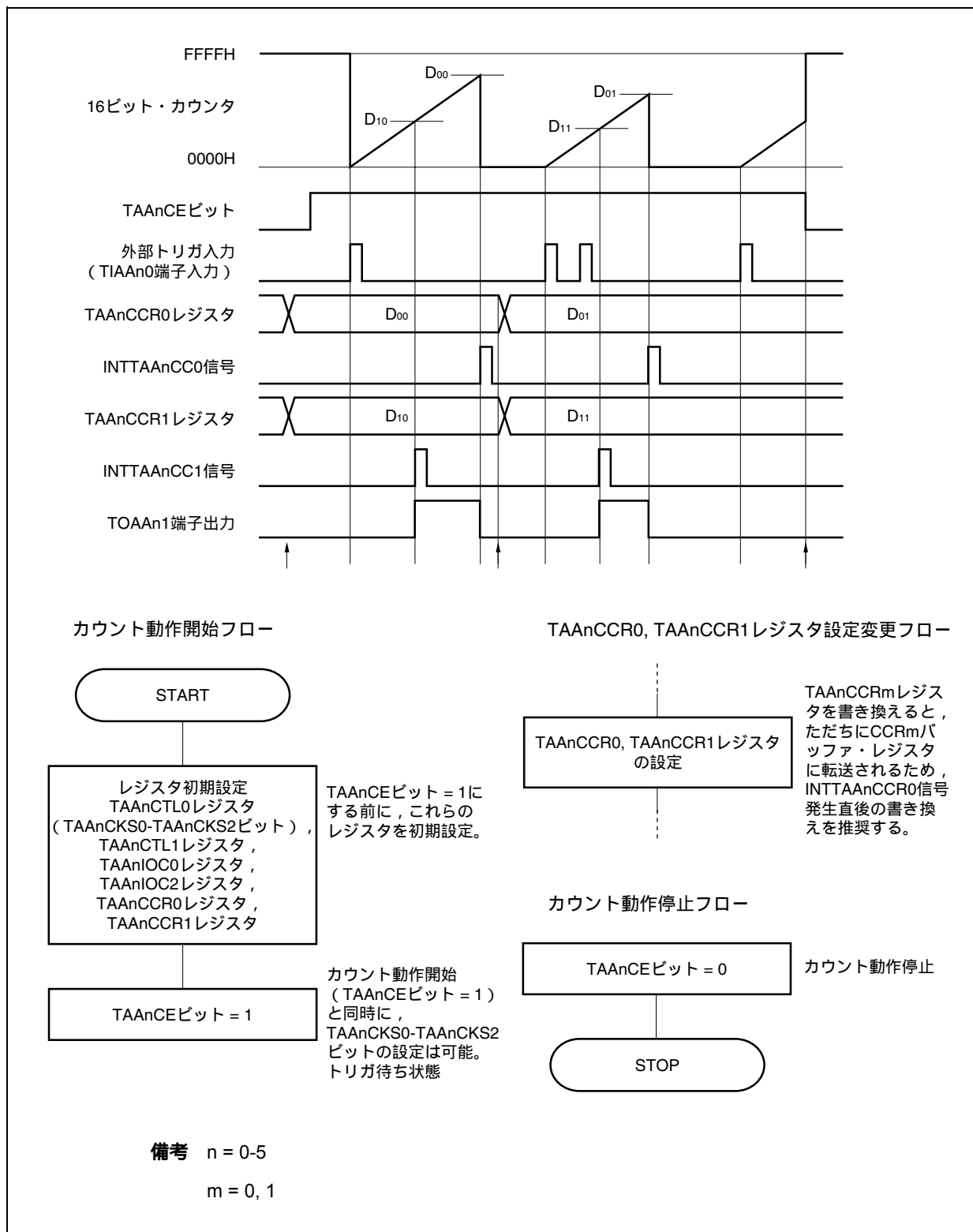


図7-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

図7 - 28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

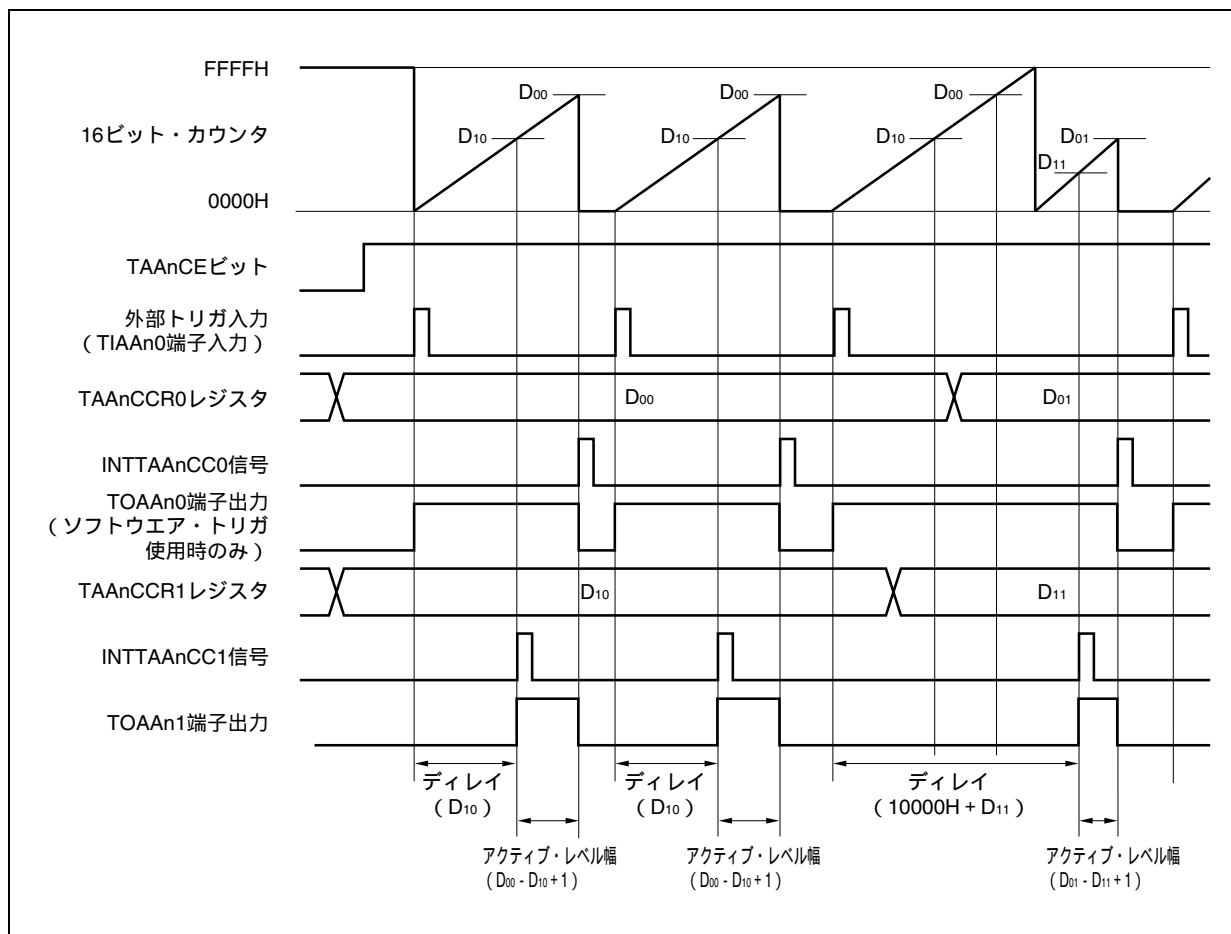


(2) ワンショット・パルス出力モード動作タイミング

(a) TAAAnCCRmレジスタの書き換えに関する注意事項

TAAAnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTAAAnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



TAAAnCCR0レジスタをD00からD01に、TAAAnCCR1レジスタをD10からD11に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態では、16ビット・カウンタのカウント値がD11よりも大きくD10よりも小さい状態のときTAAAnCCR1レジスタを書き換え、カウント値がD01よりも大きくD00よりも小さい状態でTAAAnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D11との一致でINTTAAAnCC1信号を発生してTOAAn1端子出力をアクティブ・レベルにし、D01との一致でINTTAAAnCC0信号を発生してTOAAn1端子出力をインアクティブにしてカウント動作を停止します。

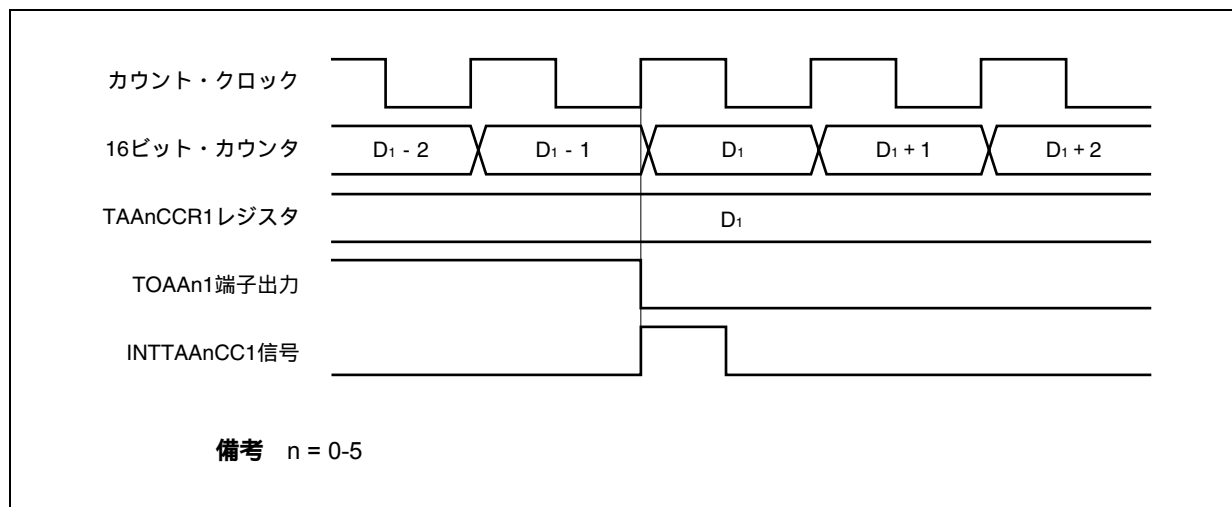
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 $n = 0-5$

$m = 0, 1$

(b) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAAAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.5 PWM出力モード (TAA_nMD2-TAA_nMD0ビット = 100)

PWM出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、TOA_n1端子からPWM波形を出力します。

また、TOA_n0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図7-29 PWM出力モードの構成図

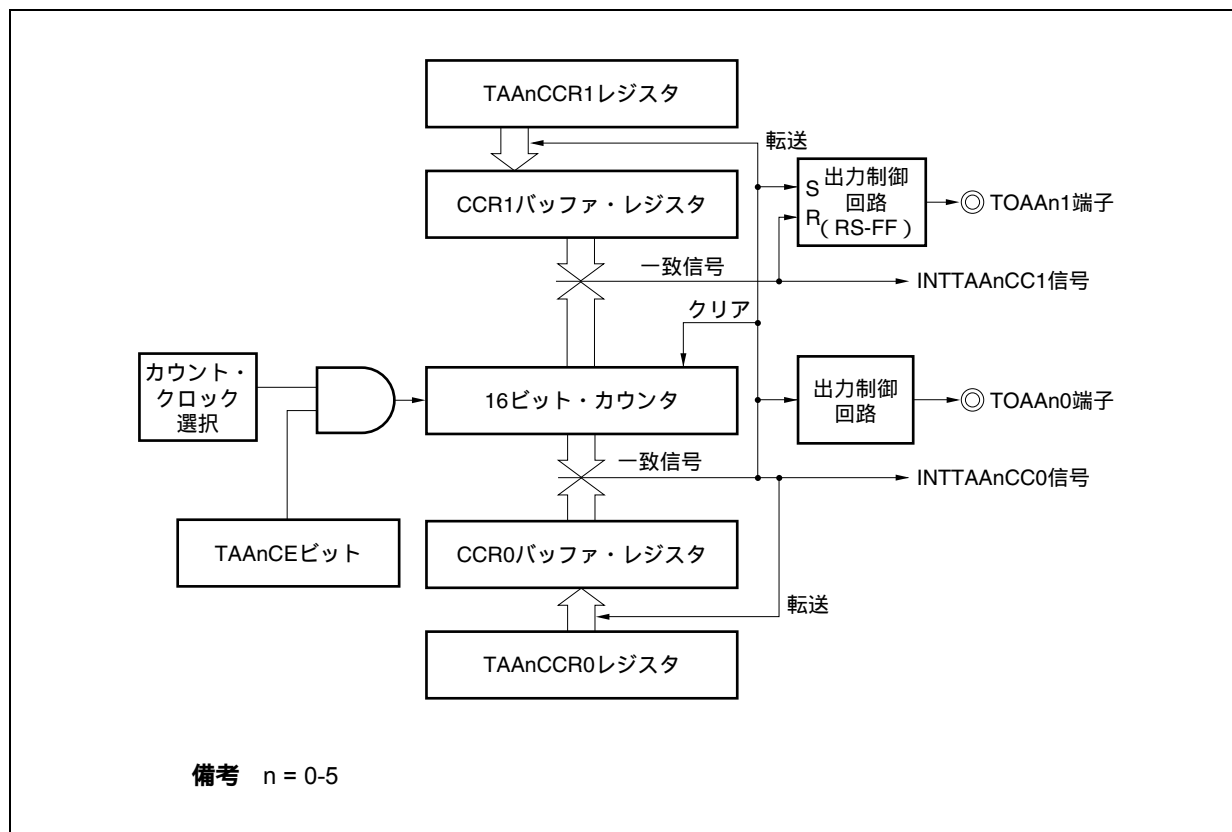
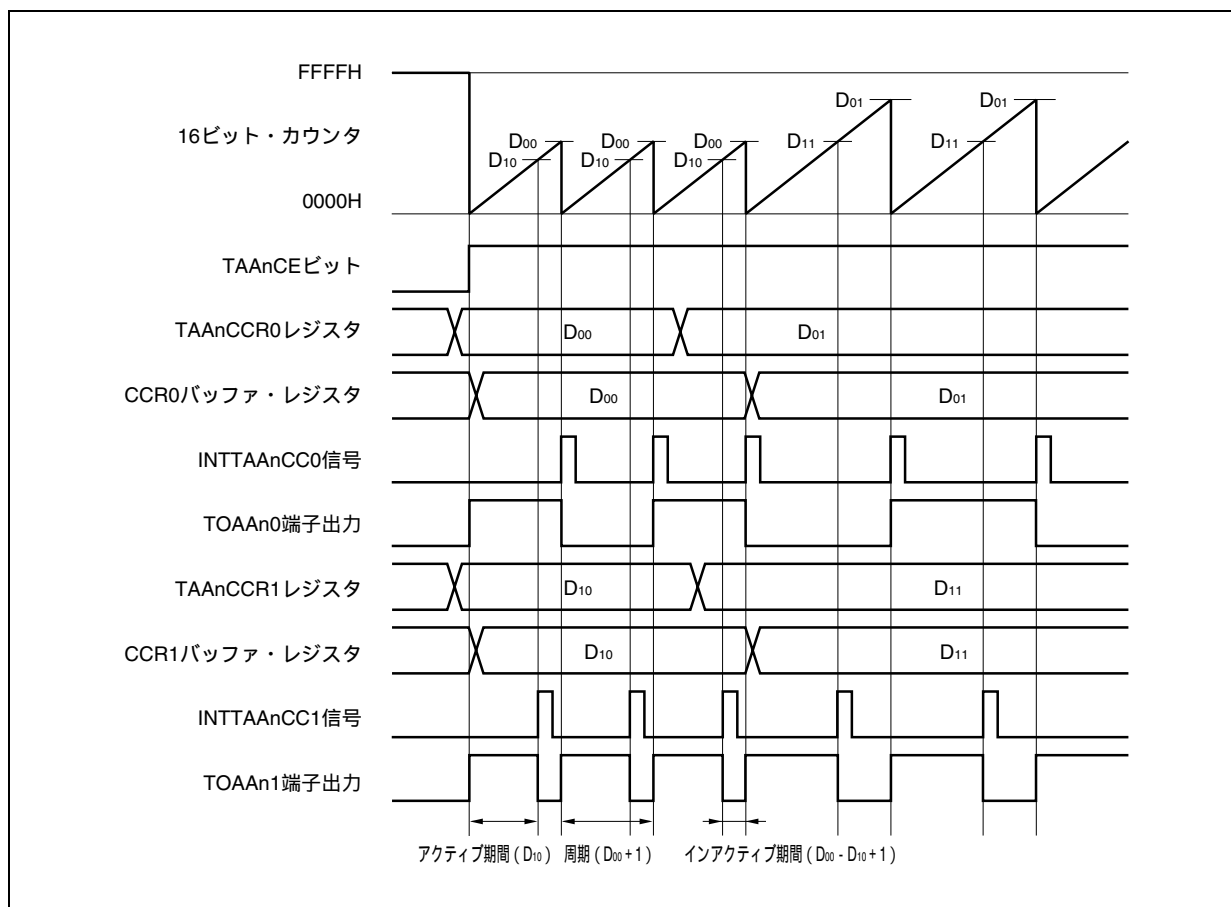


図7-30 PWM出力モードの基本タイミング



TAAAnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOAAAn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TAAAnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TAAAnCCR1レジスタの設定値}) / (\text{TAAAnCCR0レジスタの設定値} + 1)$$

動作中にTAAAnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

備考 n = 0-5

m = 0, 1

図7-31 PWM出力モード動作時のレジスタ設定内容 (1/2)

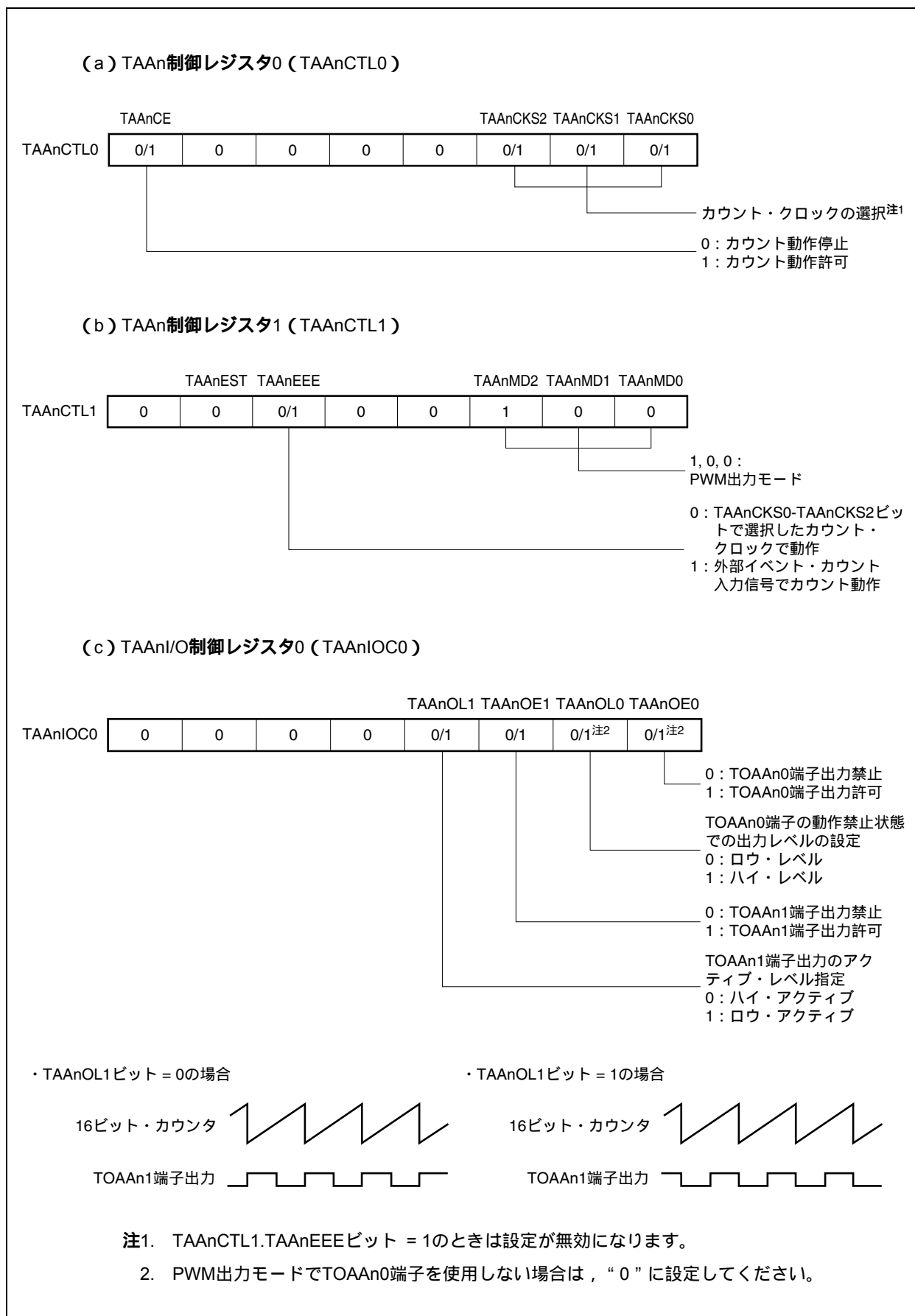
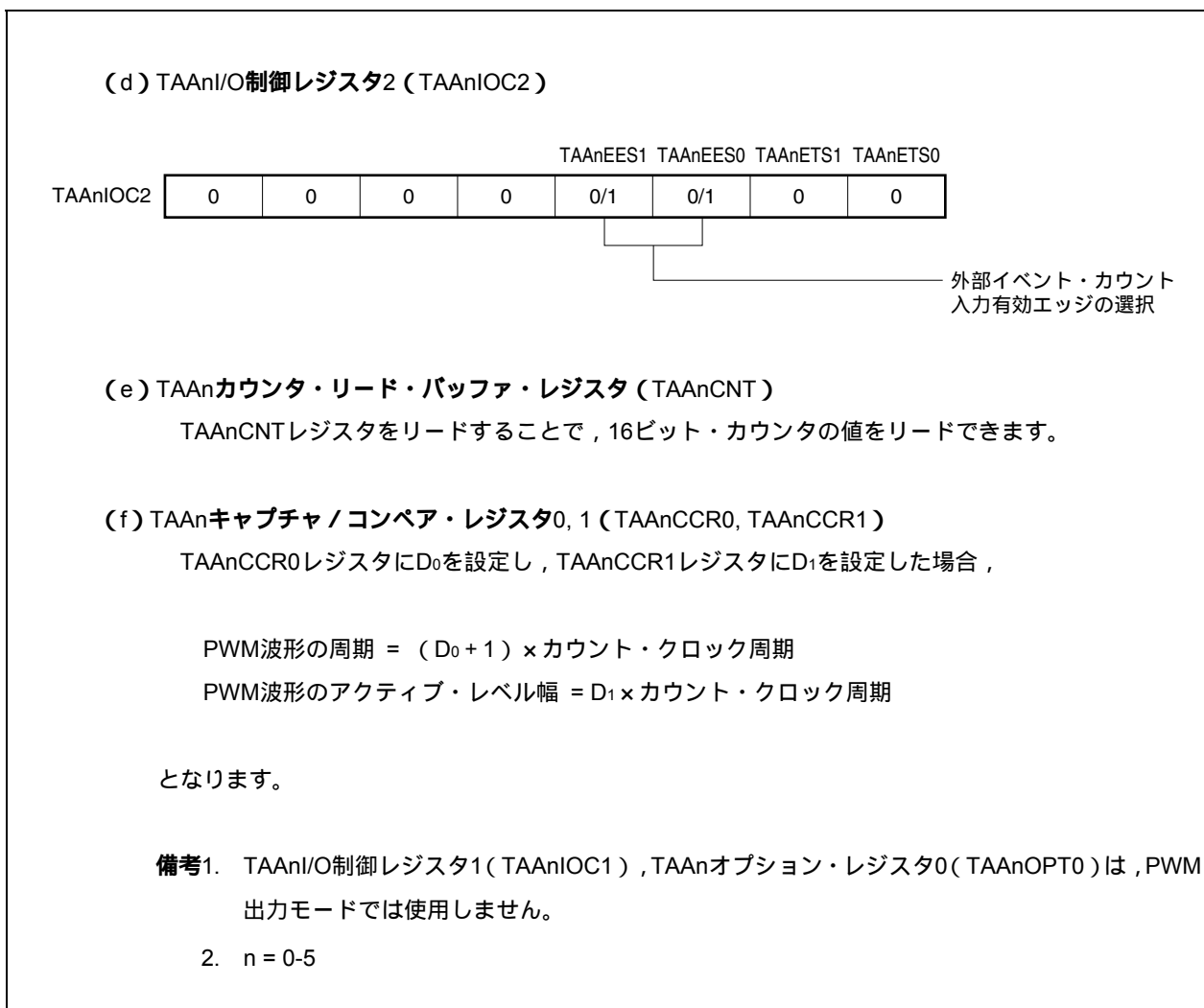


図7 - 31 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図7 - 32 PWM出力モード使用時のソフトウェア処理フロー (1/2)

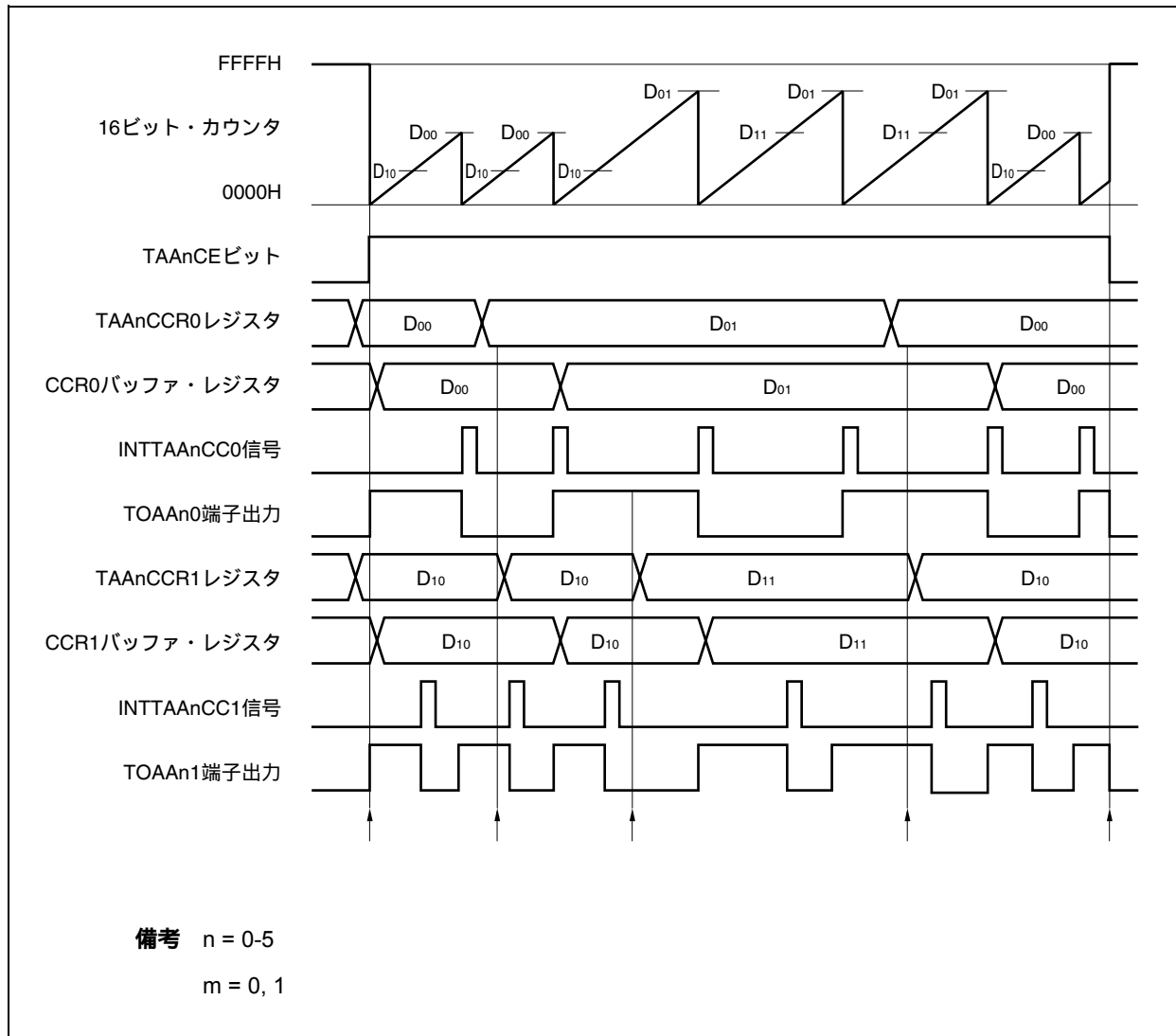
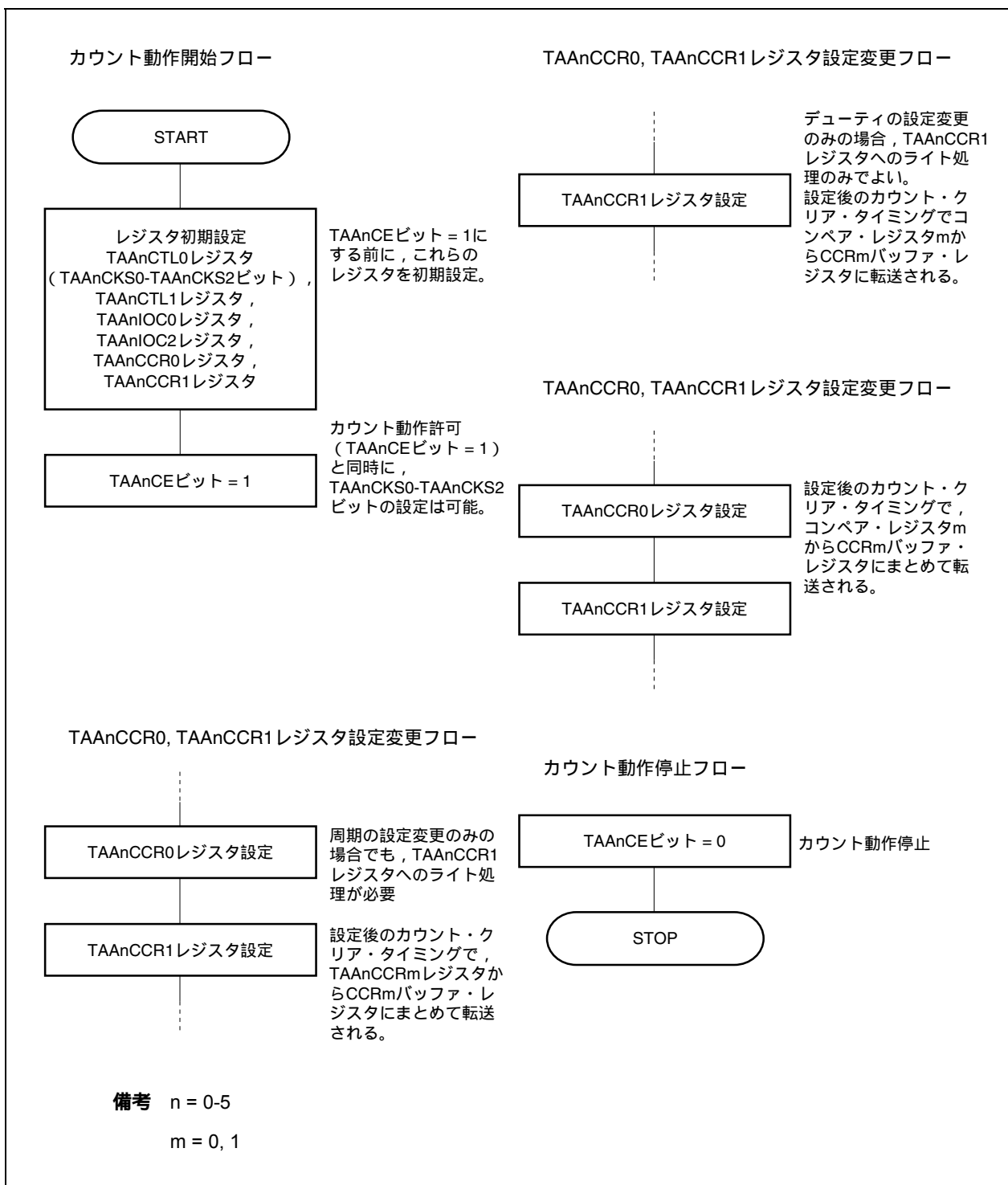


図7 - 32 PWM出力モード使用時のソフトウェア処理フロー (2/2)

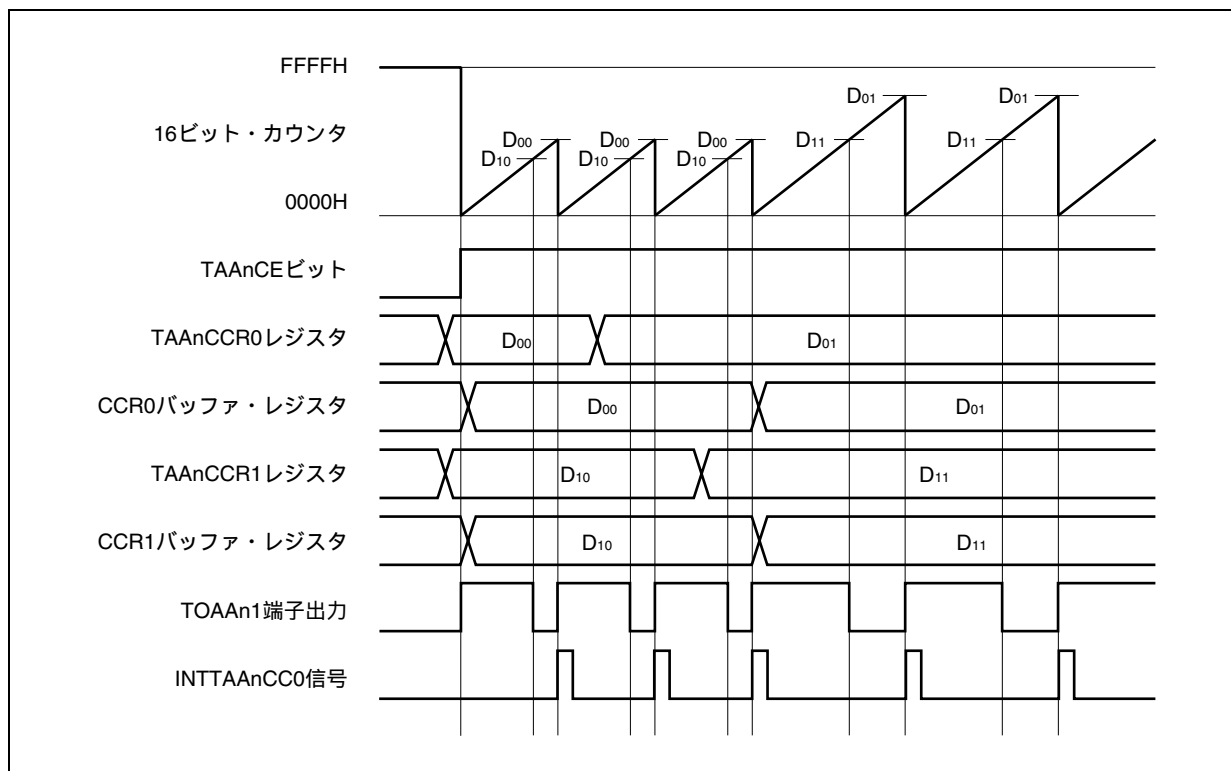


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTAAAnCCR1レジスタにライトしてください。

TAAAnCCR1レジスタにライト後、再度TAAAnCCRmレジスタの書き換えを行う場合には、INTTAAAnCC0信号を検出後に書き換えてください。



TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1レジスタのみの設定でかまいません。

TAAAnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

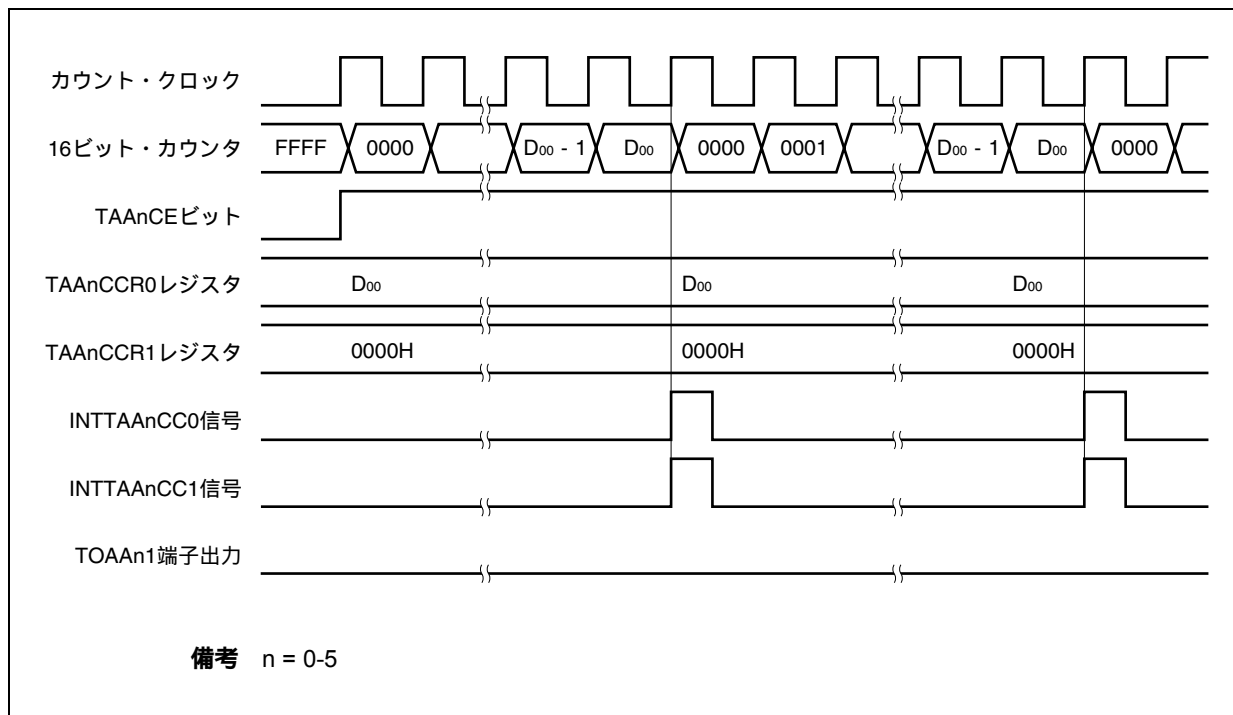
また、一度TAAAnCCR1レジスタにライトしたあとで、再度TAAAnCCR0、またはTAAAnCCR1レジスタへのライトを行う場合は、INTTAAAnCC0信号の発生後に行ってください。これを守れない場合には、TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TAAAnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-5

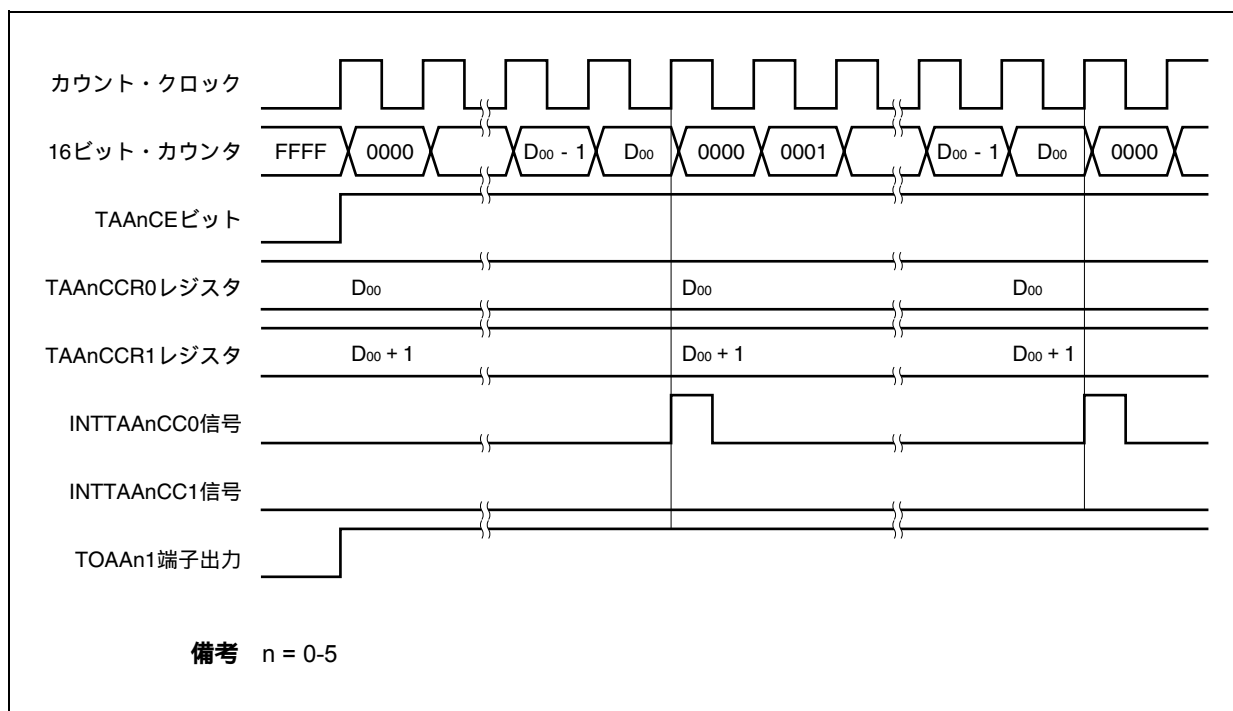
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TAAAnCCR1レジスタに対して0000Hを設定します。ただし, TAAAnCCR0レジスタの設定値がFFFFHの場合には, INTTAAAnCC1信号が定期的が発生します。

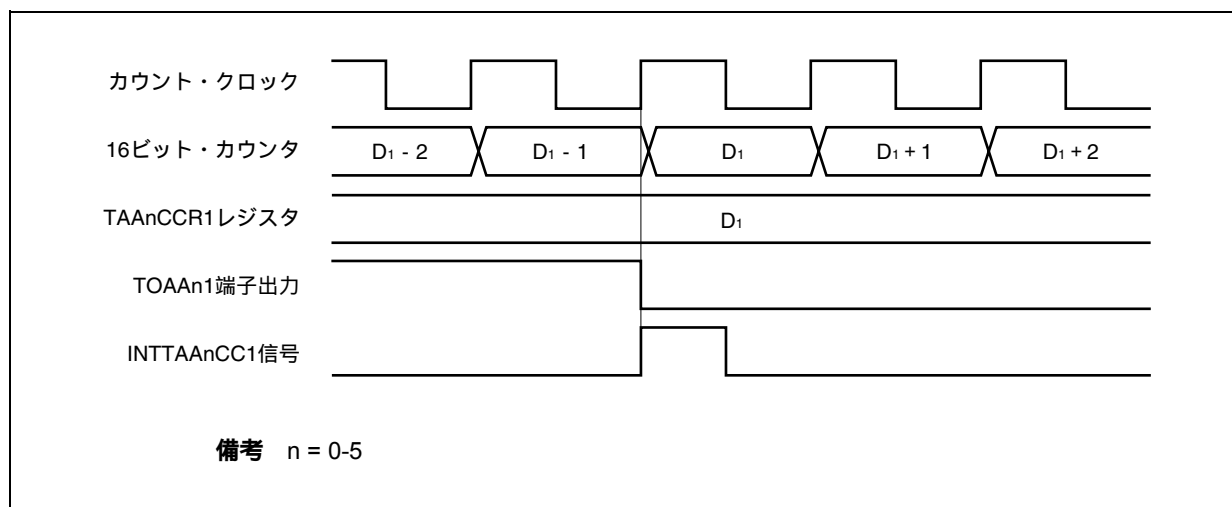


100 % 波形を出力するためには, TAAAnCCR1レジスタに対して (TAAAnCCR0レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

PWM出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



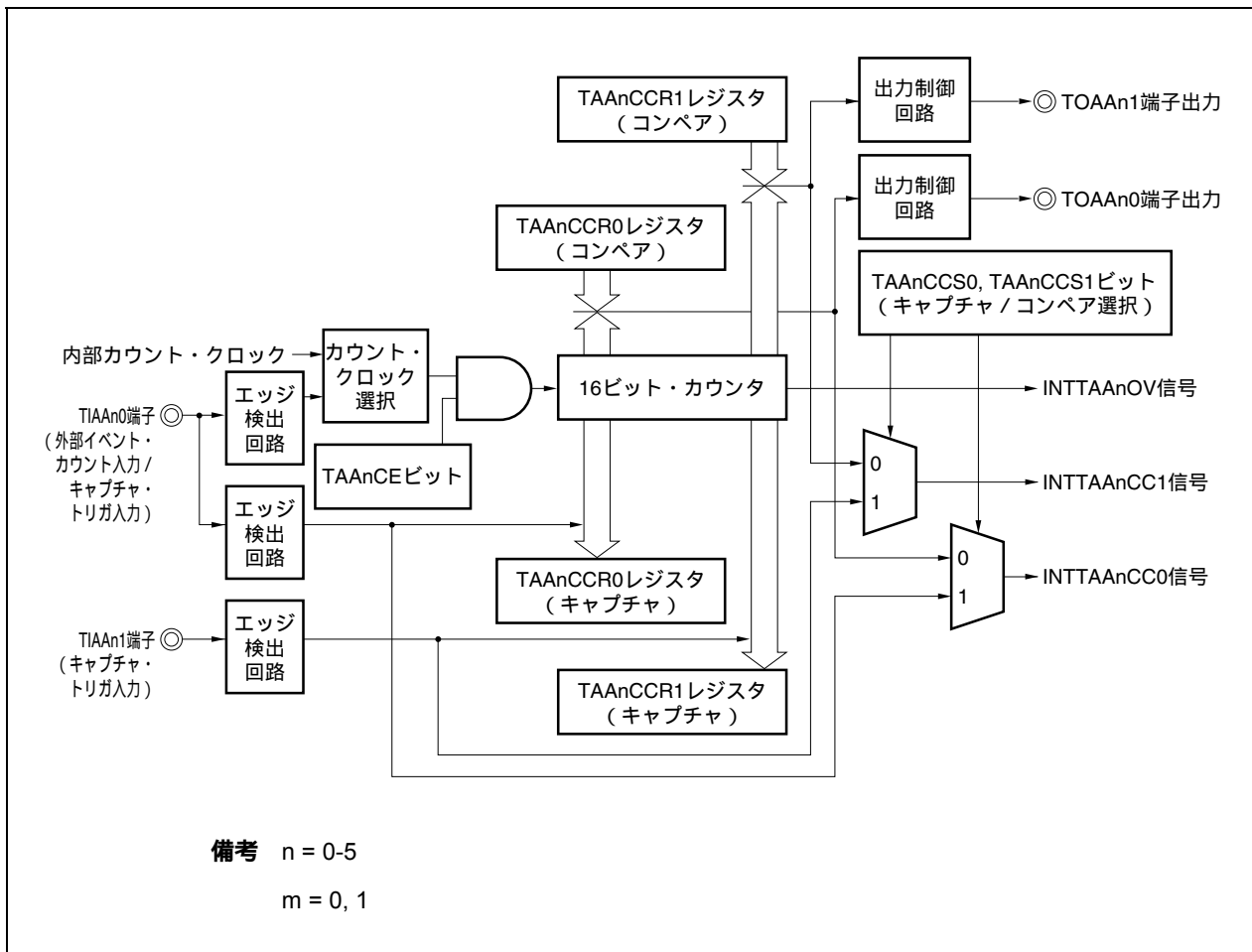
通常、INTTAAAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.6 フリー・ランニング・タイマ・モード (TAA_nMD2-TAA_nMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでカウント動作を開始します。このときのTAA_nCCR_mレジスタの動作は、TAA_nOPT0.TAA_nCCS0, TAA_nCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-33 フリー・ランニング・タイマ・モードの構成図

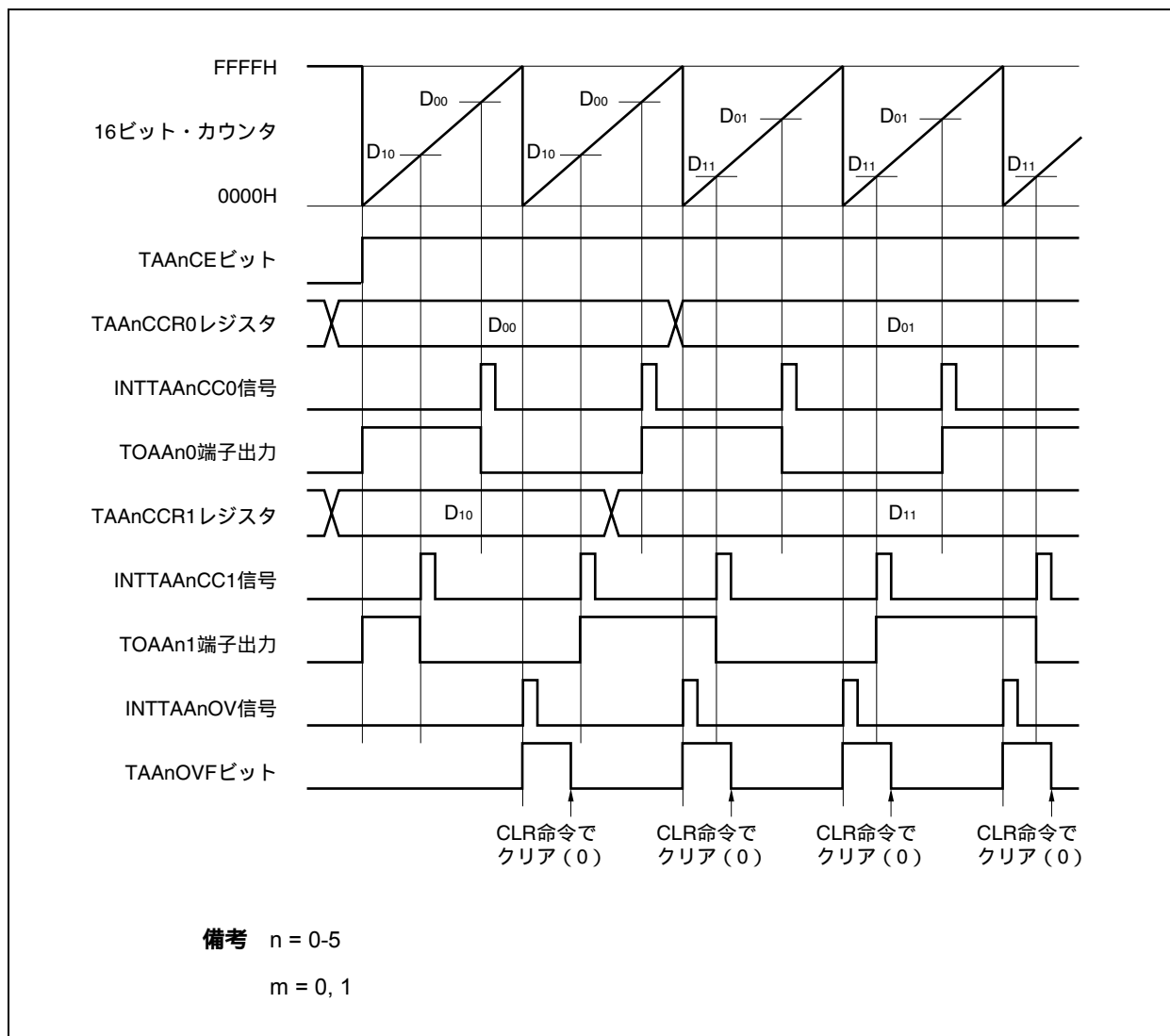


TAA_nCEビットをセット(1)することで、カウント動作を開始し、TOAA_n0, TOAA_n1端子出力を反転します。その後、16ビット・カウンタのカウント値とTAA_nC_{CR}_mレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTAA_nCC_m) を発生し、TOAA_n_m端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTAA_nOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TAA_nOPT0.TAA_nOVFビット) もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TAA_nC_{CR}_mレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図7-34 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



TAA_nCEビットをセット(1)することで、カウント動作を開始します。その後、TIAAn_m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAA_nCCR_mレジスタに格納し、キャプチャ割り込み要求信号(INTTAA_nCC_m)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTAA_nOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TAA_nOPT0.TAA_nOVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-35 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

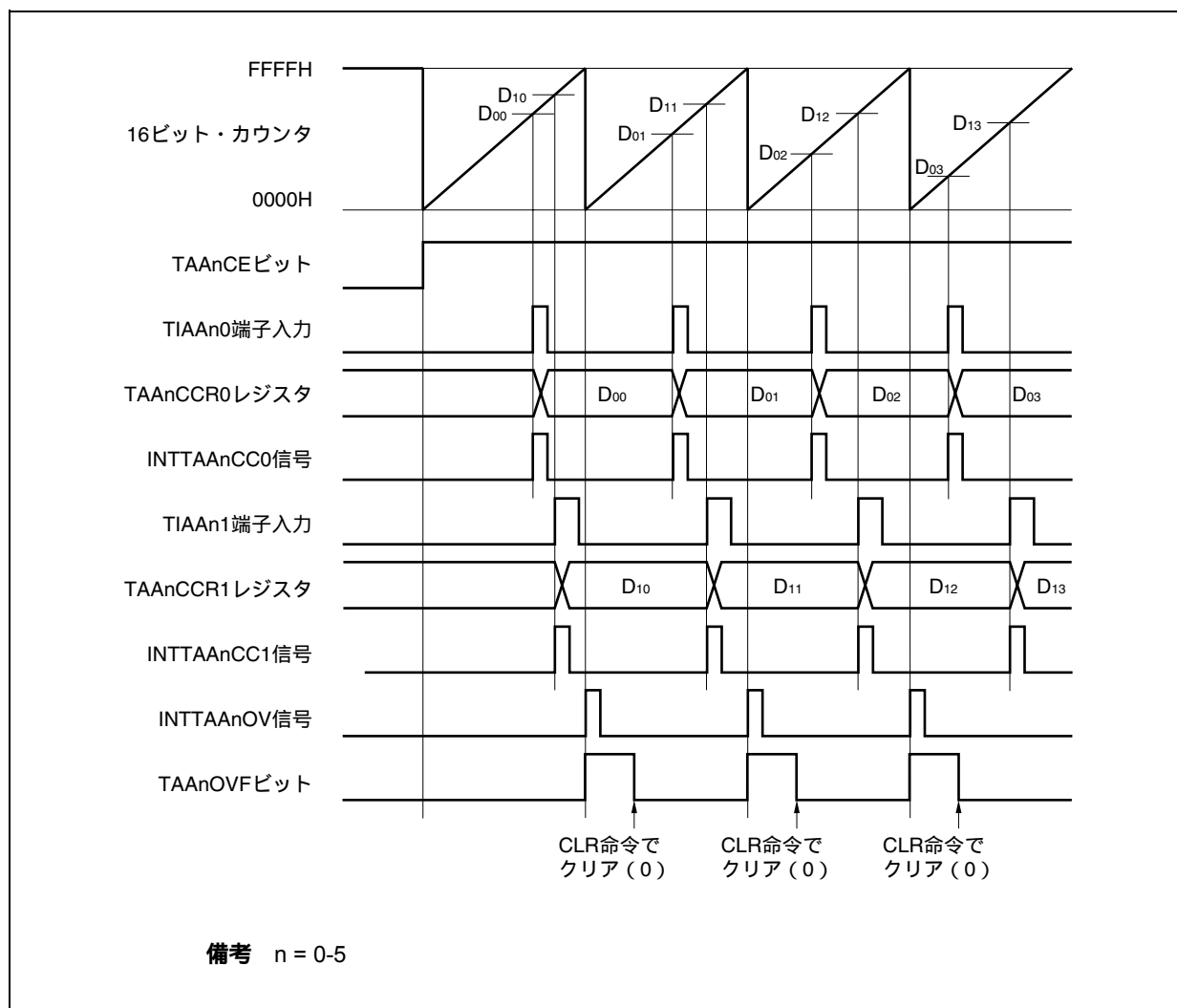


図7-36 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

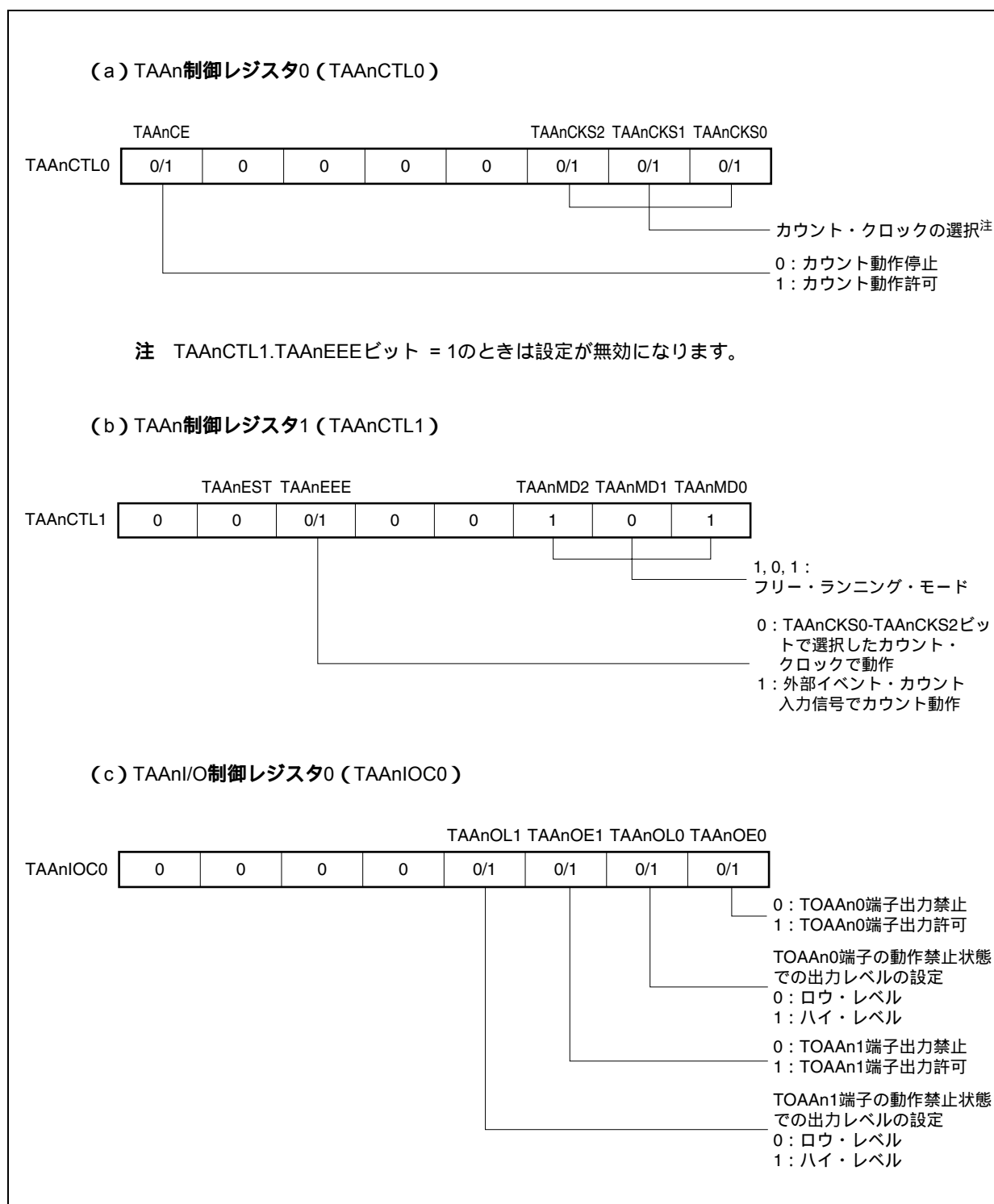
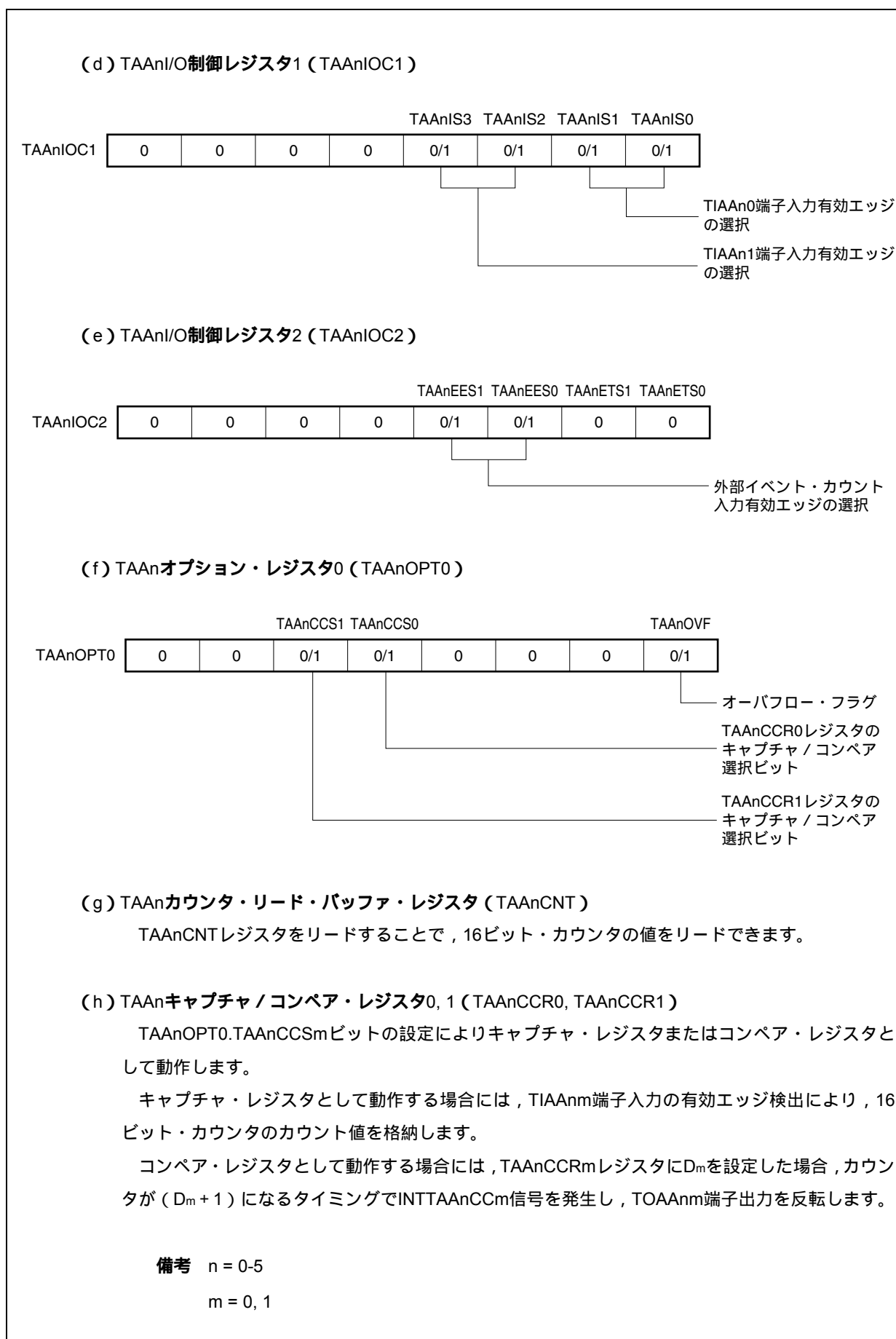


図7-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)



(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

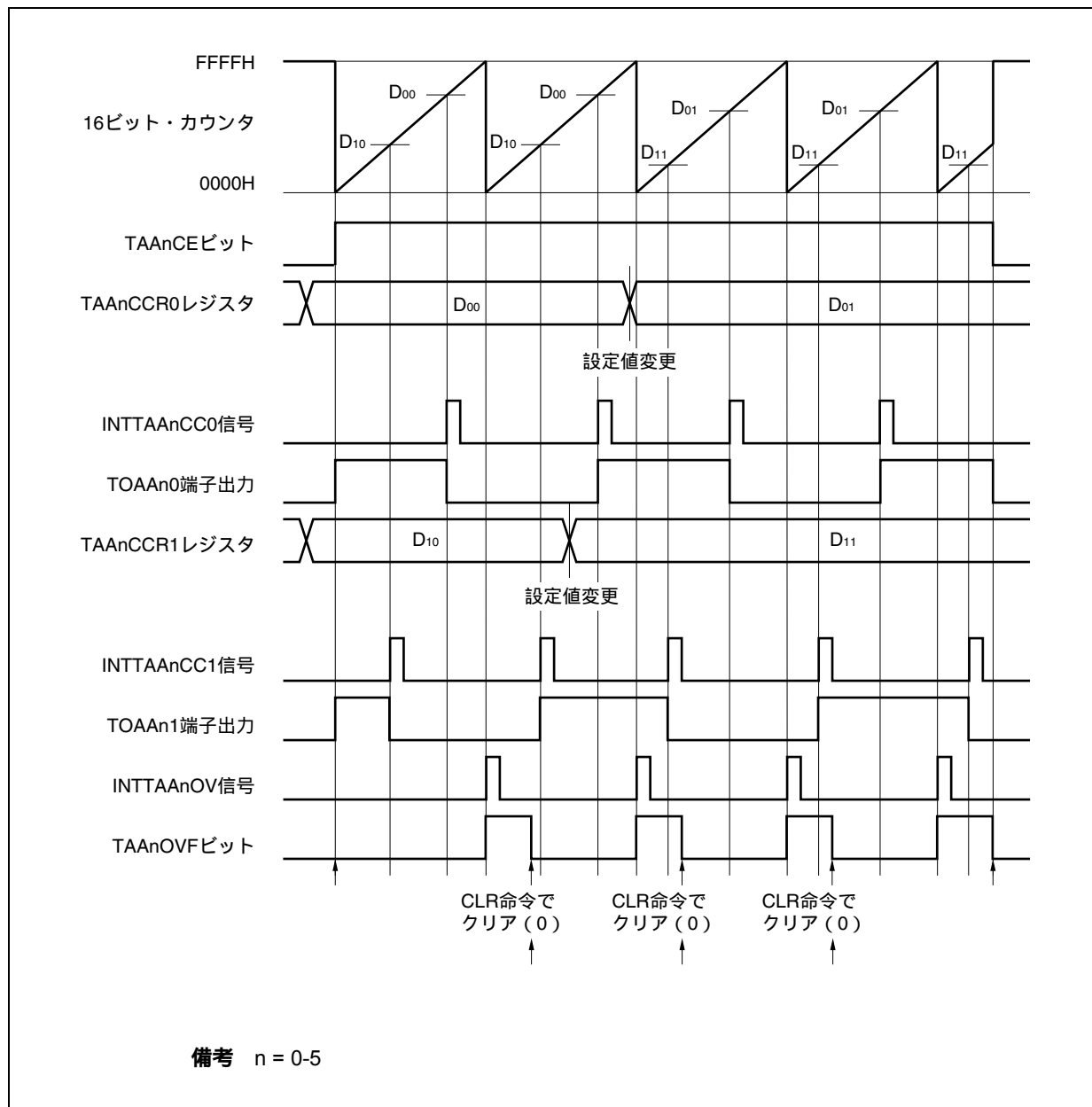
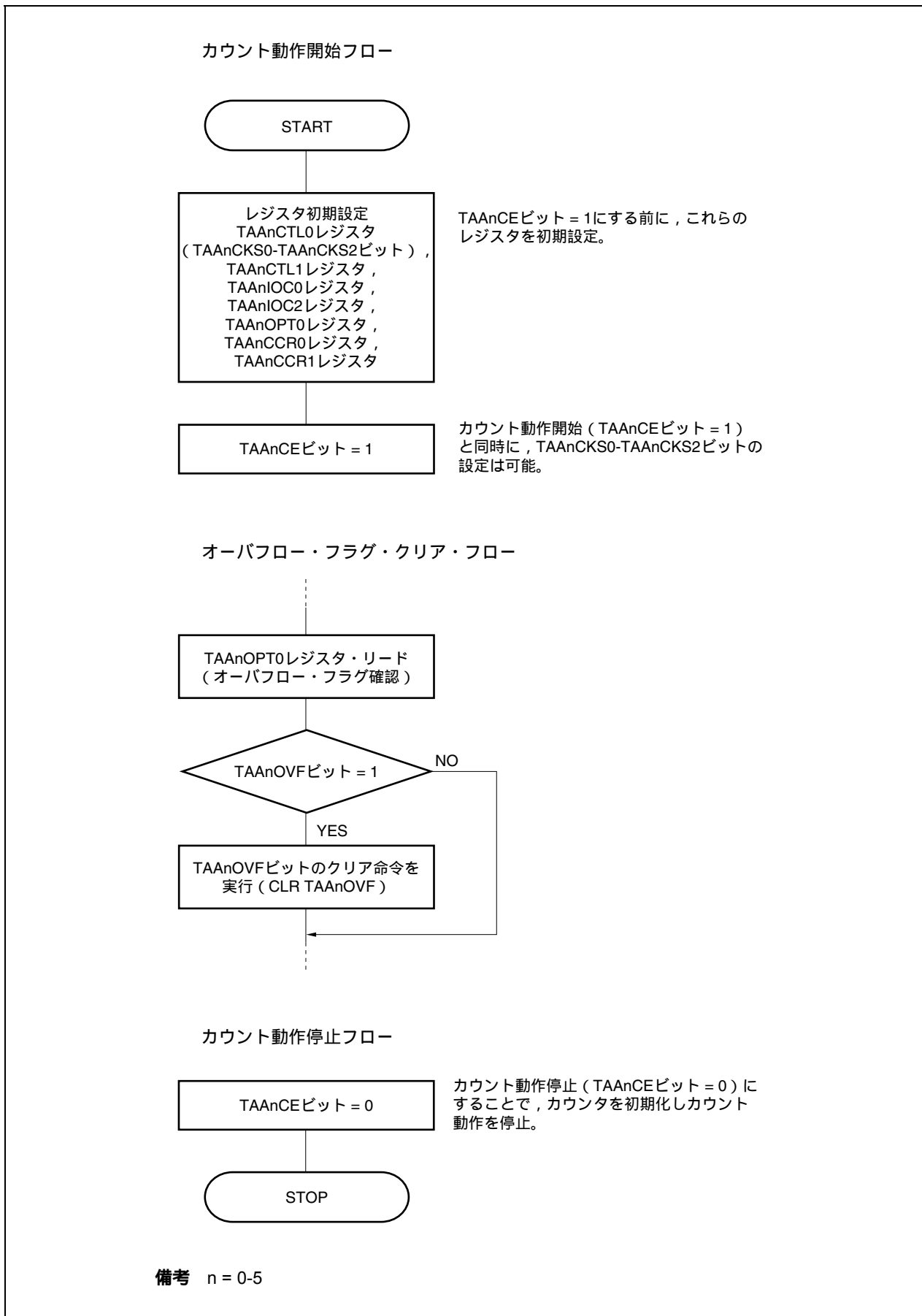


図7-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

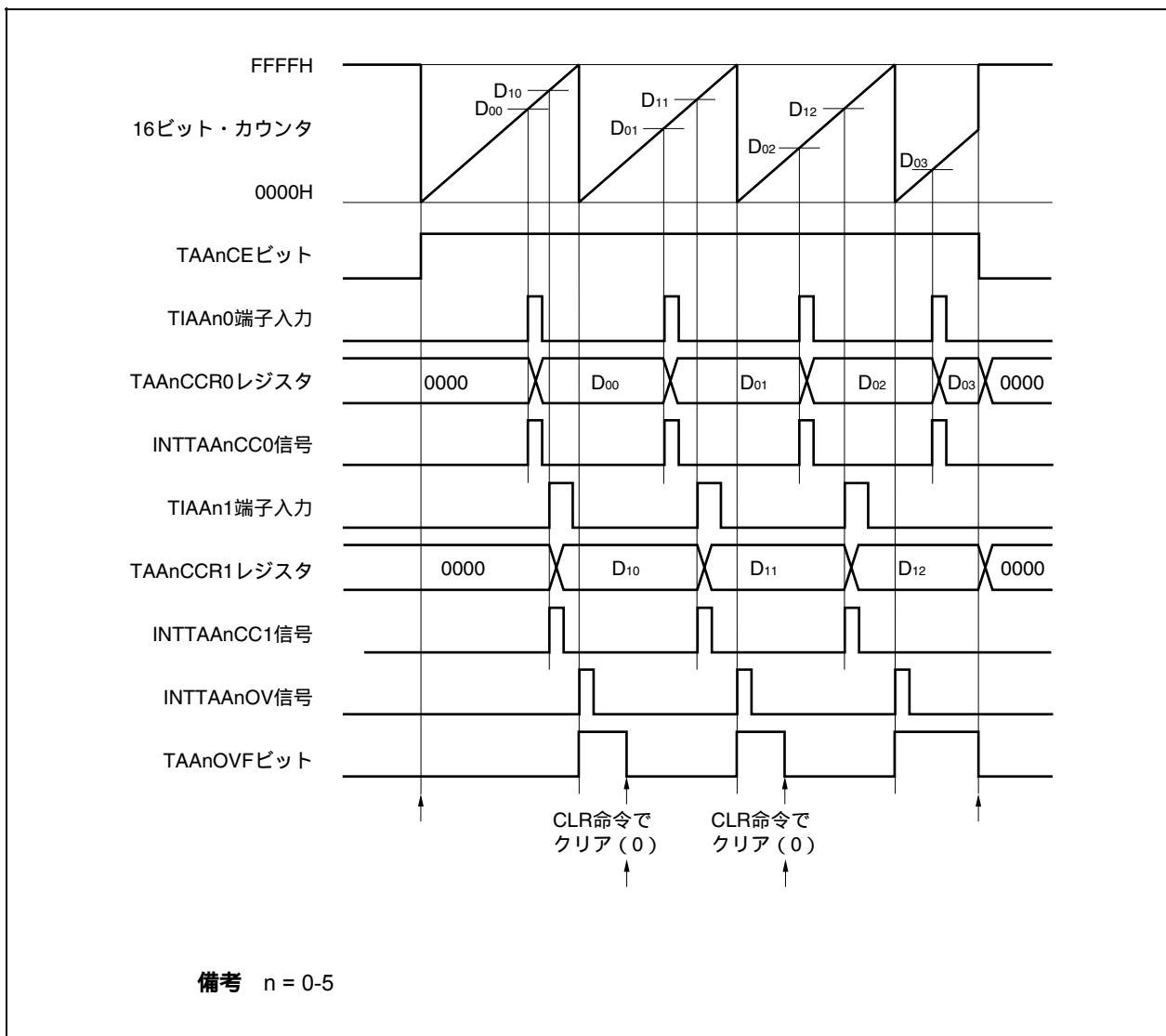
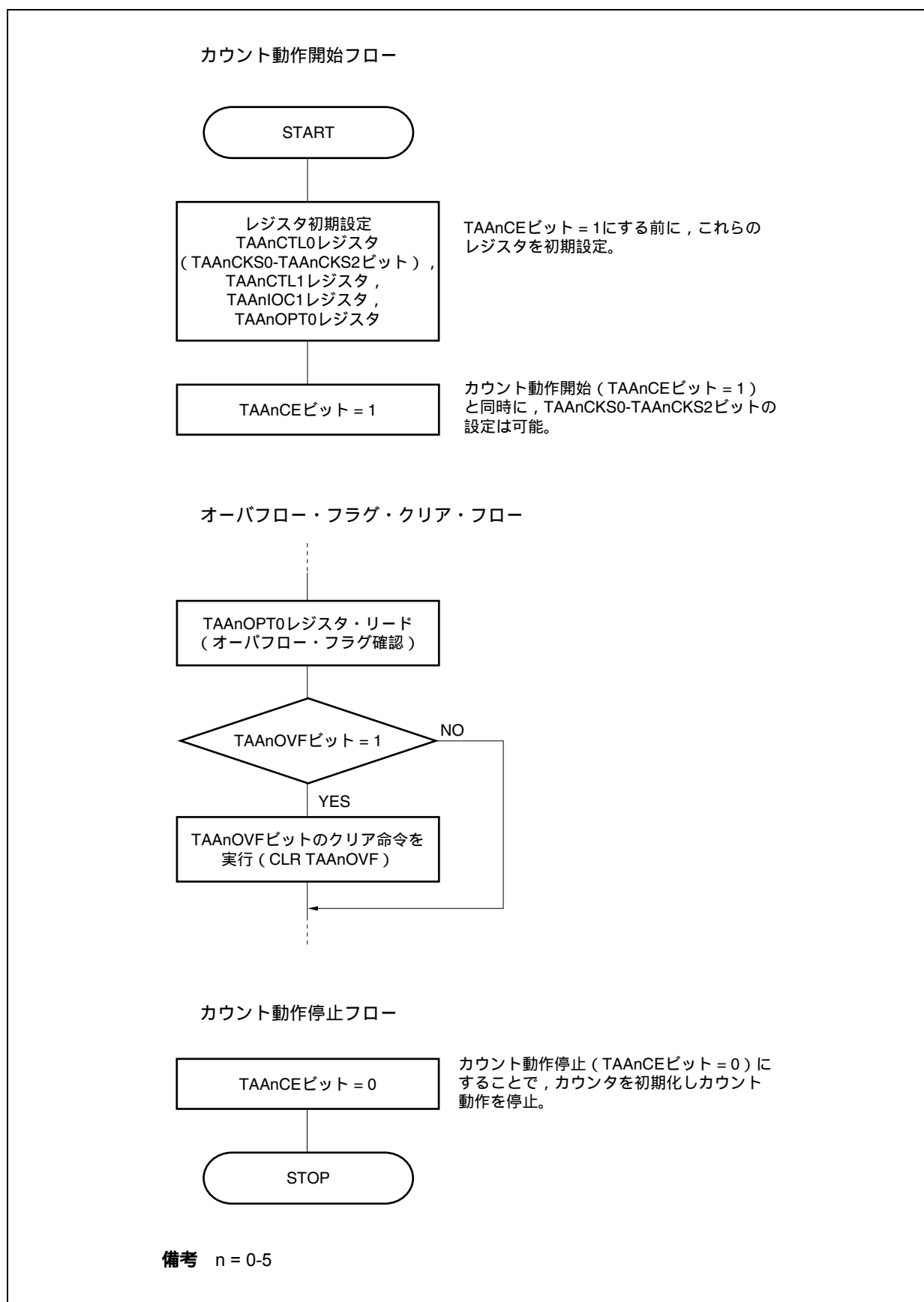


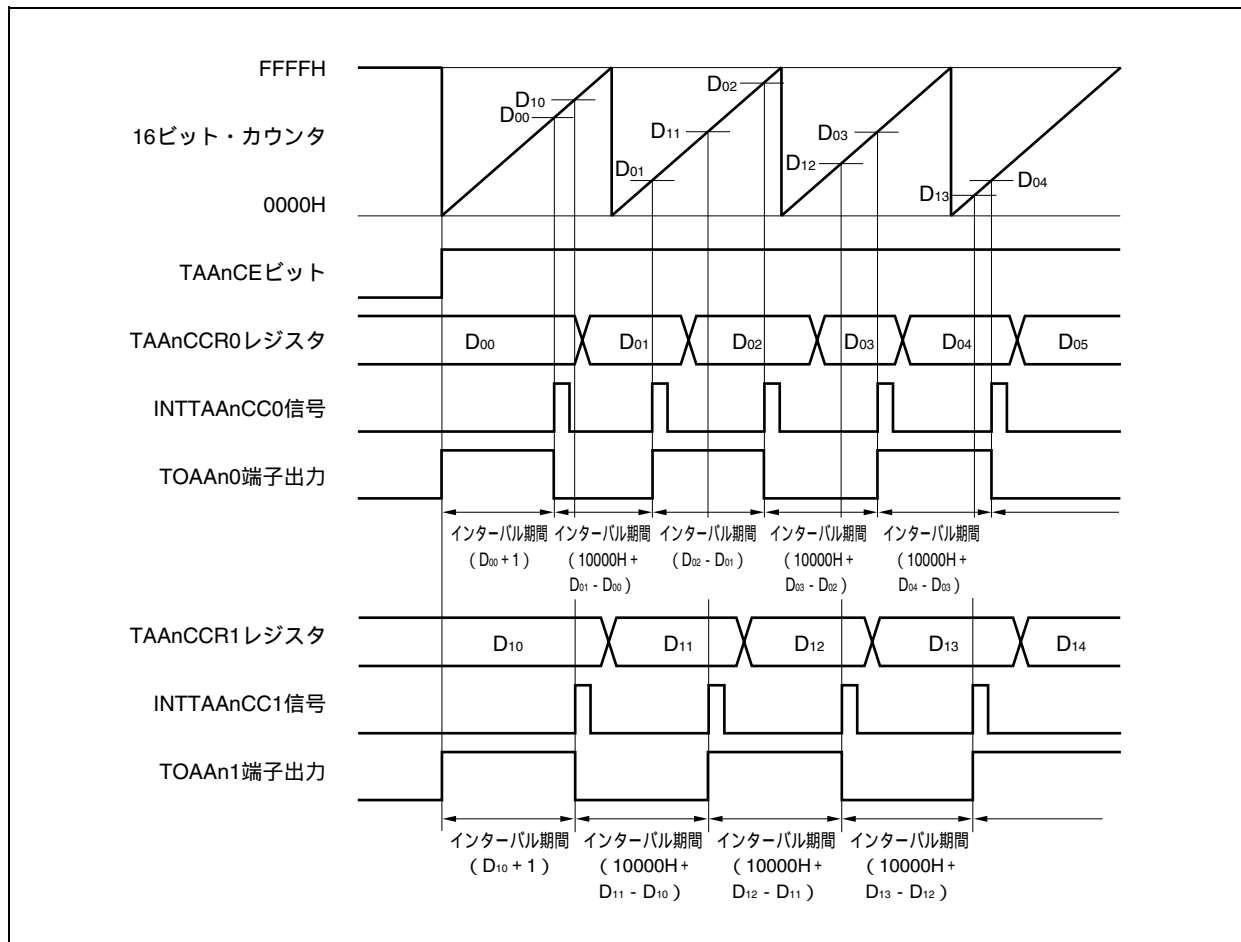
図7-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TAAAnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTAAAnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTAAAnCCm信号を検出したときの割り込み処理中に、対応するTAAAnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“D_m”とすると、次のように求められます。

コンペア・レジスタ初期値 : D_m - 1

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

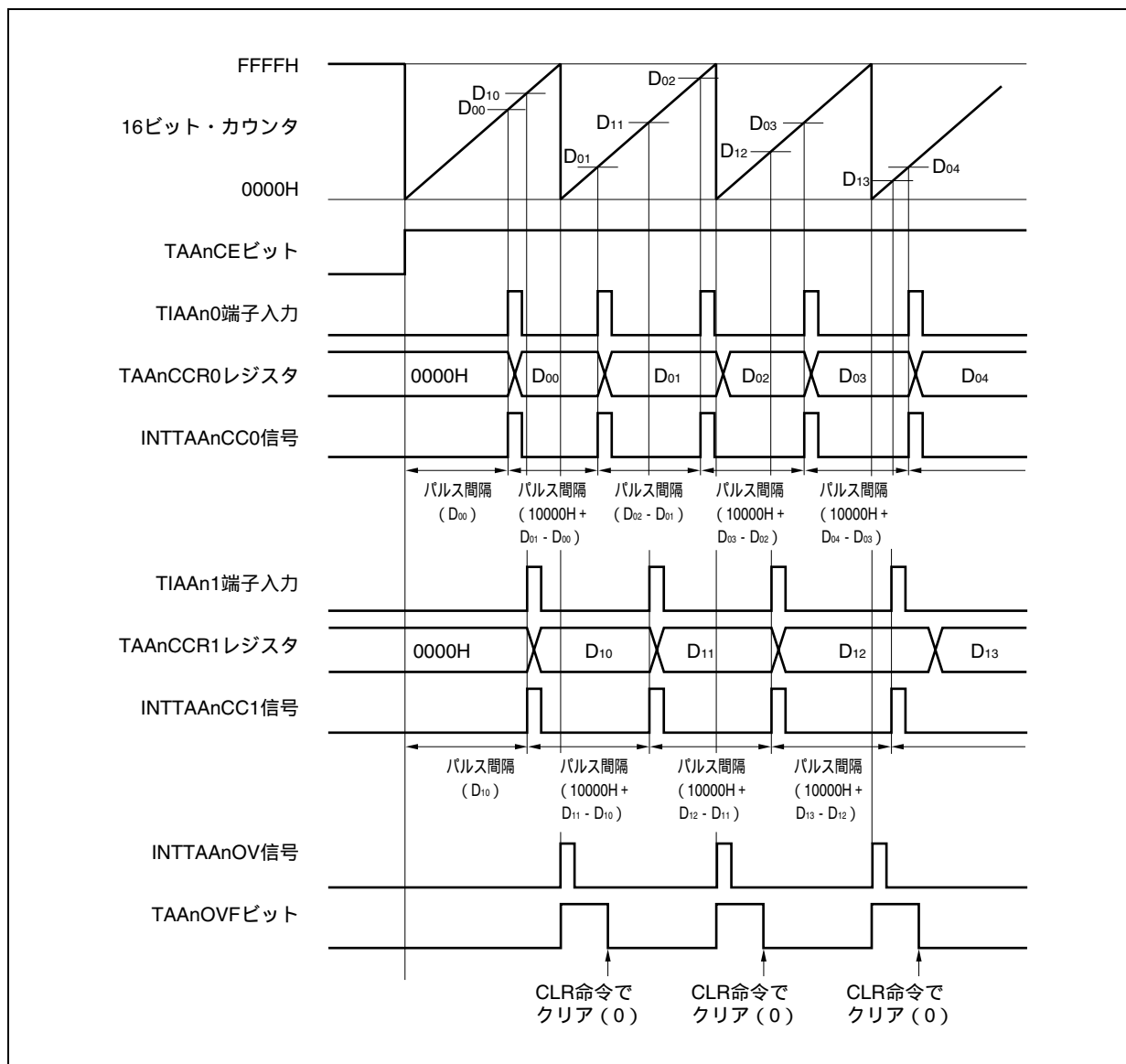
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 m = 0, 1

n = 0-5

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TAAAnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTAAAnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

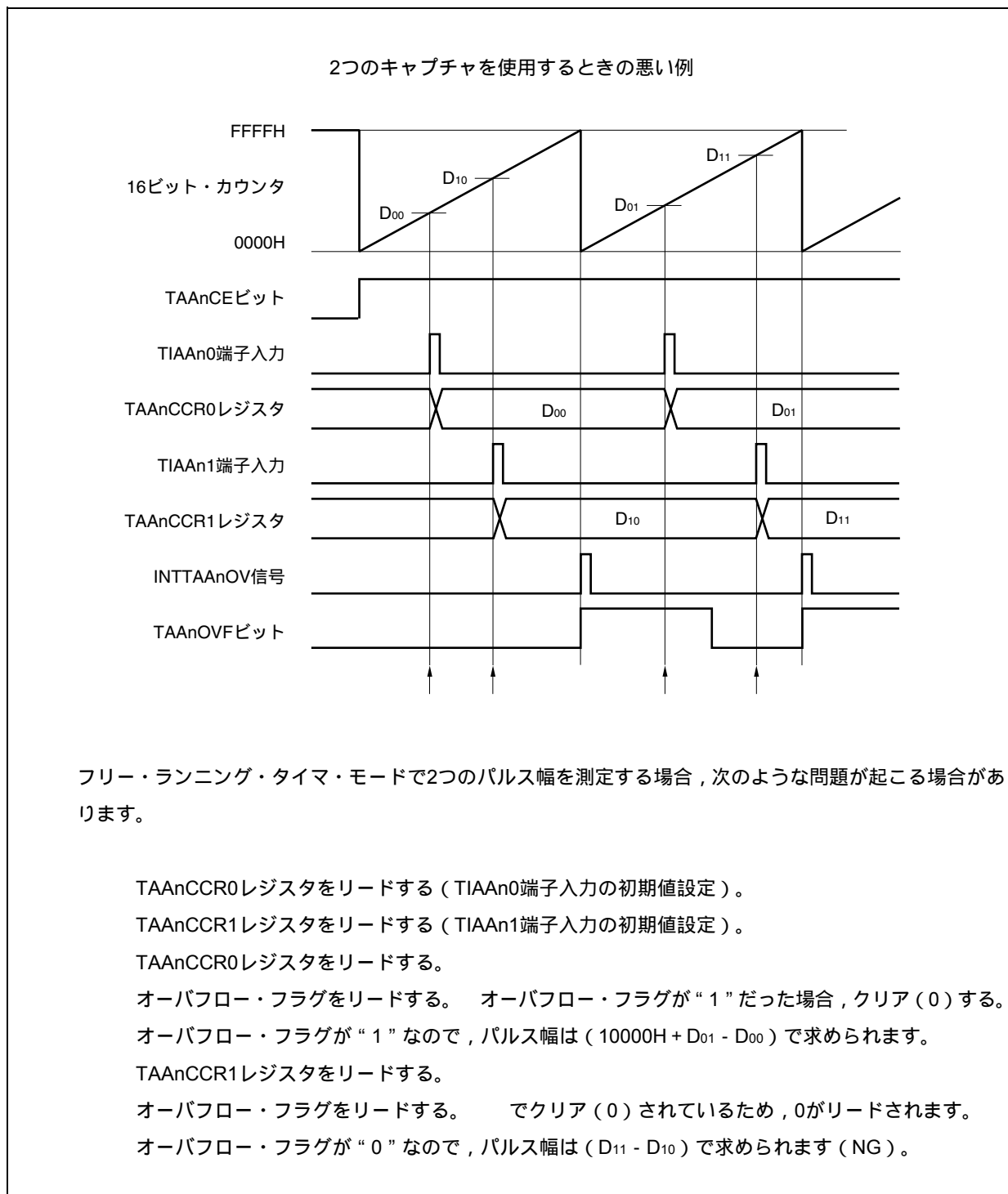
パルス幅測定を行う場合、INTTAAAnCCm信号に同期してTAAAnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 m = 0, 1

n = 0-5

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

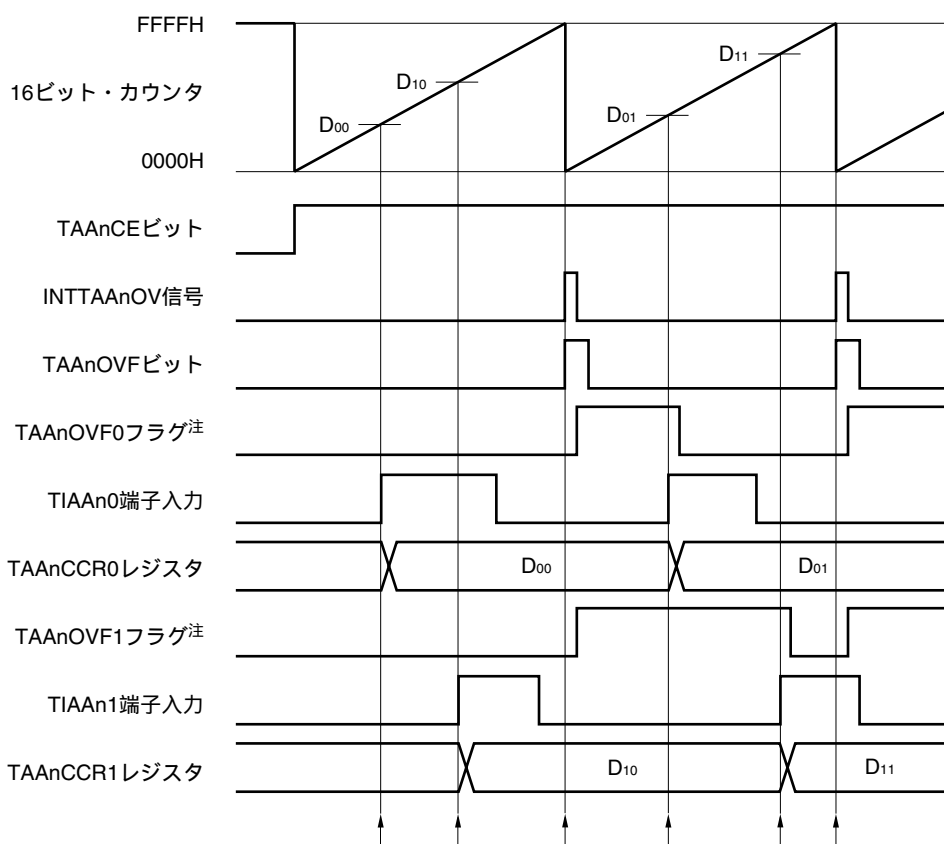
2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TAAOVF0, TAAOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAACCR0レジスタをリードする (TIAAn0端子入力の初期値設定)。

TAACCR1レジスタをリードする (TIAAn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TAAOVF0, TAAOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TAACCR0レジスタをリードする。

TAAOVF0フラグをリードする。 TAAOVF0フラグが "1" だった場合、クリア (0) する。

TAAOVF0フラグが "1" なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

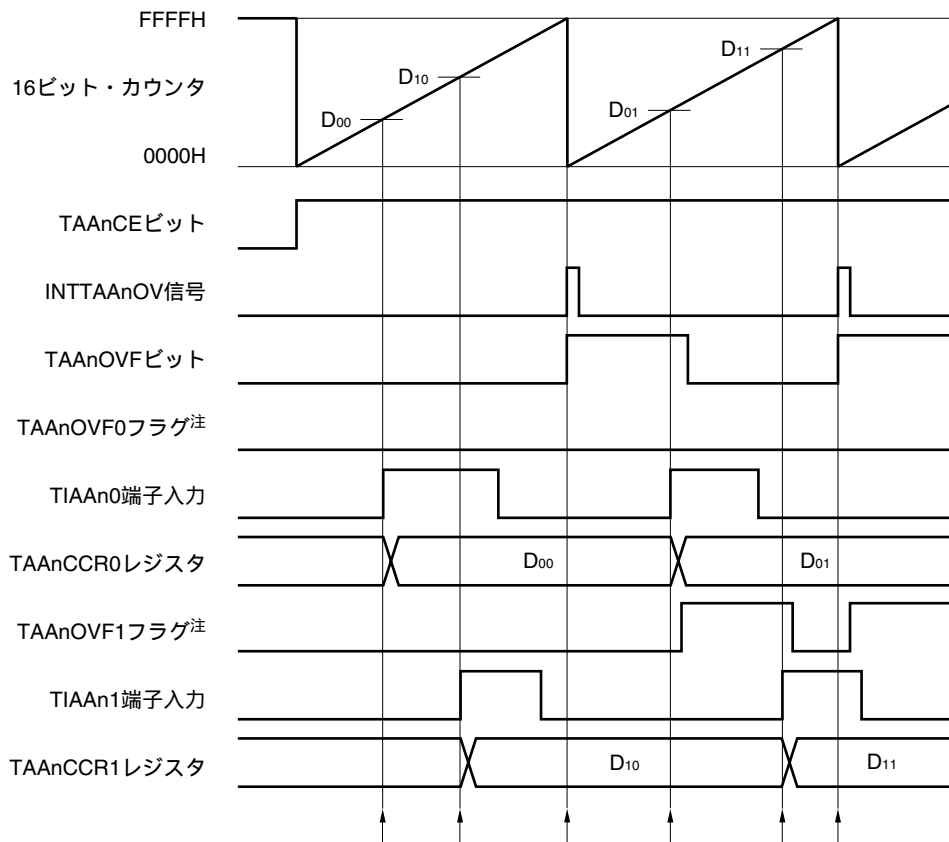
TAACCR1レジスタをリードする。

TAAOVF1フラグをリードする。 TAAOVF1フラグが "1" だった場合、クリア (0) する (でクリア (0) されたのはTAAOVF0フラグであり、TAAOVF1フラグは "1" のまま)。

TAAOVF1フラグが "1" なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TAAAnOVF0, TAAAnOVF1フラグは,ソフトウェアにより,内蔵RAM上に任意に設定したものです。

TAAAnCCR0レジスタをリードする (TIAAn0端子入力の初期値設定)。

TAAAnCCR1レジスタをリードする (TIAAn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TAAAnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合, TAAAnOVF1フラグのみをセット(1)し,オーバーフロー・フラグをクリア(0)する。

オーバーフロー・フラグが“1”なので,パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TAAAnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア(0)されているので“0”がリードされる。

TAAAnOVF1フラグをリードする。 TAAAnOVF1フラグが“1”だった場合,クリア(0)する。

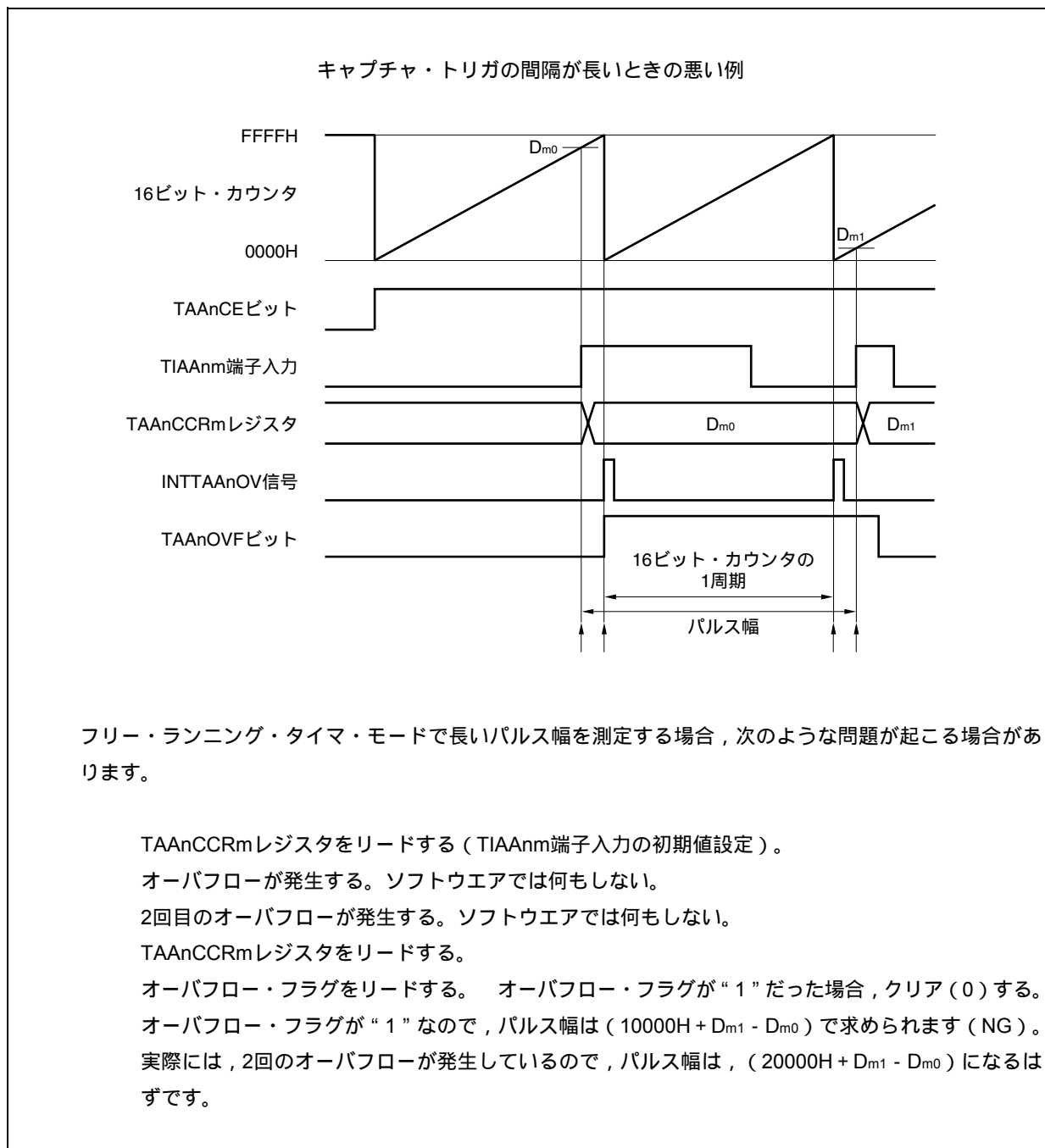
TAAAnOVF1フラグが“1”なので,パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

備考 n = 0-5

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。

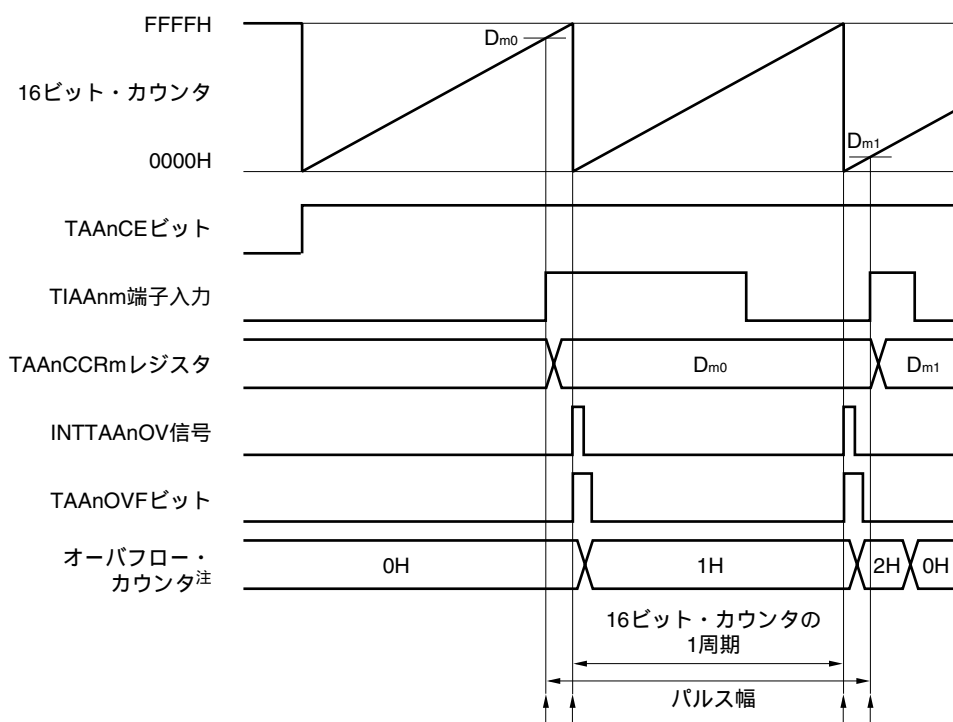


このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

備考 m = 0, 1
n = 0-5

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAAnCCRmレジスタをリードする (TIAAnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TAAAnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが "N" のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

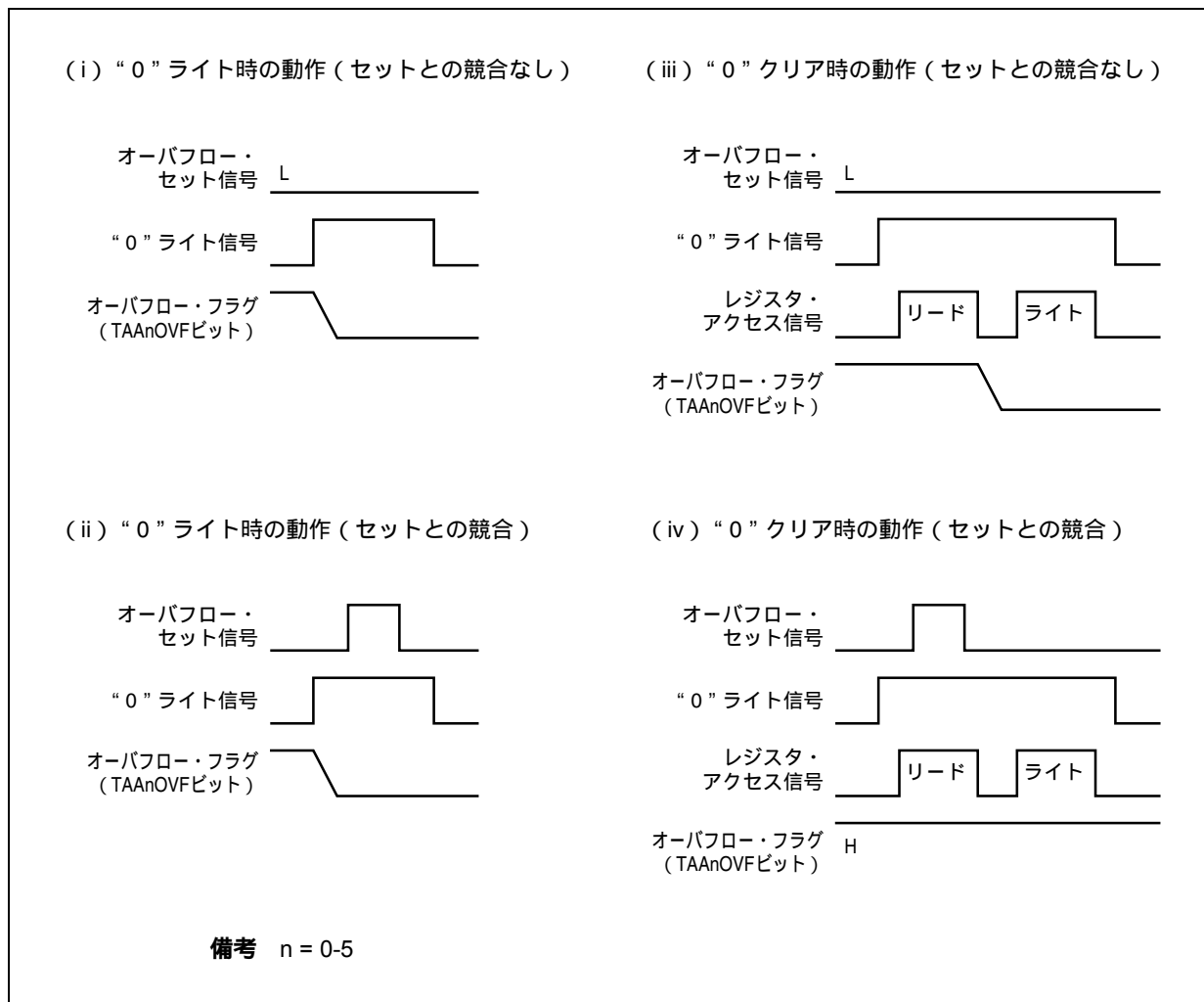
オーバフロー・カウンタをクリア (0H) する。

備考 m = 0, 1

n = 0-5

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TAA_nOVFビットをCLR命令でクリア(0)する方法と、TAA_nOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TAA_nOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

7.5.7 パルス幅測定モード (TAA_nMD2-TAA_nMD0ビット = 110)

パルス幅測定モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでカウント動作を開始し、TIAAn_m端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTAA_nCCR_mレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTAA_nCC_m) が発生したあと、TAA_nCCR_mレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIAAn₀, TIAAn₁端子のいずれか1本を使用してください。使用しない端子は、TAA_nIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAAn₀端子固定ですので、TIAAn₁端子のパルス幅を測定してください。このとき、TAA_nIOC1.TAA_nIS1, TAA_nIS0ビット = 00 (キャプチャ・トリガ入力 (TIAAn₀端子) : エッジ検出なし) に設定してください。

図7 - 39 パルス幅測定モードの構成図

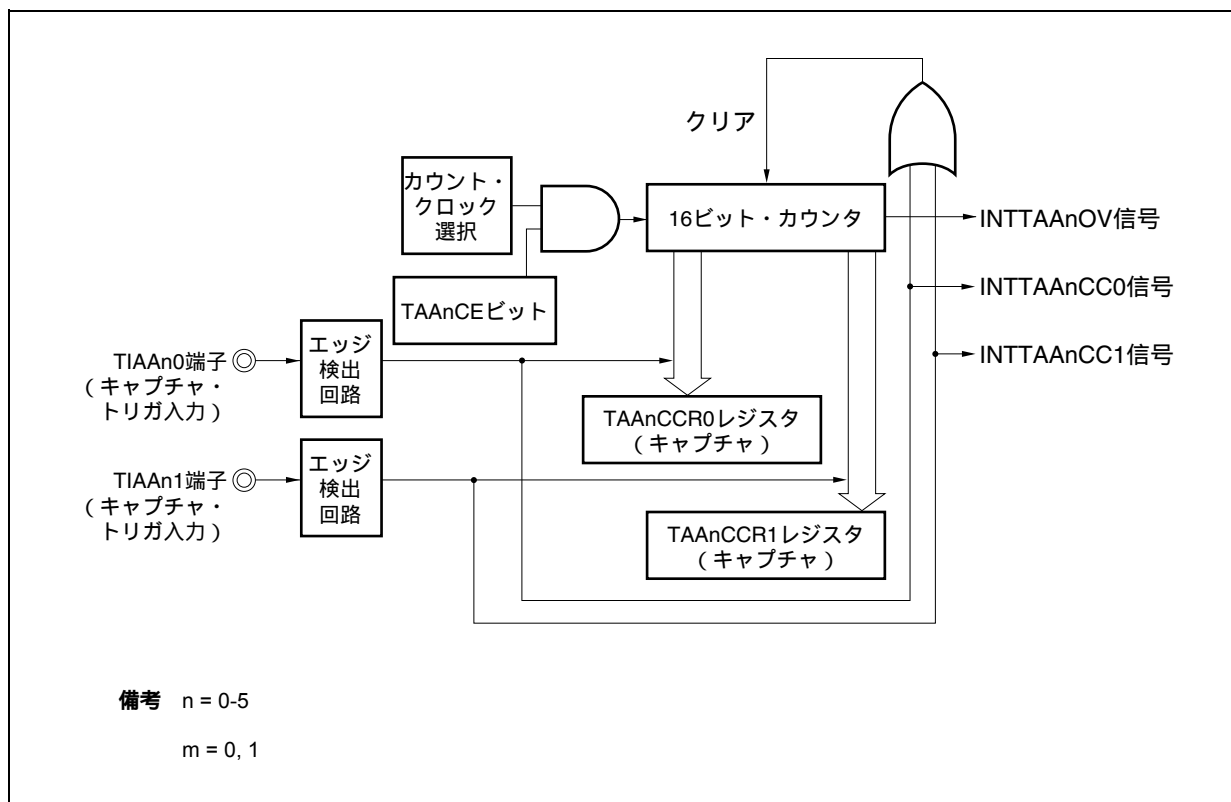
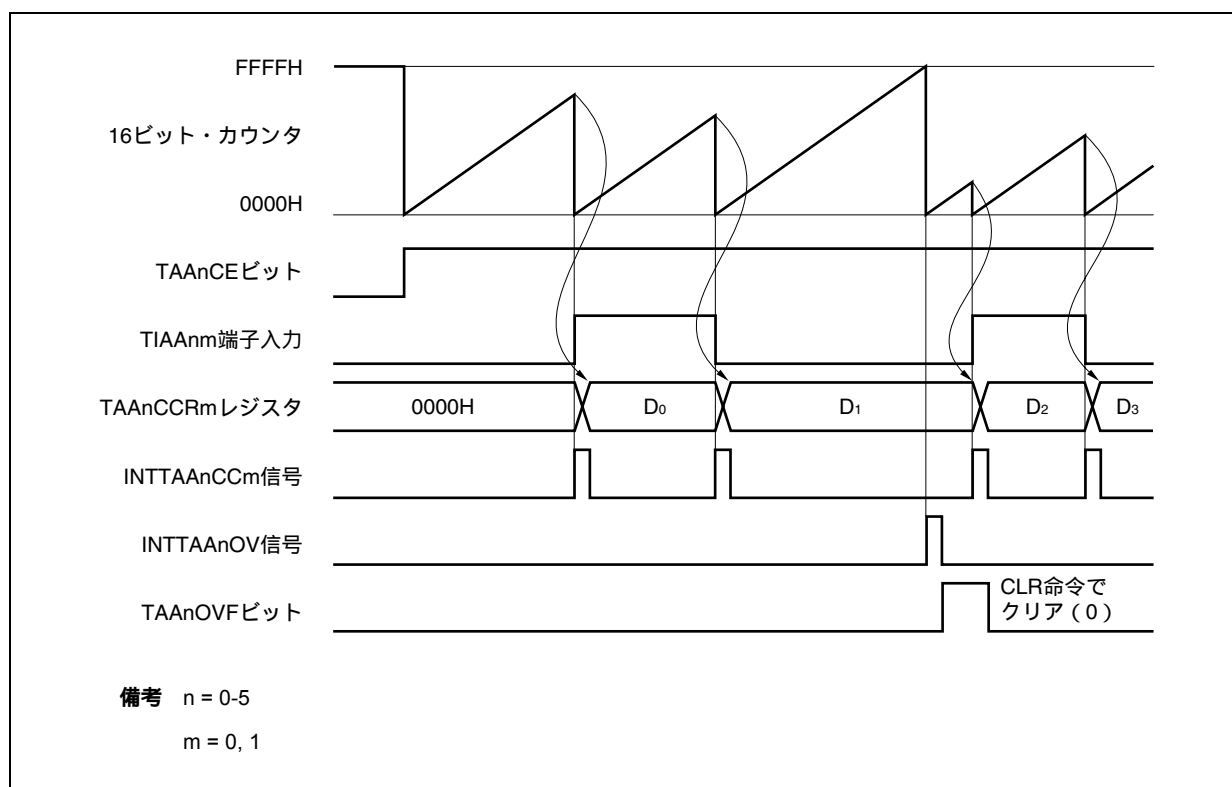


図7-40 パルス幅測定モードの基本タイミング



TAAAnCEビットをセット(1)することで、カウント動作を開始します。その後、TIAAnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAAAnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTAAAnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

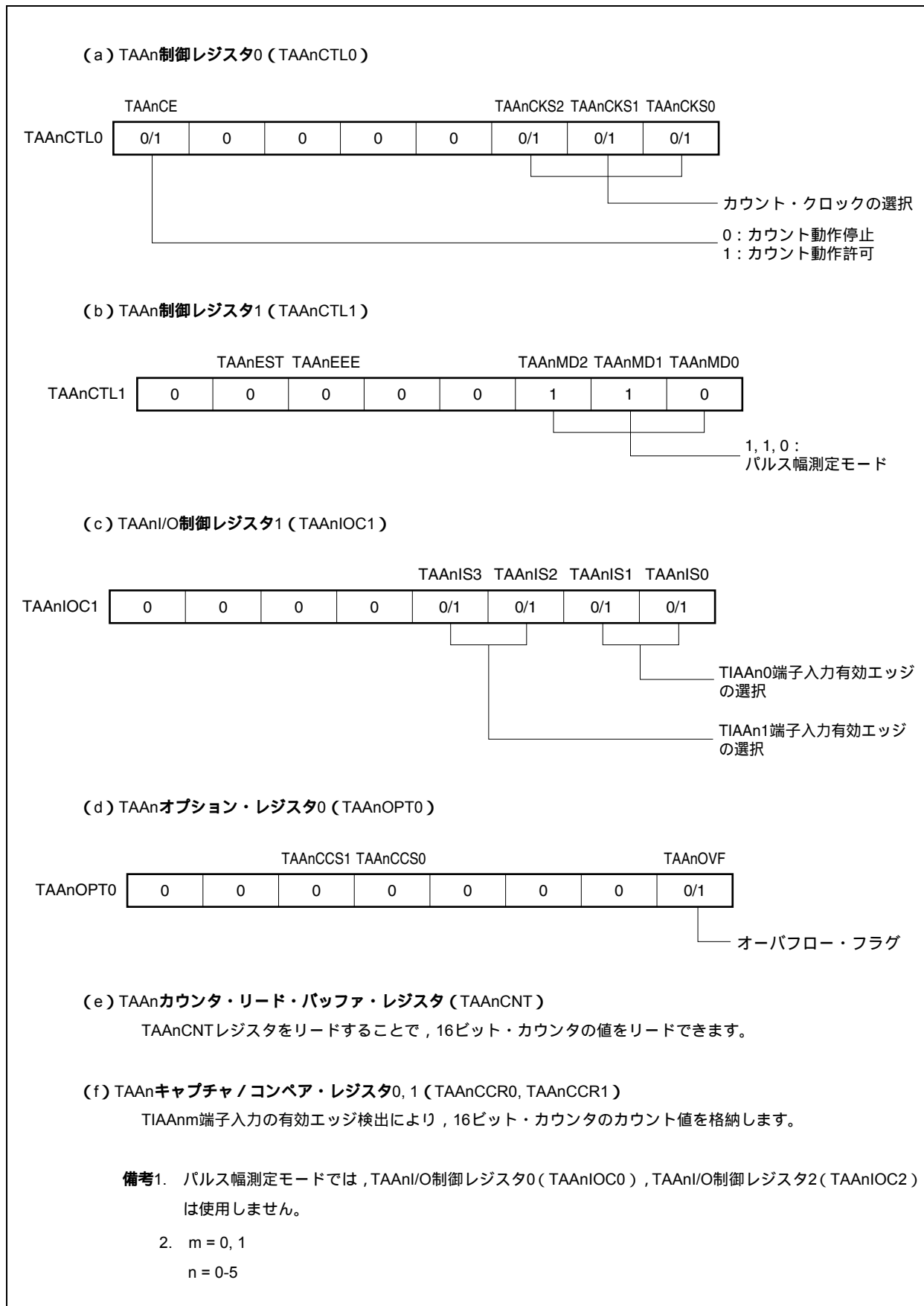
16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTAAAnOV)を発生するとともに、0000Hにクリアしカウント動作を続けます。また、このときオーバフロー・フラグ(TAAAnOPT0.TAAAnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TAAAnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

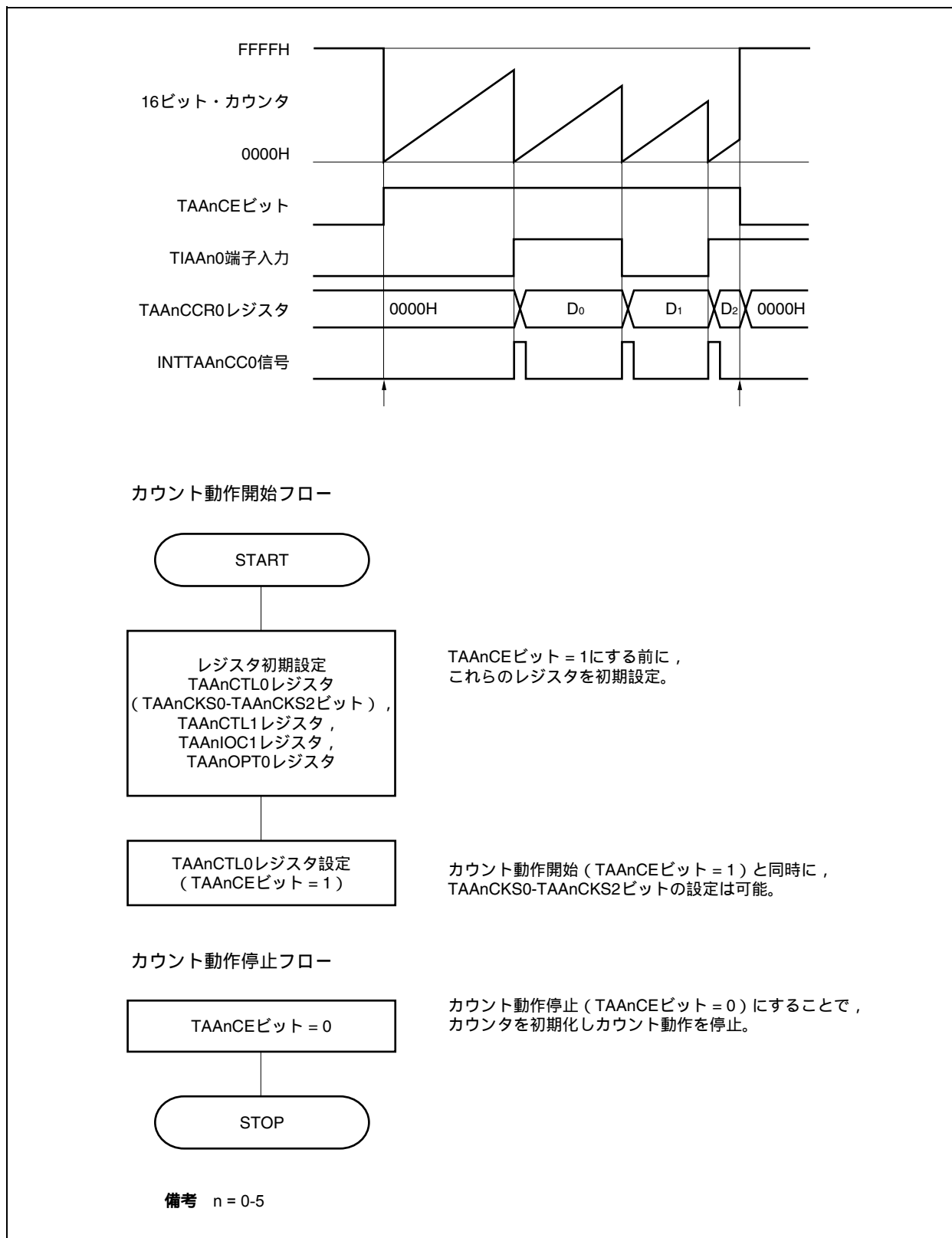
備考 n = 0-5
m = 0, 1

図7-41 パルス幅測定モード動作時のレジスタ設定内容



(1) パルス幅測定モード動作フロー

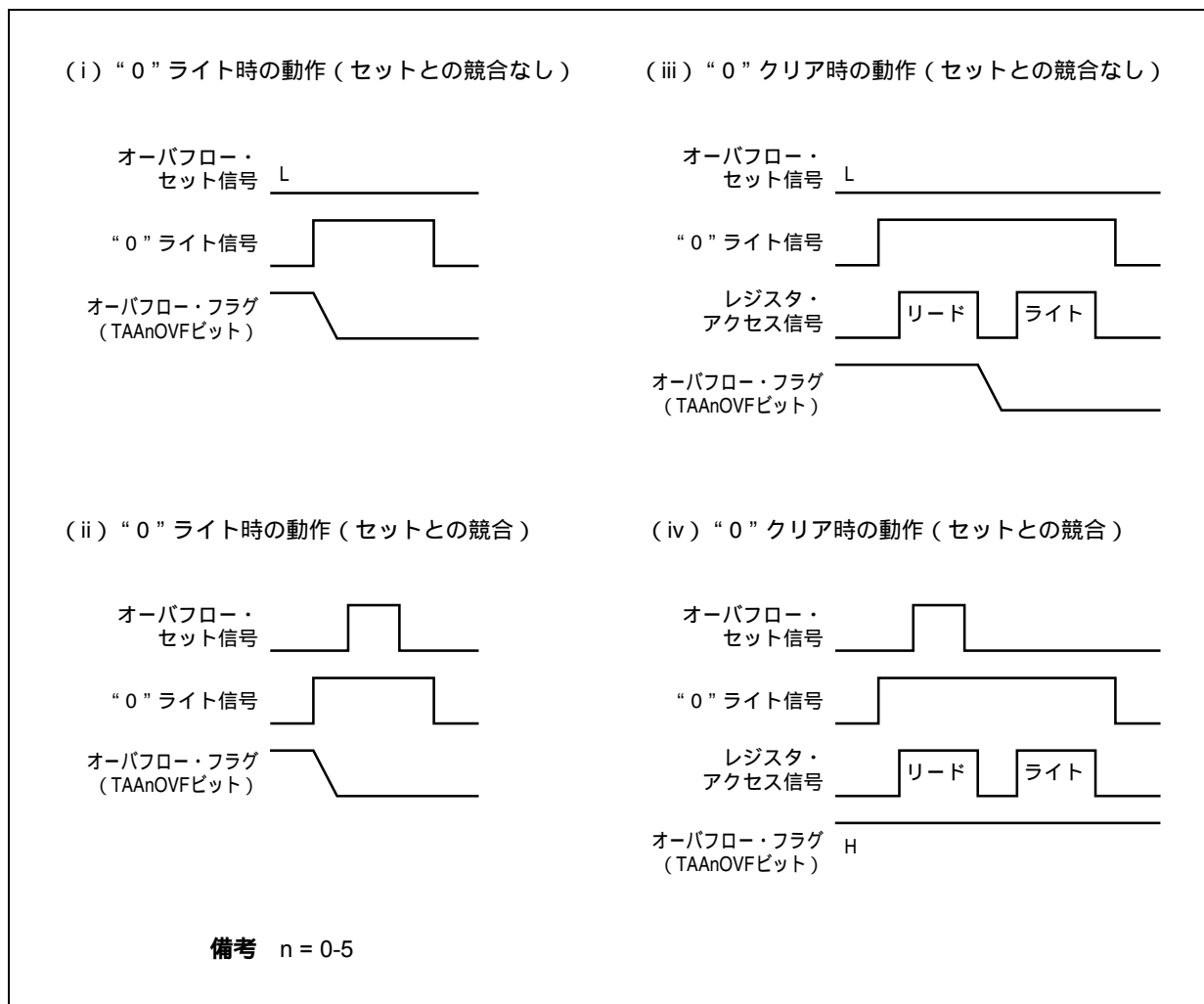
図7 - 42 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TAA_nOVFビットをCLR命令でクリア(0)する方法と、TAA_nOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TAA_nOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

7.5.8 タイマ出力動作説明

次にTOAAn0, TOAAn1端子の動作, および出力レベルを示します。

表7-5 各モードによるタイマ出力制御

動作モード	TOAAn1端子	TOAAn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	-
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	-	

備考 n = 0-5

表7-6 タイマ出力制御ビットによるTOAAn0, TOAAn1端子の真理値表

TAAAnIOC0.TAAAnOLmビット	TAAAnIOC0.TAAAnOEmビット	TAAAnCTL0.TAAAnCEビット	TOAAnm端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0-5

m = 0, 1

7.6 タイマ同調動作機能

タイマAAおよびタイマABには、タイマ同調動作機能があります。

タイマ同調動作機能とはV850ES/JH3-E, V850ES/JJ3-E内蔵のタイマを同調させマスタ・タイマに対しスレーブ・タイマのキャプチャまたはコンペアの数(スレーブ・タイマに搭載しているタイマ出力および、コンペア一致割り込みの本数)を追加することが可能です。タイマ同調動作可能なタイマの組み合わせを表7-7に示します。

表7-7 タイマの同調動作機能

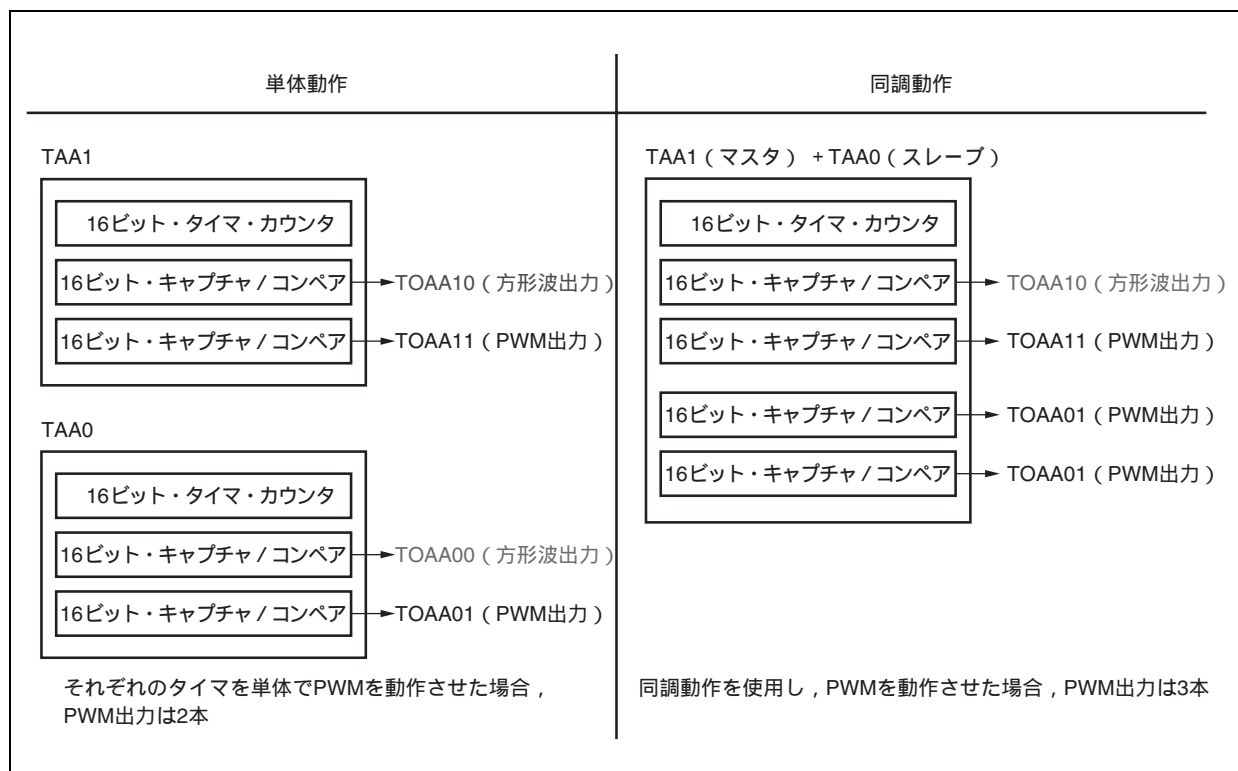
マスタ・タイマ	スレーブ・タイマ
TAA1	TAA0
TAA3	TAA2
TAB0	TAA5
TAB1	TAA4

同調動作機能には次のモードがあります。

- ・PWM出力モード
- ・フリー・ランニング・タイマ・モード

図7-43にマスタ・タイマとしてTAA1を、スレーブ・タイマとしてTAA0を例にPMW出力モードを単体動作と同調動作として使用した場合の例を示します

図7-43 TAA1とTAA0を使用した場合の単体動作と同調動作の違い



同調動作機能時に使用できるタイマ・モードを表7-8に、単体動作と同調動作でのタイマ出力機能の違いを表7-9に示します（○：設定可能，×：設定不可）。

表7-8 同調動作機能使用時のタイマ・モード

マスタ・タイマ	スレーブ・タイマ	フリー・ランニング・ タイマ・モード	PWMモード
TAA1	TAA0		
TAA3	TAA2		
TAB0	TAA5		
TAB1	TAA4		

表7-9 タイマ出力機能一覧

同調 チャンネル	タイマ	機能端子	フリー・ランニング・ タイマ・モード		PWMモード	
			単体動作	同調動作	単体動作	同調動作
Ch0	TAA1 (マスタ)	TOAA10	PPG		トグル	
		TOAA11	PPG		PWM	
	TAA0 (スレーブ)	TOAA00	PPG		トグル	PWM
		TOAA01	PPG		PWM	
Ch1	TAA3 (マスタ)	TOAA30	PPG		トグル	
		TOAA31	PPG		PWM	
	TAA2 (スレーブ)	TOAA20	PPG		トグル	PWM
		TOAA21	PPG		PWM	
Ch2	TAB0 (マスタ)	TOAB00	PPG		トグル	
		TOAB01-TOAB03	PPG		PWM	
	TAA5 (スレーブ)	TOAA50	PPG		トグル	PWM
		TOAA51	PPG		PWM	
Ch3	TAB1 (マスタ)	TOAB10	PPG		トグル	
		TOAB11-TOAB13	PPG		PWM	
	TAA4 (スレーブ)	TOAA40	PPG		トグル	PWM
		TOAA41	PPG		PWM	

備考 コンペア・レジスタからパルファ・レジスタへの送信タイミングは、次のとおりです。

- ・ PPG : CPU書き込みのタイミング
- ・ トグル, PWM, 三角波PWM: タイマ・カウンタとコンペア・レジスタが TOAA_n0やTOAB_m0と一致したタイミング

7.6.1 フリー・ランニング・タイマ・モード (タイマ同調動作時)

タイマ同調動作時のフリー・ランニング・タイマ・モードについて説明します。タイマ同調動作の組み合わせは表7-7を参照してください。ここではTAA1とTAA0を用いてタイマ同調動作をした場合の例を示します。

(i) キャプチャ/コンペアの選択について

TAA1とTAA0を接続しタイマ同調動作のフリー・ランニング・タイマモードを使用する場合、TAA1のキャプチャ/コンペア・レジスタ2本、TAA0のキャプチャ/コンペア2本を組み合わせで使用することが可能です。

キャプチャとコンペアの組み合わせに関する制限はなく、マスタ・タイマ/スレーブ・タイマのTAA_nCCSnビットで選択できます。コンペア選択時は、コンペア・レジスタ設定値の動作中の書き換えが可能で、書き換え方式は、随時書換え方式となります ($n=0, 1$)。

(ii) オーバフローについて

カウンタのオーバフローが発生した場合は、マスタ・タイマのオーバフロー割り込み (INTTAA1OV) が発生し、オーバフロー・フラグ (TAA1OVF) が“1”セットされます。

スレーブ・タイマのオーバフロー割り込み (INTTAA0OV)、およびオーバフロー・フラグ (TAA0OVF) は動作せず常にロウ・レベルです。

(1) フリー・ランニング・タイマ・モードの設定 (コンペア機能)

[初期設定]

マスタ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA1CTL1.TAA1CKS2-TAA1CKS0 (カウント・クロック (任意) の設定)
- ・ TAA1CCR1, TAA1CCR0レジスタを設定

【スレーブ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0SYE = 1 (タイマ同調動作に設定)
- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA0CCR0, TAA0CCR1レジスタを設定。

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAA1CTL0.TAA1CE = 1に設定。

<2> カウント・スタート

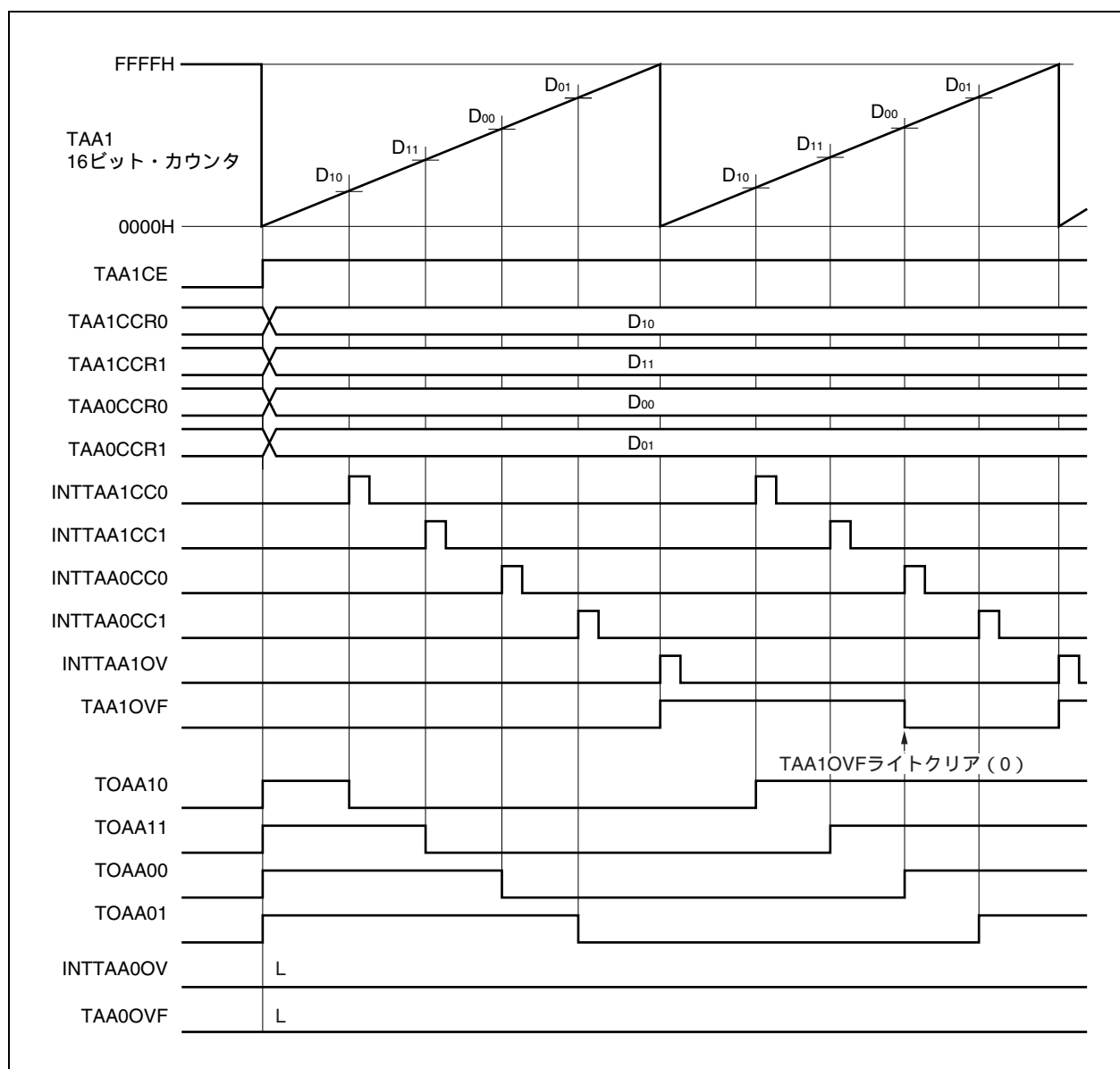
<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (随時書込み方式)

[終了条件]

- ・ マスタ・タイマのTAA1CTL0.TAA1CE = 0に設定。

図7-44 フリー・ランニング・モードのタイミング例 (コンペア機能)



(2) フリー・ランニング・タイマ・モードの設定 (キャプチャ機能)

[初期設定]

マスタ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA1CTL1.TAA1CKS2-TAA1CKS0 (カウント・クロック (任意) の設定)
- ・ TAA1IOC1.TAA1IS3-TAA1IS0 (キャプチャ・トリガの有効エッジの指定)

【スレーブ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0SYE = 1 (タイマ同調動作に設定)
- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA0IOC1.TAA0IS3-TAA0IS0 (キャプチャ・トリガの有効エッジの指定)

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

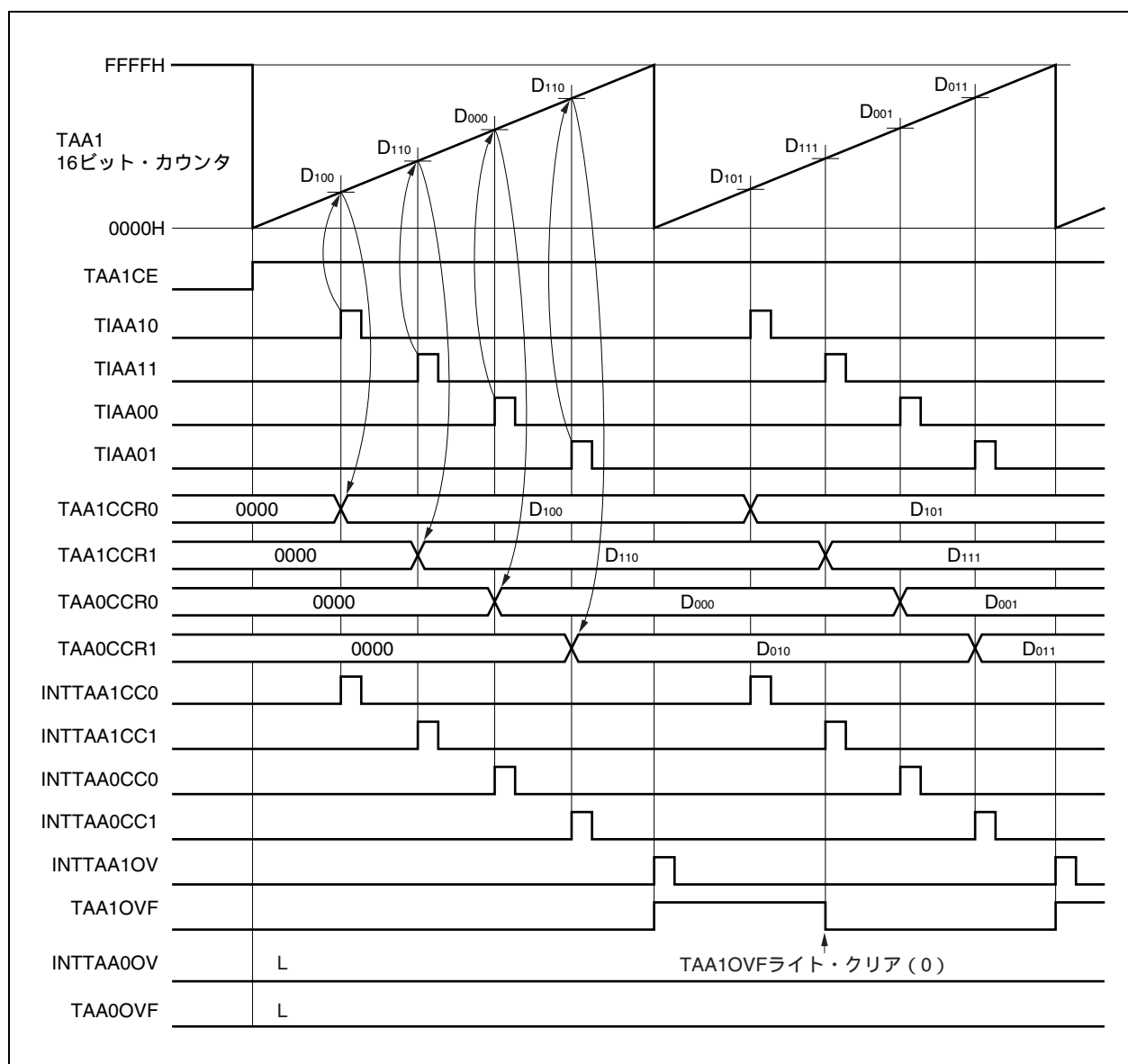
<1> マスタ・タイマのTAA1CTL0.TAA1CE = 1に設定。

<2> カウント・スタート

[終了条件]

- ・ マスタ・タイマのTAA1CTL0.TAA1CE = 0に設定。

図7-45 フリー・ランニング・モードのタイミング例 (キャプチャ機能)



(3) フリー・ランニング・タイマ・モードの設定 (キャプチャ/コンペア併用)

TAA0をキャプチャ機能, TAA1をコンペア機能に設定した場合の例を示します。

[初期設定]

マスタ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA1CTL1.TAA1CKS2-TAA1CKS0 (カウント・クロック (任意) の設定)
- ・ TAA1.TAA0IS3-TAA1IS0 (キャプチャ・トリガの有効エッジの指定)

【スレーブ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0SYE = 1 (タイマ同調動作に設定)
- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA0CCR0, TAA0CCR1レジスタを設定。

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

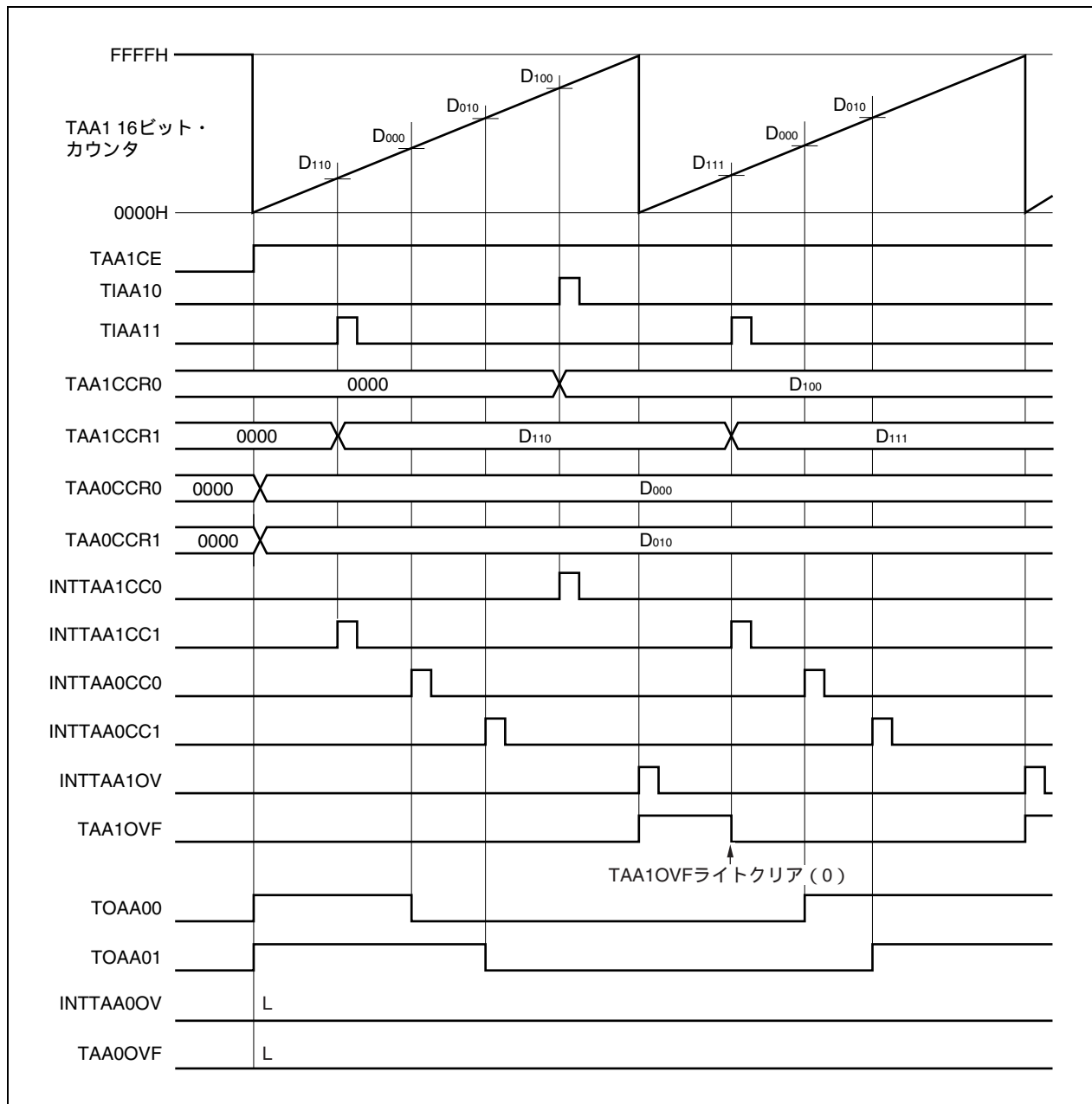
<1> マスタ・タイマのTAA1CTL0.TAA1CE = 1に設定

<2> カウント・スタート

[終了条件]

- ・ マスタ・タイマのTAA1CTL0.TAA1CE = 0に設定

図7-46 フリー・ランニング・モードのタイミング例 (キャプチャ/コンペア併用)



7.6.2 PWM出力モード (タイマ同調動作時)

タイマ同調動作時のPWM出力モードについて説明します。タイマ同調動作の組み合わせは表7-7を参照してください。ここではTAB0とTAA5を用いてタイマ同調動作をした場合の例を示します。

マスタ・タイマ (TAB0) のTAB0CCR0レジスタが周期用のコンペア・レジスタとなり、マスタ・タイマ (TAB0) のTAB0CCR1, TAB0CCR2, TAB0CCR3レジスタ、およびスレーブ・タイマ (TAA5) のTAA5CCR0, TAA5CCR1レジスタはデューティ用のコンペア・レジスタとなります。

コンペア・レジスタの動作中の書き換えが可能であり、書き換え方式は、一斉書き込み方式となります。

マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みで一斉書き込み許可になり。マスタ・タイマ (TAB0) のTAB0CCR0レジスタの値とタイマ・カウンタの一致割り込みタイミングで、マスタ/スレーブ・タイマのすべてのコンペア・レジスタの値が一斉書き込みによって書き換えまたは同値書き込みされます。

(1) PWM出力モードの設定

[初期設定]

マスタ・タイマ : TAB0CTL0.TAB0CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA5CTL0.TAA5CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAB0) の初期設定】

- ・ TAB0CTL1.TAB0MD2-TAB0MD0 = 100 (PWM出力モードに設定)
- ・ TAB0OPT0.TAB0CCS3-TAB0CCS0 = 0000 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAB0CCR0, TAB0CCR1, TAB0CCR2, TAB0CCR3レジスタを設定

【スレーブ・タイマ (TAA5) の初期設定】

- ・ TAA5CTL1.TAA5SYE = 1 (タイマ同調動作に設定)
- ・ TAA5CTL1.TAA5MD2-TAA5MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA5OPT0.TAA5CCS1, TAA5CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA5CCR0, TAA5CCR1レジスタを設定

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAB0CTL0.TAB0CE = 1に設定。

<2> カウント・スタート

<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (一斉書き換え方式)

[終了条件]

- ・ マスタ・タイマのTAB0CTL0.TAB0CE = 0に設定。

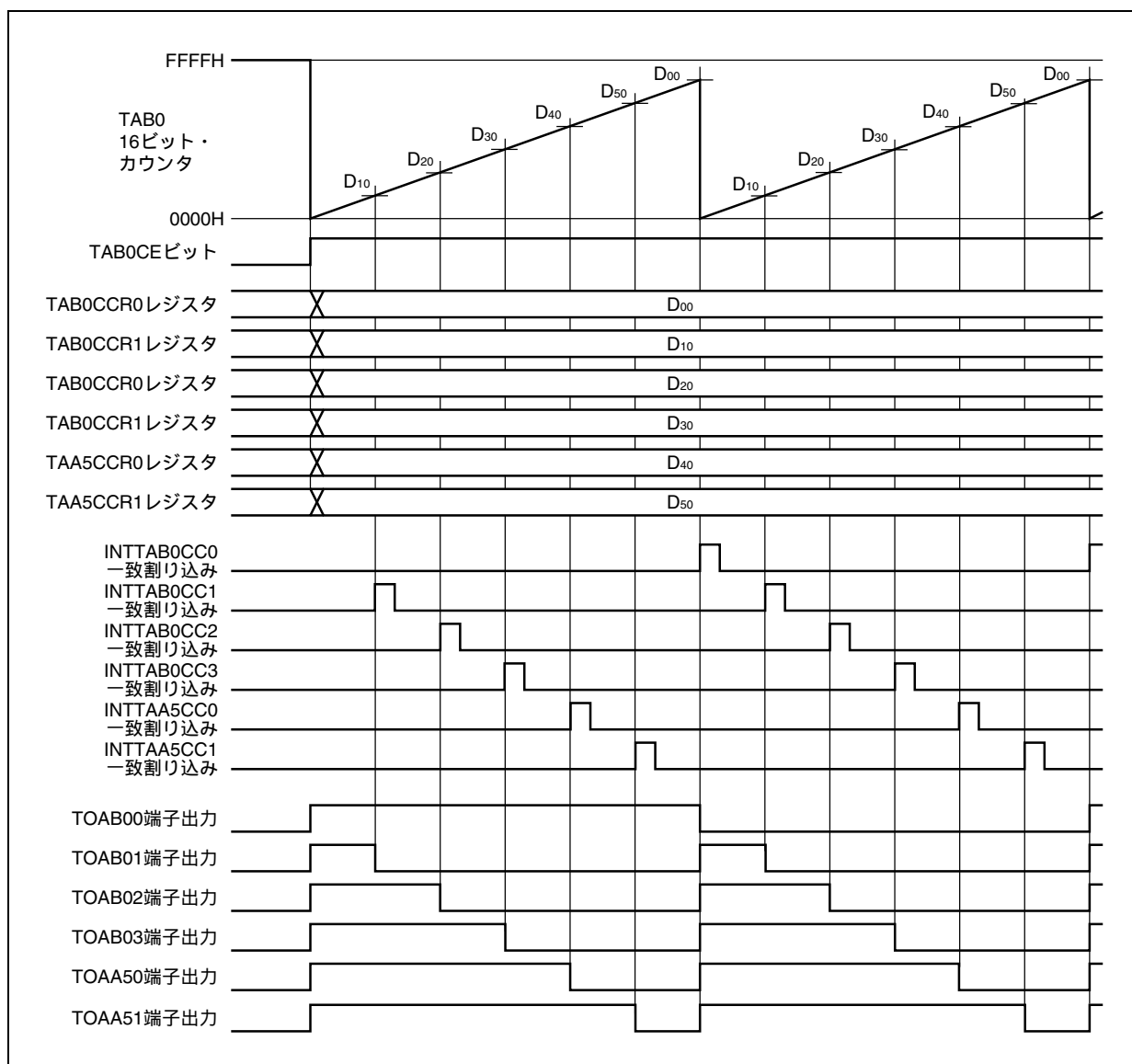
[一斉書き込み]

PWM出力モード時は、マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みにより次の一斉書き込み許可を行っているため、それ以外の書き換えを必要とするすべてのコンペア・レジスタを書き換えたあとに、マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みが必要となります。

一斉書き換えはタイマ・カウンタと周期用コンペア・レジスタ (TAB0CCR0) の一致タイミングで行われます。

マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みがない場合は、他のコンペア・レジスタを書き換えても一斉書き込みの許可がないので、タイマ・カウンタと周期用コンペア・レジスタ (TAB0CCR0) の一致タイミングでも値が書き換わりません。

図7 - 47 同調PWM機能のタイミング例 (TAB0, TAA5)



7.7 同時スタート機能

タイマAAおよびタイマABには、タイマ同調動作機能があります。

同時スタート機能を用いる事によりマスタ・タイマとスレーブ・タイマの動作開始タイミングとカウント・アップ・タイミングを同期化したタイマ動作が可能です。

同時スタート機能では、PWM出力モードのみ使用可能です。

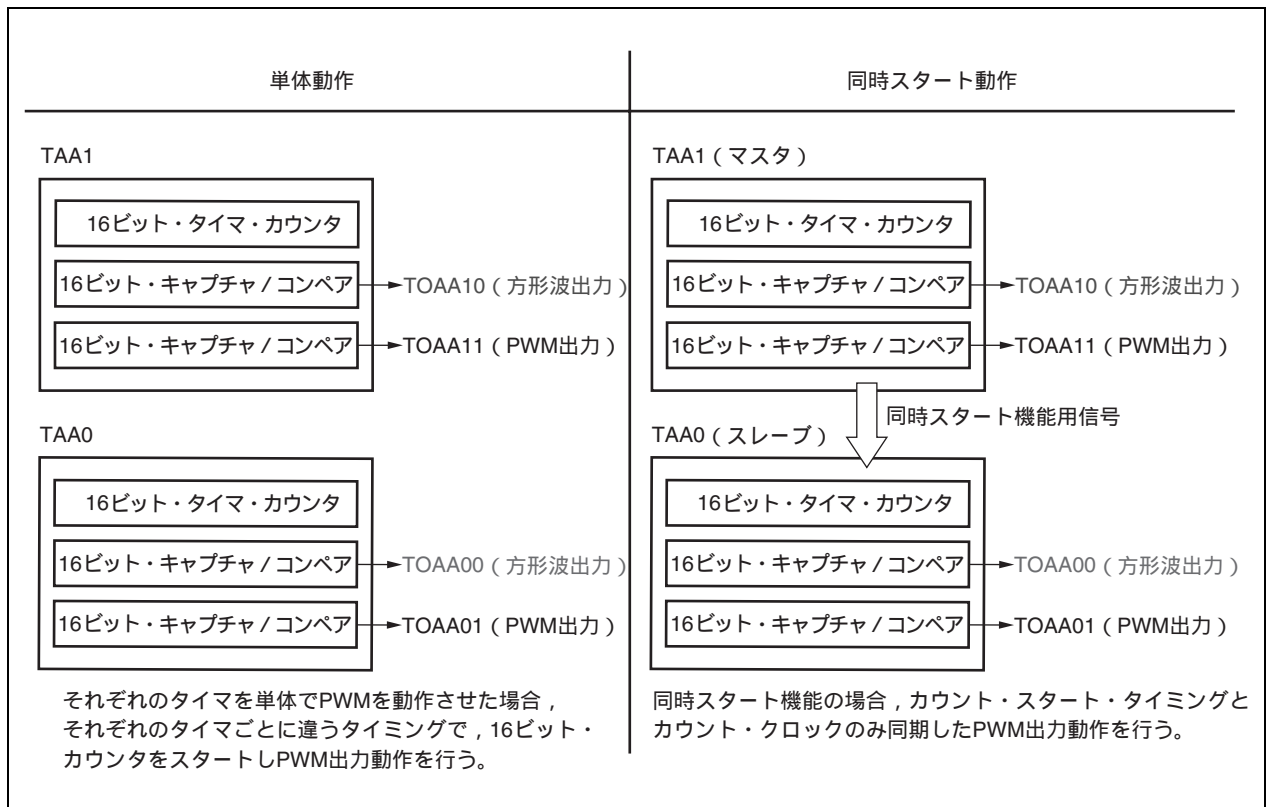
同時スタート機能可能なタイマの組み合わせを表7 - 10に示します。

表7 - 10 タイマの同時スタート機能

マスタ・タイマ	スレーブ・タイマ
TAA1	TAA0
TAA3	TAA2
TAB0	TAA5
TAB1	TAA4

図7 - 48にマスタ・タイマとしてTAA1を、スレーブ・タイマとしてTAA0を例にPWM出力モードを単体動作と同時スタート動作として使用した場合の例を示します

図7 - 48 TAA1とTAA0を使用した場合の単体動作と同時スタート動作の違い



7.7.1 PWM出力モード (同時スタート動作)

ここでは、TAA1をマスタ・タイマ、TAA0をスレーブ・タイマとして使用した場合の、同時スタート機能の動作について示します。

マスタ・タイマのTAA1CTL0.TAA0CEビットをセット(1)することでマスタ・タイマ(TAA1)とスレーブ・タイマ(TAA0)が同時に動作を開始します。マスタ・タイマ(TAA1)からのカウント・クロックによりスレーブ・タイマは動作します。しかし動作開始後は、個々のタイマの単体動作となるので、マスタ・タイマ(TAA1)の16ビット・カウンタの値とTAA1CCR0レジスタの値の一致によりマスタ・タイマ(TAA1)の16ビット・カウンタがクリア(0000H)されても、スレーブ・タイマ(TAA0)の16ビット・カウンタはクリアされません。

同様にマスタ・タイマ(TAA1)のコンペア・レジスタ値が一斉書き込みにより書き換わったとしても、スレーブ・タイマのコンペア・レジスタは影響を受けません。

[初期設定]

マスタ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 100 (PWM出力モードの設定)
- ・ TAA1CTL1.TAA1CKS2-TAA1CKS0 (カウント・クロック (任意) の設定)
- ・ TAA1CCR1, TAA1CCR0レジスタを設定
- ・ TAA1IOC0レジスタを設定

【スレーブ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0SYE = 1, TAA0SYM = 1 (同時スタート動作に設定)
- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 100 (PWM出力モードに設定)
- ・ TAA0CCR0, TAA1CCR1レジスタを設定。
- ・ TAA0IOC0レジスタを設定

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAA1CTL0.TAA1CE = 1に設定。

<2> カウント・スタート

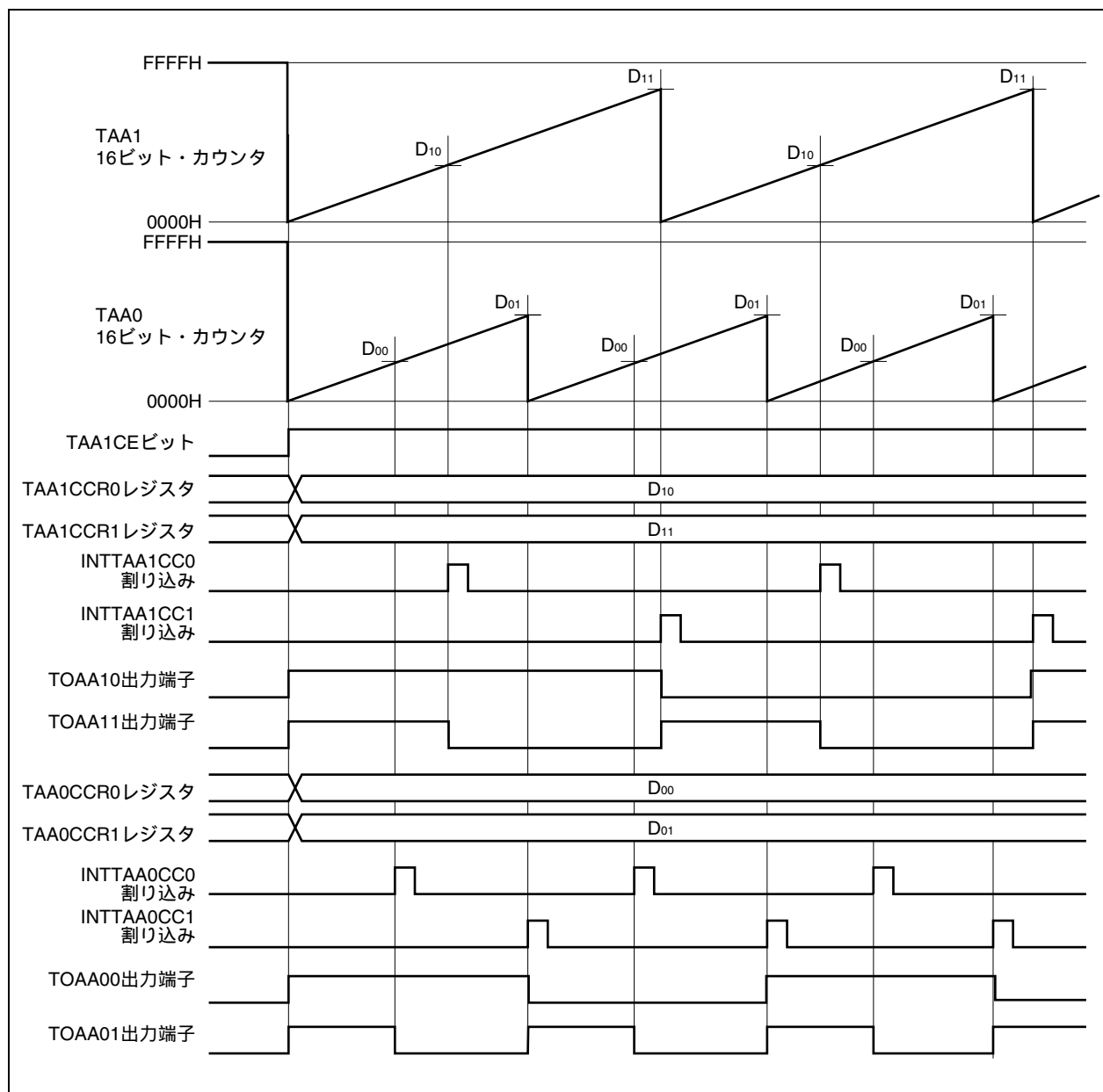
<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (随時書込み方式)

[終了条件]

- ・ マスタ・タイマのTAA1CTL0.TAA0CE = 0に設定。

図7-49 同時スタート機能のタイミング例 (TAA1: マスタ, TAA0: スレーブ)



7.8 カスケード接続

TAAを2チャンネル接続し、カスケード接続により32ビット・キャプチャ・タイマとして使用する場合の動作について説明します。

カスケード接続は、必ず「フリー・ランニング・タイマ・モード」に設定し、かつすべてのキャプチャ・コンペア・レジスタを「キャプチャ機能 (TAA0CCSn = 1)」に設定する必要があります。

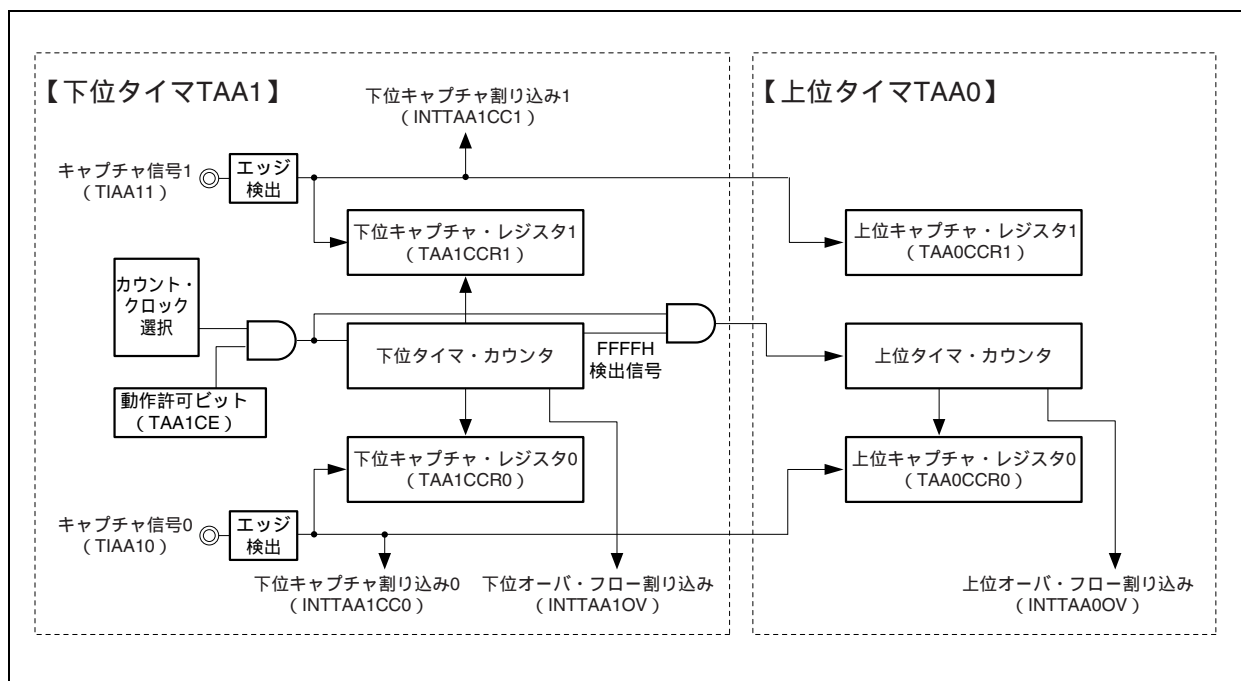
カスケード接続できるTAAの組み合わせを次に示します。

表7 - 11 TAAのカスケード接続

下位タイマ (マスタ・タイマ)	上位タイマ (スレーブ・タイマ)
TAA1	TAA0
TAA3	TAA2

ここでは、下位タイマ (マスタ・タイマ) にTAA1、上位タイマ (スレーブ・タイマ) にTAA0を使用し、カスケード接続により32ビット・キャプチャ・タイマとして使用する場合の動作を例に説明します。

図7 - 50 カスケード接続例



TAA1とTAA0をカスケード接続した場合の、各端子、信号の動作を次に示します。

表7-12 カスケード接続時の状態

名 称	上位/下位	機 能	動作説明
TIAA10端子入力	下位	キャプチャ入力0	有効エッジ検出により下位タイマ・カウンタの値をTAA1CCR0レジスタに、上位タイマ・カウンタの値をTAA0CCR0レジスタに格納します。
TIAA11端子入力	下位	キャプチャ入力1	有効エッジ検出により下位タイマ・カウンタの値をTAA1CCR1レジスタに、上位タイマ・カウンタの値をTAA0CCR1レジスタに格納します。
INTTAA1CCR0割り込み信号	下位	キャプチャ割り込み0	TIAA10端子の有効エッジ検出により割り込み発生
INTTAA1CCR1割り込み信号	下位	キャプチャ割り込み1	TIAA11端子の有効エッジ検出により割り込み発生
INTTAA1OV割り込み信号	下位	オーバフロー割り込み	下位タイマ・カウンタのオーバフロー検出により割り込み発生
TIAA00端子入力	上位	キャプチャ入力0	動作しません。
TIAA01端子入力	上位	キャプチャ入力1	動作しません。
INTTAA0CCR0割り込み信号	上位	キャプチャ割り込み0	動作しません。
INTTAA0CCR1割り込み信号	上位	キャプチャ割り込み1	動作しません。
INTTAA0OV割り込み信号	上位	オーバフロー割り込み	上位タイマ・カウンタのオーバフロー検出により割り込み発生

図7-51 TAA1とTAA0のカスケード接続時の動作フロー (1/2)

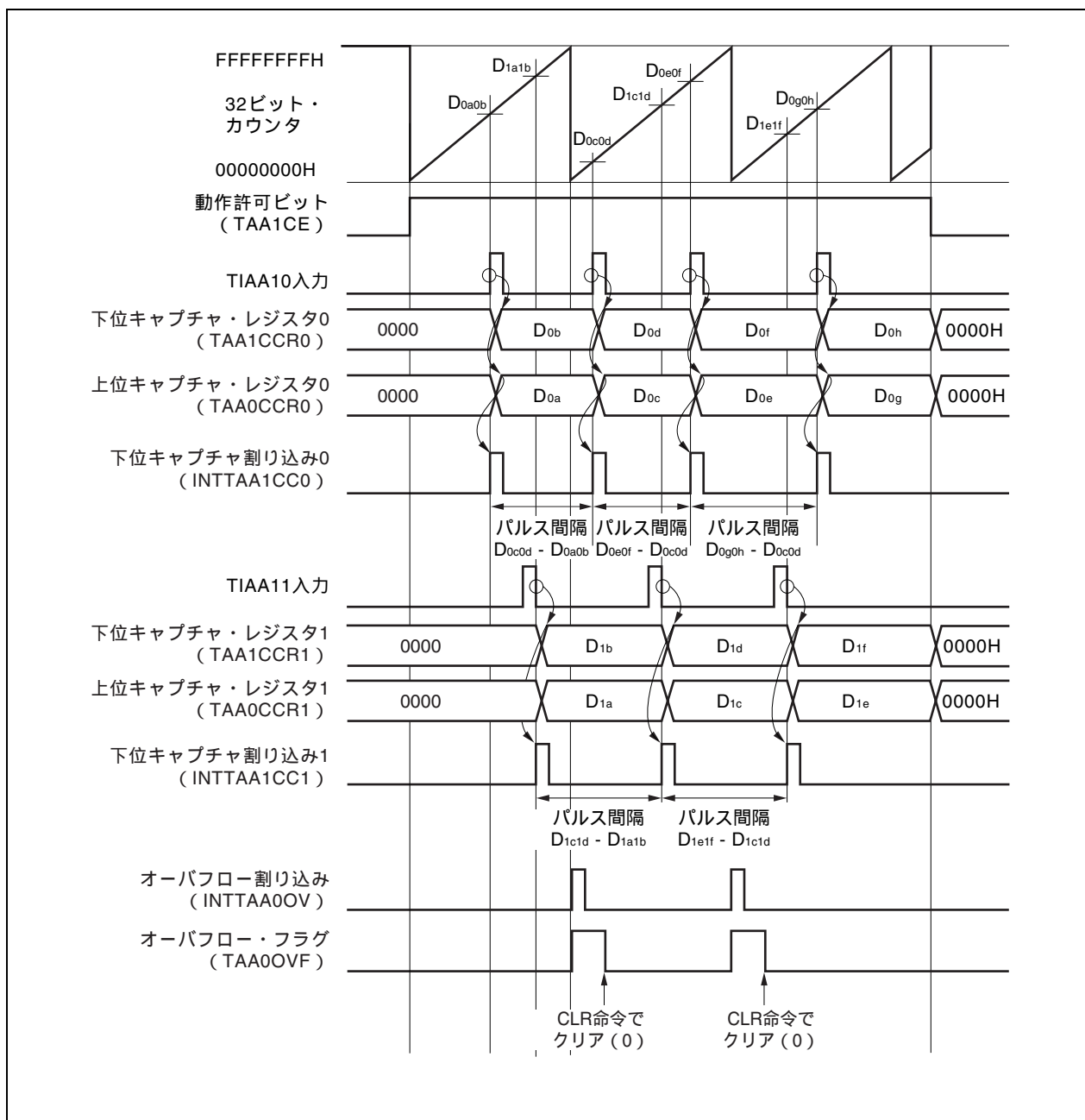


図7-51 TAA1とTAA0のカスケード接続時の動作フロー (2/2)

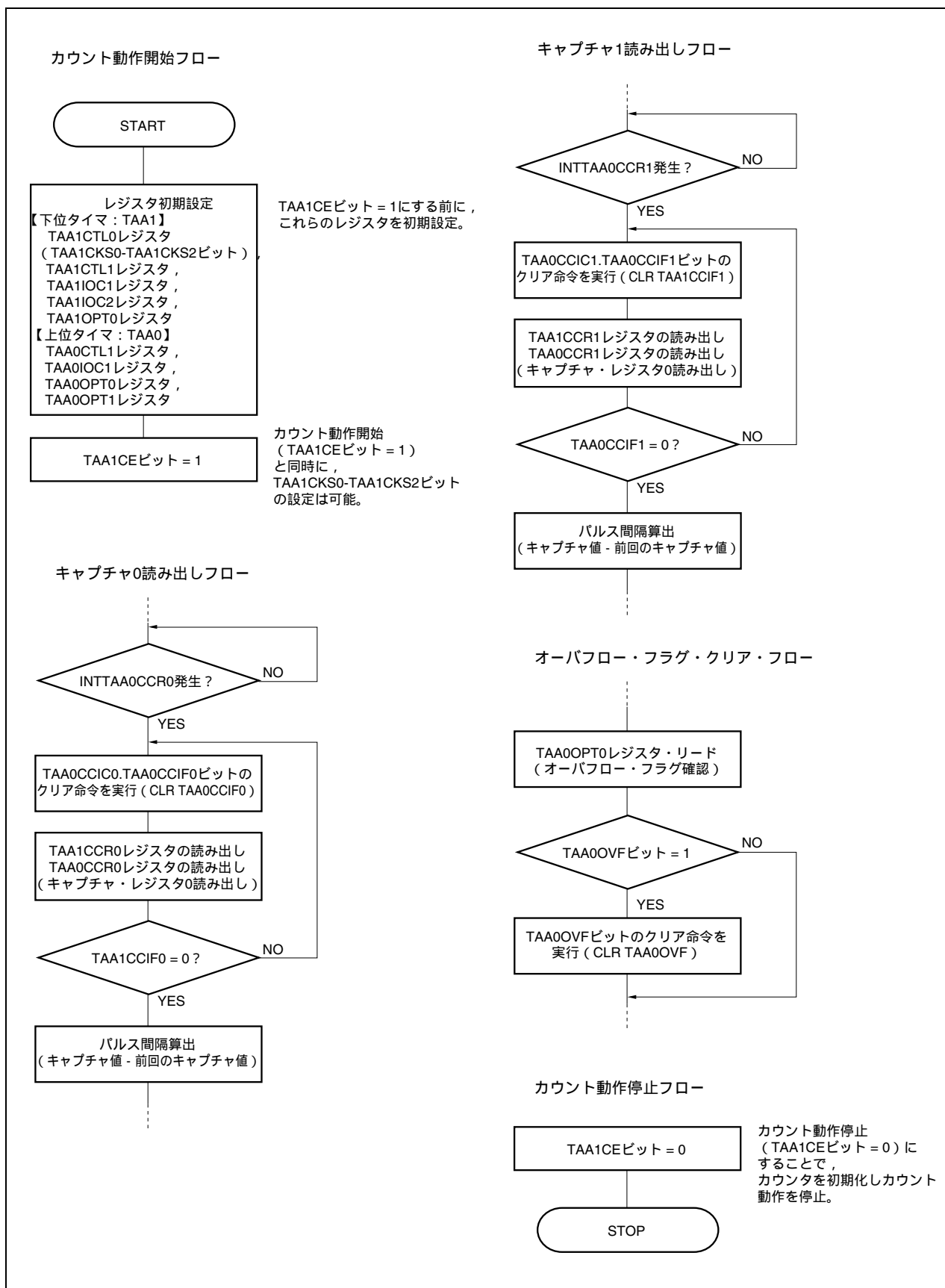
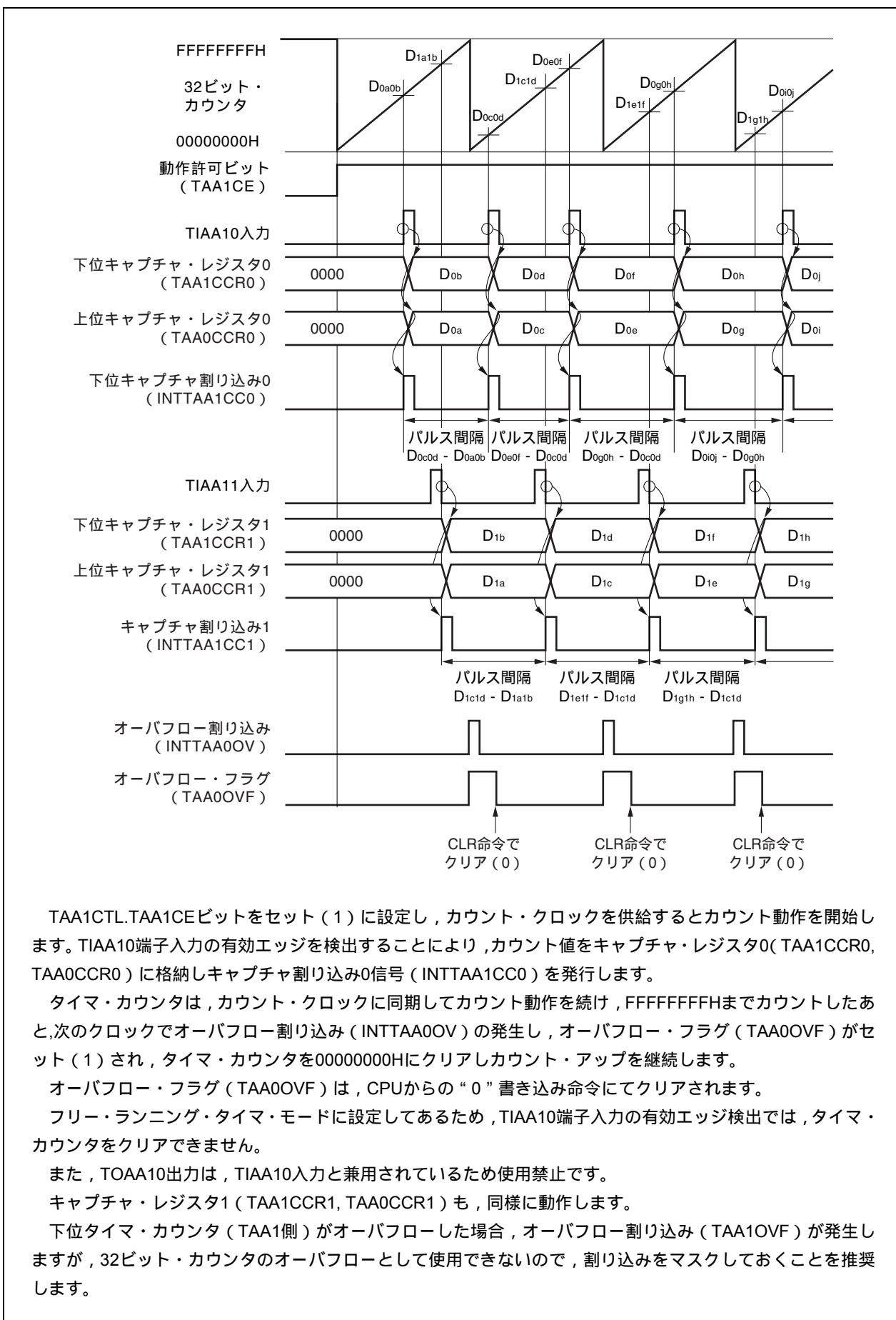


図7-52 TAA1とTAA0をカスケード接続した場合の基本タイミング例



TAA1CTL.TAA1CEビットをセット(1)に設定し、カウント・クロックを供給するとカウント動作を開始します。TIAA10端子入力の有効エッジを検出することにより、カウント値をキャプチャ・レジスタ0(TAA1CCR0, TAA0CCR0)に格納しキャプチャ割り込み0信号(INTTAA1CC0)を発行します。

タイマ・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFFFFHまでカウントしたあと、次のクロックでオーバーフロー割り込み(INTTAA0OV)の発生し、オーバーフロー・フラグ(TAA0OVF)がセット(1)され、タイマ・カウンタを00000000Hにクリアしカウント・アップを続けます。

オーバーフロー・フラグ(TAA0OVF)は、CPUからの“0”書き込み命令にてクリアされます。

フリー・ランニング・タイマ・モードに設定してあるため、TIAA10端子入力の有効エッジ検出では、タイマ・カウンタをクリアできません。

また、TOAA10出力は、TIAA10入力と兼用されているため使用禁止です。

キャプチャ・レジスタ1(TAA1CCR1, TAA0CCR1)も、同様に動作します。

下位タイマ・カウンタ(TAA1側)がオーバーフローした場合、オーバーフロー割り込み(TAA1OVF)が発生しますが、32ビット・カウンタのオーバーフローとして使用できないので、割り込みをマスクしておくことを推奨します。

7.9 セレクタ機能

V850ES/JH3-E, V850ES/JJ3-EではTAA1, TAB0のキャプチャ・トリガ入力を, ポートの兼用端子と周辺I/O (TAA1, TAB0, UARTC0, UARTC1) 信号とで選択が可能です。

UARTCn使用時に, このセレクタ機能によりRXDCn端子からの入力信号を選択すると, UARTCnのLIN受信転送レートのポー・レート誤差算出として使用可能です (n = 0, 1)。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0 レジスタは, CAN0, TAA1, TAB0 のキャプチャ・トリガを選択する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF308H

	7	6	5	4	3	2	1	0
SELCNT0	0	0	0	ISEL4	ISEL3	0	0	ISEL0 ^注

ISEL4	TIAA11キャプチャ・トリガ入力信号の選択
0	TIAA11 (P33兼用) 端子
1	RXDC1 (P24兼用) 端子

ISEL3	TIAA10キャプチャ・トリガ入力信号の選択
0	TIAA10 (P32兼用) 端子
1	RXDC0 (P31兼用) 端子

ISEL0 ^注	TIAB02キャプチャ・トリガ入力信号の選択
0	TIAB02 (P20兼用) 端子
1	CAN0のTSOUT信号

注 μ PD70F3783, 70F3786のみ

注意1. ISEL4, ISEL3, ISEL0の各ビットを“1”に設定する場合は, 対応する機能端子をキャプチャ入力に設定してください。

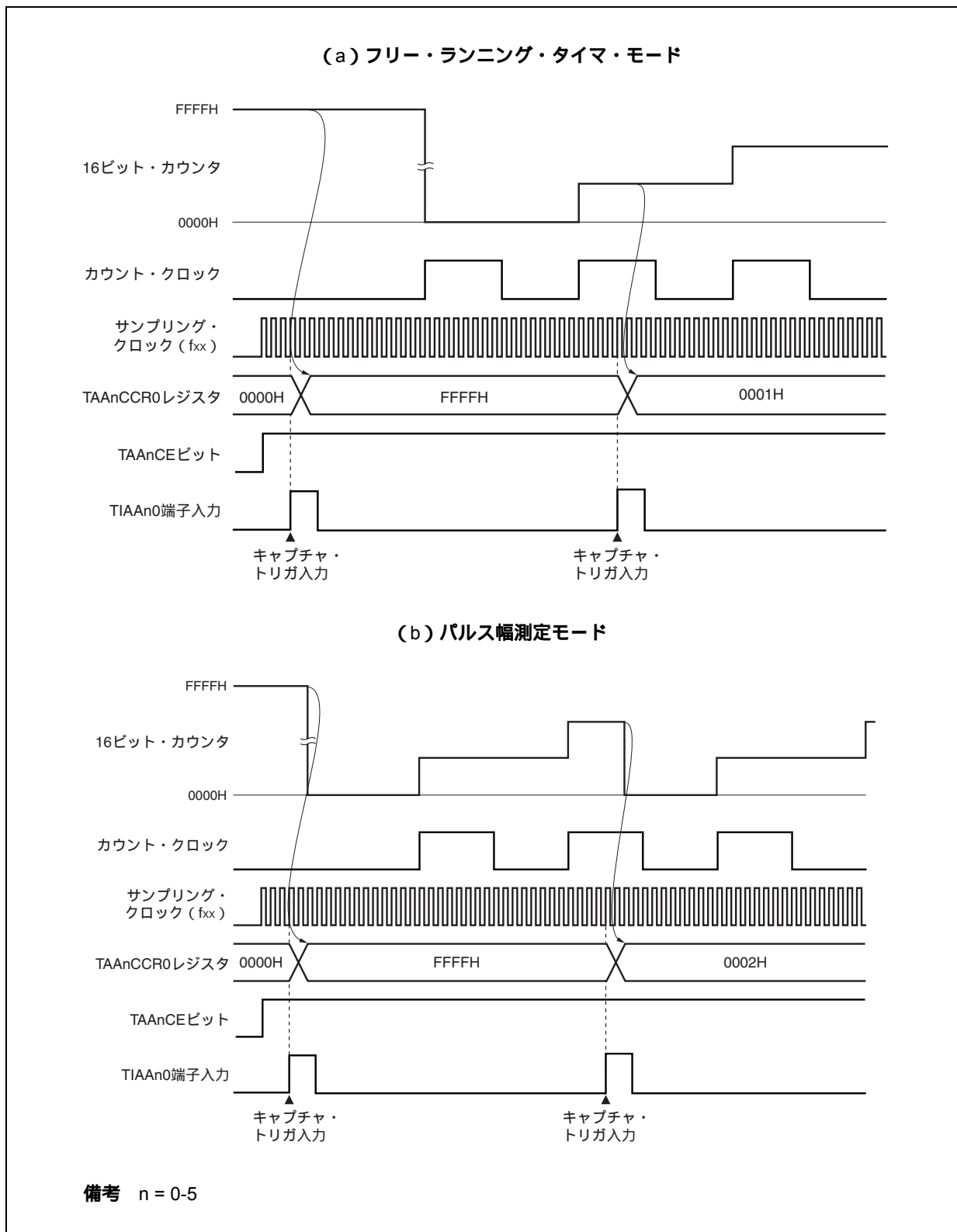
2. ISEL4, ISEL3, ISEL0の各ビットは, 対象となるTAA1, TAB0およびUARTC0, UARTC1, CAN0の動作を停止した状態のときに設定してください。

3. ビット6, 5, 2, 1には必ず“0”を設定してください。

7.10 注意事項

(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TAAAnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TAAAnCCR0, TAAAnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第8章 16ビット・タイマ/イベント・カウンタAB (TAB)

タイマAB (TAB) は、16ビットのタイマ/イベント・カウンタです。

V850ES/JH3-E, V850ES/JJ3-Eは、TAB0, TAB1を内蔵しています。

8.1 概 要

TABnの概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 4本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペア一致割り込み要求信号	: 4本
・タイマ出力端子	: 4本

備考 n = 0, 1

8.2 機 能

TABnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・三角波PWM出力
- ・タイマ同調動作機能
- ・同時スタート機能

備考 n = 0, 1

8.3 構 成

TABnは、次のハードウェアで構成されています。

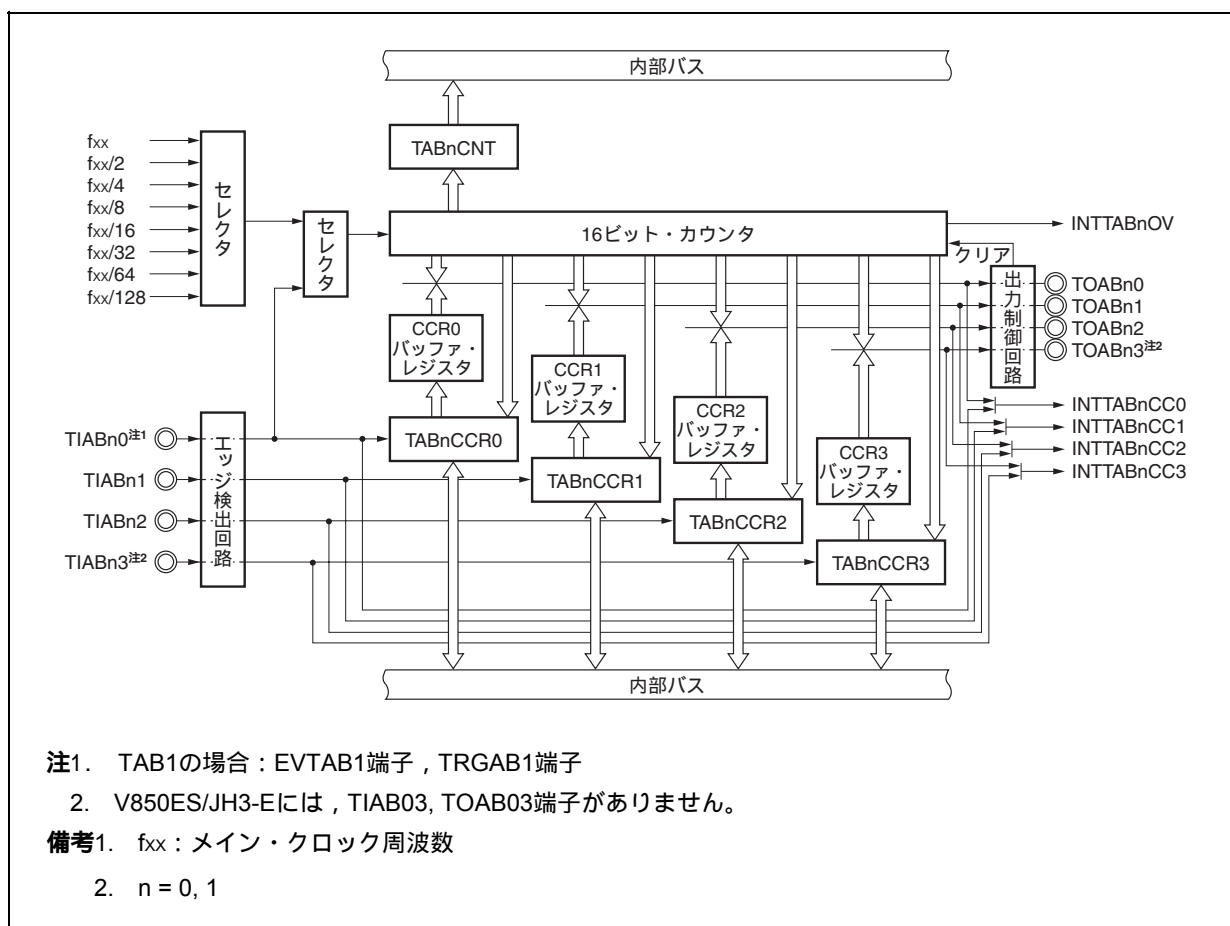
表8 - 1 TABnの構成

項 目	構 成
レジスタ	16ビット・カウンタ TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT) CCR0-CCR3バッファ・レジスタ TABn制御レジスタ0, 1 (TABnCTL0, TABnCTL1) TABnI/O制御レジスタ0-2 (TABnIOC0-TABnIOC2, TABnIOC4) TABnオプション・レジスタ0 (TABnOPT0)
タイマ入力 ^{注1}	4本 (TIABn0 ^{注2} -TIABn3 ^{注3} 端子), EVTAB1, TRGAB1
タイマ出力 ^{注1}	4本 (TOABn0-TOABn3 ^{注3} 端子)

注1. TIABn0-TIABn3, TOABn0-TOABn3端子の機能を使用する場合は、表4 - 18 ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。

2. TIAB00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。
3. V850ES/JH3-Eには、TIAB03, TOAB03端子がありません。

図8 - 1 TABnのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TABnCNTレジスタでリードできます。

TABnCTL0.TABnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTABnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTABnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR0レジスタをコンペア・レジスタとして使用するとき、TABnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR1レジスタをコンペア・レジスタとして使用するとき、TABnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR2レジスタをコンペア・レジスタとして使用するとき、TABnCCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR2レジスタが0000Hになるため、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR3レジスタをコンペア・レジスタとして使用するとき、TABnCCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR3レジスタが0000Hになるため、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIABn0-TIABn3端子に入力される有効エッジを検出します。有効エッジは、TABnIOC1, TABnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。V850ES/JH3-EにはTIAB03端子はありません。

(7) 出力制御回路

TOABn0-TOABn3端子の出力を制御します。TOABn0-TOABn3端子の出力は、TABnIOC0レジスタで制御します。ただし、V850ES/JH3-EにはTOAB03端子はありません。

(8) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

8.4 レジスタ

TABnを制御するレジスタを次に示します。

- ・ TABn制御レジスタ0 (TABnCTL0)
- ・ TABn制御レジスタ1 (TABnCTL1)
- ・ TABnI/O制御レジスタ0 (TABnIOC0)
- ・ TABnI/O制御レジスタ1 (TABnIOC1)
- ・ TABnI/O制御レジスタ2 (TABnIOC2)
- ・ TABnI/O制御レジスタ4 (TABnIOC4)
- ・ TABnオプション・レジスタ0 (TABnOPT0)
- ・ TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)
- ・ TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1)
- ・ TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2)
- ・ TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3)
- ・ TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

備考1. TIABn0-TIABn3, TOABn0-TOABn3端子の機能を使用する場合は、表4 - 18 **ポート端子を兼用端子として使用する場合のレジスタ設定**を参照してください。

2. $n = 0, 1$

(1) TABn制御レジスタ0 (TABnCTL0)

TABnCTL0レジスタは、TABnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TABnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAB0CTL0 FFFFF540H, TAB1CTL0 FFFFF560H

	⑦	6	5	4	3	2	1	0
TABnCTL0 (n = 0, 1)	TABnCE	0	0	0	0	TABnCKS2	TABnCKS1	TABnCKS0

TABnCE	TABnの動作の制御
0	TABn動作禁止 (TABnを非同期にリセット ^注)
1	TABn動作許可。TABn動作開始

TABnCKS2	TABnCKS1	TABnCKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TABnOPT0.TABnOVFビット, 16ビット・カウンタ, タイマ出力 (TOABn0-TOABn3端子)。

注意1. TABnCKS2-TABnCKS0ビットは、TABnCEビット = 0のときに設定してください。TABnCEビットを“0”から“1”に設定するときに、同時にTABnCKS2-TABnCKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 fxx：メイン・クロック周波数

(2) TABn制御レジスタ1 (TABnCTL1)

TABnCTL1レジスタは、TABnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0CTL1 FFFFFFF541H, TAB1CTL1 FFFFFFF561H

	7	6	5	4	3	2	1	0
TABnCTL1 (n = 0, 1)	0	TABnEST	TABnEEE	0	0	TABnMD2	TABnMD1	TABnMD0

TABnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TABnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TABnESTビットへの“1”ライトをトリガとして、PWM波形を出力

TABnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TABnCTL0.TABnCK0-TABnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TABnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TABnMD2	TABnMD1	TABnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	三角波PWMモード

注意1. TABnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。

2. ビット3, 4, 7は必ず“0”を設定してください。

3. 外部イベント・カウント・モードのときは、TABnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。

4. TABnEEE, TABnMD2-TABnMD0ビットは、TABnCTL0.TABnCEビット = 0のときに設定してください(TABnCEビット = 1のときの同値書き込みは可能)。TABnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TABnCEビットをクリア(0)してから再設定してください。

(3) TABnI/O制御レジスタ0 (TABnIOC0)

TABnIOC0レジスタは、タイマ出力 (TOABn0-TOABn3端子) を制御する8ビット・レジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

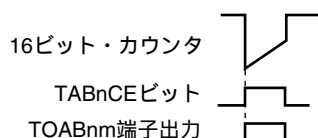
リセット時: 00H R/W アドレス: TAB0IOC0 FFFFF542H, TAB1IOC0 FFFFF562H

	7	⑥	5	④	3	②	1	①
TABnIOC0 (n = 0, 1)	TABnOL3 ^{注1}	TABnOE3 ^{注1}	TABnOL2	TABnOE2	TABnOL1	TABnOE1	TABnOL0	TABnOE0
TABnOLm	TOABnm端子出力レベルの設定 (m = 0-3) ^{注2}							
0	TOABnm端子ハイ・レベル・スタート							
1	TOABnm端子ロウ・レベル・スタート							
TABnOEm	TOABnm端子出力の設定 (m = 0-3)							
0	タイマ出力禁止 ・TABnOLmビット = 0のときTOABnm端子からロウ・レベルを出力 ・TABnOLmビット = 1のときTOABnm端子からハイ・レベルを出力							
1	タイマ出力許可 (TOABnm端子から方形波を出力)							

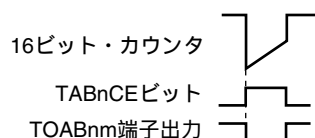
注1. V850ES/JH3-EにはTOAB03端子がありません。TAB0OL3, TAB0OE3ビットは(0)に設定してください

2. TABnOLmビットの指定によるタイマ出力端子 (TOABnm) の出力レベルを次に示します。

・TABnOLmビット = 0の場合



・TABnOLmビット = 1の場合



注意1. TABnOLm, TABnOEmビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

2. TABnCEビット = 0, TABnOEmビット = 0の状態において、TABnOLmビットを操作した場合でも、TOABnm端子の出力レベルは変化します。

備考 m = 0-3

(4) TABnI/O制御レジスタ1 (TABnIOC1)

TABnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIABn0-TIABn3端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAB0IOC1 FFFFFFF543H, TAB1IOC1 FFFFFFF563H

	7	6	5	4	3	2	1	0
TABnIOC1 (n = 0, 1)	TABnIS7 ^注	TABnIS6 ^注	TABnIS5	TABnIS4	TABnIS3	TABnIS2	TABnIS1	TABnIS0

TABnIS7	TABnIS6	キャプチャ・トリガ入力信号 (TIABn3端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS5	TABnIS4	キャプチャ・トリガ入力信号 (TIABn2端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS3	TABnIS2	キャプチャ・トリガ入力信号 (TIABn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS1	TABnIS0	キャプチャ・トリガ入力信号 (TIABn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注 V850ES/JH3-EにはTIAB03端子がありません。TAB0IS7, TAB0IS6ビットは(0)に設定してください

- 注意**1. TABnIS7-TABnIS0ビットは、TABnCTL0.TABnCEビット= 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア(0)してから再設定してください。
2. TABnIS7-TABnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TABn/O制御レジスタ2 (TABnIOC2)

TABnIOC2レジスタは、外部イベント・カウント入力信号 (TIAB00/EVTAB1端子)、外部トリガ入力信号 (TIAB00/TRGAB1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAB0IOC2 FFFFFFF544H, TAB1IOC2 FFFFFFF564H

	7	6	5	4	3	2	1	0
TABnIOC2 (n = 0, 1)	0	0	0	0	TABnEES1	TABnEES0	TABnETS1	TABnETS0

TABnEES1	TABnEES0	外部イベント・カウント入力信号 (TIAB00/EVTAB1端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnETS1	TABnETS0	外部トリガ入力信号 (TIAB00/TRGAB1端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TABnEES1, TABnEES0, TABnETS1, TABnETS0ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
2. TABnEES1, TABnEES0ビットは、TABnCTL1.TABnEEEビット = 1、または外部イベント・カウント・モード (TABnCTL1.TABnMD2-TABnMD0ビット = 001) に設定したときのみ有効です。
3. TABnETS1, TABnETS0ビットは、外部トリガ・パルス出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 010)、ワンショット・パルス出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 011) に設定したときのみ有効です。

(6) TABnI/O制御レジスタ4 (TABnIOC4)

TABnIOC4レジスタは、タイマ出力を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。タイマ動作停止 (TABnCTL0.TABnCE = 0) ではリセットされません。

注意1. 次に示す状態において、TABnIOC4レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

2. TABnIOC4レジスタはインターバル・タイマ・モード、フリー・ランニング・タイマ・モード時のみ設定できます。それ以外のモードでは必ず00Hに設定してください(モード設定については8. 4 (2) TABn制御レジスタ1 (TABnCTL1) を参照してください)。またフリー・ランニング・タイマ・モードに設定してもTABnCCR0-TABnCCR3レジスタをキャプチャ機能に設定した場合はTABnIOC4レジスタの設定は無効になります。

リセット時：00H R/W アドレス：TAB0IOC4 FFFFF550H, TAB1IOC4 FFFFF570H

		7	6	5	4	3	2	1	0
TABnIOC4		TABnOS3 ^注	TABnOR3 ^注	TABnOS2	TABnOR2	TABnOS1	TABnOR1	TABnOS0	TABnOR0
(n = 0, 1)									
	TABnOSm	TABnORm	TOABnm端子のトグル制御 (m = 0-3)						
	0	0	要求なし。通常のトグル動作						
	0	1	リセット要求 次回16ビット・カウンタの値とTAA nCCRmレジスタの値の一致でインアクティブ・レベルに固定						
	1	0	セット要求 次回16ビット・カウンタの値とTAA nCCRmレジスタの値の一致でアクティブ・レベルに固定						
	1	1	キープ要求 現在の出力レベルを保持						

注 V850ES/JH3-EにはTOAB03端子がありません。TAB0OS3, TAB0OR3ビットは(0)に設定してください。

(7) TABnオプション・レジスタ0 (TABnOPT0)

TABnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0OPT0 FFFFF545H, TAB1OPT0 FFFFF565H

	7	6	5	4	3	2	1	①
TABnOPT0 (n = 0, 1)	TABnCCS3 ^{注1}	TABnCCS2	TABnCCS1	TABnCCS0	0	TAB1CMS ^{注2}	TABnCUF	TABnOVF

TABnCCSm	TABnCCRmレジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TABnCCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TABnOVF	TABnのオーバフロー検出
セット (1)	オーバフロー発生
リセット (0)	TABnOVFビットへの0ライトまたはTABnCTL0.TABnCEビット = 0
<ul style="list-style-type: none"> ・TABnOVFビットは、カウントフリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット (1) されます。 ・TABnOVFビットがセット (1) されると同時に、割り込み要求信号 (INTTABnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTABnOV信号は発生しません。 ・TABnOVFビット = 1のときにTABnOVFビットまたはTABnOPT0レジスタをリードしてもTABnOVFビットはクリアされません。 ・TABnOVFビットはリード/ライト可能ですが、ソフトウェアでTABnOVFビットをセット (1) することはできません。“1”をライトしてもTABnの動作に影響はありません。 	

注1. V850ES/JH3-EにはTIAB03端子がありません。TAB0CCS3ビットは (0) に設定してください。

2. TAB1CMSビットは、モータ制御機能で使います。詳細は第11章モータ制御機能を参照してください。

注意1. TABnCCS3-TABnCCS0ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

2. ビット3には必ず“0”を設定してください。モータ制御機能を使用しない場合は、ビット2も必ず“0”を設定してください。

備考 m = 0-3

(8) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

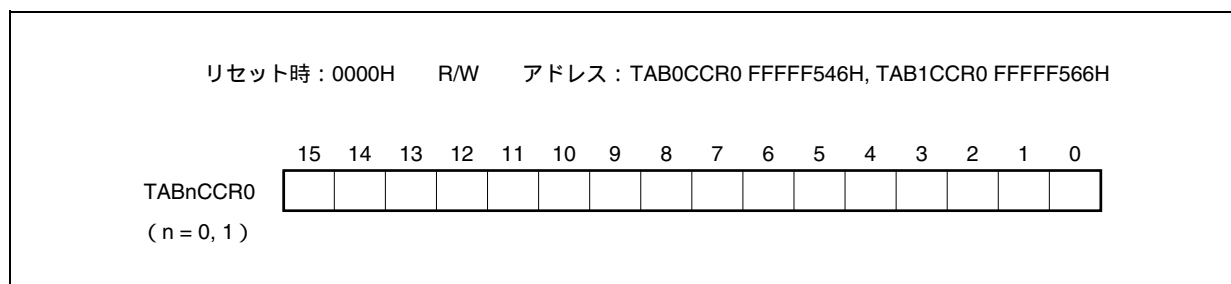
TABnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR0レジスタへのアクセスは禁止です。詳細は3.4.9(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR0レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC0) を発生し、TOABn0端子出力を許可している場合、TOABn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、三角波PWMモードにおいて、TABnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTABnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTABnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR0レジスタのリードが競合しても、TABnCCR0レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(9) TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1)

TABnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

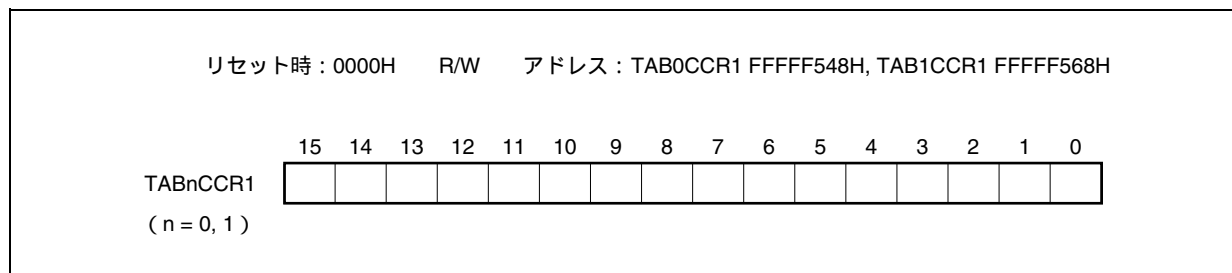
TABnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR1レジスタへのアクセスは禁止です。詳細は3.4.9(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR1レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC1) を発生し、TOABn1端子出力を許可している場合、TOABn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR1レジスタのリードが競合しても、TABnCCR1レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(10) TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2)

TABnCCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

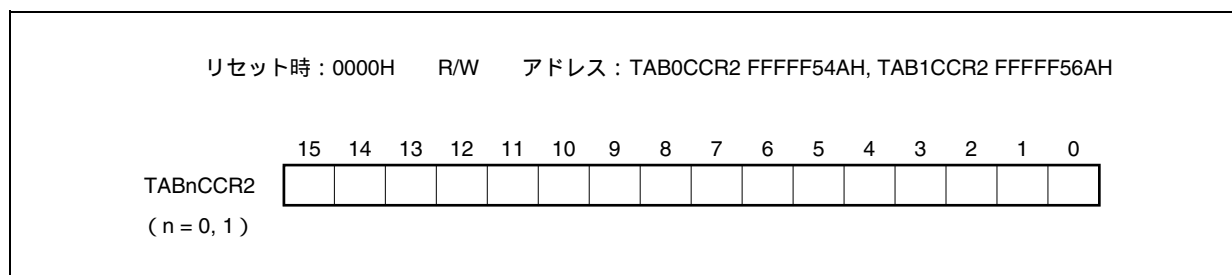
TABnCCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR2レジスタへのアクセスは禁止です。詳細は3.4.9(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR2レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC2) を発生し、TOABn2端子出力を許可している場合、TOABn2端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR2レジスタのリードが競合しても、TABnCCR2レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(11) TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3)

TABnCCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです（ただしV850ES/JH3-EはTIAB03端子がないので、TAB0CCR3レジスタはコンペア機能しか使用できません）。

TABnCCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

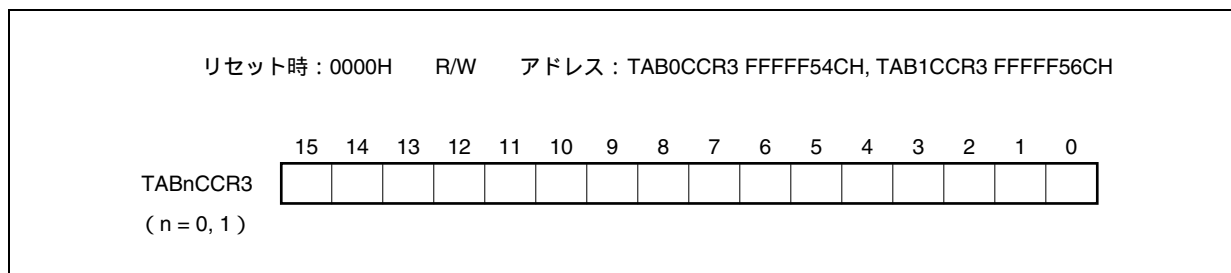
TABnCCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR3レジスタへのアクセスは禁止です。詳細は3.4.9(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR3レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC3) を発生し、TOABn3端子出力を許可している場合、TOABn3端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn3端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn3端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR3レジスタのリードが競合しても、TABnCCR3レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(12) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TABnCTL0.TABnCEビット = 1のときにTABnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

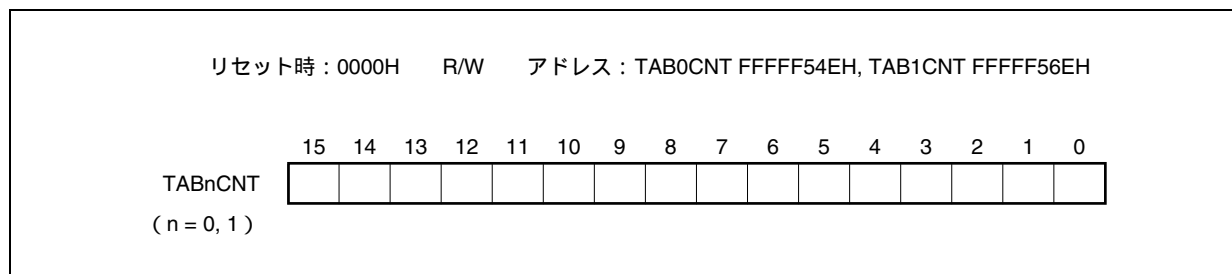
16ビット単位でリードのみ可能です。

TABnCEビット = 0のとき、TABnCNTレジスタは0000Hになります。このときにTABnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTABnCEビット = 0になるため、TABnCNTレジスタは0000Hになります。

注意 次に示す状態において、TABnCNTレジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



8.5 動作

TABnには次のような動作があります。

動作	TABnCTL1.TABnESTビット (ソフトウェア・トリガ・ビット)	TIABn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外
三角波PWMモード	無効	無効	コンペア専用	一斉書き込み

注1. 外部イベント・カウント・モードを使用する場合、TIABn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TABnIOC1.TABnIS1, TABnIS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TABnCTL1.TABnEEEビット = 0に設定) してください。

備考 n = 0, 1

8.5.1 インターバル・タイマ・モード (TABnMD2-TABnMD0ビット = 000)

インターバル・タイマ・モードは、TABnCTL0.TABnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTABnCC0) を発生します。また、TOABn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TABnCCR1-TABnCCR3レジスタを使用しません。

図8-2 インターバル・タイマの構成図

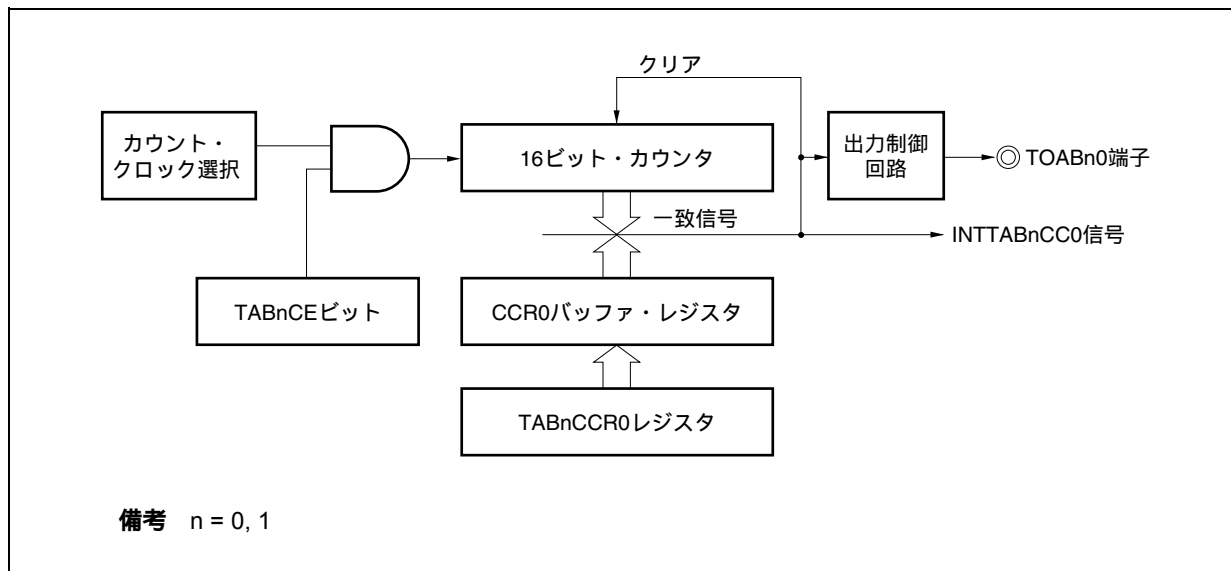
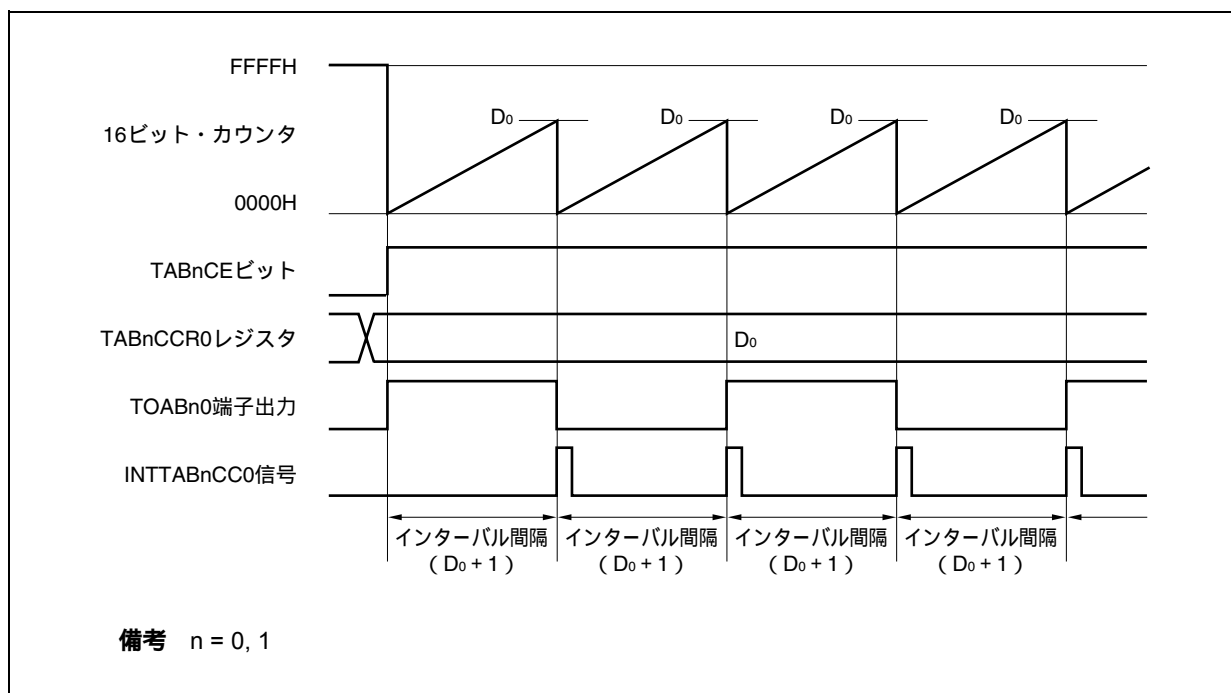


図8-3 インターバル・タイマ・モード動作の基本タイミング



TABnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOABn0端子出力を反転します。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOABn0端子出力を反転させて、コンペア一致割り込み要求信号(INTTABnCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TABnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

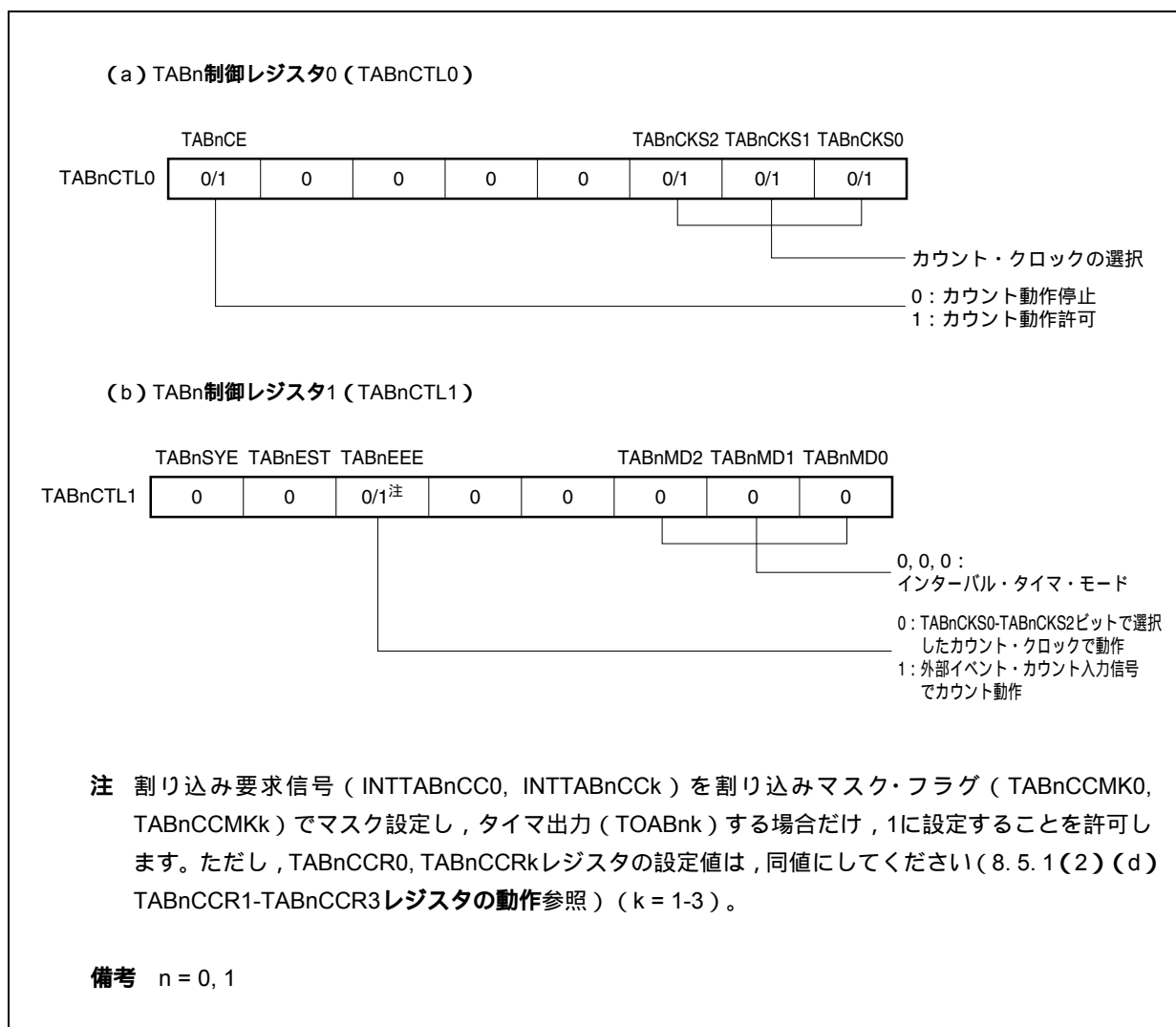
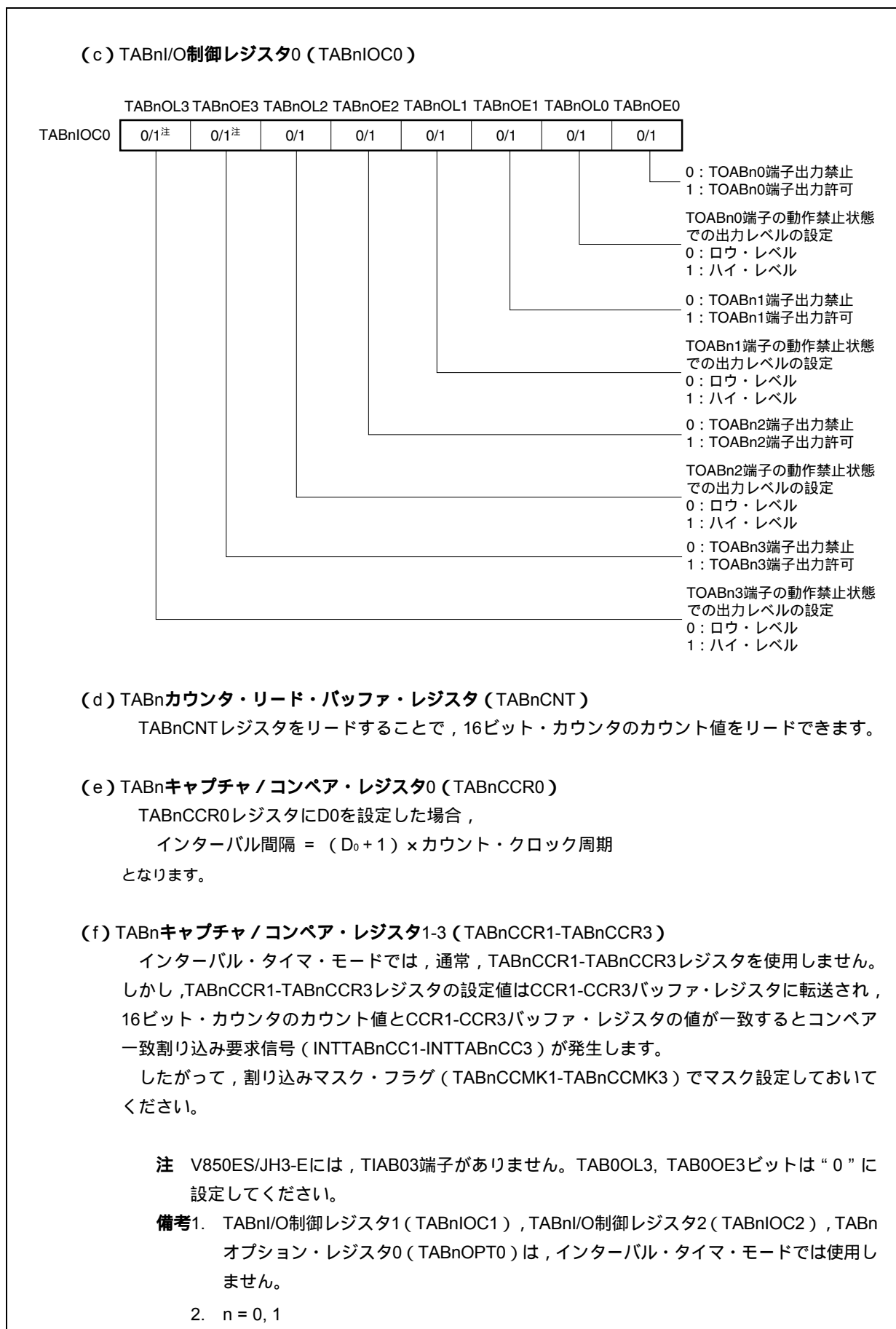
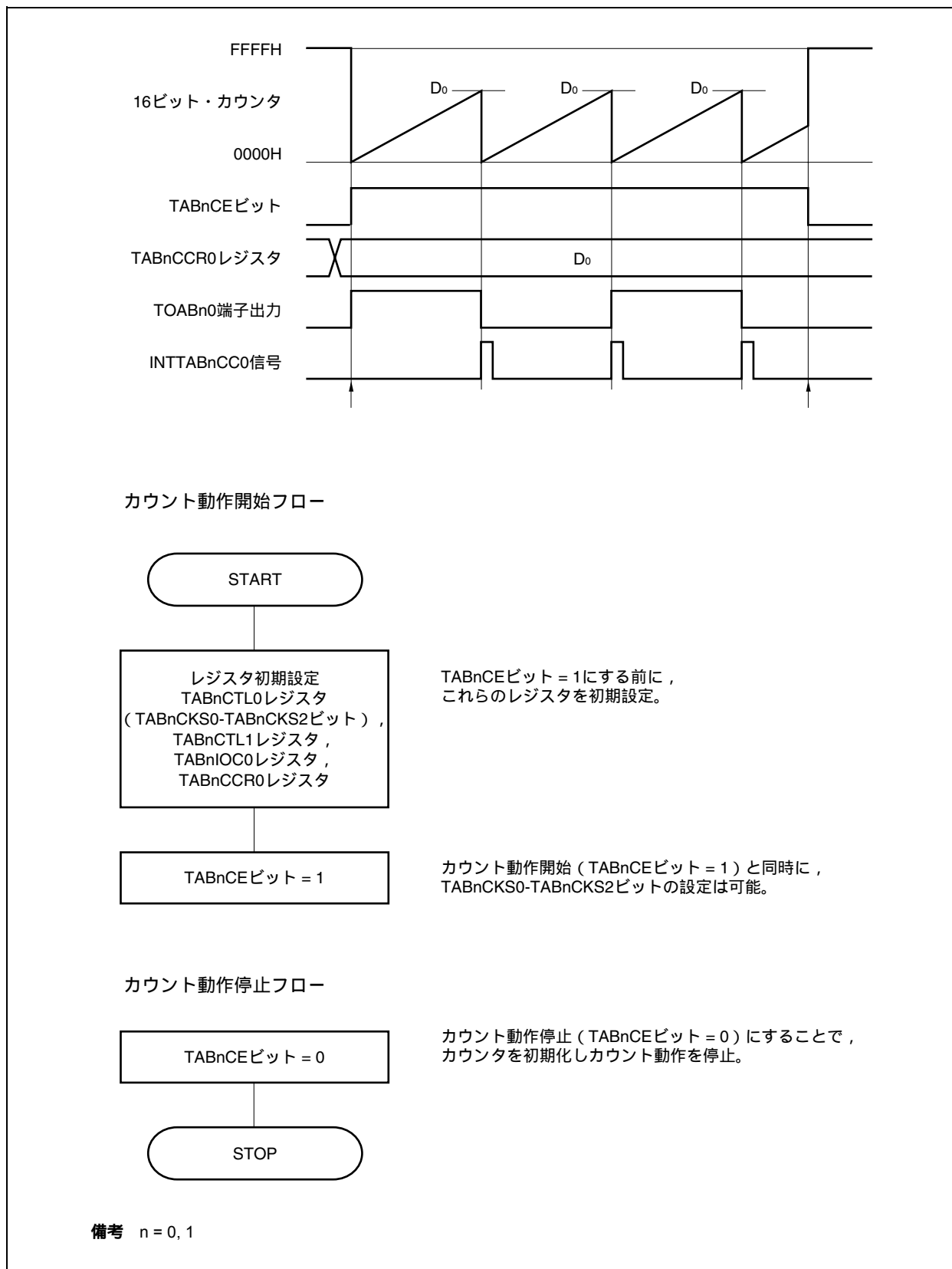


図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)



(1) インターバル・タイマ・モード動作フロー

図8 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

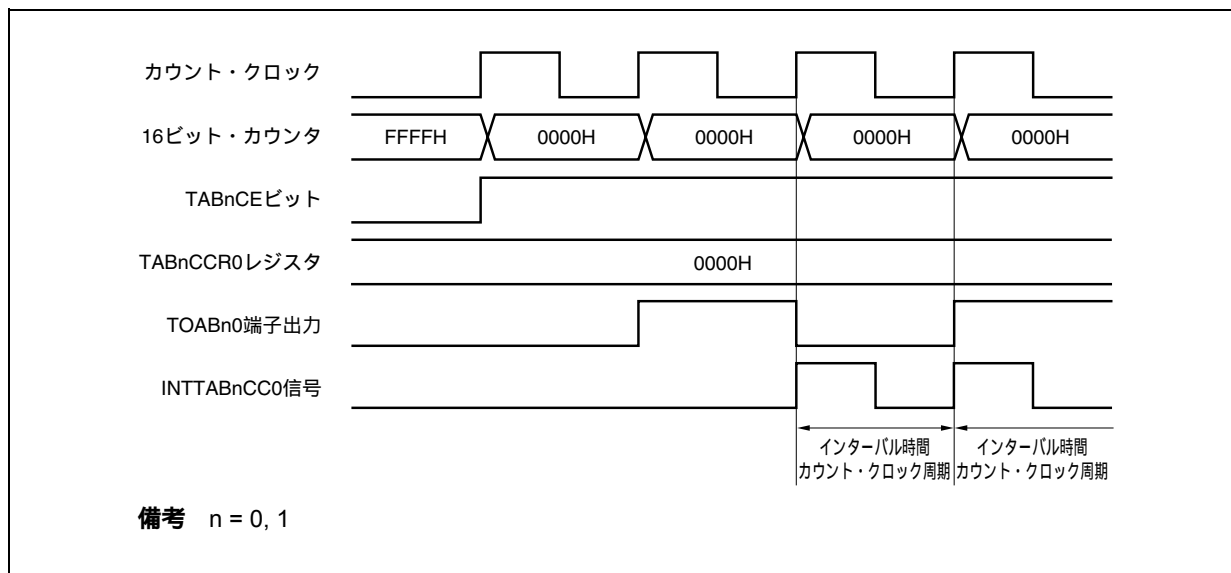


(2) インターバル・タイマ・モード動作タイミング

(a) TABnCCR0レジスタに0000Hを設定した場合の動作

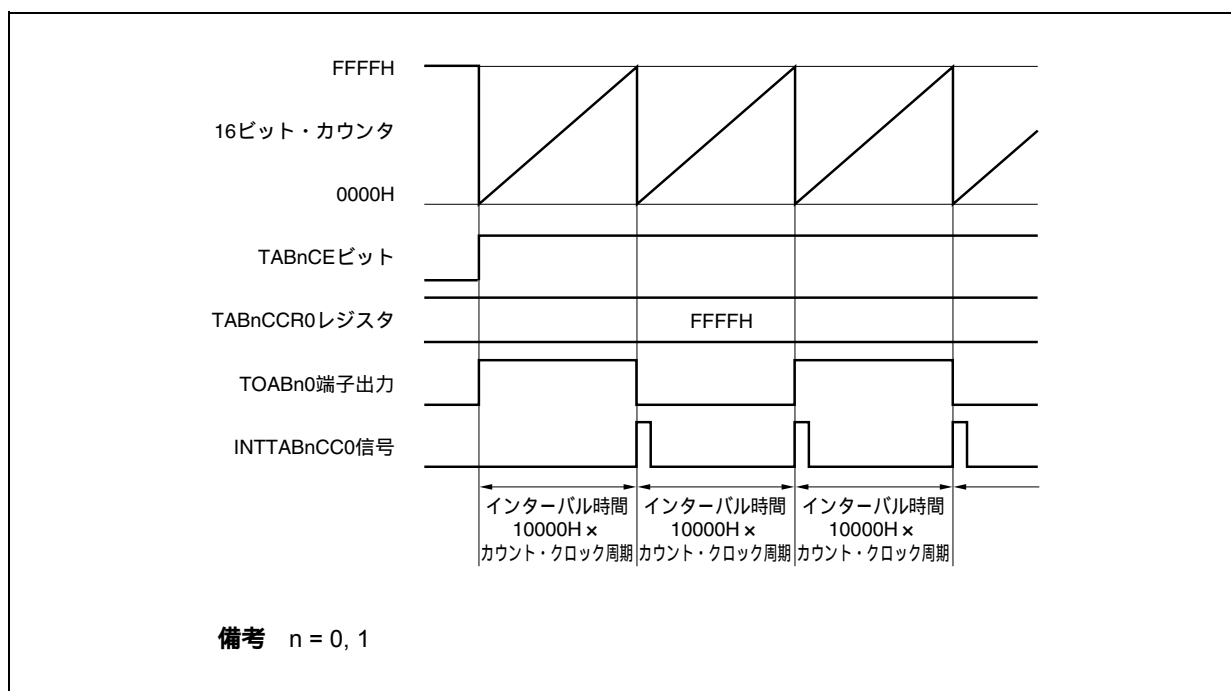
TABnCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTABnCC0信号を発生し、TOABn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TABnCCR0レジスタにFFFFHを設定した場合の動作

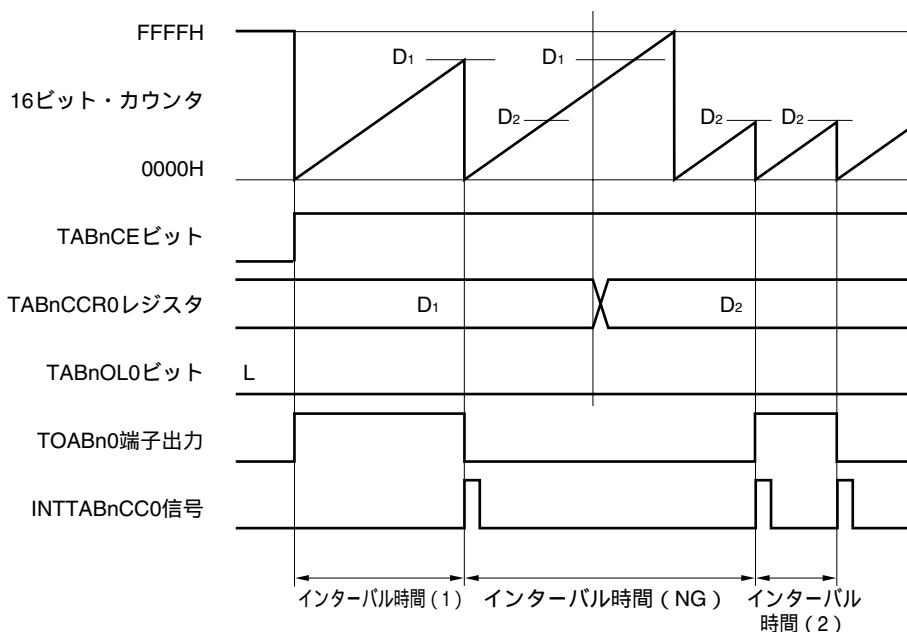
TABnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウンタ・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTABnCC0信号を発生し、TOABn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTABnOV) は発生せず、オーバフロー・フラグ (TABnOPT0.TABnOVFビット) もセット (1) されません。



(c) TABnCCR0レジスタの書き換えに関する注意事項

TABnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



- 備考1. インターバル時間 (1) : $(D_1 + 1) \times \text{カウント・クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント・クロック周期}$
2. $n = 0, 1$

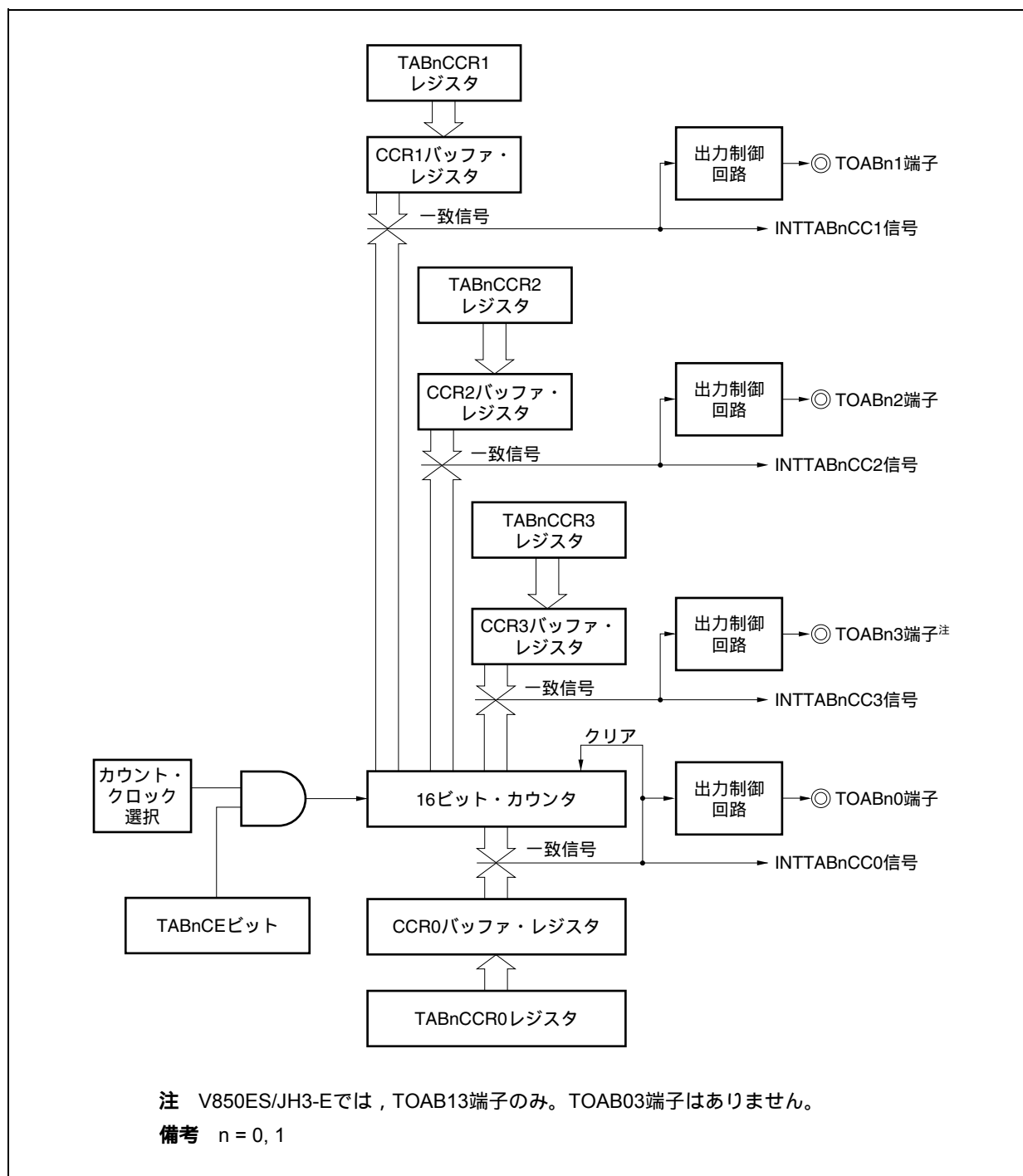
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TABnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTABnCC0信号を発生しTOABn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTABnCC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTABnCC0信号が発生する場合があります。

(d) TABnCCR1-TABnCCR3レジスタの動作

図8 - 6 TABnCCR1-TABnCCR3レジスタの構成図



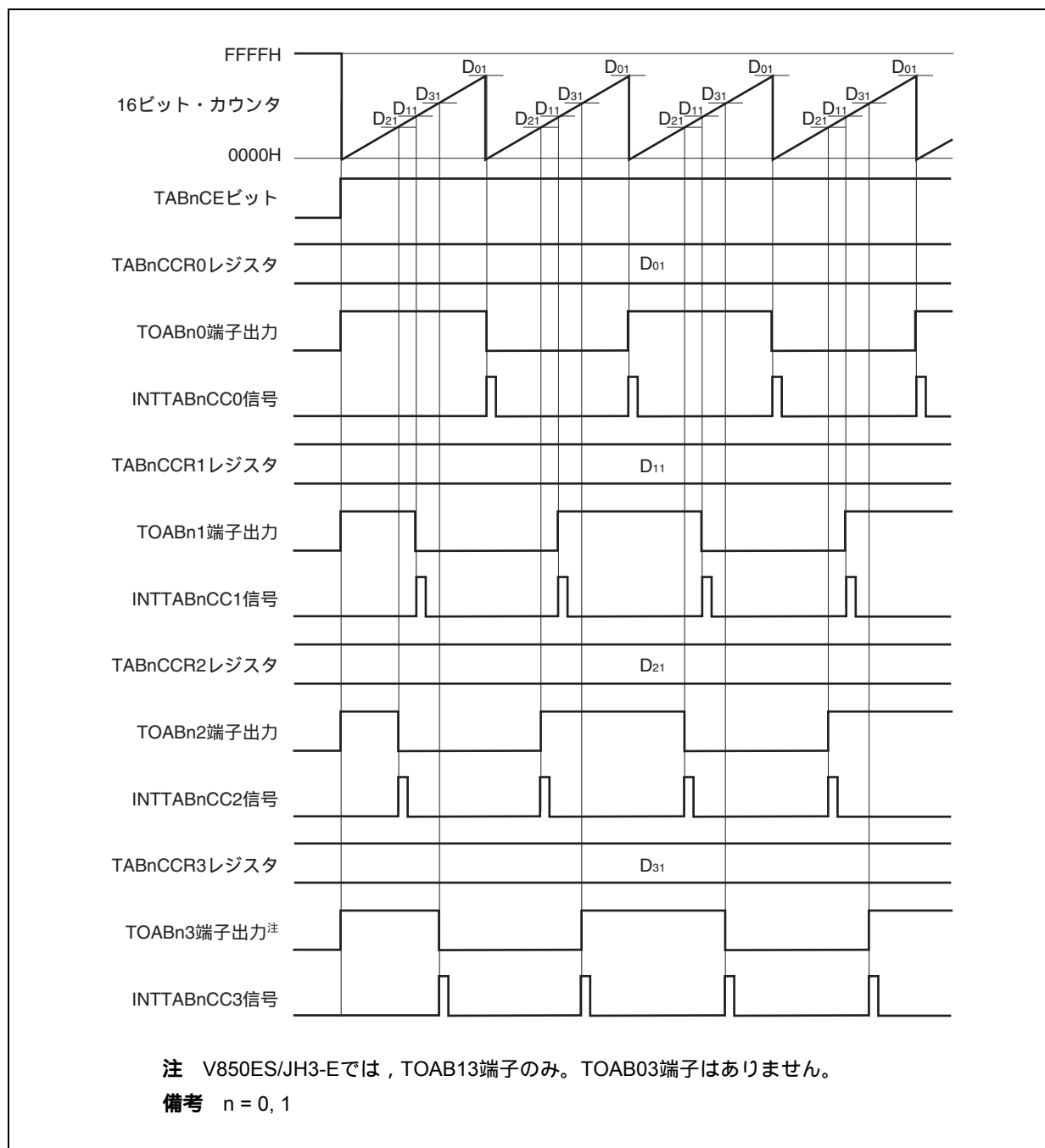
TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTABnCCk信号が発生します。また、同じタイミングでTOABnk端子出力は反転します。

TOABnk端子出力は、TOABn0端子出力と同じ周期の方形波を出力します。

備考 k = 1-3,

n = 0, 1

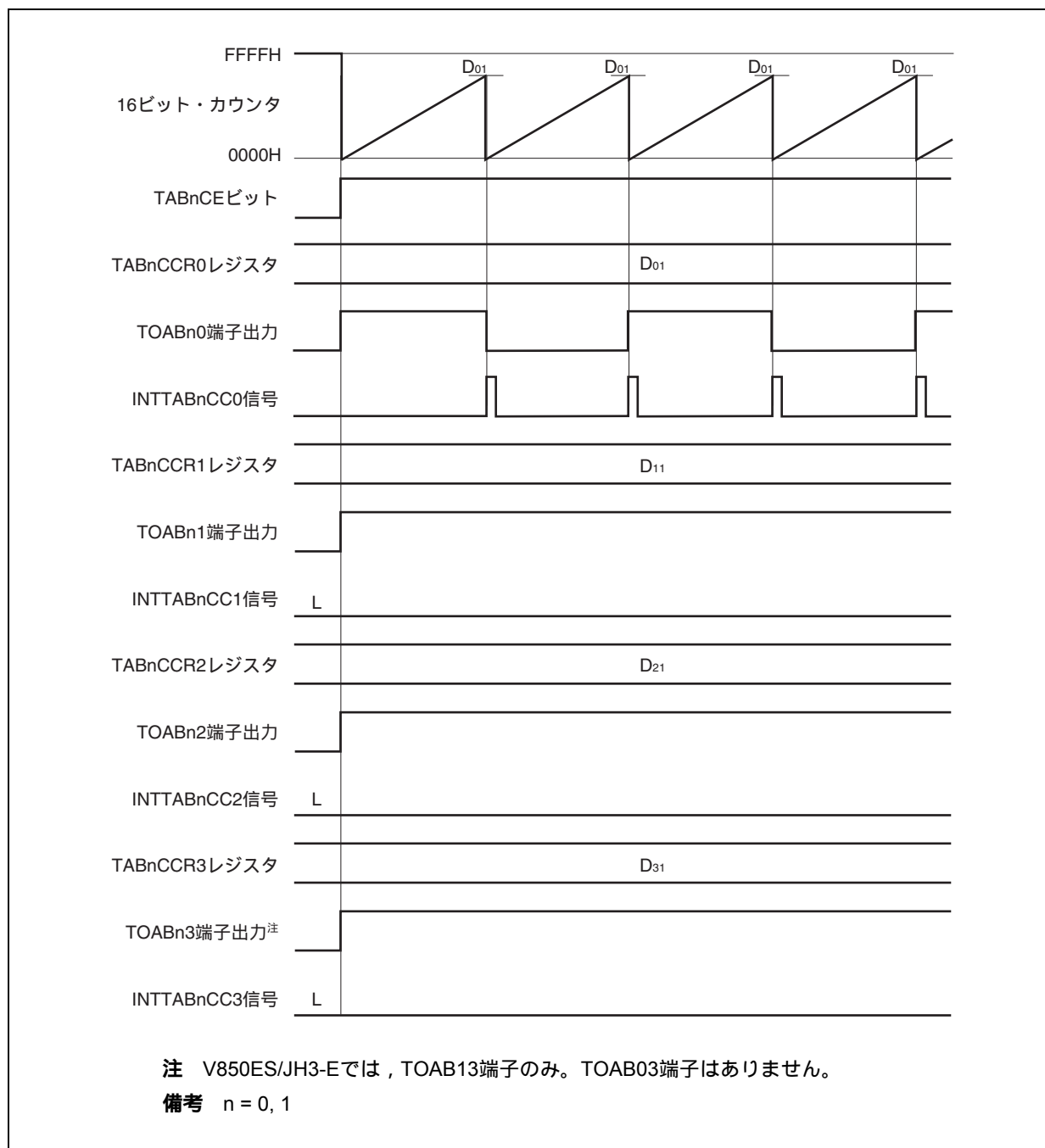
図8 - 7 D₀₁ D_{k1}の場合のタイミング図



TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値が一致しないので、INTTABnCCk信号は発生しません。また、TOABnk端子出力も変化しません。

備考 k = 1-3,
n = 0, 1

図8 - 8 $D_{01} < D_{k1}$ の場合のタイミング図



8.5.2 外部イベント・カウント・モード (TABnMD2-TABnMD0ビット = 001)

外部イベント・カウント・モードは、TABnCTL0.TABnCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号(INTTABnCC0)を発生します。TOABn0端子は使用できません。

外部イベント・カウント・モードでは、通常、TABnCCR1-TABnCCR3レジスタは使用しません。

図8-9 外部イベント・カウント・モードの構成図

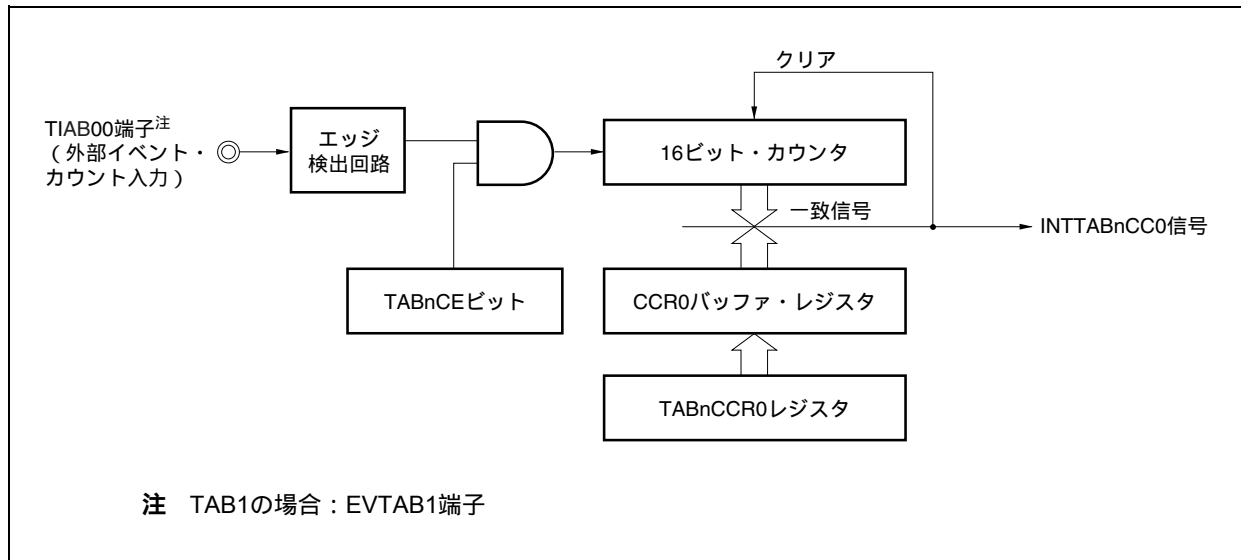
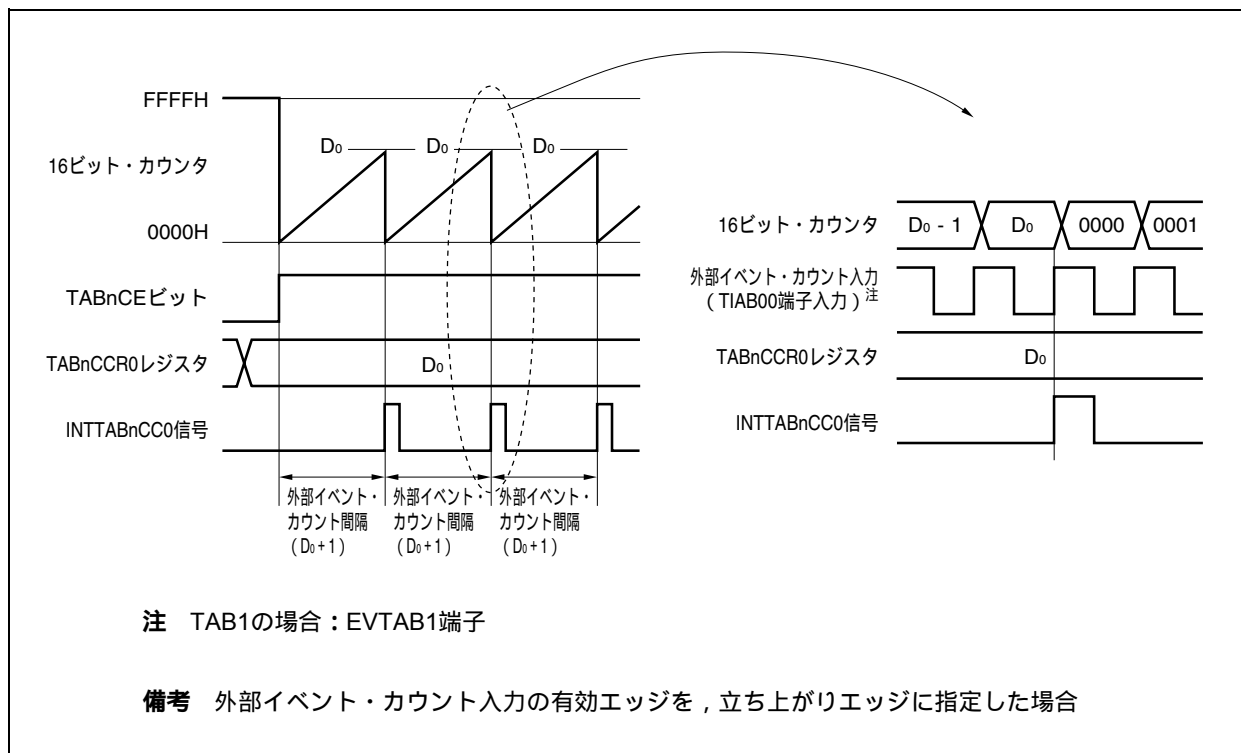


図8-10 外部イベント・カウント・モードの基本タイミング



TABnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することによりカウント動作を行います。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTABnCC0) を発生します。

INTTABnCC0信号は、外部イベント・カウント入力の有効エッジを (TABnCCR0レジスタに設定した値 + 1) 回検出することにより発生します。

図8 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

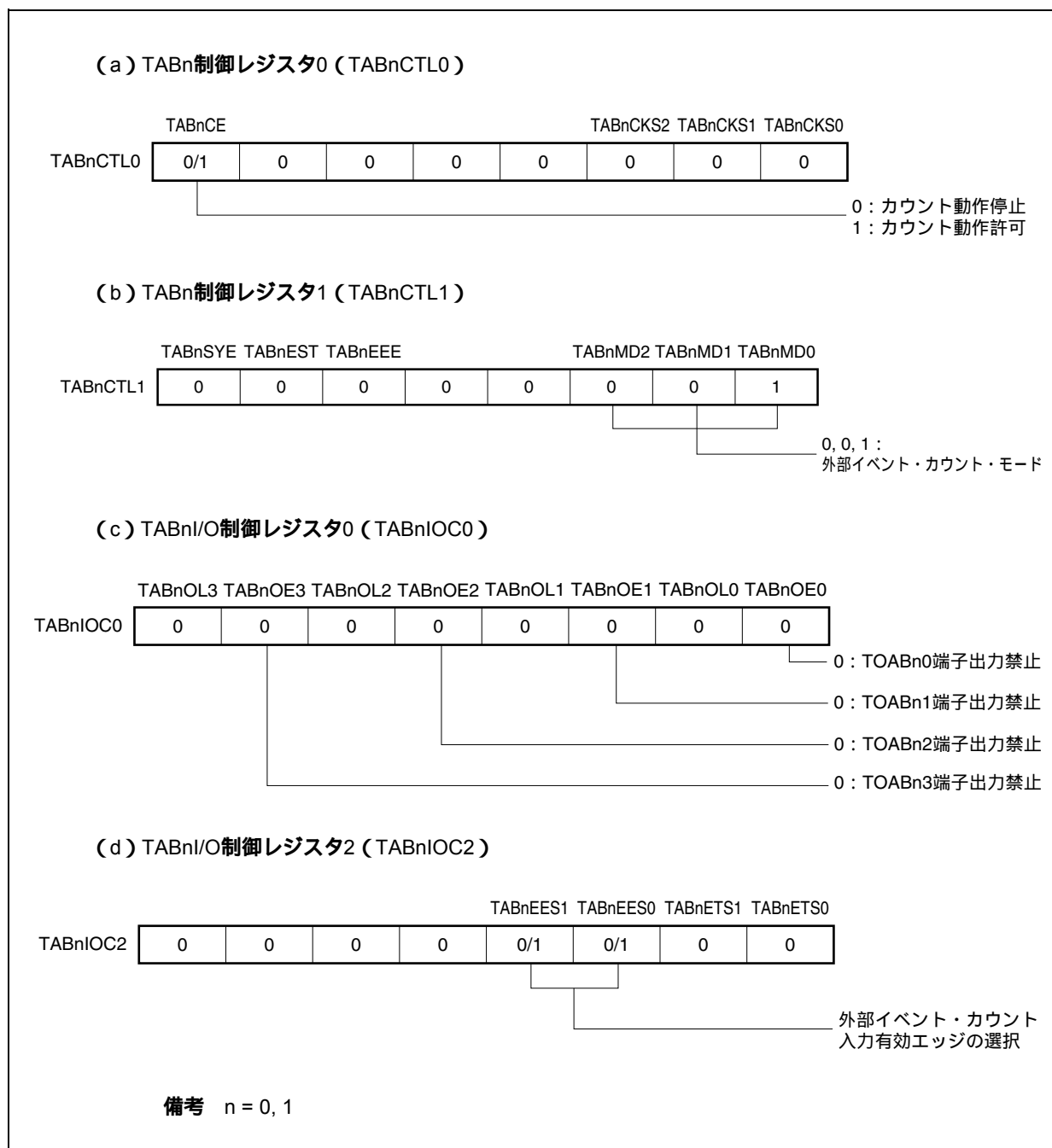


図8 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABnCCR0レジスタにD0を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号(INTTABnCC0)を発生します。

(g) TABnキャプチャ/コンペア・レジスタ1-3 (TABnCCR1-TABnCCR3)

外部イベント・カウント・モードでは、通常、TABnCCR1-TABnCCR3レジスタは使用しません。しかし、TABnCCR1-TABnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTABnCC1-INTTABnCC3)が発生します。

したがって、割り込みマスク・フラグ(TABnCCMK1-TABnCCMK3)でマスク設定しておいてください。

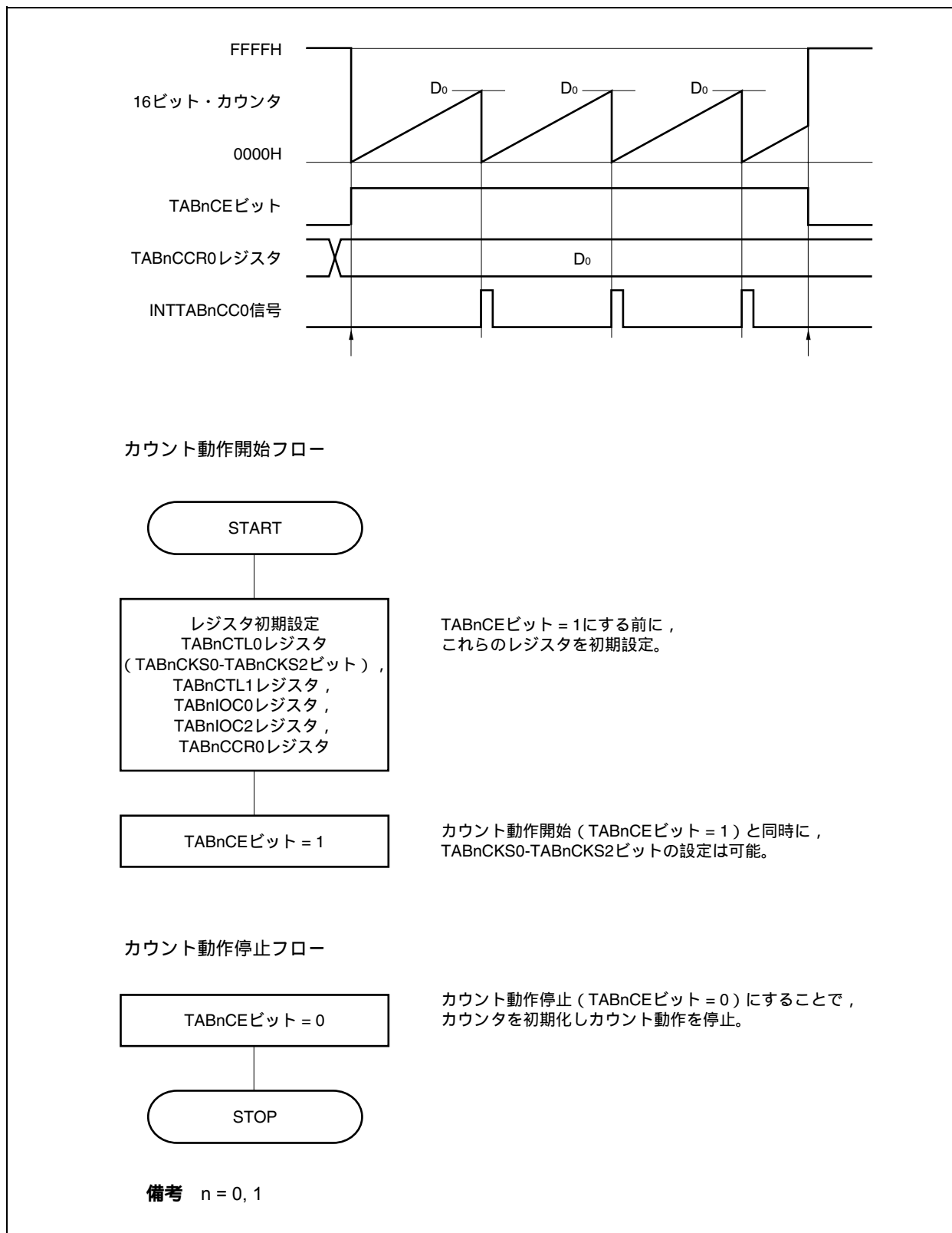
注意 TAB0の場合、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAB00端子からのみ入力できます。このとき、TAB0IOC1.TAB0IS1, TAB0IS0ビット = 00 (キャプチャ・トリガ入力(TIAB00端子)：エッジ検出なし)に設定してください。

備考1. TABnI/O制御レジスタ1 (TABnIOC1)，TABnオプション・レジスタ0 (TABnOPT0) は、外部イベント・カウント・モードでは使用しません。

2. n = 0, 1

(1) 外部イベント・カウント・モード動作フロー

図8 - 12 外部イベント・カウント・モード使用時のソフトウェア処理フロー

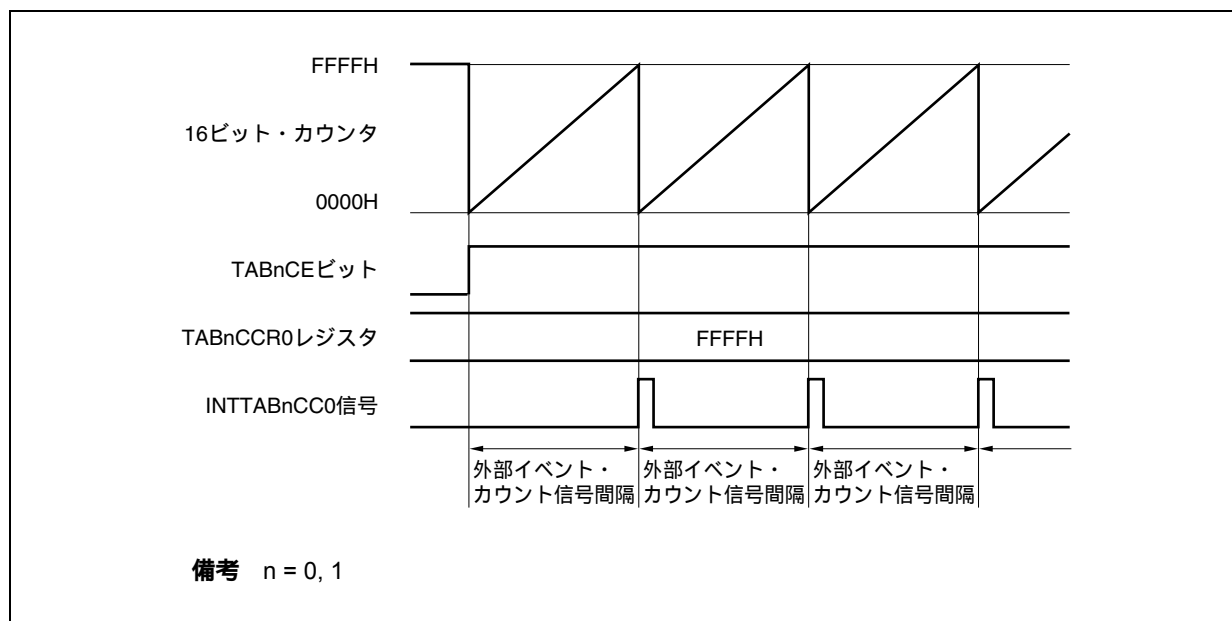


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TABnCCR0レジスタには, 0000Hを設定しないでください。
2. 外部イベント・カウント・モード時, タイマ出力は使用禁止です。外部イベント・カウント入力
でタイマ出力を行う場合は, インターバル・タイマ・モードに設定してカウント・クロックを外
部イベント・カウント入力での動作許可に選択してください (TABnCTL1.TABnMD2-TABnMD0
ビット = 000, TABnCTL1.TABnEEEビット = 1)。

(a) TABnCCR0レジスタにFFFFHを設定した場合の動作

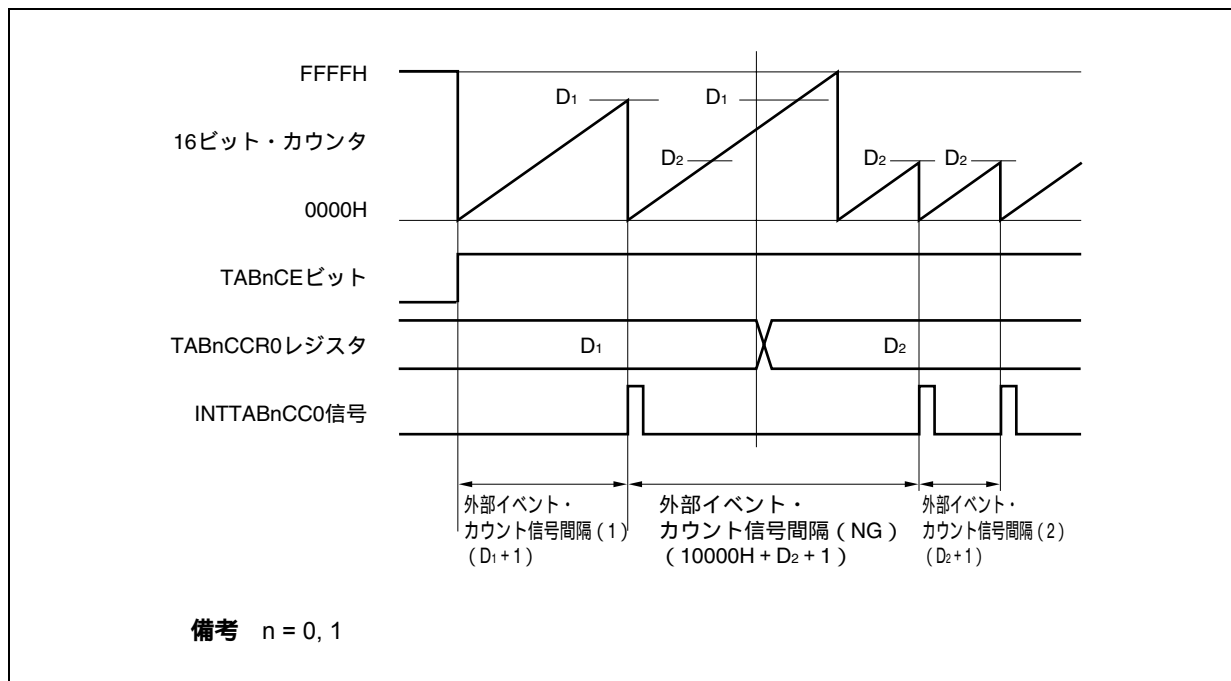
TABnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号
の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミング
に同期して, 16ビット・カウンタを0000Hにクリアし, INTTABnCC0信号を発生します。このとき,
TABnOPT0.TABnOVFビットはセットされません。



(b) TABnCCR0レジスタの書き換えに関する注意事項

TABnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



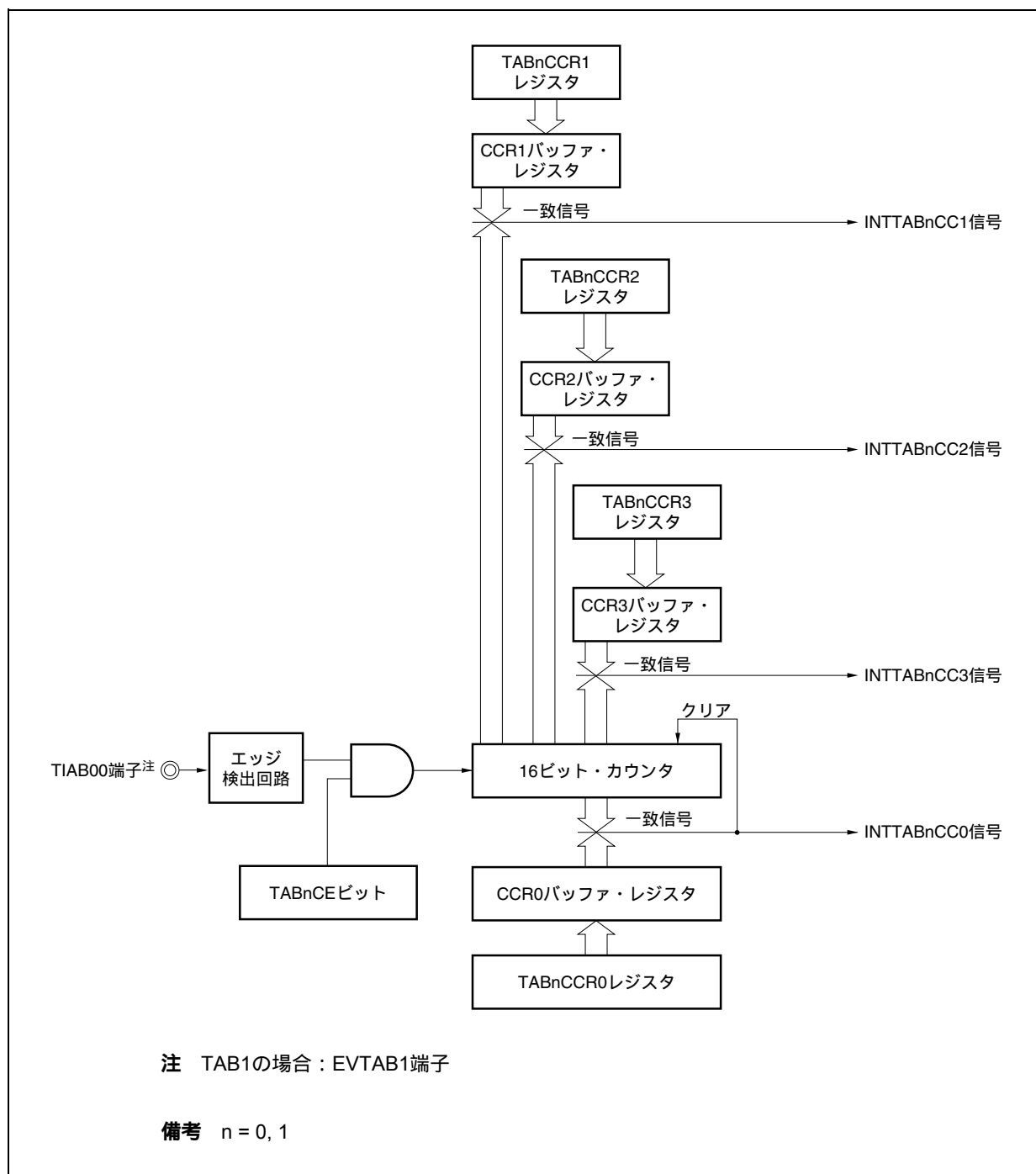
カウント値がD₂よりも大きくD₁よりも小さい状態において、TABnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTABnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTABnCC0信号は発生せず、「(10000H + D₂ + 1)回」の有効エッジ数でINTTABnCC0信号が発生する場合があります。

(c) TABnCCR1-TABnCCR3レジスタの動作

図8 - 13 TABnCCR1-TABnCCR3レジスタの構成図

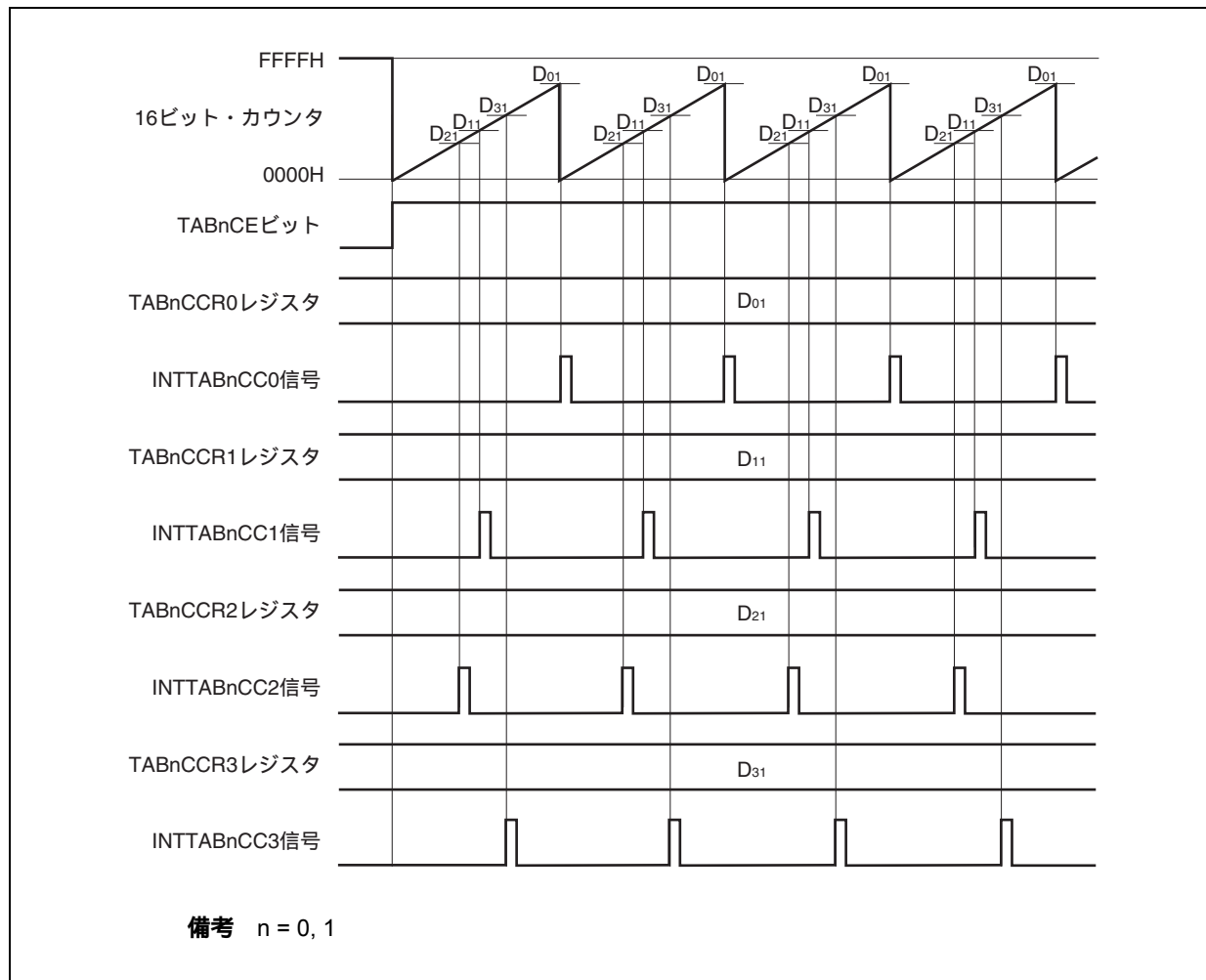


TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTABnCCk信号が発生します。

備考 k = 1-3,

n = 0, 1

図8 - 14 D₀₁ D_{k1}の場合のタイミング図

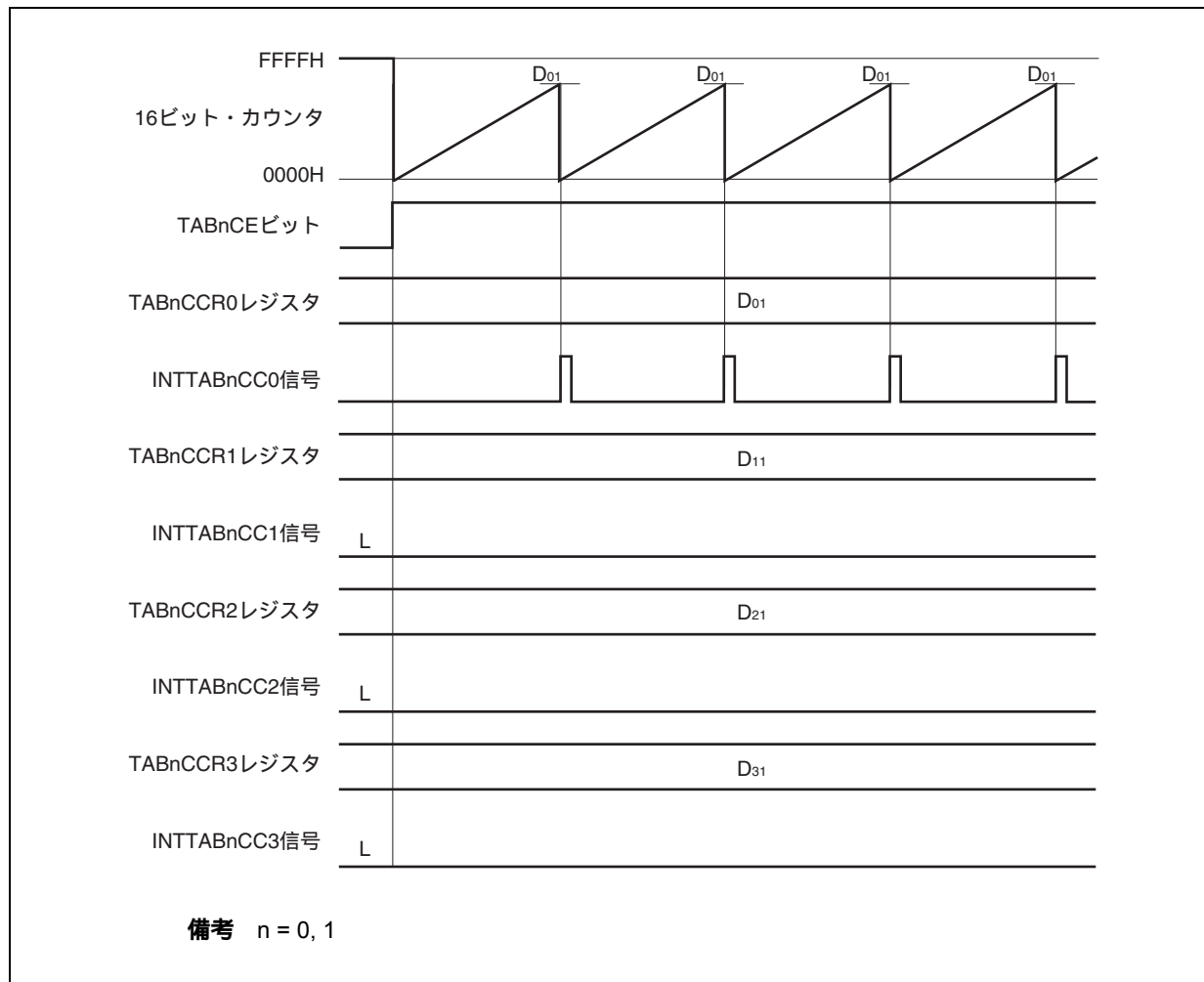


TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値が一致しないので、INTTABnCCk信号は発生しません。

備考 k = 1-3,

n = 0, 1

図8 - 15 D₀₁ < D_{k1}の場合のタイミング図



8.5.3 外部トリガ・パルス出力モード (TABnMD2-TABnMD0ビット = 010)

外部トリガ・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOABn1-TOABn3端子から最大3相のPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOABn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図8 - 16 外部トリガ・パルス出力モードの構成図

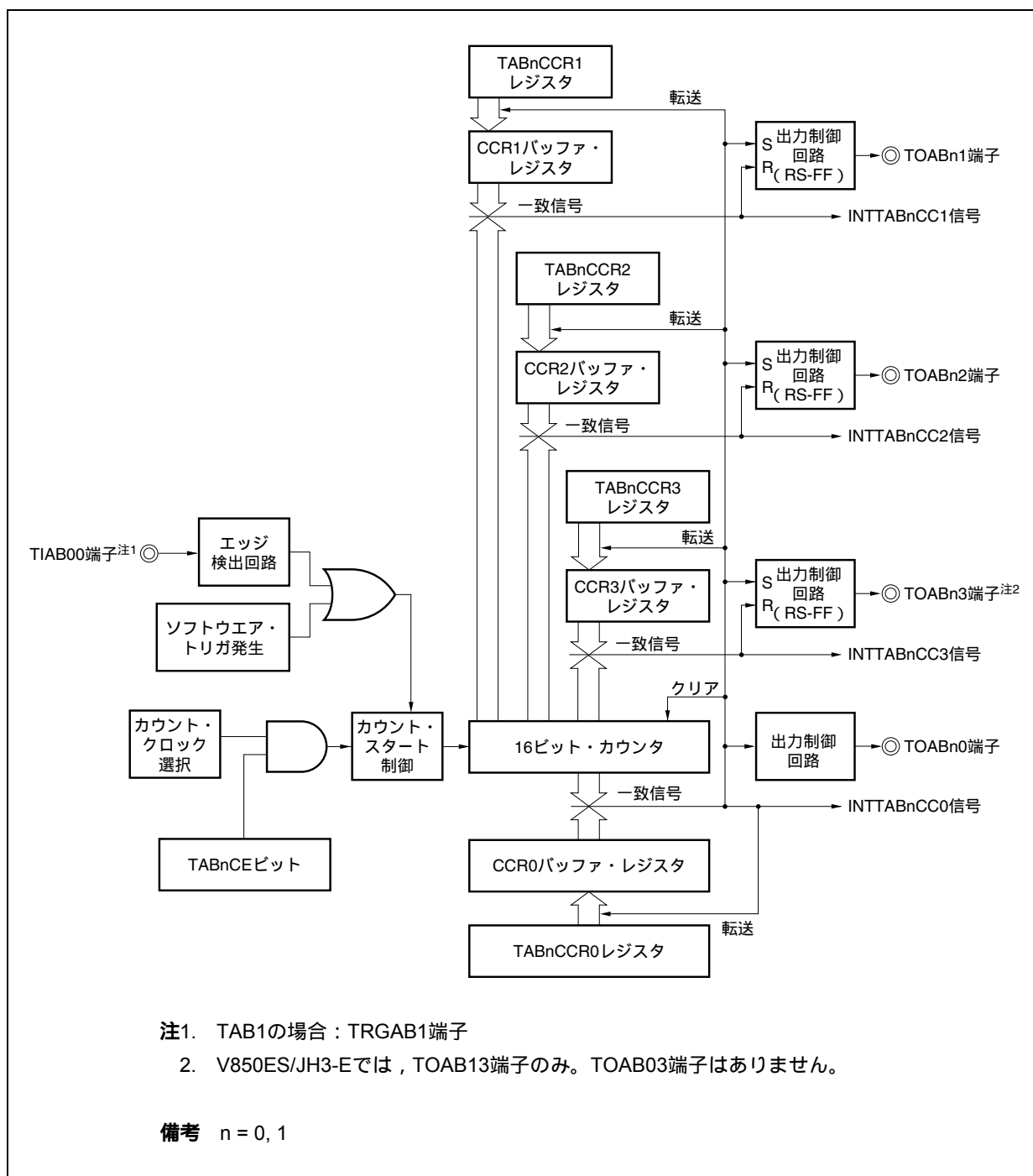
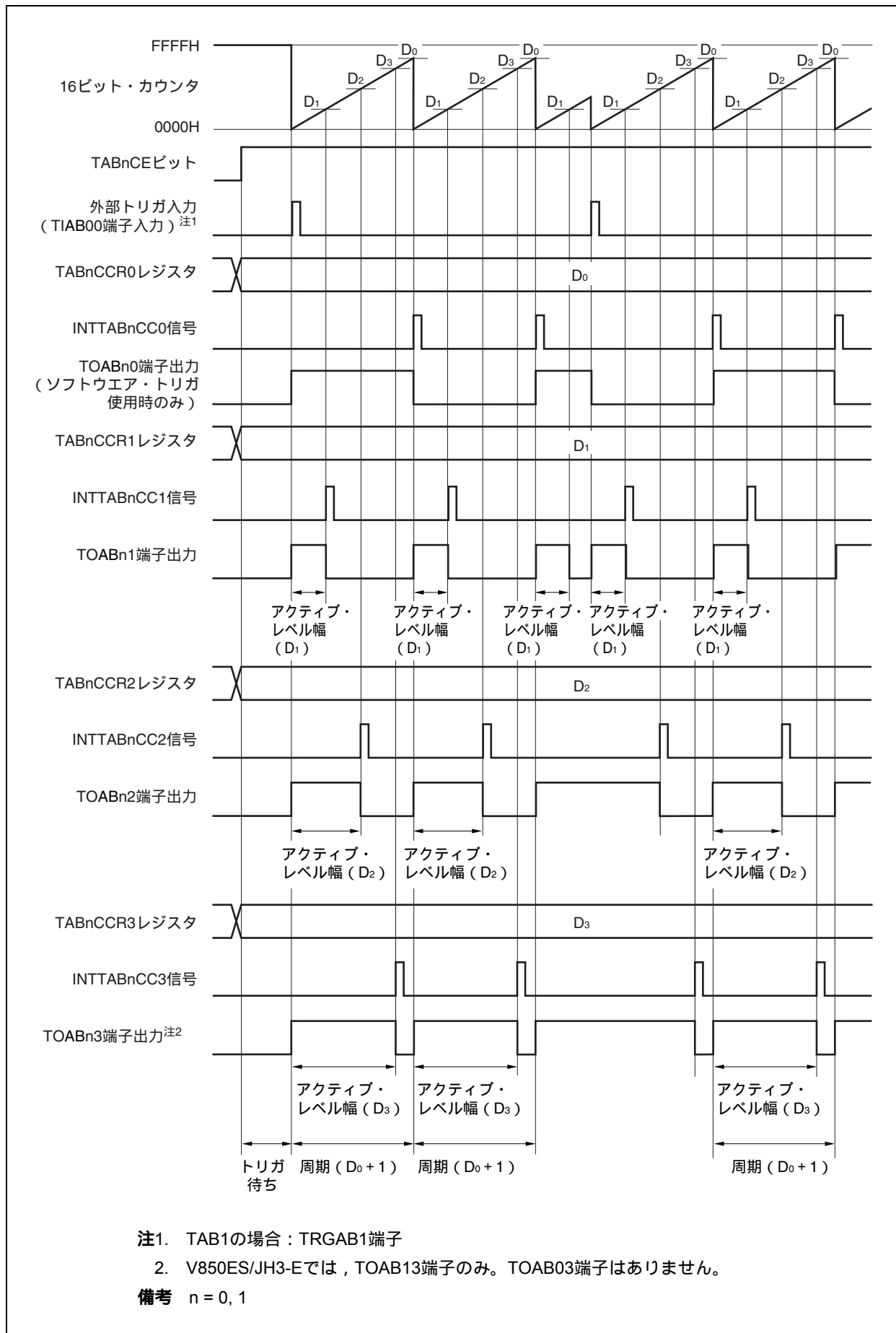


図8 - 17 外部トリガ・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOABnk端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOABn0端子出力は反転します。TOABnk端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TABnCCRkレジスタの設定値) × カウント・クロック周期

周期 = (TABnCCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TABnCCRkレジスタの設定値) / (TABnCCR0レジスタの設定値 + 1)

コンペアー一致割り込み要求信号 (INTTABnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTABnCCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

TABnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウエア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 k = 1-3,

m = 0-3,

n = 0, 1

図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

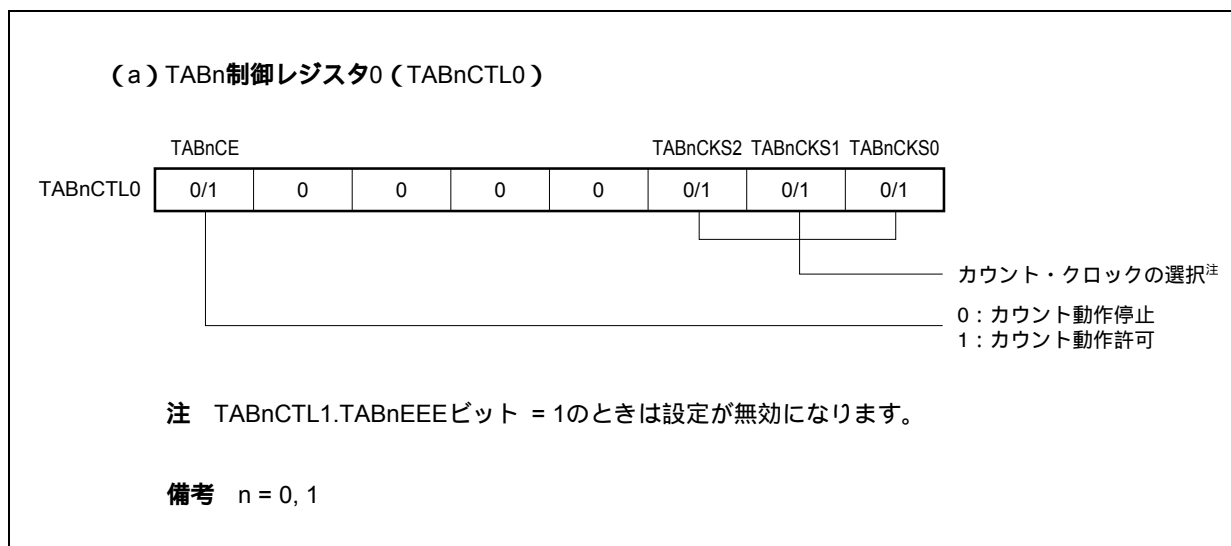


図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

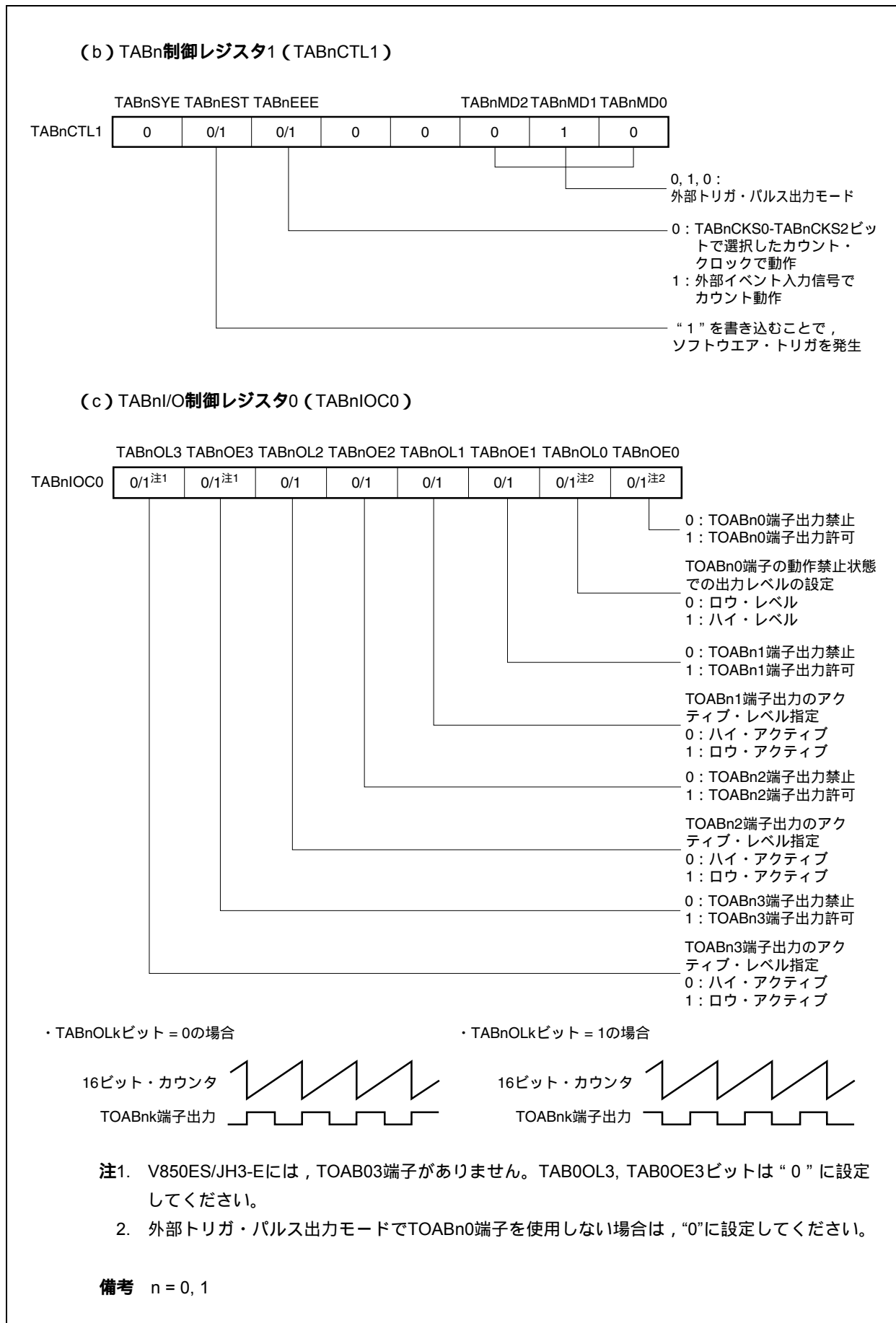
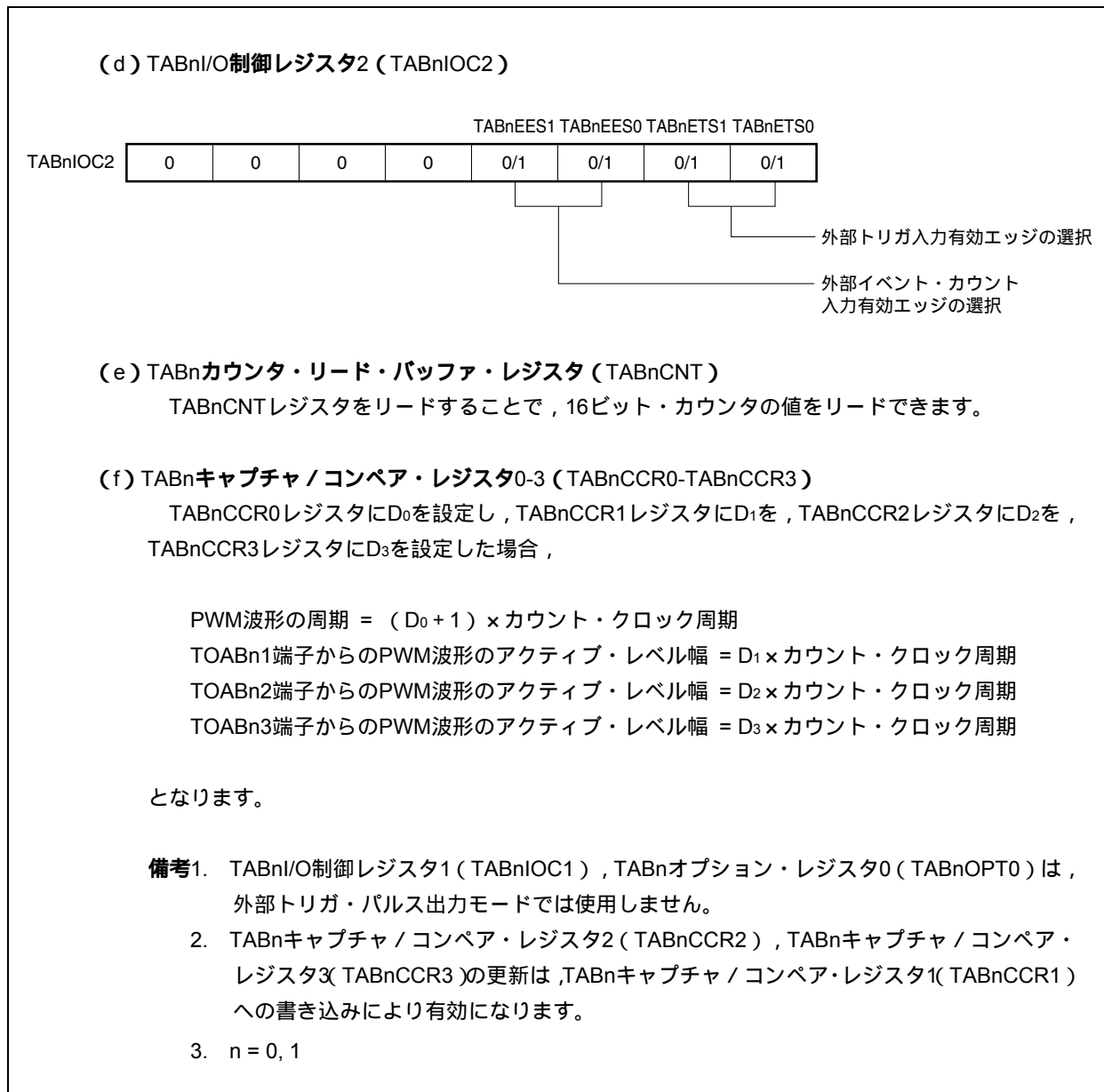


図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)



(1) 外部トリガ・パルス出力モード動作フロー

図8 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

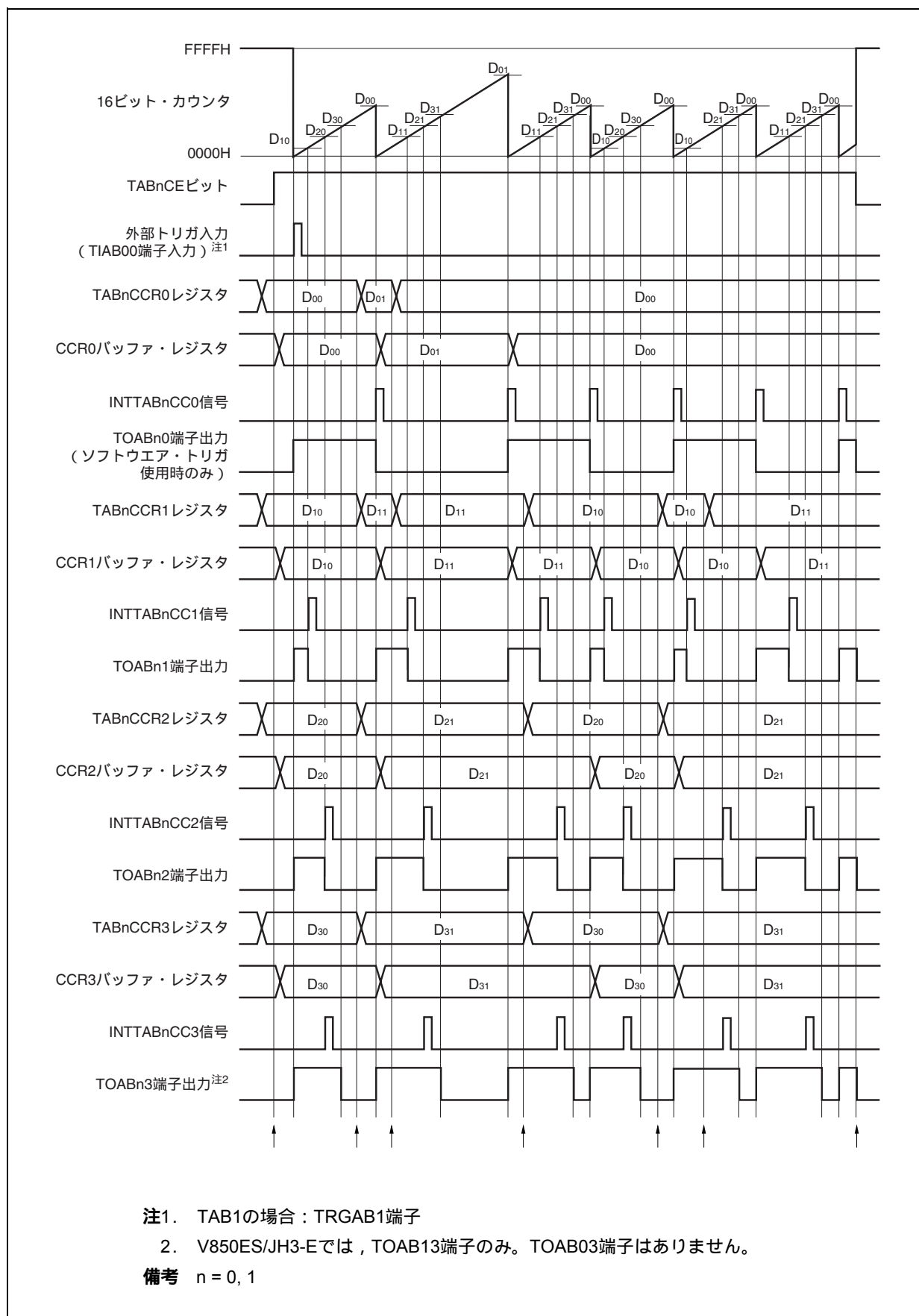
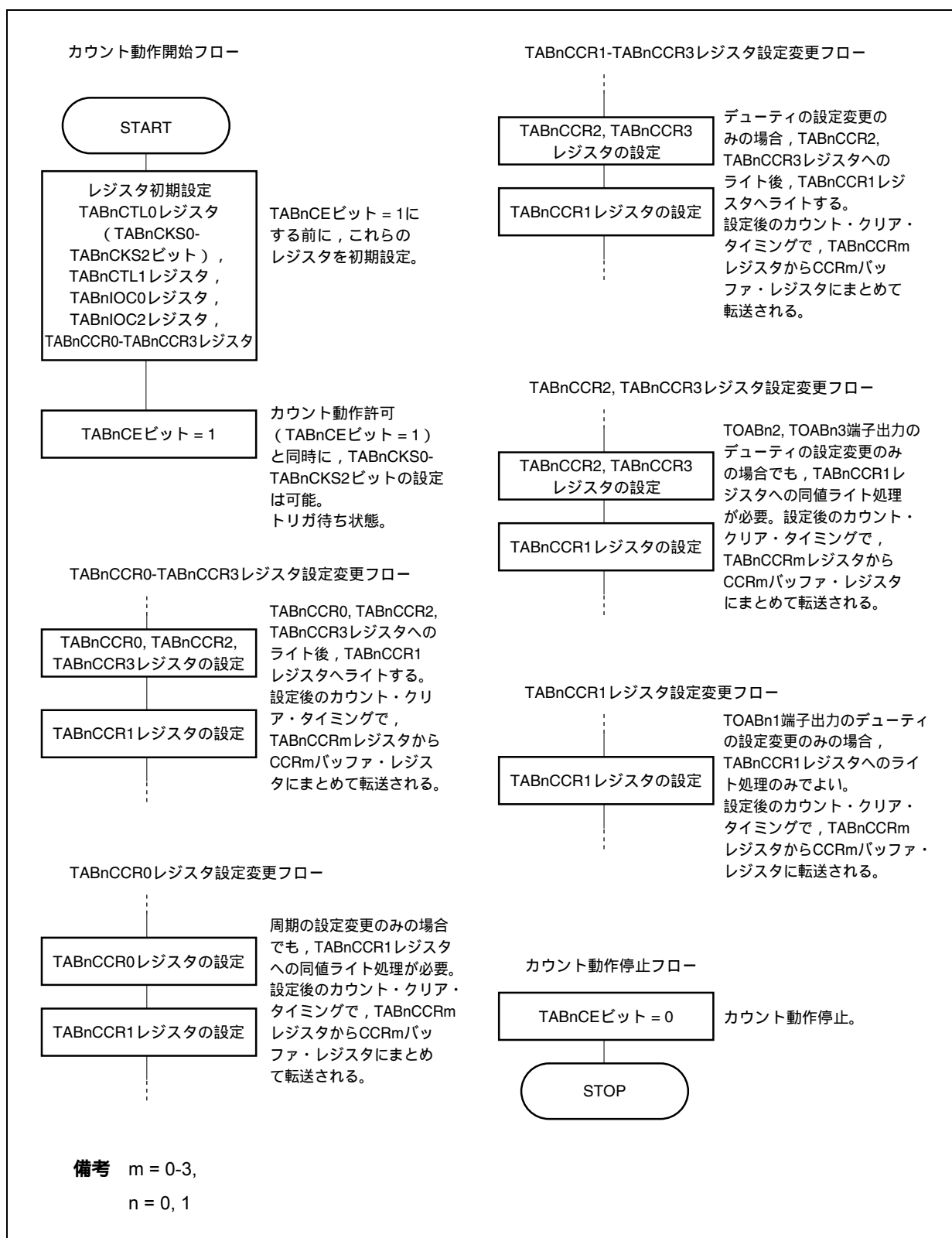


図8 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

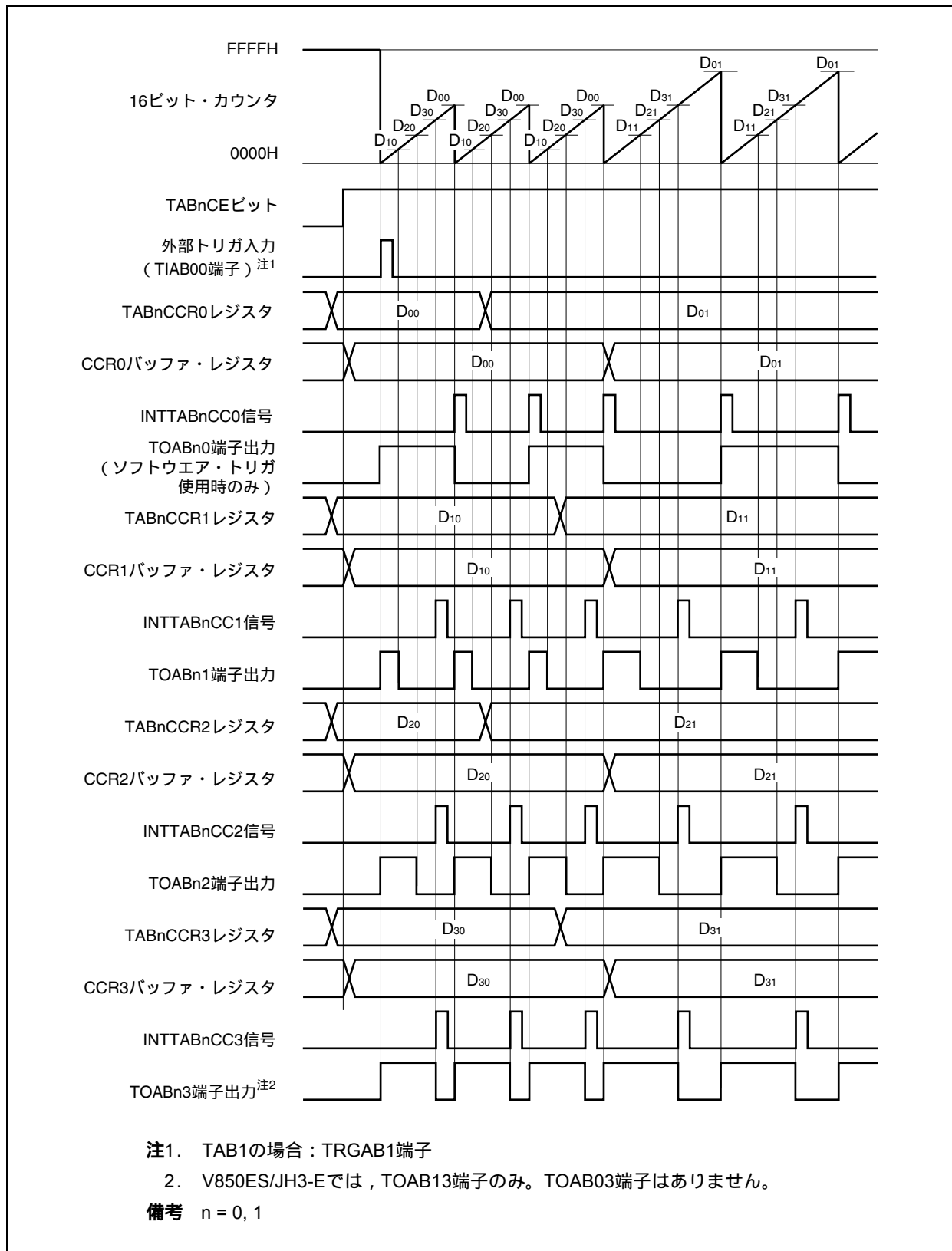


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRkレジスタの書き換えを行う場合には、INTTABnCC0信号を検出後に書き換えてください。



TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOABn1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOABn2、TOABn3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

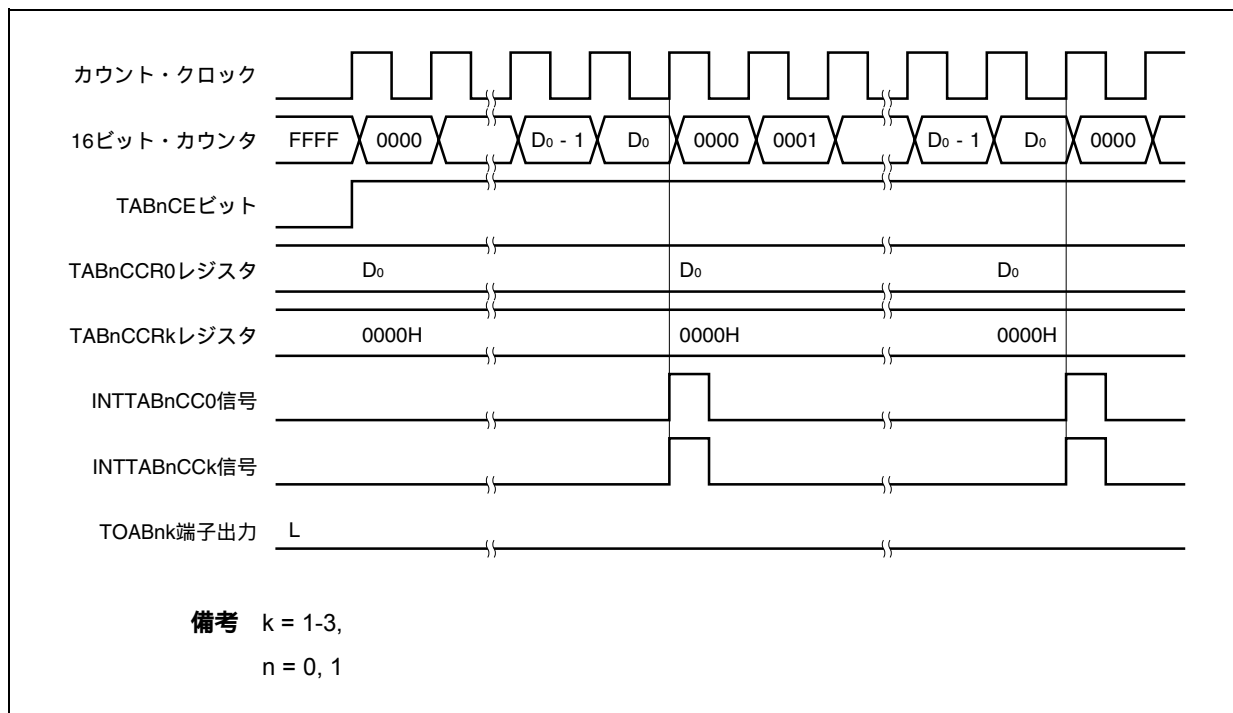
また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTABnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TABnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考1. V850ES/JH3-Eでは、TOAB13端子のみ。TOAB03端子はありません。

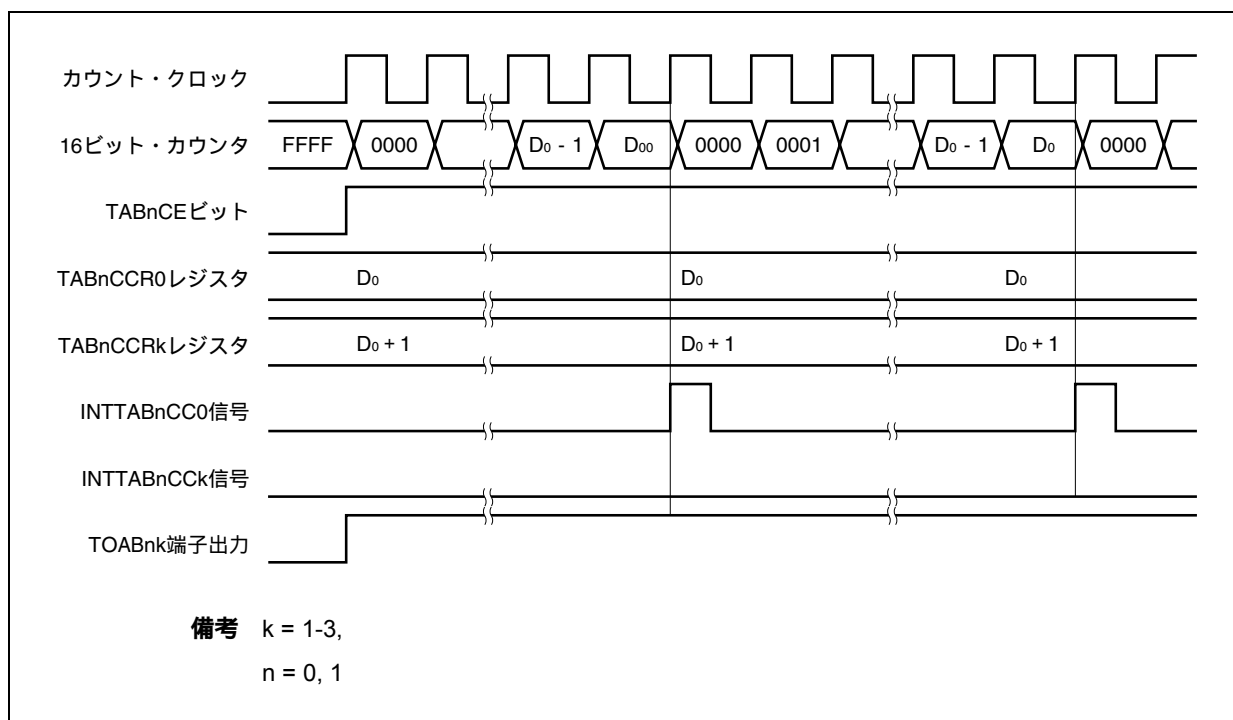
2. $m = 0-3,$
 $n = 0, 1$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TABnCCRkレジスタに対して0000Hを設定します。ただし, TABnCCR0レジスタの設定値がFFFFHの場合には, INTTABnCck信号が定期的が発生します。

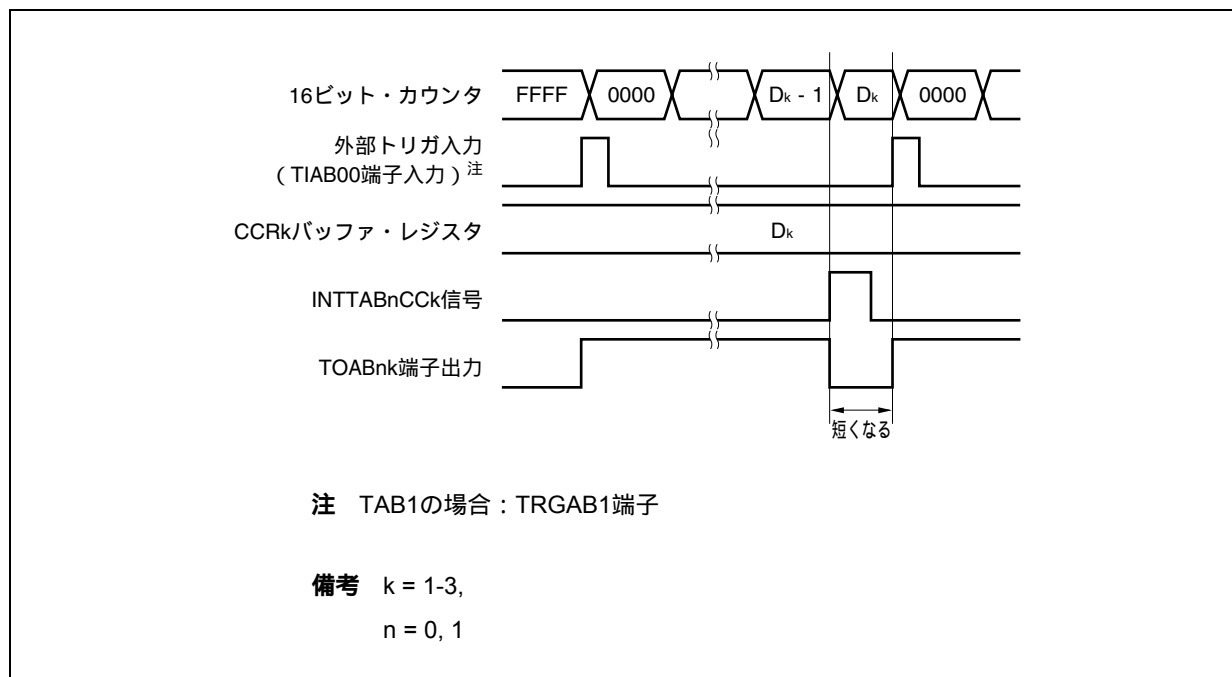


100 % 波形を出力するためには, TABnCCRkレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。

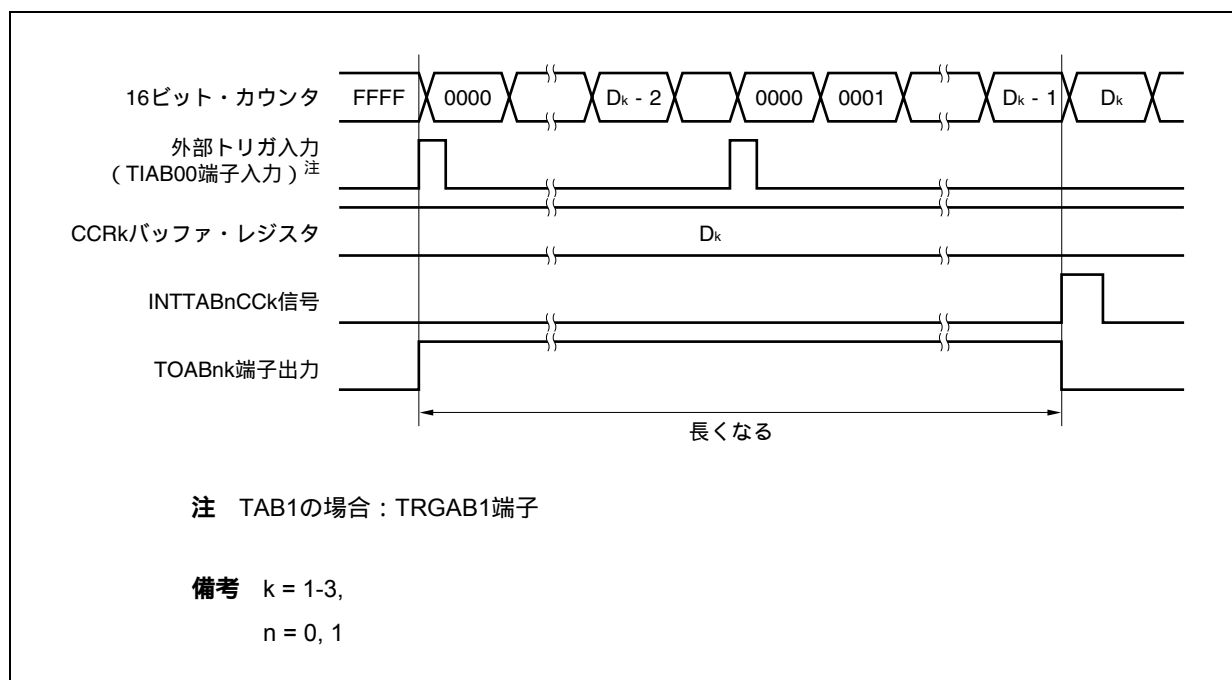


(c) トリガ検出とCCRkバッファ・レジスタとの一致の競合

INTTABnCCk信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOABnk端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

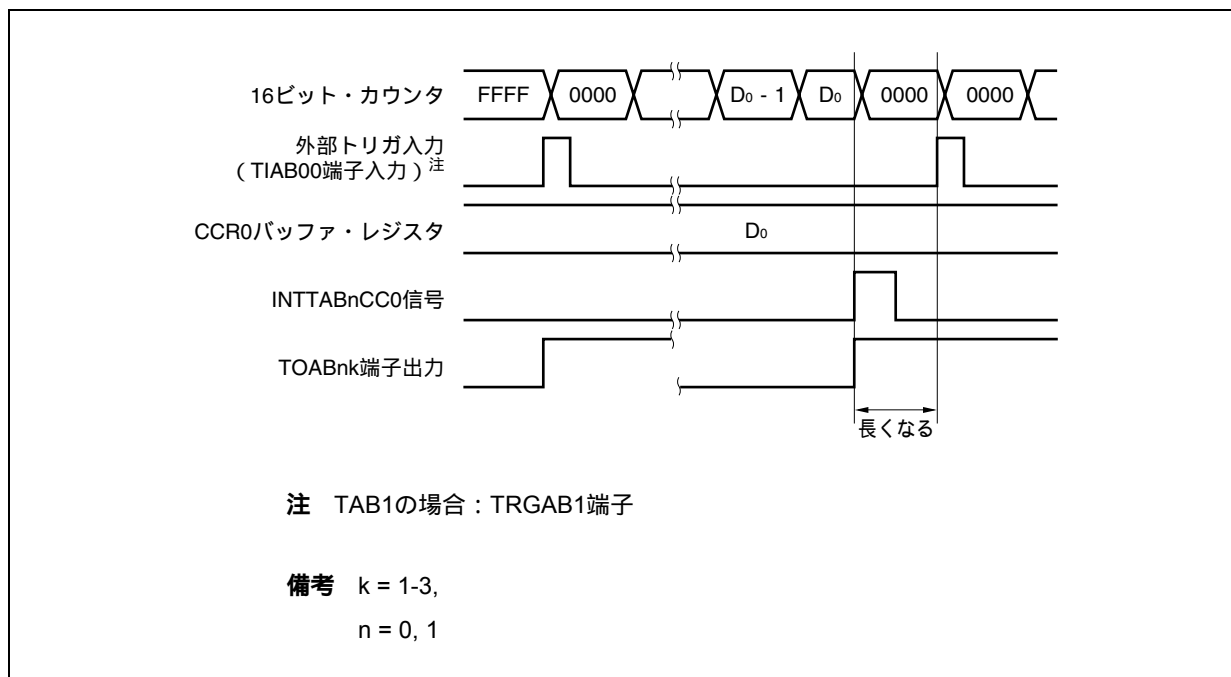


INTTABnCCk信号発生直前にトリガを検出した場合には、INTTABnCCk信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を続けます。TOABnk端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

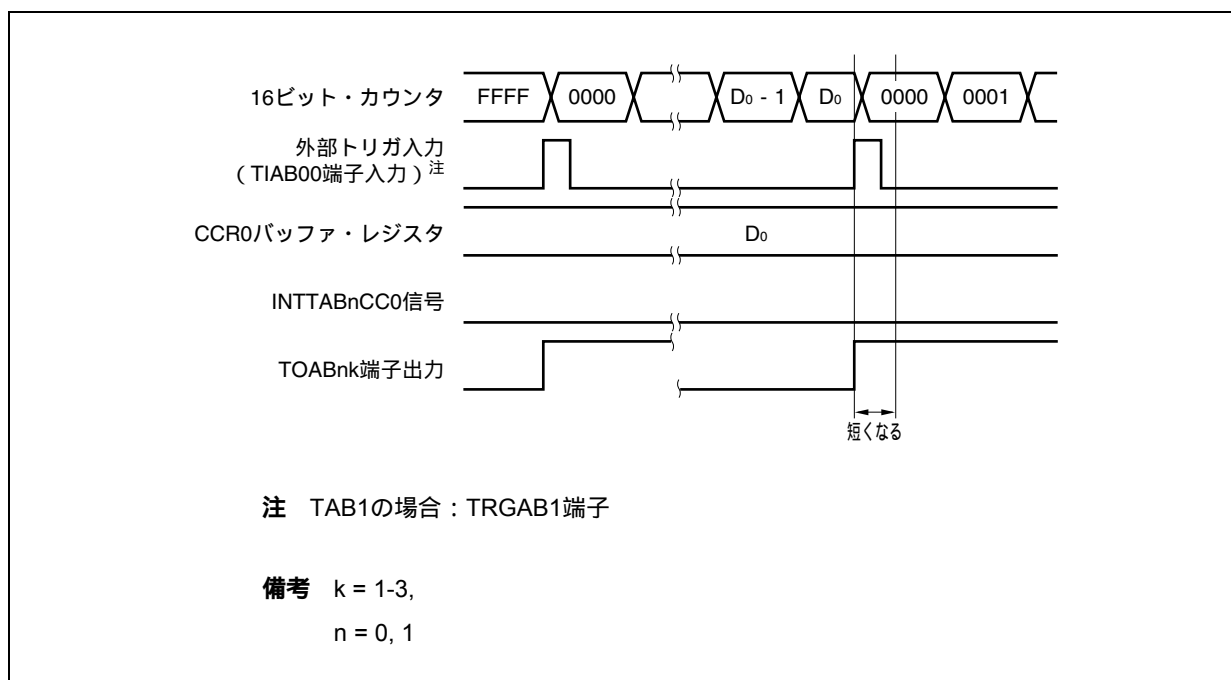


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTABnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOABnk端子出力のアクティブ期間が、INTTABnCC0信号発生からトリガ検出までの分だけ長くなります。

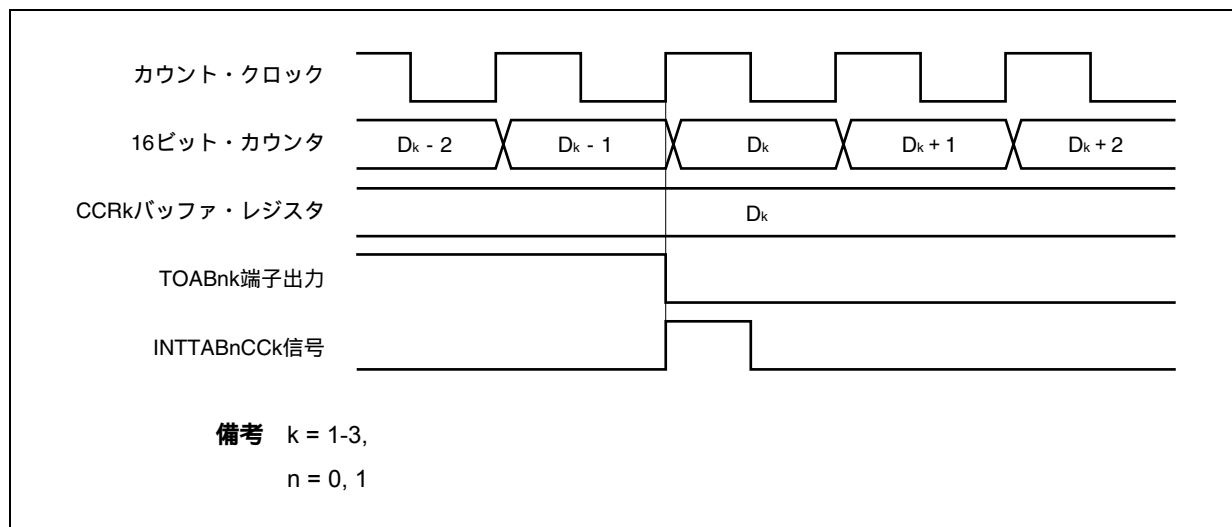


INTTABnCC0信号発生直前にトリガを検出した場合、INTTABnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOABnk端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンパレー一致割り込み要求信号 (INTTABnCCk) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTABnCCk信号の発生タイミングは、ほかのINTTABnCCk信号と異なり、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致と同時に発生します。



通常、INTTABnCCk信号は、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.5.4 ワンショット・パルス出力モード (TABnMD2-TABnMD0ビット = 011)

ワンショット・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOABn1-TOABn3端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOABn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図8-20 ワンショット・パルス出力モードの構成図

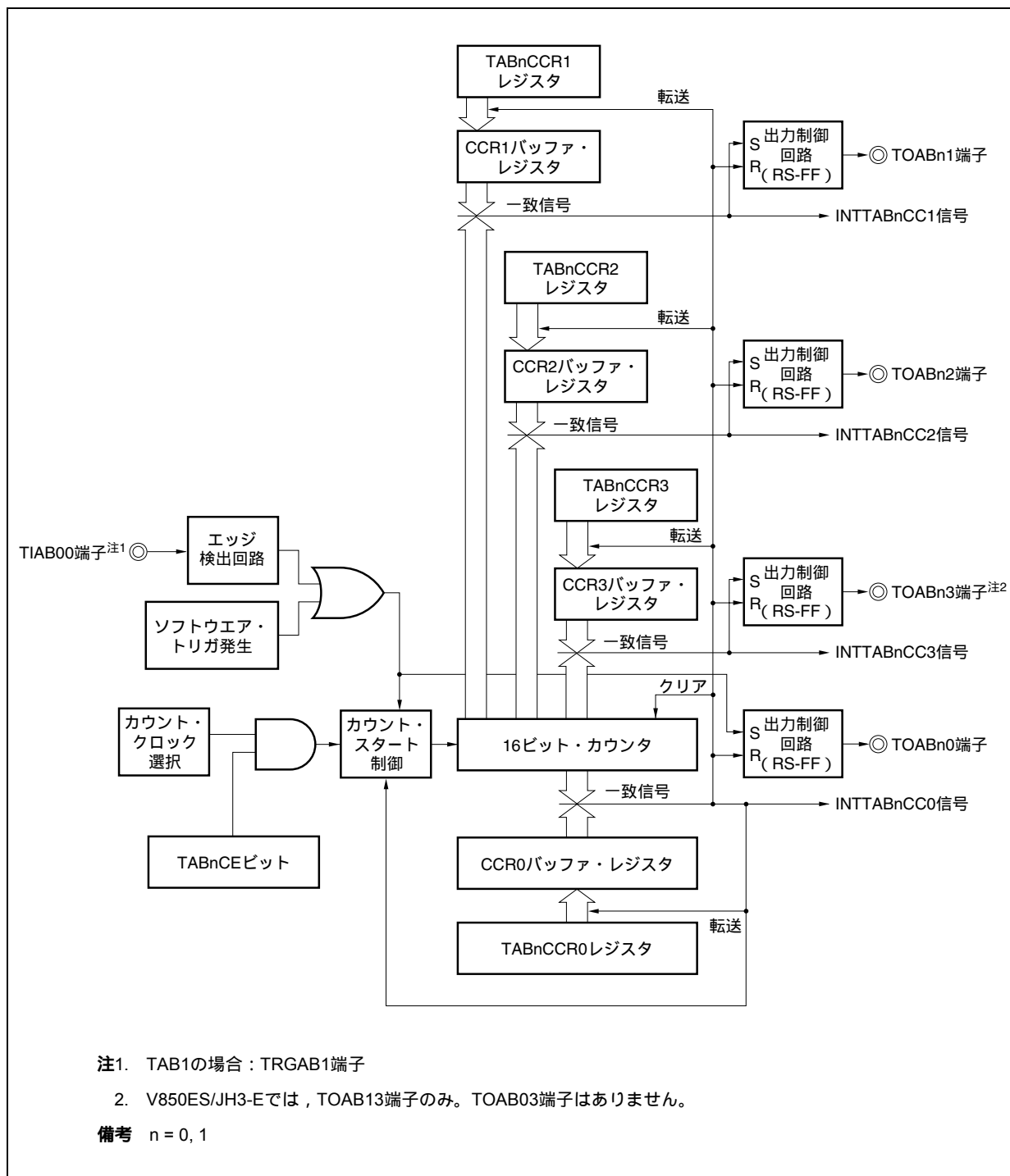
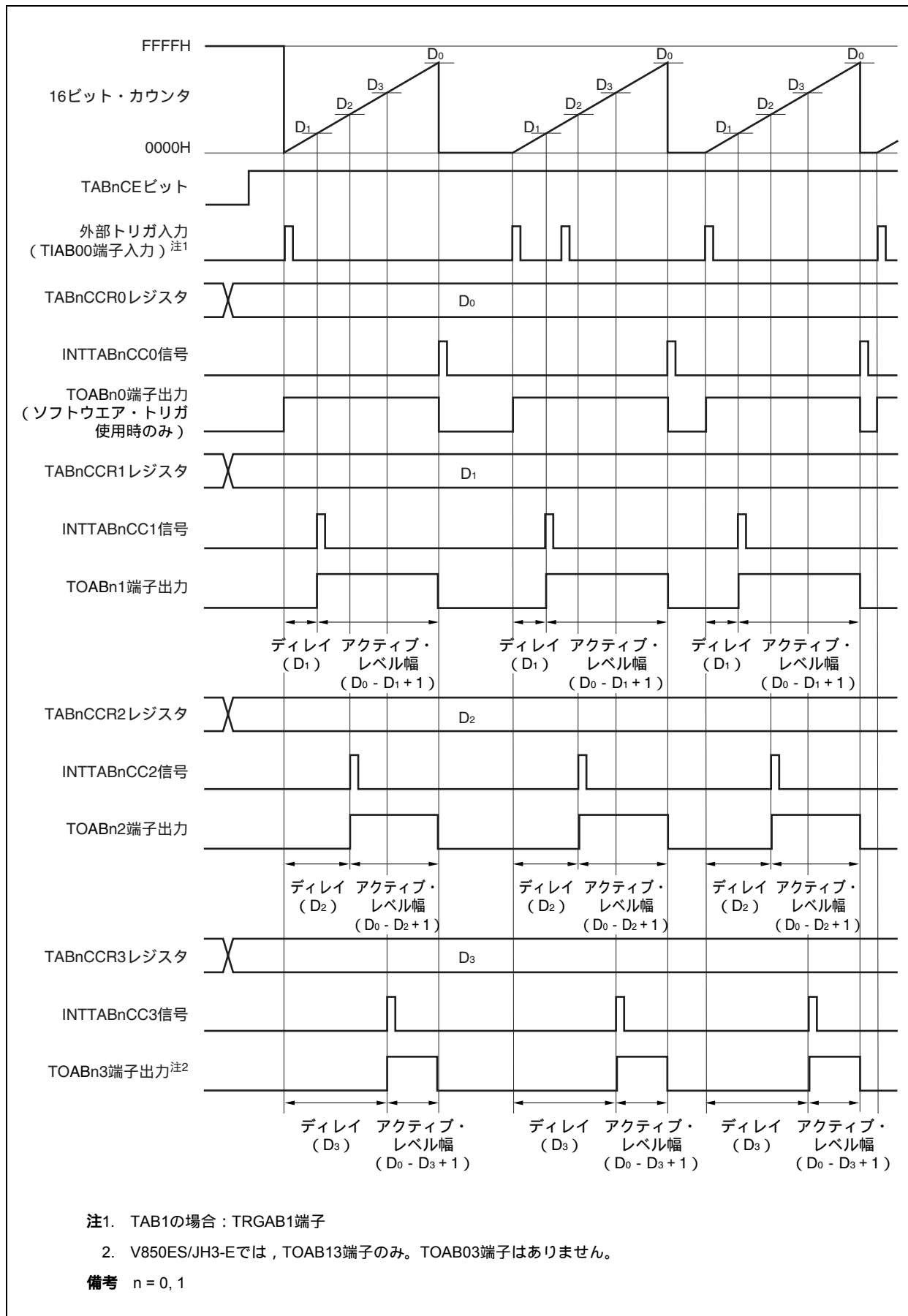


図8 - 21 ワンショット・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOABnk端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TABnCCRkレジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TABnCCR0レジスタの設定値 - TABnCCRkレジスタの設定値 + 1)
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTABnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTABnCCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 k = 1-3,
n = 0, 1

図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

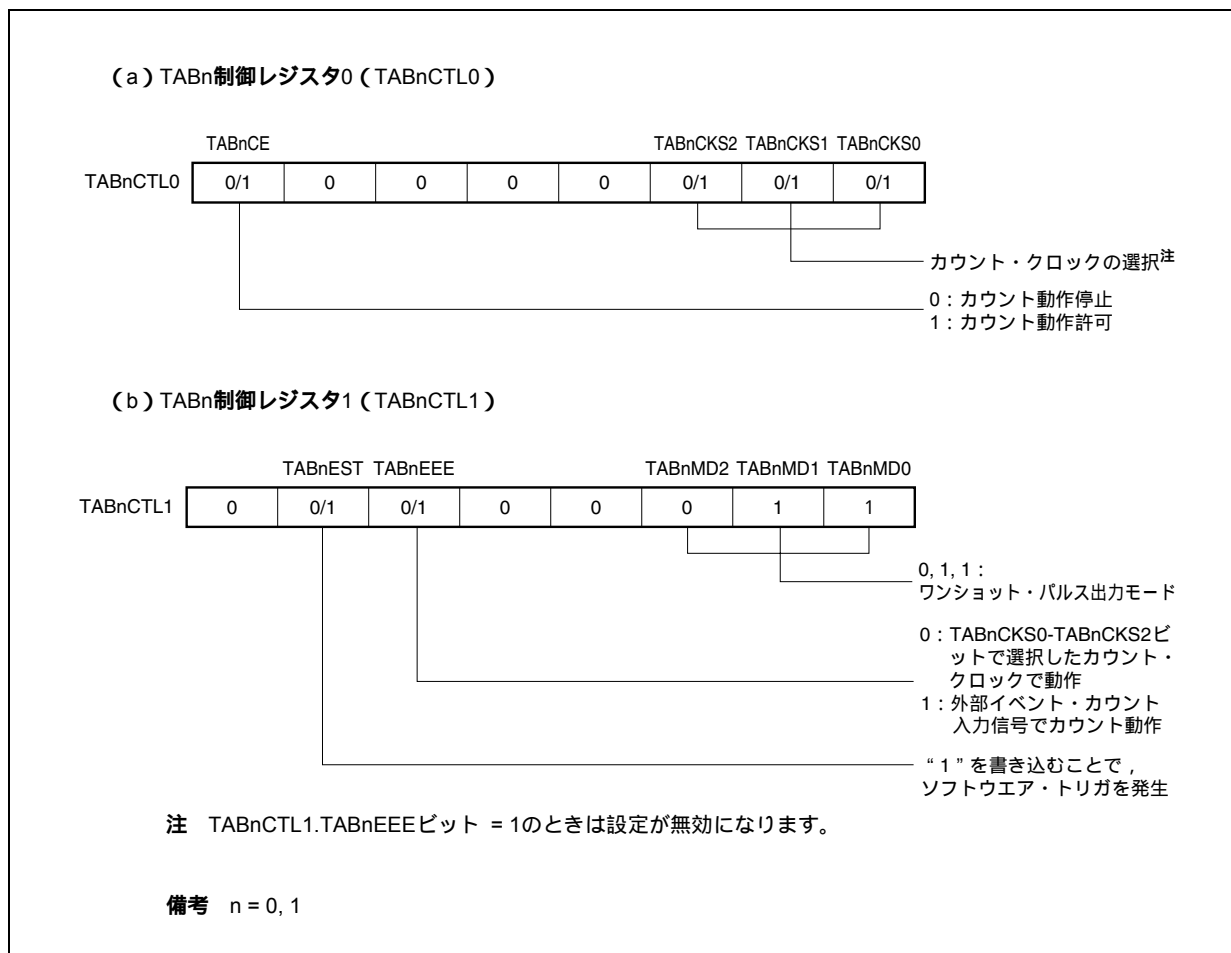


図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

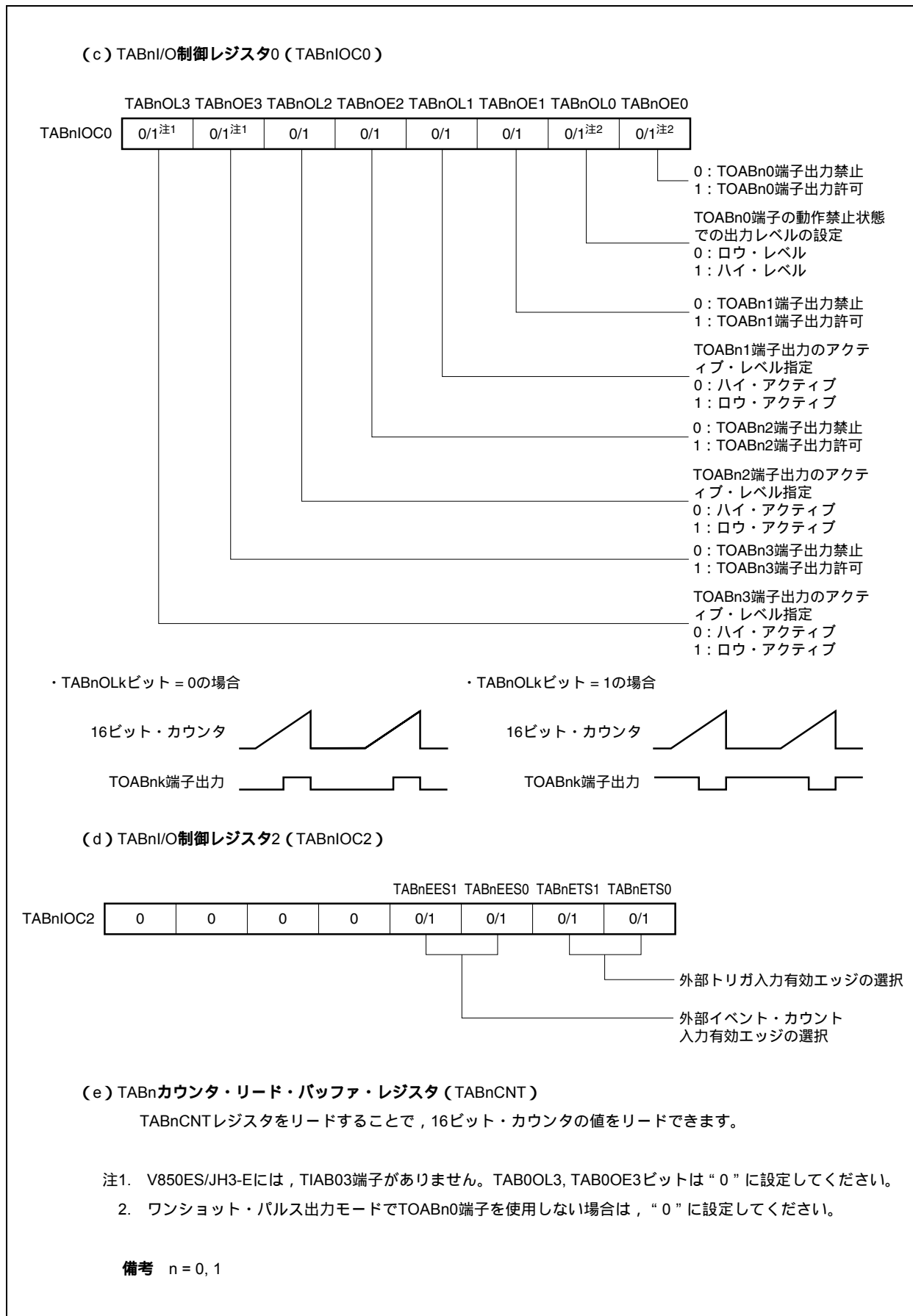


図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD0を設定し, TABnCCRkレジスタにDkを設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = $(D_0 - D_k + 1) \times \text{カウント} \cdot \text{クロック周期}$

ワンショット・パルスの出力ディレイ期間 = $(D_k) \times \text{カウント} \cdot \text{クロック周期}$

となります。

注意 ワンショット・パルス出力モードにおいて, TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

備考1. TABnI/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, ワンショット・パルス出力モードでは使用しません。

2. $k = 1-3,$
 $n = 0, 1$

(1) ワンショット・パルス出力モード動作フロー

図8 - 23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

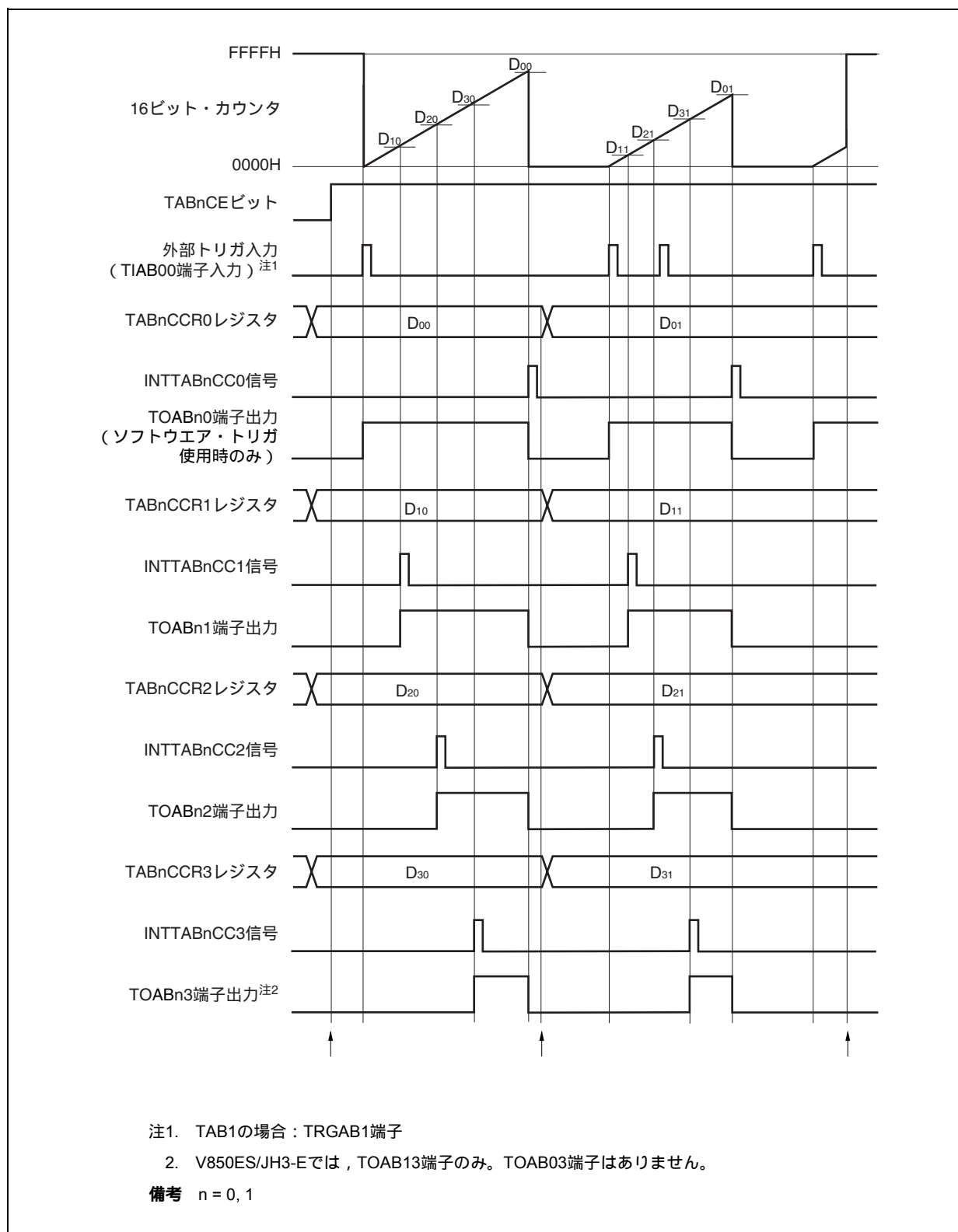
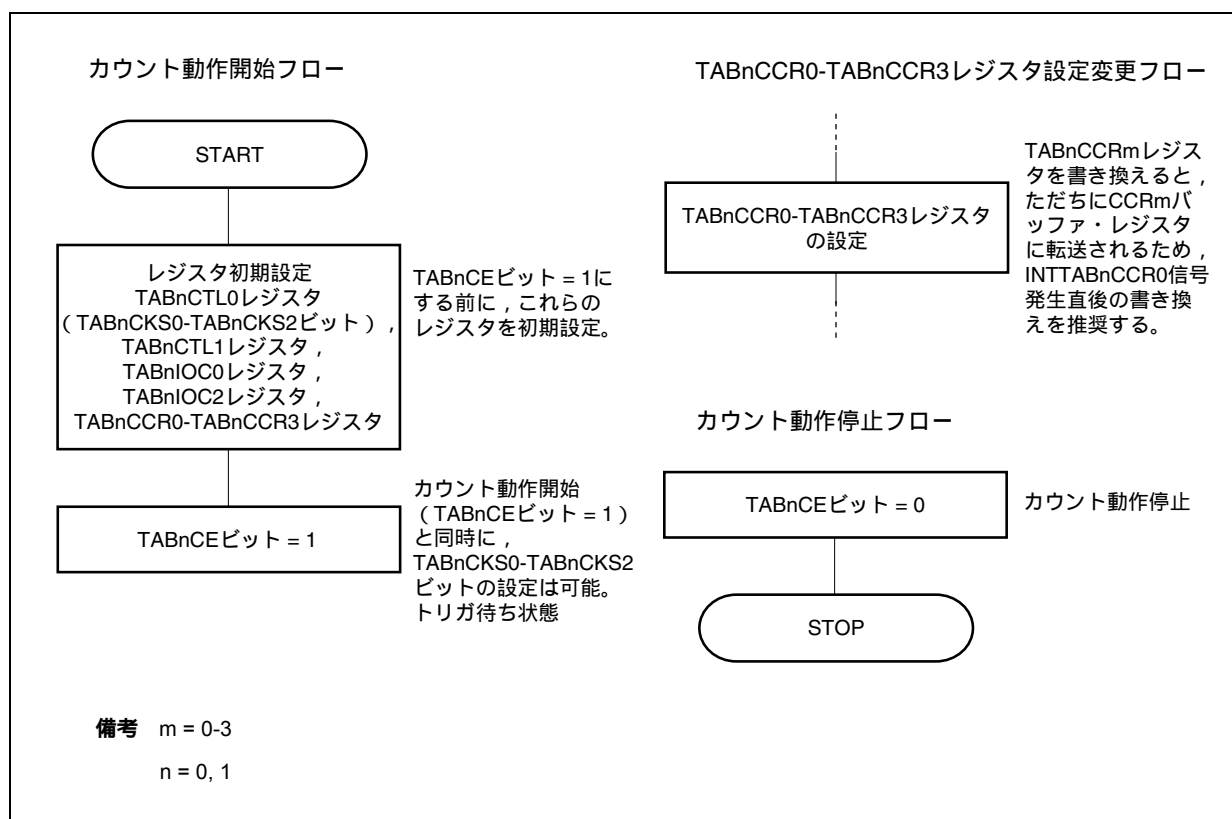


図8 - 23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)

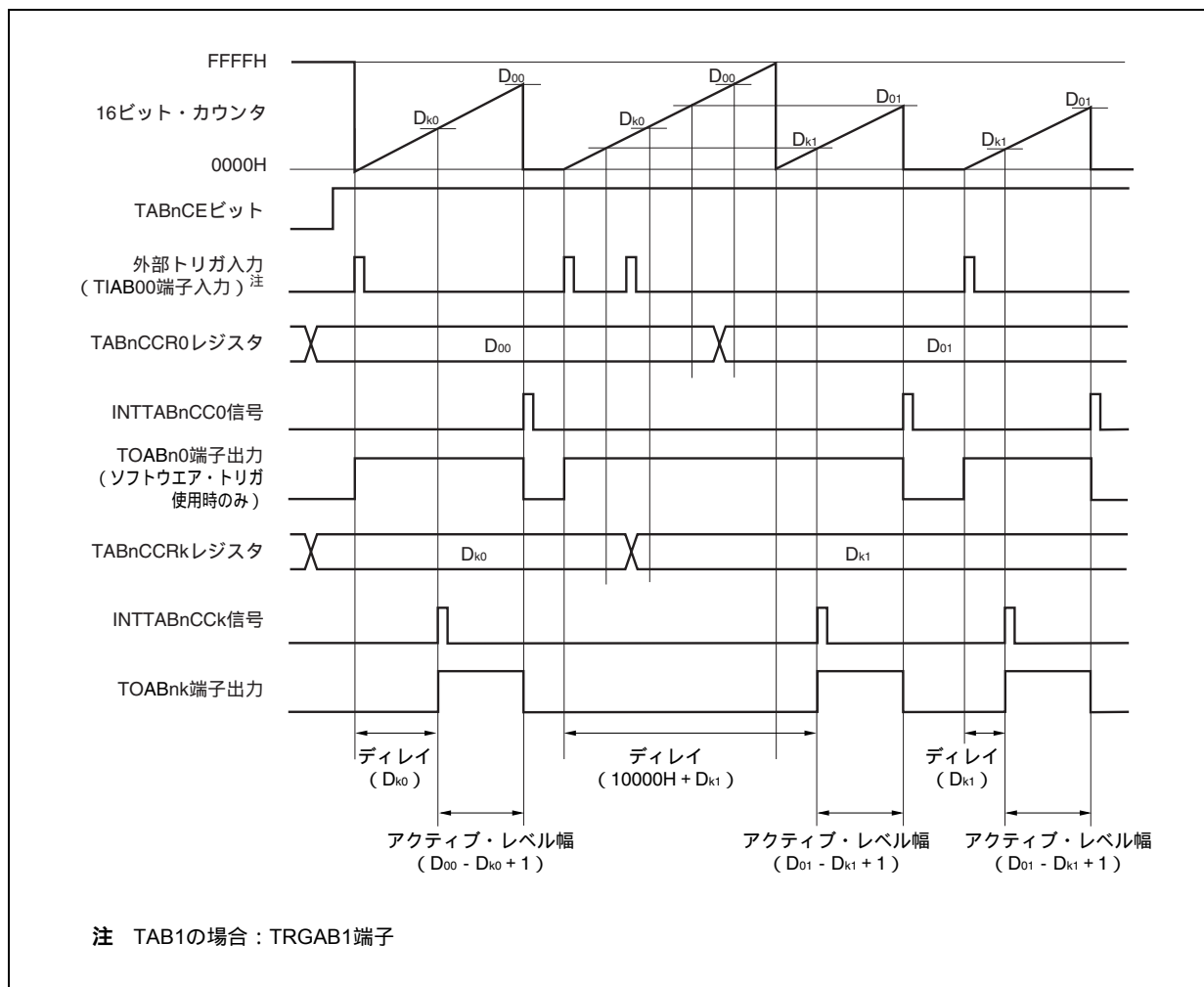


(2) ワンショット・パルス出力モード動作タイミング

(a) TABnCCRmレジスタの書き換えに関する注意事項

TABnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



TABnCCR0レジスタを D_{00} から D_{01} に、TABnCCRkレジスタを D_{k0} から D_{k1} に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{k0} > D_{k1}$ の状態では、16ビット・カウンタのカウンタ値が D_{k1} よりも大きく D_{k0} よりも小さい状態のときTABnCCRkレジスタを書き換え、カウンタ値が D_{01} よりも大きく D_{00} よりも小さい状態でTABnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、 D_{k1} との一致でINTTABnCCk信号を発生してTOABnk端子出力をアクティブ・レベルにし、 D_{01} との一致でINTTABnCC0信号を発生してTOABn0端子出力をインアクティブにしてカウント動作を停止します。

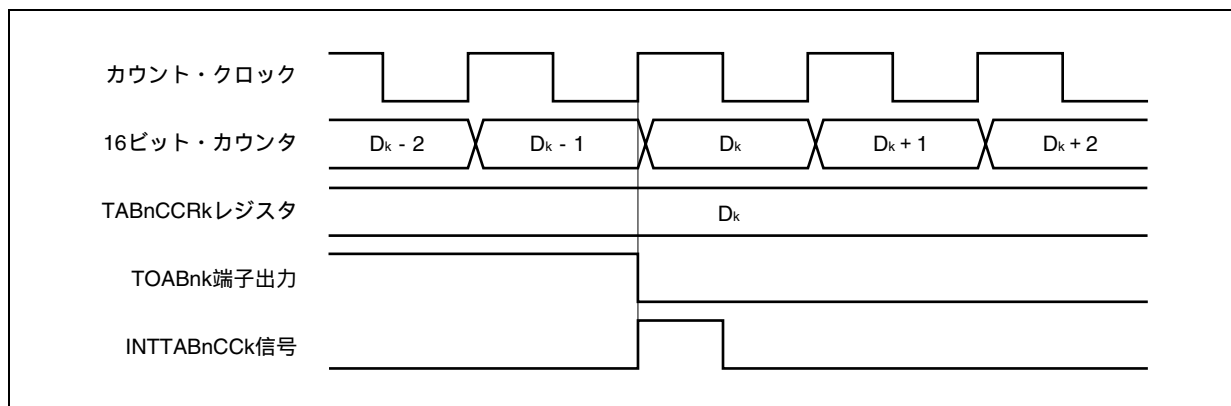
したがって、本来期待しているワンショット・パルス出力に対し、遅延期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 k = 1-3

n = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTABnCCK) の発生タイミング

ワンショット・パルス出力モードにおけるINTTABnCCK信号の発生タイミングは、ほかのINTTABnCCK信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致と同時に発生します。



通常、INTTABnCCK信号は、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 k = 1-3

n = 0, 1

8.5.5 PWM出力モード (TABnMD2-TABnMD0ビット = 100)

PWM出力モードは、TABnCTL0.TABnCEビットをセット(1)することで、TOABn1-TOABn3端子からPWM波形を出力します。

また、TOABn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図8-24 PWM出力モードの構成図

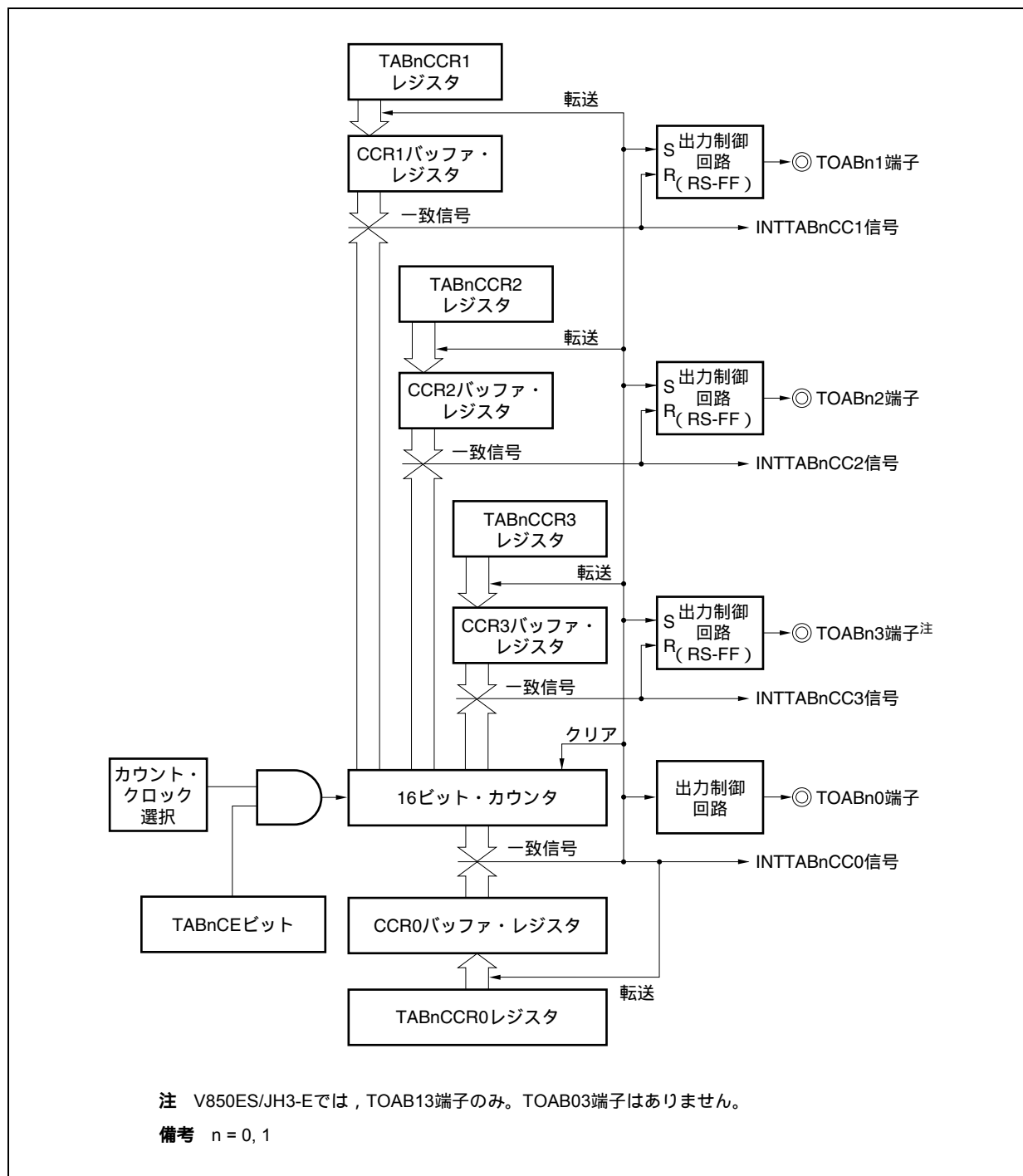
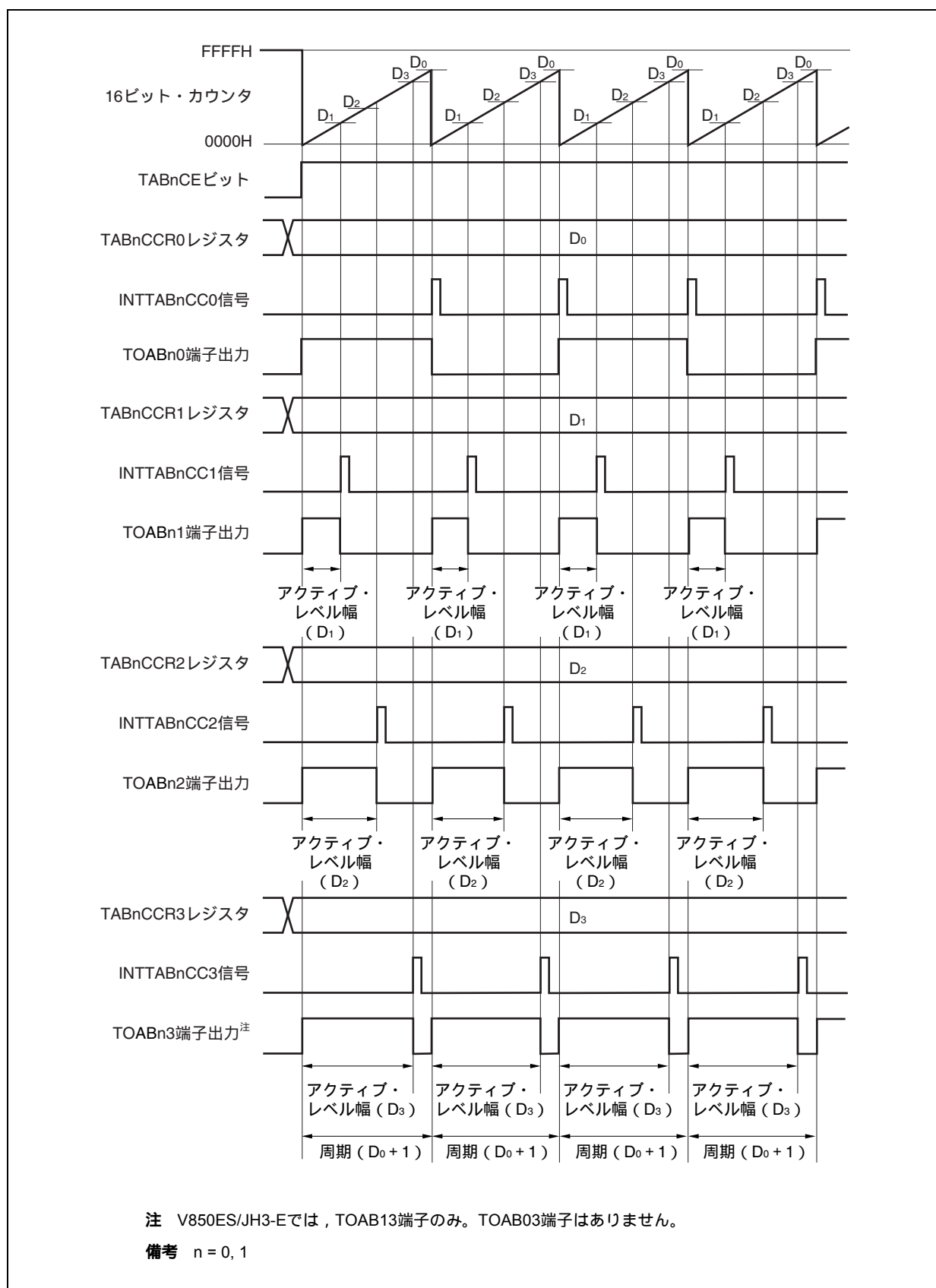


図8 - 25 PWM出力モードの基本タイミング



TABnCEビットをセット (1) することで, 16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し, TOABnk端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

アクティブ・レベル幅 = (TABnCCRkレジスタの設定値) × カウント・クロック周期

周期 = (TABnCCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TABnCCRkレジスタの設定値) / (TABnCCR0レジスタの設定値 + 1)

動作中にTABnCCRmレジスタを書き換えることにより, PWM波形を変更できます。書き換えた値は, 16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し, 16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTABnCC0) は, 16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し, 同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTABnCCk) は, 16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考 k = 1-3

m = 0-3

n = 0, 1

図8 - 26 PWM出力モード動作時のレジスタ設定内容 (1/3)

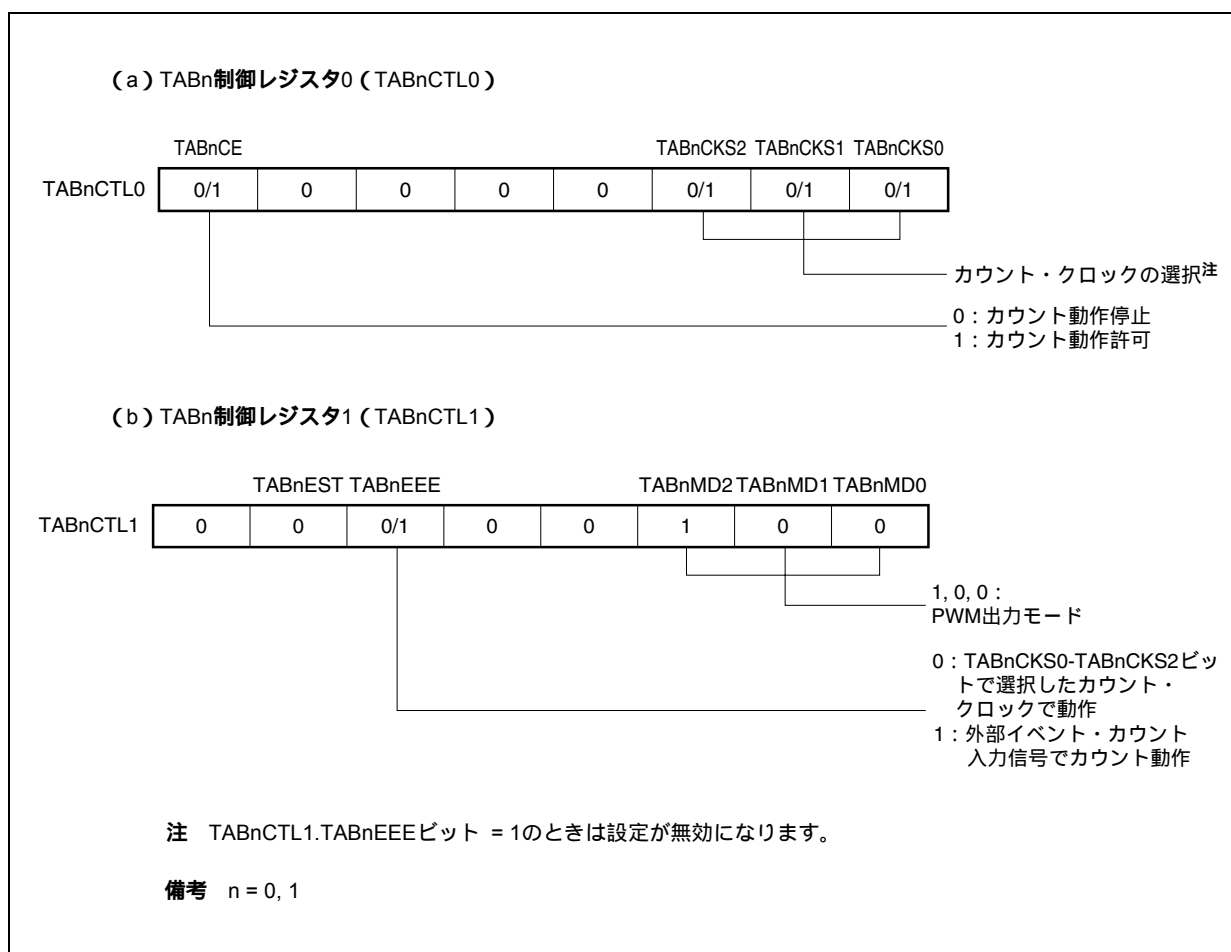


図8 - 26 PWM出力モード動作時のレジスタ設定内容 (2/3)

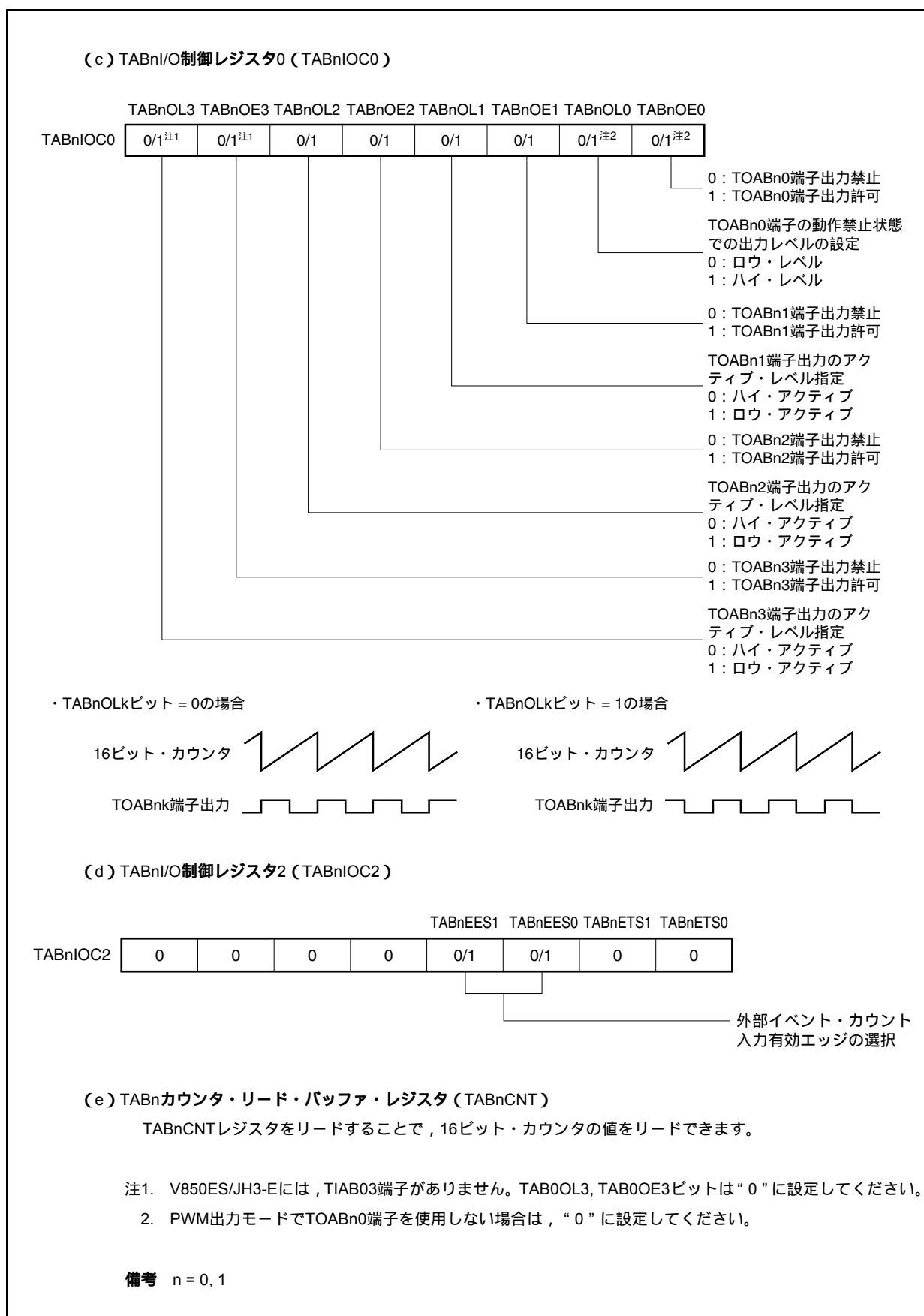


図8 - 26 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD₀を設定し, TABnCCRkレジスタにD_kを設定した場合,

PWM波形の周期 = (D₀ + 1) × カウント・クロック周期

PWM波形のアクティブ・レベル幅 = D_k × カウント・クロック周期

となります。

- 備考1.** TABnI/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, PWM出力モードでは使用しません。
2. TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2), TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3) の更新は, TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1) への書き込みにより有効になります。
3. n = 0, 1

(1) PWM出力モード動作フロー

図8 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

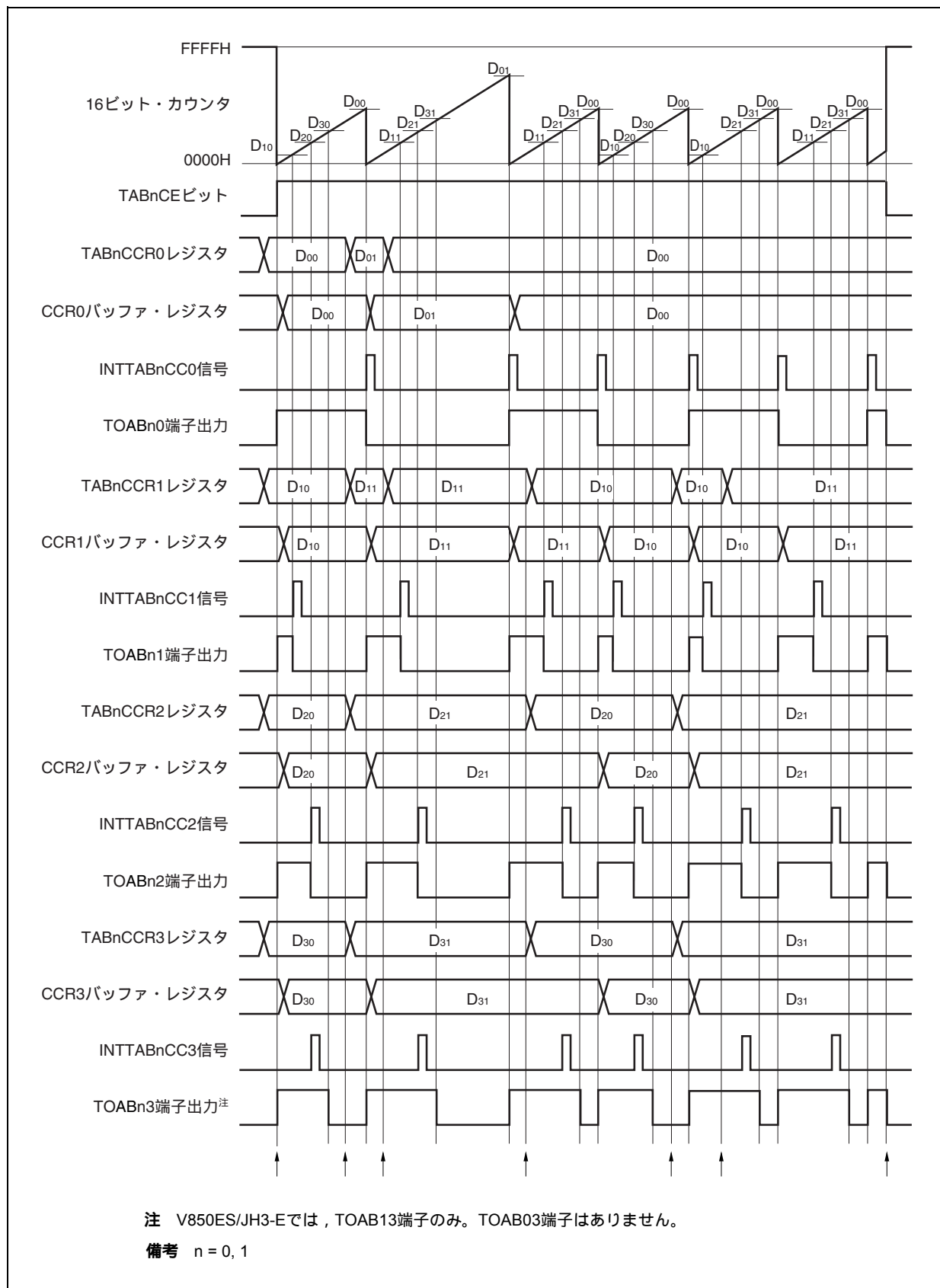
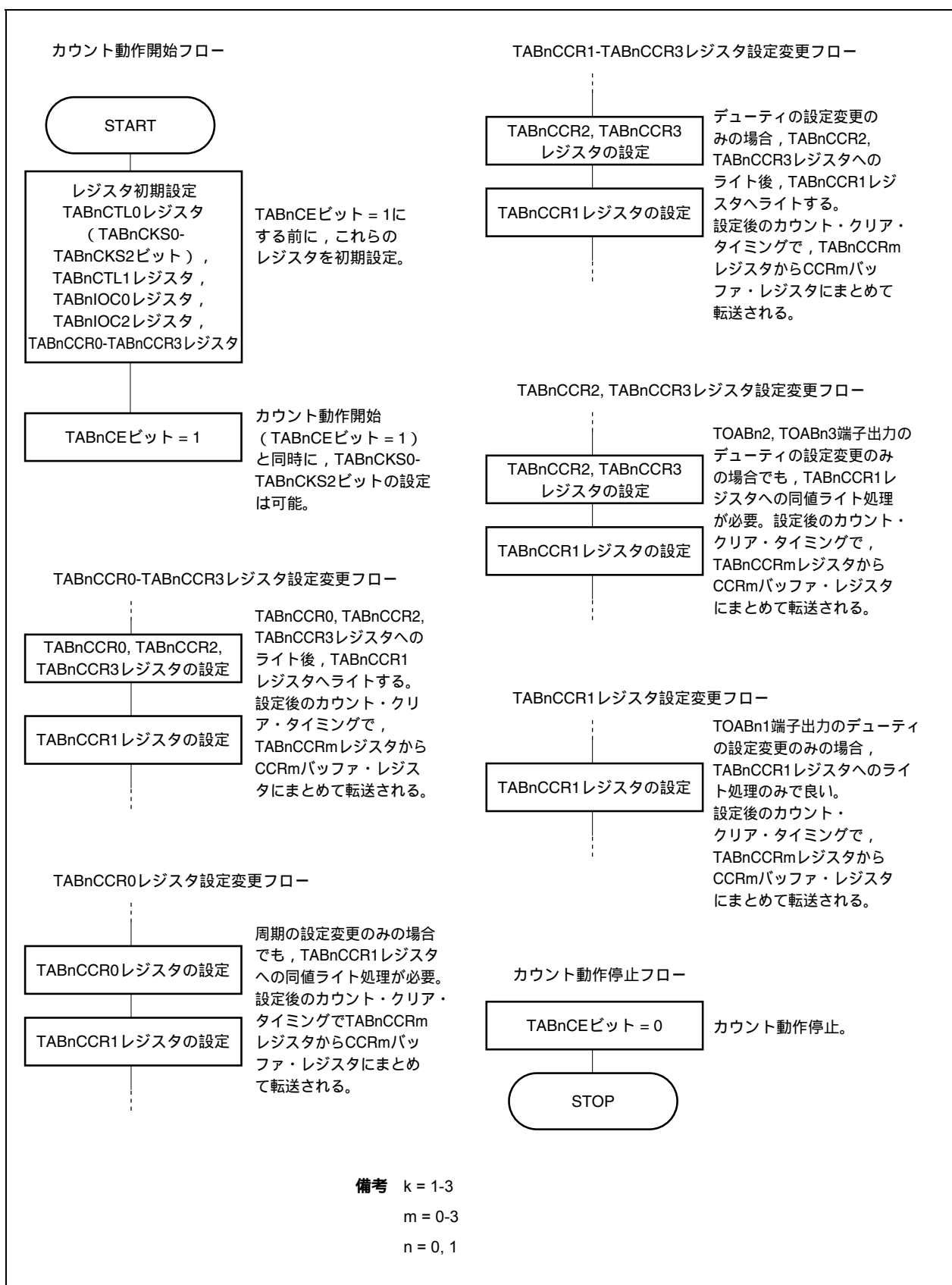


図8 - 27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

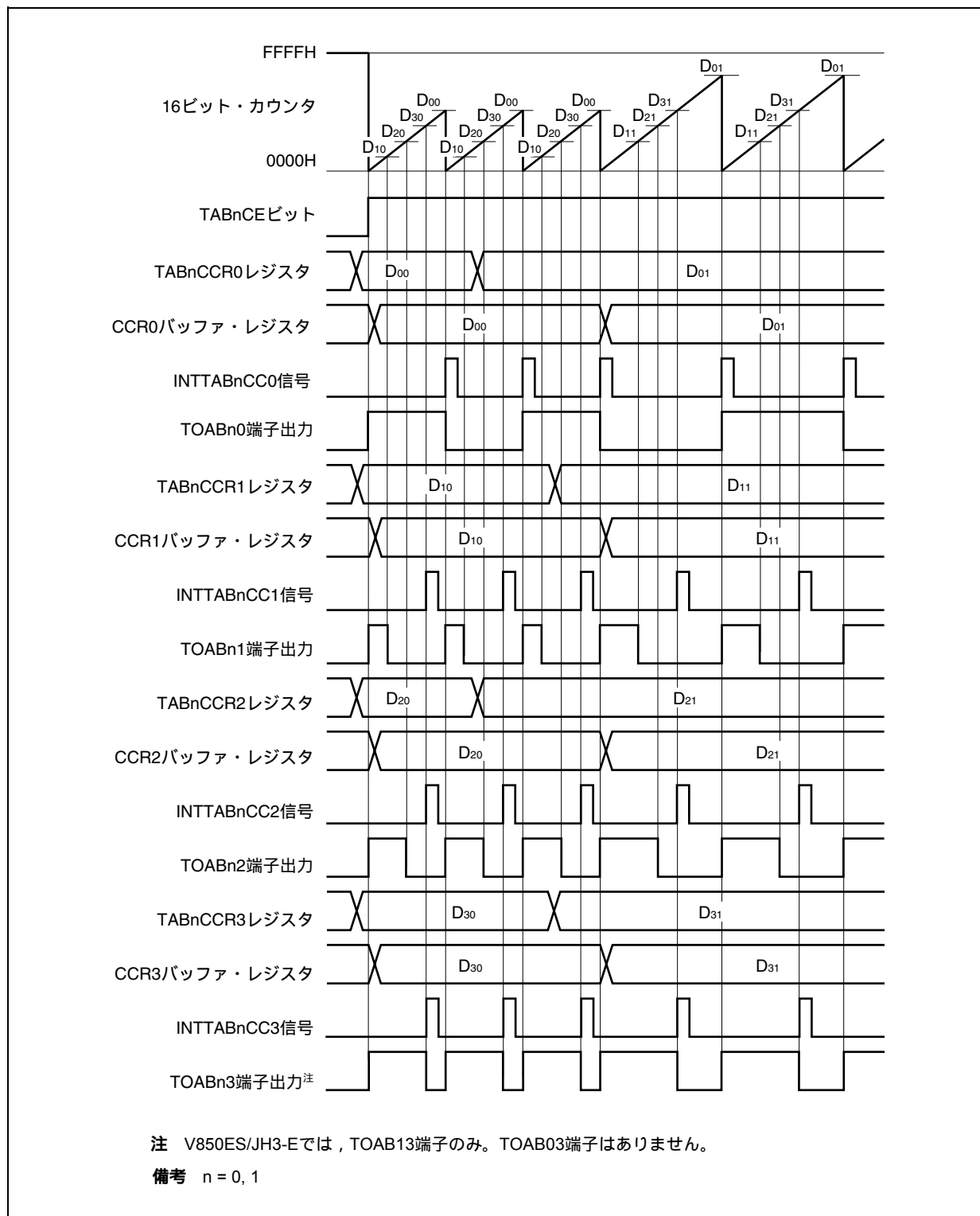


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRkレジスタの書き換えを行う場合には、INTTABnCC1信号を検出後に書き換えてください。



TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOABn1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOABn2、TOABn3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

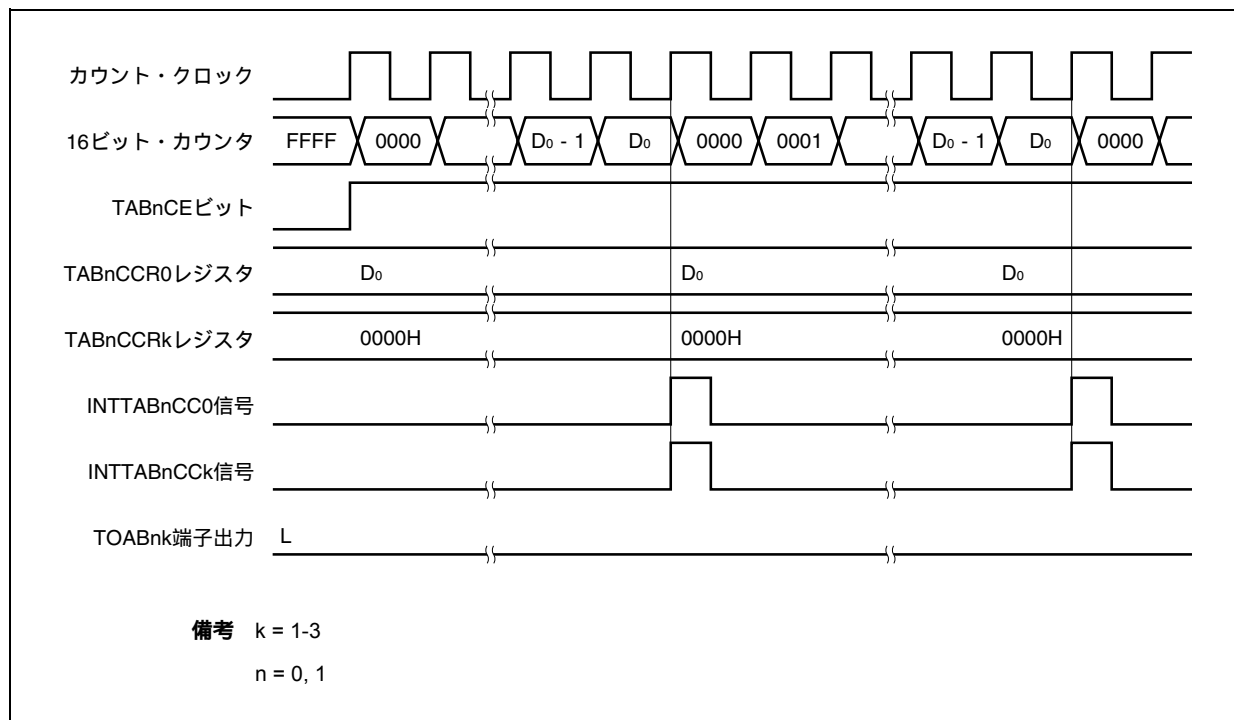
また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTABnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TABnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 m = 0-3

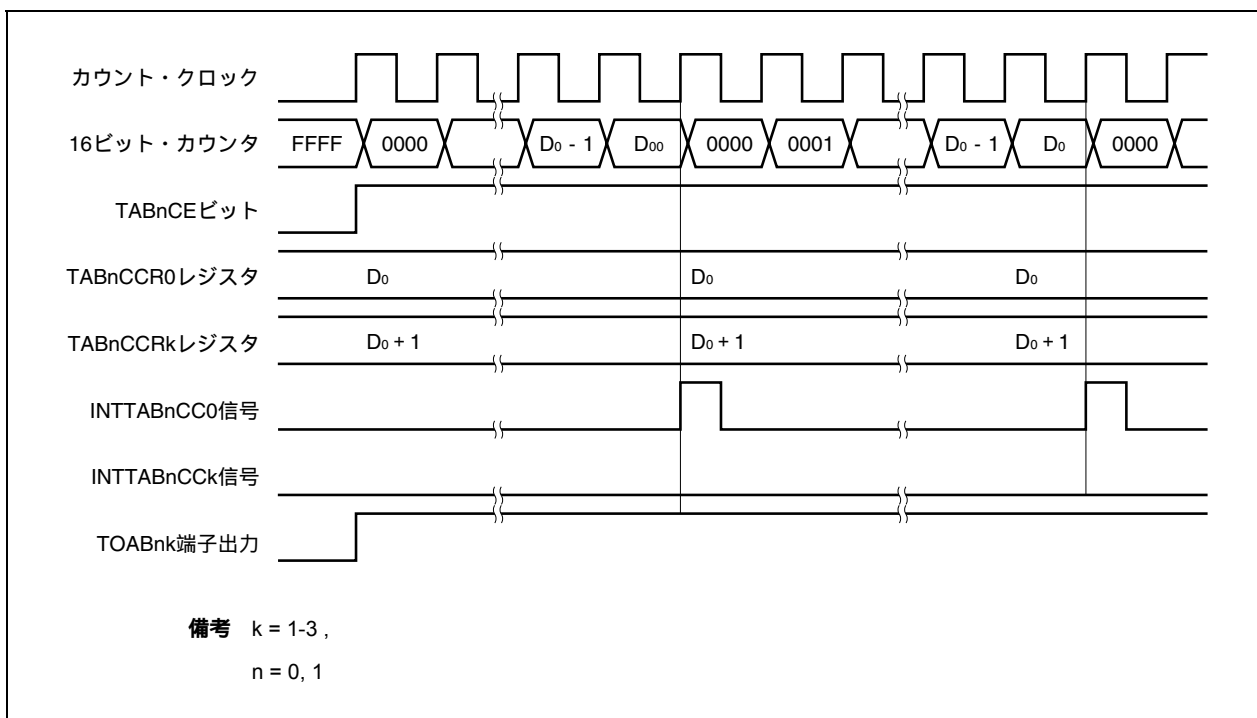
n = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TABnCCRkレジスタに対して0000Hを設定します。ただし, TABnCCR0レジスタの設定値がFFFFHの場合には, INTTABnCck信号が定期的に発生します。

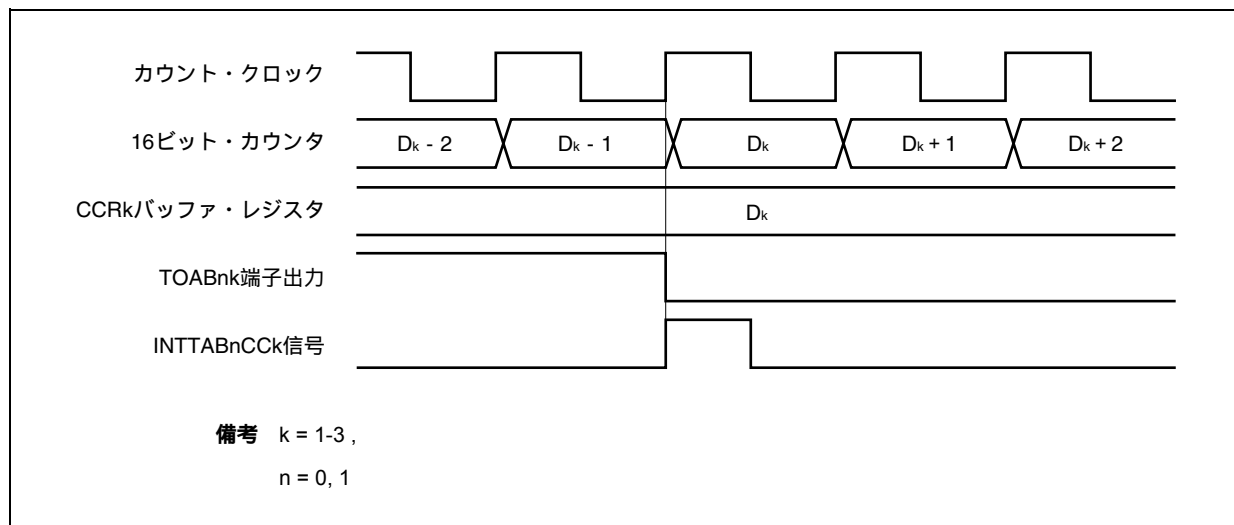


100 % 波形を出力するためには, TABnCCRkレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTABnCCk) の発生タイミング

PWM出力モードにおけるINTTABnCCk信号の発生タイミングは、ほかのINTTABnCCk信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致と同時に発生します。



通常、INTTABnCCk信号は、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

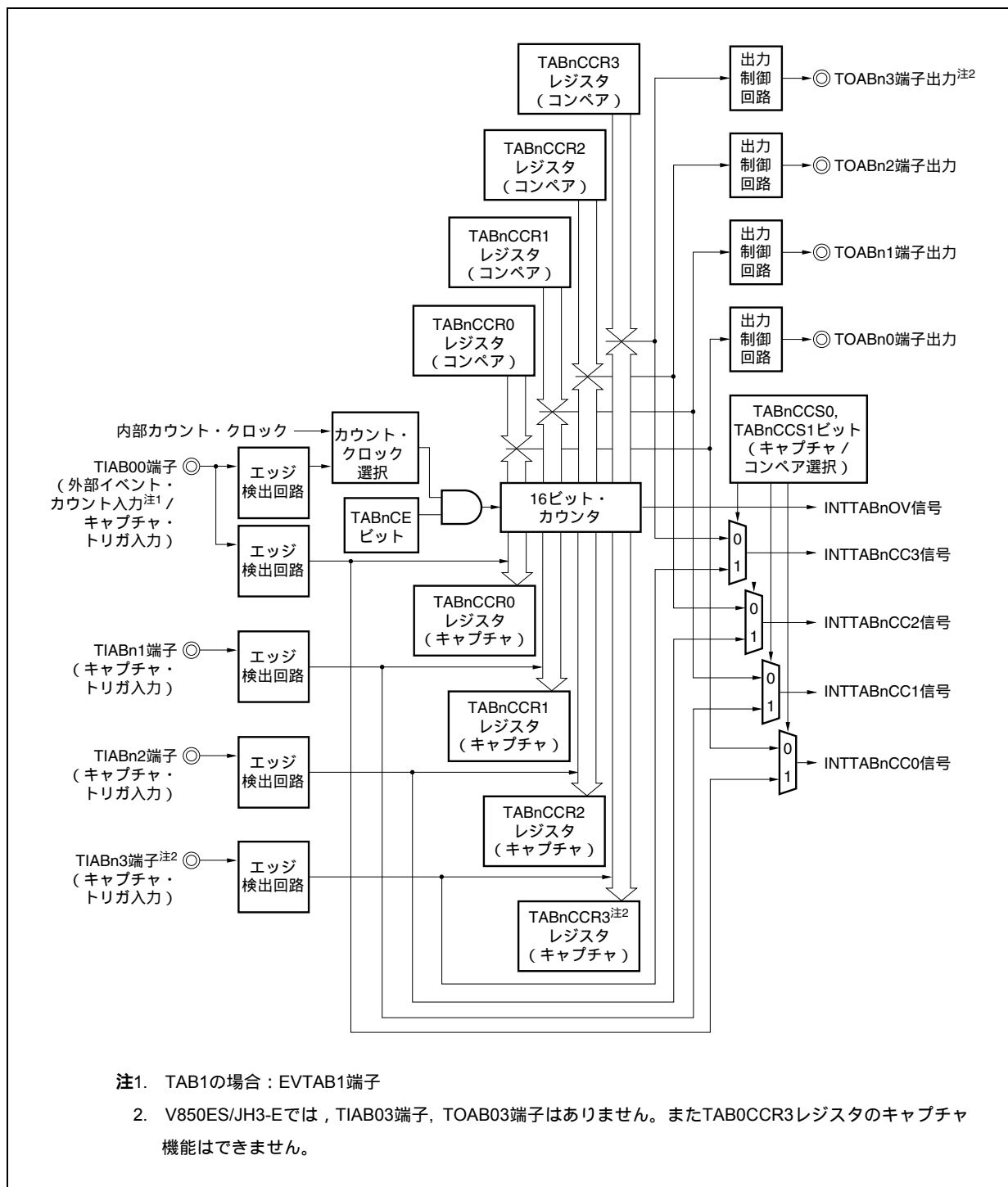
8.5.6 フリー・ランニング・タイマ・モード (TABnMD2-TABnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TABnCTL0.TABnCEビットをセット(1)することでカウント動作を開始します。このときのTABnCCRMレジスタの動作は、TABnOPT0.TABnCCS0, TABnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

備考 m = 0-3

n = 0, 1

図8-28 フリー・ランニング・タイマ・モードの構成図



TABnCEビットをセット(1)することで、カウント動作を開始し、TOABn0-TOABn3端子出力を反転します。その後、16ビット・カウンタのカウント値とTABnCCRmレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTABnCCm) を発生し、TOABnm端子出力を反転します。

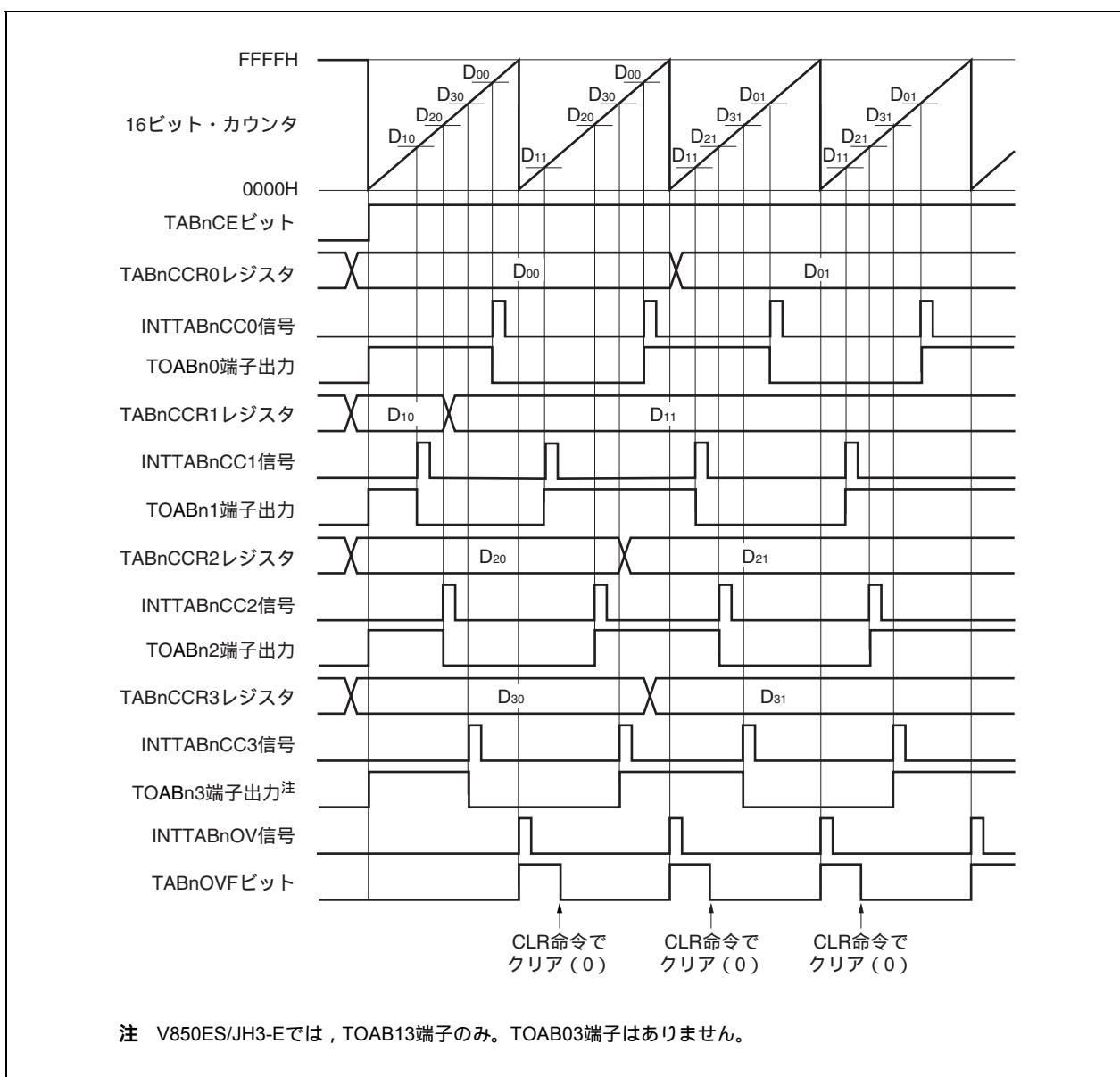
16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTABnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TABnOPT0.TABnOVFビット) もセット(1) されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0) してください。

TABnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

備考 m = 0-3

n = 0, 1

図8 - 29 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



TABnCEビットをセット (1) することで、カウント動作を開始します。その後、TIABnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し、キャプチャ割り込み要求信号 (INTTABnCCm) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTABnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TABnOVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア (0) してください。

備考 m = 0-3

n = 0, 1

図8-30 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

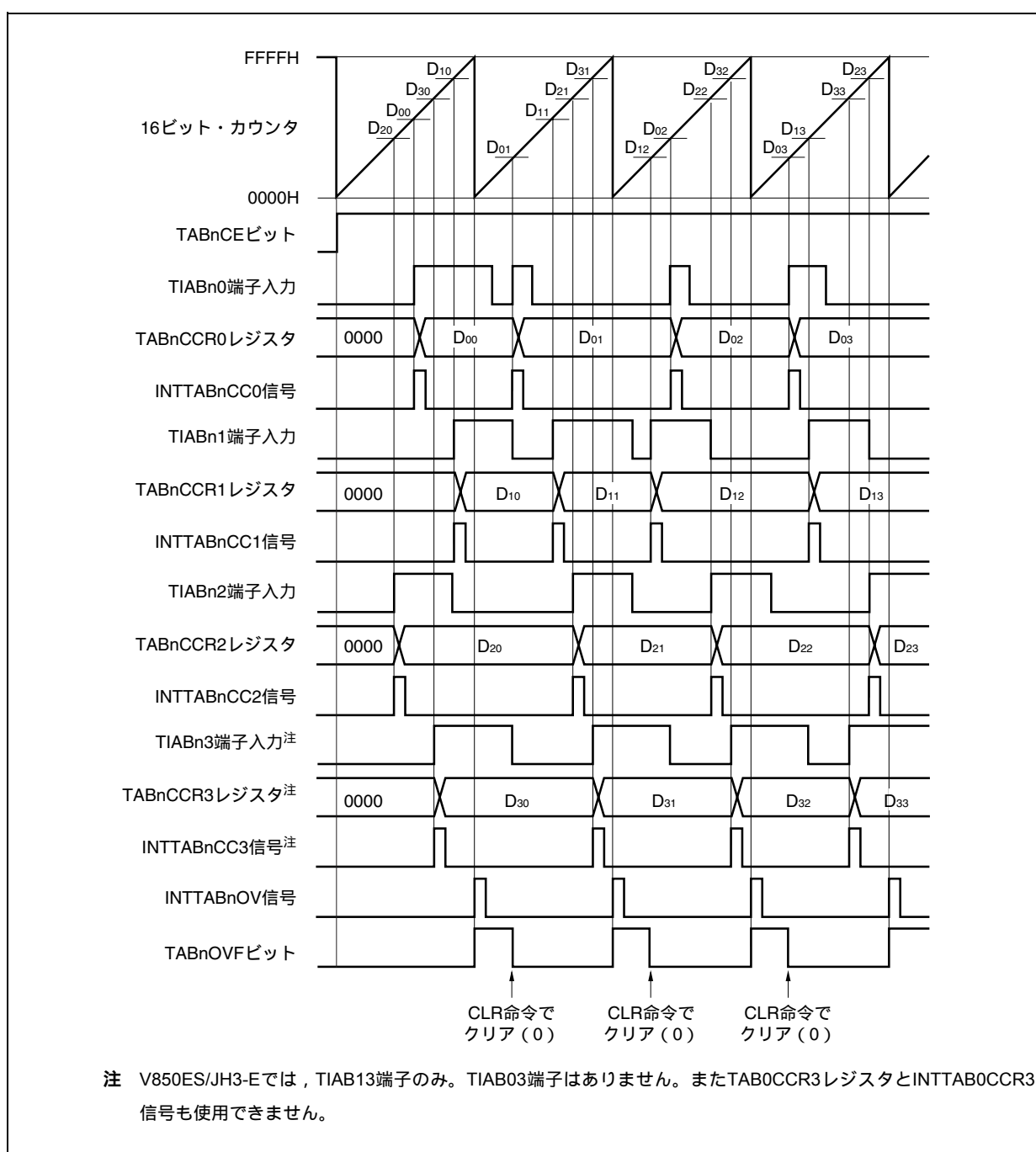


図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

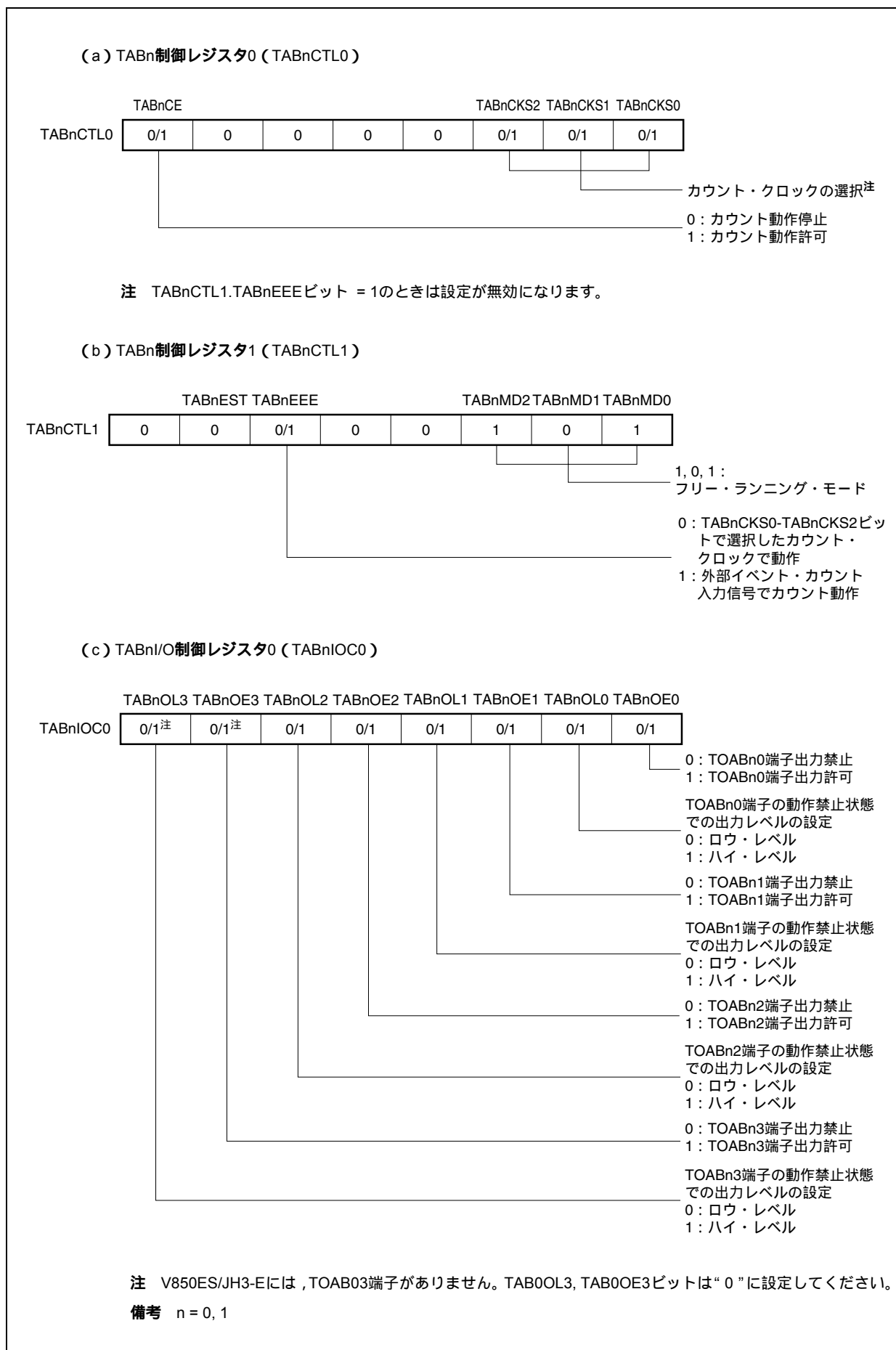
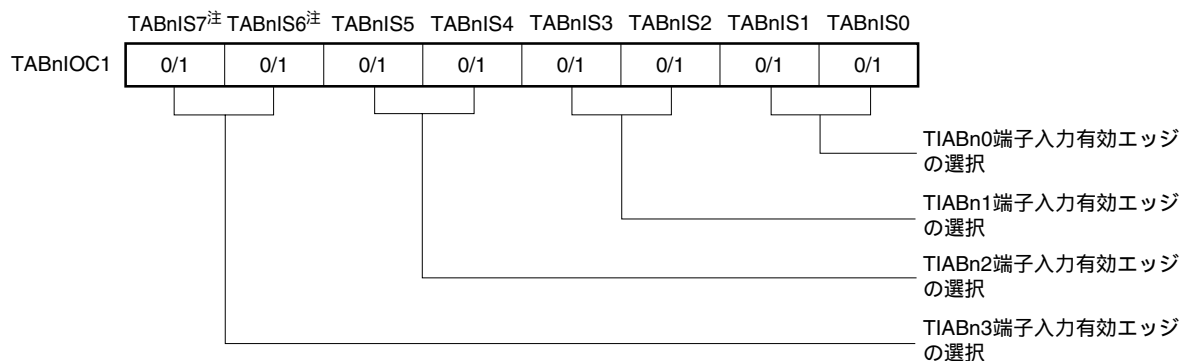


図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

(d) TABnI/O制御レジスタ1 (TABnIOC1)

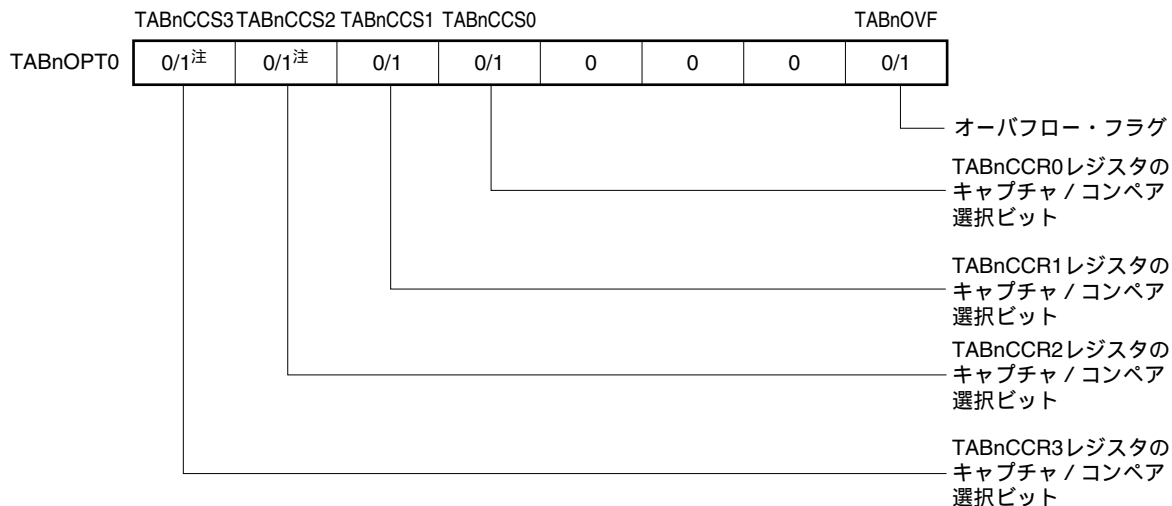


注 V850ES/JH3-Eには、TIAB03端子がありません。TAB0IS7, TAB0IS6ビットは“0”に設定してください。

(e) TABnI/O制御レジスタ2 (TABnIOC2)



(f) TABnオプション・レジスタ0 (TABnOPT0)



注 V850ES/JH3-Eには、TAB0CCR3レジスタのキャプチャ機能が使用できないのでTAB0CCS3, TAB0CCS2ビットは“0”に設定してください。

(g) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

備考 n = 0, 1

図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnOPT0.TABnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIABnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TABnCCRmレジスタにD_mを設定した場合、カウンタが(D_m + 1)になるタイミングでINTTABnCCm信号を発生し、TOABnm端子出力を反転します。

備考 m = 0-3

n = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図8 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

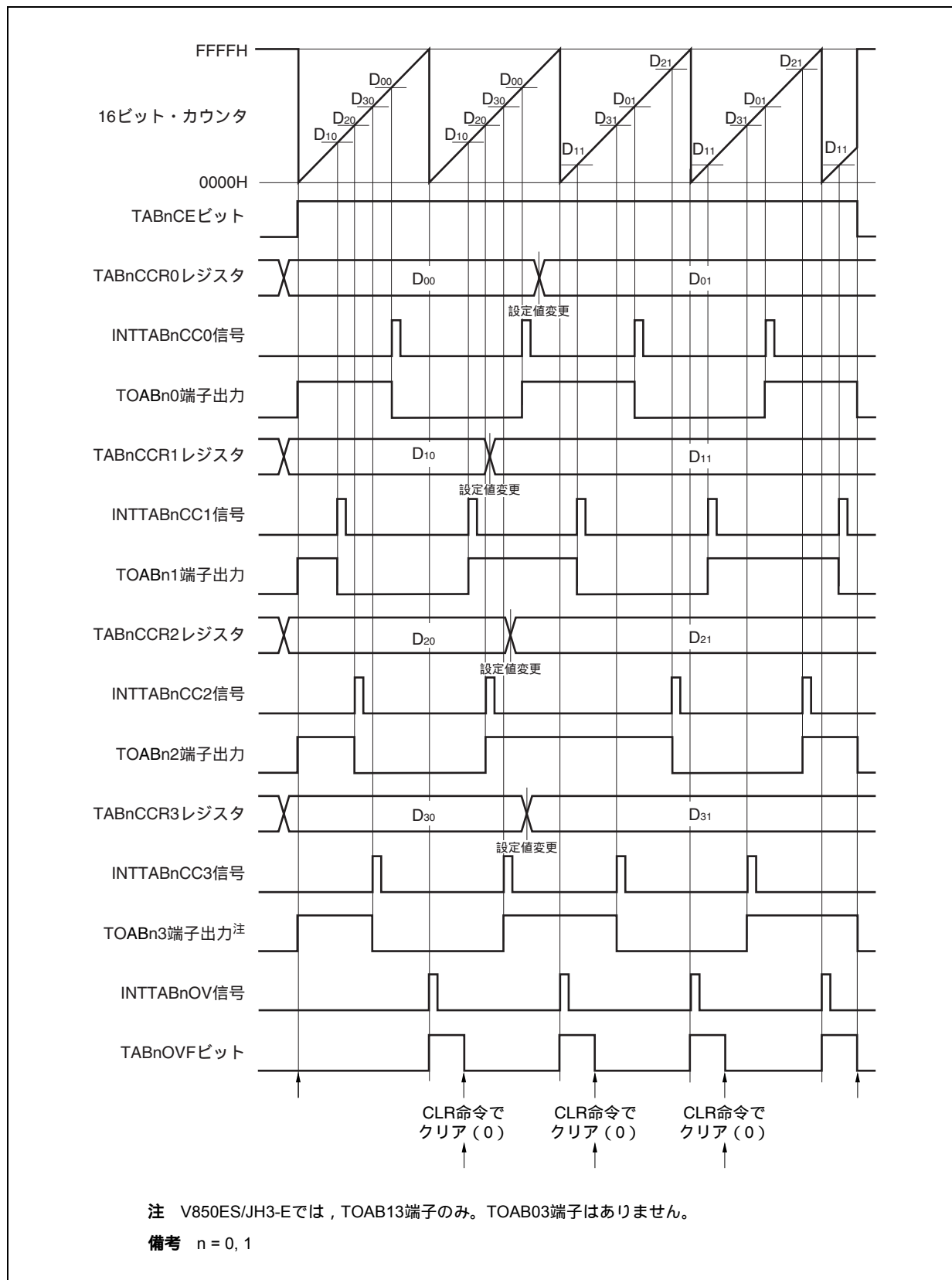
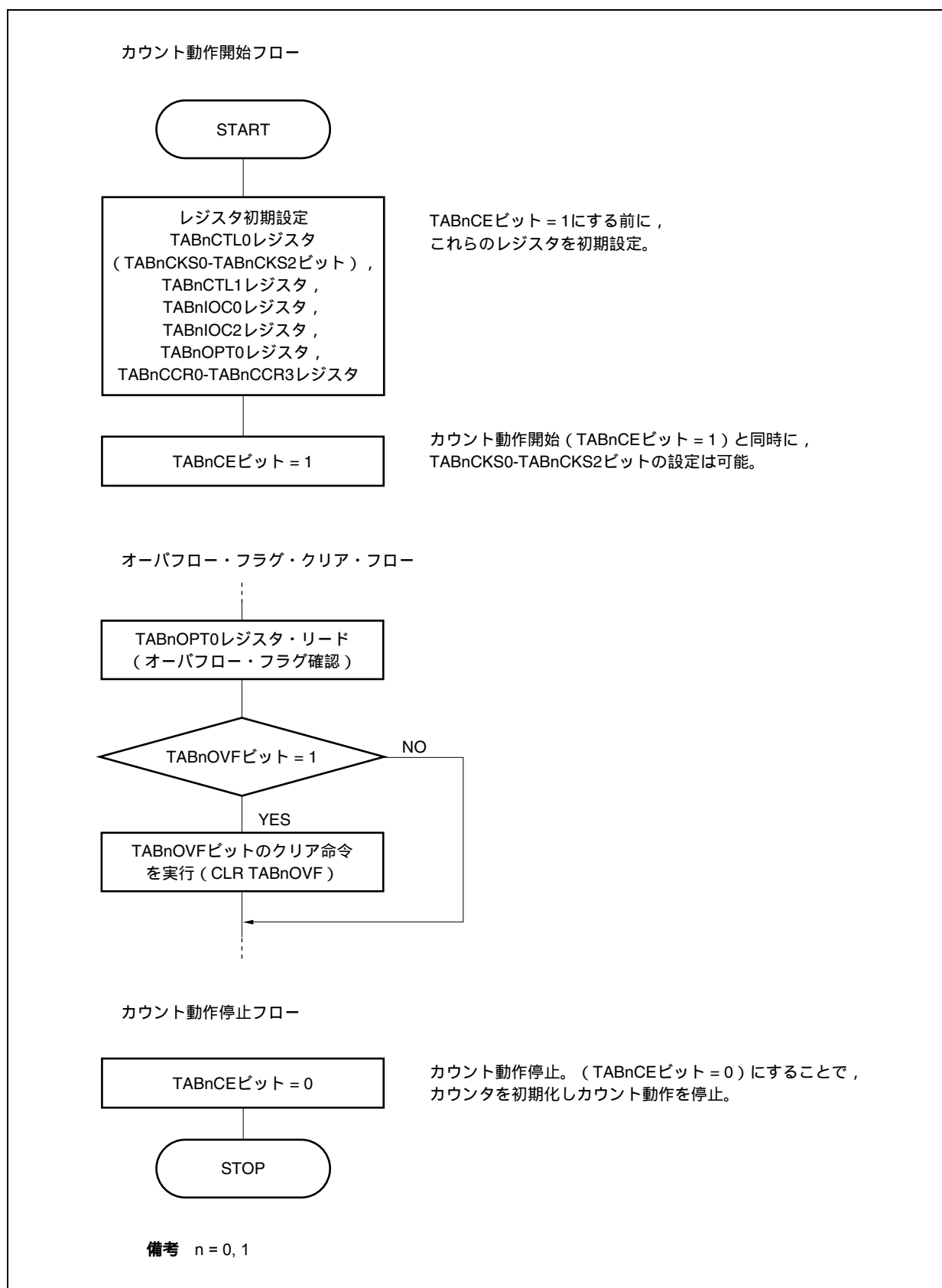


図8 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

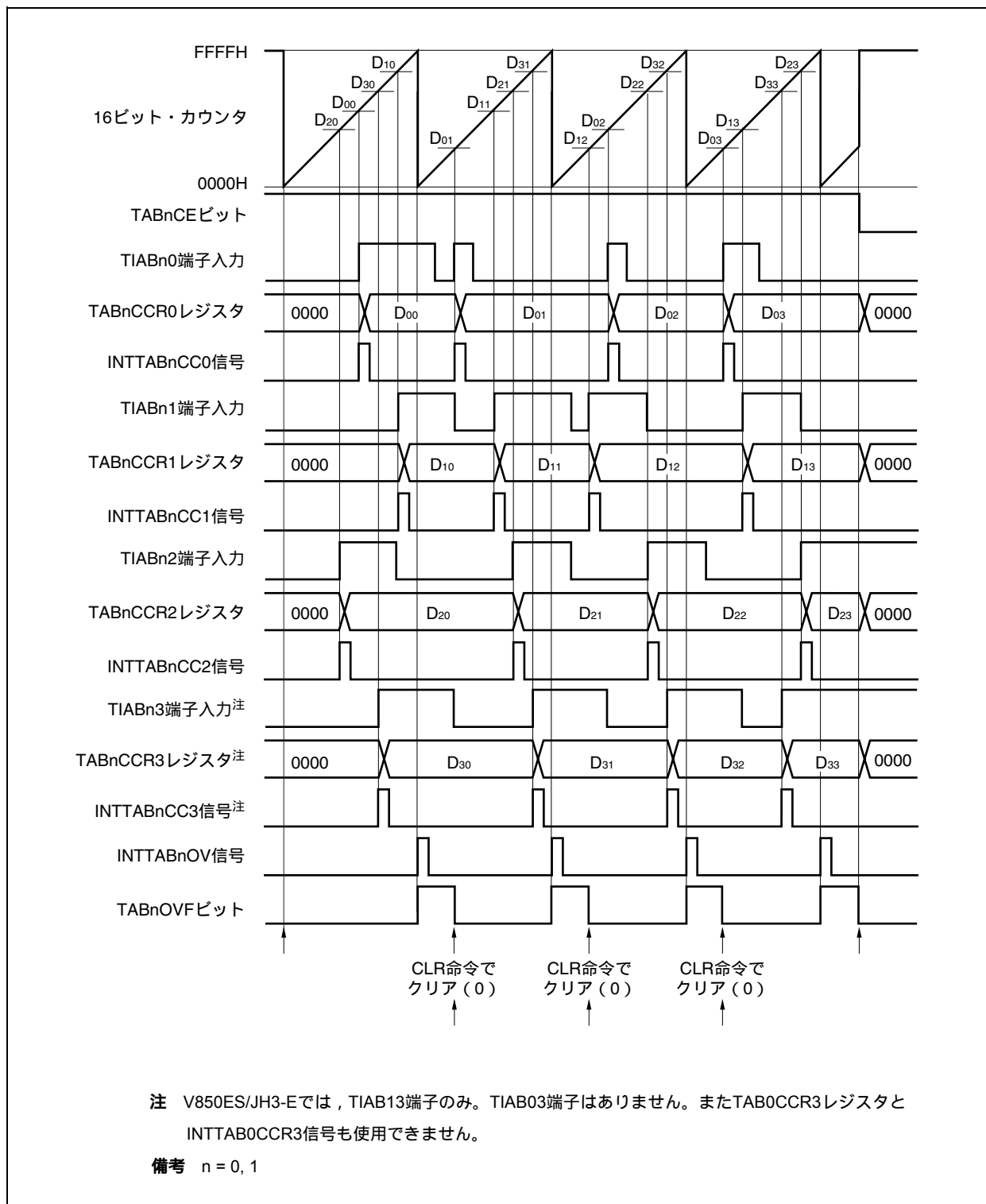
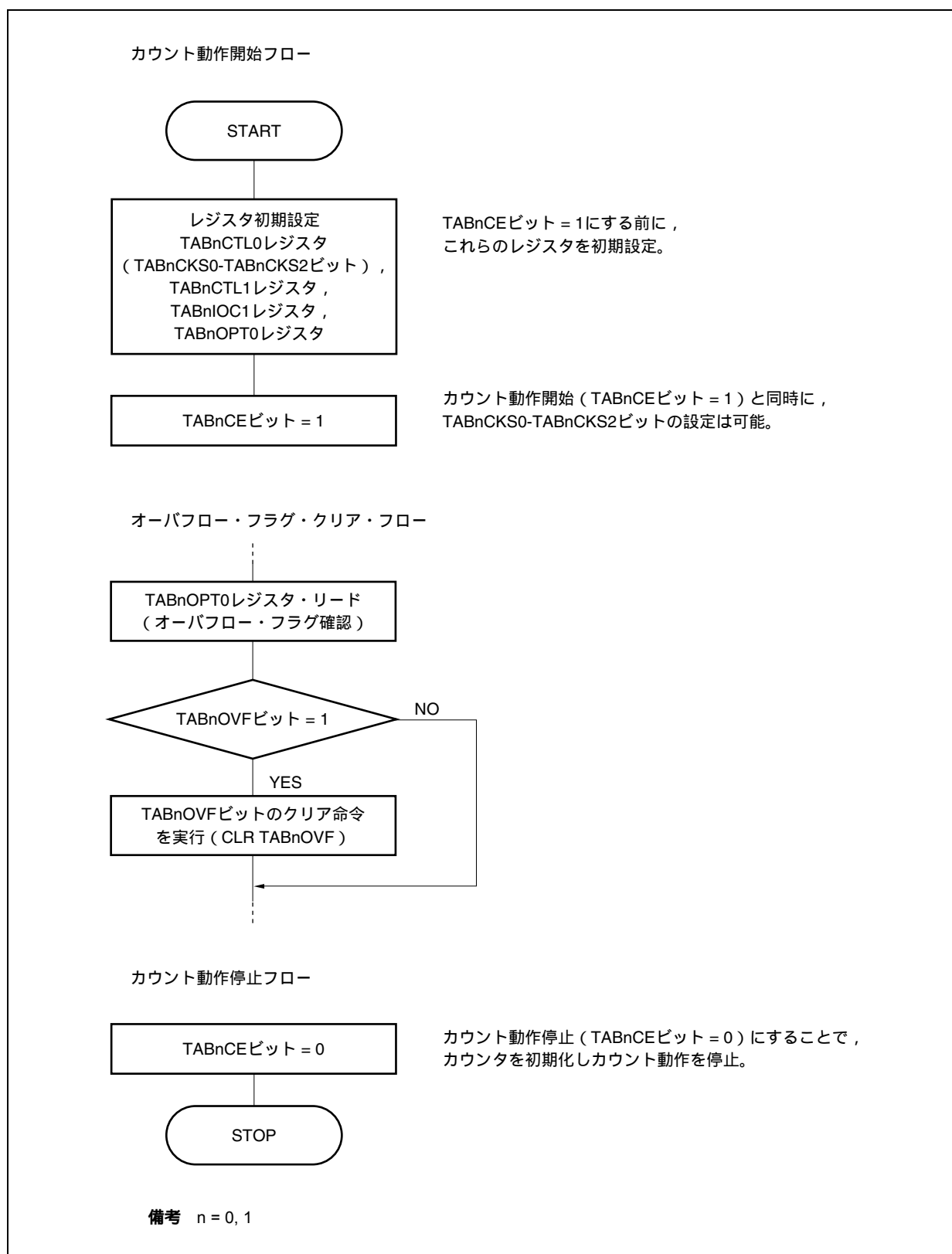


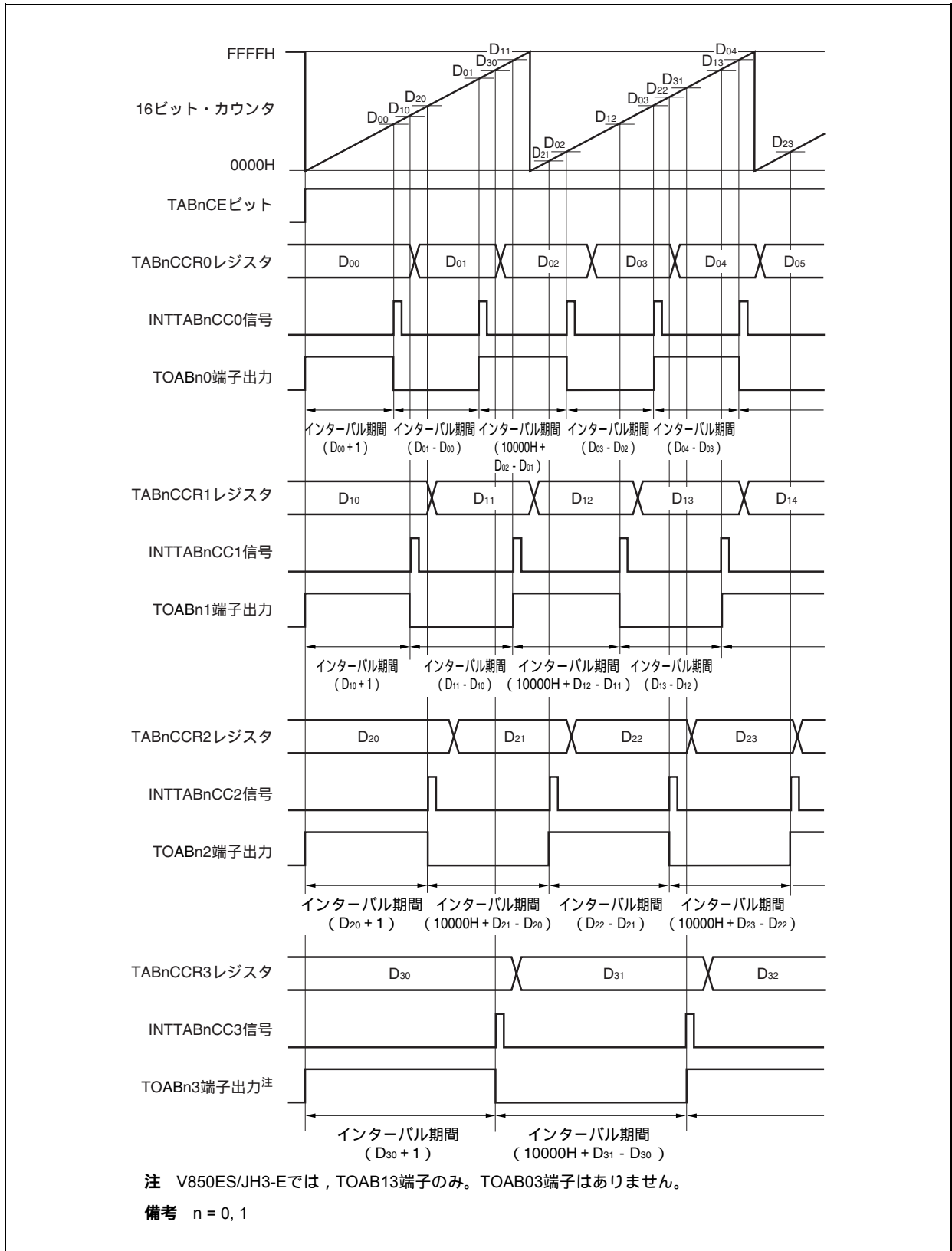
図8 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TABnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTABnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTABnCCm信号を検出したときの割り込み処理中に、対応するTABnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

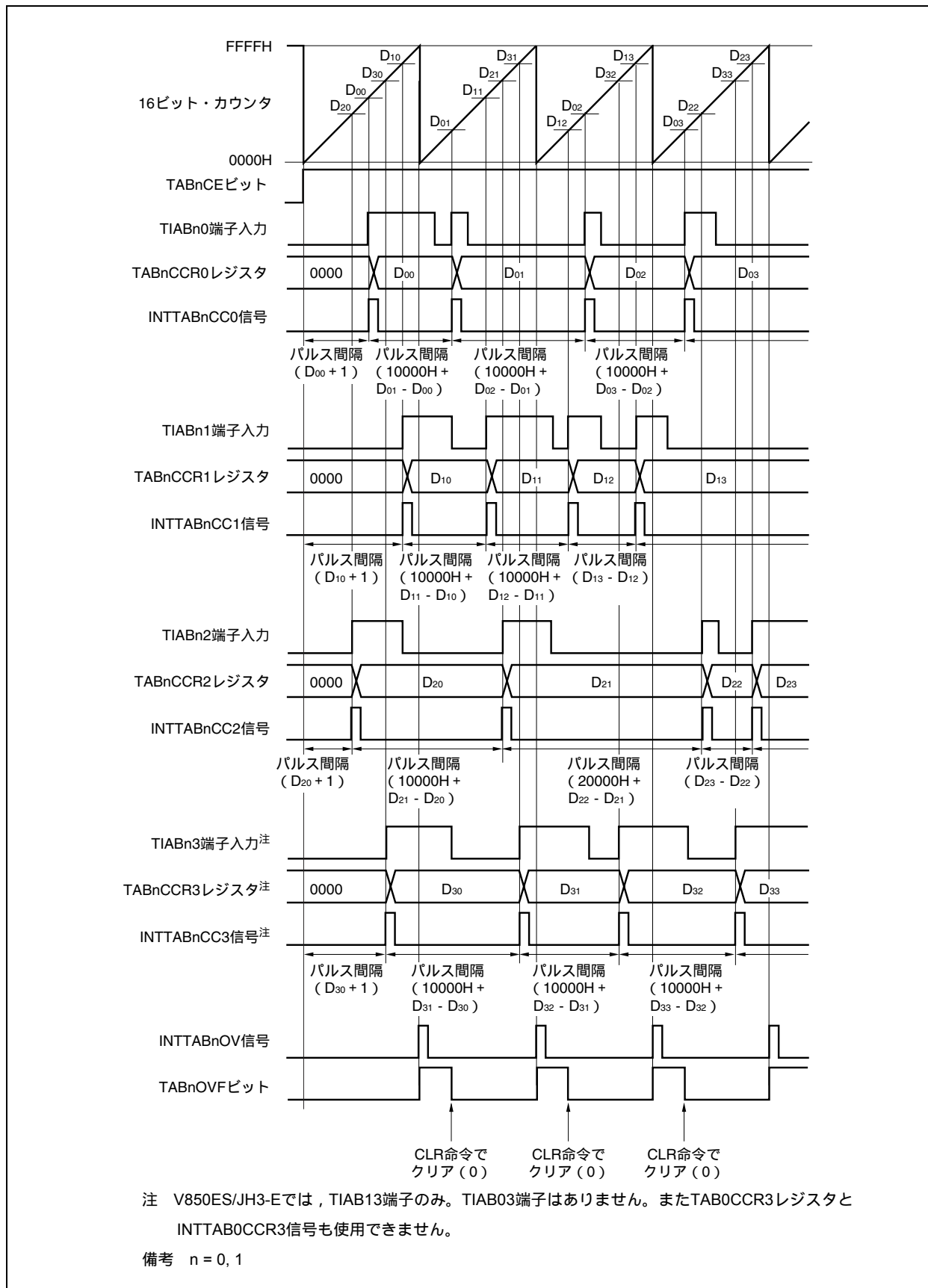
(演算結果がFFFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $m = 0-3$

$n = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TABnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTABnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



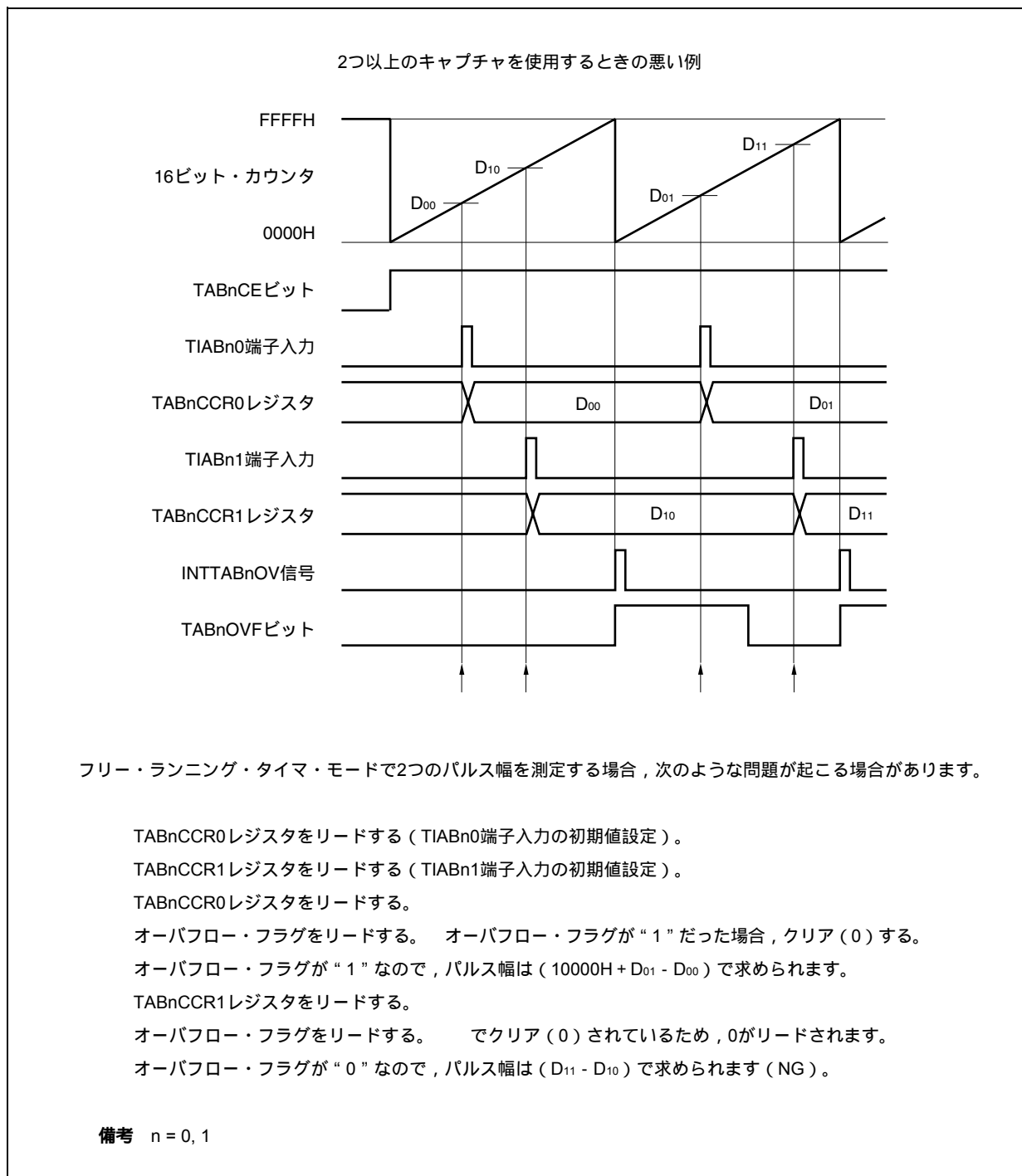
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTTABnCCm信号に同期してTABnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 m = 0-3

n = 0, 1

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

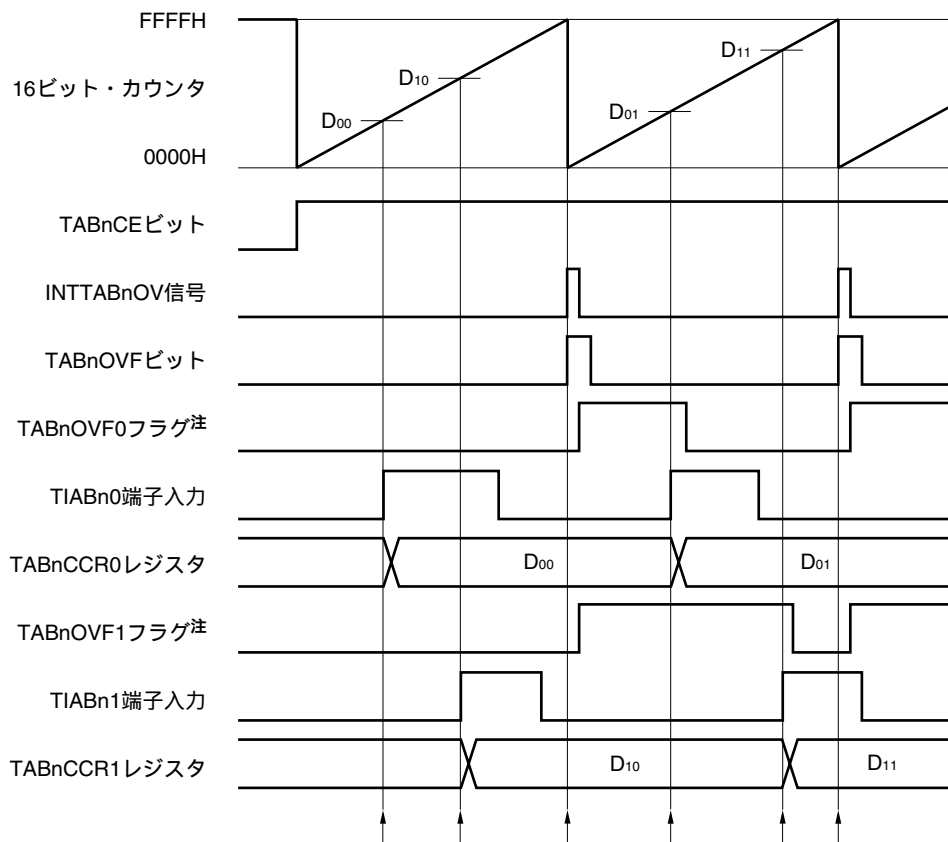
2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TABnOVF0, TABnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCR0レジスタをリードする (TIABn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIABn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TABnOVF0, TABnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TABnCCR0レジスタをリードする。

TABnOVF0フラグをリードする。TABnOVF0フラグが“1”だった場合、クリア (0) する。

TABnOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

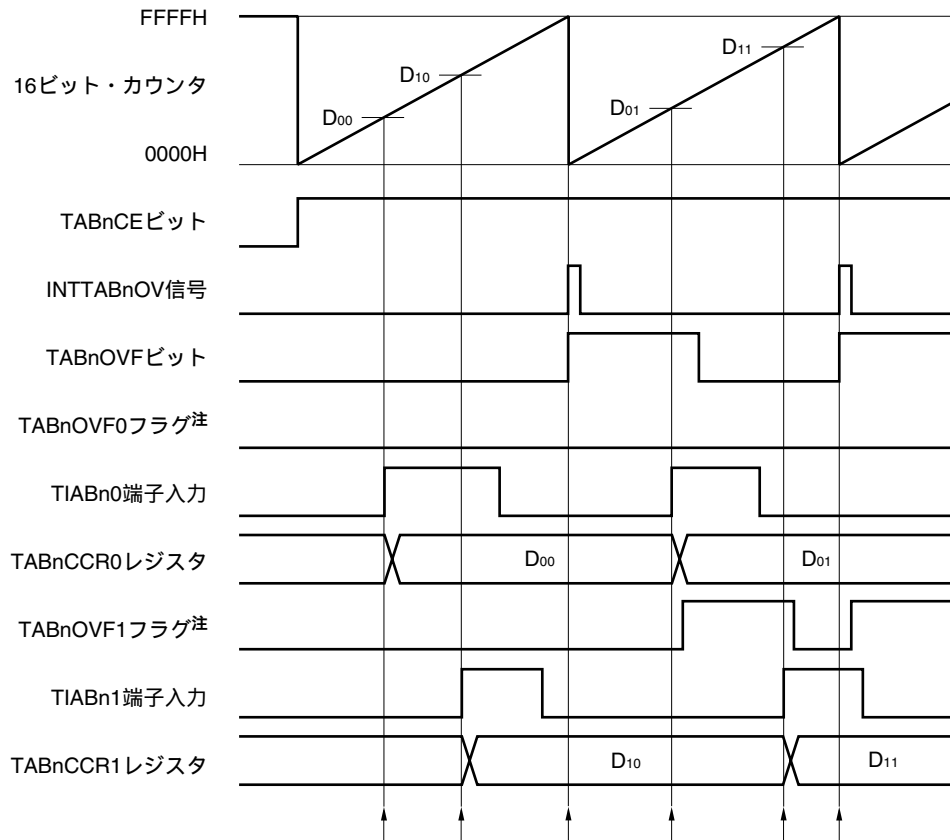
TABnCCR1レジスタをリードする。

TABnOVF1フラグをリードする。TABnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTABnOVF0フラグであり、TABnOVF1フラグは“1”のまま)。

TABnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TABnOVF0, TABnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCR0レジスタをリードする（TIABn0端子入力の初期値設定）。

TABnCCR1レジスタをリードする（TIABn1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TABnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TABnOVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TABnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

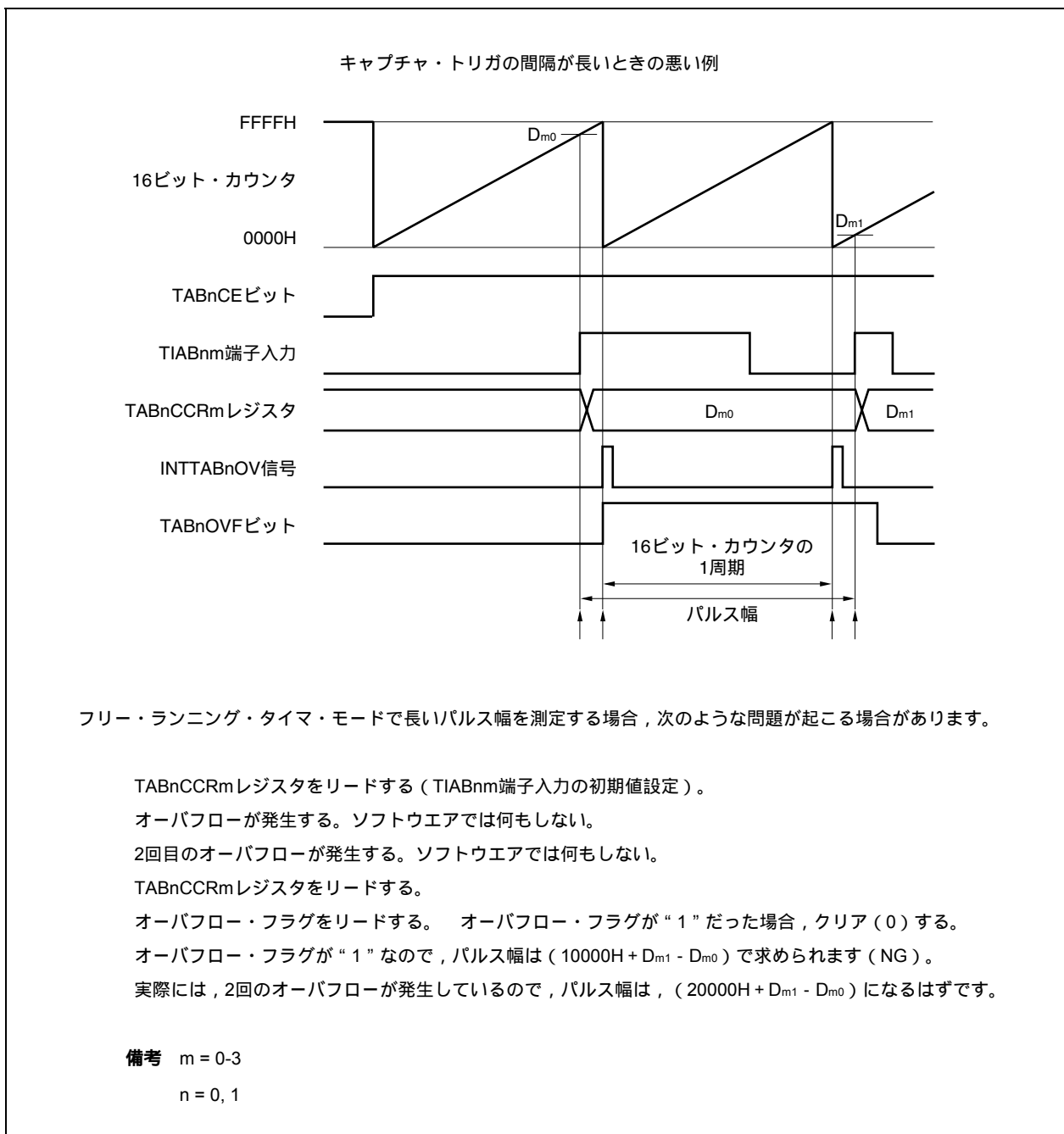
TABnOVF1フラグをリードする。TABnOVF1フラグが“1”だった場合、クリア（0）する。

TABnOVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

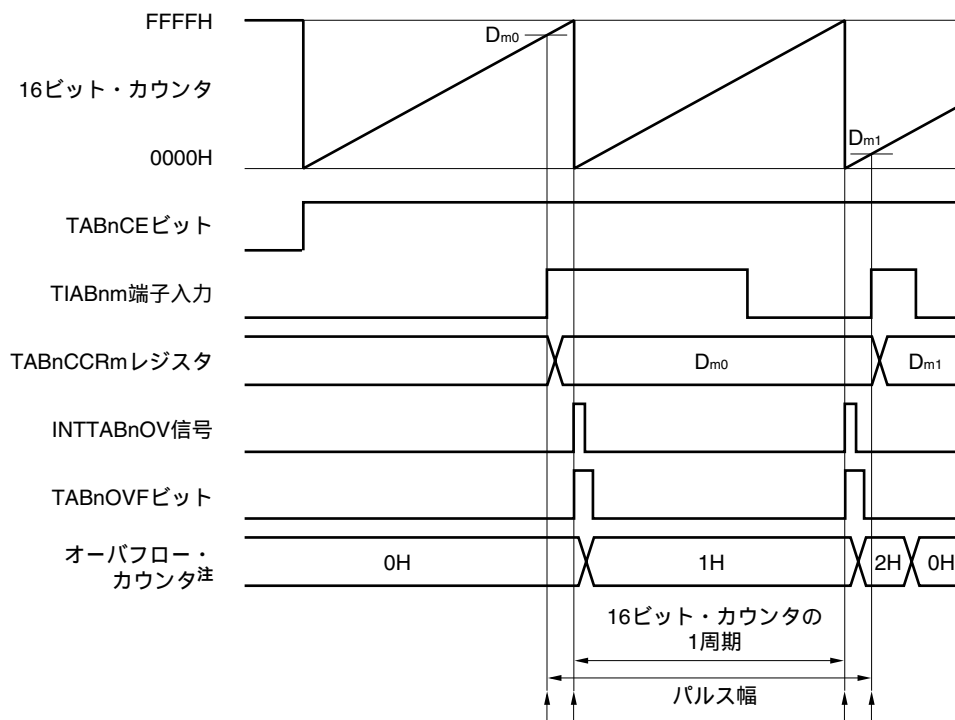
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCRmレジスタをリードする (TIABnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TABnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが “N” のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

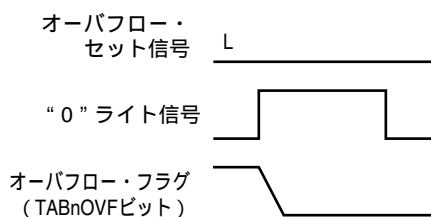
備考 m = 0-3

n = 0, 1

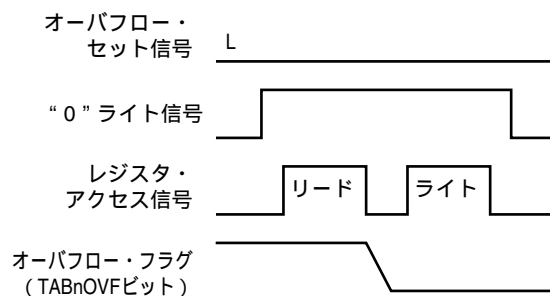
(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TABnOVFビットをCLR命令でクリア (0) する方法と、TABnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TABnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。

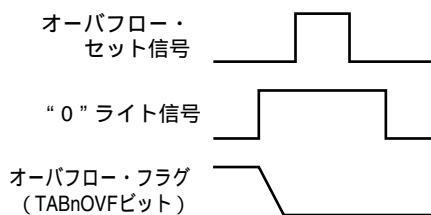
(i) “0” ライト時の動作 (セットとの競合なし)



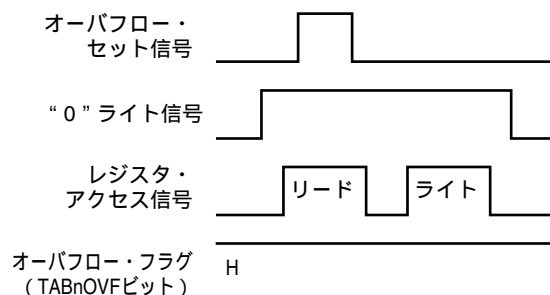
(iii) “0” クリア時の動作 (セットとの競合なし)



(ii) “0” ライト時の動作 (セットとの競合)



(iv) “0” クリア時の動作 (セットとの競合)



備考 n = 0, 1

オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

8.5.7 パルス幅測定モード (TABnMD2-TABnMD0ビット = 110)

パルス幅測定モードは、TABnCTL0.TABnCEビットをセット(1)することでカウント動作を開始し、TIABnm端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTABnCCm) が発生したあと、TABnCCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIABn0-TIABn3端子のいずれか1本を使用してください。使用しない端子は、TABnIOC1レジスタで“エッジ検出なし”に設定してください。

また、TAB0にてカウント・クロックとして外部クロックを使用するときは、外部クロックはTIAB00端子固定ですので、TIAB0k端子のパルス幅を測定してください。このとき、TAB0IOC1.TAB0IS1, TAB0IS0ビット = 00 (キャプチャ・トリガ入力 (TIAB00端子) : エッジ検出なし) に設定してください。

TAB1の場合、外部クロックはEVTAB1端子より入力しパルス幅はTIAB10-TIAB13端子で計測できます。

備考 m = 0-3,

n = 0, 1,

k = 1-3

図8 - 34 パルス幅測定モードの構成図

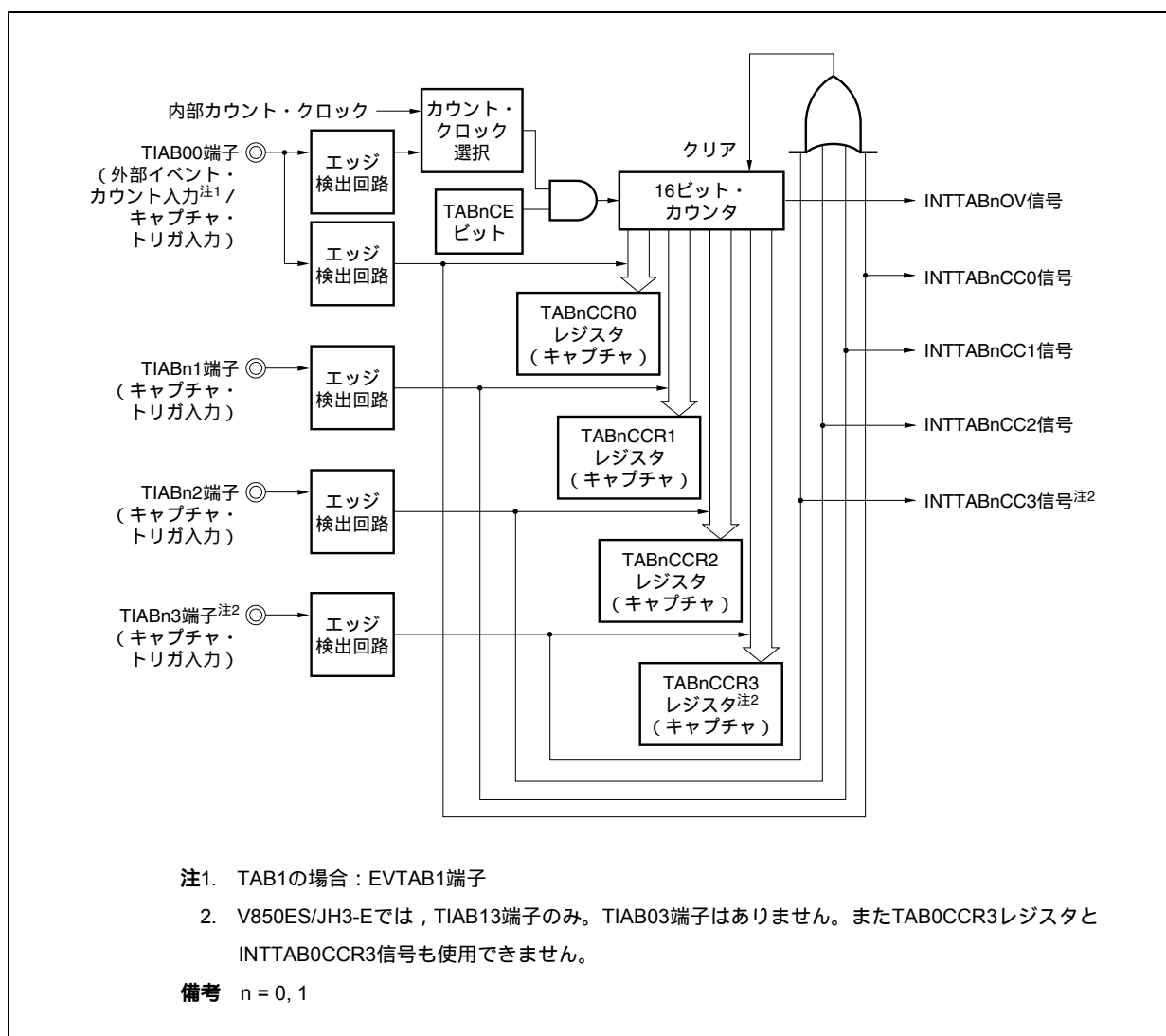
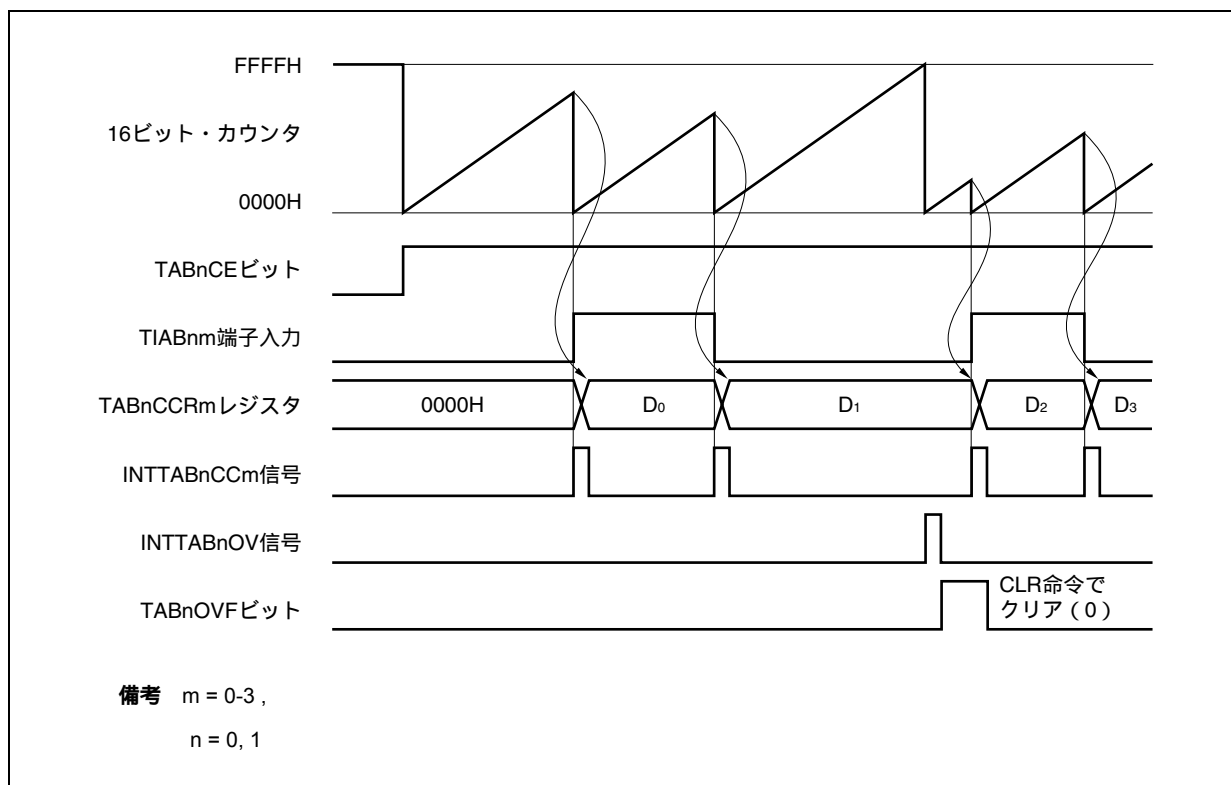


図8 - 35 パルス幅測定モードの基本タイミング



TABnCEビットをセット(1)することで、カウント動作を開始します。その後、TIABnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTABnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTABnOV)を発生するとともに、0000Hにクリアしカウント動作を続けます。また、このときオーバフロー・フラグ(TABnOPT0.TABnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TABnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 m = 0-3,
n = 0, 1

図8 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

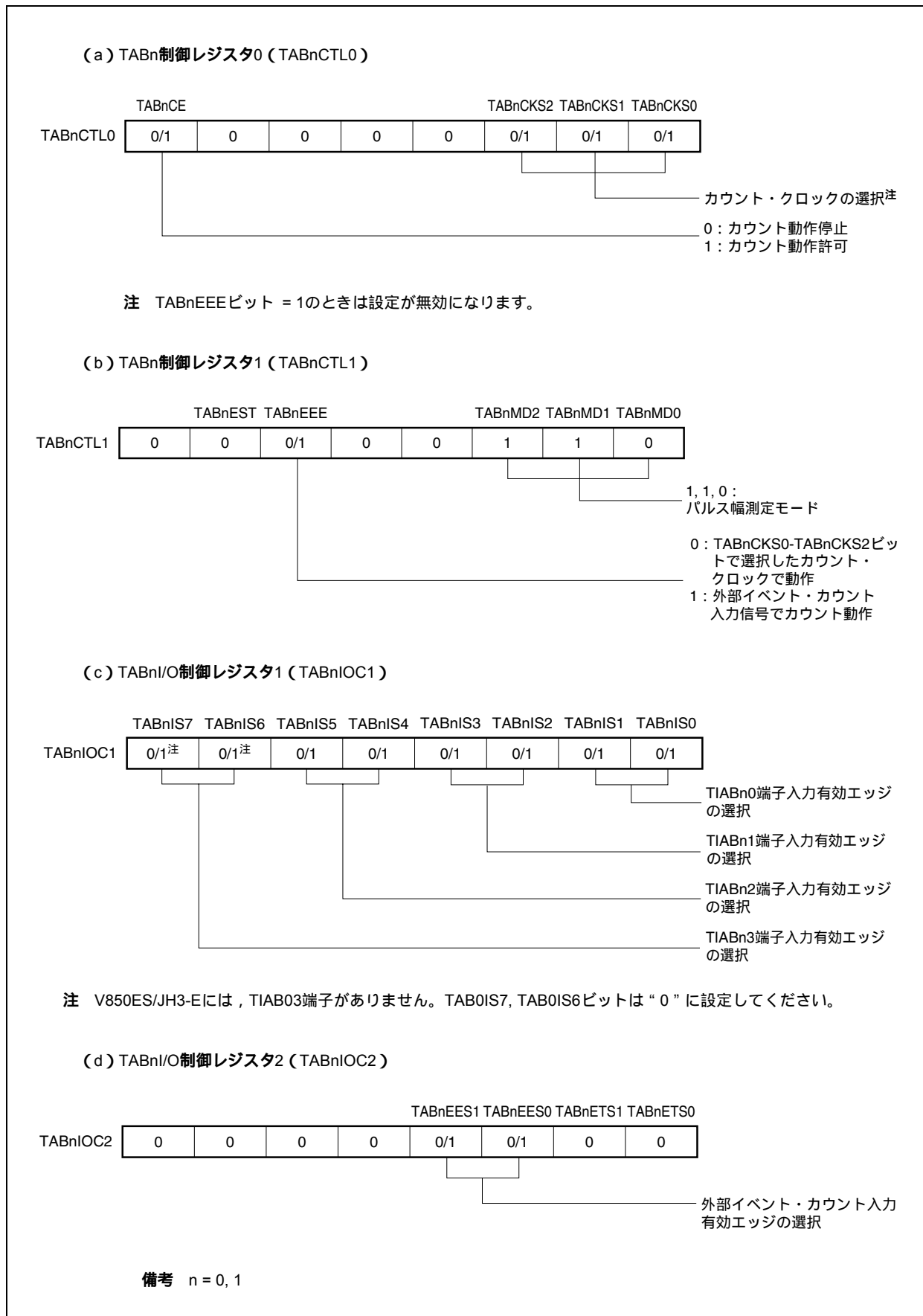
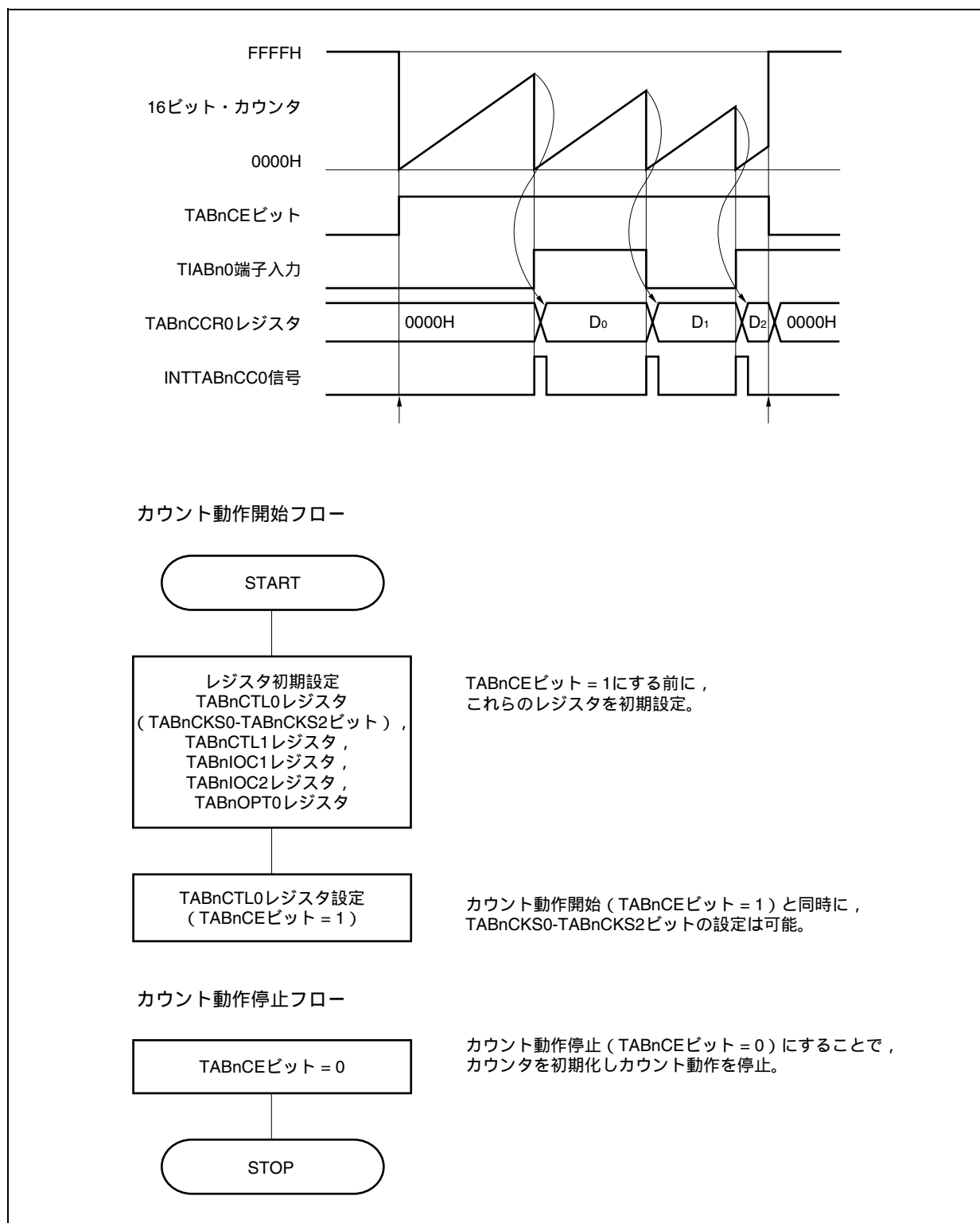


図8 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)



(1) パルス幅測定モード動作フロー

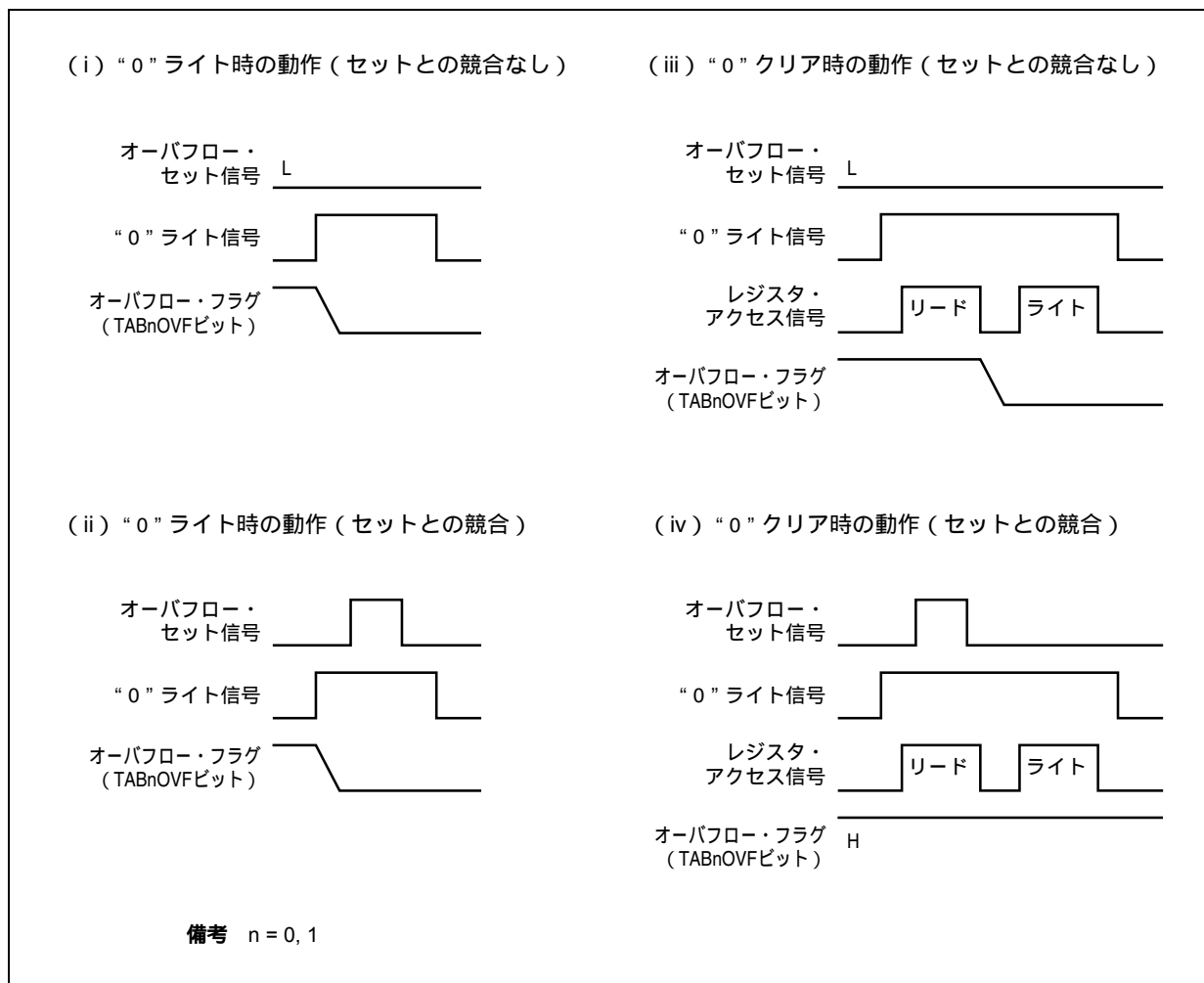
図8 - 37 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TABnOVFビットをCLR命令でクリア (0) する方法と、TABnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TABnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) するには、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0” ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

8.5.8 三角波PWMモード (TABnMD2-TABnMD0ビット = 111)

三角波PWMモードではデューティ用の設定レジスタはTABnキャプチャ/コンペア・レジスタk (TABnCCRk) とし周期用の設定レジスタはTABnキャプチャ/コンペア・レジスタ0 (TABnCCR0) となります。

この4つのレジスタを設定し、タイマを動作させることでデューティおよび周期可変型の三角波PWMを出力します。

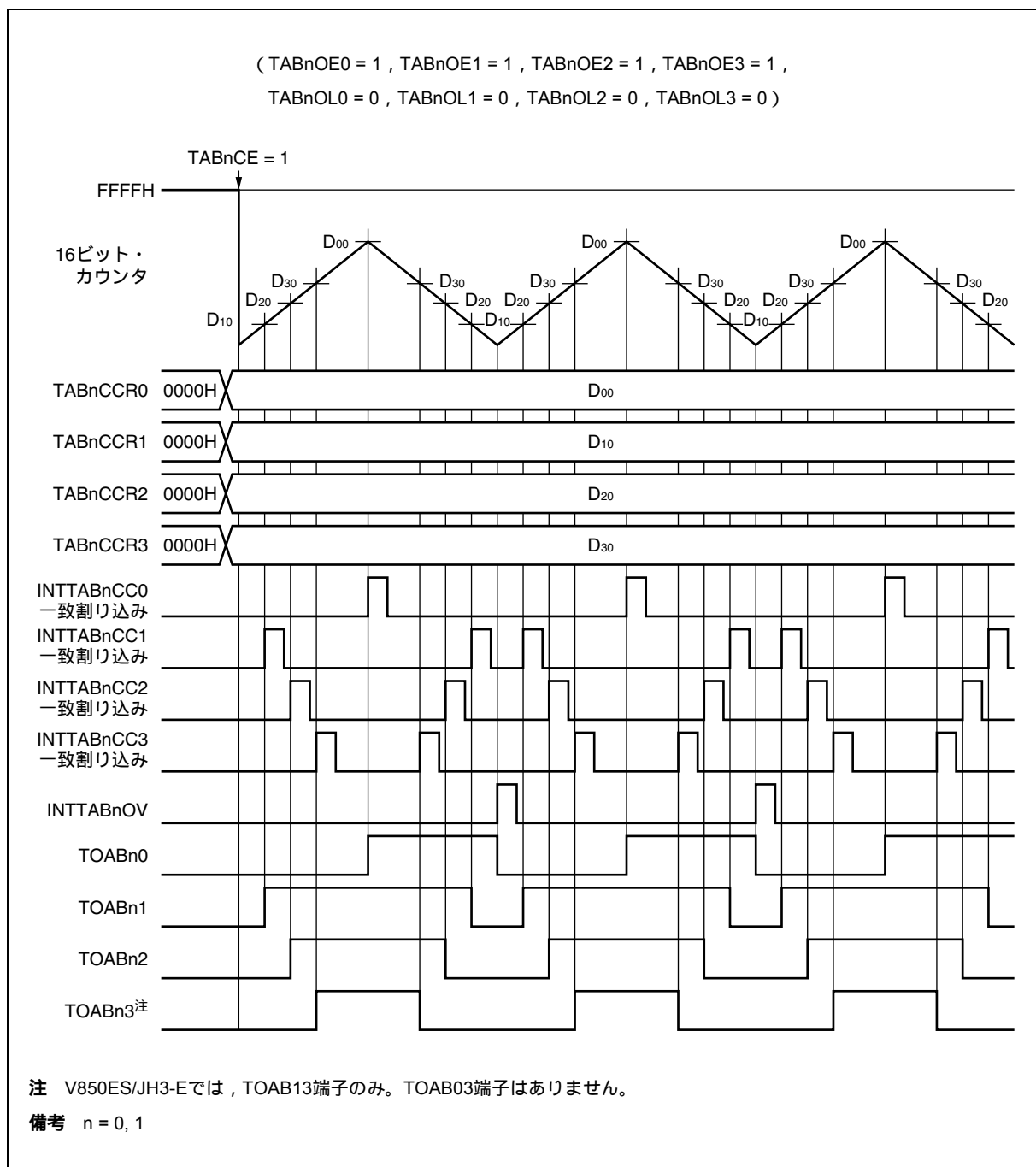
TABnCCRmレジスタはTABnCE = 1時の書き換えを許可しています。

タイマABを停止するにはTABnCE = 0にしてください。PWMの波形出力はTOABnk端子から出力します。TOABn0端子は16ビット・カウンタとTABnCCR0レジスタとの一致とアンドフローのタイミングでトグル出力します。

注意 PWMモード時、TABnCCRmレジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。

備考 n = 0, 1, m = 0-3, k = 1-3

図8 - 38 三角波PWMモードの基本動作タイミング



8.5.9 タイマ出力動作説明

次にTOABn0-TOABn3端子の動作，および出力レベルを示します。

表8 - 6 各モードによるタイマ出力制御

動作モード	TOABn0端子	TOABn1端子	TOABn2端子	TOABn3端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	方形波出力	-		
外部トリガ・パルス出力モード	方形波出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)			
パルス幅測定モード	-			
三角波PWM出力モード	方形波出力	三角波PWM出力	三角波PWM出力	三角波PWM出力

表8 - 7 タイマ出力制御ビットによるTOABn0-TOABn3端子の真理値表

TABnIOC0.TABnOLmビット	TABnIOC0.TABnOEmビット	TABnCTL0.TABnCEビット	TOABnm端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考 m = 0-3,

n = 0, 1

8.6 タイマ同調動作機能/同時スタート機能

タイマAAおよびタイマABには、タイマ同調動作機能/同時スタート機能があります。
同期させることのできるタイマを表8-8に示します。

表8-8 タイマの同調動作モード

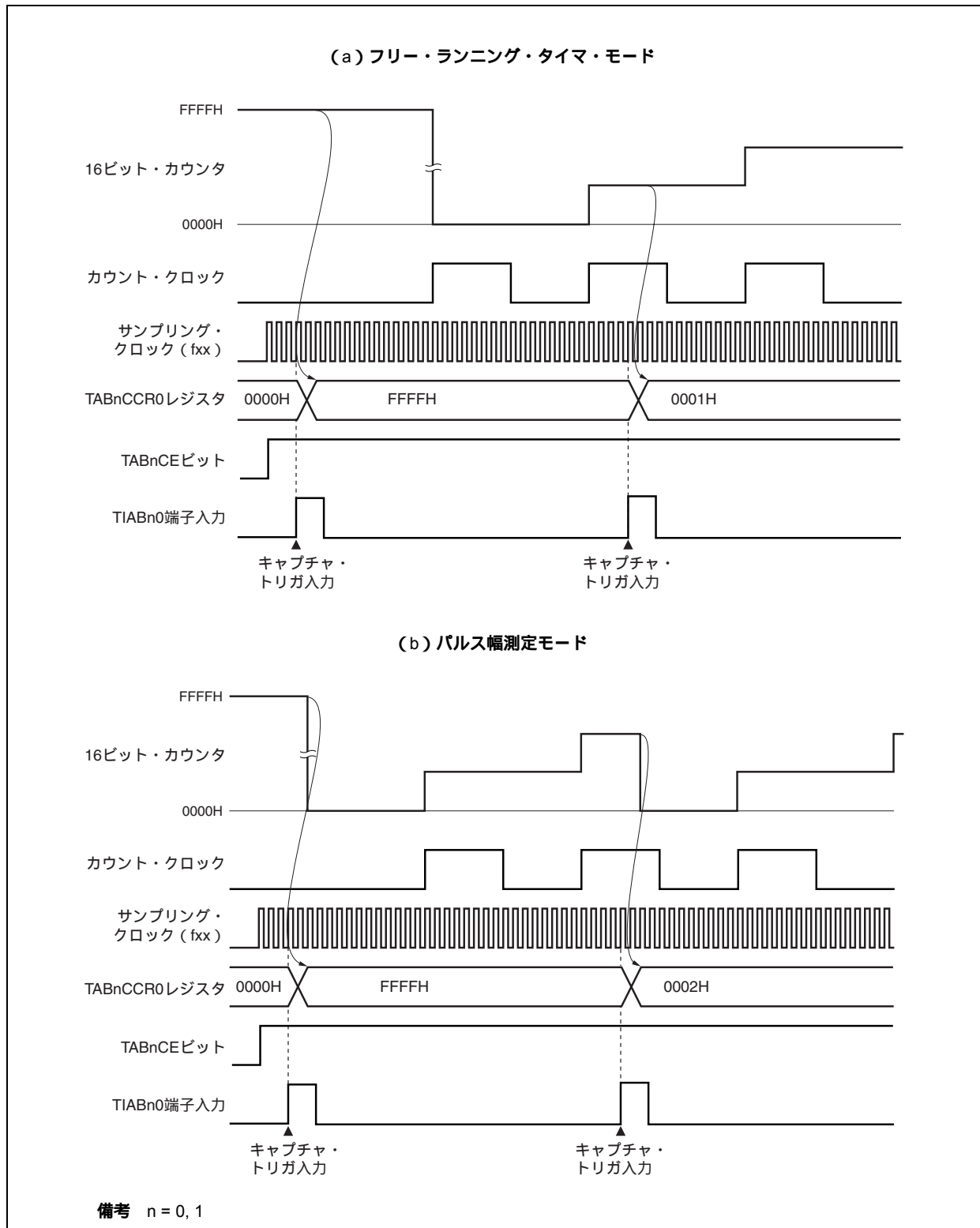
マスタ・タイマ	スレーブ・タイマ
TAA1	TAA0
TAA3	TAA2
TAB0	TAA5
TAB1	TAB4

タイマ同調動作機能についての詳細は7.6 タイマ同調動作機能を、同時スタート機能についての詳細は7.7 同時スタート機能を参照してください。

8.7 注意事項

(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TABnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TABnCCR0、TABnCCR1、TABnCCR2、TABnCCR3レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第9章 16ビット・タイマ/イベント・カウンタT (TMT)

タイマT (TMT) は、16ビットのタイマ/イベント・カウンタです。

タイマAA (TAA) にエンコーダ・カウント機能などを追加しています。ただし、インターバル・タイマ・モード時の外部イベント・カウント入力による動作はありません。

V850ES/JH3-E, V850ES/JJ3-Eは、TMTを1チャンネル内蔵しています。

9.1 概 要

TMT0の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子 (TIT00, TIT01)	: 2本
・エンコーダ入力端子 (TENC00 [※] , TENC01)	: 2本
・エンコーダ・クリア入力端子 (TECR0)	: 1本
・外部トリガ入力端子	: 1本
・外部イベント・カウント入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・タイマ出力端子	: 2本

注 TENC00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部エンコーダ入力信号が兼用されています。

9.2 機 能

TMT0の機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・三角波PWM出力
- ・エンコーダ・カウント

9.3 構成

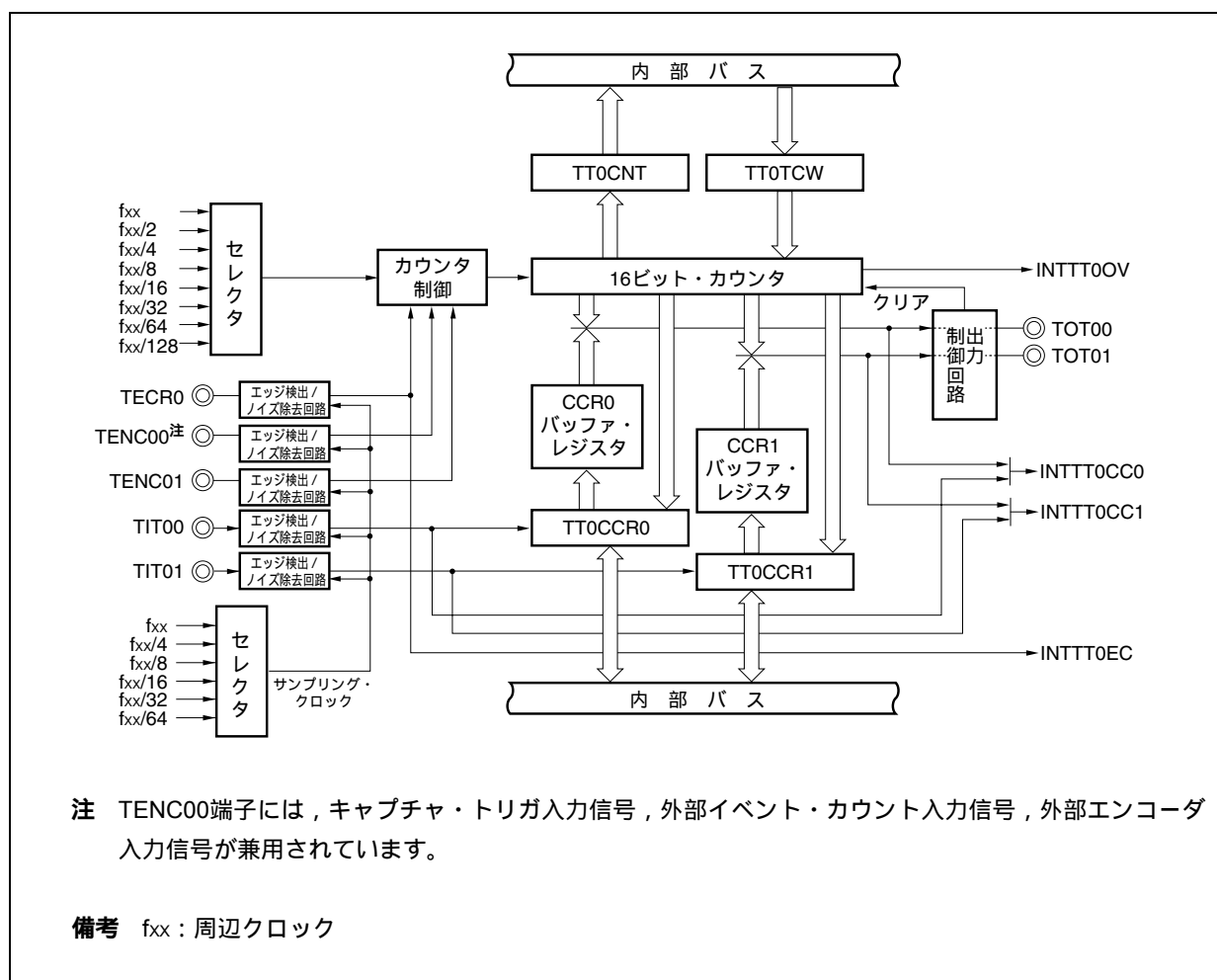
TMT0は、次のハードウェアで構成されています。

表9-1 TMT0の構成

項目	構成
レジスタ	16ビット・カウンタ×各1本 TMT0キャプチャ/コンペア・レジスタ0, 1 (TT0CCR0, TT0CCR1) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT) TMT0カウンタ・ライト・レジスタ (TT0TCW) CCR0, CCR1バッファ・レジスタ TMT0制御レジスタ0, 1 (TT0CTL0, TT0CTL1) TMT0制御レジスタ2 (TT0CTL2) TMT0I/O制御レジスタ0-3 (TT0IOC0-TT0IOC3) TMT0オプション・レジスタ0 (TT0OPT0) TMT0オプション・レジスタ1 (TT0OPT1) TMTノイズ除去制御レジスタ (TTNFC)
タイマ入力	<ul style="list-style-type: none"> ・ TIT00, TIT01 (キャプチャ・トリガ入力端子) ・ TENC00^注 (エンコーダ0入力端子) ・ TENC01 (エンコーダ1入力端子) ・ TECR0 (エンコーダ・クリア入力端子)
タイマ出力	TOT00, TOT01

注 TENC00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部エンコーダ入力信号が兼用されています。

図9-1 TMT0のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TT0CNTレジスタでリードできます。

TT0CTL0.TT0CEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTT0CNTレジスタをリードすると0000Hがリードされます。

リセット時にはTT0CEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TT0CCR0レジスタをコンペア・レジスタとして使用するとき、TT0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTCC00) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTT0CCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TT0CCR1レジスタをコンペア・レジスタとして使用するとき、TT0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTCC01) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTT0CCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIT00, TIT01, TENC00, TENC01, TECR0端子に入力される有効エッジを検出します。有効エッジは、TT0IOC1, TT0IOC2, TT0IOC3レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOT00, TOT01端子の出力をTT0IOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

(7) カウンタ制御

TT0CTL1レジスタで選択したタイマ・モードにより、カウント動作を制御します。

9.3.1 端子の構成

TMT0を構成する、タイマ入力およびタイマ出力は次のポートに兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4 - 18 ポート端子を兼用端子として使用する場合参照）

表9 - 2 端子構成

ポート	タイマ入力端子		タイマ出力	その他の兼用機能
P96	TIT00 (キャプチャ・トリガ入力0)	TECR0 (エンコーダ・クリア入力)	TOT00	KR6/A6
P97	TIT01 (キャプチャ・トリガ入力1)	TENC00 ^注 (エンコーダ入力)	TOT01	KR7/A7
P98	-	TENC01 (エンコーダ入力)	-	INTP17/A8

注 TENC00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部エンコーダ入力信号が兼用されています。各機能を使用したい場合はポートの設定後、TT0IOC2, TT0IOC3レジスタにて設定してください。

9.4 レジスタ

(1) TMT0制御レジスタ0 (TT0CTL0)

TT0CTL0レジスタは、TMT0の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TT0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF600H

	⑦	6	5	4	3	2	1	0
TT0CTL0	TT0CE	0	0	0	0	TT0CKS2	TT0CKS1	TT0CKS0

TT0CE	TMT0の動作の制御
0	TMT0動作禁止 (TMT0を非同期にリセット ^注)
1	TMT0動作許可。TMT0動作開始

TT0CKS2	TT0CKS1	TT0CKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TT0OPT0.TT0OVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOT00, TOT01)、もTT0IOC0レジスタの設定状態に16ビット・カウンタと同時にリセットされます。

注意1. TT0CKS2-TT0CKS0ビットは、TT0CEビット = 0のときに設定してください。

TT0CEビットを“0”から“1”に設定するときも、同時にTT0CKS2-TT0CKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TMT0制御レジスタ1 (TT0CTL1)

TT0CTL1レジスタは、TMT0の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF601H

	7	6	5	4	3	2	1	0
TT0CTL1	0	TT0EST	TT0EEE	0	TT0MD3	TT0MD2	TT0MD1	TT0MD0

TT0EST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 : TT0ESTビットへの“1”ライトをトリガとして、ワンショット・パルス出力 ・外部トリガ・パルス出力モード時 : TT0ESTビットへの“1”ライトをトリガとして、PWM波形出力 TT0ESTビットのリード値は常に0です。

TT0EEE	カウント・クロックの選択
0	外部イベント・カウント入力 (TENC00端子) での動作禁止 (TT0CTL0.TT0CKS0-TT0CKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (TENC00端子) での動作許可 (外部イベント・カウント入力信号 (TENC00端子) の有効エッジごとにカウント動作を行う)

TT0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TT0MD3	TT0MD2	TT0MD1	TT0MD0	タイマ・モードの選択
0	0	0	0	インターバル・タイマ・モード
0	0	0	1	外部イベント・カウント・モード
0	0	1	0	外部トリガ・パルス出力モード
0	0	1	1	ワンショット・パルス出力モード
0	1	0	0	PWM出力モード
0	1	0	1	フリー・ランニング・タイマ・モード
0	1	1	0	パルス幅測定モード
0	1	1	1	三角波PWM出力モード
1	0	0	0	エンコーダ・コンペア・モード
上記以外				設定禁止

- 注意1. TT0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. TT0EEEビットは、インターバル・タイマ・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、フリー・ランニング・タイマ・モード、パルス幅測定モード、三角波PWM出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
3. 外部イベント・カウント・モード、エンコーダ・コンペア・モードのときは、TT0EEEビットの値にかかわらず外部イベント・カウント入力 (TENC00)、エンコーダ入力 (TENC00, TENC01) が選択されます。
4. TT0EEE, TT0MD3-TT0MD0ビットは、TT0CTL0.TT0CEビット = 0のときに設定してください (TT0CEビット = 1のときの同値書き込みは可能)。TT0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。
5. ビット4, 7には必ず0を設定してください。

(3) TMT0制御レジスタ2 (TT0CTL2)

TT0CTL2レジスタは、エンコーダ・カウンタ機能の動作を制御する8ビットのレジスタです。

TT0CTL2レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 TT0CTL2レジスタの各ビットの詳細については、9.6.9(5)TT0CTL2レジスタのビット制御を参照してください。

(1/2)

リセット時：00H		R/W	アドレス：FFFFF602H							
			7	6	5	4	3	2	1	0
TT0CTL2	TT0ECC	0	0	0	TT0LDE	TT0ECM1	TT0ECM0	TT0UDS1	TT0UDS0	
TT0ECC		エンコーダ・カウンタ制御								
0		通常動作								
1		TT0CTL0.TT0CEビット = 0時、16ビット・カウンタのカウンタ値を保持								
TT0LDE		16ビット・カウンタへの転送設定								
0		アンダフロー発生時、16ビット・カウンタへTT0CCR0設定値の転送禁止								
1		アンダフロー発生時、16ビット・カウンタへTT0CCR0設定値の転送許可								
TT0ECM1		エンコーダ・クリア動作1の制御								
0		16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致ではカウンタを0000Hにクリアしない								
1		16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致で次のカウンタがダウン・カウントの場合、カウンタを0000Hにクリアする								
TT0ECM0		エンコーダ・クリア動作0の制御								
0		16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致ではカウンタを0000Hにクリアしない								
1		16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致で次のカウンタがアップ・カウントの場合、カウンタを0000Hにクリアする								

TT0UDS1	TT0UDS0	アップ/ダウン・カウントの選択
0	0	TENC00入力の有効エッジ検出時, TENC01 = ハイ・レベルのとき, ダウン・カウント TENC01 = ロウ・レベルのとき, アップ・カウント
0	1	TENC00入力の有効エッジ検出でアップ・カウント TENC01入力の有効エッジ検出でダウン・カウント
1	0	TENC00入力の立ち上がりエッジ検出でダウン・カウント TENC00入力の立ち下がりエッジ検出でアップ・カウント ただし, TENC01 = ロウ・レベルのときのみカウント動作
1	1	TENC00, TENC01入力の立ち上がり / 立ち下がり両エッジ を検出。エッジ検出とレベル検出の組み合わせでカウント 動作を自動判別。

- 注意1.** TT0ECCビットは, エンコーダ・コンペア・モード時のみ有効です。それ以外のモードでは, “1” をライトしても無視されます。
TT0ECCビット = 1のときTT0CTL0.TT0CEビット = 0にすると, タイマ・カウンタ, キャプチャ・レジスタ (TT0CCR0, TT0CCR1), TT0OPT1, TT0EUF, TT0EOF, TT0ESFフラグの値は保持されます。
TT0ECCビット = 1のときTT0CEビットを0 1にすると, TT0TCWレジスタの値を16ビット・カウンタに転送しません。
- TT0LDEビットは, TT0ECM1, TT0ECM0ビット = 00, 01時のみ有効です。TT0ECM1, TT0ECM0ビット = 10, 11のときに “1” をライトしても無視されます。
 - TT0UDS1, TT0UDS0ビット = 10, 11のとき, TT0IOC3.TT0EIS1, TT0EIS0ビットで設定したTENC00, TENC01入力のエッジ検出は無効となり, 立ち上がり / 立ち下がり両エッジ固定となります。
 - TT0LDE, TT0ECM1, TT0ECM0, TT0UDS1, TT0UDS0ビットは, TT0CTL0.TT0CEビット = 0のときに設定してください (TT0CEビット = 1のときの同値書き込みは可能)。TT0CEビット = 1のときに書き換えた場合, 動作を保証できません。誤って書き換えた場合は, TT0CEビットをクリア (0) してから再設定してください。
 - ビット5, 6は必ず0を設定してください。

(4) TMT0I/O制御レジスタ0 (TT0IOC0)

TT0IOC0レジスタは、タイマ出力 (TOT00, TOT01端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

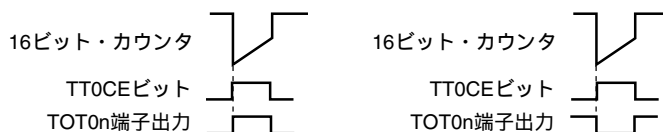
リセットにより00Hになります。

リセット時 : 00H		R/W	アドレス : FFFFF603H						
		7	6	5	4	3	②	1	①
TT0IOC0		0	0	0	0	TT0OL1	TT0OE1	TT0OL0	TT0OE0
TT0OL1	TOT01端子出力レベルの設定 ^注								
0	TOT01端子ハイ・レベル・スタート								
1	TOT01端子ロウ・レベル・スタート								
TT0OE1	TOT01端子出力の設定								
0	タイマ出力禁止 ・ TT0OL1ビット = 0のときTOT01端子からロウ・レベルを出力 ・ TT0OL1ビット = 1のときTOT01端子からハイ・レベルを出力								
1	タイマ出力許可 (TOT01端子からパルスを出力)								
TT0OL0	TOT00端子出力レベルの設定 ^注								
0	TOT00端子ハイ・レベル・スタート								
1	TOT00端子ロウ・レベル・スタート								
TT0OE0	TOT00端子出力の設定								
0	タイマ出力禁止 ・ TT0OL0ビット = 0のときTOT00端子からロウ・レベルを出力 ・ TT0OL0ビット = 1のときTOT00端子からハイ・レベルを出力								
1	タイマ出力許可 (TOT00端子からパルスを出力)								

注 TT0OLnビットの指定によるタイマ出力端子 (TOT00, TOT01) の出力レベルを次に示します (n = 0, 1)。

・ TT0OLnビット = 0の場合

・ TT0OLnビット = 1の場合



- 注意1. ポート設定がTOT00, TOT01出力設定の場合、TT0IOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。
- TT0OL1, TT0OE1, TT0OL0, TT0OE0ビットは、TT0CTL0.TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。
 - TT0CEビット = 0, TT0OE0ビット = 0, TT0OE1ビット = 0の状態において、TT0OL0ビット, TT0OL1ビットを操作した場合でも、TOT00, TOT01端子の出力レベルは変化します。

(5) TMT0I/O制御レジスタ1 (TT0IOC1)

TT0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIT00, TIT01端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

	リセット時 : 00H	R/W	アドレス : FFFFF604H							
			7	6	5	4	3	2	1	0
TT0IOC1			0	0	0	0	TT0IS3	TT0IS2	TT0IS1	TT0IS0

TT0IS3	TT0IS2	キャプチャ・トリガ入力信号 (TIT01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TT0IS1	TT0IS0	キャプチャ・トリガ入力信号 (TIT00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1. TT0IS3-TT0IS0ビットは、TT0CTL0.TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。

2. TT0IS3, TT0IS2ビットは、フリー・ランニング・タイマ・モード (TT0OPT0.TT0CCS1ビット = 1時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

TT0IS1, TT0IS0ビットは、フリー・ランニング・タイマ・モード (TT0OPT0.TT0CCS0ビット = 1時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

(6) TMT0I/O制御レジスタ2 (TT0IOC2)

TT0IOC2レジスタは、外部イベント・カウント入力信号 (TENC00端子)、外部トリガ入力信号に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H		R/W	アドレス : FFFFF605H							
			7	6	5	4	3	2	1	0
TT0IOC2			0	0	0	0	TT0EES1	TT0EES0	TT0ETS1	TT0ETS0

TT0EES1	TT0EES0	外部イベント・カウント入力信号 (TENC00端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TT0ETS1	TT0ETS0	外部トリガ入力信号 (TENC00端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TT0EES1, TT0EES0, TT0ETS1, TT0ETS0ビットは、
TT0CTL0.TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。
2. TT0EES1, TT0EES0ビットは、TT0CTL1.TT0EEEビット = 1, または、外部イベント・カウント・モード (TT0CTL1.TT0MD3-TT0MD0ビット = 0001) に設定したときのみ有効です。
3. TT0ETS1, TT0ETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(7) TMT0I/O制御レジスタ3 (TT0IOC3)

TT0IOC3レジスタは、エンコーダ・クリアを制御する8ビットのレジスタです。

TT0IOC3レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF606H

	7	6	5	4	3	2	1	0
TT0IOC3	TT0SCE	TT0ZCL	TT0BCL	TT0ACL	TT0ECS1	TT0ECS0	TT0EIS1	TT0EIS0

TT0SCE	エンコーダ・クリア選択
0	エンコーダ・クリア信号 (TECR0端子) のエッジ検出クリア
1	TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリア
<ul style="list-style-type: none"> ・TT0SCEビット=0のとき, TT0ECS1, TT0ECS0ビットで指定したTECR0端子の有効エッジ検出により, 16ビット・カウンタを0000Hにクリアします。 ・TT0SCEビット=1のとき, TT0ZCL, TT0BCL, TT0ACLビットのクリア・レベル条件と, TECR0, TENC01, TENC00端子の入力レベルが一致すると16ビット・カウンタを0000Hにクリアします。 ・TT0SCEビット=1のとき, TT0ZCL, TT0BCL, TT0ACLビットの設定が有効となり, TT0ECS1, TT0ECS0ビットの設定は無効となります。 <p>エンコーダ・クリア割り込み要求信号 (INTTT0EC) は発生しません。</p> <ul style="list-style-type: none"> ・TT0SCEビット=0のとき, TT0ZCL, TT0BCL, TT0ACLビットの設定が無効となり, TT0ECS1, TT0ECS0ビットの設定は有効となります。 ・TT0ECS1, TT0ECS0ビットで設定した有効エッジ検出によりINTTT0EC信号が発生します。 ・TT0SCEビット=1の設定をするときには, 必ずTT0CTL2.TT0UDS1, TT0UDS0ビット=10または11に設定してください。 ・TT0UDS1, TT0UDS0ビット=00または01に設定し, TT0SCEビット=1とした場合の動作は保証しません。 	

TT0ZCL	エンコーダ・クリア信号 (TECR0端子) のクリア・レベル選択
0	TECR0端子ロウ・レベル・クリア
1	TECR0端子ハイ・レベル・クリア
TT0ZCLビットの設定はTT0SCEビット=1のときのみ有効になります。	

TT0BCL	エンコーダ入力信号 (TENC01端子) のクリア・レベル選択
0	TENC01端子ロウ・レベル・クリア
1	TENC01端子ハイ・レベル・クリア
TT0BCLビットの設定はTT0SCEビット=1のときのみ有効になります。	

TT0ACL	エンコーダ入力信号 (TENC00端子) のクリア・レベル選択
0	TENC00端子ロウ・レベル・クリア
1	TENC00端子ハイ・レベル・クリア
TT0ACLビットの設定はTT0SCEビット=1のときのみ有効になります。	

TT0ECS1	TT0ECS0	エンコーダ・クリア入力信号 (TECR0端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ・クリア無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TT0EIS1	TT0EIS0	エンコーダ入力信号 (TENC00, TENC01端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ入力無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意**1. TT0SCE, TT0ZCL, TT0BCL, TT0ACL, TT0ECS1, TT0ECS0, TT0EIS1, TT0EIS0ビットは, TT0CTL0.TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TT0CEビットをクリア (0) してから再設定してください。
2. TT0ECS1, TT0ECS0ビットは, TT0SCEビット = 0, かつエンコーダ・コンペア・モード時のみ有効です。
3. TT0EIS1, TT0EIS0ビットは, TT0CTL2.TT0UDS1, TT0UDS0ビット = 00または01時のみ有効です。

(8) TMT0オプション・レジスタ0 (TT0OPT0)

TT0OPT0レジスタは、キャプチャ/コンペア動作の設定、オーバーフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF607H

	7	6	5	4	3	2	1	①
TT0OPT0	0	0	TT0CCS1	TT0CCS0	0	0	0	TT0OVF

TT0CCS1	TT0CCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TT0CTL0.TT0CEビット = 0によりクリア)
TT0CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TT0CCS0	TT0CCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TT0CTL0.TT0CEビット = 0によりクリア)
TT0CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TT0OVF	TMT0のオーバーフロー検出フラグ
セット (1)	オーバーフロー発生
リセット (0)	TT0OVFビットへの0書き込みまたはTT0CTL0.TT0CEビット = 0
<ul style="list-style-type: none"> TT0OVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFFFHから0000Hにオーバーフローするときセット (1) されます。 TT0OVFビットがセット (1) されると同時に、オーバーフロー割り込み要求信号 (INTTT0OV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTT0OV信号は発生しません。 TT0OVFビット = 1のときにTT0OVFビットまたはTT0OPT0レジスタをリードしても、TT0OVFビットはクリア (0) されません。 INTTT0OV信号発生後、TT0OVFビットをクリア (0) する場合は、必ずTT0OVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 TT0OVFビットはリード/ライト可能ですが、ソフトウェアでTT0OVFビットをセット (1) することはできません。1をライトしてもTMT0の動作に影響はありません。 	

注意1. TT0CCS1, TT0CCS0ビットは、TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。

2. ビット1-3, 6, 7には必ず0を設定してください。

(9) TMT0オプション・レジスタ1 (TT0OPT1)

TT0OPT1レジスタは、エンコーダ・カウント機能のアンダフロー、オーバフロー、アップ/ダウン・カウント動作の状態を検出する8ビットのレジスタです。

TT0OPT1レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TT0OPT1レジスタは、TT0CTL0.TT0CEビット = 1のときでも書き換えできます。

(1/2)

リセット時：00H R/W アドレス：FFFFFF608H									
	7	6	5	4	3	②	①	①	
TT0OPT1	0	0	0	0	0	TT0EUF	TT0EOF	TT0ESF	
TT0EUF	TMT0のアンダフロー検出フラグ								
セット(1)	アンダフロー発生								
リセット(0)	TT0EUFビットへの0書き込みまたはTT0CTL0.TT0CEビット = 0によりクリア)								
	<ul style="list-style-type: none"> ・ TT0EUFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値が0000HからFFFFHにアンダフローするときにセット(1)されます。 ・ TT0CTL2.TT0LDEビット = 1のときは、アンダフロー発生により16ビット・カウンタの値が0000HからTT0CCR0レジスタの設定値へ書き換わると、TT0EUFビットがセット(1)されます。 ・ TT0EUFビットがセット(1)されると同時に、オーバフロー割り込み要求信号(INTTTIOV0)が発生します。 ・ TT0EUFビット = 1のときにTT0EUFビットまたはTT0OPT1レジスタをリードしても、TT0EUFビットはクリア(0)されません。 ・ TT0CTL2.TT0ECCビット = 1時にTT0CTL0.TT0CEビット = 0にしてもTT0EUFビットの状態は保持されます。 ・ INTTTIOV0信号発生後、TT0EUFビットをクリア(0)する場合は、必ずTT0EUFビットがセット(1)されているのを確認(リード)後クリア(0)してください。 ・ TT0EUFビットはリード/ライト可能ですが、ソフトウェアでTT0EUFビットをセット(1)することはできません。1をライトしてもTMT0の動作に影響はありません。 								

TT0EOF	TMT0のエンコーダ機能用オーバーフロー検出フラグ
セット(1)	オーバーフロー発生
リセット(0)	TT0EOFビットへの0書き込みまたはTT0CTL0.TT0CEビット=0によりクリア)
	<ul style="list-style-type: none"> ・ TT0EOFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバーフローするときにセット(1)されます。 ・ TT0EOFビットがセット(1)されると同時に、オーバーフロー割り込み要求信号(INTTTIOV0)が発生します。このとき、TT0OPT0.TT0OVFビットはセット(1)されません。 ・ TT0EOFビット=1のときにTT0EOFビットまたはTT0OPT1レジスタをリードしても、TT0EOFビットはクリア(0)されません。 ・ TT0CTL2.TT0ECCビット=1時にTT0CTL0.TT0CEビット=0にしてもTT0EOFビットの状態は保持されます。 ・ INTTTIOV0信号発生後、TT0EOFビットをクリア(0)する場合は、必ずTT0EOFビットがセット(1)されているのを確認(リード)後クリア(0)してください。 ・ TT0EOFビットはリード/ライト可能ですが、ソフトウェアでTT0EOFビットをセット(1)することはできません。1をライトしてもTMT0の動作に影響はありません。

TT0ESF	TMT0のアップ/ダウン・カウント動作状態検出フラグ
0	TMT0のアップ・カウント動作中
1	TMT0のダウン・カウント動作中
	<ul style="list-style-type: none"> ・ TT0CTL2.TT0ECCビット=0時にTT0CTL0.TT0CEビット=0によりクリア(0)されます。 ・ TT0ECCビット=1時にTT0CEビット=0にしてもTT0ESFビットの状態は保持されます。

注意 ビット3-7には必ず0を設定してください。

(10) TMT0キャプチャ/コンペア・レジスタ0 (TT0CCR0)

TT0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TT0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TT0OPT0.TT0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TT0CCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

	リセット時：0000H R/W アドレス：FFFFFF60AH															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0CCR0																

(a) コンペア・レジスタとしての機能

TT0CCR0レジスタは、TT0CTL0.TT0CEビット = 1のときでも書き換えできます。

TT0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTT0CC0) を発生し、TOT00端子出力を許可している場合、TOT00端子出力を反転します。

インターバル・タイマ・モードの場合はTT0CCR0レジスタを、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、三角波PWM出力モード、エンコーダ・コンペア・モードの場合はTT0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TT0CTL0.TT0CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TT0CCR0レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TIT00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTT0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIT00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTT0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTT0CCR0レジスタのリードが競合しても、TT0CCR0レジスタは正しい値をリードできます。

TT0CTL0.TT0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表9-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TT0CCR0レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波PWM出力	コンペア・レジスタ	一斉書き込み ^注
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TT0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、9.6(2)随時書き込みと一斉書き込みを参照してください。

(11) TMT0キャプチャ/コンペア・レジスタ1 (TT0CCR1)

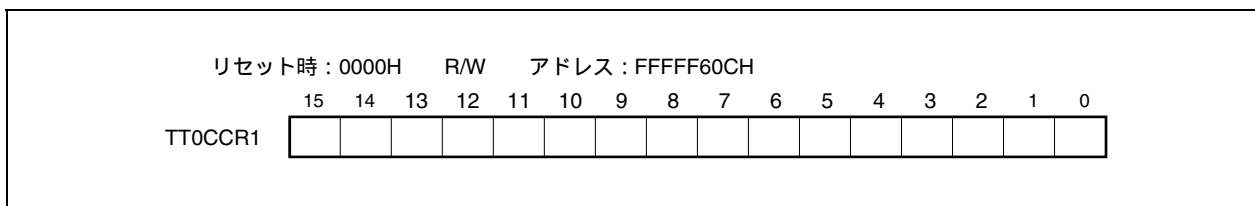
TT0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TT0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TT0OPT0.TT0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TT0CCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TT0CCR1レジスタは、TT0CTL0.TT0CEビット = 1のときでも書き換えできます。

TT0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号(INTTT0CC01)を発生し、TOT01端子出力を許可している場合、TOT01端子出力を反転します。

TT0CTL0.TT0CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TT0CCR1レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TIT01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTT0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIT01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTT0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTT0CCR1レジスタのリードが競合しても、TT0CCR1レジスタは正しい値をリードできます。

TT0CTL0.TT0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表9-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TT0CCR1レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波PWM出力	コンペア・レジスタ	一斉書き込み ^注
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TT0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、9.6(2) 随時書き込みと一斉書き込みを参照してください。

(12) TMT0カウンタ・ライト・レジスタ (TT0TCW)

TT0TCWレジスタは、16ビット・カウンタの初期値を設定するレジスタです。

TT0TCWレジスタは、エンコーダ・コンペア・モード時のみ有効です。

16ビット単位でリード/ライト可能です。

TT0TCWレジスタは、TT0CTL0.TT0CEビット = 0のときに書き換えてください。

TT0CEビットをセット (1) するとTT0TCWレジスタの値を16ビット・カウンタに転送します。

リセットにより0000Hになります。



(13) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TT0CTL0.TT0CEビット = 1のときにTT0CNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TT0CTL2.TT0ECCビット = 0かつTT0CEビット = 0のとき、TT0CNTレジスタは0000Hになります。このときにTT0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。TT0ECCビット = 1かつTT0CEビット = 0のとき、TT0CNTレジスタは0000Hとならずに直前の値がリードされます。

リセットによりTT0ECCビット = 0かつTT0CEビット = 0になり、TT0CNTレジスタは0000Hになります。



(14) TMTノイズ除去制御レジスタ (TTNFC)

TIT00, TIT01, TENC00, TENC01, TECR0端子はデジタル・ノイズ除去を選択することが可能で, TTNFCレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合, デジタル・サンプリングを行うサンプリング・クロックを, f_{xx} , $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$ の中から選択できます。なおサンプリングの回数は3回です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後, デジタル・ノイズ除去回路が初期化されるのに, サンプリング・クロック×3クロックの時間かかります。そのため, サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に, TIT00, TIT01, TENC00, TENC01, TECR0, 端子の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって, TMTの外部トリガ機能, 外部イベント機能, キャプチャ・トリガ機能, エンコーダ機能を使用する場合は, サンプリング・クロック×3クロック経過後, TMTの動作を許可してください。

リセット時: 00H R/W アドレス: FFFFF726H

	⑦	6	5	4	3	2	1	0
TTNFC	TTNFEN	0	0	0	0	TTNFC2	TTNFC1	TTNFC0

TTNFEN	デジタル・ノイズ除去の設定
0	デジタル・ノイズ除去を行わない
1	デジタル・ノイズ除去を行う

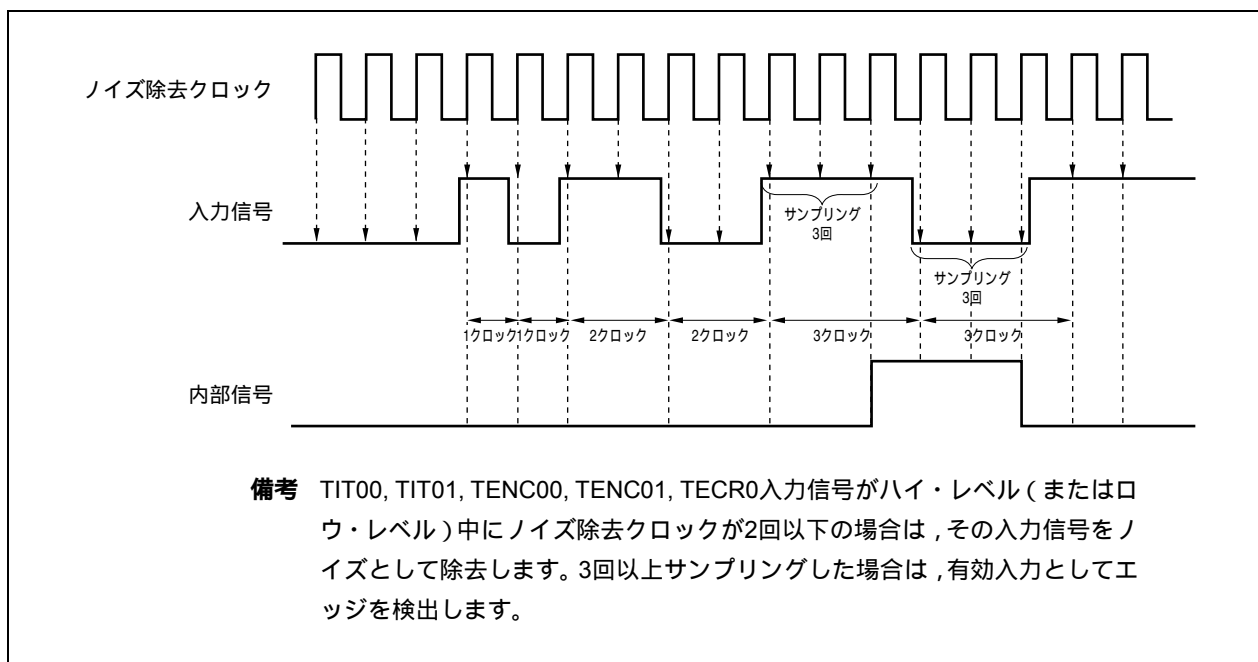
TTNFC2	TTNFC1	TTNFC0	デジタル・サンプリングを行うクロック
0	0	0	f_{xx}
0	0	1	$f_{xx}/4$
0	1	0	$f_{xx}/8$
0	1	1	$f_{xx}/16$
1	0	0	$f_{xx}/32$
1	0	1	$f_{xx}/64$
その他			設定禁止

備考1. 3回サンプリングするため, 確実に除去するノイズ幅はサンプリング・クロック×2となります。

2. サンプリング・クロック×2より短いノイズがあっても, サンプリング・クロックに同期したノイズが入力された場合には, 割り込み要求信号が発生します。

図9 - 2にタイマT入力端子のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図9 - 2 デジタル・ノイズ除去タイミング例



9.5 タイマ出力動作説明

次にTOT00, TOT01端子の動作, および出力レベルを示します。

表9-5 各モードによるタイマ出力制御

動作モード	TOT01端子	TOT00端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	
三角波PWM出力モード	三角波PWM出力	
エンコーダ・コンペア・モード	なし	

表9-6 タイマ出力制御ビットによるTOT00, TOT01端子の真理値表

TT0IOC0.TT0OLnビット	TT0IOC0.TT0OEnビット	TT0CTL0.TT0CEビット	TOT0n端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0, 1

9.6 動作

TMT0 は、チャンネルによって実現できる機能が異なります。次に各チャンネルの機能を示します。

表9-7 TMT0の各モードの仕様

動作	TT0CTL1.TT0ESTビット (ソフトウェア・トリガ・ビット)	TENC00端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外
三角波PWM出力モード	無効	無効	コンペア専用	一斉書き込み
エンコーダ・コンペア・モード	無効	無効	コンペア専用	随時書き込み

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

(a) カウント開始動作

・エンコーダ・コンペア・モード

TENC00, TENC01の位相によりカウント動作を制御します。

TT0TCWレジスタ設定値を16ビット・カウンタに転送することでカウンタの初期設定を行い、カウント動作を開始します (TT0TCWレジスタ設定値は、TT0CTL2.TT0ECCビット = 0時にTT0CTL0.TT0CEビット = 0 1となるタイミングで16ビット・カウンタに転送されます)。

・三角波PWM出力モード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

アップ・カウント後、16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致でダウン・カウントします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリア、16ビット・カウンタの値のキャプチャ&クリア、エンコーダ・クリア信号のエッジ検出クリア、TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTT0CC0, INTTT0CC1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・モード、パルス幅測定モード、エンコーダ・コンペア・モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。

フリー・ランニング・モード、パルス幅測定モード時は、オーバフローが発生すると、TT0OPT0.TT0OVFビットがセット (1) され、割り込み要求信号 (INTTT0OV) が発生します。

エンコーダ・コンペア・モード時は、オーバフローが発生すると、TT0OPT1.TT0EOFビットがセット (1) され、割り込み要求信号 (INTTT0OV) が発生します。

なお、次の条件ではINTTT0OV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号 (INTTT0OV) 発生後は、必ずオーバフロー・フラグ (TT0OVF, TT0EOFビット) が“1”にセットされているのを確認してください。

(d) カウントの保持動作

エンコーダ・コンペア・モード時に、TT0CTL2.TT0ECCビットにより16ビット・カウンタの値の保持制御を行います。TT0ECCビット = 0かつTT0CTL0.TT0CEビット = 0の場合は、16ビット・カウンタの値はFFFFHにリセットされ、次のTT0CEビット = 1でTT0TCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を行います。

TT0ECCビット = 1かつTT0CEビット = 0の場合は、16ビット・カウンタの値は保持され、次にTT0CEビット = 1にすると保持していた値からカウント動作を再開します。

(e) カウント動作中のカウンタ・リード動作

TMT0では、TT0CNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TT0CTL0.TT0CEビット = 1のときは、TT0CNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TT0CTL2.TT0ECCビット = 0かつTT0CEビット = 0のときにTT0CNTレジスタをリードすると0000Hです。TT0ECCビット = 1かつTT0CEビット = 0のときにTT0CNTレジスタをリードすると保持していた値となります。

(f) アンダフロー動作

16ビット・カウンタのアンダフローは、エンコーダ・コンペア・モード時に、0000HからFFFFHになるタイミングで発生します。アンダフローが発生すると、TT0OPT1.TT0EUFビットがセット(1)され、割り込み要求信号 (INTTT0OV) が発生します。

(g) 割り込み動作

TMT0では、次の4種類の割り込み要求信号を発生します。

- ・ INTTT0CC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTT0CCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTT0CC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号、およびTT0CCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTT0OV割り込み : オーバフロー割り込み要求信号として機能します。
- ・ INTTT0EC割り込み : エンコーダ・クリア入力 (TECR0端子) の有効エッジ検出割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMT0では、タイマ動作中 (TT0CTL0.TT0CEビット = 1) でもTT0CCR0, TT0CCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTT0CCR0, TT0CCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います。

図9-3 随時書き込みの基本動作フロー・チャート

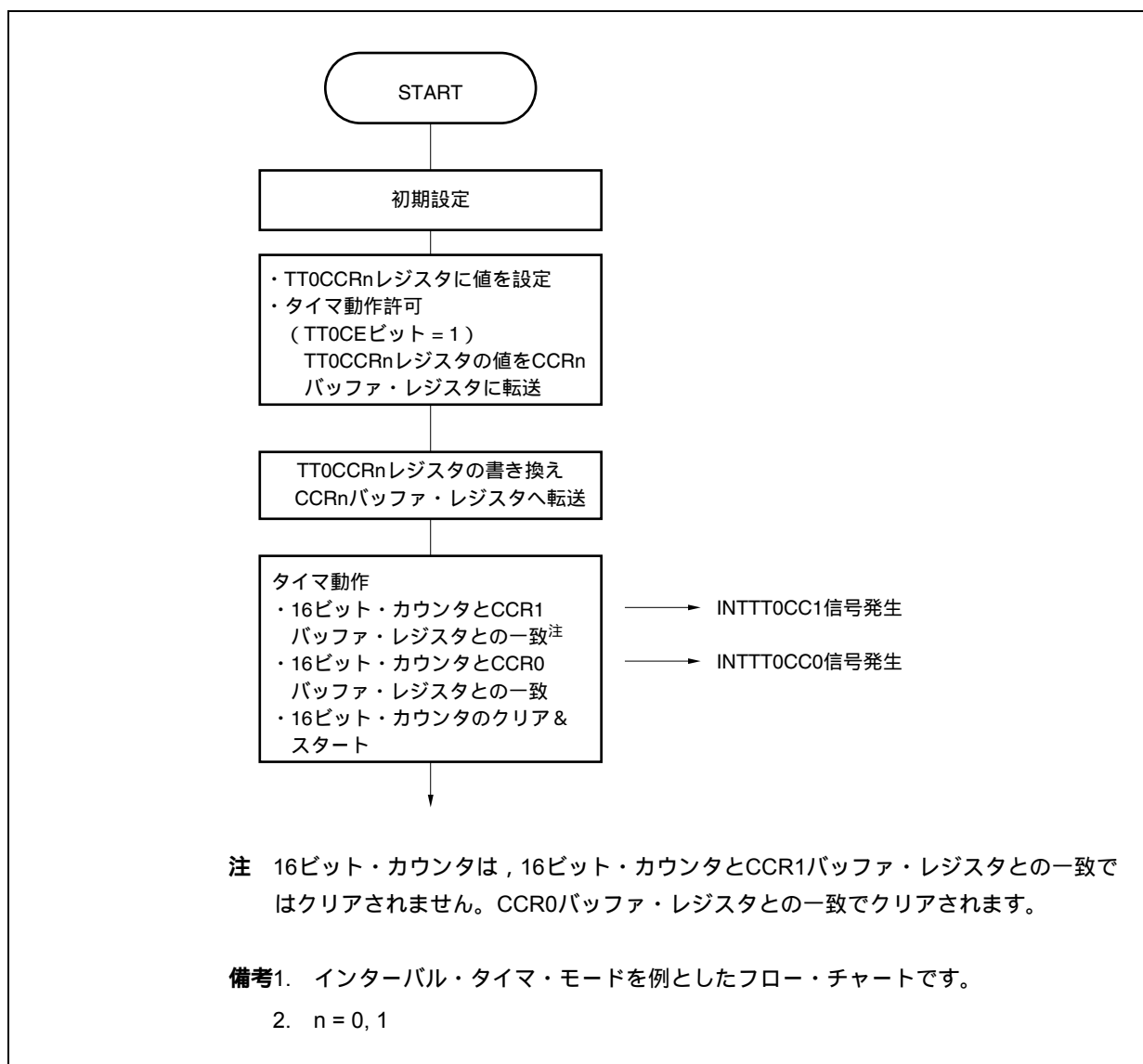
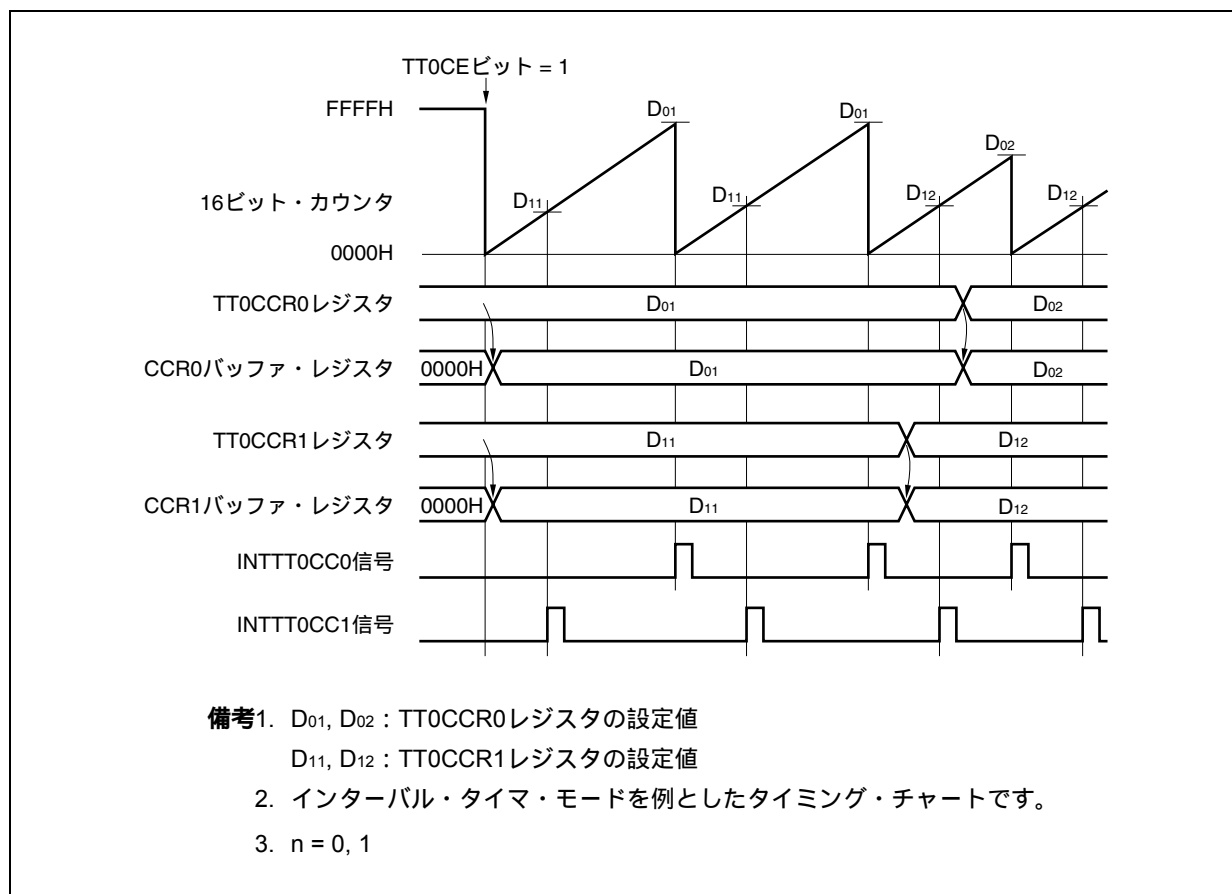


図9 - 4 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中に TT0CCR0, TT0CCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を一斉に行います。その転送タイミングは CCR0 バッファ・レジスタと 16 ビット・カウンタの一致時で、転送許可は TT0CCR1 レジスタへの書き込みとなります。TT0CCR1 レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TT0CCR0, TT0CCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタのコンペア値とする (CCR0, CCR1 バッファ・レジスタに転送される) には、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致する前に TT0CCR0 レジスタを書き換え、次に TT0CCR1 レジスタを書き込む必要があります。これにより、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値との一致タイミングで、TT0CCR0, TT0CCR1 レジスタの値は CCR0, CCR1 バッファ・レジスタに転送されます。なお、TT0CCR0 レジスタの値だけ書き換えたい場合でも、TT0CCR1 レジスタに同値 (すでに設定した TT0CCR1 レジスタと同じ値) を書き込んでください。

図9-5 一斉書き込みの基本動作フロー・チャート

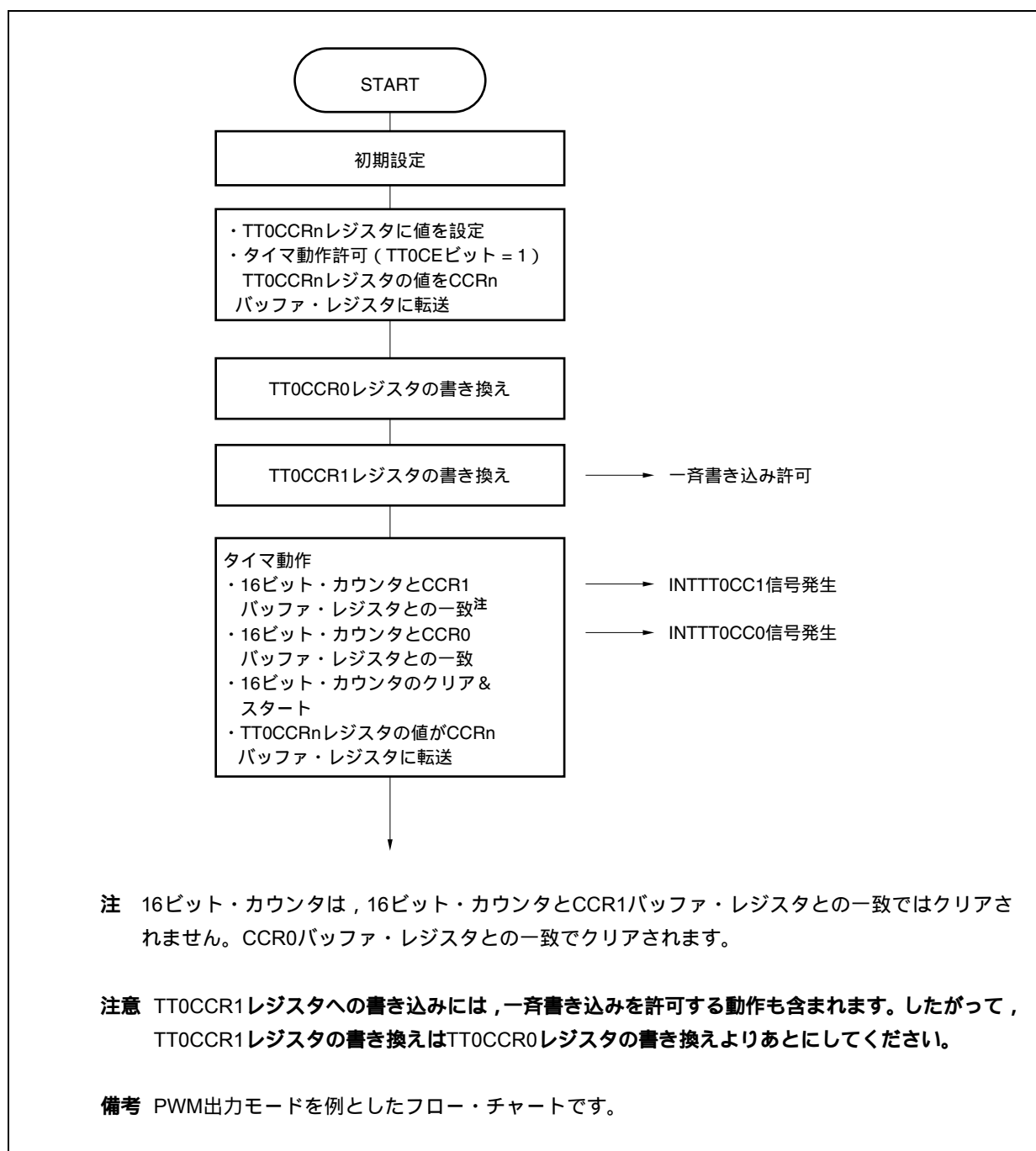
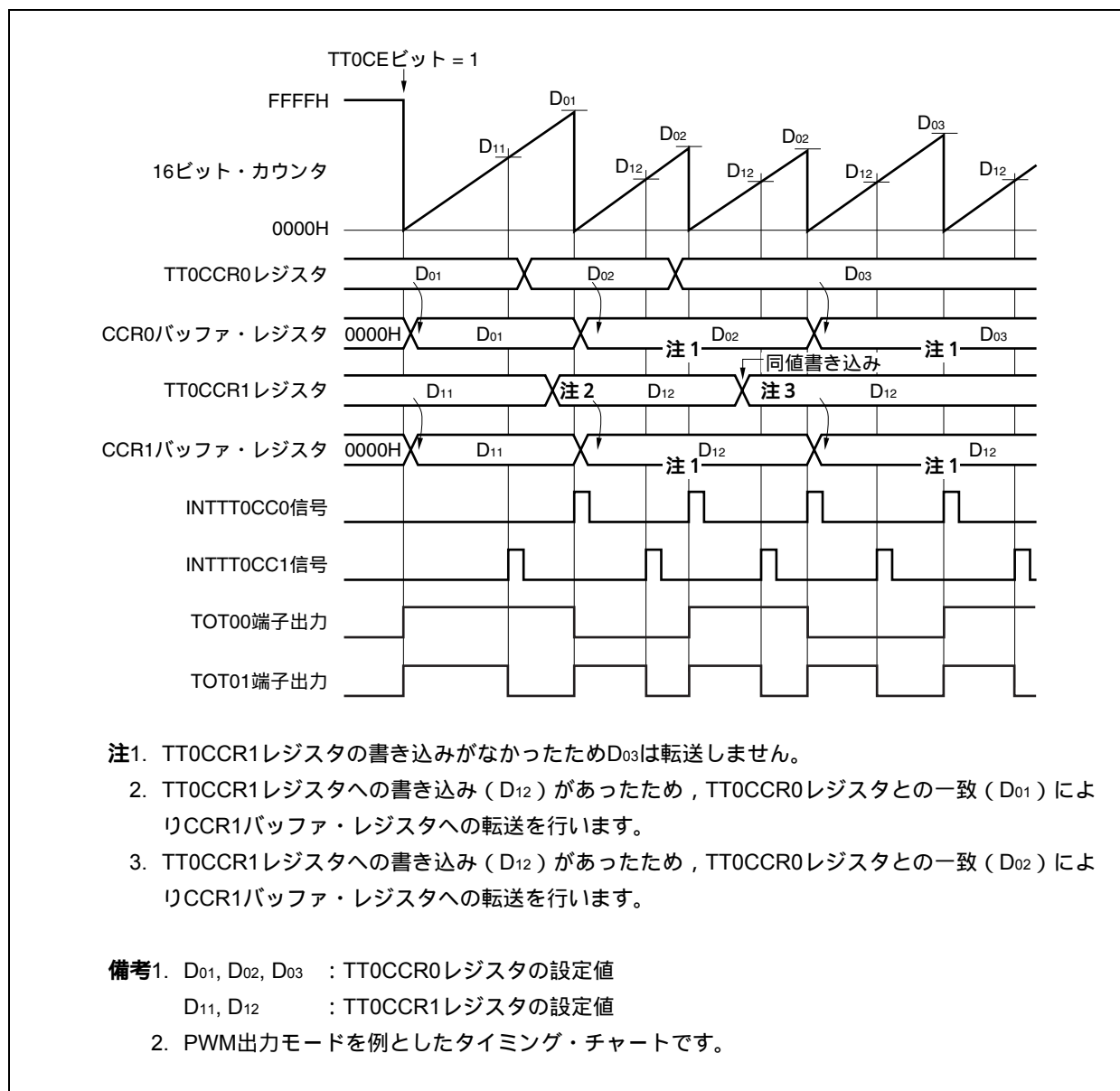


図9 - 6 一斉書き込みのタイミング



9.6.1 インターバル・タイマ・モード (TT0MD3-TT0MD0ビット = 0000)

インターバル・タイマ・モードは、TT0CTL0.TT0CEビットをセット(1)することで、TT0CCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTT0CC0)を発生します。また、TOT00端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、TT0CCR1レジスタを使用しません。しかし、TT0CCR1レジスタでは、TT0CCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTT0CC1)が発生します。また、TOT01端子から、INTTT0CC1信号の発生タイミングにより反転する方形波を出力できます。

なお、TT0CCR0、TT0CCR1レジスタのタイマ動作中の書き換えは可能です。

図9-7 インターバル・タイマの構成図

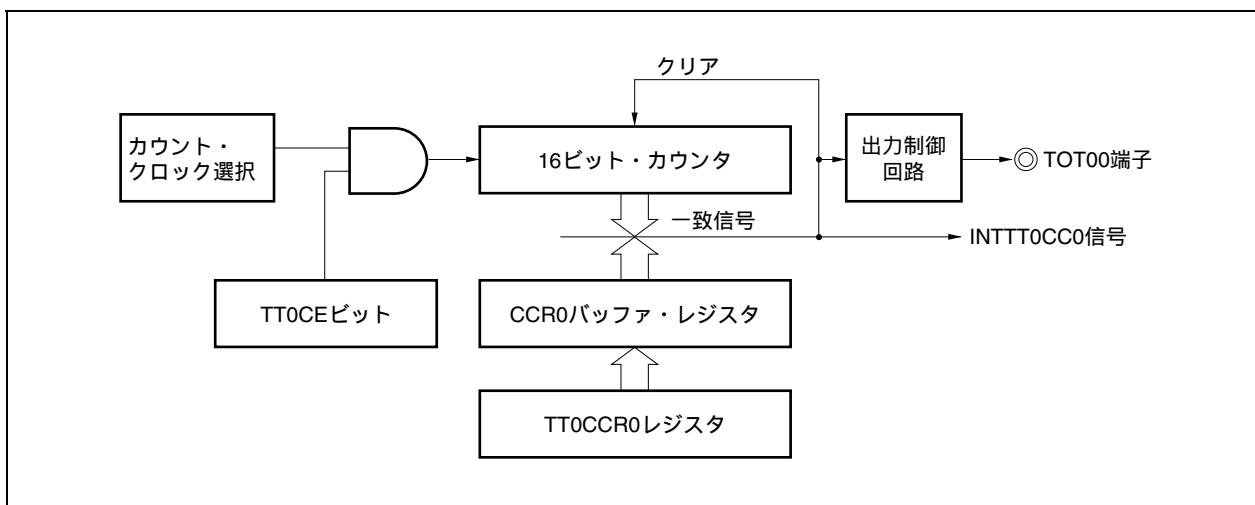
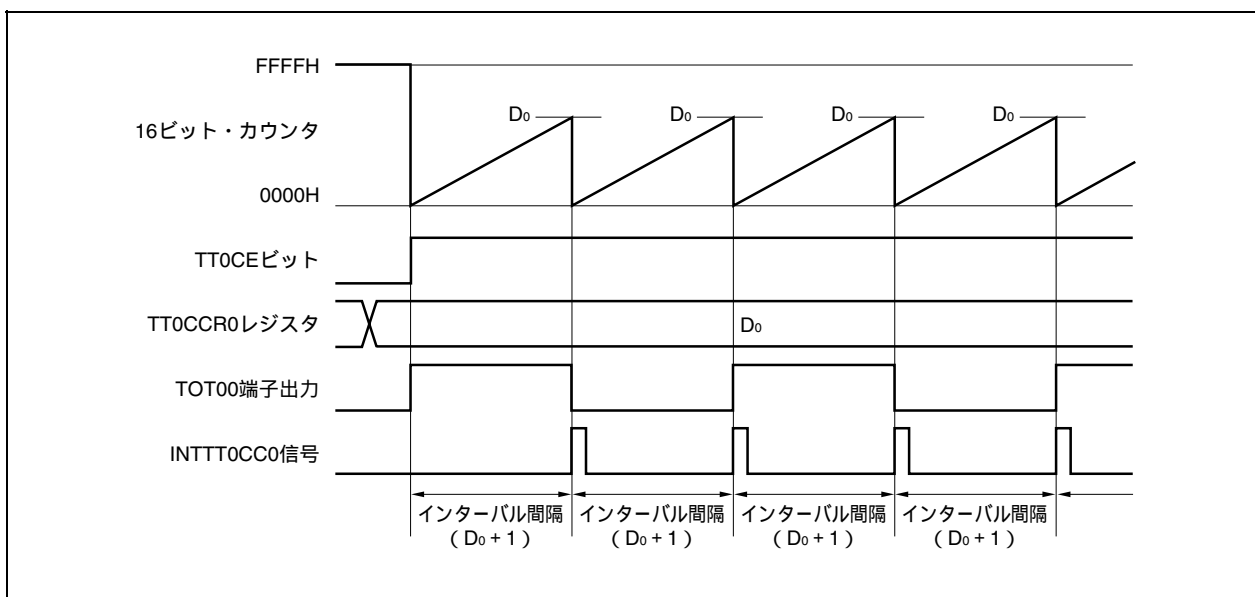


図9-8 インターバル・タイマ・モード動作の基本タイミング



TT0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOT00端子出力を反転します。また、TT0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOT00端子出力を反転させて、コンペア一致割り込み要求信号(INTTT0CC0)を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TT0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-9 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

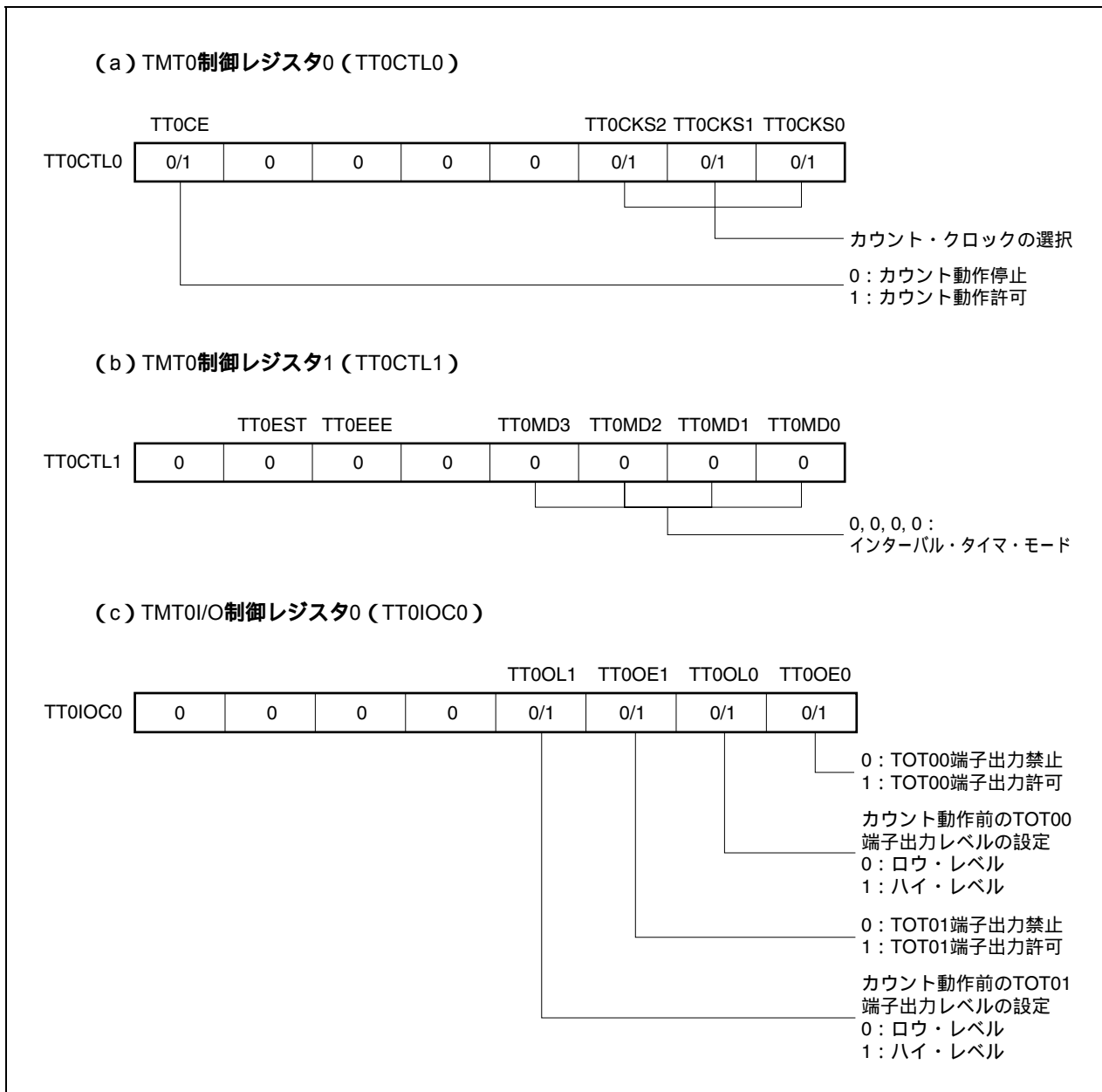


図9-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(d) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(e) TMT0キャプチャ/コンペア・レジスタ0 (TT0CCR0)

TT0CCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

(f) TMT0キャプチャ/コンペア・レジスタ1 (TT0CCR1)

インターバル・タイマ・モードでは、TT0CCR1レジスタを使用しません。しかし、TT0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致すると、TOT01端子出力を反転し、コンペア一致割り込み要求信号 (INTTT0CC1) が発生します。

TT0CCR0レジスタの設定値と同じ値を設定することにより、TOT01端子から方形波を出力できます。

TT0CCR1レジスタを使用しない場合には、TT0CCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TT0CCIC1.TT0CCMK1) でマスク設定してください。

備考 TMT0制御レジスタ2 (TT0CTL2)、TMT0I/O制御レジスタ1 (TT0IOC1)、TMT0I/O制御レジスタ2 (TT0IOC2)、TMT0I/O制御レジスタ3 (TT0IOC3)、TMT0オプション・レジスタ0 (TT0OPT0)、TMT0オプション・レジスタ1 (TT0OPT1)、TMT0カウンタ・ライト・レジスタ (TT0TCW) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

図9 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

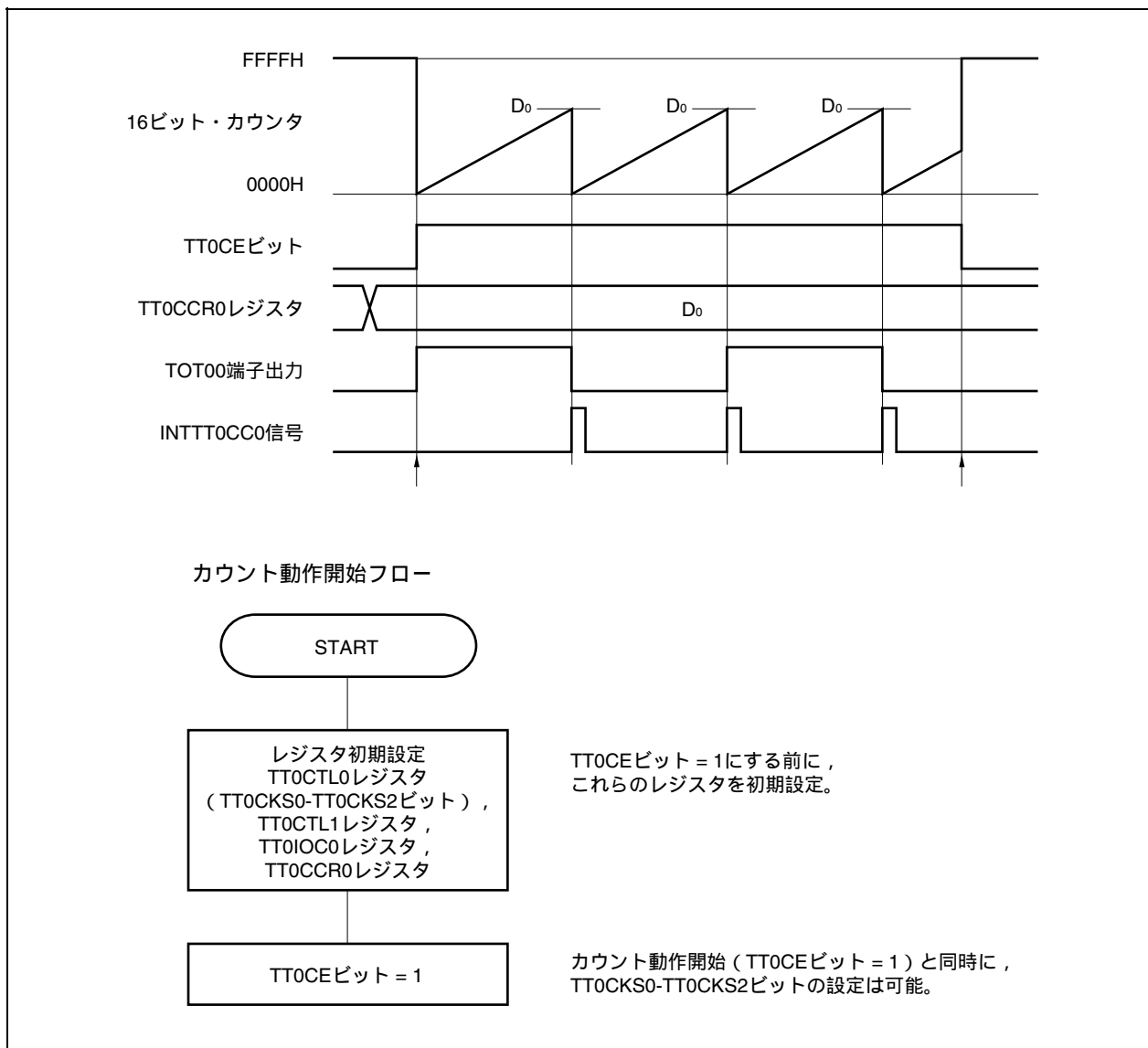
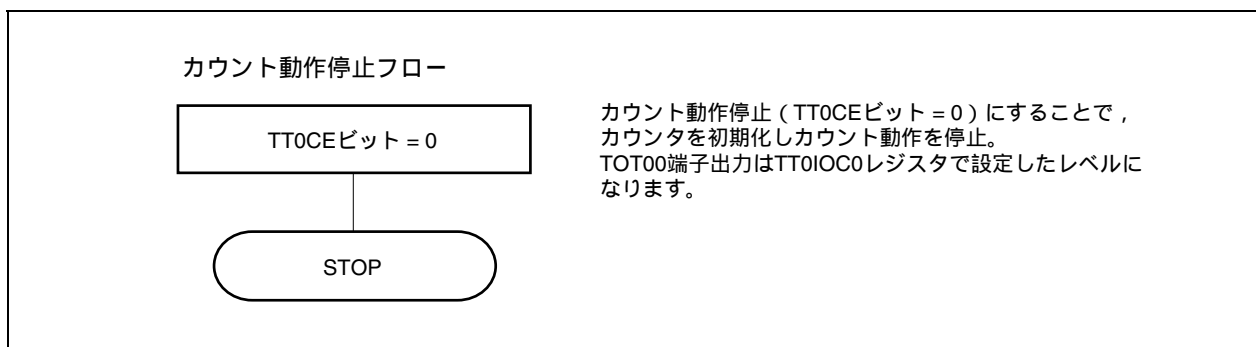


図9 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

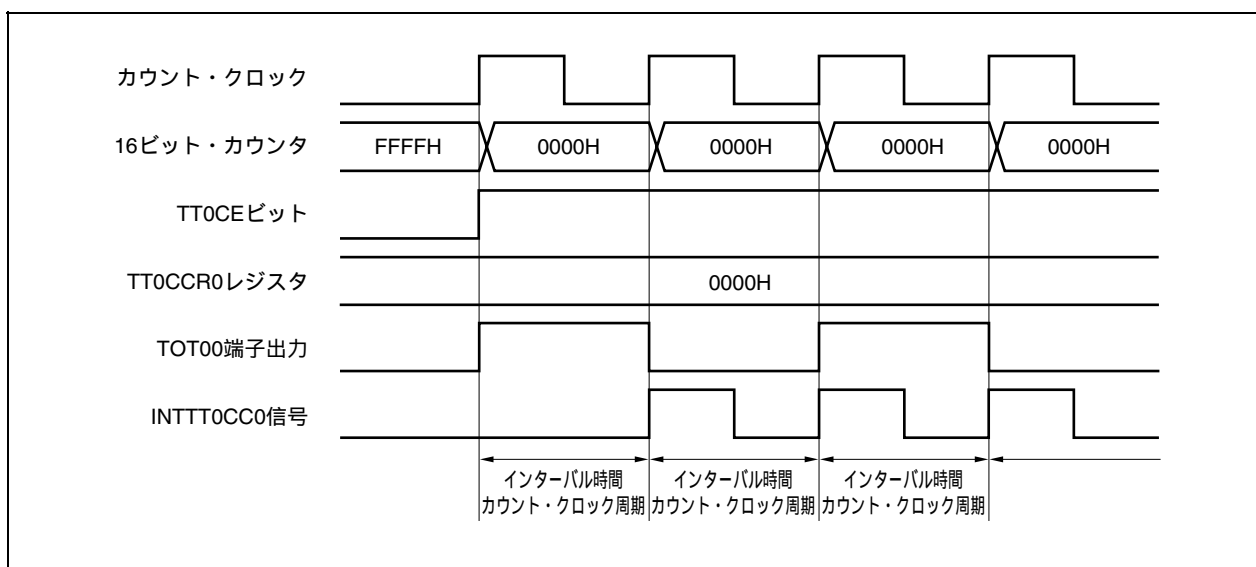


(2) インターバル・タイマ・モード動作タイミング

(a) TT0CCR0レジスタに0000Hを設定した場合の動作

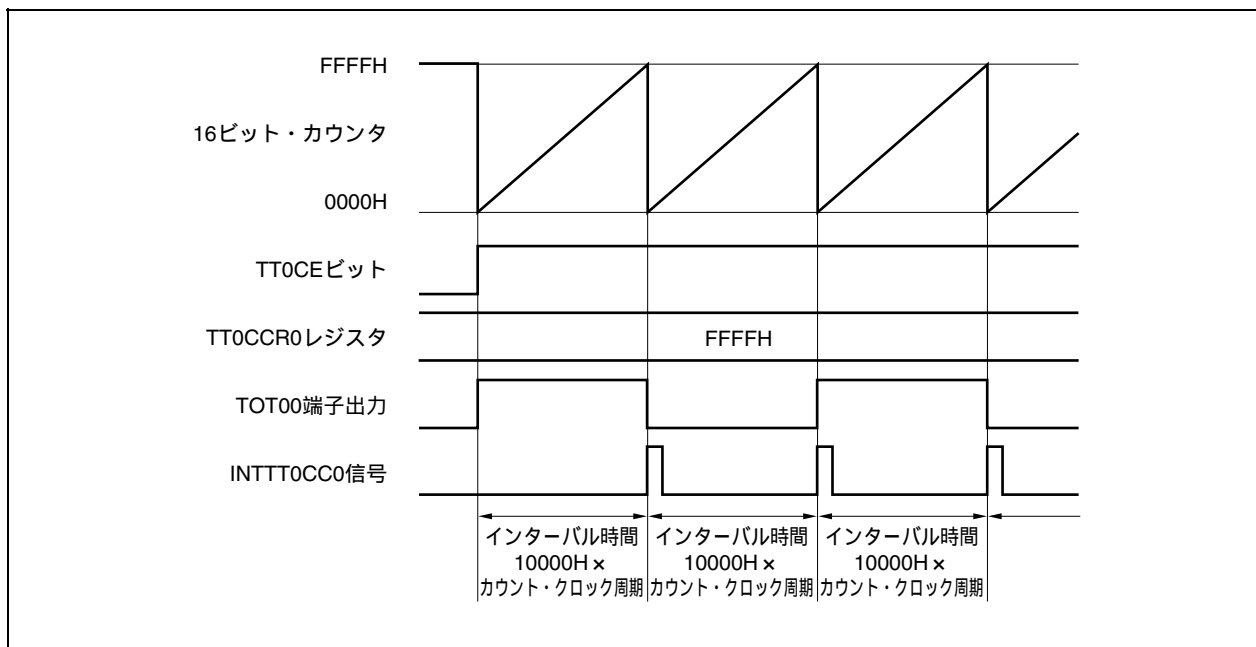
TT0CCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTT0CC0信号を発生し、TOT00端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



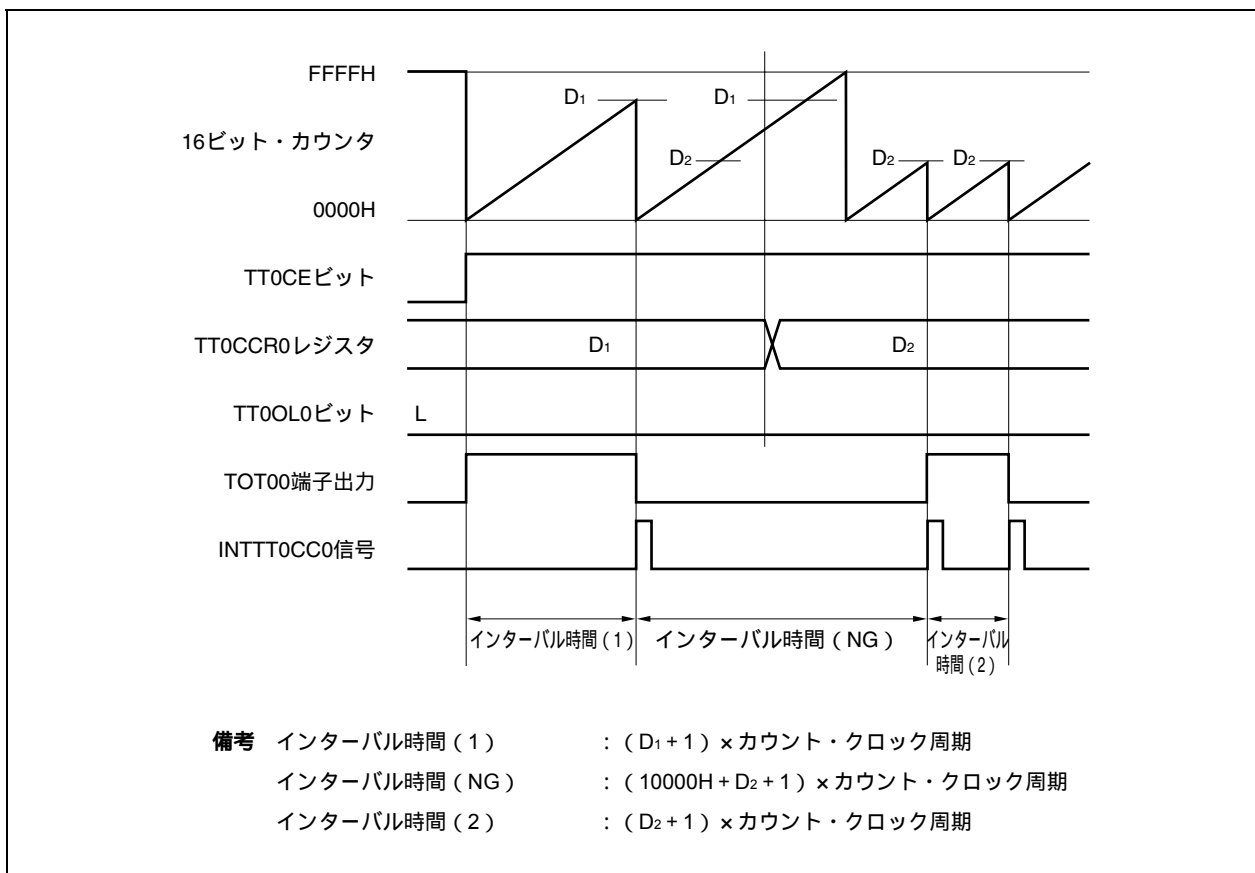
(b) TT0CCR0レジスタにFFFFHを設定した場合の動作

TT0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTT0CC0信号を発生し、TOT00端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTT0OV) は発生せず、オーバフロー・フラグ (TT0OPT0.TT0OVFビット) もセット (1) されません。



(c) TT0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTT0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



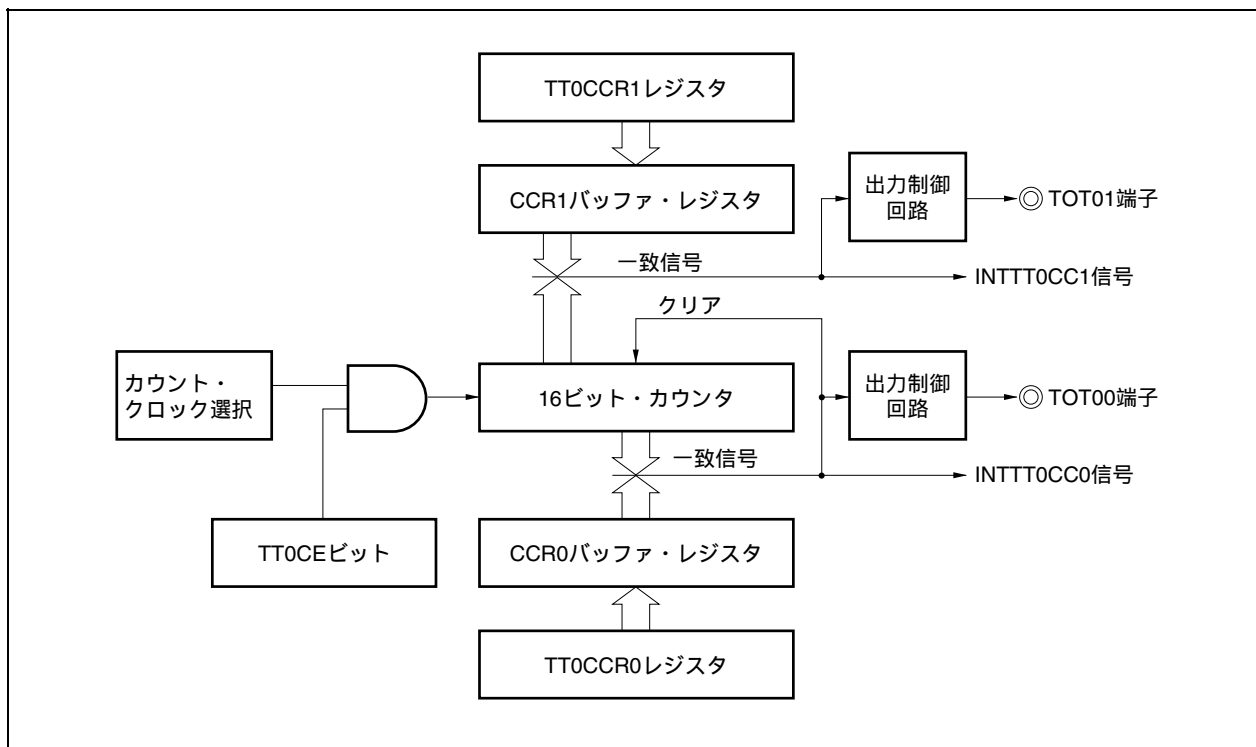
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TT0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTT0CC0信号を発生しTOT00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTT0CC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTT0CC0信号が発生する場合があります。

(d) TT0CCR1レジスタの動作

図9 - 11 TT0CCR1レジスタの構成図



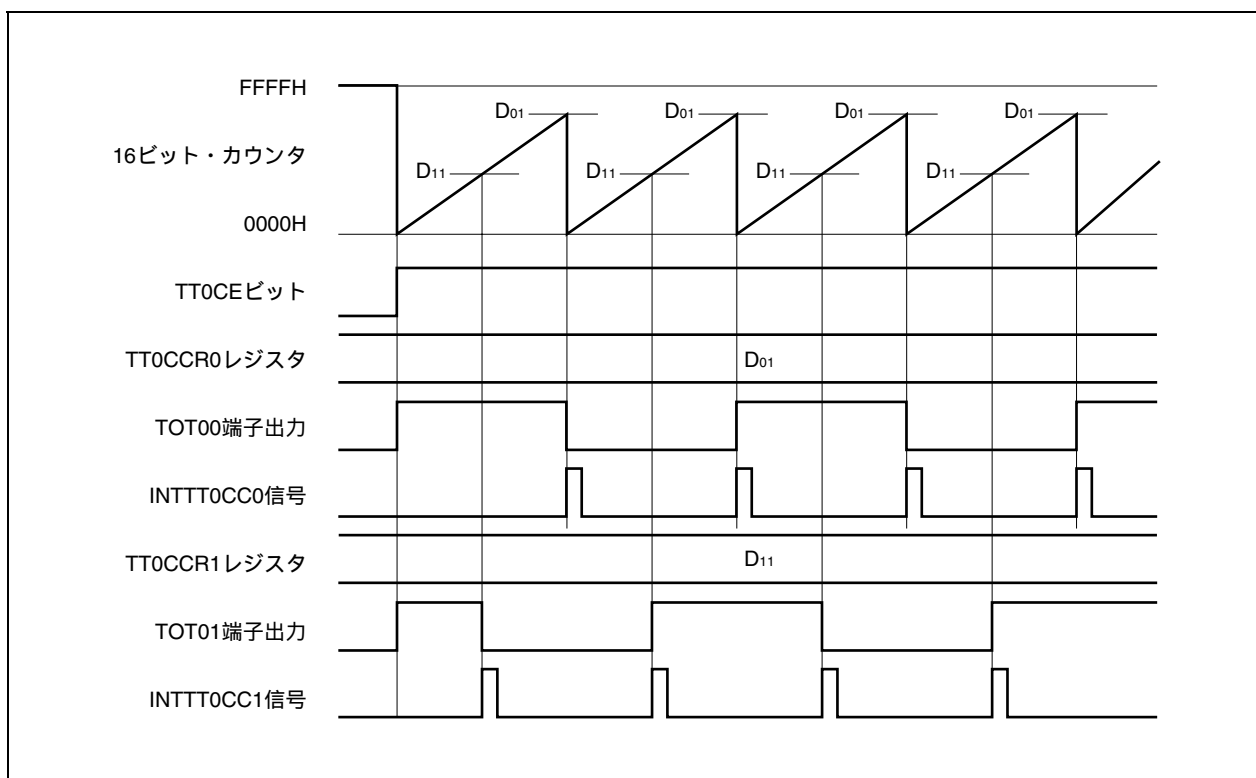
TT0CCR1レジスタにTT0CCR0レジスタの設定値と同じ値を設定すると、INTTT0CC0信号と同じタイミングでINTTT0CC1信号が発生し、TOT01端子出力が反転します。すなわち、TOT01端子から方形波を出力できます。

TT0CCR0レジスタの設定値とは異なる値をTT0CCR1レジスタに設定した場合の動作を次に示します。

TT0CCR1レジスタの設定値がTT0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTT0CC1信号が発生します。また、同じタイミングでTOT01端子出力は反転します。

TOT01端子出力は、最初に短い幅のパルスを出力したあと、方形波を出力します。

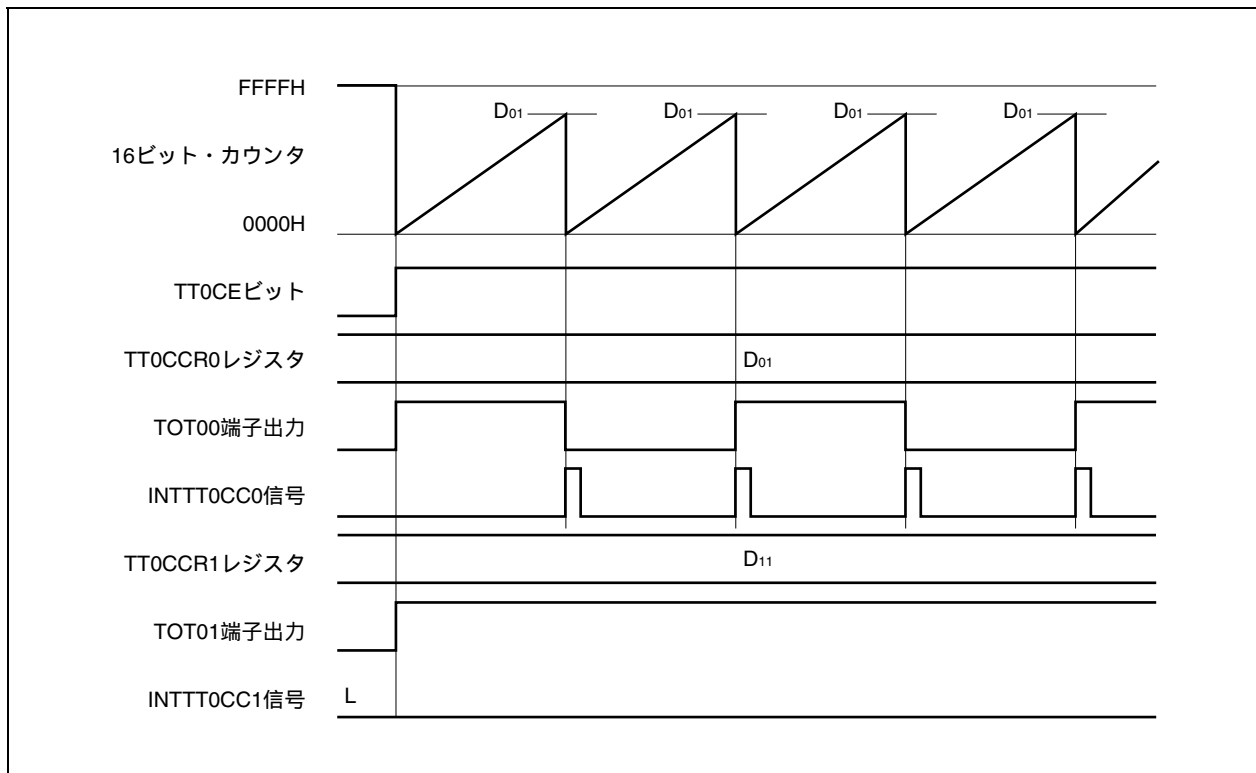
図9 - 12 D₀₁ D₁₁の場合のタイミング図



TT0CCR1レジスタの設定値がTT0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値が一致しないので、INTTT0CC1信号は発生しません。また、TOT01端子出力も変化しません。

TT0CCR1レジスタを使用しない場合には、TT0CCR1レジスタの設定値をFFFFHに設定することを推奨します。

図9 - 13 $D_{01} < D_{11}$ の場合のタイミング図



9.6.2 外部イベント・カウント・モード (TT0MD3-TT0MD0ビット = 0001)

外部イベント・カウント・モードは、TT0CTL0.TT0CEビットをセット(1)することで、外部イベント・カウント入力(TENC00)の有効エッジをカウントし、TT0CCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTT0CC0)を発生します。TOT00, TOT01端子は使用できません。

外部イベント・カウント・モードでは、TT0CCR1レジスタは使用しません。

図9-14 外部イベント・カウント・モードの構成図

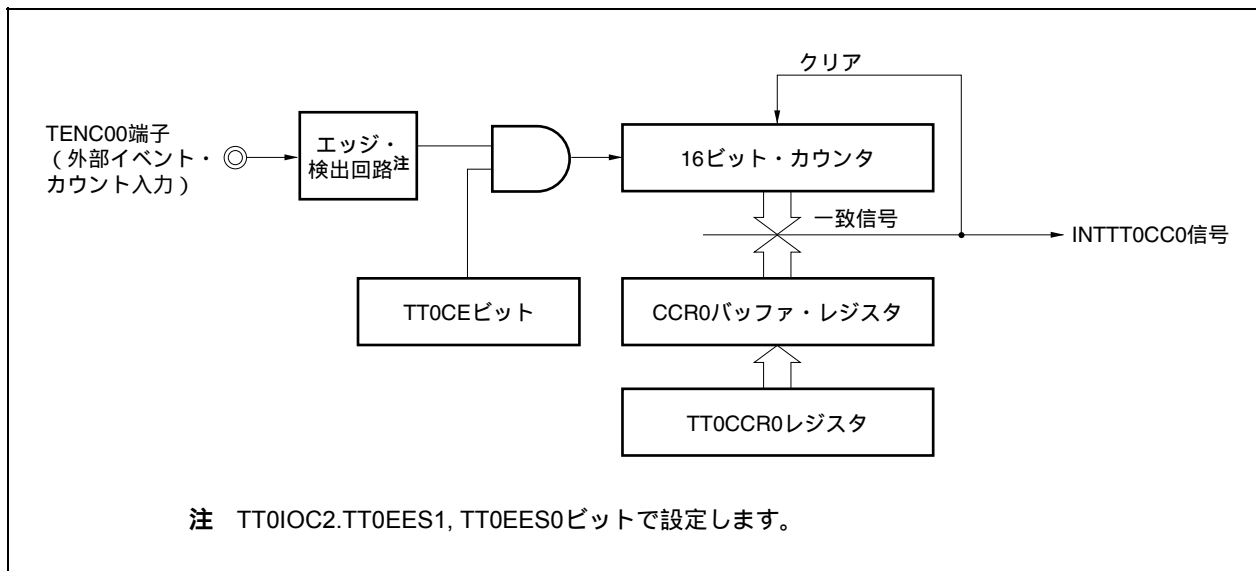
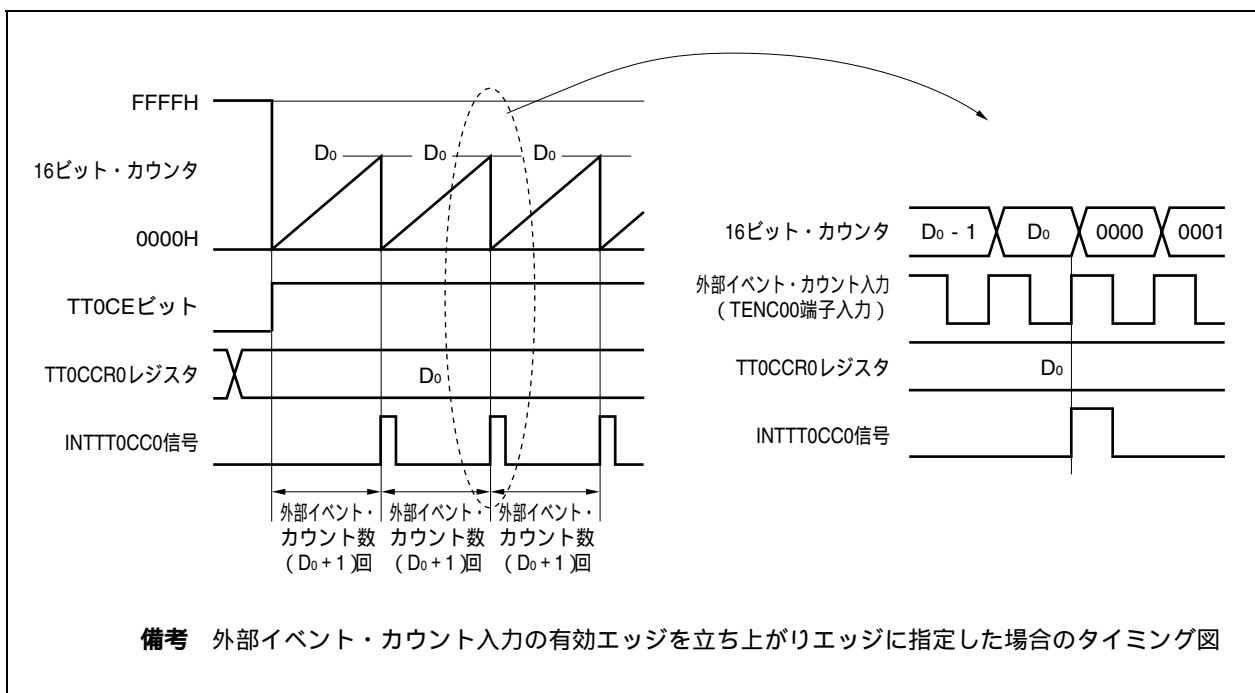


図9 - 15 外部イベント・カウント・モードの基本タイミング



TT0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TT0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTT0CC0) を発生します。

INTTT0CC0信号は、外部イベント・カウント入力の有効エッジを (TT0CCR0レジスタに設定した値 + 1) 回検出するごとに発生します。

図9 - 16 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

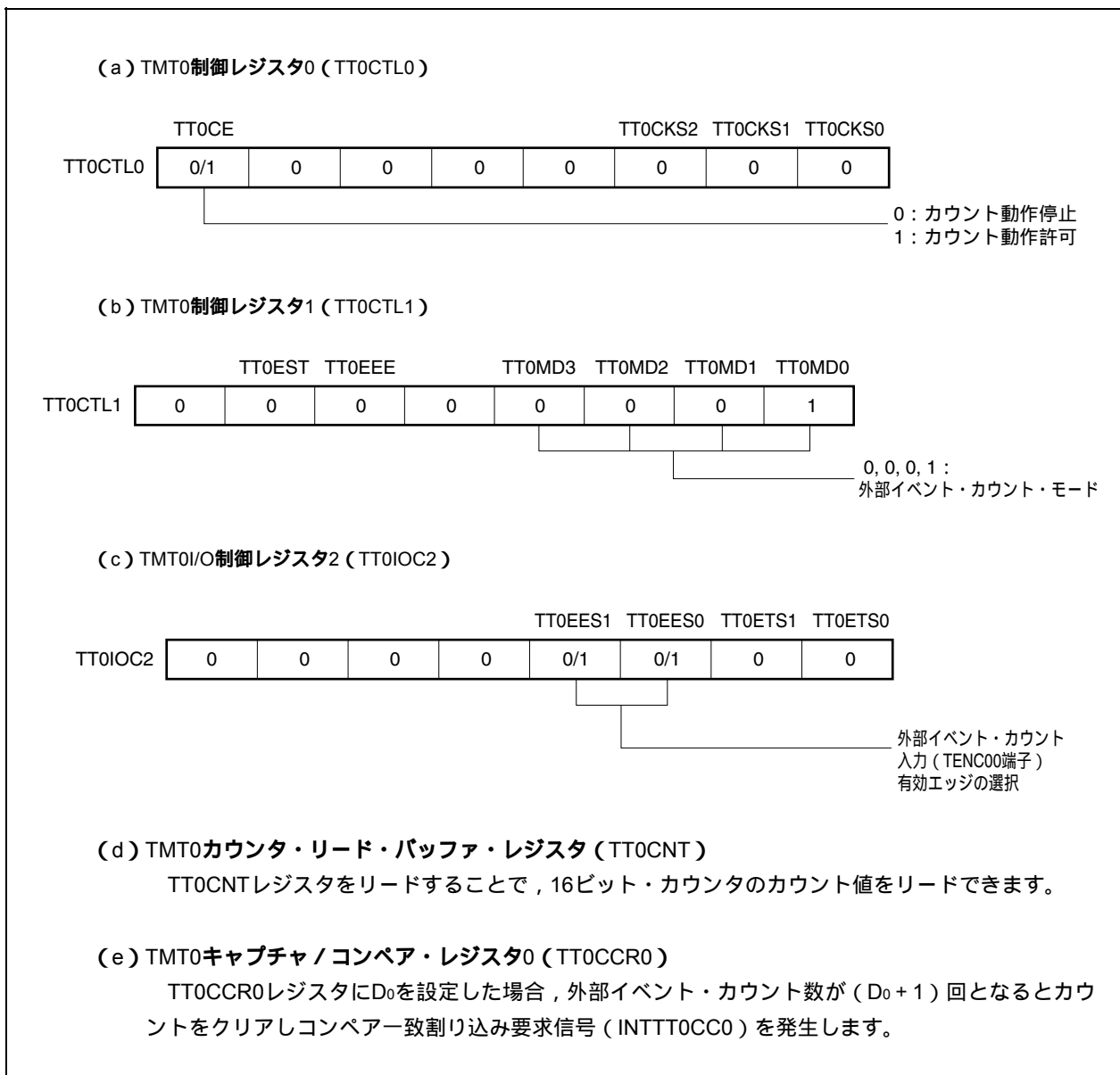


図9 - 16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMT0キャプチャ/コンペア・レジスタ1 (TT0CCR1)

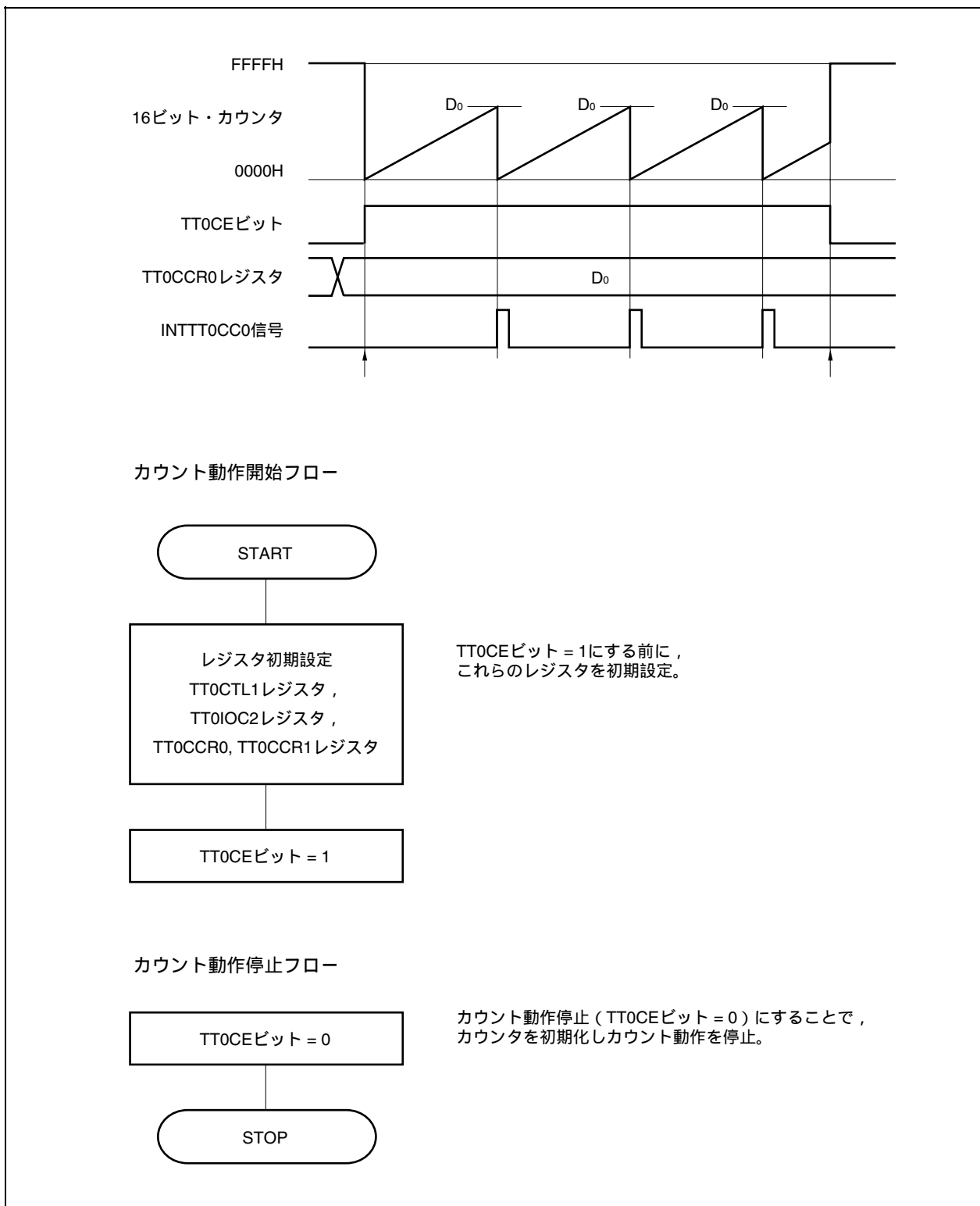
外部イベント・カウント・モードでは、TT0CCR1レジスタは使用しません。しかし、TT0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTT0CC1) が発生します。

TT0CCR1レジスタを使用しない場合には、TT0CCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TT0CCIC1.TT0CCMK1) でマスク設定してください。

備考 TMT0制御レジスタ2 (TT0CTL2), TMT0I/O制御レジスタ0 (TT0IOC0), TMT0I/O制御レジスタ1 (TT0IOC1), TMT0I/O制御レジスタ3 (TT0IOC3), TMT0オプション・レジスタ0 (TT0OPT0), TMT0オプション・レジスタ1 (TT0OPT1), TMT0カウンタ・ライト・レジスタ (TT0TCW) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

図9-17 外部イベント・カウント・モード使用時のソフトウェア処理フロー

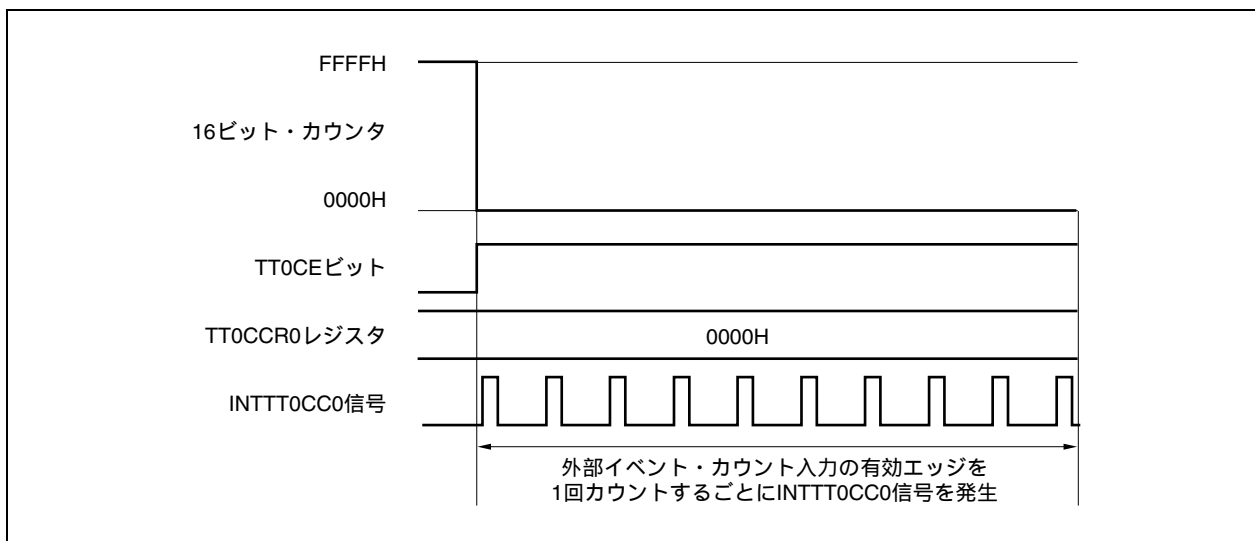


(2) 外部イベント・カウント・モード動作タイミング

(a) TT0CCR0レジスタに0000Hを設定した場合の動作

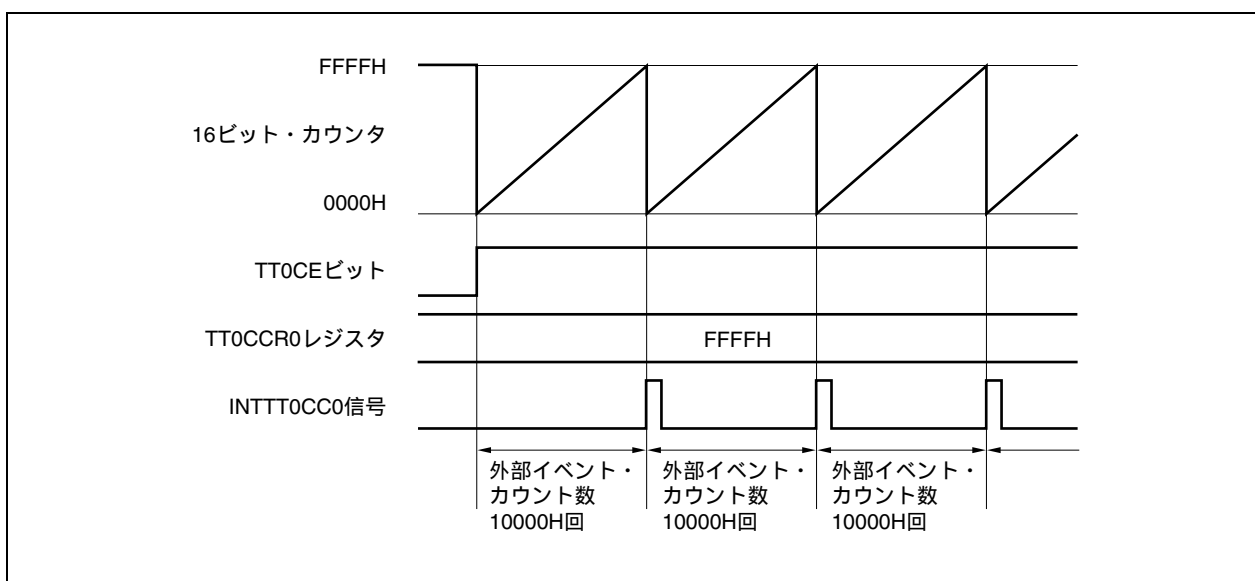
TT0CCR0レジスタに0000Hを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにCCR0バッファ・レジスタの値との一致で、16ビット・カウンタを0000Hにクリアし続けて、INTTT0CC0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TT0CCR0レジスタにFFFFHを設定した場合の動作

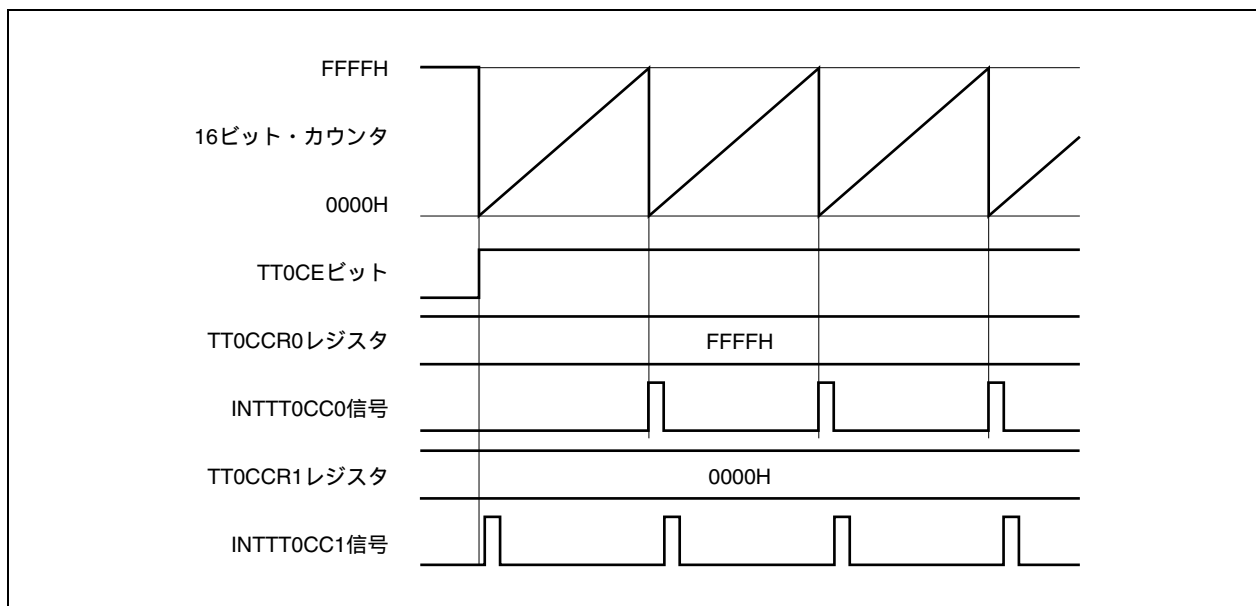
TT0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTT0CC0信号を発生します。このとき、TT0OPT0.TT0OVFビットはセットされません。



(c) TT0CCR0レジスタにFFFFH, TT0CCR1レジスタに0000Hを設定した場合の動作

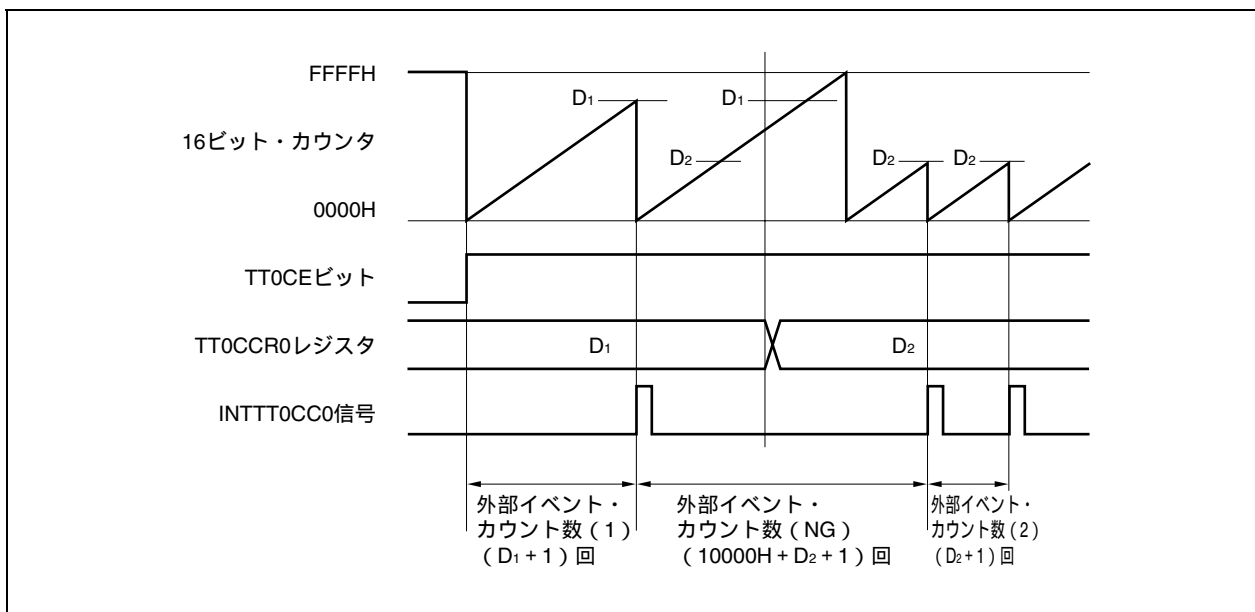
TT0CCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次の外部イベント・カウント信号の有効エッジに同期して, 16ビット・カウンタを0000Hにクリアし, INTTT0CC0信号を発生します。このとき, TT0OPT0.TT0OVFビットはセットされません。

TT0CCR1レジスタに0000Hを設定した場合, 16ビット・カウンタが0000HにクリアされたタイミングでINTTT0CC1信号が発生します。



(d) TT0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTT0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



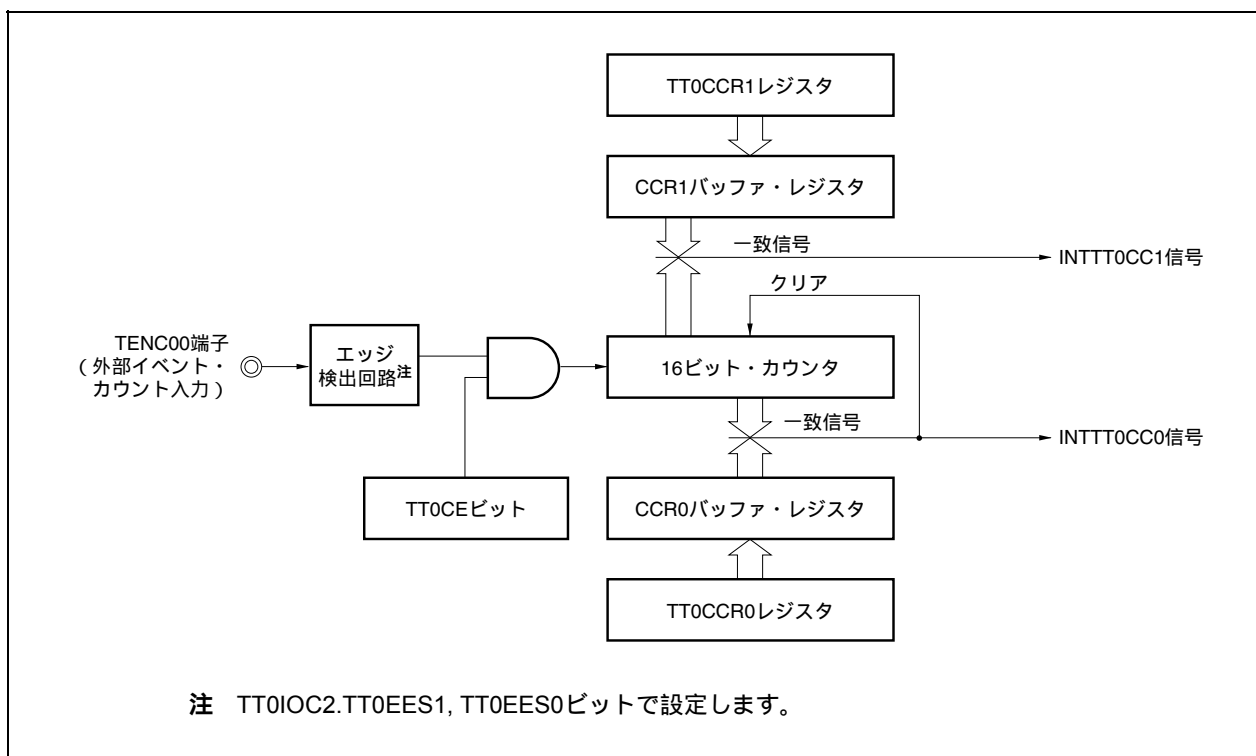
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TT0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTT0CC0信号を発生します。

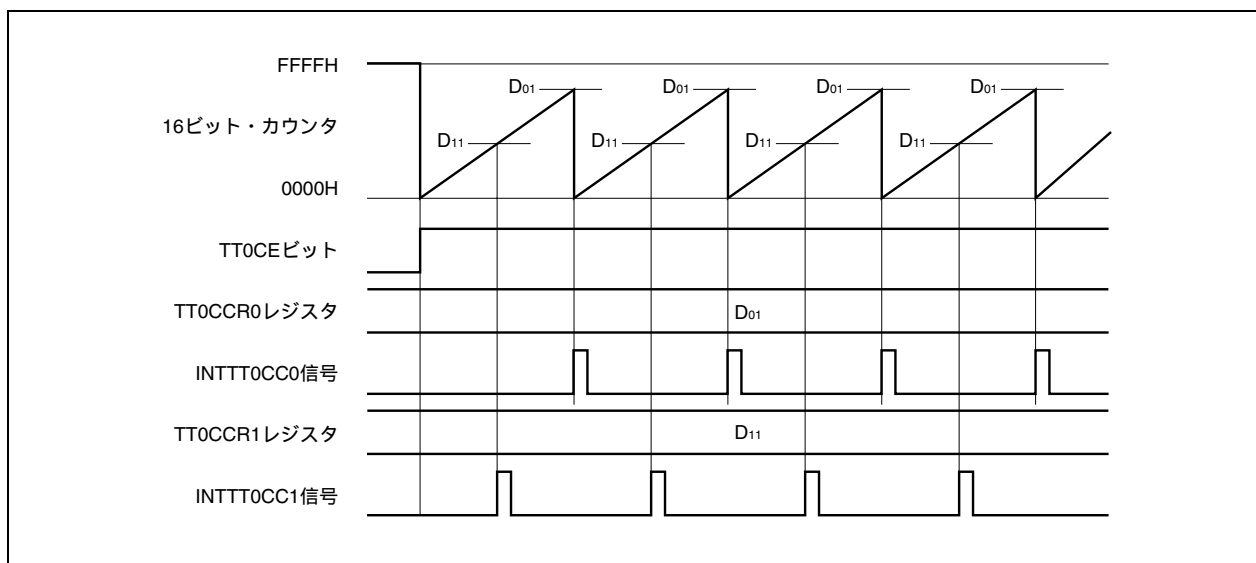
したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTT0CC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTT0CC0信号が発生する場合があります。

(e) TT0CCR1レジスタの動作

図9 - 18 TT0CCR1レジスタの構成図



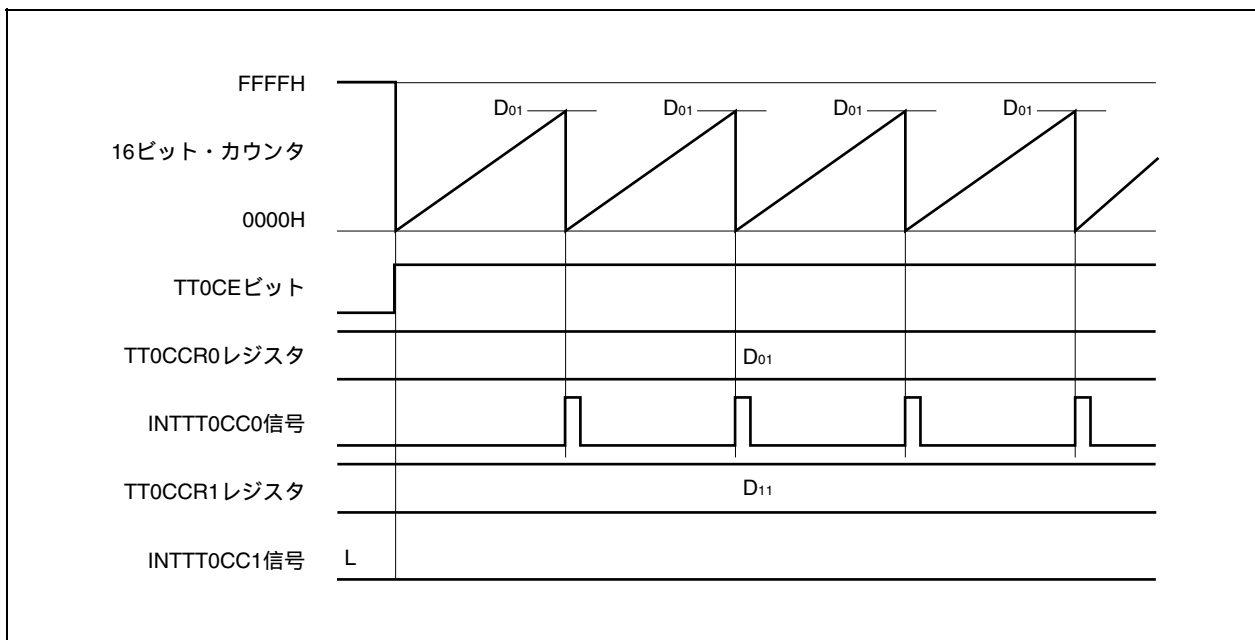
TT0CCR1レジスタの設定値がTT0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTT0CC1信号が発生します。

図9 - 19 D₀₁ D₁₁の場合のタイミング図

TT0CCR1レジスタの設定値がTT0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値が一致しないので、INTTT0CC1信号は発生しません。

TT0CCR1レジスタを使用しない場合には、TT0CCR1レジスタの設定値をFFFFHに設定することを推奨します。

図9 - 20 $D_{01} < D_{11}$ の場合のタイミング図



9.6.3 外部トリガ・パルス出力モード (TT0MD3-TT0MD0ビット = 0010)

外部トリガ・パルス出力モードは、TT0CTL0.TT0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TENC00) の有効エッジを検出すると、カウント動作を開始し、TOT01端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOT00端子からTT0CCR0レジスタの設定値+1を半周期とする方形波を出力できます。

図9 - 21 外部トリガ・パルス出力モードの構成図

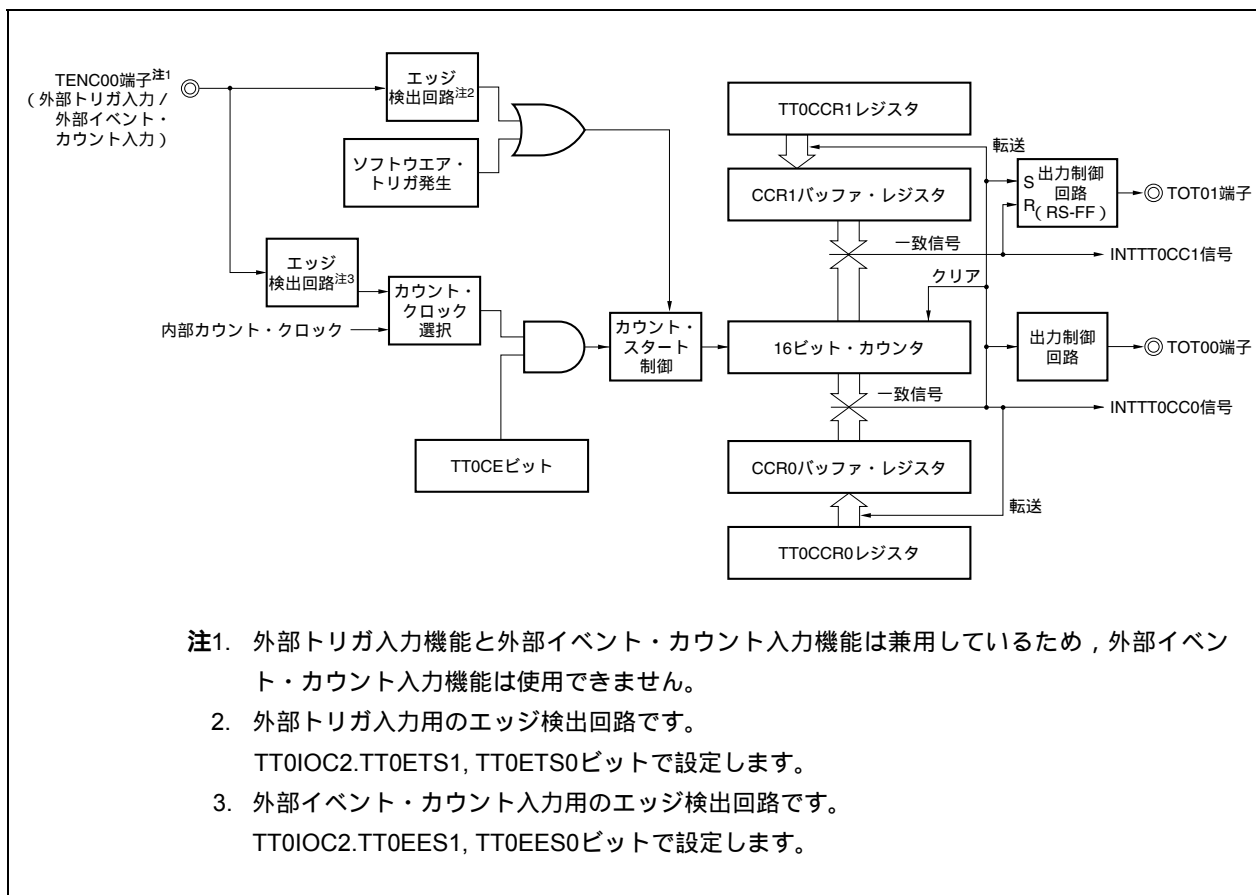
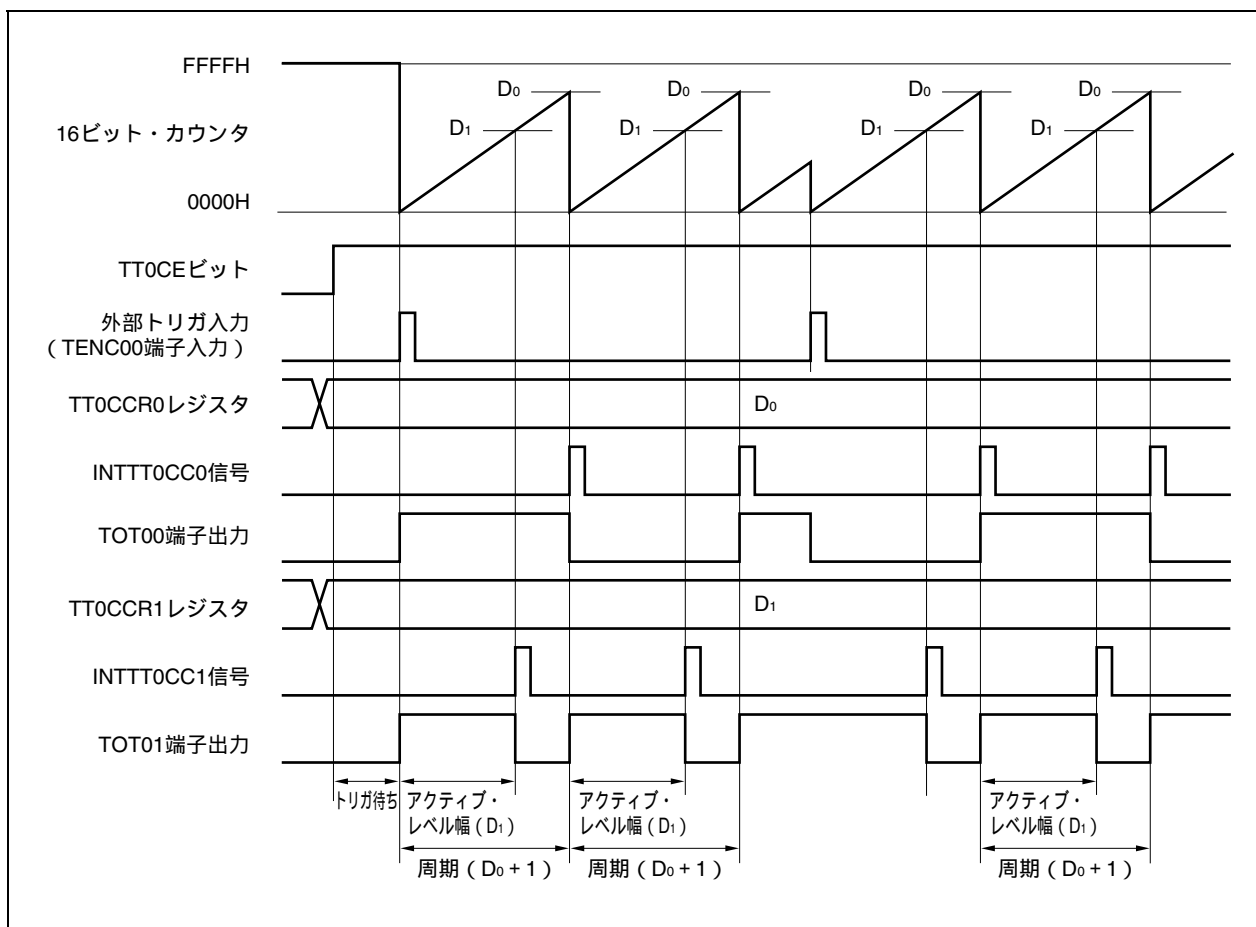


図9-22 外部トリガ・パルス出力モードの基本タイミング



TT0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOT01端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOT00端子出力は反転します。TOT01端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TT0CCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TT0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TT0CCR1レジスタの設定値}) / (\text{TT0CCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号(INTTT0CC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号(INTTT0CC1)は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TT0CCRnレジスタに設定した値は、16ビット・カウンタのカウント値とCCRnバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRnバッファ・レジスタに転送されます。

トリガには、外部トリガ入力(TENC00)の有効エッジ、またはソフトウェア・トリガ(TT0CTL1.TT0ESTビット)のセット(1)があります(n=0,1)。

図9-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

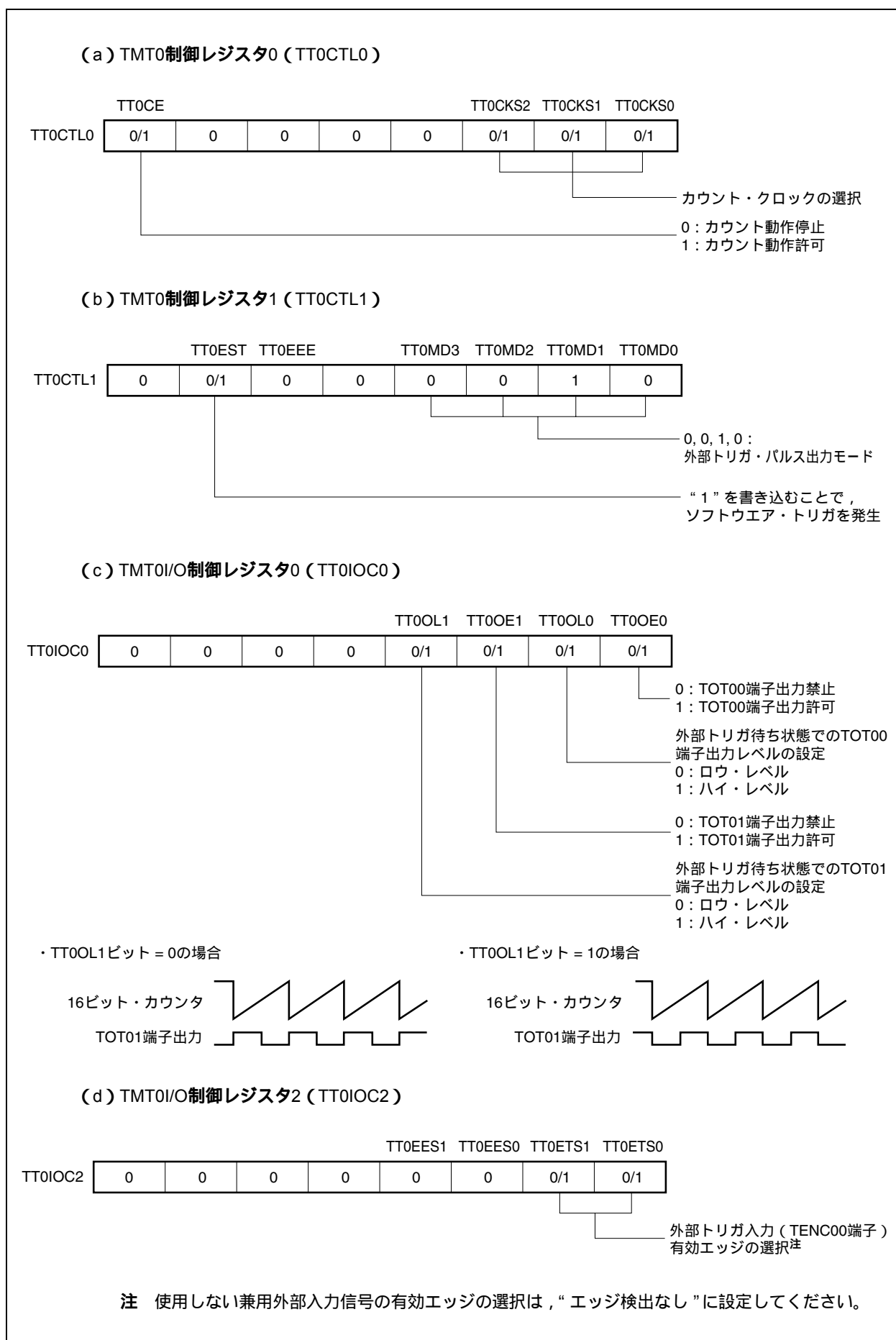


図9 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)

(e) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMT0キャプチャ/コンペア・レジスタ0, 1 (TT0CCR0, TT0CCR1)

TT0CCR0レジスタにD₀を設定し、TT0CCR1レジスタにD₁を設定した場合、

PWM波形の周期 = (D₀ + 1) × カウント・クロック周期

PWM波形のアクティブ・レベル幅 = D₁ × カウント・クロック周期

となります。

備考 TMT0制御レジスタ2 (TT0CTL2)、TMT0I/O制御レジスタ1 (TT0IOC1)、TMT0I/O制御レジスタ3 (TT0IOC3)、TMT0オプション・レジスタ0 (TT0OPT0)、TMT0オプション・レジスタ1 (TT0OPT1)、TMT0カウンタ・ライト・レジスタ (TT0TCW) は、外部トリガ・パルス出力モードでは使用しません。

(1) 外部トリガ・パルス出力モード動作フロー

図9-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

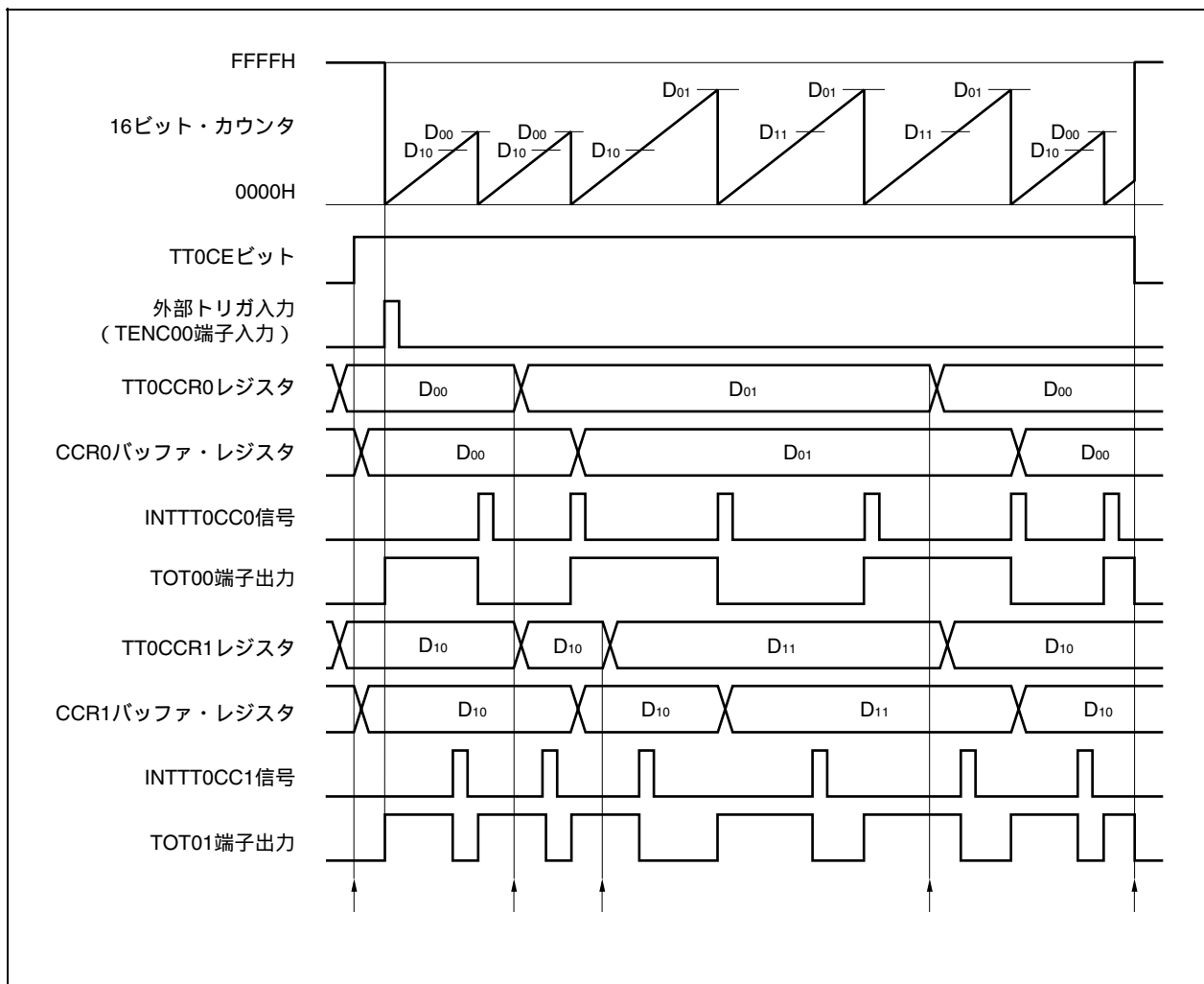
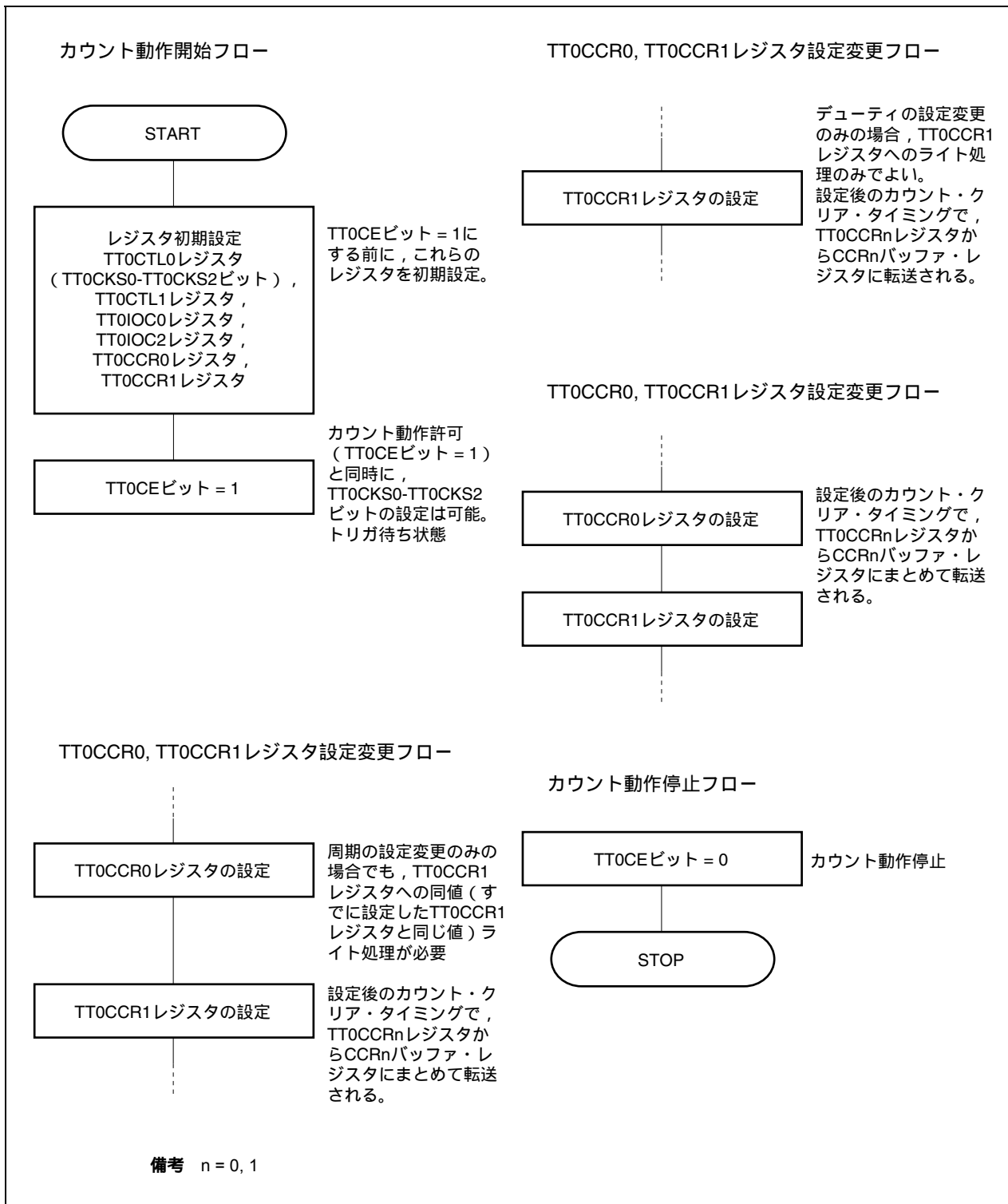


図9 - 24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

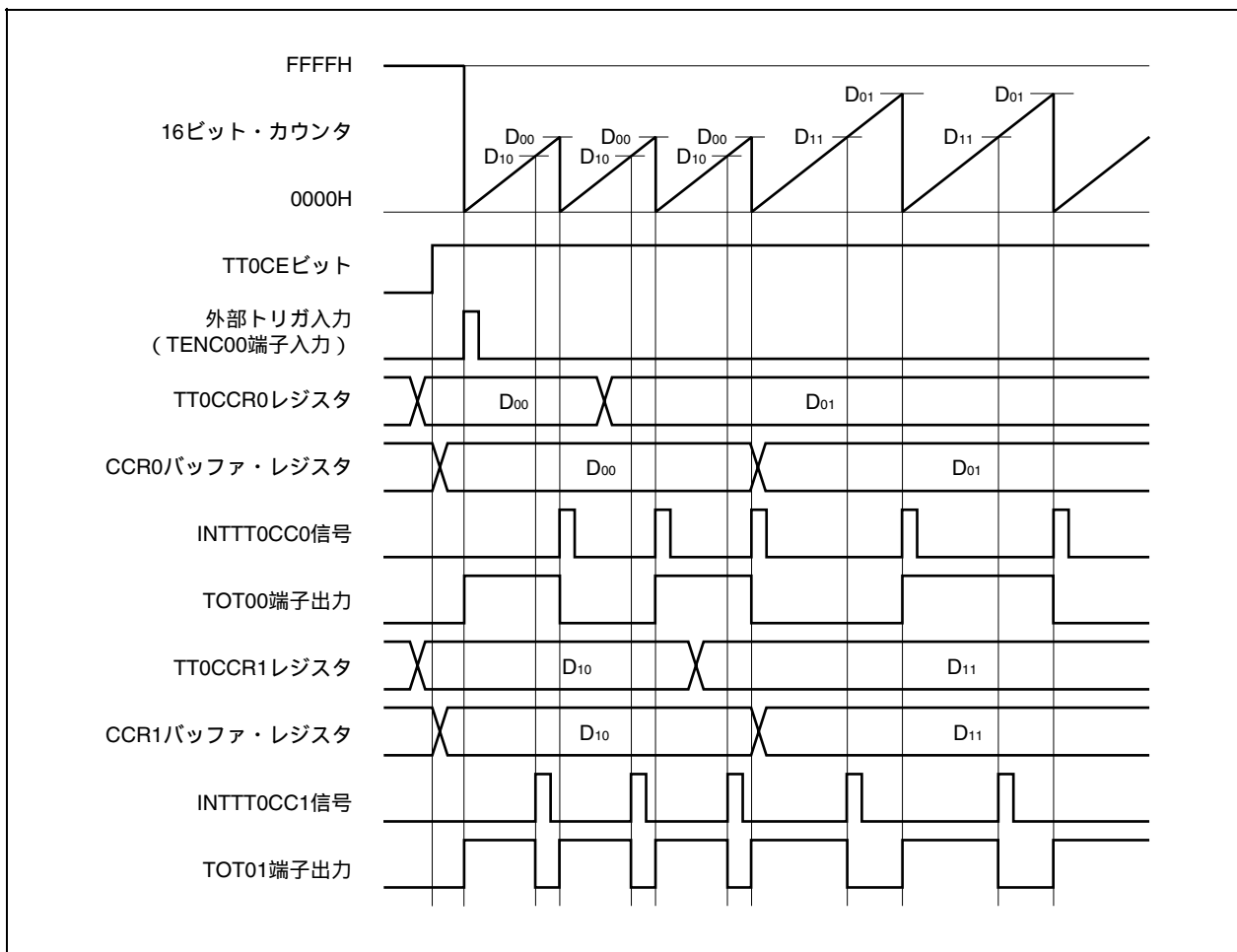


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTT0CCR1レジスタにライトしてください。

TT0CCR1レジスタにライト後、再度TT0CCRaレジスタの書き換えを行う場合には、INTTT0CC0信号を検出後に書き換えてください。



TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送を行うためには、TT0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタに同値（すでに設定したTT0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TT0CCR1レジスタのみの設定でかまいません。

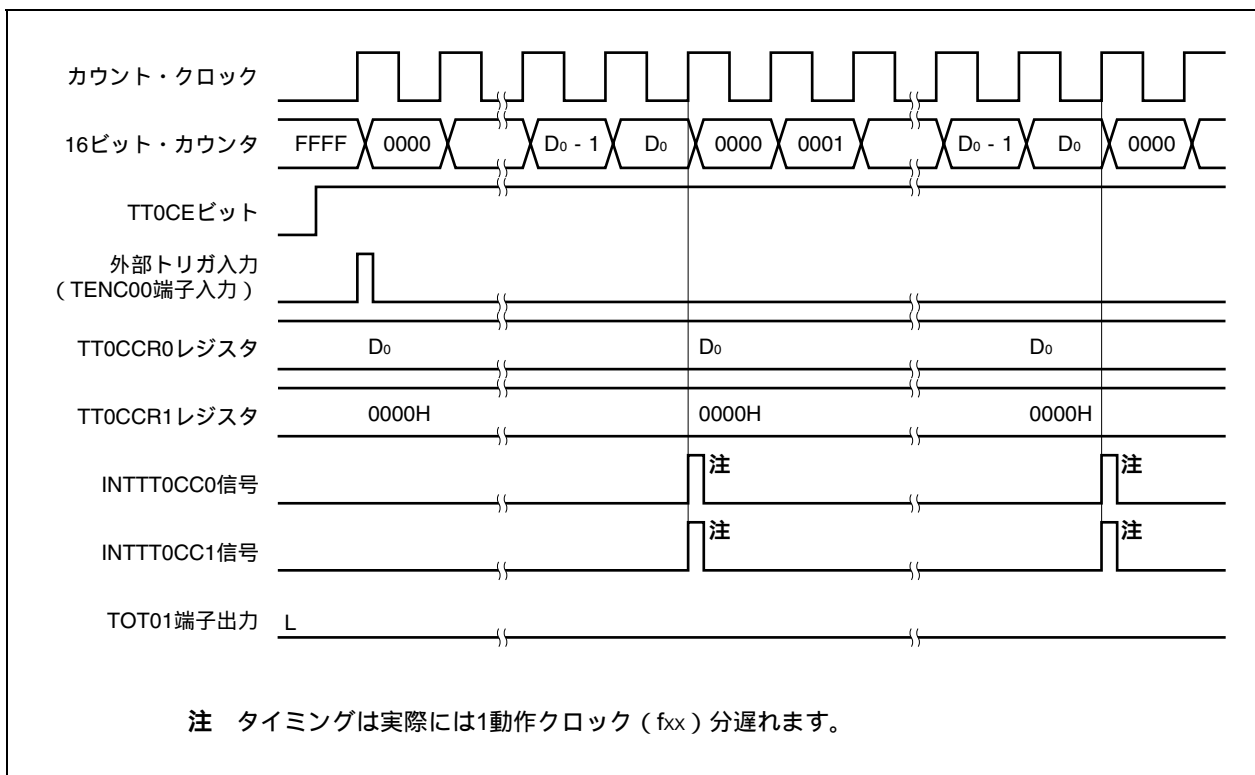
TT0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TT0CCRnレジスタに書き込まれた値がCCRnバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TT0CCR1レジスタにライトしたあとで、再度TT0CCR0、またはTT0CCR1レジスタへのライトを行う場合は、INTTT0CC0信号の発生後に行ってください。これを守れない場合には、TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送タイミングと、TT0CCRnレジスタの書き換えの競合により、CCRnバッファ・レジスタの値が不定値になる場合があります。

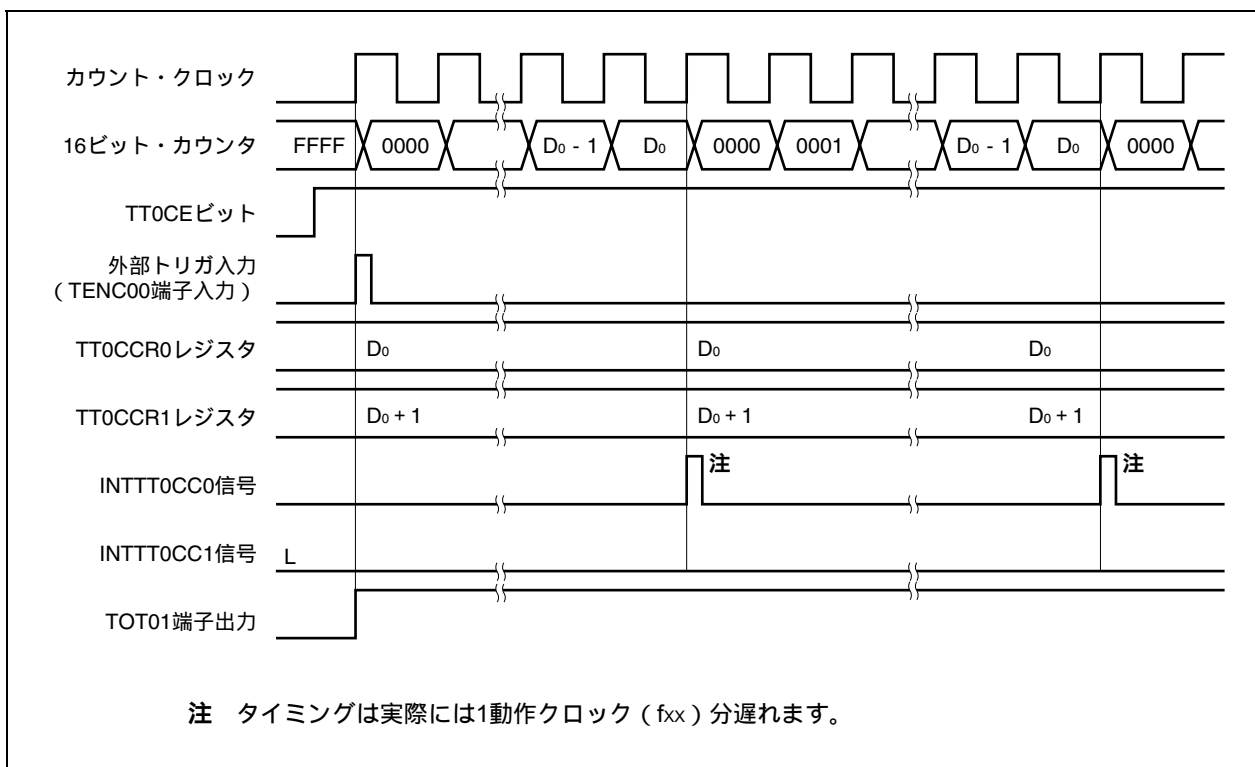
備考 n = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TT0CCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTT0CC0信号とINTTT0CC1信号が発生します。

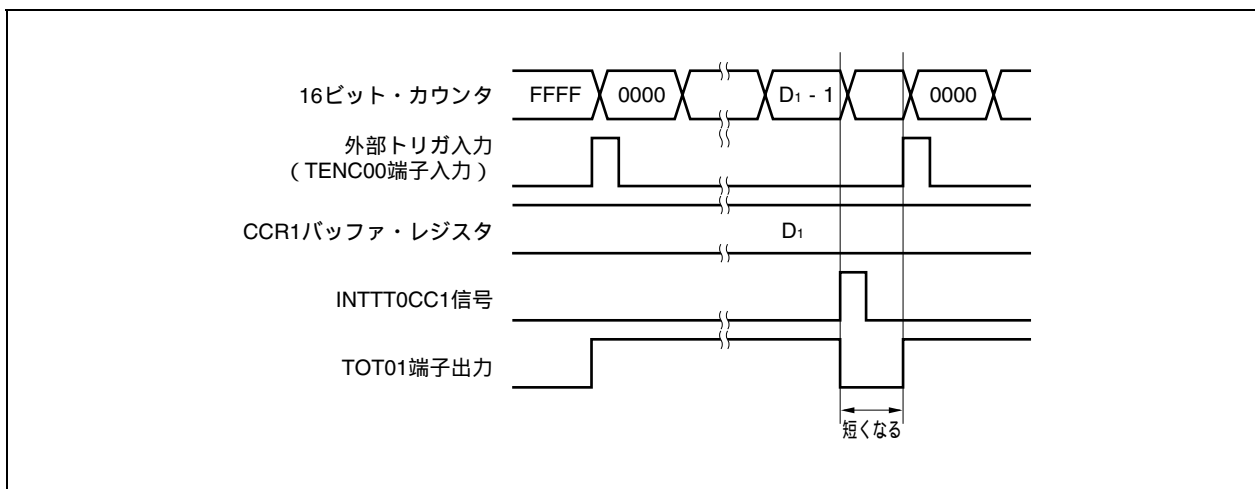


100 % 波形を出力するためには、TT0CCR1レジスタに対して (TT0CCR0レジスタの設定値 + 1) の値を設定してください。TT0CCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。

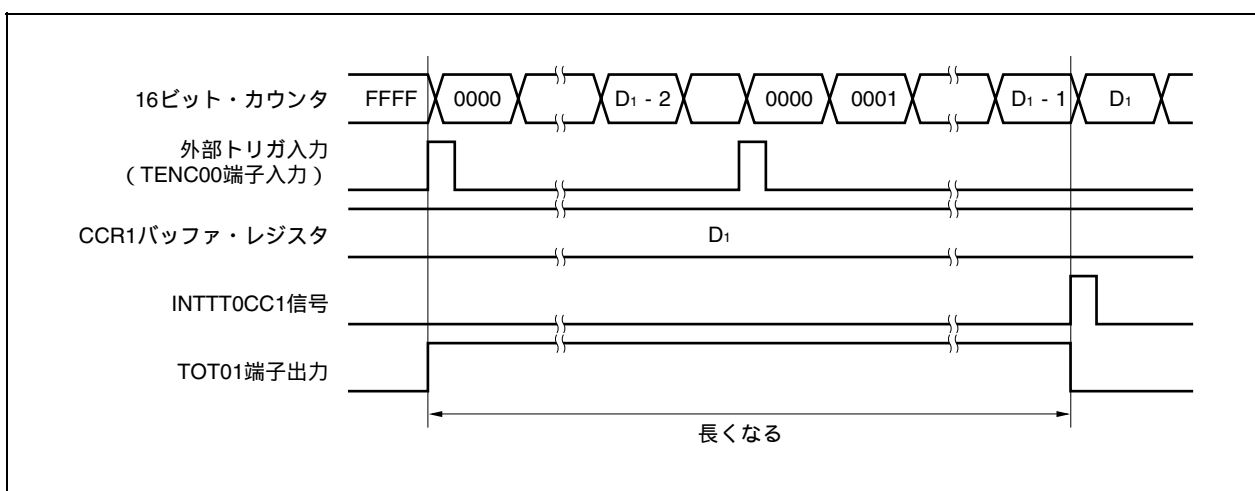


(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTTT0CC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOT01端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

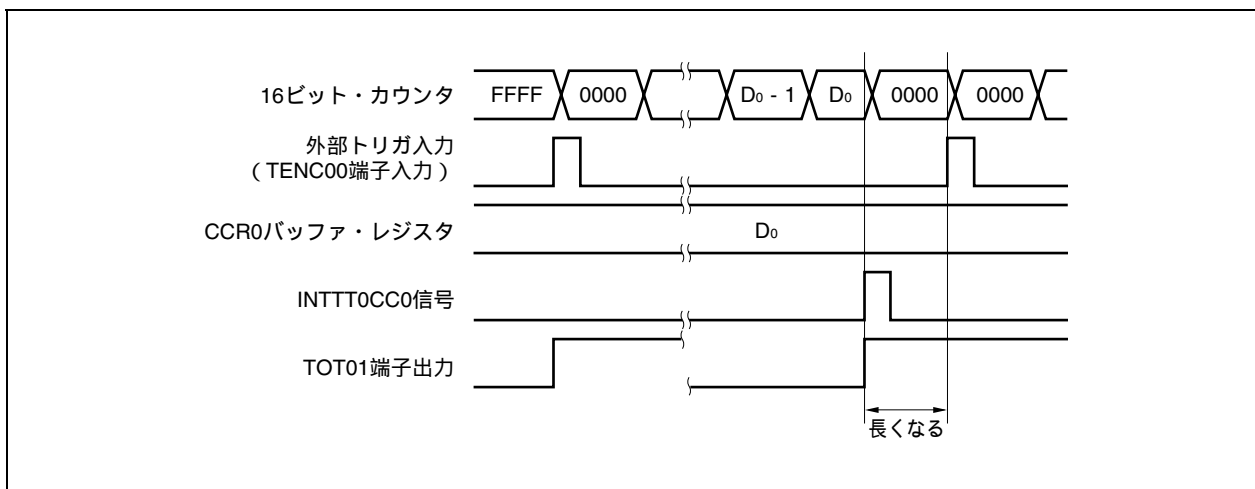


INTTT0CC1信号発生直前にトリガを検出した場合には、INTTT0CC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOT01端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

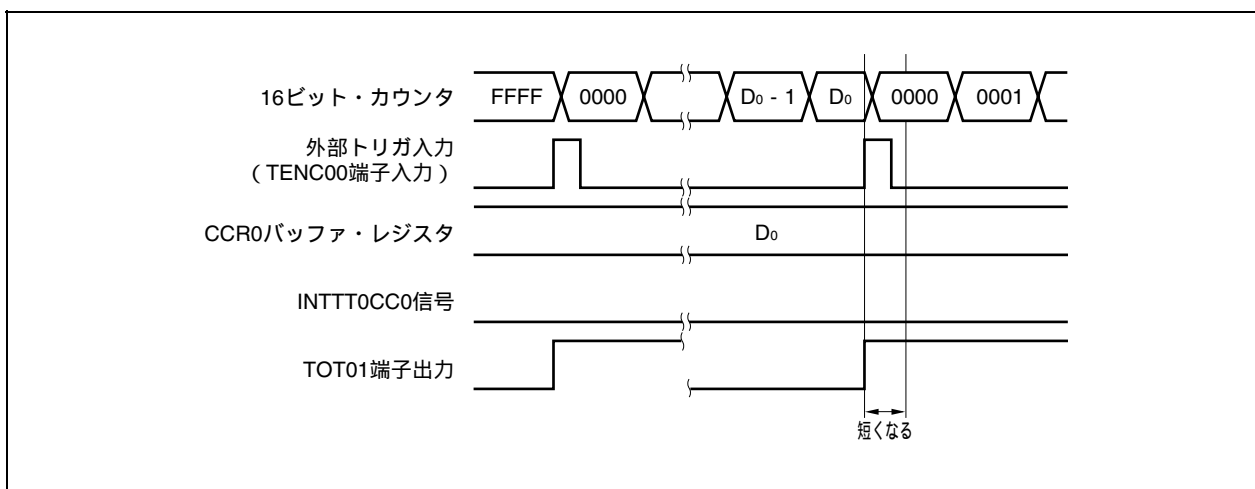


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTT0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOT01端子出力のアクティブ期間が、INTTT0CC0信号発生からトリガ検出までの分だけ長くなります。

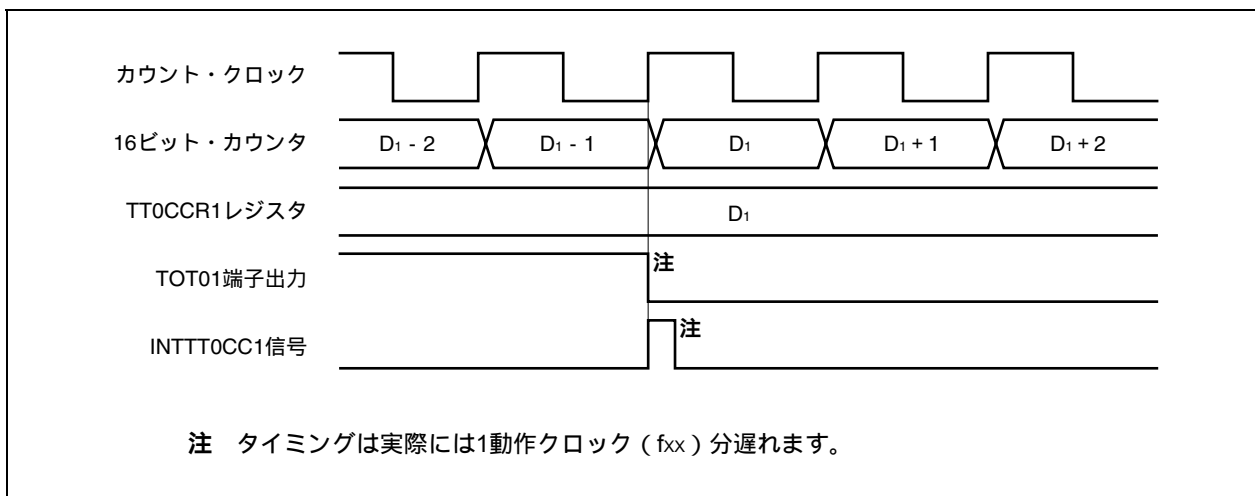


INTTT0CC0信号発生直前にトリガを検出した場合、INTTT0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOT01端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTT0CC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTT0CC1信号の発生タイミングは、ほかのモードのINTTT0CC1信号と異なり、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値との一致と同時に発生します。



通常、INTTT0CC1信号は、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

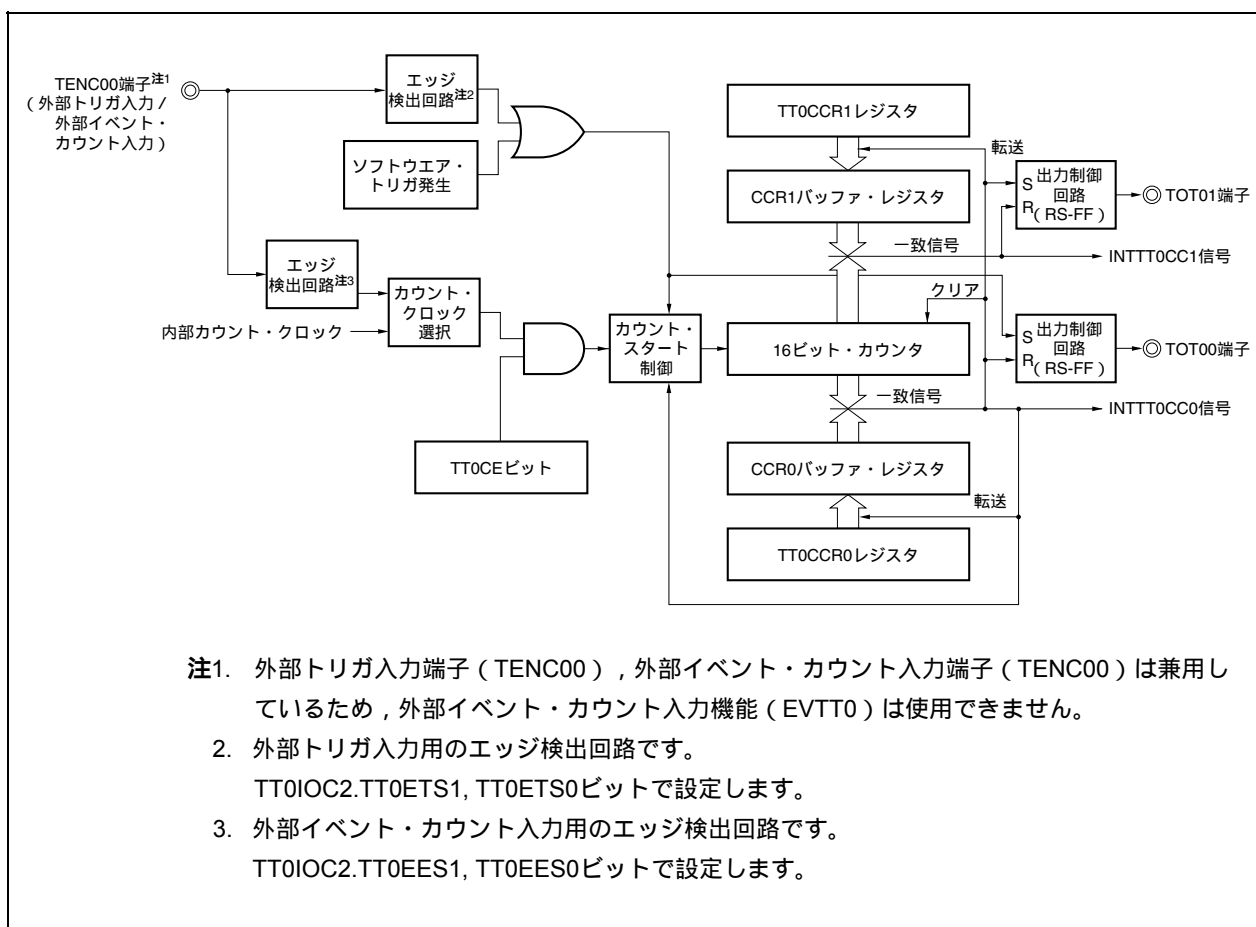
しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOT01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.4 ワンショット・パルス出力モード (TT0MD3-TT0MD0ビット = 0011)

ワンショット・パルス出力モードは、TT0CTL0.TT0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOT01端子からワンショット・パルスを出力します。

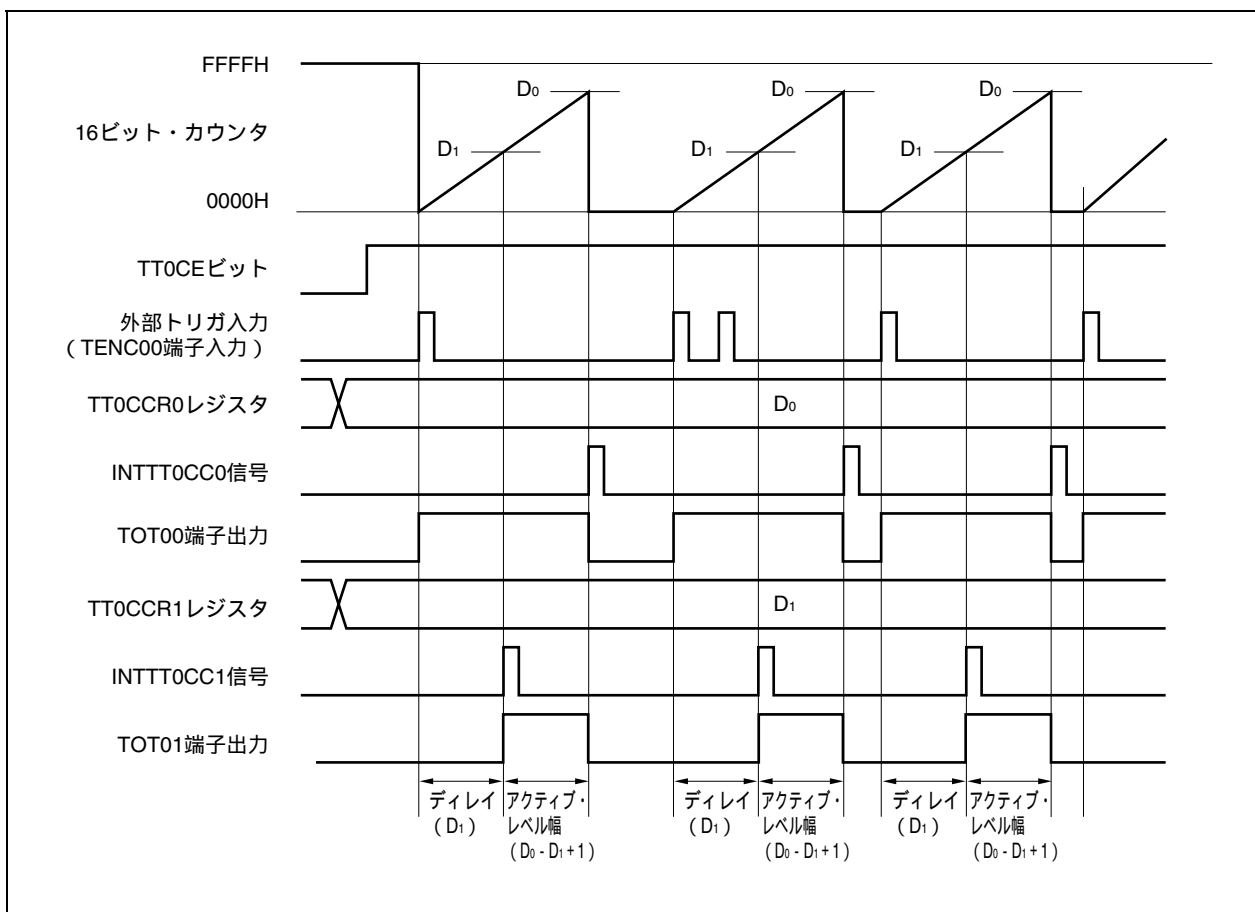
外部トリガ入力(TENC00)の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOT00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図9-25 ワンショット・パルス出力モードの構成図



- 注1. 外部トリガ入力端子 (TENC00), 外部イベント・カウント入力端子 (TENC00) は兼用しているため、外部イベント・カウント入力機能 (EVTT0) は使用できません。
2. 外部トリガ入力用のエッジ検出回路です。
TT0IOC2.TT0ETS1, TT0ETS0ビットで設定します。
3. 外部イベント・カウント入力用のエッジ検出回路です。
TT0IOC2.TT0EES1, TT0EES0ビットで設定します。

図9 - 26 ワンショット・パルス出力モードの基本タイミング



TT0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOT01端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TT0CCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TT0CCR0レジスタの設定値} - \text{TT0CCR1レジスタの設定値} + 1) \\ \times \text{カウント・クロック周期}$$

コンペアー一致割り込み要求信号 (INTTT0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTT0CC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TENC00端子) の有効エッジ、またはソフトウェア・トリガ (TT0CTL1.TT0ESTビット) のセット(1)があります。

図9-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

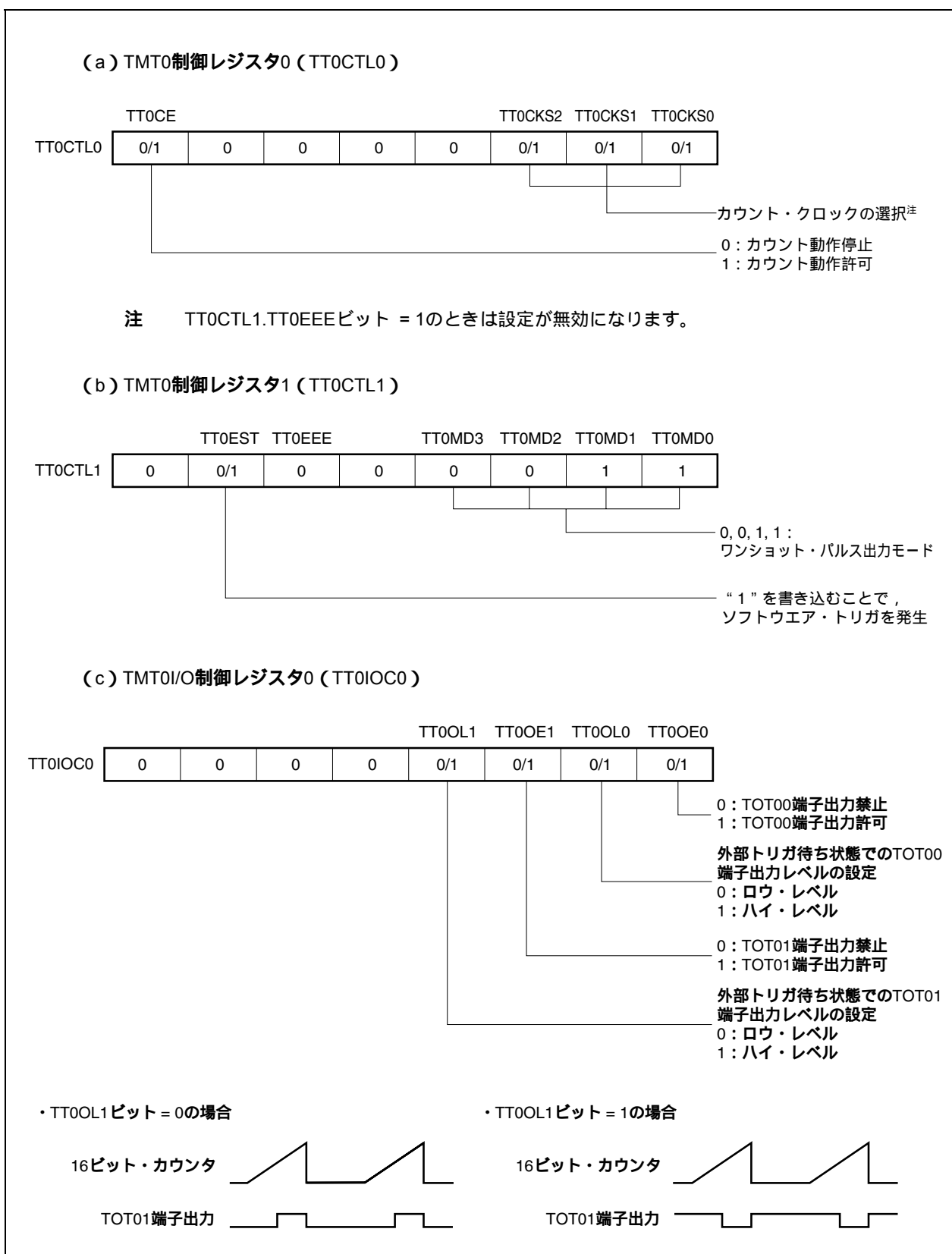
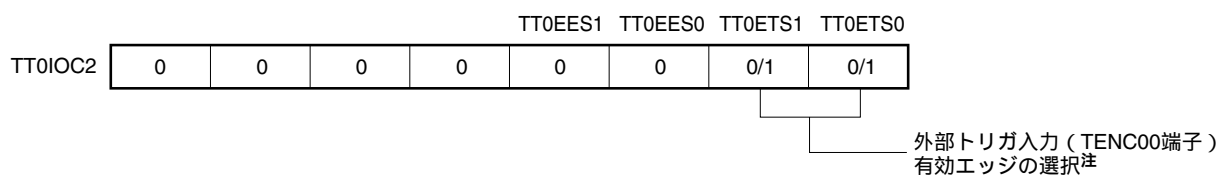


図9 - 27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

(d) TMT0I/O制御レジスタ2 (TT0IOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は、“エッジ検出なし”に設定してください。

(e) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMT0キャプチャ/コンペア・レジスタ0, 1 (TT0CCR0, TT0CCR1)

TT0CCR0レジスタにD₀を設定し、TT0CCR1レジスタにD₁を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D₁ + 1) × カウント・クロック周期

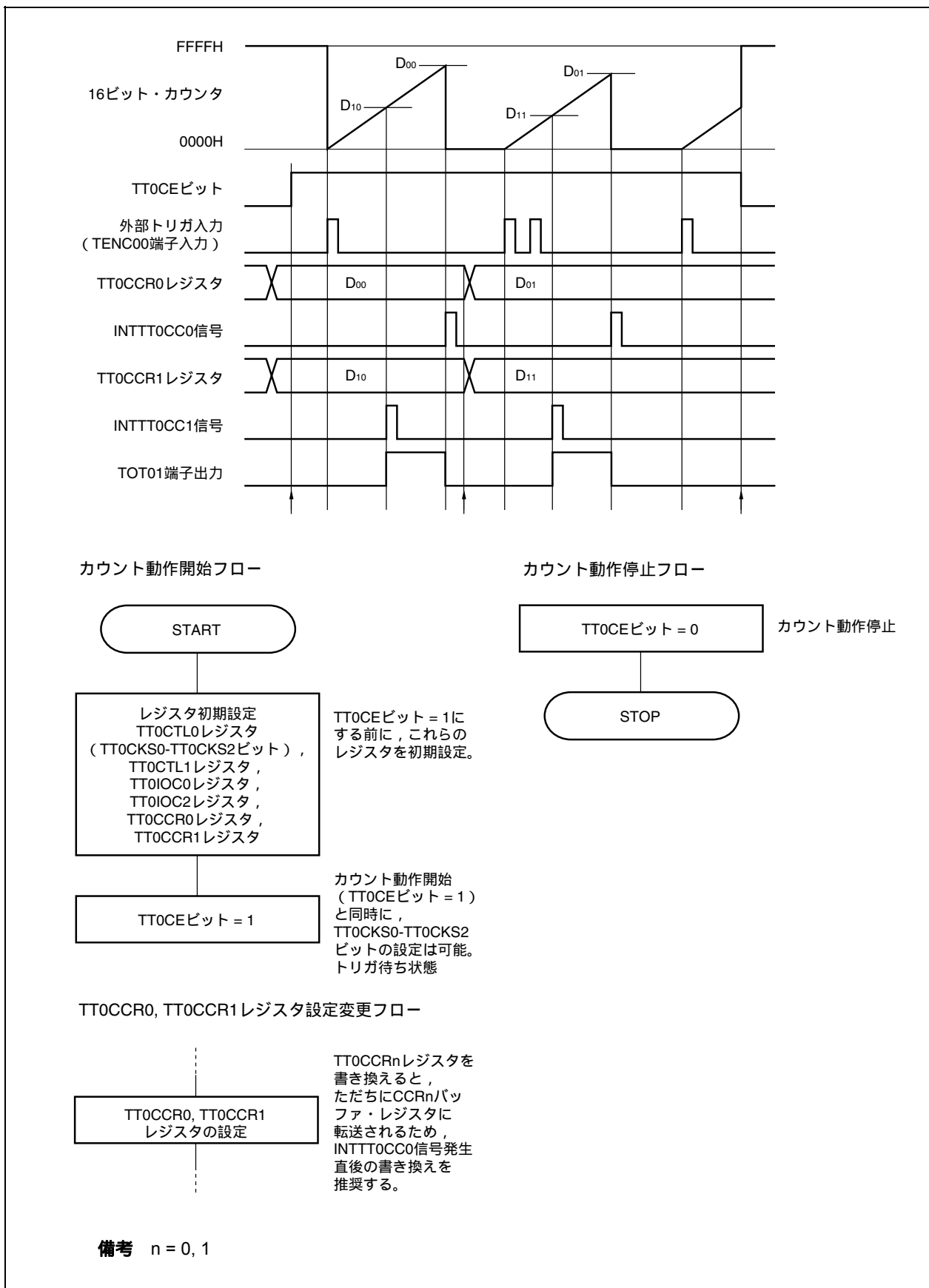
ワンショット・パルスの出力ディレイ期間 = D₁ × カウント・クロック周期

となります。

備考 TMT0制御レジスタ2 (TT0CTL2), TMT0I/O制御レジスタ1 (TT0IOC1), TMT0I/O制御レジスタ3 (TT0IOC3), TMT0オプション・レジスタ0 (TT0OPT0), TMT0オプション・レジスタ1 (TT0OPT1), TMT0カウンタ・ライト・レジスタ (TT0TCW) は、ワンショット・パルス出力モードでは使用しません。

(1) ワンショット・パルス出力モード動作フロー

図9 - 28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

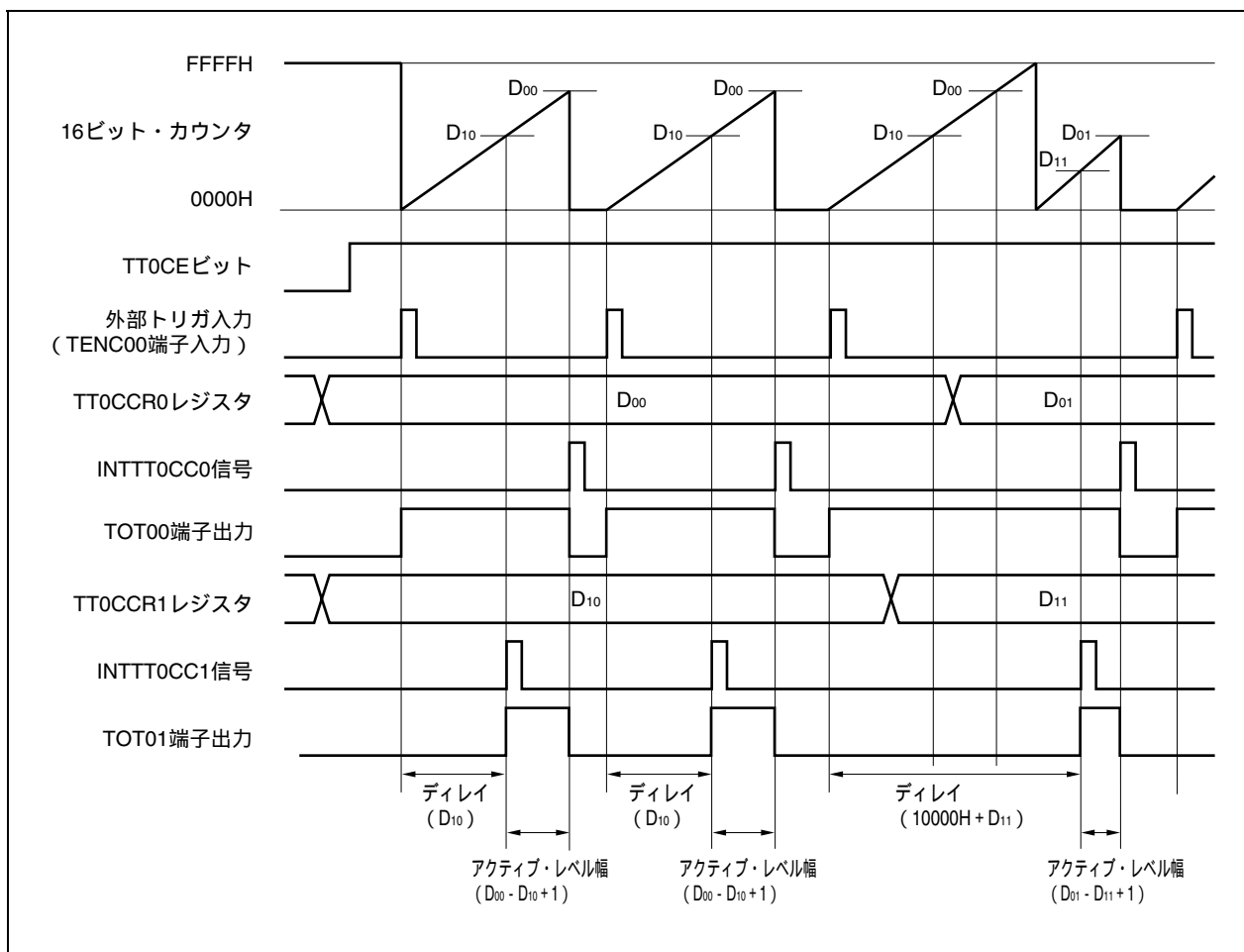


(2) ワンショット・パルス出力モード動作タイミング

(a) TT0CCRnレジスタの書き換えに関する注意事項

カウント動作中にTT0CCRnレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

備考 n= 0, 1

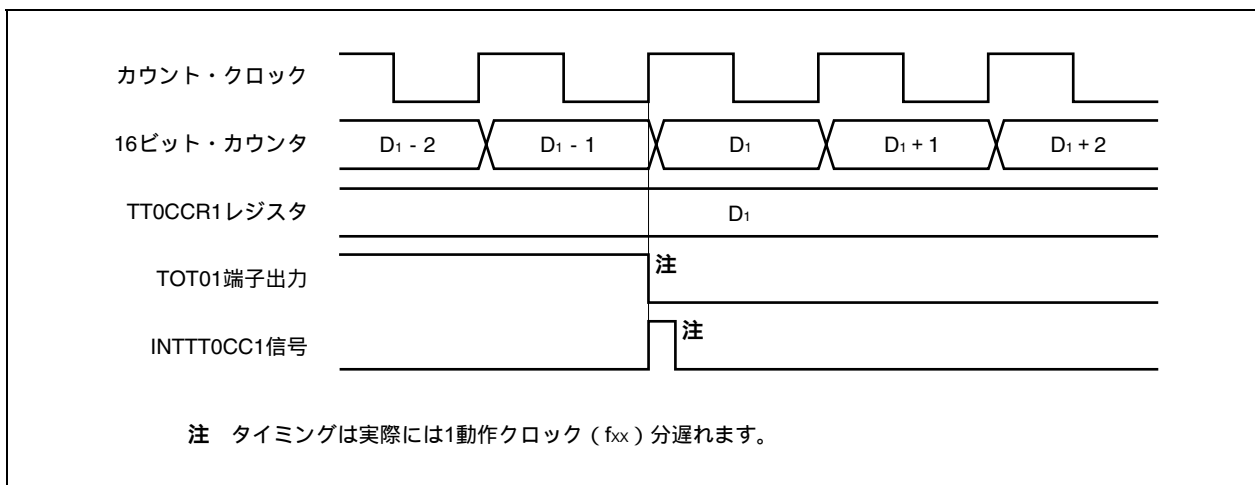


TT0CCR0レジスタをD₀₀からD₀₁に、TT0CCR1レジスタをD₁₀からD₁₁に書き換える場合において、D₀₀ > D₀₁、D₁₀ > D₁₁の状態では、16ビット・カウンタのカウント値がD₁₁よりも大きくD₁₀よりも小さい状態のときTT0CCR1レジスタを書き換え、カウント値がD₀₁よりも大きくD₀₀よりも小さい状態でTT0CCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D₁₁との一致でINTTT0CC1信号を発生してTOT01端子出力をアクティブ・レベルにし、D₀₁との一致でINTTT0CC0信号を発生してTOT01端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

(b) コンペアー一致割り込み要求信号 (INTTT0CC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTT0CC1信号の発生タイミングは、ほかのモードのINTTT0CC1信号と異なり、16ビット・カウンタのカウント値とTT0CCR1レジスタの値との一致と同時に発生します。



通常、INTTT0CC1信号は、16ビット・カウンタのカウント値とTT0CCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOT01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.5 PWM出力モード (TT0MD3-TT0MD0ビット = 0100)

PWM出力モードは、TT0CTL0.TT0CEビットをセット(1)することで、TOT01端子からPWM波形を出力します。

また、TOT00端子から、TT0CCR0レジスタの設定値+1を半周期とする方形波を出力します。

図9-29 PWM出力モードの構成図

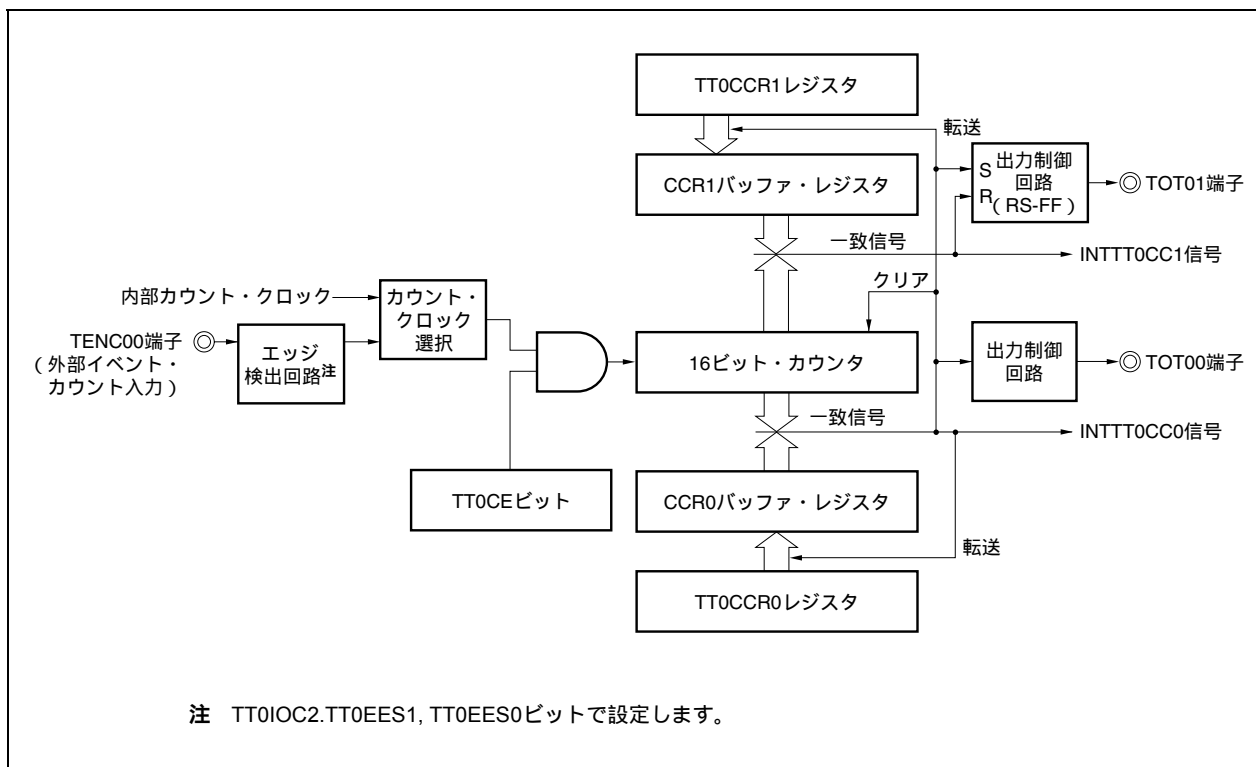
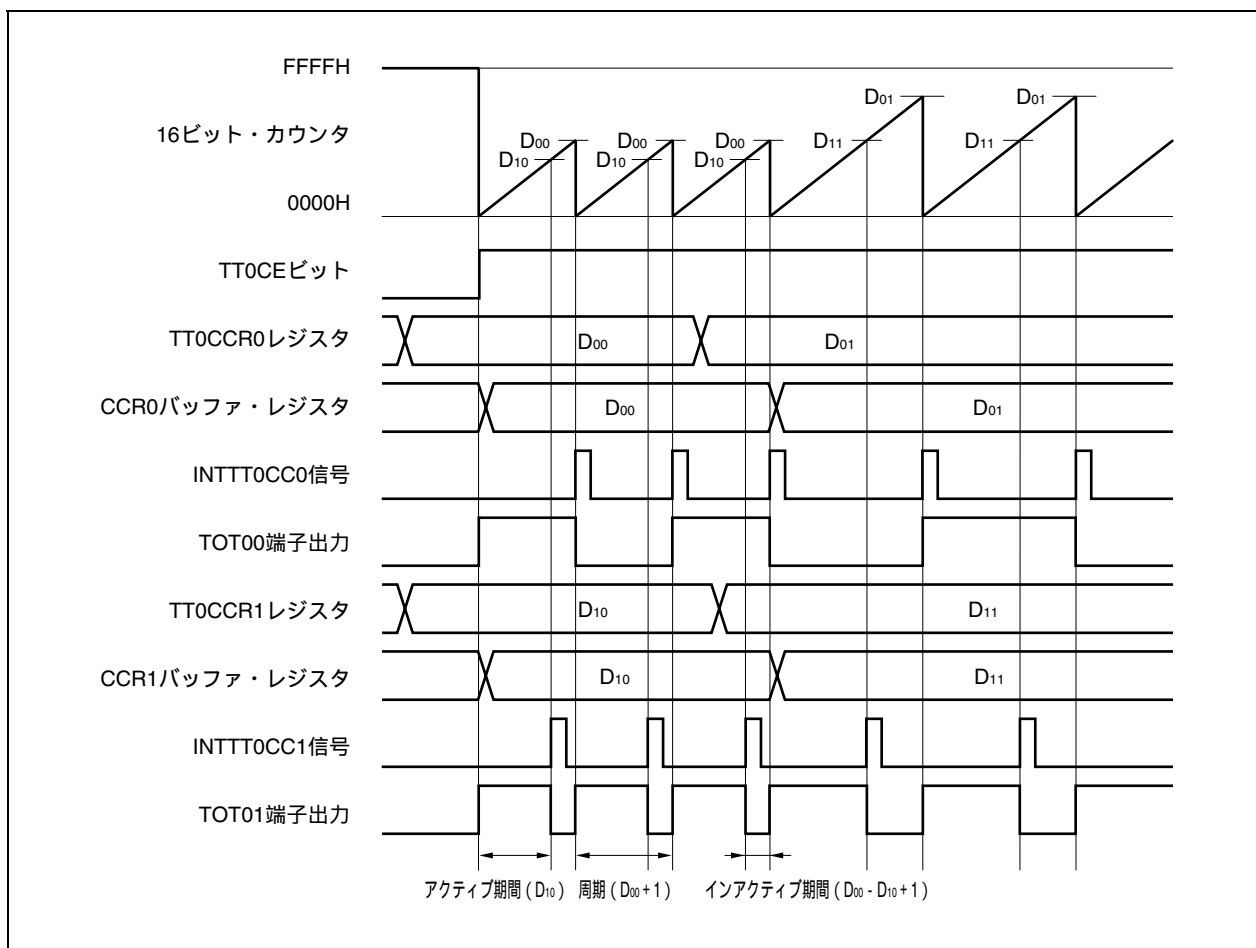


図9-30 PWM出力モードの基本タイミング



TT0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOT01端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TT0CCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TT0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TT0CCR1レジスタの設定値}) / (\text{TT0CCR0レジスタの設定値} + 1)$$

動作中にTT0CCRnレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTT0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTT0CC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TT0CCRnレジスタに設定した値は、16ビット・カウンタのカウント値とCCRnバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRnバッファ・レジスタに転送されます。

備考 n = 0, 1

図9 - 31 PWM出力モード動作時のレジスタ設定内容 (1/2)

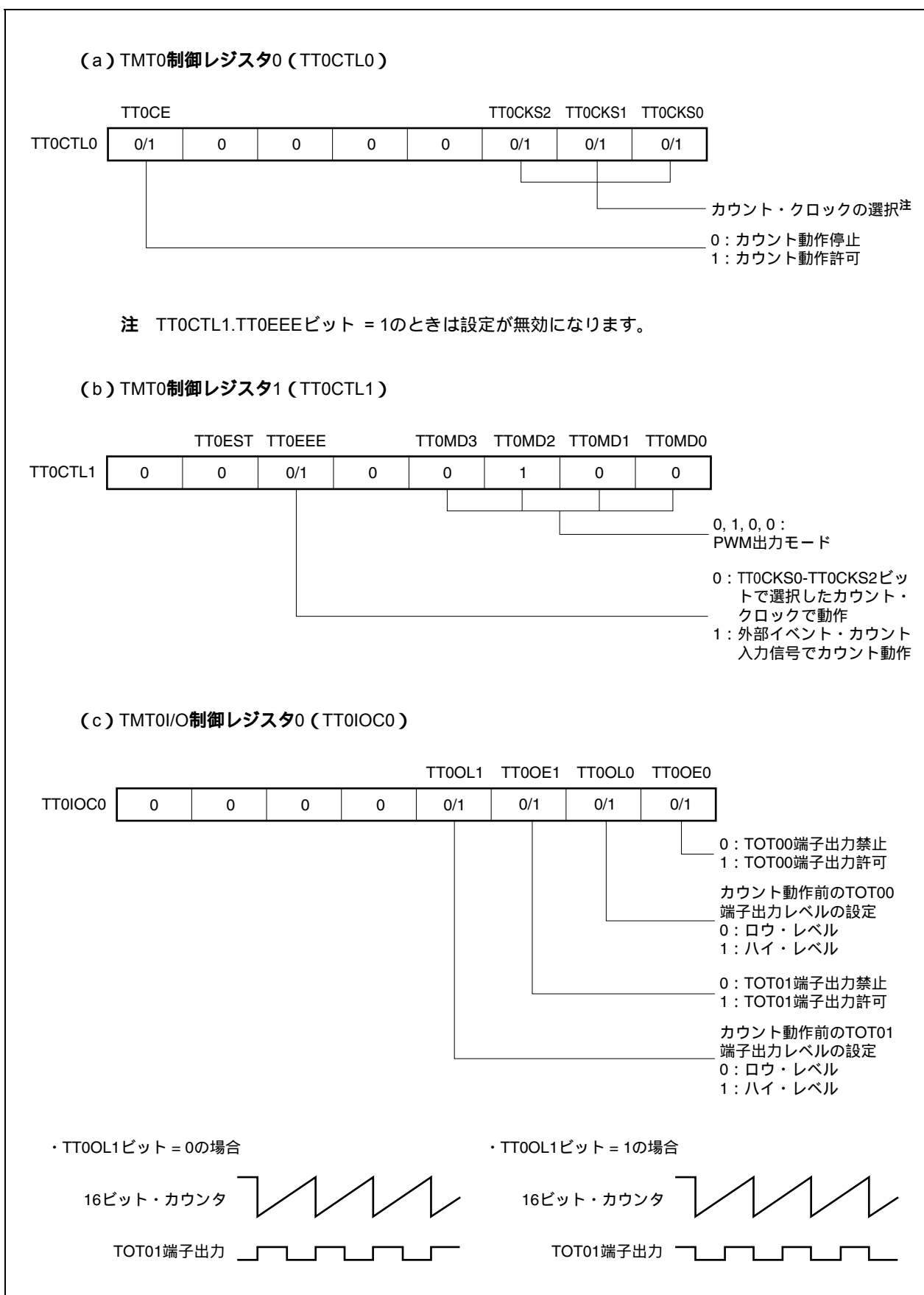
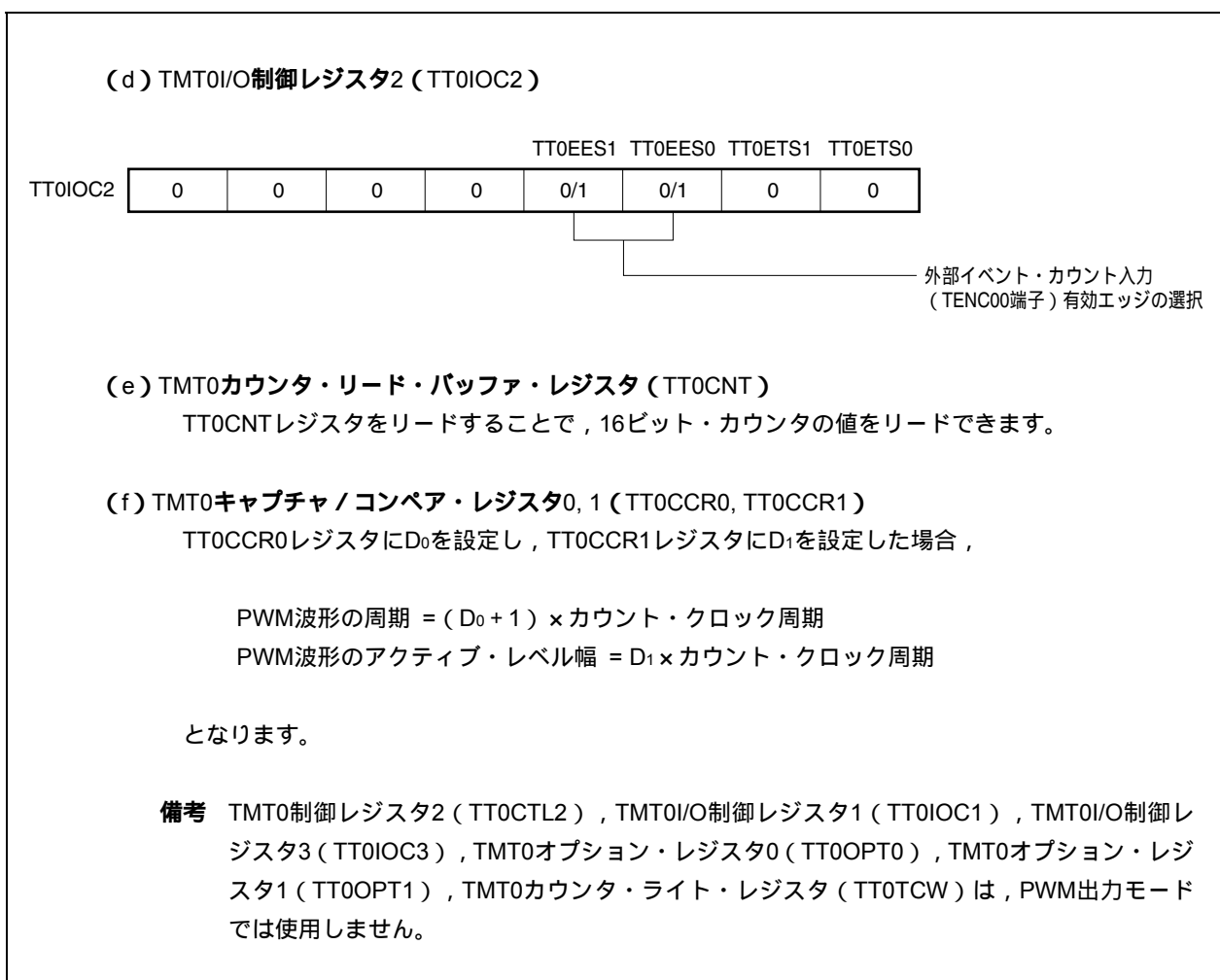


図9 - 31 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図9 - 32 PWM出力モード使用時のソフトウェア処理フロー (1/2)

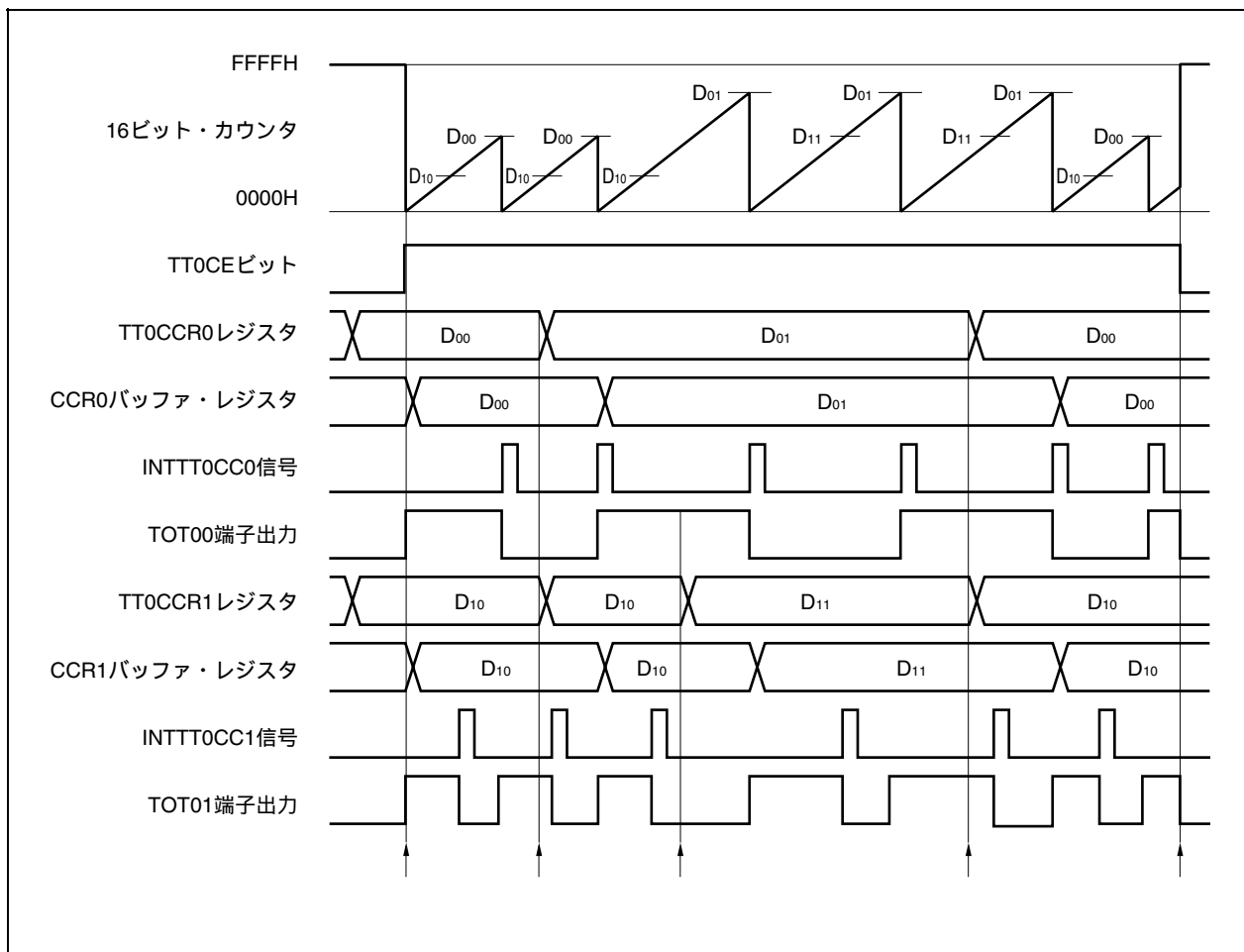
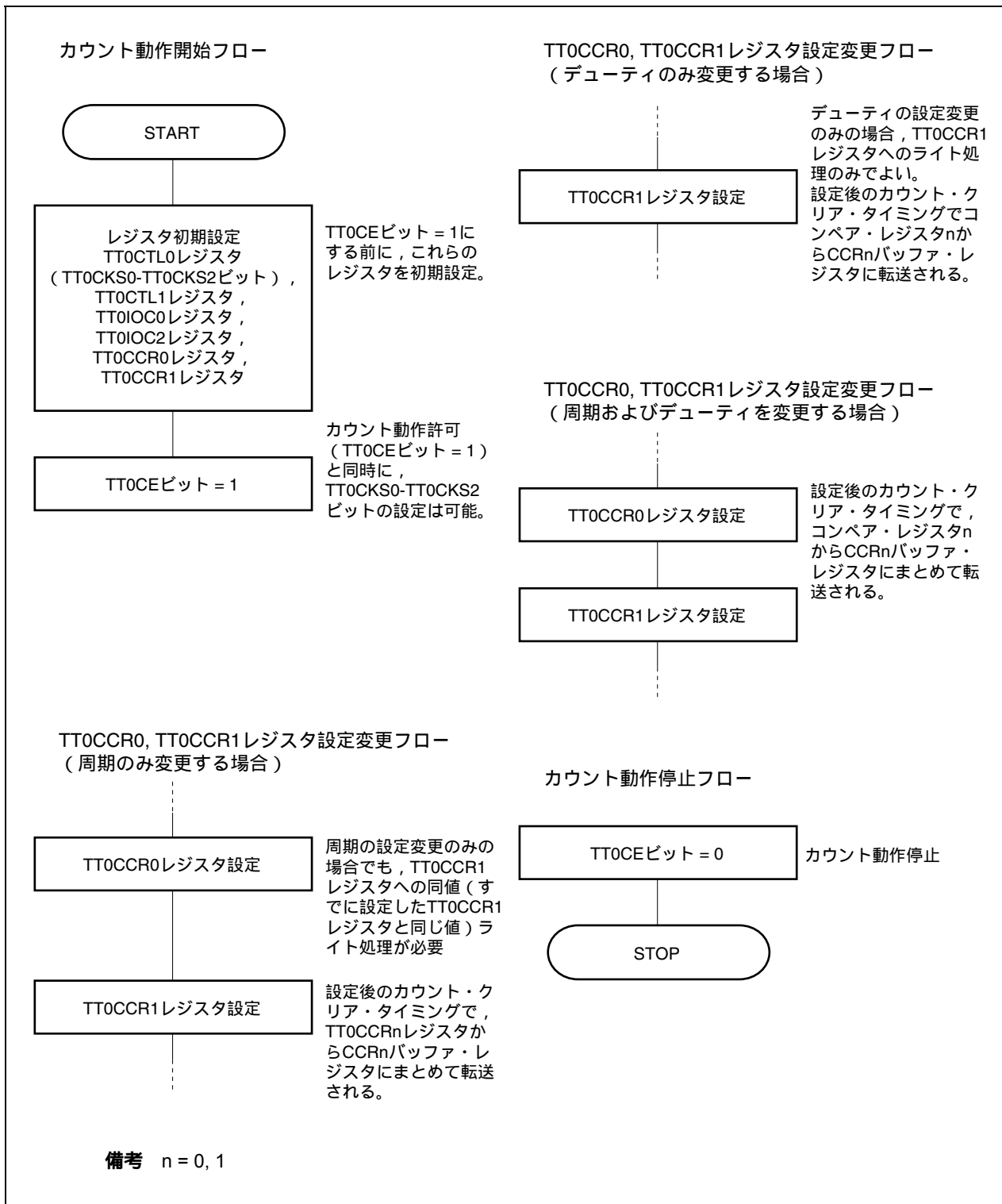


図9 - 32 PWM出力モード使用時のソフトウェア処理フロー (2/2)

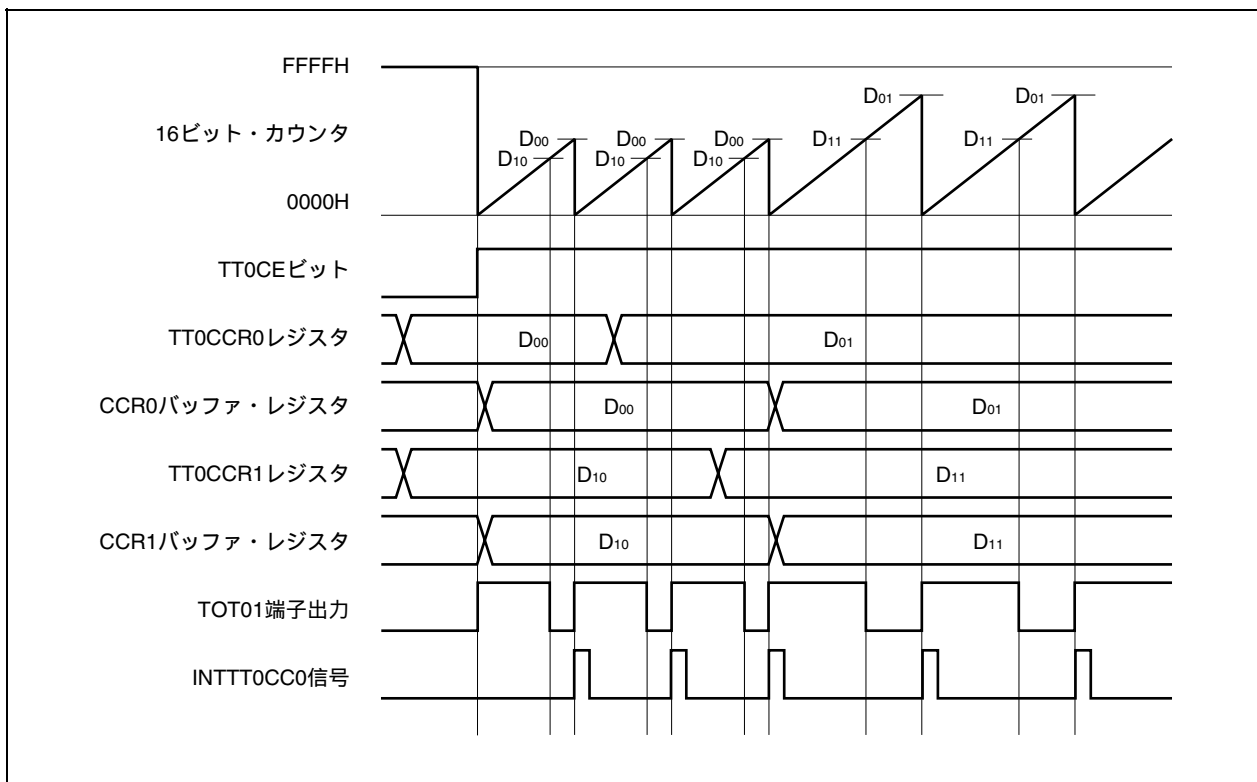


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTT0CCR1レジスタにライトしてください。

TT0CCR1レジスタにライト後、再度TT0CCRnレジスタの書き換えを行う場合には、INTTT0CC1信号を検出後に書き換えてください。



TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送を行うためには、TT0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタに同値（すでに設定したTT0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TT0CCR1レジスタのみの設定でかまいません。

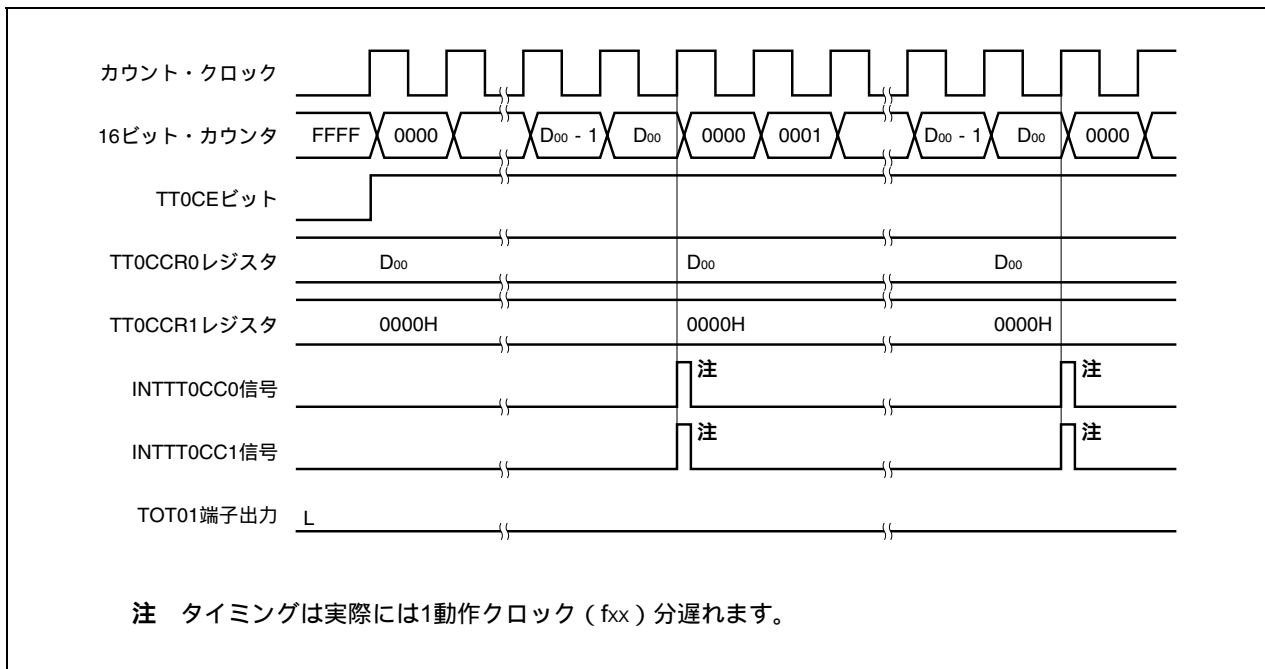
TT0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TT0CCRnレジスタに書き込まれた値がCCRnバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TT0CCR1レジスタにライトしたあとで、再度TT0CCR0、またはTT0CCR1レジスタへのライトを行う場合は、INTTT0CC0信号の発生後に行ってください。これを守れない場合には、TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送タイミングと、TT0CCRnレジスタの書き換えの競合により、CCRnバッファ・レジスタの値が不定値になる場合があります。

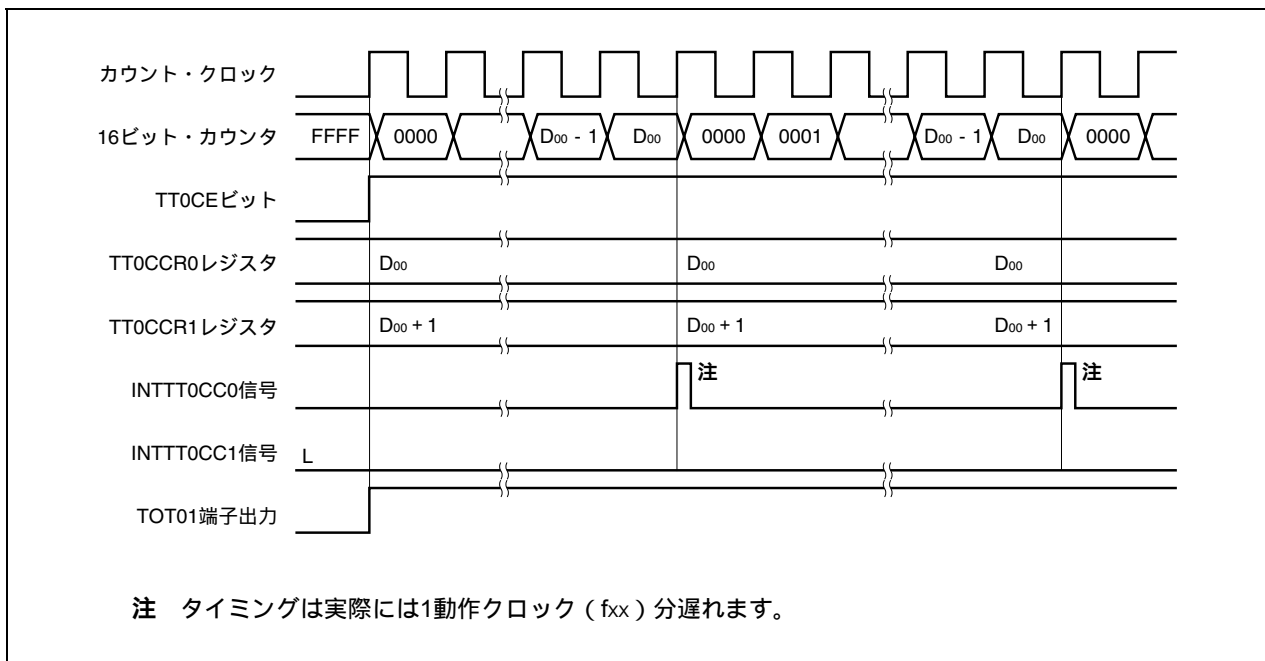
備考 n = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TT0CCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTT0CC0信号とINTTT0CC1信号が発生します。

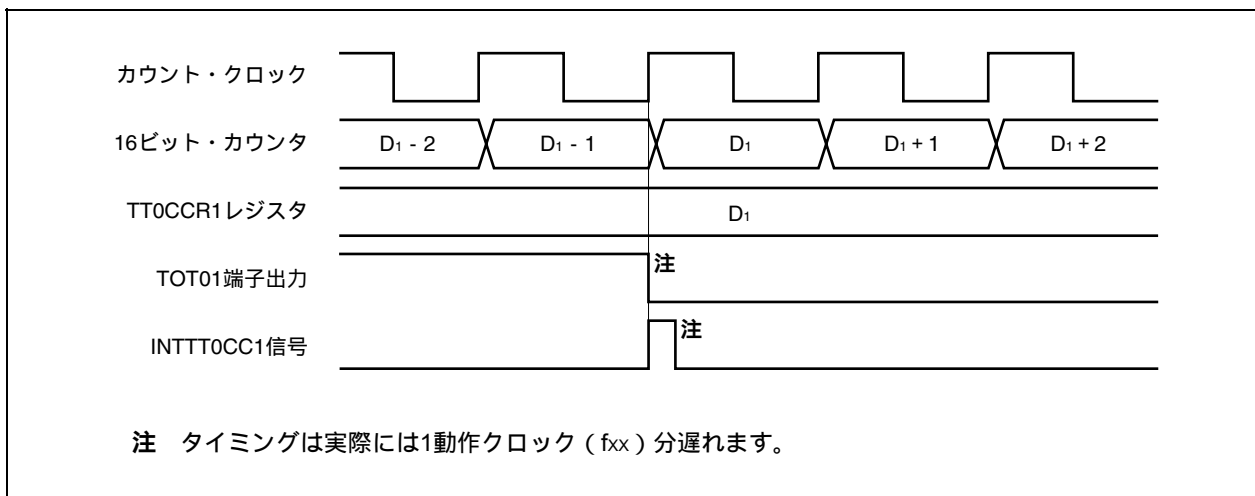


100 % 波形を出力するためには、TT0CCR1レジスタに対して (TT0CCR0レジスタの設定値 + 1) の値を設定してください。TT0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTT0CC1) の発生タイミング

PWM出力モードにおけるINTTT0CC1信号の発生タイミングは、ほかのモードのINTTT0CC1信号と異なり、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値との一致と同時に発生します。



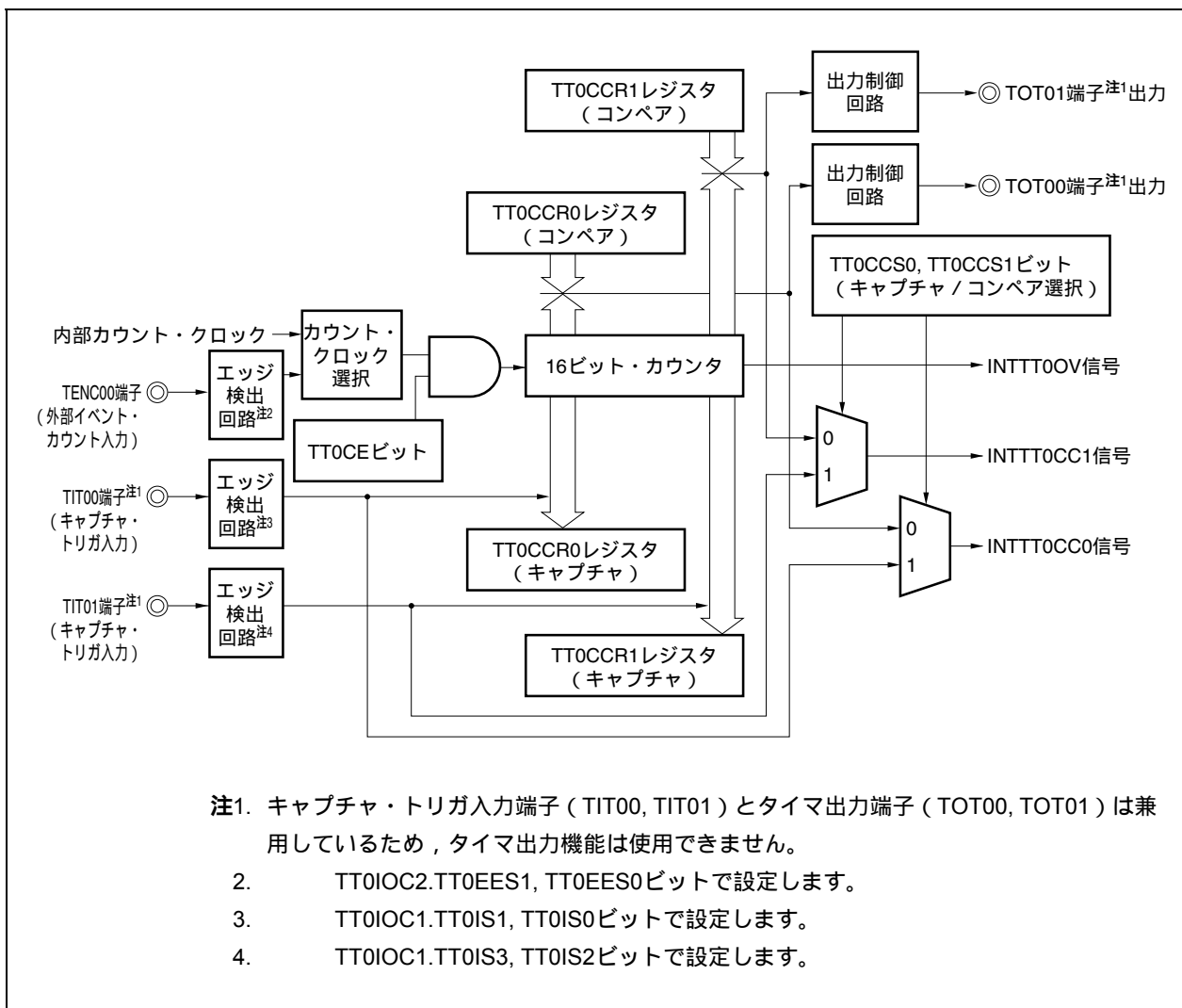
通常、INTTT0CC1信号は、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOT01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.6 フリー・ランニング・タイマ・モード (TT0MD3-TT0MD0ビット = 0101)

フリー・ランニング・タイマ・モードは、TT0CTL0.TT0CEビットをセット(1)することでカウント動作を開始します。このときのTT0CCR0, TT0CCR1レジスタの動作は、TT0OPT0.TT0CCS0, TT0CCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図9-33 フリー・ランニング・タイマ・モードの構成図



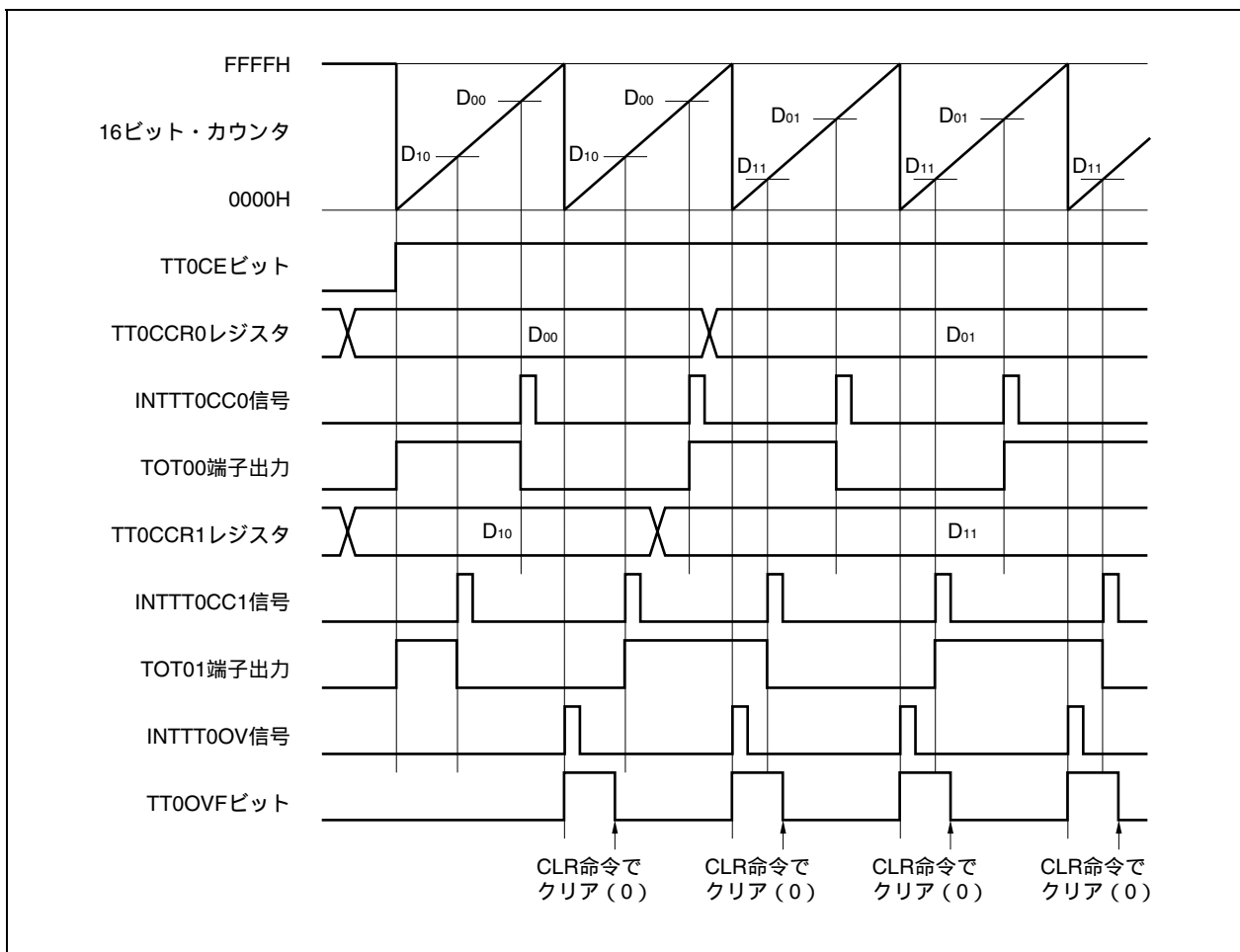
・コンペア動作

TT0CEビットをセット(1)することで、カウント動作を開始し、TOT0n端子出力を反転します。その後、16ビット・カウンタのカウント値とTT0CCRnレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTT0CCn)を発生し、TOT0n端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTT0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TT0OPT0.TT0OVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

TT0CCRnレジスタは、カウント動作中の書き換えを許可しています。書き換えした場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図9-34 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TT0CEビットをセット(1)することで、カウント動作を開始します。その後、TIT0n端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTT0CCRnレジスタに格納し、キャプチャ割り込み要求信号(INTTT0CCn)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTT0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TT0OPT0.TT0OVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されていることを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

図9-35 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

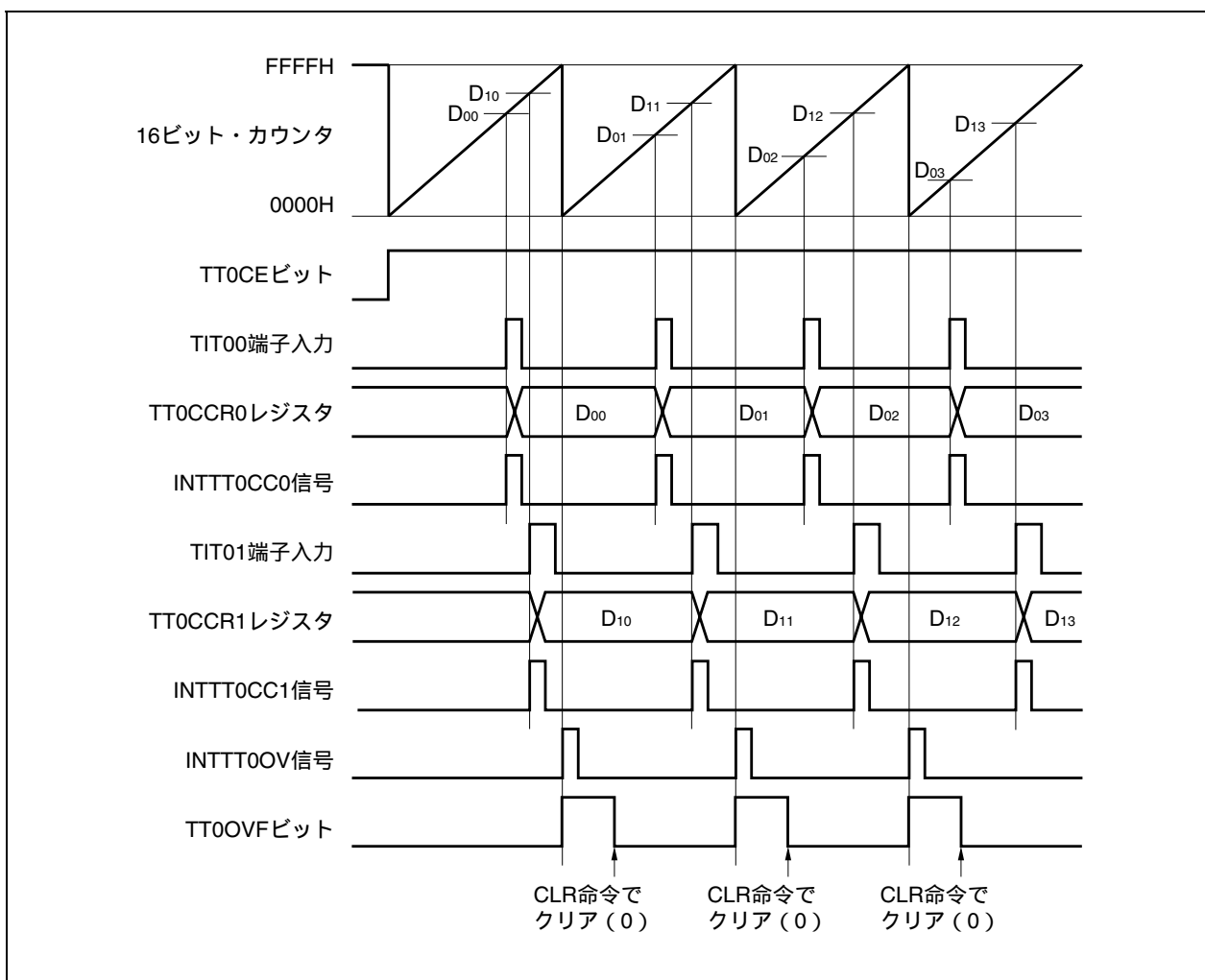


図9 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/2)

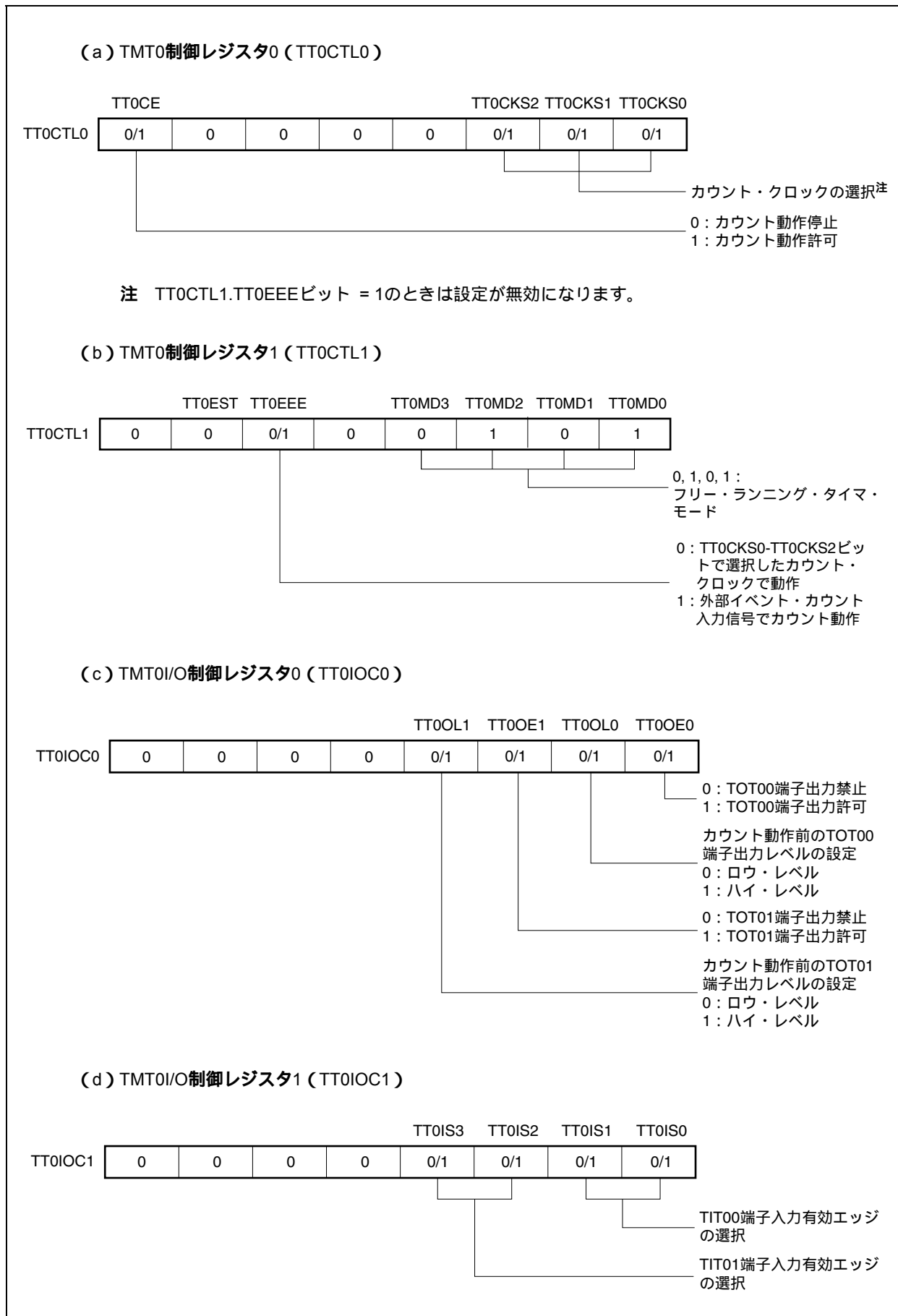
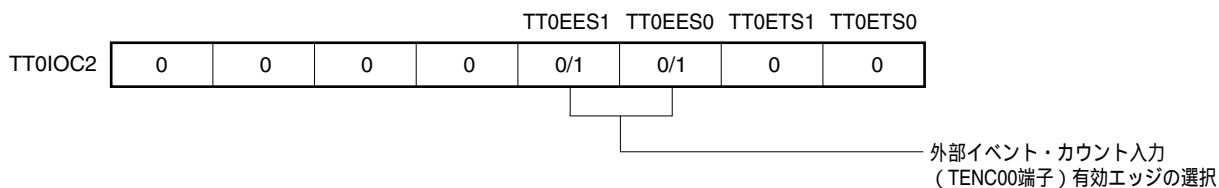
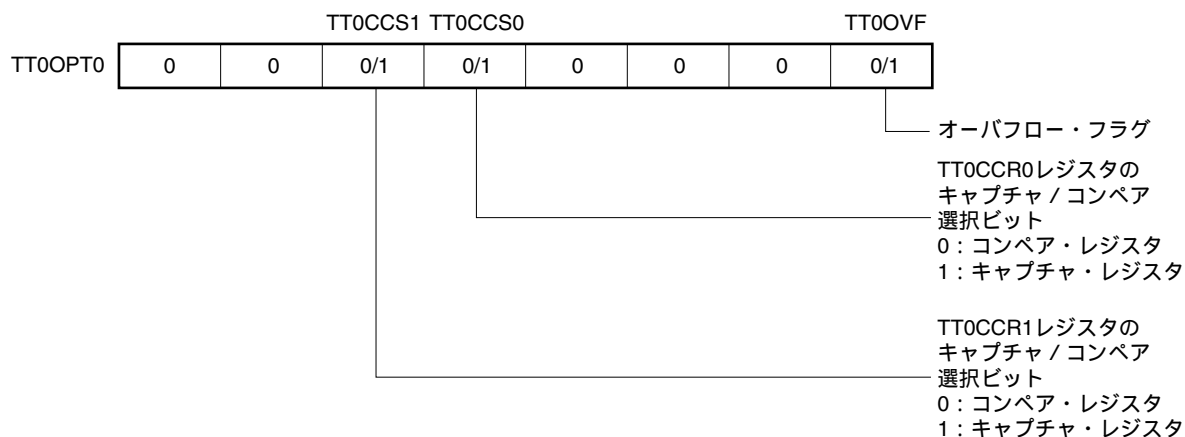


図9-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

(e) TMT0I/O制御レジスタ2 (TT0IOC2)



(f) TMT0オプション・レジスタ0 (TT0OPT0)



(g) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMT0キャプチャ/コンペア・レジスタ0, 1 (TT0CCR0, TT0CCR1)

TT0OPT0.TT0CCSnビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIT0n端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

コンペア・レジスタとして動作する場合には、TT0CCRnレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTT0CCn信号を発生し、TOT00, TOT01端子出力を反転します。

備考 n = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図9-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

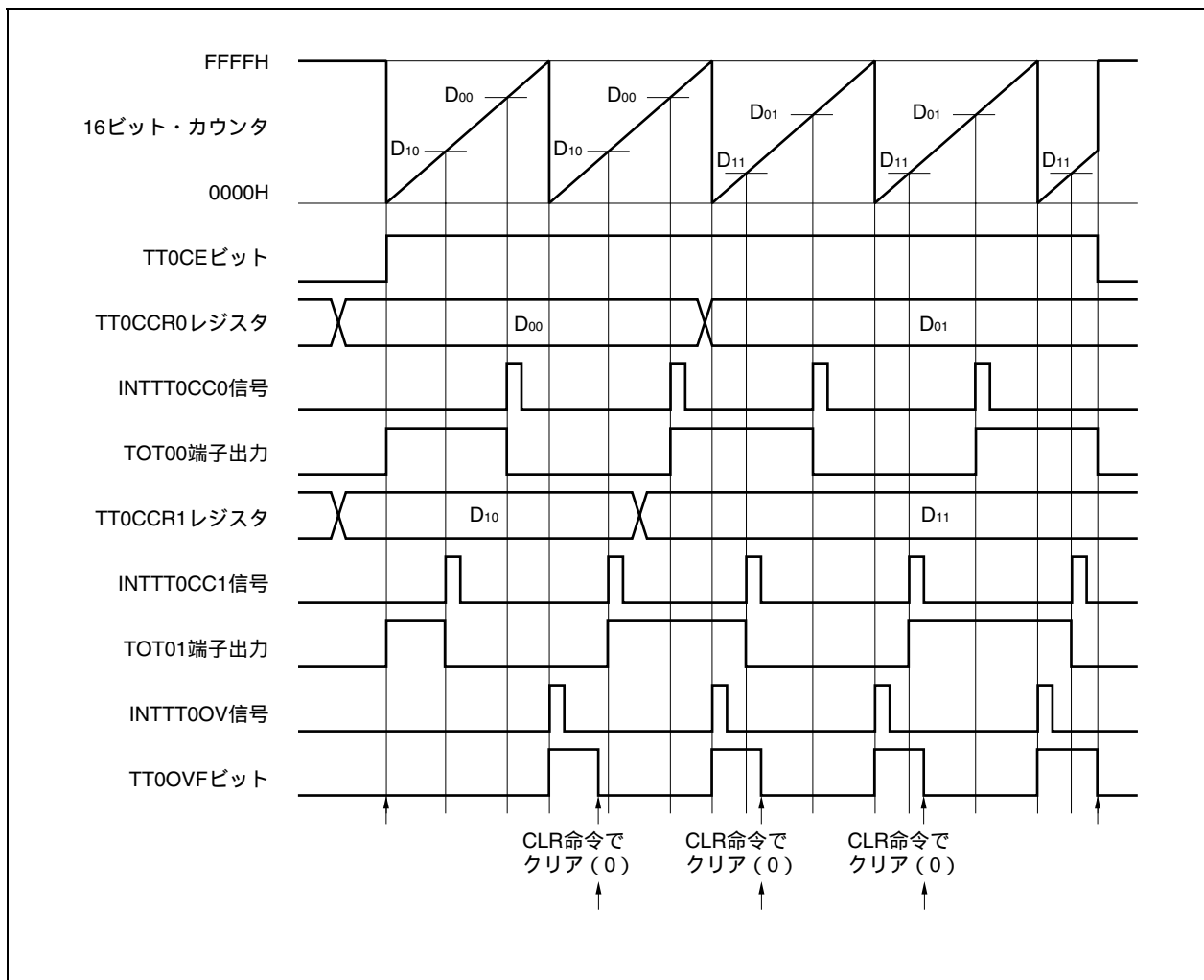
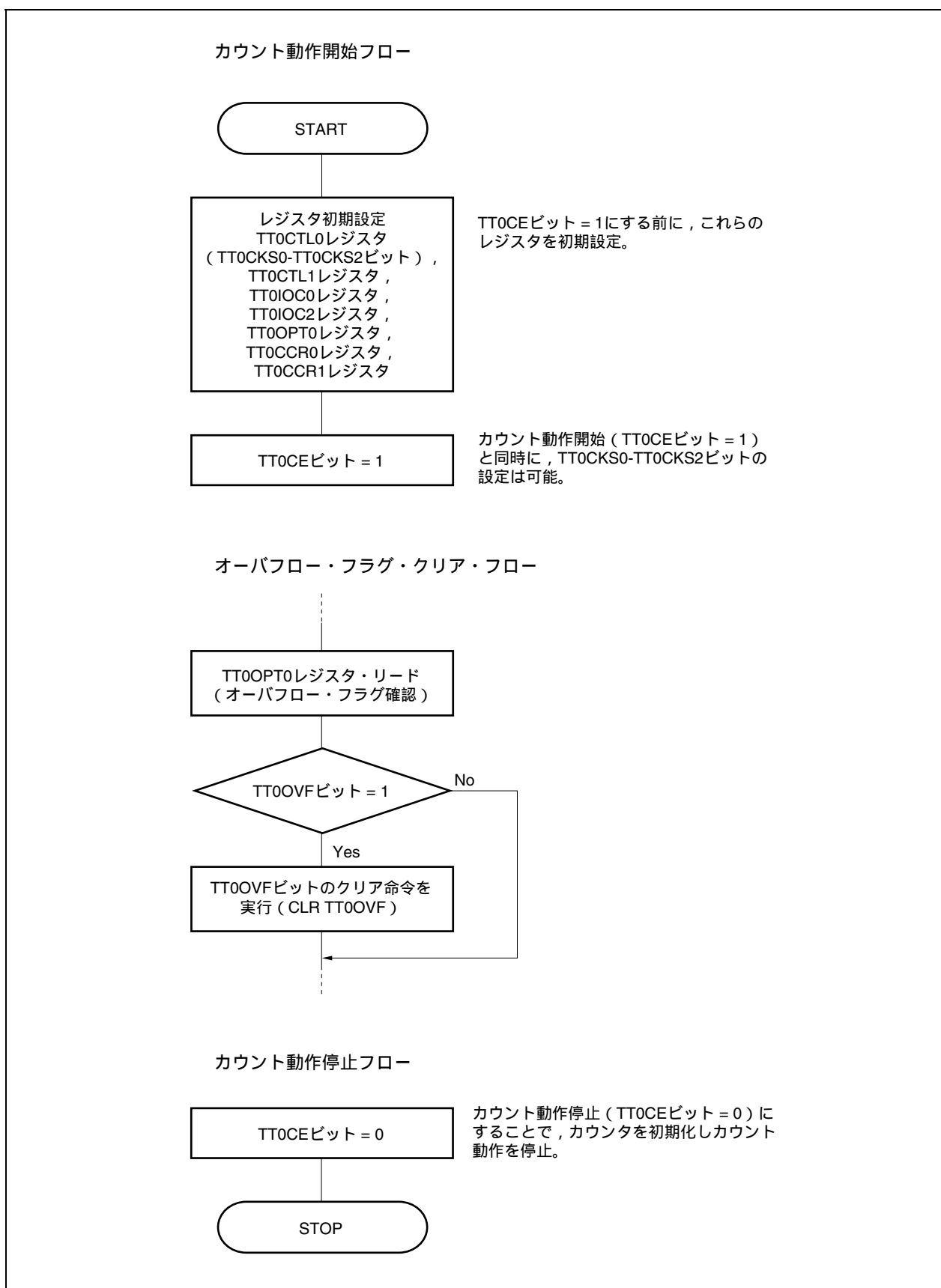


図9 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図9 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

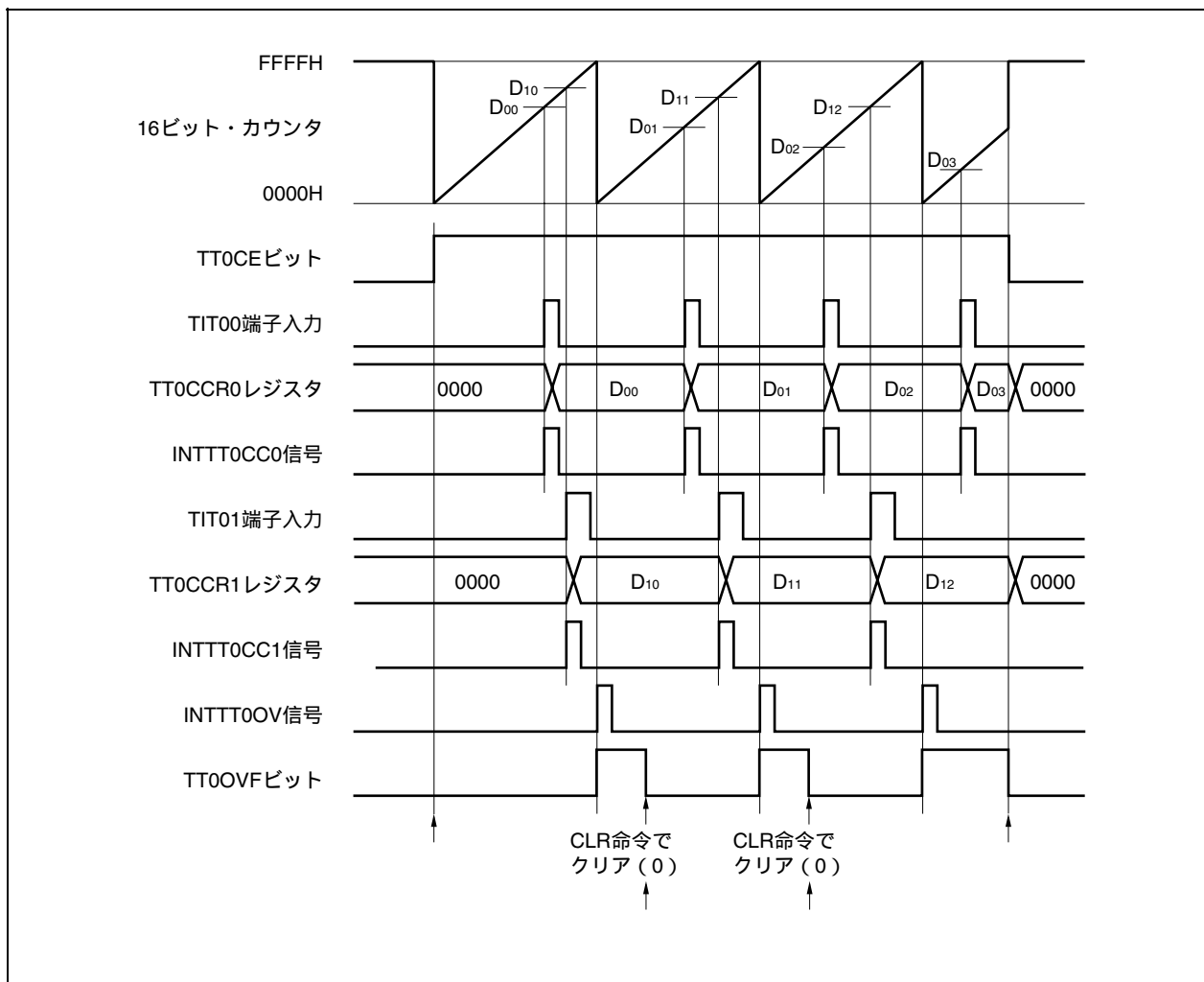
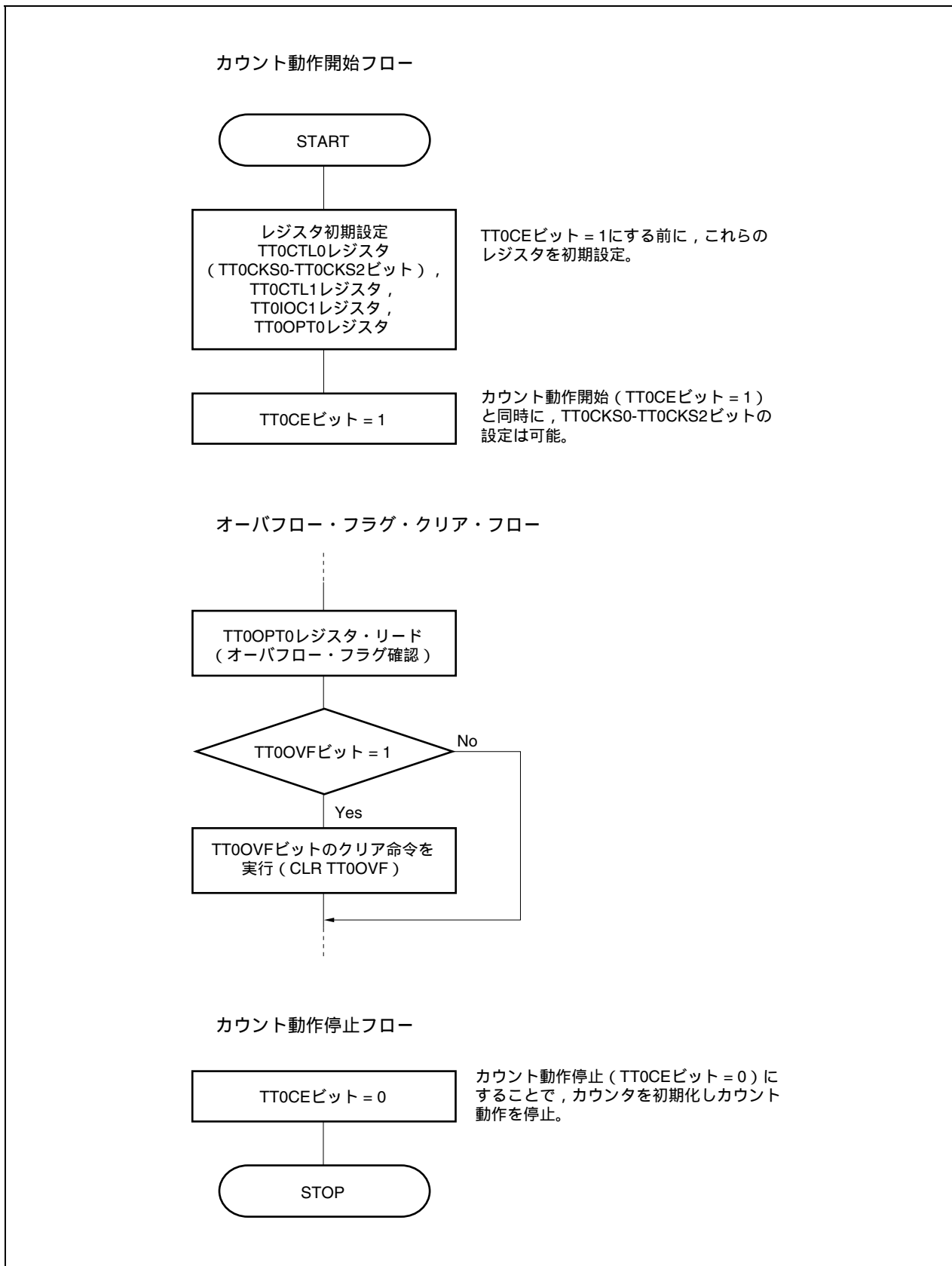


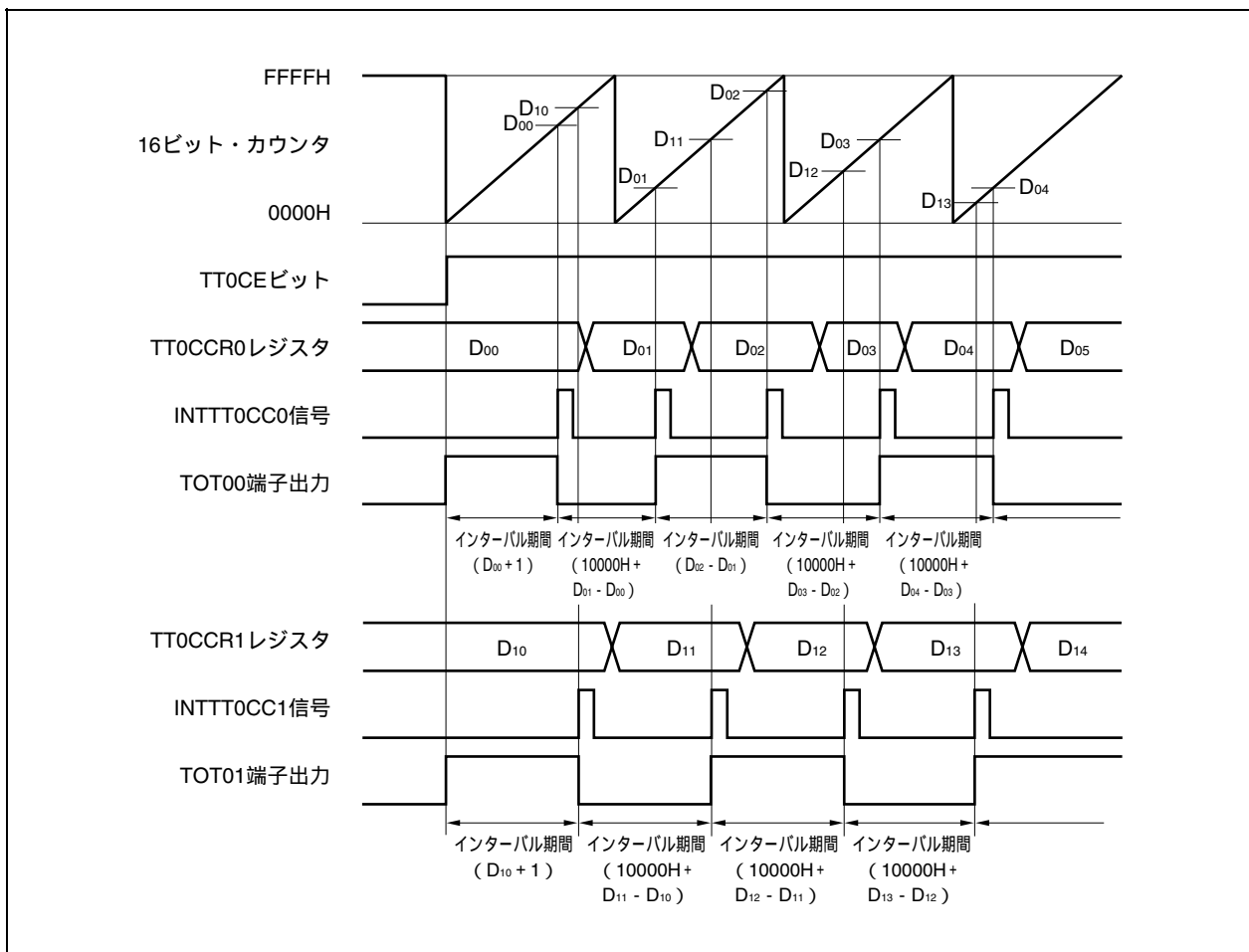
図9 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TT0CCRnレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTT0CCn信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTT0CCn信号を検出したときの割り込み処理中に、対応するTT0CCRnレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“D_a”とすると、次のように求められます。

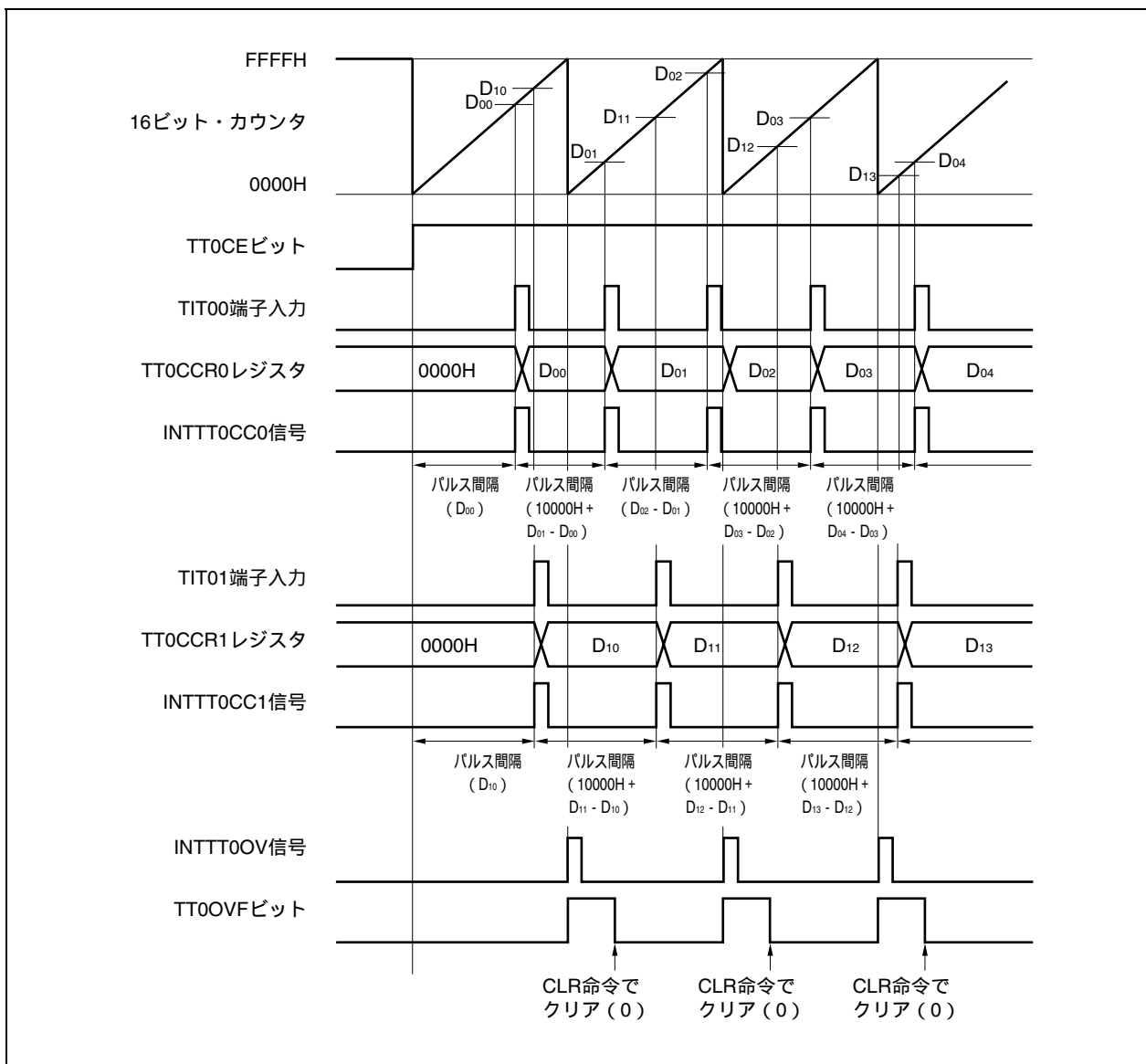
コンペア・レジスタ初期値 : D_a - 1

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TT0CCRnレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTT0CCn信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。

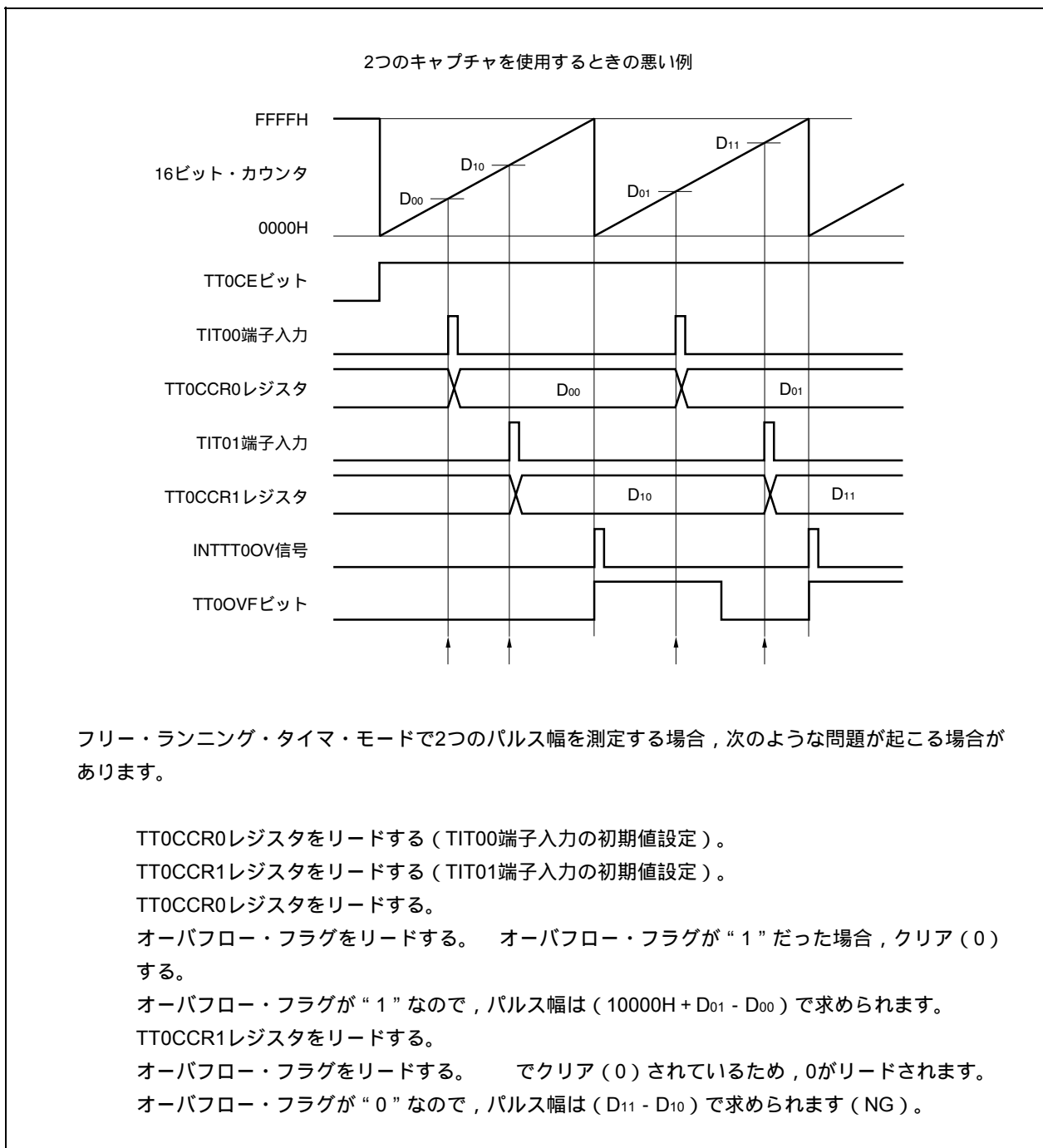


フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTT0CCn信号に同期してTT0CCRnレジスタの値をリードし、同一キャプチャ・レジスタの前回のリード・データとの差分を求めることでパルス幅を算出できます。

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

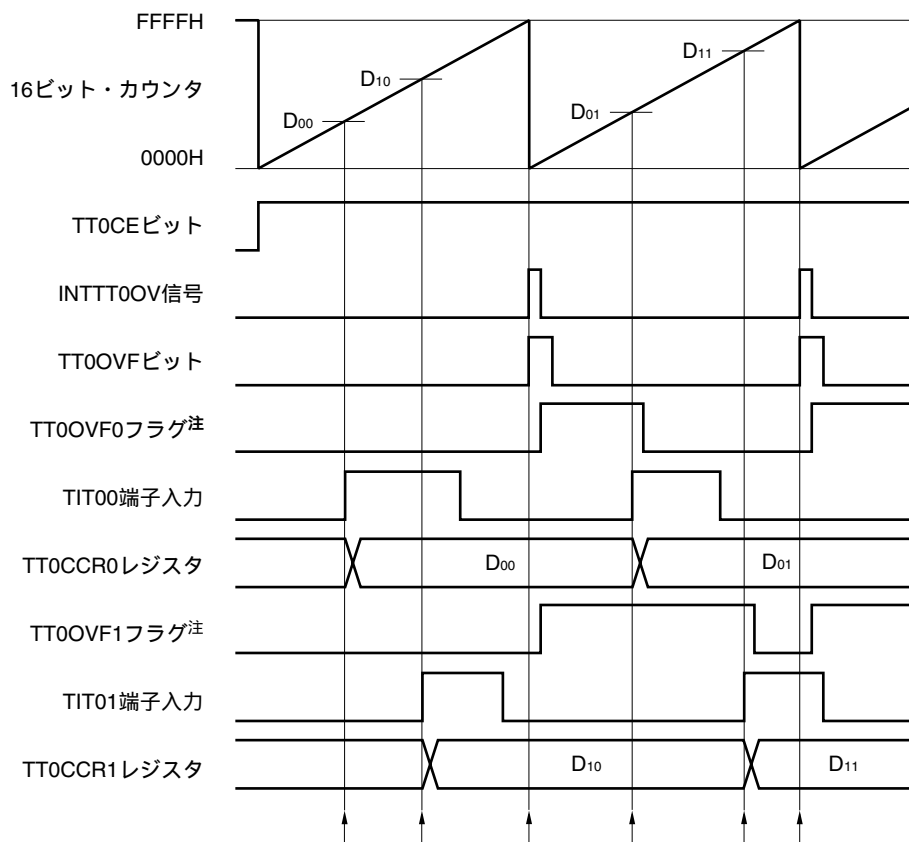
2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TT0OVF0, TT0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TT0CCR0レジスタをリードする (TIT00端子入力の初期値設定)。

TT0CCR1レジスタをリードする (TIT01端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TT0OVF0, TT0OVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TT0CCR0レジスタをリードする。

TT0OVF0フラグをリードする。 TT0OVF0フラグが“1”だった場合、クリア (0) する。

TT0OVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

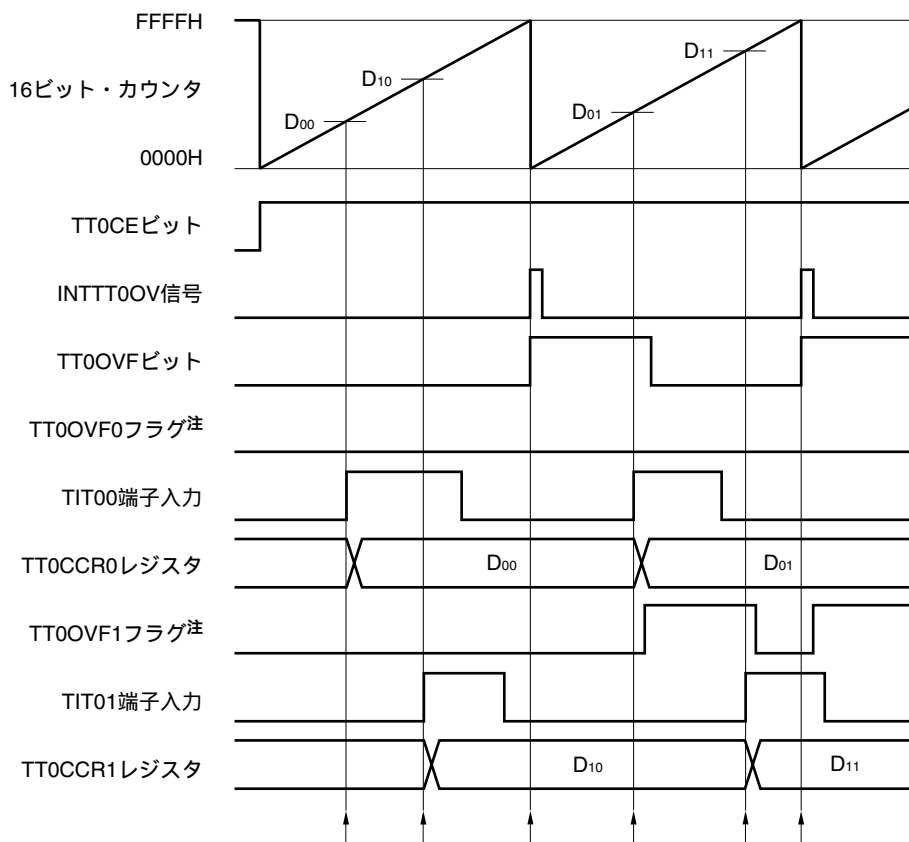
TT0CCR1レジスタをリードする。

TT0OVF1フラグをリードする。 TT0OVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTT0OVF0フラグであり、TT0OVF1フラグは“1”のまま)。

TT0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用しない）



注 TT0OVF0, TT0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TT0CCR0レジスタをリードする（TIT00端子入力の初期値設定）。

TT0CCR1レジスタをリードする（TIT01端子入力の初期値設定）。

オーバフローが発生する。ソフトウェアでは何もしない。

TT0CCR0レジスタをリードする。

オーバフロー・フラグをリードする。オーバフロー・フラグが“1”だった場合、TT0OVF1フラグのみをセット（1）し、オーバフロー・フラグをクリア（0）する。

オーバフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TT0CCR1レジスタをリードする。

オーバフロー・フラグをリードする。オーバフロー・フラグは でクリア（0）されているので“0”がリードされる。

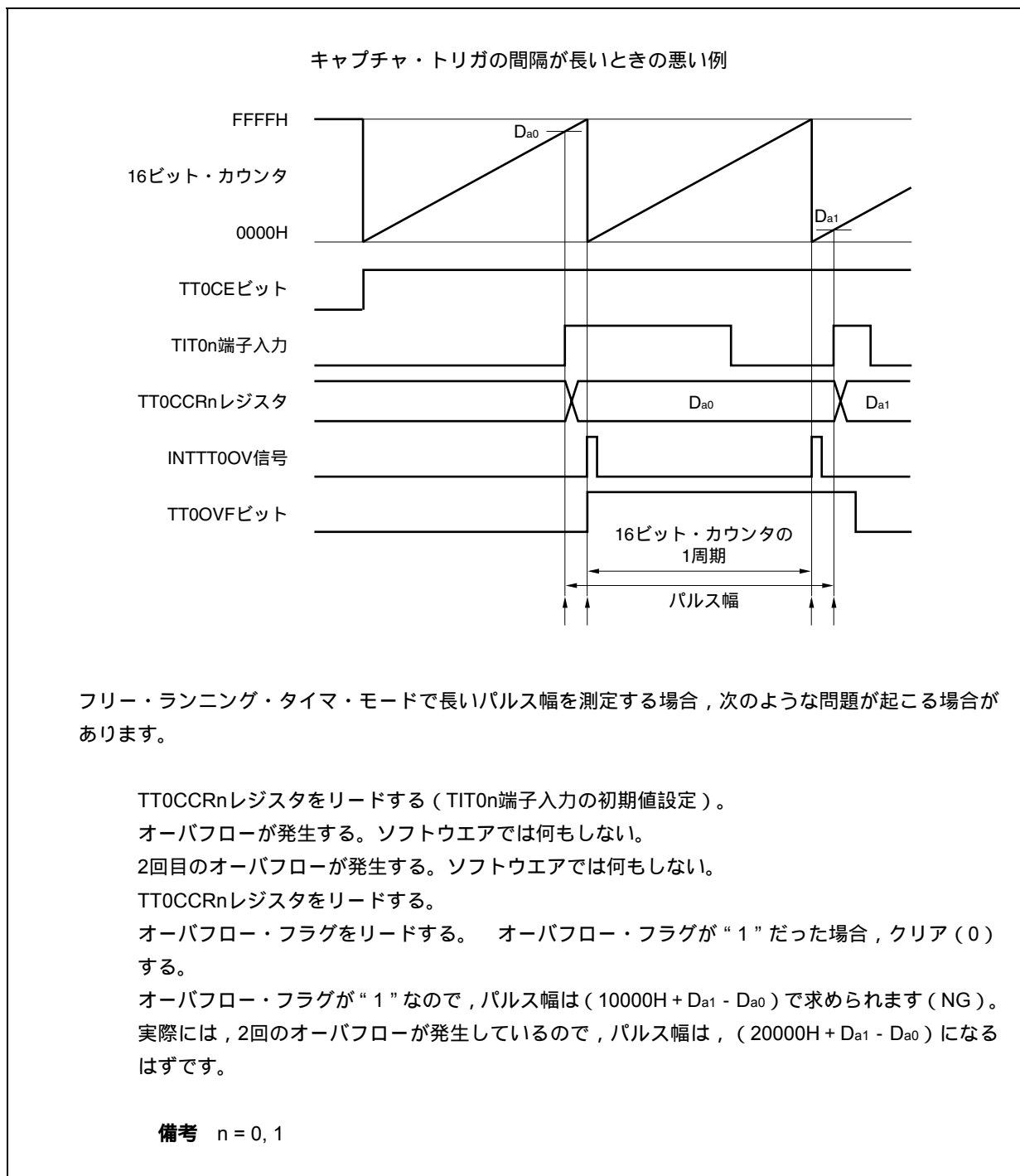
TT0OVF1フラグをリードする。TT0OVF1フラグが“1”だった場合、クリア（0）する。

TT0OVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

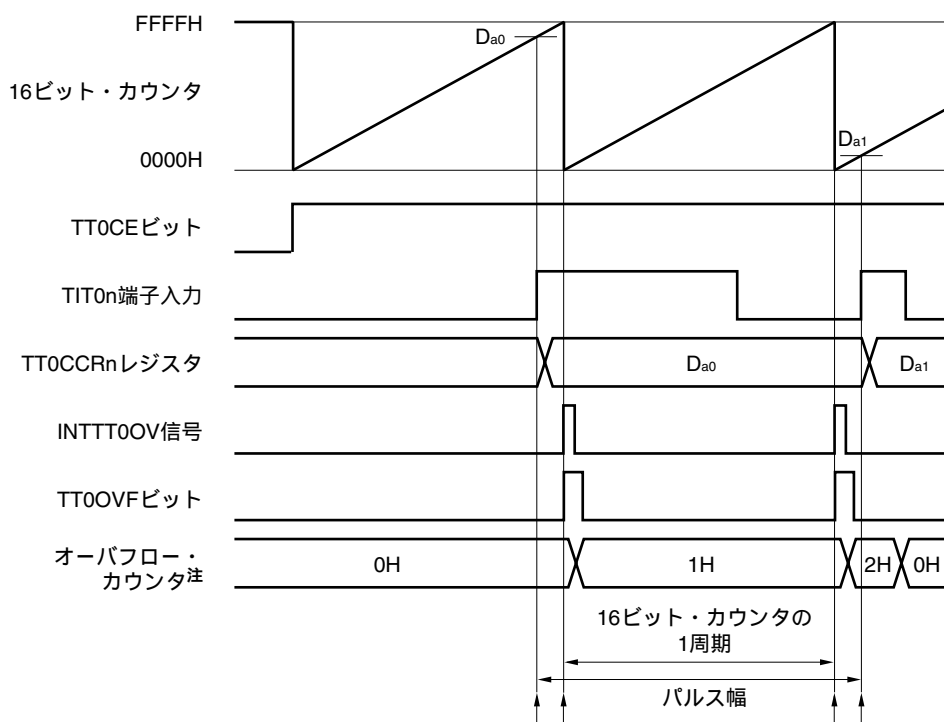
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TT0CCRnレジスタをリードする (TIT0n端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TT0CCRnレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + Da1 - Da0)$ で求められる。
この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + Da1 - Da0)$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 n = 0, 1

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TT0OVFビット = 1をリードしたあとにTT0OVFビットをCLR命令でクリア (0) する方法と、TT0OVFビット = 1をリードしたあとにTT0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

9.6.7 パルス幅測定モード (TT0MD3-TT0MD0ビット = 0110)

パルス幅測定モードは、TT0CTL0.TT0CEビットをセット(1)することでカウント動作を開始し、TIT0n端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTT0CCRnレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTT0CCn)が発生したあと、TT0CCRnレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図9-39のような場合は、キャプチャ・トリガ入力端子としてTIT00, TIT01端子のいずれか1本を使用し、使用しない端子はTT0IOC1レジスタで“エッジ検出なし”に設定してください。

図9-39 パルス幅測定モードの構成図

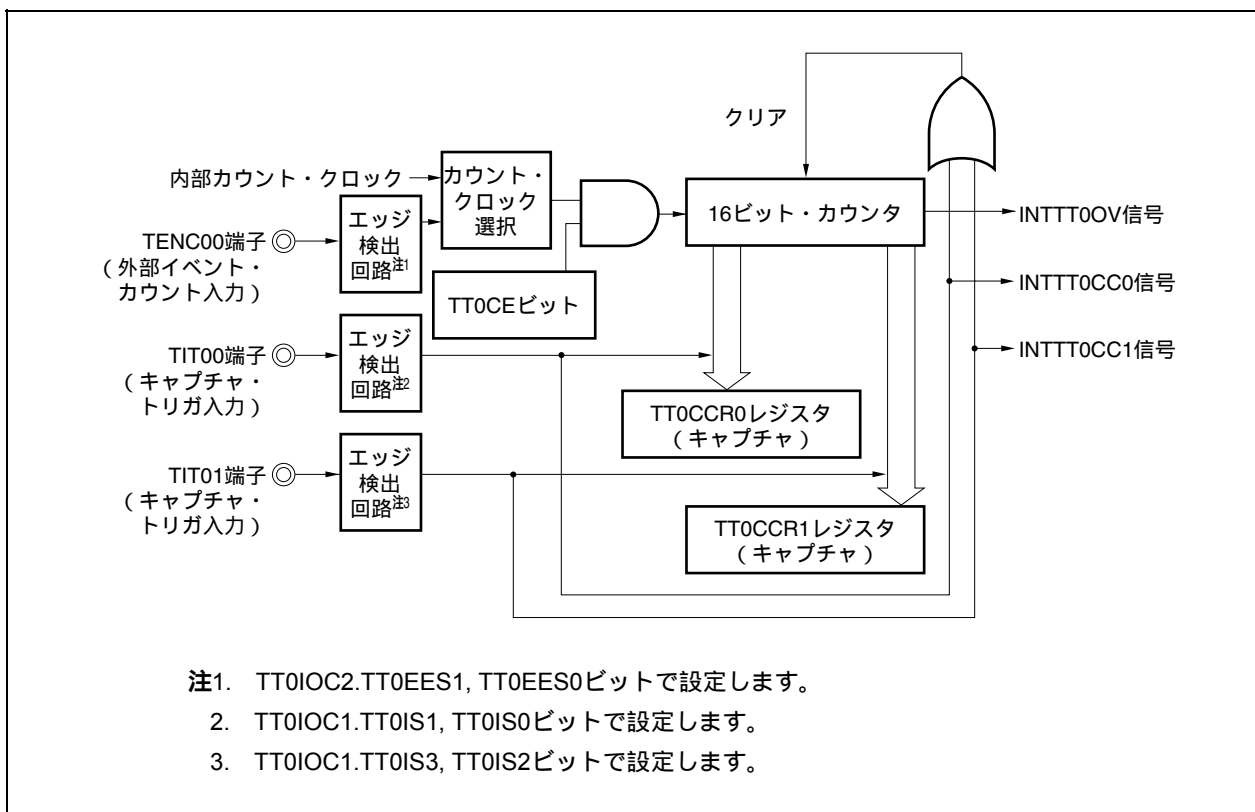
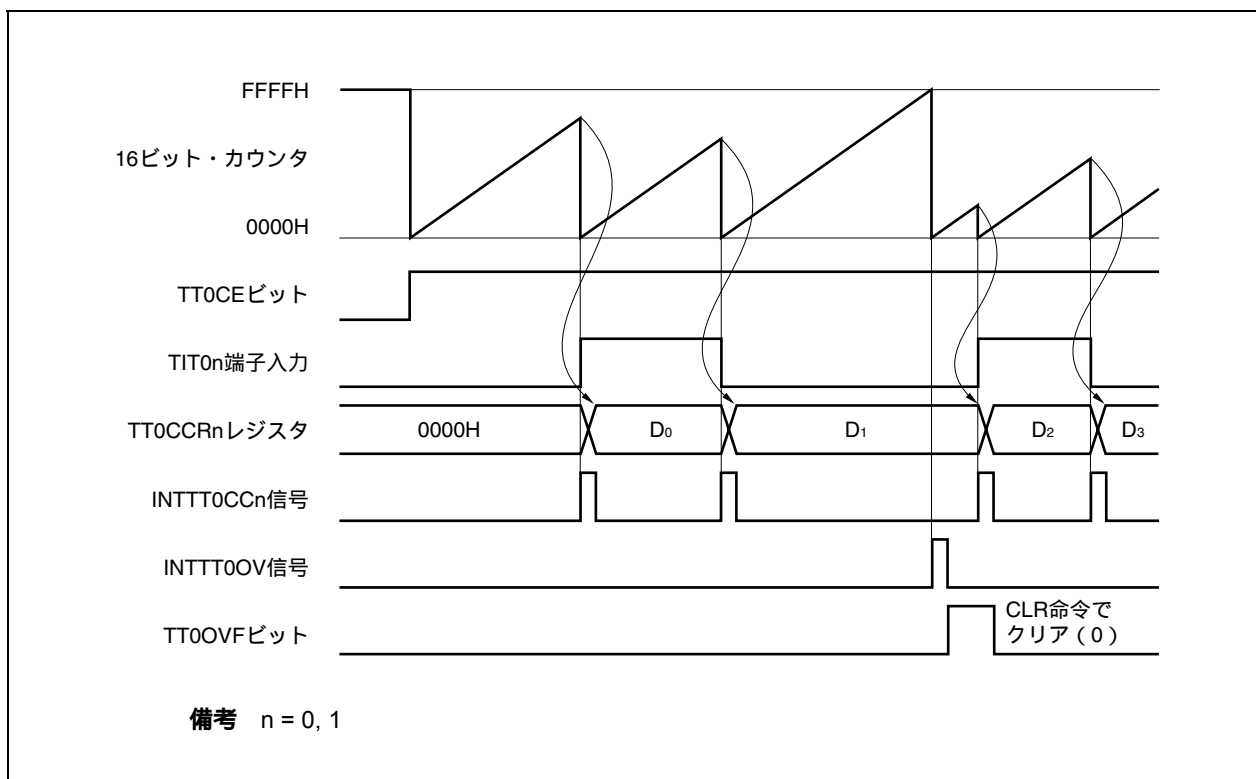


図9-40 パルス幅測定モードの基本タイミング



TT0CEビットをセット(1)することで、カウント動作を開始します。その後、TIT0n端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTT0CCRnレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTT0CCn)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTT0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TT0OPT0.TT0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TT0OVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0, 1

図9-41 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

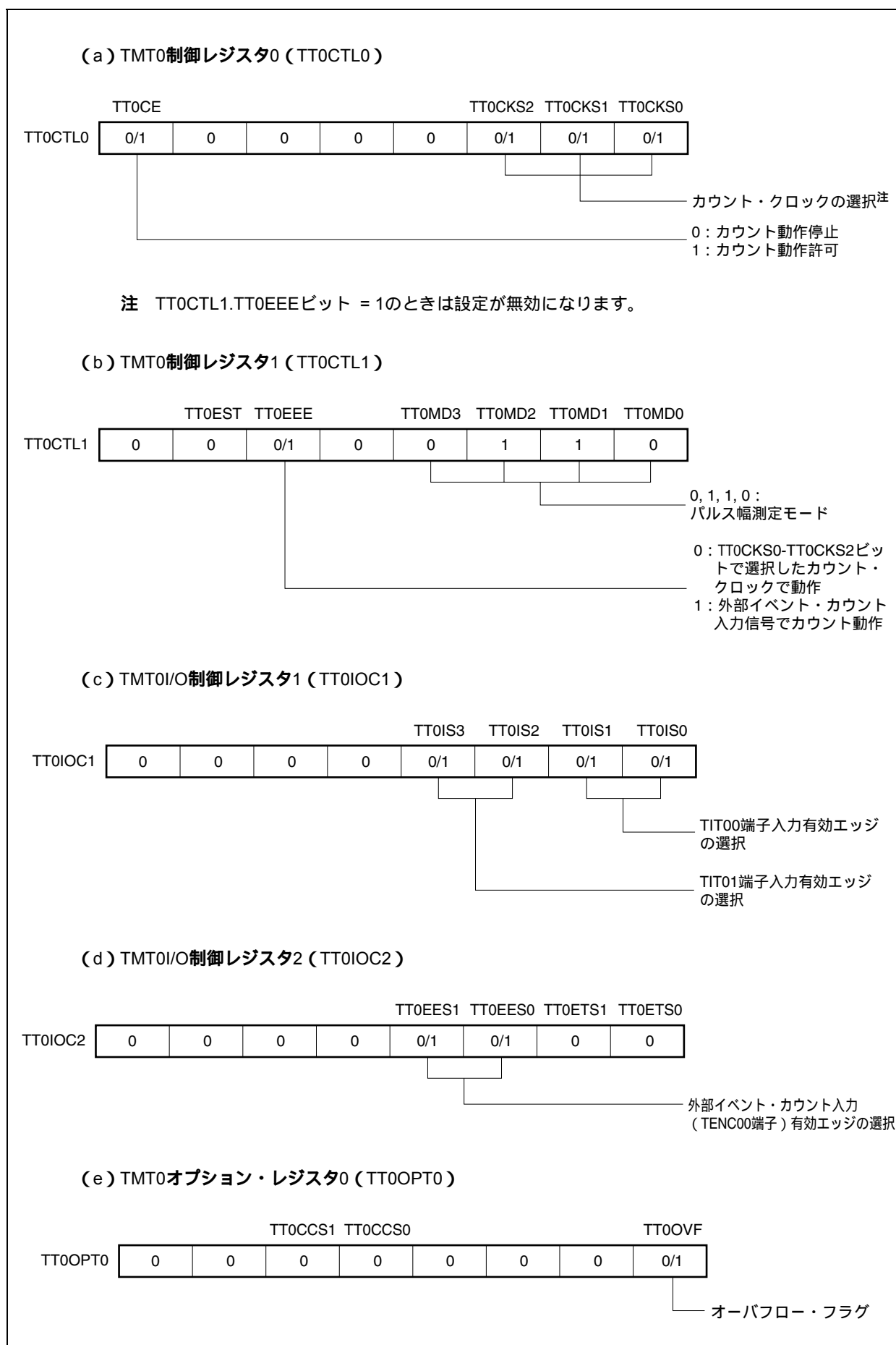


図9 - 41 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(f) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

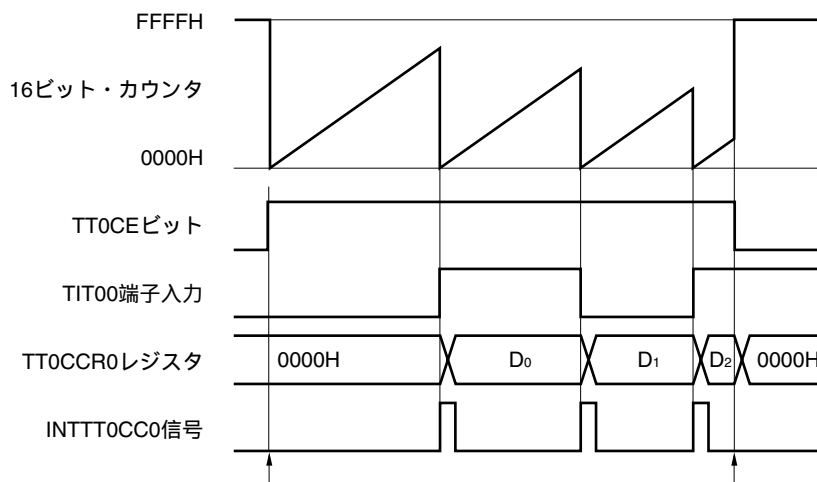
(g) TMT0キャプチャ/コンペア・レジスタ0, 1 (TT0CCR0, TT0CCR1)

TIT00, TIT01端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

備考 パルス幅測定モードでは、TMT0制御レジスタ2 (TT0CTL2)、TMT0I/O制御レジスタ0 (TT0IOC0)、TMT0I/O制御レジスタ3 (TT0IOC3)、TMT0オプション・レジスタ1 (TT0OPT1)、TMT0カウンタ・ライト・レジスタ (TT0TCW) は使用しません。

(1) パルス幅測定モード動作フロー

図9 - 42 パルス幅測定モード使用時のソフトウェア処理フロー



カウント動作開始フロー



(2) パルス幅測定モード動作タイミング**(a) オーバフロー・フラグのクリア方法**

オーバフロー・フラグをクリア(0)する方法は、TT0OVFビット = 1をリードしたあとにTT0OVFビットをCLR命令でクリア(0)する方法と、TT0OVFビット = 1をリードしたあとにTT0OPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

9.6.8 三角波PWM出力モード (TT0MD3-TT0MD0ビット = 0111)

三角波PWM出力モードは、TT0CTL0.TT0CEビットをセット(1)することで、TOT01端子から三角波PWM波形を出力します。

また、TOT00端子から、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致したタイミングと、16ビット・カウンタが0000Hのタイミングで反転するPWM波形を出力します。

図9 - 43 三角波PWM出力モードの構成図

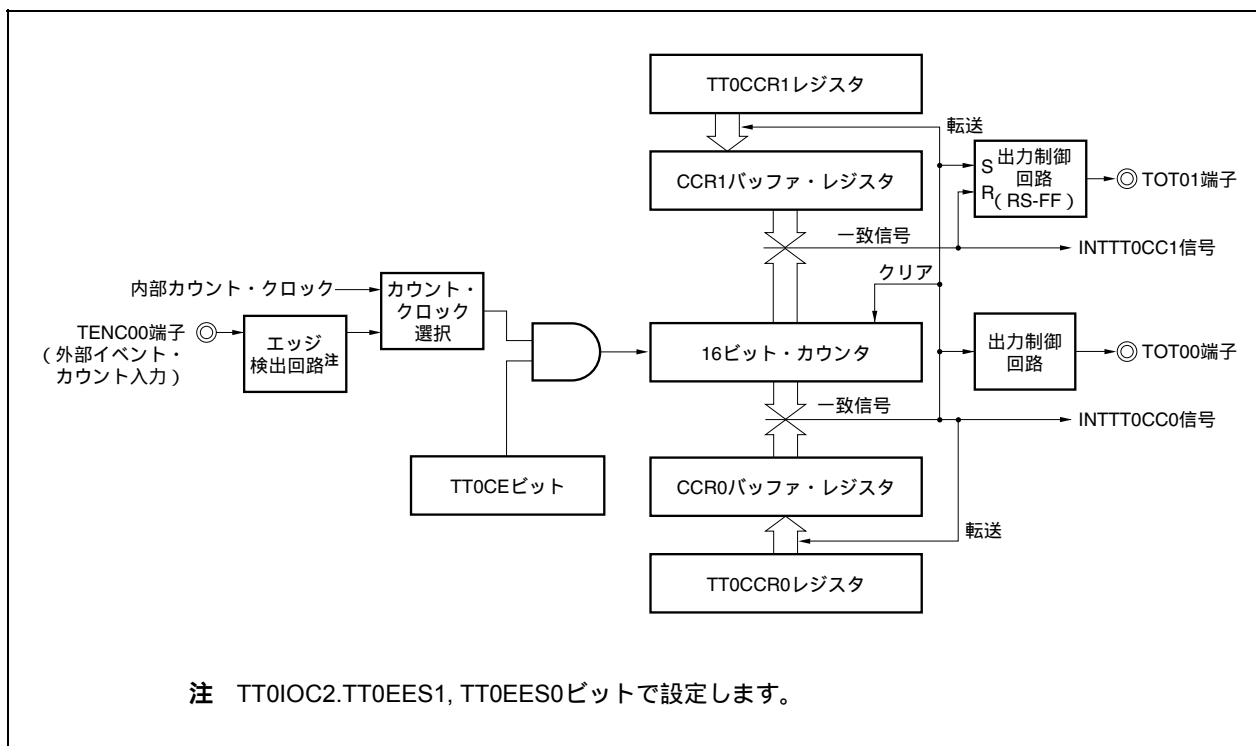
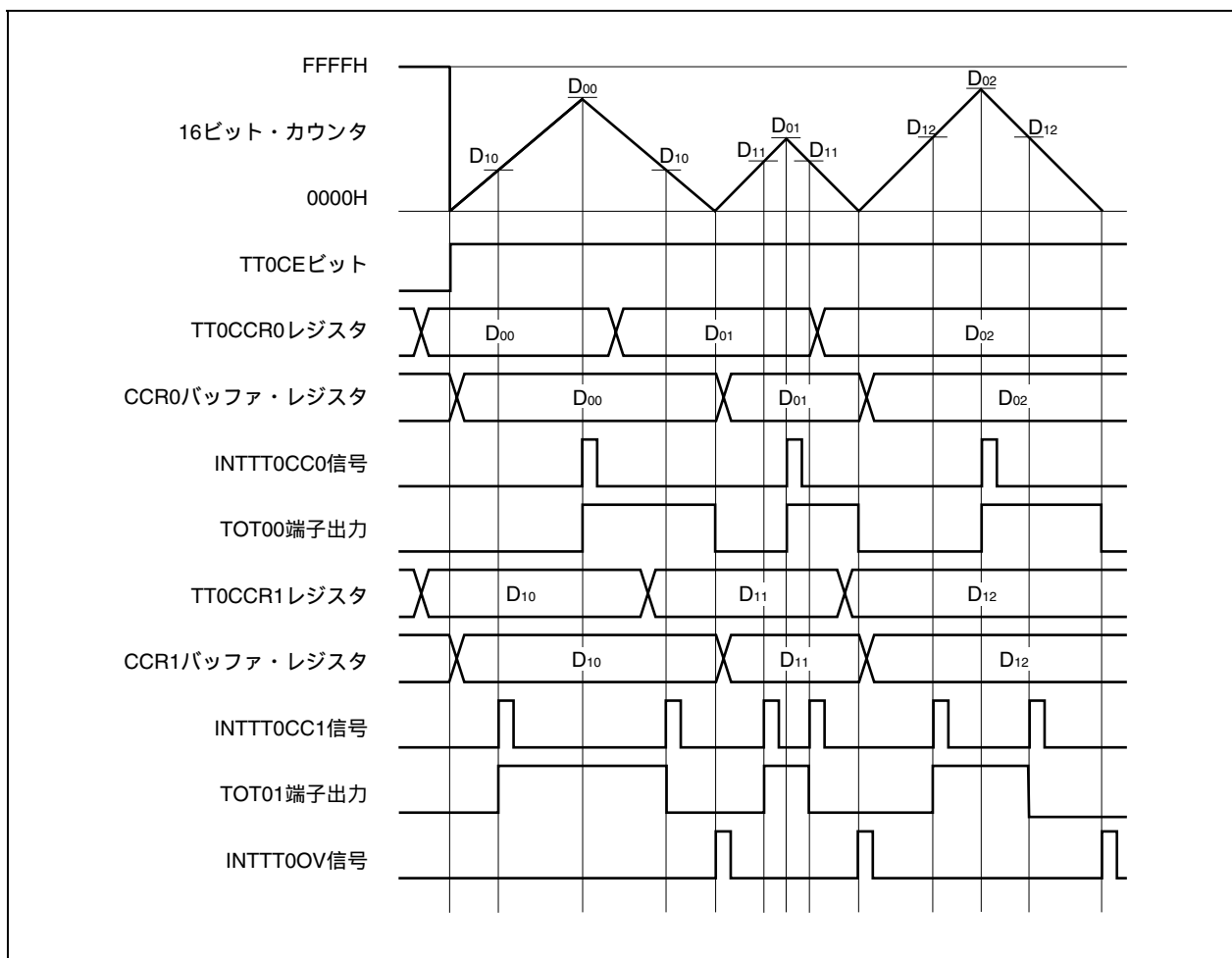


図9 - 44 三角波PWM出力モードの基本タイミング



TT0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOT01端子から三角波PWM波形を出力します。

三角波PWM出力モードでは、アップ/ダウン・カウント動作を行い、ダウン・カウント動作中に16ビット・カウンタが0000Hになるとオーバフロー割り込み要求信号 (INTTT0OV) を発生します。このとき、TT0OPT0.TT0OVFビットはセット (1) されません。アップ・カウント動作中に16ビット・カウンタ値とCCR0バッファ・レジスタの値が一致すると、コンパレー一致割り込み要求信号 (INTTT0CC0) を発生します。

アップ ダウン切り替えは16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致 (INTTT0CC0) で、ダウン アップ切り替えは16ビット・カウンタが0000Hのタイミングです。

動作中にTT0CCRnレジスタを書き換えることにより、PWM波形を変更できます。なお、動作中にPWM波形を変更する場合には、最後にTT0CCR1レジスタにライトしてください。

三角波PWM波形の周期はTT0CCR0レジスタ、デューティはTT0CCR1レジスタで設定します。TT0CCR0レジスタの値は「0 TT0CCR0 FFFEH」の範囲で設定してください。書き換えた値は、ダウン・カウント動作中の16ビット・カウンタが0000Hのタイミングで反映されます。

PWM波形の周期だけを変更する場合でも、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタに同値 (すでに設定したTT0CCR1レジスタと同じ値) をライトしてください。

TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送を行うためには、TT0CCR1レジスタに対してライトする必要があります (n = 0, 1)。

9.6.9 エンコーダ・カウント機能

エンコーダ・カウント機能には、エンコーダ・コンペア・モード (9.6.10 エンコーダ・コンペア・モード (TT0MD3-TT0MD0ビット = 1000) 参照) があります。

モード	TT0CCR0レジスタ	TT0CCR1レジスタ
エンコーダ・コンペア・モード	コンペア専用	コンペア専用

(1) アップ/ダウン・カウント制御

エンコーダ入力信号 (TENC00, TENC01) の位相とTT0CTL2.TT0UDS1, TT0UDS0ビットの設定により16ビット・カウンタのアップ/ダウン制御を行い、カウント動作を行います。

エンコーダ・カウント機能では、内部カウント・クロックおよび外部イベント・カウント入力 (TENC00) は使用できません。TT0CTL0.TT0CKS2-TT0CKS0ビット = 000, TT0CTL1.TT0EEEビット = 0に設定してください。

(2) 16ビット・カウンタの初期値設定

TT0CTL2.TT0ECCビット = 0時にTT0TCWレジスタに設定したカウント初期値を、カウント動作の開始 (TT0CTL0.TT0CEビット = 0 1) 直後に16ビット・カウンタに転送し、エンコーダ入力信号 (TENC00, TENC01) の有効エッジ検出後にカウント動作を開始します

(3) 基本動作

TT0CCRnレジスタは、16ビット・カウンタのカウント値とCCRnバッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTT0CCn) が発生します。

(4) クリア動作

エンコーダ・コンペア・モード時の16ビット・カウンタのクリアは、次の条件で発生します。

- ・ 16ビット・カウンタとコンペア・レジスタの値の一致によるクリア
(TT0CTL2.TT0ECM1, TT0ECM0ビットを設定)
- ・ エンコーダ・クリア入力 (TECR0) のエッジ検出クリア
(TT0IOC3.TT0SCEビット = 0時にTT0ECS1, TT0ECS0ビットを設定)
- ・ TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリア
(TT0SCEビット = 1時にTT0ZCL, TT0BCL, TT0ACLビットを設定)

備考 n = 0, 1

(5) TT0CTL2レジスタのビット制御

エンコーダ・コンペア・モード時のTT0CTL2レジスタの設定を次に示します。

表9 - 8 TT0CTL2レジスタの設定

モード	TT0UDS1, TT0UDS0 ビット()	TT0ECM1 ビット()	TT0ECM0 ビット()	TT0LDE ビット ()	カウンタ・ クリア (対象のコ ンペア・ レジスタ)	カウンタへ の転送
エンコーダ・コンペア・ モード	00, 01, 10, 11 の全設定可能	0	0	0	-	-
				1		可能
			1	0	TT0CCR0	-
				1		可能 ^注
		1	0	無効	TT0CCR1	-
			1	無効	TT0CCR0, TT0CCR1	-

注 「0000H-TT0CCR0レジスタ設定値」範囲内でカウント動作が可能です。

(a) 各ビットの概要

TT0UDS1, TT0UDS0ビットは、エンコーダ入力端子 (TENC00, TENC01) から入力された位相に対して、アップ/ダウン・カウンタの判別制御を行います。

TT0ECM1, TT0ECM0ビットは、16ビット・カウンタのカウント値とCCR0, CCR1バッファ・レジスタの値が一致した場合の16ビット・カウンタのクリアを制御します。

TT0LDEビットは、アンダフローが発生したときに、TT0CCR0レジスタ設定値を16ビット・カウンタに転送する機能を制御します。TT0LDEビットは、TT0ECM1, TT0ECM0ビットが00, 01時のみ有効となります。それ以外の設定は無効となります。

(b) 各ビットの詳細説明

TT0UDS1, TT0UDS0ビット：アップ/ダウン・カウントの選択

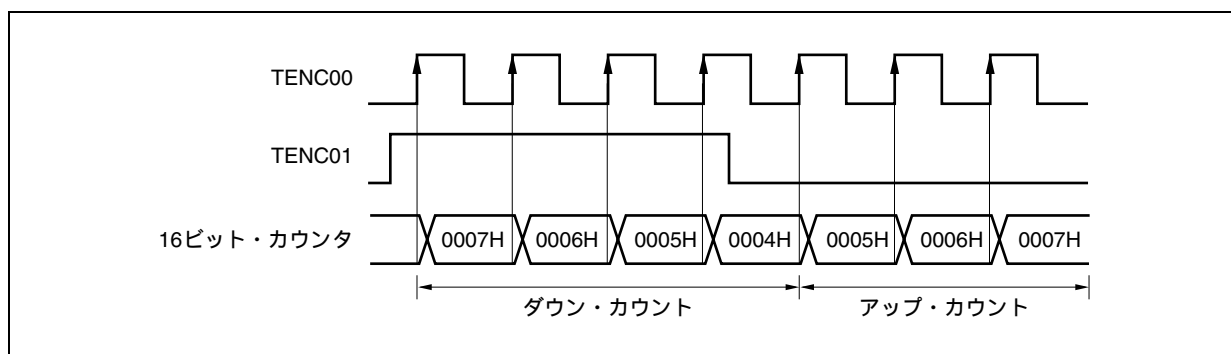
TT0UDS1, TT0UDS0ビット設定とTENC00, TENC01端子から入力された位相により, アップ/ダウン・カウントを判別します。TT0UDS1, TT0UDS0ビットは, エンコーダ・コンペア・モード時のみ有効です。

・ TT0UDS1, TT0UDS0ビット = 00時

TENC00端子	TENC01端子	カウント動作
立ち上がりエッジ	ハイ・レベル	ダウン・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロウ・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		

備考 TENC00端子のエッジ検出は, TT0IOC3.TT0EIS1, TT0EIS0ビットで設定します。

図9 - 45 動作例 (TENC00端子の有効エッジが立ち上がりエッジ指定, TENC01端子の有効エッジがエッジ検出なしの場合)

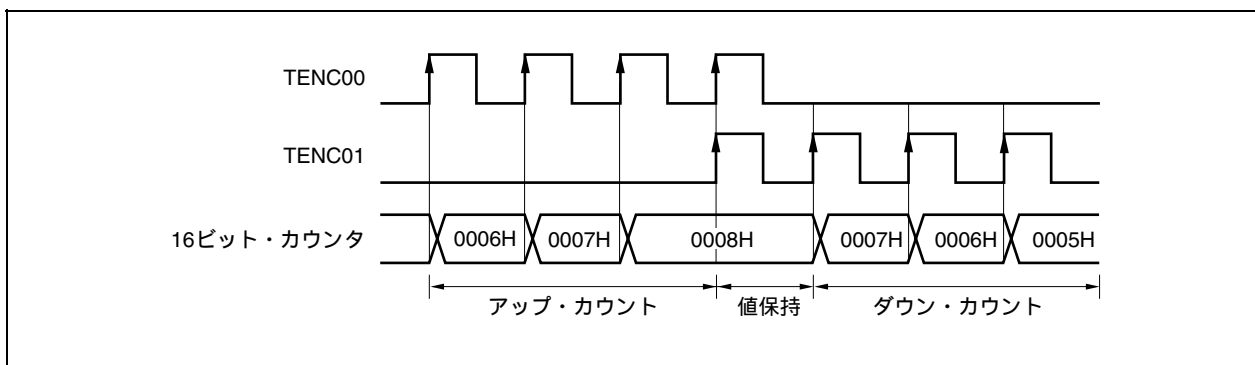


・ TT0UDS1, TT0UDS0ビット = 01時

TENC00端子	TENC01端子	カウント動作	
ロウ・レベル	立ち上がりエッジ	ダウン・カウント	
	立ち下がりエッジ		
	両エッジ		
ハイ・レベル	立ち上がりエッジ		
	立ち下がりエッジ		
	両エッジ		
立ち上がりエッジ	ハイ・レベル	アップ・カウント	
立ち下がりエッジ			
両エッジ			
立ち上がりエッジ	ロウ・レベル		アップ・カウント
立ち下がりエッジ			
両エッジ			
TENC00, TENC01端子同時入力		カウント動作は行わず, 直前の値を保持	

備考 TENC00, TENC01端子のエッジ検出は、TT0IOC3.TT0EIS1, TT0EIS0ビットで設定します。

図9 - 46 動作例 (TENC00, TENC01端子の有効エッジが立ち上がりエッジ指定の場合)



・ TT0UDS1, TT0UDS0ビット = 10時

TENC00端子	TENC01端子	カウント動作
ロウ・レベル	立ち下がりエッジ	カウント動作は行わず， 直前の値を保持
立ち上がりエッジ	ロウ・レベル	ダウン・カウント
ハイ・レベル	立ち上がりエッジ	カウント動作は行わず， 直前の値を保持
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ	ロウ・レベル	カウント動作は行わず， 直前の値を保持
ロウ・レベル	立ち上がりエッジ	
立ち上がりエッジ	立ち下がりエッジ	
立ち下がりエッジ	立ち下がりエッジ	ダウン・カウント
立ち上がりエッジ		アップ・カウント

注意 TENC00端子とTENC01端子の有効エッジ指定は無効となります。

図9 - 47 動作例 (TENC00, TENC01端子の有効エッジが重ならない場合のカウント動作)

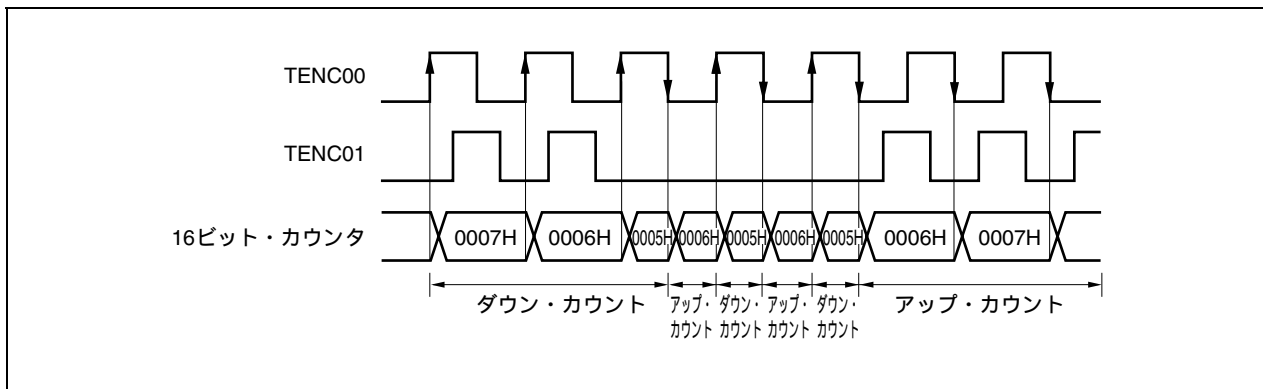
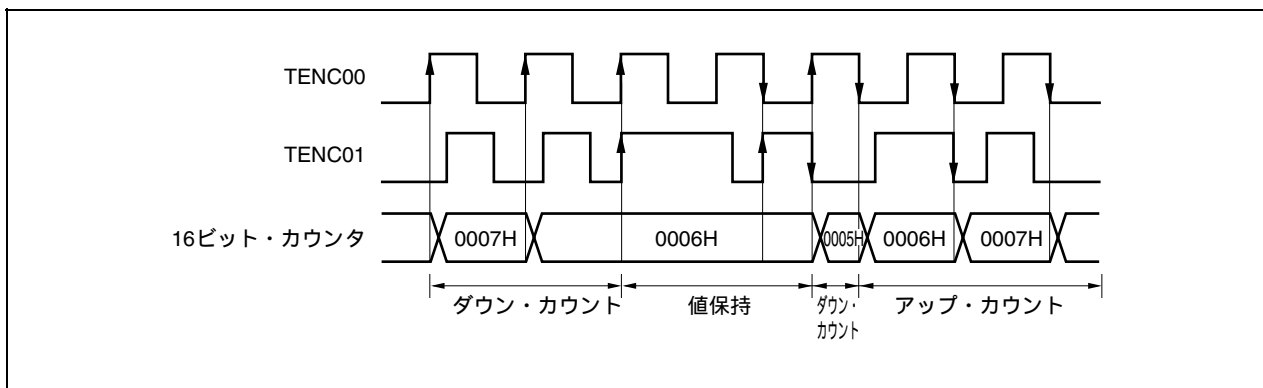


図9 - 48 動作例 (TENC00, TENC01端子の有効エッジが重なった場合のカウント動作)



・ TT0UDS1, TT0UDS0ビット = 11時

TENC00端子	TENC01端子	カウント動作	
ロウ・レベル	立ち下がりエッジ	ダウン・カウント	
立ち上がりエッジ	ロウ・レベル		
ハイ・レベル	立ち上がりエッジ		
立ち下がりエッジ	ハイ・レベル		
立ち上がりエッジ	ハイ・レベル	アップ・カウント	
ハイ・レベル			立ち下がりエッジ
立ち下がりエッジ			ロウ・レベル
ロウ・レベル			立ち上がりエッジ
TENC00, TENC01端子同時入力		カウント動作は行わず, 直前の値を保持	

注意 TENC00端子とTENC01端子の有効エッジ指定は無効となります。

図9 - 49 動作例 (TENC00, TENC01端子の有効エッジが重ならない場合のカウント動作)

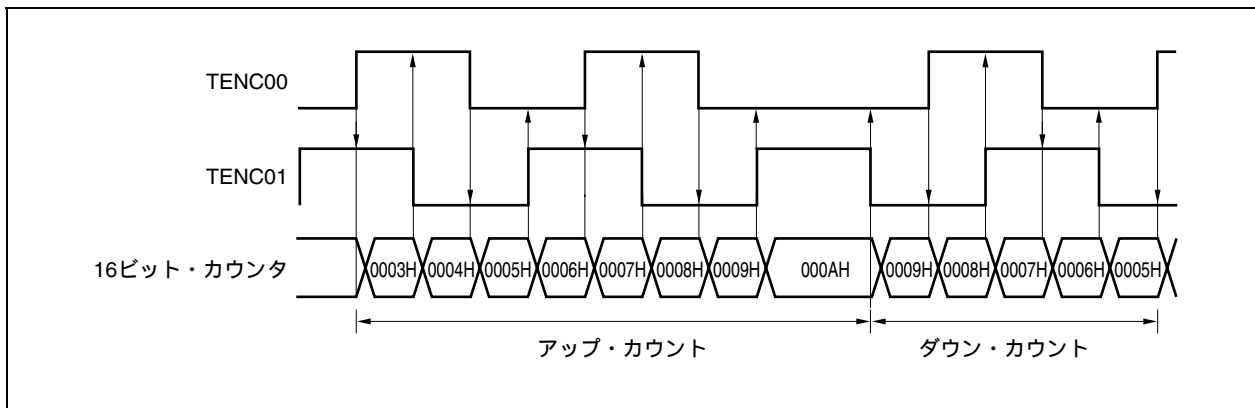
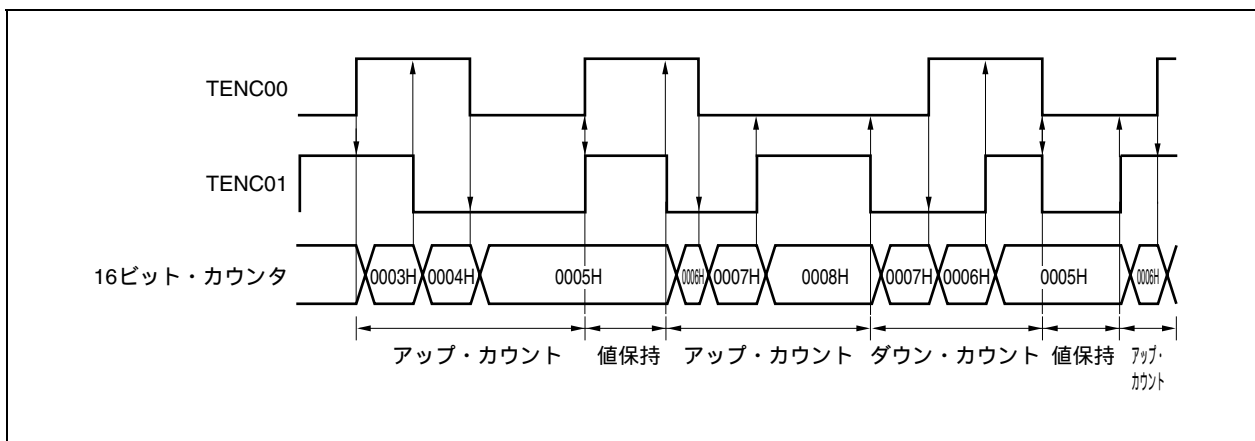


図9 - 50 動作例 (TENC00, TENC01端子の有効エッジが重なった場合のカウント動作)



TT0ECM1, TT0ECM0ビット：コンペア・レジスタ一致によるタイマ・カウンタ・クリア機能

16ビット・カウンタのカウンタ値とCCRnバッファ・レジスタの値が一致したときにTT0ECM1, TT0ECM0ビットの設定値に従い、カウンタ動作を行います。

- ・ TT0ECM1, TT0ECM0ビット = 00時

16ビット・カウンタのカウンタ値とCCRnバッファ・レジスタの値の一致によるカウンタ・クリアを行わない。

- ・ TT0ECM1, TT0ECM0ビット = 01時

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウント	16ビット・カウンタを0000Hにクリアする。
ダウン・カウント	16ビット・カウンタのカウンタ値をダウン・カウントする

- ・ TT0ECM1, TT0ECM0ビット = 10時

16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウント	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウント	16ビット・カウンタを0000Hにクリアする。

- ・ TT0ECM1, TT0ECM0ビット = 11時

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウント	16ビット・カウンタを0000Hにクリアする。
ダウン・カウント	16ビット・カウンタのカウンタ値をダウン・カウントする

16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウント	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウント	16ビット・カウンタを0000Hにクリアする。

TT0LDEビット：アンダフロー発生時のTT0CCR0レジスタ設定値の16ビット・カウンタへの転送機能

TT0LDEビット = 1に設定することにより、アンダフロー発生時にTT0CCR0レジスタ設定値を16ビット・カウンタに転送することができます。

TT0LDEビットは、エンコーダ・コンペア・モード時のみ有効です。

・「0000H-TT0CCR0レジスタ設定値」範囲内でのカウント動作

TT0LDEビット = 1, TT0ECM1, TT0ECM0ビット = 01に設定し、カウント動作を行うと、TT0ECM0ビット = 1のときに16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値の一致発生後、次のカウントがアップ・カウントの場合に16ビット・カウンタが0000Hにクリアされます。

TT0LDEビット = 1のときにアンダフロー発生時にTT0CCR0レジスタ設定値が16ビット・カウンタに転送されます。

したがって、TT0CCR0レジスタ設定値をカウント上限値、0000Hをカウント下限値とした「0000H-TT0CCR0レジスタ設定値」範囲内でのカウント動作が実現できます。

図9 - 51 動作例（「0000H-TT0CCR0レジスタ設定値」範囲内でのカウント動作）

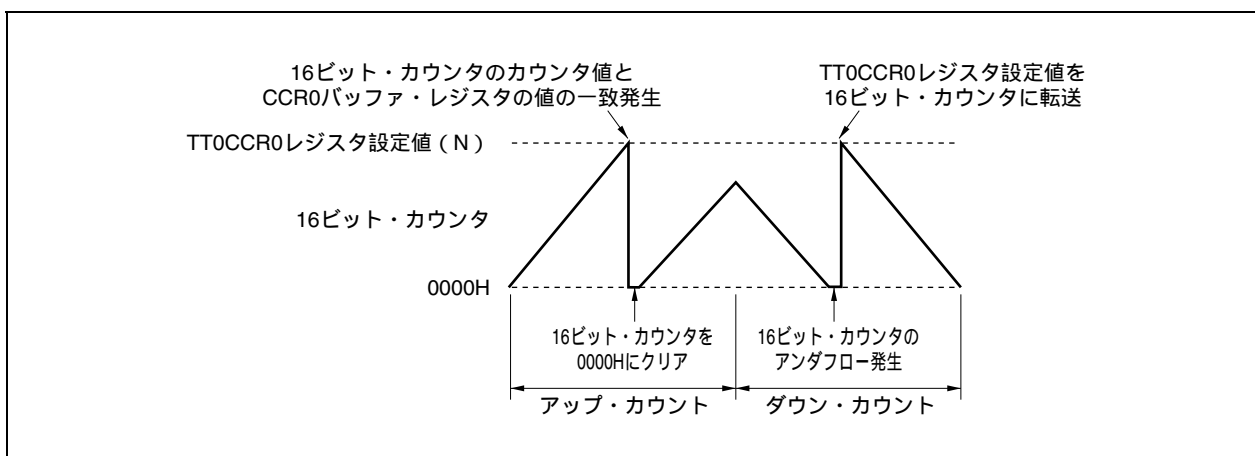
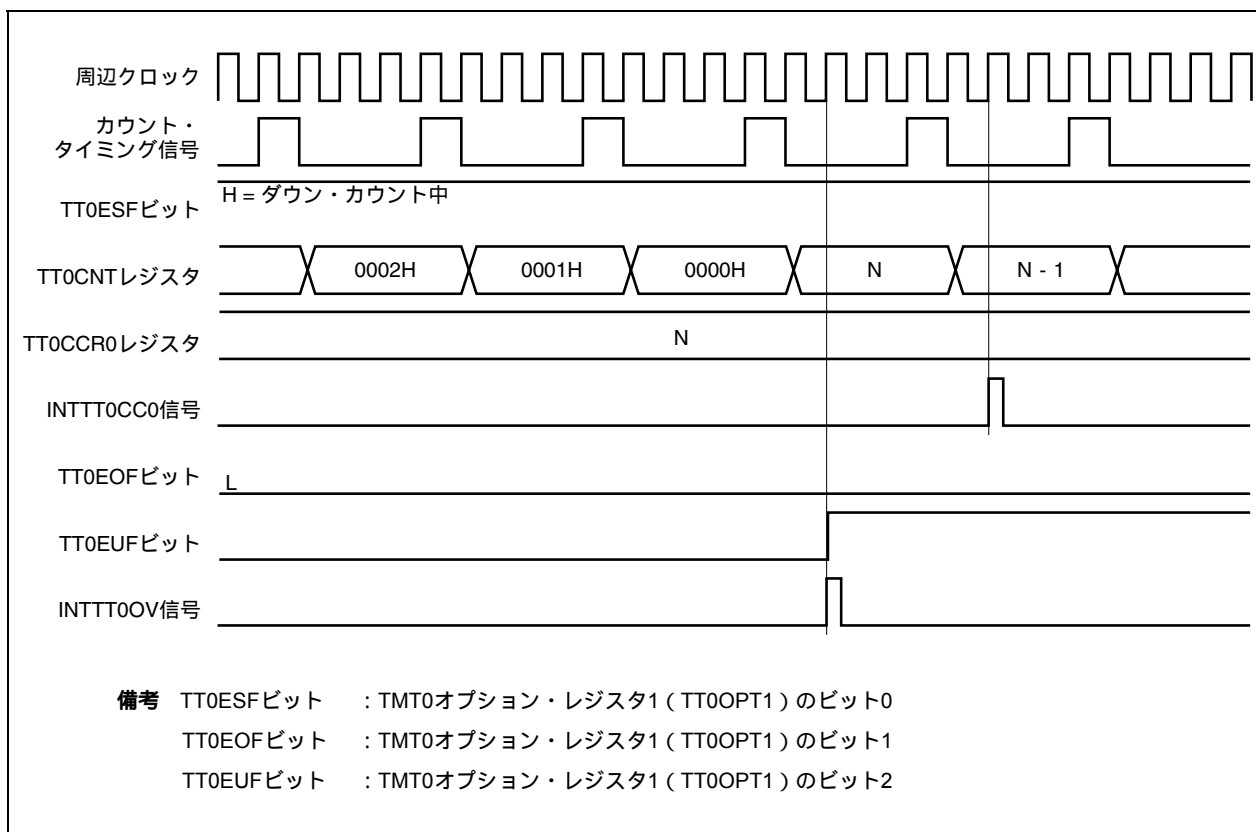


図9 - 52 動作タイミング (「0000H-TT0CCR0レジスタ設定値」範囲内でのカウント動作)



(6) エンコーダ・クリア信号 (TECR0端子) によるカウンタの0000Hクリア機能

TECR0端子入力により16ビット・カウンタを0000Hにクリアする方法は2種類あり, TT0IOC3.TT0SCEビットにより制御されます。また, TT0SCEビットは, その設定によりTT0IOC3.TT0ZCL, TT0BCL, TT0ACL, TT0ECS1, TT0ECS0ビットを制御します。

これらのクリア方法は, エンコーダ・コンペア・モード時のみ有効です。

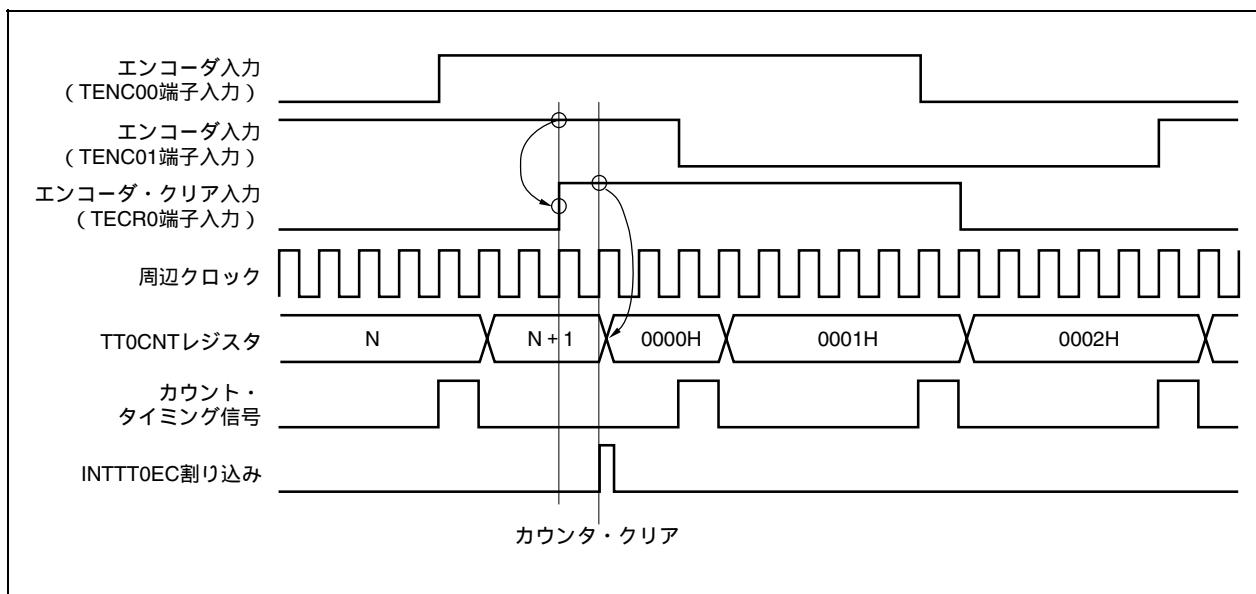
表9-9 TT0SCEビットとTT0ZCL, TT0BCL, TT0ACL, TT0ECS1, TT0ECS0ビットの関係

クリア方法	TT0SCEビット	TT0ZCLビット	TT0BCLビット	TT0ACLビット	TT0ECS1, TT0ECS0ビット
	0	無効	無効	無効	有効
	1	有効	有効	有効	無効

(a) クリア方法 : エンコーダ・クリア信号 (TECR0端子) のエッジ検出クリア (TT0SCEビット = 0)

TT0SCEビット = 0のとき, TT0ECS1, TT0ECS0ビットで指定したTECR0端子の有効エッジ検出により, 周辺クロックに同期して16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTT0EC) が発生します。なお, TT0SCEビット = 0のとき, TT0ZCL, TT0BCL, TT0ACLビットの設定は無効です。

図9-53 動作例 (TT0SCEビット = 0, TT0ECS1, TT0ECS0ビット = 01, TT0UDS1, TT0UDS0ビット = 11の場合)



(b) クリア方法 : TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリア (TT0SCEビット = 1)

TT0SCEビット = 1のとき, TT0ZCL, TT0BCL, TT0ACLビットで設定したTECR0, TENC00, TENC01端子のクリア・レベル条件検出により16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTT0EC) は発生しません。なお, TT0SCEビット = 1のとき, TT0ECS1, TT0ECS0ビットの設定は無効です。

表9 - 10 TT0SCEビット = 1のときの16ビット・カウンタのクリア条件

クリア・レベル条件設定			エンコーダ端子の入力レベル		
TT0ZCLビット	TT0BCLビット	TT0ACLビット	TECR0端子	TENC01端子	TENC00端子
0	0	0	L	L	L
0	0	1	L	L	H
0	1	0	L	H	L
0	1	1	L	H	H
1	0	0	H	L	L
1	0	1	H	L	H
1	1	0	H	H	L
1	1	1	H	H	H

注意 TT0ZCL, TT0BCL, TT0ACLビットのクリア・レベル条件と, TECR0, TENC01, TENC00端子の入力レベルが一致したときに16ビット・カウンタを0000Hにクリアします。

図9 - 54 動作例 (TT0SCEビット = 1, TT0ZCLビット = 1, TT0BCLビット = 0, TT0ACLビット = 1, TT0UDS1, TT0UDS0ビット = 11, TECR0 = ハイ・レベル, TENC01 = ロウ・レベル, TENC00 = ハイ・レベルの場合) (1/3)

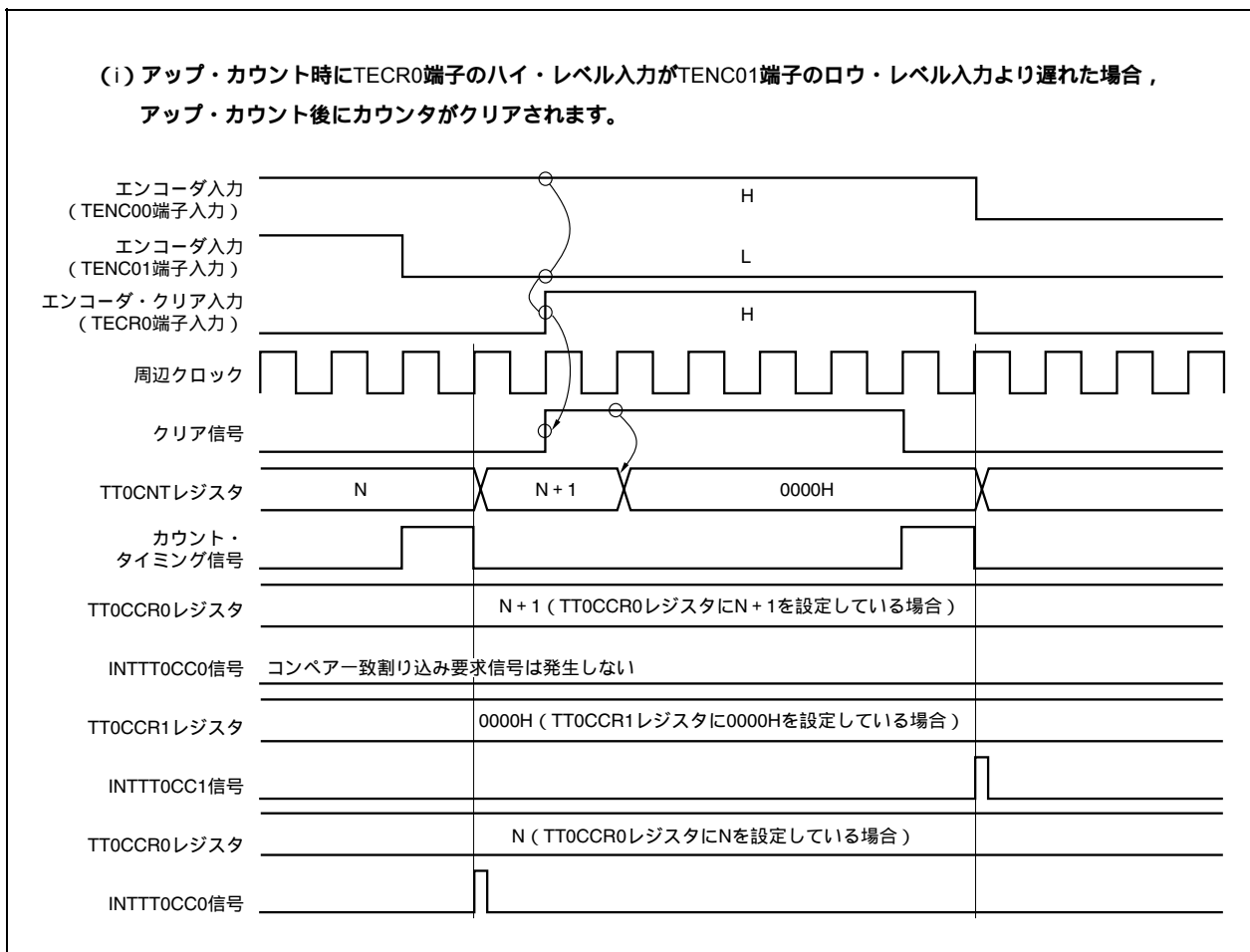


図9-54 動作例 (TT0SCEビット = 1, TT0ZCLビット = 1, TT0BCLビット = 0, TT0ACLビット = 1, TT0UDS1, TT0UDS0ビット = 11, TECR0 = ハイ・レベル, TENC01 = ロウ・レベル, TENC00 = ハイ・レベルの場合) (2/3)

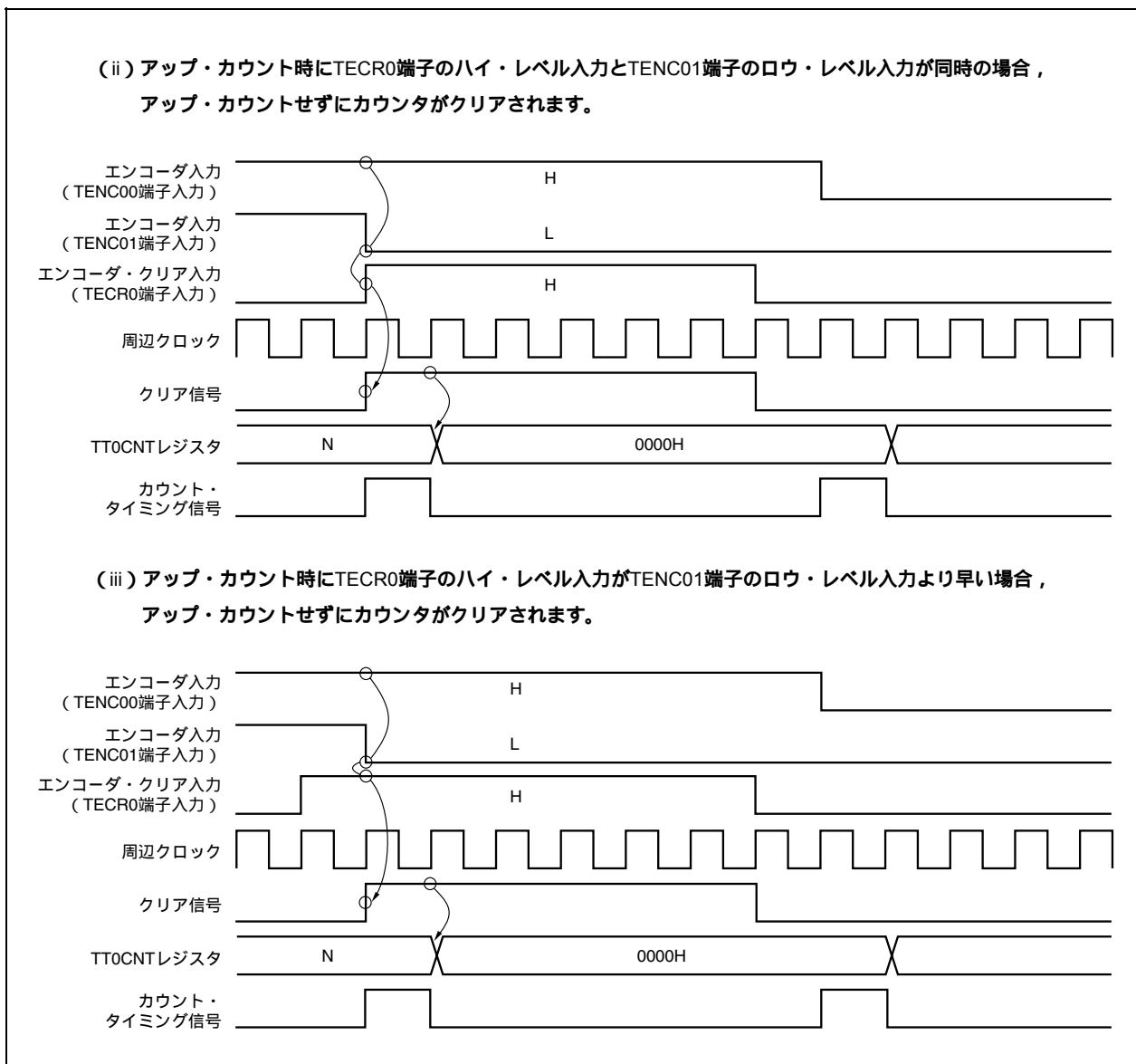
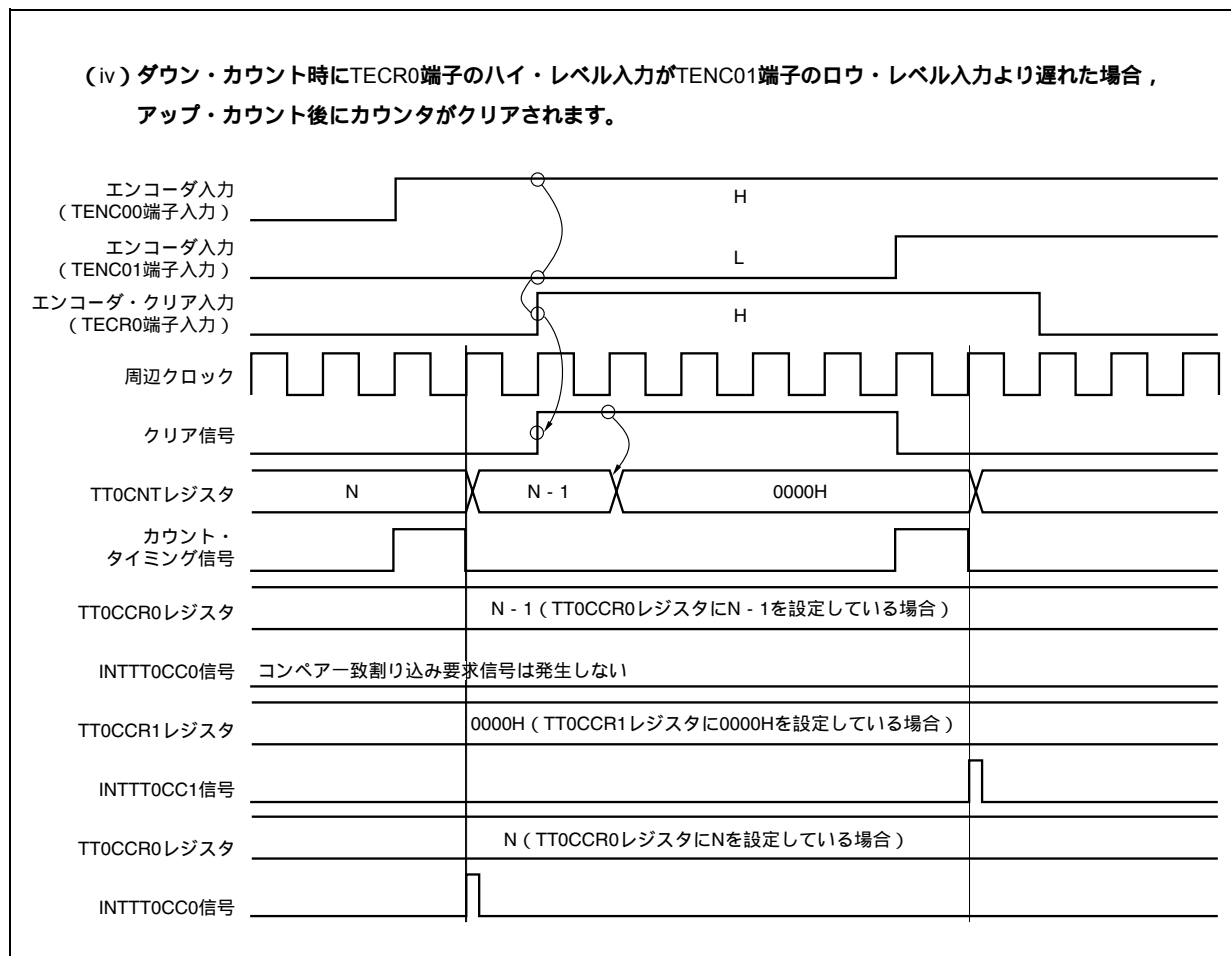


図9 - 54 動作例 (TT0SCEビット = 1, TT0ZCLビット = 1, TT0BCLビット = 0, TT0ACLビット = 1, TT0UDS1, TT0UDS0ビット = 11, TECR0 = ハイ・レベル, TENC01 = ロウ・レベル, TENC00 = ハイ・レベルの場合) (3/3)

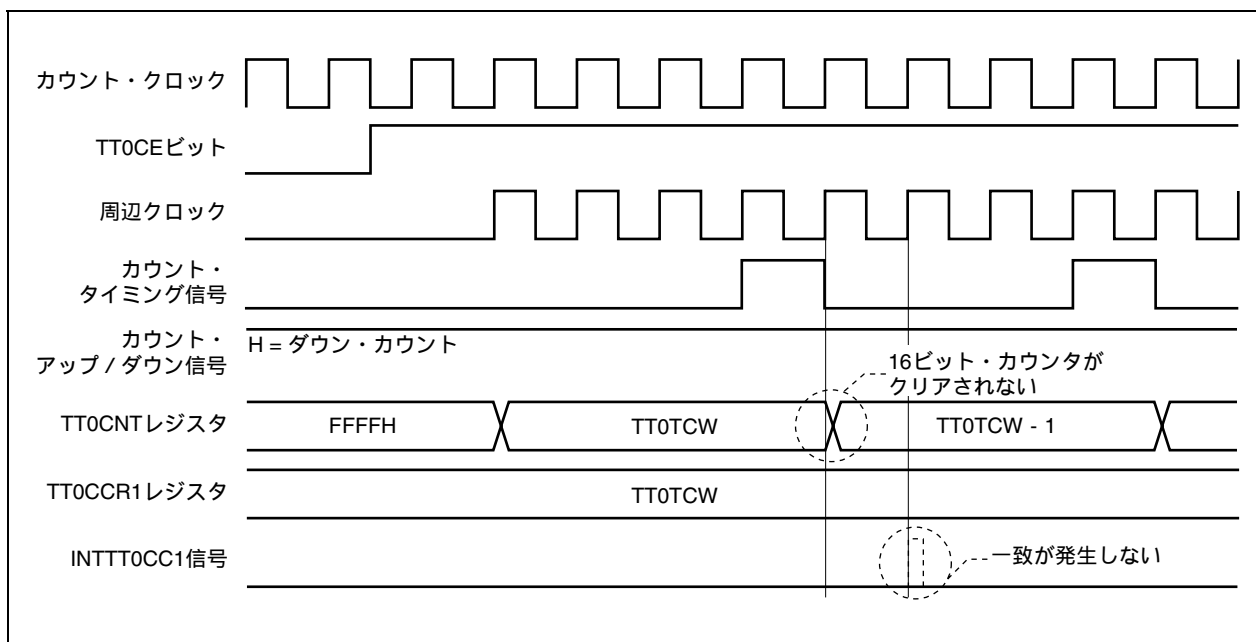


このクリア方法では、TECR0, TENC01, TENC00端子入力のクリア・レベル条件を設定し、クリア・レベル条件の検出により16ビット・カウンタを0000Hにクリアするため、TECR0端子入力の遅延による誤カウントは発生しません。

(7) エンコーダ・カウント機能の注意事項

(a) 動作開始直後のコンペア一致の未発生

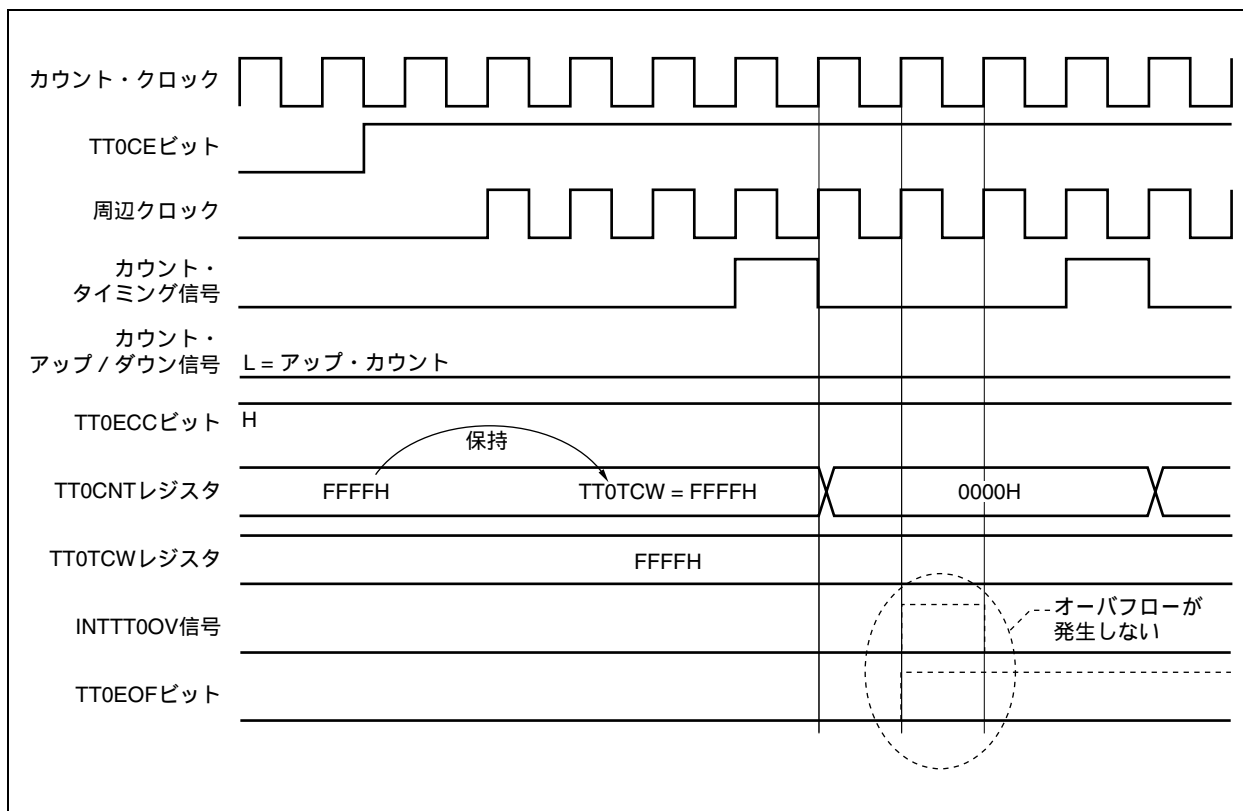
TT0CCR0 レジスタまたはTT0CCR1 レジスタにTT0TCW レジスタと同じ値を設定しTT0CTL2.TT0ECCビット = 0時にカウンタ動作を開始した場合、動作開始直後の16ビット・カウンタのカウンタ値 (TT0TCW) とCCRnバッファ・レジスタの値が一致すると、一致はマスクされ、コンペア一致割り込み要求信号 (INTTT0CCn) は発生しません (n = 0, 1)。また、TT0CTL2.TT0ECM1, TT0ECM0ビットの設定による16ビット・カウンタの0000Hクリアも行われません。



(b) 動作開始直後のオーバーフローの未発生

TT0CTL2.TT0ECCビット = 1時にカウンタ動作を再開した場合、16ビット・カウンタの保持していたカウント値がFFFFHで次のカウントがアップ・カウントのとき、オーバーフローは発生しません。

カウンタ値 (TT0TCWレジスタ値 = FFFFH)での動作開始後、カウント・アップした場合、カウント動作はFFFFH 0000Hとなりオーバーフローが発生となりますが、オーバーフロー検出がマスクされており、オーバーフロー・フラグ (TT0EOF)はセットされず、オーバーフロー割り込み要求信号 (INTTT0OV)も発生しません。



9.6.10 エンコーダ・コンペア・モード (TT0MD3-TT0MD0ビット = 1000)

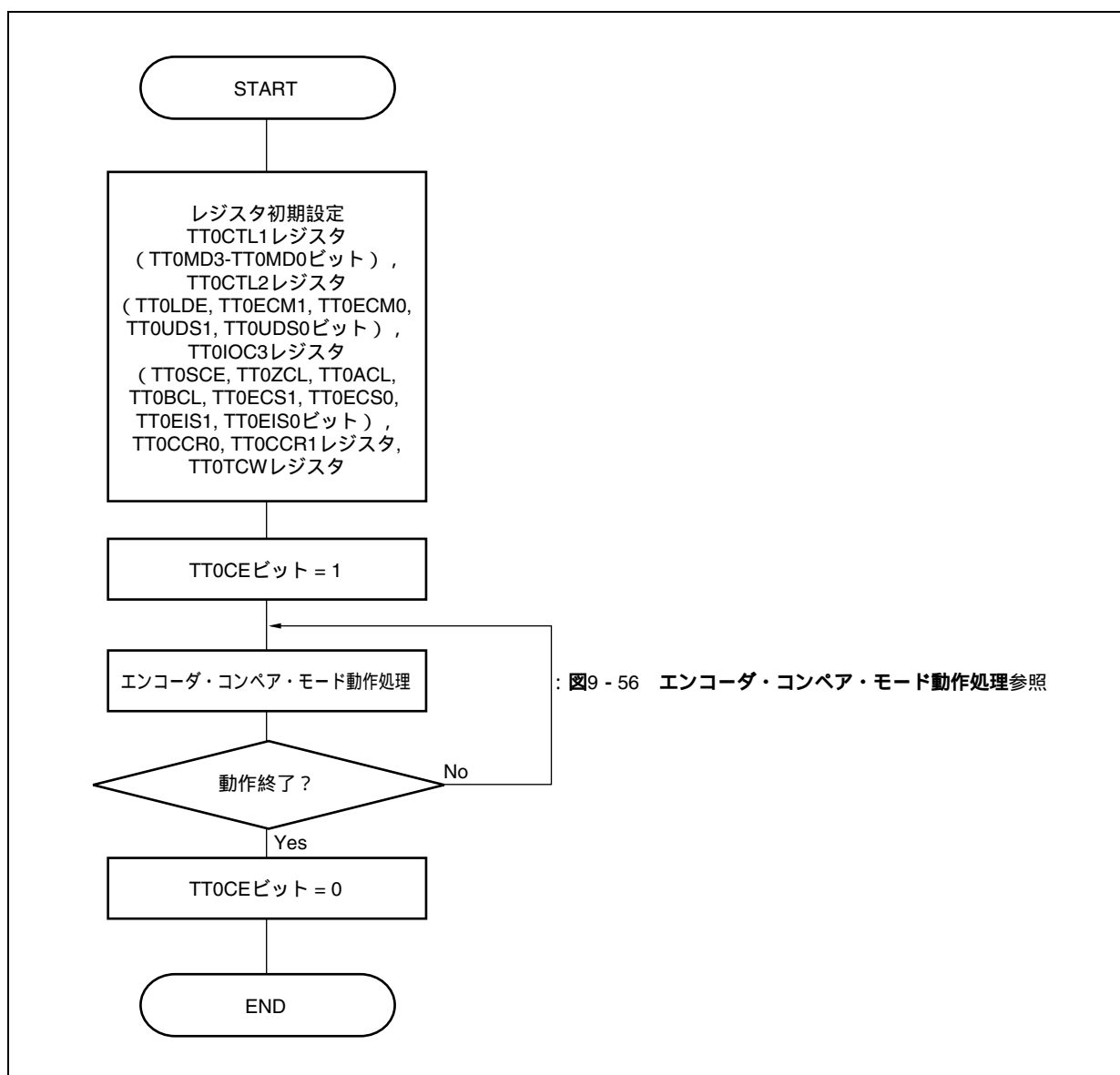
エンコーダ・コンペア・モードは、TT0CCR0, TT0CCR1レジスタをとともにコンペア機能として使用し、エンコーダ・カウント機能用入力端子 (TENC00, TENC01, TECR0) により、エンコーダ制御を実現します。

クリア動作としては3つの条件があります。16ビット・カウンタのカウント値とCCRnバッファ・レジスタの値の一致によるクリア(コンペアー一致割り込み要求信号(INTTT0CCn)を発生)、エンコーダ・クリア入力(TECR0端子)のエッジ検出クリア、TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリアにより、16ビット・カウンタを0000Hにクリアします。

アンダフロー発生時にTT0CCR0レジスタ設定値を16ビット・カウンタに転送することができます。

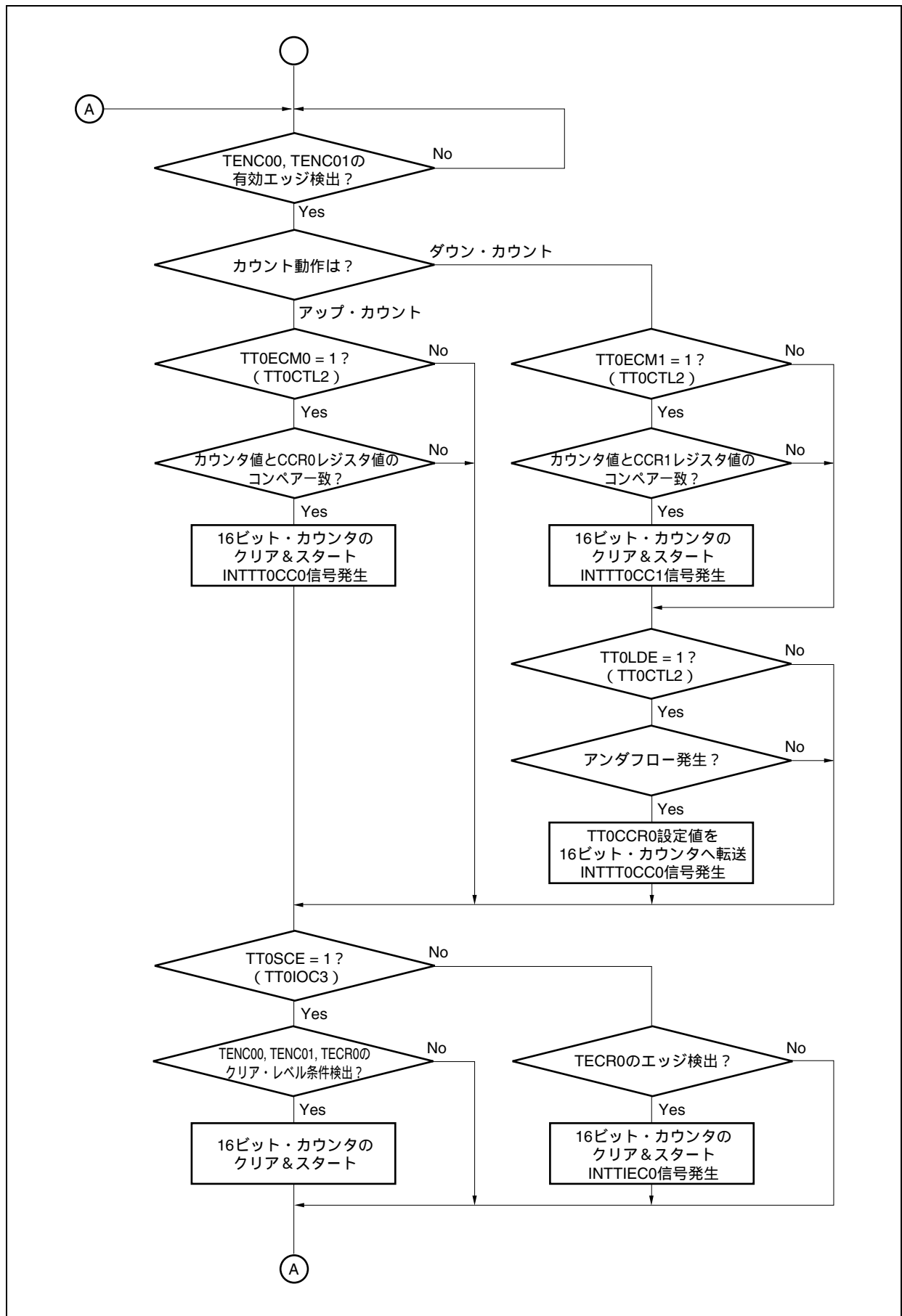
(1) エンコーダ・コンペア・モード動作フロー

図9 - 55 エンコーダ・コンペア・モード動作フロー



: 図9 - 56 エンコーダ・コンペア・モード動作処理参照

図9 - 56 エンコーダ・コンペア・モード動作処理

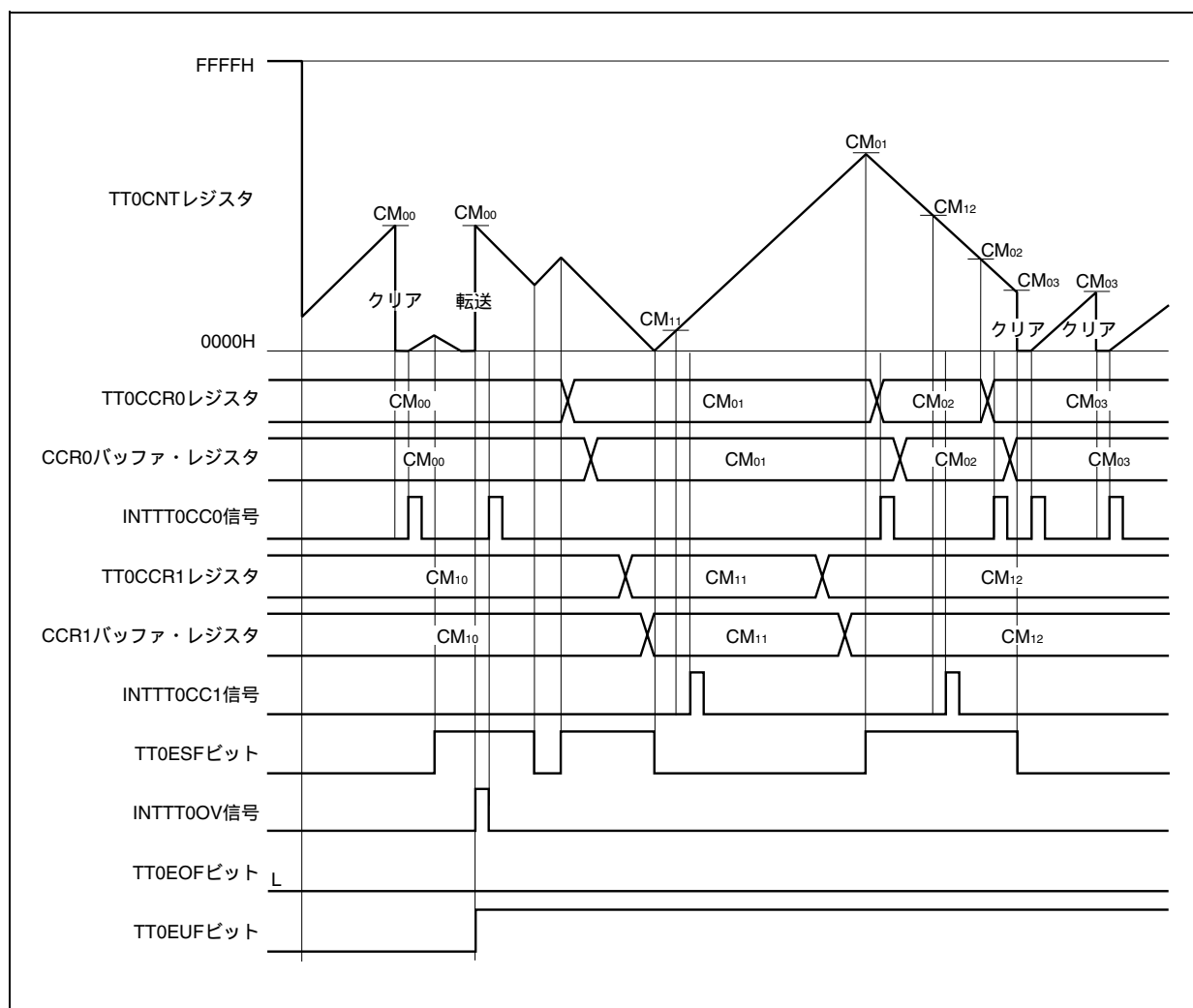


(2) エンコーダ・コンペア・モード動作タイミング

(a) 基本タイミング1

【レジスタ設定条件】

- ・ TT0CTL2.TT0ECM1, TT0ECM0ビット = 01
16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TT0CTL2.TT0LDEビット = 1
アンダフロー発生時, TT0CCR0レジスタ設定値を16ビット・カウンタに転送する。
- ・ TT0IOC3.TT0SCEビット = 0, TT0ECS1, TT0ECS0ビット = 00
エンコーダ・クリア入力 (TECR0端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TT0CEビット = 0 1) にTT0TCWレジスタ設定値を16ビット・カウンタに転送し、カウンタ動作を開始します。

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTT0CC0) が発生します。TT0ECM0ビット = 1のため、次のカウンタ動作がアップ・カウンタの場合に16ビット・カウンタを0000Hにクリアします。

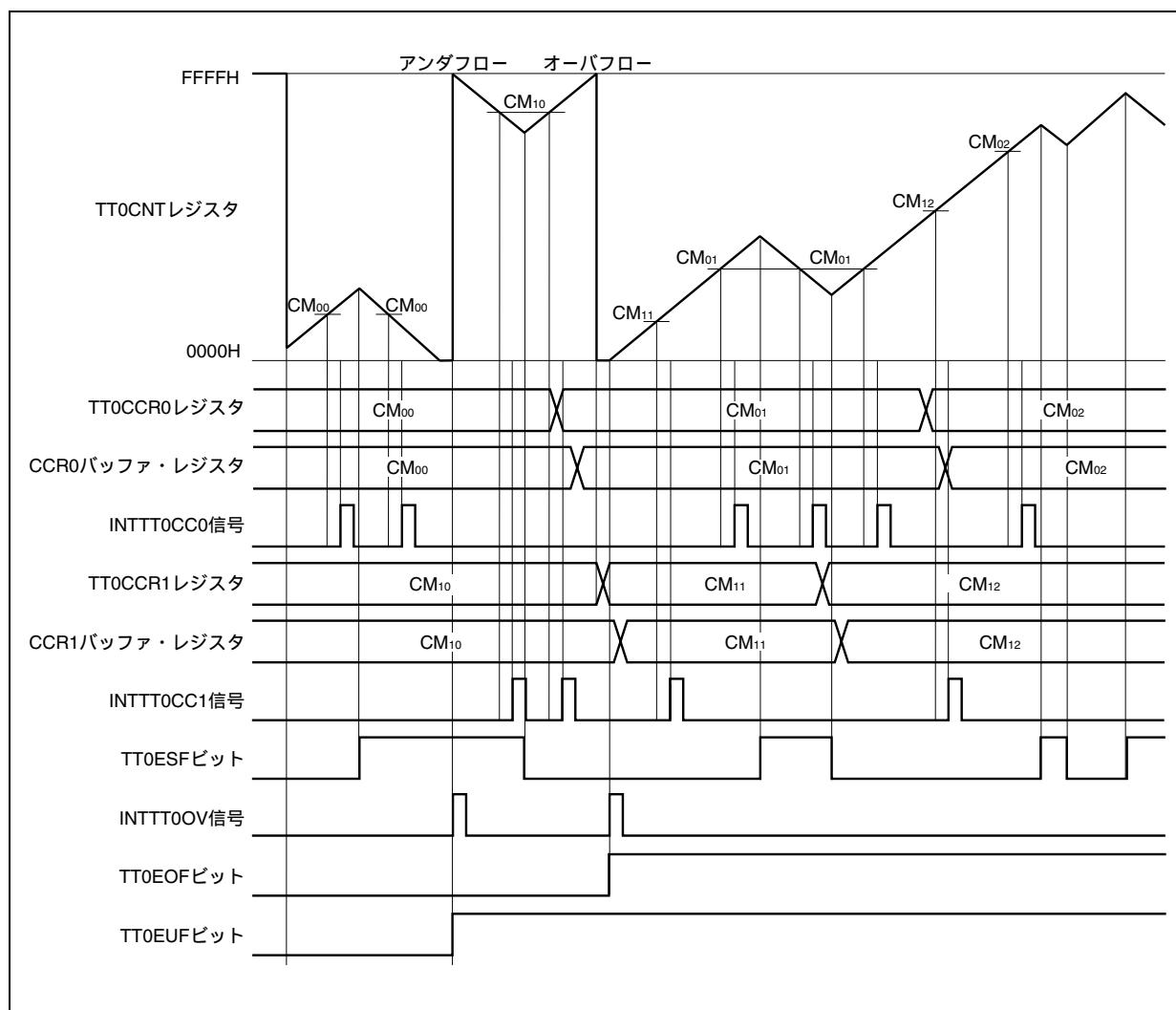
16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTT0CC1) が発生します。TT0ECM1ビット = 0のため、一致条件では16ビット・カウンタは0000Hにクリアされません。

また、TT0LDEビット = 1, TT0ECM0ビット = 1の設定により、「0000H-TT0CCR0レジスタ設定値」範囲内でカウンタ動作が可能です。

(b) 基本タイミング2

【レジスタ設定条件】

- ・ TT0CTL2.TT0ECM1, TT0ECM0ビット = 00
16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタ値の一致でのカウンタ・クリアなし (a = 0, 1)。
- ・ TT0CTL2.TT0LDEビット = 0
アンダフロー発生時, TT0CCR0レジスタ設定値を16ビット・カウンタに転送しない。
- ・ TT0IOC3.TT0SCEビット = 0, TT0ECS1, TT0ECS0ビット = 00
エンコーダ・クリア入力 (TECR0端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TT0CEビット = 0 1) にTT0TCWレジスタ設定値を16ビット・カウンタに転送し、カウンタ動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTT0CC0) が発生します。

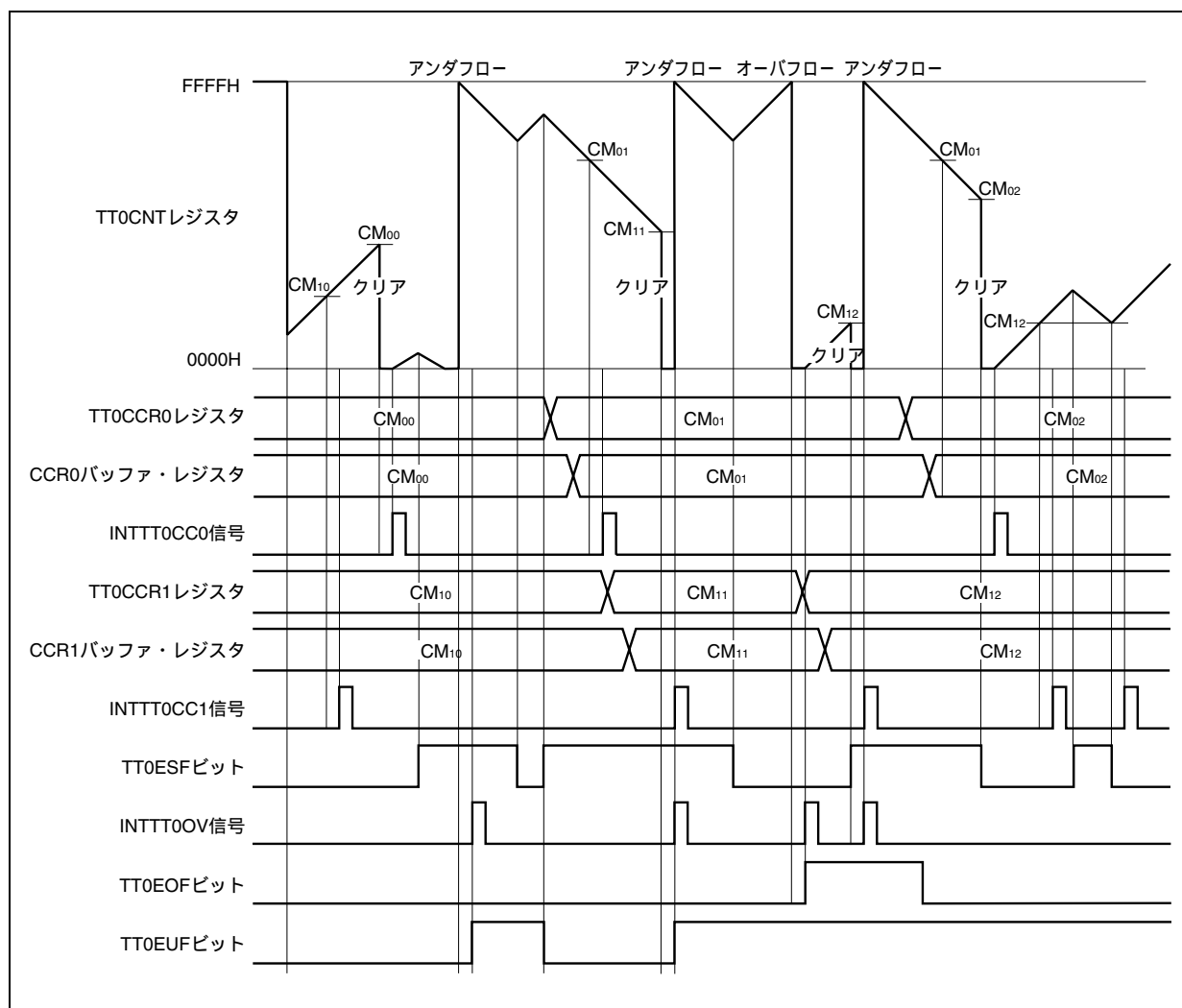
16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTT0CC1) が発生します。

また、TT0ECM1, TT0ECM0ビット = 00のため、16ビット・カウンタのカウント値とCCRnバッファ・レジスタとの一致では、16ビット・カウンタは0000Hにクリアされません (n = 0, 1)。

(c) 基本タイミング3

【レジスタ設定条件】

- ・ TT0CTL2.TT0ECM1, TT0ECM0ビット = 11
 - 16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
 - 16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TT0CTL2.TT0LDEビットの設定無効
- ・ TT0IOC3.TT0SCEビット = 0, TT0ECS1, TT0ECS0ビット = 00
 - エンコーダ・クリア入力 (TECR0端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TT0CEビット = 0 1) にTT0TCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTT0CC0) が発生します。このとき、次のカウント動作がアップ・カウントの場合に16ビット・カウンタを0000Hにクリアします。

16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTT0CC1) が発生します。このとき、次のカウント動作がダウン・カウントの場合に16ビット・カウンタを0000Hにクリアします。

第10章 16ビット・インターバル・タイマM (TMM)

V850ES/JH3-E, V850ES/JJ3-E は TMM を 4 チャンネル搭載しています。

10.1 概 要

TMMn の特徴について示します。

- ・インターバル機能
- ・クロック選択 × 8
- ・16ビット・カウンタ × 1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ × 1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み × 1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

備考 n = 0-3

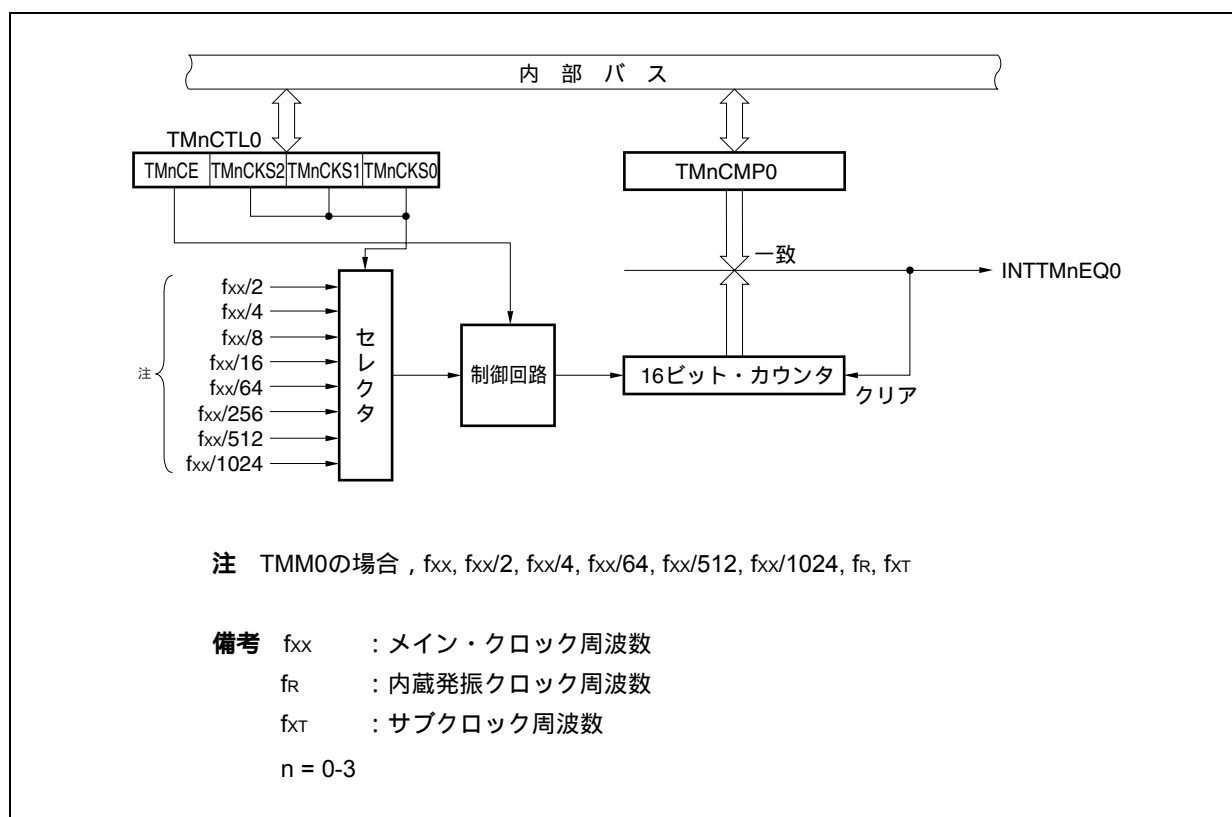
10.2 構 成

TMMnは、次のハードウェアで構成されています。

表10 - 1 TMMnの構成

項 目	構 成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMMnコンペア・レジスタ0 (TMnCMP0)
制御レジスタ	TMMn制御レジスタ0 (TMnCTL0)

図10 - 1 TMMnのブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMMnコンペア・レジスタ0 (TMnCMP0)

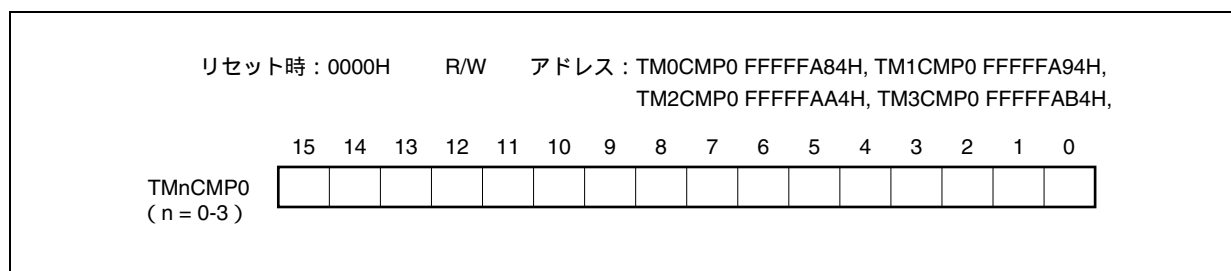
TMnCMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TMnCMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TMnCTL0.TMnCEビット = 1のとき、TMnCMP0レジスタの書き換えは禁止です。



10.3 レジスタ

(1) TMMn制御レジスタ0 (TMnCTL0)

TMnCTL0レジスタはTMMnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TMnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

備考 n = 0-3

リセット時：00H R/W アドレス：TM0CTL0 FFFFFFFA80H, TM1CTL0 FFFFFFFA90H,
TM2CTL0 FFFFFFFAA0H, TM3CTL0 FFFFFFFAB0H

	⑦	6	5	4	3	2	1	0
TMnCTL0 (n = 0-3)	TMnCE	0	0	0	0	TMnCKS2	TMnCKS1	TMnCKS0

TMnCE	内部クロック動作許可 / 禁止指定
0	TMMn動作禁止 (16ビット・カウンタを非同期にリセット)。動作クロック供給停止
1	TMMn動作許可。動作クロック供給開始。TMMn動作開始
TMnCEビットにより、TMMnの内部クロックの制御と内部回路のリセットを非同期に行います。TMnCEビットをクリア (0) すると、TMMnの内部クロックは停止 (ロウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。	

(m = 0)

TMmCKS2	TMmCKS1	TMmCKS0	カウント・クロックの選択	カウント・クロックの選択		
				fxx = 50 MHz	fxx = 48 MHz	fxx = 32 MHz
0	0	0	fxx	20.0 ns	20.8 ns	31.3 ns
0	0	1	fxx/2	40.0 ns	41.7 ns	62.5 ns
0	1	0	fxx/4	80.0 ns	83.3 ns	125 ns
0	1	1	fxx/64	1.28 μs	1.33 μs	2.00 μs
1	0	0	fxx/512	10.24 μs	10.7 μs	16.0 μs
1	0	1	fxx/1024	20.48 μs	21.33 μs	32.0 μs
1	1	0	fR/8	36.36 μs	36.36 μs	36.36 μs
1	1	1	fXT	30.52 μs	30.52 μs	30.52 μs

(m = 1-3)

TMmCKS2	TMmCKS1	TMmCKS0	カウント・クロックの選択	カウント・クロックの選択		
				fxx = 50 MHz	fxx = 48 MHz	fxx = 32 MHz
0	0	0	fxx/2	40.0 ns	41.7 ns	62.5 ns
0	0	1	fxx/4	80.0 ns	83.3 ns	125 ns
0	1	0	fxx/8	160 ns	167 ns	250 ns
0	1	1	fxx/16	320 ns	333 ns	500 ns
1	0	0	fxx/64	1.28 μs	1.33 μs	2.00 μs
1	0	1	fxx/256	5.12 μs	5.33 μs	8.00 μs
1	1	0	fxx/512	10.24 μs	10.67 μs	16.0 μs
1	1	1	fxx/1024	20.48 μs	21.33 μs	32.0 μs

- 注意1.** TMnCKS2-TMnCKS0ビットはTMnCEビット = 0のときに設定してください。
TMnCEビットを“0”から“1”に設定するときに、同時にTMnCKS2-TMnCKS0ビットを設定できません。
- 2.** ビット3-6には必ず“0”を設定してください。

備考 fxx : メイン・クロック周波数
fR : 内蔵発振クロック周波数
fXT : サブクロック周波数

10.4 動作

注意 TMnCMP0レジスタには、FFFFHを設定しないでください。

10.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TMnCTL0.TMnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTMnEQ0)を発生します。

図10-2 インターバル・タイマの構成図

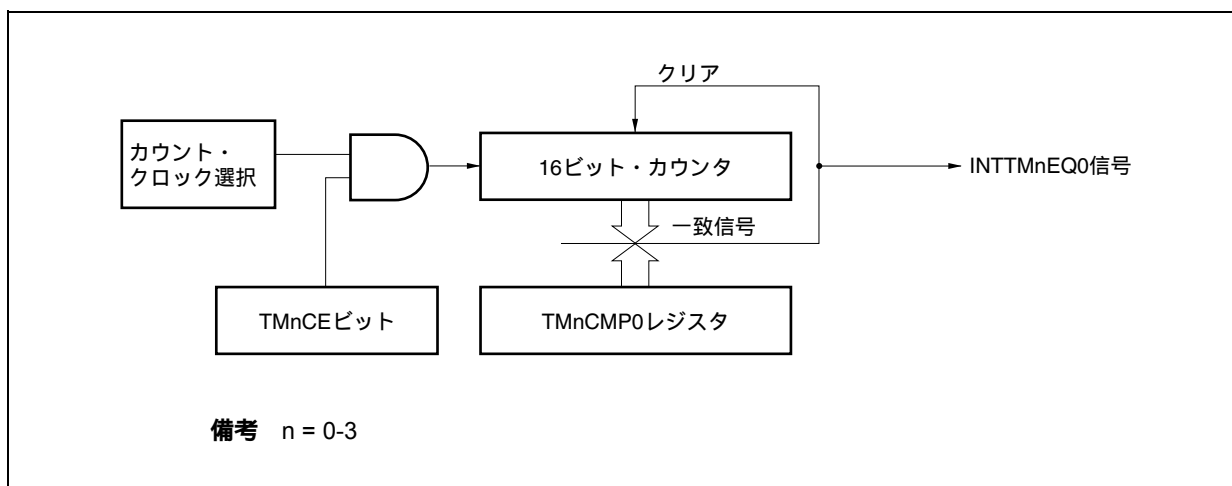
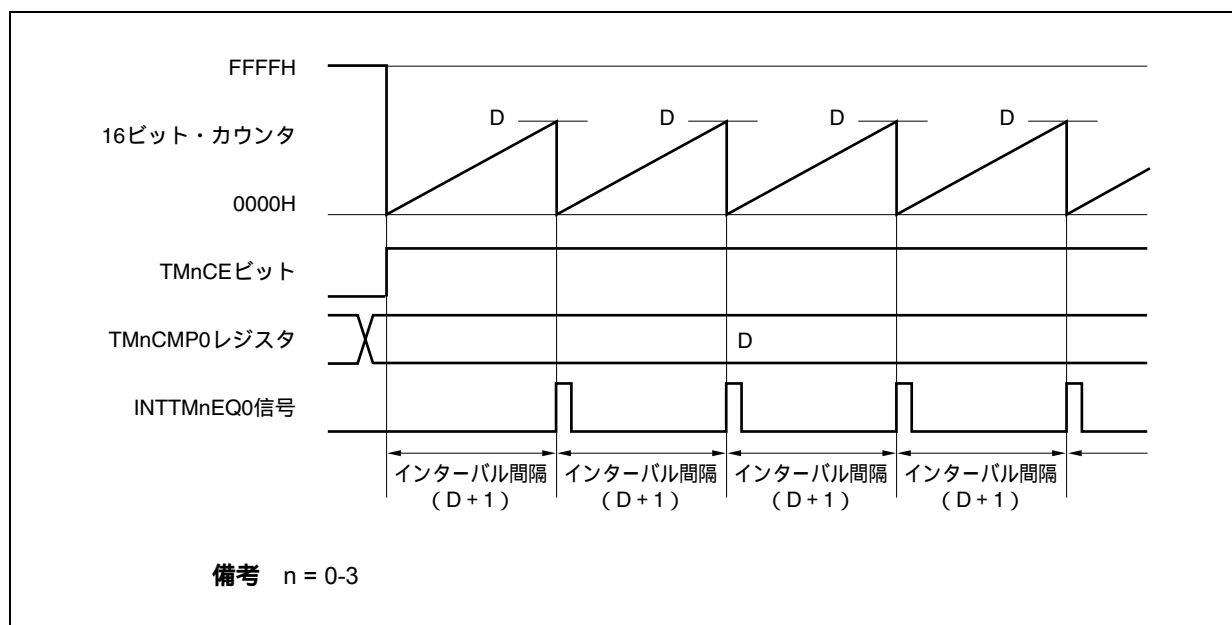
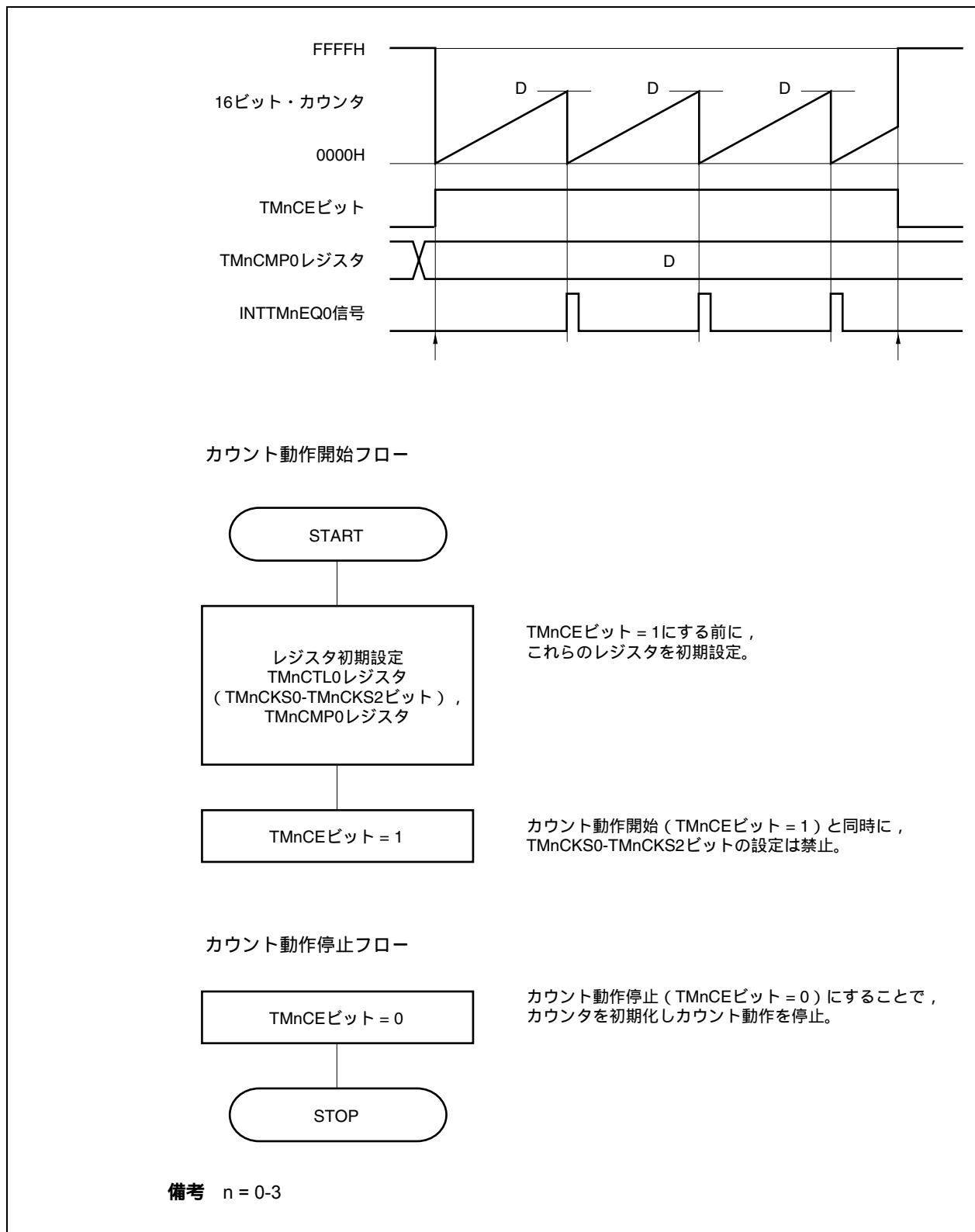


図10-3 インターバル・タイマ・モード動作の基本タイミング



(1) インターバル・タイマ・モード動作フロー

図10-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



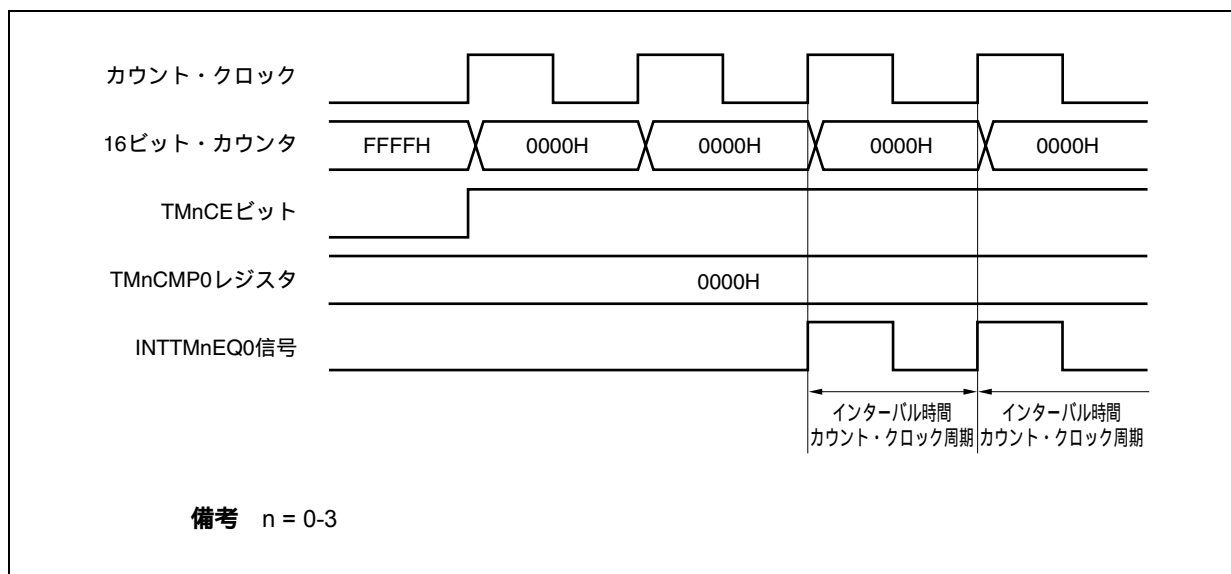
(2) インターバル・タイマ・モード動作タイミング

注意 TMnCMP0レジスタには、FFFFHを設定しないでください。

(a) TMnCMP0レジスタに0000Hを設定した場合の動作

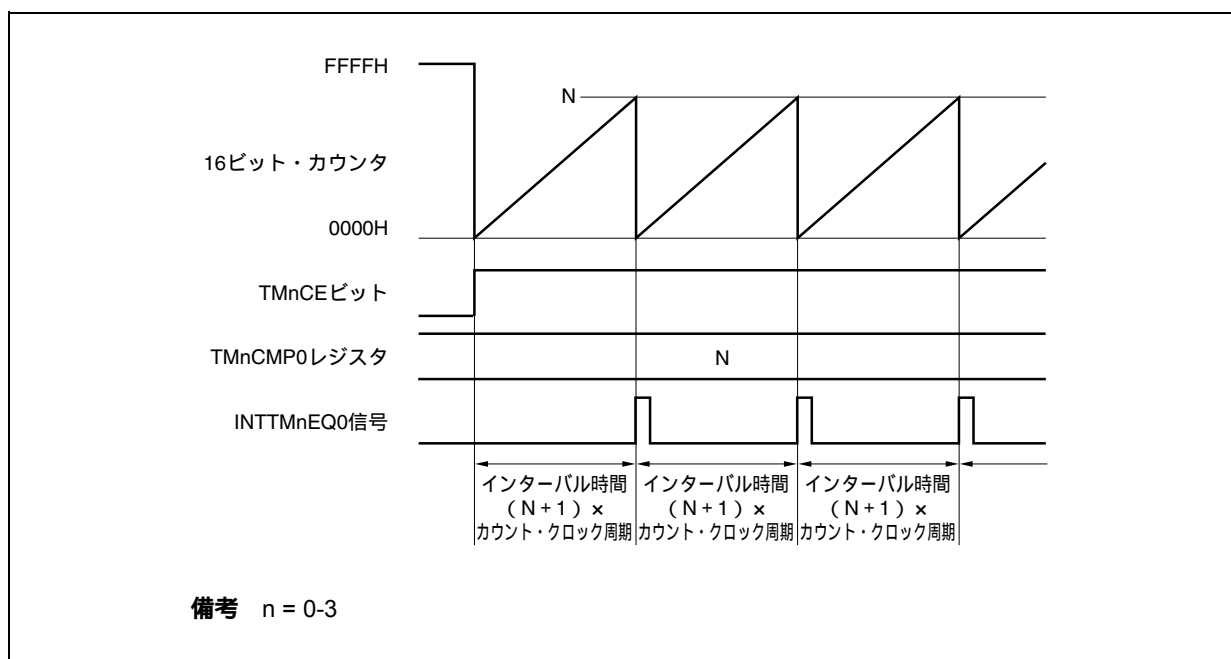
TMnCMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTMnEQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TMnCMP0レジスタにNを設定した場合の動作

TMnCMP0レジスタにNを設定した場合、16ビット・カウンタはNまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTMnEQ0信号を発生します。



10.4.2 注意事項

- (1) TMnCTL0.TMnCEビット = 1としてからカウント開始するまで、選択したカウント・クロックによって次の時間が最大かかります。

(n = 0)

選択したカウント・クロック	カウント開始までの最大時間
f_{xx}	$2/f_{xx}$
$f_{xx}/2$	$3/f_{xx}$
$f_{xx}/4$	$6/f_{xx}$
$f_{xx}/64$	$128/f_{xx}$
$f_{xx}/512$	$1024/f_{xx}$
$f_{xx}/1024$	$2048/f_{xx}$
$f_{R}/8$	$16/f_{R}$
f_{XT}	$2/f_{XT}$

(n = 1-3)

選択したカウント・クロック	カウント開始までの最大時間
$f_{xx}/2$	$4/f_{xx}$
$f_{xx}/4$	$6/f_{xx}$
$f_{xx}/8$	$12/f_{xx}$
$f_{xx}/16$	$32/f_{xx}$
$f_{xx}/64$	$128/f_{xx}$
$f_{xx}/256$	$512/f_{xx}$
$f_{xx}/512$	$1024/f_{xx}$
$f_{xx}/1024$	$2048/f_{xx}$

- (2) TMnCMP0, TMnCTL0レジスタはTMMn動作中の書き換えは禁止です。

TMnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TMnCTL0.TMnCEビットをクリア (0) してから再設定してください。

備考 n = 0-3

第11章 モータ制御機能

11.1 機能概要

タイマAB1(TAB1)とTAB1オプション(TAB1OP0)によりモータ制御用のインバータ機能として使用します。またタイマAA4(TAA4)と同調動作を行い、TAA4のコンペア一致タイミングで、A/DコンバータのA/D変換を起動することができます。モータ制御機能は、次のような動作を行うことができます。

- ・ 16ビット精度の6相PWM出力機能
- ・ タイマ同調動作機能 (TAA4と同調動作可能)
- ・ 任意の周期設定機能
(山割り込み, 谷割り込みでの動作中の変更可能)
- ・ コンペア・レジスタ書き換え: 随時書き換え / 一斉書き換え / 間欠一斉書き換え選択機能
(TAB1動作中の変更可能)
- ・ 割り込み機能および転送間引き機能
- ・ 任意のデッド・タイム設定機能
- ・ A/DコンバータのA/Dトリガの任意タイミング機能
- ・ 0 %出力と100 %出力が可能
- ・ 山割り込み, 谷割り込みでの0 %,100 %出力切り替え可能
- ・ 強制出力停止機能
 - ・ 外部端子入力 (TOAB1OFF, TOAA1OFF) による有効エッジ検出時
 - ・ クロック・モニタ機能によるメイン・クロックの発振停止検出時

11.2 構 成

モータ制御は次のハードウェアで構成されています。

項 目	構 成
タイマ・レジスタ	デッド・タイム・カウンタ
コンペア・レジスタ	TAB1デッド・タイム・コンペア・レジスタ (TAB1DTCレジスタ)
制御レジスタ	TAB1オプション・レジスタ1 (TAB1OPT1) TAB1オプション・レジスタ2 (TAB1OPT2) TAB1I/O制御レジスタ3 (TAB1IOC3) ハイ・インピーダンス出力制御レジスタ0 (HZA0CTL0) ハイ・インピーダンス出力制御レジスタ1 (HZA0CTL1)

- ・ TAB1の出力 (TOAB11, TOAB12, TOAB13) を使用し, デッド・タイム付きの6相PWM出力が可能です。
- ・ 6相PWM出力の出力レベルは個別に設定できます。
- ・ TAB1の16ビット・タイマ・カウンタは, アップ/ダウンの三角波カウントを行います。アンダフロー発生時と周期一致発生時に割り込みを発生しますが, 最大31回までの割り込み発生を間引くことができます。
- ・ TAA4は, TAB1とカウント動作を同時に行うことができます (タイマ同調動作機能)。TAA4は, A/Dトリガ・ソース (TABTADT0) が生成でき, TAB1のアンダフロー割り込み (INTTAB1OV) と周期一致割り込み (INTTAB1CC0) の2種類と合わせ, 合計3種類の設定ができます。

図11 - 1 モータ制御のブロック図

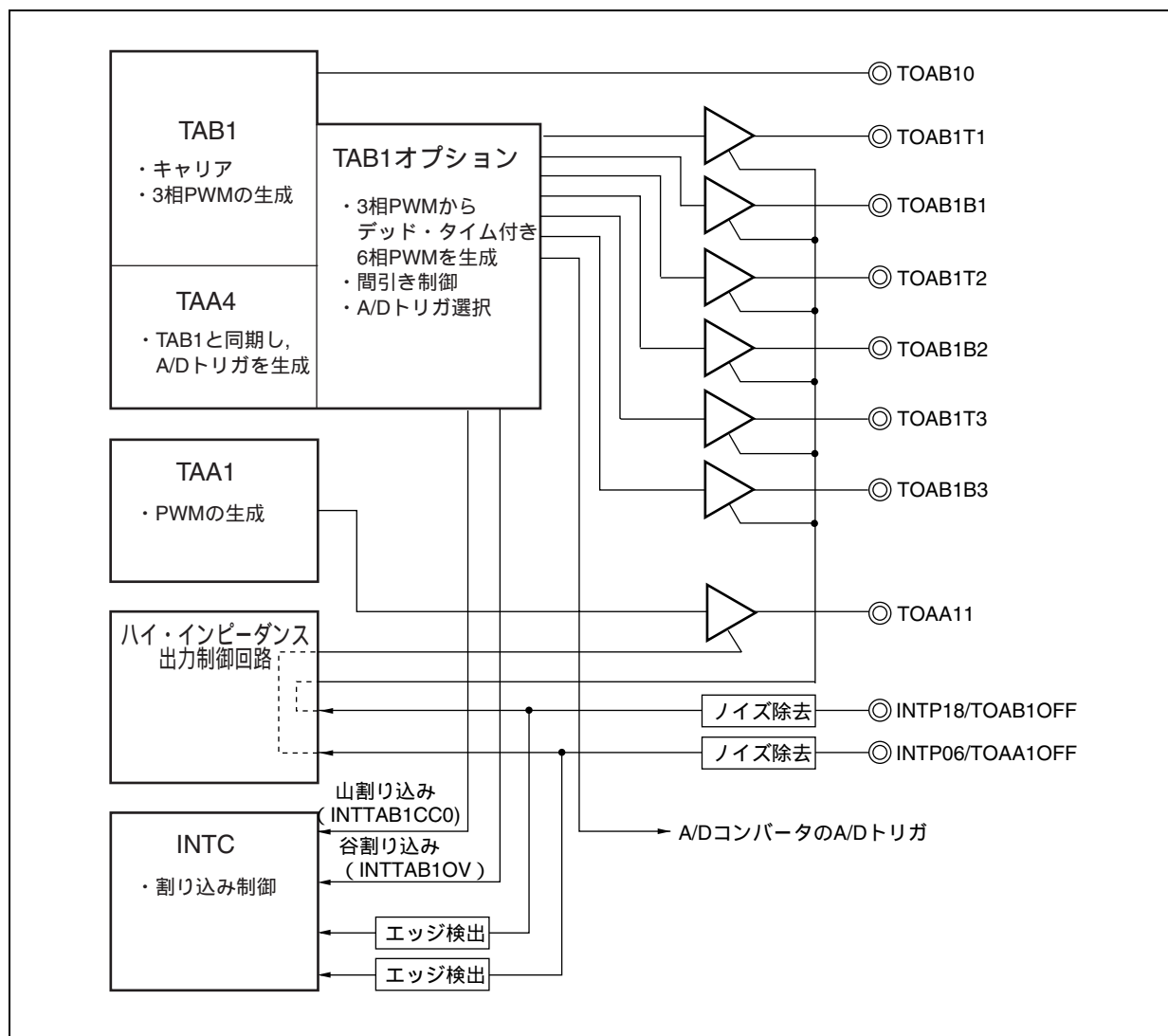
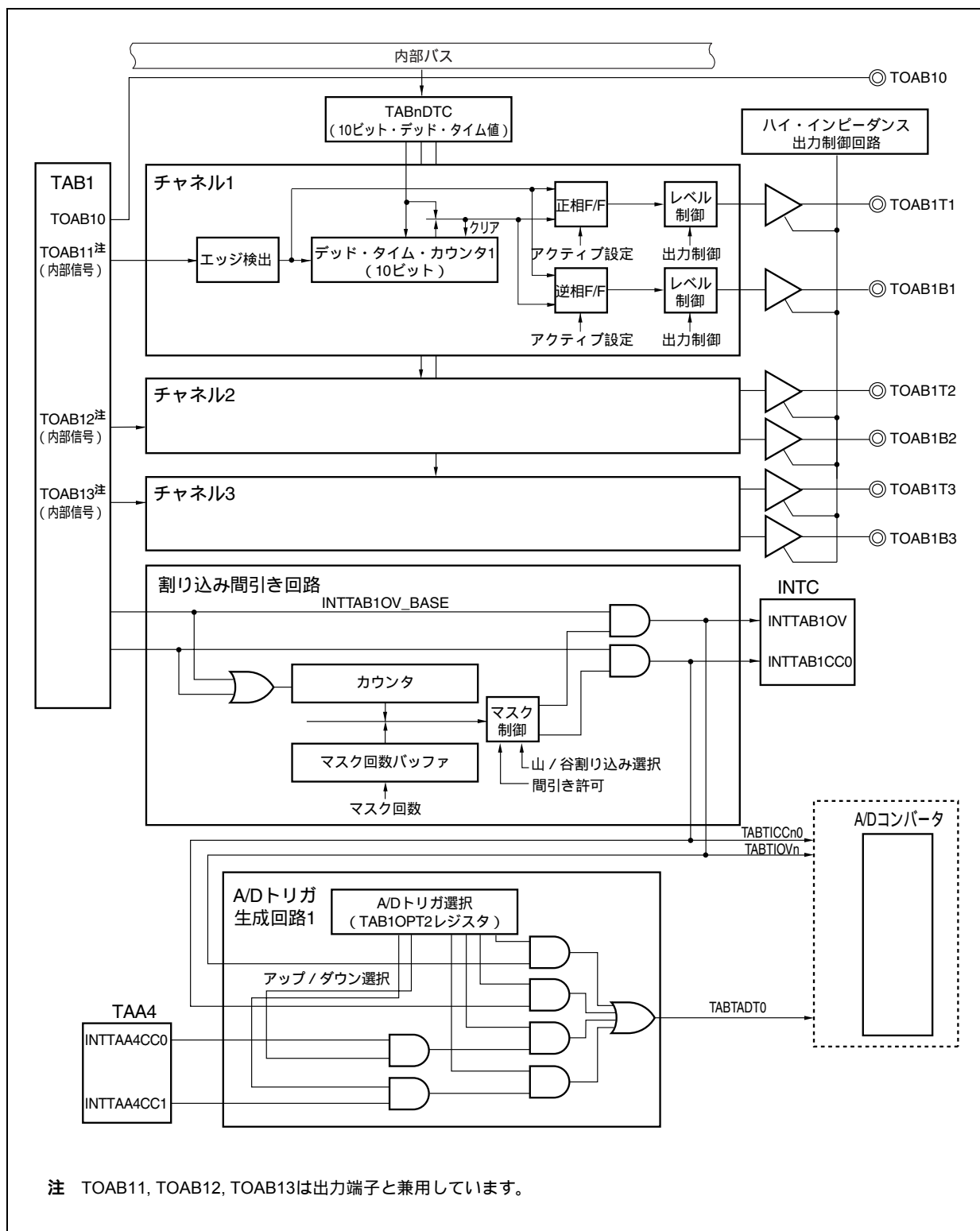


図11-2 TAB1オプション



(1) TAB1デッド・タイム・コンペア・レジスタ (TAB1DTC)

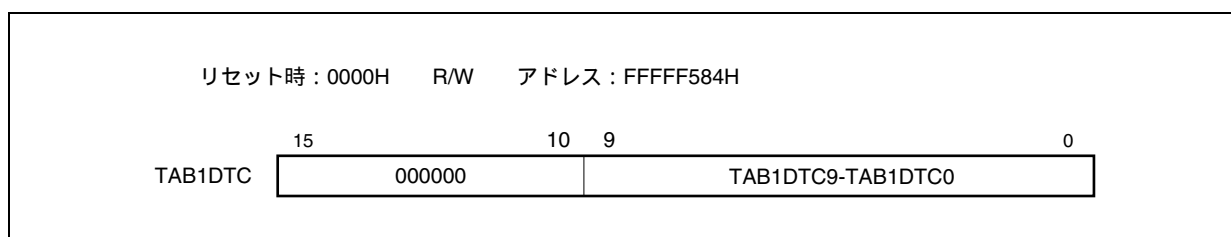
TAB1DTCレジスタは、デッド・タイム値を指定する10ビットのコンペア・レジスタです。

TAB1CTL0.TAB1CEビット = 1のとき、TAB1DTCレジスタの書き換えは禁止です。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 デッド・タイム期間を生成する場合は、TAB1DTCレジスタに1以上の値を設定してください。
 なお、動作停止(TAB1CTL0.TAB1CEビット = 0)時には、デッド・タイム期間は生成されず、
 TOAB1T1-TOAB1T3, TOAB1B1-TOAB1B3端子の出力レベルは初期状態となります。そのため、
 システム保護のため、動作停止前にTOAB1T1-TOAB1T3, TOAB1B1-TOAB1B3端子をハイ・インピーダンス状態にするか、もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。
 デッド・タイム期間が不要の場合は、TAB1DTCレジスタに0を設定してください。

**(2) デッド・タイム・カウンタ1-3**

デッド・タイム・カウンタはデッド・タイムをカウントする10ビットのカウント・レジスタです。

TAB1のTOAB1m出力信号の立ち上がり/立ち下がりエッジにより、クリア/カウント・アップ動作を行い、TAB1DTCレジスタとの一致でクリア&ストップします。カウント・クロックはTAB1のTAB1CTL0.TAB1CKS2-TAB1CKS0ビットで設定したカウント・クロックと同じカウント・クロックです。

備考1. TAB1OPT2.TAB1DTMビット = 1とした場合は、動作が異なります。詳細は、11.4.2(4) **デッド・タイム幅の自動縮小機能** (TAB1OPT2.TAB1DTMビット = 1) を参照してください。

2. m = 1-3

11.3 レジスタ

(1) TAB1オプション・レジスタ1 (TAB1OPT1)

タイマAB1オプション機能から発生する割り込み要求信号を制御する8ビットのレジスタです。

TAB1CTL0.TAB1CEビット = 1のときも、TAB1OPT1レジスタの書き換えができます。

書き換え方法は、TAB1OPT0.TAB1CMSビットにより、一斉書き込みモードと随時書き込みモードの2種類を選択できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF580H

	⑦	⑥	5	4	3	2	1	0
TAB1OPT1	TAB1ICE	TAB1IOE	0	TAB1ID4	TAB1ID3	TAB1ID2	TAB1ID1	TAB1ID0

TAB1ICE	山割り込み (INTTAB1CC0信号) 許可
0	INTTAB1CC0信号を使用しない (割り込み間引きのカウント信号としない)
1	INTTAB1CC0信号を使用する (割り込み間引きのカウント信号とする)

TAB1IOE	谷割り込み (INTTAB1OV信号) 許可
0	INTTAB1OV信号を使用しない (割り込み間引きのカウント信号としない)
1	INTTAB1OV信号を使用する (割り込み間引きのカウント信号とする)

TAB1ID4	TAB1ID3	TAB1ID2	TAB1ID1	TAB1ID0	割り込み回数の選択
0	0	0	0	0	間引きなし (すべての割り込みを出力)
0	0	0	0	1	1マスク (2回に1回の割り込みを出力)
0	0	0	1	0	2マスク (3回に1回の割り込みを出力)
0	0	0	1	1	3マスク (4回に1回の割り込みを出力)
:	:	:	:	:	:
1	1	1	0	0	28マスク (29回に1回の割り込みを出力)
1	1	1	0	1	29マスク (30回に1回の割り込みを出力)
1	1	1	1	0	30マスク (31回に1回の割り込みを出力)
1	1	1	1	1	31マスク (32回に1回の割り込みを出力)

(2) TAB1オプション・レジスタ2 (TAB1OPT2)

タイマAB1オプション機能を制御する8ビットのレジスタです。

TAB1CTL0.TAB1CEビット = 1のときも, TAB1OPT2レジスタの書き換えが可能です。ただし, TAB1DTMビットはTAB1CEビット = 1のとき, 書き換え禁止です。同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF581H

	⑦	⑥	⑤	④	③	②	①	①
TAB1OPT2	TAB1RDE	TAB1DTM	TAB1ATM3	TAB1ATM2	TAB1AT3	TAB1AT2	TAB1AT1	TAB1AT0

TAB1RDE	転送間引き許可
0	転送の間引きなし (山, 谷で毎回転送タイミングが発生)
1	TAB1OPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く

TAB1DTM	デッド・タイム・カウンタ動作モード選択 (m = 1-3)
0	通常のアップ・カウントを行い, TAB1のTOAB1m出力が狭間隔 (TOAB1m出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタをクリアし再カウントを行う。
1	通常のアップ・カウントを行い, TAB1のTOAB1m出力が狭間隔 (TOAB1m出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタはダウン・カウント動作に切り替わり, デッド・タイム制御幅が自動的に狭くなる。
TAB1DTMビットは, タイマ動作中の書き換えは禁止です。誤って書き換えた場合は, 一度TAB1CEビット = 0にしてタイマ動作を停止してから, 再度設定を行ってください。	

- 注意1. 割り込み間引きを使用する場合 (TAB1OPT1.TAB1ID4-TAB1ID0ビット = 00000以外) には, 必ずTAB1RDEビット = 1に設定してください。
このため, 割り込みと転送は同じタイミングで発生します。別々の設定はできません。別々の設定を行った場合 (TAB1RDEビット = 0) は転送が正常に行われません。
2. デッド・タイム期間を生成する場合は, TAB1DTCレジスタに1以上の値を設定してください。
なお, 動作停止 (TAB1CTL0.TAB1CEビット = 0) 時には, デッド・タイム期間は生成されず, TOAB1T1-TOAB1T3, TOAB1B1-TOAB1B3端子の出力レベルは初期状態となります。そのため, システム保護のため, 動作停止前にTOAB1T1-TOAB1T3, TOAB1B1-TOAB1B3端子をハイ・インピーダンス状態にするか, もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。
デッド・タイム期間が不要の場合は, TAB1DTCレジスタに0を設定してください。

TAB1ATM3	TAB1ATM3モード選択
0	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) をアップ・カウント時に出力
1	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) をダウン・カウント時に出力

TAB1ATM2	TAB1ATM2モード選択
0	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) をアップ・カウント時に出力
1	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) をダウン・カウント時に出力

TAB1AT3 ^注	A/Dトリガ出力制御3
0	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) の出力許可

TAB1AT2 ^注	A/Dトリガ出力制御2
0	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) の出力許可

TAB1AT1 ^注	A/Dトリガ出力制御1
0	INTTAB1CC0 (山割り込み) のA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAB1CC0 (山割り込み) のA/Dトリガ信号 (TABTADT0) の出力許可

TAB1AT0 ^注	A/Dトリガ出力制御0
0	INTTAB1OV (谷割り込み) のA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAB1OV (谷割り込み) のA/Dトリガ信号 (TABTADT0) の出力許可

注 TAB1AT3-TAB1AT0ビットの設定については、第15章 A/Dコンバータを参照してください。

(3) TAB1I/O制御レジスタ3 (TAB1IOC3)

タイマAB1オプション機能の出力を制御する8ビットのレジスタです。

TOAB1Tm端子を出力するためには、TAB1IOC0.TAB1OEmビット = 1に設定してからTAB1IOC3レジスタを設定してください。

TAB1CTL0.TAB1CEビット = 0のときのみ、TAB1IOC3レジスタの書き換えが可能です。

TAB1CTL0.TAB1CEビット = 1のとき、TAB1IOC3レジスタの各ビットの書き換えは禁止です。

TAB1CTL0.TAB1CEビット = 1のとき、TAB1IOC3レジスタの各ビットの同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットによりA8Hになります。

注意 6相PWM出力モード以外のモードでタイマを使用する場合はTAB1IOC3レジスタの値はリセット値 (A8H) に設定してください。

備考1. TOAB1Tm端子の出力レベルの設定は、TAB1IOC0レジスタで行ってください。

2. m = 1-3

リセット時 : A8H R/W アドレス : FFFFFFF582H								
	⑦	⑥	⑤	④	③	②	1	0
TAB1IOC3	TAB1OLB3	TAB1OEB3	TAB1OLB2	TAB1OEB2	TAB1OLB1	TAB1OEB1	0	0
TAB1OLBm	TOAB1Bm端子出力レベルの設定 (m = 1-3)							
0	TOAB1Bm端子出力反転禁止							
1	TOAB1Bm端子出力反転許可							
TAB1OEBm	TOAB1Bm端子出力の設定 (m = 1-3)							
0	TOAB1Bm端子出力禁止 ・ TAB1OLBmビット = 0 のときTOAB1Bm端子からロウ・レベルを出力 ・ TAB1OLBmビット = 1 のときTOAB1Bm端子からハイ・レベルを出力							
1	TOAB1Bm端子出力許可							

(a) TOAB1Tm, TOAB1Bm端子出力

TOAB1Tm端子出力は, TAB1IOC0.TAB1OLm, TAB1OEmビットによって制御されます。TOAB1Bm端子出力は, TAB1IOC3.TAB1OLBm, TAB1OEBmビットによって制御されます。

6相PWM出力モードにおける各設定でのタイマ出力を次に示します。

図11 - 3 TOAB1Tm, TOAB1Bm端子出力制御 (デッド・タイムなし)

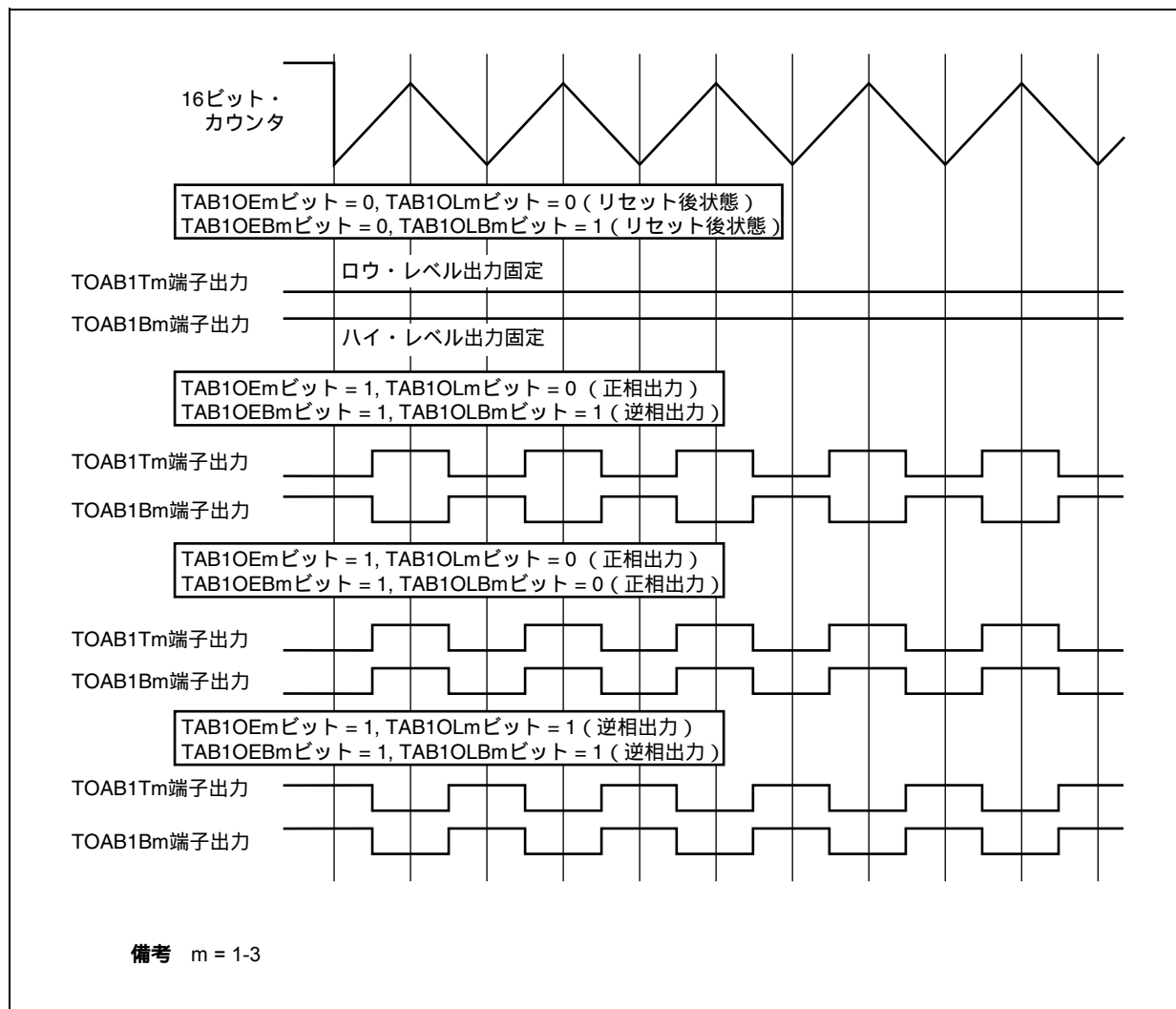


表11 - 1 TOAB1Tm端子出力

TAB1OLmビット	TAB1OEmビット	TAB1CEビット	TOAB1Tm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOAB1Tm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOAB1Tm逆相出力

備考 m = 1-3

表11 - 2 TOAB1Bm端子出力

TAB1OLBmビット	TAB1OEBmビット	TAB1CEビット	TOAB1Bm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOAB1Bm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOAB1Bm逆相出力

備考 m = 1-3

(6) ハイ・インピーダンス出力制御レジスタ0, 1 (HZA0CTL0, HZA0CTL1)

HZA0CTL0, HZA0CTL1レジスタは、出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしHZA0DCFnビットは、リードのみ可能で、ライト動作を行っても書き込めません。

16ビット・アクセスは、できません。

リセットにより00Hになります。

HZA0CTLnレジスタは、常時ソフトウェアでの同値書き込みが可能です。

検出要因/制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因	制御レジスタ
	外部端子	
TOAB1T1-TOAB1T3出力時 TOAB1B1-TOAB1B3出力時	TOAB1OFF/INTP18	HZA0CTL0
TOAA11出力時	TOAA1OFF/INTP06	HZA0CTL1

注意 ハイ・インピーダンス制御が行なわれるのは、対象ポートを表中の対象端子に設定した場合にかぎります。

備考 n = 0, 1

リセット時：00H R/W アドレス：HZA0CTL0 FFFFF590H, HZA0CTL1 FFFFF591H

	⑦	⑥	5	4	③	②	1	①
HZA0CTLn (n = 0, 1)	HZA0DCEn	HZA0DCMn	HZA0DCNn	HZA0DCPn	HZA0DCTn	HZA0DCCn	0	HZA0DCFn

HZA0DCEn	ハイ・インピーダンス出力の制御
0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能
1	ハイ・インピーダンス出力制御動作許可

HZA0DCMn	HZA0DCCnビットによるハイ・インピーダンス解除の条件
0	外部端子入力に関係なく，HZA0DCCnビットの設定が有効
1	外部端子入力が異常検出したレベル（アクティブ・レベル）を保持している期間はHZA0DCCnビットの設定が無効。

HZA0DCMnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。

HZA0DCNn	HZA0DCPn	外部端子の入力エッジ指定
0	0	有効エッジなし（外部端子入力によるHZA0DCFnビットのセット禁止）
0	1	外部端子の入力の立ち上がりエッジを有効 （立ち上がりエッジ入力で異常検出）
1	0	外部端子の入力の立ち下がりエッジを有効 （立ち下がりエッジ入力で異常検出）
1	1	設定禁止

- ・ HZA0DCNn, HZA0DCPnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。
- ・ INTP06, INTP18端子のエッジ指定については，25.6.2(2) **外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ2**（INTR2, INTF2），(6) **外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ9H**（INTR9, INTF9）を参照してください。
- ・ 外部端子のエッジ指定は，まずTOAB1OFF, TOAA1OFF端子から行ってください。その後，TOAB1OFF, TOAA1OFF端子以外の外部端子のエッジ指定を行ってください。それ以外の場合には，TOAB1OFF, TOAA1OFF端子のエッジ指定時に不定なエッジを検出することがあります。
- ・ ハイ・インピーダンス出力制御は動作許可（HZA0DCEnビット = 1）後に有効エッジが入力された場合に行われます。したがって，動作許可する時点で外部端子がアクティブ・レベルである場合は，ハイ・インピーダンス出力制御は行われません。

HZA0DCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZA0DCFnビットがセット(1)されます。

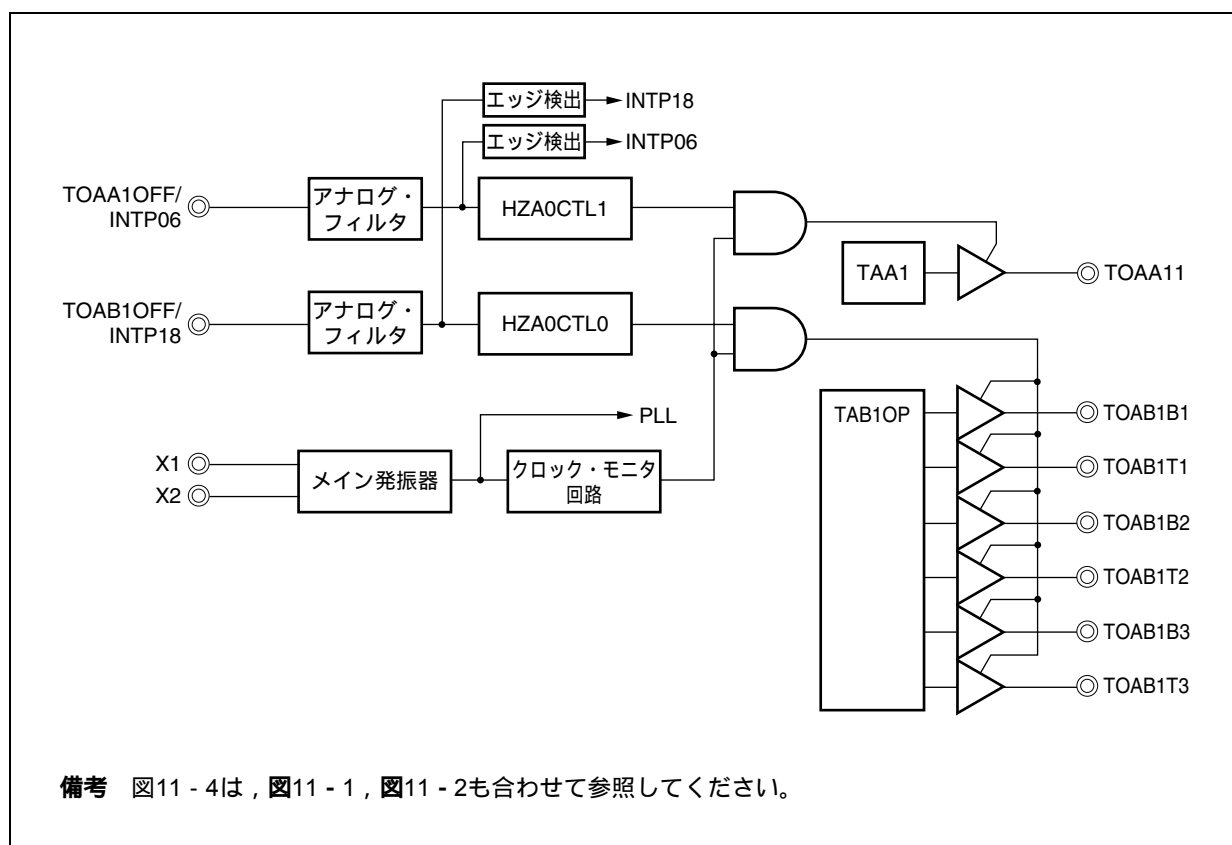
・外部端子に異常を示すエッジが入力（HZA0DCNn, HZA0DCPnビットの設定により検出）された場合、HZA0DCTnビットに1を設定しても無効です。
 ・HZA0DCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。
 ・HZA0DCEnビット = 0のとき、HZA0DCTnビットに1を設定しても無効です。
 ・HZA0DCTnビットとHZA0DCCnビットを同時に1に設定することは禁止です。

HZA0DCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZA0DCFnビットがクリア(0)されます。

・HZA0DCMビット = 0のとき、外部端子の状態にかかわらず対象端子の出力が可能です。
 ・HZA0DCMビット = 1のとき、外部端子に異常を示すエッジが入力（HZA0DCNn, HZA0DCPnビットの設定により検出）された場合、HZA0DCCnビットに1を設定しても無効です。
 ・HZA0DCCnビットはリードすると必ず0が読み出されます。
 ・HZA0DCEnビット = 0のとき、HZA0DCCnビットに1を設定しても無効です。
 ・HZA0DCTnビットとHZA0DCCnビットを同時に1に設定することは禁止です。

HZA0DCFn	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・HZA0DCEnビット = 0によりクリア(0)されます。 ・HZA0DCCnビット = 1によりクリア(0)されます。
1	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・HZA0DCTnビット = 1によりセット(1)されます。 ・外部端子に異常を示すエッジが入力（HZA0DCNn, HZA0DCPnビットの設定により検出）された場合、セット(1)されます。

図11 - 4 ハイ・インピーダンス出力制御回路構成



(a) 設定手順

(i) ハイ・インピーダンス制御動作を設定する方法

- <1> HZA0DCMn, HZA0DCNn, HZA0DCPnビットの設定
- <2> HZA0DCEnビット = 1 (ハイ・インピーダンス制御の許可)

(ii) ハイ・インピーダンス制御許可設定後に変更する方法

- <1> HZA0DCEnビット = 0 (ハイ・インピーダンス制御動作の停止)。
- <2> HZA0DCMn, HZA0DCNn, HZA0DCPnビットの変更設定。
- <3> HZA0DCEnビット = 1 (ハイ・インピーダンス制御の再許可)。

(iii) 端子がハイ・インピーダンス状態のとき、出力を再開する方法

HZA0DCMnビット = 1の場合、外部端子の有効エッジ検出後、ハイ・インピーダンス状態の解除のためHZA0DCCnビットに1をセットしますが、外部端子の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

- <1> HZA0DCCnビット = 1 (ハイ・インピーダンス状態の解除命令信号)。
- <2> HZA0DCFnビットをリードし、フラグの状態を確認。
- <3> HZA0DCFnビット = 1ならば<1> の操作に戻る。外部端子の入力レベルの確認が必要。
HZA0DCFnビット = 0ならば端子出力可能。

(iv) ソフトウェアにより端子をハイ・インピーダンスにする方法

ソフトウェアによりHZA0DCTnビット = 1を設定し、端子をハイ・インピーダンスにするには、外部端子の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は、HZA0DCMnビットの設定に依存しない例です。

- <1> HZA0DCTnビット = 1 (ハイ・インピーダンス出力命令)。
- <2> HZA0DCFnビットをリードし、フラグの状態を確認。
- <3> HZA0DCFnビット = 0ならば<1>の操作に戻る。外部端子の入力レベルの確認が必要。
HZA0DCFnビット = 1ならばハイ・インピーダンス状態。

ただし、HZA0DCPnビット = 0, HZA0DCNnビット = 0に設定し、外部端子入力を使用しない場合は、HZA0DCTnビットに1をセットすることでハイ・インピーダンス状態になります。

備考 n = 0, 1

11.4 動作

11.4.1 システム概要説明

(1) 6相PWM出力概要

6相PWM出力モードは、6相PWM出力波形を生成するためにタイマAB1 (TAB1) とTAB1オプション (TAB1OP0) を組み合わせて使用します。

6相PWM出力モードはTAB1のTAB1CTL1.TAB1MD2-TAB1MD0ビットを“111”に設定することにより有効となります。

基本3相波生成用にTAB1の1本の16ビット・カウンタと4本の16ビット・コンペア・レジスタを使用します。

コンペア・レジスタの機能は次のとおりです。

また、A/Dコンバータの変換開始トリガ・ソース用に、TAA4はTAB1と同調動作を行うことができます。

コンペア・レジスタ	機能	設定可能範囲
TAB1CCR0レジスタ	周期の設定	0002H m FFFE _H
TAB1CCR1レジスタ	U相の出力幅の指定	0000H i m + 1
TAB1CCR2レジスタ	V相の出力幅の指定	0000H j m + 1
TAB1CCR3レジスタ	W相の出力幅の指定	0000H k m + 1

備考 m = TAB1CCR0レジスタの設定値

i = TAB1CCR1レジスタの設定値

j = TAB1CCR2レジスタの設定値

k = TAB1CCR3レジスタの設定値

生成された基本3相波を3本の10ビット・デッド・タイム・カウンタと1本のコンペア・レジスタでデッド・タイム間隔生成を行って、基本3相波の逆相波を作り、6相PWM出力波形 (U, \bar{U} , V, \bar{V} , W, \bar{W}) を生成します。

基本3相波生成用の16ビット・カウンタは、アップ/ダウン・カウント動作を行います。動作開始後はアップ・カウント動作を行い、TAB1CCR0レジスタに設定された周期値と一致するとダウン・カウント動作に切り替わります。次に0001Hとの一致が起こると再びアップ・カウント動作に切り替わります。つまりTAB1CCR0レジスタに設定した値 + 1の2倍の値がキャリア周期となります。

デッド・タイム間隔生成用の10ビットのデッド・タイム・カウンタ1-3は、アップ・カウント動作を行うので、TAB1デッド・タイム・コンペア・レジスタ (TAB1DTC) に設定した値がデッド・タイム値そのものになります。また、カウンタは3本ありデッド・タイム生成をU相、V相、W相に対し独立に行うことができますが、デッド・タイム値の指定レジスタ (TAB1DTC) は1本であるため、3相とも同じデッド・タイム値となります。

図11 - 5 6相PWM出力モードの概要

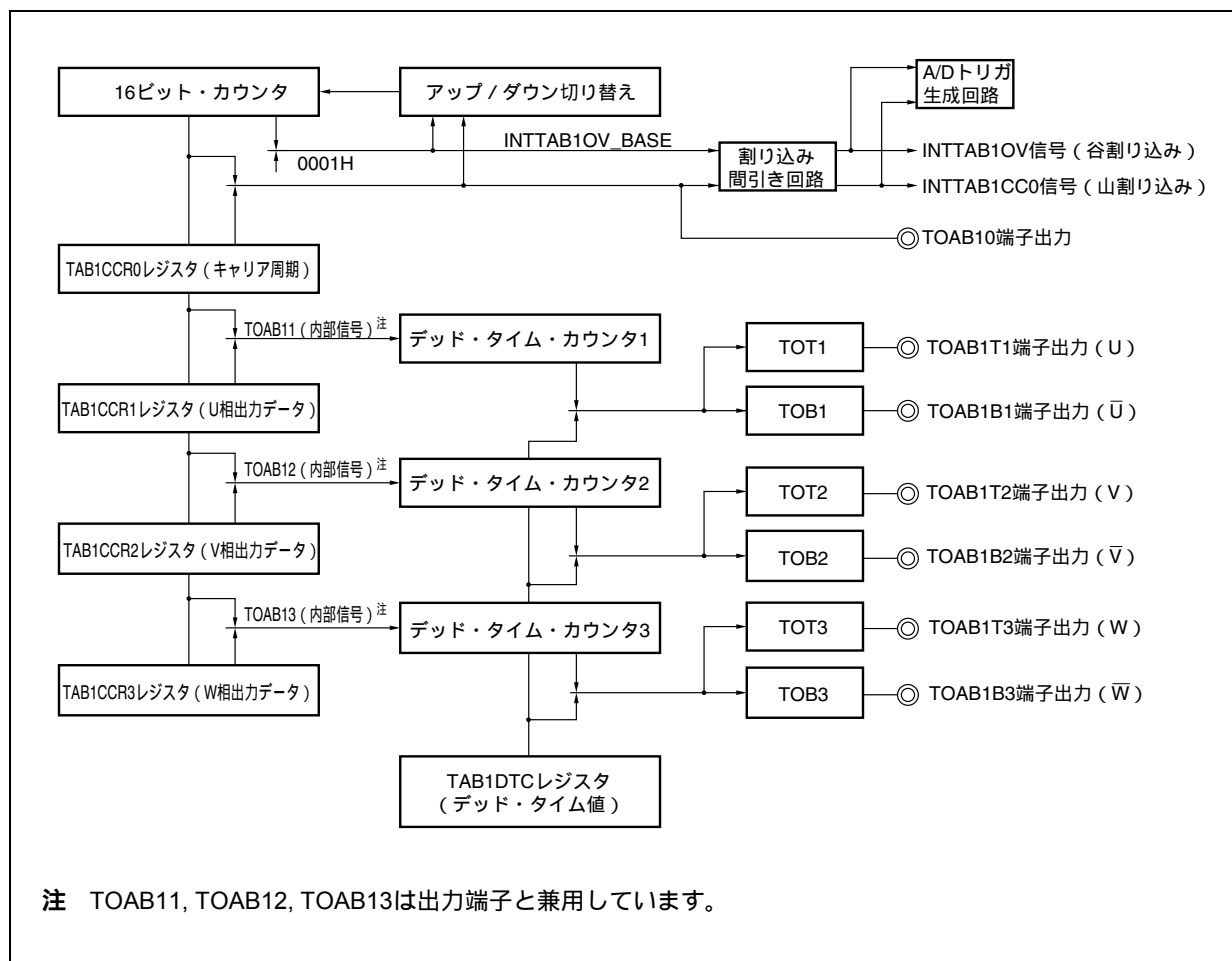
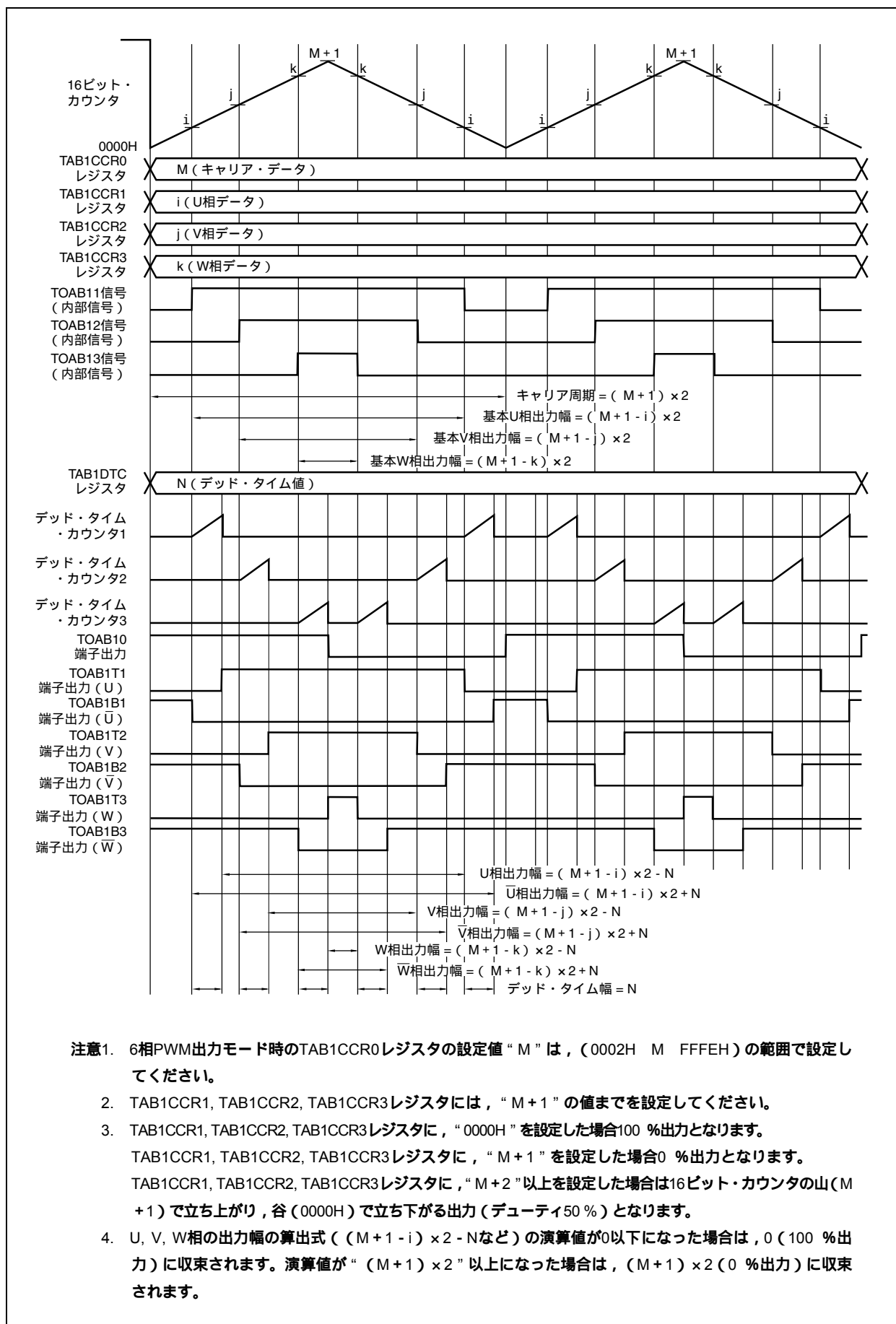


図11 - 6 6相PWM出力モードのタイミング図



(2) 割り込み要求

割り込み要求は、INTTAB1CC0（山割り込み）とINTTAB1OV（谷割り込み）の2種類あります。
 INTTAB1CC0, INTTAB1OVは、TAB1OPT1レジスタで割り込み要求を間引くことができます。
 割り込み間引きに関する詳細は、11.4.3 **割り込み間引き機能**を参照してください。

- ・INTTAB1CC0（山割り込み）：アップ・カウント時の16ビット・カウンタの値とTAB1CCR0レジスタの値との一致割り込み
- ・INTTAB1OV（谷割り込み）：ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み

(3) タイマ動作中のレジスタの書き換えについて

次のレジスタには、バッファ・レジスタがあり、随時書き換え、一斉書き換え、間欠一斉書き換えのいずれかの方法で書き換えができます。

関係ユニット	レジスタ
タイマAA1	TAA1キャプチャ/コンペア・レジスタ0 (TAA1CCR0) TAA1キャプチャ/コンペア・レジスタ1 (TAA1CCR1)
タイマAB1	TAB1キャプチャ/コンペア・レジスタ0 (TAB1CCR0) TAB1キャプチャ/コンペア・レジスタ1 (TAB1CCR1) TAB1キャプチャ/コンペア・レジスタ2 (TAB1CCR2) TAB1キャプチャ/コンペア・レジスタ3 (TAB1CCR3)
タイマAB1オプション	TAB1オプション・レジスタ1 (TAB1OPT1)

コンペア・レジスタの転送機能に関する詳細は、11.4.4 **転送機能付きレジスタの書き換え操作**を参照してください。

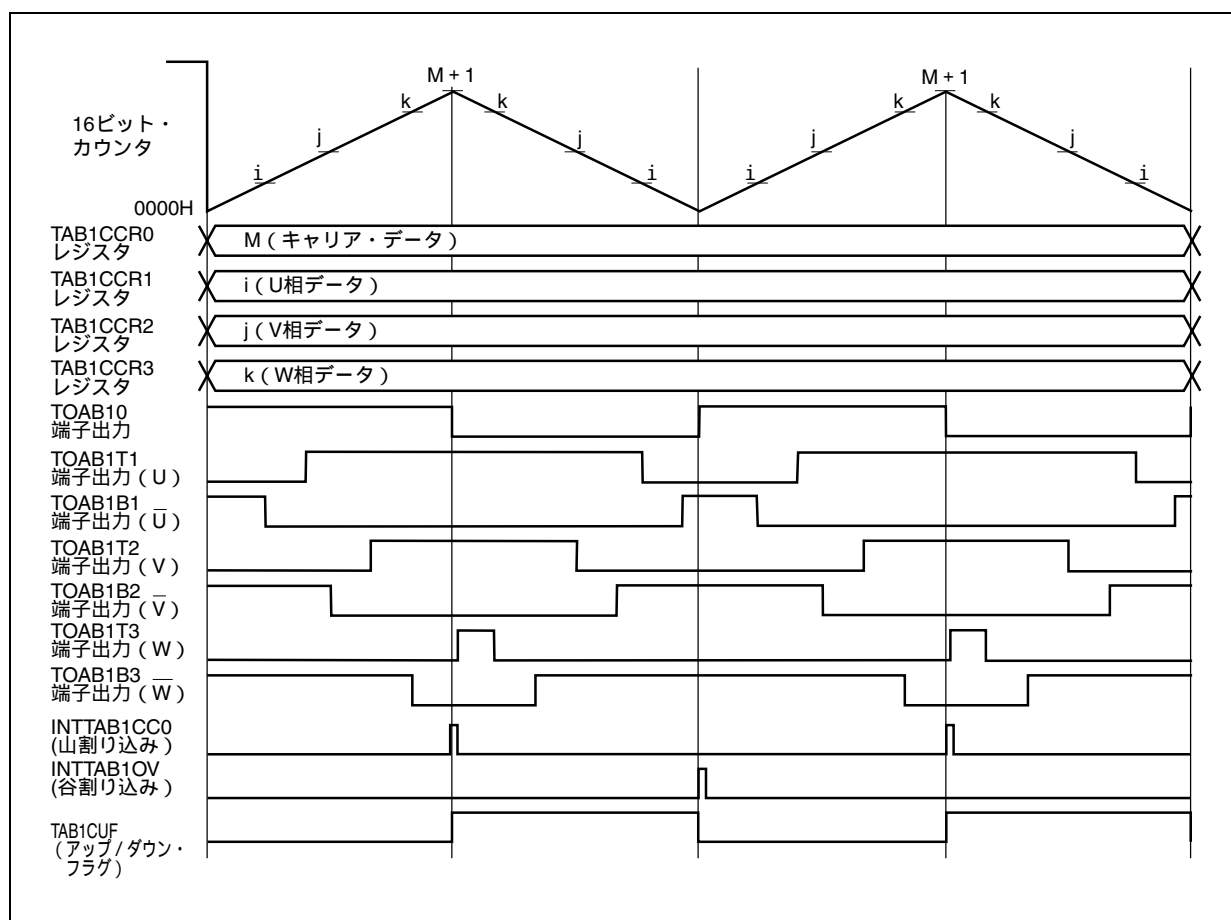
(4) 16ビット・カウンタのアップ/ダウン・カウント動作

16ビット・カウンタの動作状態は、TAB1オプション・レジスタ0 (TAB1OPT0) のTAB1CUFビットにより確認できます。

TAB1CUFビットの状態	16ビット・カウンタの状態	16ビット・カウンタの値の範囲
TAB1CUFビット = 0	アップ・カウント	0000H - m
TAB1CUFビット = 1	ダウン・カウント	(m + 1) - 0001H

備考 m = TAB1CCR0レジスタの設定値

図11-7 割り込みとアップ/ダウン・フラグ



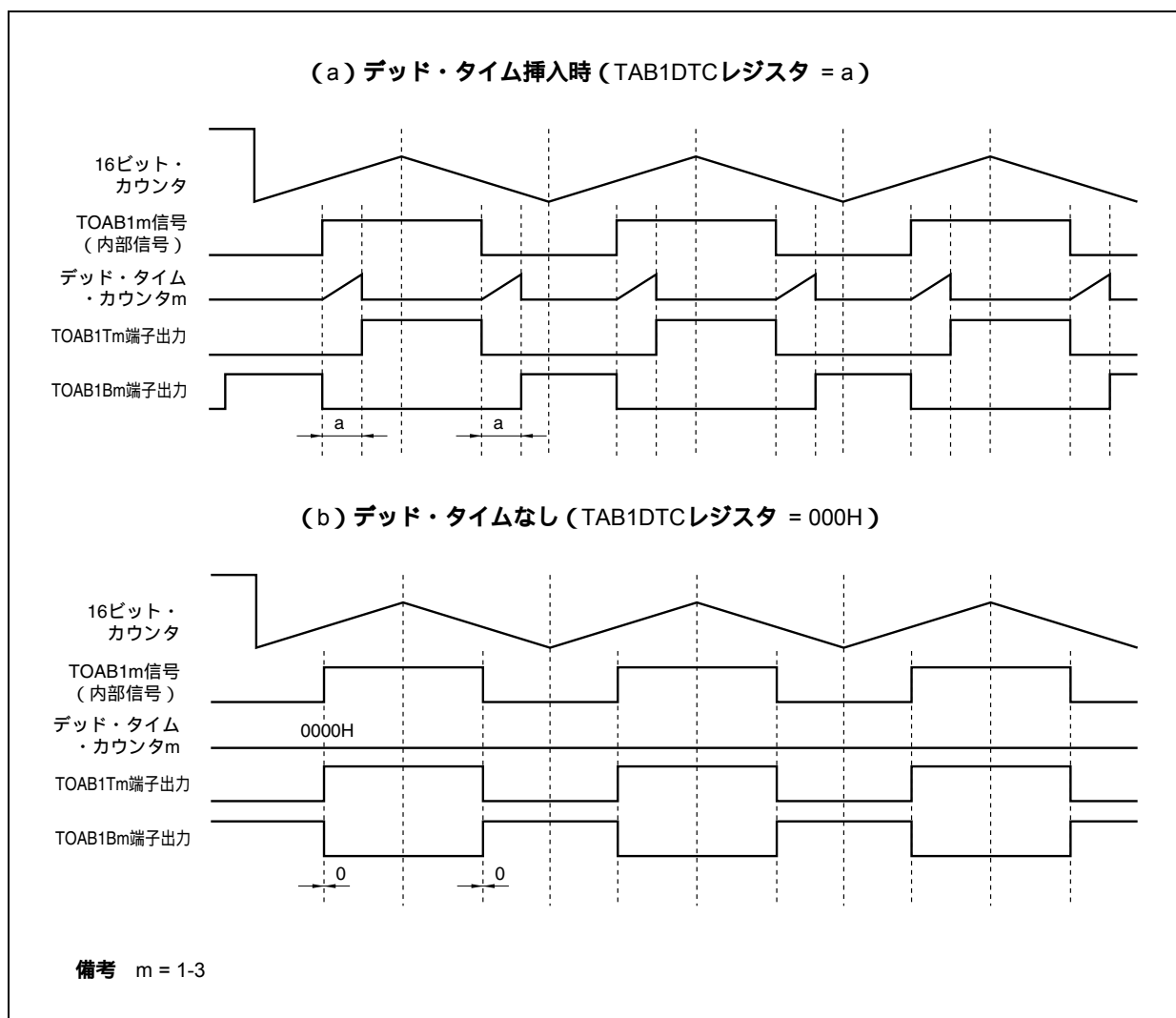
11.4.2 デッド・タイム制御（逆相波信号の生成）

（1）デッド・タイム制御機構

6相PWM出力モードではデューティ用の設定レジスタはコンペア・レジスタ1-3（TAB1CCR1, TAB1CCR2, TAB1CCR3）とし、周期用の設定レジスタはコンペア・レジスタ0（TAB1CCR0）となります。この4種類のレジスタを設定し、TABを動作させることでデューティ可変型の3種類のPWM出力波形（基本3相波）を生成します。この3種類のPWM出力波形をタイマABオプション・ユニット（TABOP）で受け、デッド・タイムを付加した反転信号を作成することで、3組6本のPWM波形を生成します。

TABOPユニットは、TAB1のカウント・クロックに同期して動作する3本の10ビット・カウンタ（デッド・タイム・カウンタ1-3）とデッド・タイムの時間を指定するTAB1デッド・タイム・コンペア・レジスタ（TAB1DTC）で構成されます。TAB1DTCレジスタに“a”を設定するとデッド・タイム値は“a”となり、正相波と逆相波の間に“a”の間隔が作られます。

図11-8 デッド・タイム付加後のPWM出力波形（1）



(2) 0 % / 100 %のPWM出力

V850ES/JH3-E, V850ES/JJ3-Eは、PWM出力の0 %波形出力、および100 %波形出力が可能です。

0 %波形出力は、TOAB1Tm端子からロウ・レベルを出力し続けます。100 %波形はTOAB1Tm端子からハイ・レベルを出力し続けます。

0 %波形は、TAB1CCR0レジスタ = Mの場合、TAB1CCRmを“M + 1”に設定することにより出力されます。

100 %波形は、TAB1CCRmレジスタを“0000H”に設定することにより出力されます。

なお、タイマ動作中にTAB1CCRmレジスタの書き換えは許可されており、山割り込み (INTTAB1CC0) および谷割り込み (INTTAB1OV) のポイントで0 %波形出力 / 100 %波形出力に切り替えられます。

備考 m = 1-3

図11-9 0 %PWM出力波形図 (デッド・タイムあり)

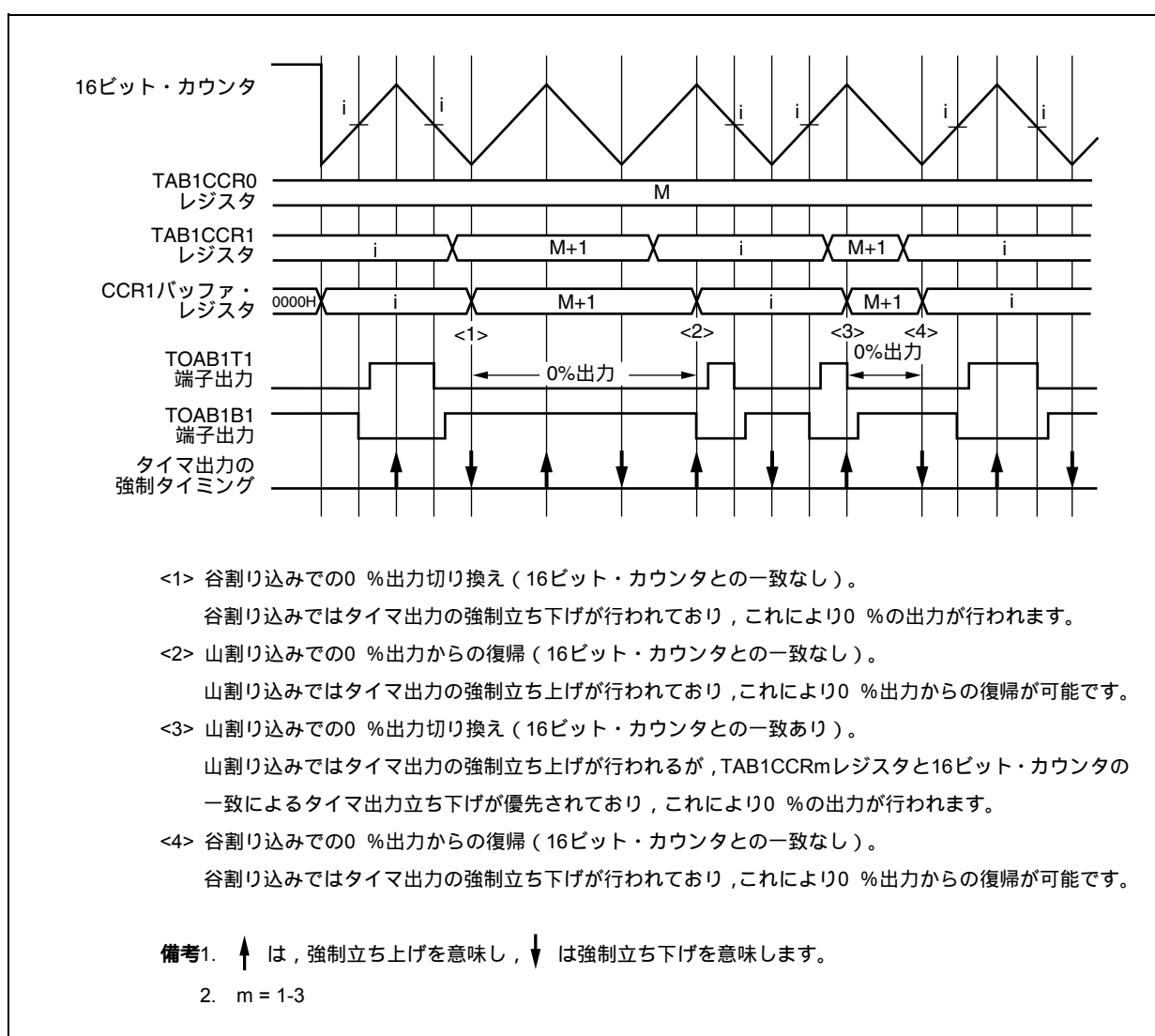


図11 - 10 100 %PWM出力波形図 (デッド・タイムあり)

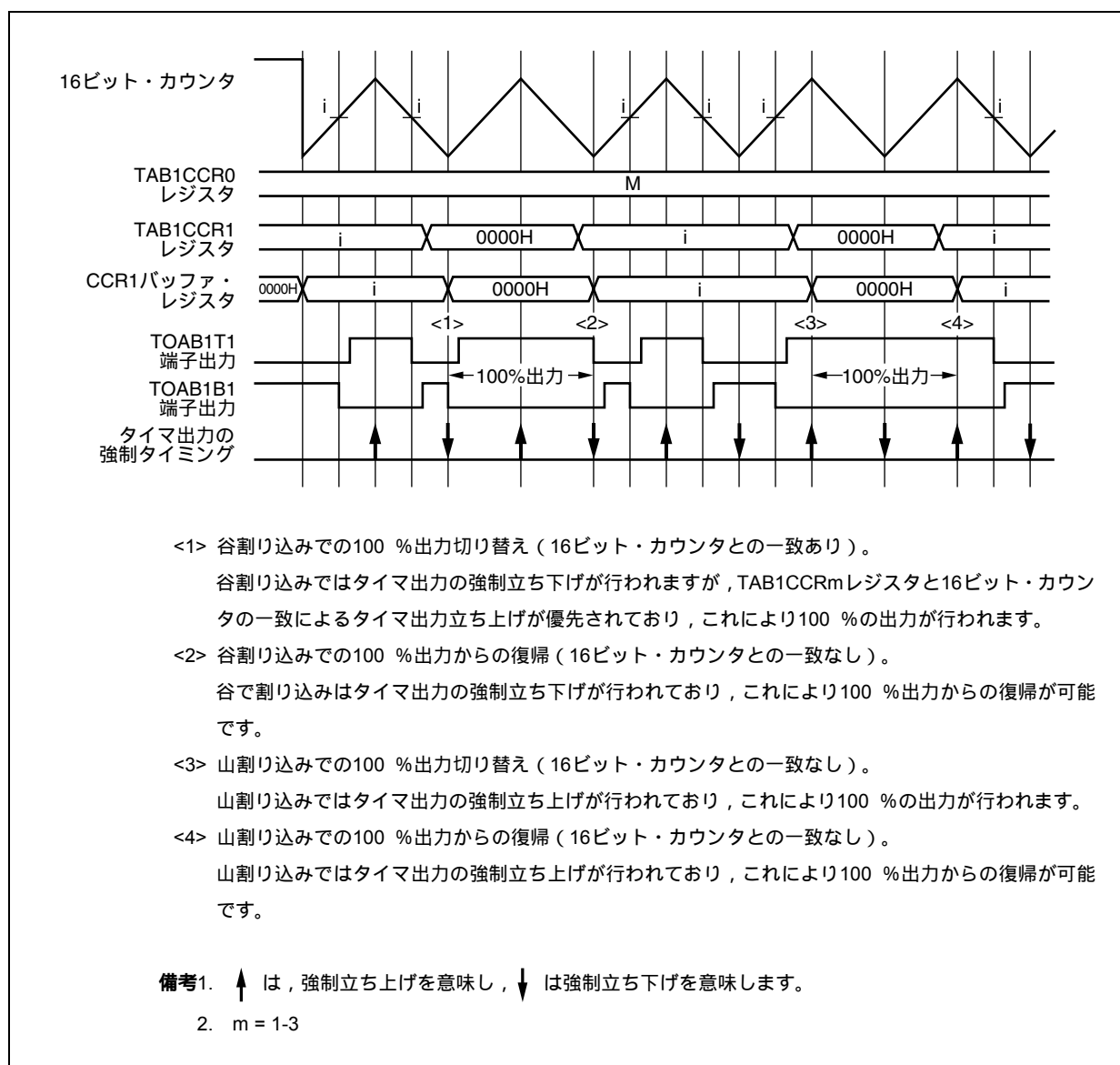
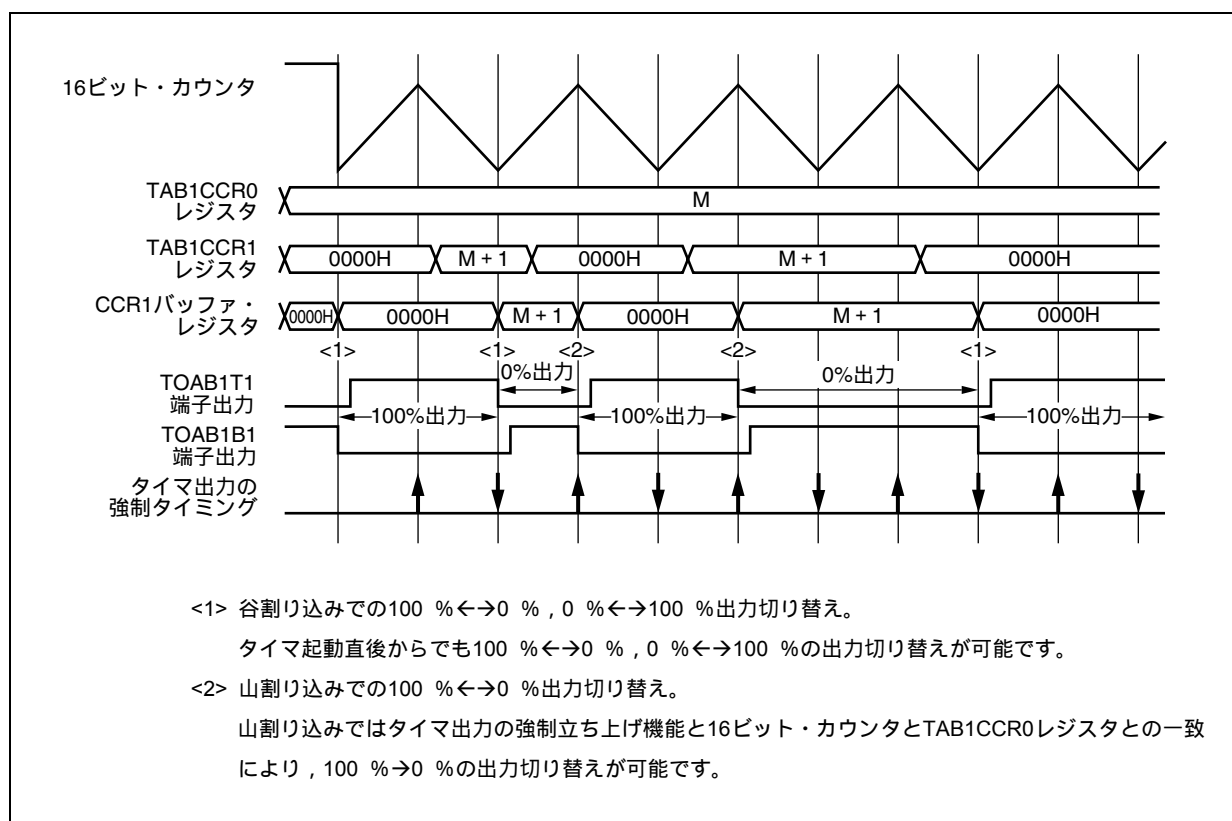


図11-11 0%から100%, 100%から0%のPWM出力波形図(デッド・タイムあり)

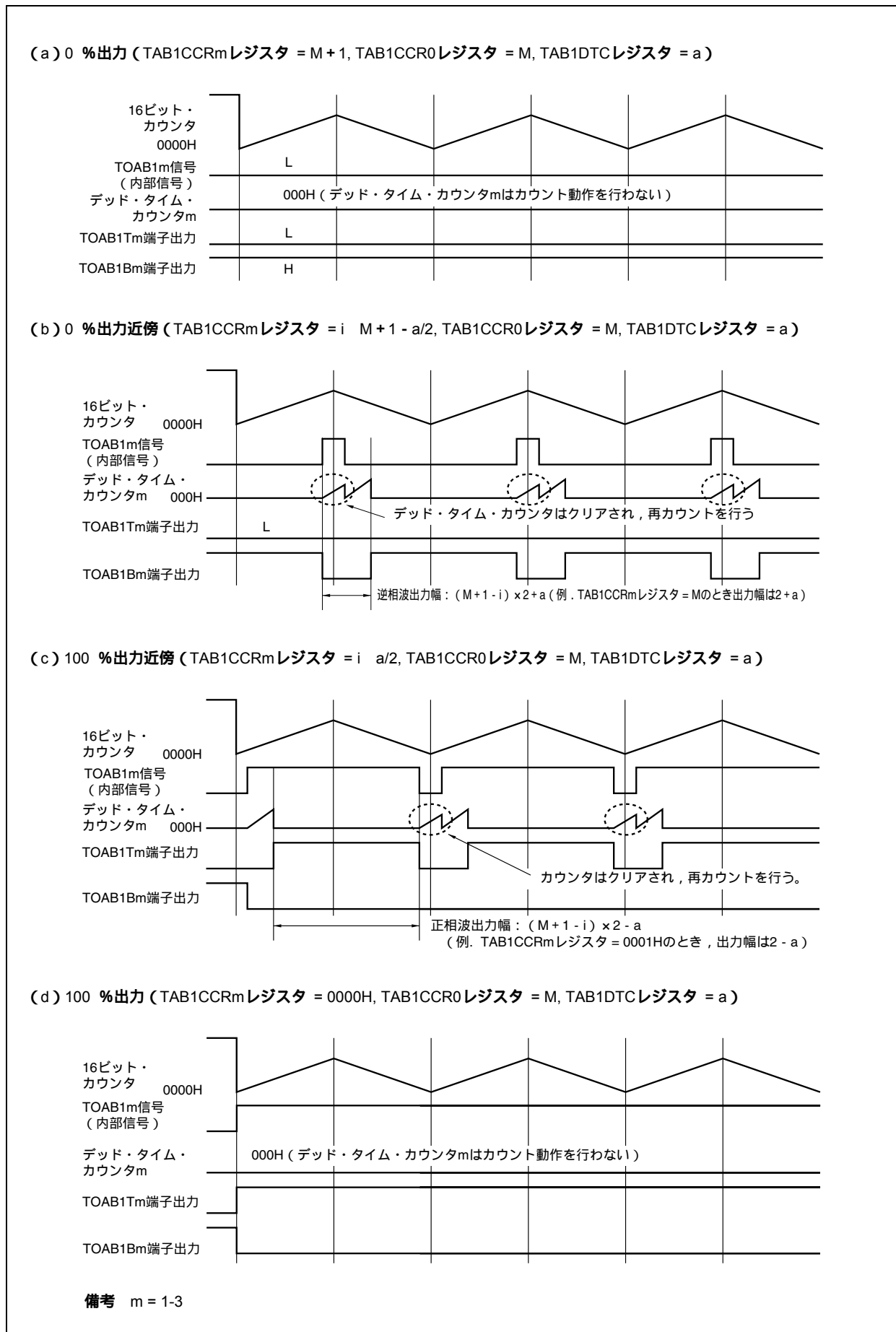


(3) 0%, 100%出力近傍の出力波形

デッド・タイム・カウント中にコンペア・レジスタと16ビット・カウンタとの一致割り込みが発生した場合, デッド・タイム・カウンタはクリアされ, 再びカウント動作をします。

0%, 100%出力の近傍でのデッド・タイム制御の出力波形を次に示します。

図11 - 12 デッド・タイム付加後のPWM出力波形 (2)



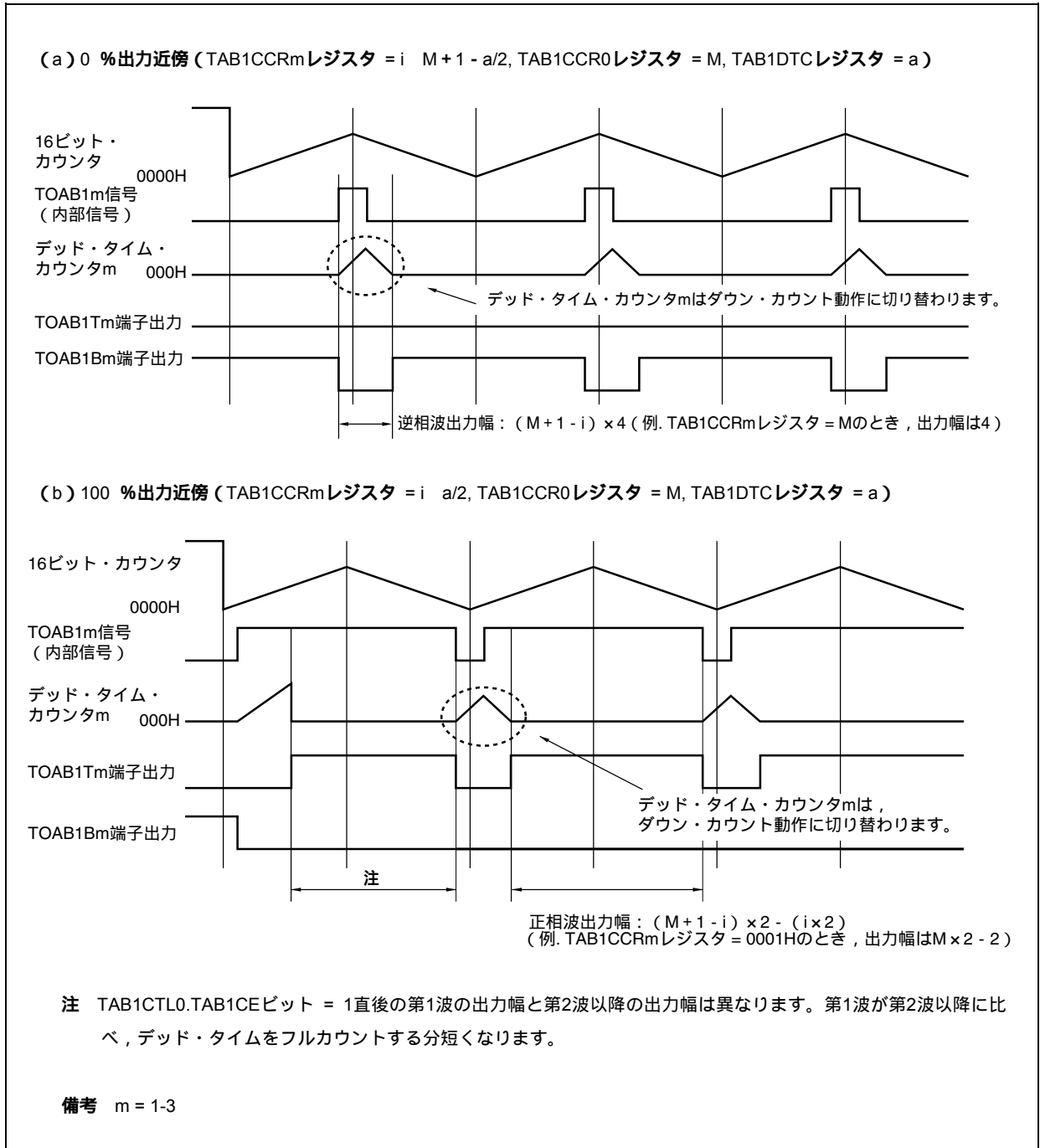
(4) デッド・タイム幅の自動縮小機能 (TAB1OPT2.TAB1DTMビット = 1)

TAB1OPT2.TAB1DTMビットを“1”に設定することにより, 0 %出力近傍 / 100 %出力近傍でのデッド・タイム幅を自動で縮小ができます。

TAB1DTMビット = 1に設定することにより, デッド・タイム・カウント中に再度のタイマABのTOAB1m (内部信号) 出力変化が起こった場合, カウンタ・クリア動作は行わず, デッド・タイム・カウンタはダウン・カウント動作に切り替わります。

TAB1DTMビット = 1に設定した場合のタイミング・チャートを次に示します。

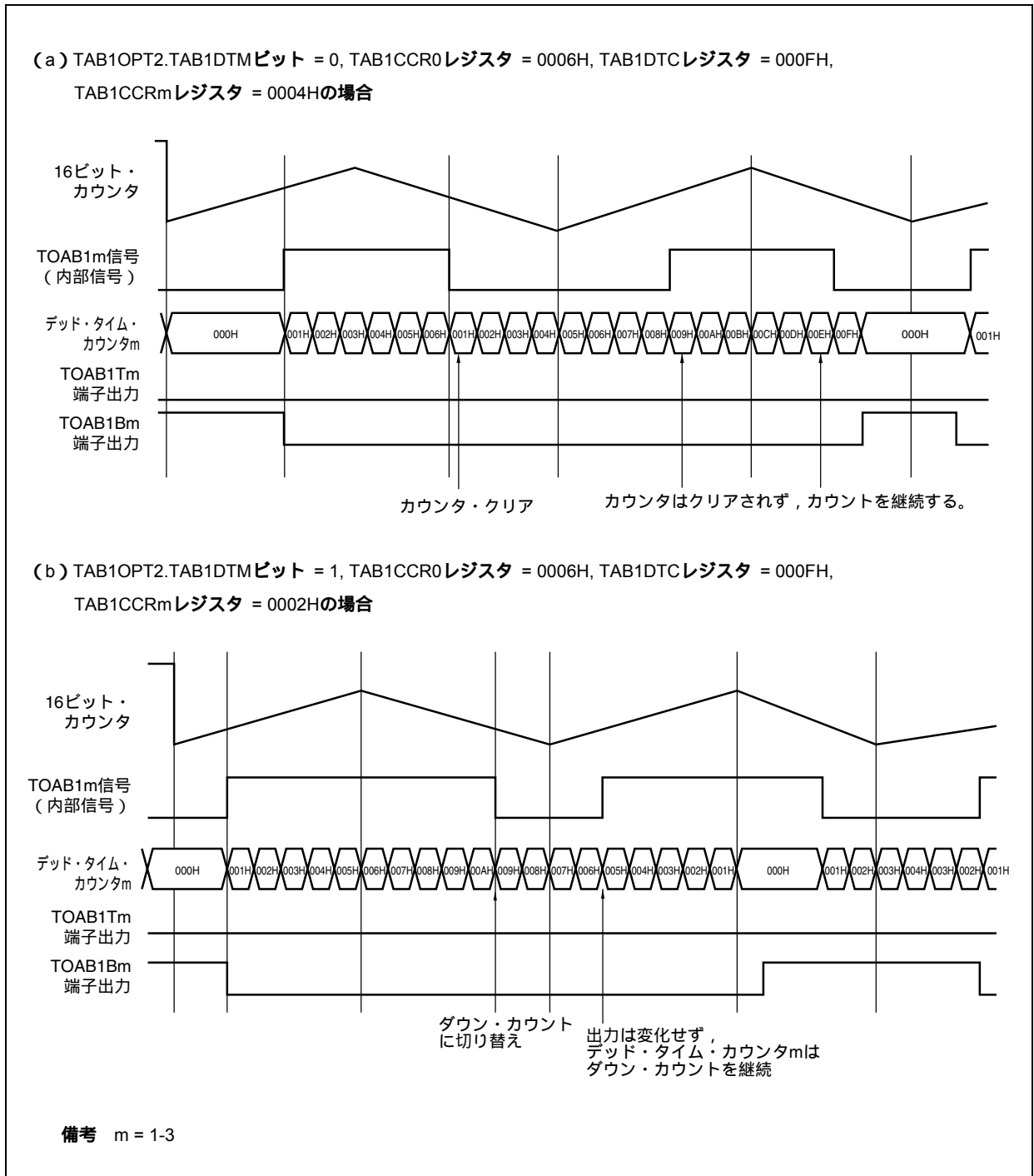
図11 - 13 デッド・タイム・カウンタmの動作 (1)



(5) 異常設定時のデッド・タイム制御

通常使用であれば、デッド・タイム・カウント中に再度のTAB1のTOAB1m (内部信号) 出力変化が起こるのは1度だけで、0 % , 100 %出力の近傍のみです。ここでは、TAB1CCR0レジスタ (キャリア周期) とTAB1DTCレジスタ (デッド・タイム値) の設定を誤り異常な設定をした場合の動作を示します。異常設定をすると、デッド・タイム・カウント中に2, 3度のTAB1のTOAB1m (内部信号) 出力変化が起こります。この場合の6相PWM出力波形の出力例を示します。

図11 - 14 デッド・タイム・カウンタmの動作 (2)



11.4.3 割り込み間引き機能

- ・ 間引き対象割り込みは、INTTAB1CC0（山割り込み）とINTTAB1OV（谷割り込み）です。
- ・ TAB1OPT1.TAB1ICEビットで、INTTAB1CC0割り込みの出力許可と間引きカウント対象指定を行います。
- ・ TAB1OPT1.TAB1IOEビットで、INTTAB1OV割り込みの出力許可と間引きカウント対象指定を行います。
- ・ TAB1OPT1.TAB1ID4-TAB1ID0ビットで、間引きカウント対象に指定された割り込み間引きカウント数の指定を行います。
指定した間引きカウント数分、割り込みはマスクされ、次の割り込みタイミングで割り込みが発生します。
- ・ TAB1OPT2.TAB1RDEビットで、転送の間引きあり/なしが指定可能です。
間引きありに指定した場合は、間引き後の割り込み出力と同タイミングにて転送が実行されます。
間引きなしに指定した場合は、TAB1CCR1レジスタ書き込み後の転送タイミングで転送が実行されます。
- ・ TAB1OPT0.TAB1CMSビットで、一斉書き換え/随時書き換えが指定可能。
TAB1CMSビット = 0のときは転送に同期してレジスタ値が更新されますが、TAB1CMSビット = 1のときは書き込み後、ただちにレジスタ値が更新されます。
転送タイミングは、割り込み間引きタイミングに同期して、TAB1CCRmレジスタからCCRmバッファ・レジスタに転送されます。

注意1. 一斉書き換えモード（転送モード）で割り込み間引き機能を使用する場合には、必ず間欠一斉書き換えモード（転送間引きモード）で行ってください。

2. 割り込みは間引き後のタイミングで発生します。

備考 m = 1-3

(1) 割り込み間引き動作

図11 - 15 TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 1, TAB1OPT2.TAB1RDEビット = 1での割り込み間引き動作 (山/谷割り込み出力)

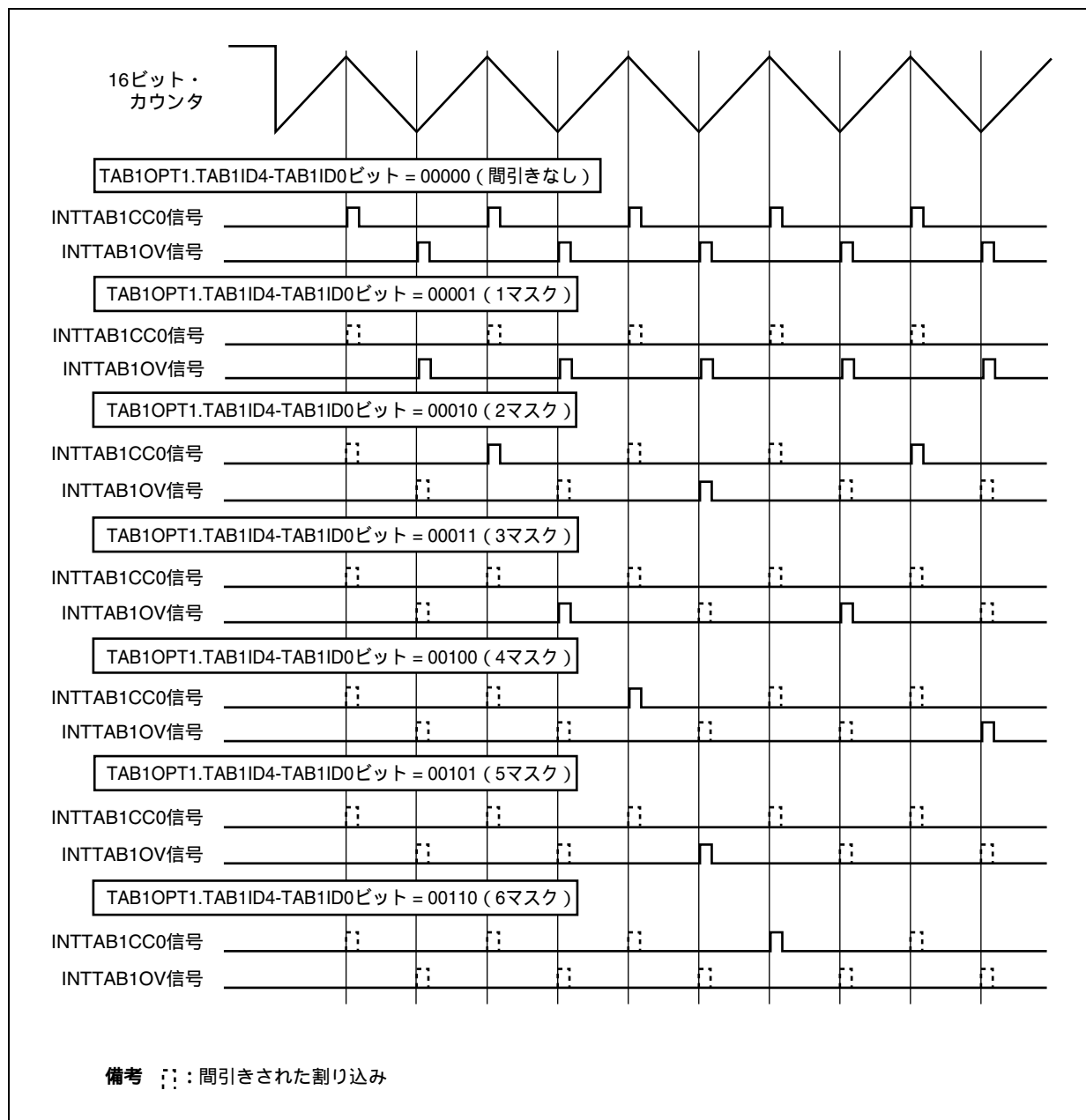


図11 - 16 TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 0, TAB1OPT2.TAB1RDEビット = 1での割り込み
間引き動作 (山割り込みのみ出力)

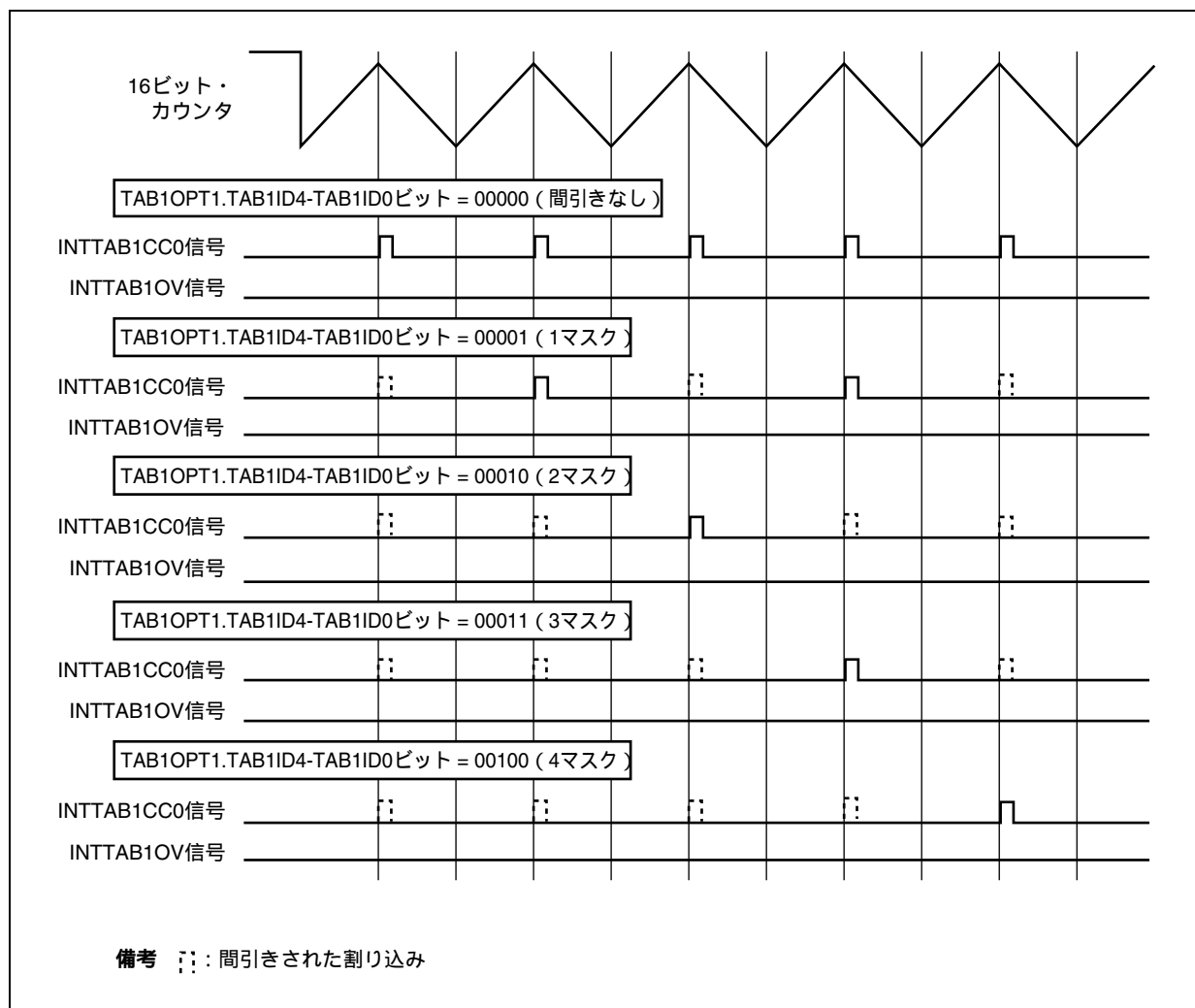
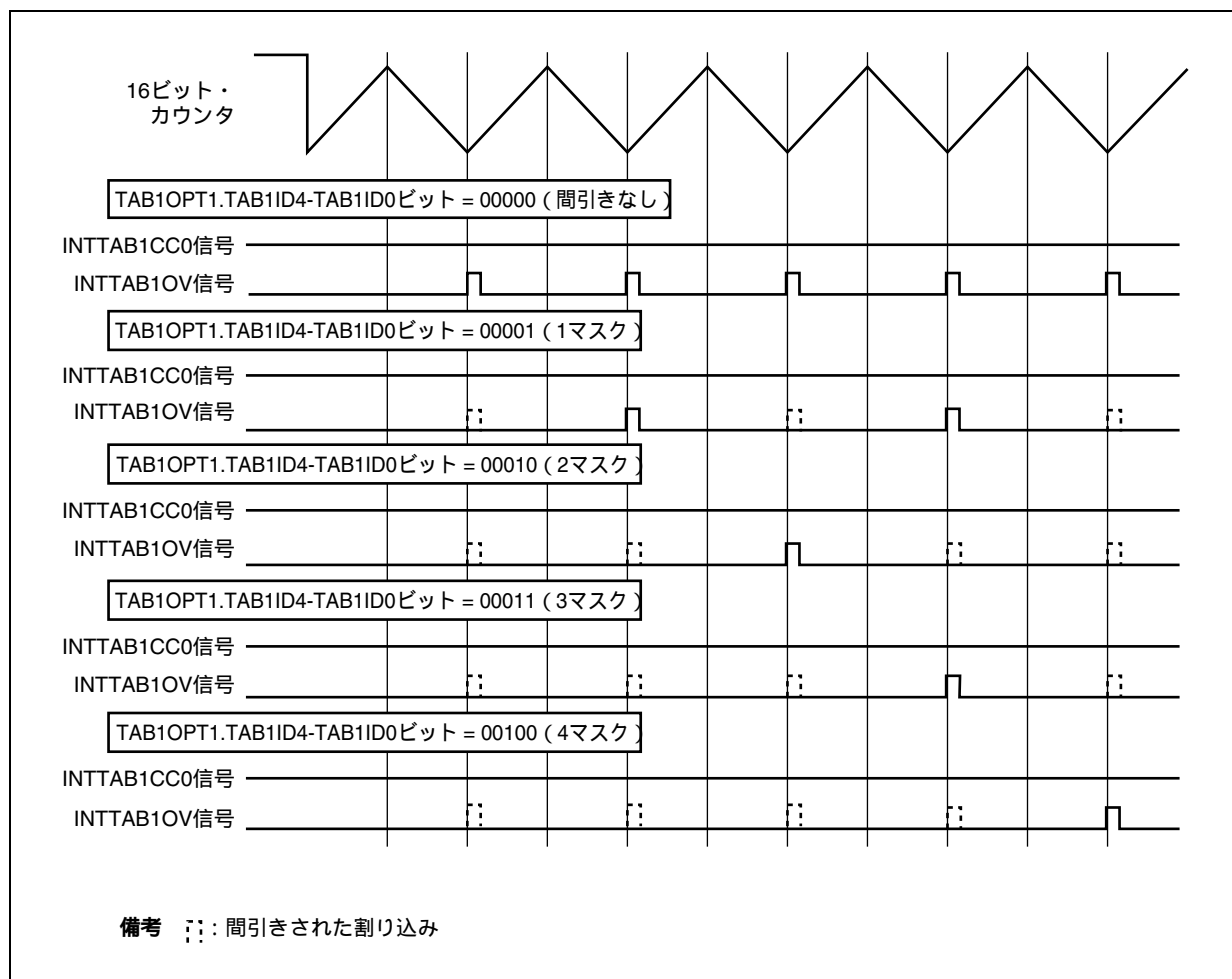


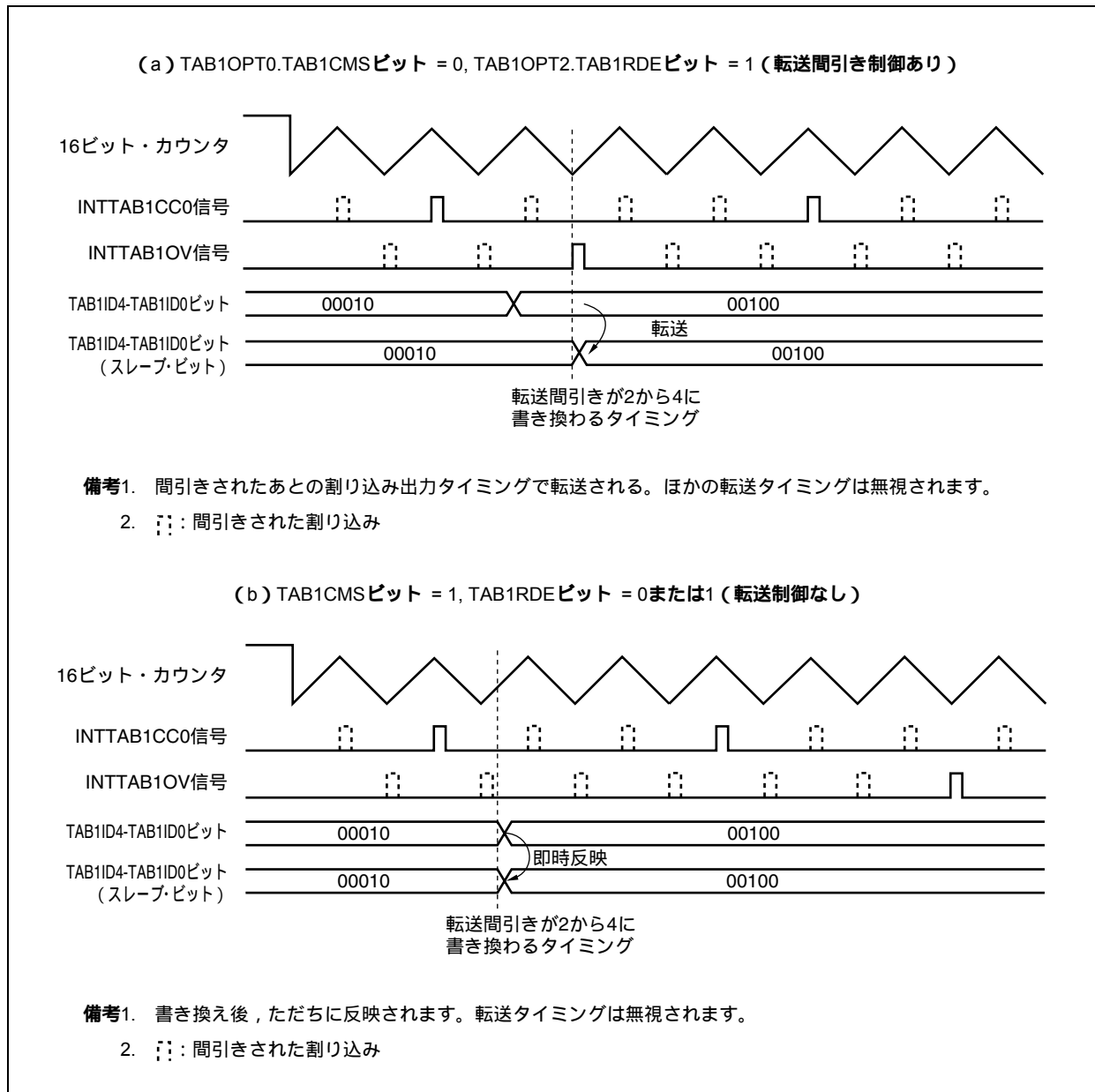
図11 - 17 TAB1OPT1.TAB1ICEビット = 0, TAB1IOEビット = 1, TAB1OPT2.TAB1RDEビット = 1での割り込み
間引き動作 (谷割り込みのみ出力)



(2) 山割り込み (INTTAB1CC0) と谷割り込み (INTTAB1OV) を交互出力する場合

山割り込みと谷割り込みを交互に出力するにはTAB1OPT1.TAB1ICE, TAB1IOEビットをともに“1”に設定してください。

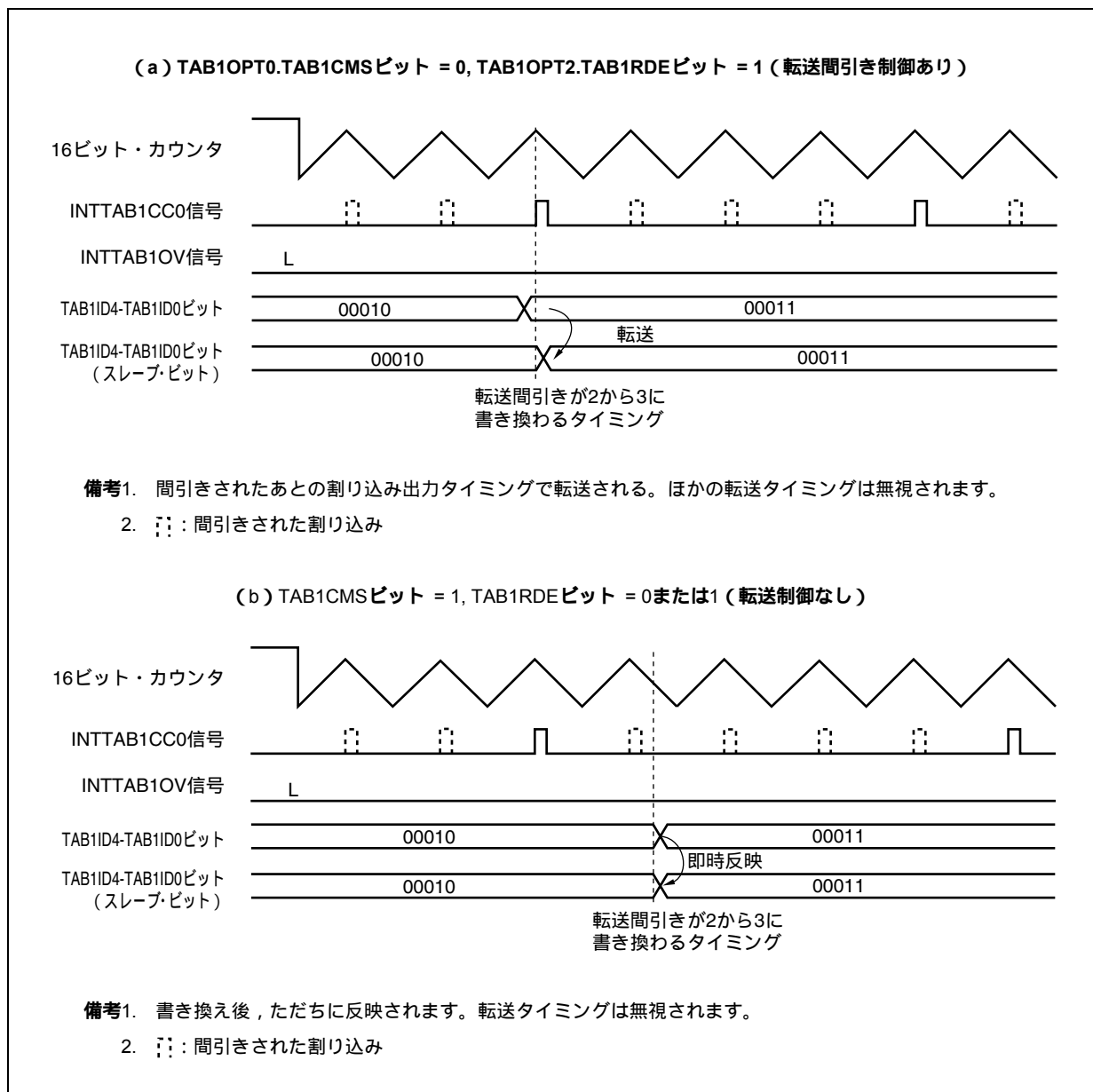
図11 - 18 山/谷割り込み出力



(3) 山割り込み (INTTAB1CC0) のみ出力する場合

TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 0に設定してください。

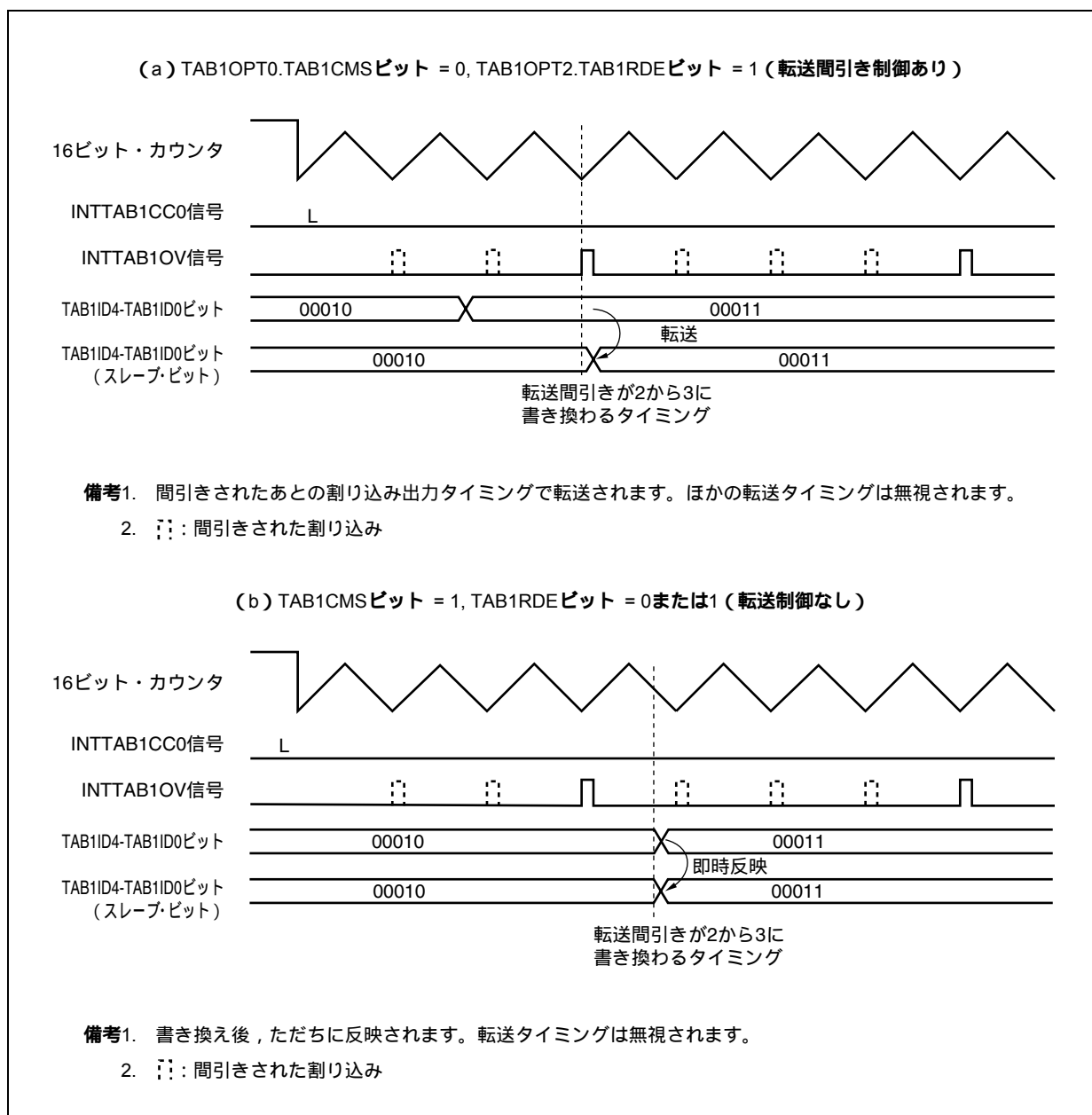
図11 - 19 山割り込み出力



(4) 谷割り込み (INTTAB1OV) のみを出力する場合

TAB1OPT1.TAB1ICEビット = 0, TAB1IOEビット = 1に設定してください。

図11 - 20 谷割り込み出力



11.4.4 転送機能付きレジスタの書き換え操作

モータ制御に使用し、転送機能があるレジスタは次の7種類です。それぞれにバッファ・レジスタがあります。

- ・ TAB1CCR0 : 16ビット・カウンタ (TAB) の周期指定用レジスタ
- ・ TAB1CCR1 : TOAB1T1 (U) , TOAB1B1 (\bar{U}) のデューティ指定用レジスタ
- ・ TAB1CCR2 : TOAB1T2 (V) , TOAB1B2 (\bar{V}) のデューティ指定用レジスタ
- ・ TAB1CCR3 : TOAB1T3 (W) , TOAB1B3 (\bar{W}) のデューティ指定用レジスタ
- ・ TAB1OPT1 : 割り込み間引き指定用レジスタ
- ・ TAA4CCR0 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAA4)
- ・ TAA4CCR1 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAA4)

また、転送機能があるレジスタには、次の3種類の書き換えモードがあります。

- ・ 随時書き換えモード

TAB1OPT0.TAB1CMSビット = 1で設定します。TAB1OPT2.TAB1RDEビットの指定は無視されません。

このモードでは、各コンペア・レジスタが独立して更新動作を行い、各コンペア・レジスタに書き込むと即時に書き込み値が更新されます。

- ・ 一斉書き換えモード (転送モード)

TAB1OPT0.TAB1CMSビット = 0, TAB1OPT1.TAB1ID4-TAB1ID0ビット = 00000, TAB1OPT2.TAB1RDEビット = 0で設定します。

TAB1CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTAB1CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送タイミングは、割り込みとは関係なく毎回の山 (16ビット・カウンタとTAB1CCR0レジスタの一致) タイミングと谷 (16ビット・カウンタと0001Hの一致) タイミングです。

- ・ 間欠一斉書き換えモード (転送間引きモード)

TAB1OPT0.TAB1CMSビット = 0, TAB1OPT2.TAB1RDEビット = 1で設定します。

TAB1CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTAB1CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送は、TAB1OPT1レジスタで指定した割り込み間引きにあわせて転送タイミングが間引かれ、間引かれたあとの山割り込み (16ビット・カウンタとTAB1CCR0レジスタの一致) タイミング、または谷割り込み (16ビット・カウンタと0001Hの一致) タイミングにより7つのレジスタに対して一斉に行われます。

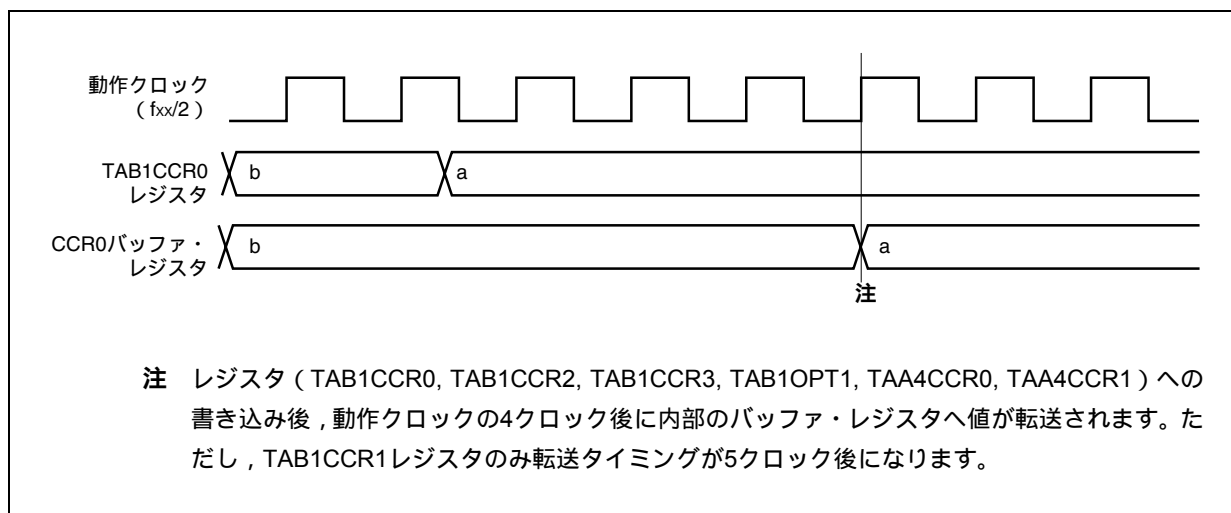
割り込み間引き機能についての詳細は、11.4.3 **割り込み間引き機能**を参照してください。

(1) 随時書き換えモード

TAB1OPT0.TAB1CMSビット = 1で設定します。TAB1OPT2.TAB1RDEビットの設定は無視されます。

各転送機能付きレジスタへの書き込み値が、すぐに内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。このモードではTAB1CCRmと16ビット・カウンタの一致が発生後に書き換ええると、一度一致が発生したあとの再度の一致は無視されるので書き換え値は反映されません。アップ・カウント中に書き換えた場合はダウン・カウントに切り替わったあとの一致で有効になります。

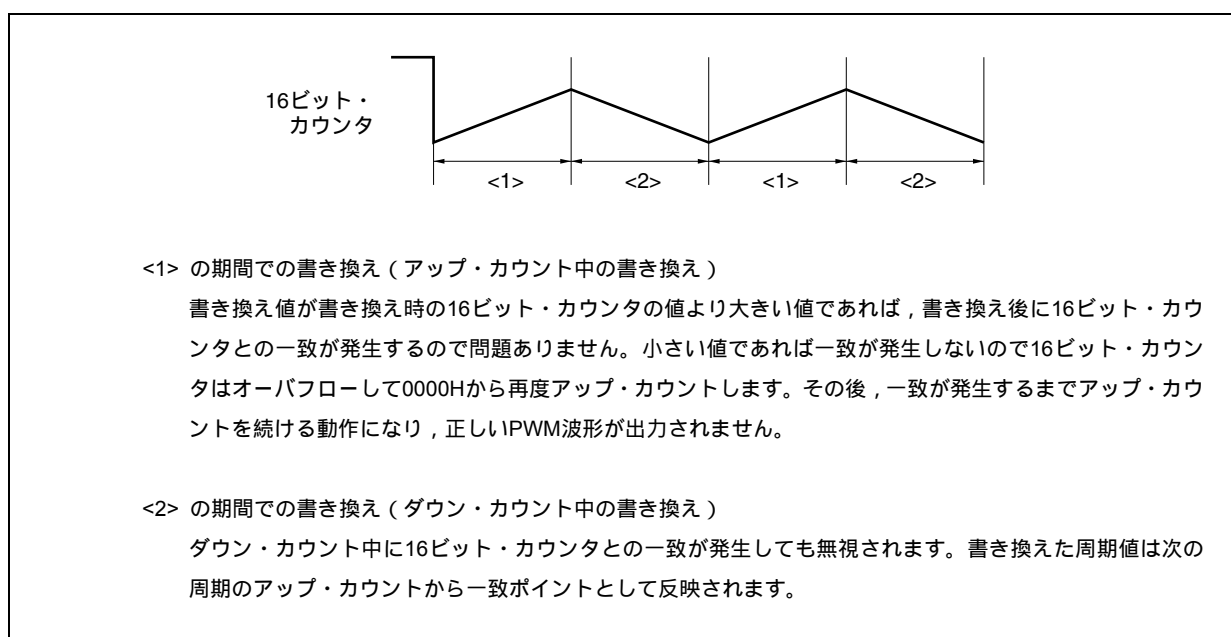
図11 - 21 書き換え値の反映タイミング



(a) TAB1CCR0レジスタの書き換え

TAB1CCR0レジスタを随時書き換えモードで書き換えても、すぐには値が反映されない場合があります。

図11 - 22 TAB1CCR0レジスタの書き換え例



(b) TAB1CCRmレジスタの書き換え

図11 - 24に16ビット・カウンタとTAB1CCRmレジスタが一致する前に書き換えた場合のタイミング (図11 - 23の<1>) を, 図11 - 25に16ビット・カウンタとTAB1CCRmレジスタが一致したあとに書き換えた場合のタイミング (図11 - 23の<2>) を示します。

図11 - 23 16ビット・カウンタとTAB1CCRmレジスタの基本動作

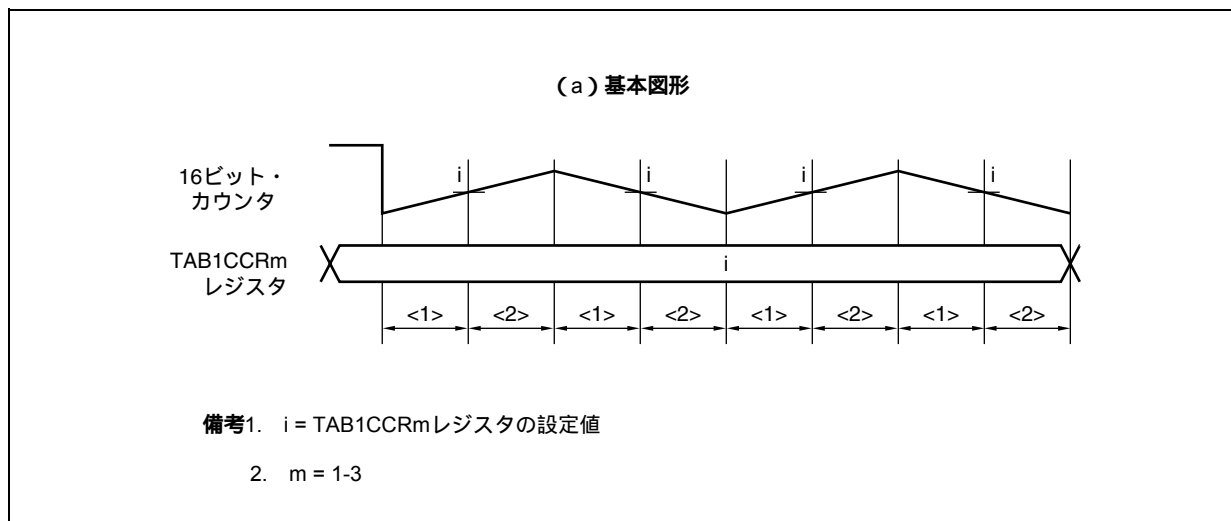


図11 - 24 TAB1CCR1-TAB1CCR3レジスタの書き換え例（一致発生前の書き換え）

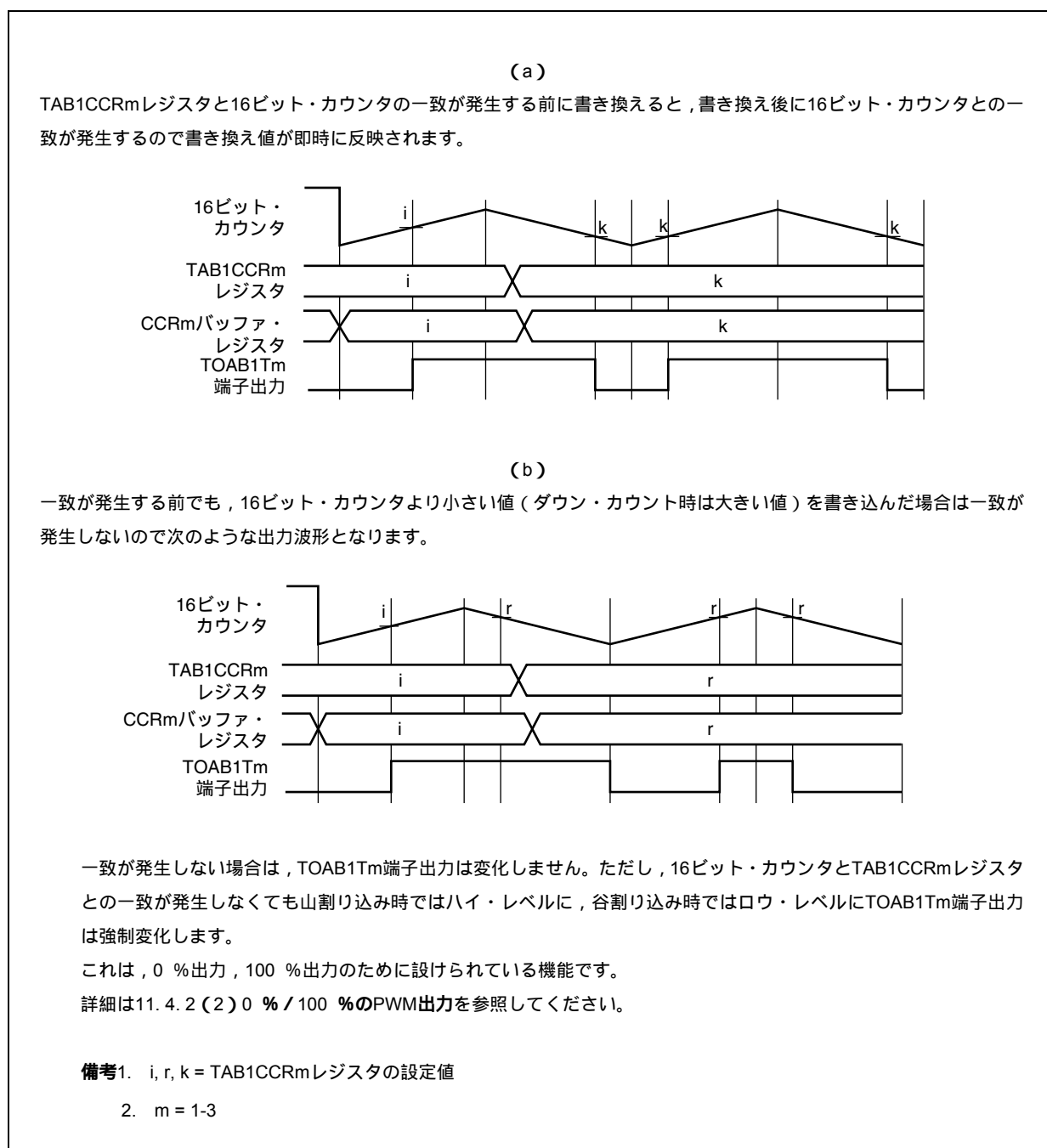
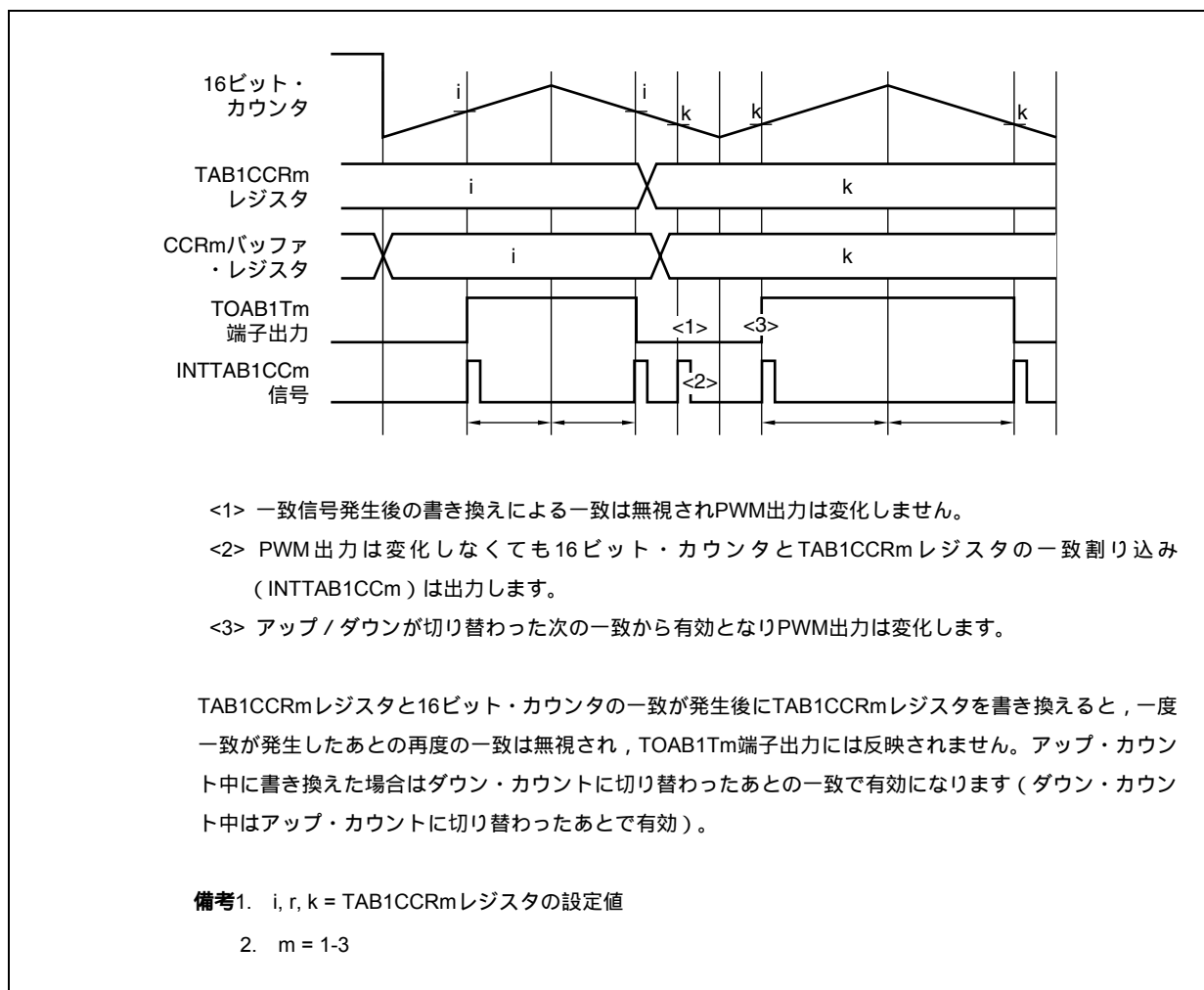


図11 - 25 TAB1CCR1-TAB1CCR3レジスタの書き換え例（一致発生後の書き換え）

**(c) TAB1OPT1レジスタの書き換え**

TAB1OPT1レジスタへの書き込みで割り込み間引きカウンタはクリアされます。割り込み間引きカウンタがクリアされることにより、それまで計測していた割り込み発生数は破棄されるので、一時的に割り込み発生間隔が長くなるので注意してください。

この動作を避けるためには、間欠一斉書き換えモード（転送間引きモード）での書き換えをしてください。

TAB1OPT1レジスタへの書き換えについての詳細は、11.4.3 **割り込み間引き機能**を参照してください。

(2) 一斉書き換えモード (転送モード)

TAB1OPT0.TAB1CMSビット = 0, TAB1OPT1.TAB1ID4-TAB1ID0ビット = 00000, TAB1OPT2.TAB1RDEビット = 0で設定します。

各コンペア・レジスタへの書き込み値が、転送タイミングで一斉に内部のバッファ・レジスタに転送され、カウンタ値との比較対象になるモードです。

(a) 書き換え操作手順

TAB1CCR1レジスタへの書き込みが行われると、TAB1CCR0-TAB1CCR3, TAB1OPT1, TAA4CCR0, TAA4CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TAB1CCR1レジスタへの書き込みは最後に行ってください。また、TAB1CCR1レジスタへの書き込み後は、転送タイミング(山(16ビット・カウンタとTAB1CCR0レジスタの一致)タイミング、または谷(16ビット・カウンタと0001Hの一致)タイミング)が発生するまで、レジスタへの書き込みは禁止です。操作手順を次に示します。

TAB1CCR0, TAB1CCR2, TAB1CCR3, TAB1OPT1, TAA4CCR0, TAA4CCR1レジスタの書き換え書き換えが必要ないレジスタは書き換え不要です。

TAB1CCR1レジスタの書き換え

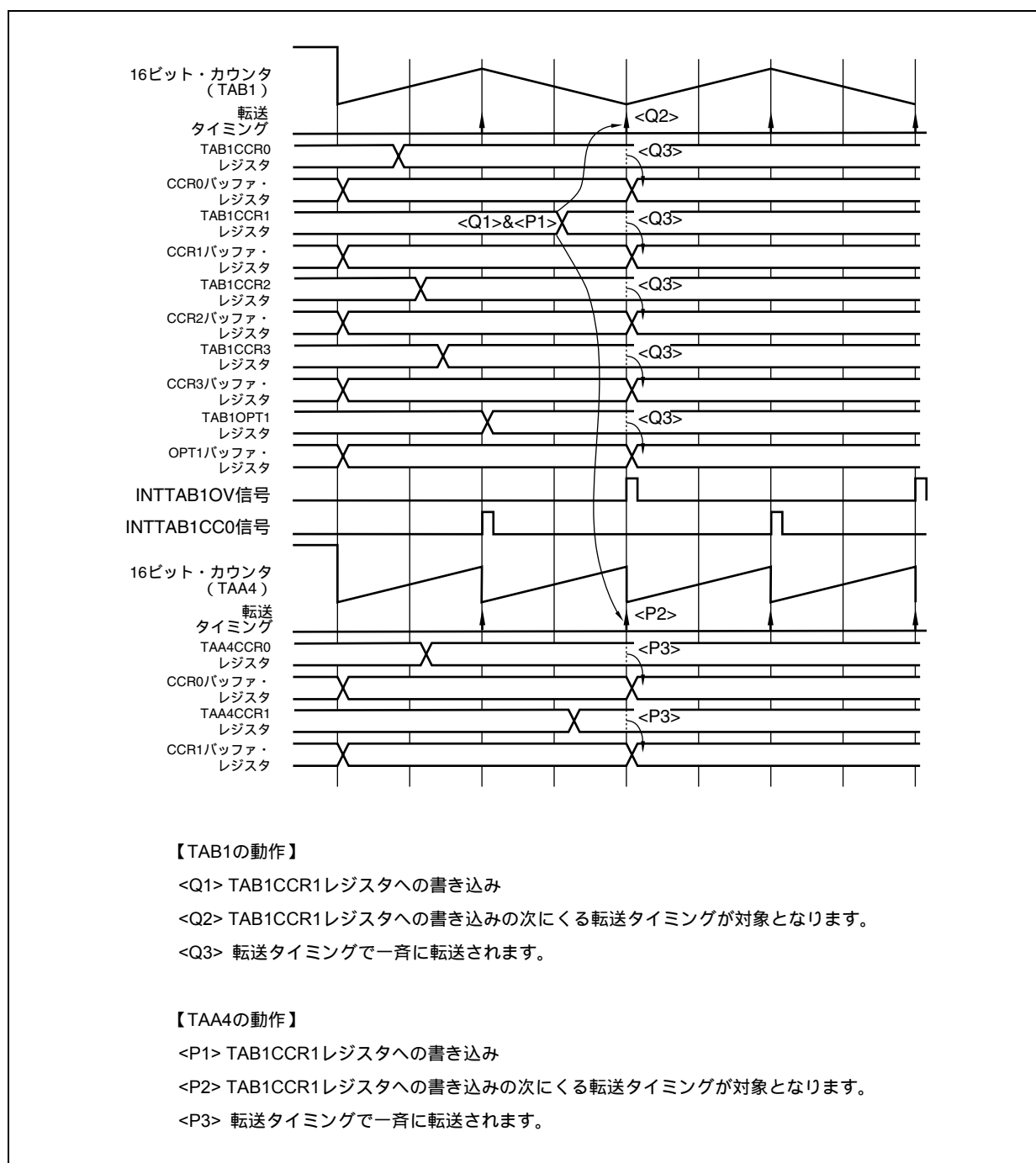
TAB1CCR1レジスタを書き換える必要がない場合でも、同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTAB1OVまたはINTTAB1CC0割り込みの発生を確認してから次の書き換えをしてください。

に戻る

図11 - 26 一斉書き込みモードの基本動作



(b) TAB1CCR0レジスタの書き換え

TAB1CCR0レジスタを一斉書き換えモードで書き換える場合、転送が山（16ビット・カウンタとTAB1CCR0レジスタの一致）タイミング、谷（16ビット・カウンタと0001Hの一致）タイミングのどちらで起こるかにより出力波形が変わります。通常は、ダウン・カウント中に書き換えを行い、転送タイミングが谷タイミングのときに転送する操作を推奨します。

図11 - 28にアップ・カウント中（図11 - 27の<1>の期間）のTAB1CCR0レジスタの書き換え例を、図11 - 29にダウン・カウント中（図11 - 27の<2>の期間）のTAB1CCR0レジスタの書き換え例を示します。

図11 - 27 16ビット・カウンタの基本動作

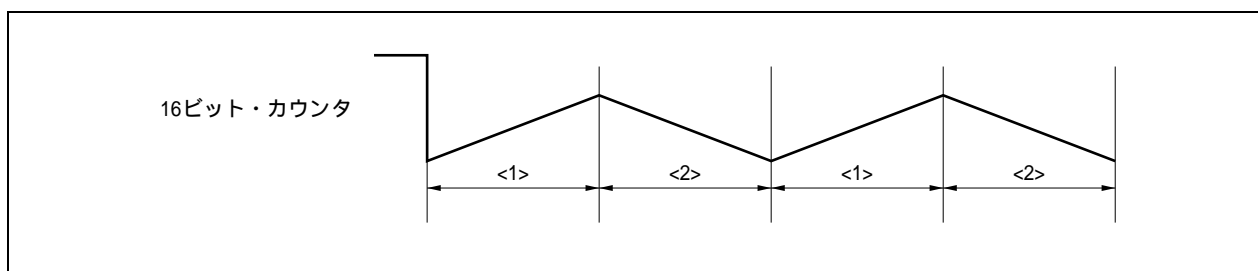


図11 - 28の転送タイミングは山タイミングのポイントになるので、ダウン・カウント側は周期が変わり非対称の三角波波形を出力します。また、周期が変化するので、デューティ比（電圧データ値）も書き換えてください。

図11 - 28 TAB1CCR0レジスタの書き換え例（アップ・カウント時）

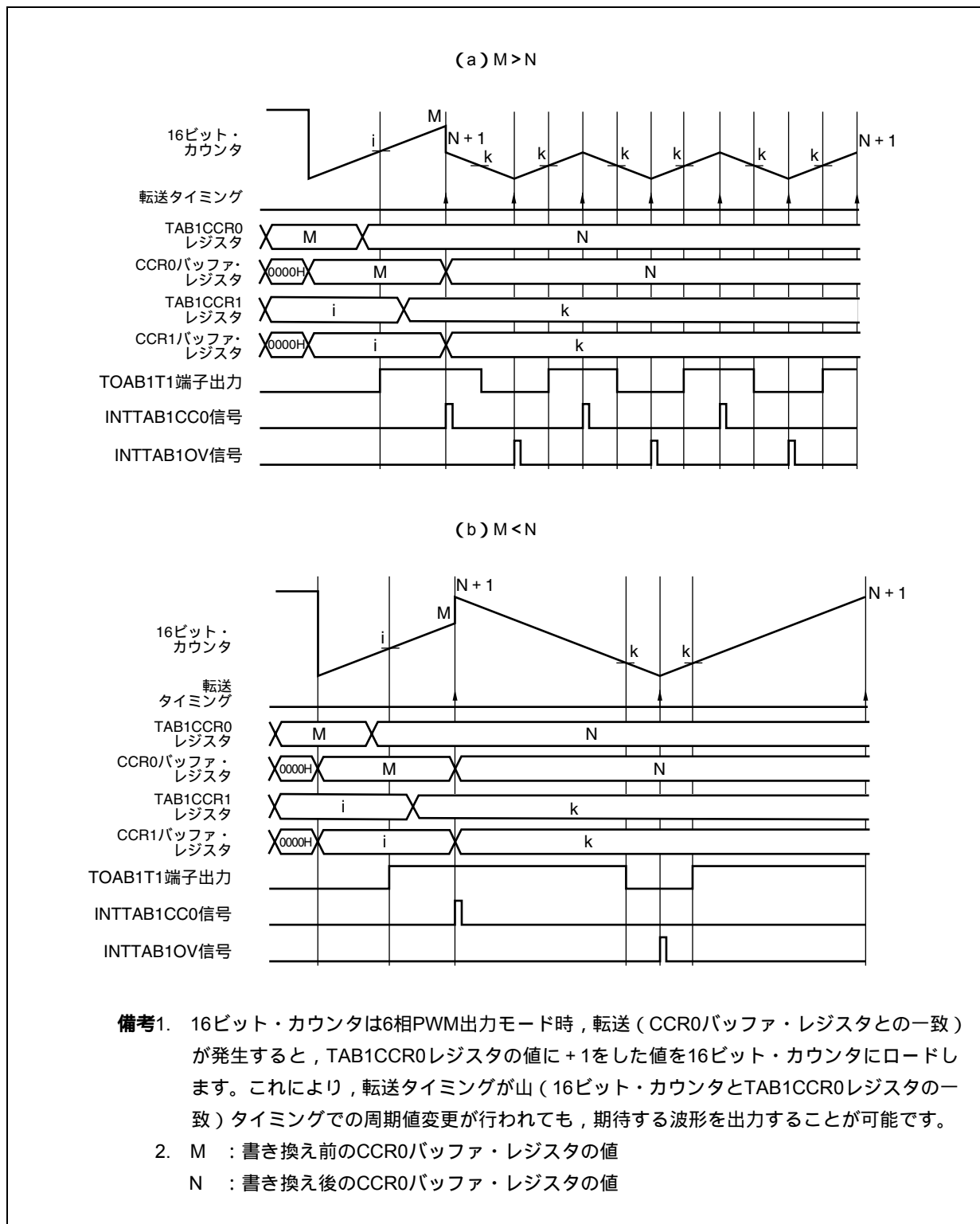
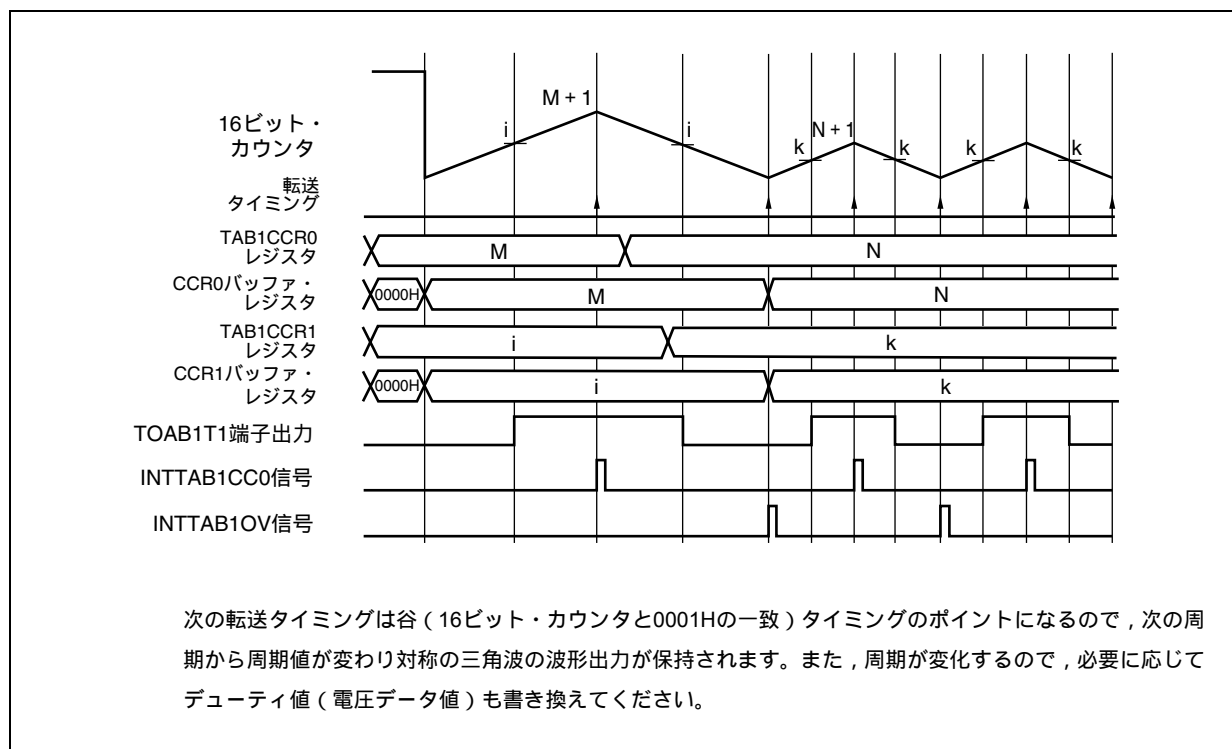
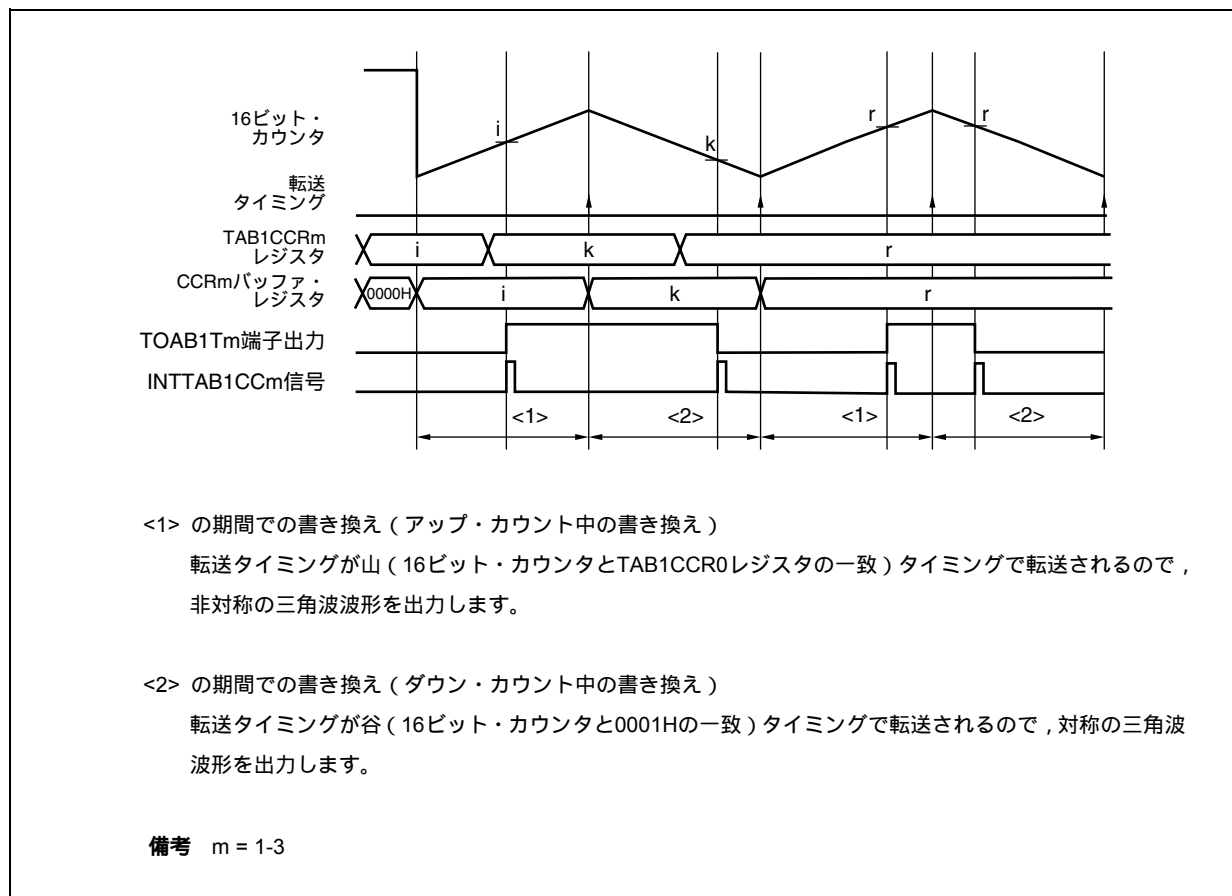


図11 - 29 TAB1CCR0レジスタの書き換え例 (ダウン・カウント時)



(c) TAB1CCRmレジスタの書き換え

図11 - 30 TAB1CCRmレジスタの書き換え例



(d) TAB1OPT1レジスタの転送

TAB1OPT1.TAB1ID4-TAB1ID0ビット = 00000以外の値は設定しないでください。割り込み間引き機能を使用する場合は、間欠一斉書き換えモード（転送間引きモード）で書き換えてください。

TAB1OPT1レジスタへの書き換えについての詳細は、11.4.3 **割り込み間引き機能**を参照してください。

(3) 間欠一斉書き換えモード (転送間引きモード)

TAB1OPT0.TAB1CMSビット = 0, TAB1OPT2.TAB1RDEビット = 1で設定します。

各コンペア・レジスタへの書き込み値が、間引きされたあとの転送タイミングで一斉に内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。転送タイミングは、割り込み間引きによる割り込み発生 (INTTAB1CC0, INTTAB1OV) タイミングになります。

割り込み間引き機能についての詳細は、11.4.3 **割り込み間引き機能**を参照してください。

(a) 書き換え操作手順

TAB1CCR1レジスタへの書き込みが行われるとTAB1CCR0-TAB1CCR3, TAB1OPT1, TAA4CCR0, TAA4CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TAB1CCR1レジスタへの書き込みは最後に行ってください。また、TAB1CCR1レジスタへの書き込み後は、転送タイミングが発生するまで (INTTAB1OV, INTTAB1CC0の割り込み発生まで) レジスタへの書き込みは禁止です。操作手順を次に示します。

TAB1CCR0, TAB1CCR2, TAB1CCR3, TAB1OPT1, TAA4CCR0, TAA4CCR1レジスタの書き換え書き換えが必要ないレジスタは書き換え不要です。

TAB1CCR1レジスタの書き換え

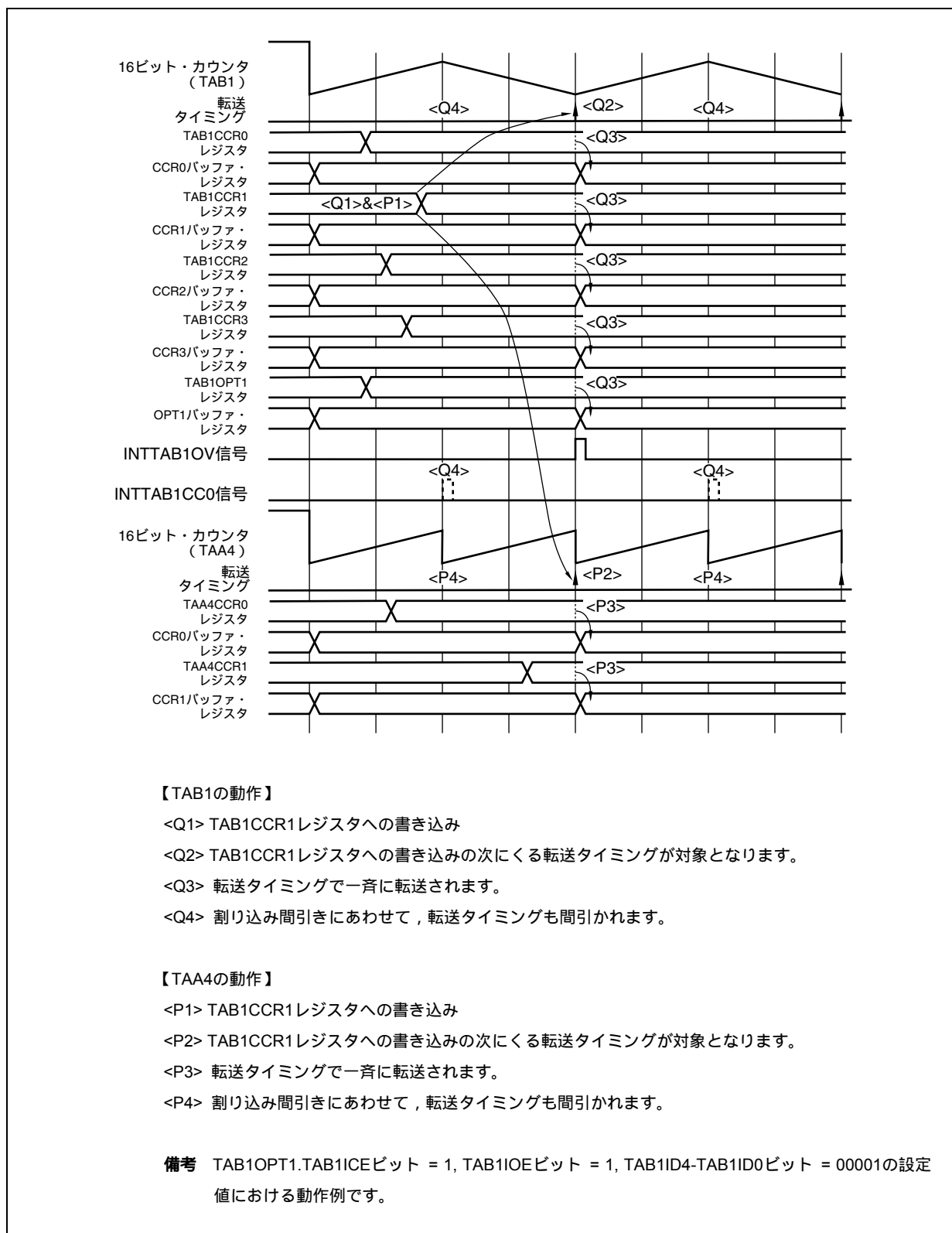
TAB1CCR1レジスタを書き換える必要がない場合でも同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTAB1OVまたはINTTAB1CC0の割り込み発生を確認してから次の書き換えをしてください。

に戻る

図11 - 31 間欠一斉書き込みモードの基本動作



(b) TAB1CCR0レジスタの書き換え

TAB1CCR0レジスタを間欠一斉書き換えモードで書き換える場合、割り込み間引き設定で山/谷割り込み発生をどこに指定しているかで出力波形が変わります。次に割り込み間引き設定での出力波形の変化を示します。

図11 - 32 TAB1CCR0レジスタの書き換え（山割り込みを設定時）

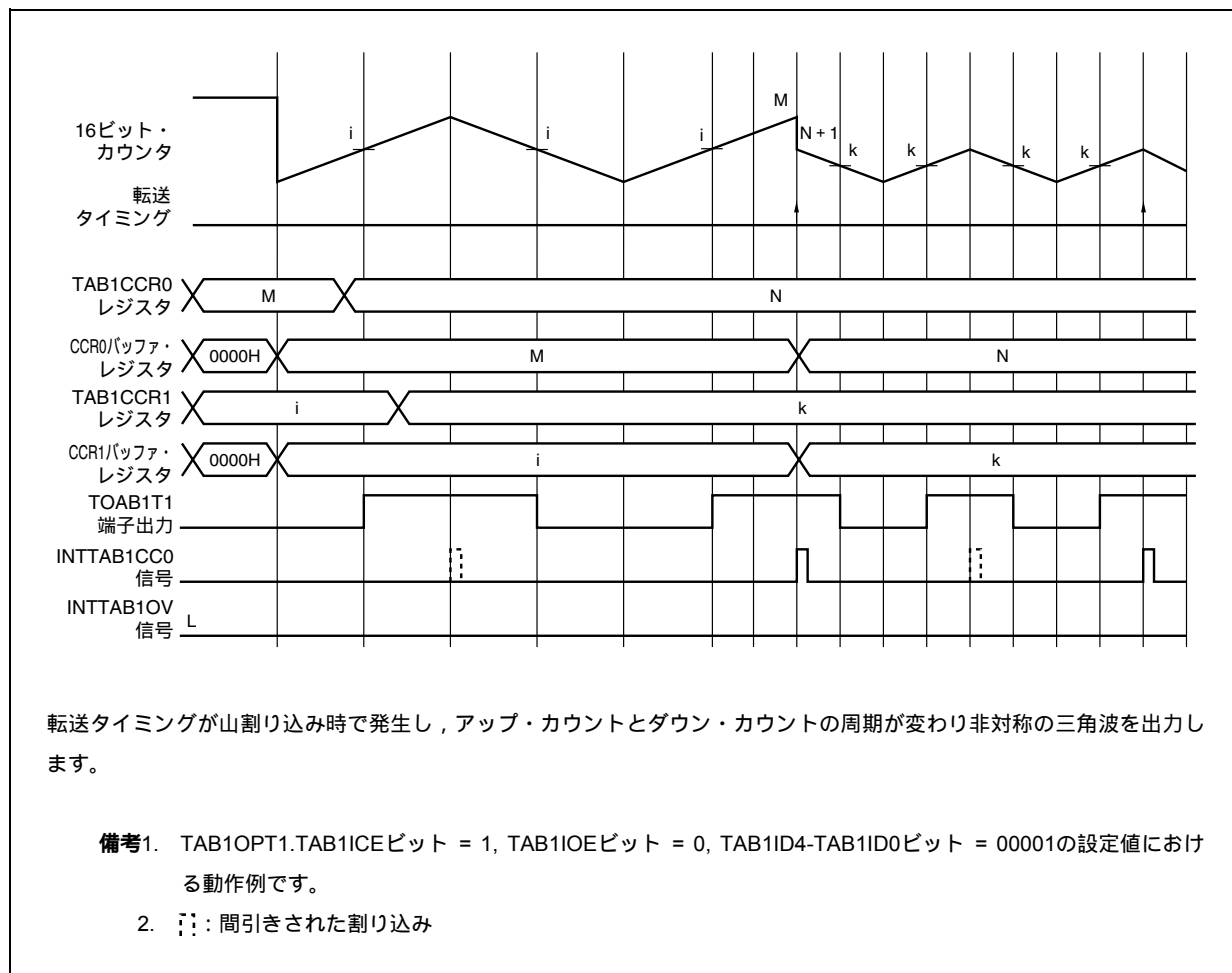
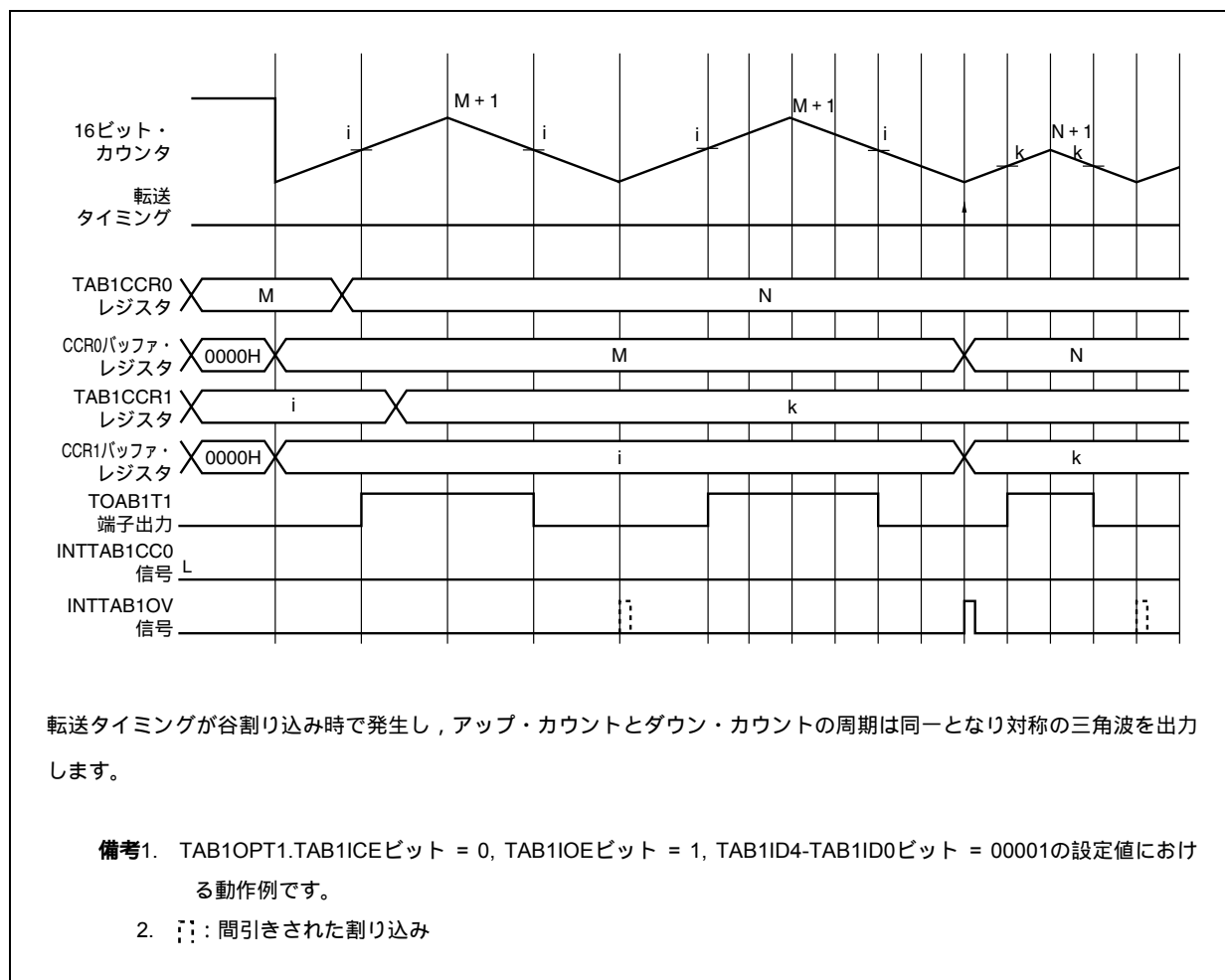


図11 - 33 TAB1CCR0レジスタの書き換え（谷割り込みを設定時）

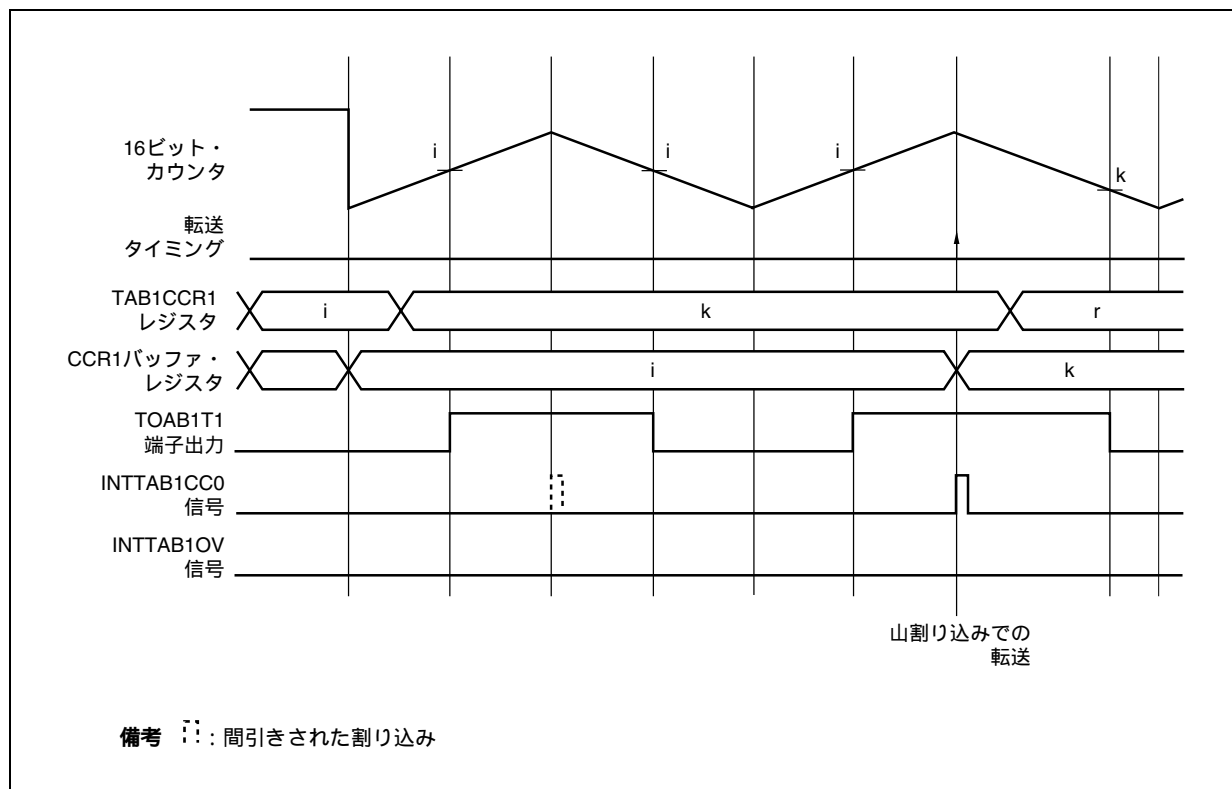


(c) TAB1CCR1-TAB1CCR3レジスタの書き換え

- ・山割り込みを設定した場合に山で転送された場合

山の転送タイミングで転送されるので、非対称の三角波波形を出力します。

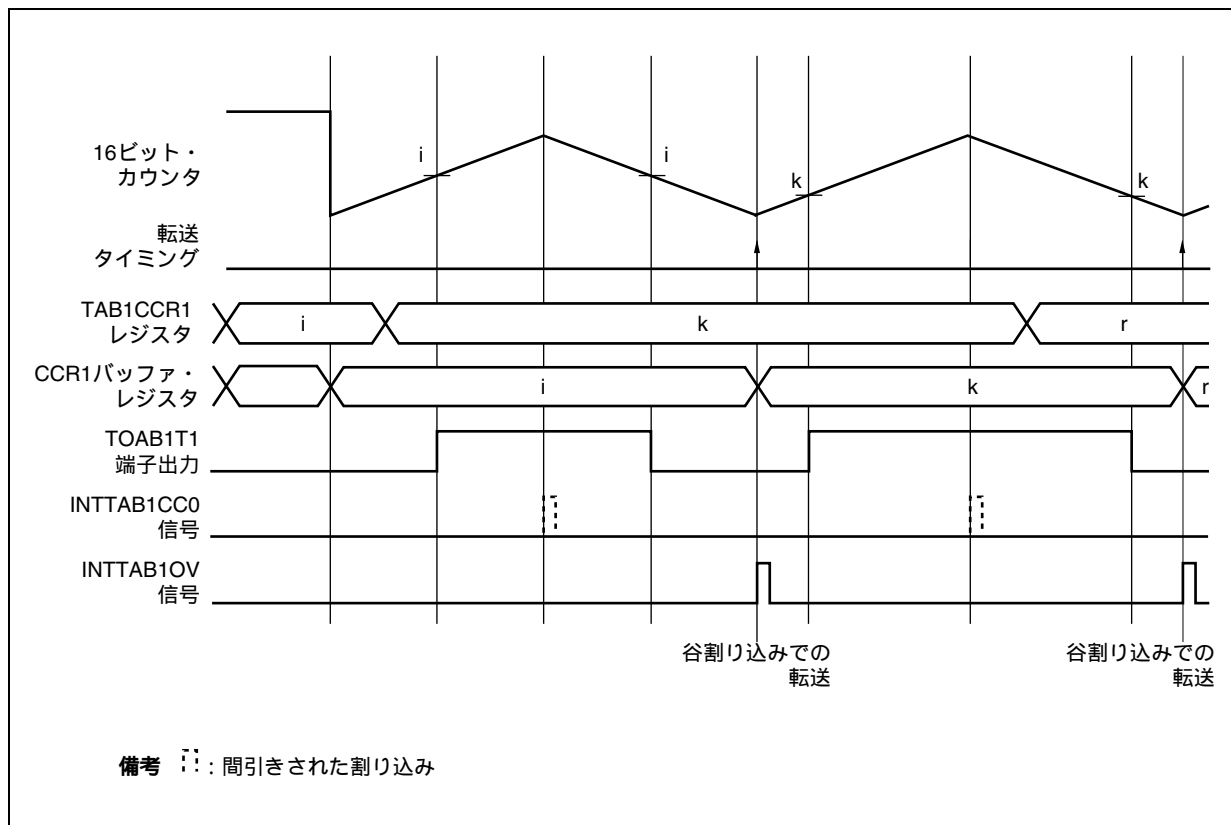
図11 - 34 TAB1CCR1レジスタの書き換え (TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 0, TAB1ID4-TAB1ID0 = 00001の場合)



- ・谷割り込みを設定した場合に谷で転送された場合
谷の転送タイミングで転送されるので、対称の三角波波形を出力します。

図11 - 35 TAB1CCR1レジスタの書き換え

(TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 1, TAB1ID4-TAB1ID0 = 00001の場合)



(d) TAB1OPT1レジスタの書き換え

割り込み間引きカウンタが一致したときに、新しい割り込み間引き値が転送されるため、次から設定した間隔で割り込みが発生します。

TAB1OPT1レジスタへの書き換えについての詳細は、11.4.3 割り込み間引き機能を参照してください。

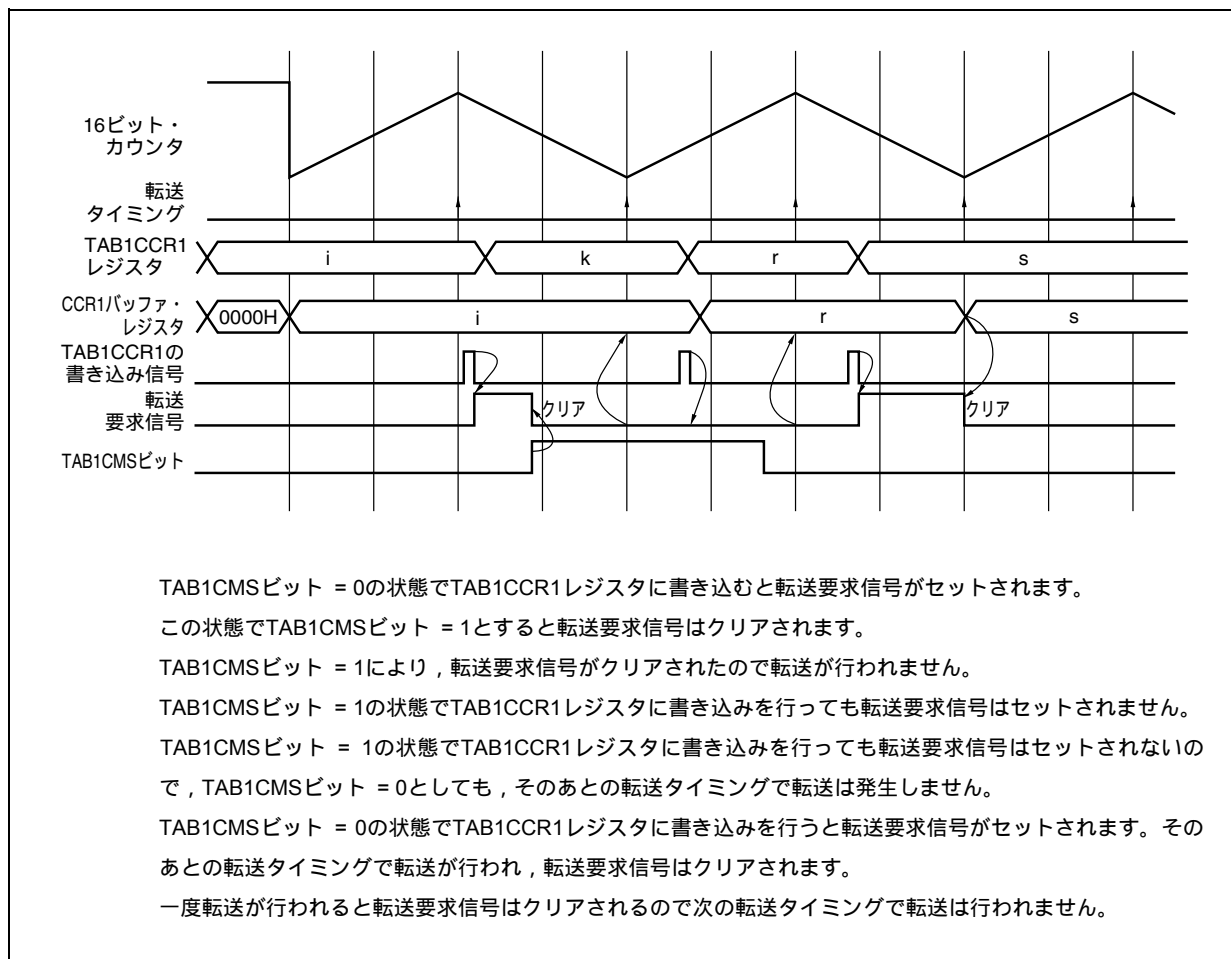
(4) TAB1OPT0.TAB1CMSビットの書き換え

TAB1CMSビットは、随時書き換えモードと一斉書き換えモードの切り替えができます。タイマ動作中 (TAB1CTL0.TAB1CEビット = 1) の書き換えが可能です。図11 - 36で示す動作および注意が必要です。

TAB1CMSビット = 0の状態ではTAB1CCR1レジスタに書き込むと転送要求信号 (内部信号) がセットされます。

転送要求信号がセットされていると、次の転送タイミングで転送を行い、転送要求信号がクリアされます。この転送要求信号は、TAB1CMSビット = 1によってもクリアされます。

図11 - 36 TAB1CMSビットの書き換え



11.4.5 A/D変換開始トリガ信号出力用TAA4の同調動作

6相PWM出力モードで使用する場合は、TAA4およびTAB1の同調動作について示します。

6相PWM出力モードでは、TAB1をマスタとし、TAA4をスレーブとして同調動作を行い、A/D変換開始トリガ・ソースとしてTAA4のINTTAA4CC0、INTTAA4CC1信号とTAB1のINTTAB1OV、INTTAB1CC0信号でA/Dコンバータの変換開始トリガ信号を設定できます。

(1) 同調動作開始手順

同調動作を行わせるためのTAA4、TAB1のレジスタの設定手順を次に示します。

(a) TAA4レジスタ設定(TAB1、TAA4は動作停止状態(TAB1CTL0.TAB1CEビット = 0, TAA4CTL0.TAA4CEビット = 0) にしてください)

- ・TAA4CTL1レジスタ = 85Hに設定 (同調動作スレーブ・モード, フリー・ランニング・タイマ・モードに設定)
- ・TAA4OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・TAA4CCR0, TAA4CCR1レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(b) TAB1レジスタ設定

- ・TAB1CTL1レジスタ = 07Hに設定 (マスタ・モード, 6相PWM出力モードに設定)
- ・TAB1IOC0レジスタに適切な値を設定 (TOAB1T1-TOAB1T3の出力モードを設定)
ただし、TAB1OL0, TAB1OE0ビットは必ずTAB1OL0ビット = 0, TAB1OE0ビット = 1に設定 (正相の出力許可) してください。この設定を行わない場合は、山割り込み (INTTAB1CC0), 谷割り込み (INTTAB1OV) が発生しないため、A/Dコンバータ0, 1の変換開始トリガ信号が正常に発生しません。
- ・TAB1IOC1, TAB1IOC2レジスタ = 00Hに設定 (TAB1のTIAB10-TIAB13, EVTB1, TRGB1端子は使用しない)
- ・TAB1OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択にする)
- ・TAB1CCR0-TAB1CCR3レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)
- ・TAB1CTL0レジスタ = 0xHに設定 (TAB1CEビットは0, TAB1の動作クロックを設定する)
TAB1CTL0レジスタで設定したTAB1の動作クロックは、TAA4にも供給され、同じタイミングでカウント動作を行います。TAA4CTL0レジスタで設定したTAA4の動作クロックは無視されます。

(c) TAB1OP (TAB1オプション) レジスタ設定

- ・TAB1OPT1, TAB1OPT2レジスタに適切な値を設定
- ・TAB1IOC3レジスタに適切な値を設定 (TOAB1B1-TOAB1B3の出力モードを設定)
- ・TAB1DTCレジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(d) 兼用機能設定

- ・ポート・コントロール・モードにより、ポートを兼用機能にする。

(e) TAA4CEビット = 1に設定し、直後にTAB1CEビット = 1に設定し、6相PWM出力動作を開始

動作中におけるTAB1CTL0, TAB1CTL1, TAB1IOC1, TAB1IOC2, TAA4CTL0, TAA4CTL1レジスタの書き換えは禁止です。書き換えた場合の動作、および、PWM出力波形は保証できません。ただし、TAB1CTL0.TAB1CEビット = 0にするためのTAB1CEビットの書き換えは許可します。また、TAA4CTL0.TAA4CEビット = 1としたあとTAB1CEビット = 1とするまでは、ほかのTAB1, TAA4, TAB1オプションの各レジスタ操作（読み出し/書き込み）は一切禁止です。

(2) 同調動作解除手順

同調動作を解除し、6相PWM出力モードを終了するためのTAA4, TAB1レジスタの設定手順を次に示します。

- TAB1CTL0.TAB1CEビット = 0に設定し、タイマ動作を停止
- TAA4CTL0.TAA4CEビット = 0に設定し、TAA4は分離可能状態
- TAB1IOC0レジスタによりタイマ出力を停止
- TAA4CTL1.TAA4SYEビット = 0に設定し、同調動作を解除

注意 TAB1CEビット = 0としたあとTAA4CEビット = 0とするまでは、ほかのTAB1, TAA4, TAB1オプションの各レジスタ操作（読み出し/書き込み）は一切禁止です。

(3) TAA4を同調動作させない場合について

A/Dコンバータの変換開始トリガ・ソースとしてTAA4の一致割り込み信号を使用しない場合は、TAA4を同調動作させず単独動作させて別機能のタイマとして使用できます。この場合、6相PWM出力モードにおいて、A/D変換開始トリガ・ソースとしてTAA4の一致割り込み信号を使用しないため、TAB1OPT2.TAB1AT0-TAB1AT3ビットは0固定にして使用してください。

ほかの制御ビットは、TAA4を同調動作させた場合と同様に使用できます。

TAA4を同調動作させていない場合、TAA4のコンペア・レジスタ（TAA4CCR0, TAA4CCR1）は、TAB1OPT0.TAB1CMSビット, TAB1OPT2.TAB1RDEビットの設定による影響を受けません。TAA4を同調動作させない場合の初期設定手順は、11.4.5(1)同調動作開始手順に示した手順の(b)-(e)を行ってください。(a)は同調動作させるTAA4の設定なので不要です。

(4) 同調動作時のTAA4の基本動作

TAA4の16ビット・カウンタは、アップ・カウント動作のみを行います。TAB1CCR0レジスタによる周期設定値でTAA4の16ビット・カウンタがクリアされ0000Hから再カウントを行います。したがって、TAB1の16ビット・カウンタがアップ・カウント時はTAA4の16ビット・カウンタと同値ですが、ダウン・カウント時はTAA4のカウント値は同じではありません。

- ・ TAB1がアップ・カウント時 (同値)

TAB1の16ビット・カウンタ : 0000H M (アップ・カウント)

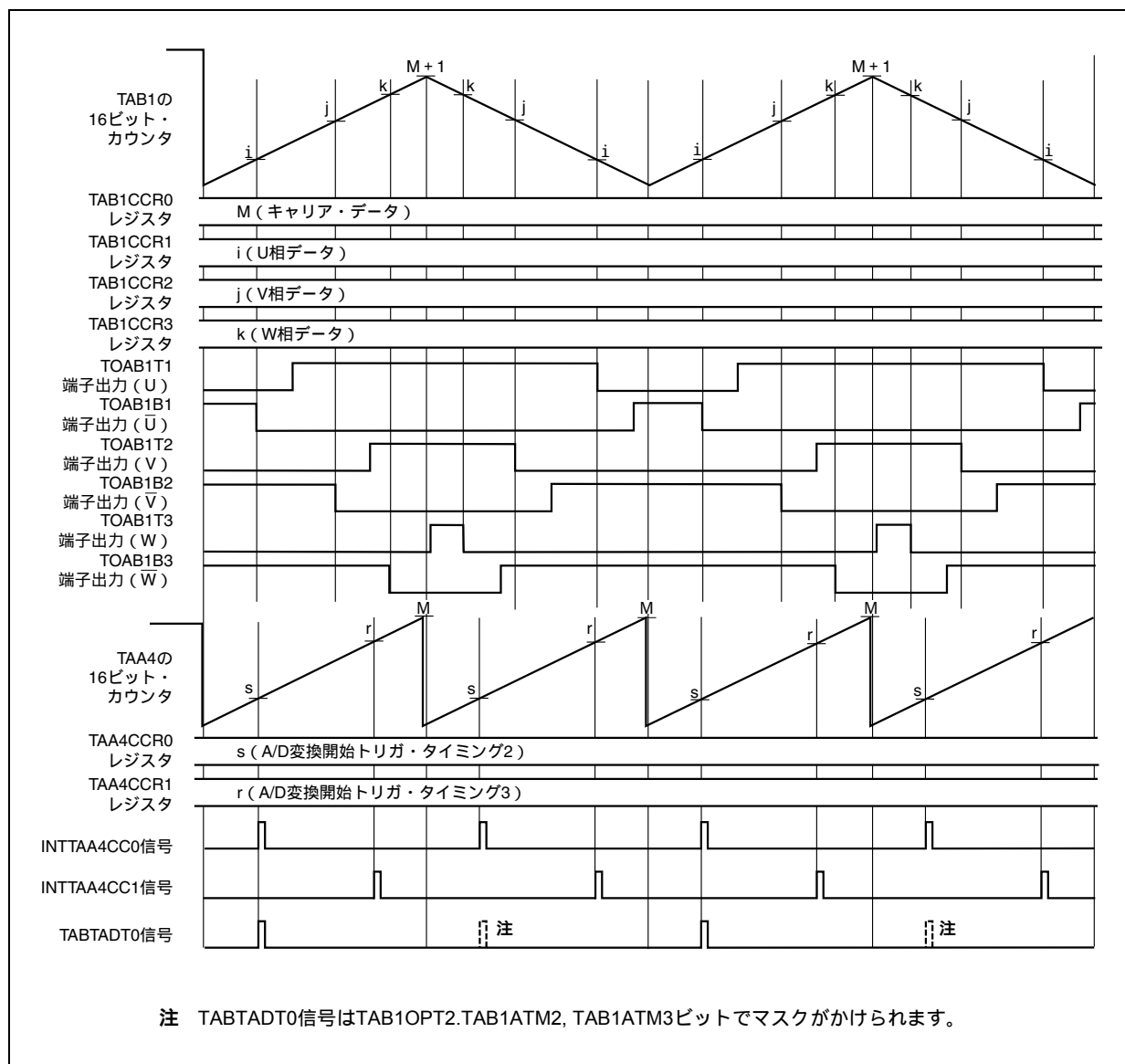
TAA4の16ビット・カウンタ : 0000H M (アップ・カウント)

- ・ TAB1がダウン・カウント時 (同値でない)

TAB1の16ビット・カウンタ : M + 1 0001H (ダウン・カウント)

TAA4の16ビット・カウンタ : 0000H M (アップ・カウント)

図11 - 37 同調動作時のTAA4



11.4.6 A/D変換開始トリガ出力機能

V850ES/JH3-E, V850ES/JJ3-Eには、4つのトリガ・ソース (INTTAB10V, INTTAB1CC0, INTTAA4CC0, INTTAA4CC1) を自由に選択して、A/Dコンバータの変換開始トリガ信号 (TABTADT0) を生成する機能があります。

トリガ・ソースは、TAB1OPT2.TAB1AT0-TAB1AT3ビットで指定します。

- ・ TAB1AT0 = 1
: INTTAB10V (カウンタ・アンダフロー) 発生時にA/D変換開始トリガ信号を発生
- ・ TAB1AT1ビット = 1
: INTTAB1CC0 (周期一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TAB1AT2ビット = 1
: INTTAA4CC0 (同調動作TAA4のTAA4CCR0レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TAB1AT3ビット = 1
: INTTAA4CC1 (同調動作TAA4のTAA4CCR1レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生

TAB1AT0-TAB1AT3ビットにより選択されたA/D変換開始トリガ信号は、すべてORされて出力されるため、複数のトリガ・ソースを同時に指定できます。

TAB1AT0, TAB1AT1ビットによって選択されるINTTAB10V, INTTAB1CC0信号は割り込み間引き後の信号となります。

したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TAB1OPT1.TAB1ICE, TAB1IOEビット) を許可にしていない場合は、A/D変換開始トリガ信号も出力されません。

TAA4からのトリガ・ソース (INTTAA4CC0, INTTAA4CC1) は、TAB1AT2, TAB1AT3ビットの設定により、16ビット・カウンタのアップ・カウント/ダウン・カウントの状態によって、A/D変換開始トリガ信号をマスクする機能があります。

- ・ TAB1ATM2ビット
: TAB1AT2ビットに対応し、TAA4のINTTAA4CC0 (一致割り込み信号) を制御
 - ・ TAB1ATM2ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TAB1OPT0.TAB1CUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TAB1CUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TAB1ATM2ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TAB1CUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TAB1CUFビット = 0) はA/D変換開始トリガ信号を出力しない。
- ・ TAB1ATM3ビット
: TAB1AT3ビットに対応し、TAA4のINTTAA4CC1 (一致割り込み信号) を制御
 - ・ TAB1ATM3ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TAB1CUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TAB1CUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TAB1ATM3ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TAB1CUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TAB1CUFビット = 0) はA/D変換開始トリガ信号を出力しない。

TAB1ATM3, TAB1ATM2, TAB1AT3-TAB1AT0ビットは、タイマ動作中に書き換えることができます。タイマ動作中にA/D変換開始トリガ信号の設定ビットを書き換えると、即時にA/D変換開始トリガ信号の出力状態に反映されます。これらの制御ビットは、転送機能を持たず、随時書き換えモードのみ可能です。

- 注意1.** TAB1AT2, TAB1AT3ビットの設定におけるA/Dの変換開始トリガ信号出力は、TAA4がTAB1のスレーブ・タイマとして同調動作している場合にかぎり利用できます。TAB1, TAA4が同調動作を行っていない場合、および6相PWM出力モード以外で使用している場合は、出力を保証できません。
2. 16ビット・カウンタのアップ/ダウン・カウンタの状態判定には、TOAB10信号出力を内部で利用しています。したがって、TAB1IOC0.TAB1OL0ビット = 0, TAB1OE0ビット = 1と設定し、TOAB10端子出力を有効にしてください。

図11 - 38 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 1, TAB1ID4-TAB1ID0ビット = 00000 : 割り込み間引きなし)

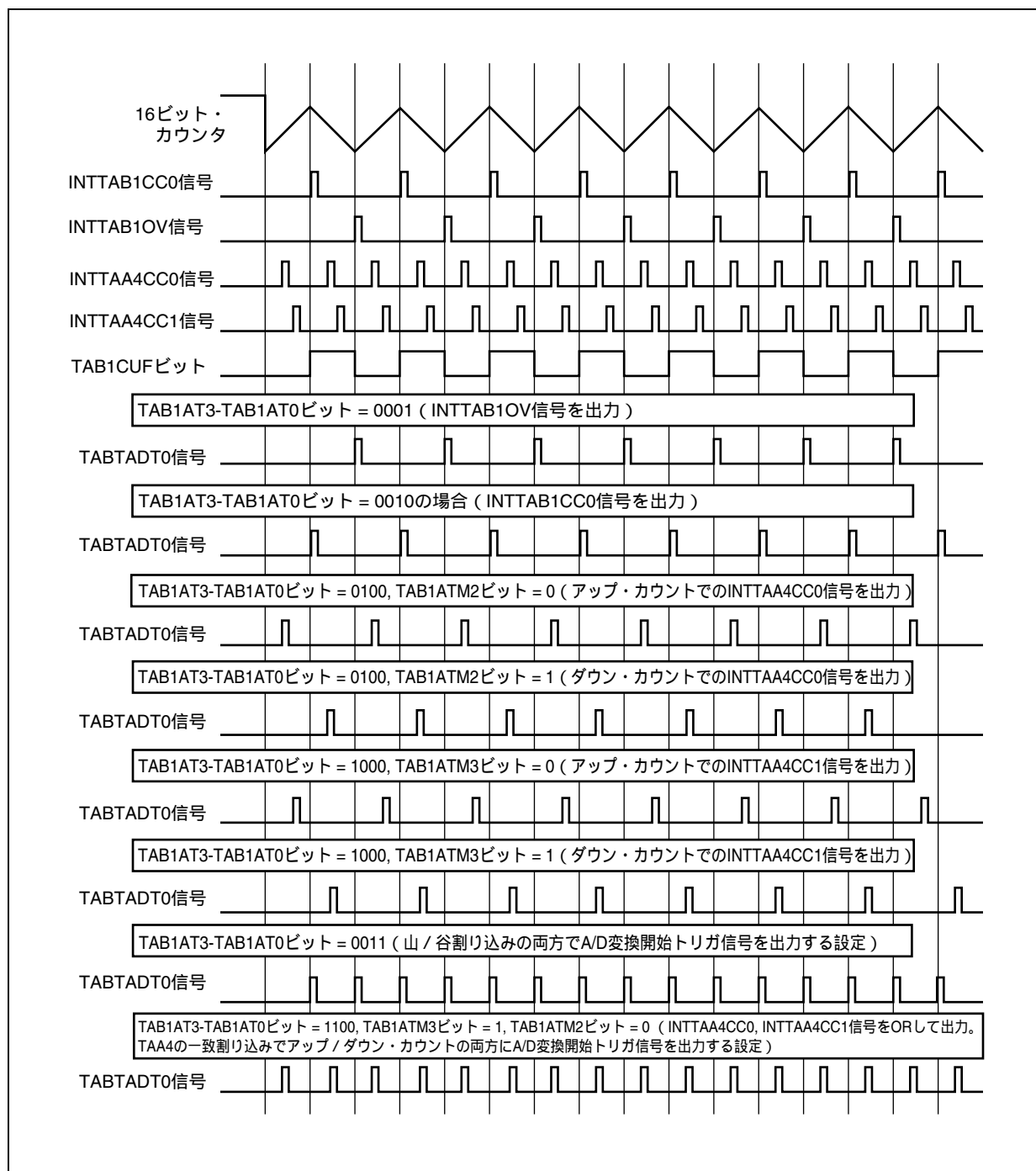


図11 - 39 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB1OPT1.TAB1ICEビット = 0,
TAB1IOEビット = 1, TAB1ID4-TAB1ID0ビット = 00010 : 割り込み間引きあり) (1)

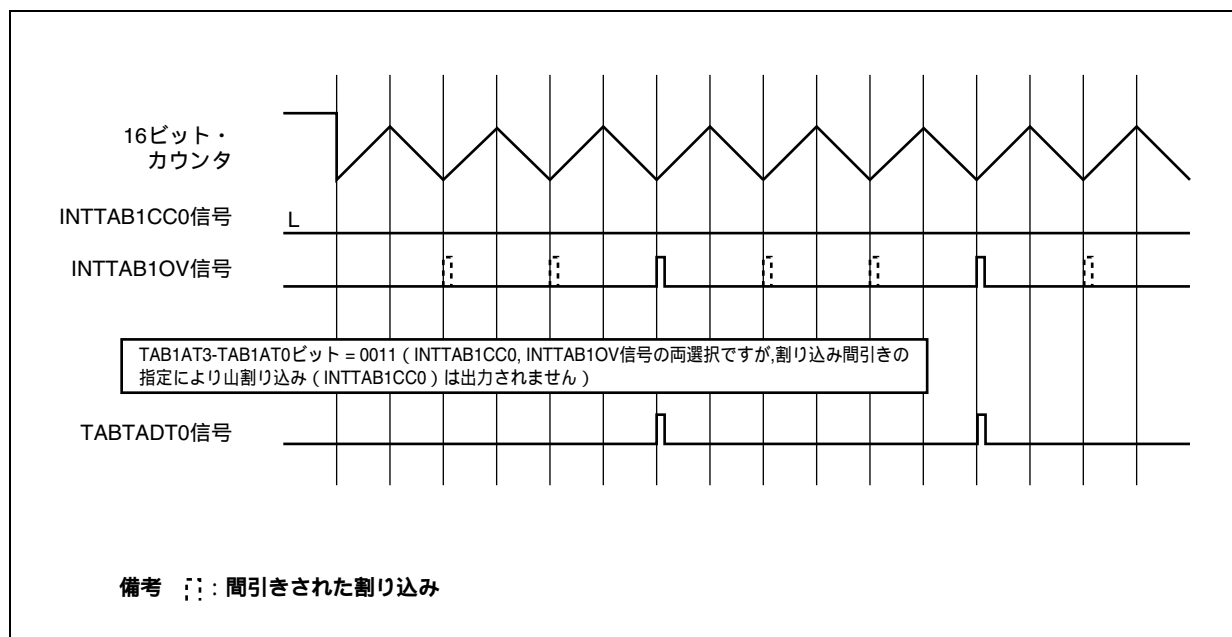
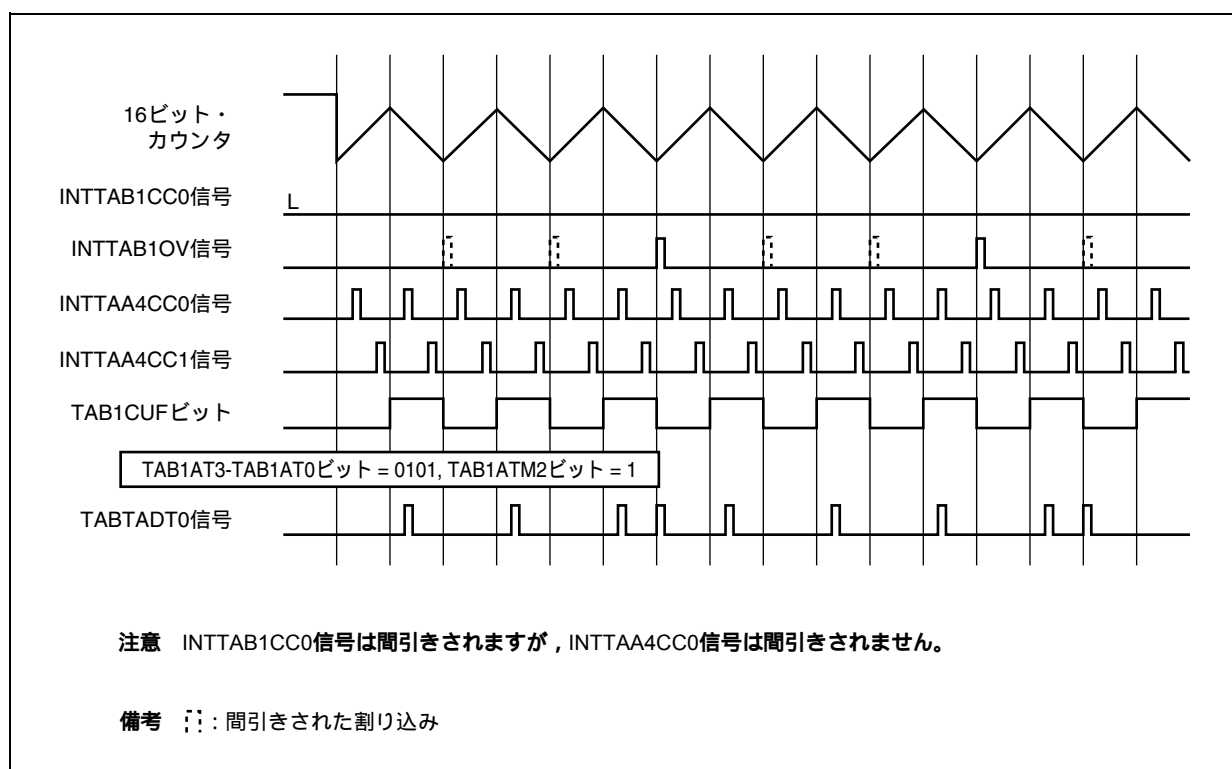


図11 - 40 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB1OPT1.TAB1ICEビット = 0,
TAB1IOEビット = 1, TAB1ID4-TAB1ID0ビット = 00010 : 割り込み間引きあり) (2)



(1) 境界条件での動作 (16ビット・カウンタとINTTAA4CC0信号の一致発生時の動作説明)

表11 - 3 TAB1CCR0レジスタ = M, TAB1AT2ビット = 1, TAB1ATM2ビット = 0

(アップ・カウント期間選択)の動作

TAA4CCR0レジスタの値	TAB1の16ビット・カウンタの値	TAA4の16ビット・カウンタの値	TAB1の16ビット・カウンタの状態	INTTAA4CC0信号によるTABTADT0信号の出力
0000H	0000H	0000H	-	出力する
0000H	M + 1	0000H	-	出力しない
0001H	0001H	0001H	アップ・カウント	出力する
0001H	M	0001H	ダウン・カウント	出力しない
M	M	M	アップ・カウント	出力する
M	0001H	M	ダウン・カウント	出力しない

表11 - 4 TAB1CCR0レジスタ = M, TAB1AT2ビット = 1, TAB1ATM2ビット = 1

(ダウン・カウント期間選択)の動作

TAA4CCR0レジスタの値	TAB1の16ビット・カウンタの値	TAA4の16ビット・カウンタの値	TAB1の16ビット・カウンタの状態	INTTAA4CC0信号によるTABTADT0信号の出力
0000H	0000H	0000H	-	出力しない
0000H	M + 1	0000H	-	出力する
0001H	0001H	0001H	アップ・カウント	出力しない
0001H	M	0001H	ダウン・カウント	出力する
M	M	M	アップ・カウント	出力しない
M	0001H	M	ダウン・カウント	出力する

注意 TAA4CCRmレジスタは、TAB1CCR0レジスタ = Mのとき、“0”から“M”までの設定を許可します。

“M + 1”以上は設定禁止です。

“M + 1”以上の値を設定した場合は、TAA4の16ビット・カウンタは“M”でクリアされるため、TABTADT0信号は出力されません。

備考 m = 0, 1

第12章 リアルタイム・カウンタ

12.1 機 能

リアルタイム・カウンタ（RTC）には、次のような機能があります。

- ・年，月，曜日，日，時，分，秒，サブカウンタを持ち，99年までをカウント可能
- ・年，月，曜日，日，時，分，秒カウンタはBCDコード^{注1}で表現
- ・アラーム割り込み機能
- ・定周期割り込み機能（周期1ヶ月～0.5秒）
- ・インターバル割り込み機能（周期1.95 ms～125 ms）
- ・1 Hzの端子出力機能
- ・32.768 kHzの端子出力機能
- ・512 Hzまたは16.384 kHzの端子出力機能
- ・時計誤差補正機能
- ・サブクロック動作 / メイン・クロック動作^{注2}選択可能

注1. BCDコード（Binary Coded Decimal）とは，10進数の各桁の値を4ビットの2進数で表現したものです。

2. リアルタイム・カウンタ専用ポー・レート・ジェネレータにて，メイン・クロックを32.768 kHzに分周して使用してください。

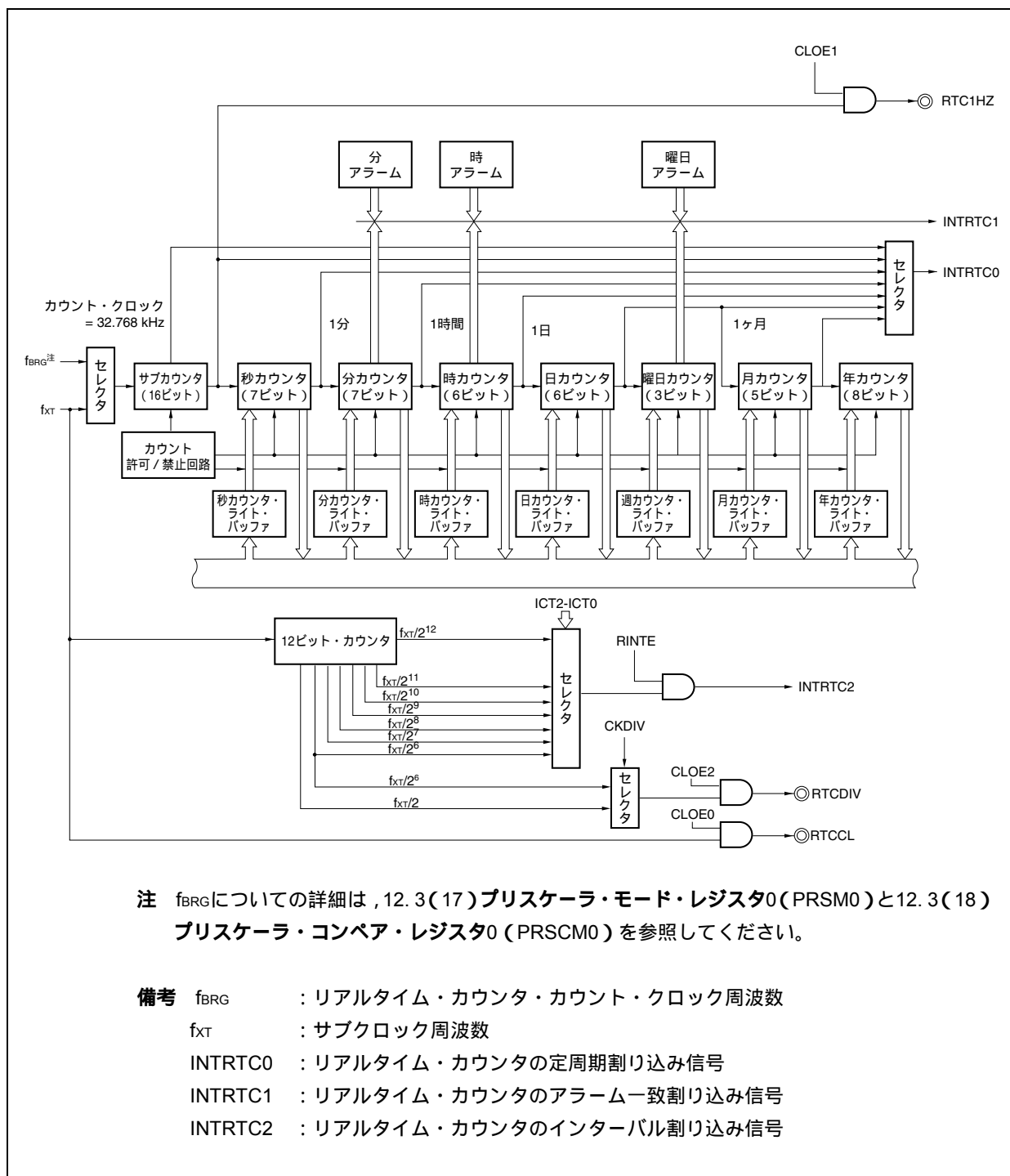
12.2 構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表12 - 1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	リアルタイム・カウンタ・コントロール・レジスタ0 (RC1CC0)
	リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1)
	リアルタイム・カウンタ・コントロール・レジスタ2 (RC1CC2)
	リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3)
	サブカウント・レジスタ (RC1SUBC)
	秒カウント・レジスタ (RC1SEC)
	分カウント・レジスタ (RC1MIN)
	時カウント・レジスタ (RC1HOUR)
	日カウント・レジスタ (RC1DAY)
	曜日カウント・レジスタ (RC1WEEK)
	月カウント・レジスタ (RC1MONTH)
	年カウント・レジスタ (RC1YEAR)
	時計誤差補正レジスタ (RC1SUBU)
	アラーム分レジスタ (RC1ALM)
	アラーム時レジスタ (RC1ALH)
	アラーム曜日レジスタ (RC1ALW)
	プリスケアラ・モード・レジスタ0 (PRSM0)
	プリスケアラ・コンペア・レジスタ0 (PRSCM0)

図12 - 1 リアルタイム・カウンタのブロック図



注 f_{BRG} についての詳細は、12.3(17)プリスケラ・モード・レジスタ0 (PRSM0)と12.3(18)プリスケラ・コンペア・レジスタ0 (PRSCM0)を参照してください。

- 備考
- f_{BRG} : リアルタイム・カウンタ・カウンタ・クロック周波数
 - f_{XT} : サブクロック周波数
 - $INTRTC0$: リアルタイム・カウンタの定周期割り込み信号
 - $INTRTC1$: リアルタイム・カウンタのアラーム一致割り込み信号
 - $INTRTC2$: リアルタイム・カウンタのインターバル割り込み信号

12.2.1 端子の構成

リアルタイム・カウンタを構成するRTC出力は、表12 - 2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4 - 18 ポート端子を兼用端子として使用する場合参照）

表12 - 2 端子構成

ピン番号		ポート	RTC出力	その他の兼用機能
V850ES/JH3-E	V850ES/JJ3-E			
40	40	P22	RTC1HZ	TIAB01/TOAB01/INTP02
39	39	P21	RTCDIV	TIAB00/TOAB00/RTCCL
39	39	P21	RTCCL	TIAB00/TOAB00/RTCDIV

12.2.2 割り込み機能

RTCには3種類の割り込み信号があります。

(1) INTRTC0

0.5秒 / 1秒 / 1分 / 1時間 / 1日 / 1ヶ月に一度の定周期割り込み信号を発生します。

(2) INTRTC1

アラーム割り込み信号

(3) INTRTC2

$f_{XT}/2^6$ / $f_{XT}/2^7$ / $f_{XT}/2^8$ / $f_{XT}/2^9$ / $f_{XT}/2^{10}$ / $f_{XT}/2^{11}$ / $f_{XT}/2^{12}$ 周期のインターバル割り込み信号を発生します。

12.3 レジスタ

リアルタイム・カウンタは、次の16種類のレジスタで制御します。

(1) リアルタイム・カウンタ・コントロール・レジスタ0 (RC1CC0)

リアルタイム・カウンタの入カクロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFADDH

	7	6	5	4	3	2	1	0
RC1CC0	RC1PWR	RC1CKS	0	0	0	0	0	0

RC1PWR	リアルタイム・カウンタの動作の制御
0	リアルタイム・カウンタ動作停止
1	リアルタイム・カウンタ動作許可

RC1CKS	動作クロックの選択
0	f _{XT} を動作クロックとして選択
1	f _{BRG} を動作クロックとして選択

- 注意1. 動作中のリアルタイム・カウンタを停止 (RC1PWR = 1→0) させる場合は、12.4.8 リアルタイム・カウンタの初期化にそって行ってください。
2. RC1CKSビットの書き換えは、リアルタイム・カウンタ動作停止時 (RC1PWRビット = 0) のみ可能です。また、RC1PWRビットを“0”から“1”にするのと同時にRC1CKSビットを書き換えることは禁止です。

(2) リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1)

リアルタイム・カウンタ動作の開始/停止、RTCCL端子/RTC1HZ端子の制御、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFFADEH

	7	6	5	4	3	2	1	0
RC1CC1	RTCE	0	CLOE1	CLOE0	AMPM	CT2	CT1	CT0
	RCTE	各カウンタの動作の制御						
	0	カウンタ動作停止						
	1	カウンタ動作許可						
	CLOE1	RTC1HZ端子の出力制御						
	0	RTC1HZ端子の出力 (1 Hz) 禁止						
	1	RTC1HZ端子の出力 (1 Hz) 許可						
	CLOE0	RTCCL端子の出力制御						
	0	RTCCL端子の出力 (32.768 kHz) 禁止						
	1	RTCCL端子の出力 (32.768 kHz) 許可						
	AMPM	12時間制 / 24時間制の選択						
	0	12時間制表示 (午前 / 午後を表示)						
	1	24時間制表示						
	CT2	CT1	CT0	定周期割り込み (INTRTC0) の選択				
	0	0	0	定周期割り込みを使用しない				
	0	0	1	0.5秒に1度 (秒カウント・アップに同期)				
	0	1	0	1秒に1度 (秒カウント・アップと同時)				
	0	1	1	1分に1度 (毎分00秒)				
	1	0	0	1時間に1度 (毎時00分00秒)				
	1	0	1	1日に1度 (毎日00時00分00秒)				
	1	1	x	1月に1度 (毎月1日午前00時00分00秒)				

- 注意1. RTCEビット = 1の状態ではRTCEビットに“0”を書き込むことは禁止です。12. 4. 8 リアルタイム・カウンタの初期化にそってRC1PWRビットをクリアすることでRTCEビットをクリアしてください。
- CLOE1ビットの設定変更時、RTC1HZ出力は次のように動作します。
 - ・ 0 1に変更した場合：最大2クロック後 (2 x 32.768 kHz) に、RTC1HZ出力は1 Hzのパルスを出力
 - ・ 1 0に変更した場合：最大2クロック後 (2 x 32.768 kHz) に、RTC1HZ出力は出力停止 (ロウ・レベル固定)。
 - AMPMビットの設定 / 変更は、12. 4. 1 初期設定、12. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換えを参照してください。また、AMPMビットを書き換えた場合は、RC1HOURレジスタを再設定してください。
 - リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にCT2-CT0ビットを書き換える場合は、12. 4. 4 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更を参照してください。

(3) リアルタイム・カウンタ・コントロール・レジスタ2 (RC1CC2)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより，00Hになります。

リセット時：00H R/W アドレス：FFFFFADFH

	7	6	5	4	3	2	1	0
RC1CC2	WALE	0	0	0	0	0	RWST	RWAIT

WALE	アラーム割り込み (INTRTC1) の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

RWST	リアルタイム・カウンタのウェイト状態
0	カウンタ動作中
1	秒～年カウンタのカウント・アップ停止状態 (カウンタ値の読み出し，書き込み許可状態)

RWAITビットの設定が有効であることを示すステータス・フラグです。
カウンタ値の読み出し，書き込みは，RWSTビットが1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	秒～年カウンタのカウント動作停止 (カウンタ値の読み出し，書き込みモード)

カウンタの動作を制御します。
カウンタ値の読み出し，書き込みを行う際には必ず“1”を書き込んでください。
RWAITビットが“1”のときにRC1SUBCレジスタのオーバーフローが起きた場合は，オーバーフロー情報を内部で保持して，RWAITビットに“0”を書き込んだあと，最大2クロック後にRC1SECレジスタをカウント・アップします。
ただし，RWAITビット=1中に秒カウンタの値を書き換えた場合，保持していたオーバーフロー情報は破棄されます。

- 注意1. WALEビットをリアルタイム・カウンタ動作中 (RC1PWRビット = 1) に書き換える場合は，12. 4. 5 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更を参照してください。
2. 各カウンタ値の読み出し/書き込みを行う場合は，RWSTビットが1になっていることを確認してください。
3. RWAITビットを“0”に設定しても，各カウンタ書き込み中は，RWSTビットは“0”になりません。各カウンタ書き込み完了後に“0”になります。

(4) リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3)

インターバル割り込み機能，RTCDIV端子を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより，00Hになります。

リセット時：00H R/W アドレス：FFFFFFAE0H

	7	6	5	4	3	2	1	0
RC1CC3	RINTE	CLOE2	CKDIV	0	0	ICT2	ICT1	ICT0

RINTE	インターバル割り込み (INTRTC2) の制御
0	インターバル割り込みを発生しない
1	インターバル割り込みを発生する

CLOE2	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

CKDIV	RTCDIV端子の出力周波数の選択
0	RTCDIV端子から512 Hz (1.95 ms) を出力
1	RTCDIV端子から16.384 kHz (0.061 ms) を出力

ICT2	ICT1	ICT0	インターバル割り込み (INTRTC2) の選択
0	0	0	$2^6/f_{XT}$ (1.953125 ms)
0	0	1	$2^7/f_{XT}$ (3.90625 ms)
0	1	0	$2^8/f_{XT}$ (7.8125 ms)
0	1	1	$2^9/f_{XT}$ (15.625 ms)
1	0	0	$2^{10}/f_{XT}$ (31.25 ms)
1	0	1	$2^{11}/f_{XT}$ (62.5 ms)
1	1	×	$2^{12}/f_{XT}$ (125 ms)

注意1. RINTEビットをリアルタイム・カウンタ動作中 (RC1PWRビット = 1) に書き換える場合は，12. 4.

7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更を参照してください。

2. CLOE2ビットの設定変更時，RTCDIV出力は次のように動作します。

- ・ 0 → 1に変更した場合：最大2クロック後 (2 x 32.768 kHz) に，CKDIVビットで設定したパルスを出力
- ・ 1 → 0に変更した場合：最大2クロック後 (2 x 32.768 kHz) に，RTCDIV出力は出力停止 (ロウ・レベル固定)。

3. リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にICT2-ICT0ビットを書き換える場合は，12.

4. 7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更を参照してください。

(5) サブカウント・レジスタ (RC1SUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。

0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。

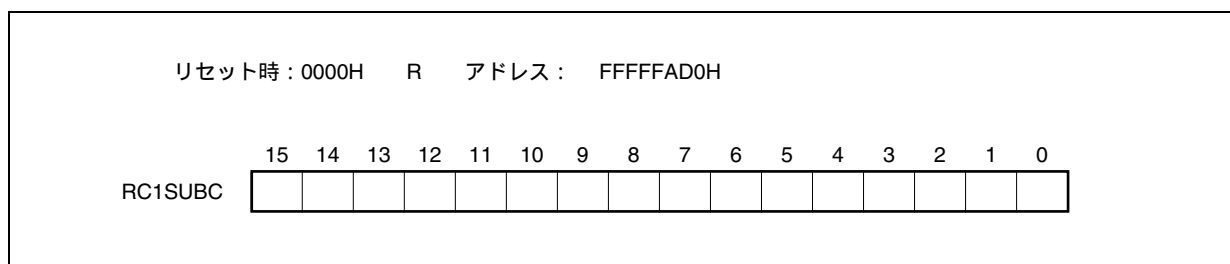
16ビット単位でリード可能のみです。

リセットにより、0000Hになります。

注意1. RC1SUBUレジスタにより補正を行う場合は、8000H以上の値になる場合があります。

2. RC1SUBCレジスタは、秒カウント・レジスタへのライトによってもクリアされます。

3. RC1SUBCレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

**(6) 秒カウント・レジスタ (RC1SEC)**

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

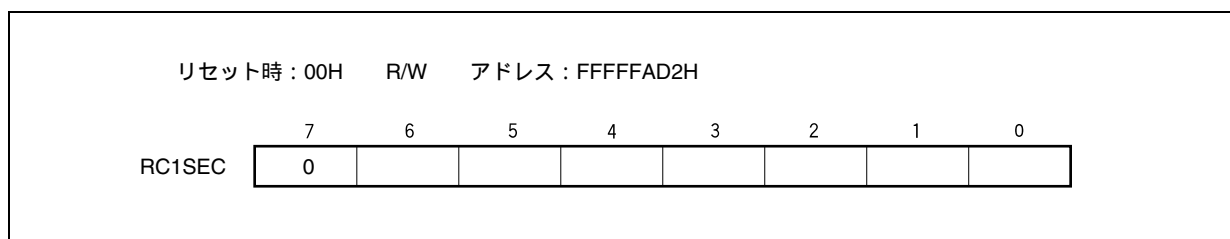
書き込みを行った場合は、バッファに書き込まれ、最大2クロック (2×32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

注意 RC1SECレジスタに00-59以外の値を設定することは禁止です。

備考 RC1SECレジスタのリード/ライトは、必ず12.4.1 初期設定、12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え、12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。



(7) 分カウント・レジスタ (RC1MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

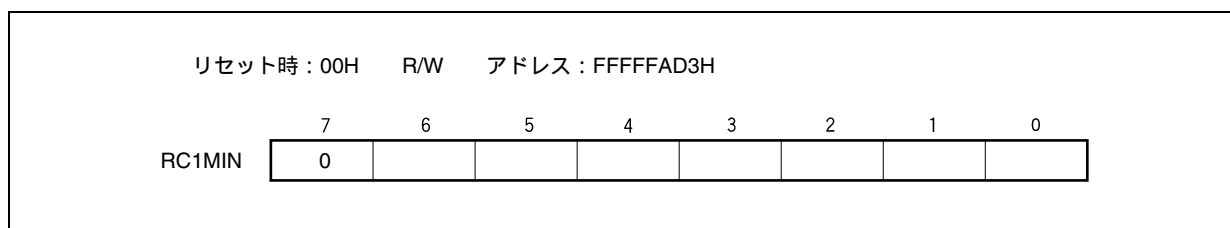
書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後に、カウンタへ書き込まれます。また設定する値は、10進の00-59をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

注意 RC1MINレジスタに00-59以外の値を設定することは禁止です。

備考 RC1MINレジスタのリード/ライトは、必ず12.4.1 初期設定、12.4.2 クロック動作中の各カウンタの書き換え、12.4.3 クロック動作中の各カウンタの読み出しを参照してください。

**(8) 時カウント・レジスタ (RC1HOUR)**

0-23または1-12 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (2 x 32.768 kHz) 後にカウンタへ書き込み

されます。また設定する値は、10進の00-23または01-12、21-32をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

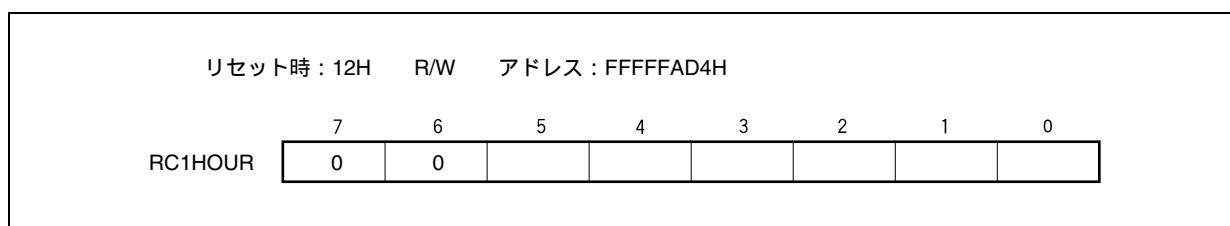
リセットにより、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意1. RC1HOURレジスタのビット5は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

2. RC1HOURレジスタに01-12、21-32 (AMPMビット = 0)、または00-23 (AMPMビット = 1) 以外の値を設定することは禁止です。

備考 RC1HOURレジスタのリード/ライトは、12.4.1 初期設定、12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え、12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。



AMPMビットの設定値とRC1HOURレジスタの値と時間の関係を表12 - 3に示します。

表12 - 3 時間桁表示表

12時間表示 (AMPMビット = 0)		24時間表示 (AMPMビット = 1)	
時間	RC1HOURレジスタの値	時間	RC1HOURレジスタの値
AM0時	12 H	0時	00 H
AM1時	01 H	1時	01 H
AM2時	02 H	2時	02 H
AM3時	03 H	3時	03 H
AM4時	04 H	4時	04 H
AM5時	05 H	5時	05 H
AM6時	06 H	6時	06 H
AM7時	07 H	7時	07 H
AM8時	08 H	8時	08 H
AM9時	09 H	9時	09 H
AM10時	10 H	10時	10 H
AM11時	11 H	11時	11 H
PM0時	32 H	12時	12 H
PM1時	21 H	13時	13 H
PM2時	22 H	14時	14 H
PM3時	23 H	15時	15 H
PM4時	24 H	16時	16 H
PM5時	25 H	17時	17 H
PM6時	26 H	18時	18 H
PM7時	27 H	19時	19 H
PM8時	28 H	20時	20 H
PM9時	29 H	21時	21 H
PM10時	30 H	22時	22 H
PM11時	31 H	23時	23 H

RC1HOURレジスタの値は、AMPMビットが“0”のとき12時間表示で、“1”のとき24時間表示となります。

12時間表示の場合は、RCHOURの5ビット目で午前/午後を表示し、午前 (AM) のときに0に、午後 (PM) のときに1となります。

(9) 日カウント・レジスタ (RC1DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (2 x 32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-31をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 01Hになります。

注意 RC1DAYレジスタに01-31以外の値を設定することは禁止です。また上記カウント範囲外 “2月30日を設定するなど” も禁止です。

備考 RC1DAYレジスタのリード/ライトは, 12.4.1 初期設定, 12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時 : 01H R/W アドレス : FFFFFAD6H								
	7	6	5	4	3	2	1	0
RC1DAY	0	0						

(10) 曜日カウント・レジスタ (RC1WEEK)

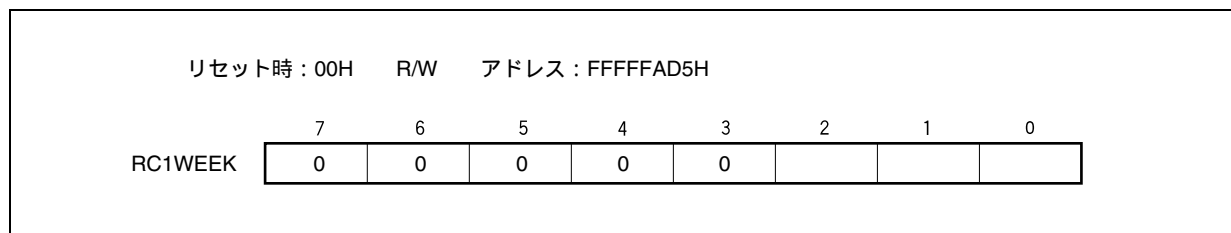
0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (2 x 32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。



- 注意1.** RC1WEEKレジスタに00-06以外の値を設定することは禁止です。
- 2.** 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。
リセット解除後、必ず次のように設定してください。

曜日	RC1WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

備考 RC1WEEKレジスタのリード/ライトは、12.4.1 初期設定、12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え、12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

(11) 月カウント・レジスタ (RC1MONTH)

RC1MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

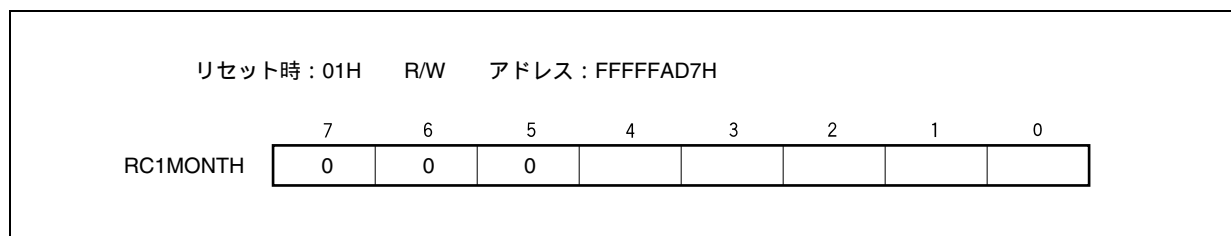
書き込みを行った場合は, バッファに書き込まれ最大2クロック (2 x 32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-12をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 01Hになります。

注意 RC1MONTHレジスタに01-12以外の値を設定することは禁止です。

備考 RC1MONTHレジスタのリード/ライトは, 12. 4. 1 初期設定, 12. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

**(12) 年カウント・レジスタ (RC1YEAR)**

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

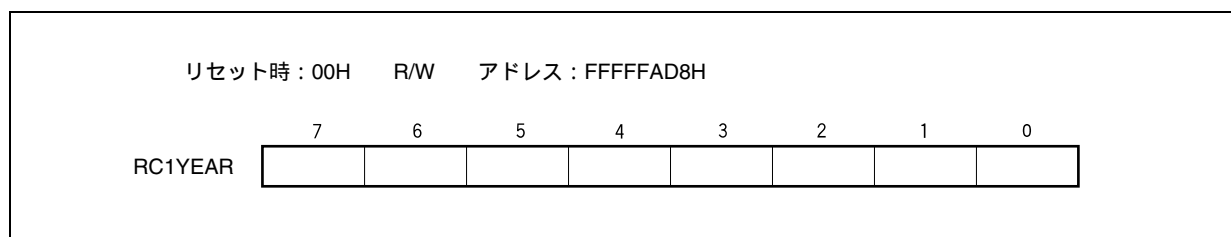
書き込みを行った場合は, バッファに書き込まれ最大2クロック (2 x 32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の00-99をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

注意 RC1YEARレジスタに00-99以外の値を設定することは禁止です。

備考 RC1YEARレジスタのリード/ライトは, 12. 4. 1 初期設定, 12. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。



(13) 時計誤差補正レジスタ (RC1SUBU)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができる8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

- 備考1.** RC1SUBUレジスタの書き換えはリアルタイム・カウンタの初期設定時のみ可能です。必ず12.4.1 **初期設定**を参照してください。
2. 時計誤差補正については, 12.4.9 **リアルタイム・カウンタの時計誤差補正例**を参照してください。

リセット時: 00H R/W アドレス: FFFFFAD9H

	7	6	5	4	3	2	1	0
RC1SUBU	DEV	F6	F5	F4	F3	F2	F1	F0
DEV	時計誤差補正のタイミングの設定							
0	RC1SEC (秒カウンタ) が00, 20, 40秒のとき (20秒ごと) に時計誤差補正							
1	RC1SEC (秒カウンタ) が00秒のとき (60秒ごと) に時計誤差補正							
F6	時計誤差補正值の設定							
0	F5-F0ビットで設定した値分, RC1SUBCのカウンタ値を増加 (+ 補正) 増加値計算式: (F5-F0ビットの設定値 - 1) × 2							
1	F5-F0ビットで設定した値分, RC1SUBCのカウンタ値を減少 (- 補正) 減少値計算式: (F5-F0ビットの設定値の反転値データ + 1) × 2							
F6-F0ビットの値が { 1/0, 0, 0, 0, 0, 0, 1/0 } のときは, 時計誤差補正は行いません。								

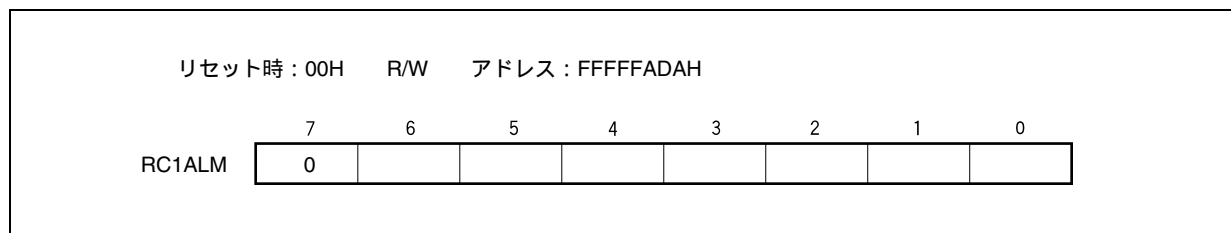
(14) アラーム分設定レジスタ (RC1ALM)

アラームの分を設定する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

注意 設定する値は, 10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合, アラームは検出されません。

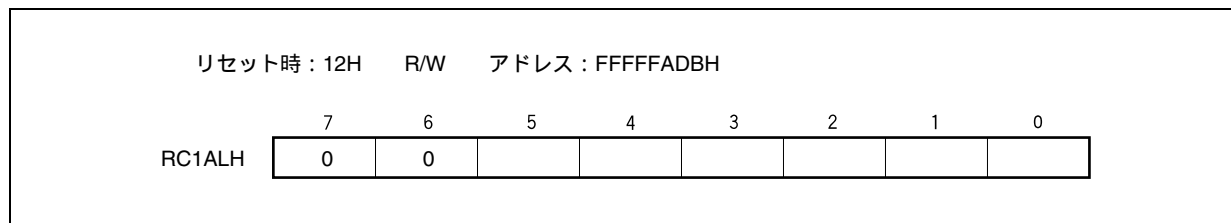
**(15) アラーム時設定レジスタ (RC1ALH)**

アラームの時を設定する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより, 12Hになります。

- 注意1.** 設定する値は, 10進の00-23または, 01-12, 21-32をBCDコードで設定してください。範囲外の値を設定した場合, アラームは検出されません。
- 2.** RC1ALHレジスタのビット5は, AMPMビット = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。



(16) アラーム曜日設定レジスタ (RC1ALW)

アラームの曜日を設定する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

注意 リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にRC1ALWレジスタを書き換える場合は、12.4.5 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更を参照してください。

リセット時 : 00H		R/W	アドレス : FFFFADCH					
RC1ALW	7	6	5	4	3	2	1	0
	0	RC1ALW6	RC1ALW5	RC1ALW4	RC1ALW3	RC1ALW2	RC1ALW1	RC1ALW0
		土	金	木	水	火	月	日
RC1ALW6	アラーム割り込み曜日設定ビット6							
0	RC1WEEK = 06H (土) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 06H (土) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW5	アラーム割り込み曜日設定ビット5							
0	RC1WEEK = 05H (金) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 05H (金) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW4	アラーム割り込み曜日設定ビット4							
0	RC1WEEK = 04H (木) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 04H (木) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW3	アラーム割り込み曜日設定ビット3							
0	RC1WEEK = 03H (水) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 03H (水) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW2	アラーム割り込み曜日設定ビット2							
0	RC1WEEK = 02H (火) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 02H (火) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW1	アラーム割り込み曜日設定ビット1							
0	RC1WEEK = 01H (月) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 01H (月) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW0	アラーム割り込み曜日設定ビット0							
0	RC1WEEK = 00H (日) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 00H (日) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							

(a) アラーム割り込み設定例 (RC1ALM, RC1ALH, RC1ALW設定例)

日曜日をRC1WEEK = 00 , 月曜日をRC1WEEK = 01 , 火曜日をRC1WEEK = 02 , ... , 土曜日をRC1WEEK = 06とした場合の設定例を表12 - 4, 表12 - 5に示します。

表12 - 4 AMPM=0 (RC1HOURレジスタ12時間表示)の時のアラーム設定例

アラーム設定時間	レジスタ	RC1ALW	RC1ALH	RC1ALM
日曜日, AM 7時00分		01H	07H	00H
日曜日 / 月曜日, PM 12時15分		03H	32H	15H
月曜日 / 火曜日 / 金曜日, PM 5時30分		26H	25H	30H
毎日, PM 10時45分		7FH	30H	45H

表12 - 5 AMPM=1 (RC1HOURレジスタ24時間表示)の時のアラーム設定例

アラーム設定時間	レジスタ	RC1ALW	RC1ALH	RC1ALM
日曜日, 7時00分		01H	07H	00H
日曜日 / 月曜日, 12時15分		03H	12H	15H
月曜日 / 火曜日 / 金曜日, 17時30分		26H	17H	30H
毎日, 22時45分		7FH	22H	45H

(17) プリスケアラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、リアルタイム・カウンタのカウンタ・クロックの生成 (f_{BRG}) を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可	
0	禁止	
1	許可	

BGCS01	BGCS00	リアルタイム・カウンタ・ソース・クロック (f _{BGCS}) の選択		
			5 MHz	4 MHz
0	0	f _x	200 ns	250 ns
0	1	f _x /2	400 ns	500 ns
1	0	f _x /4	800 ns	1 μs
1	1	f _x /8	1.6 μs	2 μs

- 注意1. リアルタイム・カウンタ動作中に, BGCS01, BGCS00ビットの値を変更しないでください。
2. PRSM0レジスタの設定はBGCE0ビットをセット(1)する前に行ってください。
3. f_{BRG}の周波数が32.768 kHzとなるよう, 使用するメイン・クロック周波数にあわせて, PRSM0, PRSCM0レジスタの設定を行ってください。

(18) プリスケアラ・コンペア・レジスタ0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意1. リアルタイム・カウンタ動作中にPRSCM0レジスタを書き換えないでください。

2. PRSM0.BGCE0ビットをセット(1)する前にPRSCM0レジスタの設定を行ってください。
3. f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

f_{BRG} の計算式を次に示します。

$$f_{BRG} = f_{BGCS}/2N$$

備考 f_{BGCS} : PRSM0レジスタで設定した時計タイマ・ソース・クロック

N : PRSCM0レジスタの設定値 = 1-256

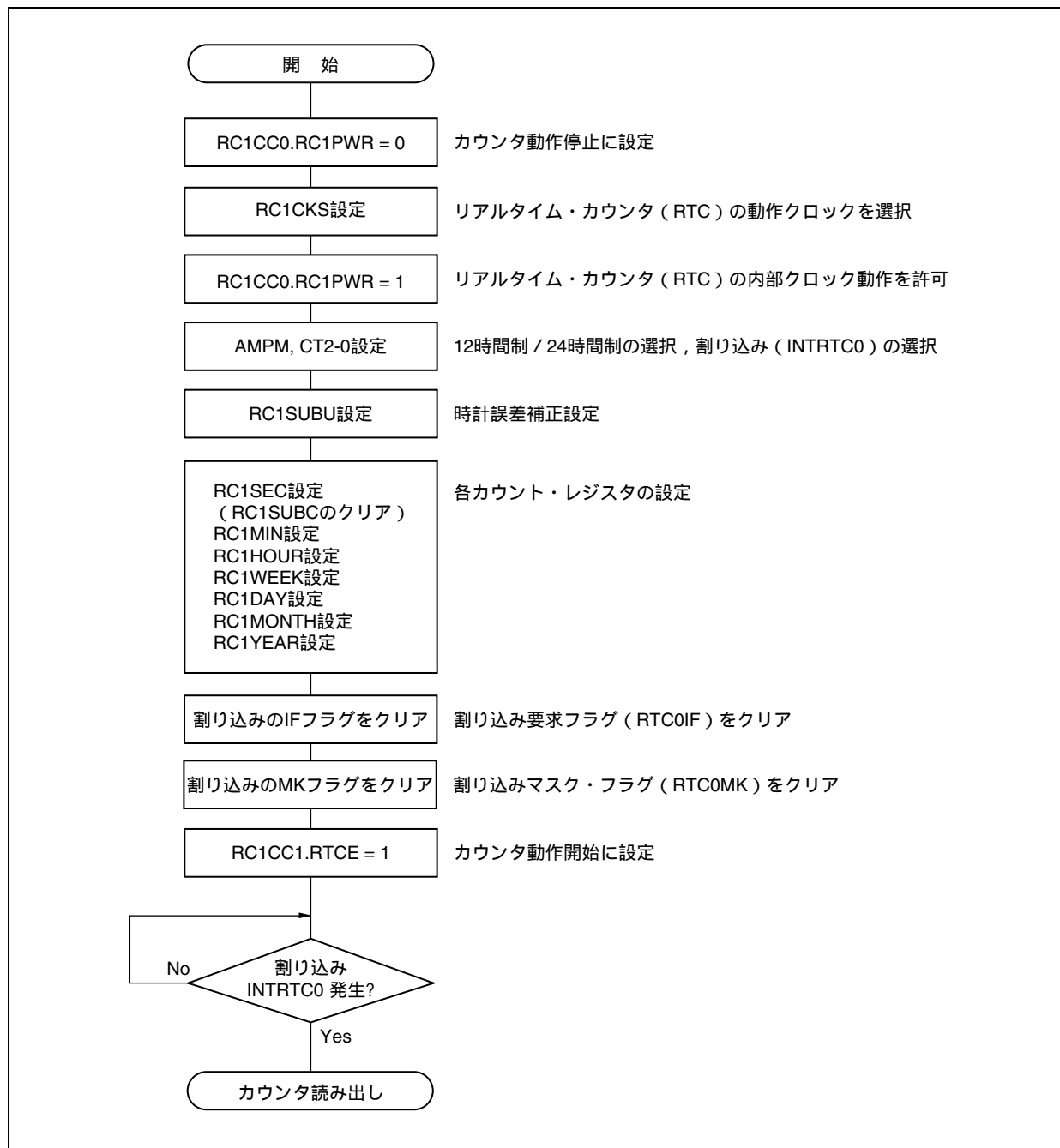
ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

12.4 動作

12.4.1 初期設定

時計機能，定周期割り込み動作をする場合に設定します。

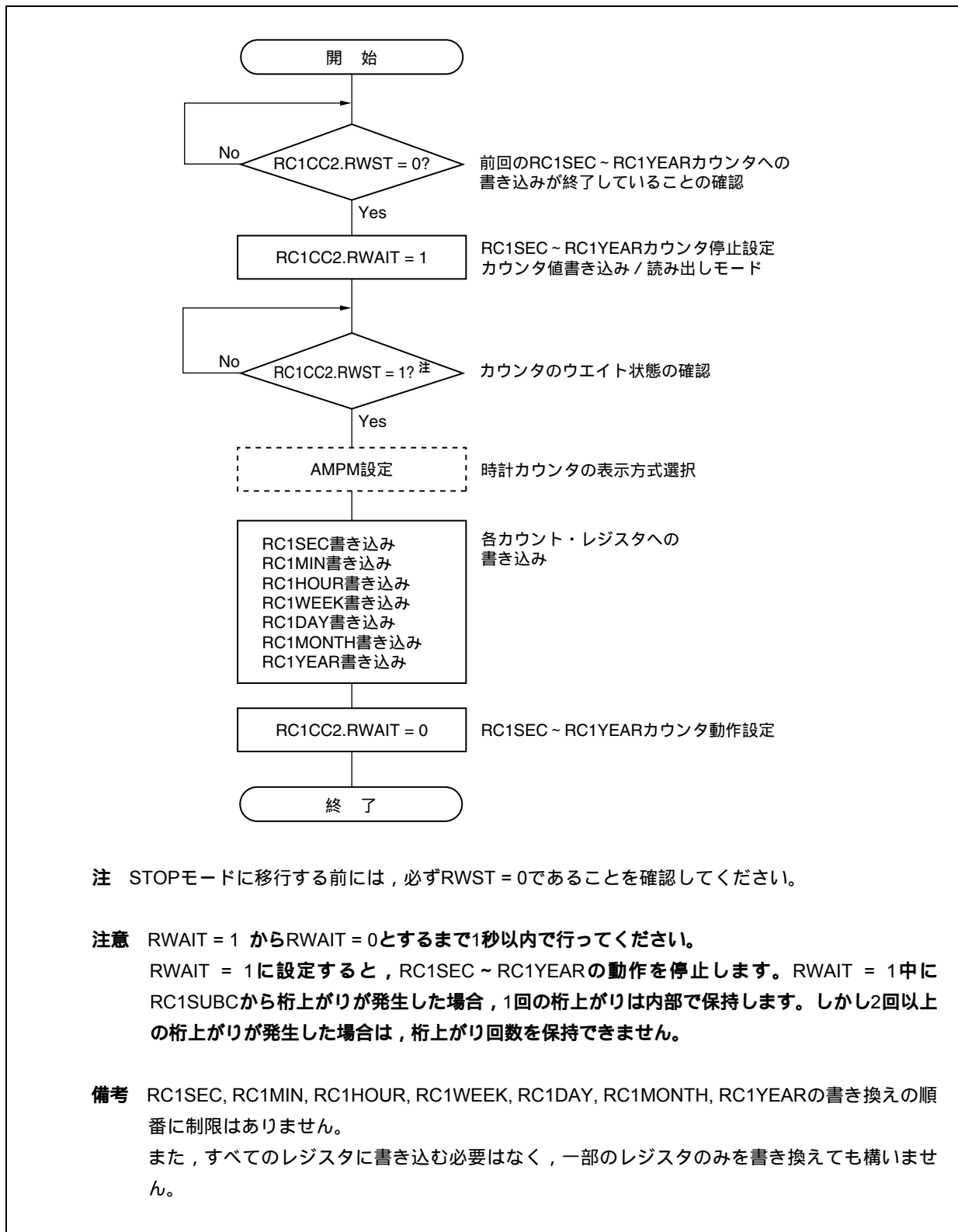
図12-2 初期設定手順



12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え

リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に各カウンタ (RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEAR) を書き換える場合は次のように設定してください。

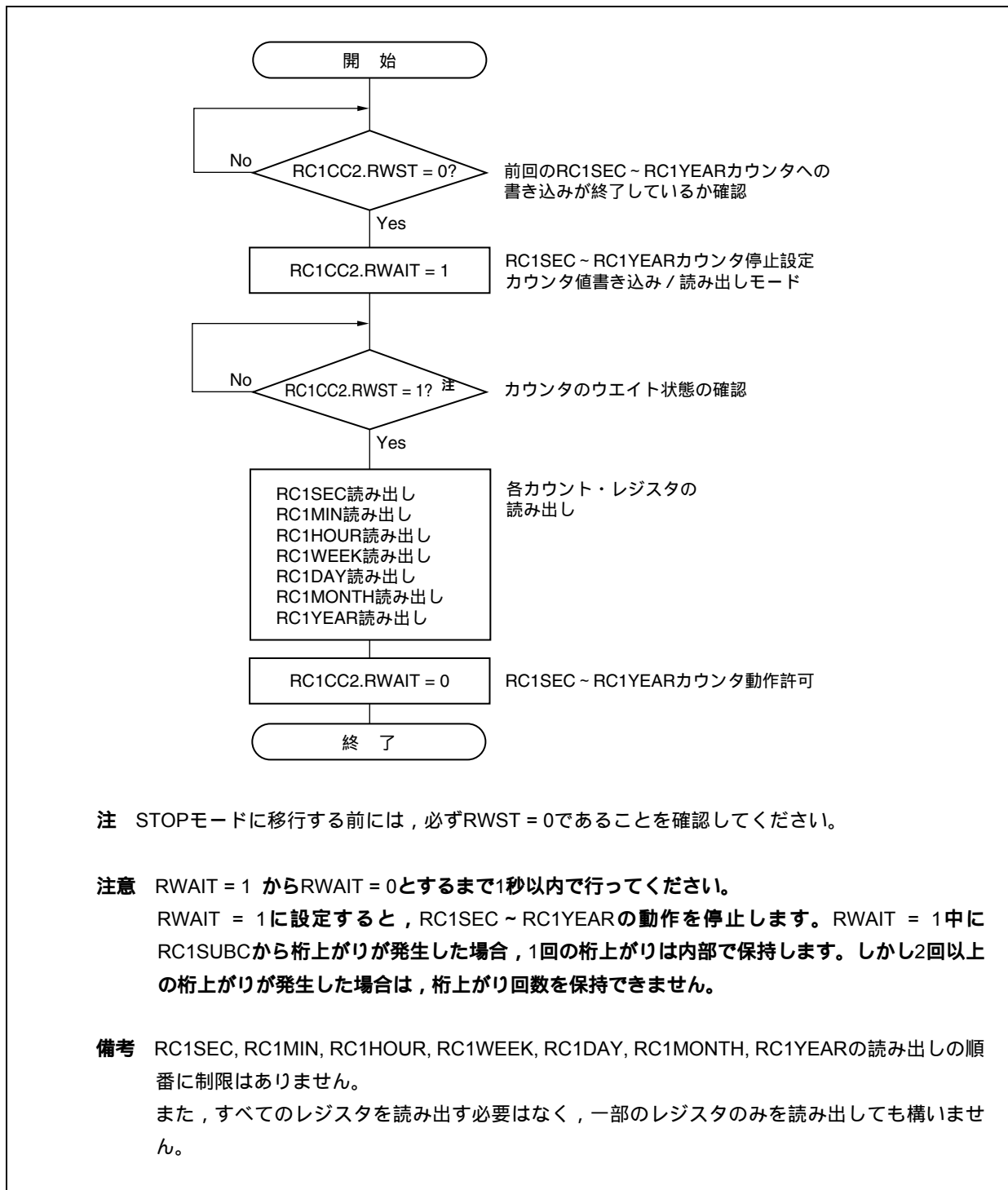
図12-3 リアルタイム・カウンタ動作中の各カウンタの読み出し



12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出し

リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に各カウンタ (RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEAR) を読み出す場合は次のように設定してください。

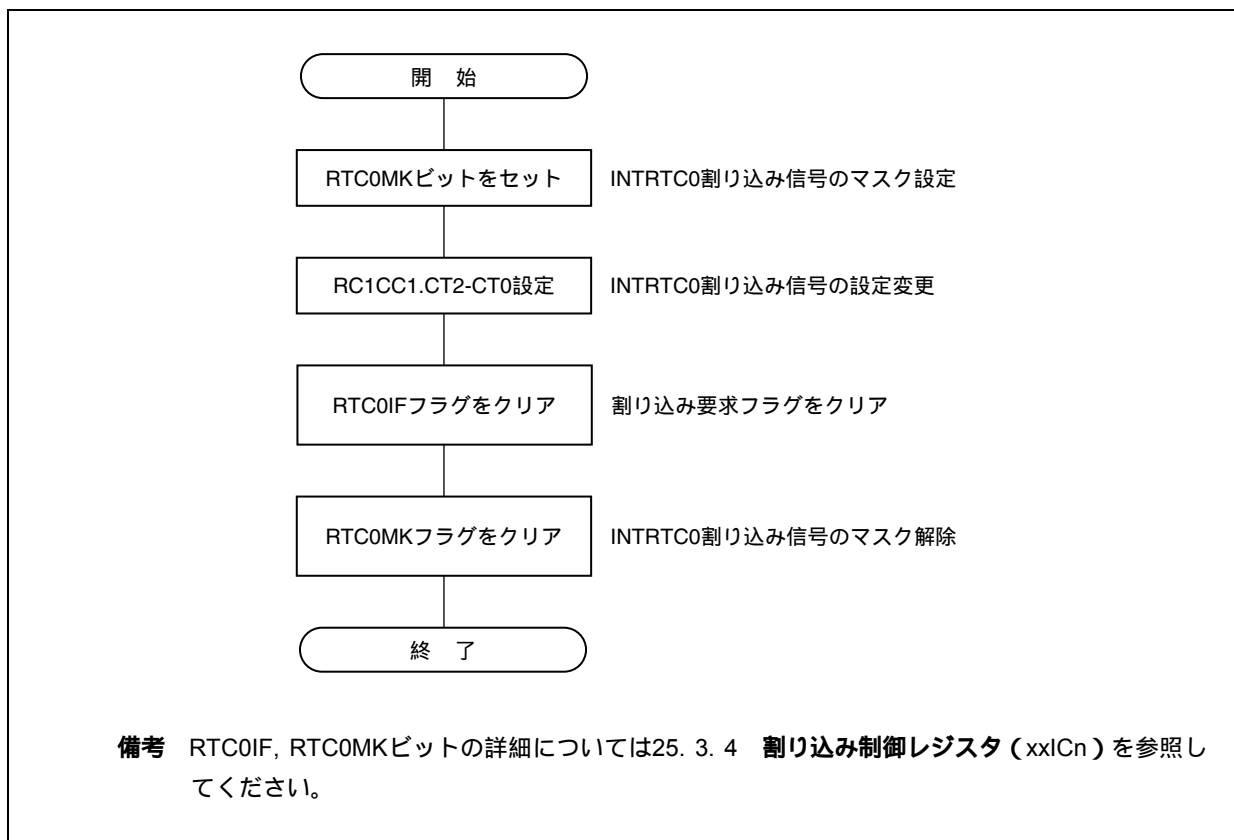
図12-4 リアルタイム・カウンタ動作中の各カウンタの読み出し



12.4.4 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更

リアルタイム・カウンタの動作中 (RC1PWR = 1, RTCE = 1) のときに, INTRTC0割り込み (定周期割り込み) 信号の設定を変更すると, INTRTC0割り込みの波形にヒゲが混じり, 意図しない信号が出力される可能性があります。ヒゲをマスクするため, リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に, INTRTC0割り込み信号の設定を変更する場合は次のように設定してください。

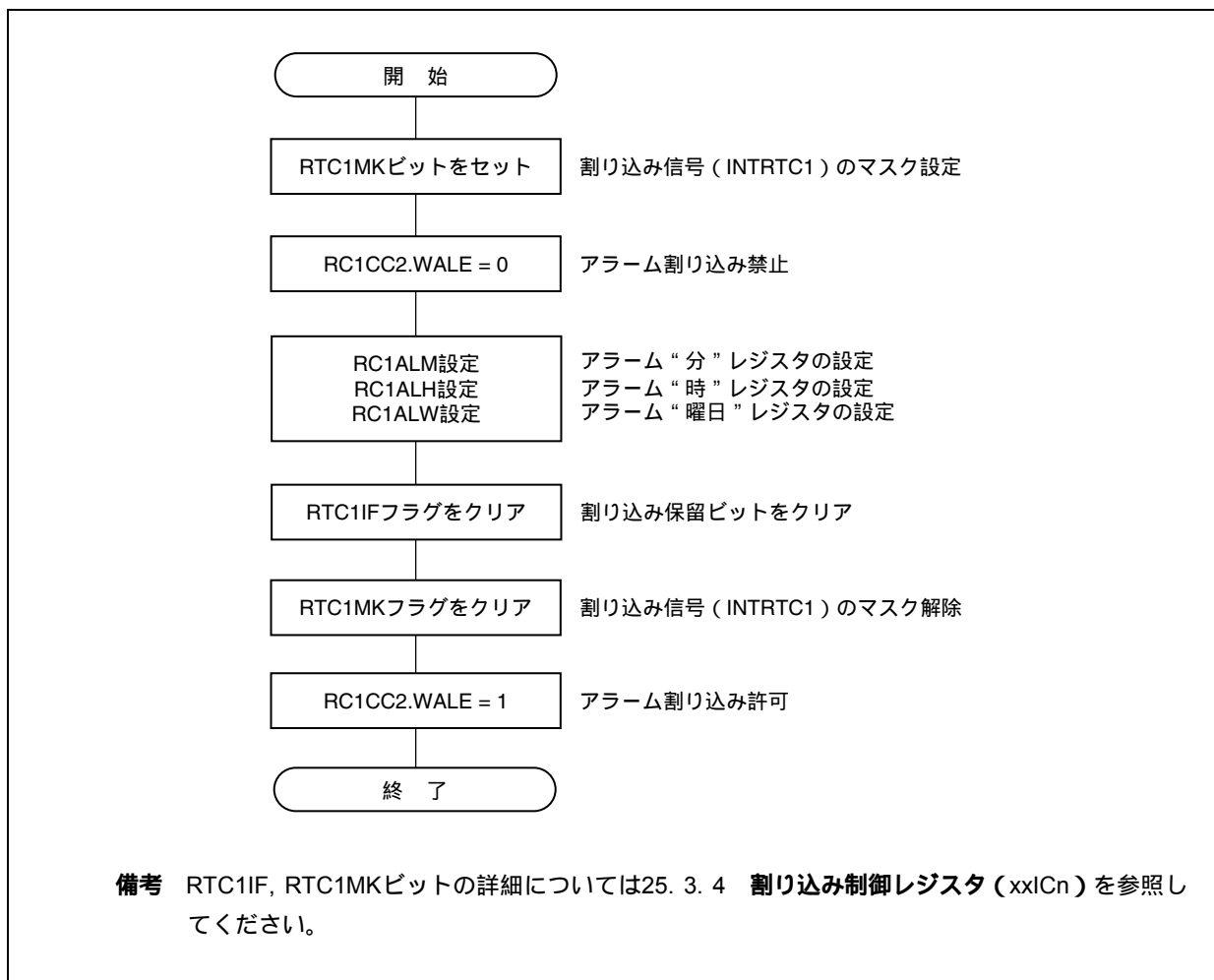
図12 - 5 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更



12.4.5 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更

リアルタイム・カウンタの動作中 (RC1PWR = 1, RTCE = 1) のときに, INTRTC1割り込み (アラーム割り込み) の設定を変更すると, INTRCT1割り込みの波形にヒゲが混じり, 意図しない信号が出力される可能性があります。ヒゲをマスクするため, リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に, INTRTC1割り込み信号の設定を変更する場合は次のように設定してください。

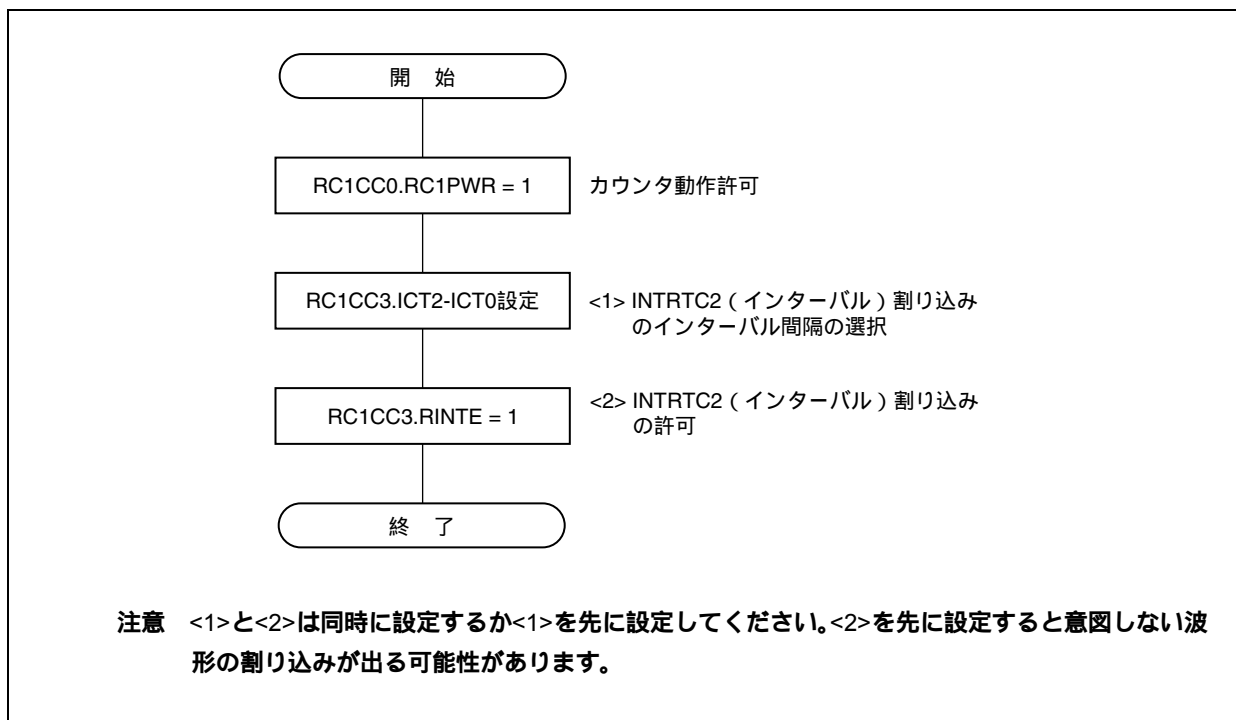
図12 - 6 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更



12.4.6 INTRTC2割り込みの初期設定

INTRTC1割り込み（インターバル割り込み）の設定をする場合は次のように設定してください。

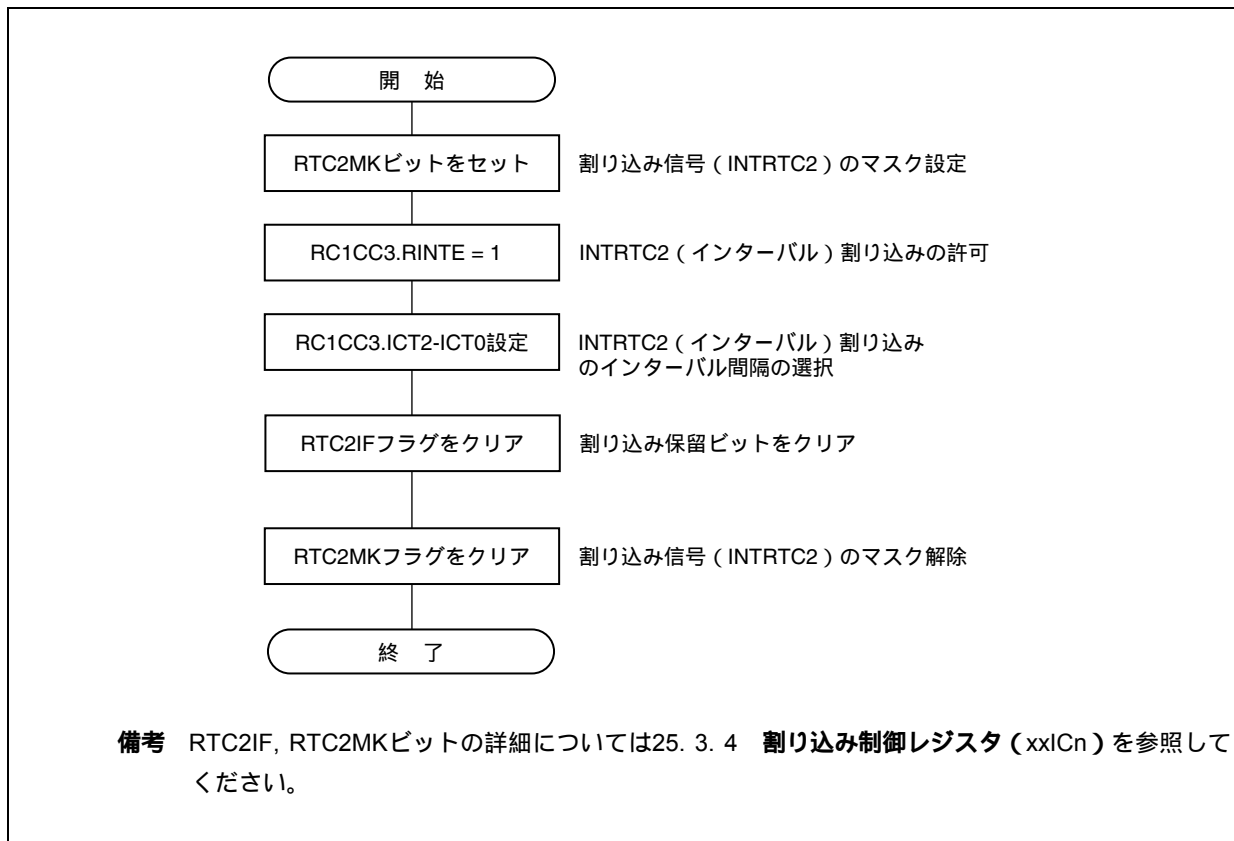
図12 - 7 INTRTC2割り込み設定



12.4.7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更

リアルタイム・カウンタの動作中 (RC1PWR = 1, RTCE = 1) のときに, INTRTC2割り込み (インターバル割り込み) の設定を変更すると, INTRTC2割り込みの波形にヒゲが混じり, 意図しない信号が出力される可能性があります。ヒゲをマスクするため, リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に, INTRTC2割り込み信号の設定を変更する場合は次のように設定してください。

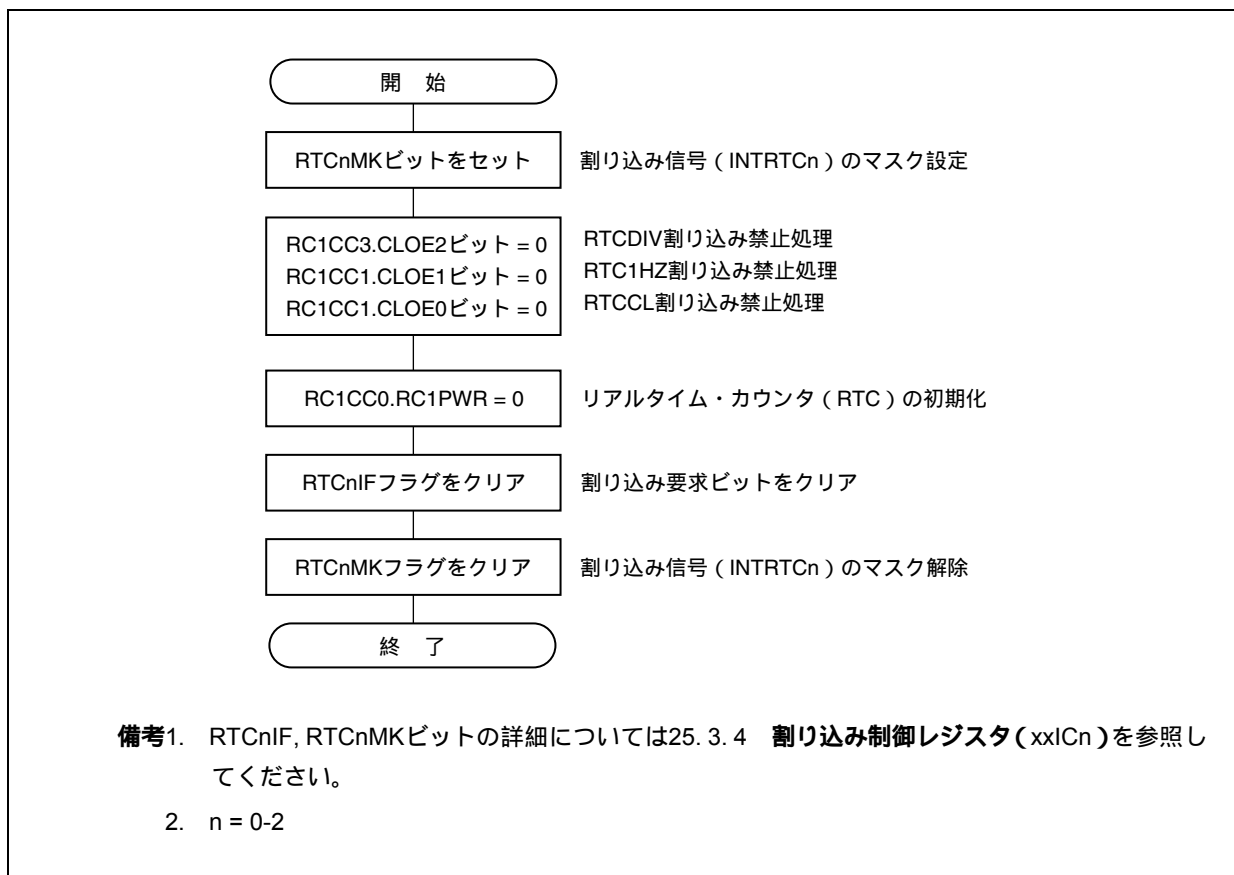
図12 - 8 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更



12.4.8 リアルタイム・カウンタの初期化

リアルタイム・カウンタの初期化手順を次に示します。

図12-9 リアルタイム・カウンタの初期化



12.4.9 リアルタイム・カウンタの時計誤差補正例

時計誤差補正機能とは、V850ES/Jx3-Eに接続される発振子をもつ発振周波数の偏差を補正する機能です。

ここでの偏差とは、発振子設計時の周波数の偏りである“定常偏差”を示します。

次に、システム設計時に意図する入力クロック“32.768 kHz”に誤差が生じて、32.7681 kHzの発振子が接続されてしまったときのタイミング図とそれを補正するためのRC1SUBC, RC1SECのカウンタ動作を示します。

図12 - 10 時計誤差補正例

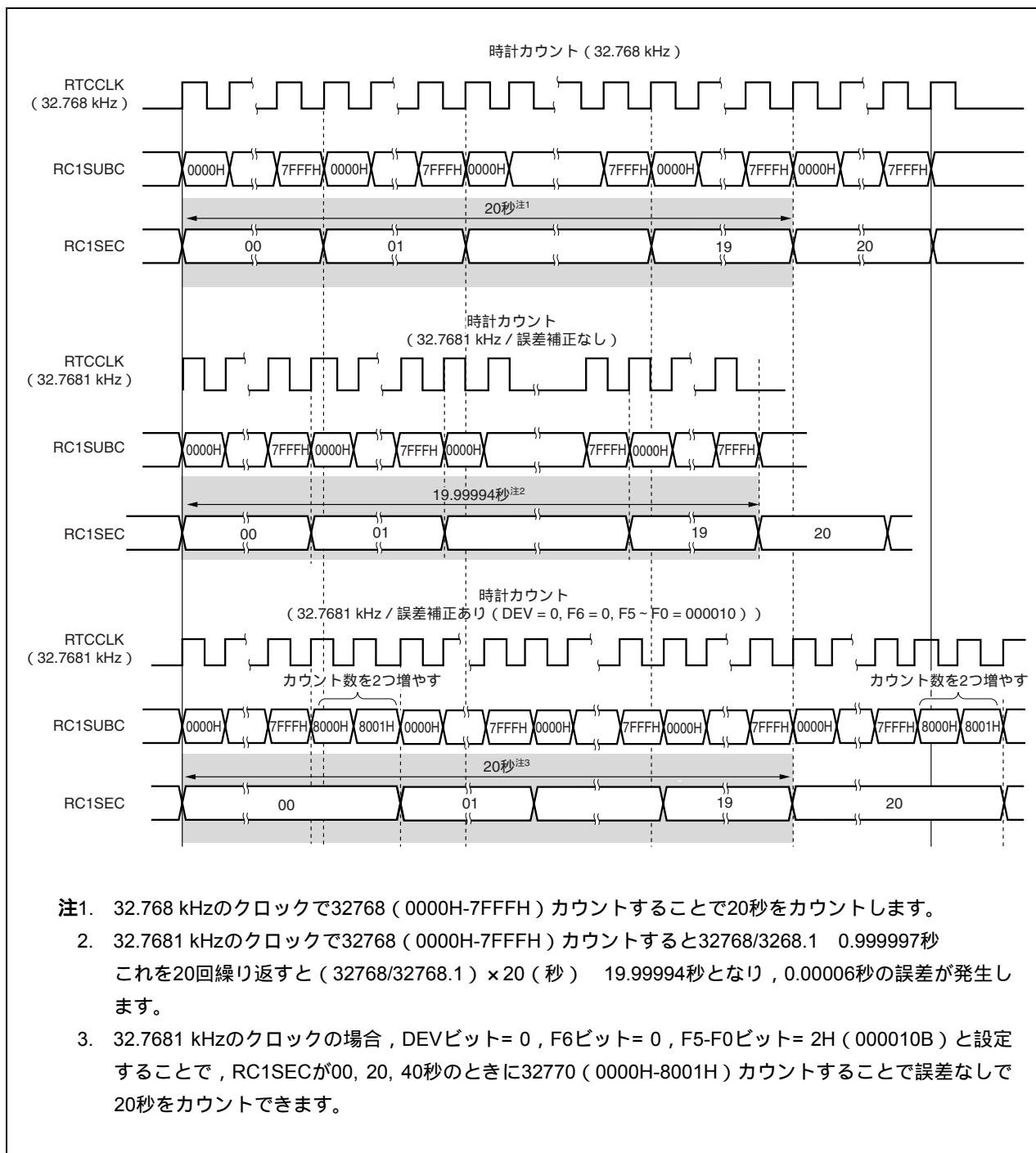


図12 - 10のように、発振子に32.768 kHzより速い“ + 誤差 ”が生じた場合は、RC1SUBCのカウント値を増やす事で正確に時計をカウントできることがわかります。また同様に発振子に32.768 kHzより遅い“ - 誤差 ”が生じた場合は、RC1SUBCのカウント値を減らすことで正確に時計をカウントできることがわかります。

RC1SUBCの補正値を決定するのがRC1SUBU.F6-F0ビットです。

F6ビットでRC1SUBCの増加 / 減少を決定し、F5-F0ビットで値を決定します。

(1) RC1SUBCのカウント増加

F6ビット=0にすることによって、F5-F0ビットで設定した値分、RC1SUBCのカウント値を増加します。

増加値計算式：(F5-F0ビット設定値 - 1) × 2

【RC1SUBCのカウント増加例：F6ビット = 0】

F5-F0ビットに15H (010101B) を設定した場合

(15H - 1) × 2 = 40 (RC1SUBCカウント値を40増)

RC1SUBCカウント値 = 32768 + 40 = 32808

(2) RC1SUBCのカウント減少

F6ビット= 1にすることによって、F5-F0ビット設定した値の反転値分、RC1SUBCのカウント値を減少します。

減少値計算式：(F5-F0ビット設定値の反転値 + 1) × 2

【RC1SUBCのカウント増加例：F6ビット = 1】

F5-F0ビットに15H (010101B) を設定した場合

15H (010101B) の反転データ= 2AH (101010B)

(2AH + 1) × 2 = 86 (RC1SUBCカウント値を86減)

RC1SUBCカウント値 = 32768 - 86 = 32682

(3) DEVビットについて

DEVビットは、F6-F0ビットでの設定が有効となるタイミングを決定します。

F6-F0ビットで設定した値は、毎回RC1SUBCカウント値に反映されるわけではなく次のタイミングで、反映されます。

表12 - 6 DVEビットの設定

DEVビットの値	RC1SUBCへの反映タイミング
0の場合	RC1SECが00, 20, 40秒のとき
1の場合	RC1SECが00秒のとき

【F6-F0ビットに0010101Bを設定した場合の例】

- ・ DEVビット= 0の場合

RC1SUBCカウント値は、00秒、20秒、40秒のとき「32808」

それ以外のとき「32768」

- ・ DEVビット= 1の場合

RC1SUBCカウント値は、00秒のとき「32808」

それ以外のとき「32768」

このように、毎秒RC1SUBCカウント値を補正するのではなく、20秒ごと、60秒ごとに補正しているのは、発振子をもつ偏差幅に合わせているためです。

実際に補正できる発振子の周波数範囲は次のようになります。

- ・ DEVビット = 0のとき : 32.76180000 kHz ~ 32.77420000 kHz
- ・ DEVビット = 1のとき : 32.76593333 kHz ~ 32.77006667 kHz

DEVビット = 0の方が、DEVビット = 1より3倍広い周波数範囲を補正できます。

ただしDEVビット = 1の方が、3倍の精度で周波数を設定できます。

表12 - 7、表12 - 8に、DEVビット、F6-F0ビットの設定値と、そのときに補正できる周波数の一覧を示します。

表12-7 DEVビット = 0のときの補正できる周波数範囲

F6	F5-F0	RC1SUBC補正值	接続クロック周波数 (定常偏差込み)
0	000000	補正なし	-
0	000001	補正なし	-
0	000010	20秒に1度, RC1SUBCカウント値を + 2	32.76810000 kHz
0	000011	20秒に1度, RC1SUBCカウント値を + 4	32.76820000 kHz
0	000100	20秒に1度, RC1SUBCカウント値を + 6	32.76830000 kHz
⋮			
0	111011	20秒に1度, RC1SUBCカウント値を+120	32.77400000 kHz
0	111110	20秒に1度, RC1SUBCカウント値を+122	32.77410000 kHz
0	111111	20秒に1度, RC1SUBCカウント値を+124	32.77420000 kHz (上限)
1	000000	補正なし	-
1	000001	補正なし	-
1	000010	20秒に1度, RC1SUBCカウント値を - 124	32.76180000 kHz(下限)
1	000011	20秒に1度, RC1SUBCカウント値を - 122	32.76190000 kHz
1	000100	20秒に1度, RC1SUBCカウント値を - 120	32.76200000 kHz
⋮			
1	11011	20秒に1度, RC1SUBCカウント値を - 6	32.76770000 kHz
1	11110	20秒に1度, RC1SUBCカウント値を - 4	32.76780000 kHz
1	11111	20秒に1度, RC1SUBCカウント値を - 2	32.76790000 kHz

表12-8 DEVビット = 1のときの補正できる周波数範囲

F6	F5-F0	RC1SUBC補正值	接続クロック周波数 (定常偏差込み)
0	000000	補正なし	-
0	000001	補正なし	-
0	000010	60秒に1度, RC1SUBCカウント値を + 2	32.76803333 kHz
0	000011	60秒に1度, RC1SUBCカウント値を + 4	32.76806667 kHz
0	000100	60秒に1度, RC1SUBCカウント値を + 6	32.76810000 kHz
⋮			
0	111011	60秒に1度, RC1SUBCカウント値を + 120	32.77000000 kHz
0	111110	60秒に1度, RC1SUBCカウント値を + 122	32.77003333 kHz
0	111111	60秒に1度, RC1SUBCカウント値を + 124	32.77006667 kHz (上限)
1	000000	補正なし	-
1	000001	補正なし	-
1	000010	60秒に1度, RC1SUBCカウント値を - 124	32.76593333 kHz (下限)
1	000011	60秒に1度, RC1SUBCカウント値を - 122	32.76596667 kHz
1	000100	60秒に1度, RC1SUBCカウント値を - 120	32.76600000 kHz
⋮			
1	11011	60秒に1度, RC1SUBCカウント値を - 6	32.76790000 kHz
1	11110	60秒に1度, RC1SUBCカウント値を - 4	32.76793333 kHz
1	11111	60秒に1度, RC1SUBCカウント値を - 2	32.76796667 kHz

第13章 ウォッチドッグ・タイマ2機能

13.1 機能

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ^{注1}
 - リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
 - ノンマスクابل割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）^{注2}
- ・ソース・クロックとしてメイン・クロック，内蔵発振クロック，サブクロックからの入力を選択可能

注1. ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。

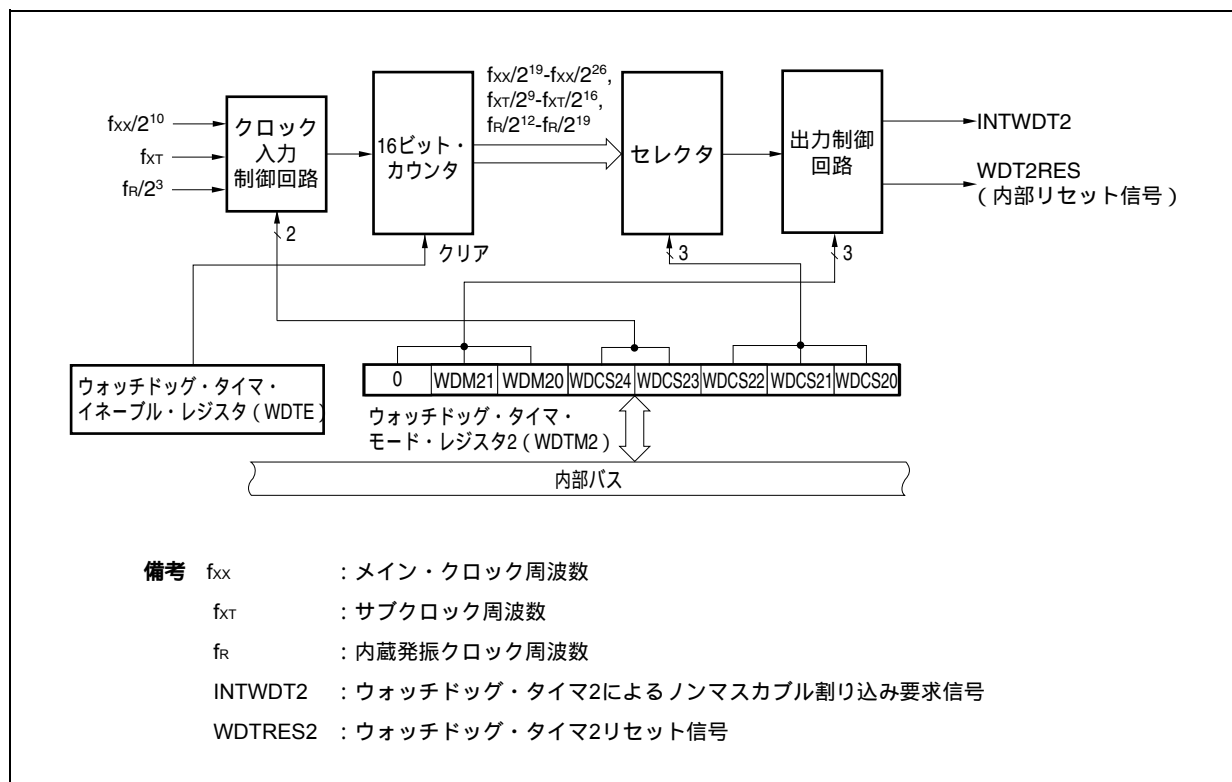
また、デフォルトの設定（リセット・モード，インターバル時間： $f_{R}/2^{19}$ ）で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。

2. ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については25.2.2（2）INTWDT2信号の場合を参照してください。

13.2 構 成

次にウォッチドッグ・タイマ2のブロック図を示します。

図13 - 1 ウォッチドッグ・タイマ2のブロック図



ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表13 - 1 ウォッチドッグ・タイマ2の構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

13.3 レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード/ライト可能です。ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

注意 次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード (INTWDT2信号を発生)
1	-	リセット・モード (WDT2RES信号を発生)

- 注意1. WDCS24-WDCS20ビットについては表13-2 ウォッチドッグ・タイマ2のクロック選択を参照してください。
2. 内蔵発振器の停止のみでウォッチドッグ・タイマ2は停止しますが、動作を確定するため(誤書き込みで、メイン・クロックやサブクロックが選択されないようにする)、WDTM2レジスタに00Hを設定してください。
 3. リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生し、カウンタをリセットします。
 4. 意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。
ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んででもオーバフロー信号は発生しません。
 5. ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTOPビット = 1に設定(内蔵発振器の停止)するとともに、WDTM2レジスタに00Hを書き込んでください。RCM.RSTOPビット = 1に設定できない場合は、WDCS23ビット = 1に設定してください($2^n/f_{xx}$ が選択され、IDLE1, IDLE2, サブIDLE, サブクロック動作モードでクロックを停めることができます)。

表13 - 2 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz (MIN.)	220 kHz (TYP.)	400 kHz (MAX.)
0	0	0	0	0	$2^{12}/f_R$	41.0 ms	18.6 ms	10.2 ms
0	0	0	0	1	$2^{13}/f_R$	81.9 ms	37.2 ms	20.5 ms
0	0	0	1	0	$2^{14}/f_R$	163.8 ms	74.5 ms	41.0 ms
0	0	0	1	1	$2^{15}/f_R$	327.7 ms	148.9 ms	81.9 ms
0	0	1	0	0	$2^{16}/f_R$	655.4 ms	297.9 ms	163.8 ms
0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	595.8 ms	327.7 ms
0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1191.6 ms	655.4 ms
0	0	1	1	1	$2^{19}/f_R$ (初期値)	5242.9 ms	2383.1 ms	1310.7 ms
						$f_{XX} = 50 \text{ MHz}$ 時	$f_{XX} = 48 \text{ MHz}$ 時	$f_{XX} = 32 \text{ MHz}$ 時
0	1	0	0	0	$2^{19}/f_{XX}$	10.5 ms	10.9 ms	16.4 ms
0	1	0	0	1	$2^{20}/f_{XX}$	21.0 ms	21.8 ms	32.8 ms
0	1	0	1	0	$2^{21}/f_{XX}$	41.9 ms	43.7 ms	65.5 ms
0	1	0	1	1	$2^{22}/f_{XX}$	83.9 ms	87.4 ms	131.1 ms
0	1	1	0	0	$2^{23}/f_{XX}$	167.8 ms	174.8 ms	262.1 ms
0	1	1	0	1	$2^{24}/f_{XX}$	335.5 ms	349.5 ms	524.3 ms
0	1	1	1	0	$2^{25}/f_{XX}$	671.1 ms	699.1 ms	1048.6 ms
0	1	1	1	1	$2^{26}/f_{XX}$	1342.2 ms	1398.1 ms	2097.2 ms
						$f_{XT} = 32.768 \text{ kHz}$		
1	x	0	0	0	$2^9/f_{XT}$	15.625 ms		
1	x	0	0	1	$2^{10}/f_{XT}$	31.25 ms		
1	x	0	1	0	$2^{11}/f_{XT}$	62.5 ms		
1	x	0	1	1	$2^{12}/f_{XT}$	125 ms		
1	x	1	0	0	$2^{13}/f_{XT}$	250 ms		
1	x	1	0	1	$2^{14}/f_{XT}$	500 ms		
1	x	1	1	0	$2^{15}/f_{XT}$	1000 ms		
1	x	1	1	1	$2^{16}/f_{XT}$	2000 ms		

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード/ライト可能です。

リセットにより9AHになります。



- 注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバーフロー信号を発生します。
2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバーフロー信号を発生します。
3. 意図的にオーバーフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。
ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んでもオーバーフロー信号は発生しません。
4. WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

13.4 動作

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号 (WDT2RES) またはノンマスクابل割り込み要求信号 (INTWDT2) が発生します。

WDTM2.WDM21ビット = 1 (リセット・モード) に設定している場合、リセットやスタンバイ解除後の発振安定時間中にWDTオーバーフローが発生すると、内部リセットは発生せずに、CPUクロックが内蔵発振クロックに切り替わります。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに00Hを書き込んでください。

また、ノンマスクابل割り込み要求モードに設定した場合、ノンマスクابل割り込み処理については23. 2. 2(2) INTWDT2信号の場合を参照してください。

第14章 リアルタイム出力機能 (RTO)

14.1 機 能

RTBL0, RTBH0レジスタにあらかじめ設定したデータを, タイマ割り込みの発生と同時にハードウェアで出力ラッチに転送して, 外部に出力することをリアルタイム出力機能 (RTO) といいます。また, 外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより, ジッタのない信号を出力できますので, ステッピング・モータなどの制御に最適です。

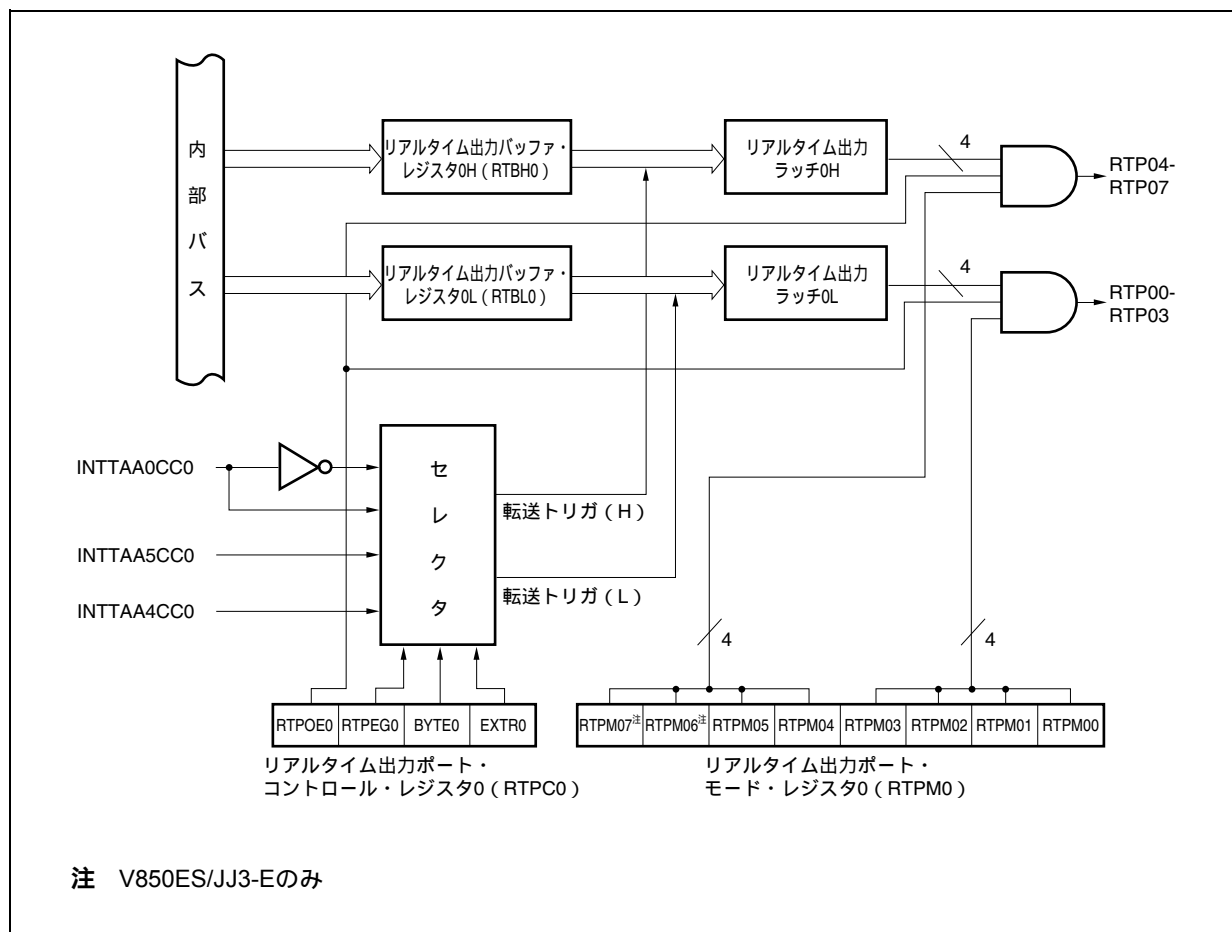
V850ES/JH3-Eでは6ビット・リアルタイム出力ポートを, V850ES/JJ3-Eでは8ビット・リアルタイム出力ポートを1チャンネル搭載しています。

1ビット単位でポート・モード/リアルタイム出力ポート・モードの指定ができます。

14.2 構 成

次にRTOのブロック図を示します。

図14 - 1 RTOのブロック図



RTOは、次のハードウェアで構成しています。

表14 - 1 RTOの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)
制御レジスタ	リアルタイム出力ポート・モード・レジスタ0 (RTPM0) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

(1) リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0レジスタは、周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

4ビット×1チャンネル、2ビット×1または4ビット×2チャンネルの動作モードを指定したとき (RTPC0.BYTE0ビット = 0) は、RTBL0, RTBH0レジスタはそれぞれ独立にデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャンネルの動作モードを指定したとき (BYTE0ビット = 1) は、RTBL0, RTBH0レジスタのどちらか一方に8ビット・データを書き込むことにより、RTBL0, RTBH0レジスタそれぞれにデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表14 - 2にRTBL0, RTBH0レジスタに対する操作時の動作を示します。

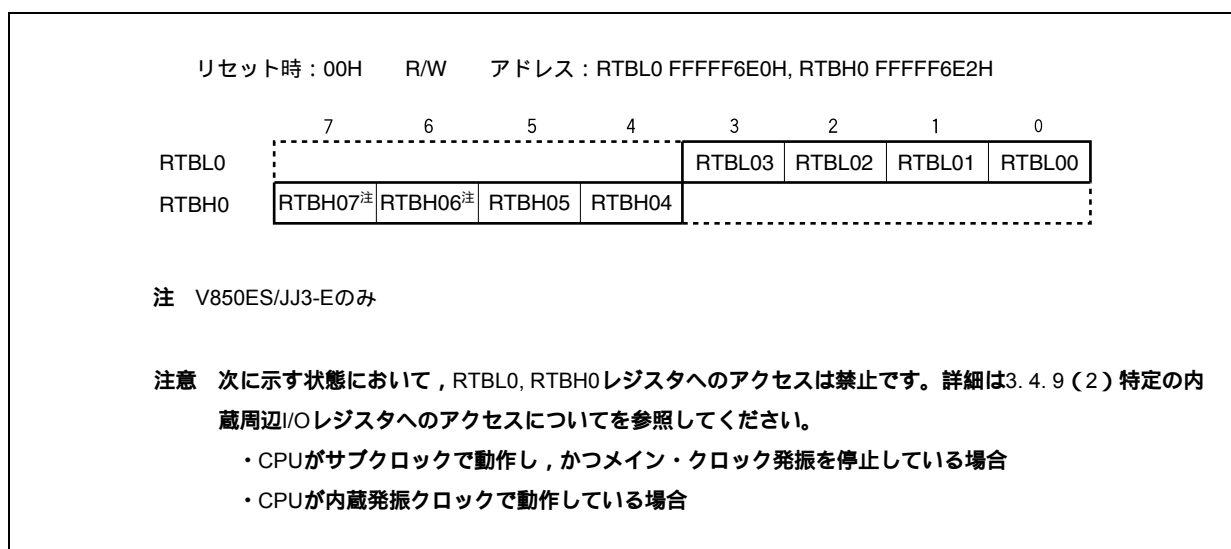


表14 - 2 RTBL0, RTBH0レジスタに対する操作時の動作

動作モード		操作対象 レジスタ	リード時		ライト時 ^注	
V850ES/JH3-E	V850ES/JJ3-E		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャンネル, 2ビット×1チャンネル	4ビット×2チャンネル,	RTBL0	RTBH0	RTBL0	無効	RTBL0
		RTBH0	RTBH0	RTBL0	RTBH0	無効
6ビット×1チャンネル	8ビット×1チャンネル	RTBL0	RTBH0	RTBL0	RTBH0	RTBL0
		RTBH0	RTBH0	RTBL0	RTBH0	RTBL0

注 リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。

14.3 レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ0 (RTPM0)
- ・リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

(1) リアルタイム出力ポート・モード・レジスタ0 (RTPM0)

RTPM0レジスタは、リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：RTPM0 FFFFF6E4H

	7	6	5	4	3	2	1	0
RTPM0	RTPM07 ^注	RTPM06 ^注	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00
RTPM0m	リアルタイム出力ポートの制御 (m = 0-7)							
0	リアルタイム出力禁止							
1	リアルタイム出力許可							

注 V850ES/JJ3-Eのみ

- 注意1. リアルタイム出力動作を許可 (RTPC0.RTPOE0ビット = 1) することにより、RTP00-RTP07信号のうちリアルタイム出力許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。
2. リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は、RTPM0レジスタの設定にかかわらず、リアルタイム出力端子 (RTP00-RTP07) は全ビット“0”を出力します。
3. リアルタイム出力端子 (RTP00-RTP07) として使用するには、PMC、PFCレジスタでリアルタイム出力ポートに設定してください。

(2) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

RTPC0レジスタは、リアルタイム出力ポートの動作モード、および出力トリガを設定するレジスタです。
リアルタイム出力ポートの動作モードと出力トリガについては表14 - 3、表14 - 4に示すような関係があります。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：RTPC0 FFFFF6E5H

	⑦	6	5	4	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0	0	0	0	0
RTPOE0	リアルタイム出力の動作制御							
0	動作禁止 ^{注1}							
1	動作許可							
RTPEG0	INTTAA0CC0信号の有効エッジ							
0	立ち下がリエッジ ^{注2}							
1	立ち上がりエッジ							
BYTE0	リアルタイム出力のチャンネル構成指定							
0	4ビット×1チャンネル、2ビット×1チャンネル (V850ES/JH3-E) 4ビット×2チャンネル (V850ES/JJ3-E)							
1	6ビット×1チャンネル (V850ES/JH3-E) 8ビット×1チャンネル (V850ES/JJ3-E)							

注1. リアルタイム出力動作禁止(RTPOE0ビット = 0)の場合、リアルタイム出力信号(RTP00-RTP07)は全ビット“0”を出力します。

2. INTTAA0CC0信号は、TAA0で選択しているカウント・クロックの1クロック分出力されます。

注意 RTPEG0, BYTE0, EXTR0ビットの設定は、必ずRTPOE0ビット = 0のときに行ってください。

表14 - 3 リアルタイム出力ポートの動作モードと出力トリガ (V850ES/JH3-E)

BYTE0	EXTR0	動作モード	RTBH0 (RTP04, RTP05)	RTBL0 (RTP00-RTP03)
0	0	4ビット×1チャンネル	INTTAA5CC0	INTTAA4CC0
	1	2ビット×1チャンネル	INTTAA4CC0	INTTAA0CC0
1	0	6ビット×1チャンネル	INTTAA4CC0	
	1		INTTAA0CC0	

表14 - 4 リアルタイム出力ポートの動作モードと出力トリガ (V850ES/JJ3-E)

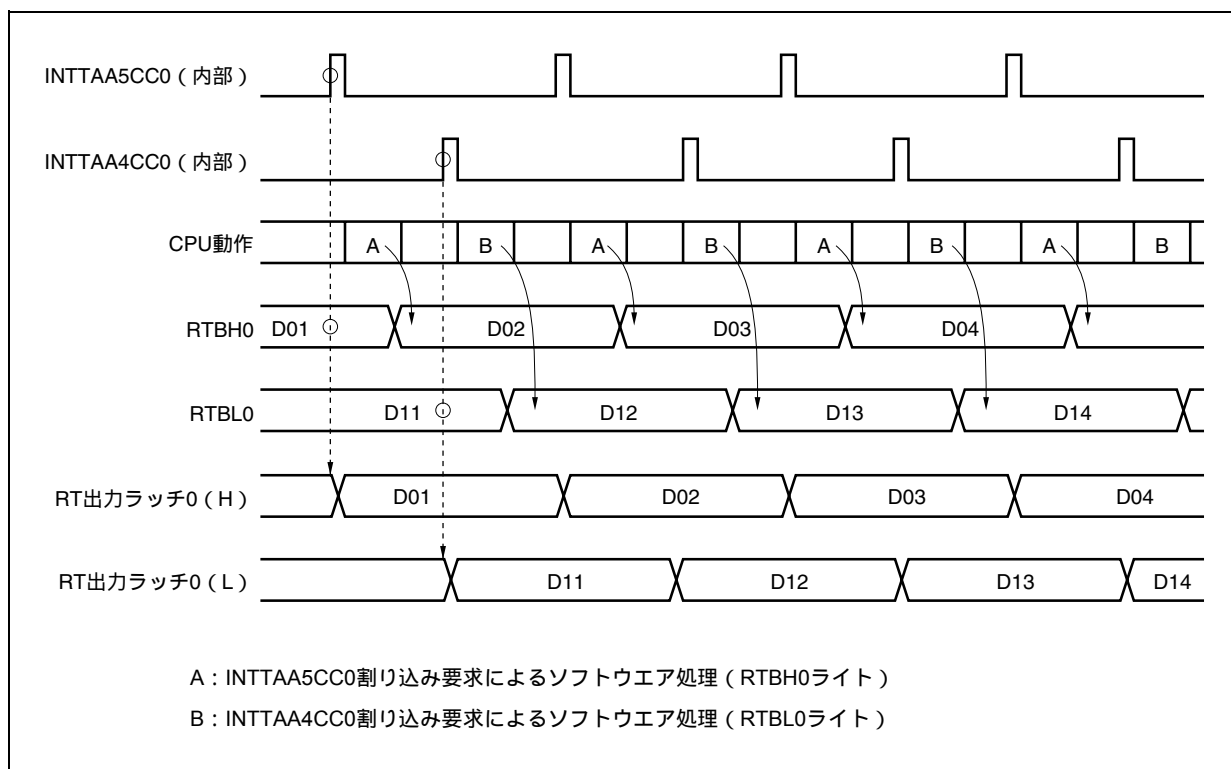
BYTE0	EXTR0	動作モード	RTBH0 (RTP04-RTP07)	RTBL0 (RTP00-RTP03)
0	0	4ビット×2チャンネル	INTTAA5CC0	INTTAA4CC0
	1		INTTAA4CC0	INTTAA0CC0
1	0	8ビット×1チャンネル	INTTAA4CC0	
	1		INTTAA0CC0	

14.4 動作

RTPC0.RTPOE0ビット = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPC0.EXTR0, BYTE0ビットで設定) の発生に同期して、RTBH0, RTBL0レジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPM0レジスタの設定により、リアルタイム出力を許可されたビットのデータのみをRTP00-RTP07のそれぞれのビットから出力します。RTPM0レジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOE0ビット = 0でリアルタイム出力動作を禁止した場合は、RTPM0レジスタの設定に関係なくRTP00-RTP07信号は0を出力します。

図14 - 2 RTO0の動作タイミング例 (EXTR0ビット = 0, BYTE0ビット = 0の場合)



備考 スタンバイ時の動作については、第27章 スタンバイ機能を参照してください。

14.5 使用方法

(1) リアルタイム出力動作を禁止する。

RTPC0.RTPOE0ビット = 0に設定。

(2) 初期設定

・ポート4の兼用端子を設定する。

PFC4.PFC4mビット, PFCE4.PFCE4mビットをRTO用端子に設定後, PMC4.PMC4mビットに1を設定する (m = 0-5 : V850ES/JH3-E, m = 0-7 : V850ES/JJ3-E)。

・ビット単位でリアルタイム出力ポート・モード/ポート・モードを指定する。

RTPM0レジスタを設定。

・チャンネル構成, トリガおよび有効エッジを選択する。

RTPC0.EXTR0, BYTE0, RTPEG0ビットを設定。

・初期値をRTBH0, RTBL0レジスタに設定する^{注1}。

(3) リアルタイム出力動作を許可する。

RTPOE0ビット = 1に設定。

(4) 選択した転送トリガが発生するまでに, 次の出力値をRTBH0, RTBL0レジスタに設定する^{注2}。

(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBH0, RTBL0レジスタに設定する。

注1. RTPOE0ビット = 0のとき, RTBH0, RTBL0レジスタに対してライトを行うと, その値がそれぞれリアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lに転送されます。

2. RTPOE0ビット = 1のとき, RTBH0, RTBL0レジスタに対してライトを行っても, リアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lにデータ転送はされません。

14.6 注意事項

(1) ソフトウェアにより, 次の競合を回避してください。

・リアルタイム出力動作の禁止/許可の切り替え (RTPOE0ビット) と選択したリアルタイム出力トリガとの競合

・リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合

(2) 初期設定は, リアルタイム出力動作を禁止 (RTPOE0ビット = 0) にしてから行ってください。

(3) 一度リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は, リアルタイム出力動作を許可 (RTPOE0ビット = 1) する前に, 必ずRTBH0, RTBL0レジスタに初期値を設定してください。

第15章 A/Dコンバータ

15.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータです。

V850ES/Jx3-EのA/Dコンバータの搭載数を次に示します。

品 名	V850ES/JH3-E	V850ES/JJ3-E
ANIチャンネル数 (m)	10 ch (m = 10)	12 ch (m = 12)
ANI本数 (n)	ANI0-ANI9 (n = 0-9)	ANI0-ANI11 (n = 0-11)

この章では、ANIチャンネル数をm、ANI本数（アナログ入力機能端子）をnと省略して表記してあります。

次にA/Dコンバータの特徴について示します。

10ビット分解能

逐次比較変換方式

動作電圧： $AV_{REF0} = 3.0 \sim 3.6 \text{ V}$

アナログ入力電圧： $0 \text{ V} \sim AV_{REF0}$

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード
- ・ワンショット・セレクト・モード
- ・ワンショット・スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）
- ・タイマ・トリガ・モード

パワー・フェイル監視機能（変換結果比較機能）

15.2 機 能

（1）10ビット分解能A/D変換

アナログ入力をANInから1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

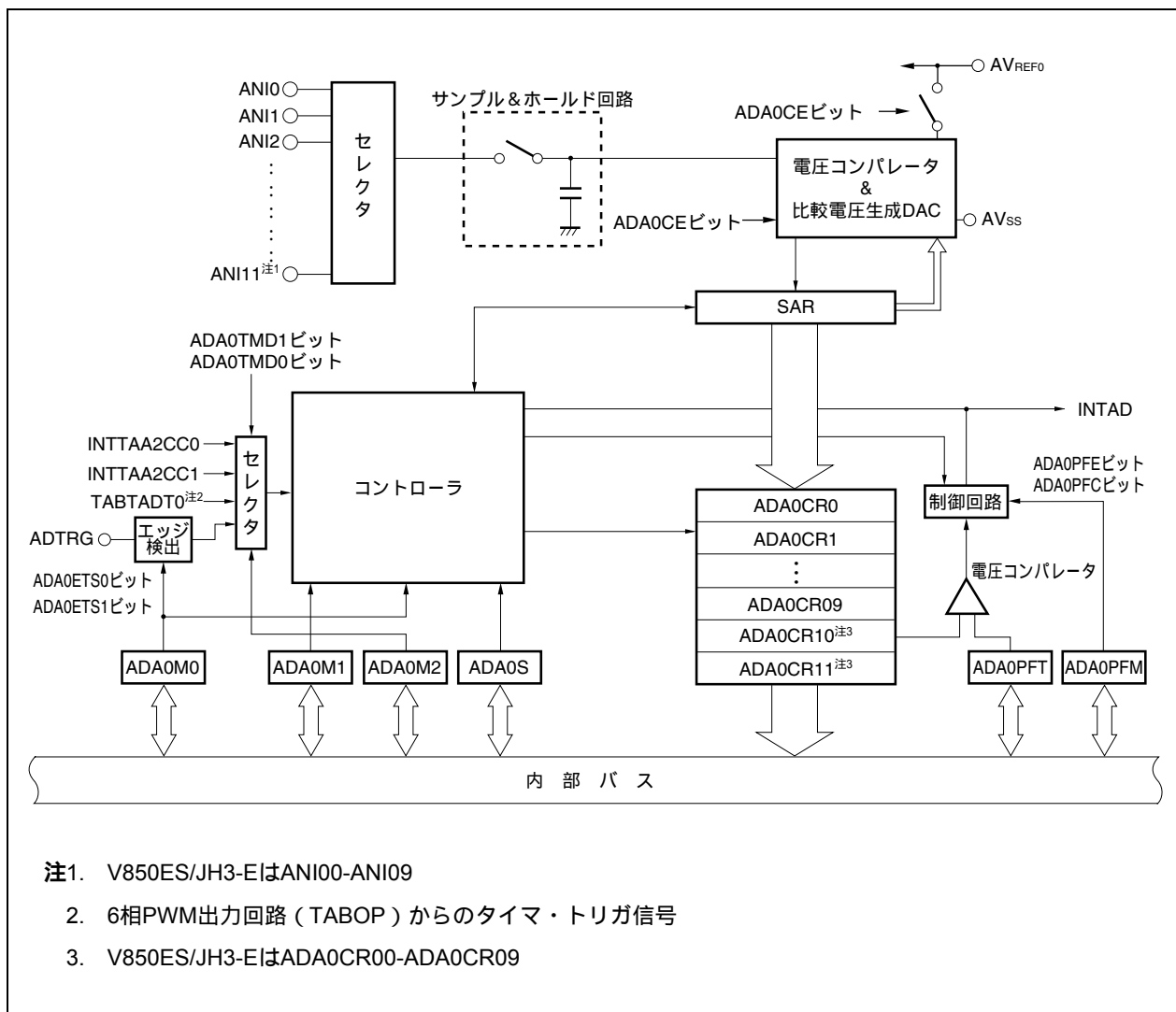
（2）パワー・フェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

15.3 構 成

次にブロック図を示します。

図15 - 1 A/Dコンバータのブロック図



A/Dコンバータは、次のハードウェアで構成しています。

表15 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	mチャンネル (ANIn端子)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタn (ADA0CRn) A/D変換結果レジスタnH (ADA0CRnH) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2 (ADA0M0-ADA0M2) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S) パワー・フェイル比較モード・レジスタ (ADA0PFM) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と比較電圧生成DACの出力電圧 (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARレジスタの内容はADA0CRnレジスタに転送されます。

(2) A/D変換結果レジスタn (ADA0CRn) , A/D変換結果レジスタnH (ADA0CRnH)

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。12本のレジスタで構成されており、A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します (下位6ビットは0に固定)。

(3) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行うレジスタです。

(4) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

A/D変換するアナログ入力の変換時間を設定するレジスタです。

(5) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを設定するレジスタです。

(6) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

(7) パワー・フェイル比較モード・レジスタ (ADA0PFM)

パワー・フェイル監視モードを設定するレジスタです。

(8) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。

(9) 制御回路

A/D変換が終了するか、パワー・フェイル検出機能使用時、A/D変換結果 (ADA0CRnHレジスタ値) とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

(10) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(11) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値と比較電圧生成DACの出力電圧を比較します。

(12) 比較電圧生成DAC

比較電圧生成DACは AV_{REF0} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(13) ANIn端子

A/Dコンバータへのmチャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

注意 ANIn端子入力電圧は規格の範囲内で使用してください。特に AV_{REF0} 以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(14) AV_{REF0} 端子

A/Dコンバータの基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

AV_{REF0} , AV_{SS} 間にかかる電圧に基づいて、ANIn端子に入力される信号をデジタル信号に変換します。

(15) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

15.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0, 1, 2 (ADA0M0, ADA0M1, ADA0M2)
- ・ A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)
- ・ パワー・フェイル比較モード・レジスタ (ADA0PFM)

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタn (ADA0CRn)
- ・ A/D変換結果レジスタnH (ADA0CRnH)
- ・ パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより、00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF200H									
ADA0M0	⑦	6	5	4	3	2	1	⑩	
	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF	
	ADA0CE	A/D変換動作の制御							
	0	A/D変換動作停止							
	1	A/D変換動作許可							
	ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定						
	0	0	連続セレクト・モード						
	0	1	連続スキャン・モード						
	1	0	ワンショット・セレクト・モード						
	1	1	ワンショット・スキャン・モード						
	ADA0ETS1	ADA0ETS0	外部トリガ (ADTRG端子) 入力の有効エッジを指定						
	0	0	エッジ検出なし						
	0	1	立ち下がりエッジ検出						
	1	0	立ち上がりエッジ検出						
	1	1	立ち上がり / 立ち下がり両エッジ検出						

ADA0TMD	トリガ・モードを指定
0	ソフトウェア・トリガ・モード
1	外部トリガ・モード/タイマ・トリガ・モード

ADA0EF	A/Dコンバータの状態を提示
0	A/D変換停止中
1	A/D変換動作中

注意1. 次に示す状態において、ADA0M0レジスタへのアクセスは禁止です。詳細は3. 4. 9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
 - ・CPUが内蔵発振クロックで動作している場合
2. ビット0に書き込みを行った場合、書き込みは無視されます。
 3. A/D変換動作許可中 (ADA0CEビット = 1) は、ADA0M1.ADA0FR2-ADA0FR0ビットの変更は禁止です。
 4. 次のモードでは、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みはA/D変換動作停止 (ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。
 - ・通常変換モード
 - ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

また、そのほかのモードでA/D変換動作中 (ADA0EFビット = 1) にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようになります。

- ・ソフトウェア・トリガ・モード時
A/D変換動作は中断され、再度、最初から変換動作を行います。
 - ・ハードウェア・トリガ・モード時
A/D変換動作は中断され、再度、トリガ待機状態になります。
5. 外部トリガ・モード/タイマ・トリガ・モードを選択する場合 (ADA0TMDビット = 1) は、高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定してください。また、A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
 6. A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット = 0として動作を停止させてください。

(2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時: 00H R/W アドレス: FFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

ADA0HS1	A/D変換時間の通常変換モード / 高速変換モードを指定
0	通常変換モード
1	高速変換モード

- 注意1.** A/D変換動作許可中 (ADA0M0.ADA0CEビット = 1) は, ADA0M1レジスタの変更は禁止です。
- 2.** 外部トリガ・モード / タイマ・トリガ・モードを選択する場合 (ADA0M0.ADA0TMDビット = 1) は, 高速変換モード (ADA0HS1ビット = 1) に設定してください。また, A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
- 3.** ビット6-4には必ず “ 0 ” を設定してください。

備考 A/D変換時間の設定例は表15 - 2, 表15 - 3を参照してください。

表15 - 2 通常変換モード時の変換時間の選択 (ADA0HS1ビット = 0)

ADA0FR3- ADA0FR0 ビット	A/D 変換時間				
	安定時間 + 変換時間 + ウェイト時間	50 MHz	48 MHz	32 MHz	24 MHz
0000	$26/f_{xx} + 52/f_{xx} + 54/f_{xx}$	設定禁止	設定禁止	設定禁止	$5.50 \mu s$
0001	$52/f_{xx} + 104/f_{xx} + 106/f_{xx}$	$5.24 \mu s$	$5.46 \mu s$	$8.19 \mu s$	設定禁止
0010	$78/f_{xx} + 156/f_{xx} + 158/f_{xx}$	$7.84 \mu s$	$8.17 \mu s$	設定禁止	設定禁止
0011	$100/f_{xx} + 208/f_{xx} + 210/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
0100	$100/f_{xx} + 260/f_{xx} + 262/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
0101	$100/f_{xx} + 312/f_{xx} + 314/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
0110	$100/f_{xx} + 364/f_{xx} + 366/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
0111	$100/f_{xx} + 416/f_{xx} + 418/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
1000	$100/f_{xx} + 468/f_{xx} + 470/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
1001	$100/f_{xx} + 520/f_{xx} + 522/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
1010	$100/f_{xx} + 572/f_{xx} + 574/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
1011	$100/f_{xx} + 624/f_{xx} + 626/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
1100	$100/f_{xx} + 676/f_{xx} + 678/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
1101	$100/f_{xx} + 728/f_{xx} + 730/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
1110	$100/f_{xx} + 780/f_{xx} + 782/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
1111	$100/f_{xx} + 832/f_{xx} + 834/f_{xx}$	設定禁止	設定禁止	設定禁止	設定禁止
上記以外	設定禁止				

備考 安定時間 : A/Dコンバータのセットアップ時間 ($1 \mu s$ 以上)
 変換時間 : 実際にA/D変換にかかる時間 ($2.16 \sim 3.12 \mu s$)
 ウェイト時間 : 次の変換までに挿入されるウェイト時間
 f_{xx} : メイン・クロック周波数

通常変換モードでは、ADA0M0.ADA0CEビットをセット(1)してから、安定時間後に変換を開始し、変換時間 ($2.16 \sim 3.12 \mu s$) の間だけA/D変換動作を行います。変換終了後、動作を停止し、ウェイト時間が経過してからA/D変換終了割り込み要求信号 (INTAD) が発生します。

ウェイト時間中は変換動作を停止しているため、動作電流を低減することができます。

- 注意1.** $2.6 \mu s$ 変換時間 $3.12 \mu s$ になるように設定してください。
2. A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されず。
 また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。

表15 - 3 高速変換モード時の変換時間の選択 (ADA0HS1ビット = 1)

ADA0FR3- ADA0FR0 ビット	A/D 変換時間				
	変換時間 (+ 安定時間)	50 MHz	48 MHz	32 MHz	24 MHz
0000	$52/f_{xx} (+ 26/f_{xx})$	設定禁止	設定禁止	設定禁止	$2.17 \mu s$
0001	$104/f_{xx} (+ 52/f_{xx})$	設定禁止	$2.17 \mu s$	$3.25 \mu s$	$4.33 \mu s$
0010	$156/f_{xx} (+ 78/f_{xx})$	$3.12 \mu s$	$3.25 \mu s$	$4.88 \mu s$	$6.50 \mu s$
0011	$208/f_{xx} (+ 100/f_{xx})$	$4.16 \mu s$	$4.33 \mu s$	$6.50 \mu s$	$8.67 \mu s$
0100	$260/f_{xx} (+ 100/f_{xx})$	$5.20 \mu s$	$5.42 \mu s$	$8.13 \mu s$	設定禁止
0101	$312/f_{xx} (+ 100/f_{xx})$	$6.24 \mu s$	$6.50 \mu s$	$9.75 \mu s$	設定禁止
0110	$364/f_{xx} (+ 100/f_{xx})$	$7.28 \mu s$	$7.58 \mu s$	設定禁止	設定禁止
0111	$416/f_{xx} (+ 100/f_{xx})$	$8.32 \mu s$	$8.67 \mu s$	設定禁止	設定禁止
1000	$468/f_{xx} (+ 100/f_{xx})$	$9.36 \mu s$	$9.75 \mu s$	設定禁止	設定禁止
1001	$520/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止	設定禁止
1010	$572/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止	設定禁止
1011	$624/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止	設定禁止
1100	$676/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止	設定禁止
1101	$728/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止	設定禁止
1110	$780/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止	設定禁止
1111	$832/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止	設定禁止
上記以外	設定禁止				

備考 安定時間 : A/Dコンバータのセットアップ時間 ($1 \mu s$ 以上)
 変換時間 : 実際にA/D変換にかかる時間 ($2.17 \sim 9.36 \mu s$)
 fxx : メイン・クロック周波数

高速変換モードでは、ADA0M0.ADA0CEビットをセット (1) してから、安定時間後に変換を開始し、変換時間 ($2.17 \sim 9.36 \mu s$) の間A/D変換動作を行います。変換終了後、ただちにA/D変換終了割り込み要求信号 (INTAD) が発生します。

連続変換モードの場合、1回目の変換前だけに安定時間が挿入され、2回目以降は安定時間が挿入されません (A/Dコンバータは起動したままです)。

- 注意** 1. $2.17 \mu s$ 変換時間 $9.36 \mu s$ になるように設定してください。
 2. 高速モードでは、安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタの書き換え、およびトリガ入力を禁止します。

(3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTAA2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTAA2CC1割り込み要求発生時)
1	1	タイマ・トリガ・モード2 (TABTADT0信号)

注意1. 次のモードでは ADA0M2レジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い, そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

2. ビット7-2には必ず“0”を設定してください。

(4) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10 ^注	ANI0-ANI10 ^注
1	0	1	1	ANI11 ^注	ANI0-ANI11 ^注

注 V850ES/JJ3-Eのみ

注意1. 次のモードでは, ADA0Sレジスタへの書き込みはA/D変換動作停止

(ADA0M0.ADA0CEビット = 0) の状態で行い, そのあとでA/D変換動作許可

(ADA0CEビット = 1) してください。

・通常変換モード

・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

2. ビット7-4には必ず“0”を設定してください。

(5) A/D変換結果レジスタ_n, nH (ADA0CR_n, ADA0CR_nH)

ADA0CR_n, ADA0CR_nHレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CR_nレジスタを指定、8ビット・アクセス時はADA0CR_nHレジスタを指定します。ADA0CR_nレジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CR_nHレジスタには変換結果の上位8ビットが読み出されます。

注意 次に示す状態において、ADA0CR_n, ADA0CR_nHレジスタへのアクセスは禁止です。詳細は3.4.

9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：不定 R アドレス：ADA0CR0 FFFFFFF210H, ADA0CR1 FFFFFFF212H,
ADA0CR2 FFFFFFF214H, ADA0CR3 FFFFFFF216H,
ADA0CR4 FFFFFFF218H, ADA0CR5 FFFFFFF21AH,
ADA0CR6 FFFFFFF21CH, ADA0CR7 FFFFFFF21EH,
ADA0CR8 FFFFFFF220H, ADA0CR9 FFFFFFF222H,
ADA0CR10^注 FFFFFFF224H, ADA0CR11^注 FFFFFFF226H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CR _n	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFFFFF211H, ADA0CR1H FFFFFFF213H,
ADA0CR2H FFFFFFF215H, ADA0CR3H FFFFFFF217H,
ADA0CR4H FFFFFFF219H, ADA0CR5H FFFFFFF21BH,
ADA0CR6H FFFFFFF21DH, ADA0CR7H FFFFFFF21FH,
ADA0CR8H FFFFFFF221H, ADA0CR9H FFFFFFF223H,
ADA0CR10H^注 FFFFFFF225H, ADA0CR11H^注 FFFFFFF227H

	7	6	5	4	3	2	1	0
ADA0CR _n H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注 V850ES/JJ3-Eのみ

注意 ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CR_nレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

アナログ入力端子 (ANIn) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{IN}}}{AV_{\text{REF0}}} \times 1024 + 0.5 \right)$$

$$\text{ADA0CR}^{\text{注}} = \text{SAR} \times 64$$

または,

$$\left(\text{SAR} - 0.5 \right) \times \frac{AV_{\text{REF0}}}{1024} < V_{\text{IN}} < \left(\text{SAR} + 0.5 \right) \times \frac{AV_{\text{REF0}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

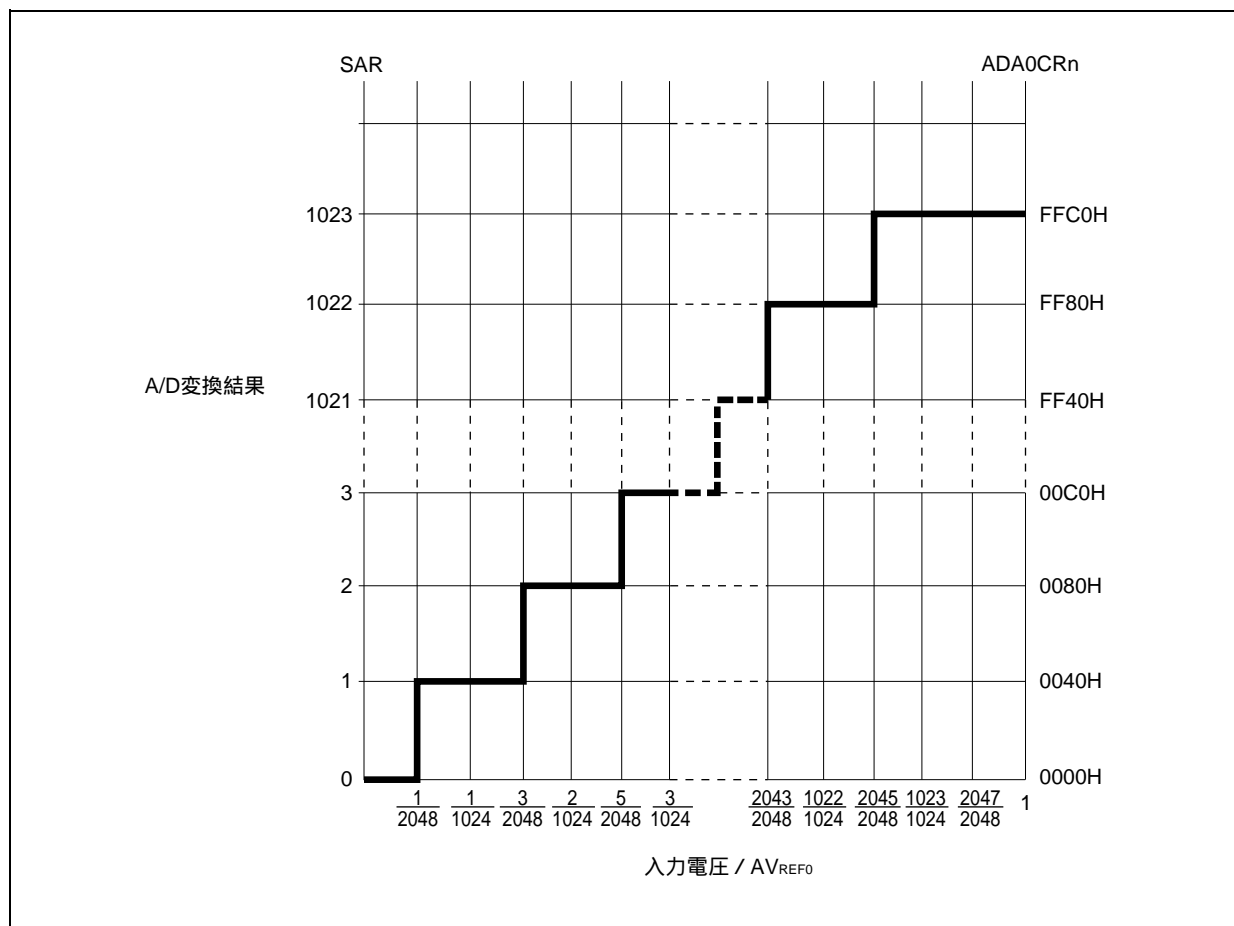
AV_{REF0} : AV_{REF0} 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図15 - 2 アナログ入力電圧とA/D変換結果の関係



(6) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF204H

	⑦	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可/禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRnH < ADA0PFTで割り込み要求信号 (INTAD) を発生

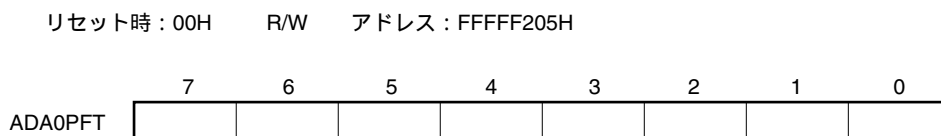
- 注意1.** セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。
3. 次のモードでは、ADA0PFMレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。
- ・通常変換モード
 - ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

(7) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

ADA0PFTレジスタは、パワー・フェイル比較モード時の比較値を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。



注意 次のモードでは、ADA0PFTレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

15.5 動作

15.5.1 基本動作

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部/タイマ・トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし、比較電圧生成DACを(1/2)AV_{REF0}にします。

比較電圧生成DACとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力(1/2)AV_{REF0}よりも大きければ、SARレジスタのMSBをセットしたままです。また、(1/2)AV_{REF0}よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように比較電圧生成DACが選択されます。

・ビット9 = 1 : (3/4)AV_{REF0}

・ビット9 = 0 : (1/4)AV_{REF0}

この比較電圧とアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 > 比較電圧 : ビット8 = 1

アナログ入力電圧 < 比較電圧 : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。そのあと、A/D変換終了割り込み要求信号(INTAD)を発生します。

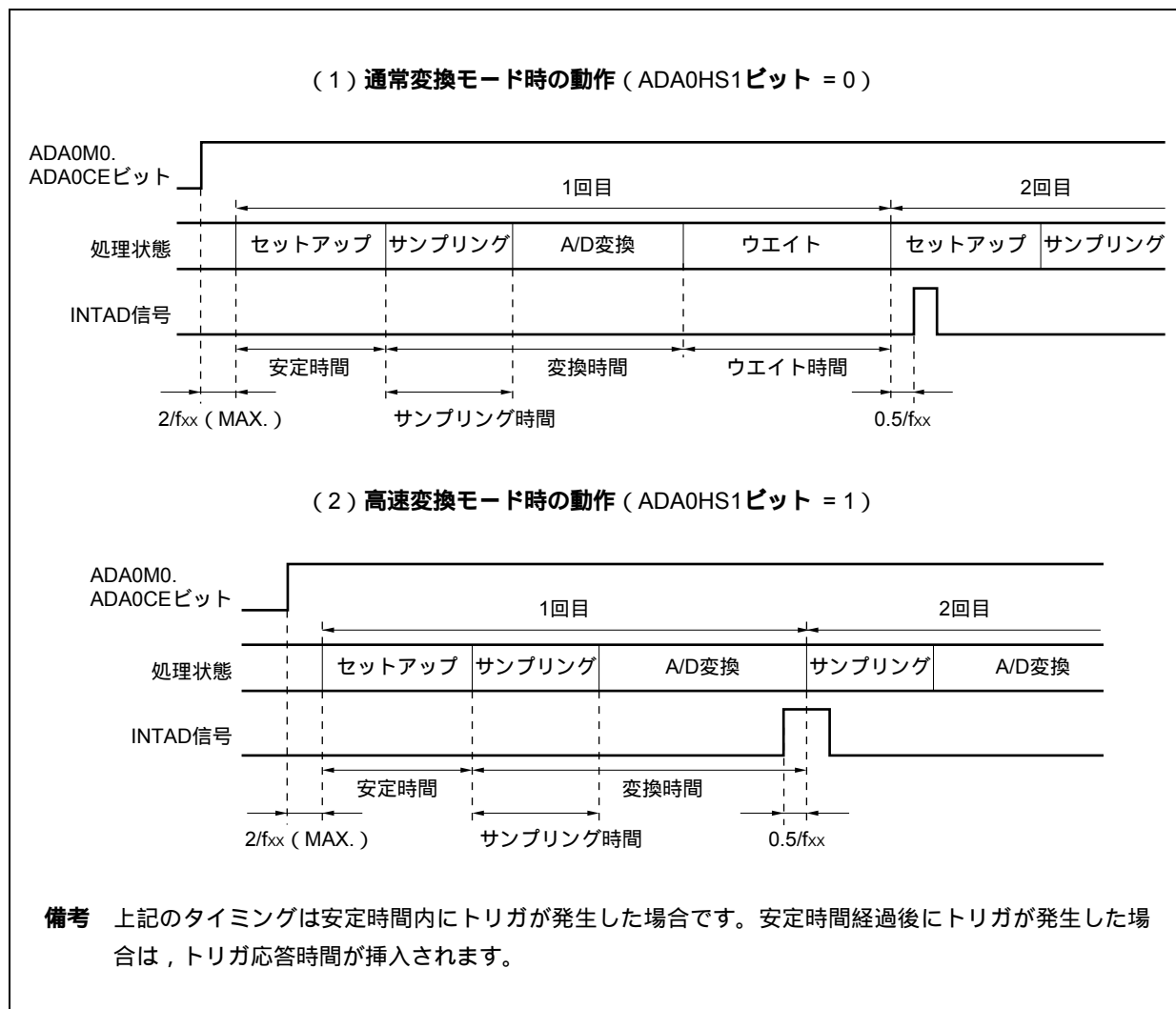
ワンショット・セレクト・モードの場合は、変換を停止します^注。ワンショット・スキャン・モードの場合は、スキャンを一巡すると停止します^注。連続セレクト・モードの場合はADA0M0.ADA0CEビット = 0とするまで ~ を繰り返します。連続スキャン・モードの場合もそれぞれのチャンネルに対して ~ を繰り返します。

注 外部トリガ・モード、タイマ・トリガ・モード0、タイマ・トリガ・モード1時はトリガ待機状態になります。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

15.5.2 変換動作タイミング

図15-3 変換動作タイミング (連続変換)



15.5.3 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0, 1, 外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い、ハードウェア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力（ANIn端子）に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号（INTAD）を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。動作モードがワンショット・セレクト/スキャン・モードであれば、1回で変換を終了します。

変換が開始されると、ADA0M0.ADA0EFビット = 1（動作中）となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。ただし、通常変換モード時、高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

(2) 外部トリガ・モード

外部トリガ（ADTRG端子）の入力により、ADA0Sレジスタで指定したアナログ入力（ANIn端子）に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出（立ち上がり、立ち下がり、立ち上がり/立ち下がりの両エッジ）の指定ができます。ADA0CEビットをセット（1）設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン/ワンショット・セレクト/ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1（動作中）となります。ただし、トリガ待機状態のときはADA0EFビット = 0（停止中）となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。ただし、ワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

注意 外部トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可（ADA0M0.ADA0CEビット = 1）したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ/コンペア・レジスタのコンペア一致割り込み要求信号 (INTTAA2CC0, INTTAA2CC1) により, ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI11端子) に対し, 変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により, INTTAA2CC0, INTTAA2CC1信号のいずれかを指定し, 指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット (1) するとトリガ待機状態となり, タイマのコンペア一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが, 連続セレクト/連続スキャン/ワンショット・セレクト/ワンショット・スキャン・モードにかかわらず, 変換を終了すると, 変換結果をADA0CRnレジスタに格納し, 同時に, INTAD信号を発生し, 再びトリガ待機状態になります。

変換が開始されると, ADA0EFビット = 1 (動作中) となります。ただし, トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると, 変換は中断され, 再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合, 変換は中断され, 再度, トリガ待機状態になります。ただし, ワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

注意 タイマ・トリガ・モードを選択する場合は, 高速変換モードに設定してください。また, A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考 トリガ待機状態とは, 安定時間経過後の状態を示します。

15.5.4 動作モード

動作モードには、ANIn端子を設定するモードとして、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4つがあります。

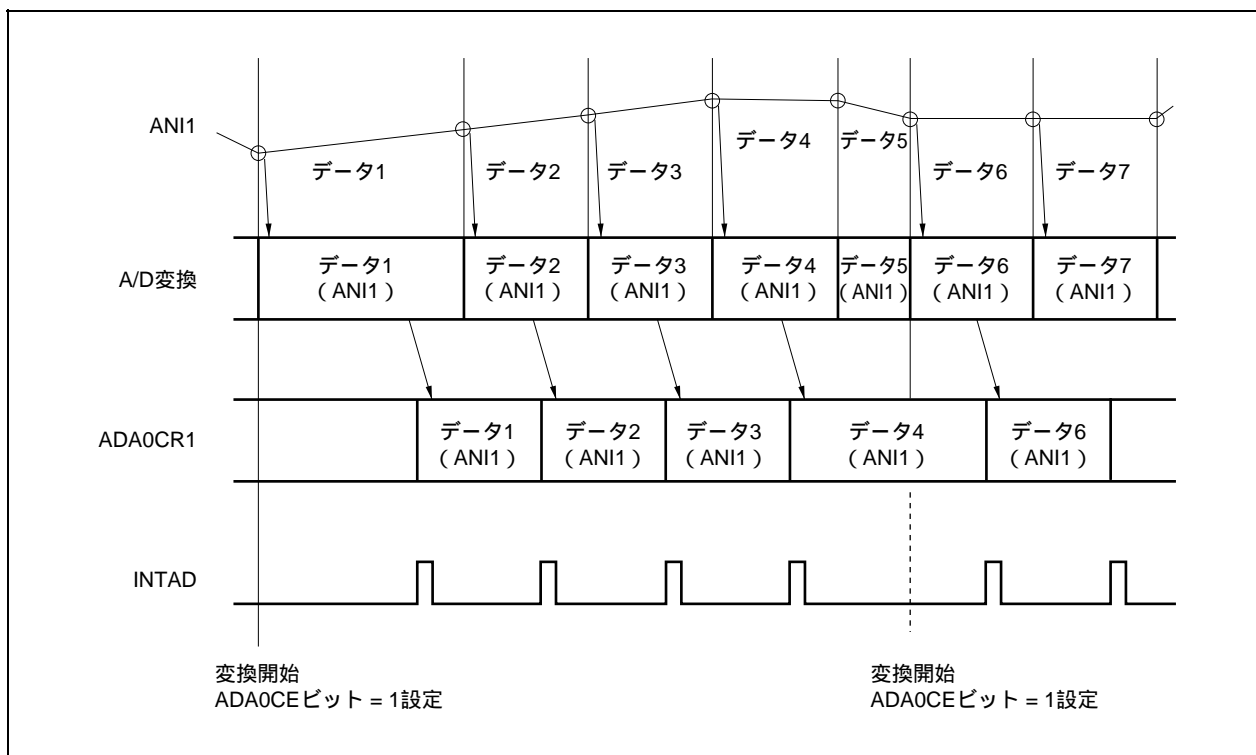
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み要求信号(INTAD)が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返していきます。

図15-4 連続セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

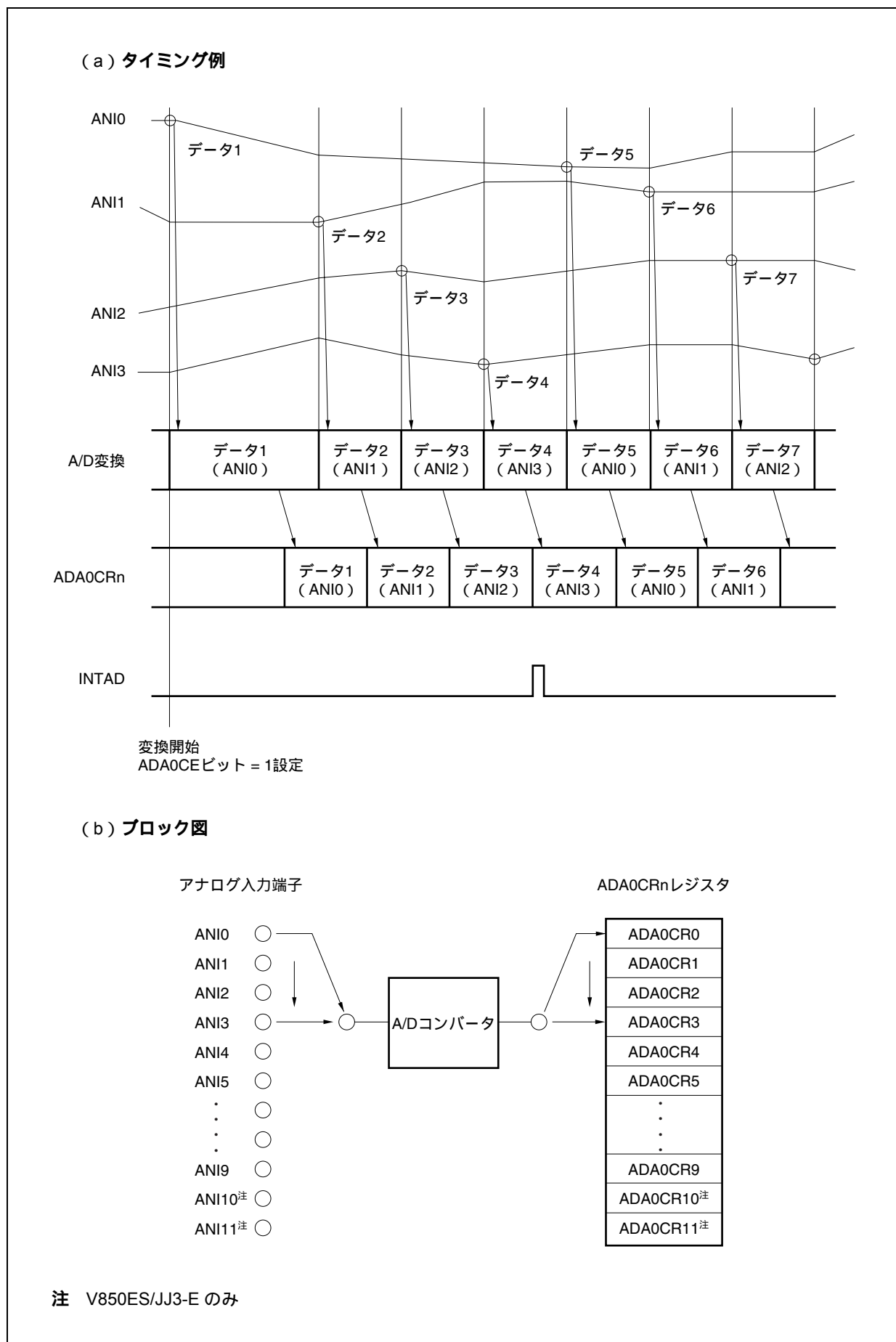


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換を連続で行います。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、ADA0CEビットを“0”にしないかぎり、再びANI0端子からA/D変換を開始します。

図15 - 5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

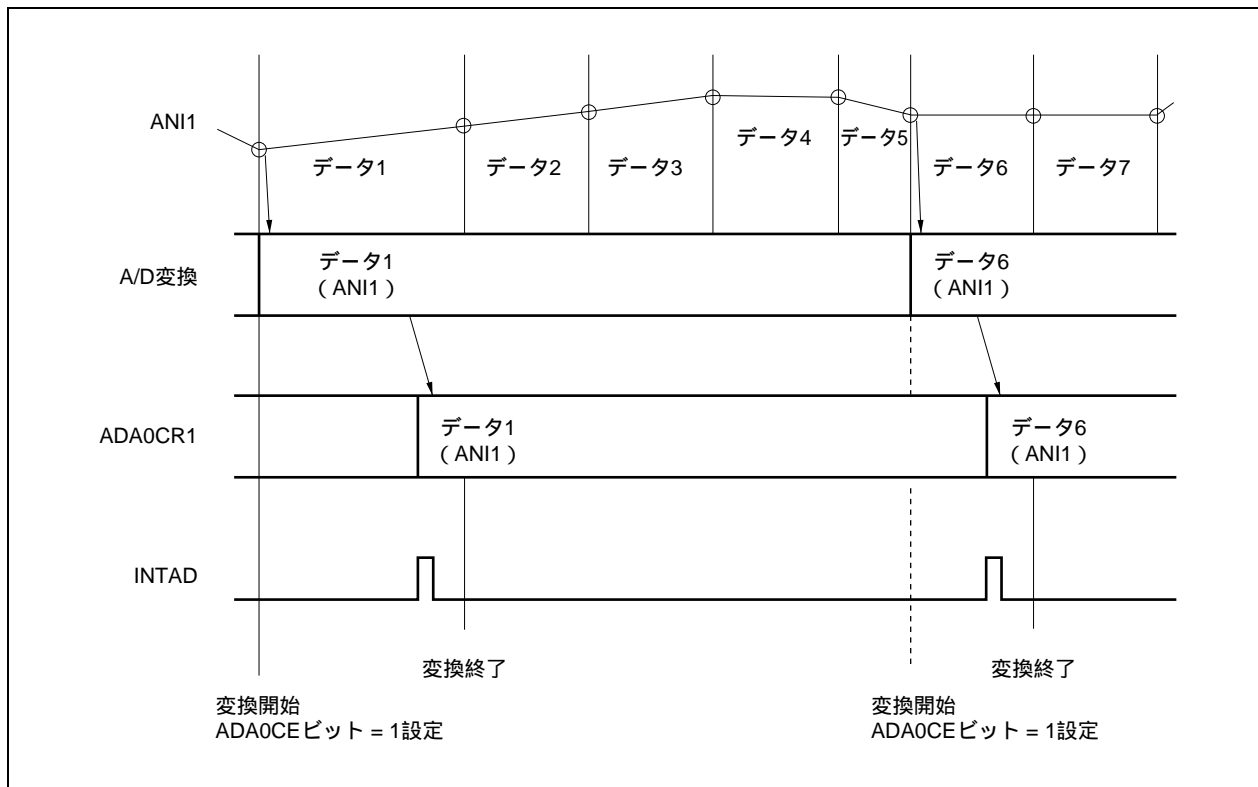


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了後、INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します。

図15-6 ワンショット・セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

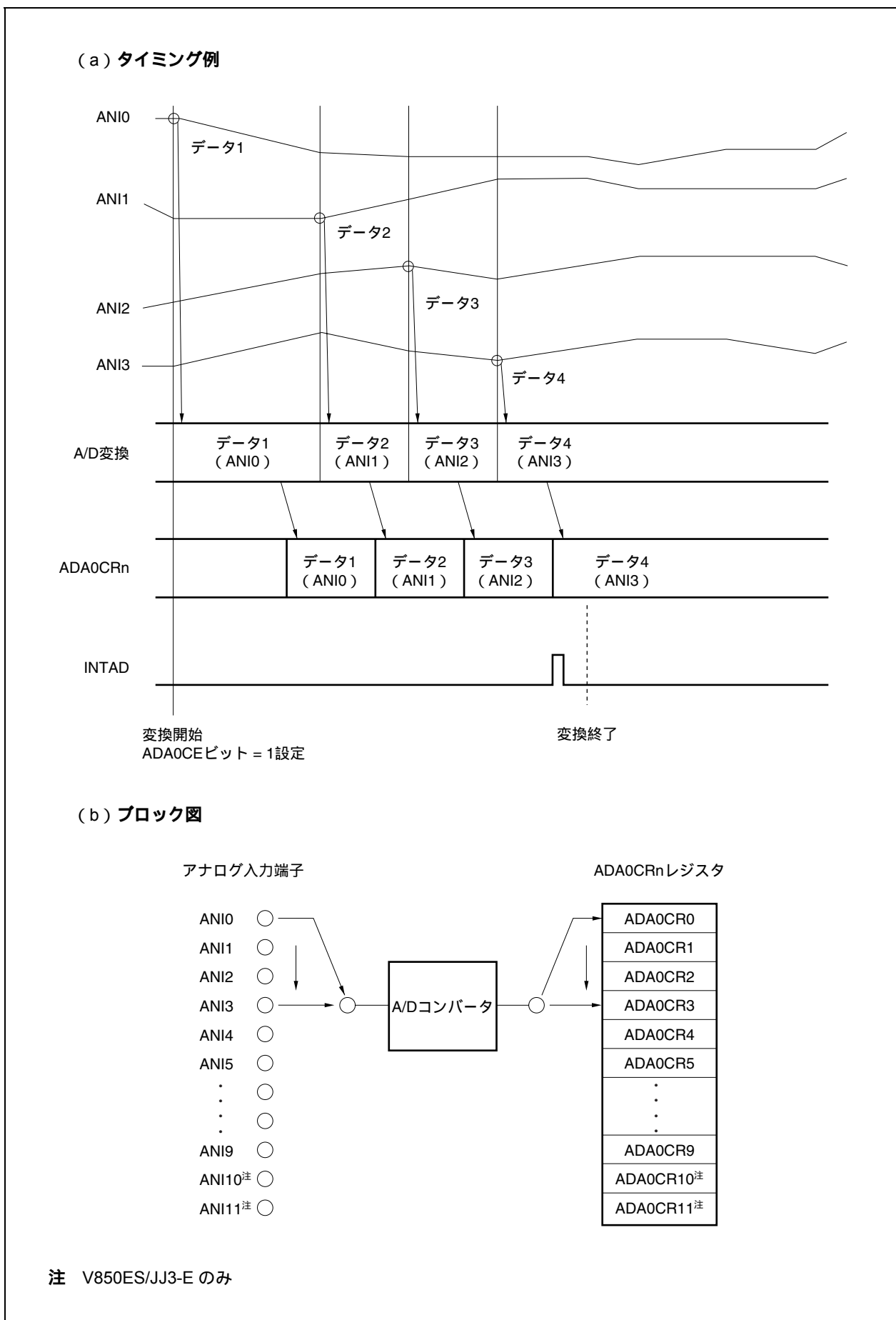


(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します (n = 0-11)。

図15-7 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)



15. 5. 5 パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより, A/D変換終了割り込み要求信号(INTAD)を次のように制御できます。

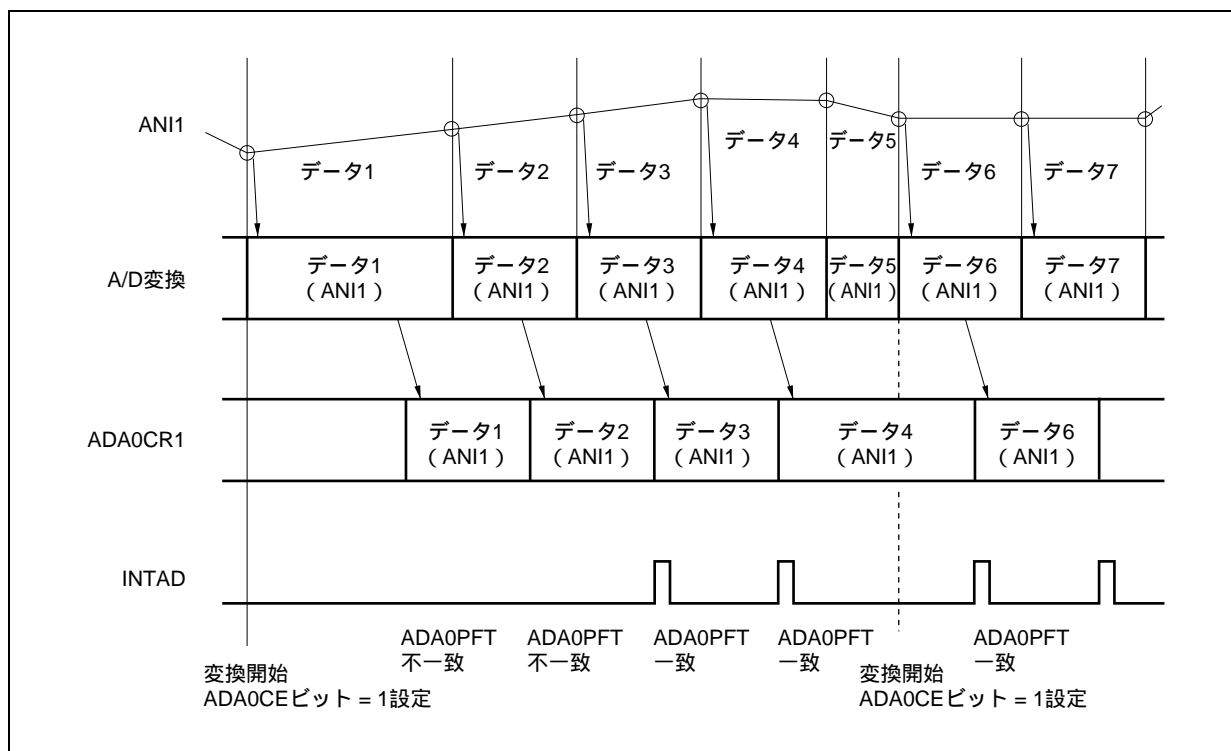
- ・ ADA0PFM.ADA0PFEビット = 0の場合, 変換終了ごとにINTAD信号が発生します(通常のA/Dコンバータとして使用)。
- ・ ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH > ADA0PFTの場合のみ, INTAD信号を発生します。
- ・ ADA0PFEビット = 1かつADA0PFCビット = 1の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH < ADA0PFTの場合のみ, INTAD信号を発生します。

パワー・フェイル比較モードにもANIn端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・セレクト・モード, ワンショット・スキャン・モードの4つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。

図15 - 8 連続セレクト・モード動作タイミング例 (パワー・フェイル比較時: ADA0Sレジスタ = 01H)

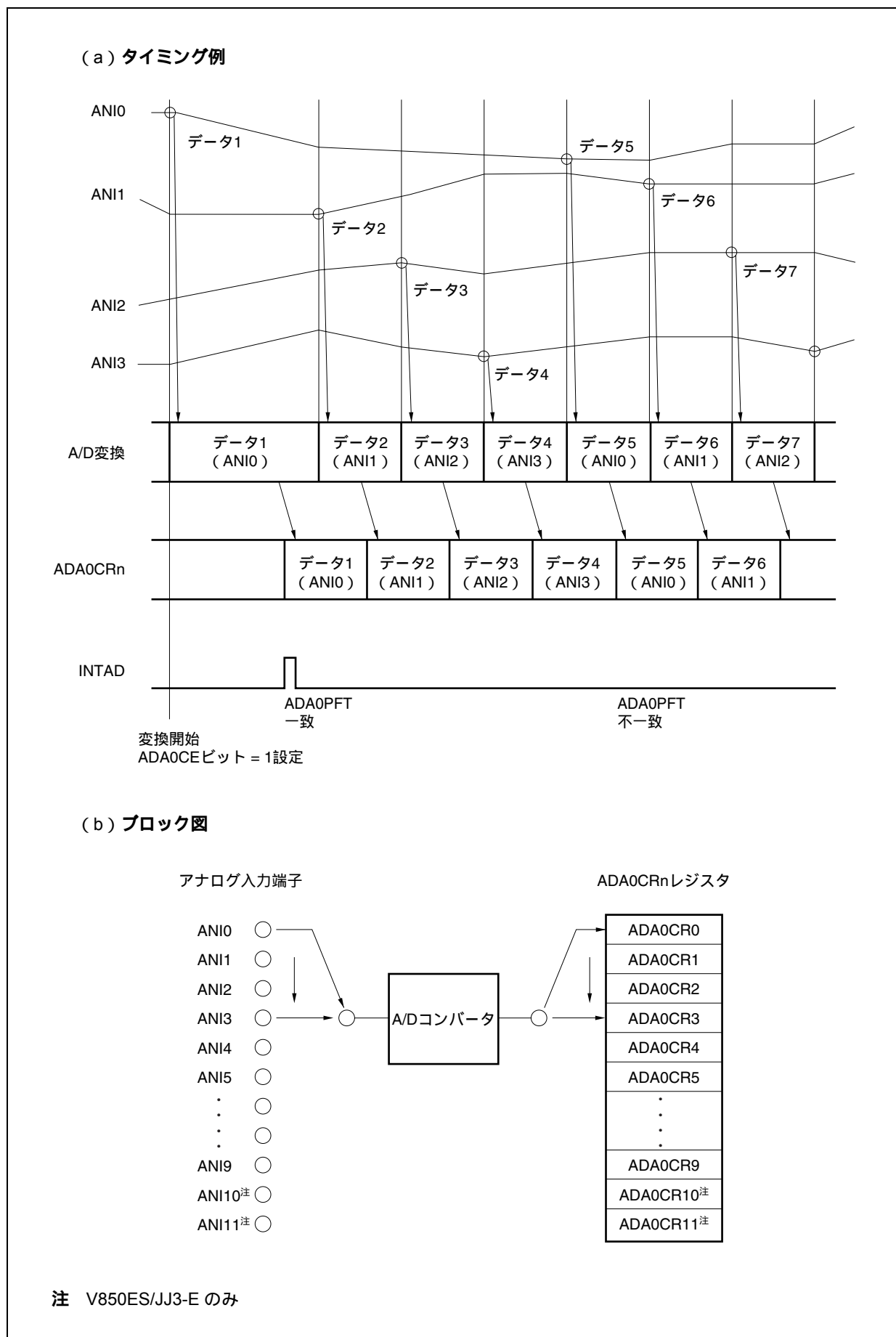


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり、再びANI0端子から変換を開始します。

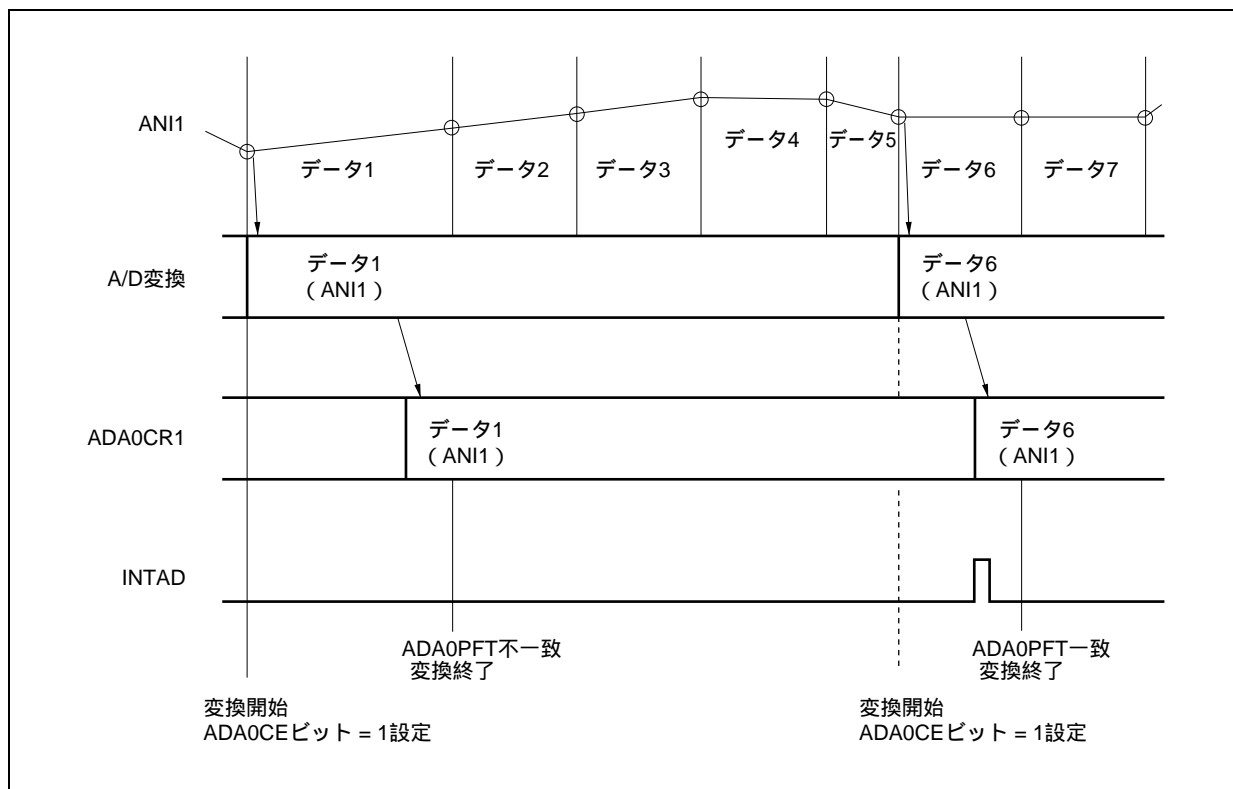
図15 - 9 連続スキャン・モード動作タイミング例 (パワー・フェイル比較時: ADA0Sレジスタ = 03H)



(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後は変換を停止します。

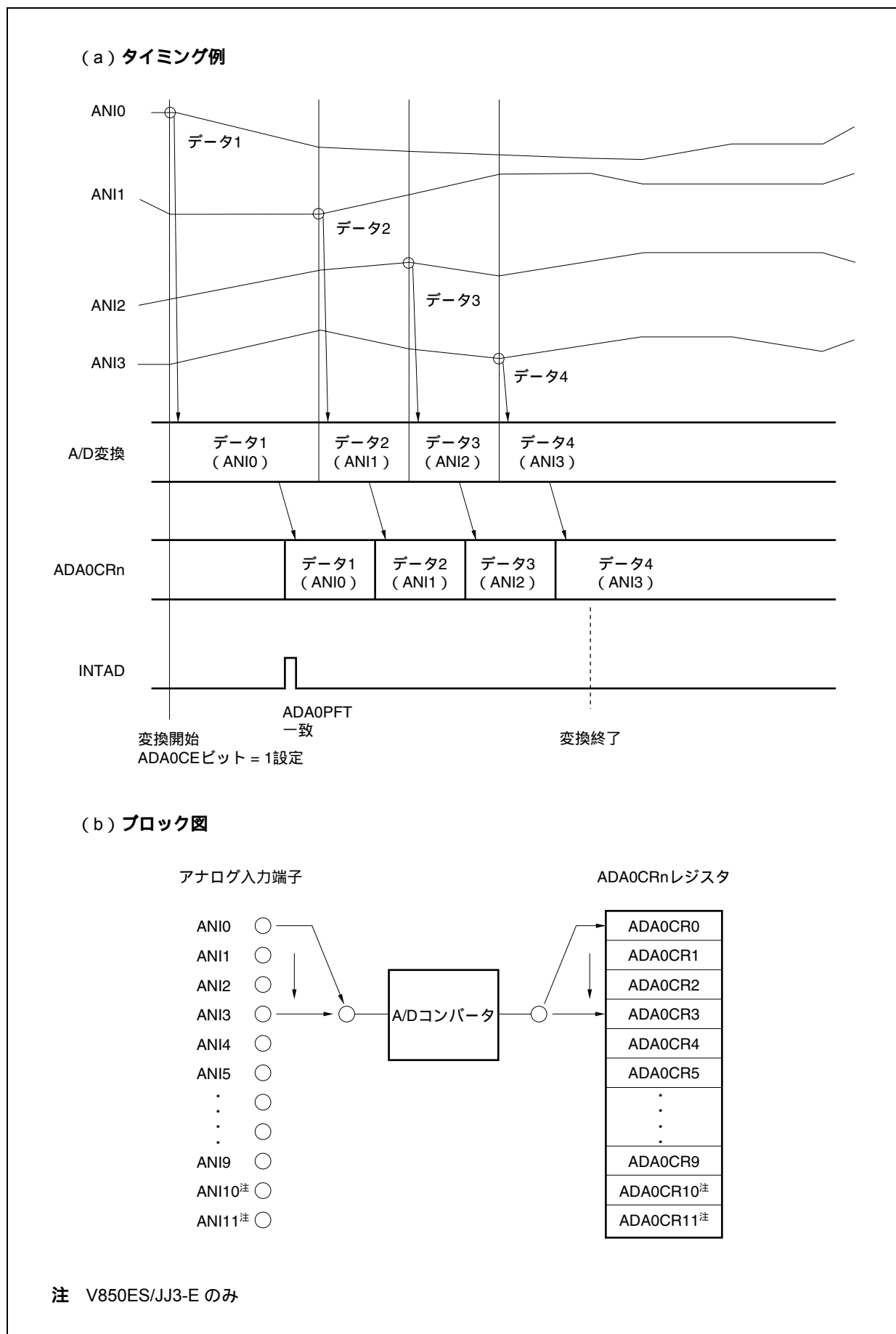
図15 - 10 ワンショット・セレクト・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 01H)



(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。

図15 - 11 ワンショット・スキャン・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 03H)



15.6 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

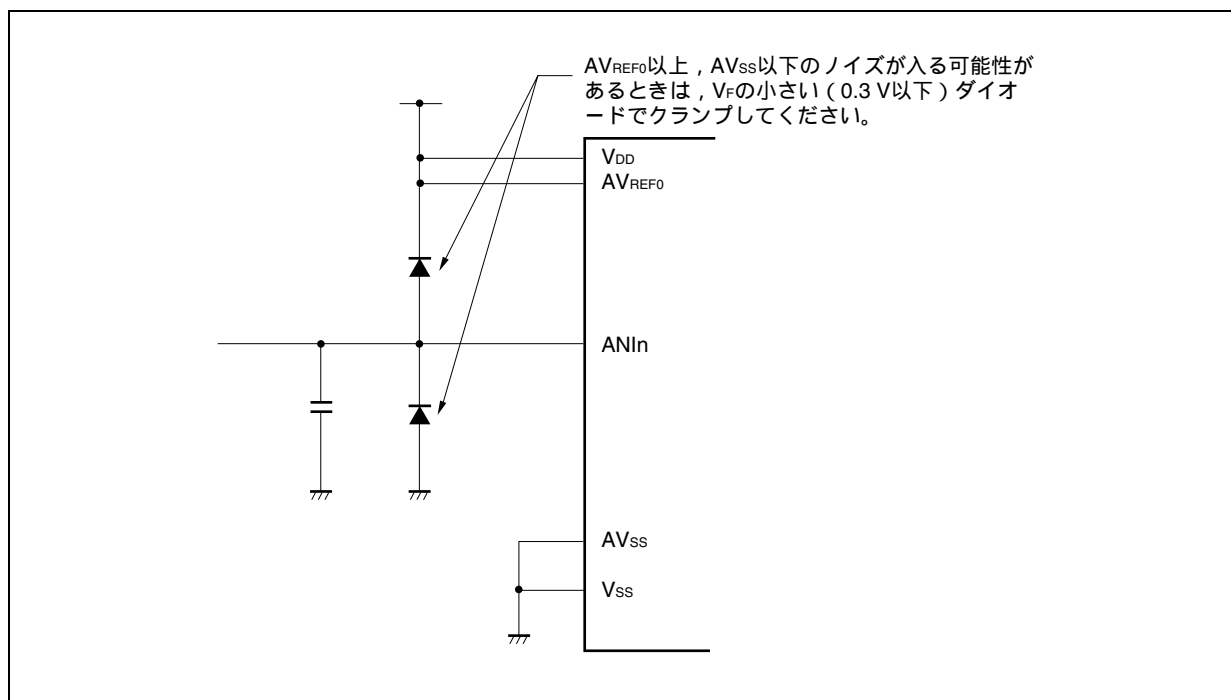
(2) ANIn端子入力範囲について

ANIn端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても AV_{REF0} 以上、 AV_{SS} 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANIn端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図15-12のようにコンデンサを外付けすることを推奨します。

図15-12 アナログ入力端子の処理



(4) 兼用入出力について

アナログ入力 (ANIn) 端子はポート端子と兼用になっています。ANIn端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

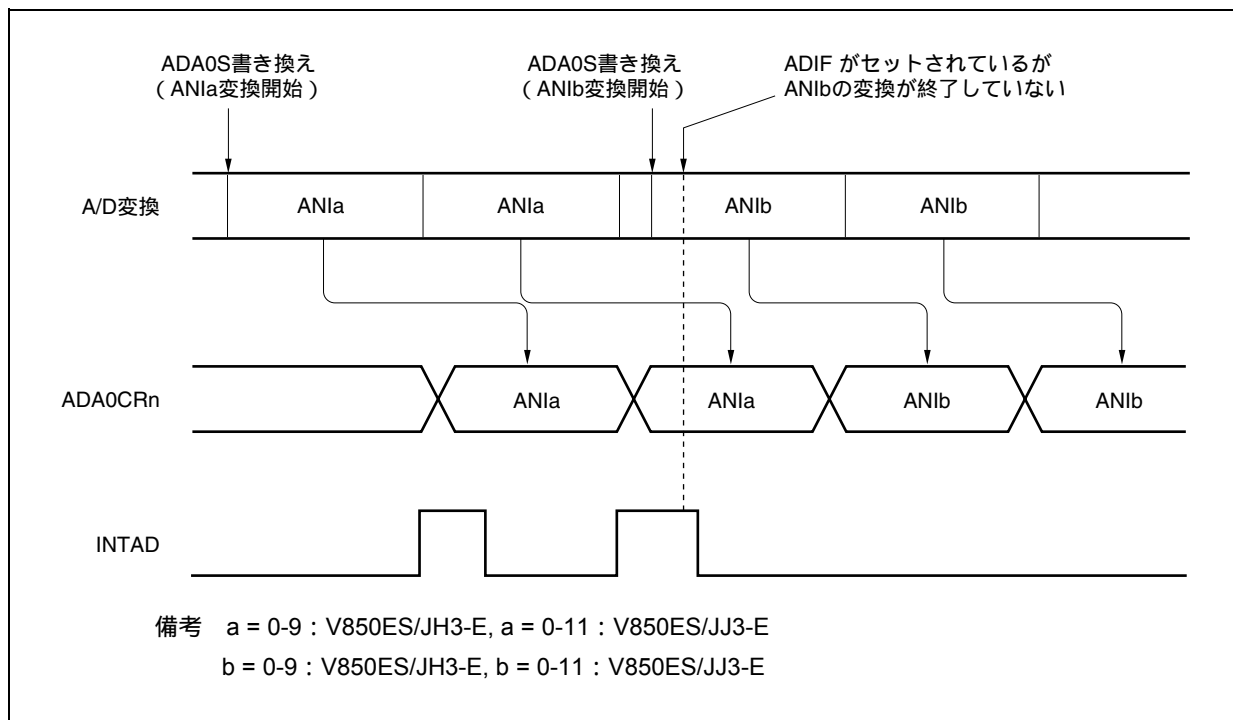
また、A/D変換中に出力ポートに設定している端子で、ポート端子に接続される外部回路の影響で出力電流が変動する場合も変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へデジタル・パルス印加したりデジタル・パルスを出したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ (ADIF) について

ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

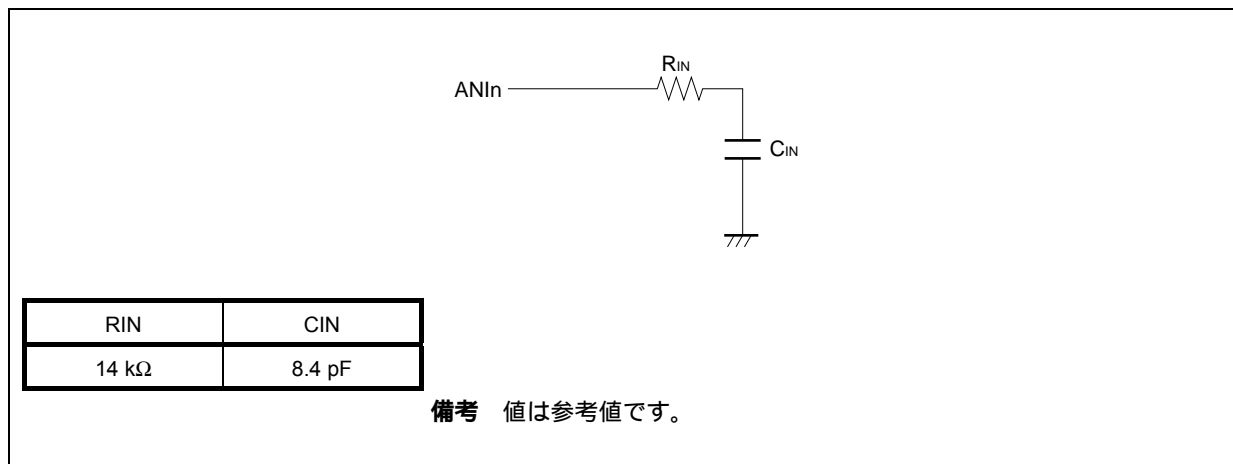
図15 - 13 A/D変換終了割り込み要求発生タイミング



(6) 内部等価回路について

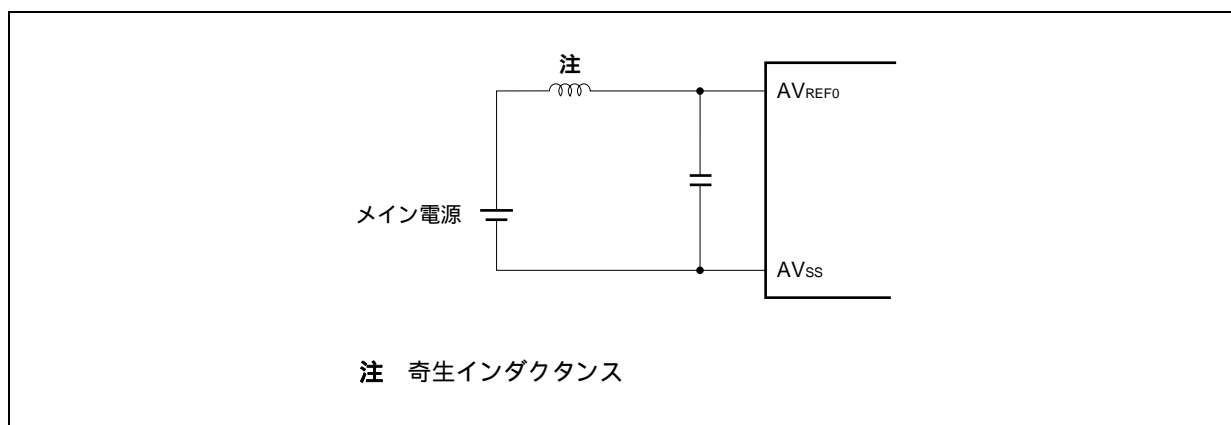
アナログ入力部の等価回路を次に示します。

図15 - 14 ANIn端子内部等価回路



(7) AV_{REF0}端子について

- (a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図15 - 15のように必ずV_{DD}と同じ電位を印加してください。
- (b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV_{REF0}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図15 - 15のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図15 - 15 AV_{REF0}端子の処理例

(8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また、外部/タイマ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(9) 外部トリガ・モードについて

外部トリガを使用する場合、A/D変換中に入力したトリガは、受け付けられません。

(10) スタンバイ・モードについて

A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード、サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。ただし、IDLE1, IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

(11) 高速変換モードについて

高速変換モードでは、安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTのレジスタの書き換え、およびトリガ入力を禁止します。

(12) A/D変換時間について

A/D変換時間は、安定時間、変換時間、ウエイト時間、およびトリガ応答時間の合計時間になります（それぞれの時間については、表15-2 通常変換モード時の変換時間の選択（ADA0HS1ビット= 0）、表15-3 高速変換モード時の変換時間の選択（ADA0HS1ビット= 1）を参照してください）。

通常変換モードでは、A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されます。

また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。

(13) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

(14) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・ 同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・ アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

15.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

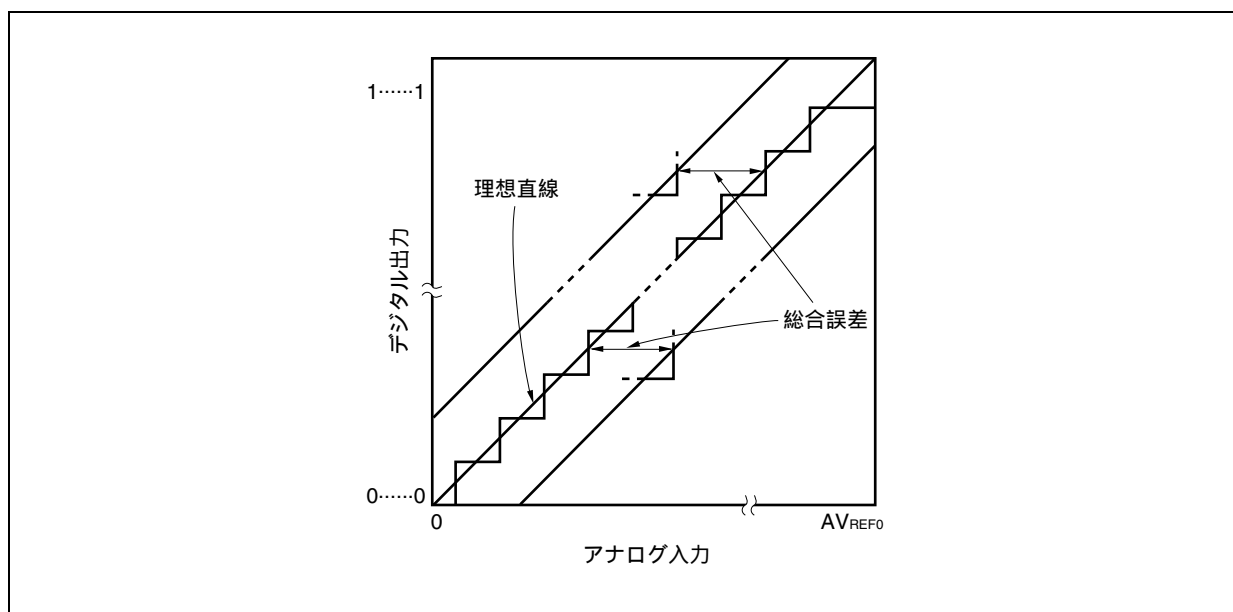
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図15 - 16 総合誤差

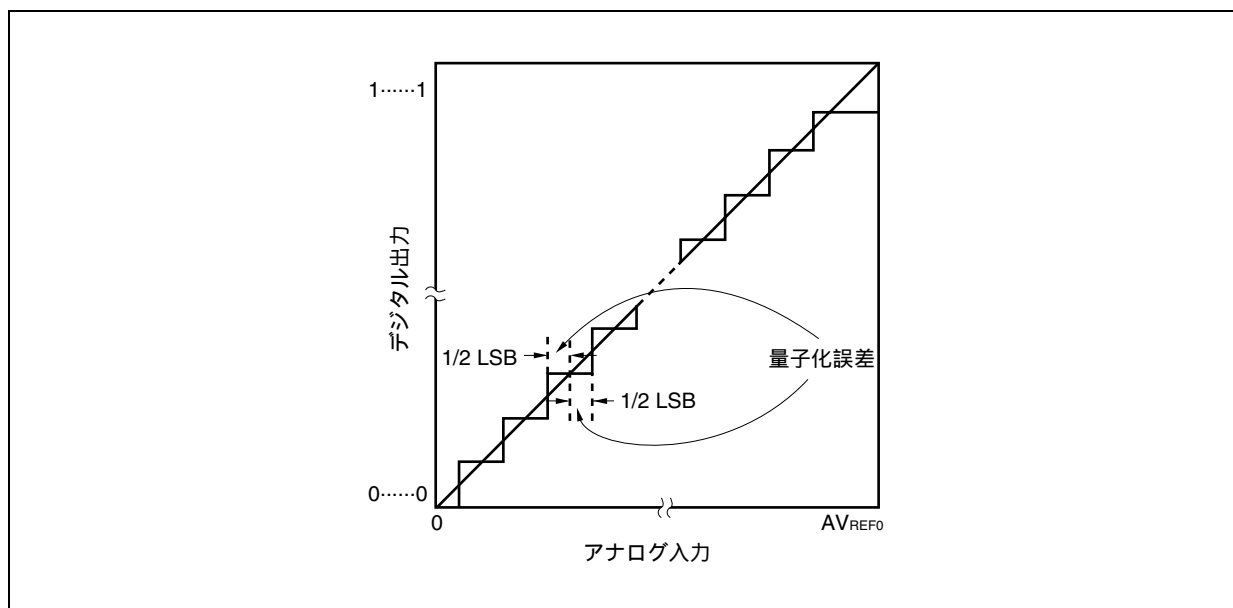


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSB の誤差です。A/Dコンバータでは、 $\pm 1/2$ LSB の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

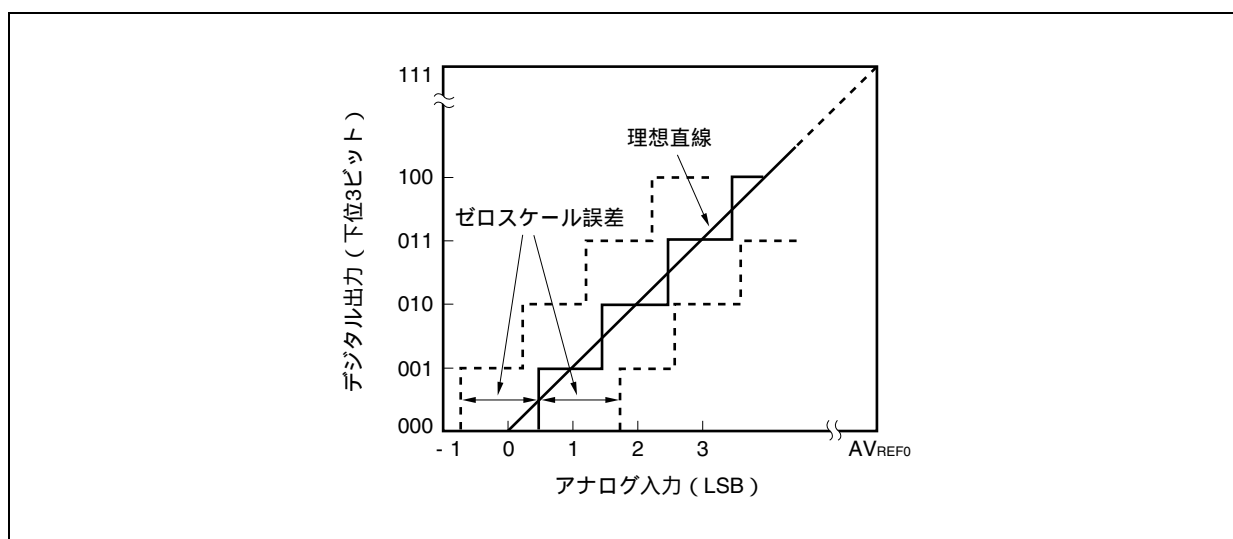
図15 - 17 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

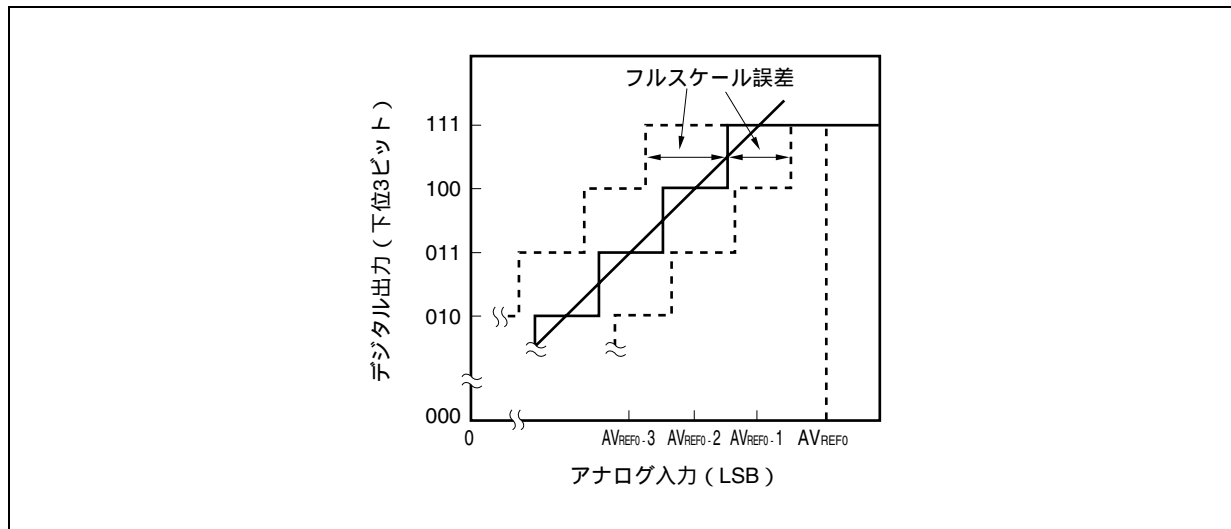
図15 - 18 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

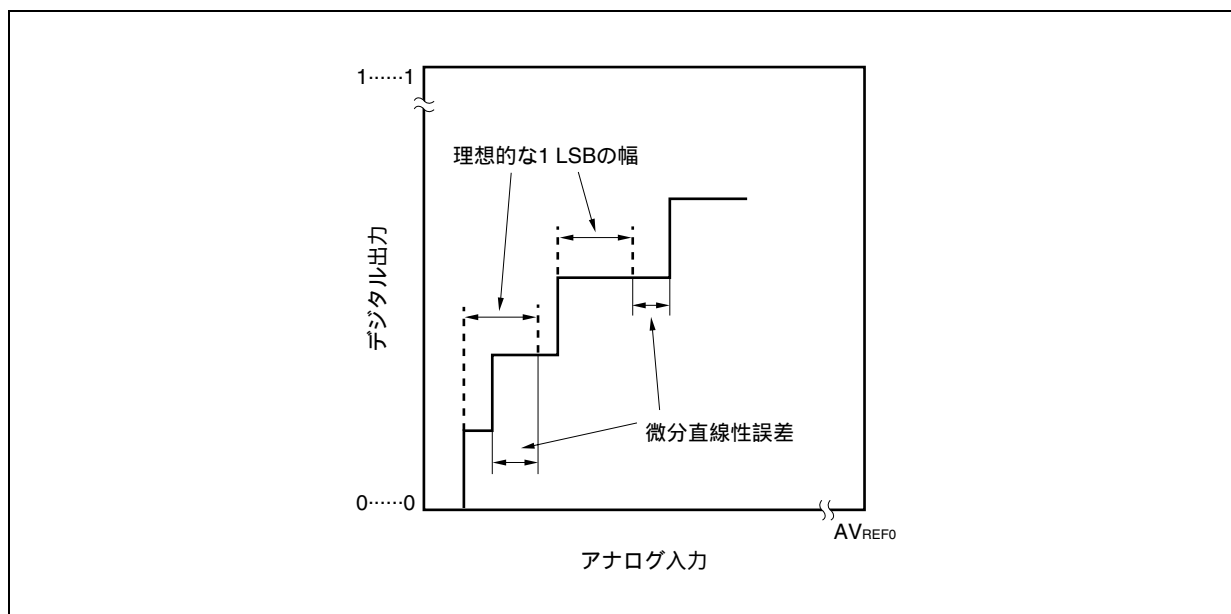
図15 - 19 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャンネルのアナログ入力端子に印加する電圧を AV_{SS} から AV_{REF0} まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャンネルを使用する場合は、15.7 (2) 総合誤差を参照してください。

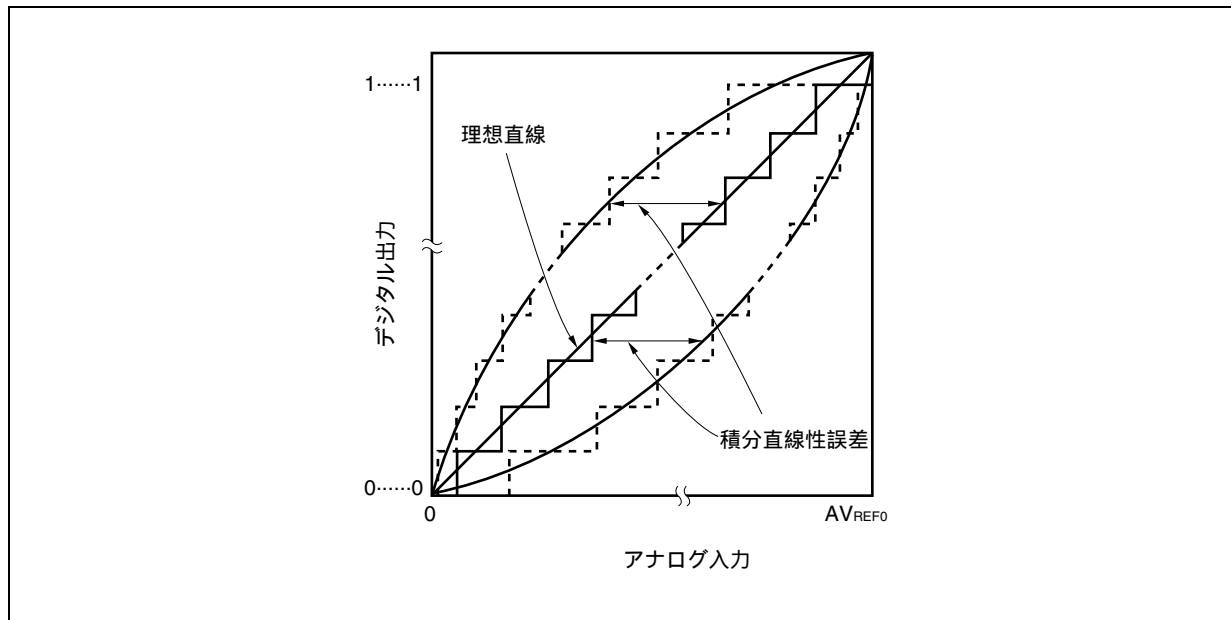
図15 - 20 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図15 - 21 積分直線性誤差



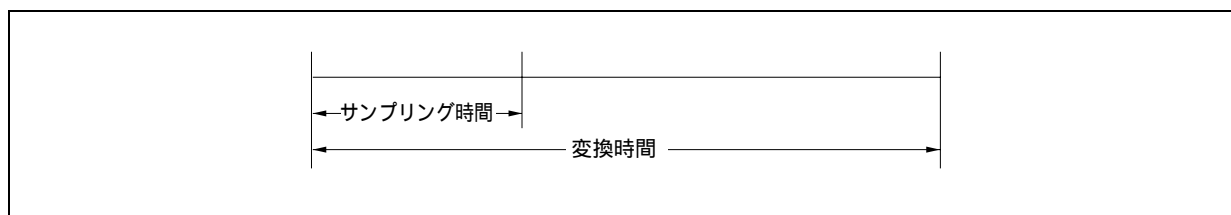
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図15 - 22 サンプリング時間



第16章 FIFO付きアシンクロナス・シリアル・インタフェースB (UARTB)

V850ES/JH3-E, V850ES/JJ3-EはUARTBnを2チャンネル搭載しています。

16.1 特徴

転送速度 300 bps ~ 3.125 Mbps (専用ポー・レート・ジェネレータ使用)

全二重通信

シングル・モード/FIFOモード切り替え可能

- ・シングル・モード: 送信 / 受信それぞれ8ビット幅 × 1段のデータ・レジスタ (UBnTXレジスタ/UBnRXレジスタ) を使用

- ・FIFOモード

 - 送信FIFO: UBnTXレジスタ (8ビット幅 × 16段)

 - 受信FIFO: UBnRXAPレジスタ (16ビット幅 × 16段)

なお、UBnRXAPレジスタの上位8ビットには、そのとき受信したデータのエラー情報を格納します。

2端子構成 TXDBn: 送信データの出力端子

RXDBn: 受信データの入力端子

受信エラー検出機能

- ・オーバフロー・エラー (FIFOモード時のみ)
- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー (シングル・モード時のみ)

割り込みソース: 5種類

- ・受信エラー割り込み要求信号 (INTUBnTIRE)
- ・受信終了割り込み要求信号 (INTUBnTIR)
- ・送信許可割り込み要求信号 (INTUBnTIT)
- ・FIFO送信終了割り込み要求信号 (INTUBnTIF) (FIFOモード時のみ)
- ・受信タイムアウト割り込み要求信号 (INTUBnTITO) (FIFOモード時のみ)

送受信データのキャラクタ長はUBnCTL0レジスタで指定

キャラクタ長: 7, 8ビット

パリティ機能: 奇数, 偶数, 0, なし

送信ストップ・ビット: 1, 2ビット

転送データのMSB先頭/LSB先頭を切り替え可能

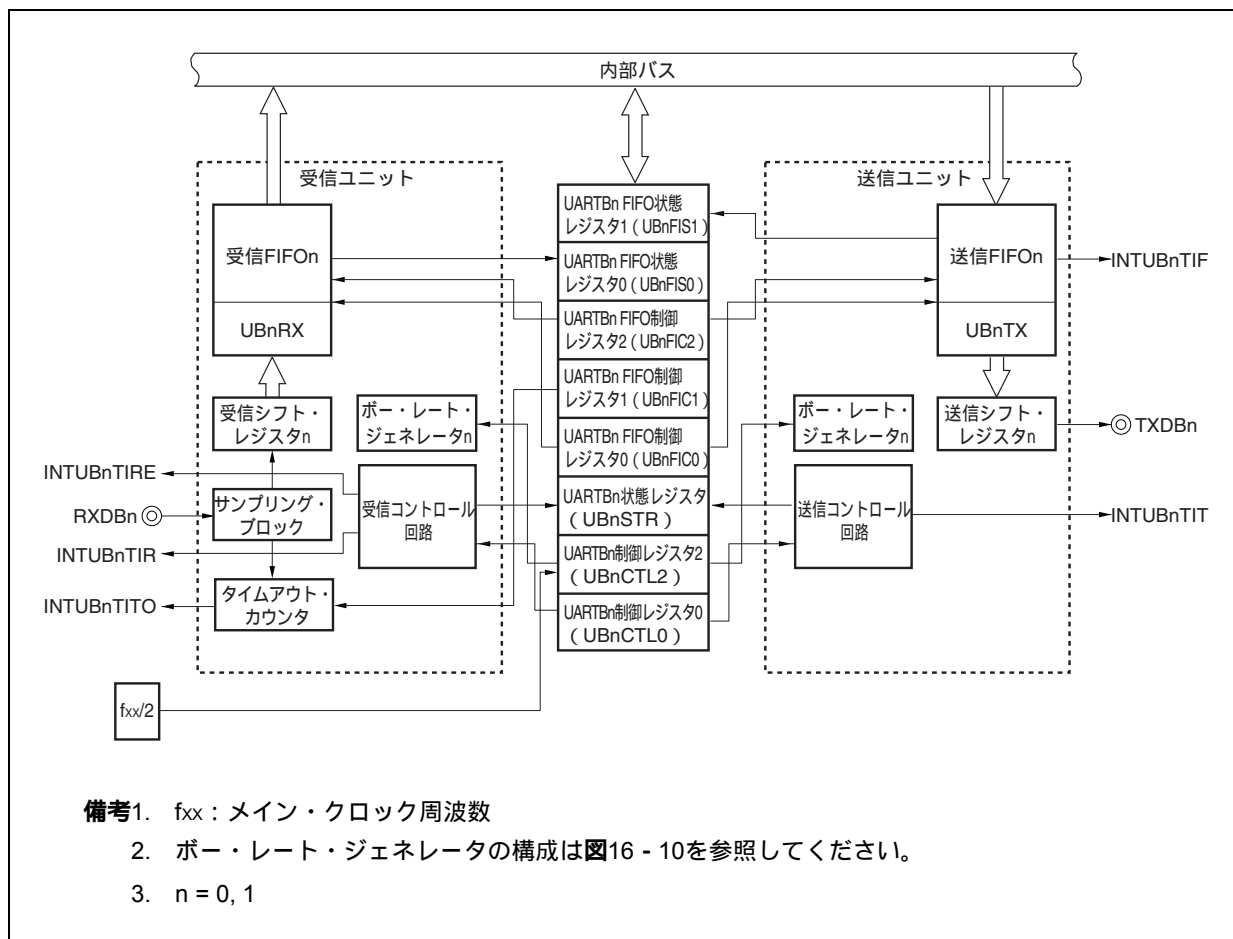
専用ポー・レート・ジェネレータ内蔵

備考 n = 0, 1

16.2 構成

次にUARTBnのブロック図を示します。

図16 - 1 UARTBnのブロック図



UARTBnは、次のハードウェアで構成されています。

表16 - 1 UARTBnの構成

項目	構成
レジスタ	UARTBn制御レジスタ0 (UBnCTL0) UARTBn制御レジスタ2 (UBnCTL2) UARTBn状態レジスタ (UBnSTR) UARTBn FIFO制御レジスタ0 (UBnFIC0) UARTBn FIFO制御レジスタ1 (UBnFIC1) UARTBn FIFO制御レジスタ2 (UBnFIC2) UARTBn FIFO状態レジスタ0 (UBnFIS0) UARTBn FIFO状態レジスタ1 (UBnFIS1) 受信シフト・レジスタ UARTBn受信データ・レジスタAP (UBnRXAP) UARTBn受信データ・レジスタ (UBnRX) 送信シフト・レジスタ UARTBn送信データ・レジスタ (UBnTX)

(1) UARTBn制御レジスタ0 (UBnCTL0)

UBnCTL0レジスタは、UARTBnの転送動作を制御する8ビット・レジスタです。

(2) UARTBn状態レジスタ (UBnSTR)

UBnSTRレジスタは、送信時の転送状態と受信エラー内容を示すレジスタです。送信時の転送状態を示すステータス・フラグは送信シフト・レジスタおよび送信データ・レジスタ(シングル・モード時: UBnTXレジスタ, FIFOモード時: 送信FIFO)のデータ保持状態を示します。受信エラーの各フラグは受信エラー発生時にセット(1)され、UBnSTRレジスタに0を書き込んだときにクリア(0)されます。

(3) UARTBn制御レジスタ2 (UBnCTL2)

UBnCTL2レジスタは、UARTBnのボー・レート(シリアル転送スピード)を制御するための分周値を指定するレジスタです。

(4) UARTBn FIFO制御レジスタ0 (UBnFIC0)

UBnFIC0レジスタは、UARTBnの動作モードの選択と、FIFOモード時に有効となる送信FIFO/受信FIFOのクリアおよび送信許可割り込み要求信号(INTUBnTIT)/受信終了割り込み要求信号(INTUBnTIR)の発生タイミング・モードを指定します。

(5) UARTBn FIFO制御レジスタ1 (UBnFIC1)

UBnFIC1レジスタは、FIFOモード時に有効となるレジスタで、ストップ・ビットを受信後、次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)ときに受信FIFO内にデータが格納されている場合、受信タイムアウト割り込み要求信号(INTUBnTITO)を発生させます。

(6) UARTBn FIFO制御レジスタ2 (UBnFIC2)

UBnFIC2レジスタは、FIFOモード時に有効となるレジスタで、データの送受信数をトリガとして送信許可割り込み要求信号(INTUBnTIT)/受信終了割り込み要求信号(INTUBnTIR)を発生させるタイミングを設定します。

(7) UARTBn FIFO状態レジスタ0 (UBnFIS0)

UBnFIS0レジスタは、FIFOモード時に有効となるレジスタで、受信FIFOに格納されているデータのバイト数が読み出せます。

(8) UARTBn FIFO状態レジスタ1 (UBnFIS1)

UBnFIS1レジスタは、FIFOモード時に有効となるレジスタで、送信FIFOの空きバイト数が読み出せます。

(9) 受信シフト・レジスタ

RXDBn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し、ストップ・ビットを検出すると、受信データを受信データ・レジスタへ転送します。

このレジスタは直接操作することはできません。

備考 n = 0, 1

(10) UARTBn受信データ・レジスタAP (UBnRXAP), UARTBn受信データ・レジスタ (UBnRX)

受信データ・レジスタは、受信データを保持するレジスタです。シングル・モード時には8ビット幅×1段のUBnRXレジスタを、FIFOモード時には16ビット幅×16段の受信FIFO (UBnRXAPレジスタ)を使用します。

受信FIFO (UBnRXAPレジスタ)の下位8ビットには受信データを格納し、上位8ビット(ビット8およびビット9)にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー(パリティ・エラーまたはフレーミング・エラー)が発生したときには、UBnRXAPレジスタを16ビット(ハーフワード)で読み出すことで、エラー対象となるデータを認識できます(エラー情報がUBnPEFビット = 1, またはUBnFEFビット = 1として付加されます)。UBnRXAPレジスタは、下位8ビットを8ビット(バイト)で読み出した場合、上位8ビットは破棄されます。したがって、エラー未発生時には、UBnRXレジスタと同様に8ビット(バイト)で読み出すことで、受信データだけを連続して読み出せます。

7ビット長の受信では、LSBファースト受信時、受信データは受信データ・レジスタのビット6-0にLSB(ビット0)から転送され、MSB(ビット7)は必ず0に、MSBファースト受信時、受信データは受信データ・レジスタのビット7-1にMSB(ビット7)から転送され、LSB(ビット0)は必ず0になります。また、オーバーラン・エラーが発生した場合には、そのときの受信データは受信データ・レジスタに転送されません。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して、受信シフト・レジスタから受信データ・レジスタに転送されます。

また、シングル・モード時にはUBnRXレジスタへ転送することにより、FIFOモード時には受信FIFOへUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分を転送することにより、受信終了割り込み要求信号(INTUBnTIR)が発生します。さらに、FIFOモード時にUBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)状態でも受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号(INTUBnTITO)が発生します。

(11) 送信シフト・レジスタ

送信シフト・レジスタは、送信データ・レジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

送信データ・レジスタから1バイト分のデータが転送されると、送信シフト・レジスタのデータをTXDBn端子から出力します。

このレジスタは直接操作することはできません。

備考 n = 0, 1

(12) UARTBn送信データ・レジスタ (UBnTX)

送信データ・レジスタは、送信データ用バッファです。シングル・モード時には8ビット幅×1段のUBnTXレジスタを、FIFOモード時には8ビット幅×16段の送信FIFOを使用します。

7ビット長の送信では、LSBファースト送信時、送信データは送信データ・レジスタのビット6-0のデータをLSB (ビット0) から送信され、MSB (ビット7) は必ず0に、MSBファースト送信時、送信データは送信データ・レジスタのビット7-1のデータをMSB (ビット7) から送信され、LSB (ビット0) は必ず0になります。

シングル・モード時は、送信許可状態 (UBnCTL0.UBnTXEビット = 1) のときにUBnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UBnTXレジスタに送信データの書き込みが可能になる (UBnTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBnTIT) を発生します。

FIFOモード時は、送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBnTXEビット = 1) にすることにより、送信動作が開始されます。送信FIFOから送信シフト・レジスタにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) と送信許可割り込み要求信号 (INTUBnTIT) を発生します。また、FIFOモード時には、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信終了割り込み要求信号 (INTUBnTIF) が発生します。

(13) タイムアウト・カウンタ

受信データ数が、UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数に達しない場合に、受信FIFOにデータが存在している (残っている) ことを認識するための機能で、FIFOモード時のみ有効となります。

ストップ・ビットを受信後、UBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBnTITO) が発生します。

(14) サンプリング・ブロック

周辺クロック (f_{xx}) の立ち上がりに同期して、RXDBn信号をサンプリングします。サンプリング値が同じ値を2回検出すると、一致検出器の出力が変化し、入力データとしてサンプリングされます。このため、1クロック幅以下のデータは、ノイズとして判断され、内部回路には伝わりません。

16.3 UARTBとほかのシリアル・インタフェースのモード切り替え

V850ES/JH3-E, V850ES/JJ3-EはUARTB0用のRXDB0, TXDB0機能が表16-2のように2箇所に分けられて
います。

UARTB0を使用する場合は、ピン番号32 (32) と31 (31) , または109 (115) と108 (114) をセットで使用
してください。また、ピン番号32 (32) と108 (114) , または109 (115) と31 (31) を同時に使用しないで
ください。

表16-2 UARTB0機能の端子の割り当て

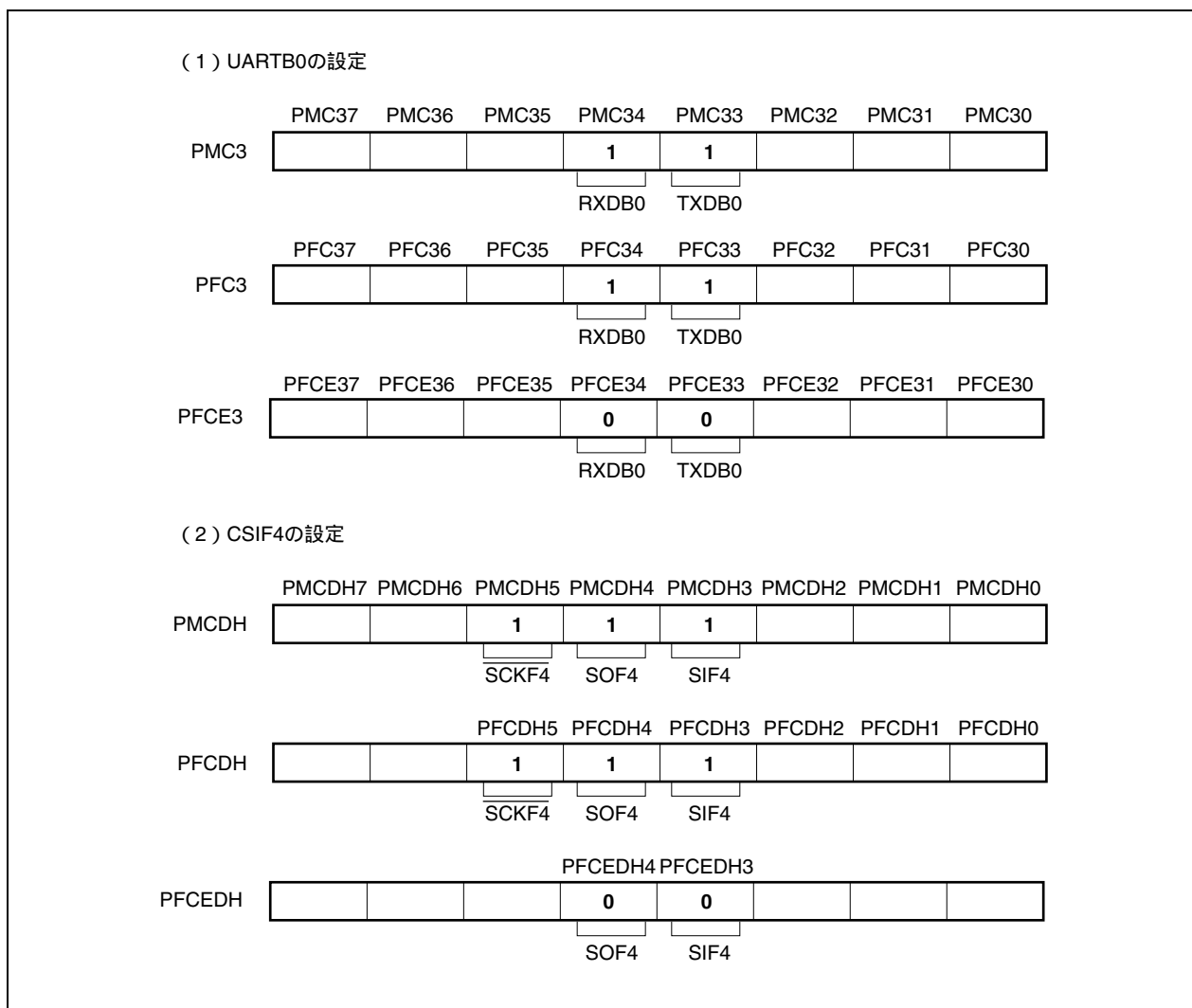
機能名	ピン番号		兼用機能
	V850ES/JH3-E	V850ES/JJ3-E	
RXDB0	32	32	P34/SOF4/TIAA20/TOAA20
	109	115	PDH4/A20/SOF4
TXDB0	31	31	P33/SIF4/TIAA11/TOAA11
	108	114	PDH3/A19/SIF4

16.3.1 UARTB0とCSIF4を同時に使用する場合

V850ES/JH3-E, V850ES/JJ3-Eでは、ポート3においてUARTB0とCSIF4は1つの端子に機能が兼用されており、
同時に使用できません。UARTB0とCSIF4の切り替えは、あらかじめPMC3, PFC3, PFCE3レジスタまたはPMDH,
PMCDH, PMFEDHで設定する必要があります。図16-2にポート3でUARTB0を、ポートDHでCSIF4を使用す
る場合のポートの設定例を示します。

注意 UARTB0またはCSIF4において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に
関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16 - 2 UARTB0とCSIF4のモード切り替え設定



16.3.2 UARTB1とCSIF3のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは, UARTB1とCSIF3は端子が兼用になっており, 同時に使用することはできません。UARTB1とCSIF3の切り替えは, あらかじめPMC9, PFC9, PFCE9レジスタを設定する必要があります。

注意 UARTB1またはCSIF3において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16 - 3 UARTB1とCSIF3のモード切り替え設定

リセット時 : 0000H		R/W	アドレス : PMC9 FFFFF452H, PMC9L FFFFF452H, PMC9H FFFFF453H					
PMC9 (PMC9H)	15	14	13	12	11	10	9	8
	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
(PMC9L)	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
リセット時 : 0000H		R/W	アドレス : PFC9 FFFFF472H, PFC9L FFFFF472H, PFC9H FFFFF473H					
PFC9 (PFC9H)	15	14	13	12	11	10	9	8
	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
(PFC9L)	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90
リセット時 : 0000H		R/W	アドレス : PFCE9 FFFFF712H, PFCE9L FFFFF712H, PFCE9H FFFFF713H					
PFCE9 (PFCE9H)	15	14	13	12	11	10	9	8
	PFCE915	PFCE914	PFCE913	0	PFCE911	PFCE910	PFCE99	PFCE98
(PFCE9L)	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90
PMC915	PFCE915	PFC915	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SCKF3 (CSIF3)					
PMC914	PFCE914	PFC914	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SOF3 (CSIF3)					
1	0	1	RXDB1 (UARTB1)					
PMC913	PFCE913	PFC913	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SIF3 (CSIF3)					
1	0	1	TXDB1 (UARTB1)					
備考 x = don't care								

16.4 制御レジスタ

(1) UARTBn制御レジスタ0 (UBnCTL0)

UBnCTL0レジスタは、UARTBnの転送動作を制御するレジスタです。

8/1ビット単位で、リード/ライト可能です。

リセットにより10Hになります。

注意1. UARTBnを使用する場合には、必ずUARTBn機能に関連する外部端子を兼用機能に設定したあと、UARTBn制御レジスタ2(UBnCTL2)の設定を行ってからUBnPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

2. UARTBn機能に関連する外部端子を兼用機能に設定する場合には、RXDBn端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBnRXEビットをセット(1)したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。

備考1. 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信データ・レジスタへの転送処理は行わず、受信データ・レジスタの内容は保持されます。

受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信データ・レジスタに転送します。

また、受信データ・レジスタへの転送(FIFOモード時は受信トリガ数に達する転送)に同期して、受信終了割り込み要求信号(INTUBnTIR)を発生します。

FIFOモード時にUBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)ときに、受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号(INTUBnTITO)が発生します。

2. $n = 0, 1$

リセット時: 10H R/W アドレス: UB0CTL0 FFFFFFFB80H, UB1CTL0 FFFFFFFBA0H

UBnCTL0 (n = 1, 0)	⑦	⑥	⑤	④	3	2	1	0
	UBnPWR	UBnTXE	UBnRXE	UBnDIR	UBnPS1	UBnPS0	UBnCL	UBnSL

UBnPWR	UARTBnへの動作クロックの制御
0	UARTBnへのクロック供給を停止
1	UARTBnへクロックを供給
<ul style="list-style-type: none"> ・UBnPWRビット = 0にすると, UARTBnを非同期にリセットします。 ・UBnPWRビット = 0の場合は, UARTBnはリセット状態なので, UARTBnを動作させる場合には, まずUBnPWRビット = 1にしてください。 ・UBnPWRビットを1から0にした場合は, UARTBnのすべてのレジスタが初期化されます。再度UBnPWRビット = 1にした場合には, 必ずUARTBnのレジスタを再設定してください。 ・UBnPWRビット = 0にすると, TXDBn端子の出力はハイ・レベルになります。 	

UBnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可
<ul style="list-style-type: none"> ・起動時はUBnPWRビット = 1にしてから, UBnTXEビット = 1としてください。また, 逆に停止時はUBnTXEビット = 0にしてから, UBnPWRビット = 0としてください ・送信ユニットの状態を初期化する場合は, UBnTXEビットをクリア (0) して, f_{xx}の2周期分の時間を経過してから, 再びUBnTXEビットをセット (1) しなければ, 状態の初期化ができない場合があります。 	

UBnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可
<ul style="list-style-type: none"> ・起動時はUBnPWRビット = 1にしてから, UBnRXEビット = 1としてください。また, 逆に停止時はUBnRXEビット = 0にしてから, UBnPWRビット = 0としてください。 ・受信ユニットの状態を初期化する場合は, UBnRXEビットをクリア (0) して, f_{xx}の2周期分の時間を経過してから, 再びUBnRXEビットをセット (1) しなければ, 状態の初期化ができない場合があります。 	

UBnDIR	転送方向モード (MSB/LSB) の指定
0	MSB転送ファースト
1	LSB転送ファースト

・ UBnDIRビットを書き換えるときは、UBnPWRビット、またはUBnTXE, UBnRXEビットをクリア (0) してから行ってください。

UBnPS1	UBnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・ UBnPS1, UBnPS0ビットを書き換えるときは、UBnTXE, UBnRXEビットをクリア (0) してから行ってください。

・ 受信時に「0パリティ」を選択した場合、パリティ判定を行いません。したがって、UBnSTR.UBnPEビットはセット (1) されないため、エラー割り込みも発生しません。

UBnCL	送受信データ1フレームのデータ・キャラクタ長の指定
0	7ビット
1	8ビット

UBnCLビットを書き換えるときは、UBnTXE, UBnRXEビットをクリア (0) してから行ってください。

UBnSL	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

・ UBnSLビットを書き換えるときは、UBnTXEビットをクリア (0) してから行ってください。

・ 受信は常に「ストップ・ビット長 = 1」として動作するため、UBnSLビットの設定は受信動作に影響を与えません。

備考 パリティについての詳細は、16.7.6 **パリティの種類と動作**を参照してください。

(2) UARTBn状態レジスタ (UBnSTR)

UBnSTRレジスタは、UARTBnの送信時の転送状態と受信エラー内容を示すレジスタです。

送信時の転送状態を示すステータス・フラグは送信シフト・レジスタおよび送信データ・レジスタ（シングル・モード時：UBnTXレジスタ，FIFOモード時：送信FIFO）のデータ保持状態を示します。受信エラーを示すステータス・フラグは、クリア（0）されるまで状態を保持します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UBnCTL0.UBnPWR, UBnRXEビットを0に設定したとき、またはUBnSTRレジスタに0を書き込んだときに、UBnSTR.UBnOVF, UBnPE, UBnFE, UBnOVEビットはクリア（0）されます。

(1/2)

リセット時：00H		R/W	アドレス：UB0STR FFFFFFFB84H, UB1STR FFFFFFFBA4H						
		⑦	6	5	4	③	②	①	①
UBnSTR (n = 0, 1)	UBnTSF	0	0	0	0	UBnOVF	UBnPE	UBnFE	UBnOVE
	UBnTSF	転送状態フラグ							
	0	<ul style="list-style-type: none"> ・シングル・モード時（UBnFIC0.UBnMODビット = 0） 送信シフト・レジスタおよびUBnTXレジスタに転送すべきデータが存在しない（UBnCTL0.UBnPWRビット = 0またはUBnTXEビット = 0に設定したときもクリア（0）されます） ・FIFOモード時（UBnFIC0.UBnMODビット = 1） 送信シフト・レジスタおよび送信FIFOに転送すべきデータが存在しない（UBnCTL0.UBnPWRビット = 0またはUBnTXEビット = 0に設定したときもクリア（0）されます） 							
	1	<ul style="list-style-type: none"> ・シングル・モード時（UBnFIC0.UBnMODビット = 0） 送信シフト・レジスタまたはUBnTXレジスタに転送すべきデータが存在する（送信中） ・FIFOモード時（UBnFIC0.UBnMODビット = 1） 送信シフト・レジスタおよび送信FIFOに転送すべきデータが存在する（送信中） 							
	UBnTSFビット値は、送信データをUBnTXレジスタに書き込んだあと、f _{xx} の2周期分の時間が経過してから反映されます。そのため、送信データをUBnTXレジスタに書き込んだあとにUBnTSFビットを参照する場合には注意してください。								
	UBnOVF	オーバーフロー・フラグ							
	0	オーバーフロー発生なし							
	1	オーバーフロー発生（受信時）							
	<ul style="list-style-type: none"> ・UBnOVFビットはFIFOモード（UBnFIC0.UBnMODビット = 1）時のみ有効で、シングル・モード（UBnFIC0.UBnMODビット = 0）時は無効です。 ・オーバーフローが発生した場合、その受信データは受信FIFOに書き込まれず、データは破棄されます。 								

UBnPE	パリティ・エラー・フラグ
0	パリティ・エラー発生なし
1	パリティ・エラー発生 (受信時)

・ UBnPE ビットはシングル・モード (UBnFIC0.UBnMOD ビット = 0) 時のみ有効で、FIFO モード (UBnFIC0.UBnMOD ビット = 1) 時は無効です。
 ・ UBnPE ビットの動作は、UBnCTL0.UBnPS1, UBnPS0 ビットの設定値により異なります。

UBnFE	フレーミング・エラー・フラグ
0	フレーミング・エラー発生なし
1	フレーミング・エラー発生 (受信時)

・ UBnFE ビットはシングル・モード (UBnFIC0.UBnMOD ビット = 0) 時のみ有効で、FIFO モード (UBnFIC0.UBnMOD ビット = 1) 時は無効です。
 ・ 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の 1 ビットだけをチェックします。

UBnOVE	オーバラン・エラー・フラグ
0	オーバラン・エラー発生なし
1	オーバラン・エラー発生 (受信時)

・ UBnOVE ビットはシングル・モード (UBnFIC0.UBnMOD ビット = 0) 時のみ有効で、FIFO モード (UBnFIC0.UBnMOD ビット = 1) 時は無効です。
 ・ オーバラン・エラーが発生した場合、その受信データは UBnRX レジスタに書き込まれず、データは破棄されます。

(4) UARTBn送信データ・レジスタ (UBnTX)

UBnTXレジスタは、送信データを設定するためのレジスタで、シングル・モード (UBnFIC0.UBnMODビット = 0) 時は8ビット幅×1段のUBnTXレジスタ、FIFOモード (UBnFIC0.UBnMODビット = 1) 時は8ビット幅×16段の送信FIFOとして動作します。

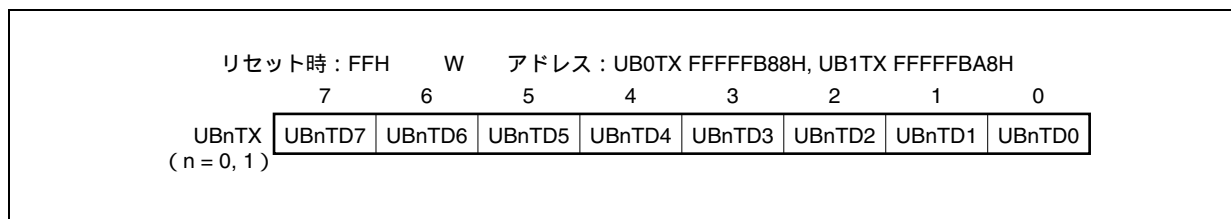
シングル・モード時は、送信許可状態 (UBnCTL0.UBnTXEビット = 1) のときにUBnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UBnTXレジスタにデータの書き込みが可能になる (UBnTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBnTIT) を発生します。

FIFOモード時は、送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBnTXEビット = 1) にすることにより、送信動作が開始されます。送信FIFOから送信シフト・レジスタにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) と送信許可割り込み要求信号 (INTUBnTIT) を発生します。また、FIFOモード時には、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信終了割り込み要求信号 (INTUBnTIF) が発生します。

発生するタイミングについては、16.5 割り込み要求信号を参照してください。

データ長を7ビットに指定した場合、LSBファースト送信時には、送信データは送信データ・レジスタのビット6-0のデータをLSB (ビット0) から送信されMSB (ビット7) は必ず0に、MSBファースト送信時には、送信データは送信データ・レジスタのビット7-1のデータをMSB (ビット7) から送信されLSB (ビット0) は必ず0になります。

8ビット単位でライトのみ可能です。ライト時には、送信データ・レジスタにデータが書き込まれます。リセットによりFFHになります。



(5) UARTBn受信データ・レジスタAP (UBnRXAP), UARTBn受信データ・レジスタ (UBnRX)

受信シフト・レジスタで変換したパラレル・データを格納するためのレジスタで、シングル・モード (UBnFIC0.UBnMODビット = 0)時は8ビット幅 × 1段のUBnRXレジスタ, FIFOモード(UBnFIC0.UBnMODビット = 1)時は16ビット幅 × 16段の受信FIFO (UBnRXAPレジスタ)として動作します。

受信FIFO (UBnRXAPレジスタ)の下位8ビットには受信データを格納し、上位8ビット(ビット8およびビット9)にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー(パリティ・エラーまたはフレーミング・エラー)が発生したときには、UBnRXAPレジスタを16ビット(ハーフワード)で読み出すことで、受信FIFOに格納されているデータのフラグが確認でき(エラー情報がUBnPEFビット = 1, またはUBnFEFビット = 1として付加されます), エラー対象となるデータを認識できます(UBnRXAPレジスタは、下位8ビットを8ビット(バイト)で読み出した場合、上位8ビットは破棄されます。したがって、エラー未発生時にはUBnRXレジスタと同様に8ビット(バイト)で読み出すことで、受信データだけを連続して読み出せます)。

受信許可状態のとき(UBnCTL0.UBnRXEビット = 1), 受信データは1フレーム分のシフト・イン処理終了時に同期して、受信シフト・レジスタから受信データ・レジスタに転送されます。

また、シングル・モード時にはUBnRXレジスタへ転送することにより、FIFOモード時には受信FIFOへUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分を転送することにより、受信終了割り込み要求信号(INTUBnTIR)が発生します。さらに、FIFOモード時にUBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)状態でも受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号(INTUBnTITO)が発生します。

発生するタイミングについては、16.5 **割り込み要求信号**を参照してください。

データ長を7ビットに指定した場合、LSBファースト受信時には、受信データは受信データ・レジスタのビット6-0にLSB(ビット0)から転送されMSB(ビット7)は必ず0に、MSBファースト受信時には、受信データは受信データ・レジスタのビット7-1にMSB(ビット7)から転送されLSB(ビット0)は必ず0になります。また、オーバラン・エラーが発生した場合には、そのときの受信データは受信データ・レジスタに転送されません。

UBnRXAPレジスタは、16ビット単位でリードのみ可能です。ただし、UBnRXAPレジスタの下位8ビットに対しては、8ビット単位でリードのみ可能です。

UBnRXレジスタは、8ビット単位でリードのみ可能です。

リセット入力以外に、UBnCTL0.UBnPWRビット = 0によっても、シングル・モード時にはFFH, FIFOモード時には00FFHになります。

- 注意1.** シングル・モード時には8ビット・レジスタとなるため、UBnPEFビット, UBnFEFビットはリードできません。
2. FIFOモード時で受信エラー未発生ของときには、UBnRXAPレジスタの下位8ビットを8ビット(バイト)で読み出すことで、受信データだけを連続して読み出せます。上位8ビットへの8ビット・アクセスは禁止です。アクセスした場合の動作は保証できません。

注意3. シングル・モードを使用したシステムをデバッグするときは次の操作を行わないでください。

- ・UBnRXレジスタをリードした直後の命令にブレークをかける。
- ・UBnRXレジスタを送信元に設定したDMA転送が終了する前にブレークをかける。
- ・データ受信後にUBnRXレジスタをリードしてから、次のデータ受信が終了するまでにブレークをかけ、デバッガのI/Oレジスタ・ウィンドウでUBnRXレジスタを確認する。

上記の操作を行った場合、以降の受信でオーバラン・エラーが発生することがあります。

リセット時 : FFH	R	アドレス : UB0RX FFFFFFFB86H, UB1RX FFFFFFFBA6H
		7 6 5 4 3 2 1 0
UBnRX (n = 0, 1)		UBnRD7 UBnRD6 UBnRD5 UBnRD4 UBnRD3 UBnRD2 UBnRD1 UBnRD0
リセット時 : 00FFH	R	アドレス : UB0RXAP FFFFFFFB86H, UB1RXAP FFFFFFFBA6H
		15 14 13 12 11 10 9 8
UBnRXAP (n = 0, 1)		0 0 0 0 0 0 UBnPEF UBnFEF
		7 6 5 4 3 2 1 0
		UBnRD7 UBnRD6 UBnRD5 UBnRD4 UBnRD3 UBnRD2 UBnRD1 UBnRD0
UBnPEF	パリティ・エラー・フラグ	
0	パリティ・エラーなし	
1	パリティ・エラー発生 (受信完了時)	
<ul style="list-style-type: none"> ・UBnPEFビットはFIFOモード (UBnFIC0.UBnMODビット = 1) 時のみ有効で、シングル・モード (UBnFIC0.UBnMODビット = 0) 時は無効です。 ・UBnPEFビットの動作は、UBnCTL0.UBnPS1, UBnPS0ビットの設定値により異なります。 		
UBnFEF	フレーミング・エラー・フラグ	
0	フレーミング・エラーなし	
1	フレーミング・エラー発生 (受信完了時)	
<ul style="list-style-type: none"> ・UBnFEFビットはFIFOモード (UBnFIC0.UBnMODビット = 1) 時のみ有効で、シングル・モード (UBnFIC0.UBnMODビット = 0) 時は無効です。 ・受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。 		
UBnRD7- UBnRD0	受信データを格納しています。	

(6) UARTBn FIFO制御レジスタ0 (UBnFIC0)

UBnFIC0レジスタは、UARTBnの動作モードの選択と、FIFOモード (UBnMODビット = 1) 時に有効となる機能を設定するレジスタです。FIFOモード時には、送信FIFO/受信FIFOのクリアおよび送信許可割り込み要求信号 (INTUBnTIT) / 受信終了割り込み要求信号 (INTUBnTIR) の発生タイミング・モードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H		R/W	アドレス : UB0FIC0 FFFFFFFB8AH, UB1FIC0 FFFFFFFBAAH						
		⑦	6	5	4	③	②	1	0
UBnFIC0 (n = 0, 1)	UBnMOD	0	0	0	0	UBnTFC	UBnRFC	UBnITM	UBnIRM
UBnMOD		UARTBnの動作モードの指定							
0		シングル・モード							
1		FIFOモード							
UBnTFC		送信FIFOクリア・トリガ・ビット							
0		通常状態							
1		クリア (クリア実行終了後、自動的に0へ戻る)							
		<ul style="list-style-type: none"> UBnTFCビットはFIFOモード (UBnMODビット = 1) 時のみ有効で、シングル・モード (UBnMODビット = 0) 時は無効です。 UBnTFCビットに1をライトしたときには、送信FIFOのポインタをクリア (0) します。また、保留モード (UBnITMビット = 0) 時には、保留されている割り込み要求信号 (INTUBnTIT) をクリアしません^注。ただし、割り込み制御レジスタ (UBnTITIC) のビット7 (UBnTITIF) はクリア (0) されません。必要に応じてクリア (0) してください。 UBnTFCビットに0をライトしたときには、状態保持となります。クリア・セットなどの動作は実行しません。 UBnTFCビットに1をライトするときには、必ずUBnCTL0.UBnTXEビットをクリア (0) して (送信動作禁止) から行ってください。UBnTXEビットがセット (1) の状態 (送信動作許可) でUBnTFCビットに1をライトする場合の動作は保証できません。 							
注		送信FIFOクリアを実行した (UBnTFCビット = 1) あと、f _{xx} の4周期期間、またはUBnFIC0レジスタのリードにより、UBnTFCビットのクリア (自動復帰) が確認できるまでの期間は、UARTBn関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。							
備考		f _{xx} : 周辺クロック							

UBnRFC	受信FIFO (UBnRXAP) クリア・トリガ・ビット
0	通常状態
1	クリア (クリア実行終了後, 自動的に0に戻る)

・UBnRFCビットはFIFOモード (UBnMODビット = 1) 時のみ有効で, シングル・モード時 (UBnMODビット = 0) 時は無効です。

・UBnRFCビットに1をライトしたときには, 受信FIFOのポインタをクリア (0) します。また, 保留モード (UBnIRMビット = 0) 時には, 保留されている割り込み要求信号 (INTUBnTIR) をクリアします^注。ただし, 割り込み制御レジスタ (URIC) のビット7 (URIF) はクリア (0) されません。必要に応じてクリア (0) してください。

UBnRFCビットに0をライトしたときには, 状態保持となります。クリア・セットなどの動作は実行しません。

・UBnRFCビットに1をライトするときには, 必ずUBnCTL0.UBnRXEビットをクリア (0) して (受信動作禁止) から行ってください。UBnRXEビットがセット (1) の状態 (受信動作許可) でUBnRFCビットに1をライトする場合の動作は保証できません。

UBnITM	FIFOモード時のINTUBnTIT割り込み発生タイミングの指定
0	保留モード
1	ポインタ・モード

FIFOモード時のINTUBnTIT信号は, 送信FIFOから送信シフト・レジスタにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送された時点で発生します。INTUBnTIT信号が発生してから, 実際にINTUBnTIT信号を発生させるタイミングを保留モード, ポインタ・モードとして指定します。詳細は, 16.6 (2) **保留モード/ポインタ・モード**を参照してください。

UBnIRM	FIFOモード時のINTUBnTIR割り込み発生タイミングの指定
0	保留モード
1	ポインタ・モード

FIFOモード時のINTUBnTIR信号は, 受信シフト・レジスタから受信FIFOにUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータが転送された時点で発生します。INTUBnTIR信号が発生してから, 実際にINTUBnTIR信号を発生させるタイミングを保留モード, ポインタ・モードとして指定します。詳細は, 16.6 (2) **保留モード/ポインタ・モード**を参照してください。

注 受信FIFO (UBnRXAP) クリアを実行した (UBnRFCビット = 1) あと, f_{xx} の4周期期間, またはUBnFIC0レジスタのリードにより, UBnRFCビットのクリア (自動復帰) が確認できるまでの期間は, UARTBn関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。

備考 f_{xx} : 周辺クロック

(7) UARTBn FIFO制御レジスタ1 (UBnFIC1)

UBnFIC1レジスタは、FIFOモード (UBnFIC0.UBnMODビット = 1) 時に有効となるレジスタです。ストップ・ビットを受信後、UBnTC4-UBnTC0ビットで設定した時間 (次データ受信待ち時間) を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFO内にデータが格納されていた場合、受信タイムアウト割り込み要求信号 (INTUBnTITO) を発生させます。

8/1ビット単位で、リード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H								R/W	アドレス: UB0FIC1 FFFFFFFB8BH, UB1FIC1 FFFFFFFBABH								
		7	6	5	4	3	2	1	0								
UBnFIC1 (n = 0, 1)		UBnTCE	0	0	UBnTC4	UBnTC3	UBnTC2	UBnTC1	UBnTC0								
		UBnTCE	タイムアウト・カウンタ機能の禁止 / 許可の指定														
		0	タイムアウト・カウンタ機能の使用禁止														
		1	タイムアウト・カウンタ機能の使用許可														
		UBnTC4	UBnTC3	UBnTC2	UBnTC1	UBnTC0	次データ受信待ち時間										
		0	0	0	0	0	32バイト分 (32×8/ボー・レート)										
		0	0	0	0	1	31バイト分 (31×8/ボー・レート)										
		0	0	0	1	0	30バイト分 (30×8/ボー・レート)										
		0	0	0	1	1	29バイト分 (29×8/ボー・レート)										
											
											
											
		1	1	1	0	0	4バイト分 (4×8/ボー・レート)										
		1	1	1	0	1	3バイト分 (3×8/ボー・レート)										
		1	1	1	1	0	2バイト分 (2×8/ボー・レート)										
		1	1	1	1	1	1バイト分 (1×8/ボー・レート)										
UBnTC4-UBnTC0ビット設定分のカウント・アップ終了後、受信FIFO内のデータ格納状態にかかわらず、タイムアウト・カウンタのカウントはクリア (0) されます。																	
その後、次のスタート・ビットを検出すると、そのデータのストップ・ビットから再度カウントを開始します。																	

(8) UARTBn FIFO制御レジスタ2 (UBnFIC2)

UBnFIC2レジスタは、FIFOモード (UBnFIC0.UBnMODビット = 1) 時に有効となるレジスタです。データの送受信数をトリガとして割り込みを発生させるタイミングを設定します。送信時は、送信FIFOから転送されたデータ数を、受信時は受信FIFOに格納されたデータ数を割り込みの発生条件として指定します。

UBnFIC2レジスタは、16ビット単位でリード/ライト可能です。

UBnFIC2レジスタの上位8ビットをUBnFIC2Hレジスタ、下位8ビットをUBnFIC2Lレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。

リセットによりUBnFIC2レジスタは0000H、UBnFIC2H、UBnFIC2Lレジスタは00Hになります。

注意 UBnFIC2レジスタへのライトは、必ずUBnCTL0.UBnTXEビット = 0 (送信禁止状態) および UBnRXEビット = 0 (受信禁止状態) に設定してから行ってください。UBnTXEビット、またはUBnRXEビットのいずれかを1に設定したままUBnFIC2レジスタをライトした場合の動作は保証できません。

(1/2)

リセット時 : 0000H		R/W		アドレス : UB0FIC2 FFFFFFFB8CH, UB0FIC2L FFFFFFFB8CH, UB0FIC2H FFFFFFFB8DH, UB1FIC2 FFFFFFFBACH, UB1FIC2L FFFFFFFBACH, UB1FIC2H FFFFFFFBADH							
UBnFIC2H (n = 0, 1)	15	14	13	12	11	10	9	8			
	0	0	0	0	UBnTT3	UBnTT2	UBnTT1	UBnTT0			
UBnFIC2L (n = 0, 1)	7	6	5	4	3	2	1	0			
	0	0	0	0	UBnRT3	UBnRT2	UBnRT1	UBnRT0			
				UBnTT3	UBnTT2	UBnTT1	UBnTT0	送信FIFO トリガ数設定	ポインタ・ モード	保留モード	
				0	0	0	0	1バイト	設定可能	設定可能	
				0	0	0	1	2バイト	設定禁止		
				0	0	1	0	3バイト			
				0	0	1	1	4バイト			
				0	1	0	0	5バイト			
				0	1	0	1	6バイト			
				0	1	1	0	7バイト			
				0	1	1	1	8バイト			
				1	0	0	0	9バイト			
				1	0	0	1	10バイト			
				1	0	1	0	11バイト			
				1	0	1	1	12バイト			
				1	1	0	0	13バイト			
				1	1	0	1	14バイト			
				1	1	1	0	15バイト			
				1	1	1	1	16バイト			
<ul style="list-style-type: none"> 送信FIFOの送信トリガ数を設定します。 指定した送信トリガ設定数のデータを送信FIFOから送信シフト・レジスタにシフト・アウトするごとにINTUBnTIT信号を発生させます。 保留モード (UBnFIC0.UBnITMビット = 0) 時は、保留モードの条件によりINTUBnTIT信号を発生させます ポインタ・モード (UBnFIC0.UBnITMビット = 1) 時は、送信トリガ設定数を1バイトに設定 (UBnTT3-UBnTT0ビット = 0000) したときのみ可能で、それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保障できません。 											

UBnRT3	UBnRT2	UBnRT1	UBnRT0	受信FIFO トリガ数設定	ポインタ・ モード	保留モード
0	0	0	0	1バイト	設定可能	設定可能
0	0	0	1	2バイト	設定禁止	
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

- ・受信FIFOの受信トリガ数を設定します。
- ・指定した受信トリガ設定数のデータを受信シフト・レジスタから受信FIFOに格納するごとにINTUBnTIR信号を発生させます。
保留モード (UBnFIC0.UBnIRMビット = 0) 時は、保留モードの条件によりINTUBnTIR信号を発生させません。
- ・ポインタ・モード (UBnFIC0.UBnIRMビット = 1) 時は、受信トリガ設定数を1バイトに設定 (UBnRT3-UBnRT0ビット = 0000) したときのみ可能で、それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保障できません。

(9) UARTBn FIFO状態レジスタ0 (UBnFIS0)

UBnFIS0レジスタは、FIFOモード (UBnFIC0.UBnMODビット = 1) 時に有効となるレジスタです。受信FIFOに格納されているデータのバイト数が読み出せます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時 : 00H		R	アドレス : UB0FIS0 FFFFFFFB8EH, UB1FIS0 FFFFFFFBAEH						
		7	6	5	4	3	2	1	0
UBnFIS0 (n = 0, 1)		0	0	0	UBnRB4	UBnRB3	UBnRB2	UBnRB1	UBnRB0
	UBnRB4	UBnRB3	UBnRB2	UBnRB1	UBnRB0	受信FIFOポインタ			
	0	0	0	0	0	0バイト			
	0	0	0	0	1	1バイト			
	0	0	0	1	0	2バイト			
	0	0	0	1	1	3バイト			
	0	0	1	0	0	4バイト			
	0	0	1	0	1	5バイト			
	0	0	1	1	0	6バイト			
	0	0	1	1	1	7バイト			
	0	1	0	0	0	8バイト			
	0	1	0	0	1	9バイト			
	0	1	0	1	0	10バイト			
	0	1	0	1	1	11バイト			
	0	1	1	0	0	12バイト			
	0	1	1	0	1	13バイト			
	0	1	1	1	0	14バイト			
	0	1	1	1	1	15バイト			
	1	0	0	0	0	16バイト			
	その他					無効			
	受信FIFOポインタとして受信FIFOに格納されているデータのバイト数 (読み出し可能なバイト数) を示します。								

(10) UARTBn FIFO状態レジスタ1 (UBnFIS1)

UBnFIS1レジスタは、FIFOモード (UBnFIC0.UBnMODビット = 1) 時に有効となるレジスタです。送信FIFOの空きバイト数が読み出せます。

8ビット単位でリードのみ可能です。

リセットにより10Hになります。

注意 UBnTB4-UBnTB0ビット値は、送信データをUBnTXレジスタに書き込んだあと、周辺クロック (f_{xx}) の2周期分の時間が経過してから反映されます。そのため、送信データをUBnTXレジスタに書き込んだあとに、UBnFIS1レジスタを参照する場合には注意してください。

リセット時 : 10H		R	アドレス : UB0FIS1 FFFFFFFB8FH, UB1FIS1 FFFFFFFBAFH					
	7	6	5	4	3	2	1	0
UBnFIS1 (n = 0, 1)	0	0	0	UBnTB4	UBnTB3	UBnTB2	UBnTB1	UBnTB0
	UBnTB4	UBnTB3	UBnTB2	UBnTB1	UBnTB0	送信FIFOポインタ		
	0	0	0	0	0	0バイト		
	0	0	0	0	1	1バイト		
	0	0	0	1	0	2バイト		
	0	0	0	1	1	3バイト		
	0	0	1	0	0	4バイト		
	0	0	1	0	1	5バイト		
	0	0	1	1	0	6バイト		
	0	0	1	1	1	7バイト		
	0	1	0	0	0	8バイト		
	0	1	0	0	1	9バイト		
	0	1	0	1	0	10バイト		
	0	1	0	1	1	11バイト		
	0	1	1	0	0	12バイト		
	0	1	1	0	1	13バイト		
	0	1	1	1	0	14バイト		
	0	1	1	1	1	15バイト		
	1	0	0	0	0	16バイト		
	その他					無効		
	送信FIFOポインタとして送信FIFOの空きバイト数 (書き込み可能なバイト数) を示します。							

16.5 割り込み要求信号

UARTBnからは次の5種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTUBnTIRE)
- ・受信終了割り込み要求信号 (INTUBnTIR)
- ・送信許可割り込み要求信号 (INTUBnTIT)
- ・FIFO送信終了割り込み要求信号 (INTUBnTIF)
- ・受信タイムアウト割り込み要求信号 (INTUBnTITO)

これら5種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込み要求信号が最も高く、受信終了割り込み要求信号、送信許可割り込み要求信号、FIFO送信終了割り込み要求信号、受信タイムアウト割り込み要求信号の順に低くなります。

表16-4 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信終了	2
送信許可	3
FIFO送信終了	4
受信タイムアウト	5

(1) 受信エラー割り込み要求信号 (INTUBnTIRE)

(a) シングル・モード時

受信許可状態で、UBnSTRレジスタで説明した3種類の受信エラー（パリティ・エラー、フレーミング・エラー、オーバラン・エラー）の論理和（OR）で受信エラー割り込み要求信号を発生します。
受信禁止状態中は、受信エラー割り込み要求信号は発生しません。

(b) FIFOモード時

受信許可状態で、UBnSTRレジスタで説明した3種類の受信エラー（パリティ・エラー、フレーミング・エラー、オーバフロー・エラー）の論理和（OR）で受信エラー割り込み要求信号を発生します。
受信禁止状態中は、受信エラー割り込み要求信号は発生しません。

(2) 受信終了割り込み要求信号 (INTUBnTIR)

(a) シングル・モード時

受信許可状態中に、受信シフト・レジスタにデータがシフト・インされ、UBnRXレジスタに格納される（受信データが読み出し可能となる）と受信終了割り込み要求信号が発生します。
受信禁止状態中は、受信終了割り込み要求信号は発生しません。

(b) FIFOモード時

受信許可状態中に、受信シフト・レジスタにデータがシフト・インされ、受信FIFOにUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータが転送される（指定した受信トリガ設定数分を読み出し可能となる）と受信終了割り込み要求信号が発生します。

受信禁止状態中は、受信終了割り込み要求信号は発生しません。

(3) 送信許可割り込み要求信号 (INTUBnTIT)**(a) シングル・モード時**

送信シフト・レジスタから7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされ、UBnTXレジスタが空となる（送信データが書き込み可能となる）と送信許可割り込み要求信号を発生します。

(b) FIFOモード時

送信FIFOから送信シフト・レジスタにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される（指定した送信トリガ設定数分が書き込み可能となる）と送信許可割り込み要求信号を発生します。

(4) FIFO送信終了割り込み要求信号 (INTUBnTIF)**(a) シングル・モード時**

使用できません。

(b) FIFOモード時

送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった（空になった）ときにFIFO送信終了割り込み要求信号を発生します。FIFO送信終了割り込み要求信号発生後、FIFOクリア（UBnFIC0.UBnTFCビット = 1）により、保留モード（UBnFIC0.UBnITMビット = 0）時の保留されている割り込み要求信号（INTUBnTIT）をクリアしてください。

注意 送信FIFOに対する次の送信データの書き込み実行が遅れたためにFIFO送信終了割り込み要求信号が発生した（送信データをすべて送信していない）場合は、FIFOクリアを実行しないでください。

(5) 受信タイムアウト割り込み要求信号 (INTUBnTITO)**(a) シングル・モード時**

使用できません。

(b) FIFOモード時

受信時にタイムアウト・カウンタ機能 (UBnFIC1.UBnTCEビット = 1) を使用する場合、UBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに、受信FIFOにデータが格納されている場合は受信タイムアウト割り込み要求信号を発生します。

受信禁止状態中は、受信タイムアウト割り込み要求信号は発生しません。

UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合、受信タイムアウト割り込み要求信号により、指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できます。

また、タイムアウト・カウンタは、スタート・ビットの検出により、カウントを開始するため、1キャラクタも受信していない場合、受信タイムアウト割り込み要求信号は発生しません。

備考 n = 0, 1

16.6 制御方法

(1) シングル・モード/FIFOモード

UBnFIC0.UBnMODビットにより、シングル・モードとFIFOモードの選択ができます。

(a) シングル・モード

- ・ UBnRXレジスタ, UBnTXレジスタが各8ビット幅×1段のみの構成となります。
- ・ 受信時, 1バイト受信でINTUBnTIR信号を発生します。
- ・ INTUBnTIR信号発生後, UBnRXレジスタの受信データを読み出す前にさらに次のUARTBnの受信動作を終了したとき, INTUBnTIRE信号が発生し, オーバラン・エラーとなります。

(b) FIFOモード

- ・ 受信FIFO (UBnRXAPレジスタ) が16ビット幅×16段, 送信FIFOが8ビット幅×16段のFIFO構成となります。
- ・ 受信FIFOは, 受信エラー (パリティ・エラーまたはフレーミング・エラー) が発生したときのみ, 16ビットのUBnRXAPレジスタとして読み出すことで, エラー対象となるデータを認識できます。
- ・ 送信時は, 送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと, 送信許可 (UBnCTL0.UBnTXEビット = 1) にすることにより, 送信動作が開始されます。
- ・ INTUBnTIT信号, INTUBnTIR信号の発生タイミングを保留モード, ポインタ・モードから選択できます。

備考 n = 0, 1

(2) 保留モード/ポインタ・モード

FIFOモード (UBnFIC0.UBnMODビット = 1) 時に, UBnFIC0.UBnITMおよびUBnIRMビットにより, 保留モードとポインタ・モードの選択ができます。

また, 送信時, 送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数の倍以上のデータを書き込んで送信を起動した場合に複数回の送信許可割り込み要求信号 (INTUBnTIT) が発生したり, 受信時, 受信FIFOにUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数が8バイト以下の場合に複数回の受信終了割り込み要求信号 (INTUBnTIR) が発生することがあります。そのため, 保留モード/ポインタ・モードは, 割り込み処理が保留された場合に, そのあと割り込みをどのようにするかを指定することができます。

(a) 保留モード**(i) 送信時 (送信FIFOへの書き込み)**

- ・1回目の送信許可割り込み要求信号 (INTUBnTIT) 発生後, その割り込みに対する送信FIFOへの書き込みが実行されていない場合, 2回目のINTUBnTIT信号の発生条件 (UBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分, 送信FIFOから送信シフト・レジスタにデータが転送された) が発生しても, INTUBnTIT信号は発生しません (保留されます)。その後, 1回目のINTUBnTIT信号に対する送信FIFOへの書き込みが実行されると, この保留されたINTUBnTIT信号を発生させます[※]。

注 保留数は次のようになります。

1バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0000) : 最大15回分

2バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0001) : 最大7回分

:

6バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0101) : 最大1回分

7バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0110) : 最大1回分

8バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0111) : 最大1回分

- ・保留モード時, 送信許可割り込み要求信号 (INTUBnTIT) に対する送信FIFOへの書き込み数は, 必ずUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のみとなります。指定した送信トリガ設定数より多い場合および少ない場合の書き込みは禁止です。指定した送信トリガ設定数以外の書き込みをした場合の動作は保証できません。
- ・DMA制御を使用して, 送信FIFOへ送信データの書き込みを実行する場合は, UBnFIC2.UBnTT3-UBnTT0ビット = 0000 (送信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。

備考 n = 0, 1

(ii) 受信時 (受信FIFOからの読み出し)

- ・1回目の受信終了割り込み要求信号 (INTUBnTIR) 発生後, その割り込みに対する受信FIFOからの読み出しが実行されていない場合, 2回目のINTUBnTIR信号の発生条件 (UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分, 受信FIFOから読み出し可能) が発生しても, INTUBnTIR信号は発生しません (保留されます)。その後, 1回目のINTUBnTIR信号に対する受信FIFOからの読み出しが実行されると, この保留されたINTUBnTIR信号を発生させます^注。

注 保留数は次のようになります。

1バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0000) : 最大15回分

2バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0001) : 最大7回分

:

6バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0101) : 最大1回分

7バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0110) : 最大1回分

8バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0111) : 最大1回分

- ・保留モード時, 受信終了割り込み要求信号 (INTUBnTIR) に対する受信FIFOからの読み出し数は, 必ずUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のみとなります。指定した受信トリガ設定数より多い場合および少ない場合の読み出しは禁止です。指定した受信トリガ設定数以外の読み出しをした場合の動作は保証できません。
- ・DMA制御を使用して, 受信FIFOから受信データの読み出しを実行する場合は, UBnFIC2.UBnRT3-UBnRT0ビット = 0000 (受信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。

(b) ポインタ・モード**(i) 送信時 (送信FIFOへの書き込み)**

- ・送信FIFOから送信シフト・レジスタに1バイトのデータが転送されるごとに, 送信許可割り込み要求信号 (INTUBnTIT) が発生します。
- ・ポインタ・モード時, 送信許可割り込み要求信号 (INTUBnTIT) に対する送信FIFOへの書き込み送信トリガ設定数は, 必ずUBnFIC2.UBnTT3-UBnTT0ビット = 0000 (送信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。
- ・DMA制御を使用して, 送信FIFOへ送信データの書き込みを実行することは禁止です。DMA制御を使用した場合の動作は保証できません。
- ・送信許可割り込み要求信号 (INTUBnTIT) 受け付け後, 送信FIFOへの書き込み時に, UBnFIS1レジスタを参照して, 送信FIFOの空きバイト数分, 送信FIFOに書き込みできます。

備考 n = 0, 1

(ii) 受信時 (受信FIFOからの読み出し)

- ・受信シフト・レジスタから受信FIFOに1バイトのデータが転送されるごとに、受信終了割り込み要求信号 (INTUBnTIR) が発生します。
- ・ポインタ・モード時、受信終了割り込み要求信号 (INTUBnTIR) に対する受信FIFOからの読み出し受信トリガ設定数は、必ずUBnFIC2.UBnRT3-UBnRT0ビット = 0000 (受信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。
- ・DMA制御を使用して、受信FIFOから受信データの読み出しを実行することは禁止です。DMA制御を使用した場合の動作は保証できません。
- ・受信終了割り込み要求信号 (INTUBnTIR) 受け付け後、受信FIFOからの読み出し時に、UBnFIS0レジスタを参照して、受信FIFOの格納バイト数分、受信FIFOから読み出しできます。ただし、INTUBnTIR信号が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBnFIS0.UBnRB4-UBnRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBnRB4-UBnRB0ビット = 00000以外) を確認してから行ってください。

16.7 動作

16.7.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

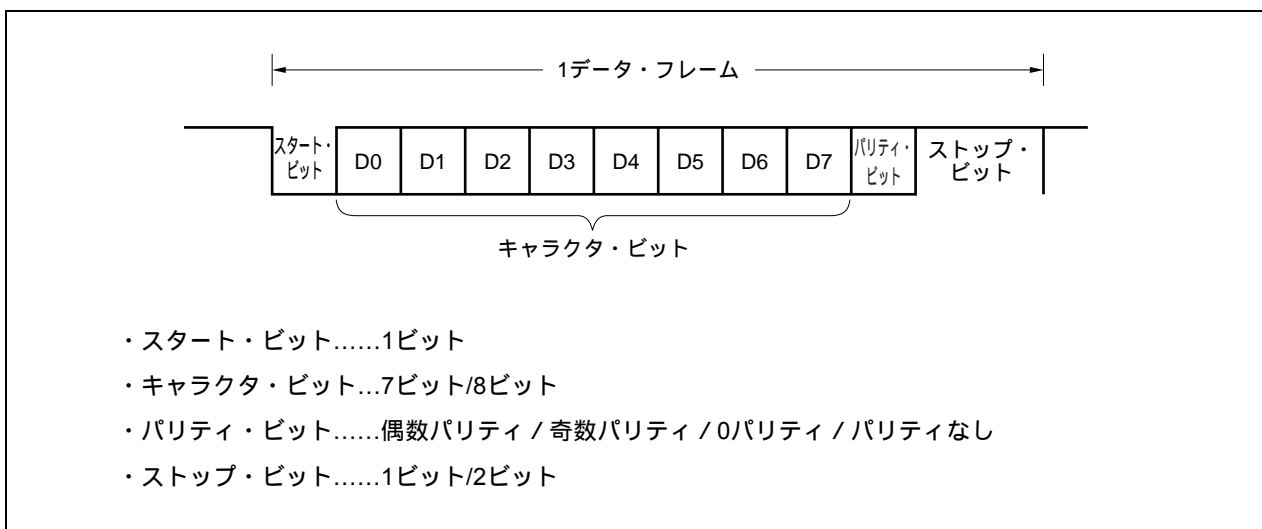
送受信データのフォーマットは図16-4に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、UARTBn 制御レジスタ0 (UBnCTL0) によって行います。

また、データはLSBファースト転送/MSBファースト転送を選択できます。

備考 n = 0, 1

図16-4 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット
(LSBファースト転送の場合)



16.7.2 送信動作

シングル・モード (UBnFIC0.UBnMODビット = 0) 時は、UBnCTL0.UBnTXEビット = 1にすると送信許可状態になり、UBnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。

FIFOモード (UBnFIC0.UBnMODビット = 1) 時は、送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、UBnTXEビット = 1にすると送信動作が開始されます。

注意 FIFOモード時に、送信FIFOへ送信データを書き込む前にUBnCTL0.UBnTXEビット = 1に設定することは禁止です。この設定をした場合の動作は保証できません。

(1) 送信許可状態

UBnCTL0.UBnTXEビットで設定します。

- ・ UBnTXE = 1 : 送信許可状態
- ・ UBnTXE = 0 : 送信禁止状態

ただし、CSIFmと兼用となっているため、CFmCTL0.CFmPWRビットを0に設定したあと、送信許可状態にしてください (m = 3, 4)。

なお、UARTBnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

(2) 送信動作の起動

・ シングル・モード (UBnFIC0.UBnMODビット = 0) 時

シングル・モード時は、送信許可状態のときにUBnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。

・ FIFOモード (UBnFIC0.UBnMODビット = 1) 時

FIFOモード時は、送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBnTXEビット = 1) にすることにより、送信動作が開始されます。

送信動作の開始により、送信データ・レジスタ (シングル・モード時: UBnTXレジスタ, FIFOモード時: 送信FIFO) 内のデータが送信シフト・レジスタに転送されます。そのあと、送信シフト・レジスタはTXDBn端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

備考 n = 0, 1

(3) 送信割り込み要求信号

(a) 送信許可割り込み要求信号 (INTUBnTIT)

- ・ **シングル・モード (UBnFIC0.UBnMODビット = 0) 時**

シングル・モード時は、UBnTXレジスタに送信データの書き込みが可能になる (UBnTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBnTIT) を発生します。

- ・ **FIFOモード (UBnFIC0.UBnMODビット = 1) 時**

FIFOモード時は、送信FIFOから送信シフト・レジスタにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) とINTUBnTIT信号を発生します。

- ・ **FIFOモード時に保留モード (UBnFIC0.UBnITMビット = 0) を指定した場合**

FIFOモード時に保留モードを指定した場合には、1回目のINTUBnTIT信号発生後、その割り込みに対する送信FIFOへのUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されるまで2回目のINTUBnTIT信号の発生条件が発生しても、INTUBnTIT信号は保留されます。その後、1回目のINTUBnTIT信号に対する送信FIFOへの指定送信トリガ設定数分のデータ書き込みが実行されると、保留されていたINTUBnTIT信号を発生させます。

- ・ **FIFOモード時にポインタ・モード (UBnFIC0.UBnITMビット = 1) を指定した場合**

FIFOモード時にポインタ・モードを指定した場合には、1回目のINTUBnTIT信号に対する送信FIFOへのUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されなくても、2回目のINTUBnTIT信号の発生条件が発生すると、INTUBnTIT信号を発生させます。

(b) FIFO送信終了割り込み要求信号 (INTUBnTIF)

FIFOモード (UBnFIC0.UBnMODビット = 1) 時に送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信許可割り込み要求信号 (INTUBnTIF) が発生します。INTUBnTIF信号発生後、FIFOクリア (UBnFIC0.UBnTFCビット = 1) により、保留モード (UBnFIC0.UBnITMビット = 0) 時の保留されているINTUBnTIT信号をクリアしてください。ただし、送信FIFOに対する次の送信データの書き込み実行が遅れたためにINTUBnTIF信号が発生した (送信データをすべて送信していない) 場合は、FIFOクリアを実行しないでください。

なお、次に送信するデータを送信データ・レジスタに書き込まなければ、送信動作は中断されます。

注意 シングル・モードでは、UBnTXレジスタが空になった (UBnTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) 場合に、送信許可割り込み要求信号 (INTUBnTIT) が発生します。また、FIFOモードでは、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合に、FIFO送信終了割り込み要求信号 (INTUBnTIF) が発生します。ただし、 $\overline{\text{RESET}}$ 入力により、送信データ・レジスタが空になった場合には、INTUBnTIT信号、またはINTUBnTIF信号は発生しません。

備考 n = 0, 1

図16 - 5 アシンクロナス・シリアル・インタフェース送信許可割り込み要求信号 (INTUBnTIT) タイミング

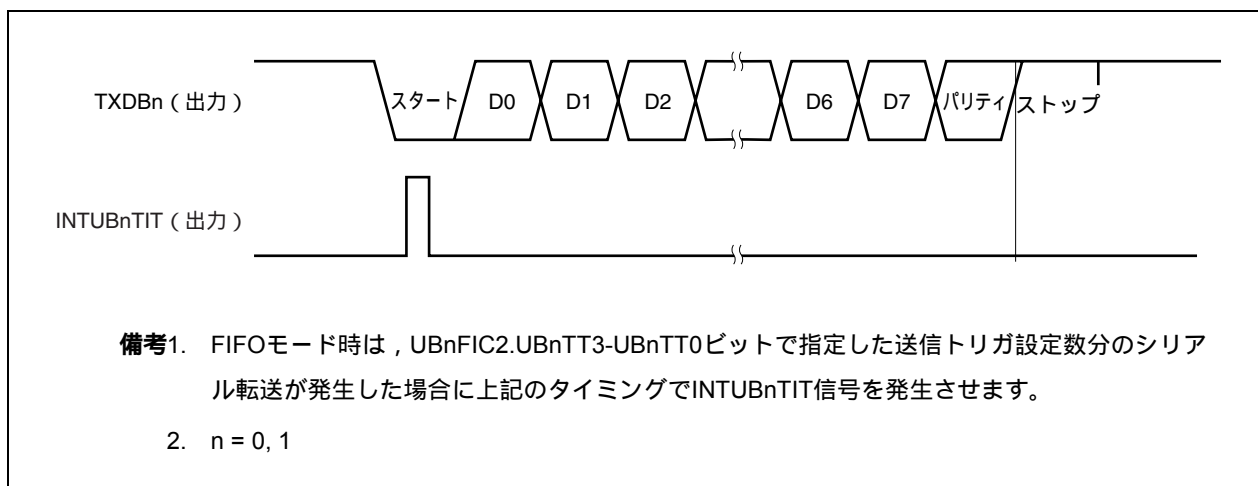
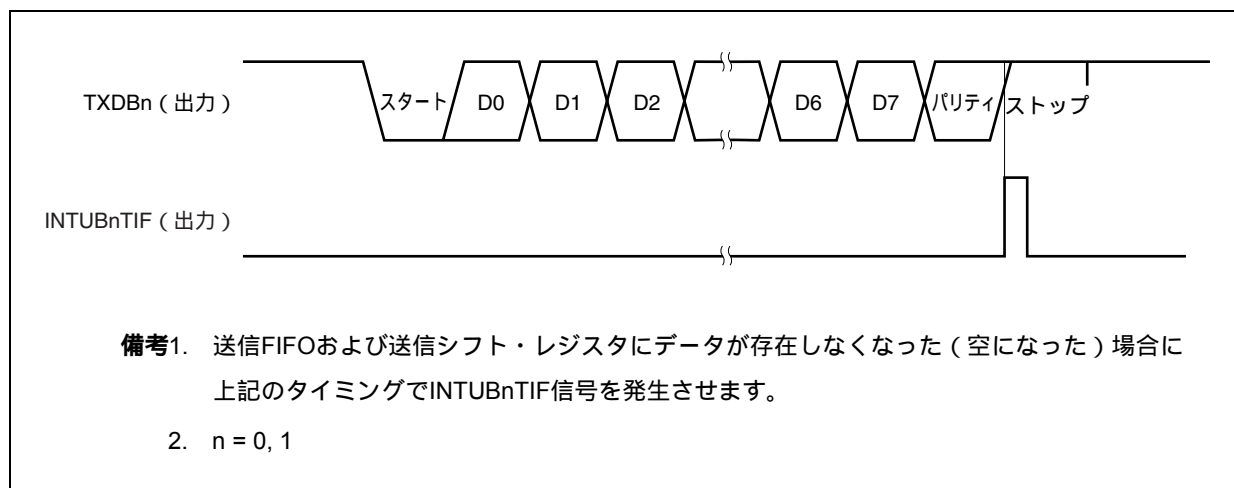


図16 - 6 アシンクロナス・シリアル・インタフェースFIFO送信終了割り込み要求信号 (INTUBnTIF) タイミング



16.7.3 連続送信動作

・シングル・モード (UBnFIC0.UBnMODビット = 0) 時

シングル・モード時、送信シフト・レジスタがシフト動作を開始した時点で、次のデータをUBnTXレジスタへ書き込むことができます。転送タイミングは、送信許可割り込み要求信号 (INTUBnTIT) で判断できます。INTUBnTIT信号により、1データ・フレーム送信期間内に次の送信データをUBnTXレジスタに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

注意 送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください。UBnTSFビットが1のときに初期化を実行した場合は、送信データの保証はできません。

・FIFOモード時に保留モード (UBnFIC0.UBnITMビット = 0) を指定した場合

送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込むと、送信動作が開始されます。

FIFOモード時に保留モードを指定した場合、UBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分の最後のデータを送信シフト・レジスタがシフト動作を開始した時点で、次のデータを送信FIFOへ指定した送信トリガ設定数分のデータを書き込むことができます。転送タイミングは、INTUBnTIT信号で判断できます。INTUBnTIT信号により、指定した送信トリガ設定数分または送信FIFO内のデータの送信期間内に次の送信データを送信FIFOに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

注意 送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBnTIF) での判断でも可能です)。

UBnTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。

DMA制御を使用して、送信FIFOへ送信データの書き込みを実行する場合は、UBnFIC2.UBnTT3-UBnTT0ビットで指定する送信トリガ設定数 = 1バイトとしてください。1バイト以外を指定した場合の動作は保証できません。

・FIFOモード時にポインタ・モード (UBnFIC0.UBnITMビット = 1) を指定した場合

FIFOモード時にポインタ・モードを指定した場合、データを送信シフト・レジスタがシフト動作を開始した時点で、INTUBnTIT信号が発生し、次のデータを書き込むことができます。このとき、UBnFIS1レジスタを参照して、送信FIFOの空きバイト数分、書き込むこともできます。転送タイミングは、INTUBnTIT信号で判断できます。INTUBnTIT信号により、指定した送信トリガ設定数 = 1バイトまたは送信FIFO内のデータの送信期間内に次の送信データを送信FIFOに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

注意 送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBnTIF) での認識も可能です)。

UBnTSFビットが1のときに初期化を実行する場合は、送信データの保証はできません。

備考 n = 0, 1

16.7.4 受信動作

UBnCTL0.UBnPWRビット = 1にし、次にUBnCTL0.UBnRXEビット = 1にすることにより、受信待ち状態になります。RXDBn端子のサンプリングを開始し、スタート・ビットの検出を行います。スタート・ビットを検出すると受信動作を開始し、設定されたポー・レートにあわせて、順に受信シフト・レジスタに格納していきます。

シングル・モード (UBnFIC0.UBnMODビット = 0) 時は、1フレームのデータ受信が終了するごとに受信終了割り込み要求信号 (INTUBnTIR) が発生します。通常、この割り込み処理でUBnRXレジスタからメモリに受信データを転送します。

FIFOモード (UBnFIC0.UBnMODビット = 1) 時は、UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOへ転送することにより、INTUBnTIR信号が発生します。

FIFOモード時に保留モード (UBnFIC0.UBnIRMビット = 0) を指定した場合には、UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOから読み出しできます。

FIFOモード時にポインタ・モード (UBnFIC0.UBnIRMビット = 1) を指定した場合には、UBnRT3-UBnRT0ビットで指定した受信トリガ設定数 (1バイト)、またはUBnFIS0レジスタを参照して、受信FIFOの格納バイト数分 (0バイト以上)、受信FIFOから読み出しできます。

注意 FIFOモード時にポインタ・モードを指定した場合にUBnFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信終了割り込み要求信号 (INTUBnTIR) が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBnFIS0.UBnRB4-UBnRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBnRB4-UBnRB0ビット = 00000以外) を確認してから行ってください。

(1) 受信許可状態

UBnCTL0.UBnRXEビットで設定します。

- ・UBnRXE = 1 : 受信許可状態
- ・UBnRXE = 0 : 受信禁止状態

ただし、CSIFmと兼用となっているため、CFmCTL0.CFmPWRビットを0に設定し、CSIFmの動作を禁止したあと、受信許可状態にしてください (m = 3, 4)。

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信終了割り込み要求信号 / 受信エラー割り込み要求信号は発生せず、受信データ・レジスタ (シングル・モード時: UBnRXレジスタ, FIFOモード時: 受信FIFO (UBnRXAPレジスタ)) の内容は保持されます。

(2) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

UARTBn制御レジスタ2 (UBnCTL2) からのシリアル・クロックでRXDBn端子をサンプリングします。

備考 n = 0, 1

(3) 受信割り込み要求信号

(a) 受信終了割り込み要求信号 (INTUBnTIR)

・シングル・モード (UBnFIC0.UBnMODビット = 0) 時

シングル・モード時は、UBnCTL0.UBnRXEビット = 1のとき、1フレーム分のデータの受信が終了(ストップ・ビットの検出)すると、受信終了割り込み要求信号 (INTUBnTIR) が発生すると同時に、受信シフト・レジスタ内の受信データをUBnRXレジスタに転送します。

また、オーバラン・エラーが発生した場合、そのときの受信データは、UBnRXレジスタに転送されず、受信エラー割り込み要求信号 (INTUBnTIRE) が発生します。

なお、受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、INTUBnTIRE信号が発生します(受信シフト・レジスタ内の受信データはUBnRXレジスタに転送されます)。

また、受信動作中にUBnRXEビットをリセット(0)すると、すぐに受信動作を停止します。このとき、UBnRXレジスタの内容は変化せず、UARTBn状態レジスタ (UBnSTR) の内容はクリアされ、INTUBnTIR信号、またはINTUBnTIRE信号は発生しません。

UBnRXEビット = 0 (受信禁止) では、INTUBnTIR信号は発生しません。

・FIFOモード (UBnFIC0.UBnMODビット = 1) 時

FIFOモード時は、UBnCTL0.UBnRXEビット = 1のとき、1フレーム分のデータの受信が終了(ストップ・ビットの検出)すると、受信シフト・レジスタから受信FIFOへUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分の受信データを転送することにより、受信終了割り込み要求信号 (INTUBnTIR) を発生します。

また、オーバフロー・エラーが発生した場合、そのときの受信データは、受信FIFOに転送されず、受信エラー割り込み要求信号 (INTUBnTIRE) が発生します。

なお、受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、受信終了後に、INTUBnTIRE信号が発生し、受信シフト・レジスタ内の受信データは受信FIFOに転送されます。このとき、エラー情報がUBnRXAP.UBnPEFビット、またはUBnFEFビット = 1として付加されます。INTUBnTIRE信号が発生した場合は、受信FIFOを16ビット・レジスタのUBnRXAPレジスタとして読み出すことで、エラー対象となるデータを認識できます。

備考 n = 0, 1

(b) 受信タイムアウト割り込み要求信号 (INTUBnTITO) (FIFOモード時のみ)

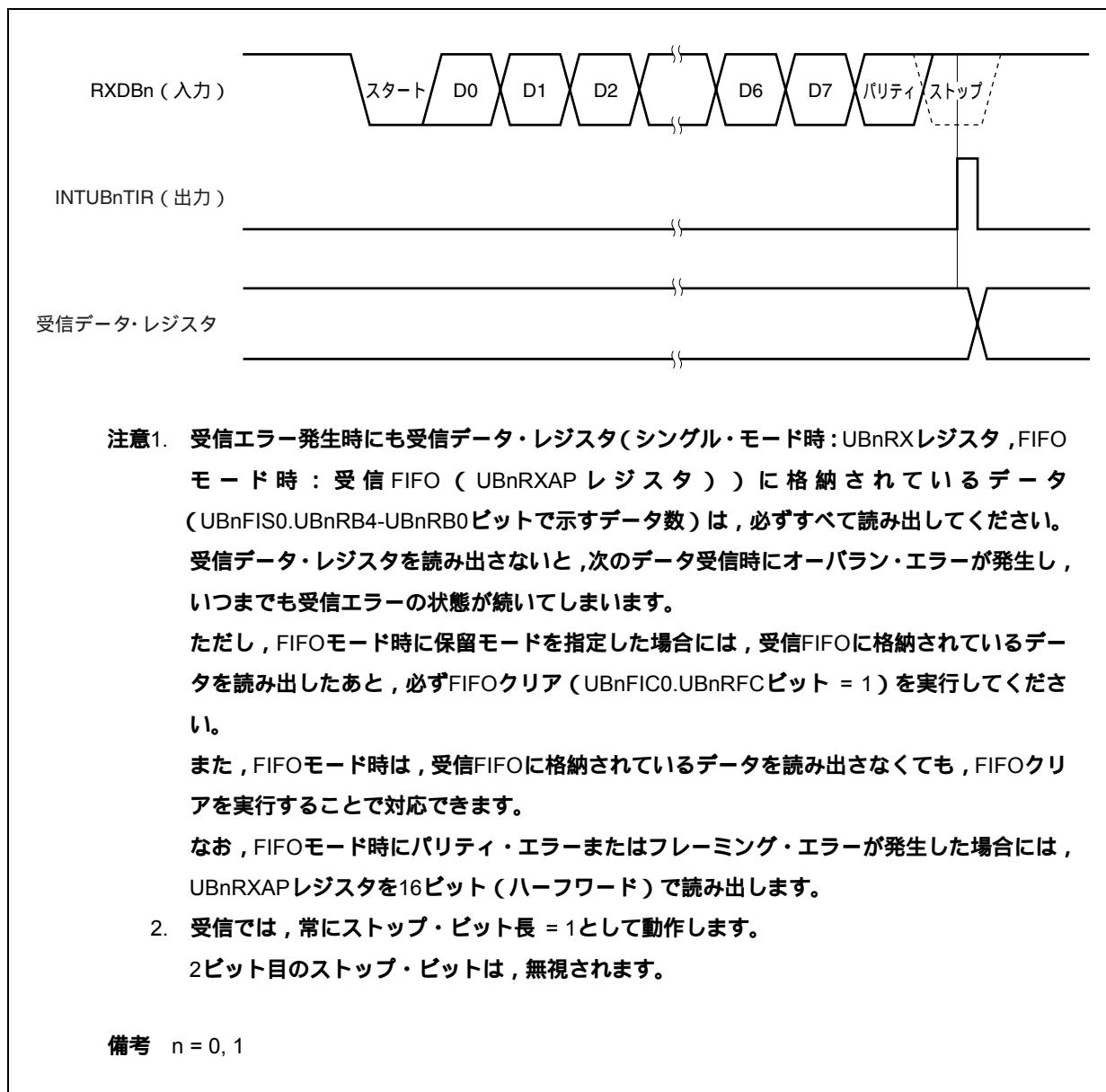
FIFOモード時の受信のときにタイムアウト・カウンタ機能 (UBnFIC1.UBnTCEビット = 1) を使用する場合, UBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに, 受信FIFOにデータが格納されている場合は受信タイムアウト割り込み要求信号 (INTUBnTITO) を発生します。

受信禁止状態中は, INTUBnTITO信号は発生しません。

UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合, INTUBnTITO信号により, 指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できません。

また, タイムアウト・カウンタは, スタート・ビットの検出により, カウントを開始するため, 1キャラクタも受信していない場合, 受信タイムアウト割り込み要求信号は発生しません。

図16 - 7 アシンクロナス・シリアル・インタフェース受信終了割り込み要求信号 (INTUBnTIR) タイミング



注意1. 受信エラー発生時にも受信データ・レジスタ (シングル・モード時: UBnRXレジスタ, FIFOモード時: 受信FIFO (UBnRXAPレジスタ)) に格納されているデータ (UBnFIS0.UBnRB4-UBnRB0ビットで示すデータ数) は, 必ずすべて読み出してください。受信データ・レジスタを読み出さないと, 次のデータ受信時にオーバーラン・エラーが発生し, いつまでも受信エラーの状態が続いてしまいます。

ただし, FIFOモード時に保留モードを指定した場合には, 受信FIFOに格納されているデータを読み出したあと, 必ずFIFOクリア (UBnFIC0.UBnRFCビット = 1) を実行してください。

また, FIFOモード時は, 受信FIFOに格納されているデータを読み出さなくても, FIFOクリアを実行することで対応できます。

なお, FIFOモード時にパリティ・エラーまたはフレーミング・エラーが発生した場合には, UBnRXAPレジスタを16ビット (ハーフワード) で読み出します。

2. 受信では, 常にストップ・ビット長 = 1として動作します。

2ビット目のストップ・ビットは, 無視されます。

備考 n = 0, 1

16.7.5 受信エラー

受信動作時のエラーは、シングル・モード (UBnFIC0.UBnMODビット = 0) 時はパリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類、FIFOモード (UBnFIC0.UBnMODビット = 0) 時はパリティ・エラー、フレーミング・エラー、オーバフロー・エラーの3種類があります。データ受信の結果、シングル・モード時のパリティ・エラー、フレーミング・エラー、オーバラン・エラーはUBnSTR.UBnPE, UBnFE, UBnOVEビット、FIFOモード時のオーバフロー・エラーの場合はUBnSTR.UBnOVFビット、FIFOモード時のパリティ・エラー、フレーミング・エラーの場合はUBnRXAP.UBnPEF, UBnFEFビットのいずれかがセット(1)されると同時に、受信エラー割り込み要求信号 (INTUBnTIRE) が発生します。エラーの内容は、UBnSTRレジスタまたはUBnRXAPレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出できます。

UBnSTRレジスタの内容はUBnOVF, UBnPE, UBnFE, UBnOVEビット、またはUBnCTL0.UBnPWR, UBnRXEビットに0を書き込んだとき、UBnRXAPレジスタの内容はUBnCTL0.UBnPWRビットに0を書き込んだときにリセットされます。

表16-5 受信エラーの要因

エラー・フラグ	有効動作モード	エラー・フラグ	受信エラー	要 因
UBnPE	シングル・モード	UBnPE	パリティ・エラー	送信時のパリティ指定と受信データの パリティが一致しない
UBnFE		UBnFE	フレーミング・エラー	ストップ・ビットが検出されない
UBnOVE		UBnOVE	オーバラン・エラー	UBnRXレジスタからデータを読み出 す前に次のデータ受信が終了
UBnOVF	FIFOモード	UBnOVF	オーバフロー・エラー	受信FIFOがフルの状態、データを読 み出す前に次のデータ受信が終了
UBnPEF		UBnPEF	パリティ・エラー	送信時のパリティ指定と対象受信デー タのパリティが一致しない
UBnFEF		UBnFEF	フレーミング・エラー	対象データの取り込みでストップ・ビ ットが検出されない

備考 n = 0, 1

16.7.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

(1) 偶数パリティ

(a) 送信時

パリティ・ビットを含めた送信データ中の“1”の値のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：1
- ・送信データ中に“1”の値のビット数が偶数個：0

(b) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(2) 奇数パリティ

(a) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の“1”の値のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：0
- ・送信データ中に“1”の値のビット数が偶数個：1

(b) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

16.7.7 受信データのノイズ・フィルタ

周辺クロック (f_{xx}) の立ち上がりでRXDBn信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません (図16-9参照)。

また、回路は図16-8のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図16-8 ノイズ・フィルタ回路

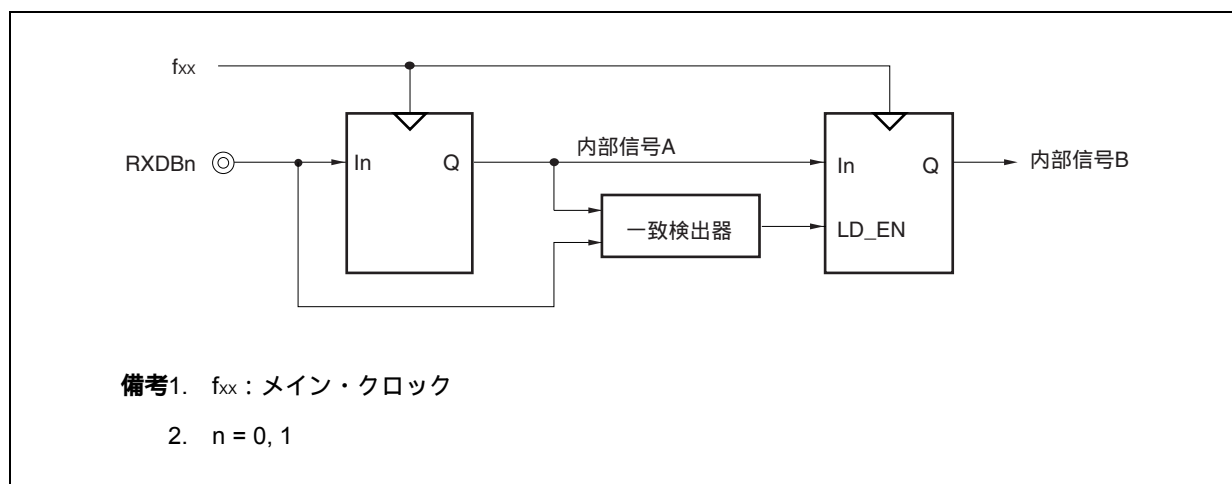
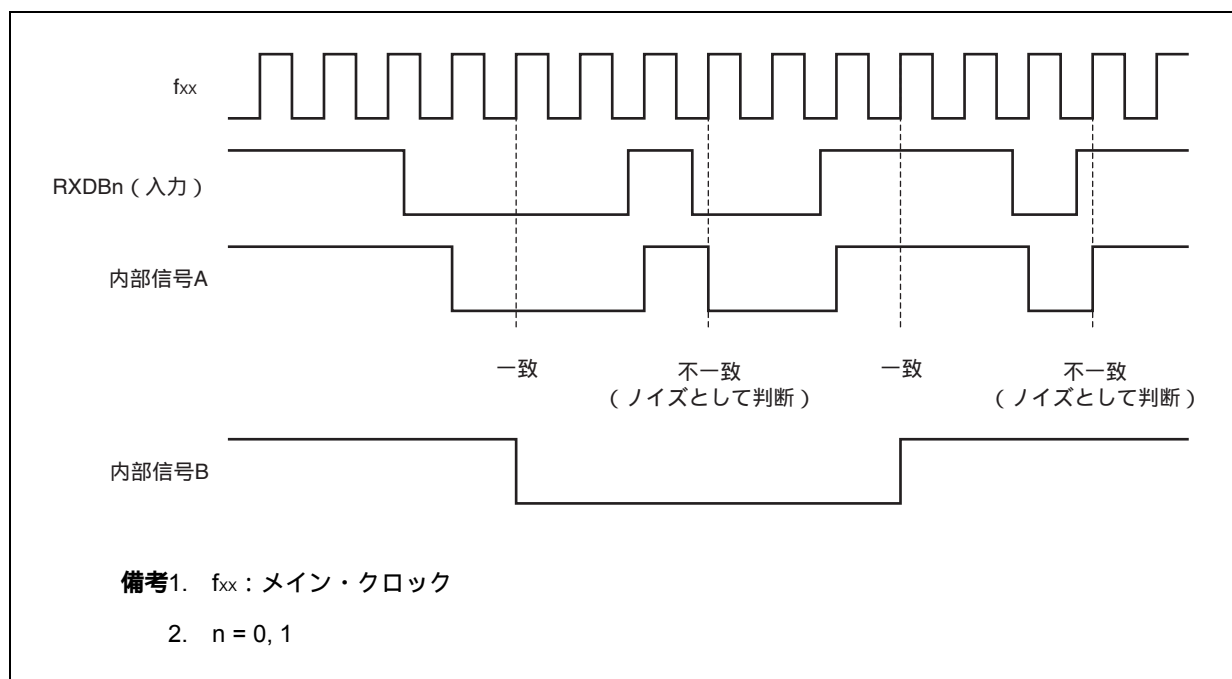


図16-9 ノイズとして判断されるRXDBn信号のタイミング



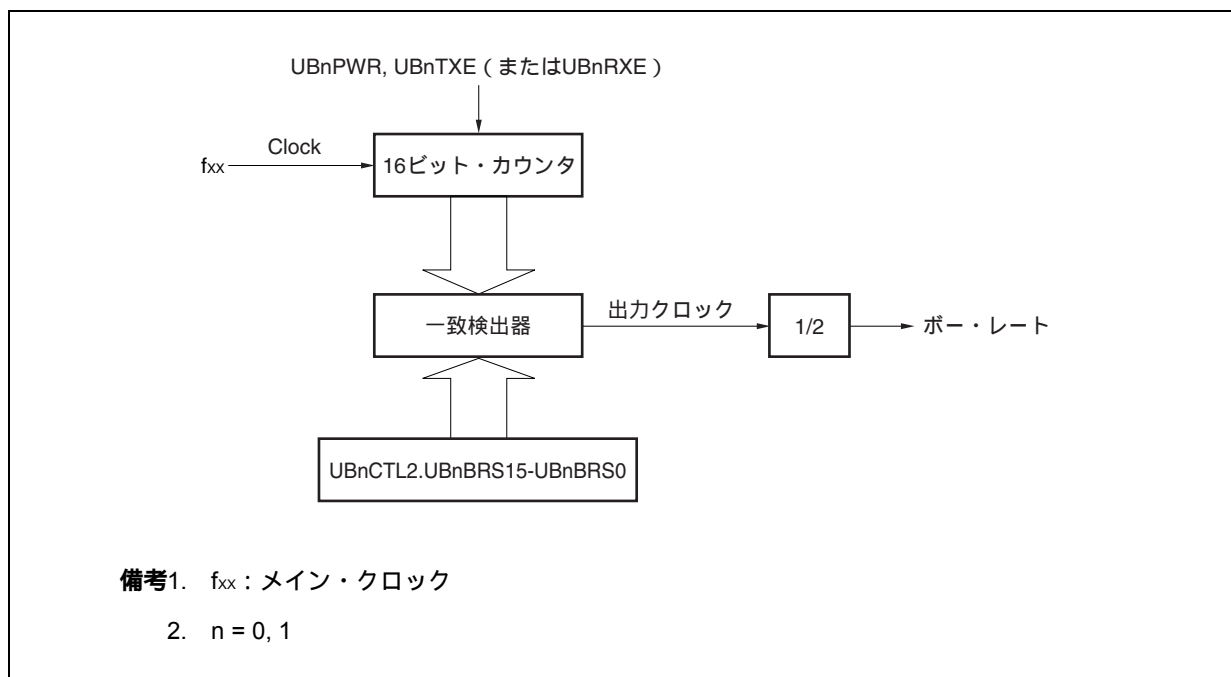
16.8 専用ポー・レート・ジェネレータ (BRG)

専用ポー・レート・ジェネレータは、16ビットのプログラマブル・カウンタにより構成され、UARTBnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、16ビット・カウンタは送信用と受信用が別々に存在します。ただし、同一チャンネルにおける送受信のポー・レートは同一となります。

(1) ポー・レート・ジェネレータの構成

図16 - 10 ポー・レート・ジェネレータの構成



(a) 基本クロック (Clock)

UBnCTL0.UBnPWRビット = 1のとき、メイン・クロック (fxx) を送信 / 受信ユニットに供給します。このクロックを基本クロック (Clock) と呼びます。UBnPWRビット = 0のときは、Clockはロウ・レベルに固定となります。

(2) シリアル・クロックの生成

UBnCTL2レジスタの設定により、シリアル・クロックを生成できます。

UBnCTL2.UBnBRS15-UBnBRS0ビットにより、16ビット・カウンタの分周値を設定できます。

(a) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \text{ [bps]}$$

$f_{\text{UCLK}} = f_{\text{xx}}/2$ (f_{xx} : メイン・クロック周波数)

$k = \text{UBnCTL2.UBnBRS15-UBnBRS0}$ ビットで設定した値 ($k = 4, 5, 6, \dots, 65535$)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 $f_{\text{UCLK}} = 25 \text{ MHz} = 25,000,000 \text{ Hz}$

UBnCTL2.UBnBRS15-UBnBRS0 ビットの設定値 = 000000001010001B

($k = 81$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 25 \text{ M} / (2 \times 81) \\ &= 25000000 / (2 \times 81) = 154321 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (154321/153600 - 1) \times 100 \\ &= 0.469 \text{ [\%]} \end{aligned}$$

なお、 $f_{\text{UCLK}} = 25 \text{ MHz}$ で $k = 40$ の場合は、誤差 0 % になります。

備考 $n = 0, 1$

(3) ボー・レート設定例

表16-6 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 50 MHz		f _{xx} = 48 MHz		f _{xx} = 32 MHz		f _{xx} = 24 MHz	
	UBnCTL2	ERR (%)	UBnCTL2	ERR (%)	UBnCTL2	ERR (%)	UBnCTL2	ERR (%)
300	A2C3	0.00	9C40	0.00	682B	0.00	20000	0.00
600	5161	0.00	4E20	0.00	3415	0.00	10000	0.00
1200	28B1	0.00	2710	0.00	1A0B	0.00	5000	0.00
2400	1458	0.01	1388	0.00	0D05	0.01	2500	0.00
4800	0A2C	0.01	09C4	0.00	0683	-0.02	1250	0.00
9600	0516	0.01	04E2	0.00	0341	0.04	625	0.00
19200	028B	0.01	0271	0.00	01A1	-0.08	313	-0.16
31250	0190	0.00	0180	0.00	0100	0.00	192	0.00
38400	0146	-0.15	0139	-0.16	00D0	0.16	156	0.16
76800	00A3	-0.15	009C	0.16	0068	0.16	78	0.16
153600	0051	0.47	004E	0.16	0034	0.16	39	0.16
312500	0028	0.00	0026	1.05	001A	-1.54	19	1.05
625000	0014	0.00	0013	1.05	000D	-1.54	10	-4.00
1000000	000D	-3.85	000C	0.00	0008	0.00	6	0.00
1250000	000A	0.00	000A	-4.00	0006	6.67	5	-4.00
2000000	0006	4.17	0006	0.00	0004	0.00	3	0.00
2500000	0005	0.00	0005	-4.00	0003	6.67	2	20.00
3000000	0004	4.17	0004	0.00	0003	-11.11	2	0.00
3125000	0004	0.00	0004	-4.00	0003	-14.67	2	-4.00

注意 周辺クロック (f_{xx}) の許容周波数は最大50 MHzです。

ボー・レートの最大転送スピードは、3.125 Mbpsです。

備考1. f_{xx} : 周辺クロック

k : UBnCTL2.UBnBRS15-UBnBRS0ビットの設定値

ERR : ボー・レート誤差 [%]

2. n = 0, 1

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図16 - 11 受信時の許容ポー・レート範囲

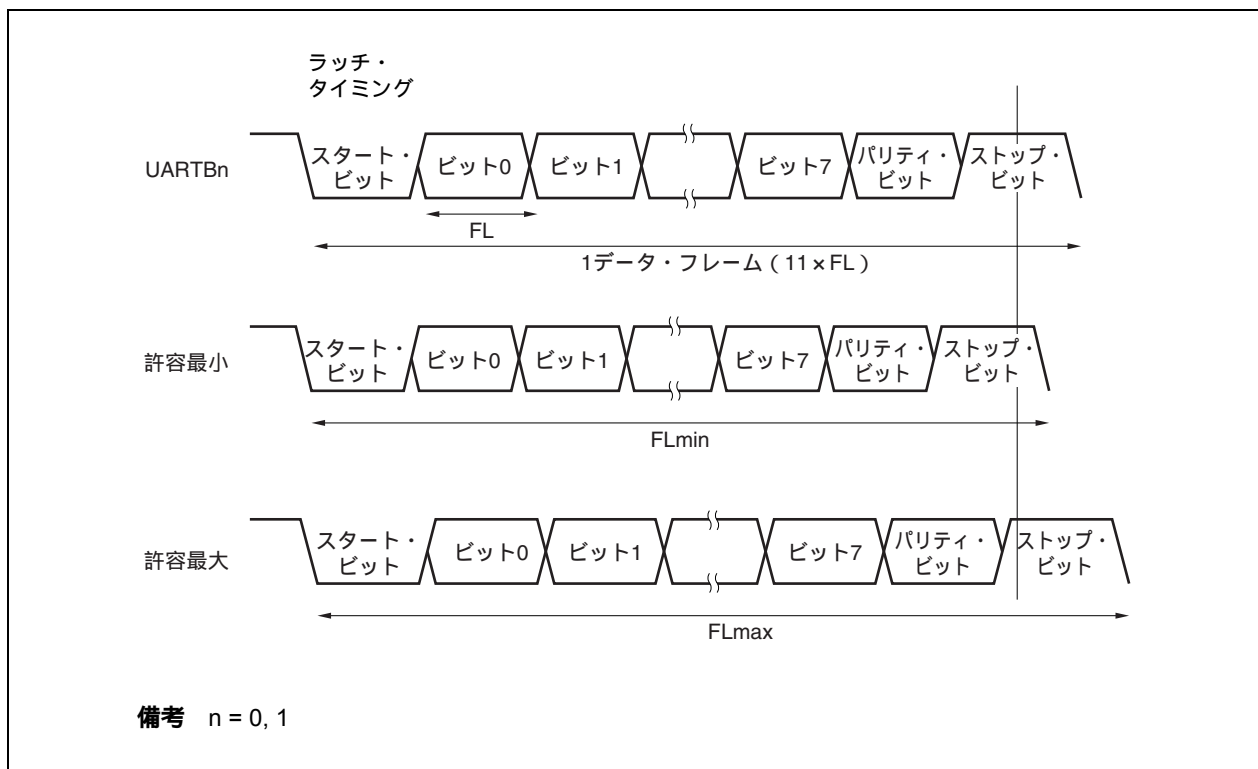


図16 - 11に示すように、スタート・ビット検出後はUBnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTBnのポー・レート

k : UBnCTL2の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小値} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大値を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTBnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表16-7 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.33 %	- 2.44
8	+ 3.53 %	- 3.61
16	+ 4.14 %	- 4.19
32	+ 4.45 %	- 4.48
64	+ 4.61 %	- 4.62
128	+ 4.68 %	- 4.69
256	+ 4.72 %	- 4.73
512	+ 4.74 %	- 4.74
1024	+ 4.75 %	- 4.75
2048	+ 4.76 %	- 4.76
4096	+ 4.76 %	- 4.76
8192	+ 4.76 %	- 4.76
16384	+ 4.76 %	- 4.76
32768	+ 4.76 %	- 4.76
65535	+ 4.76 %	- 4.76

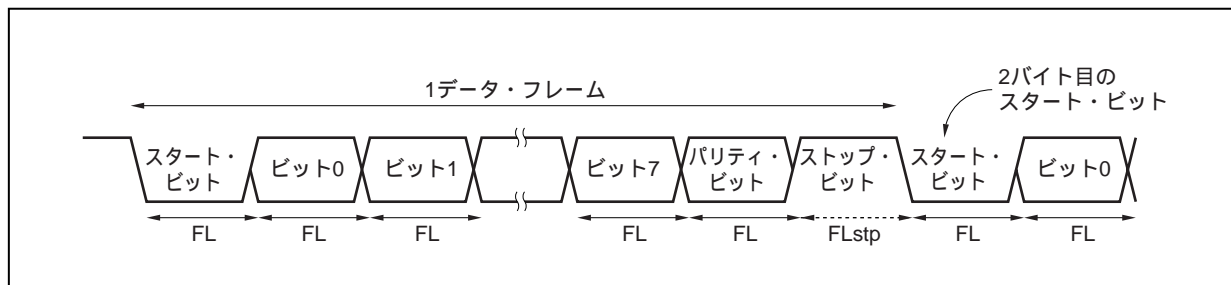
備考1. 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UBnCTL2の設定値

(5) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図16 - 12 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fxxとすると次の式が成り立ちます。

$$FLstp = FL + 2 / (fxx)$$

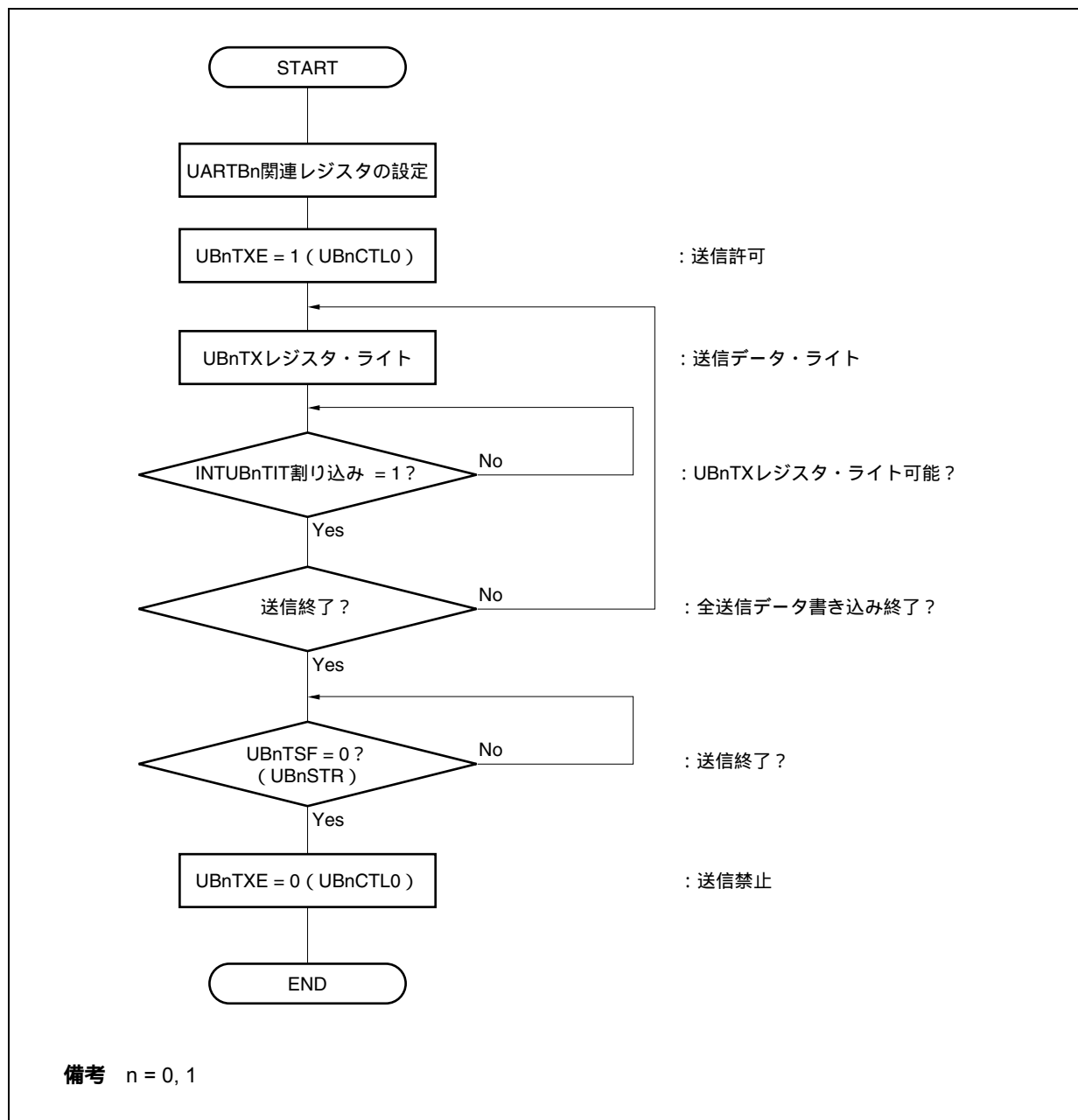
したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + 2 / (fxx)$$

16.9 制御フロー

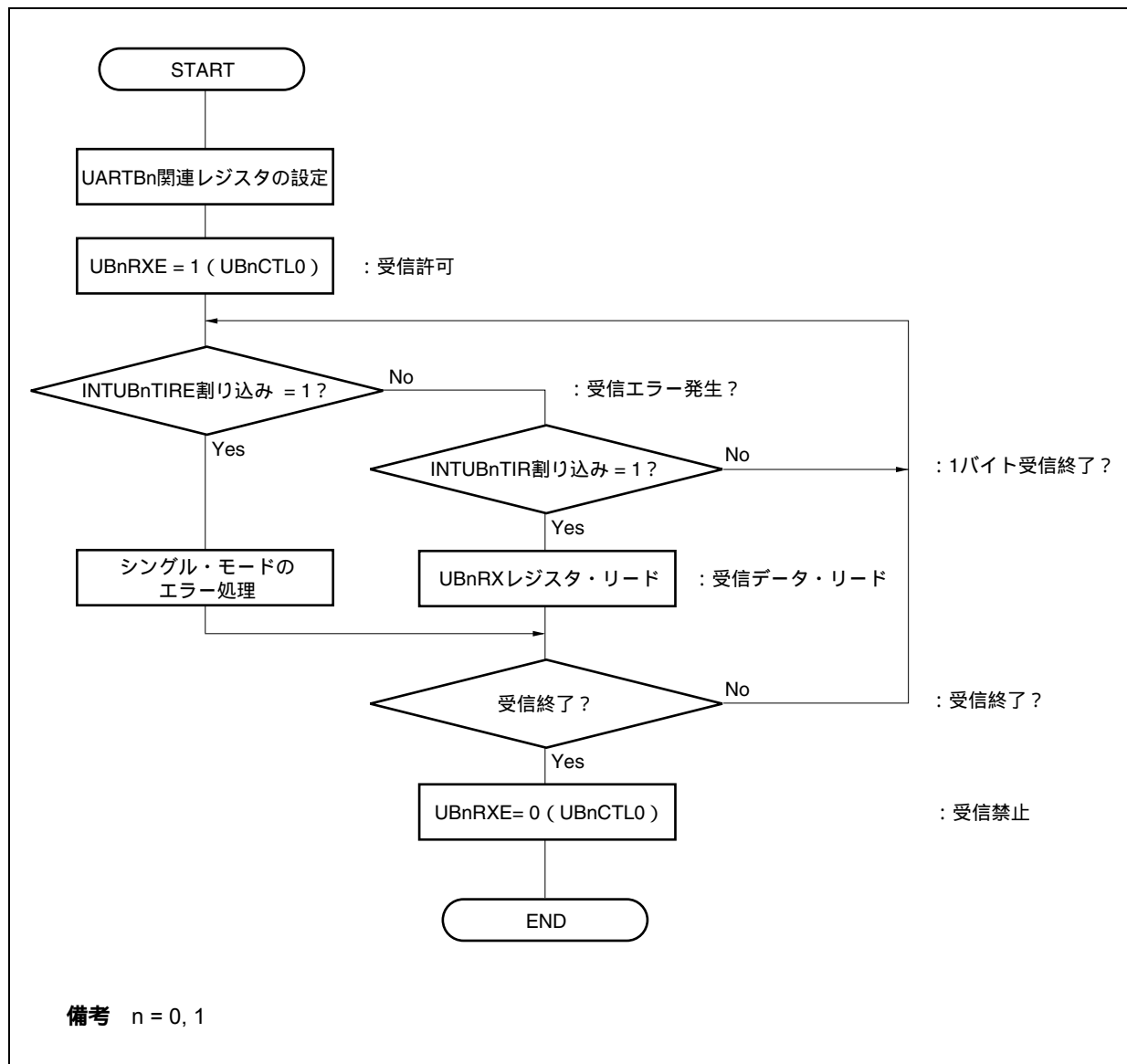
(1) シングル・モード時の連続送信処理概略フロー例 (CPU制御)

図16 - 13 シングル・モード時の連続送信処理概略フロー例 (CPU制御)



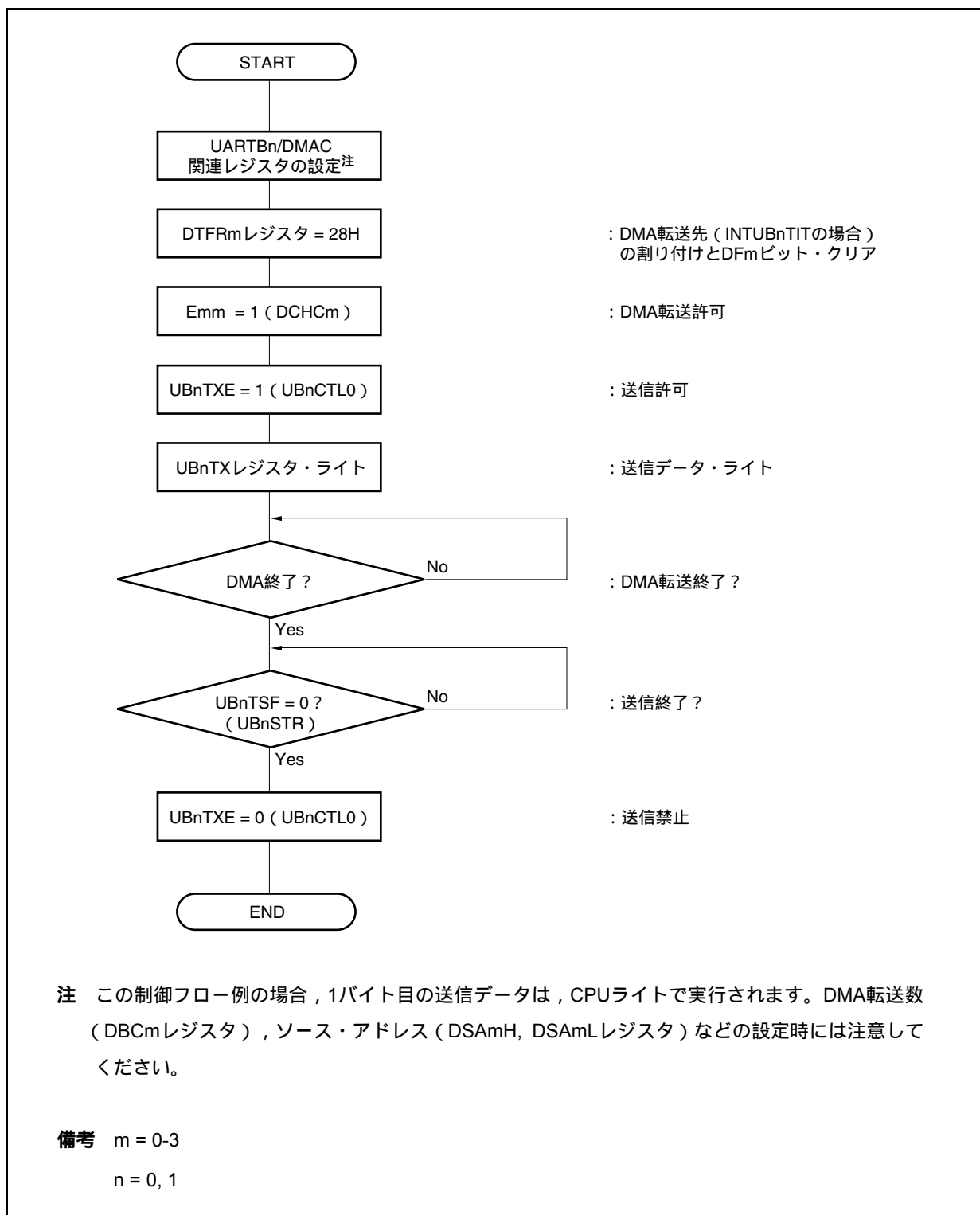
(2) シングル・モード時の連続受信処理概略フロー例 (CPU制御)

図16 - 14 シングル・モード時の連続受信処理概略フロー例 (CPU制御)



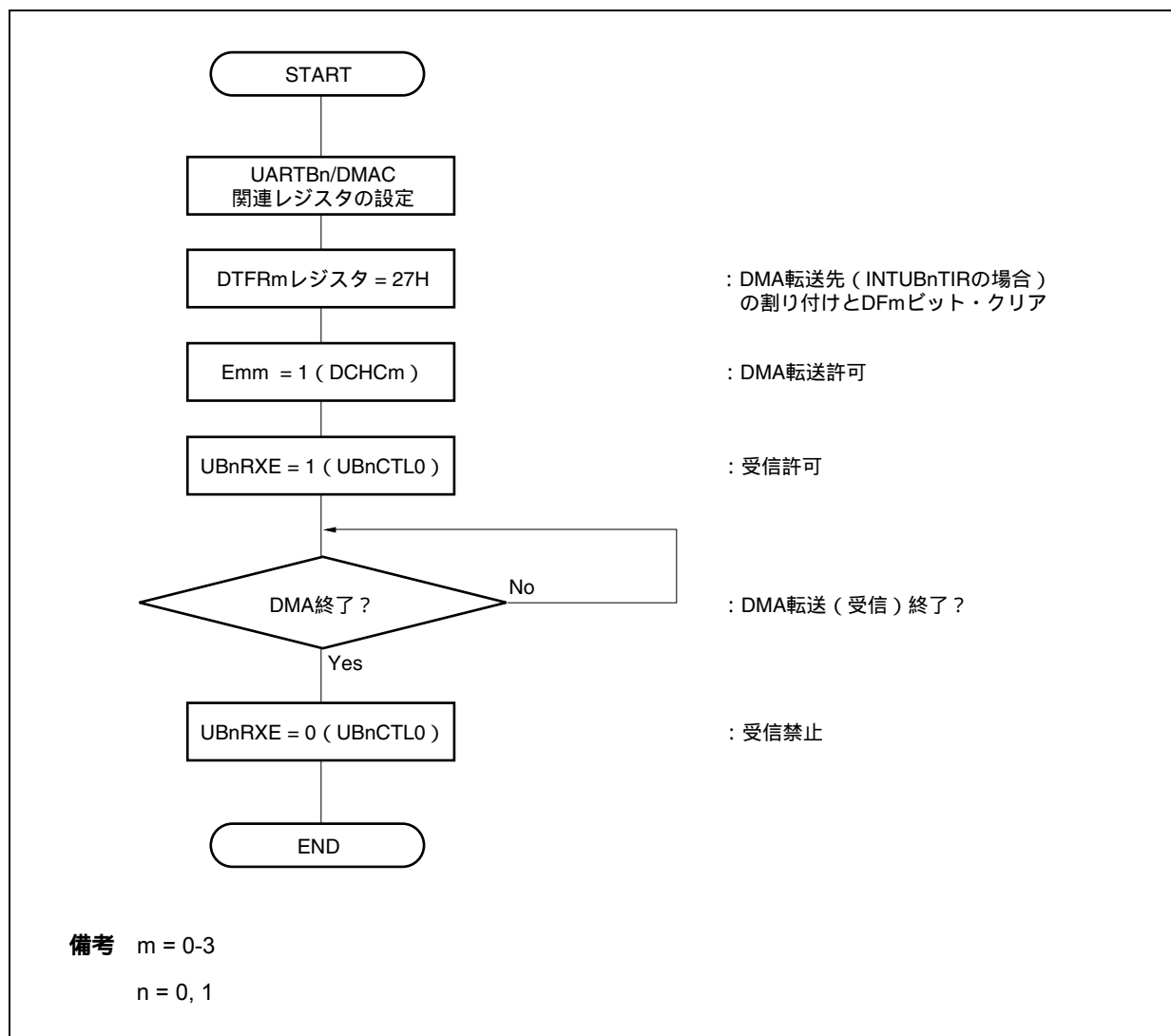
(3) シングル・モード時の連続送信処理概略フロー例 (DMA制御)

図16 - 15 シングル・モード時の連続送信処理概略フロー例 (DMA制御)



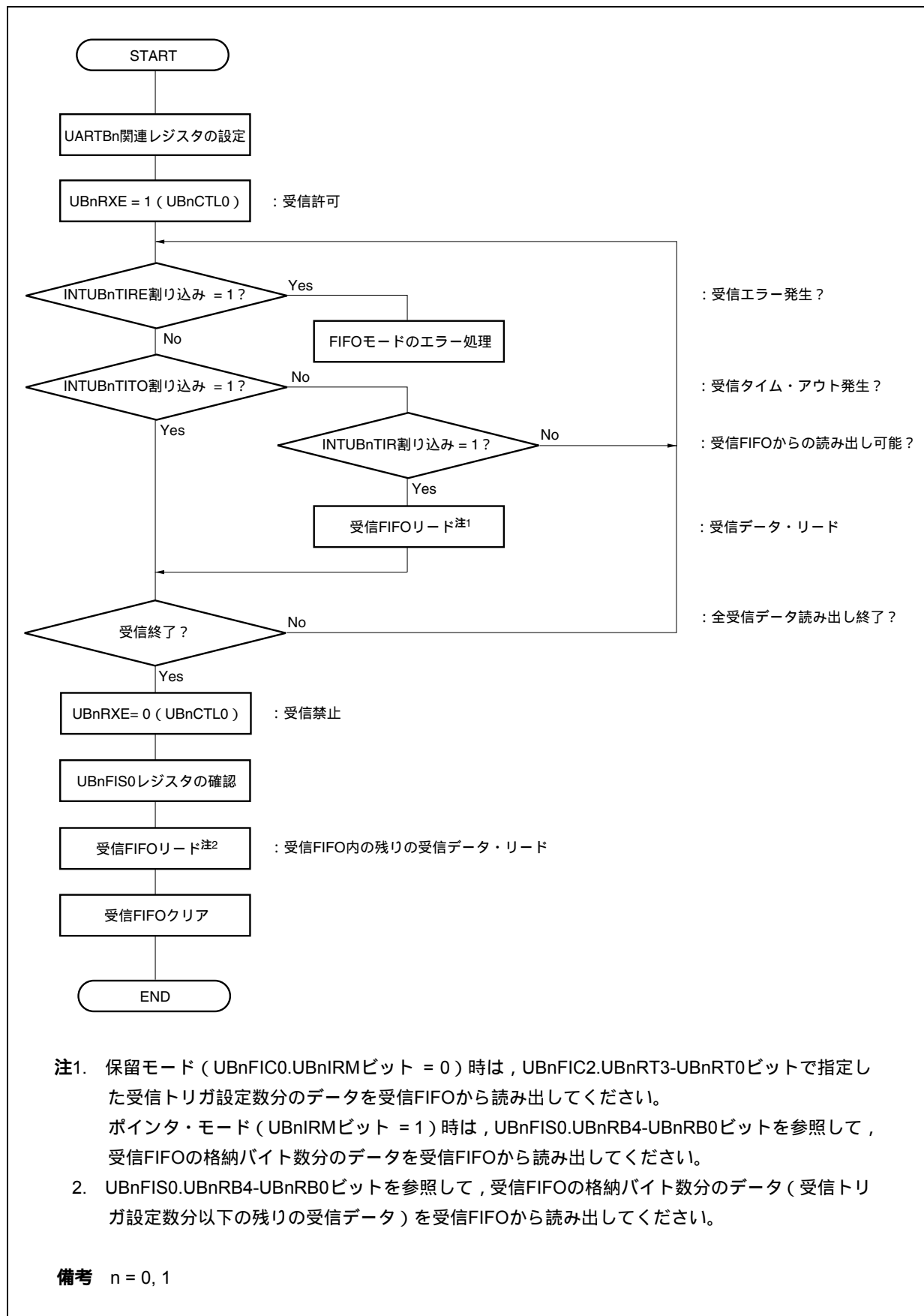
(4) シングル・モード時の連続受信処理概略フロー例 (DMA制御)

図16 - 16 シングル・モード時の連続受信処理概略フロー例 (DMA制御)



(6) FIFOモード時の連続受信処理概略フロー例 (CPU制御)

図16 - 18 FIFOモード時の連続受信処理概略フロー例 (CPU制御)

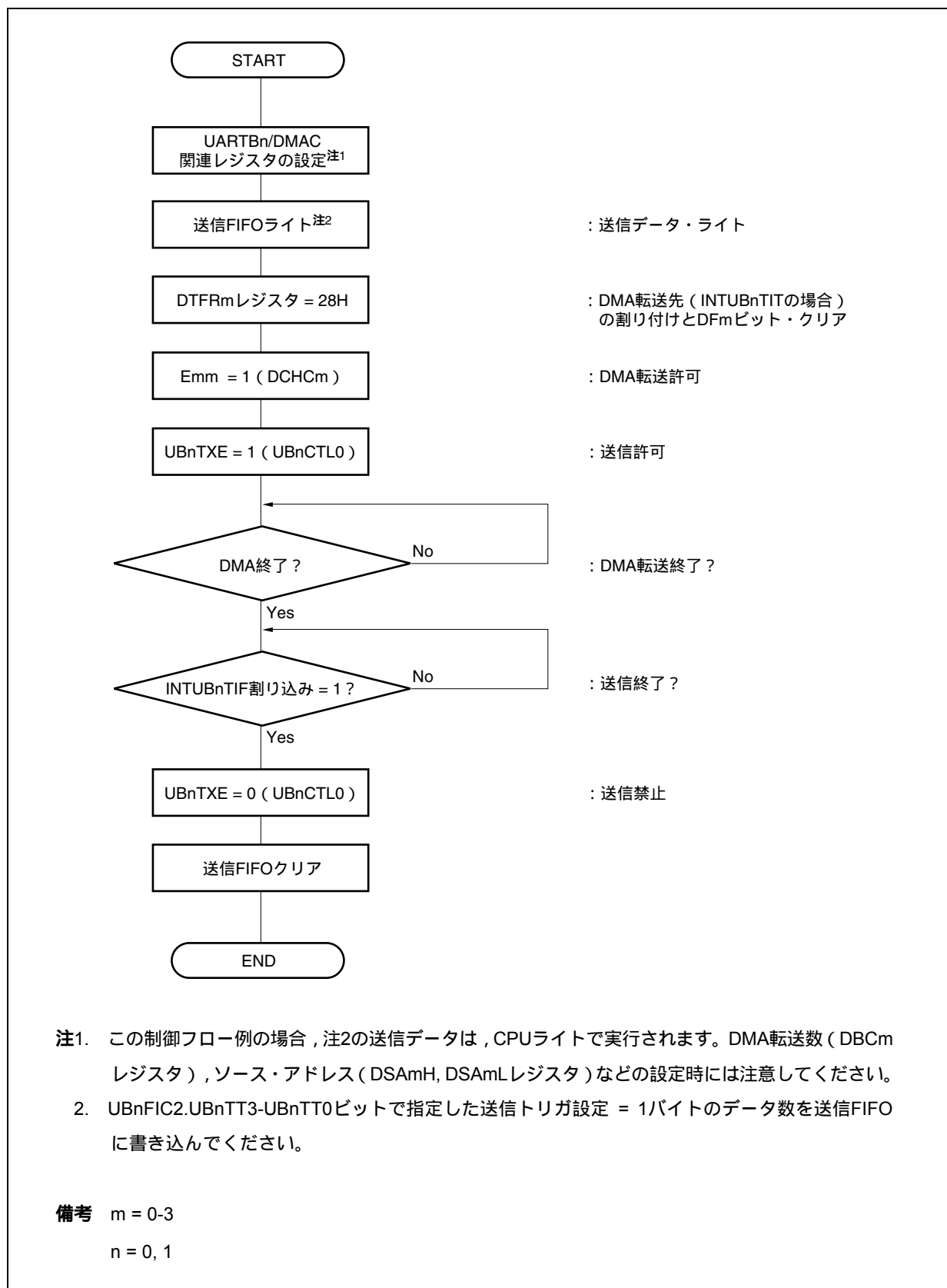


注1. 保留モード (UBnFIC0.UBnIRMビット = 0) 時は, UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOから読み出してください。
 ポインタ・モード (UBnIRMビット = 1) 時は, UBnFIS0.UBnRB4-UBnRB0ビットを参照して, 受信FIFOの格納バイト数分のデータを受信FIFOから読み出してください。
 2. UBnFIS0.UBnRB4-UBnRB0ビットを参照して, 受信FIFOの格納バイト数分のデータ (受信トリガ設定数分以下の残りの受信データ) を受信FIFOから読み出してください。

備考 n = 0, 1

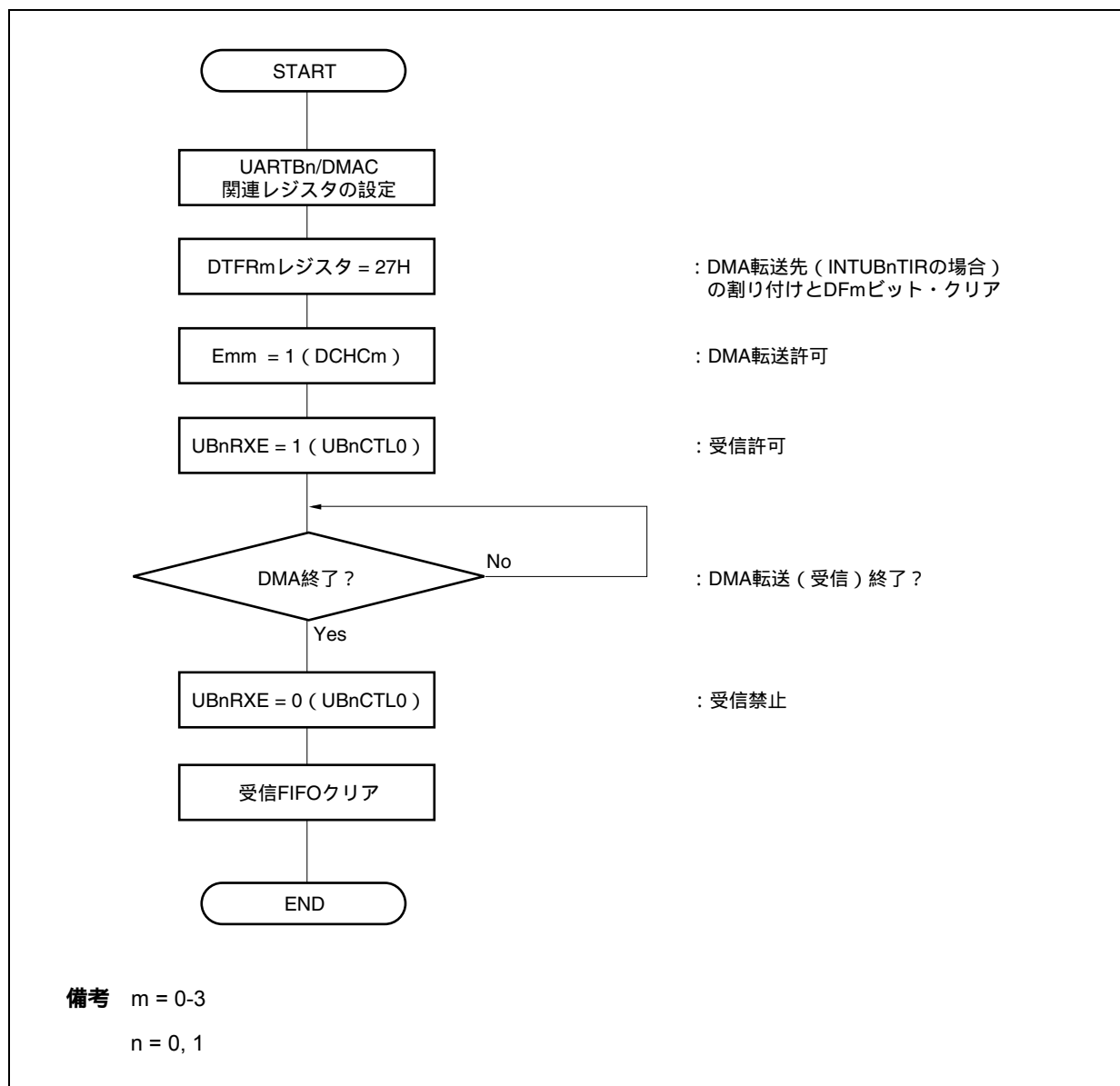
(7) FIFOモード時の連続送信 (保留モード時) 処理概略フロー例 (DMA制御)

図16 - 19 FIFOモード時の連続送信 (保留モード時) 処理概略フロー例 (DMA制御)



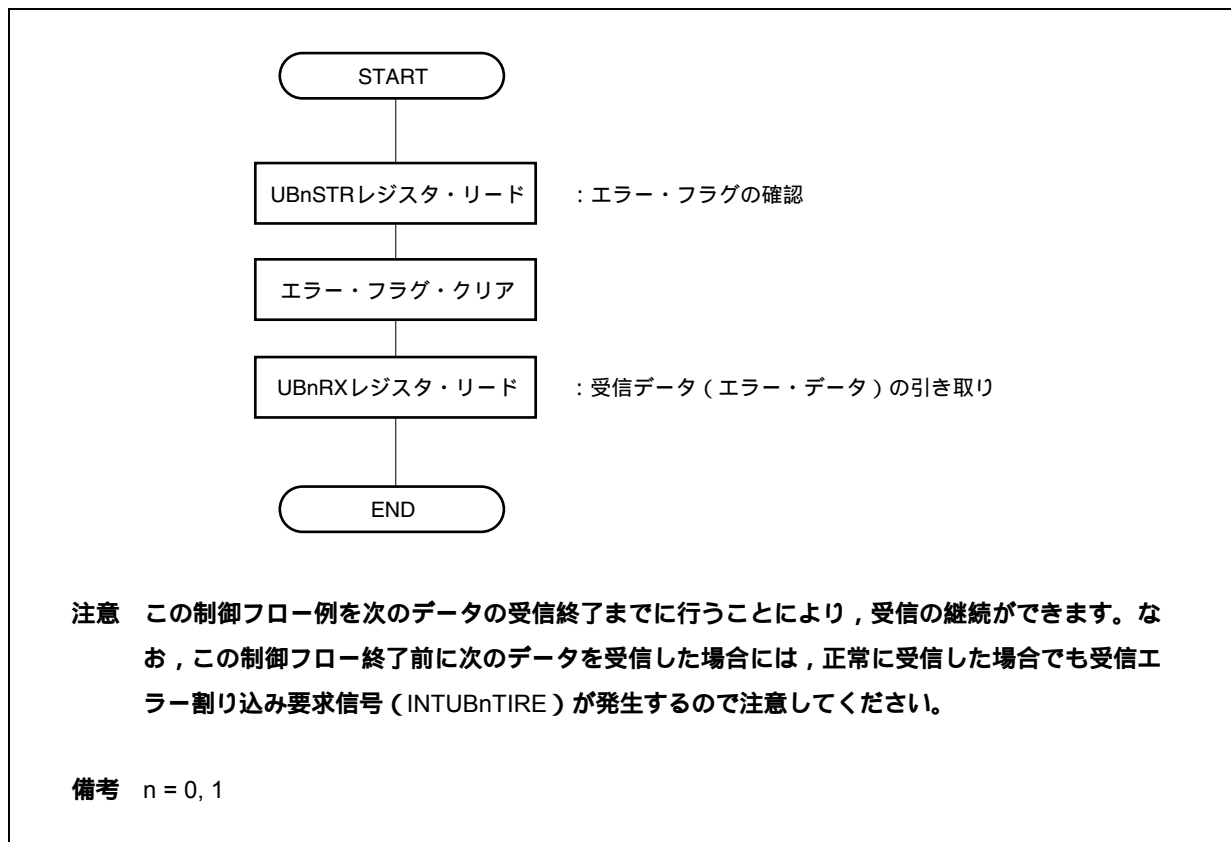
(8) FIFOモード時の連続受信 (保留モード時) 処理概略フロー例 (DMA制御)

図16 - 20 FIFOモード時の連続受信 (保留モード時) 処理概略フロー例 (DMA制御)



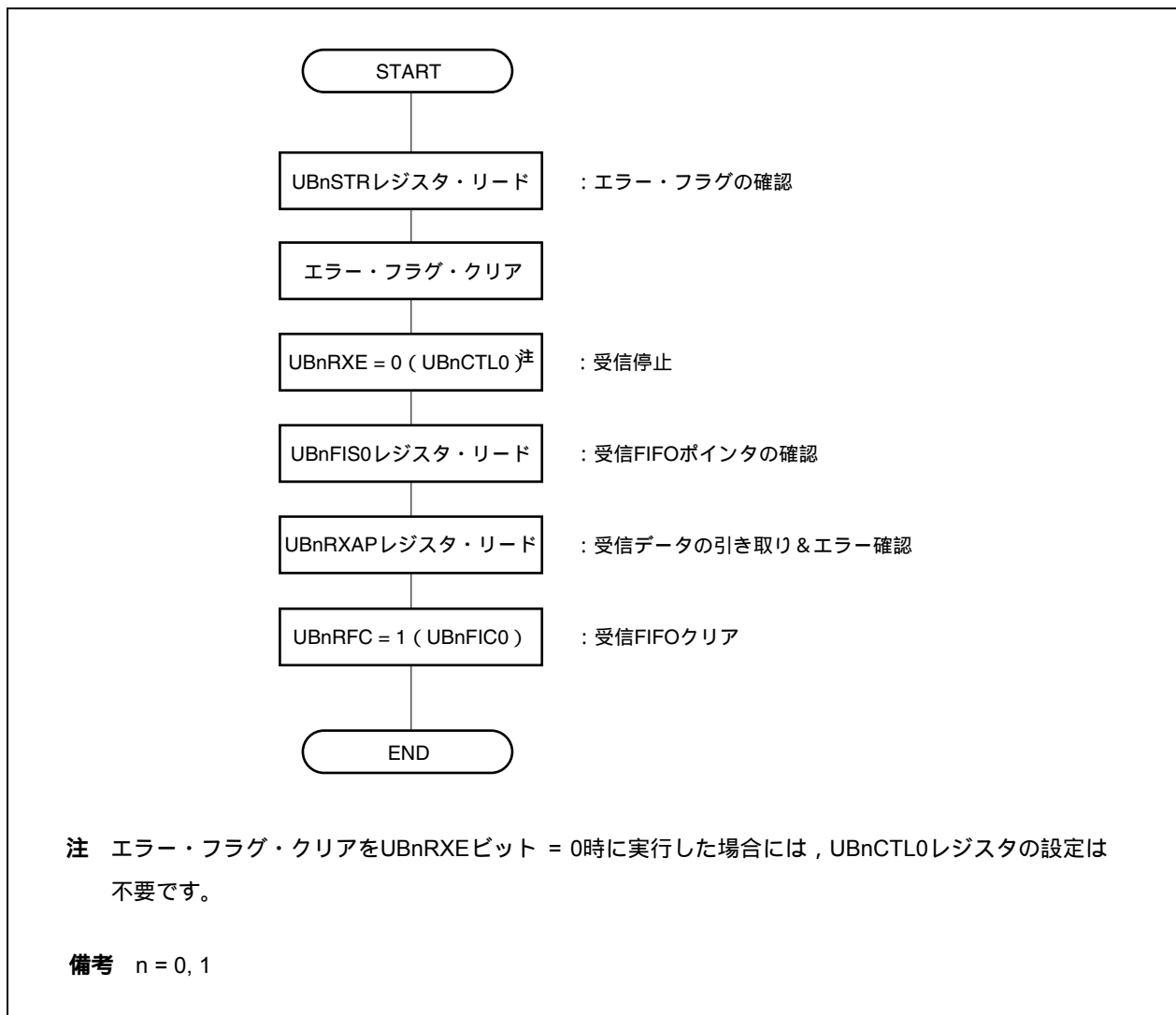
(9) シングル・モード時の受信エラー処理フロー例

図16 - 21 シングル・モード時の受信エラー処理フロー例



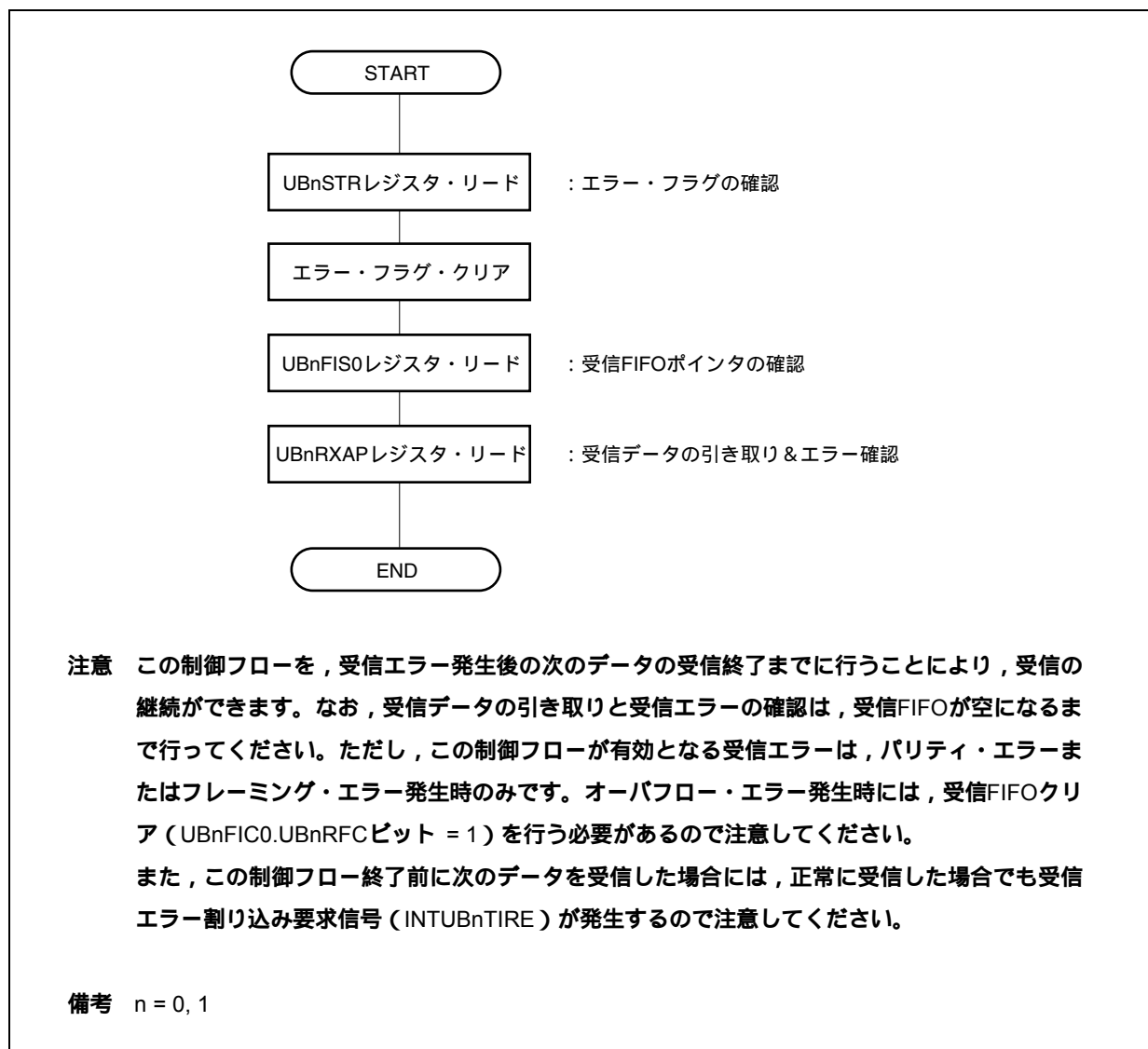
(10) FIFOモード時の受信エラー処理フロー例(1)

図16 - 22 FIFOモード時の受信エラー処理フロー例(1)



(11) FIFOモード時の受信エラー処理フロー例(2)

図16-23 FIFOモード時の受信エラー処理フロー例(2)



16.10 注意事項

UARTBnについての注意事項を次に示します。

(1) UARTBnへの供給クロックが停止した場合

UARTBnへの供給クロックが停止する場合(例: IDLE, STOPモード)は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDBn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUBnPWRビット = 0, UBnRXEビット = 0, UBnTXEビット = 0とし、回路を初期化してください。

(2) UBnCTL0レジスタ設定時の注意

- UARTBnを使用する場合には、必ずUARTBn機能に関連する外部端子を兼用機能に設定したあと、UBnCTL2レジスタの設定を行ってからUBnCTL0.UBnPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。
- UARTBn機能に関連する外部端子を兼用機能に設定する場合には、RXDBn端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBnCTL0.UBnRXEビットをセット(1)したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。

(3) UBnFIC2レジスタ設定時の注意

UBnFIC2レジスタへのライトは、必ずUBnCTL0.UBnTXEビット = 0(送信禁止状態)およびUBnRXEビット = 0(受信禁止状態)に設定してから行ってください。UBnTXEビット, またはUBnRXEビットのいずれかを1に設定したままUBnFIC2レジスタをライトした場合の動作は保証できません。

(4) 送信割り込み要求信号

シングル・モードでは、UBnTXレジスタが空になった(UBnTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される)場合に、送信許可割り込み要求信号(INTUBnTIT)が発生します。また、FIFOモードでは、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった(空になった)場合に、FIFO送信終了割り込み要求信号(INTUBnTIF)が発生します。

ただし、RESET入力により、送信データ・レジスタが空になった場合には、INTUBnTIT信号、またはINTUBnTIF信号は発生しません。

(5) シングル・モード時の連続送信での初期化

送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください。UBnTSFビットが1のときに初期化を実行した場合は、送信データの保証はできません。

(6) FIFOモード時の連続送信(保留モード時)での初期化

送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください(FIFO送信終了割り込み要求信号(INTUBnTIF)での判断でも可能です)。UBnTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。

DMA制御を使用して、送信FIFOへ送信データの書き込みを実行する場合は、UBnFIC2.UBnTT3-UBnTT0ビットで指定する送信トリガ設定数 = 1バイトとしてください。1バイト以外を指定した場合の動作は保証できません。

(7) FIFOモード時の連続送信 (ポインタ・モード時)での初期化

送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBnTIF)での認識も可能です)。UBnTSFビットが1のときに初期化を実行する場合は、送信データの保証はできません。

(8) FIFOモード時 (ポインタ・モード指定)の受信動作

FIFOモード時にポインタ・モードを指定した場合にUBnFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信終了割り込み要求信号 (INTUBnTIR)が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBnFIS0.UBnRB4-UBnRB0ビット = 00000)場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBnRB4-UBnRB0ビット = 00000以外)を確認してから行ってください。

備考 n = 0, 1

第17章 アシクロナス・シリアル・インタフェースC(UARTC)

V850ES/JH3-EはUARTCを6チャンネル，V850ES/JJ3-Eは8チャンネル搭載しています。

17.1 特徴

転送速度 300 bps ~ 3.125Mbps (内部システム・クロック24 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTCn受信データ・レジスタ (UCnRX) 内蔵

UARTCn送信データ・レジスタ (UCnTX) 内蔵

2端子構成 TXDCn : 送信データの出力端子

RXDCn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 2種類

- ・受信完了割り込み (INTUCnR) : 受信許可状態において, シリアル転送完了後, 受信シフト・レジスタから受信データ・レジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUCnT) : 送信許可状態において, 送信データ・レジスタから送信シフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7-9ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

LIN (Local Interconnect Network) 通信フォーマットにおけるSBF (Synch Break Field) 送信可能

- ・SBF送信は13-20ビットまで選択可能
- ・SBF受信は11ビット以上認識可能
- ・SBF受信フラグあり

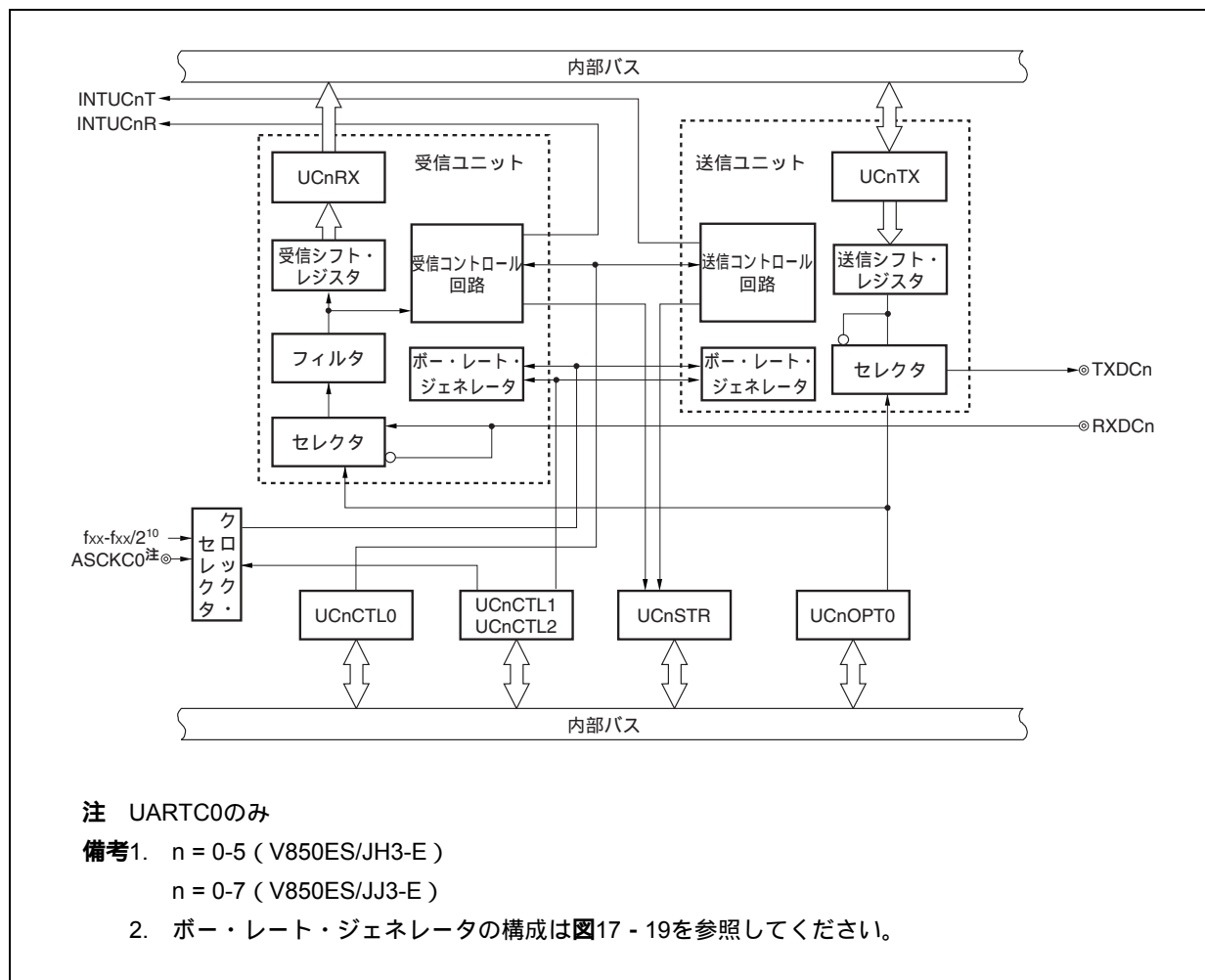
備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

17.2 構成

次にUARTCnのブロック図を示します。

図17 - 1 アシクロナス・シリアル・インタフェースCnのブロック図



UARTCnは、次のハードウェアで構成されています。

表17 - 1 UARTCnの構成

項目	構成
レジスタ	UARTCn制御レジスタ0 (UCnCTL0)
	UARTCn制御レジスタ1 (UCnCTL1)
	UARTCn制御レジスタ2 (UCnCTL2)
	UARTCnオプション制御レジスタ0 (UCnOPT0)
	UARTCnオプション制御レジスタ1 (UCnOPT1)
	UARTCn状態レジスタ (UCnSTR)
	UARTCn受信シフトレジスタ
	UARTCn受信データレジスタ (UCnRX)
	UARTCn送信シフトレジスタ
	UARTCn送信データレジスタ (UCnTX)

(1) UARTCn制御レジスタ0 (UCnCTL0)

UCnCTL0レジスタは、UARTCnの動作を指定する8ビット・レジスタです。

(2) UARTCn制御レジスタ1 (UCnCTL1)

UCnCTL1レジスタは、UARTCnの入カクロックを選択する8ビット・レジスタです。

(3) UARTCn制御レジスタ2 (UCnCTL2)

UCnCTL2レジスタは、UARTCnのポー・レート制御する8ビット・レジスタです。

(4) UARTCnオプション制御レジスタ0 (UCnOPT0)

UCnOPT0レジスタは、UARTCnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTCnオプション制御レジスタ1 (UCnOPT1)

UCnOPT1レジスタは、UARTCnの9ビット長でのシリアル転送を制御する8ビット・レジスタです。

(6) UARTCn状態レジスタ (UCnSTR)

UCnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)されます。

(7) UARTCn受信シフト・レジスタ

RXCn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUCnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(8) UARTCn受信データ・レジスタ (UCnRX)

UCnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます(LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTCn受信シフト・レジスタからUCnRXレジスタに転送されます。

また、UCnRXレジスタへの転送により、受信完了割り込み要求信号(INTUCnR)が発生します。

(9) UARTCn送信シフト・レジスタ

送信シフト・レジスタは、UCnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UCnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXCn端子から出力します。

このレジスタは直接操作することはできません。

(10) UARTCn送信データ・レジスタ (UCnTX)

UCnTXレジスタは、8ビットの送信データ用バッファです。UCnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UCnTXレジスタにデータの書き込みが可能になる(UCnTXレジスタからUARTCn送信シフト・レジスタに1フレーム分のデータが転送される)と、送信許可割り込み要求信号(INTUCnT)が発生します。

17.3 UARTCとほかのシリアル・インタフェースのモード切り替え

17.3.1 UARTC0とCSIF2とのモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは, UARTC0とCSIF2は端子が兼用になっており, 同時には使用できません。UARTC0を使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタで設定する必要があります。

注意 UARTC0またはCSIF2において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-2 UARTC0とCSIF2のモード切り替え設定

リセット時: 00H R/W アドレス: FFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時: 00H R/W アドレス: FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時: 00H R/W アドレス: FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30

PMC32	PFCE32	PFC32	動作モード
0	x	x	ポート入出力モード
1	0	0	ASCKC0 (UARTC0)
1	0	1	SCKF2 (CSIF2)

PMC31	PFCE31	PFC31	動作モード
0	x	x	ポート入出力モード
1	0	0	RXDC0 (UARTC0)
1	0	1	SOF2 (CSIF2)

PMC30	PFCE30	PFC30	動作モード
0	x	x	ポート入出力モード
1	0	0	TXDC0 (UARTC0)
1	0	1	SIF2 (CSIF2)

備考 x = don't care

17.3.2 UARTC1とCSIF1とI²C00のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは, UARTC1とCSIF1とI²C00は端子が兼用になっており, 同時には使用できません。UARTC1を使用するときは, あらかじめPMC2, PFC2, PFCE2レジスタで設定する必要があります。

注意 UARTC1とCSIF1とI²C00において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-3 UARTC1とCSIF1とI²C00のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF444H								
	7	6	5	4	3	2	1	0
PMC2	PMC27 ^注	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
リセット時 : 00H R/W アドレス : FFFFF464H								
	7	6	5	4	3	2	1	0
PFC2	PFC27 ^注	PFC26	PFC25	PFC24	PFC23	PFC22	PFC21	PFC20
リセット時 : 00H R/W アドレス : FFFFF704H								
	7	6	5	4	3	2	1	0
PFCE2	PFCE27 ^注	PFCE26	PFCE25	PFCE24	PFCE23	PFCE22	PFCE21	PFCE20
PMC25	PFCE25	PFC25	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SCKF1 (CSIF1)					
PMC24	PFCE24	PFC24	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SOF1 (CSIF1)					
1	0	1	RXDC1 (UARTC1)					
1	1	0	SCL00 (I ² C00)					
PMC23	PFCE23	PFC23	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SIF1 (CSIF1)					
1	0	1	TXDC1 (UARTC1)					
1	1	0	SDA00 (I ² C00)					
注 V850ES/JJ3-Eのみ								
備考 x = don't care								

17.3.3 UARTC2とI²C02とCAN0のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは, UARTC2とI²C02とCAN0 (μ PD70F3783, 70F3786のみ)は端子が兼用になっており, 同時には使用できません。UARTC2を使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタで設定する必要があります。

注意 UARTC2, I²C02またはCAN0 (μ PD70F3783, 70F3786のみ)において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-4 UARTC2とI²C02とCAN0のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37 ^注	PFCE36 ^注	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30
PMC37	PFCE37 ^注	PFC37	動作モード					
0	x	x	ポート入出力モード					
1	0	0	RXDC2 (UARTC2)					
1	0	1	SCL02 (I ² C02)					
1	1	0	CRXD0 (CAN0) ^注					
PMC36	PFCE36 ^注	PFC36	動作モード					
0	x	x	ポート入出力モード					
1	0	0	TXDC2 (UARTC2)					
1	0	1	SDA02 (I ² C02)					
1	1	0	CTXD0 (CAN0) ^注					

注 μ PD70F3783, 70F3786のみ

備考 x = don't care

17.3.4 UARTC3とCSIF0とI²C01のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは、UARTC3とCSIF0とI²C01は端子が兼用になっており、同時には使用できません。UARTC3を使用するときは、あらかじめPMC4、PFC4、PFCE4レジスタで設定する必要があります。

注意 UARTC3とCSIF0とI²C01において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17 - 5 UARTC3とCSIF0とI²C01のモード切り替え設定

リセット時：0000H R/W アドレス：PMC4 FFFFF448H,
PMC4L FFFFF448H, PMC4H FFFFF449H

	15	14	13	12	11	10	9	8
PMC4 (PMC4H)	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	PMC48 ^注
	7	6	5	4	3	2	1	0
(PMC4L)	PMC47 ^注	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40

リセット時：0000H R/W アドレス：PFC4 FFFFF468H,
PFC4L FFFFF468H, PFC4H FFFFF469H

	15	14	13	12	11	10	9	8
PFC4 (PFC4H)	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	PFC48 ^注
	7	6	5	4	3	2	1	0
(PFC4L)	PFC47 ^注	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40

リセット時：00H R/W アドレス：FFFFFF708H

	7	6	5	4	3	2	1	0
PFCE4	PFCE47 ^注	PFCE46 ^注	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40

PMC42	PFCE42	PFC42	動作モード
0	x	x	ポート入出力モード
1	0	0	SCKF0 (CSIF0)

PMC41	PFCE41	PFC41	動作モード
0	x	x	ポート入出力モード
1	0	0	SOF0 (CSIF0)
1	0	1	RXDC3 (UARTC3)
1	1	0	SCL01 (I ² C01)

PMC40	PFCE40	PFC40	動作モード
0	x	x	ポート入出力モード
1	0	0	SIF1 (CSIF0)
1	0	1	TXDC3 (UARTC3)
1	1	0	SDA01 (I ² C01)

注 V850ES/JJ3-Eのみ

備考 x = don't care

17.3.6 UARTC5とCSIE1とI²C03のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは, UARTC5とCSIE1とI²C03は端子が兼用になっており, 同時には使用できません。UARTC5を使用するときは, あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 UARTC5とCSIE1またはI²C03において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-7 UARTC5とCSIE1とI²C03のモード切り替え設定

リセット時: 0000H		R/W	アドレス: PMC9 FFFFF452H, PMC9L FFFFF452H, PMC9H FFFFF453H					
PMC9 (PMC9H)	15	14	13	12	11	10	9	8
	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
(PMC9L)	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
リセット時: 0000H		R/W	アドレス: PFC9 FFFFF472H, PFC9L FFFFF472H, PFC9H FFFFF473H					
PFC9 (PFC9H)	15	14	13	12	11	10	9	8
	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
(PFC9L)	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90
リセット時: 0000H		R/W	アドレス: PFCE9 FFFFF712H, PFCE9L FFFFF712H, PFCE9H FFFFF713H					
PFCE9 (PFCE9H)	15	14	13	12	11	10	9	8
	PFCE915	PFCE914	PFCE913	0	PFCE911	PFCE910	PFCE99	PFCE98
(PFCE9L)	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90
PMC911	PFCE911	PFC911	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SCKE1 (CSIE1)					
PMC910	PFCE910	PFC910	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SOE1 (CSIE1)					
1	0	1	RXDC5 (UARTC5)					
1	1	0	SCL03 (I ² C03)					
PMC99	PFCE99	PFC99	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SIE1 (CSIE1)					
1	0	1	TXDC5 (UARTC5)					
1	1	0	SDA03 (I ² C03)					

備考 x = don't care

17.3.7 UARTC6とCSIF5のモード切り替え

V850ES/JJ3-Eでは、UARTC6とCSIF5は端子が兼用になっており、同時には使用できません。UARTC6を使用するときは、あらかじめPMC4, PFC4, PFCE4レジスタで設定する必要があります。

注意 UARTC6とCSIF5において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-8 UARTC6とCSIF5のモード切り替え設定

リセット時：0000H R/W アドレス：PMC4 FFFFF448H, PMC4L FFFFF448H, PMC4H FFFFF449H									
PMC4 (PMC4H)	15	14	13	12	11	10	9	8	
	0	0	0	0	0	0	0	PMC48	
(PMC4L)	7	6	5	4	3	2	1	0	
	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40	
リセット時：0000H R/W アドレス：PFC4 FFFFF468H, PFC4L FFFFF468H, PFC4H FFFFF469H									
PFC4 (PFC4H)	15	14	13	12	11	10	9	8	
	0	0	0	0	0	0	0	PFC48	
(PFC4L)	7	6	5	4	3	2	1	0	
	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40	
リセット時：00H R/W アドレス：FFFFF708H									
PFCE4	7	6	5	4	3	2	1	0	
	PFCE47	PFCE46	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40	
	PMC48	PFC48	動作モード						
	0	x	ポート入出力モード						
	1	0	SCKF5 (CSIF5)						
	PMC47	PFCE47	PFC47	動作モード					
	0	x	x	ポート入出力モード					
	1	0	0	SOF5 (CSIF5)					
	1	0	1	RXDC6 (UARTC6)					
	PMC46	PFCE46	PFC46	動作モード					
	0	x	x	ポート入出力モード					
	1	0	0	SIF5 (CSIF5)					
	1	0	1	TXDC6 (UARTC6)					
備考 x = don't care									

17.3.8 UARTC7とCSIF6のモード切り替え

V850ES/JJ3-Eでは、UARTC7とCSIF6は端子が兼用になっており、同時には使用できません。UARTC7を使用するときは、あらかじめPMC5、PFC5レジスタで設定する必要があります。

注意 UARTC7とCSIF6において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-9 UARTC7とCSIF6のモード切り替え設定

リセット時：0000H		R/W	アドレス：PMC5 FFFFF44AH, PMC5L FFFFF44AH, PMC5H FFFFF44BH					
PMC5 (PMC5H)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PMC59	PMC58
(PMC5L)	7	6	5	4	3	2	1	0
	PMC57	PMC56	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50
リセット時：0000H		R/W	アドレス：PFC5 FFFFF46AH, PFC5L FFFFF46AH, PFC5H FFFFF46BH					
PFC5 (PFC5H)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PFC59	PFC58
(PFC5L)	7	6	5	4	3	2	1	0
	PFC57	PFC56	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50
PMC59	PFC59	動作モード						
0	x	ポート入出力モード						
1	0	SCKF6 (CSIF6)						
PMC58	PFC58	動作モード						
0	x	ポート入出力モード						
1	0	SOF6 (CSIF6)						
1	1	RXDC7 (UARTC7)						
PMC57	PFC57	動作モード						
0	x	ポート入出力モード						
1	0	SIF6 (CSIF6)						
1	1	TXDC7 (UARTC7)						
備考 x = don't care								

17.4 レジスタ

(1) UARTCn制御レジスタ0 (UCnCTL0)

UCnCTL0レジスタは、UARTCnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UC0CTL0 FFFFFFFA00H, UC1CTL0 FFFFFFFA10H,
UC2CTL0 FFFFFFFA20H, UC3CTL0 FFFFFFFA30H,
UC4CTL0 FFFFFFFA40H, UC5CTL0 FFFFFFFA50H,
UC6CTL0 FFFFFFFA60H, UC7CTL0 FFFFFFFA70H

	⑦	⑥	⑤	④	3	2	1	0
UCnCTL0	UCnPWR	UCnTXE	UCnRXE	UCnDIR	UCnPS1	UCnPS0	UCnCL	UCnSL

UCnPWR	UARTCnの動作の制御
0	UARTCn動作禁止 (UARTCnを非同期にリセット)
1	UARTCn動作許可

UCnPWRビットにより、UARTCn動作の制御を行います。UCnPWRビットをクリア (0) すると、TXDCn端子の出力はハイ・レベルに固定されます (UCnOPT0. UCnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UCnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- 起動時はUCnPWRビット = 1にしてから、UCnTXEビット = 1としてください。また、停止時はUCnTXEビット = 0にしてから、UCnPWRビット = 0としてください。
- 送信ユニットを初期化する場合は、UCnTXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUCnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 17.7 (1) (a) 基本クロック参照)。

UCnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

- 起動時はUCnPWRビット = 1にしてから、UCnRXEビット = 1としてください。また、停止時は、UCnRXEビット = 0にしてから、UCnPWRビット = 0としてください。
- 受信ユニットの状態を初期化する場合は、UCnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUCnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 17.7 (1) (a) 基本クロック参照)。

備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

UCnDIR	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

・ UCnPWRビット = 0, またはUCnTXEビット = UCnRXEビット = 0の場合のみ書き換え可能です。
 ・ LINのフォーマットで送受信を行う場合は, UCnDIRビットは“1”に設定してください。

UCnPS1	UCnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・ UCnPWRビット = 0, またはUCnTXEビット = UCnRXEビット = 0の場合のみ書き換え可能です。
 ・ 受信時に「0パリティとして受信」を選択した場合, パリティ判定を行いません。したがって, UCnSTR.UCnPEビットはセットされません。
 ・ LINのフォーマットで送受信を行う場合, UCnPS1, UCnPS0ビットは“00”に設定してください。

UCnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

・ UCnPWRビット = 0, またはUCnTXEビット = UCnRXEビット = 0の場合のみ書き換え可能です。
 ・ LINのフォーマットで送受信を行う場合は, UCnCLビットは“1”に設定してください。

UCnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UCnPWRビット = 0, またはUCnTXEビット = UCnRXEビット = 0の場合のみ書き換え可能です。

備考1. パリティについての詳細は, 17. 6. 9 **パリティの種類と動作**を参照してください。

2. n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

(2) UARTCn制御レジスタ1 (UCnCTL1)

詳細は, 17. 7 (2) **UARTCn制御レジスタ1 (UCnCTL1)**を参照してください。

(3) UARTCn制御レジスタ2 (UCnCTL2)

詳細は, 17. 7 (3) **UARTCn制御レジスタ2 (UCnCTL2)**を参照してください。

(4) UARTCn オプション制御レジスタ0 (UCnOPT0)

UCnOPT0レジスタは、UARTCnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

(1/2)

リセット時：14H R/W アドレス：UC0OPT0 FFFFFFFA03H, UC1OPT0 FFFFFFFA13H,
UC2OPT0 FFFFFFFA23H, UC3OPT0 FFFFFFFA33H,
UC4OPT0 FFFFFFFA43H, UC5OPT0 FFFFFFFA53H,
UC6OPT0 FFFFFFFA63H, UC7OPT0 FFFFFFFA73H

UCnOPT0	⑦	6	5	4	3	2	1	0
	UCnSRF	UCnSRT	UCnSTT	UCnSLS2	UCnSLS1	UCnSLS0	UCnTDL	UCnRDL

UCnSRF	SBF受信フラグ
0	UCnCTL0.UCnPWRビット = UCnRXEビット = 0に設定したとき。または SBF受信正常終了したとき。
1	SBF受信中
<ul style="list-style-type: none"> ・ LIN通信でのSBF (Synch Break Field) を受信していることを判断します。 ・ SBF受信エラー時、UCnSRFビットは“1”を保持し、そのあと再度SBF受信を開始します。 ・ UCnSRFビットはリードのみ可能です。 	

UCnSRT	SBF受信トリガ
0	
1	SBF受信トリガ
<ul style="list-style-type: none"> ・ LIN通信でのSBFの受信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。SBFを受信する場合、UCnSRTビットをセット(1)しSBF受信可能状態にしてください。 ・ UCnPWRビット = UCnRXEビット = 1としてからUCnSRTビットを設定してください。 	

UCnSTT	SBF送信トリガ
0	
1	SBF送信トリガ
<ul style="list-style-type: none"> ・ LIN通信でのSBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。 ・ UCnPWRビット = UCnTXEビット = 1としてからUCnSTTビットを設定してください。 	

注意 UCnSRT, UCnSTTビットは、SBF受信中 (UCnSRFビット = 1) にセット(1)しないでください。

備考 n = 0-5 (V850ES/JH3-E)
n = 0-7 (V850ES/JJ3-E)

UCnSLS2	UCnSLS1	UCnSLS0	SBF送信長選択
1	0	1	13ビット長で出力 (リセット値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力

UCnPWRビット = 0またはUCnTXEビット = 0のとき設定できます。

UCnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力

・ UCnTDLビットによりTXDCn端子の出力レベルを反転できます。
 ・ UCnPWRビット = 0またはUCnTXEビット = 0のとき設定できます。

UCnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力

・ UCnRDLビットによりRXDCn端子の入力レベルを反転できます。
 ・ UCnPWRビット = 0またはUCnRXEビット = 0のとき設定できます。

備考 n = 0-5 (V850ES/JH3-E)
 n = 0-7 (V850ES/JJ3-E)

(5) UARTCnオプション制御レジスタ1 (UCnOPT1)

UCnOPT1レジスタは、UARTCnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UCnEBEビットはUARTCを動作禁止 (UCnCTL0.UCnPWR = 0) の状態で設定してください。

リセット時：00H R/W アドレス：UC0OPT1 FFFFFFFA0AH, UC1OPT1 FFFFFFFA1AH,
UC2OPT1 FFFFFFFA2AH, UC3OPT1 FFFFFFFA3AH,
UC4OPT1 FFFFFFFA4AH, UC5OPT1 FFFFFFFA5AH,
UC6OPT1 FFFFFFFA6AH, UC7OPT1 FFFFFFFA7AH

	7	6	5	4	3	2	1	0
UCnOPT1	0	0	0	0	0	0	0	UCnEBE

UCnEBE	拡張ビット許可/禁止
0	拡張ビット動作禁止。UCnCTL0.UCnCLビットで設定したデータ長で送受信を行う
1	拡張ビット動作許可。キャラクタ長9ビットで送受信可能

・ UCnEBEビットをセット (1) し、9ビット・データ長での転送を行う場合、次の設定をしてください。この設定をしない場合UCnEBEビットの設定は無効になります。

- ・ UCnCTL0.UCnPS1,UCnPS0 = 00 (パリティなし)
- ・ UCnCTL0.UCnCL = 1 (8ビット・キャラクタ長)
- ・ LINの通信フォーマットで送受信を行う場合は、UCnEBE = 0に設定してください。

備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

次にレジスタ設定値とデータ・フォーマットの関係について示します。

表17-2 レジスタ設定とデータ・フォーマットの関係

レジスタ設定					データ・フォーマット				
UCnCTL0				UCnOPT1	D0-D6	D7	D8	D9	D10
UCnCL	UCnPS1	UCnPS0	UCnSL	UCnEBE					
0	0	0	0	0	Data	Stop			
0	00以外				Data	Parity	Stop		
1	0	0			Data	Data	Stop		
1	00以外				Data	Data	Parity	Stop	
0	0	0	1	0	Data	Stop	Stop		
0	00以外				Data	Parity	Stop	Stop	
1	0	0			Data	Data	Stop	Stop	
1	00以外				Data	Data	Parity	Stop	Stop
0	0	0	0	1	Data	Stop			
0	00以外				Data	Parity	Stop		
1	0	0			Data	Data	Data	Stop	
1	00以外				Data	Data	Parity	Stop	
0	0	0	1	1	Data	Stop	Stop		
0	00以外				Data	Parity	Stop	Stop	
1	0	0			Data	Data	Data	Stop	Stop
1	00以外				Data	Data	Parity	Stop	Stop

備考1. Data : データ・ビット

Stop : ストップ・ビット

Parity : パリティ・ビット

2. n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

(6) UARTCn状態レジスタ (UCnSTR)

UCnSTRレジスタは、UARTCnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UCnTSFビットはリードのみ可能で、UCnPE, UCnFE, UCnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UCnSTRレジスタ	<ul style="list-style-type: none"> ・リセット ・UCnCTL0.UCnPWRビット = 0
UCnTSFビット	<ul style="list-style-type: none"> ・UCnCTL0.UCnTXEビット = 0
UCnPE, UCnFE, UCnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UCnCTL0.UCnRXEビット = 0

備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

リセット時：00H R/W アドレス：UC0STR FFFFFFFA04H, UC1STR FFFFFFFA14H,
UC2STR FFFFFFFA24H, UC3STR FFFFFFFA34H,
UC4STR FFFFFFFA44H, UC5STR FFFFFFFA54H,
UC6STR FFFFFFFA64H, UC7STR FFFFFFFA74H

	⑦	6	5	4	3	②	①	①
UCnSTR	UCnTSF	0	0	0	0	UCnPE	UCnFE	UCnOVE

UCnTSF	転送状態フラグ
0	・ UCnPWRビット = 0, またはUCnTXEビット = 0に設定したとき ・ 転送完了後に, UCnTXレジスタに次のデータ転送がなかったとき
1	UCnTXレジスタへの書き込み

連続送信を行っている場合にはUCnTSFビットは常に“1”になっています。
送信ユニットの初期化を行う場合には, UCnTSFビット = 0になっていることを確認してから初期化を行ってください。UCnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。

UCnPE	パリティ・エラー・フラグ
0	・ UCnPWRビット = 0, またはUCnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき

・ UCnPEビットの動作は, UCnCTL0.UCnPS1, UCnPS0ビットの設定により左右されます。
・ UCnPEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。

UCnFE	フレーミング・エラー・フラグ
0	・ UCnPWRビット = 0, またはUCnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	受信時, ストップ・ビットが検出されないとき

・ 受信データのストップ・ビットは, UCnCTL0.UCnSLビットの値に関わらず, 最初の1ビットのみチェックします。
・ UCnFEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。

UCnOVE	オーバラン・エラー・フラグ
0	・ UCnPWRビット = 0, またはUCnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	UCnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

・ オーバラン・エラーが発生したとき, 次の受信データは受信バッファに書き込まれず, データは破棄されます。
・ UCnOVEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。

備考 n = 0-5 (V850ES/JH3-E)
n = 0-7 (V850ES/JJ3-E)

(7) UARTCn受信データ・レジスタ (UCnRXL), UARTCn受信データ・レジスタ (UCnRX)

UCnRXL, UCnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8または9ビット・バッファ・レジスタです。

1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUCnRXL, UCnRXレジスタに転送します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUCnRXLレジスタのビット6-ビット0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUCnRXLレジスタのビット7-ビット1に転送され、LSBは必ず“0”になります。

オーバラン・エラー (UCnOVE) が発生した場合は、そのときの受信データはUCnRXL, UCnRXレジスタに転送されず破棄されます。

キャラクタ長によってアクセス単位/リセット値が異なります。

- ・キャラクタ長7/8ビット (UCnOPT1.UCnEBE = 0) の場合

8ビット単位でリードのみ可能です。

リセット、またはUCnCTL0.UCnPWRビット = 0によってFFHになります。

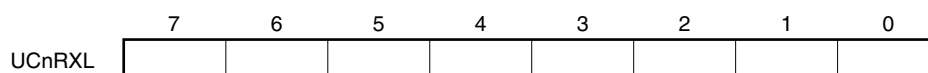
- ・キャラクタ長9ビット (UCnOPT1.UCnEBE = 1) の場合

16ビット単位でリードのみ可能です。

リセット、またはUCnCTL0.UCnPWRビット = 0によって01FFHになります。

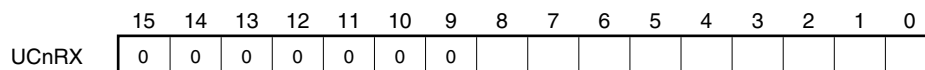
(a) キャラクタ長7/8ビット (UCnOPT1.UCnEBE = 0) の場合

リセット時: FFH R アドレス: UC0RXL FFFFFFFA06H, UC1RXL FFFFFFFA16H,
UC2RXL FFFFFFFA26H, UC3RXL FFFFFFFA36H,
UC4RXL FFFFFFFA46H, UC5RXL FFFFFFFA56H,
UC6RXL FFFFFFFA66H, UC7RXL FFFFFFFA76H



(b) キャラクタ長9ビット (UCnOPT1.UCnEBE = 1) の場合

リセット時: 01FFH R アドレス: UC0RX FFFFFFFA06H, UC1RX FFFFFFFA16H,
UC2RX FFFFFFFA26H, UC3RX FFFFFFFA36H,
UC4RX FFFFFFFA46H, UC5RX FFFFFFFA56H,
UC6RX FFFFFFFA66H, UC7RX FFFFFFFA76H



備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

(8) UARTCn送信データ・レジスタL (UCnTXL), UARTCn送信データ・レジスタ (UCnTX)

UCnTXL, UCnTXレジスタは、送信データを設定するための8または9ビット・レジスタです。

データ長を7ビットに指定し、LSBファーストで送信する場合、送信データはUCnRXLレジスタのビット6-ビット0のデータが送信されます。MSBファーストで送信する場合、送信データはUCnRXLレジスタのビット7-ビット1のデータが送信されます。

キャラクタ長によってアクセス単位/リセット値が異なります。

- ・キャラクタ長7/8ビット (UCnOPT1.UCnEBE = 0) の場合

8ビット単位でリード/ライト可能です。

リセットによってFFHになります。

- ・キャラクタ長9ビット (UCnOPT1.UCnEBE = 1) の場合

16ビット単位でリード/ライト可能です。

リセットによって01FFHになります。

注意1. 送信動作許可状態 (UCnPWR = 1かつUCnTXE = 1) では、UCnTXL, UCnTXレジスタへの書き込みは、送信開始のトリガとして作用するためINTUCnT割り込み発生後に直前の値と同一の値を書き込むと、2度同じデータが送信されることとなります。

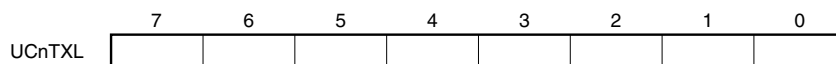
2. 連続送信を行うためのデータ書き込みは、INTUCnT割り込み発生後に書き込みを行ってください。

INTUCnT割り込み発生前に次のデータの書き込みを行った場合、送信開始処理と、UCnTXL, UCnTXレジスタへの書き込みの競合により意図しない送信データなる恐れがあります。

3. 送信禁止状態において、UCnTXL, UCnTXレジスタへの書き込みを実施した場合には、送信開始トリガとして使用できません。そのため送信禁止状態にてUCnTXL, UCnTXレジスタに書き込みを実施したあと、送信許可状態にしても送信は開始されません。

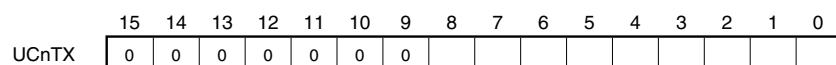
(a) キャラクタ長7/8ビット (UCnOPT1.UCnEBE = 0) の場合

リセット時: FFH R/W アドレス: UC0TXL FFFFFFFA08H, UC1TXL FFFFFFFA18H,
UC2TXL FFFFFFFA28H, UC3TXL FFFFFFFA38H,
UC4TXL FFFFFFFA48H, UC5TXL FFFFFFFA58H,
UC6TXL FFFFFFFA68H, UC7TXL FFFFFFFA78H



(b) キャラクタ長9ビット (UCnOPT1.UCnEBE = 1) の場合

リセット時: 01FFH R/W アドレス: UC0TX FFFFFFFA08H, UC1TX FFFFFFFA18H,
UC2TX FFFFFFFA28H, UC3TX FFFFFFFA38H,
UC4TX FFFFFFFA48H, UC5TX FFFFFFFA58H,
UC6TX FFFFFFFA68H, UC7TX FFFFFFFA78H



備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

17.5 割り込み要求信号

UARTCnからは次の2種類の割り込み要求信号を発生します。

- ・ 受信完了割り込み要求信号 (INTUCnR)
- ・ 送信許可割り込み要求信号 (INTUCnT)

これら2種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表17-3 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTUCnR)

受信許可状態で、受信シフト・レジスタにデータがシフト・インされUCnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、受信エラーが起った場合にも発生しますので、受信完了割り込み要求信号を受け付け、データを読み出すときに、UCnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(2) 送信許可割り込み要求信号 (INTUCnT)

送信許可状態で、UCnTXレジスタからUARTCn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

17.6 動作

17.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

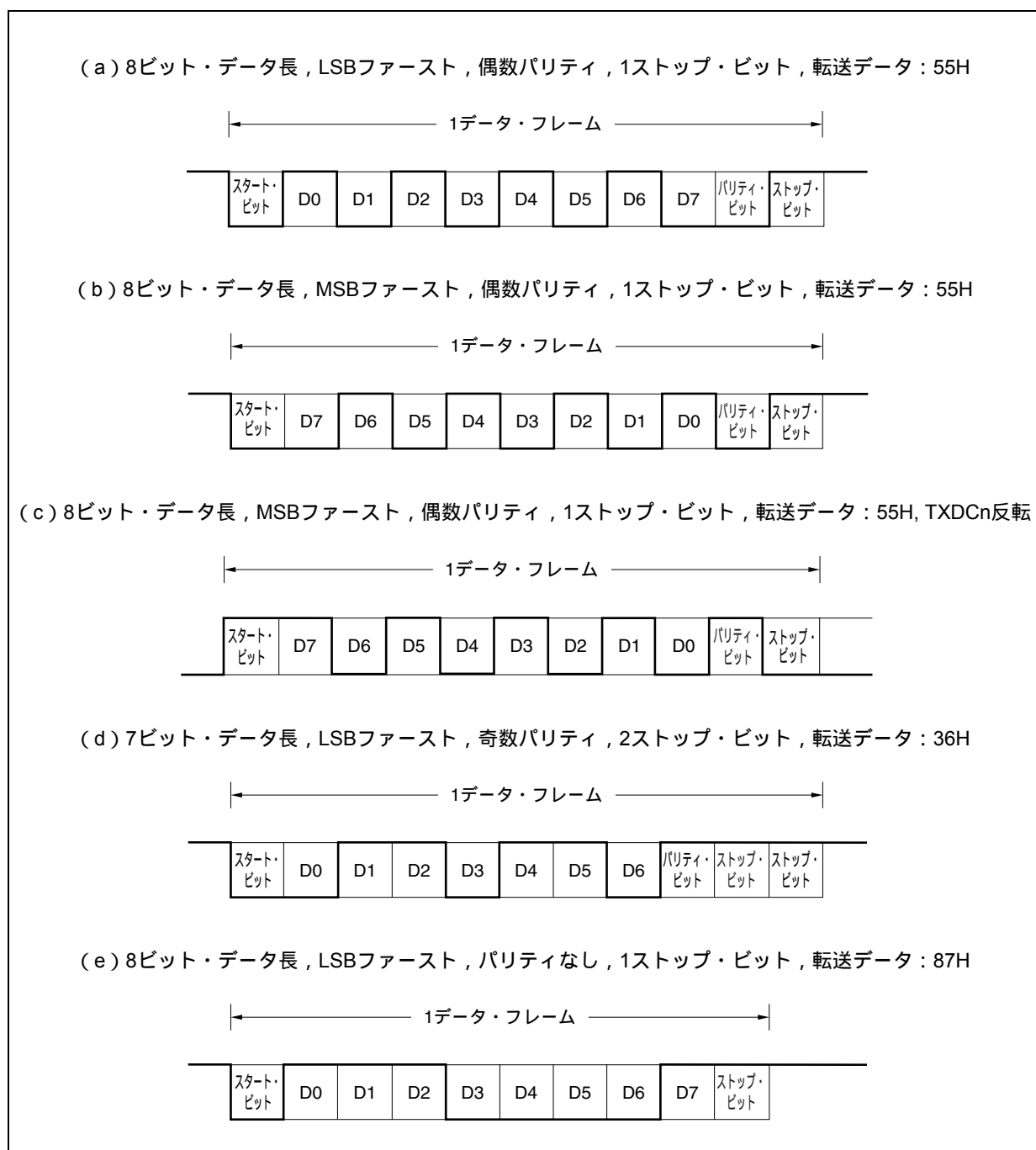
送受信データのフォーマットは図17-10に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットでデータ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UCnCTL0レジスタによって行います。

また、UCnOPT0.UCnTDLビットでTXDCn端子のUART出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット 1ビット/2ビット

図17 - 10 UARTCの送受信データのフォーマット



17.6.2 SBF送信/受信フォーマット

V850ES/JH3-E, V850ES/JJ3-EにはLIN機能として使用するために、SBF (Synch Break Field) 送信/受信制御機能があります。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 (1~20 kbps) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

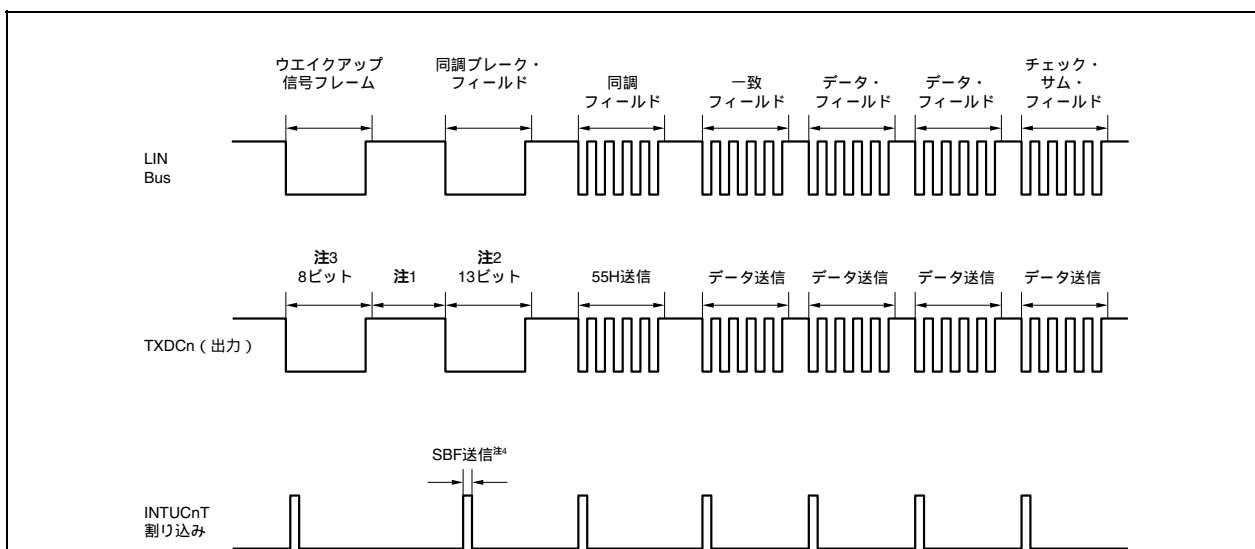
LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が $\pm 15\%$ 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図17-11、図17-12に示します。

図17-11 LINの送信操作概略



注1. 各フィールド間の間隔はソフトウェアで制御します。

2. SBFの出力はハードウェアで行います。出力幅はUCnOPT0.UCnSLS2-UCnSLS0ビットで設定したビット長になります。さらに細かい出力幅調整が必要な場合は、UCnCTL2.UCnBRS7-UCnBRS0ビット値で調整します。

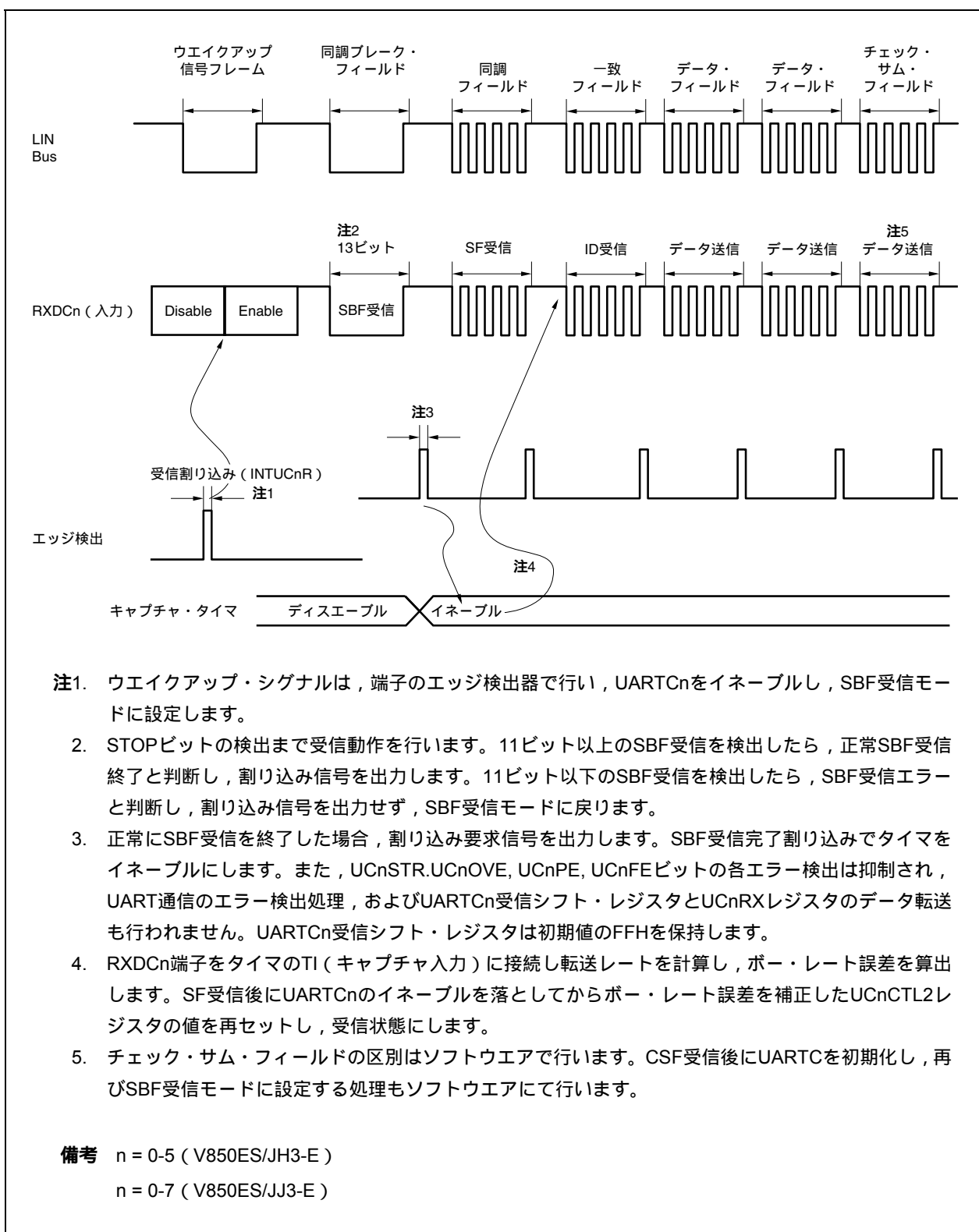
3. ウェイクアップ信号フレームは、8ビット・モードの80H転送で代用します。

4. 各送信開始時には送信許可割り込み要求信号 (INTUCnT) を出力します。SBF送信開始時もINTUCnT信号を出力します。

備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

図17 - 12 LINの受信操作概略



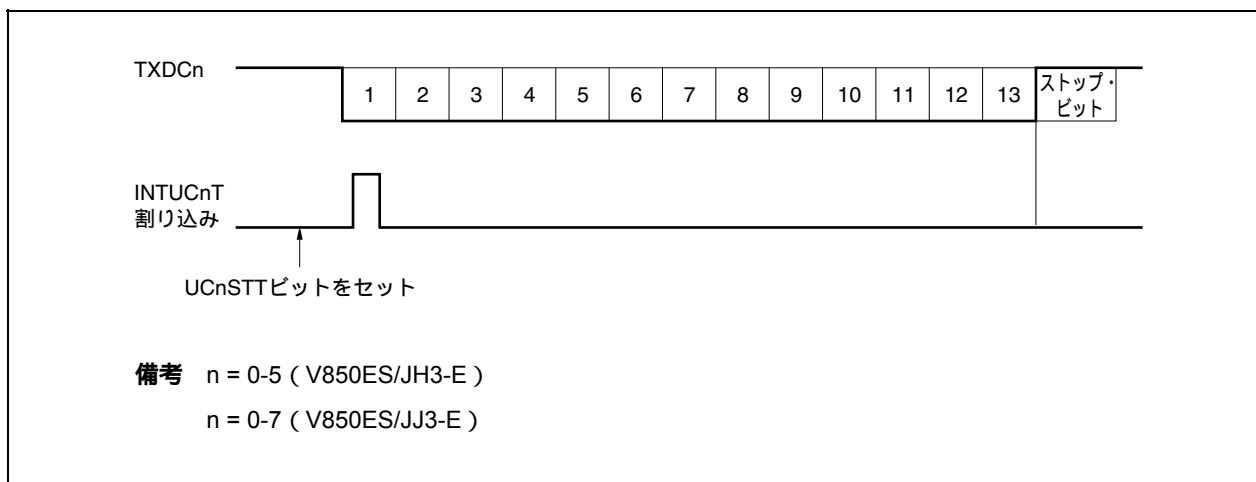
17.6.3 SBF送信

UCnCTL0.UCnPWRビット = UCnTXEビット = 1にすると送信許可状態となり、SBF送信トリガ (UCnOPT0.UCnSTTビット) をセット (1) することによりSBF送信動作は起動します。

そのあとUCnOPT0.UCnSLS2-UCnSLS0ビットで指定された13ビットから20ビット分までの幅のロウ・レベルを出力します。SBF送信開始時には送信許可割り込み要求信号 (INTUCnT) を発生します。SBF送信を終了したあと、UCnSTTビットは自動的にクリアされます。そのあと、UART送信モードに戻ります。

次に送信するデータをUCnTXレジスタに書き込み、あるいはSBF送信トリガ (UCnSTTビット) をセットするまで、送信動作は中断します。

図17 - 13 SBF送信



17.6.4 SBF受信

UCnCTL0.UCnPWRビット = 1にして、次に、UCnCTL0.UCnRXEビット = 1にすることにより、受信待ち状態になります。

SBF受信トリガ (UCnOPT0.UCnSRTビット) をセット (1) することで、SBF受信待ち状態になります。

SBF受信待ち状態はUARTの受信待ち状態と同じくRXDCn端子をモニタし、スタート・ビットの検出を行います。

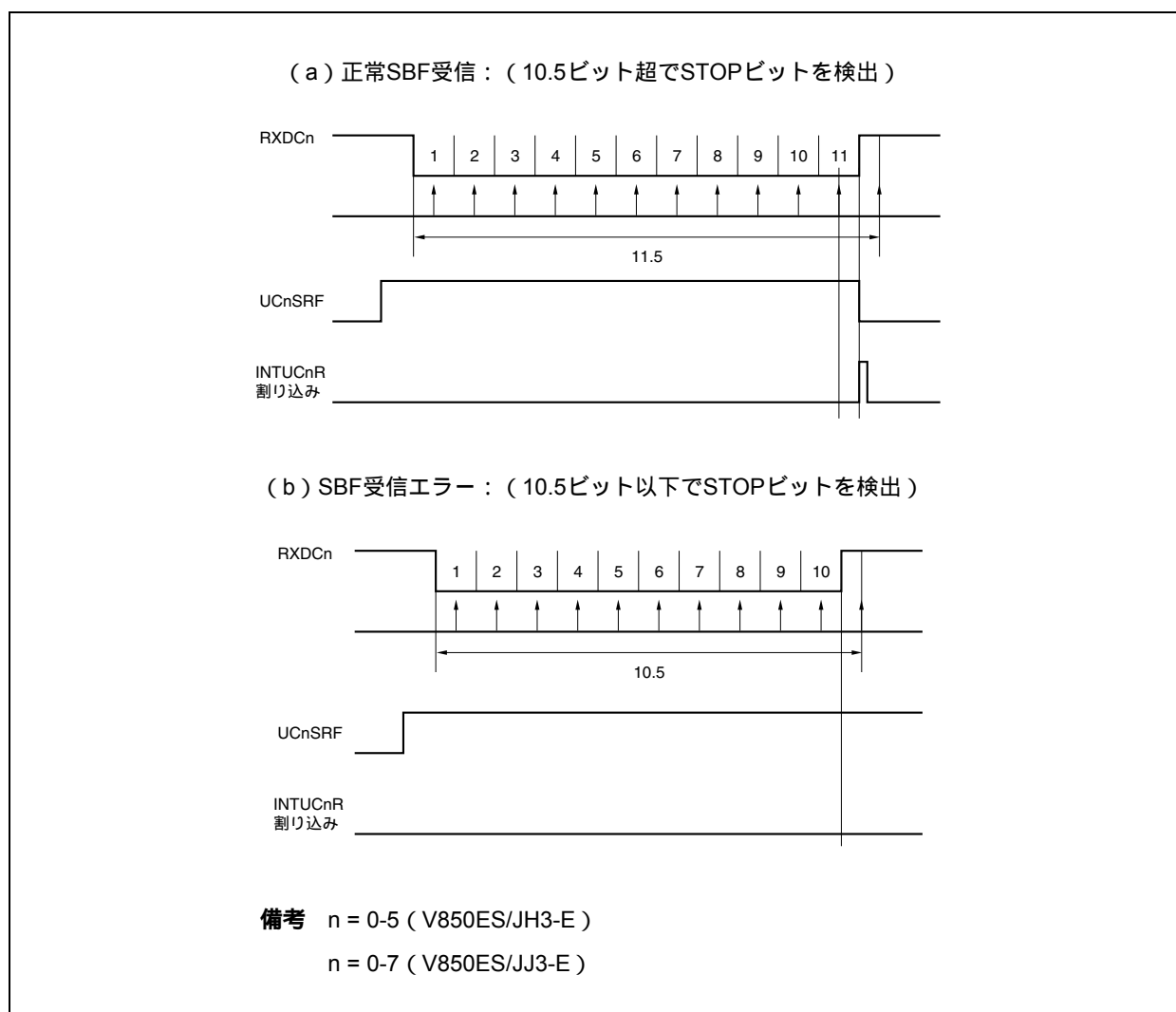
スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートにあわせて、内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求信号 (INTUCnR) を発生します。UCnOPT0.UCnSRFビットは自動的にクリアされ、SBF受信を終了します。UCnSTR.UCnOVE, UCnPE, UCnFEビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また、UARTCn受信シフト・レジスタとUCnRXレジスタのデータの転送も行われず、初期値のFFHを保持します。SBFの幅が10ビット長以下の場合、エラー処理として、割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。その際UCnSRFビットはクリアされません。

注意1. データ受信中に、SBFが送信されてきた場合には、フレーミング・エラーとなります。

2. SBF受信トリガ・ビット (UCnSRT), SBF送信トリガ・ビット (UCnSTT) はSBF受信中 (UCnSRF = 1) にセット (1) しないでください。

図17 - 14 SBF受信



17.6.5 UART送信

UCnCTL0.UCnPWRビット = 1とすることにより、TXDCn端子からハイ・レベルを出力します。

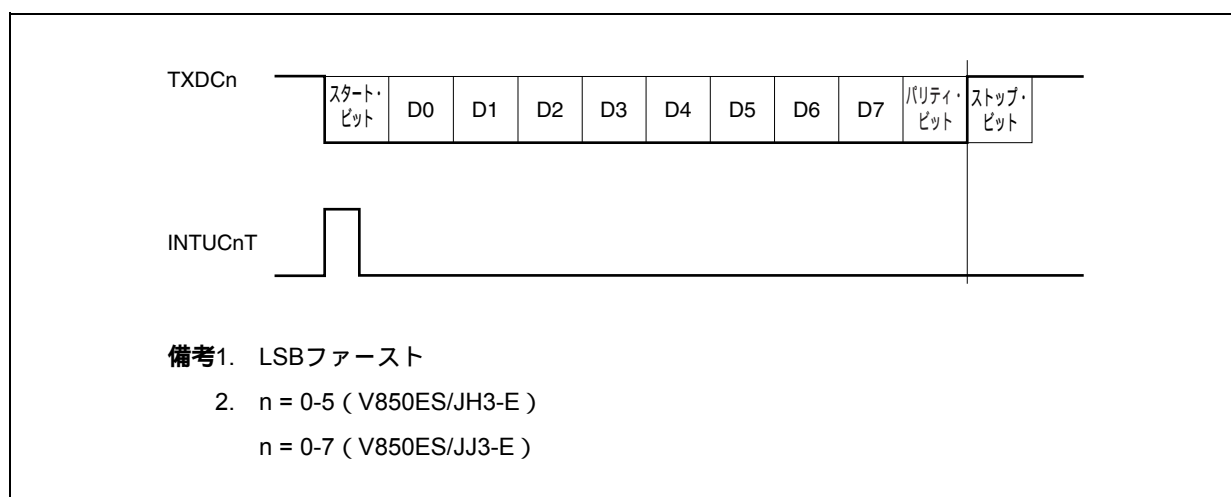
次に、UCnCTL0.UCnTXEビット = 1にすると送信許可状態となり、UCnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTCnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UCnTXレジスタ内のデータをUARTCn送信シフト・レジスタへ転送します。

UCnTXレジスタのデータをUARTCn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号 (INTUCnT) を発生し、そのあとUARTCn送信シフト・レジスタから順次、TXDCn端子に出力します。INTUCnT信号の発生後、UCnTXレジスタに次の転送データの書き込みができます。

図17 - 15 UART送信



17.6.6 連続送信の手順説明

UARTCnはUARTCn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUCnTXレジスタへ書き込むことができます。UARTCn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUCnT) で判断できます。次に送信するデータを、転送中にUCnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

注意 送信の初期化を行う場合、連続送信実行中は、UCnSTR.UCnTSFビットが“0”であることを確認してから初期化を実行してください。UCnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

図17 - 16 連続送信の処理フロー

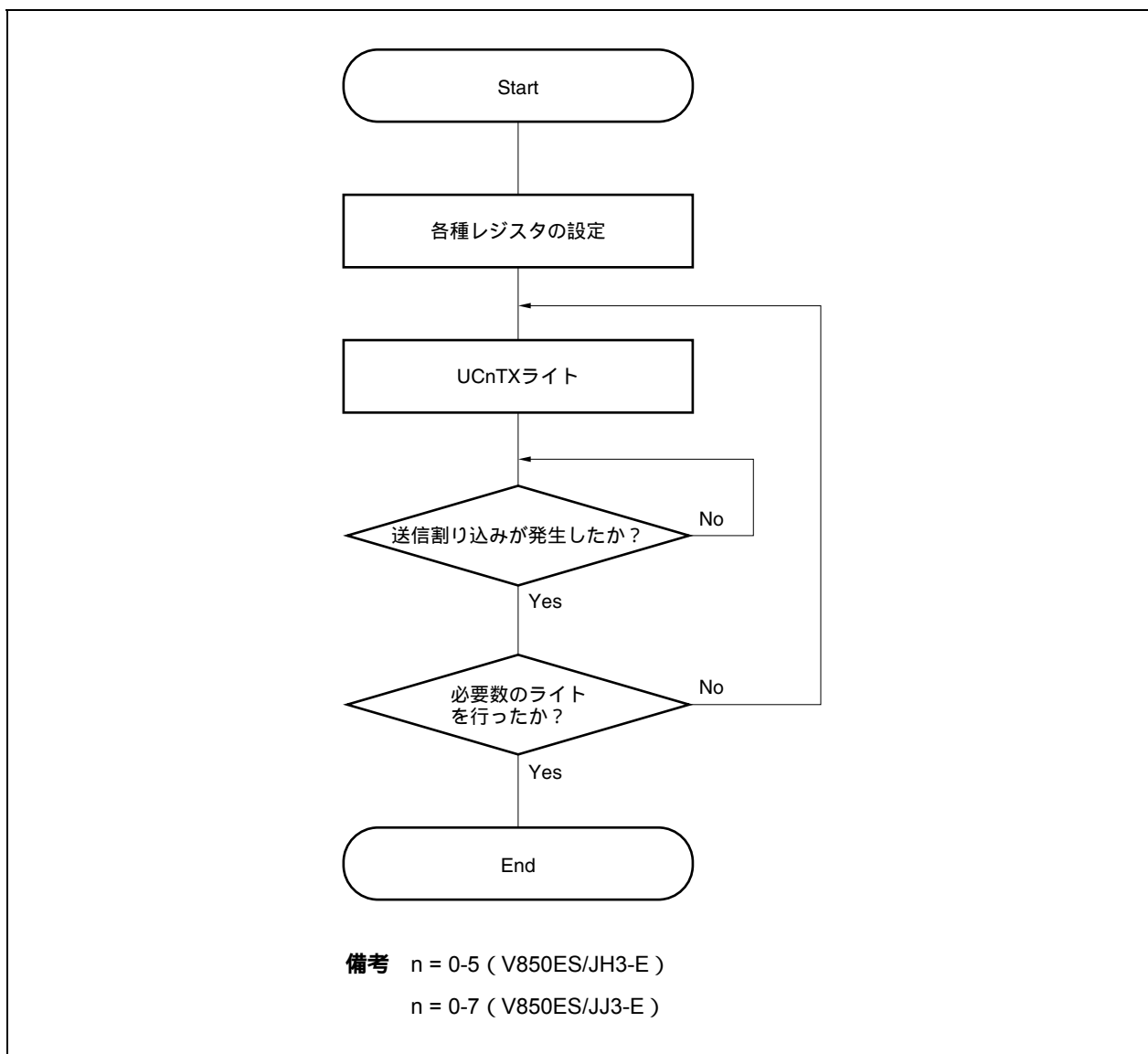
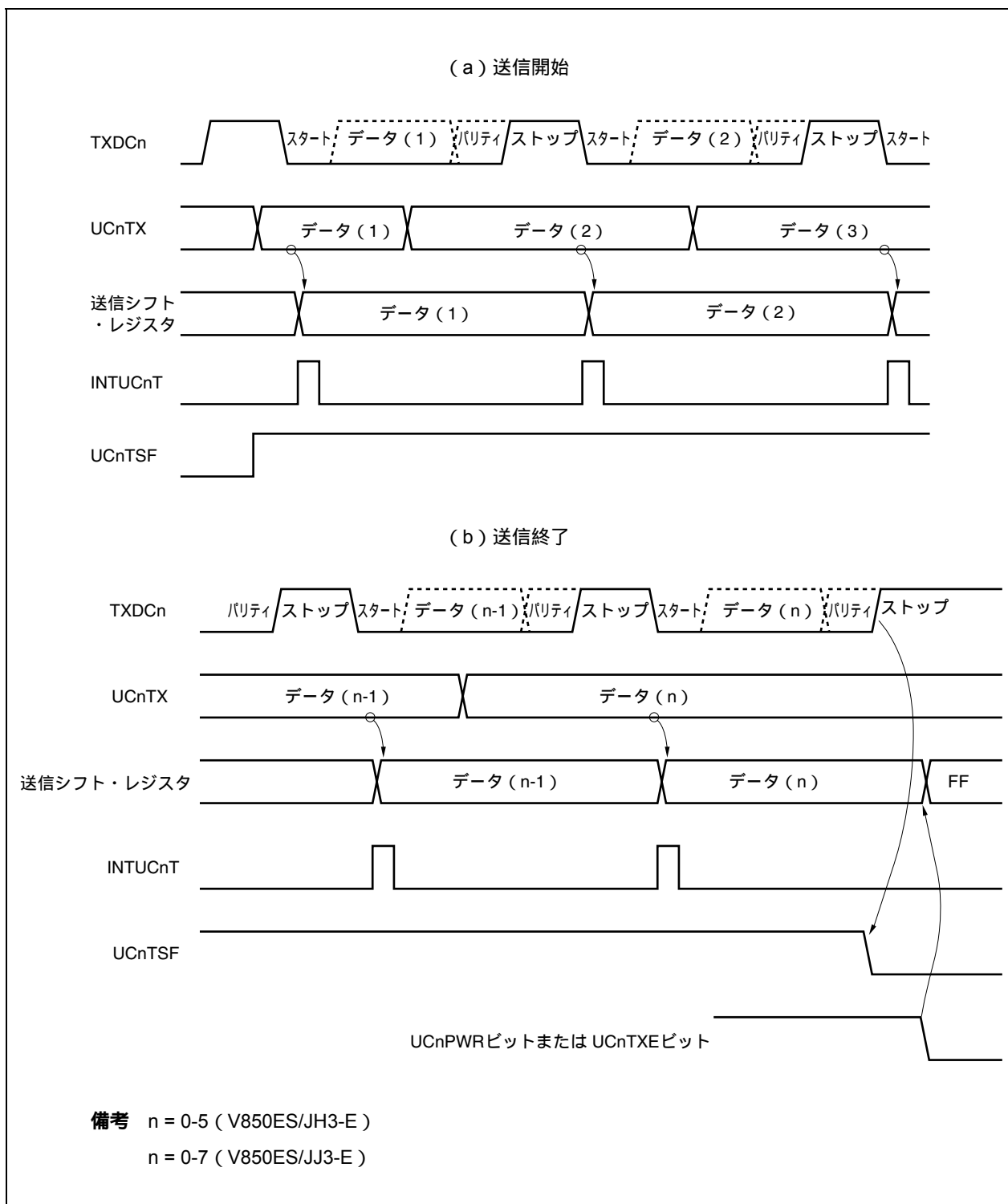


図17 - 17 連続送信動作のタイミング



17.6.7 UART受信

UCnCTL0.UCnPWRビット = 1にして、次にUCnCTL0.UCnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDCn端子をモニタし、スタート・ビットの検出を行います。

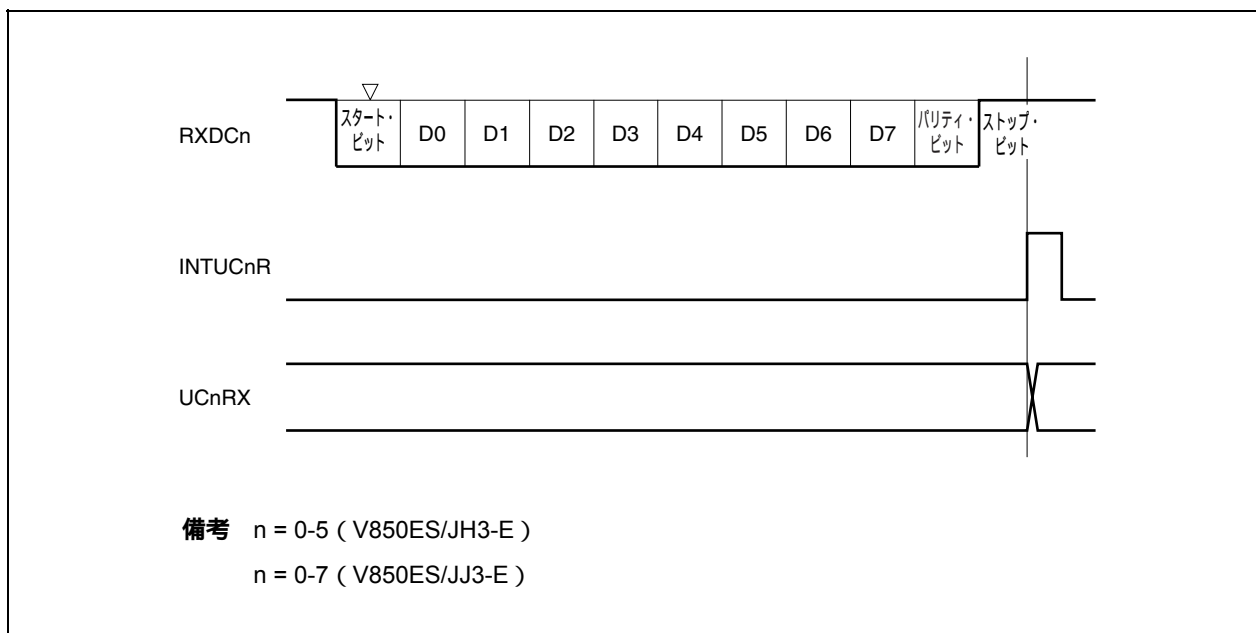
なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

まずRXDCn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDCn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTCn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTUCnR) を発生すると同時に、UARTCn受信シフト・レジスタのデータをUCnRXレジスタに書き込みます。ただし、オーバーラン・エラー (UCnSTR.UCnOVEビット) が発生した場合は、そのときの受信データをUCnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UCnSTR.UCnPEビット)、フレーミング・エラー (UCnSTR.UCnFEビット) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信完了後にINTUCnR信号を発生します。

図17 - 18 UART受信



- 注意1. 受信エラー発生時にも、UCnRXレジスタは必ず読み出してください。UCnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
 3. 受信終了時は、受信完了割り込み要求信号 (INTUCnR) 発生後、UCnRXレジスタを読み出してから UCnPWRビット = 0またはUCnRXEビット = 0としてください。INTUCnR信号が発生する前に UCnPWRビット = 0またはUCnRXEビット = 0とした場合、UCnRXレジスタのリード値は保証できません。
 4. UARTCnの受信完了処理 (INTUCnR信号の発生) と、UCnPWRビット = 0またはUCnRXEビット = 0が競合した場合、UCnRXレジスタにデータを格納していないにもかかわらず、INTUCnR信号が発生することがあります。INTUCnR信号の発生を待たずに受信終了を行うときには、必ず割り込み制御レジスタ (UCnRIC) の割り込みマスク・フラグ (UCnRMK) をセット (1) してから、UCnPWRビット = 0またはUCnRXEビット = 0とし、さらにUCnRICレジスタの割り込み要求フラグ (UCnRIF) をクリア (0) してください。

備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

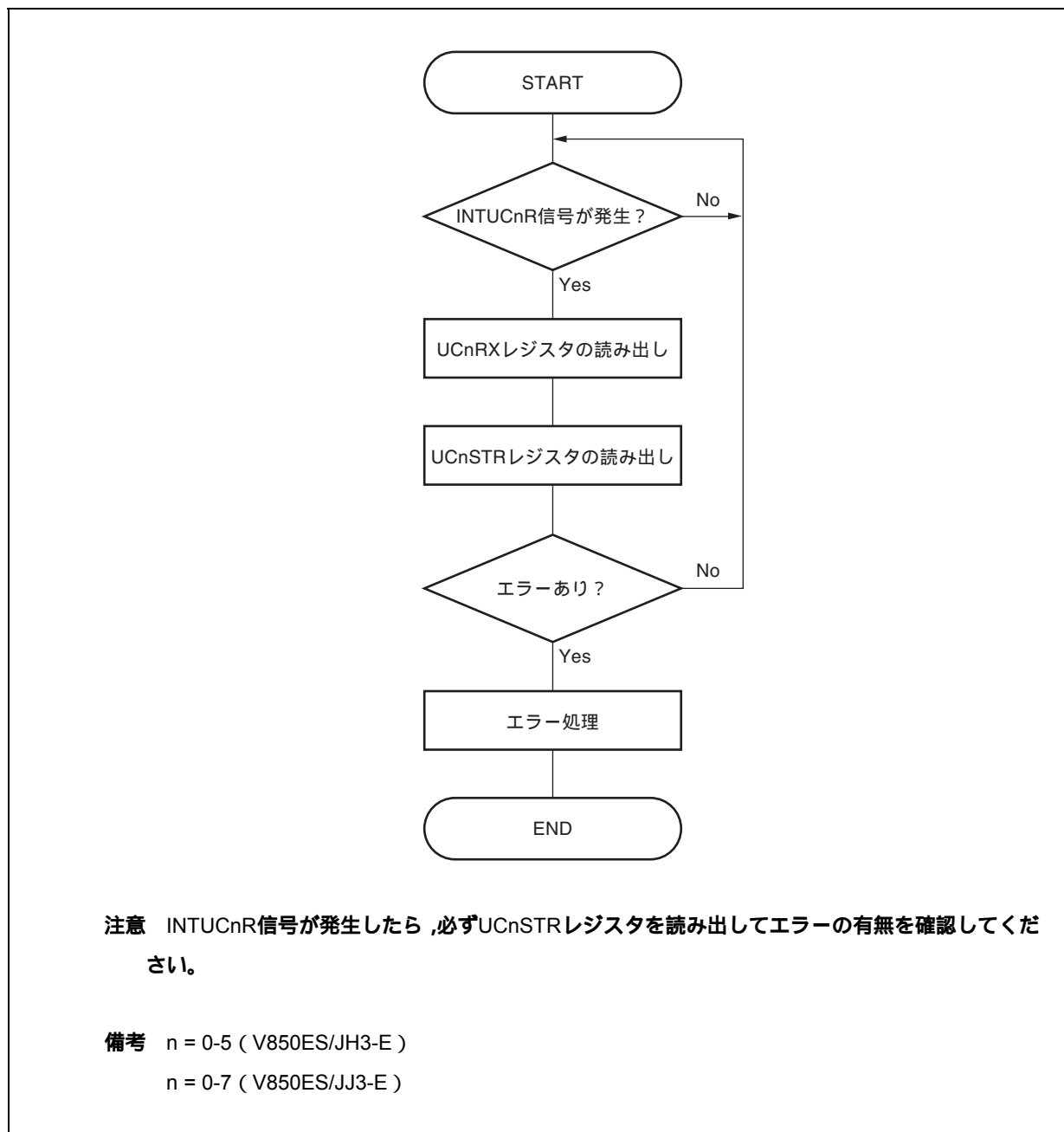
17.6.8 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUCnSTRレジスタに設定され、受信完了割り込み要求信号 (INTUCnR) を発生します。

UCnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0” ライトによりクリアしてください。

図17 - 19 受信データの読み出しフロー



・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UCnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UCnFE	フレーミング・エラー	ストップ・ビットが検出されない
UCnOVE	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

受信エラー発生時は、エラーの内容によって、次の処理を行ってください。

・パリティ・エラー

受信ラインへのノイズなどによって誤ったデータを受信しているため、受信データを破棄し、再度通信を行ってください。

・フレーミング・エラー

送信側との間でポー・レートずれが発生しているか、何らかの理由で誤ってスタート・ビットを検出してしまったことが考えられます。通信フォーマットのフェーラルなエラーであるため、送信側の動作停止を確認後、互いに初期化処理を行って再度通信を開始してください。

・オーバラン・エラー

受信データを読み出す前に次の受信が完了してしまったため、1フレーム分のデータが破棄された状態になっています。必要なデータであれば再度通信をやり直してください。

注意 連続受信時に受信エラー割り込みが発生した場合は、次の受信が完了する前にUCnSTRレジスタの内容を読み出してエラー処理を実施してください。

備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

17.6.9 パリティの種類と動作

注意 LIN機能を使用する場合、UCnCTL0.UCnPS1, UCnPS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

17.6.10 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRXDCn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図17-18参照)。基本クロックについては17.7(1)(a)基本クロックを参照してください。

また、回路は図17-17のようになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図17-20 ノイズ・フィルタ回路

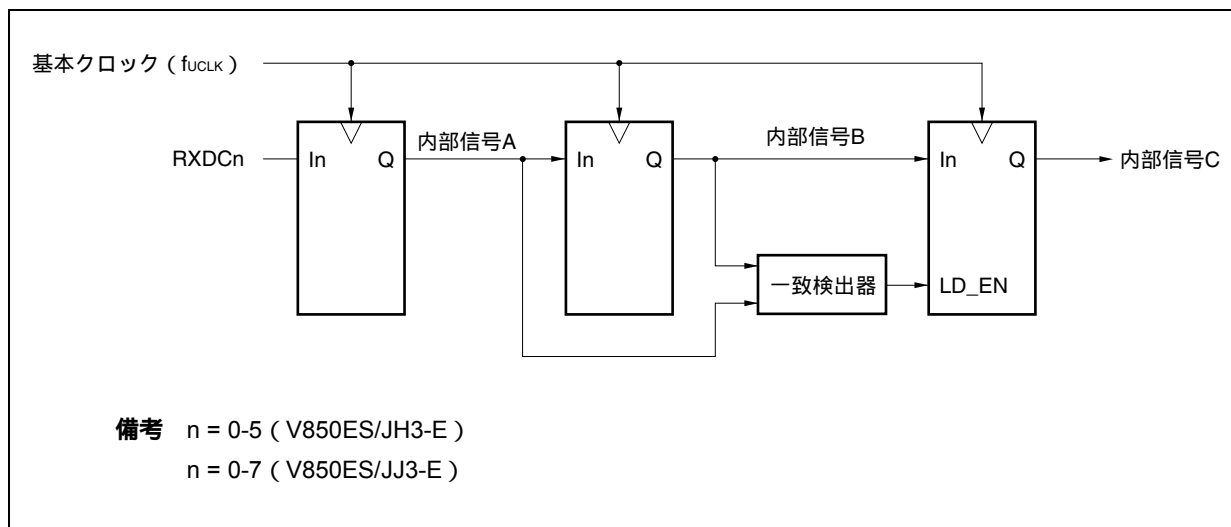
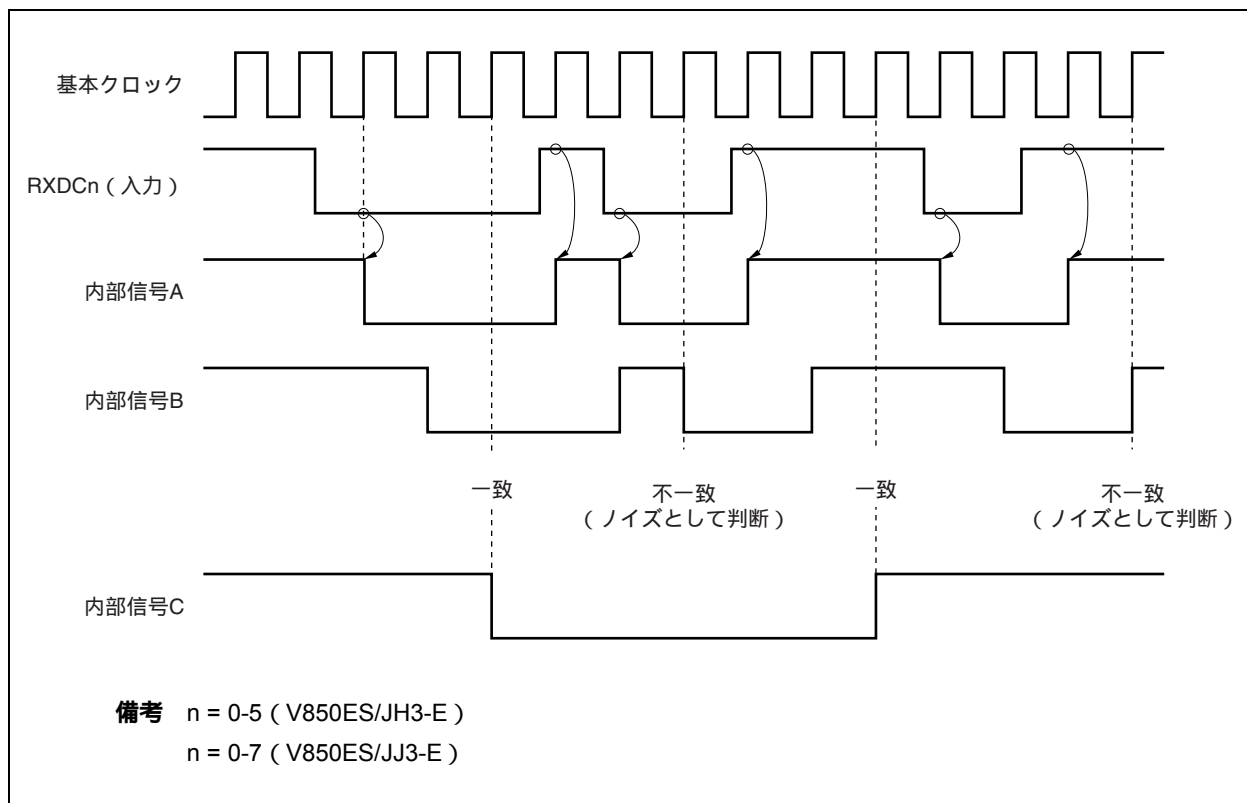


図17-21 ノイズとして判断されるRXDCn信号のタイミング



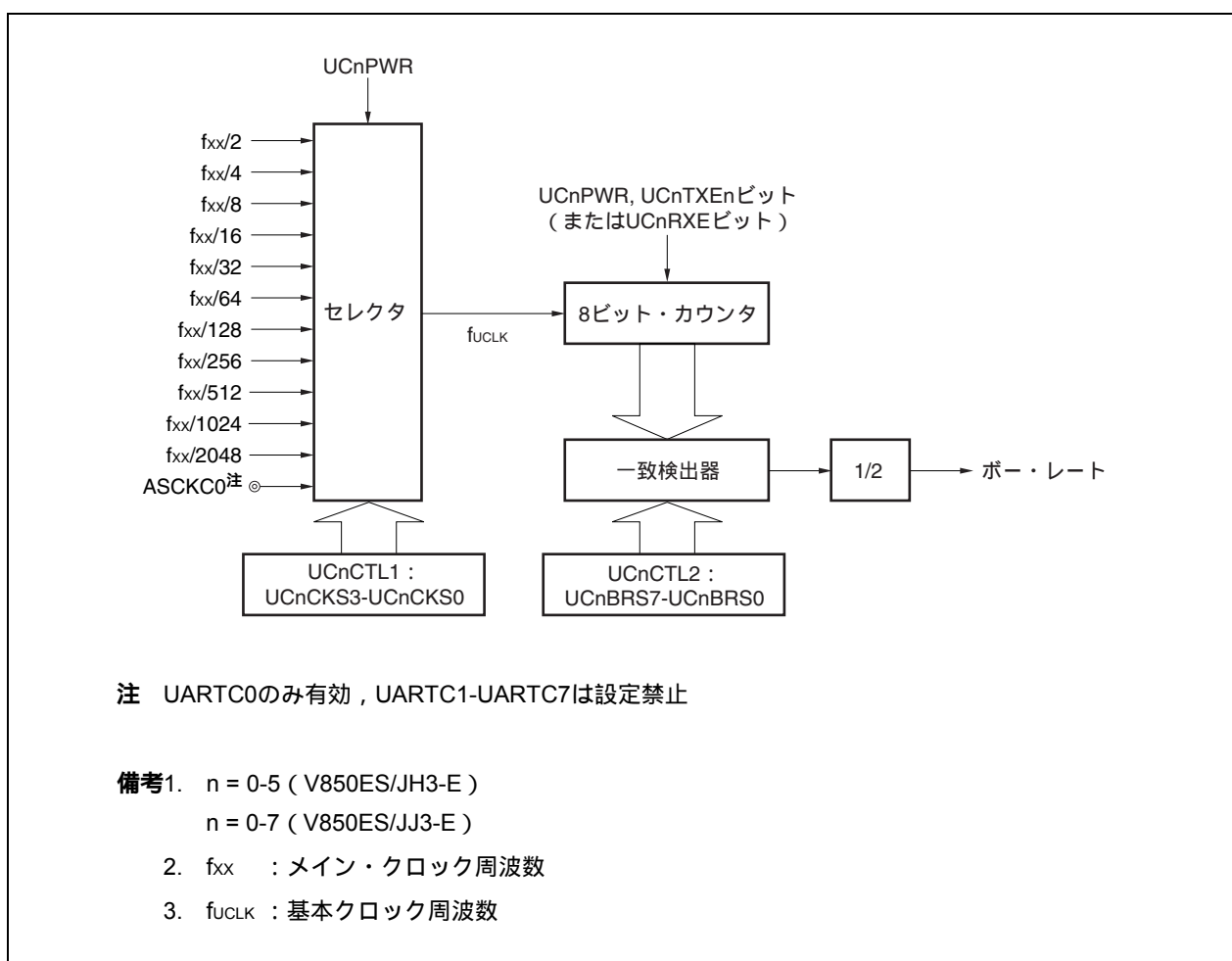
17.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTCnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図17-22 ポー・レート・ジェネレータの構成



(a) 基本クロック

$UCnCTL0$. $UCnPWR$ ビット = 1のとき、 $UCnCTL1$. $UCnCKS3$ - $UCnCKS0$ ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{uCLK}) と呼びます。

(b) シリアル・クロックの生成

$UCnCTL1$ レジスタと $UCnCTL2$ レジスタの設定により、シリアル・クロックを生成できます。

$UCnCTL1$. $UCnCKS3$ - $UCnCKS0$ ビットにより、基本クロックを選択します。

$UCnCTL2$. $UCnBRS7$ - $UCnBRS0$ ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTCn制御レジスタ1 (UCnCTL1)

UCnCTL1レジスタは、UARTCnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UCnCTL1レジスタを書き換える場合は、UCnCTL0.UCnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UC0CTL1 FFFFFFFA01H, UC1CTL1 FFFFFFFA11H,
UC2CTL1 FFFFFFFA21H, UC3CTL1 FFFFFFFA31H,
UC4CTL1 FFFFFFFA41H, UC5CTL1 FFFFFFFA51H,
UC6CTL1 FFFFFFFA61H, UC7CTL1 FFFFFFFA71H

	7	6	5	4	3	2	1	0
UCnCTL1	0	0	0	0	UCnCKS3	UCnCKS2	UCnCKS1	UCnCKS0

UCnCKS3	UCnCKS2	UCnCKS1	UCnCKS0	基本クロック (f _{uCLK}) の選択
0	0	0	0	f _{xx} /2
0	0	0	1	f _{xx} /4
0	0	1	0	f _{xx} /8
0	0	1	1	f _{xx} /16
0	1	0	0	f _{xx} /32
0	1	0	1	f _{xx} /64
0	1	1	0	f _{xx} /128
0	1	1	1	f _{xx} /256
1	0	0	0	f _{xx} /512
1	0	0	1	f _{xx} /1024
1	0	1	0	f _{xx} /2048
1	0	1	1	外部クロック ^注 (ASCKC0端子)
上記以外				設定禁止

注 UARTC0のみ有効，UARTC1-UARTC7は設定禁止

備考1. f_{xx}：メイン・クロック周波数

2. n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

(3) UARTCn制御レジスタ2 (UCnCTL2)

UCnCTL2レジスタは、UARTCnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 UCnCTL2レジスタを書き換える場合は、UCnCTL0.UCnPWRビット = 0、またはUCnTXE, UCnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UC0CTL2 FFFFFFFA02H, UC1CTL2 FFFFFFFA12H,
UC2CTL2 FFFFFFFA22H, UC3CTL2 FFFFFFFA32H,
UC4CTL2 FFFFFFFA42H, UC5CTL2 FFFFFFFA52H,
UC6CTL2 FFFFFFFA62H, UC7CTL2 FFFFFFFA72H

	7	6	5	4	3	2	1	0
UCnCTL2	UCnBRS7	UCnBRS6	UCnBRS5	UCnBRS4	UCnBRS3	UCnBRS2	UCnBRS1	UCnBRS0

UCnBRS7	UCnBRS6	UCnBRS5	UCnBRS4	UCnBRS3	UCnBRS2	UCnBRS1	UCnBRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	f _{uclk} /4
0	0	0	0	0	1	0	1	5	f _{uclk} /5
0	0	0	0	0	1	1	0	6	f _{uclk} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	0	0	1	0	250	f _{uclk} /250
1	1	1	1	0	0	1	1	251	f _{uclk} /251
1	1	1	1	1	1	0	0	252	f _{uclk} /252
1	1	1	1	1	1	0	1	253	f _{uclk} /253
1	1	1	1	1	1	1	0	254	f _{uclk} /254
1	1	1	1	1	1	1	1	255	f _{uclk} /255

備考1. f_{uclk} : UCnCTL1.UCnCKS3-UCnCKS0ビットで選択したクロック周波数

2. n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}/2}{2 \times k} \quad [\text{bps}]$$

内部クロックを使用する場合は、次の式になります (UARTC0でASCKC0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{ボー・レート} = \frac{f_{\text{xx}}/2}{2^{m+1} \times k} \quad [\text{bps}]$$

備考 f_{UCLK} = UCnCTL1.UCnCKS3-UCnCKS0ビットで選択した基本クロックの周波数
 f_{xx} : メイン・クロック周波数
 m = UCnCTL1.UCnCKS3-UCnCKS0ビットで設定した値 ($m = 0-10$)
 k = UCnCTL2.UCnBRS7-UCnBRS0ビットで設定した値 ($k = 4-255$)

ボー・レート誤差は次の式によって求められます。

$$\begin{aligned} \text{誤差}(\%) &= \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right] \times 100 [\%] \\ &= \left[\frac{f_{\text{UCLK}}/2}{2 \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%] \end{aligned}$$

内部クロックを使用する場合は、次の式になります (UARTC0でASCKC0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{誤差}(\%) = \left[\frac{f_{\text{xx}}/2}{2^{m+1} \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%]$$

- 注意1.** 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。
2. 受信時のボー・レート誤差は、(5) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

備考 $n = 0-5$ (V850ES/JH3-E)

$n = 0-7$ (V850ES/JJ3-E)

ボー・レートを設定するときは、次のように計算してUCnCTL1, UCnCTL2レジスタを設定してください (内部クロック使用時)。

$k = f_{xx} / 2 / (2 \times \text{目標ボー・レート})$ とし、 $m = 0$ としてください。

$k < 256$ のとき、 $k = k/2$ とし、 $m = m + 1$ としてください。

$k < 256$ になるまで、を繰り返してください。

k の小数点第一位を四捨五入します。

四捨五入して、 $k = 256$ になったときは、もう一度 を行ってください ($k = 128$ になります)。

m を UCnCTL1 レジスタに、 k を UCnCTL2 レジスタに設定してください。

例： $f_{xx} = 50 \text{ MHz}$ ，目標ボー・レート：153,600 bps の場合

$$k = 50,000,000/2 / (2 \times 153,600) = 81.380\dots, m = 0$$

$$k = 81.380\dots < 256, m = 0$$

$$\text{UCnCTL2 レジスタ設定値} : k = 81 = 51\text{H}, \text{UCnCTL1 レジスタ設定値} : m = 0$$

$$\begin{aligned} \text{実際のボー・レート} &= (50,000,000/2) / (2 \times 81) \\ &= 154,321 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{ボー・レート誤差} &= \{ 50,000,000/2 / (2 \times 81 \times 153,600) - 1 \} \times 100 \\ &= 0.469 \text{ [%]} \end{aligned}$$

次に、代表的なボー・レートの設定例を示します。

表17-4 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	$f_{xx} = 50 \text{ MHz}$			$f_{xx} = 48 \text{ MHz}$			$f_{xx} = 32 \text{ MHz}$			$f_{xx} = 24 \text{ MHz}$		
	UCnCT L1	UCnCT L2	ERR (%)	UCnCT L1	UCnCT L2	ERR (%)	UCnCT L1	UCnCT L2	ERR (%)	UCnCT L1	UCnCT L2	ERR (%)
	300	08H	A3H	- 0.15	08H	9CH	0.16	07H	D0H	0.16	07H	9CH
600	07H	A3H	- 0.15	07H	9CH	0.16	06H	D0H	0.16	06H	9CH	0.16
1200	06H	A3H	- 0.15	06H	9CH	0.16	05H	D0H	0.16	05H	9CH	0.16
2400	05H	A3H	- 0.15	05H	9CH	0.16	04H	D0H	0.16	04H	9CH	0.16
4800	04H	A3H	- 0.15	04H	9CH	0.16	03H	D0H	0.16	03H	9CH	0.16
9600	03H	A3H	- 0.15	03H	9CH	0.16	02H	D0H	0.16	02H	9CH	0.16
19200	02H	A3H	- 0.15	02H	9CH	0.16	01H	D0H	0.16	01H	C0H	0.16
31250	01H	C0H	0.00	01H	C0H	0.00	01H	80H	0.00	01H	9CH	0.00
38400	01H	A3H	- 0.15	01H	9CH	0.16	00H	D0H	0.16	00H	4EH	0.16
76800	00H	A3H	- 0.15	00H	9CH	0.16	00H	68H	0.16	00H	4EH	0.16
153600	00H	51H	0.47	00H	4EH	0.16	00H	34H	0.16	00H	27H	0.16
312500	00H	28H	0.00	00H	26H	1.05	00H	1AH	- 1.54	00H	13H	1.05
625000	00H	14H	0.00	00H	13H	1.05	00H	0DH	- 1.54	00H	0AH	- 4.00
1000000	00H	0DH	- 3.85	00H	0CH	0.00	00H	08H	0.00	00H	06H	0.00
1250000	00H	0AH	0.00	00H	0AH	- 4.00	設定禁止			00H	05H	- 4.00
2000000	00H	06H	4.17	00H	06H	0.00	00H	04H	0.00	設定禁止		
2500000	00H	05H	0.00	00H	05H	- 4.00	設定禁止					
3000000	00H	04H	4.17	00H	04H	0.00	設定禁止					

備考 f_{xx} : メイン・クロック周波数

ERR : ボー・レート誤差 [%]

$n = 0-5$ (V850ES/JH3-E)

$n = 0-7$ (V850ES/JJ3-E)

(5) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図17-23 受信時の許容ポー・レート範囲

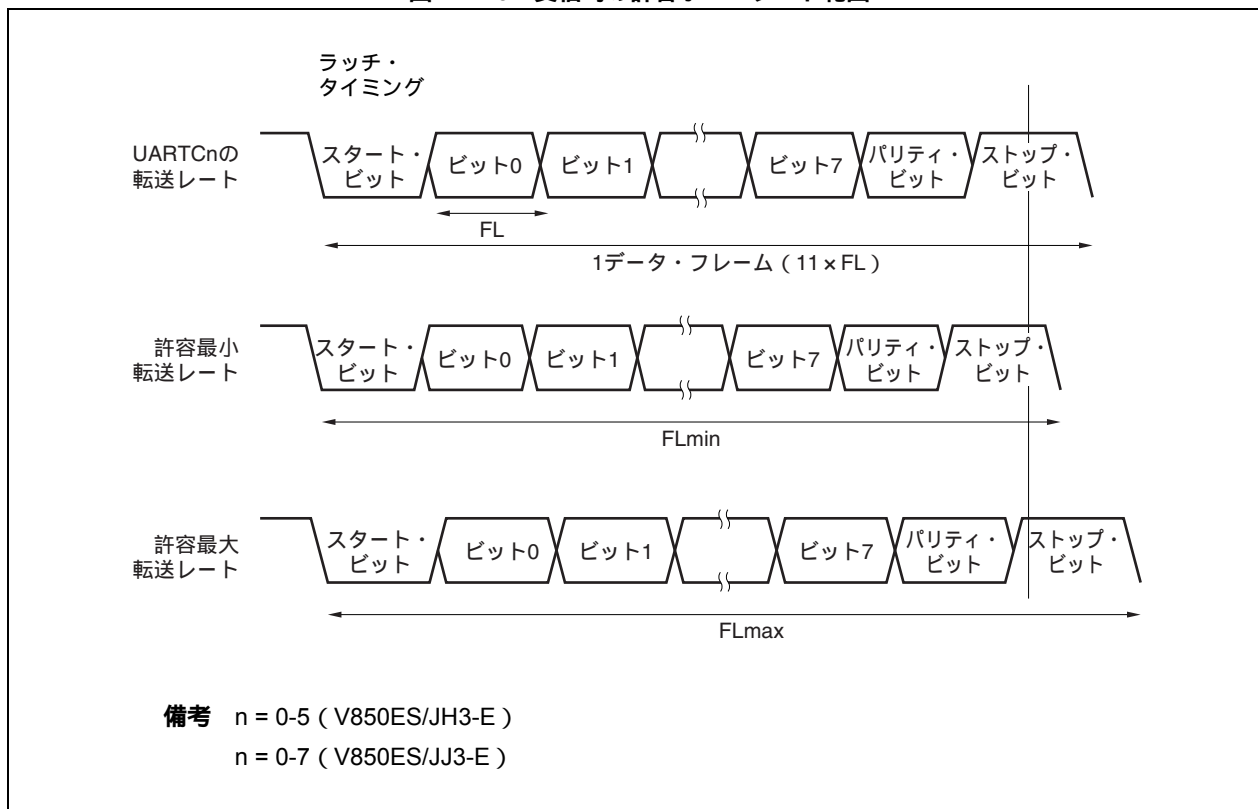


図17-23に示すように、スタート・ビット検出後はUCnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTCnのポー・レート

k : UCnCTL2.UCnBRS7-UCnBRS0ビットの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTCnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表17-5 許容最大/最小ボー・レート誤差

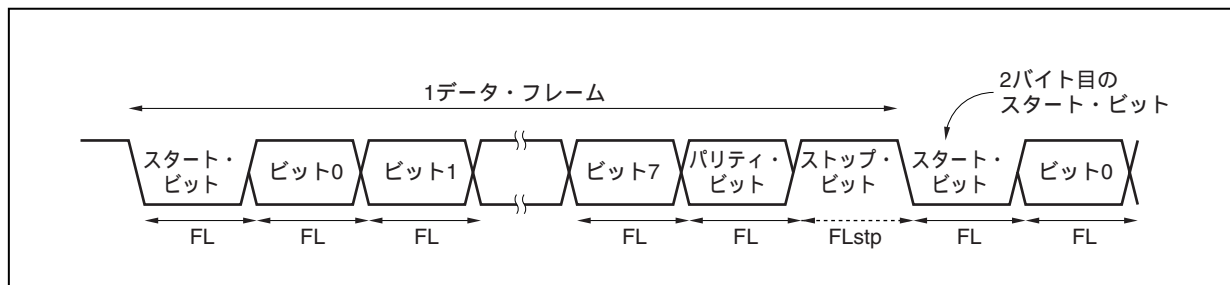
分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

- 備考1.** 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。
- k : UCnCTL2.UCnBRS7-UCnBRS0ビットの設定値
 - n = 0-5 (V850ES/JH3-E)
 - n = 0-7 (V850ES/JJ3-E)

(6) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図17 - 24 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{uCLK} とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{uCLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{uCLK})$$

17.8 注意事項

- (1) UARTCnへの供給クロックが停止する場合(例: IDLE1, IDLE2, STOPモード)は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDCn端子出力も停止直前の値を保持し、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUCnCTL0.UCnPWR, UCnRXEn, UCnTXEnビット = 000とし、回路を初期化してください。
- (2) UARTCnの起動は次の順序で行ってください。
- UCnCTL0.UCnPWRビット = 1
 - ポートの設定
 - UCnCTL0.UCnTXEビット = 1, UCnCTL0.UCnRXEビット = 1
- (3) UARTCnの停止は次の順序で行ってください。
- UCnCTL0.UCnTXEビット = 0, UCnCTL0.UCnRXEビット = 0
 - ポートの設定, UCnCTL0.UCnPWRビット = 0 (ポートの設定は変更しなくても問題ありません)
- (4) 送信モード中(UCnCTL0.UCnPWRビット = 1, かつUCnCTL0.UCnTXEビット = 1)に、ソフトウェアでUCnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。
- (5) 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。

備考 n = 0-5 (V850ES/JH3-E)

n = 0-7 (V850ES/JJ3-E)

第18章 FIFO付きクロック同期式シリアル・インタフェースE (CSIE)

V850ES/JH3-E, V850ES/JJ3-Eは、CSIEを2チャンネル搭載しています。

18.1 CSIE0, CSIE1のポート設定

18.1.1 V850ES/JH3-Eの場合

表18 - 1 端子構成

モード	端子名	兼用端子		
		ピン番号	ポート	兼用機能
CSIE0	SIE0	6	P43	TXDC4/RTP03/HLDAK
	SOE0	7	P44	RXDC4/RTP04/HLDRQ
	SCKE0	8	P45	TIAA41/TOAA41/RTP05
CSIE1	SIE1	74	P99	TXDC5/SDA03/A9
		105	PDH0	A16
	SOE1	75	P910	RXDC5/SCL03/A10
		106	PDH1	A17
	SCKE1	76	P911	TIAA50/TOAA50/A11
		107	PDH2	A18

- 注意1. 動作中にポート設定を切り替えないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。
2. CSIE1の端子 (SIE1, SOE1, SCKE1) は、表18 - 1のようにP99, P910, P911とPDH0, PDH1, PDH2の2箇所割り当てられています。P99, P910, P911で使用する場合には、PDH0, PDH1, PDH2では使用しないでください。また、PDH0, PDH1, PDH2で使用する場合にはP99, P910, P911では使用しないでください。

18.1.2 V850ES/JJ3-Eの場合

表18-2 端子構成

モード	端子名	兼用端子		
		ピン番号	ポート	兼用機能
CSIE0	SIE0	6	P43	TXDC4/RTP03
	SOE0	7	P44	RXDC4/RTP04
	SCKE0	8	P45	TIAA41/TOAA41/RTP05
CSIE1	SIE1	80	P99	TXDC5/SDA03/A9
		111	PDH0	A16
	SOE1	81	P910	RXDC5/SCL03/A10
		112	PDH1	A17
	SCKE1	82	P911	TIAA50/TOAA50/A11
		113	PDH2	A18

- 注意1. 動作中にポート設定を切り替えないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。
2. CSIE1の端子 (SIE1, SOE1, SCKE1) は、表18-2のようにP99, P910, P911とPDH0, PDH1, PDH2の2箇所割り当てられています。P99, P910, P911で使用する場合には、PDH0, PDH1, PDH2では使用しないでください。また、PDH0, PDH1, PDH2で使用する場合にはP99, P910, P911では使用しないでください。

18.2 特 徴

転送速度：最大5 Mbps

マスタ・モードとスレーブ・モードを選択可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

シリアル・クロックとデータのフェーズ切り替えが可能

16ビットの送受信バッファ (CSIBUFn) を16本内蔵

送信モード, 受信モード, 送受信モードを指定可能

- ・送信モード：送信許可状態でCSIE_n送信データ・バッファ・レジスタ (CEnTX0) に送信データをライトする処理をトリガとして送信を開始します。
- ・受信モード：受信許可状態でCSIE_n送信データ・バッファ・レジスタ (CEnTX0) にダミー・データをライトする処理をトリガとして受信を開始します。
- ・送受信モード：送受信許可状態でCSIE_n送信データ・バッファ・レジスタ (CEnTX0) に送信データをライトする処理をトリガとして送受信を開始します。

割り込み要求信号

- ・送受信完了割り込み (INTCEnT)
- ・CSIBUFnオーバフロー割り込み (INTCEnTIOF)

3線式 SOEn : シリアル・データ出力

SIEn : シリアル・データ入力

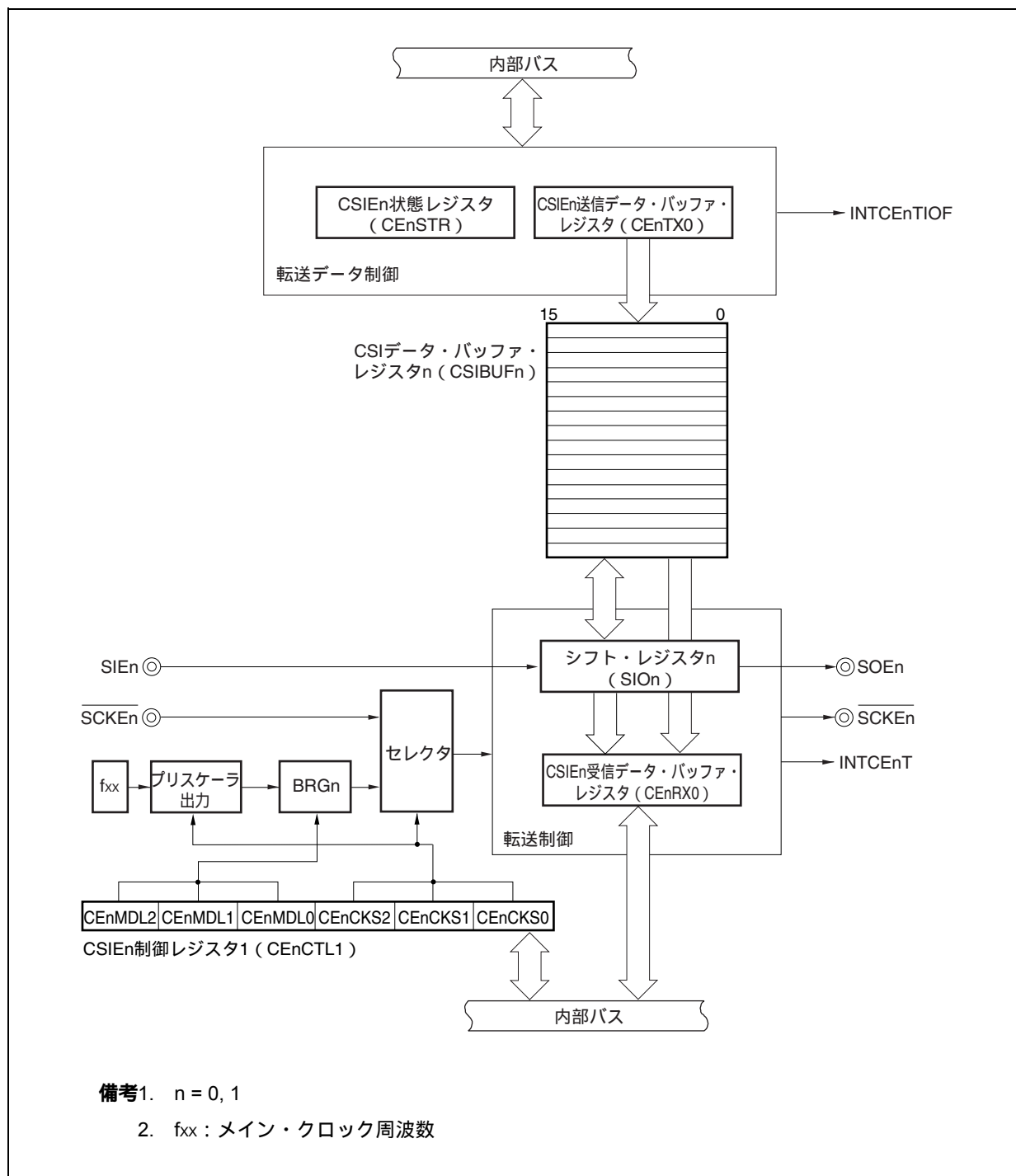
$\overline{\text{SCKEn}}$: シリアル・クロック入出力

備考 n = 0, 1

18.3 構成

次にCSIEのブロック図を示します。

図18-1 CSIEのブロック図



CSIEは、次のハードウェアで構成されています。

表18 - 3 CSIEの構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタn (SIO _n) CSIE受信データ・バッファ・レジスタ (CEnRX0) CSIE送信データ・バッファ・レジスタ (CEnTX0) CSIEデータ・バッファ・レジスタn (CSIBUF _n)
制御レジスタ	CSIE制御レジスタ0 (CEnCTL0) CSIE制御レジスタ1 (CEnCTL1) CSIE制御レジスタ2 (CEnCTL2) CSIE制御レジスタ3 (CEnCTL3) CSIE状態レジスタ (CEnSTR)

(3) CSIE送信データ・バッファ・レジスタ (CEnTX0)

CEnTX0レジスタは、送信データを格納する16ビット・バッファ・レジスタです。

ライト時には、ライト用CSIBUFnポインタをインクリメントしながら、CSIBUFnレジスタ内に送信データを順次格納します。なお、連続モード (CEnCTL0.CEnTMSビット = 1) 時にCEnCTL3.CEnSFN3-CEnSFN0ビット設定値 (CSIE転送データ数) を越えるCEnTXレジスタへのライトを禁止します。

リード時には、最後にライトした送信データの値がリードされます。

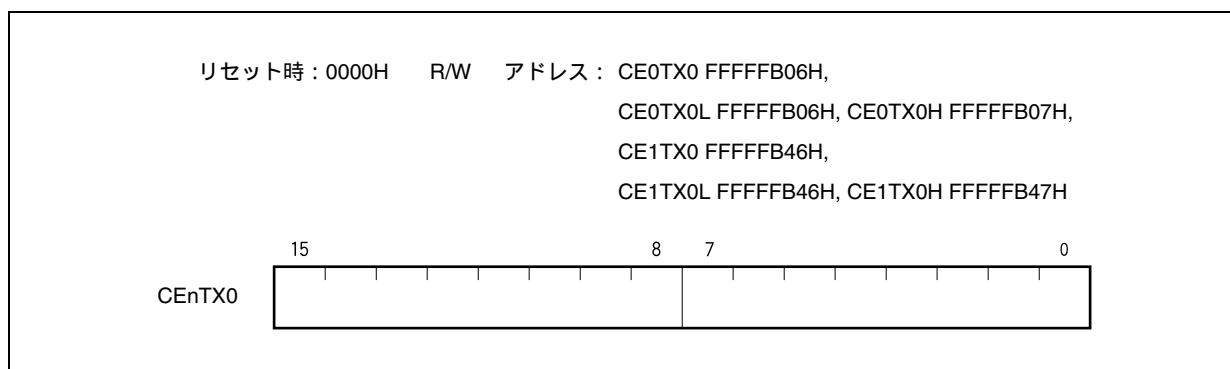
CEnTX0レジスタは16ビット単位でリード/ライト可能です。

CEnTX0レジスタの上位8ビットをCEnTX0Hレジスタ, 下位8ビットをCEnTX0Lレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。なお、8ビット単位でライトする場合は、必ずCEnTX0Hレジスタ, CEnTX0Lレジスタの順番で行ってください。また、送信データは転送方向によらず、下位詰めでライトしてください。送信データが8ビットの場合は、CEnTX0Lレジスタのみライトしてください。

リセットにより0000Hになります。

注意 次に示す状態において、CEnTX0レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



CEnTX0レジスタのリード/ライト時の動作を次に示します。

リード/ライト	CEnTX0レジスタの動作
ライト	CSIBUFnレジスタ内に送信データを順次格納する
リード	最後にライトした送信データの値をリードする

(4) CSIデータ・バッファ・レジスタn (CSIBUFn)

転送する送信データをCEnTX0レジスタに連続ライトすることにより、自動的にライト用CSIBUFnポインタをインクリメントしながらCSIBUFnレジスタ内に最大16個の16ビット・データを格納することができます。

連続モードでは、受信データをCEnRX0レジスタから、続けてリードすることで、自動的にリード用CSIBUFnポインタをインクリメントしながら、CSIBUFnレジスタ内の受信済みデータを順次リードできます。

18.4 制御レジスタ

CSIE_nを制御するレジスタには、次のものがあります。

- ・ CSIE_n制御レジスタ0 (CEnCTL0)
- ・ CSIE_n制御レジスタ1 (CEnCTL1)
- ・ CSIE_n制御レジスタ2 (CEnCTL2)
- ・ CSIE_n制御レジスタ3 (CEnCTL3)
- ・ CSIE_n状態レジスタ (CEnSTR)

(1) CSIE_n制御レジスタ0 (CEnCTL0)

CEnCTL0レジスタは、CSIE_nの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CEnTMS, CEnDIR, CEnSITビットは、CEnTXEビット = 0 およびCEnRXEビット = 0のときのみライト可能です。

リセットにより00Hになります。

注意 次に示す状態において、CEnCTL0レジスタへのアクセスは禁止です。詳細は3.4.9(2)特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

(1/2)

リセット時：00H R/W アドレス：CE0CTL0 FFFFFFFB00H, CE1CTL0 FFFFFFFB40H

	⑦	⑥	⑤	④	③	2	1	0
CEnCTL0	CEnPWR	CEnTXE	CEnRXE	CEnTMS	CEnDIR	CEnSIT	0	0

(n = 0, 1)

CEnPWR	CSIE _n 動作禁止 / 許可の指定
0	CSIE _n 動作禁止
1	CSIE _n 動作許可

・ CEnPWRビット = 0にすると、CSIE_nの動作状態をリセットしてCSIE_nは停止します。CSIE_nを動作させる場合には、まずCEnPWRビット = 1にしたあとで、他のビットを設定してください。CEnPWRビットは単独で書き換えてください。

・ CEnPWRビットを0, 1, 1, 0と書き換える場合は、同時にCEnCTL0レジスタのCEnPWRビット以外のビットを書き換えることは禁止です。

また、CEnPWRビット = 0のときに、CEnCTL0レジスタのCEnPWRビット以外のビット、およびCEnTX0, CEnTX0L, CEnSTRレジスタの書き換えは禁止します。

CEnTXE	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可

・ CEnTXEビットは、CEnPWRビットをクリア (0) するとリセットされます。

・ CEnPWRビット = 1のとき、CEnTXEビット = 0としたあと、2動作クロック (f_{xx}) 未満でのCEnTXEビット = 1の設定は禁止します。また、CEnTXEビット = 1としたあと、2動作クロック (f_{xx}) 経過後に送信動作が許可状態となります。

注意 ビット0, 1には必ず0を設定してください。1を設定した場合の動作は保証できません。

CEnRXE	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可

・ CEnRXEビットは、CEnPWRビットをクリア (0) するとリセットされます。
 ・ CEnPWRビット = 1 のとき、CEnRXEビット = 0 としたあと、2動作クロック (f_{xx}) 未満でのCEnRXEビット = 1 の設定は禁止します。また、CEnRXEビット = 1 としたあと、2動作クロック (f_{xx}) 経過後に受信動作が許可状態となります。

CEnTMS	転送モードの指定
0	シングル・モード
1	連続モード

CEnDIR	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

・ CEnTX0レジスタからCSIBUFnレジスタへのライト / CEnRX0, CSIBUFnレジスタからのリード時の転送方向を指定します。

CEnSIT	送受信完了割り込み信号 (INTCEnT) の遅延制御
0	遅延なし
1	遅延モード (1データの転送終了時に半サイクルの遅延が挿入されるため、次のデータ転送も半サイクル遅れる)

・ 遅延モード (CEnSITビット = 1) は、マスタ・モード (CEnCTL1レジスタの CEnCKS2-CEnCKS0ビットが111以外) のときのみ有効です。スレーブ・モード (CEnCKS2-CEnCKS0ビットが111) 時は、遅延モードに設定しないでください。設定しても、INTCEnTはCEnSITビットの影響を受けません。
 ・ 連続モード (CEnTMSビット = 1) 時にCEnSITビット = 1に設定した場合、CEnCTL3.CEnSFN3-CEnSFN0ビットで設定した最終データ以外の転送終了時にINTCEnT割り込み自体は出力されませんが、各データ転送間に半クロック (1/2 シリアル・クロック) 分の遅延は挿入できます。

(2) CSIE_n制御レジスタ1 (CEnCTL1)

CEnCTL1レジスタは、CSIE_nの動作クロックと動作モードを制御するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CEnCTL1レジスタは、CEnCTL0.CEnTXEビット = 0およびCEnRXEビット = 0のときのみライト可能です。

リセットにより07Hになります。

(1/2)

リセット時：07H R/W アドレス：CE0CTL1 FFFFFFFB01H, CE1CTL1 FFFFFFFB41H

	7	6	5	4	3	2	1	0
CEnCTL1	CEnMDL2	CEnMDL1	CEnMDL0	CEnCKP	CEnDAP	CEnCKS2	CEnCKS1	CEnCKS0

(n = 0, 1)

CEnMDL2	CEnMDL1	CEnMDL0	設定値 (N)	転送クロック (BRG _n 出力信号) の指定
0	0	0	-	BRG _n ストップ・モード (パワー・セーブ)
0	0	1	1	f _{XCLK} /2
0	1	0	2	f _{XCLK} /4
0	1	1	3	f _{XCLK} /6
1	0	0	4	f _{XCLK} /8
1	0	1	5	f _{XCLK} /10
1	1	0	6	f _{XCLK} /12
1	1	1	7	f _{XCLK} /14

・スレープ・モード (CEnCKS2-CEnCKS0ビット = 111) 時には、CEnMDL2-CEnMDL0ビット = 000 (BRG_nストップ・モード) に設定してください。

	CEnCKP	CEnDAP	SCKE _n に対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

備考 f_{XCLK} : CEnCKS2-CEnCKS0ビットで選択した基本クロック

CEnCKS2	CEnCKS1	CEnCKS0	設定値 (K)	基本クロック (f_{CLK})	モード
0	0	0	0	$f_{xx}/2$	マスタ・モード
0	0	1	1	$f_{xx}/4$	マスタ・モード
0	1	0	2	$f_{xx}/8$	マスタ・モード
0	1	1	3	$f_{xx}/16$	マスタ・モード
1	0	0	4	$f_{xx}/32$	マスタ・モード
1	0	1	5	$f_{xx}/64$	マスタ・モード
1	1	0	6	$f_{xx}/128$	マスタ・モード
1	1	1	-	外部クロック (\overline{SCKEn})	スレーブ・モード

・ CEnCKS2-CEnCKS0ビット = 000に設定した場合, CEnMDL2-CEnMDL0ビット = 001の設定は禁止します。

備考 f_{xx} : メイン・クロック周波数

(3) CSIE_n制御レジスタ2 (CEnCTL2)

CEnCTL2レジスタは、CSIE_nの転送データ長を選択するレジスタです。

8/1ビット単位でリード/ライト可能です。CEnCTL2レジスタは、CEnCTL0.CEnTXEビット = 1 または CEnRXEビット = 1の場合は転送中の可能性があります。CEnCTL2レジスタへのライトは必ずCEnTXEビット = 0 および CEnRXEビット = 0に設定してから実行してください。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CE0CTL2 FFFFFFFB09H, CE1CTL2 FFFFFFFB49H

	7	6	5	4	3	2	1	0
CEnCTL2	0	0	0	0	CEnDLS3	CEnDLS2	CEnDLS1	CEnDLS0

(n = 0, 1)

CEnDLS3	CEnDLS2	CEnDLS1	CEnDLS0	転送ビット長の指定
0	0	0	0	16ビット
1	0	0	0	8ビット
1	0	0	1	9ビット
1	0	1	0	10ビット
1	0	1	1	11ビット
1	1	0	0	12ビット
1	1	0	1	13ビット
1	1	1	0	14ビット
1	1	1	1	15ビット
上記以外				設定禁止

・転送データ長に16ビット (CEnDLS3-CEnDLS0ビット = 0000) 以外を指定した場合、CEnRX0, CSIBUF_nレジスタの上位側の余ったビットには不定値がリードされます (18.6 (3) データ転送方向指定機能参照)。

注意 ビット4-7には必ず0を設定してください。1を設定した場合の動作は保証できません。

(4) CSIE_n制御レジスタ3 (CEnCTL3)

CEnCTL3レジスタは、連続モード (CEnCTL0.CEnTMSビット = 1) 時のCSIE_nの転送データ数を設定するレジスタです。連続モードで転送中 (CEnSTR.CEnTSFビット = 1) のときに、CEnCTL3レジスタの書き換えは禁止します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : CE0CTL3 FFFFFFFB0CH, CE1CTL3 FFFFFFFB4CH

	7	6	5	4	3	2	1	0
CEnCTL3	0	0	0	0	CEnSFN3	CEnSFN2	CEnSFN1	CEnSFN0

(n = 0, 1)

CEnSFN3	CEnSFN2	CEnSFN1	CEnSFN0	転送データ数の指定
0	0	0	0	16
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

・ CEnSFN3-CEnSFN0ビット設定値 (CSIE_n転送データ数) を越えるデータを CSIBUF_nレジスタへライトすることは禁止します。

注意 ビット4-7には必ず0を設定してください。

(5) CSIE_n状態レジスタ (CEnSTR)

CSIBUF_nレジスタまたは転送の状態を表示するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ビット6-0はリードのみ可能です。ライトしても変化しません。

リセットにより20Hになります。

リセット以外に、CEnCTL0.CEnPWRビットをクリア(0)しても初期化されます。

注意1. 次に示す状態において、CEnSTRレジスタへのアクセスは禁止です。詳細は3. 4. 9(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

2. 転送中のCEnFLF, CEnEMF, CEnTSF, CEnSFP3-CEnSFP0ビット値は、常に変化する可能性があるため、転送中のリード値は実際の値とは異なる場合があります。特にCEnTSFビットは、単独で使用してください(他のビットと関連付けて使用しないでください)。また、転送終了の判断をCEnSTRレジスタで行う場合は、転送予定分の転送データをCSIBUF_nレジスタへライト後のCEnEMFビット = 1で判断するようにしてください。

リセット時：20H R/W アドレス：CE0STR FFFFFFFB08H, CE1STR FFFFFFFB48H

	⑦	⑥	⑤	④	3	2	1	0
CEnSTR	CEnPCT	CEnFLF	CEnEMF	CEnTSF	CEnSFP3	CEnSFP2	CEnSFP1	CEnSFP0

(n = 0, 1)

CEnPCT	CSIBUFnポインタのクリア指定
0	動作なし
1	全CSIBUFnポインタをクリア (0)

・リード時には常に0が読み出されます。
 ・転送途中にCEnPCTビット = 1のライトを行った場合、転送は中断されます。また、全CSIBUFnポインタがクリア (0) されるため、CSIBUFnレジスタ内の残りのデータも無視されます。
 CEnPCTビット = 1のライトを行った場合には、必ずCEnSTRレジスタのリードを行い、全CSIBUFnポインタが確実にクリア (0) されたこと (CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000) を確認してください。全CSIBUFnポインタが確実にクリア (0) されたことを確認する前に、CEnPCTビットへのライトは禁止します。

CEnFLF	CSIBUFnレジスタのfull状態フラグ
0	CSIBUFnレジスタに空きあり
1	CSIBUFnレジスタはfull状態

・CEnCTL0.CEnPWRビット = 0, またはCEnPCTビット = 1のライトでクリア (0) されます。
 ・連続モード (CEnCTL0.CEnTMSビット = 1) 時に16個のデータ転送を指定した場合 (CEnCTL3.CEnSFN3-CEnSFN0ビット = 0000), シングル・モード (CEnCTL0.CEnTMSビット = 0) と同様にCSIBUFnレジスタにデータが16個あるときにはCEnFLFビット = 1になり、1つでもデータ転送が終了したときにはCEnFLFビット = 0になりますが、実際にCSIBUFnレジスタに空きができたわけではありません。この場合に次の転送データをCSIBUFnレジスタにライトすることは禁止します。CSIBUFnレジスタにライトを行っても、データは転送されません。また、データ受信を行っていた場合は、受信データが上書きされます。次の転送を行うには、必ず全データの転送終了後、CEnPCTビット = 1にライトして全CSIBUFnポインタをクリア (0) してください。

CEnEMF	CSIBUFnレジスタのempty状態フラグ
0	CSIBUFnレジスタにデータあり
1	CSIBUFnレジスタはempty状態

・CEnCTL0.CEnPWRビット = 0, またはCEnPCTビット = 1のライトでセット (1) されます。
 ・CSIBUFnレジスタ内にライトされた転送データ分の転送が終了すると、CEnEMFビット = 1になります (CSIBUFnレジスタ内に受信データが格納されていてもCEnEMFビット = 1になります)。

CEnTSF	転送状態フラグ
0	アイドル状態
1	転送中または転送開始処理中
	<ul style="list-style-type: none"> ・ CEnCTL0.CEnPWRビット = 0, CEnPCTビット = 1のライト, または CEnCTL0.CEnTXEビット = 0およびCEnRXEビット = 0でクリア (0) されます。 ・ シングル・モード (CEnCTL0.CEnTMSビット = 0) 時には転送開始からCSIBUFnレジスタ内の転送データがなくなるまで, 連続モード (CEnCTL0.CEnTMSビット = 1) 時には転送開始から指定したデータ数分の転送が終了するまで “1” を保持します。
CEnSFP3-CEnSFP0	<ul style="list-style-type: none"> ・ シングル・モード (CEnCTL0.CEnTMSビット = 0) 時には, 「CSIBUFnレジスタ内の残りの転送データ数 (ライト用CSIBUFnポインタ値 - SIOnロード用CSIBUFnポインタ値)」 がリードできます。 ・ 連続モード (CEnCTL0.CEnTMSビット = 1) 時には, 「転送完了したデータ数 (SIOnロード/ストア用CSIBUFnポインタの値)」 がリードできます。ただし, CEnSFP3-CEnSFP0ビット = 0Hの場合の値はCEnEMFビットの設定により次のようになります。 CEnEMFビット = 0のとき: 転送完了したデータ数 = 0個 CEnEMFビット = 1のとき: 転送完了したデータ数 = 16個, または 転送開始前 (転送データ・ライト前) の状態
	<ul style="list-style-type: none"> ・ CEnPCTビット = 1のライトにより, 動作クロックに同期してクリア (0) されます。ただし, CEnCTL0.CEnPWRビット = 0またはCEnPCTビット = 1のライトを行うまで値は保持されます。

18.5 専用ポー・レート・ジェネレータⁿ (BRGⁿ)

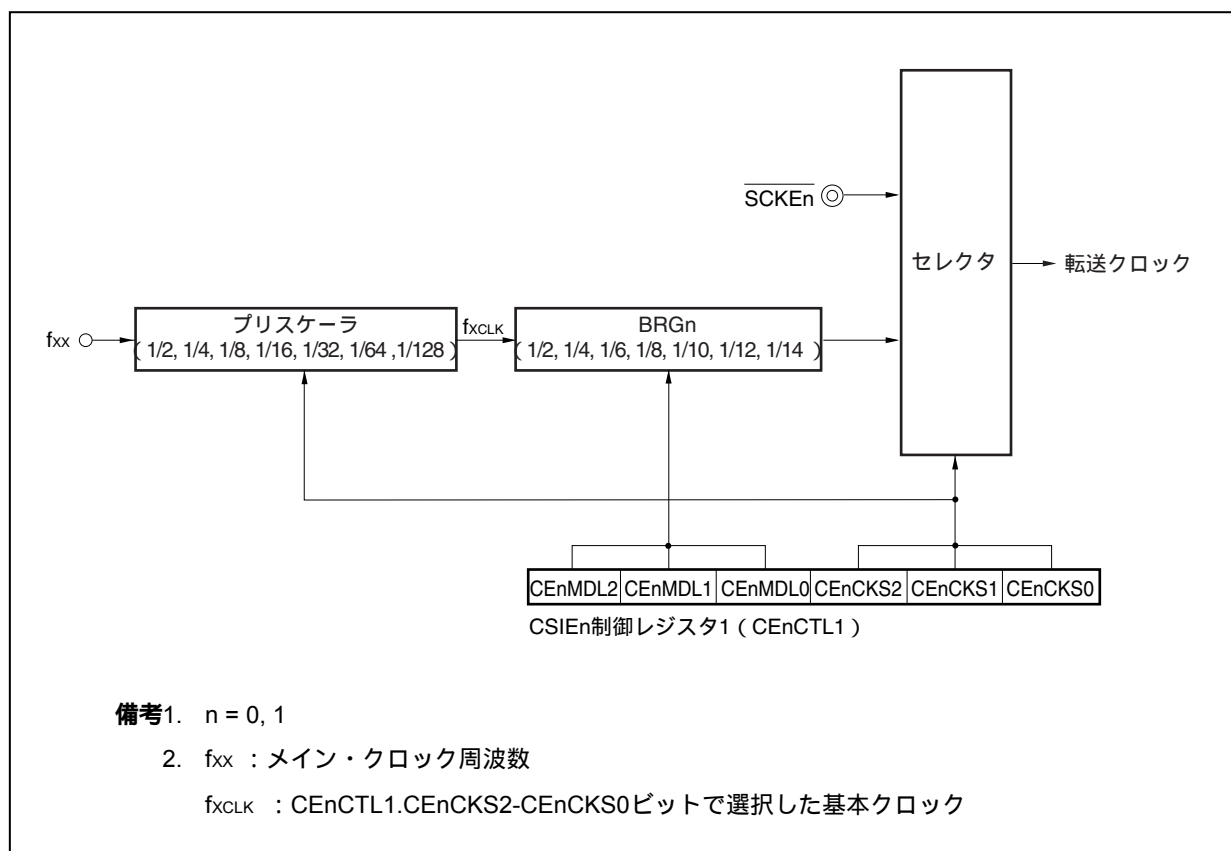
CSIEⁿの転送クロックは、専用ポー・レート・ジェネレータ出力または外部クロックから選択できます (n = 0, 1)。

シリアル・クロック・ソースは、CEnCTL1レジスタで指定します。

マスタ・モードを指定した場合 (CEnCTL1.CEnCKS2-CEnCKS0ビット = 111以外) は、クロック・ソースとしてBRGⁿが選択されます。

(1) 転送クロック

図18-2 CSIEⁿの転送クロック



(2) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{xx}}{N \times 2^{(K+1)}} \text{ [bps]}$$

注意 CEnCTL1.CEnCKS2-CEnCKS0ビット = 000に設定した場合，CEnCTL1.CEnMDL2-CEnMDL0ビット = 001の設定は禁止します。

備考 f_{xx} : メイン・クロック周波数

K = CEnCTL1.CEnCKS2-CEnCKS0ビットで設定した値 ($K = 0, 1, 2, \dots, 6$)

N = CEnCTL1.CEnMDL2-CEnMDL0ビットで設定した値 ($N = 1, 2, 3, \dots, 7$)

18.6 動作

(1) 動作モード一覧

表18-5 動作モード一覧

CEnTMSビット	CEnCK2-CEnCK0ビット	CEnTXE, CEnRXEビット	CEnDIRビット	CEnSITビット
シングル・モード	マスタ・モード	送信 / 受信 / 送受信	MSB/LSB先頭	INTCEnT遅延モードの許可 / 禁止
	スレーブ・モード			-
連続モード	マスタ・モード			INTCEnT遅延モードの許可 / 禁止
	スレーブ・モード			-

- 備考1. CEnTXEビット : CEnCTL0レジスタのビット6
 CEnRXEビット : CEnCTL0レジスタのビット5
 CEnTMSビット : CEnCTL0レジスタのビット4
 CEnDIRビット : CEnCTL0レジスタのビット3
 CEnSITビット : CEnCTL0レジスタのビット2
 CEnCK2-CEnCK0ビット : CEnCTL1レジスタのビット2-0
2. n = 0, 1

(2) CSIデータ・バッファ・レジスタ0, 1 (CSIBUF0, CSIBUF1) 機能

転送する送信データをCEnTX0レジスタに連続ライトすることにより、自動的にライト用CSIBUFnポインタをインクリメントしながらCSIBUFnレジスタ内に最大16個の16ビット・データを格納できます(n=0, 1)。

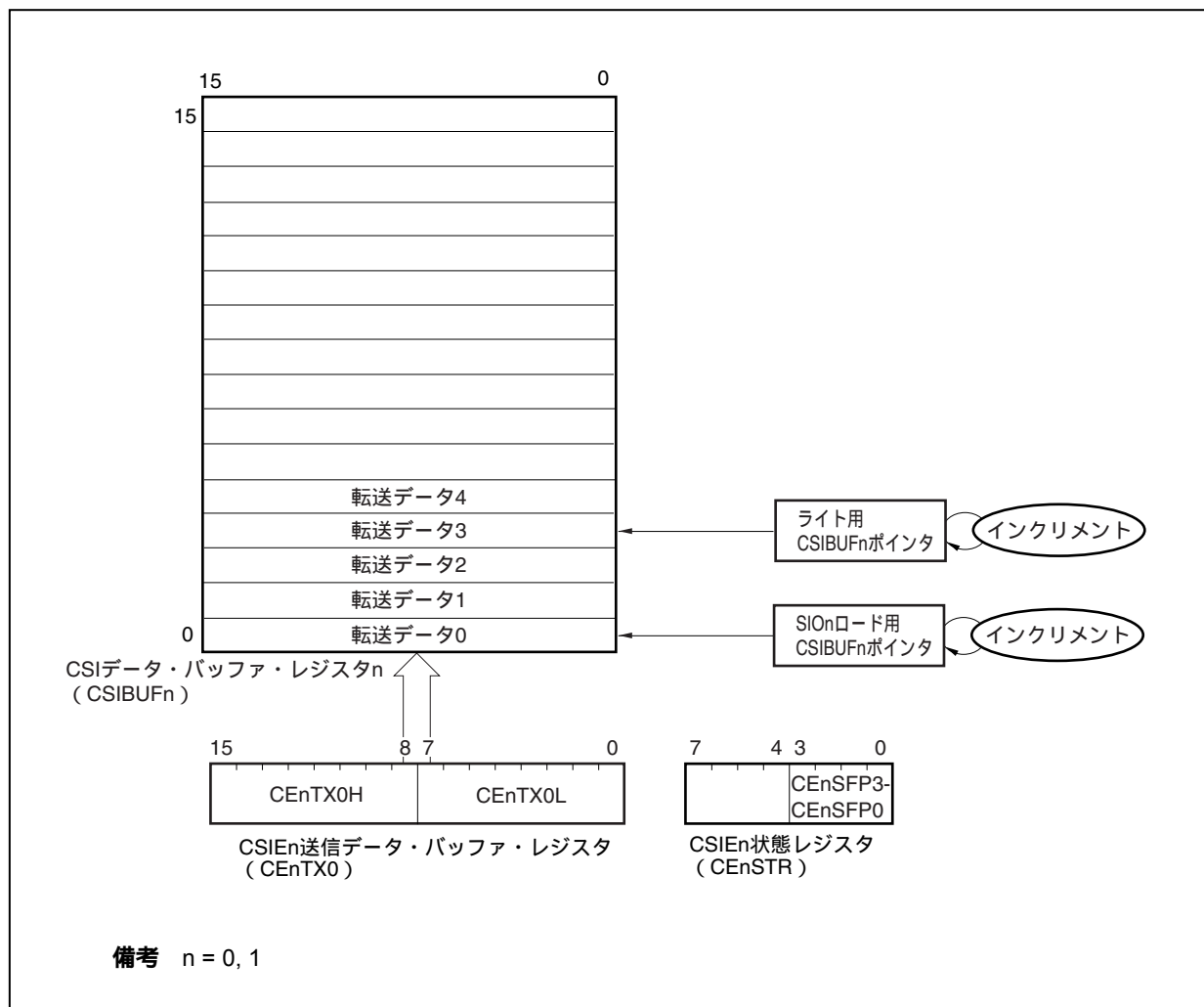
転送の開始条件(CEnSTR.CEnEMFビット = 0)は、CEnTX0レジスタの下位8ビット側(CEnTX0Lレジスタ)へのライトで成立します。このため、転送データ長を9ビット以上(CEnCTL2.CEnDLS3-CEnDLS0ビット = 0000, 1001-1111)に指定した場合は、CEnTX0レジスタへの16ビット・ライト、またはCEnTX0H, CEnTX0Lレジスタの順で8ビット・ライトするようにデータ設定してください。また、転送データ長を8ビット(CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000)に指定した場合は、CEnTX0Lレジスタへの8ビット・ライト、またはCEnTX0レジスタへの16ビット・ライトするようにデータ設定してください(ただし、CEnTX0Lレジスタへの16ビット・ライトを行っても、上位8ビット側(CEnTX0Hレジスタ)の8ビット・データは無視され、転送されません)。

CEnSTR.CEnFLFビットは、CSIBUFnレジスタ内に16個のデータが存在する場合にセット(1)され、CEnFLFビット = 1のとき、さらに17個目の転送データ・ライトを行った場合にCSIBUFnオーバフロー割り込み(INTCEnTIOF)を出力します(17個目の転送データはライトされず無視されます)。

シングル・モード(CEnCTL0.CEnTMSビット = 0)時、CSIBUFnレジスタ内に16個のデータが存在する場合とは、「ライト用CSIBUFnポインタ値 = SIOnロード用CSIBUFnポインタ値、およびCEnSTR.CEnFLFビット = 1」のときです。CEnFLFビット = 1の状態から転送が終了して、SIOnロード用CSIBUFnポインタがインクリメントされると、CEnFLFビット = 0となり、次の送信データをライトできます。

連続モード(CEnCTL0.CEnTMSビット = 1)では、1つのデータ転送が終了したときにCEnFLFビット = 0となるが、次の送信データを書き込むことは禁止します(受信を行った場合、CSIBUFnレジスタには受信データが格納されるため、送信データを書き込んだ場合は受信データに上書きされ、データが破壊されません)。

図18-3 CSIデータ・バッファ・レジスタ_n (CSIBUF_n) 機能



(3) データ転送方向指定機能

CEnCTL0.CEnDIRビットにより、データ転送方向を切り替えることができます (n = 0, 1)。

(a) MSB先頭 (CEnDIRビット = 0)

図18 - 4 転送データ長：8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000) ,
転送方向：MSB先頭 (CEnCTL0.CEnDIRビット = 0) 設定時 (1/2)

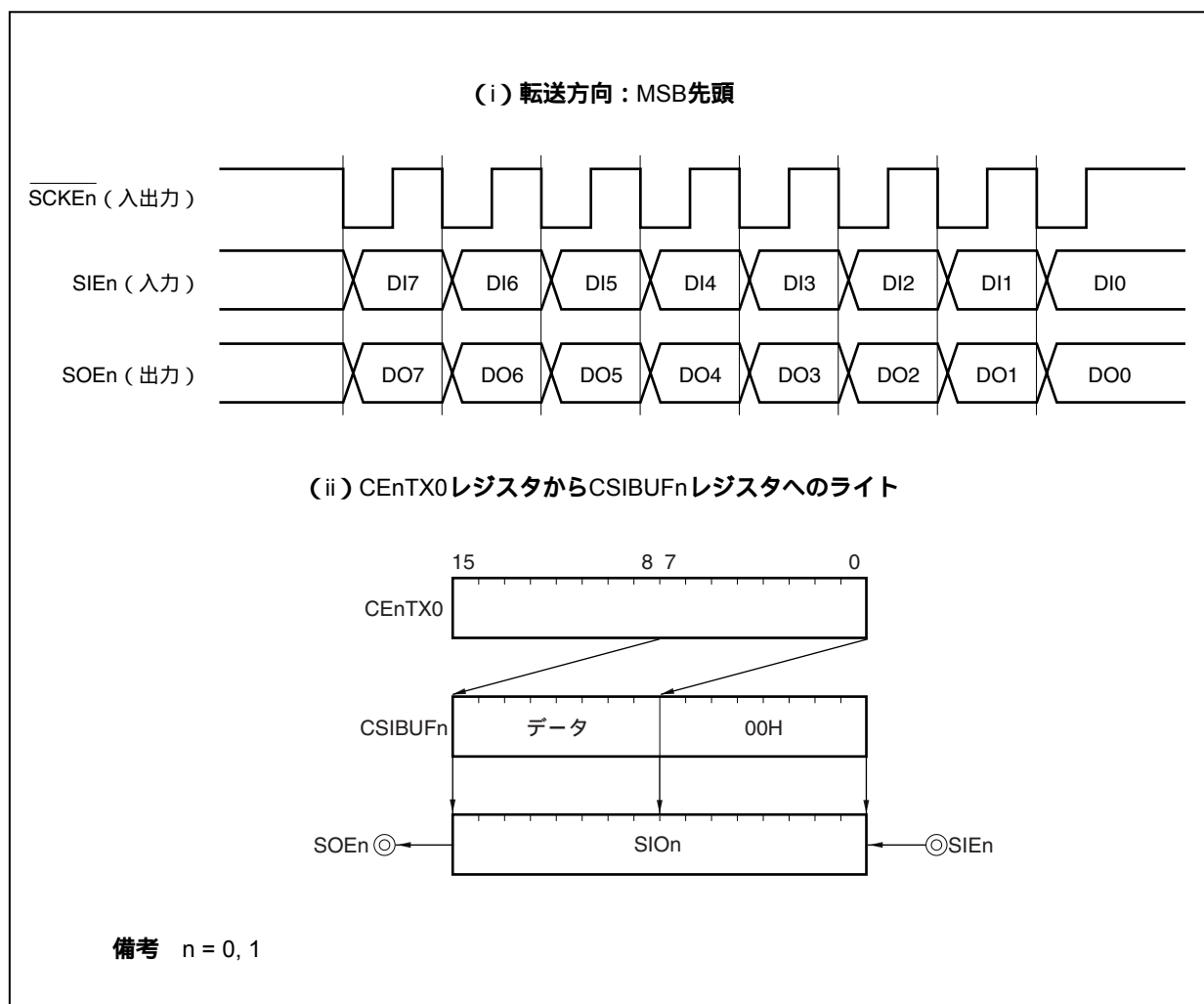
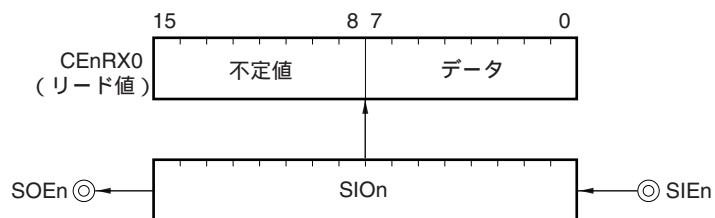
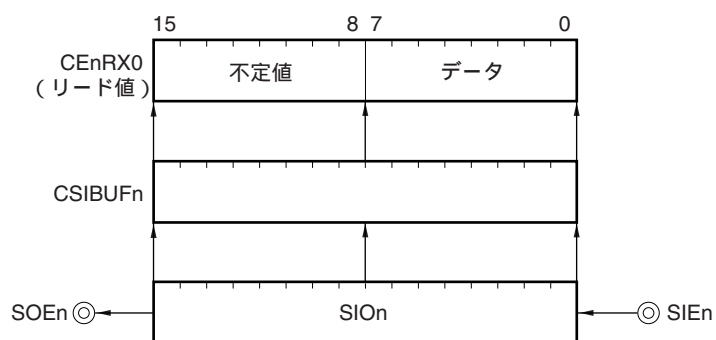


図18 - 4 転送データ長：8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000) ,
 転送方向：MSB先頭 (CEnCTL0.CEnDIRビット = 0) 設定時 (2/2)

(iii) CEnRX0レジスタからのリード (シングル・モード (CEnCTL0.CEnTMSビット = 0) 時)



(iv) CEnRX0レジスタからのリード (連続モード (CEnCTL0.CEnTMSビット = 1) 時)



備考 n = 0, 1

(b) LSB先頭 (CEnDIRビット = 1)

図18 - 5 転送データ長 : 8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000) ,
 転送方向 : LSB先頭 (CEnCTL0.CEnDIRビット = 1) 設定時 (1/2)

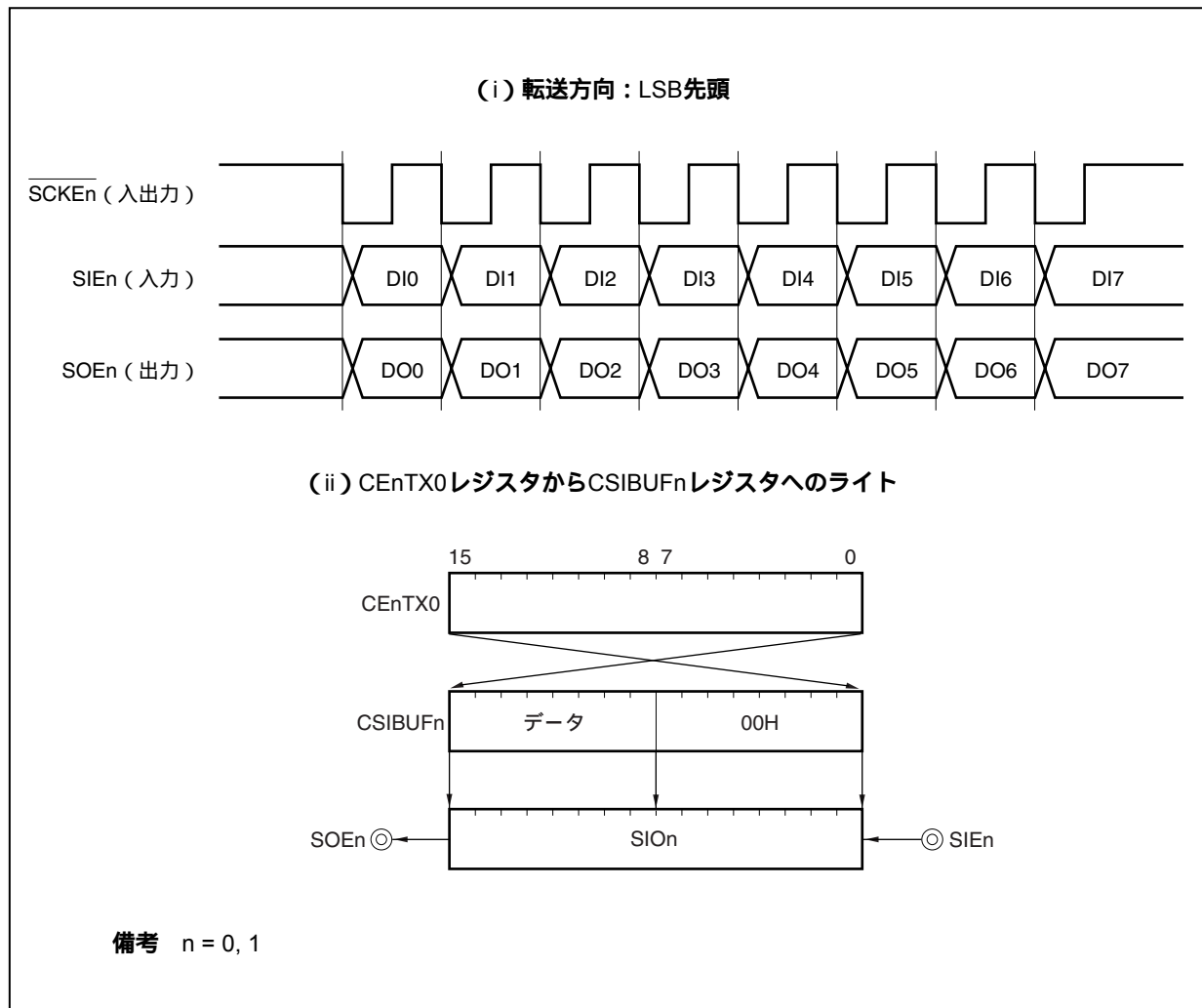
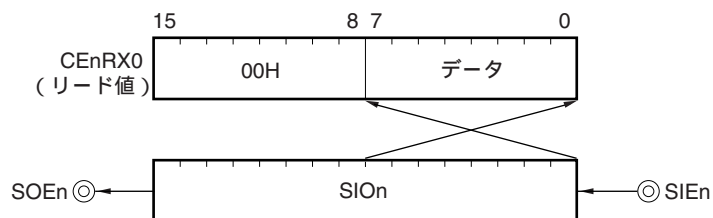
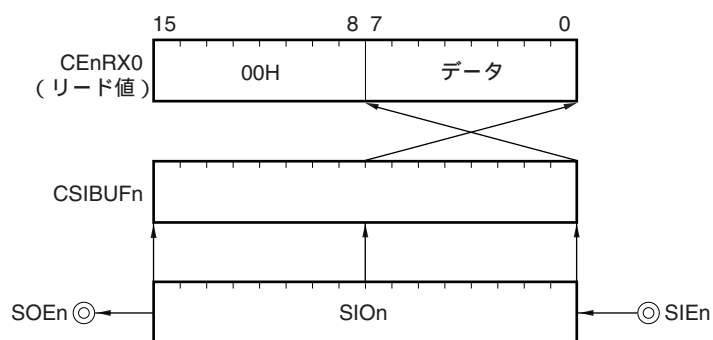


図18 - 5 転送データ長：8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000) ,
 転送方向：LSB先頭 (CEnCTL0.CEnDIRビット = 1) 設定時 (2/2)

(iii) CEnRX0レジスタからのリード (シングル・モード (CEnCTL0.CEnTMSビット = 0) 時)



(iv) CEnRX0レジスタからのリード (連続モード (CEnCTL0.CEnTMSビット = 1) 時)

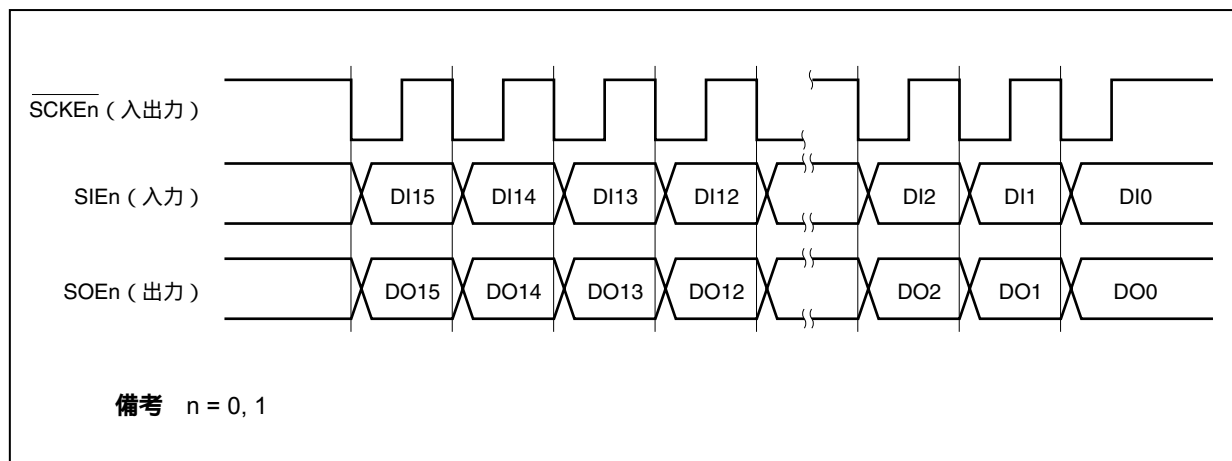


備考 n = 0, 1

(4) 転送データ長変更機能

転送データ長は, CEnCTL2.CEnDLS3-CEnDLS0ビットによって, 8-16ビットに1ビット単位で設定できます (n = 0, 1)。

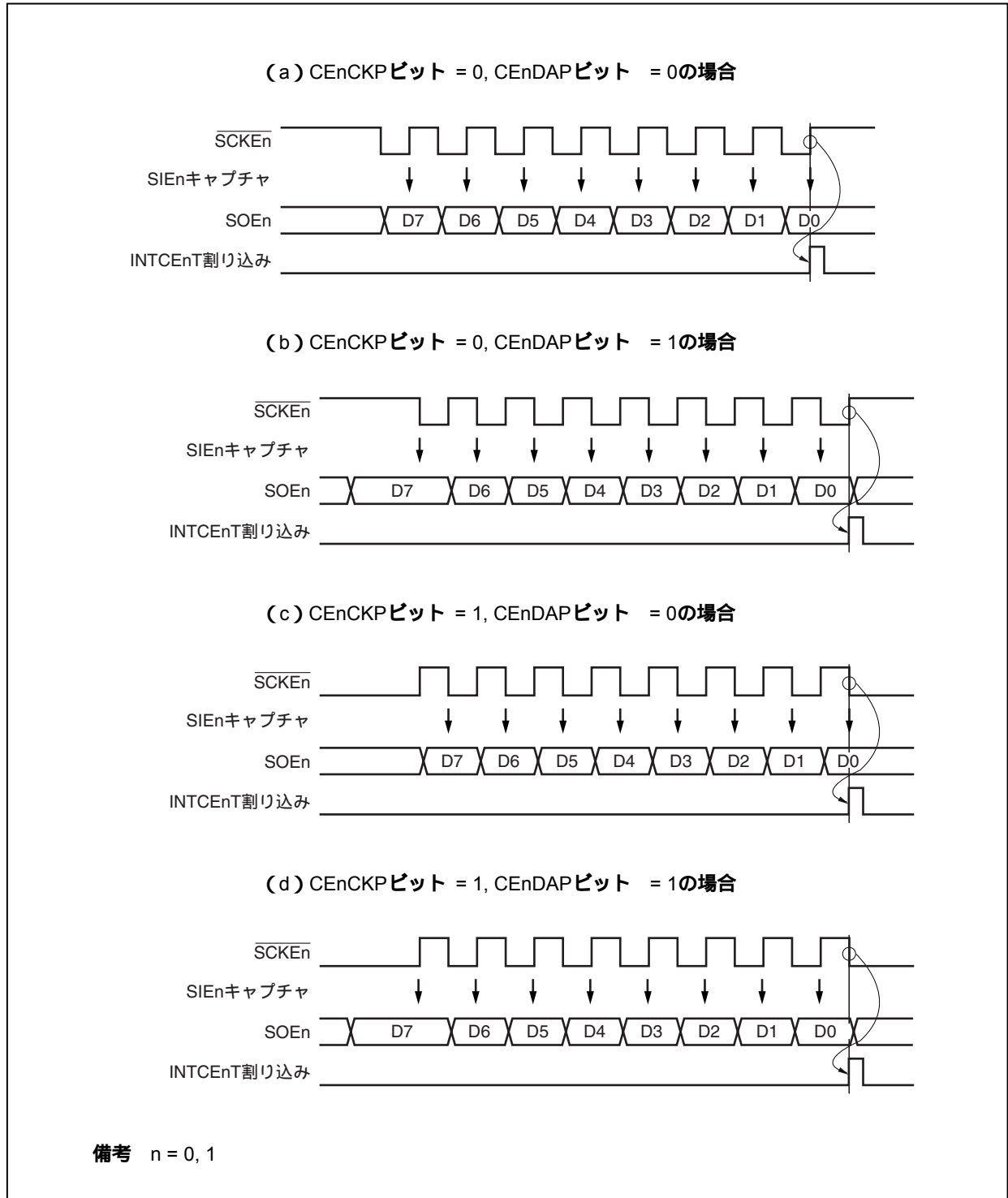
図18 - 6 転送データ長 : 16ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 0000) ,
 転送方向 : MSB先頭 (CEnCTL0.CEnDIRビット = 0) 設定時



(5) シリアル・クロックとデータ・フェーズの切り替え機能

CEnCTL1.CEnCKP, CEnDAPビットによって、シリアル・クロックとデータ・フェーズを切り替えることができます (n = 0, 1)。

図18-7 クロック・タイミング

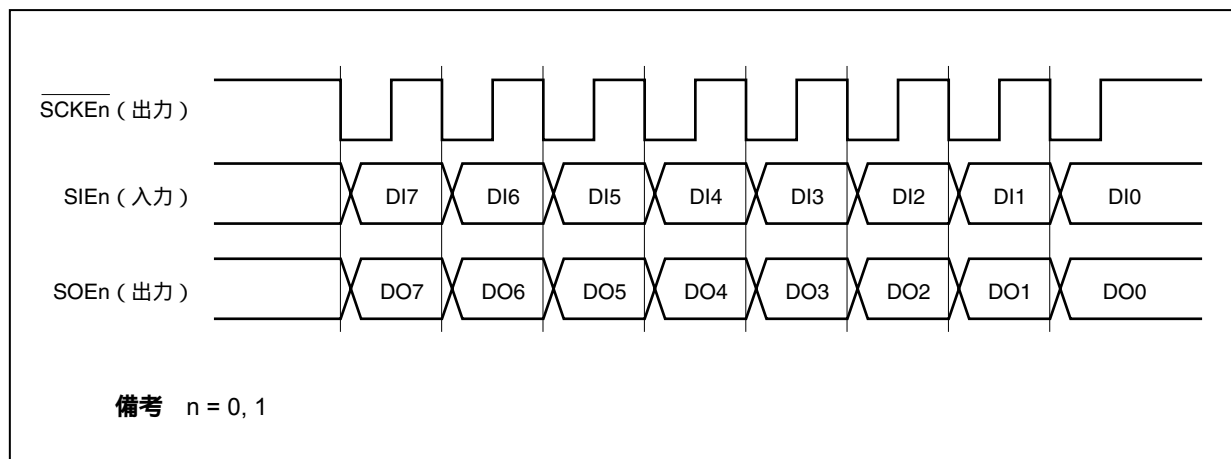


(6) マスタ・モード

CEnCTL1.CEnCKS2-CEnCKS0ビット = 111以外に設定することでマスタ・モードになり、 $\overline{\text{SCKEn}}$ 端子に出力するシリアル・クロックによって転送を行います ($\overline{\text{SCKEn}}$ 端子入力は無効です) ($n=0, 1$)。

なお、 $\overline{\text{SCKEn}}$ 端子出力のデフォルト・レベルは、CEnCTL1.CEnCKPビット = 0のときはハイ・レベル、CEnCKPビット = 1のときはロウ・レベルになります。

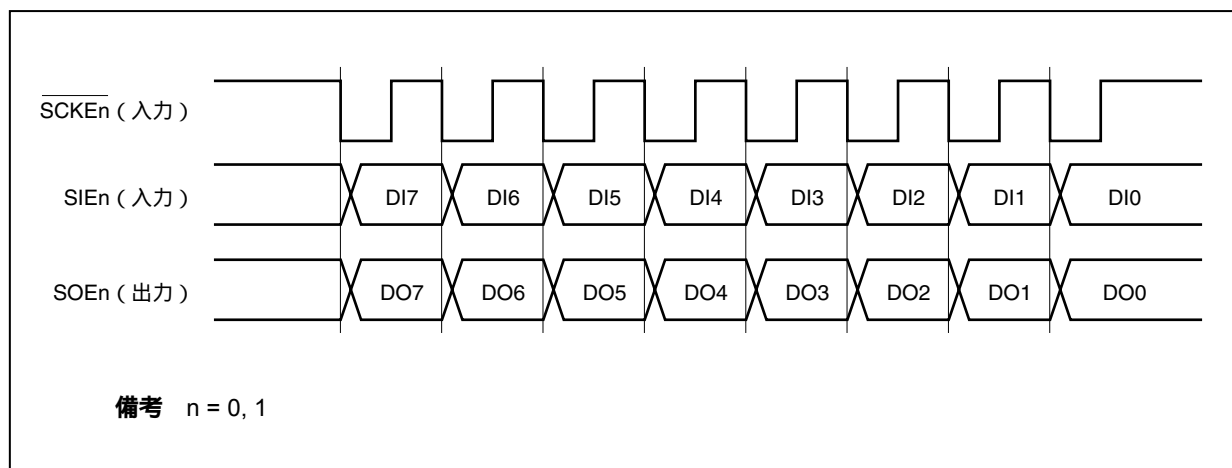
図18 - 8 マスタ・モード (CEnCTL1.CEnCKP, CEnDAPビット = 00 ,
CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000 (転送データ長 : 8ビット)
設定時)



(7) スレーブ・モード

CEnCTL1.CEnCKS2-CEnCKS0ビット = 111に設定することでスレーブ・モードになり、 $\overline{\text{SCKEn}}$ 端子に入力されるシリアル・クロックによって転送を行います（スレーブ・モード時は、CEnCTL1.CEnMDL2-CEnMDL0ビット = 000に設定してください）（ $n = 0, 1$ ）。

図18-9 スレーブ・モード（CEnCTL1.CEnCKP, CEnDAPビット = 00, CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000（転送データ長：8ビット）設定時）



(8) 転送クロック選択機能

マスタ・モード（CEnCTL1.CEnCKS2-CEnCKS0ビット = 111以外）の場合、CEnCTL1.CEnCKS2-CEnCKS0, CEnMDL2-CEnMDL0ビットの設定により、ビット転送レートを選択できます（18.4(2)CSIEn制御レジスタ1（CEnCTL1）参照）。

(9) シングル・モード

CEnCTL0.CEnTMSビット = 0のとき、シングル・モードとして機能します (n = 0, 1)。

シングル・モードの場合、CEnTXEビット = 1またはCEnRXEビット = 1、およびCSIBUFnレジスタ内にデータが存在する (CEnSTR.CEnEMFビット = 0) のとき、転送を開始します。

CSIBUFnレジスタ内にデータが存在しない (CEnEMFビット = 1) の場合は、CEnTX0レジスタに送信データまたはダミー・データがライトされるまでウェイト状態となります。

送信許可状態 (CEnTXEビット = 1) または受信許可状態 (CEnRXEビット = 1) の場合にCEnTX0レジスタにデータがライトされると、CEnSTR.CEnTSFビット (転送状態フラグ) をセット (1) し、SIOonロード用CSIBUFnポインタの示す転送データをCSIBUFnレジスタからSIOonレジスタへロードし、転送処理を開始します。

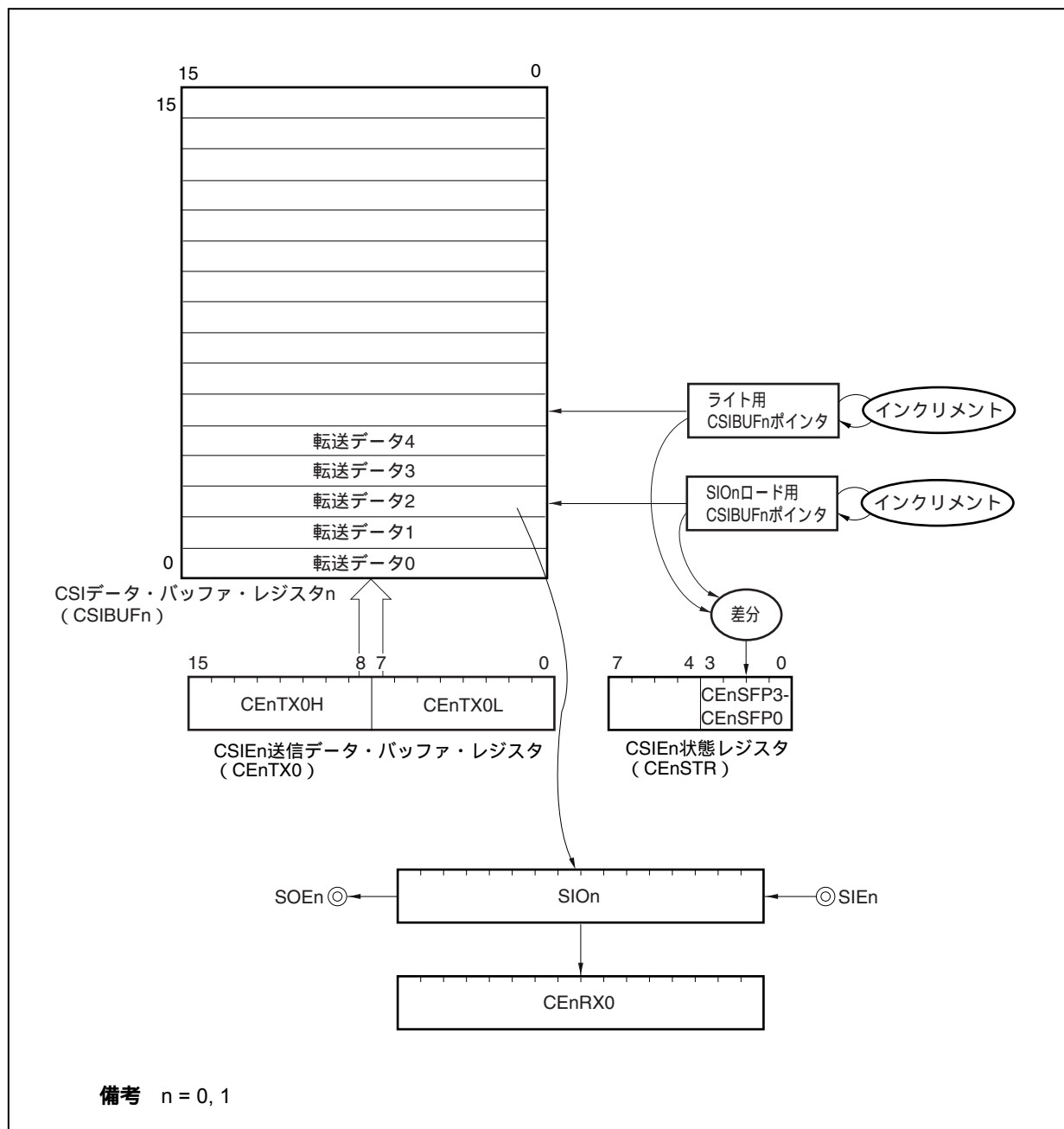
受信モードまたは送受信モードの場合、1データの転送処理が終了するまでに前の受信データのリード (CEnRX0レジスタ・リード) が完了していれば、受信データをSIOonレジスタからCEnRX0レジスタにストアし、送受信完了割り込み (INTCEnT) を出力し、SIOonロード用CSIBUFnポインタをインクリメントします。前の受信データのリードが完了していないときはウェイト状態となり、CEnRX0レジスタから前の受信データのリードが完了するまで受信データのCEnRX0レジスタへのストア処理、INTCEnT割り込みの出力、SIOonロード用CSIBUFnポインタのインクリメントを保留します。

送信モードの場合、1データの転送処理が終了したときは、INTCEnT割り込みを出力し、SIOonロード用ポインタをインクリメントします (SIOonレジスタからCEnRX0レジスタへのストアは行わないため、CEnRX0レジスタは常にリード完了状態です)。

すべてのモード (送信 / 受信 / 送受信) において、1データの転送処理終了時にCSIBUFnレジスタ内为空 (ライト用CSIBUFnポインタ値 = SIOonロード用CSIBUFnポインタ値) の場合は、CEnTSFビットをクリア (0) します。CEnSTR.CEnSFP3-CEnSFP0ビットは、常に「CSIBUFnレジスタ内の残りの転送データ数 (ライト用CSIBUFnポインタ - SIOonロード用ポインタ)」の値がリードできます。

注意 CEnTX0レジスタへのデータ・ライトを行う場合は、必ずCEnSTR.CEnFLFビット = 0であることを確認してからライトしてください。CEnFLFビット = 1のときにCEnTX0レジスタへのデータ・ライトを行っても、CSIBUFnオーバフロー割り込み (INTCEnTIOF) が出力され、ライトしたデータは無視されます。

図18 - 10 シングル・モード



次にシングル・モード時の転送開始条件を示します。この条件を満たすと、CSIE_nはデータ転送を開始します。

表18-6 シングル・モード時の転送開始条件

転送モード		CEnTXE ビット	CEnRXE ビット	CSIBUF _n レジスタ	CEnRX0レジスタ, SIO _n レジスタ	SCKE _n 端子
マスタ・ モード	送信 モード	1	0	未転送データあり (CEnEMFビット = 0)	-	-
	受信 モード	0	1	未使用ダミー・データあり (CEnEMFビット = 0)	受信完了データがSIO _n レジスタからCEnRX0 レジスタに転送されて いる	
	送受信 モード	1	1	未転送データあり (CEnEMFビット = 0)		
スレーブ・ モード	送信 モード	1	0	未転送データあり (CEnEMFビット = 0)	-	入力あり
	受信 モード	0	1	未使用ダミー・データあり (CEnEMFビット = 0)	受信完了データがSIO _n レジスタからCEnRX0 レジスタに転送されて いる	
	送受信 モード	1	1	未転送データあり (CEnEMFビット = 0)		

備考1. CEnTXEビット : CEnCTL0レジスタのビット6

CEnRXEビット : CEnCTL0レジスタのビット5

CEnEMFビット : CEnSTRレジスタのビット5

2. n = 0, 1

(10) 連続モード

CEnCTL0.CEnTMSビット = 1 のとき、連続モードとして機能します ($n = 0, 1$)。

連続モードの場合、CEnTXEビット = 1 またはCEnRXEビット = 1、およびCSIBUFnレジスタ内にデータが存在する (CEnSTR.CEnEMFビット = 0) のとき、転送を開始します。このとき、あらかじめCEnCTL3.CEnSFN3-CEnSFN0ビットで転送データ数を設定しておいてください。CSIBUFnレジスタにCEnCTL3.CEnSFN3-CEnSFN0ビットで設定した転送データ数を越えるデータをライトした場合、そのデータは無視され、転送されません。

CSIBUFnレジスタ内にデータが存在しない (CEnEMFビット = 1) の場合は、CEnTX0レジスタに送信データまたはダミー・データがライトされるまでウェイト状態となります。

送信許可状態 (CEnTXEビット = 1) または受信許可状態 (CEnRXEビット = 1) の場合にCEnTX0レジスタ内にデータ・ライトが行われると、CEnSTR.CEnTSFビット (転送状態フラグ) をセット (1) し、SIOロード / ストア用CSIBUFnポインタの示す転送データをCSIBUFnレジスタからSIOレジスタへロードし、転送処理が開始されます。

受信モードまたは送受信モードの場合、1データの転送処理が終了すると、受信データをSIOレジスタからSIOロード / ストア用CSIBUFnポインタの示すCSIBUFnレジスタ内の転送データにオーバライトし、SIOロード / ストア用CSIBUFnポインタをインクリメントします。CSIBUFnレジスタ内の全データ転送終了 (INTCEnT割り込み発生) 後に、連続して転送データ数分をCEnRX0レジスタからリードすることにより、リード用CSIBUFnポインタをインクリメントしながら受信データを順次リードすることができます。ただし、受信したデータ数を越えてCEnRX0レジスタからリードした場合のリード値は不定です。

送信モードの場合は、1データの転送処理が終了すると、SIOロード / ストア用CSIBUFnポインタをインクリメントします。

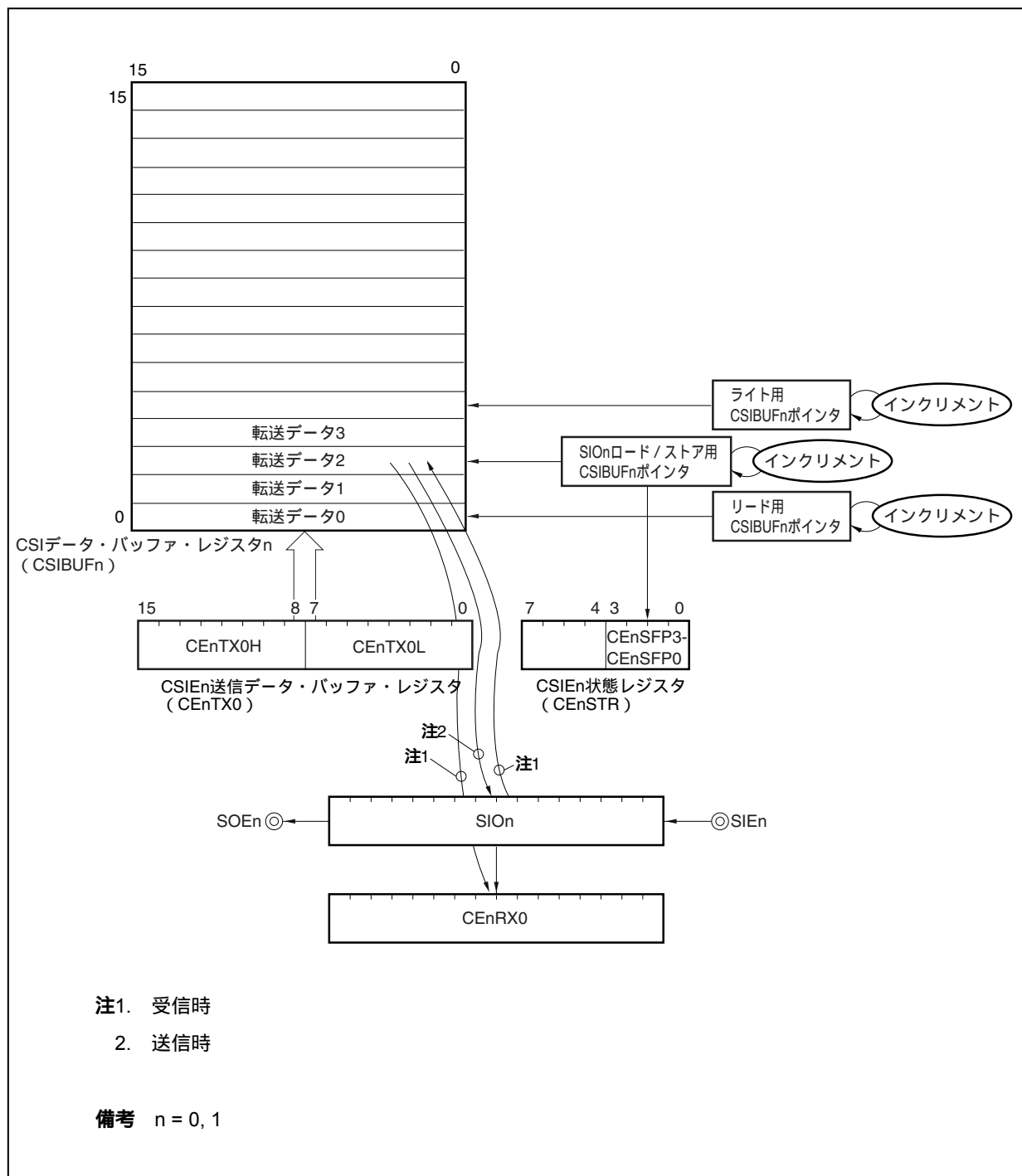
すべてのモード (送信 / 受信 / 送受信) において、CEnCTL3.CEnSFN3-CEnSFN0ビットに設定した値分の転送が終了した場合は、CEnTSFビットをクリア (0) し、送受信完了割り込み (INTCEnT) を出力します。

次の転送を行う前には、必ずCEnSTR.CEnPCTビット = 1 をライトして全CSIBUFnポインタをクリア (0) してください。

CEnSTR.CEnSFP3-CEnSFP0ビットには、常に「転送完了データ数 (SIOロード / ストア用CSIBUFnポインタの値)」がリードできます。

注意 CSIBUFnポインタのクリア (CEnSTR.CEnPCTビット = 1) 後から転送データをライトするまで (転送開始前) のCEnSTRレジスタと、16個のデータ転送を終了したときのCEnSTRレジスタは、同じ状態になります (CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000)。

図18-11 連続モード



次に連続モード時の転送開始条件を示します。この条件を満たすと,CSIE_nはデータ転送を開始します。

表18-7 連続モード時の転送開始条件

転送モード		CEnTXE ビット	CEnRXE ビット	CSIBUF _n レジスタ	CEnRX0レジスタ, SIO _n レジスタ	SCKE _n 端子		
マスタ・ モード	送信 モード	1	0	未転送データあり (CEnEMFビット = 0)	-	-		
	受信 モード	0	1	未使用ダミー・データあり (CEnEMFビット = 0) ^注				
	送受信 モード	1	1	未転送データあり (CEnEMFビット = 0)				
スレーブ・ モード	送信 モード	1	0	未転送データあり (CEnEMFビット = 0)			-	入力あり
	受信 モード	0	1	未使用ダミー・データあり (CEnEMFビット = 0) ^注				
	送受信 モード	1	1	未転送データあり (CEnEMFビット = 0)				

注 受信するデータ数分のダミー・データが必要です。

備考1. CEnTXEビット : CEnCTL0レジスタのビット6

CEnRXEビット : CEnCTL0レジスタのビット5

CEnEMFビット : CEnSTRレジスタのビット5

2. n = 0, 1

(11) 送信モード

CEnCTL0.CEnTXEビット = 1, CEnRXEビット = 0のとき, 送信モードとなります。この状態でCEnTX0レジスタに送信データをライトする, またはCSIBUFnレジスタに送信データが存在する状態でCEnTXEビット = 1とする処理をトリガとして送信を開始します (n = 0, 1)。なお, 送信中, SIO端子に入力した値はシフト・レジスタ (SIO_n) 内にラッチされていますが, 送信終了時にCEnRX0レジスタおよびCSIBUFnレジスタ内へのデータ転送は行いません。

送受信完了割り込み (INTCEnT) は, SIO_nレジスタからデータが送出された直後に発生します。

(12) 受信モード

CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 1のとき, 受信モードとなります。この状態でCEnTX0レジスタにダミー・データをライトする処理をトリガとして受信を開始します (n = 0, 1)。ただし, シングル・モード (CEnCTL0.CEnTMSビット = 0) の場合は, 受信データがSIO_nレジスタからCEnRX0レジスタへ転送されていることも開始条件に含まれます (CEnRX0レジスタ内に前の受信データがリードされずに保持されている上に, SIO_nレジスタへの受信処理が終了した場合は, CEnRX0レジスタをリードすることで, SIO_nレジスタに格納されている受信データがCEnRX0レジスタに転送されます)。連続モードの場合は, CEnTX0レジスタに受信データ数分のダミー・データをライトし, 最初のダミー・データをライトする処理をトリガとして受信を開始します。

SOEn端子からはロウ・レベルを出力します。

送受信完了割り込み (INTCEnT) は, 受信データがSIO_nレジスタからCEnRX0レジスタに転送された直後に発生します。

(13) 送受信モード

CEnCTL0.CEnTXEビット = 1, CEnRXEビット = 1のとき, 送受信モードとなります。この状態でCEnTX0レジスタに送信データをライトする処理をトリガとして送受信を開始します (n = 0, 1)。ただし, シングル・モード (CEnCTL0.CEnTMSビット = 0) の場合は, 受信データがSIO_nレジスタからCEnRX0レジスタへ転送されていることも開始条件に含まれます (CEnRX0レジスタ内に前の受信データがリードされずに保持されている上に, SIO_nレジスタへの受信処理が終了した場合は, CEnRX0レジスタをリードすることで, SIO_nレジスタに格納されている受信データがCEnRX0レジスタに転送されます)。

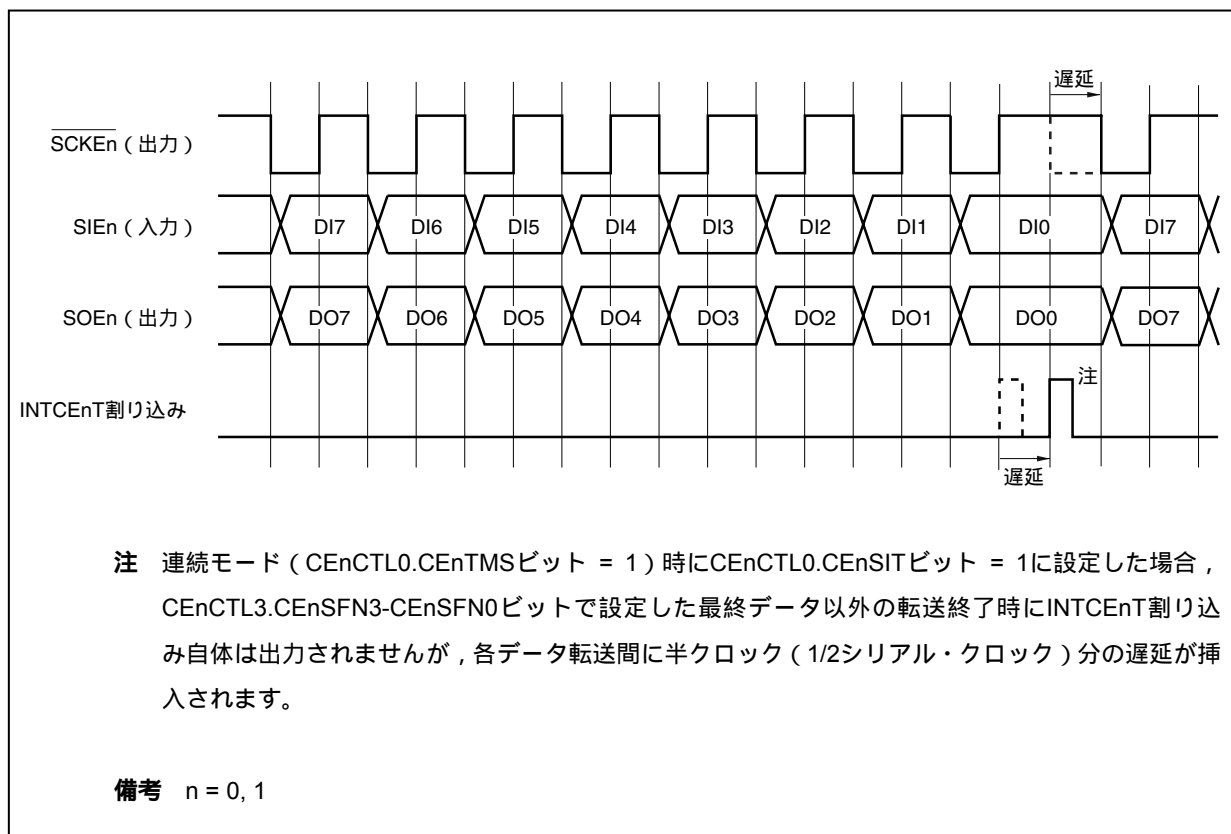
(14) 送受信完了割り込み (INTCEnT) の遅延制御機能

マスタ・モード (CEnCTL1.CEnCKS2-CEnCKS0ビット = 111以外) の場合, CEnCTL0.CEnSITビット = 1の設定により, 送受信完了割り込み (INTCEnT) の発生を半クロック (1/2シリアル・クロック) 遅らせることができます。CEnSITビットはマスタ・モード時のみ有効です。スレーブ・モード時 (CEnCTL1.CEnCKS2-CEnCKS0ビット = 111) には, CEnSITビット = 1の設定は禁止です (設定しても, INTCEnT割り込みは影響を受けません)。

注意 連続モード (CEnCTL0.CEnTMSビット = 1) 時にCEnCTL0.CEnSITビット = 1に設定した場合, CEnCTL3.CEnSFN3-CEnSFN0ビットで設定した最終データ以外の転送終了時にINTCEnT割り込み自体は出力されませんが, 各データ転送間に半クロック (1/2シリアル・クロック) 分の遅延が挿入されます。

図18 - 12 送受信完了割り込み (INTCEnT) の遅延制御機能

: CEnCTL0.CEnSITビット = 1, CEnCKP, CEnDAPビット = 00,
CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000 (転送データ長 : 8ビット) 設定時



(15) 出力端子

(a) SCKEn端子

CSIE \bar{n} が送受信していないときのSCKEn端子出力状態は次のようになります。

表18 - 8 非通信状態時のSCKEn端子出力レベル

CEnPWR ビット	CEnPCT ビット	CEnCKP ビット	CEnTXE, CEnRXEビット	CEnCKS2-CEnCKS0 ビット	SCKEn端子出力レベル		
0	-	-	-	111 (スレーブ・モード)	ハイ・インピーダンス		
				111以外(マスタ・モード)	ハイ・レベル		
1	0 1 設定後	0	-	111 (スレーブ・モード)	ハイ・インピーダンス		
				111以外(マスタ・モード)	ハイ・レベル		
		1		111 (スレーブ・モード)	ハイ・インピーダンス		
		111以外(マスタ・モード)		ロウ・レベル			
	-	-	0	00Bへの変化 ^{注1}	111 (スレーブ・モード)	ハイ・インピーダンス	
					111以外(マスタ・モード)	ハイ・レベル	
			上記以外	111 (スレーブ・モード)	ハイ・インピーダンス		
				111以外(マスタ・モード)	注3		
			1	-	00Bからの変化 ^{注2}	111 (スレーブ・モード)	ハイ・インピーダンス
						111以外(マスタ・モード)	ロウ・レベル
					上記以外	111 (スレーブ・モード)	ハイ・インピーダンス
						111以外(マスタ・モード)	注3

- 注1. CEnTXE, CEnRXEビットの設定値が“01 00”, “10 00”, “11 00”のいずれかに変化した場合
 2. CEnTXE, CEnRXEビットの設定値が“00 01”, “00 10”, “00 11”のいずれかに変化した場合
 3. 直前のSCKEn端子出力レベルを保持します (SCKEn端子出力レベルは変化しません)。

注意 マスタ・モード (CEnCKS2-CEnCKS0ビットが111以外) 時にCEnCKPビット = 1とした場合、SCKEn端子の出力は、インアクティブ時にロウ・レベル出力となります。ただし、CEnCTL0.CEnTXEビット = 0 (送信禁止) およびCEnRXEビット = 0 (受信禁止) とした場合、SCKEn端子の出力は、ハイ・レベルとなります。このためCSIE \bar{n} の未使用時にSCKEn端子の出力をロウ・レベルに固定とする場合は次のようにしてください。

【SCKE0端子 (SCKE1端子) の場合】

P6.P62ビット = 0にする (P6.P65ビット = 0にする)

: ポート出力レベルをロウ・レベルに設定

PM6.PM62ビット = 0にする (PM6.PM65ビット = 0にする)

: ポートを出力モードに設定

PMC6.PMC62ビット = 0にする (PMC6.PMC65ビット = 0にする)

: 端子をポート・モードに切り替え (ロウ・レベル出力固定)

CE0CTL0.CE0TXEビット = 0およびCE0RXEビット = 0にする

(CE1CTL0.CE1TXEビット = 0およびCE1RXEビット = 0にする)

: 送信および受信禁止

CE0STR.CE0PCTビット = 1にする

(CE1STR.CE1PCTビット = 1にする)

- ：全CSIBUF0 (CSIBUF1)用ポインタをクリア
- CE0CTL0.CE0TXEビット = 1またはCE0RXEビット = 1にする
(CE1CTL0.CE1TXEビット = 1またはCE1RXEビット = 1にする)
- ：送信または受信許可 (送受信許可も可能)
- PMC6.PMC62ビット = 1にする (PMC6.PMC65ビット = 1にする)
- ：端子を兼用機能 (SCKE0, SCKE1端子出力)に切り替え

なお, , のレジスタ設定値は保持されているため, 一度設定すれば, - のみの設定で制御できます。

備考 n = 0, 1

(b) SOEn端子

CSIEが送受信していないときのSOEn端子出力状態は次のようになります。

表18 - 9 非通信状態時のSOEn端子出力レベル

CEnPWR ビット	CEnPCT ビット	CEnDAP ビット	CEnTXE ビット	CEnCKS2-CEnCKS0 ビット	SOEn端子出力レベル
0	-	-	-	-	ロウ・レベル
1	0 1 設定後	0	-	111 (スレーブ・モード)	注
				111以外 (マスタ・モード)	ロウ・レベル
		1		-	ロウ・レベル
	-	-	1 0	-	ロウ・レベル
		0 1		注	

注 直前のSOEn端子出力レベルを保持します (SOEn端子出力レベルは変化しません)。

備考 n = 0, 1

(16) CSIBUFnオーバフロー割り込み信号 (INTCEnTIOF)

シングル・モード, 連続モード時に, CSIBUFnレジスタ内に未送信の16個のデータが存在するとき, さらに17個目の転送データ・ライト (CEnTX0, CEnTXL0レジスタ・ライト)を行った場合は, INTCEnTIOF割り込みを出力します (17個目の転送データはライトされず, 無視されます)。

シングル・モード (CEnCTL0.CEnTMSビット = 0) 時に, CSIBUFnレジスタ内に未送信の16個のデータが存在する場合とは, 「ライト用CSIBUFnポインタ値 = SIOnロード用CSIBUFnポインタ値, および CEnSTR.CEnFLFビット = 1」のときです。転送が終了して, SIOnロード用CSIBUFnポインタがインクリメントされると, CSIBUFnレジスタには送信データを1つ書き込むことができます。

連続モード (CEnCTL0.CEnTMSビット = 1) では, 1つのデータ転送が終了してもCSIBUFnレジスタに次の送信データを書き込むことはできません。

18.7 使用方法

(1) シングル・モード (マスタ・モード, 送信モード時)

CEnCTL0.CEnPWRビット = 1にすると, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnTXEビット = 1にして送信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから, CEnTX0レジスタに転送データをライトします。なお, INTCEntの割り込み処理ルーチンで転送データをライトするなどCEnFLFビット = 0であることが明確であれば, 必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnt割り込みの発生, CEnSTR.CEnEMFビット = 1を確認後, CEnCTL0.CEnTXEビット = 0にして送信禁止状態にします (送信終了)。

注意 さらに転送を行いたい場合には, の前に を繰り返してください。

(2) シングル・モード (マスタ・モード, 受信モード時)

CEnCTL0.CEnPWRビット = 1にして, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnRXEビット = 1にして受信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから, CEnTX0レジスタにダミー転送データをライトします (受信開始トリガ)。なお, INTCEntの割り込み処理ルーチンでダミー転送データをライトするなどCEnFLFビット = 0であることが明確であれば, 必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnt割り込みの発生を確認後, CEnRX0レジスタをリードします。

INTCEnt割り込みの発生, CEnEMFビット = 1を確認後, CEnCTL0.CEnRXEビット = 0にして受信禁止状態にします (受信終了)。

注意1. さらに転送を行いたい場合には, の前に , を繰り返してください。

2. SOEn端子からはロウ・レベルが出力されますが無効です。

(3) シングル・モード (マスタ・モード, 送受信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1, CEnRXEビット = 1にして送受信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから、CEnTX0レジスタに転送データをライトします。なお、INTCEnTの割り込み処理ルーチンで転送データをライトするなどCEnFLFビット = 0であることが明確であれば、必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnT割り込みの発生を確認後、CEnRX0レジスタをリードします。

INTCEnT割り込みの発生、CEnEMFビット = 1を確認後、CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 0にして送受信禁止状態にします (送受信終了)。

注意 さらに転送を行いたい場合には、の前に、を繰り返してください。

(4) シングル・モード (スレーブ・モード, 送信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1にして送信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから、CEnTX0レジスタに転送データをライトします。なお、INTCEnTの割り込み処理ルーチンで転送データをライトするなどCEnFLFビット = 0であることが明確であれば、必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnT割り込みの発生、CEnEMFビット = 1を確認後、CEnCTL0.CEnTXEビット = 0にして送信禁止状態にします (送信終了)。

注意 さらに転送を行いたい場合には、の前に を繰り返してください。

(5) シングル・モード (スレープ・モード, 受信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnRXEビット = 1にして受信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから、CEnTX0レジスタにダミー転送データをライトします (受信開始トリガ)。なお、INTCEnTの割り込み処理ルーチンでダミー転送データをライトするなどCEnFLFビット = 0であることが明確であれば、必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnT割り込みの発生を確認後、CEnRX0レジスタをリードします。

INTCEnT割り込みの発生、CEnEMFビット = 1を確認後、CEnCTL0.CEnRXEビット = 0にして受信禁止状態にします (受信終了)。

注意1. さらに転送を行いたい場合には、の前に、を繰り返してください。

2. SOEn端子からはロウ・レベルが出力されますが無効です。

(6) シングル・モード (スレープ・モード, 送受信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時にCEnTXEビット = 1, CEnRXEビット = 1にして送受信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから、CEnTX0レジスタに転送データをライトします。なお、INTCEnTの割り込み処理ルーチンで転送データをライトするなどCEnFLFビット = 0であることが明確であれば、必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnT割り込みの発生を確認後、CEnRX0レジスタをリードします。

INTCEnT割り込みの発生、CEnEMFビット = 1を確認後、CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 0にして送受信禁止状態にします (送受信終了)。

注意 さらに転送を行いたい場合には、の前に、を繰り返してください。

(7) 連続モード (マスタ・モード, 送信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1にして送信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに送信データ数を設定します。

CEnTX0レジスタに送信データ数分の転送データをライトします。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, CEnSTR.CEnPCTビット = 1をライトして、次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTXEビット = 0にして送信禁止状態にします (送信終了)。

注意 さらに転送を行いたい場合には、の前に - を繰り返してください。

(8) 連続モード (マスタ・モード, 受信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnRXEビット = 1にして受信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに受信データ数を設定します。

CEnTX0レジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, 受信データ数分のCEnRX0レジスタをリードします (CSIBUFnレジスタ内に格納された受信データを順次リードします)。

CEnSTR.CEnPCTビット = 1をライトして、次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnRXEビット = 0にして受信禁止状態にします (受信終了)。

注意1. さらに転送を行いたい場合には、の前に - を繰り返してください。

2. SOEn端子からはロウ・レベルが出力されます。

(9) 連続モード (マスタ・モード, 送受信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1, CEnRXEビット = 1にして送受信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに送受信データ数を設定します。

CEnTX0レジスタに送信データ数分の転送データをライトします。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後、受信データ数分のCEnRX0レジスタをリードします (CSIBUFnレジスタ内に格納された受信データを順次リードします)。

CEnSTR.CEnPCTビット = 1をライトして、次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 0にして送受信禁止状態にします (送受信終了)。

注意 さらに転送を行いたい場合には、の前に - を繰り返してください。

(10) 連続モード (スレーブ・モード, 送信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1にして送信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに送信データ数を設定します。

CEnTX0レジスタに送信データ数分の転送データをライトします。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, CEnSTR.CEnPCTビット = 1をライトして、次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTXEビット = 0にして送信禁止状態にします (送信終了)。

注意 さらに転送を行いたい場合には、の前に - を繰り返してください。

(11) 連続モード (スレーブ・モード, 受信モード時)

CEnCTL0.CEnPWRビット = 1にして, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnRXEビット = 1にして受信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに受信データ数を設定します。

CEnTX0レジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, 受信データ数分のCEnRX0レジスタをリードします (CSIBUFnレジスタ内に格納された受信データを順次リードします)。

CEnSTR.CEnPCTビット = 1をライトして, 次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnRXEビット = 0にして受信禁止状態にします (受信終了)。

注意1. さらに転送を行いたい場合には, の前に - を繰り返してください。

2. SOEn端子からはロウ・レベルが出力されます。

(12) 連続モード (スレーブ・モード, 送受信モード時)

CEnCTL0.CEnPWRビット = 1にして, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnTXEビット = 1, CEnRXEビット = 1にして送受信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに送受信データ数を設定します。

CEnTX0レジスタに送信データ数分の転送データをライトします。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, 受信データ数分のCEnRX0レジスタをリードします (CSIBUFnレジスタ内に格納された受信データを順次リードします)。

CEnSTR.CEnPCTビット = 1をライトして, 次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 0にして送受信禁止状態にします (送受信終了)。

注意 さらに転送を行いたい場合には, の前に - を繰り返してください。

18.8 注意事項

CSIE_nについての注意事項を次に示します (n = 0, 1)。

(1) CSIE_nの停止

CEnCTL0.CEnPWRビット = 0にすると、CSIE_nの動作状態をリセットしてCSIE_nは停止します。CSIE_nを動作させる場合には、まずCEnPWRビット = 1にしたあとで、他のビットを設定してください。

また、通常CEnPWRビットに“0”を設定する場合、CEnTXEビット = 0およびCEnRXEビット = 0 (転送終了後) にしてから行ってください。

(2) 転送許可

CEnCTL0.CEnTXEビット = 1またはCEnRXEビット = 1に設定して転送許可状態にする前に、必ずCEnSTR.CEnPCTビット = 1をライトして、全CSIBUF_n用ポインタをクリア (0) してください。クリア (0) しないまま、CEnTXEビット = 1またはCEnRXEビット = 1に設定した場合、CSIBUF_nレジスタ内に前の転送データが残っていたときには、ただちにそのデータ転送を開始します。

また、転送許可状態にする前にCSIBUF_nレジスタへ転送データを設定すると、CEnTXEビット = 1またはCEnRXEビット = 1に設定した瞬間に転送を開始します。

(3) CEnCTL0レジスタ設定時の注意

CSIE_nを使用する場合には、必ずCSIE_n機能に関連するポート端子を兼用機能に設定し、CEnPWRビットをセット (1) してください。そのあとに、ほかのビットの設定を行ってください。

(4) シングル・モード時のCEnTX0レジスタへのデータ・ライト

CEnTX0レジスタへのデータ・ライトを行う場合は、必ずCEnSTR.CEnFLFビット = 0であることを確認してからライトしてください。CEnFLFビット = 1のときにCEnTX0レジスタへのデータ・ライトを行っても、CSIBUF_nオーバフロー割り込み (INTCEnTIOF) が出力され、ライトしたデータは無視されます。

(5) 連続モード時のCEnSTRレジスタ状態

CSIBUF_nポインタのクリア (CEnSTR.CEnPCTビット = 1) 後から転送データをライトするまで (転送開始前) のCEnSTRレジスタと、16個のデータ転送を終了したときのCEnSTRレジスタは、同じ状態になります (CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000)。

第19章 クロック同期式シリアル・インタフェースF (CSIF)

19.1 特 徴

転送速度：最大8 Mbps (fxx = 50 MHz , 内部クロック使用時) (CSIF0, CSIF4, CSIF5)

最大5 Mbps (fxx = 50 MHz , 内部クロック使用時) (CSIF1-CSIF3, CSIF6)

マスタ・モードとスレーブ・モードを選択可能

8-16ビット転送, 3線式シリアル・インタフェース

割り込み要求信号 (INTCFnT, INTCFnR)

シリアル・クロックとデータのフェーズ切り替えが可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭 / LSB先頭を切り替え可能

3線式 SOFn : シリアル・データ出力

SIFn : シリアル・データ入力

$\overline{\text{SCKFn}}$: シリアル・クロック入出力

送信モード, 受信モード, 送受信モードを指定可能

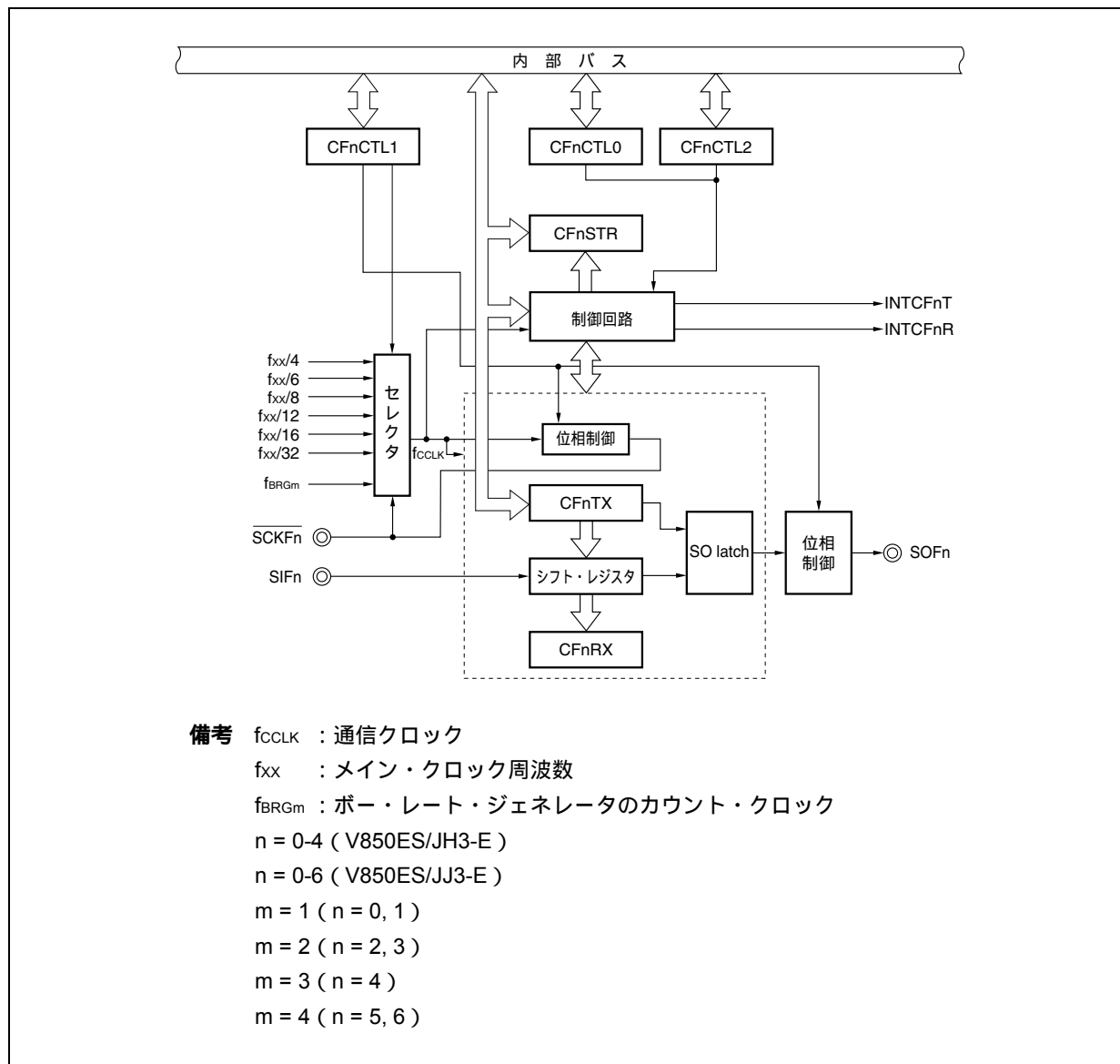
備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

19.2 構 成

次にCSIFnのブロック図を示します。

図19 - 1 CSIFnのブロック図



CSIFnは、次のハードウェアで構成されています。

表19 - 1 CSIFnの構成

項 目	構 成
レジスタ	CSIFn受信データ・レジスタ (CFnRX) CSIFn送信データ・レジスタ (CFnTX) CSIFn制御レジスタ0 (CFnCTL0) CSIFn制御レジスタ1 (CFnCTL1) CSIFn制御レジスタ2 (CFnCTL2) CSIFn状態レジスタ (CFnSTR)

19.3 CSIF とほかのシリアル・インタフェースのモード切り替え

19.3.1 CSIF0 と UARTC3 と I²C01 のモード切り替え

V850ES/JH3-E, V850ES/JJ3-E では、CSIF0 と UARTC3 と I²C01 は端子が兼用になっており、同時には使用できません。CSIF0 を使用するときは、あらかじめ PMC4, PFC4, PFCE4 レジスタで設定する必要があります。

注意 CSIF0 または UARTC3 と I²C01 において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19-2 CSIF0 と UARTC3 と I²C01 のモード切り替え設定

リセット時：0000H R/W アドレス：PMC4 FFFFF448H, PMC4L FFFFF448H, PMC4H FFFFF449H								
PMC4 (PMC4H)	15	14	13	12	11	10	9	8
	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	PMC48 ^注
(PMC4L)	7	6	5	4	3	2	1	0
	PMC47 ^注	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40
リセット時：0000H R/W アドレス：PFC4 FFFFF468H, PFC4L FFFFF468H, PFC4H FFFFF469H								
PFC4 (PFC4H)	15	14	13	12	11	10	9	8
	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	PFC48 ^注
(PFC4L)	7	6	5	4	3	2	1	0
	PFC47 ^注	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40
リセット時：00H R/W アドレス：FFFFF708H								
PFCE4	7	6	5	4	3	2	1	0
	PFCE47 ^注	PFCE46 ^注	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40
PMC42	PFCE42	PFC42	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SCKF0 (CSIF0)					
PMC41	PFCE41	PFC41	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SOF0 (CSIF0)					
1	0	1	RXDC3 (UARTC3)					
1	1	0	SCL01 (I ² C01)					
PMC40	PFCE40	PFC40	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SIF1 (CSIF0)					
1	0	1	TXDC3 (UARTC3)					
1	1	0	SDA01 (I ² C01)					
注 V850ES/JJ3-Eのみ								
備考 x = don't care								

19.3.2 CSIF1とUARTC1とI²C00のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは, CSIF1とUARTC1とI²C00は端子が兼用になっており, 同時には使用できません。CSIF1とUARTC1とI²C00の切り替えは, あらかじめPMC2, PFC2, PFCE2レジスタで設定する必要があります。

注意 CSIF1, UARTC1またはI²C00において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19-3 CSIF1とUARTC1とI²C00のモード切り替え設定

リセット時: 00H R/W アドレス: FFFFF444H								
	7	6	5	4	3	2	1	0
PMC2	PMC27 ^注	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
リセット時: 00H R/W アドレス: FFFFF464H								
	7	6	5	4	3	2	1	0
PFC2	PFC27 ^注	PFC26	PFC25	PFC24	PFC23	PFC22	PFC21	PFC20
リセット時: 00H R/W アドレス: FFFFF704H								
	7	6	5	4	3	2	1	0
PFCE2	PFCE27 ^注	PFCE26	PFCE25	PFCE24	PFCE23	PFCE22	PFCE21	PFCE20
PMC25	PFCE25	PFC25	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SCKF1 (CSIF1)					
PMC24	PFCE24	PFC24	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SOF1 (CSIF1)					
1	0	1	RXDC1 (UARTC1)					
1	1	0	SCL00 (I ² C00)					
PMC23	PFCE23	PFC23	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SIF1 (CSIF1)					
1	0	1	TXDC1 (UARTC1)					
1	1	0	SDA00 (I ² C00)					
注 V850ES/JJ3-Eのみ								
備考 x = don't care								

19.3.3 CSIF2とUARTC0のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは, CSIF2とUARTC0は端子が兼用になっており, 同時には使用できません。CSIF2とUARTC0の切り替えは, あらかじめPMC3, PFC3, PFCE3レジスタで設定する必要があります。

注意 CSIF2とUARTC0において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19-4 CSIF2とUARTC0のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30
PMC32	PFCE32	PFC32	動作モード					
0	x	x	ポート入出力モード					
1	0	0	ASCKC0 (UARTC0)					
1	0	1	SCKF2 (CSIF2)					
PMC31	PFCE31	PFC31	動作モード					
0	x	x	ポート入出力モード					
1	0	0	RXDC0 (UARTC0)					
1	0	1	SOF2 (CSIF2)					
PMC30	PFCE30	PFC30	動作モード					
0	x	x	ポート入出力モード					
1	0	0	TXDC0 (UARTC0)					
1	0	1	SIF2 (CSIF2)					
備考 x = don't care								

19.3.4 CSIF3とUARTB1のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは, CSIF3とUARTB1は端子が兼用になっており, 同時には使用できません。CSIF3とUARTB1の切り替えは, あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 CSIF3とUARTB1において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19 - 5 CSIF3とUARTB1のモード切り替え設定

リセット時: 0000H				R/W	アドレス: PMC9 FFFF452H, PMC9L FFFF452H, PMC9H FFFF453H			
	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
リセット時: 0000H				R/W	アドレス: PFC9 FFFF472H, PFC9L FFFF472H, PFC9H FFFF473H			
	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90
リセット時: 0000H				R/W	アドレス: PFCE9 FFFF712H, PFCE9L FFFF712H, PFCE9H FFFF713H			
	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	PFCE913	0	PFCE911	PFCE910	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90
PMC915	PFCE915	PFC915	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SCKF3 (CSIF3)					
PMC914	PFCE914	PFC914	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SOF3 (CSIF3)					
1	0	1	RXDB1 (UARTB1)					
PMC913	PFCE913	PFC913	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SIF3 (CSIF3)					
1	0	1	TXDB1 (UARTB1)					
備考 x = don't care								

19.3.5 CSIF4とUARTB0を同時に使用する場合

V850ES/JH3-E, V850ES/JJ3-EはUARTB0用のRXDB0, TXDB0機能が表19 - 2のように2箇所割り当てられています。

CSIF4を使用する場合は、ピン番号32 (32) と31 (31) , または109 (115) と108 (114) をセットで使用してください。また、ピン番号32 (32) と108 (114) , または109 (115) と31 (31) を同時に使用しないでください。

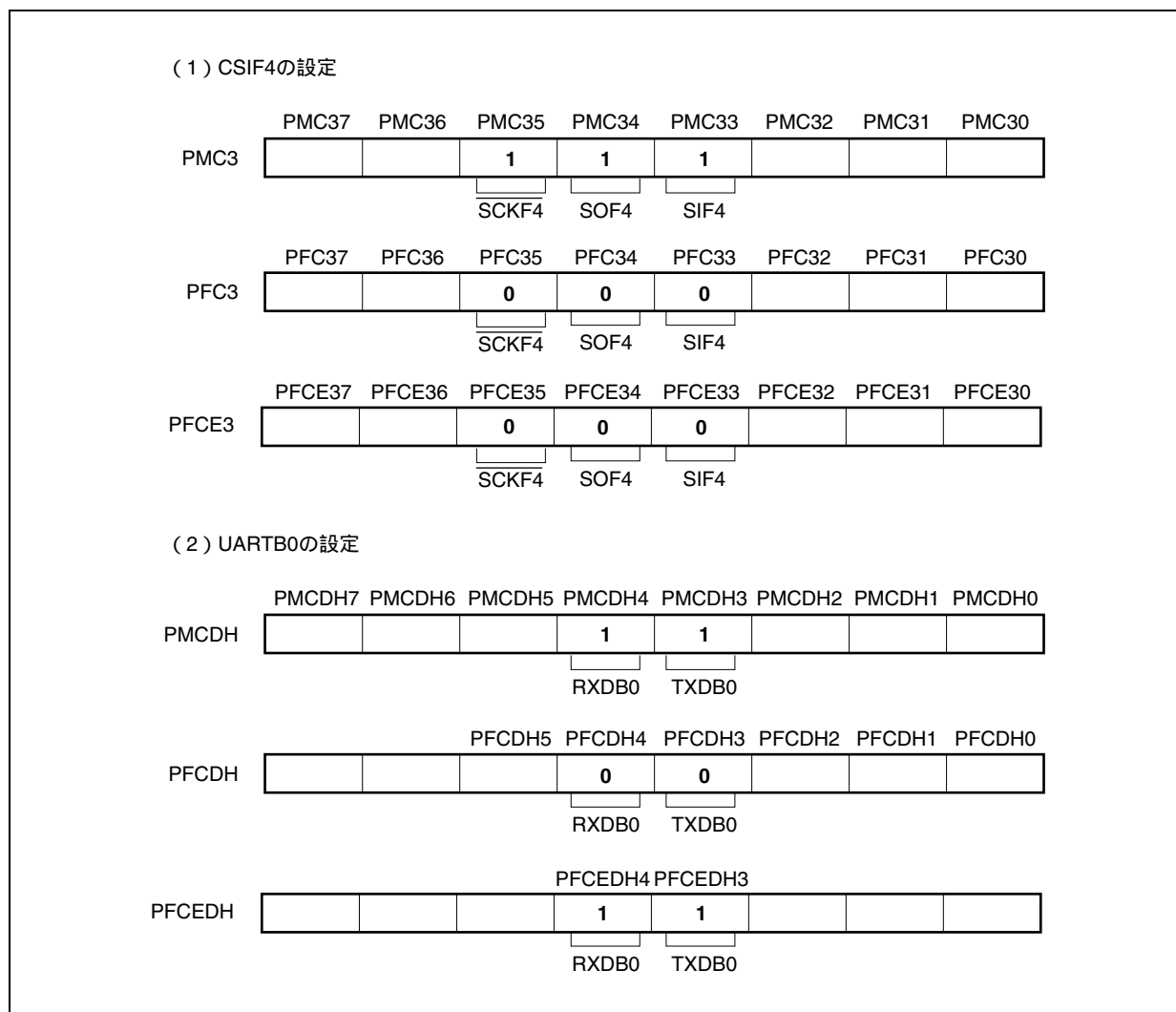
表19 - 2 UARTB0機能の端子の割り当て

機能名	ピン番号		兼用機能
	V850ES/JH3-E	V850ES/JJ3-E	
RXDB0	32	32	P34/SOF4/TIAA20/TOAA20
	109	115	PDH4/A20/SOF4
TXDB0	31	31	P33/SIF4/TIAA11/TOAA11
	108	114	PDH3/A19/SIF4

V850ES/JH3-E, V850ES/JJ3-Eでは、ポート3においてUARTB0とCSIF4は1つの端子に機能が兼用されており、同時に使用できません。どちらかの機能をポートDHで使用するにより、同時に使用することが可能です。UARTB0とCSIF4の切り替えは、あらかじめPMC3, PFC3, PFCE3レジスタまたはPMDH, PMCDH, PMFEDHで設定する必要があります。図19 - 6にポート3でUARTB0を、ポートDHでCSIF4を使用する場合のポートの設定例を示します。

注意 CSIF4とUARTB0において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19 - 6 CSIF4とUARTB0のモード切り替え設定



19.3.6 CSIF5とUARTC6のモード切り替え

V850ES/JJ3-Eでは、CSIF5とUARTC6は端子が兼用になっており、同時には使用できません。CSIF5とUARTC6の切り替えは、あらかじめPMC4, PFC4, PFCE4レジスタで設定する必要があります。

注意 CSIF5とUARTC6において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19 - 7 UARTC6とCSIF5のモード切り替え設定

リセット時：0000H R/W アドレス：PMC4 FFFFF448H, PMC4L FFFFF448H, PMC4H FFFFF449H								
PMC4 (PMC4H)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	PMC48
(PMC4L)	7	6	5	4	3	2	1	0
	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40
リセット時：0000H R/W アドレス：PFC4 FFFFF468H, PFC4L FFFFF468H, PFC4H FFFFF469H								
PFC4 (PFC4H)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	PFC48
(PFC4L)	7	6	5	4	3	2	1	0
	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40
リセット時：00H R/W アドレス：FFFFF708H								
PFCE4	7	6	5	4	3	2	1	0
	PFCE47	PFCE46	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40
PMC48	PFC48	動作モード						
0	x	ポート入出力モード						
1	0	SCKF5 (CSIF5)						
PMC47	PFCE47	PFC47	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SOF5 (CSIF5)					
1	0	1	RXDC6 (UARTC6)					
PMC46	PFCE46	PFC46	動作モード					
0	x	x	ポート入出力モード					
1	0	0	SIF5 (CSIF5)					
1	0	1	TXDC6 (UARTC6)					
備考 x = don't care								

19.3.7 CSIF6とUARTC7のモード切り替え

V850ES/JJ3-Eでは、CSIF6とUARTC7は端子が兼用になっており、同時には使用できません。CSIF6とUARTC7の切り替えは、あらかじめPMC5, PFC5レジスタで設定する必要があります。

注意 CSIF6とUARTC7において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19 - 8 UARTC7とCSIF6のモード切り替え設定

リセット時 : 0000H		R/W	アドレス : PMC5 FFFFF44AH, PMC5L FFFFF44AH, PMC5H FFFFF44BH					
PMC5 (PMC5H)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PMC59	PMC58
(PMC5L)	7	6	5	4	3	2	1	0
	PMC57	PMC56	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50
リセット時 : 0000H		R/W	アドレス : PFC5 FFFFF46AH, PFC5L FFFFF46AH, PFC5H FFFFF46BH					
PFC5 (PFC5H)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PFC59	PFC58
(PFC5L)	7	6	5	4	3	2	1	0
	PFC57	PFC56	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50
PMC59	PFC59	動作モード						
0	x	ポート入出力モード						
1	0	SCKF6 (CSIF6)						
PMC58	PFC58	動作モード						
0	x	ポート入出力モード						
1	0	SOF6 (CSIF6)						
1	1	RXDC7 (UARTC7)						
PMC57	PFC57	動作モード						
0	x	ポート入出力モード						
1	0	SIF6 (CSIF6)						
1	1	TXDC7 (UARTC7)						
備考 x = don't care								

19.4 レジスタ

CSIFnを制御するレジスタには、次のものがあります。

- ・ CSIFn受信データ・レジスタ (CFnRX)
- ・ CSIFn送信データ・レジスタ (CFnTX)
- ・ CSIFn制御レジスタ0 (CFnCTL0)
- ・ CSIFn制御レジスタ1 (CFnCTL1)
- ・ CSIFn制御レジスタ2 (CFnCTL2)
- ・ CSIFn状態レジスタ (CFnSTR)

(1) CSIFn受信データ・レジスタ (CFnRX)

CFnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

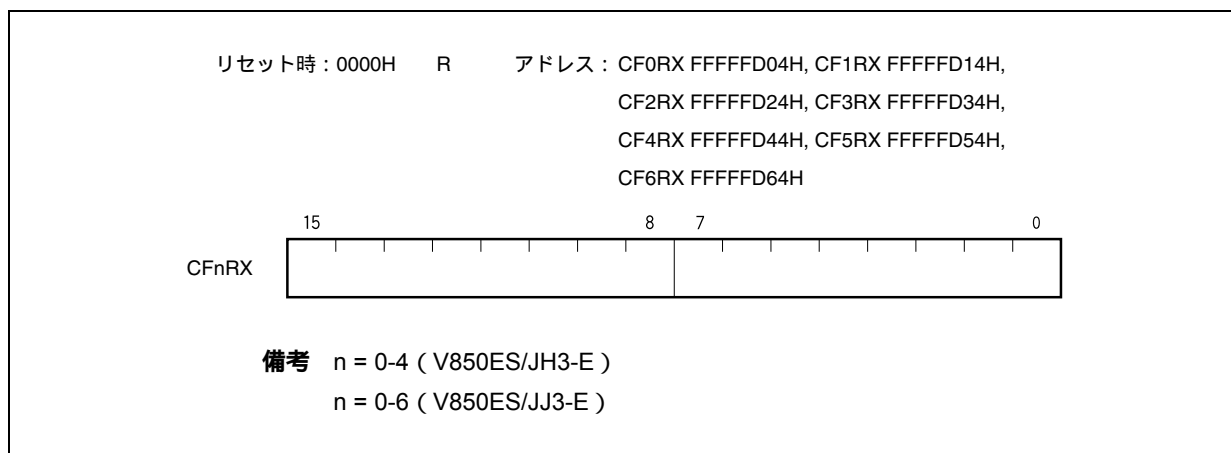
16ビット単位でリードのみ可能です。

受信許可状態中に、CFnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CFnRXレジスタの下位8ビットをCFnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CFnCTL0レジスタのCFnPWRビットをクリア (0) しても初期化されます。



(2) CSIFn送信データ・レジスタ (CFnTX)

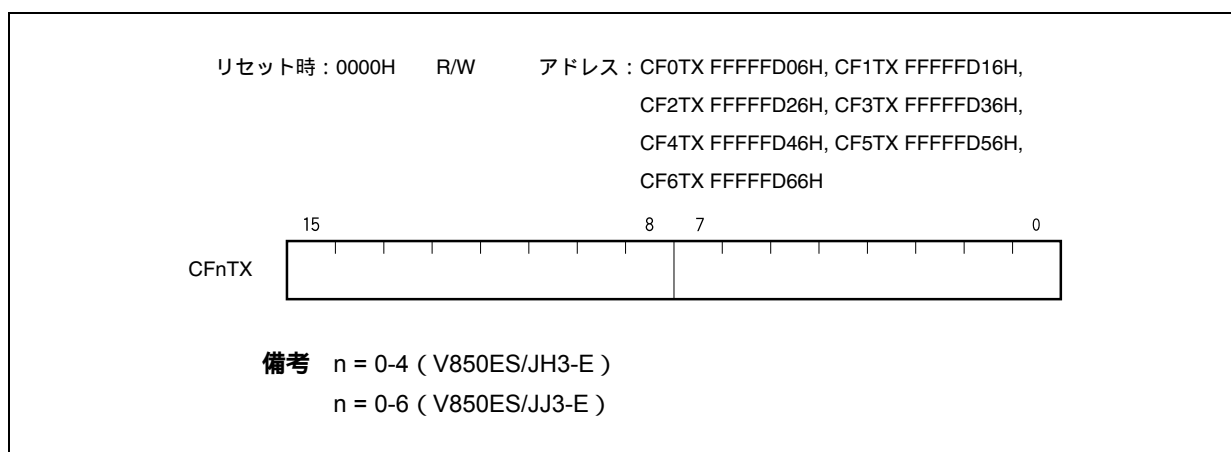
CFnTXレジスタは、CSIFnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CFnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CFnTXレジスタの下位8ビットをCFnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



備考 通信開始条件について

送信モード (CFnTXEビット = 1, CFnRXEビット = 0)	: CFnTXレジスタへのライト
送受信モード (CFnTXEビット = 1, CFnRXEビット = 1)	: CFnTXレジスタへのライト
受信モード (CFnTXEビット = 0, CFnRXEビット = 1)	: CFnRXレジスタのリード

(3) CSIFn制御レジスタ0 (CFnCTL0)

CSIFnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時 : 01H R/W アドレス : CF0CTL0 FFFFFFFD00H, CF1CTL0 FFFFFFFD10H,
CF2CTL0 FFFFFFFD20H, CF3CTL0 FFFFFFFD30H,
CF4CTL0 FFFFFFFD40H, CF5CTL0 FFFFFFFD50H,
CF6CTL0 FFFFFFFD60H

	⑦	⑥	⑤	④	3	2	1	①
CFnCTL0	CFnPWR	CFnTXE ^注	CFnRXE ^注	CFnDIR ^注	0	0	CFnTMS ^注	CFnSCE

CFnPWR	CSIFn動作禁止 / 許可の指定
0	CSIFn動作禁止, CFnSTRレジスタをリセットする
1	CSIFn動作許可
・ CFnPWRビットはCSIFnの動作の制御と内部回路のリセットを行います。	

CFnTXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CFnTXEビット = 0のとき, SOFn出力はロウ・レベルとなります。	

CFnRXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CFnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CFnRXレジスタ) は更新されません。	

注 CFnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCFnPWRビット = 1とするのは可能です。

注意 送受信を強制中断する場合は, CFnRXE, CFnTXEビットではなく, CFnPWRビットをクリア(0)してください。このとき, クロック出力も停止します。

備考 n = 0-4 (V850ES/JH3-E)
n = 0-6 (V850ES/JJ3-E)

CFnDIR ^注	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CFnTMS ^注	転送モードの指定
0	シングル転送モード
1	連続転送モード

【シングル転送モード】

通信の完了で受信完了割り込み (INTCFnR) を発生します。

送信許可 (CFnTXEビット = 1) の場合でも送信許可割り込み (INTCFnT) は発生しません。

通信中 (CFnSTR.CFnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CFnTXEビット = 0, CFnRXEビット = 1) も、通信中 (CFnSTR.CFnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

【連続転送モード】

通信中 (CFnSTR.CFnTSFビット = 1) に次の送信データをライトすることで連続送信が可能です。

次の送信データがライト可能になるのは、送信許可割り込み (INTCFnT) 発生後です。

また、連続転送モードで受信のみの通信に設定 (CFnTXEビット = 0, CFnRXEビット = 1) すると、CFnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCFnR) 後、連続して次の受信を開始します。

そのため、速やかにCFnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバーラン・エラー (CFnOVEビット = 1) が発生します。

注 CFnPWRビット = 0の場合のみ書き換えが可能です。ただし同時に CFnPWRビット = 1とするのは可能です。

備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

CFnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。

(a) シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CFnSCEビットが“1”のときにCFnTXレジスタへのデータ書き込みで通信動作を起動できます。
CFnSCEビットは“1”に設定してください。

(b) シングル受信モード時
受信データ (CFnRXレジスタ) のリードで受信動作が起動されるため, 最終受信データのリードを行う前にCFnSCEビットを“0”に設定して次の受信動作の起動を無効にしてください^{注1}。

(c) 連続受信モード時
最終データの受信が完了する1通信クロック前までにCFnSCEビットを“0”に設定して最終データ受信後の受信動作の起動を無効にしてください^{注2}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
CFnSCEビットは“1”に設定してください。

【CFnSCEビットの使用方法】

・シングル受信モード時
INTCFnR割り込み処理で最終データの受信が完了している場合には, CFnSCEビット = 0にしてからCFnRXレジスタを読み出す。
CFnSTR.CFnTSFビット = 0を確認後, 受信を禁止する場合, CFnRXEビット = 0とする。
続けて受信をする場合には, CFnSCEビット = 1にしてCFnRXレジスタのダミー・リードにより次の受信動作を起動する。

・連続受信モード時
INTCFnR割り込み処理で最終データ受信中にCFnSCEビット = 0とする。
CFnRXレジスタを読み出す。
CFnTIR割り込みを受けて, CFnRXレジスタを読み出すことで, 最終受信データを読み出す。
CFnSTR.CFnTSFビット = 0を確認後, 受信を禁止する場合, CFnRXEビット = 0とする。
続けて受信をする場合には, CFnSCEビット = 1にしてCFnRXレジスタのダミー・リードにより次の受信動作まで待つ。

- 注1. CFnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されます。
2. 最終データの受信を完了する1通信クロック前までにCFnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。

注意 ビット3, 2には必ず0を設定してください。

備考 n = 0-4 (V850ES/JH3-E)
n = 0-6 (V850ES/JJ3-E)

(4) CSIFn制御レジスタ1 (CFnCTL1)

CSIFnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CFnCTL1レジスタは、CFnCTL0.CFnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CF0CTL1 FFFFFFFD01H, CF1CTL1 FFFFFFFD11H,
CF2CTL1 FFFFFFFD21H, CF3CTL1 FFFFFFFD31H,
CF4CTL1 FFFFFFFD41H, CF5CTL1 FFFFFFFD51H,
CF6CTL1 FFFFFFFD61H

	7	6	5	4	3	2	1	0
CFnCTL1	0	0	0	CFnCKP	CFnDAP	CFnCKS2	CFnCKS1	CFnCKS0

	CFnCKP	CFnDAP	SCKFnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CFnCKS2	CFnCKS1	CFnCKS0	通信クロック (f _{CLK}) ^注	モード
0	0	0	f _{xx} /4	マスタ・モード
0	0	1	f _{xx} /6	マスタ・モード
0	1	0	f _{xx} /8	マスタ・モード
0	1	1	f _{xx} /12	マスタ・モード
1	0	0	f _{xx} /16	マスタ・モード
1	0	1	f _{xx} /32	マスタ・モード
1	1	0	f _{BRGm}	マスタ・モード
1	1	1	外部クロック (SCKFn)	スレーブ・モード

注 n = 0, 4, 5の場合、通信クロック (f_{CLK}) は、8 MHz以下になるように設定してください。

n = 1-3, 6の場合、通信クロック (f_{CLK}) は、5 MHz以下になるように設定してください。

備考1. n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

2. n = 0, 1の場合、m = 1

n = 2, 3の場合、m = 2

n = 4の場合、m = 3

n = 5, 6の場合、m = 4

f_{BRGm}についての詳細は19.8 ポー・レート・ジェネレータを参照してください。

(5) CSIFn制御レジスタ2 (CFnCTL2)

CSIFnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CFnCTL2レジスタは、CFnCTL0.CFnPWRビット = 0、またはCFnTXE、CFnRXEビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CF0CTL2 FFFFFFFD02H, CF1CTL2 FFFFFFFD12H,
CF2CTL2 FFFFFFFD22H, CF3CTL2 FFFFFFFD32H,
CF4CTL2 FFFFFFFD42H, CF5CTL2 FFFFFFFD52H,
CF6CTL2 FFFFFFFD62H

	7	6	5	4	3	2	1	0
CFnCTL2	0	0	0	0	CFnCL3	CFnCL2	CFnCL1	CFnCL0

CFnCL3	CFnCL2	CFnCL1	CFnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

備考1. n = 0-4 (V850ES/JH3-E)

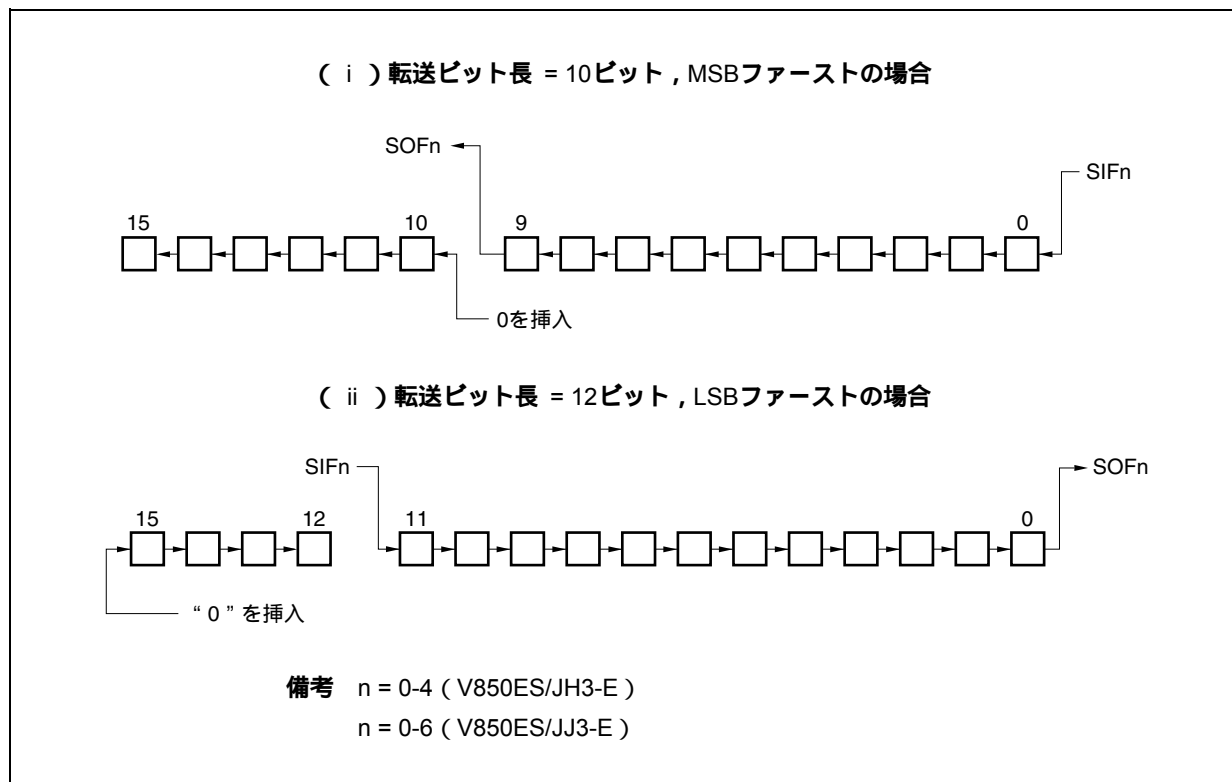
n = 0-6 (V850ES/JJ3-E)

- 転送ビット数が8/16ビットではない場合には、CFnTX、CFnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。
- x : don't care

(a) 転送データ長変更機能

CSIFnの転送データ長はCFnCTL2.CFnCL3-CFnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CFnTX、CFnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



(6) CSIFn状態レジスタ (CFnSTR)

CSIFnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CFnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CFnCTL0.CFnPWRビットをクリア (0) する場合も初期化されます。

リセット時：00H R/W アドレス：CF0STR FFFFFFFD03H, CF1STR FFFFFFFD13H,
CF2STR FFFFFFFD23H, CF3STR FFFFFFFD33H,
CF4STR FFFFFFFD43H, CF5STR FFFFFFFD53H,
CF6STR FFFFFFFD63H

	⑦	6	5	4	3	2	1	①
CFnSTR	CFnTSF	0	0	0	0	0	0	CFnOVE

CFnTSF	通信状態フラグ
0	通信停止
1	通信中

・送信時にはCFnTXレジスタにデータを準備したタイミングでセットされます。
受信時にはCFnRXレジスタをダミー・リードしたタイミングでセットされます。
転送終了時、クロックの最後のエッジでクリア (0) されます。

CFnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり

・受信時もしくは受信動作完了後に、受信バッファの値をCPUがリードせずに次の受信が完了した場合、オーバラン・エラーとなります。
CFnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。
・シングル転送モード時もCFnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。
 ・CFnOVEフラグのチェックを行わない。
 ・受信データを読み出す必要がない場合でも読み出す。
・CFnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。

備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

19.5 割り込み要求信号

CSIFnからは次の2種類の割り込み要求信号を発生します。

- ・ 受信完了割り込み要求信号 (INTCFnR)
- ・ 送信許可割り込み要求信号 (INTCFnT)

これら2種類の割り込み要求信号のデフォルト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表19 - 2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTCFnR)

受信許可状態中で、CFnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバラン・エラーが起こった場合にも発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CFnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCFnR割り込み要求信号が発生します。

(2) 送信許可割り込み要求信号 (INTCFnT)

連続送信 / 連続送受信モードにおいて、CFnTXレジスタから送信データが転送され、CFnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

シングル送信 / シングル送受信モードにおいては、INTCFnT割り込みは発生しません。

備考 n = 0-4 (V850ES/JH3-E)

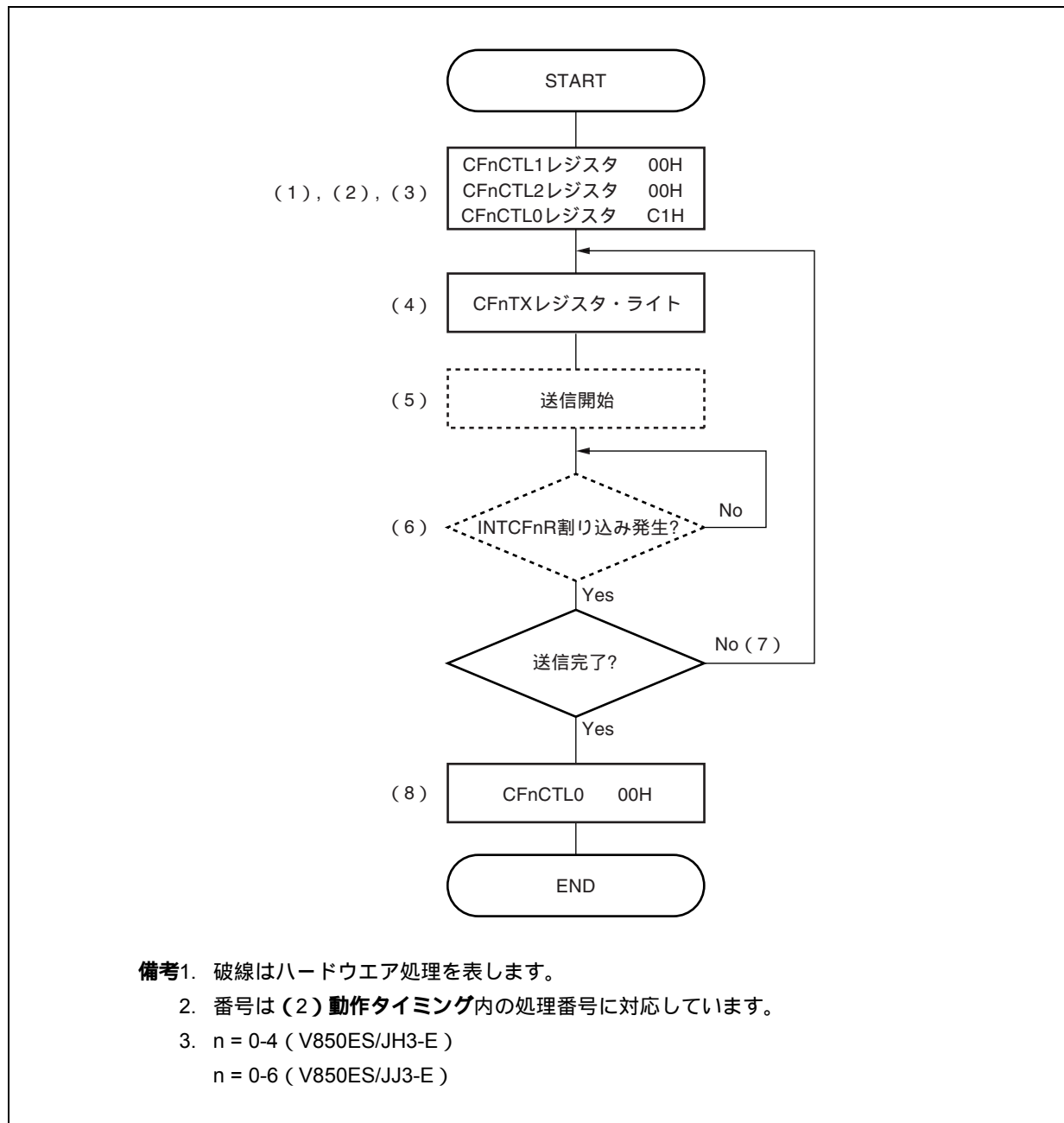
n = 0-6 (V850ES/JJ3-E)

19.6 動作

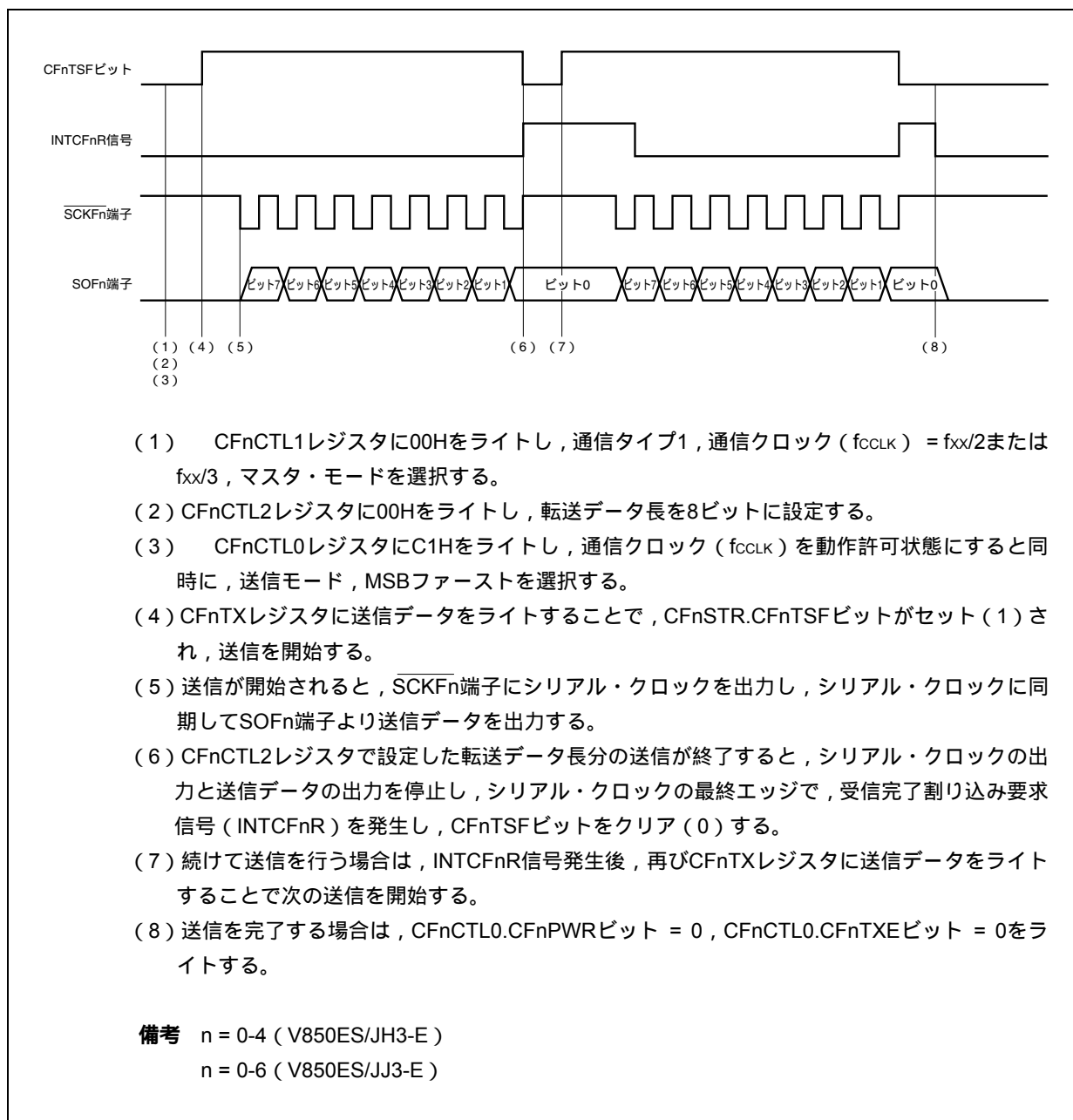
19.6.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



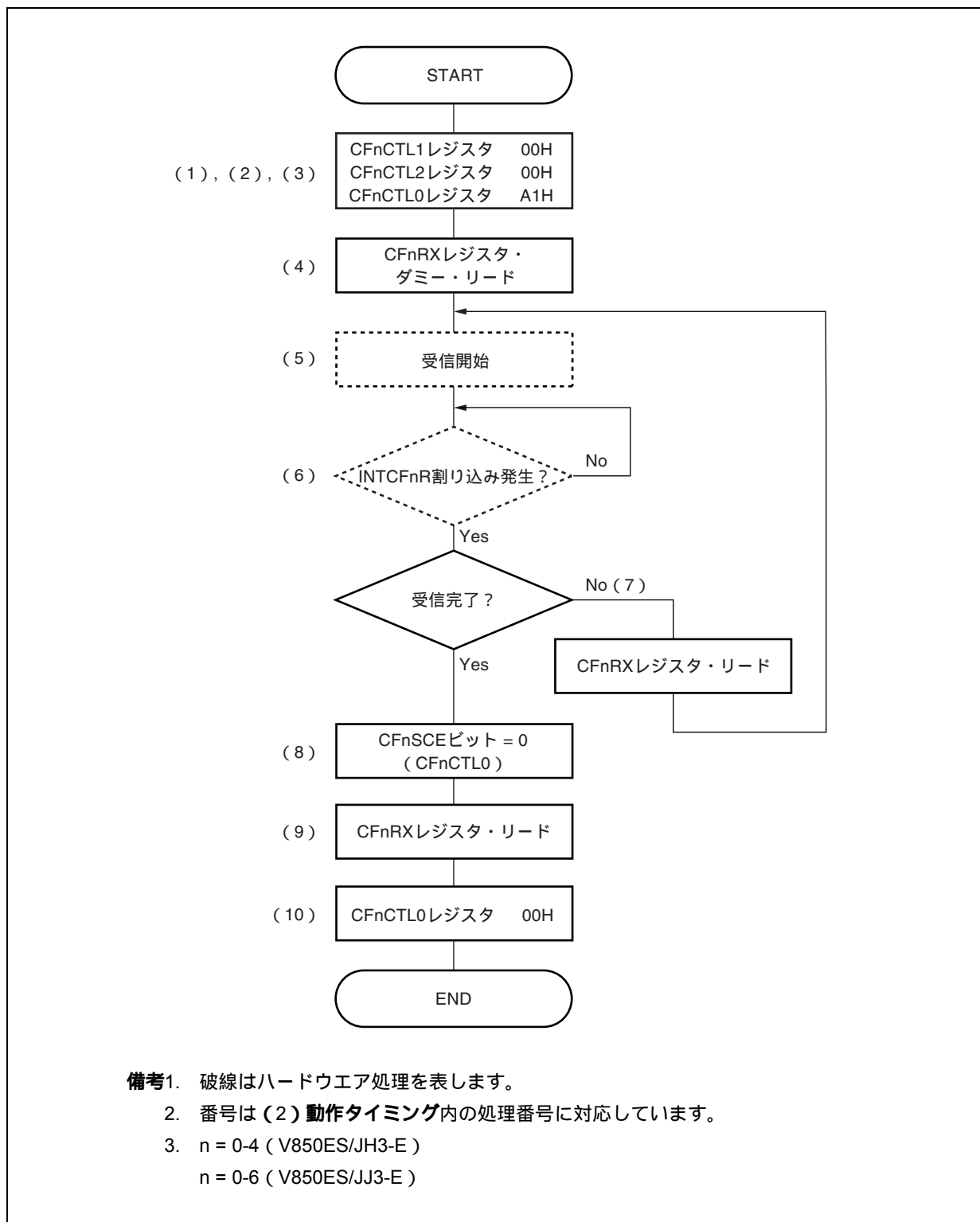
(2) 動作タイミング



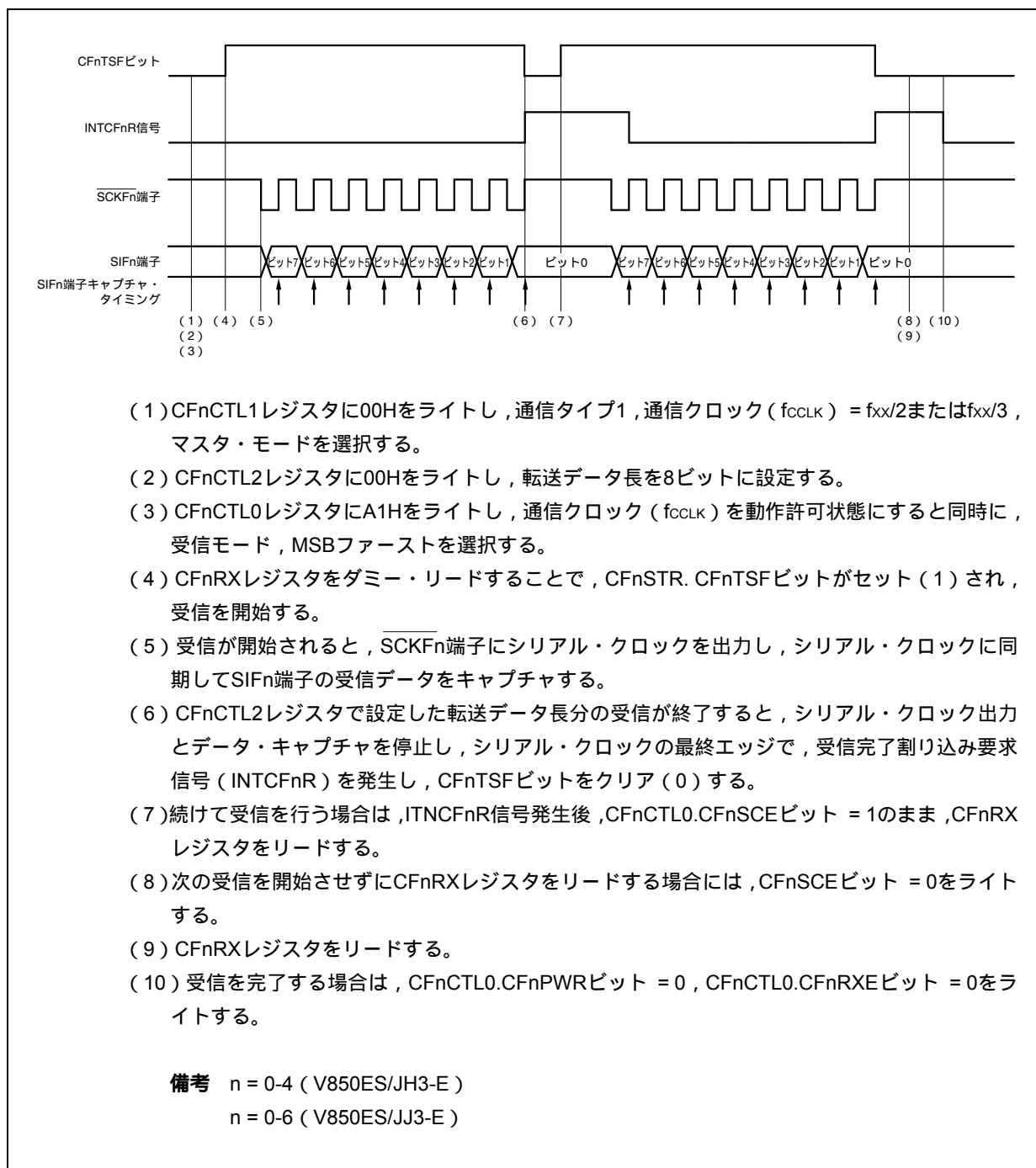
19. 6. 2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



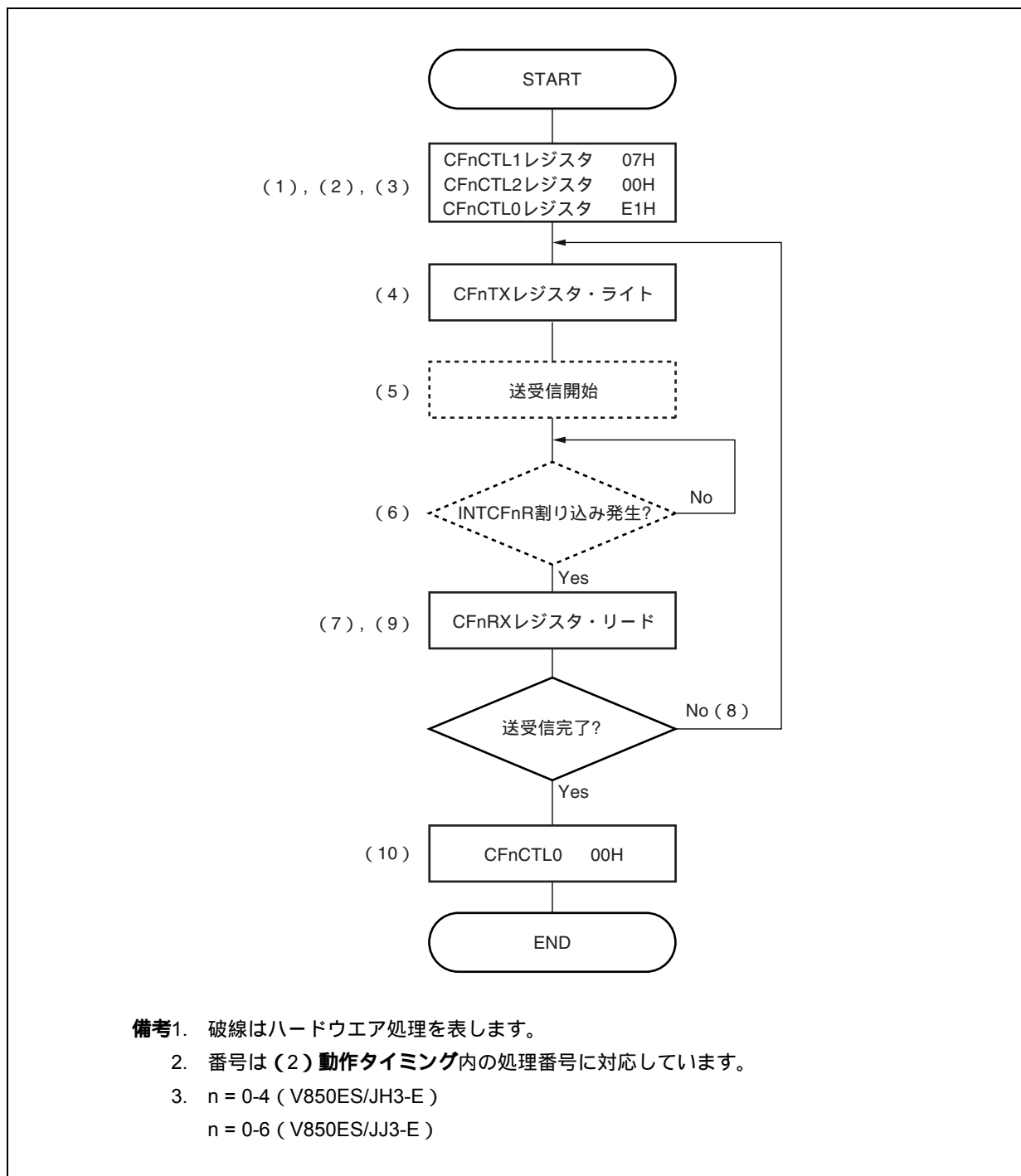
(2) 動作タイミング



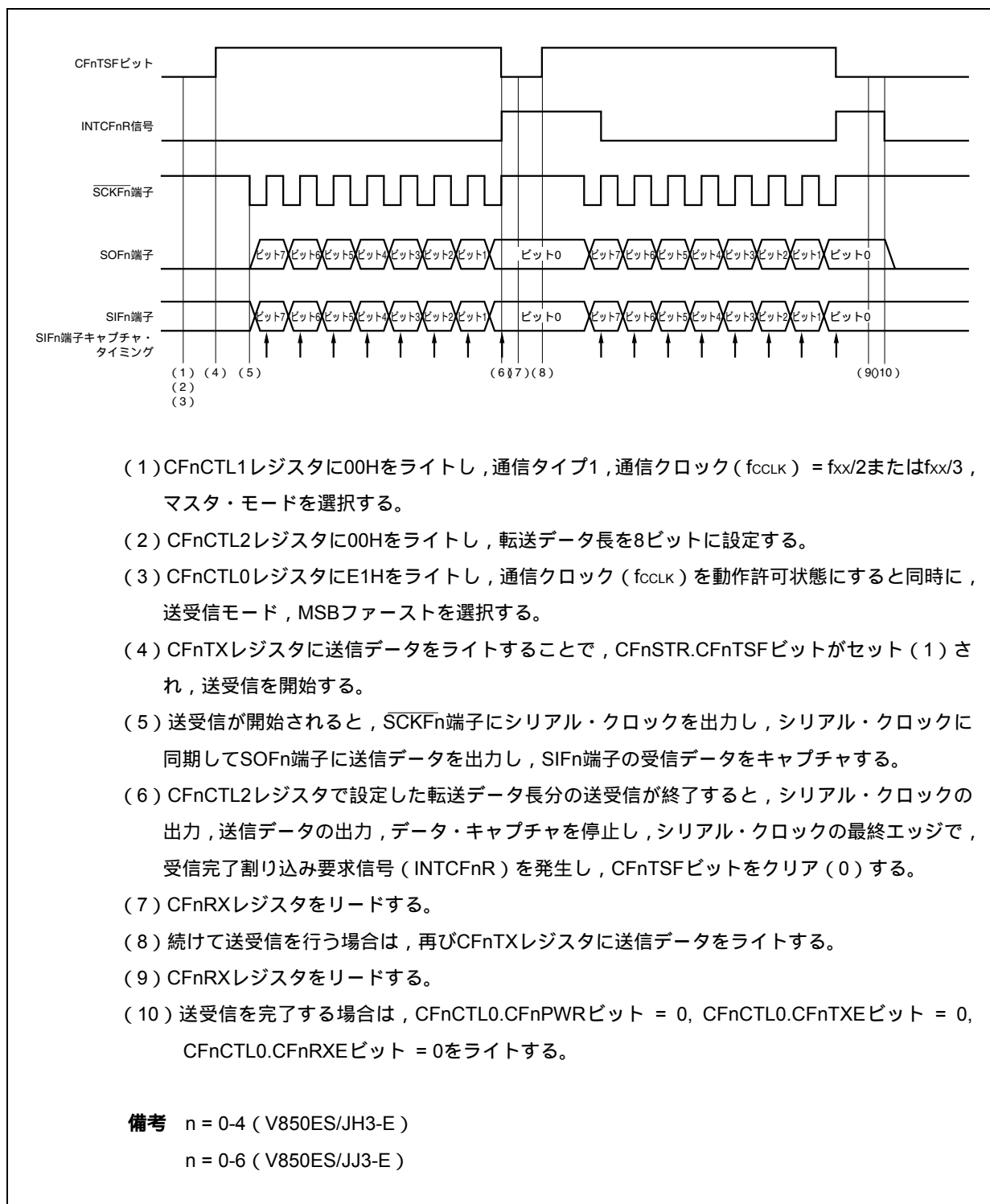
19. 6. 3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



(2) 動作タイミング



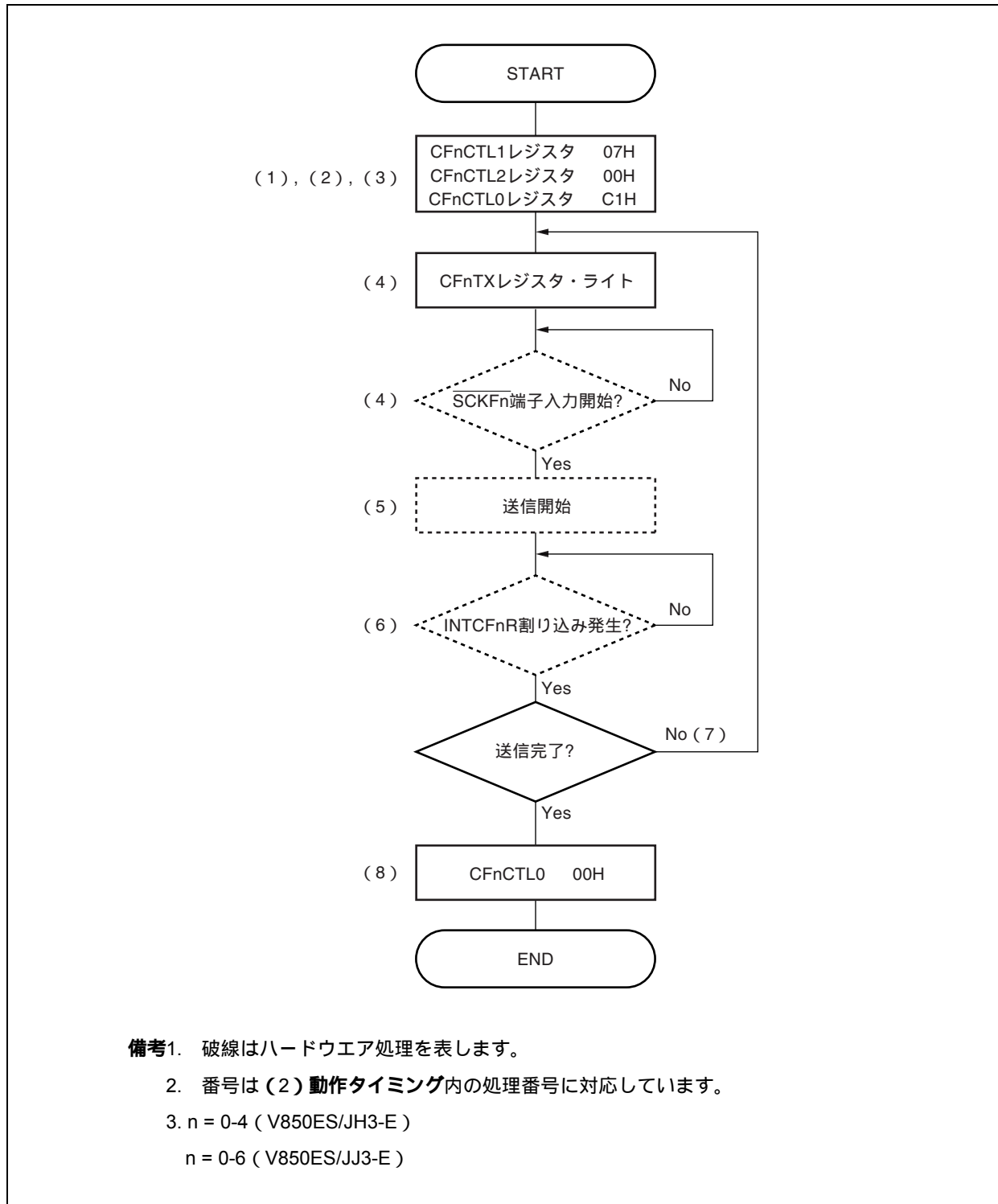
- (1) CFnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ 、マスタ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにE1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSFビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、SCKFn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOFn端子に送信データを出力し、SIFn端子の受信データをキャプチャする。
- (6) CFnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCFnR) を発生し、CFnTSFビットをクリア (0) する。
- (7) CFnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCFnTXレジスタに送信データをライトする。
- (9) CFnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CFnCTL0.CFnPWRビット = 0, CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-4 (V850ES/JH3-E)
n = 0-6 (V850ES/JJ3-E)

19. 6. 4 シングル転送モード (スレーブ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック(SCKFn) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



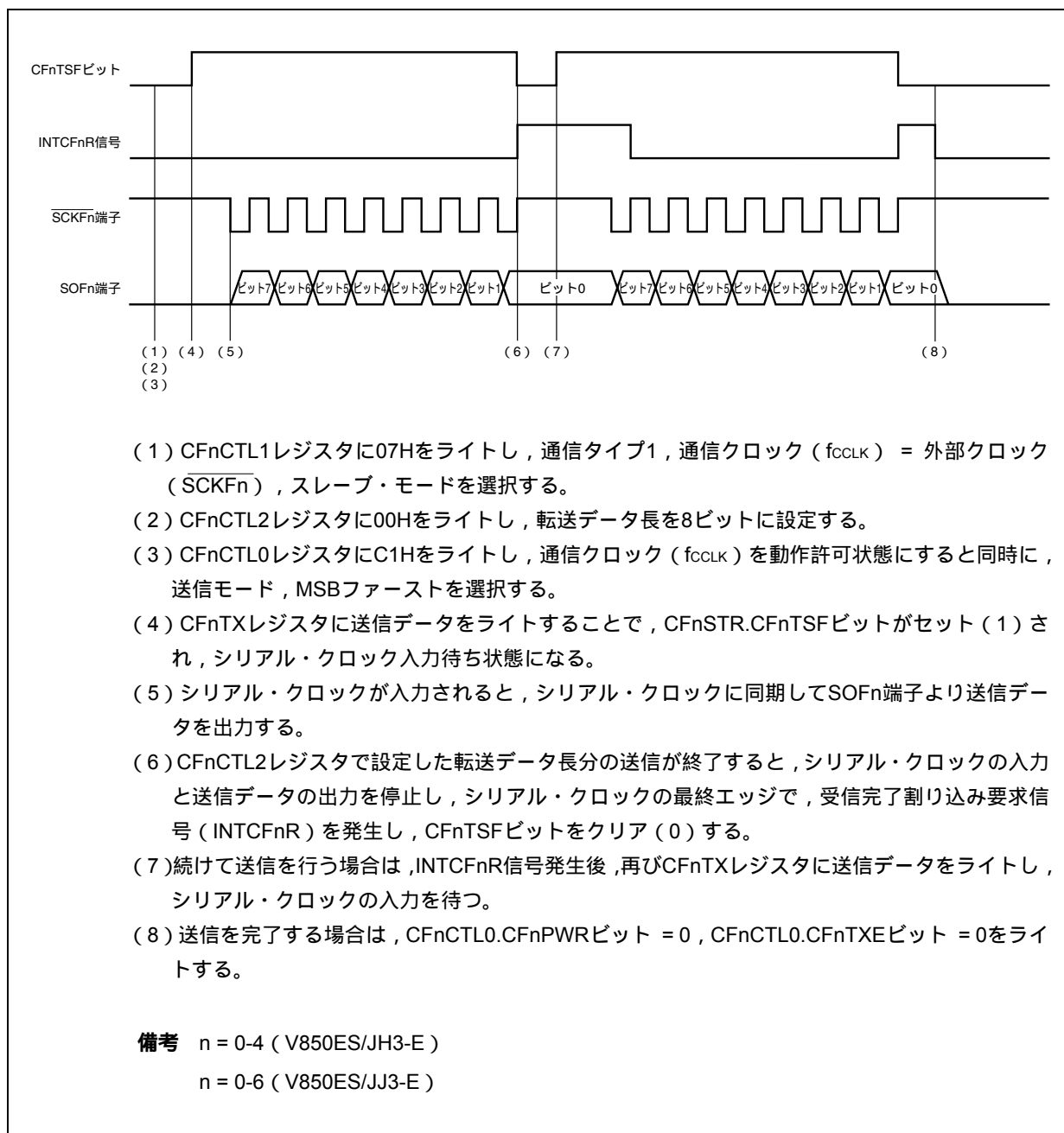
備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

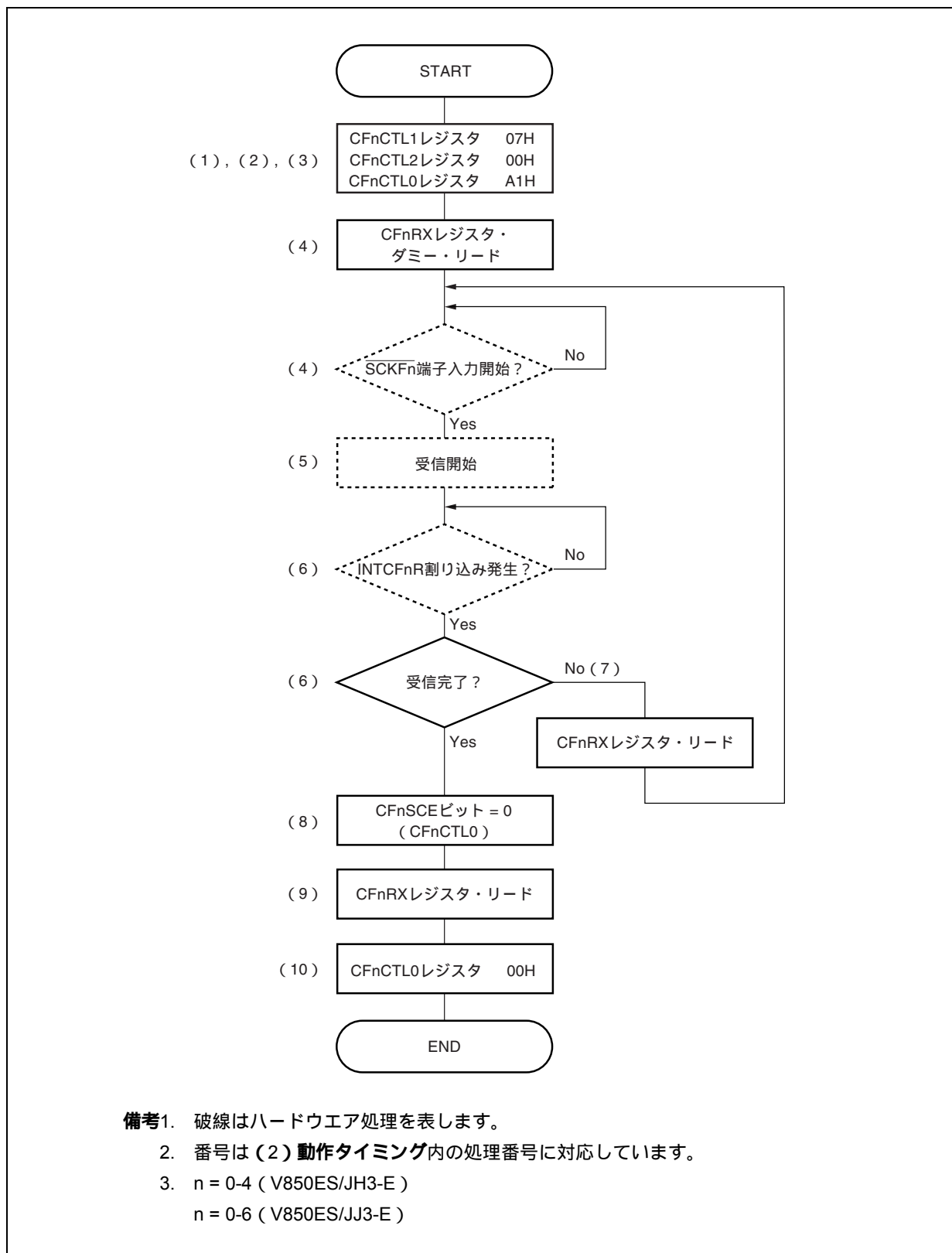
(2) 動作タイミング



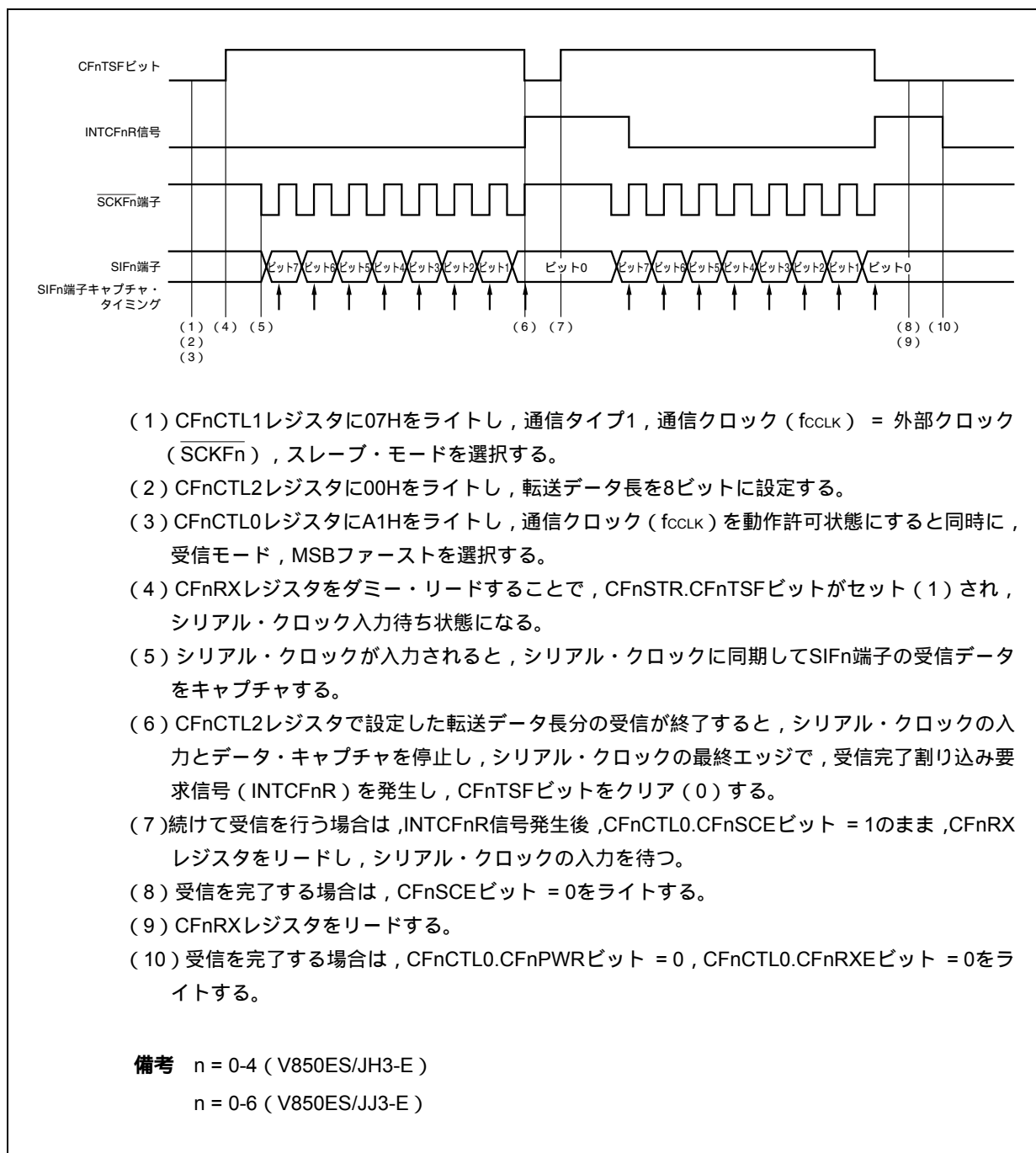
19. 6. 5 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック(SCKFn)(CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



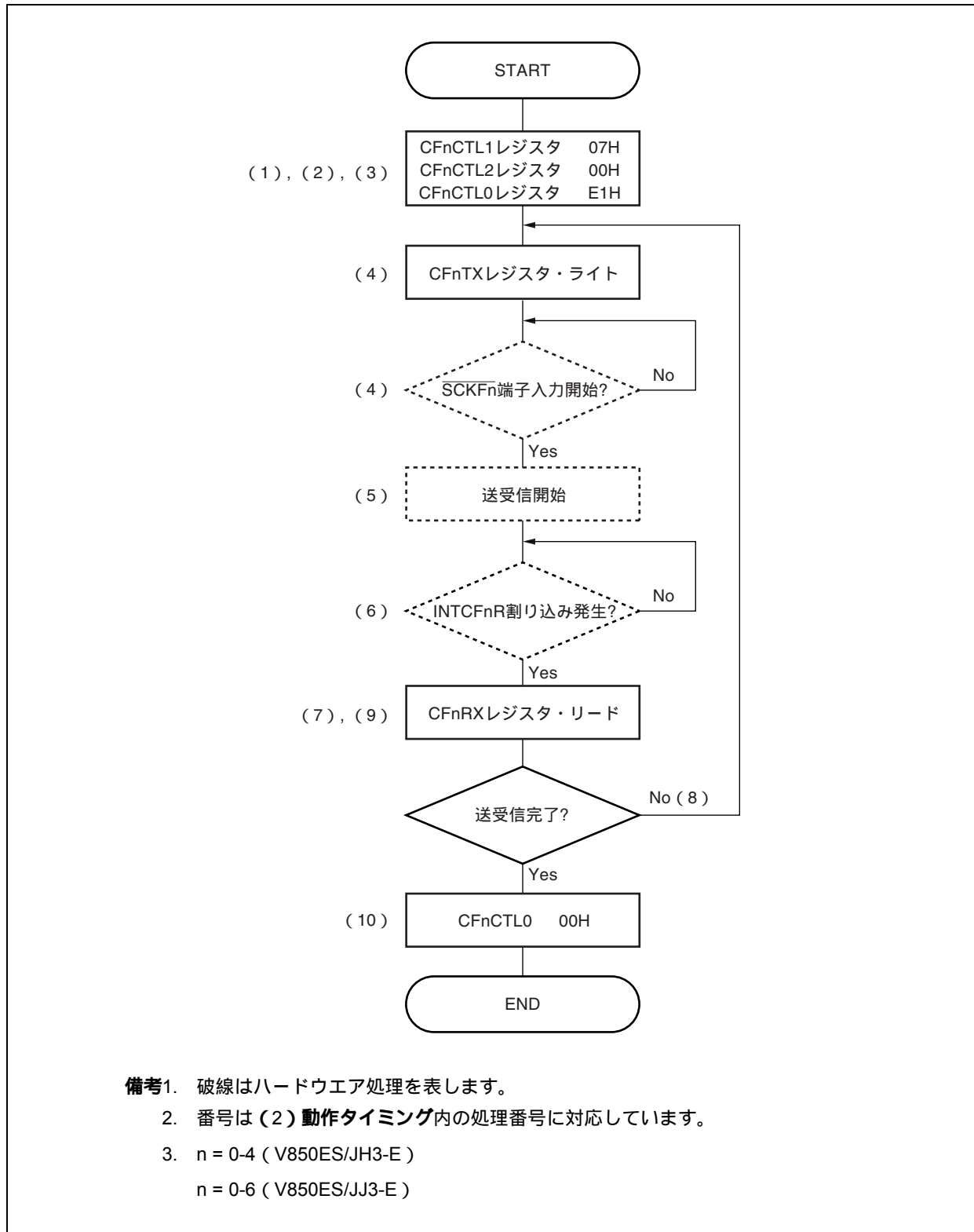
(2) 動作タイミング



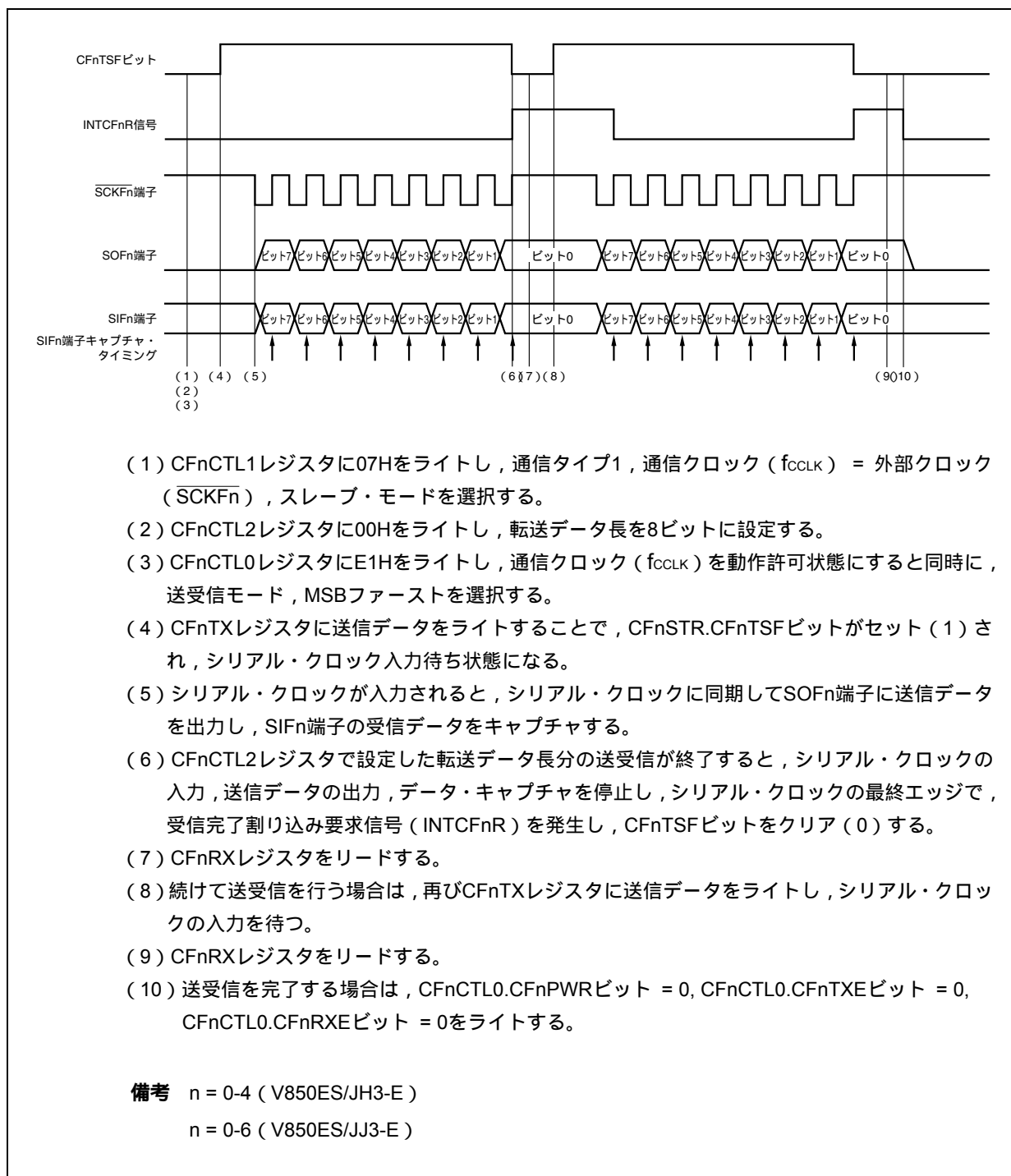
19. 6. 6 シングル転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($SCKF_n$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



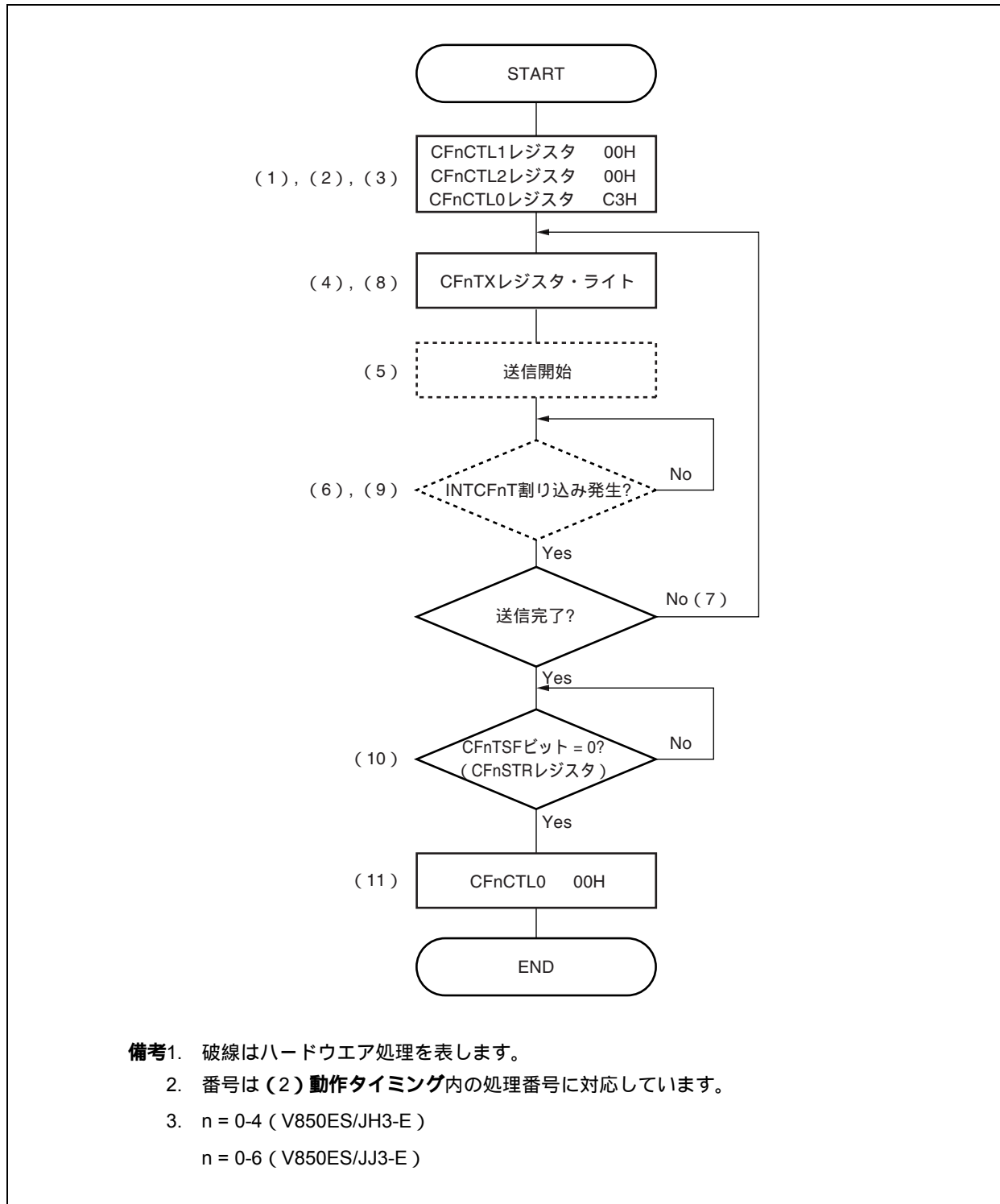
(2) 動作タイミング



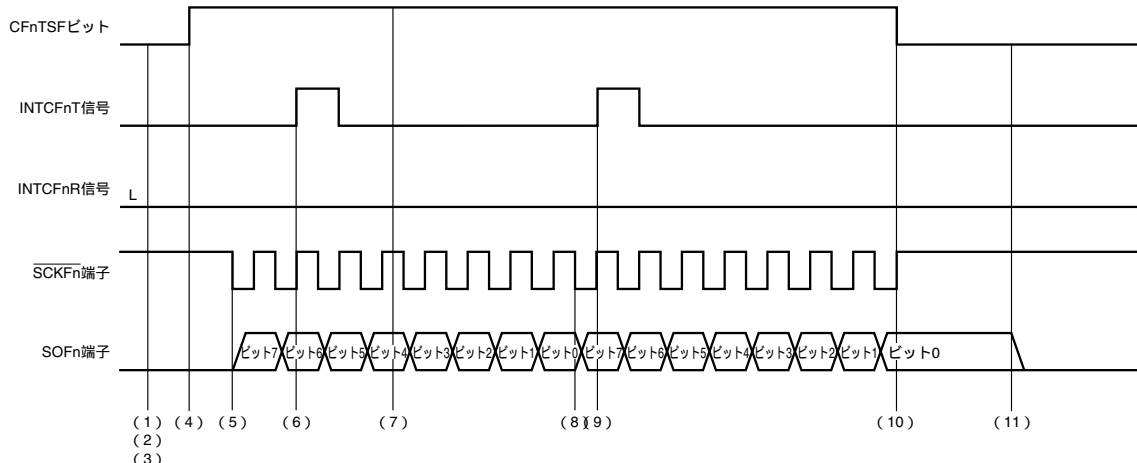
19. 6. 7 連続転送モード (マスタ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



(2) 動作タイミング



- (1) CFnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{XX}/2$ または $f_{XX}/3$ 、マスタ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK})を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、 \overline{SCKFn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOFn端子より送信データを出力する。
- (6) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CFnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCFnT) が発生する。
- (7) 続けて送信を行う場合は、INTCFnT信号発生後、再びCFnTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCFnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCFnT信号が発生する。現送信で連続送信を完了する場合は、CFnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCFnTXレジスタへライトされない場合は、転送完了後、 \overline{SCKFn} 端子へのシリアル・クロックの出力を停止し、CFnTSFビットをクリア(0)する。
- (11) 送信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0、CFnCTL0.CFnTXEビット = 0をライトする。

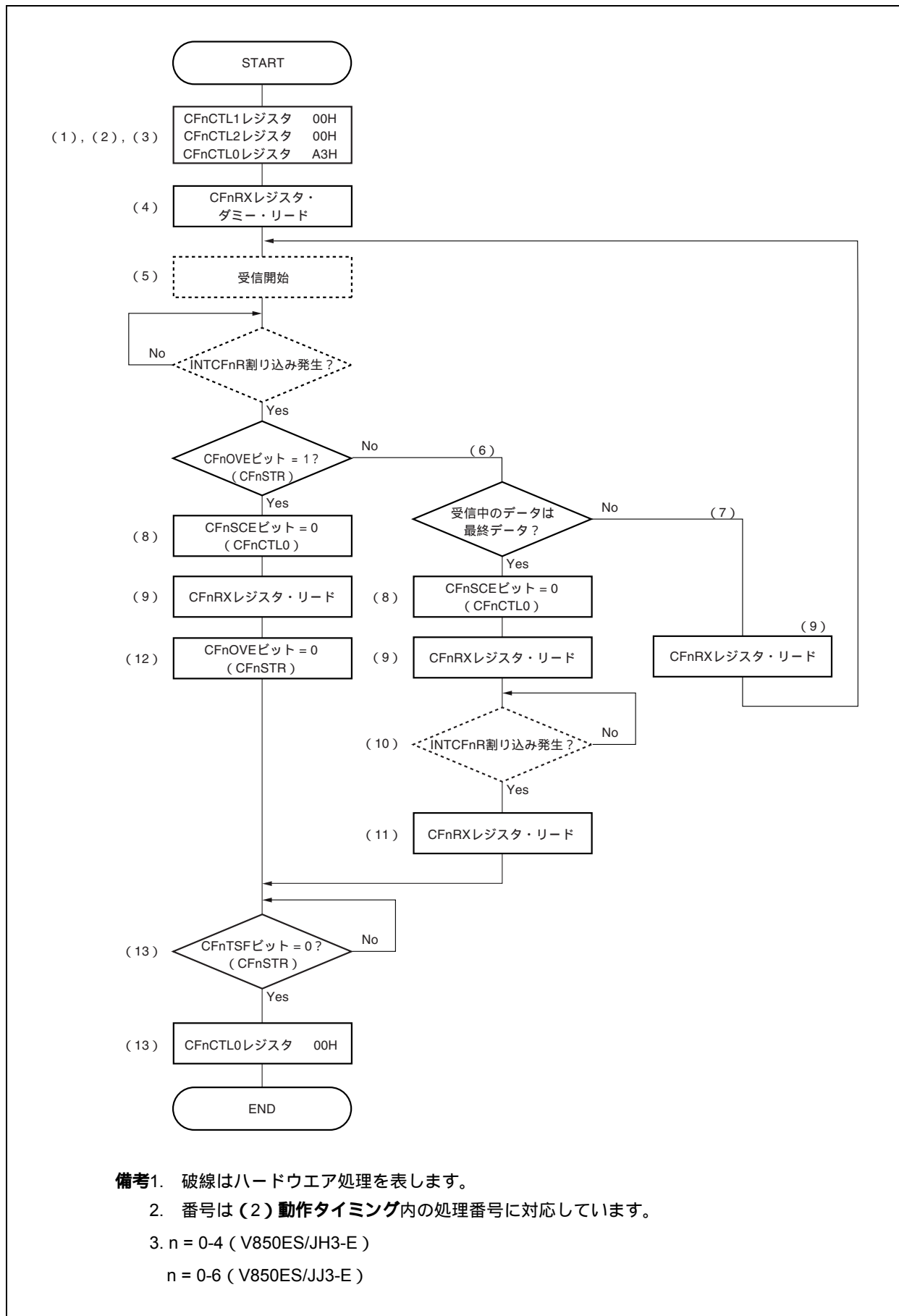
注意 連続送信モードでは、受信完了割り込み要求信号 (INTCFnR) は発生しません。

備考 n = 0-4 (V850ES/JH3-E)
n = 0-6 (V850ES/JJ3-E)

19. 6. 8 連続転送モード (マスタ・モード, 受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ または $f_{\text{xx}}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



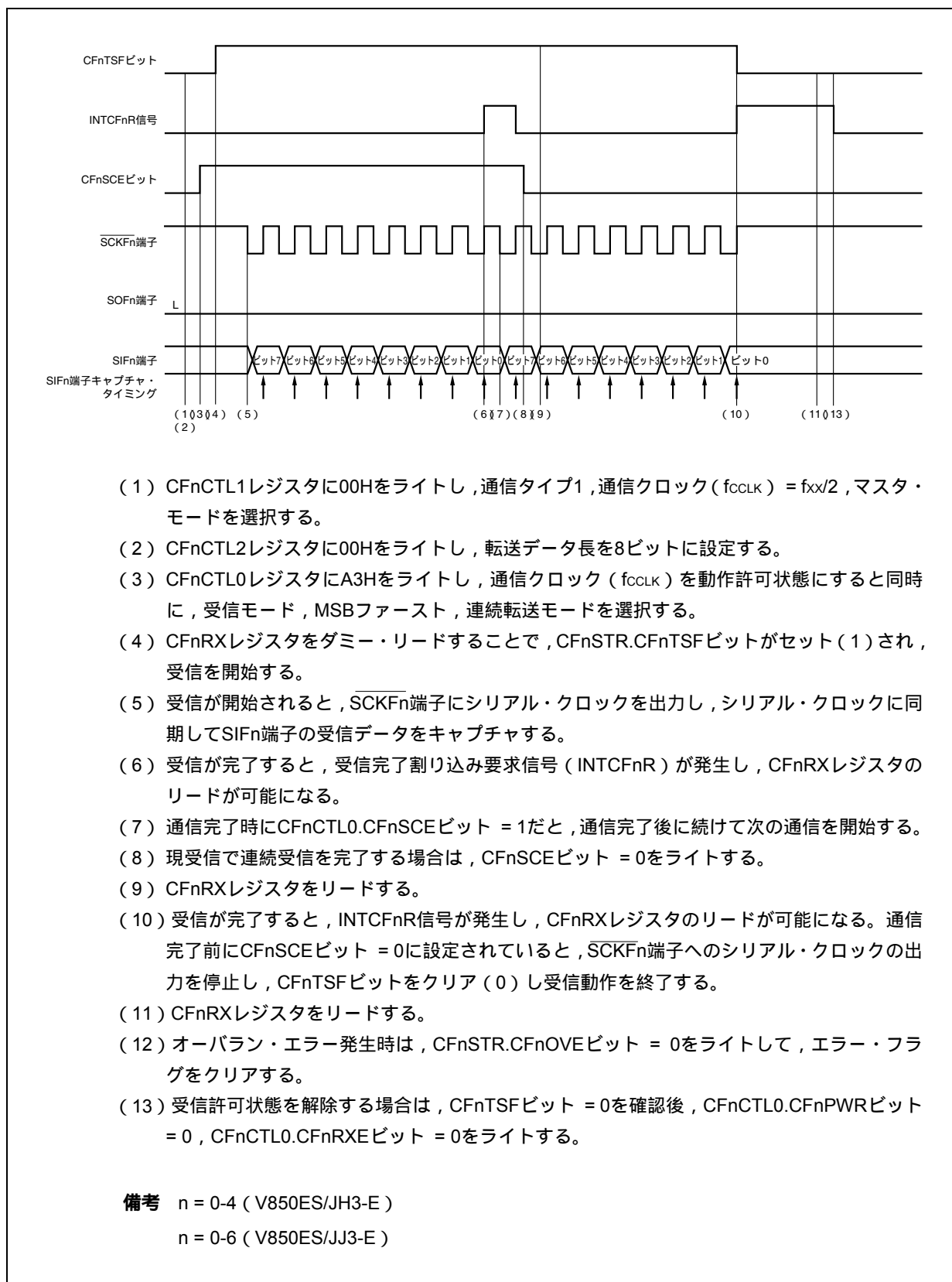
備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

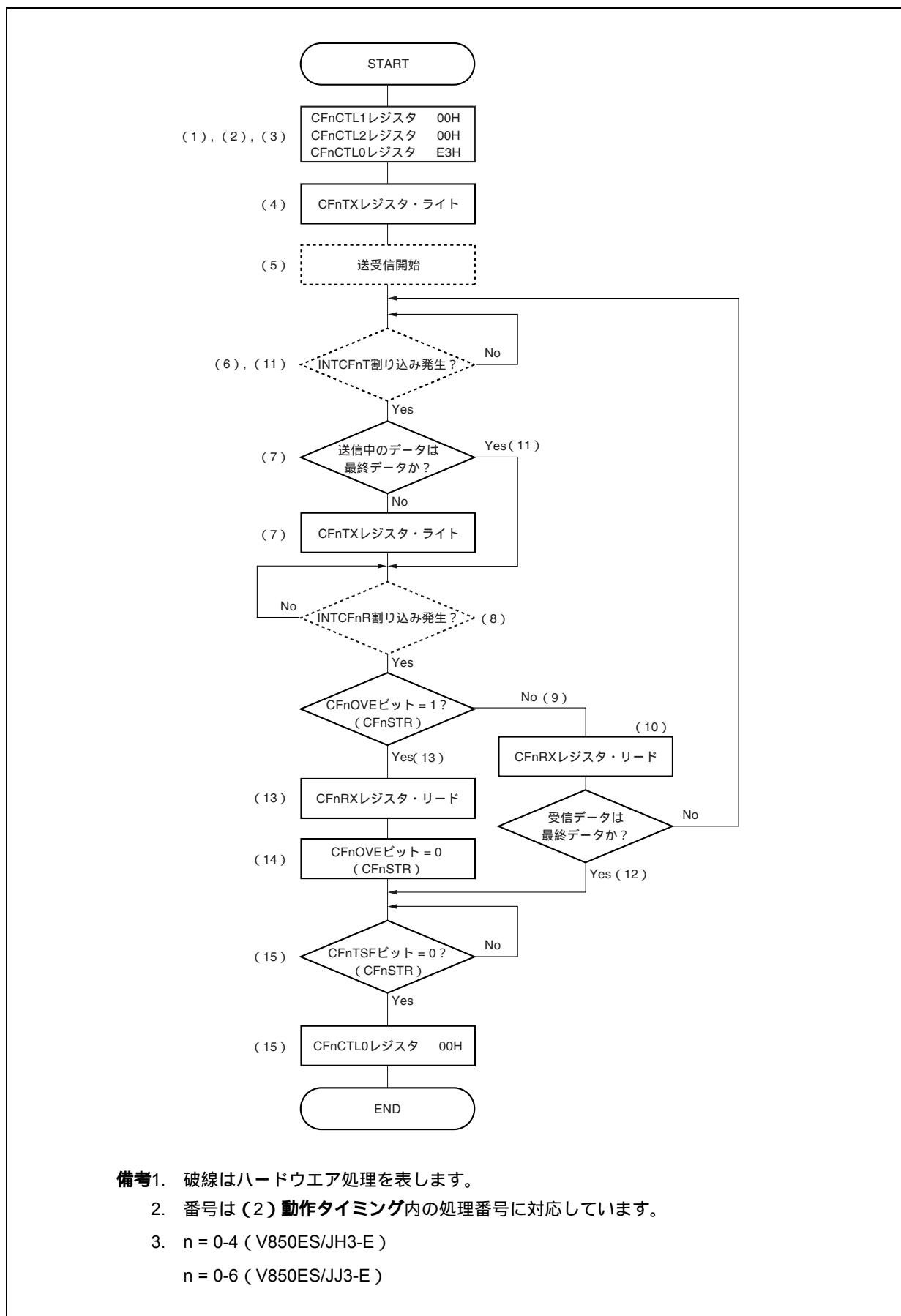
(2) 動作タイミング



19. 6. 9 連続転送モード (マスタ・モード, 送受信モード)

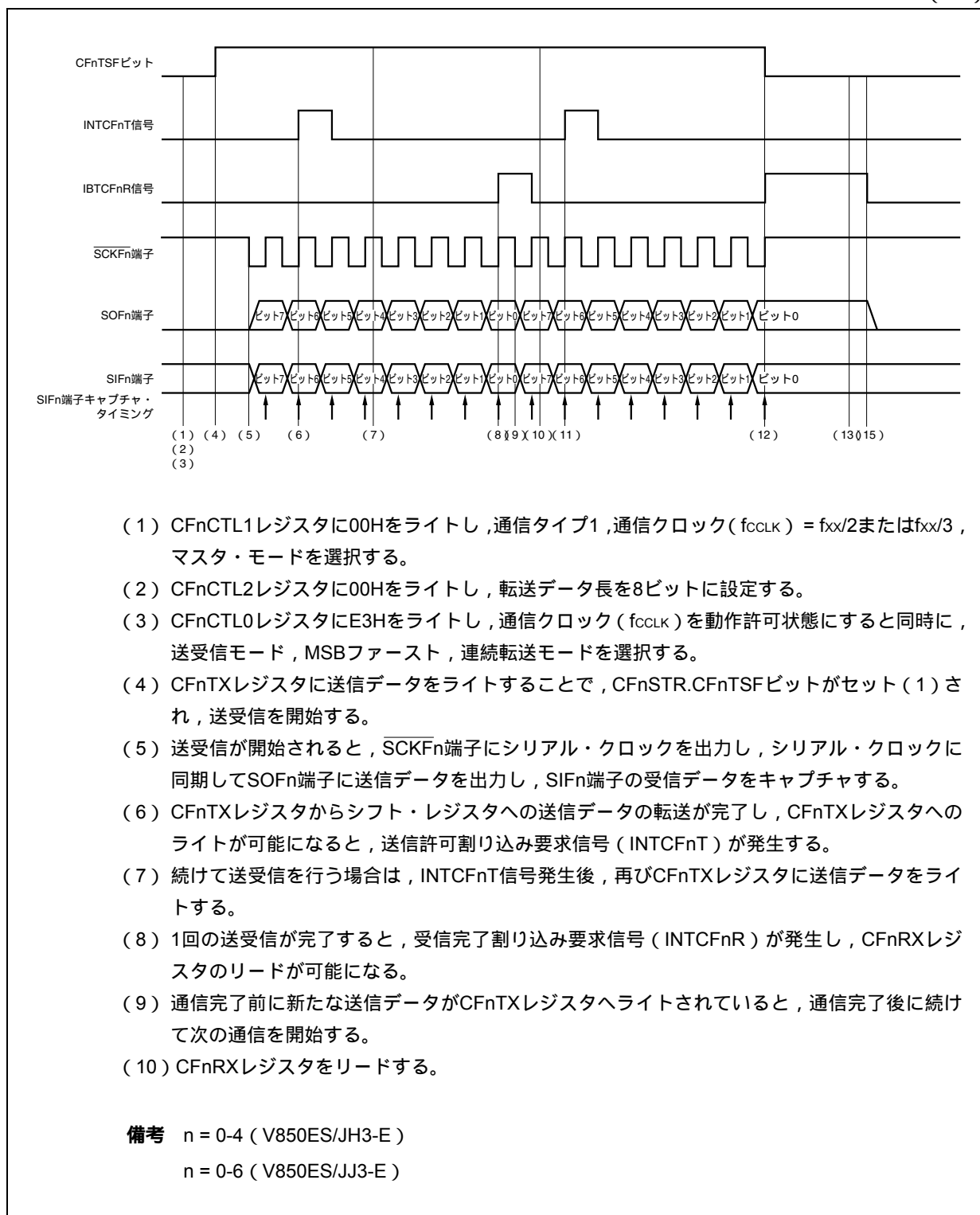
MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{X}}/2$ または $f_{\text{X}}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



(2) 動作タイミング

(1/2)



- (1) CFnCTL1レジスタに00Hをライトし,通信タイプ1,通信クロック (f_{CCLK}) = $f_{xx}/2$ または $f_{xx}/3$,マスタ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし,転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにE3Hをライトし,通信クロック (f_{CCLK}) を動作許可状態にすると同時に,送受信モード,MSBファースト,連続転送モードを選択する。
- (4) CFnTXレジスタに送信データをライトすることで,CFnSTR.CFnTSFビットがセット(1)され,送受信を開始する。
- (5) 送受信が開始されると, \overline{SCKFn} 端子にシリアル・クロックを出力し,シリアル・クロックに同期してSOFn端子に送信データを出力し,SIFn端子の受信データをキャプチャする。
- (6) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し,CFnTXレジスタへのライトが可能になると,送信許可割り込み要求信号 (INTCFnT) が発生する。
- (7) 続けて送受信を行う場合は,INTCFnT信号発生後,再びCFnTXレジスタに送信データをライトする。
- (8) 1回の送受信が完了すると,受信完了割り込み要求信号 (INTCFnR) が発生し,CFnRXレジスタのリードが可能になる。
- (9) 通信完了前に新たな送信データがCFnTXレジスタへライトされていると,通信完了後に続けて次の通信を開始する。
- (10) CFnRXレジスタをリードする。

備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

- (11) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCFnT信号が発生する。現送受信で連続送受信を完了する場合は、CFnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCFnTXレジスタへライトされない場合は、転送完了後、SCKFn端子へのシリアル・クロックの出力を停止し、CFnTSFビットをクリア(0)する。
- (13) 受信エラー割り込み要求信号(INTCFnR)発生時は、CFnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CFnSTR.CFnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0, CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 0をライトする。

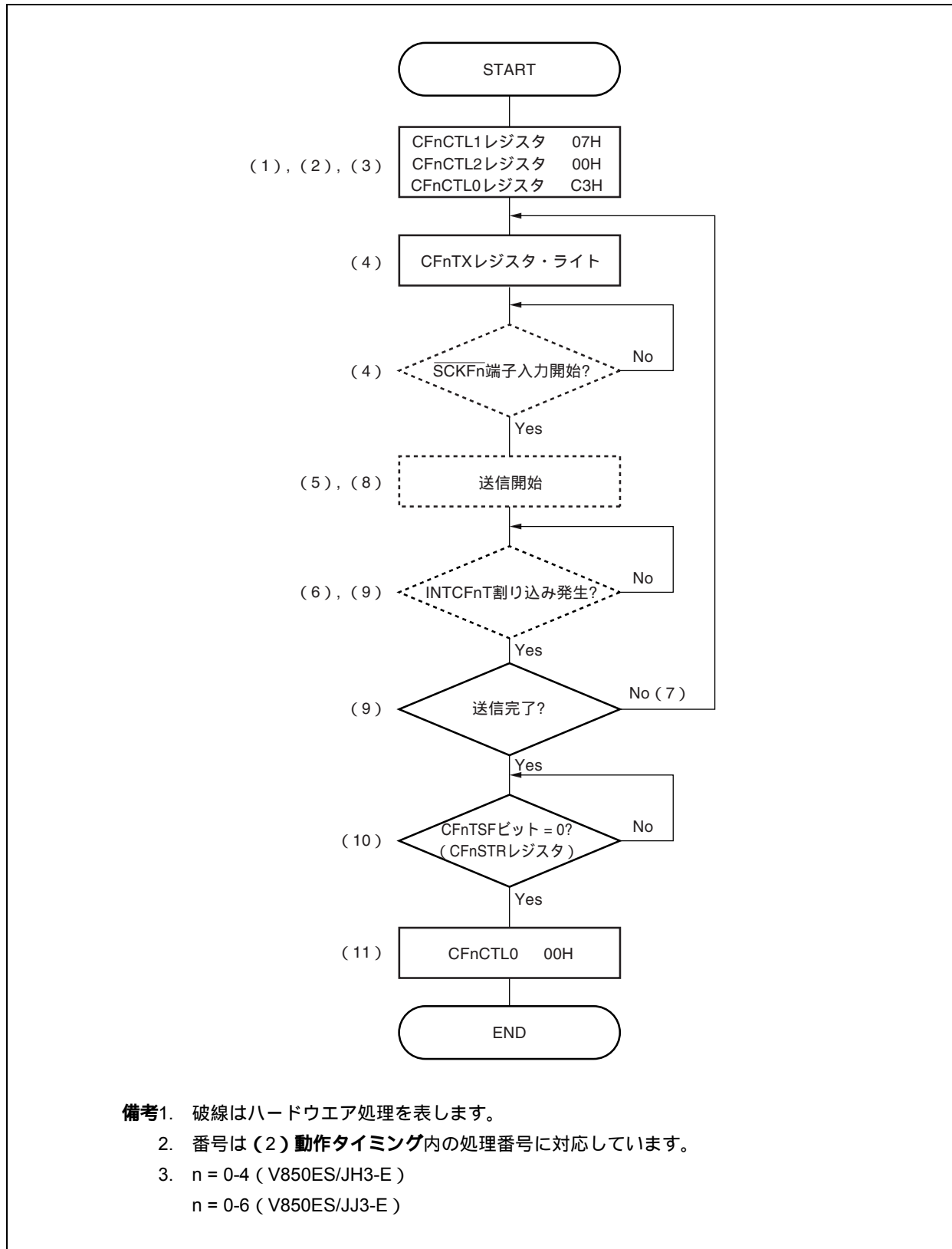
備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

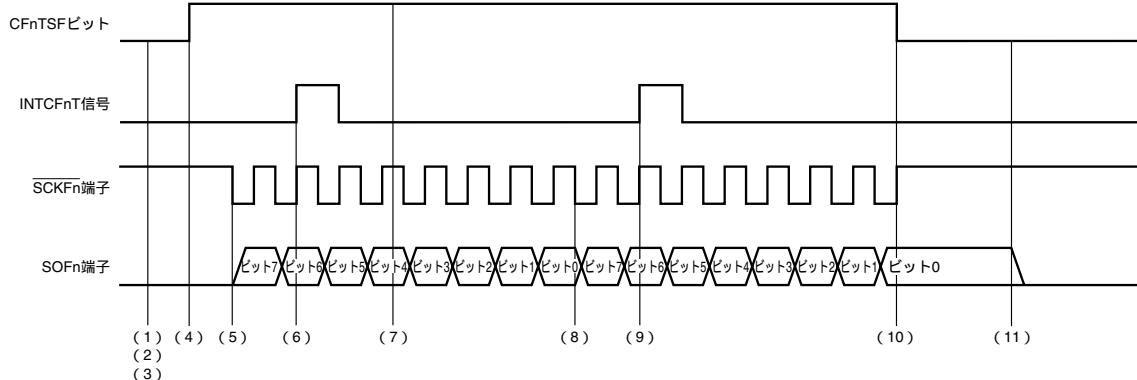
19. 6. 10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($SCKF\bar{n}$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



(2) 動作タイミング



- (1) CFnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (fcCLK) = 外部クロック (SCKFn)、スレーブ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにC3Hをライトし、通信クロック (fcCLK) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSPビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOFn端子より送信データを出力する。
- (6) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CFnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCFnT) が発生する。
- (7) 続けて送信を行う場合は、INTCFnT信号発生後、再びCFnTXレジスタに送信データをライトする。
- (8) CFnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CFnTXレジスタへのライトが可能になるとINTCFnT信号が発生する。現送信で連続送信を完了する場合は、CFnTXレジスタへのライトを行わない。
- (10) CFnTXレジスタへライトされていない状態で、CFnCTL2レジスタに設定した転送データ長のクロックが入力されると、CFnTSPビットをクリア (0) し、送信を終了する。
- (11) 送信許可状態を解除する場合は、CFnTSPビット = 0を確認後、CFnCTL0.CFnPWRビット = 0、CFnCTL0.CFnTXEビット = 0をライトする。

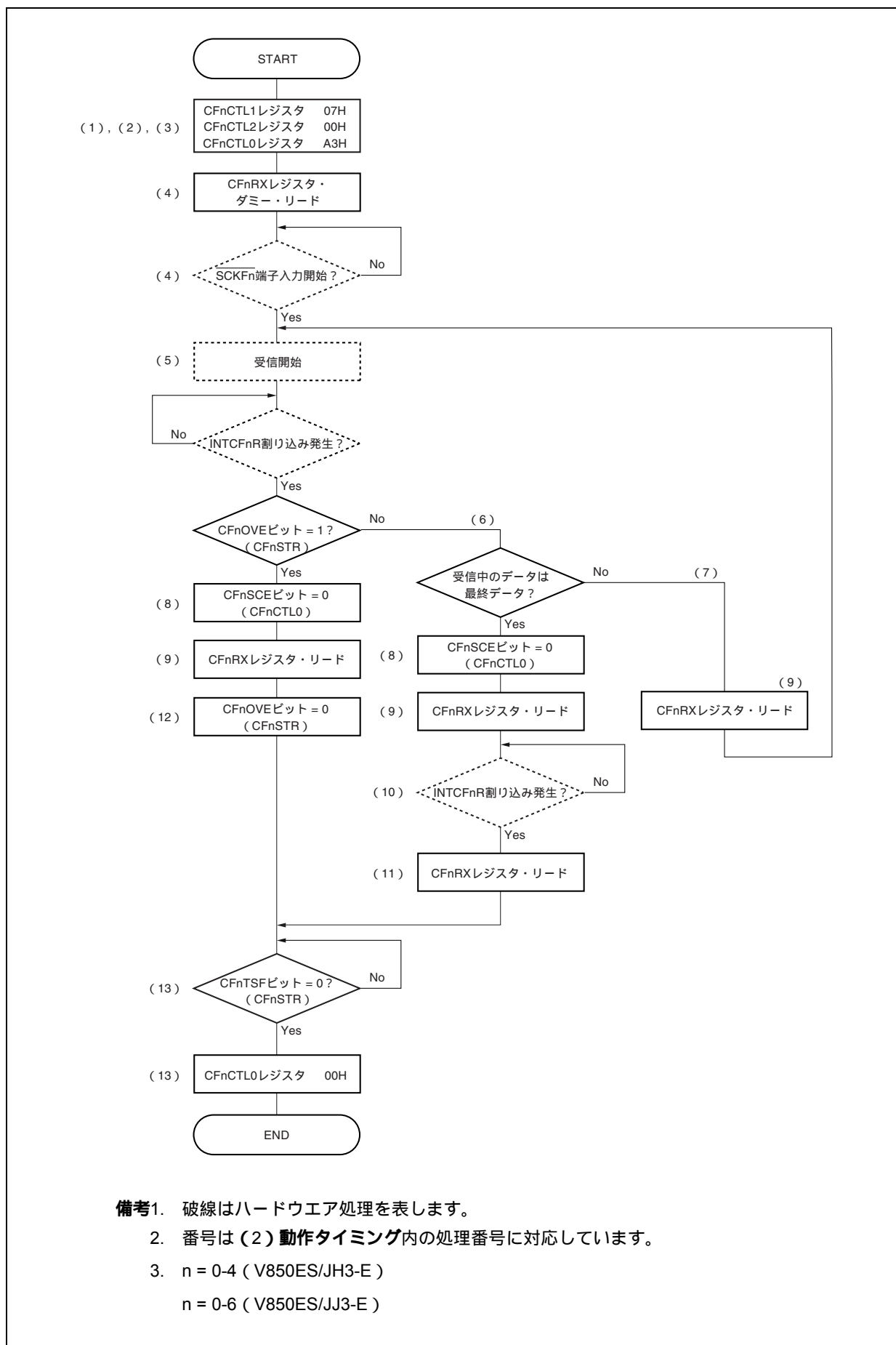
注意 連続送信モードでは、受信完了割り込み要求信号 (INTCFnR) は発生しません。

備考 n = 0-4 (V850ES/JH3-E)
n = 0-6 (V850ES/JJ3-E)

19. 6. 11 連続転送モード (スレーブ・モード, 受信モード)

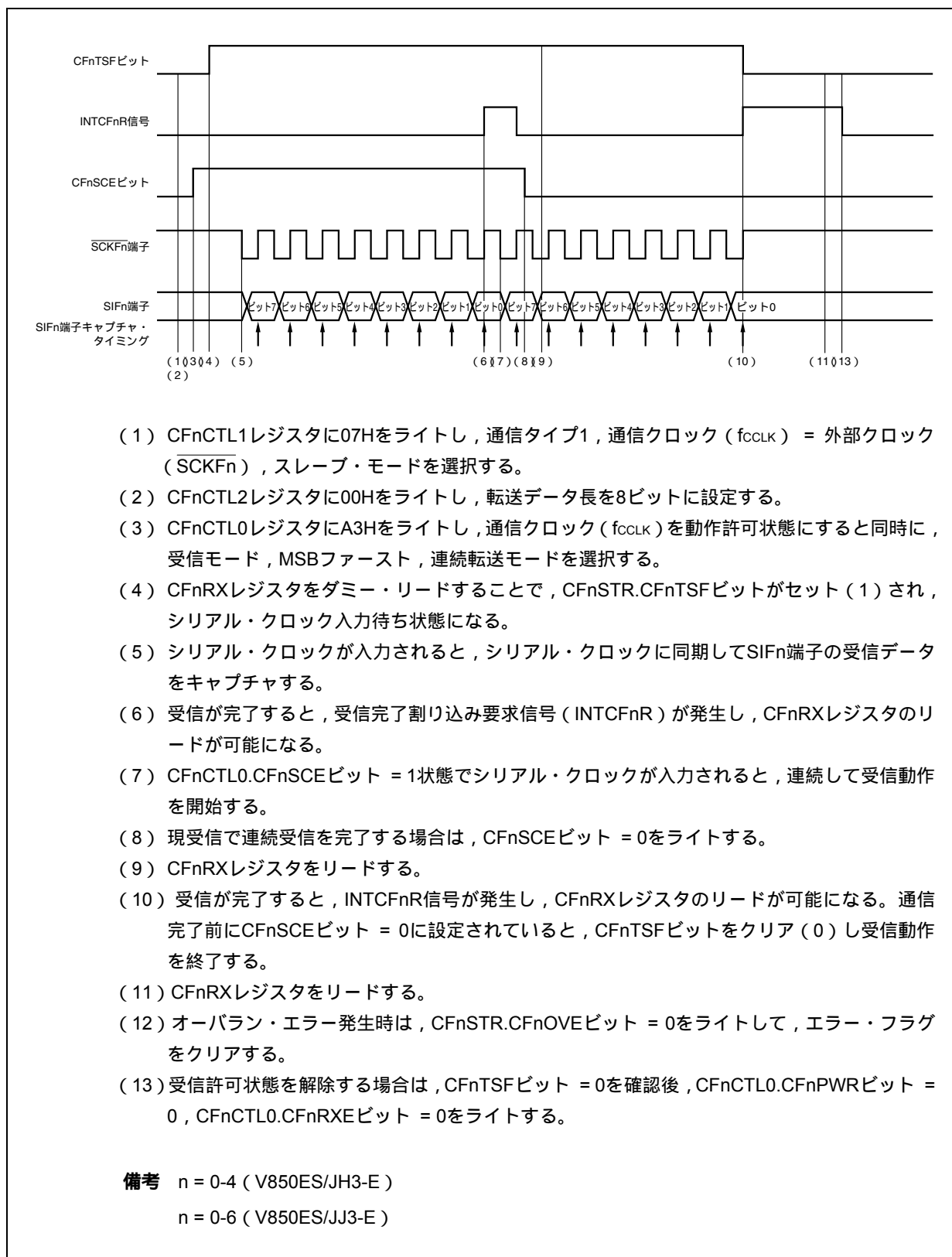
MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKFn}}$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0-4 (V850ES/JH3-E)
 n = 0-6 (V850ES/JJ3-E)

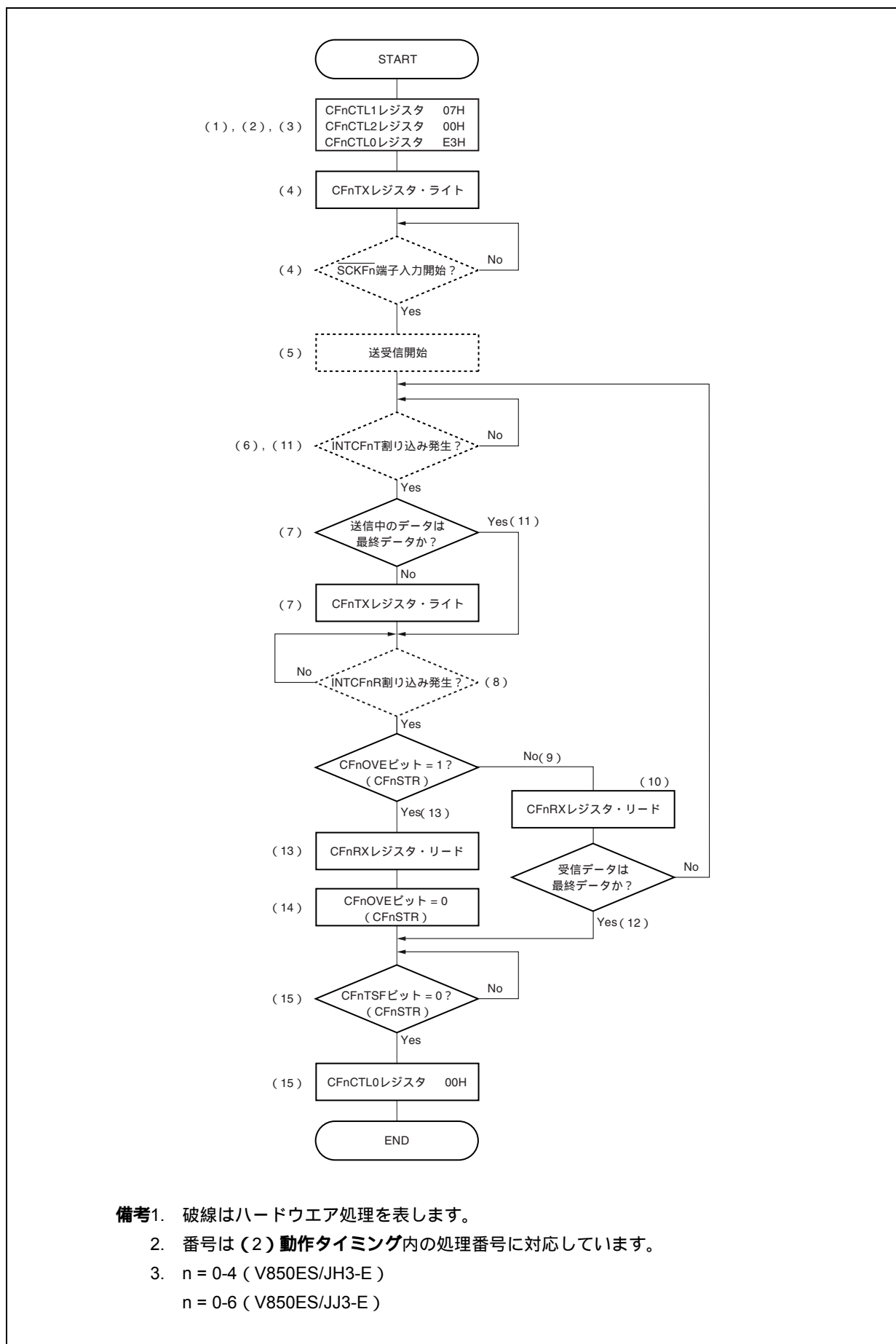
(2) 動作タイミング



19. 6. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック(\overline{SCKFn}) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

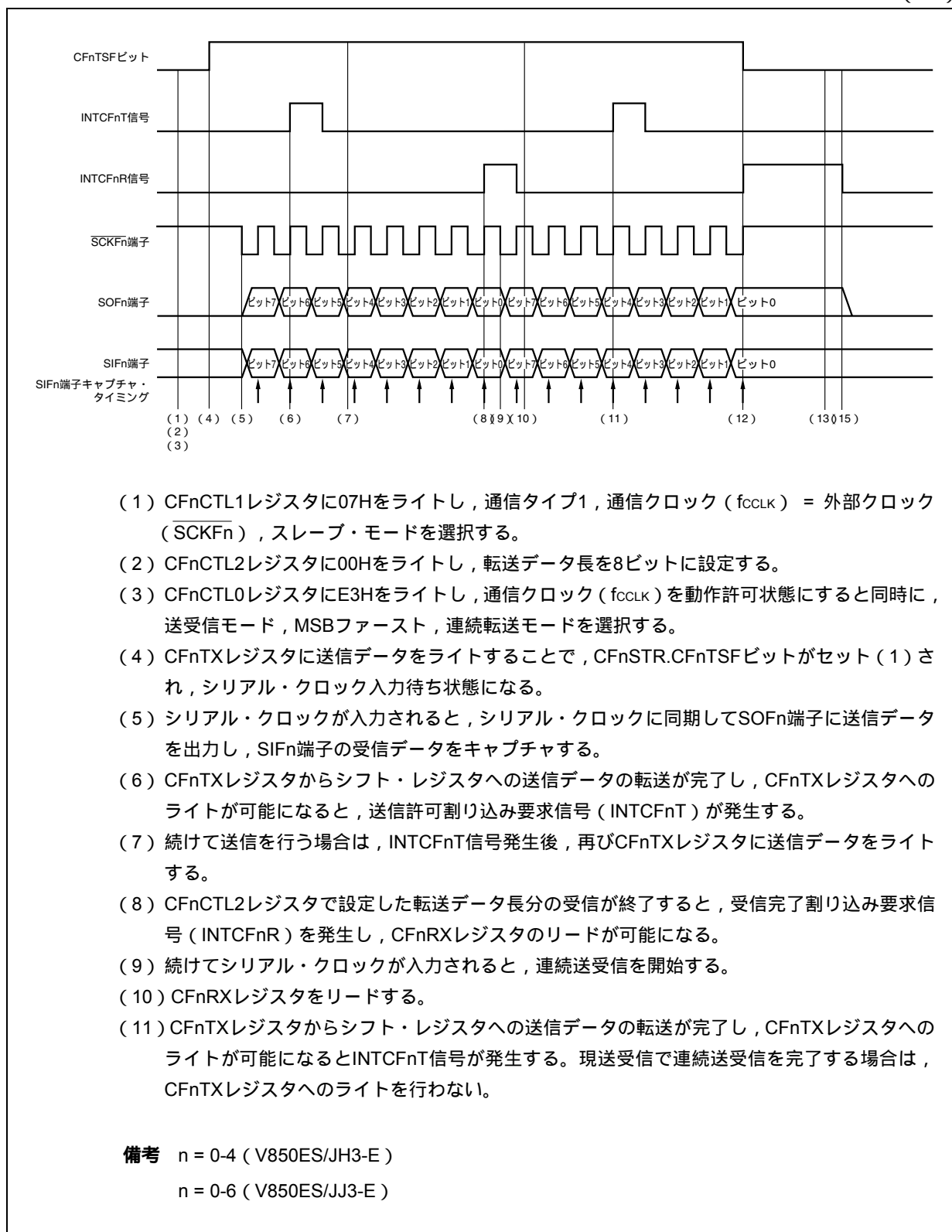
2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

(2) 動作タイミング

(1/2)



- (1) CFnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (fcCLK) = 外部クロック (SCKFn)、スレーブ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにE3Hをライトし、通信クロック (fcCLK) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOFn端子に送信データを出力し、SIFn端子の受信データをキャプチャする。
- (6) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CFnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCFnT) が発生する。
- (7) 続けて送信を行う場合は、INTCFnT信号発生後、再びCFnTXレジスタに送信データをライトする。
- (8) CFnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信完了割り込み要求信号 (INTCFnR) を発生し、CFnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると、連続送受信を開始する。
- (10) CFnRXレジスタをリードする。
- (11) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CFnTXレジスタへのライトが可能になるとINTCFnT信号が発生する。現送受信で連続送受信を完了する場合は、CFnTXレジスタへのライトを行わない。

備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

- (12) CFnTXレジスタへライトされていない状態で、CFnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCFnR信号が発生し、CFnTSFビットをクリア(0)し、送受信を終了する。
- (13) INTCFnR信号発生時は、CFnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CFnSTR.CFnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0, CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

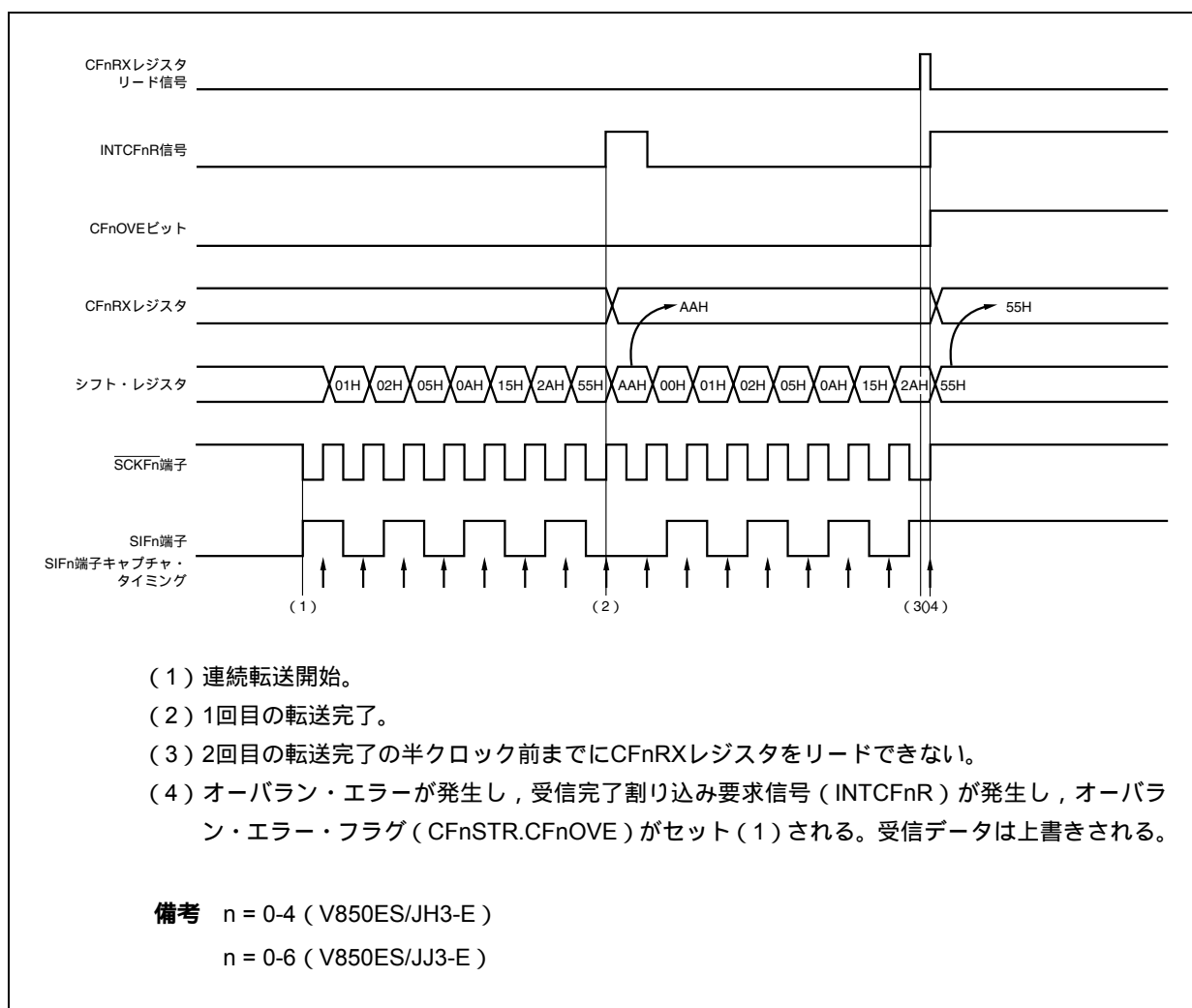
19.6.13 受信エラー

連続転送モード時に受信許可 (CFnCTL0.CFnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCFnR) 発生後、CFnRXレジスタをリードする前に次の受信動作が完了すると再度INTCFnR信号が発生し、オーバラン・エラー・フラグ (CFnSTR.CFnOVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CFnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCFnRXレジスタをリードしないと、次の受信完了で再びINTCFnR信号が発生します。

オーバラン・エラーを回避するためには、INTCFnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までに、CFnRXレジスタのリードを完了してください。

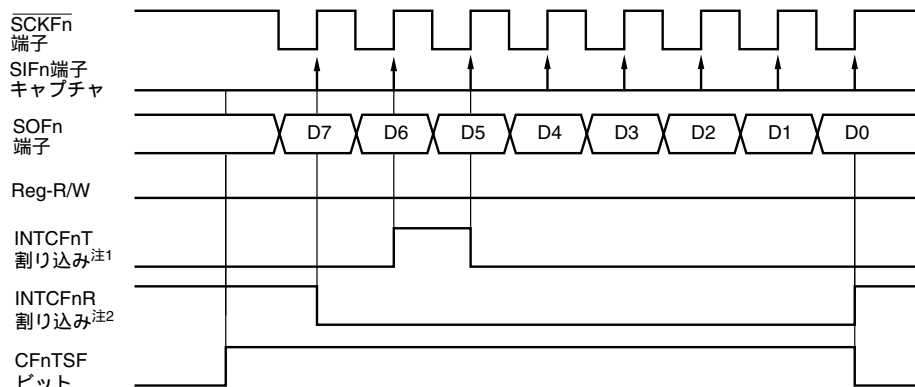
(1) 動作タイミング



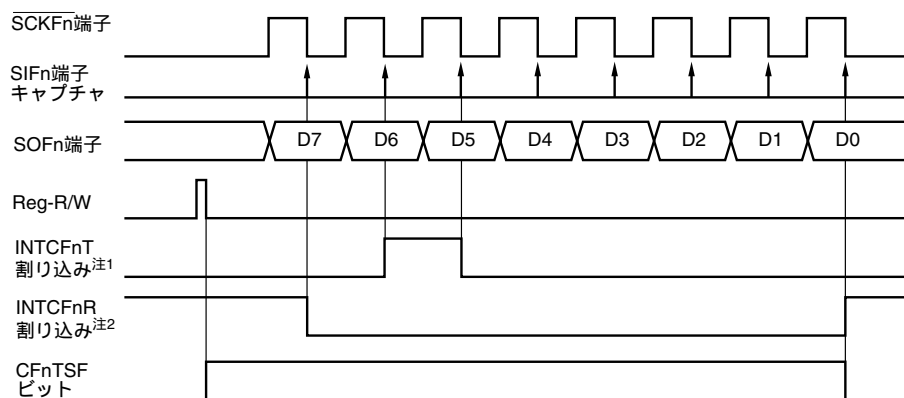
19. 6. 14 クロック・タイミング

(1/2)

(i) 通信タイプ1 (CFnCKP, CFnDAPビット = 00)



(ii) 通信タイプ3 (CFnCKP, CFnDAPビット = 10)



- 注1.** 連続送信 / 連続送受信モードにおいて、CFnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCFnT割り込み要求信号は発生せずに、通信完了時にINTCFnR割り込み要求信号が発生します。
- 2.** 受信許可状態において、正常に受信を完了し受信データがCFnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCFnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CFnTSFビット = 1の状態でもCFnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

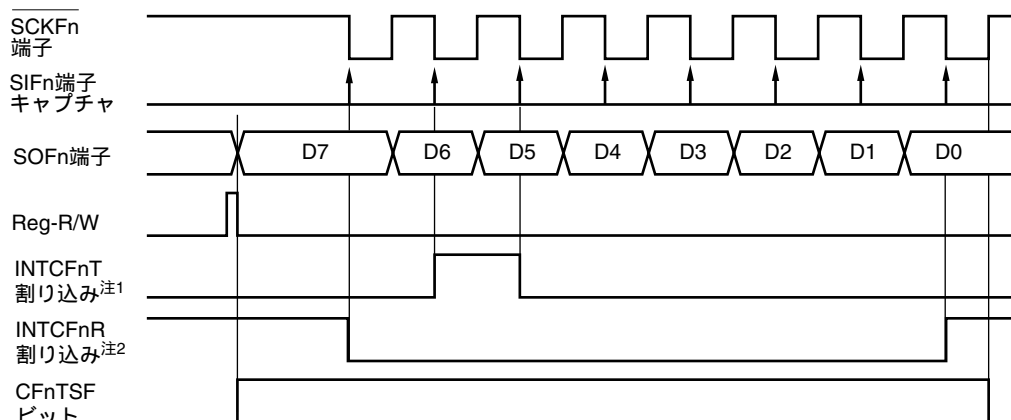
たとえば、INTCFnR信号発生によりDMAを起動し、CFnTXレジスタに次のデータを書き込んで、CFnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

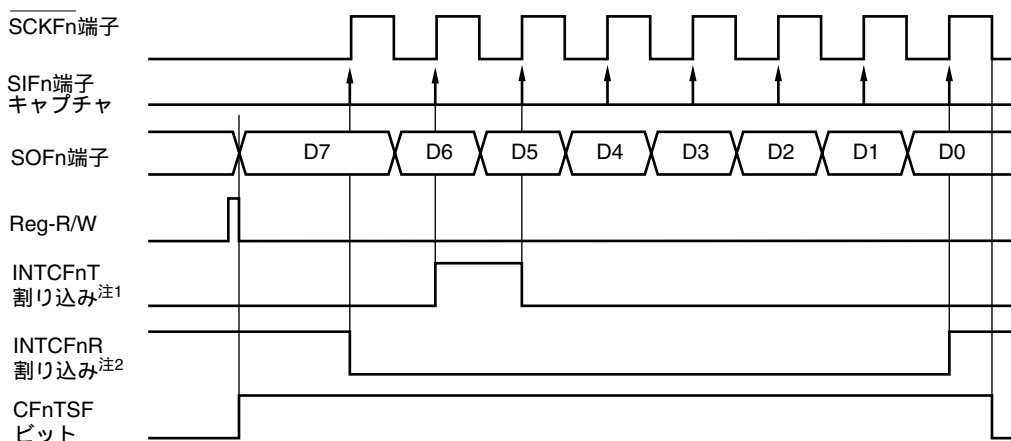
備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

(iii) 通信タイプ2 (CFnCKP, CFnDAPビット = 01)



(iv) 通信タイプ4 (CFnCKP, CFnDAPビット = 11)



注1. 連続送信 / 連続送受信モードにおいて、CFnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCFnT割り込み要求信号は発生せず、通信完了時にINTCFnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCFnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCFnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CFnTSFビット = 1の状態でもCFnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCFnR信号発生によりDMAを起動し、CFnTXレジスタに次のデータを書き込んでも、CFnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

19.7 出力端子

(1) SCKFn端子

CSIFn動作禁止 (CFnCTL0.CFnPWRビット = 0) のとき、SCKFn端子出力状態は次のようになります。

CFnCKP	CFnCKS2	CFnCKS1	CFnCKS0	SCKFn端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考1. CFnCTL1.CFnCKP, CFnCKS2-CFnCKS0ビットのいずれかを書き換えるとSCKFn端子の出力が変化します。

- n = 0-4 (V850ES/JH3-E)
n = 0-6 (V850ES/JJ3-E)

(2) SOFn端子

CSIFn動作禁止 (CFnPWRビット = 0) のとき、SOFn端子出力状態は次のようになります。

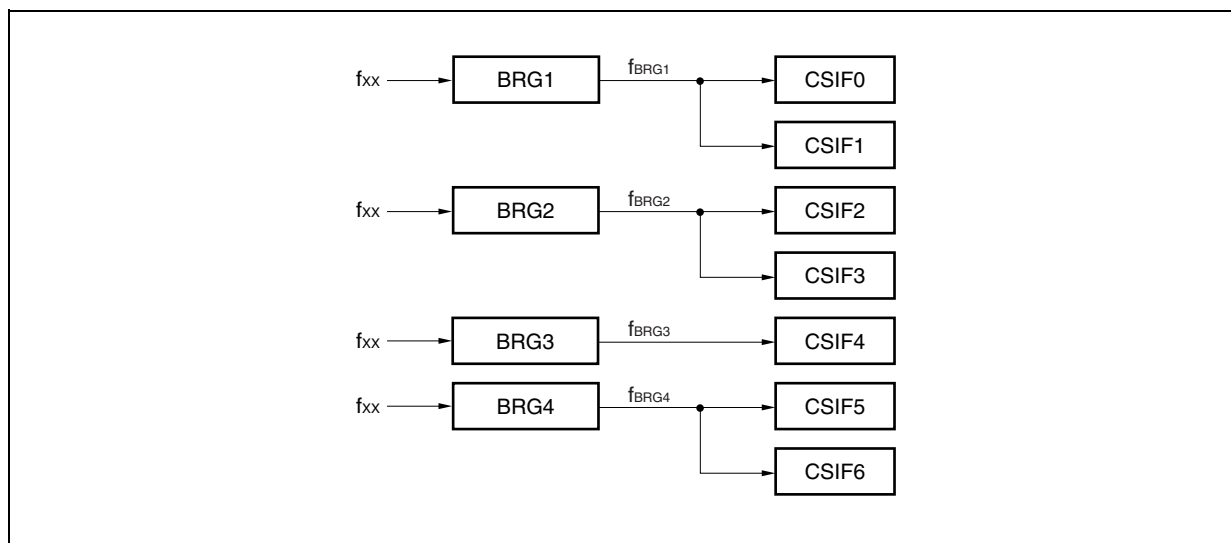
CFnTXE	CFnDAP	CFnDIR	SOFn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOFnラッチの値 (ロウ・レベル)
	1	0	CFnTXの値 (MSB)
		1	CFnTXの値 (LSB)

備考1. CFnCTL0.CFnTXE, CFnDIRビット, CFnCTL1.CFnDAPビットのいずれかを書き換えるとSOFn端子の出力が変化します。

- x : 任意
- n = 0-4 (V850ES/JH3-E)
n = 0-6 (V850ES/JJ3-E)

19.8 ポー・レート・ジェネレータ

ポー・レート・ジェネレータBRG1-BRG4とCSIF0-CSIF6は、次のブロック図のように接続されています。



(1) プリスケアラ・モード・レジスタ 1-4 (PRSM1-PRSM4)

PRSMmレジスタは、CSIFのポー・レート信号の生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：PRSM1 FFFFF320H, PRSM2 FFFFF324H,
PRSM3 FFFFF328H, PRSM4 FFFFF32CH

	7	6	5	④	3	2	1	0
PRSMm (m = 1-4)	0	0	0	BGCEm	0	0	BGCSm1	BGCSm0

BGCEm	ポー・レート出力
0	禁止
1	許可

BGCSm1	BGCSm0	入力クロックの選択 (f _{BGCSm})	設定値 (k)
0	0	f _{xx}	0
0	1	f _{xx} /2	1
1	0	f _{xx} /4	2
1	1	f _{xx} /8	3

- 注意1.** 動作中に、PRSMmレジスタを書き換えしないでください。
2. PRSMmレジスタの設定はBGCEmビットに“1”を設定する前に行ってください。
3. ビット7-5, 3, 2には必ず“0”を設定してください。

(2) プリスケアラ・コンペア・レジスタ 1-4 (PRSCM1-PRSCM4)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : PRSCM1 FFFFF321H, PRSCM2 FFFFF325H,
PRSCM3 FFFFF329H, PRSCM4 FFFFF32DH

	7	6	5	4	3	2	1	0
PRSCMm (m = 1-4)	PRSCMm7	PRSCMm6	PRSCMm5	PRSCMm4	PRSCMm3	PRSCMm2	PRSCMm1	PRSCMm0

注意1. 動作中にPRSCMmレジスタを書き換えしないでください。

2. PRSMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。

19. 8. 1 ボー・レートの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

$$f_{BRGm} = \frac{f_{XX}}{2^{k+1} \times N}$$

注意 f_{BRGm} は、8 MHz (CSIF0, 4, 5) または 5 MHz (CSIF1-3, 6) 以下になるように設定してください。

備考 f_{BRGm} : BRGmのカウント・クロック

f_{XX} : メイン・クロックの発振周波数

k : PRSMmレジスタの設定値 = 0-3

N : PRSCMmレジスタ設定値 = 1-256

ただし、 $N = 256$ となるのは、PRSCMmレジスタに00Hを設定した場合です。

$m = 1-4$

19.9 注意事項

(1) DMA転送により、送信データ、受信データの転送を行う場合、シリアル転送中にオーバーラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCFnSTR.CFnOVEビットを読み出してオーバーラン・エラーがなかったことを確認してください。

(2) 動作中 (CFnCTL0.CFnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CFnCTL0.CFnPWRビット = 0に設定してCSIFnを初期化してください。

動作中の書き換えが禁止されているレジスタを次に示します。

- ・ CFnCTL0レジスタ：CFnTXE, CFnRXE, CFnDIR, CFnTMSビット
- ・ CFnCTL1レジスタ：CFnCKP, CFnDAP, CFnCKS2-CFnCKS0ビット
- ・ CFnCTL2レジスタ：CFnCL3-CFnCL0ビット

(3) 通信タイプ2, 4 (CFnCTL1.CFnDAPビット = 1) では、受信完了割り込み (INTCFnR) 発生後、 $\overline{\text{SCKFn}}$ 半クロック後にCFnSTR.CFnTSFビットがクリアされます。

一方、シングル転送モードでは、通信中 (CFnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 1) も、通信中 (CFnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

そのため、通信タイプ2, 4 (CFnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。

- ・ 次の送信を起動する場合は、CFnTSFビット = 0であることを確認したあと、CFnTXレジスタに送信データを書き込む
- ・ 受信のみの通信に設定したとき (CFnTXEビット = 0, CFnRXEビット = 1) に続けて次の受信を行う場合は、CFnTSFビット = 0であることを確認したあと、CFnRXレジスタをリードする

または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。

備考 n = 0-4 (V850ES/JH3-E)

n = 0-6 (V850ES/JJ3-E)

第20章 I²Cバス

この機能を使用する場合は、P24/SCL00, P23/SDA00, P40/SDA01, P41/SCL01, P36/SDA02, P37/SCL02, P99/SDA03, P910/SCL03, P55/SDA04, P56/SCL04端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

20.1 特 徴

I²C00-I²C04には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック端子 (SCL0n) とシリアル・データ・バス端子 (SDA0n) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²C0nでは、SCL0n端子とSDA0n端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

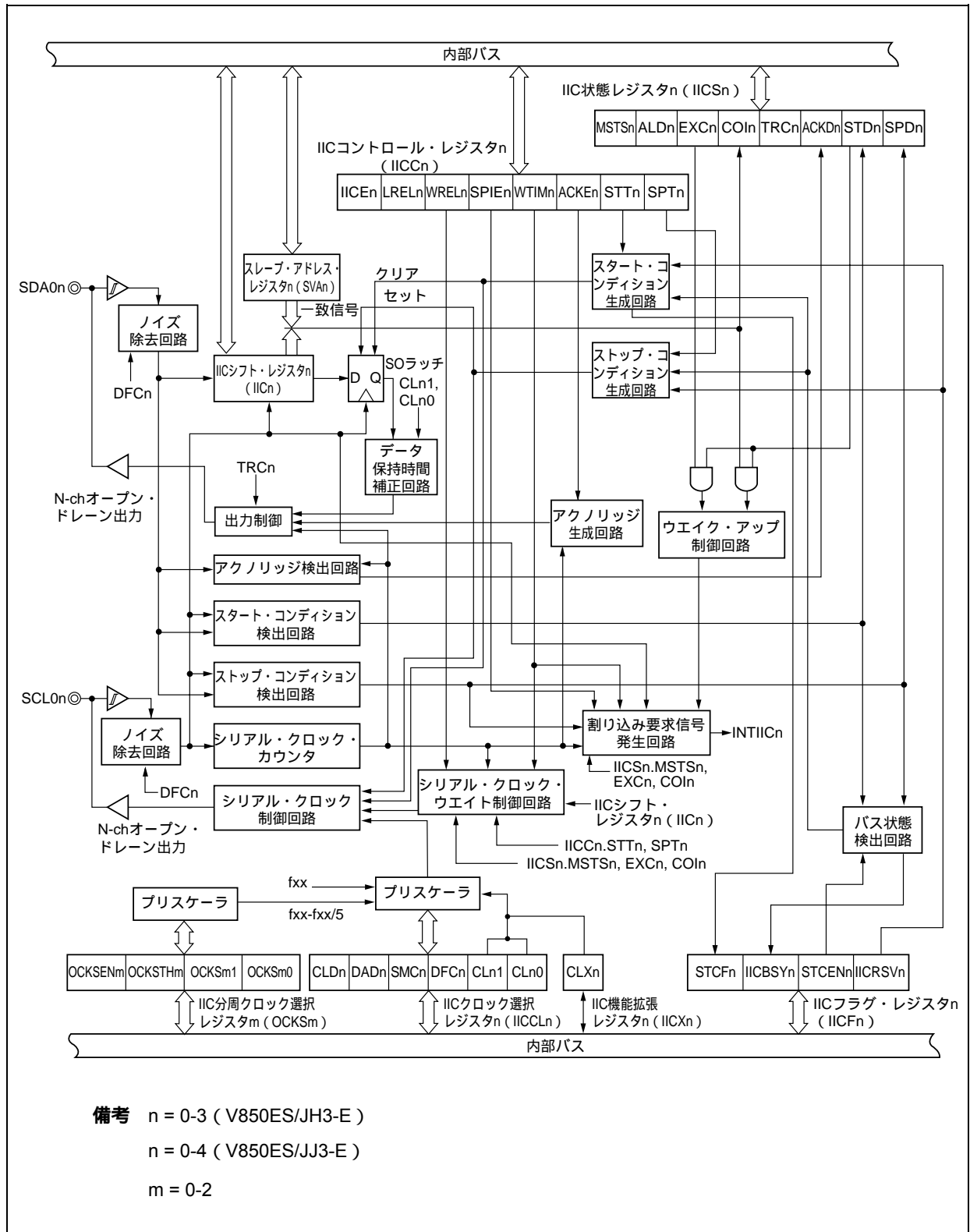
備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20.2 構 成

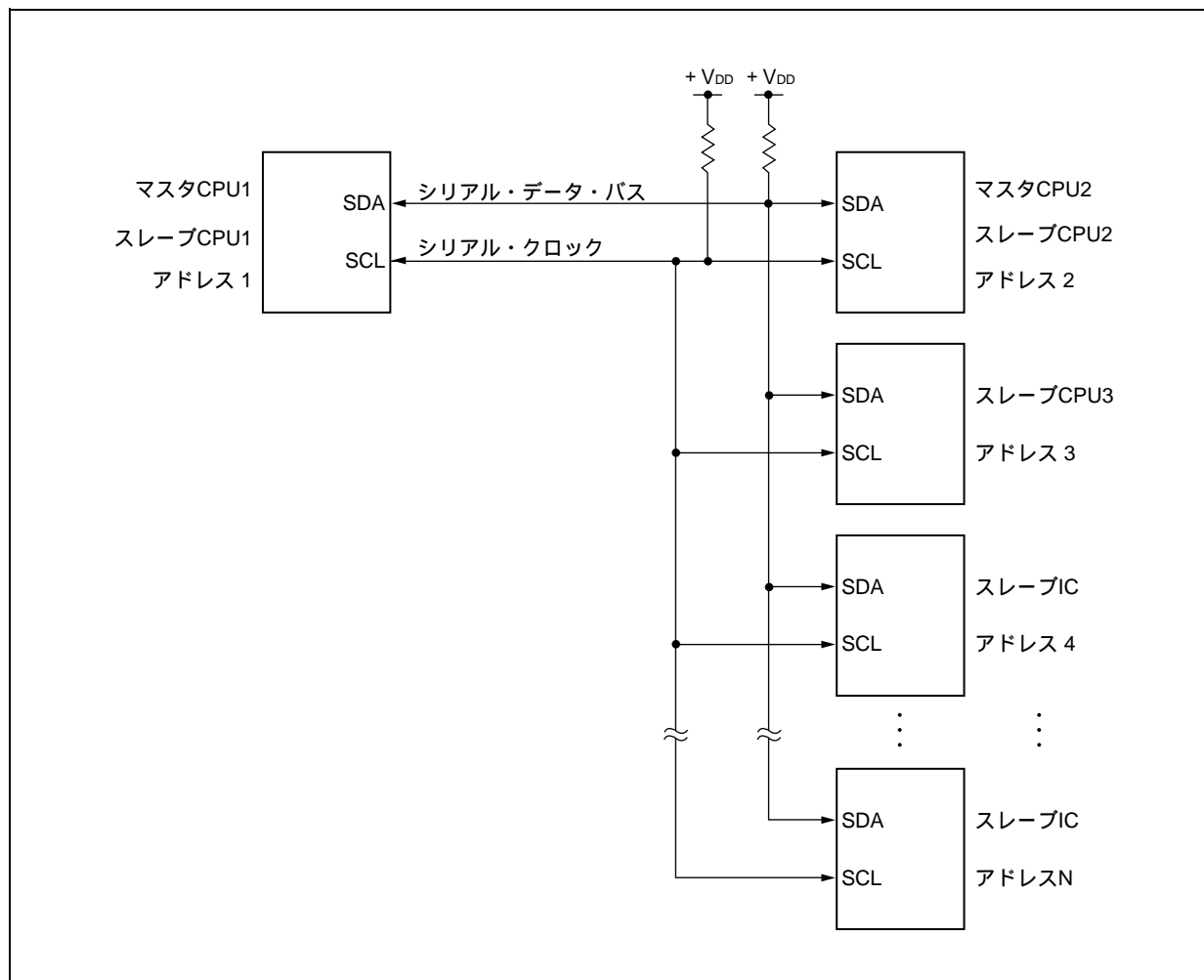
I²C0nのブロック図を次に示します。

図20 - 1 I²C0nのブロック図



次にシリアル・バス構成例を示します。

図20 - 2 I²Cバスによるシリアル・バス構成例



I²C0nは、次のハードウェアで構成されています。

表20 - 1 I²C0nの構成

項 目	構 成
レジスタ	IICシフト・レジスタn (IICn) スレーブ・アドレス・レジスタn (SVAn)
制御レジスタ	IICコントロール・レジスタn (IICcn) IIC状態レジスタn (IICSn) IICフラグ・レジスタn (IICFn) IICクロック選択レジスタn (IICCLn) IIC機能拡張レジスタn (IICXn) IIC分周クロック選択レジスタ0-2 (OCKS0-OCKS2)

(1) IICシフト・レジスタn (IICn)

IICnレジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnレジスタは送信および受信の両方に使用されます。

IICnレジスタに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタn (SVAn)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA0n端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

SVAnレジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求信号 (INTIICn) を発生させる回路です。

(5) プリスケアラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C 割り込みは、次の2つのトリガで発生します。

- ・ シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICn.WTIMnビットで設定)
- ・ ストップ・コンディション検出による割り込み発生 (IICn.SPIEnビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL0n端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

SCL0n端子の立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICn.STTnビットがセットされるとスタート・コンディションを生成します。

ただし、通信予約禁止状態 (IICFn.IICRSVnビット = 1) で、かつバスが解放されていない (IICFn.IICBSYnビット = 1) 場合には、この要求は無視し、IICFn.STCFnビットをセット (1) します。

(13) ストップ・コンディション生成回路

IICn.SPTnビットがセットされるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、IICFn.STCENnビットにより、バス状態検出回路の初期状態を設定してください。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20.3 I²Cバスとほかのシリアル・インタフェースのモード切り替え20.3.1 I²C00とCSIF1とUARTC1のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは、I²C00とCSIF1とUARTC1は端子が兼用になっており、同時には使用できません。CSIF1とUARTC1とI²C00の切り替えは、あらかじめPMC2, PFC2, PFCE2レジスタで設定する必要があります。

注意 I²C00, CSIF1またはUARTC1において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図20 - 3 I²C00とCSIF1とUARTC1のモード切り替え設定

リセット時：00H	R/W	アドレス：FFFFFF444H						
PMC2	7	6	5	4	3	2	1	0
	PMC27 ^注	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
リセット時：00H	R/W	アドレス：FFFFFF464H						
PFC2	7	6	5	4	3	2	1	0
	PFC27 ^注	PFC26	PFC25	PFC24	PFC23	PFC22	PFC21	PFC20
リセット時：00H	R/W	アドレス：FFFFFF704H						
PFCE2	7	6	5	4	3	2	1	0
	PFCE27 ^注	PFCE26	PFCE25	PFCE24	PFCE23	PFCE22	PFCE21	PFCE20
	PMC25	PFCE25	PFC25	動作モード				
	0	x	x	ポート入出力モード				
	1	0	0	SCKF1 (CSIF1)				
	PMC24	PFCE24	PFC24	動作モード				
	0	x	x	ポート入出力モード				
	1	0	0	SOF1 (CSIF1)				
	1	0	1	RXDC1 (UARTC1)				
	1	1	0	SCL00 (I ² C00)				
	PMC23	PFCE23	PFC23	動作モード				
	0	x	x	ポート入出力モード				
	1	0	0	SIF1 (CSIF1)				
	1	0	1	TXDC1 (UARTC1)				
	1	1	0	SDA00 (I ² C00)				

備考 x = don't care

20.3.2 I²C01とCSIF0とUARTC3のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは、I²C01とCSIF0とUARTC3は端子が兼用になっており、同時には使用できません。I²C01とCSIF0とUARTC3の切り替えは、あらかじめPMC4, PFC4, PFCE4レジスタで設定する必要があります。

注意 I²C01とCSIF0またはUARTC3において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図20 - 4 I²C01とCSIF0とUARTC3のモード切り替え設定

リセット時：0000H R/W アドレス：PMC4 FFFFF448H,
PMC4L FFFFF448H, PMC4H FFFFF449H

	15	14	13	12	11	10	9	8
PMC4 (PMC4H)	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	PMC48 ^注
	7	6	5	4	3	2	1	0
(PMC4L)	PMC47 ^注	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40

リセット時：0000H R/W アドレス：PFC4 FFFFF468H,
PFC4L FFFFF468H, PFC4H FFFFF469H

	15	14	13	12	11	10	9	8
PFC4 (PFC4H)	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	0 ^注	PFC48 ^注
	7	6	5	4	3	2	1	0
(PFC4L)	PFC47 ^注	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40

リセット時：00H R/W アドレス：FFFFF708H

	7	6	5	4	3	2	1	0
PFCE4	PFCE47 ^注	PFCE46 ^注	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40

PMC42	PFCE42	PFC42	動作モード
0	x	x	ポート入出力モード
1	0	0	SCKF0 (CSIF0)

PMC41	PFCE41	PFC41	動作モード
0	x	x	ポート入出力モード
1	0	0	SOF0 (CSIF0)
1	0	1	RXDC3 (UARTC3)
1	1	0	SCL01 (I ² C01)

PMC40	PFCE40	PFC40	動作モード
0	x	x	ポート入出力モード
1	0	0	SIF1 (CSIF0)
1	0	1	TXDC3 (UARTC3)
1	1	0	SDA01 (I ² C01)

備考 x = don't care

20.3.3 I²C02とUARTC2とCAN0のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは、I²C02とUARTC2とCAN0 (μPD70F3783, 70F3786のみ)は端子が兼用になっており、同時には使用できません。I²C02とUARTC2とCAN0の切り替えは、あらかじめPMC3, PFC3, PFCE3レジスタで設定する必要があります。

注意 I²C02, UARTC2またはCAN0 (μPD70F3783, 70F3786のみ)において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図20 - 5 I²C02とUARTC2とCAN0のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時：00H R/W アドレス：FFFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時：00H R/W アドレス：FFFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37 ^注	PFCE36 ^注	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30
PMC37	PFCE37 ^注	PFC37	動作モード					
0	x	x	ポート入出力モード					
1	0	0	RXDC2 (UARTC2)					
1	0	1	SCL02 (I ² C02)					
1	1	0	CRXD0 (CAN0) ^注					
PMC36	PFCE36 ^注	PFC36	動作モード					
0	x	x	ポート入出力モード					
1	0	0	TXDC2 (UARTC2)					
1	0	1	SDA02 (I ² C02)					
1	1	0	CTXD0 (CAN0) ^注					

備考 x = don't care

20.3.4 I²C03とCSIE1とUARTC5のモード切り替え

V850ES/JH3-E, V850ES/JJ3-Eでは、I²C03とCSIE1とUARTC5は端子が兼用になっており、同時には使用できません。I²C03とCSIE1とUARTC5の切り替えは、あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 I²C03とCSIE1またはUARTC5において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図20 - 6 I²C03とCSIE1とUARTC5のモード切り替え設定

リセット時：0000H R/W アドレス：PMC9 FFFFF452H, PMC9L FFFFF452H, PMC9H FFFFF453H							
15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99
							PMC98
7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91
							PMC90
リセット時：0000H R/W アドレス：PFC9 FFFFF472H, PFC9L FFFFF472H, PFC9H FFFFF473H							
15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99
							PFC98
7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91
							PFC90
リセット時：0000H R/W アドレス：PFCE9 FFFFF712H, PFCE9L FFFFF712H, PFCE9H FFFFF713H							
15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	PFCE913	0	PFCE911	PFCE910	PFCE99
							PFCE98
7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91
							PFCE90
PMC911	PFCE911	PFC911	動作モード				
0	x	x	ポート入出力モード				
1	0	0	SCKE1 (CSIE1)				
PMC910	PFCE910	PFC910	動作モード				
0	x	x	ポート入出力モード				
1	0	0	SOE1 (CSIE1)				
1	0	1	RXDC5 (UARTC5)				
1	1	0	SCL03 (I ² C03)				
PMC99	PFCE99	PFC99	動作モード				
0	x	x	ポート入出力モード				
1	0	0	SIE1 (CSIE1)				
1	0	1	TXDC5 (UARTC5)				
1	1	0	SDA03 (I ² C03)				

備考 x = don't care

20.4 レジスタ

I²C0nは、次のレジスタで制御します。

- ・ IICコントロール・レジスタn (IICCn)
- ・ IIC状態レジスタn (IICSn)
- ・ IICフラグ・レジスタn (IICFn)
- ・ IICクロック選択レジスタn (IICCLn)
- ・ IIC機能拡張レジスタn (IICXn)
- ・ IIC分周クロック選択レジスタ0-2 (OCKS0-OCKS2)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタn (IICn)
- ・ スレーブ・アドレス・レジスタn (SVAn)

備考 兼用端子の設定は表4 - 18 **ポート端子を兼用端子として使用する場合**を参照してください。

(1) IICコントロール・レジスタn (IICCn)

I²C0nの動作許可/停止、ウェイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、SPIEn, WTIMn, ACKEnビットは、IICEnビット = 0 のとき、またはウェイト期間中に設定してください。IICEnビットを“0”から“1”に設定するときに、同時にこれらのビットを設定できます。

リセットにより00Hになります。

(1/4)

リセット時 : 00H R/W アドレス : IICC0 FFFFFFFD82H, IICC1 FFFFFFFD92H, IICC2 FFFFFFFDA2H,
IICC3 FFFFFFFDB2H, IICC4 FFFFFFFBC2H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I ² Cn動作許可 / 禁止の指定
0	動作停止。IICSnレジスタをリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICEnビット = 0)	セットされる条件 (IICEnビット = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELn ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0n, SDA0nラインはハイ・インピーダンス状態になる。 STTn, SPTnビット, IICSn.MSTSn, EXCn, COIn, TRCn, ACKDn, STDnビットがクリアされる。
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELnビット = 0)	セットされる条件 (LRELnビット = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WRELn ^{注2}	ウェイト解除の制御
0	ウェイトを解除しない。
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。
クリアされる条件 (WRELnビット = 0)	セットされる条件 (WRELnビット = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

- 注1. リセットされるのはIICSnレジスタ, IICFn.STCFn, IICBSYnビット, IICCLn.CLDn, DADnビットです。
2. IICEnビット = 0により, このフラグの信号を無効にします。

注意 SCL0nラインがハイ・レベル, SDA0nラインがロウ・レベルの状態, I²Cnを動作許可 (IICEnビット = 1) した場合, 直後にスタート・コンディションを検出してしまいます。I²Cnを動作許可 (IICEnビット = 1) したあと, 連続してビット操作命令によりLRELnビットをセット (1) してください。

- 備考**1. LRELn, WRELnビットは, データ設定後に読み出すと0になっています。
2. n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

SPIEn ^注	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEnビット = 0)		セットされる条件 (SPIEnビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

WTIMn ^注	ウエイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後, クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 8クロック入力後, クロックをロウ・レベルにしてマスタをウエイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後, クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 9クロック入力後, クロックをロウ・レベルにしてマスタをウエイト	
アドレス転送中はこのビットの設定にかかわらず, 9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時, アドレス転送中は9クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは, アクノリッジ (ACK) 発生後の9クロック目の立ち下がりウエイトに入ります。ただし拡張コードを受信したスレーブは, 8クロック目の立ち下がりウエイトに入ります。		
クリアされる条件 (WTIMnビット = 0)		セットされる条件 (WTIMnビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

ACKEn ^注	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0nラインをロウ・レベルにする。	
スレーブでアドレス受信のときは, ACKEnビットの設定は無効です。この場合, アドレスが一致したときはアクノリッジを生成します。 ただし, 拡張コードを受信するときは, ACKEnビットの設定は有効になります。拡張コードを受信するシステムでは, ACKEnビットの設定をしてください。		
クリアされる条件 (ACKEnビット = 0)		セットされる条件 (ACKEnビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICEnビット = 0により, このフラグの信号を無効にします。

備考 n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

STTn	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SCLnラインがハイ・レベルの状態ではSDA0nラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。その後、規格の時間を確保し、SCL0nラインをロウ・レベルにする。</p> <p>第三者が通信中のとき：</p> <p>通信予約機能許可の場合（IICFn.IICRSVnビット = 0）</p> <ul style="list-style-type: none"> ・スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと自動的にスタート・コンディションを生成する。 <p>通信予約機能禁止の場合（IICRSVnビット = 1）</p> <ul style="list-style-type: none"> ・IICFn.STCFnビットをセット（1）し、STTnビットにセット（1）した情報をクリアする。スタート・コンディションは生成しない。 <p>ウェイト状態（マスタ時）：</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。</p> <p>スレーブの場合：通信予約機能禁止（IICRSVnビット = 1）の場合でも、通信予約状態になってしまいます。</p> <ul style="list-style-type: none"> ・SPTnビットと同時にセット（1）することは禁止です。 ・STTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 	
クリアされる条件（STTnビット = 0）	セットされる条件（STTnビット = 1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

備考1. STTnビットは、データ設定後に読み出すと0になっています。

2. n = 0-3（V850ES/JH3-E）
n = 0-4（V850ES/JJ3-E）

SPTn	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0nラインをロウ・レベルにしたあと、SCL0nラインをハイ・レベルにするか、またはSCL0n端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0nラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。	
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクリッジ受信期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> ・STTnビットと同時にセット（1）することは禁止です。 ・SPTnビットのセット（1）は、マスタのときのみ行ってください^注。 ・WTIMnビット = 0設定時に、8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMnビット = 0 1にセットし、9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。 ・SPTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 		
クリアされる条件（SPTnビット = 0）		セットされる条件（SPTnビット = 1）
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 SPTnビットのセット（1）は、マスタのときのみ行ってください。ただし、IICRSVnビットが0の場合、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTnビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、20.15 **注意事項**を参照してください。

注意 TRCnビット = 1のとき、9クロック目にWRELnビットをセット（1）してウエイトを解除すると、TRCnビットをクリア（0）してSDA0nラインをハイ・インピーダンスにします。

備考1. SPTnビットは、データ設定後に読み出すと0になっています。

2. n = 0-3（V850ES/JH3-E）

n = 0-3（V850ES/JJ3-E）

(2) IIC状態レジスタ_n (IICSn)

I²C0_nのステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。ただし、IICSnレジスタは、IICn.STTnビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

注意 次に示す状態において、IICSnレジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・ CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・ CPUが内蔵発振クロックで動作している場合

(1/3)

リセット時 : 00H R アドレス : IICS0 FFFFD86H, IICS1 FFFFD96H, IICS2 FFFFDA6H, IICS3 FFFFDDB6H, IICS4 FFFFBC6H

	⑦	⑥	⑤	④	③	②	①	①
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTSnビット = 0)		セットされる条件 (MSTSnビット = 1)
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ ALDnビット = 1 (アービトレーション負け) のとき ・ IICn.LRELnビット = 1 (通信回避) によるクリア ・ IICn.IICEnビット = 1 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ スタート・コンディション生成時

ALDn	アービトレーション負け検出	
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSnビットがクリア (0) される。	
クリアされる条件 (ALDnビット = 0)		セットされる条件 (ALDnビット = 1)
<ul style="list-style-type: none"> ・ IICSnレジスタ読み出し後、自動的にクリア^注 ・ IICEnビット = 1 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ アービトレーションに負けたとき

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXCnビット = 0)		セットされる条件 (EXCnビット = 1)
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ ストップ・コンディション検出時 ・ LRELnビット = 1 (通信回避) によるクリア ・ IICEnビット = 1 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが " 0000 " または " 1111 " のとき (8クロック目の立ち上がりでセット)

注 IICSnレジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

備考 n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COInビット = 0)		セットされる条件 (COInビット = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 		受信アドレスが自局アドレス (SVAnレジスタ) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0nラインをハイ・インピーダンスにする。	
1	送信状態。SDA0nラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRCnビット = 0)		セットされる条件 (TRCnビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・IICn.WRELnビット = 1によるクリア^注 ・ALDnビット = 0 1 (アービトレーション負け) のとき ・リセット時 		マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき
マスタの場合		
<ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき 		
スレーブの場合		
<ul style="list-style-type: none"> ・スタート・コンディション検出時 		
通信不参加の場合		

ACKDn	アックノリッジ (ACK) 検出	
0	アックノリッジを検出していない。	
1	アックノリッジを検出。	
クリアされる条件 (ACKDnビット = 0)		セットされる条件 (ACKDnビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 		SCL0n端子の9クロック目の立ち上がり時にSDA0n端子がロウ・レベルであったとき

注 TRCnビット = 1のとき、9クロック目にWRELnビットをセット (1) してウェイトを解除すると、TRCnビットをクリア (0) してSDA0nラインをハイ・インピーダンスにします。

備考 n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
	クリアされる条件 (STDnビット = 0)	セットされる条件 (STDnビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPDnビット = 0)	セットされる条件 (SPDnビット = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

(3) IICフラグ・レジスタ_n (IICFn)

I²C0_nの動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCF_n, IICBSY_nビットはリードのみ可能です。

IICRSV_nビットにより通信予約機能の禁止/許可を設定します(20.14 通信予約参照)。

また、STCEN_nビットにより、IICBSY_nビットの初期値を設定します(20.15 注意事項参照)。

IICRSV_n, STCEN_nビットは、I²C0_nが動作禁止(IICCN.IICENビット = 0)のときのみ書き込み可能です。

動作許可後、IICFnレジスタは読み出し可能となります。

リセットにより00Hになります。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

リセット時 : 00H R/W^注 アドレス : IICF0 FFFFFFFD8AH, IICF1 FFFFFFFD9AH, IICF2 FFFFFFFDAAH,
IICF3 FFFFFFFDBAH, IICF4 FFFFFFFBCAH

	⑦	⑥	5	4	3	2	①	②
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnビット・クリア	
0	スタート・コンディション発行	
1	スタート・コンディション発行できずSTTnビット・クリア	
クリアされる条件 (STCFnビット = 0)		セットされる条件 (STCFnビット = 1)
<ul style="list-style-type: none"> ・ IICn.STTnビット = 1によるクリア ・ IICn.IICEnビット = 0のとき ・ リセット時 		<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSVnビット = 1) 設定時にスタート・コンディション発行できず, STTnフラグ・クリア (0) されたとき

IICBSYn	I ² C0nバス状態	
0	バス解放状態 (STCENnビット = 1時の通信初期状態)	
1	バス通信状態 (STCENnビット = 0時の通信初期状態)	
クリアされる条件 (IICBSYnビット = 0)		セットされる条件 (IICBSYnビット = 1)
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICEnビット = 0のとき ・ リセット時 		<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCENnビット = 0のときIICEnビットのセット

STCENn	初期スタート許可トリガ	
0	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。	
1	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。	
クリアされる条件 (STCENnビット = 0)		セットされる条件 (STCENnビット = 1)
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可	
1	通信予約禁止	
クリアされる条件 (IICRSVnビット = 0)		セットされる条件 (IICRSVnビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 ビット6, 7はリード・オンリーです。

注意1. STCENnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。

2. STCENnビット = 1とした場合, I²C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STTnビット = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。

3. IICRSVnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(4) IICクロック選択レジスタ_n (IICCL_n)

I²C0_nの転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLD_n, DAD_nビットはリードのみ可能です。

IICCL_nレジスタは、IICC_n.IICEnビット = 0のときに設定してください。

SMC_n, CLn1, CLn0ビットの設定は、IICX_n.CLX_nビットと、OCKSm.OCKSTH_m, OCKSm1, OCKSm0ビットと組み合わせて設定します(20.4(6)I²C0_nの転送クロックの設定方法参照)(m = 0-2)。

リセットにより00Hになります。

リセット時: 00H R/W^注 アドレス: IICCL0 FFFFFFFD84H, IICCL1 FFFFFFFD94H, IICCL2 FFFFFFFDA4H,
IICCL3 FFFFFFFDB4H, IICCL4 FFFFFFFBC4H

	7	6	⑤	④	3	2	1	0
IICCL _n	0	0	CLD _n	DAD _n	SMC _n	DFC _n	CLn1	CLn0

CLD _n	SCL0 _n 端子のレベル検出 (IICC _n .IICEnビット = 1のときのみ有効)
0	SCL0 _n 端子がロウ・レベルであることを検出
1	SCL0 _n 端子がハイ・レベルであることを検出
クリアされる条件 (CLD _n ビット = 0)	
<ul style="list-style-type: none"> ・ SCL0_n端子がロウ・レベルのとき ・ IICEnビット = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (CLD _n ビット = 1)	
<ul style="list-style-type: none"> ・ SCL0_n端子がハイ・レベルのとき 	

DAD _n	SDA0 _n 端子のレベル検出 (IICEnビット = 1のときのみ有効)
0	SDA0 _n 端子がロウ・レベルであることを検出
1	SDA0 _n 端子がハイ・レベルであることを検出
クリアされる条件 (DAD _n ビット = 0)	
<ul style="list-style-type: none"> ・ SDA0_n端子がロウ・レベルのとき ・ IICEnビット = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (DAD _n ビット = 1)	
<ul style="list-style-type: none"> ・ SDA0_n端子がハイ・レベルのとき 	

SMC _n	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC _n	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。	
高速モード時は、DFC _n ビットの設定により転送クロックが変化することはありません。	
デジタル・フィルタは、高速モード時にノイズ除去のために使用します。	

注 ビット4, 5はリード・オンリーです。

注意 ビット7, 6には必ず“0”を設定してください。

備考1. IICC_n.IICEnビット = 0のとき、CLD_n, DAD_nビットは0がリードされます。

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(5) IIC機能拡張レジスタn (IICXn)

I²C0nの機能拡張を設定するレジスタです (高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。

CLXnビットの設定は、IICCLn.SMCn, CLn1, CLn0ビットと、OCKSm.OCKSTHm, OCKSm1, OCKSm0ビット (m = 0-2) と組み合わせて設定します (20.4 (6) I²C0nの転送クロックの設定方法参照)。

IICXnレジスタは、IICCN.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: IICX0 FFFFFFFD85H, IICX1 FFFFFFFD95H, IICX2 FFFFFFFDA5H,
IICX3 FFFFFFFDB5H, IICX4 FFFFFFFBC5H

	7	6	5	4	3	2	1	①
IICXn	0	0	0	0	0	0	0	CLXn

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(6) I²C0nの転送クロックの設定方法

I²C0nの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_r + t_f)$$

m = 72, 88, 96, 108, 120, 144, 192, 240, 264, 344, 352, 396, 440, 516, 688, 860 (表20-2 クロックの設定参照)

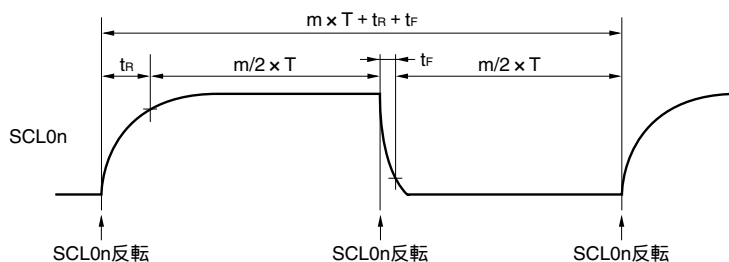
T : 1/f_{xx}

t_r : SCL0n端子立ち上がり時間

t_f : SCL0n端子立ち下がり時間

たとえば, f_{xx} = 24 MHz, m = 264, t_r = 200 ns, t_f = 50 nsの場合のI²C0nの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (264 \times 41.7 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 88.9 \text{ kHz}$$



選択クロックは、IICCLn.SMCn, CLn1, CLn0ビット, IICXn.CLXnビット, OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットを組み合わせて設定します (m = 0-2)。

表20 - 2 クロックの設定

IICXn	IICCLn			選択クロック	転送 クロック	設定可能なfxxの範囲	転送速度	動作 モード
	CLXn	SMCn	CLn1					
0	0	0	0	fxx/6 (OCKS0 = 11H)	fxx/264	24.00 MHz fxx 25.14 MHz	90.91 KHz ~ 95.23 kHz	標準 モード (SMCn = 0)
				fxx/8 (OCKS0 = 12H)	fxx/352	24.00 MHz fxx 33.52 MHz	68.18 KHz ~ 95.23 kHz	
				fxx/10 (OCKS0 = 13H)	fxx/440	30.00 MHz fxx 41.90 MHz	68.18 KHz ~ 95.23 kHz	
				fxx/2 (OCKS0 = 18H)	fxx/88	4.00 MHz fxx 6.25 MHz	45.45 KHz ~ 71.02 kHz	
0	0	0	1	fxx/4 (OCKSm = 10H)	fxx/344	24.00 MHz fxx 33.52 MHz	69.77 kHz ~ 97.44 kHz	高速 モード (SMCn = 1)
				fxx/6 (OCKSm = 11H)	fxx/516	25.14 MHz fxx 50.00 MHz	48.72 kHz ~ 96.90 kHz	
				fxx/8 (OCKSm = 12H)	fxx/688	33.52 MHz fxx 50.00 MHz	48.72 kHz ~ 72.67 kHz	
				fxx/10 (OCKSm = 13H)	fxx/860	41.90 MHz fxx 50.00 MHz	48.72 kHz ~ 58.14 kHz	
0	0	1	1	fxx/4 (OCKSm = 10H)	fxx/264	25.60 MHz	96.97 kHz	
				fxx/6 (OCKSm = 11H)	fxx/396	38.40 MHz	96.97 kHz	
0	1	0	X	fxx/4 (OCKSm = 10H)	fxx/96	24.00 MHz fxx 33.52 MHz	250.00 kHz ~ 349.17 kHz	
				fxx/6 (OCKSm=11H)	fxx/144	24.00 MHz fxx 50.00 MHz	166.67 kHz ~ 347.22 kHz	
				fxx/8 (OCKSm=12H)	fxx/192	32.00 MHz fxx 50.00 MHz	166.67 kHz ~ 260.42 kHz	
				fxx/10 (OCKSm=13H)	fxx/240	40.00 MHz fxx 50.00 MHz	166.67 kHz ~ 208.33 kHz	
0	1	1	1	fxx/4 (OCKSm=10H)	fxx/72	25.60 MHz	355.56 kHz	
				fxx/6 (OCKSm=11H)	fxx/108	38.40 MHz	355.56 kHz	
1	1	0	X	fxx/6 (OCKSm=11H)	fxx/72	24.00 MHz fxx 25.14 MHz	333.33 kHz ~ 349.17 kHz	
				fxx/8 (OCKSm=12H)	fxx/96	32.00 MHz fxx 33.52 MHz	333.33 kHz ~ 349.17 kHz	
				fxx/10 (OCKSm=13H)	fxx/120	40.00 MHz fxx 41.90 MHz	333.33 kHz ~ 349.17 kHz	
上記以外				設定禁止	-	-	-	-

備考1. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

m = 0-2

2. X : don't care

(7) IIC分周クロック選択レジスタ0-2 (OCKS0-OCKS2)

I²C0nの分周クロックを制御するレジスタです。

OCKS0レジスタでI²C00の分周クロックを, OCKS1レジスタでI²C01, I²C02を, OCKS2レジスタでI²C03, I²C04の分周クロックを制御します。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : OCKS0 FFFFFFF340H, OCKS1 FFFFFFF344H, OCKS2 FFFFFFF348H									
	7	6	5	4	3	2	1	0	
OCKSm (m = 0-2)	0	0	0	OCKSEn	OCKSTHm	0	OCKSm1	OCKSm0	
OCKSEn		I ² Cn分周クロック動作指定							
0		I ² Cn分周クロック動作停止							
1		I ² Cn分周クロック動作許可							
OCKSTHm		OCKSm1	OCKSm0	I ² Cn分周クロック選択					
0		0	0	f _{xx} /4					
0		0	1	f _{xx} /6					
0		1	0	f _{xx} /8					
0		1	1	f _{xx} /10					
1		0	0	f _{xx} /2					
備考 n = 0-3 (V850ES/JH3-E)									
n = 0-4 (V850ES/JJ3-E)									

(8) IICシフト・レジスタn (IICn)

このレジスタは, シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。

8ビット単位でリード/ライト可能ですが, データ転送中にIICnレジスタへデータを書き込まないでください。

IICnレジスタには, ウェイト期間中にだけアクセス(リード/ライト)してください。ウェイト期間中を除く通信状態でのIICnレジスタのアクセスは禁止です。ただし, マスタになる場合は, 送信トリガ・ビット(IICn.STTnビット)をセット(1)したあと, 1回だけライトできます。

ウェイト期間中のIICnレジスタへの書き込みにより, ウェイト解除しデータ転送を開始します。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : IIC0 FFFFFFFD80H, IIC1 FFFFFFFD90H, IIC2 FFFFFFFDA0H, IIC3 FFFFFFFDB0H, IIC4 FFFFFFFBC0H								
	7	6	5	4	3	2	1	0
IICn								
備考 n = 0-3 (V850ES/JH3-E)								
n = 0-4 (V850ES/JJ3-E)								

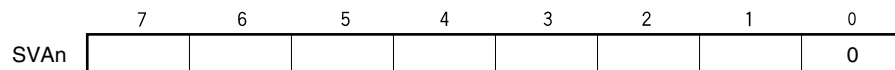
(9) スレーブ・アドレス・レジスタ_n (SVAn)

SVAnレジスタには、I²Cバスのスレーブ・アドレスを格納します。

8ビット単位でリ - ド / ライト可能ですが、ビット0は0に固定されています。ただし、IICSn.STDnビット = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : SVA0 FFFFFFFD83H, SVA1 FFFFFFFD93H, SVA2 FFFFFFFDA3H,
SVA3 FFFFFFFDB3H, SVA4 FFFFFFFBC3H



備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20.5 I²Cバス・モードの機能

20.5.1 端子構成

シリアル・クロック端子 (SCL0n) と、シリアル・データ・バス端子 (SDA0n) の構成は、次のようになっています。

SCL0n ... シリアル・クロックを入出力するための端子。

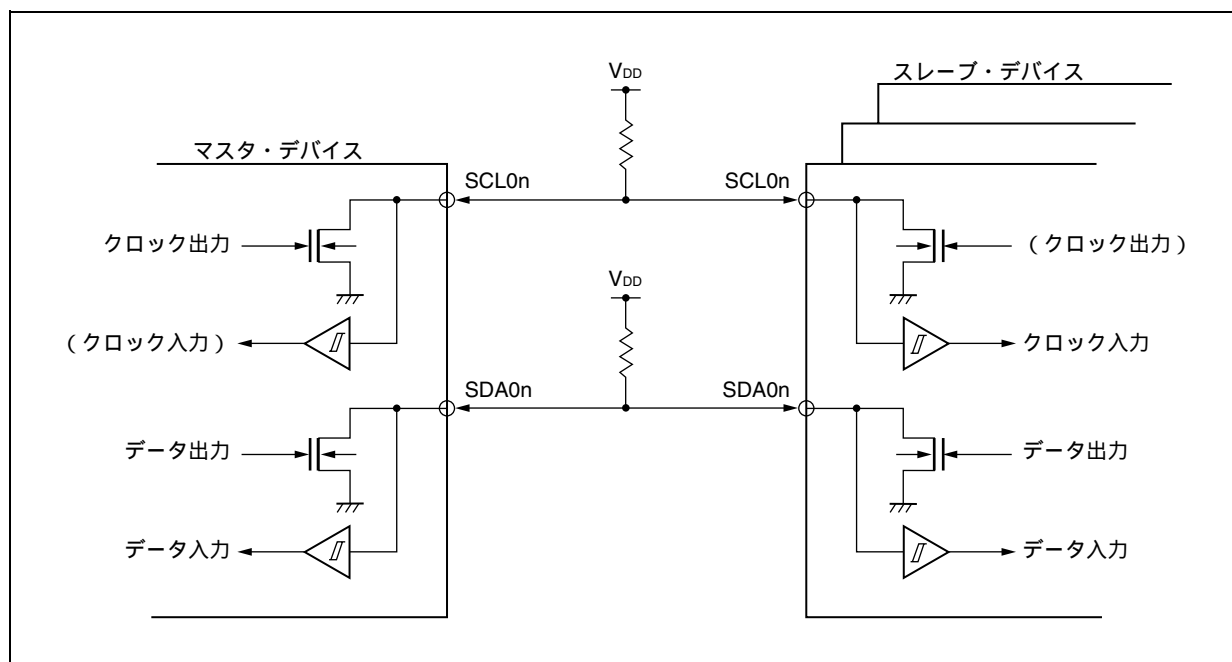
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

SDA0n ... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図20-7 端子構成図



備考 n = 0-3 (V850ES/JH3-E)

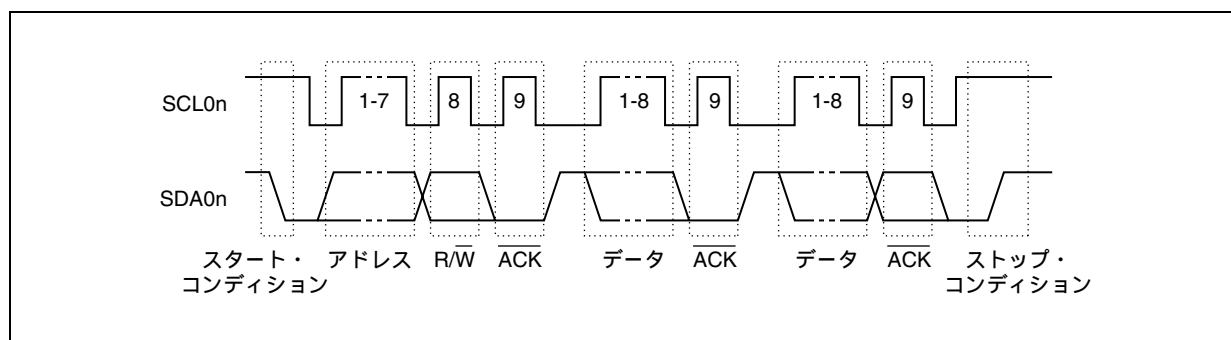
n = 0-4 (V850ES/JJ3-E)

20.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図20 - 8 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

アクノリッジ (ACK) は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が生成します）。

シリアル・クロック (SCL0n) は，マスタが出力し続けます。ただし，スレーブはSCL0n端子のロウ・レベル期間を延長し，ウエイトを挿入できます。

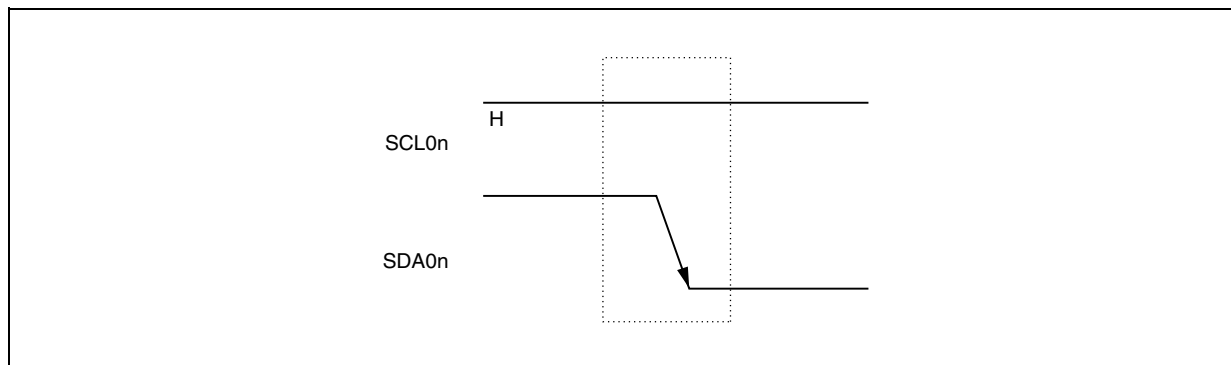
備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20. 6. 1 スタート・コンディション

SCL0n端子がハイ・レベルのときに、SDA0n端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0n, SDA0n端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図20 - 9 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICSn.SPDnビット = 1) のときに IICn.STTnビットをセット(1)すると出力されます。また、スタート・コンディションを検出すると、IICn.STDnビットがセット(1)されます。

注意 ほかのデバイス同士の通信中にV850ES/JH3-E, V850ES/JJ3-EのIICn.IICEnビットをセット(1)した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICn.IICEnビットのセット(1)は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

備考 n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

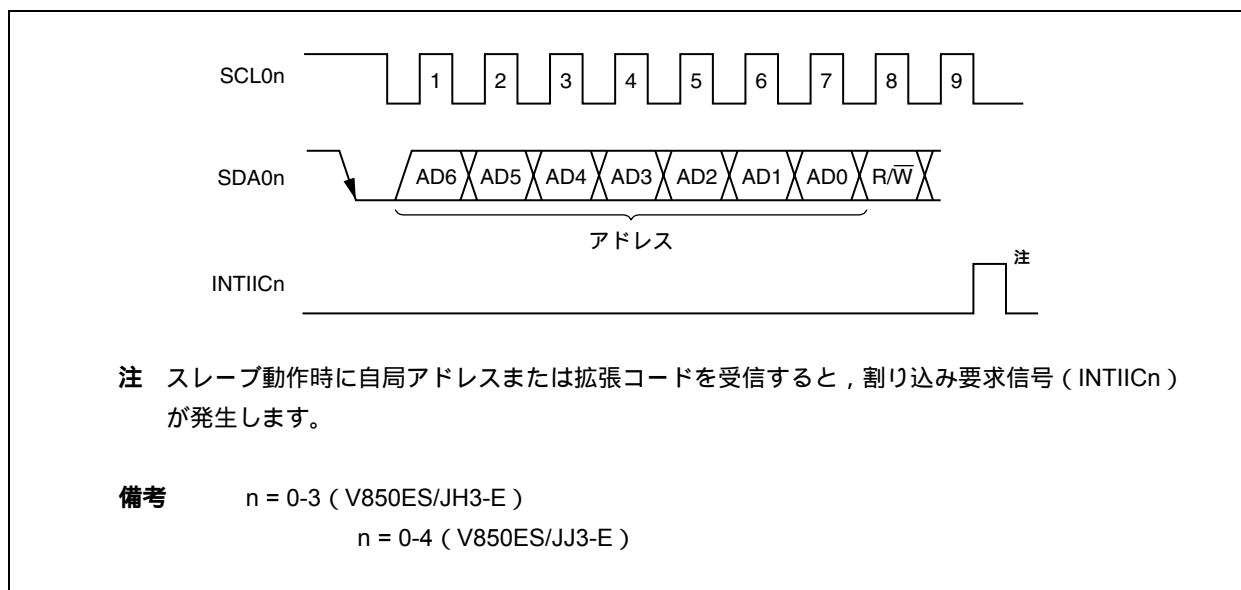
20.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVAnレジスタと一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図20 - 10 アドレス



アドレスは、スレーブのアドレスと20.6.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICnレジスタに書き込むと出力します。また、受信したアドレスはIICnレジスタに書き込まれます。

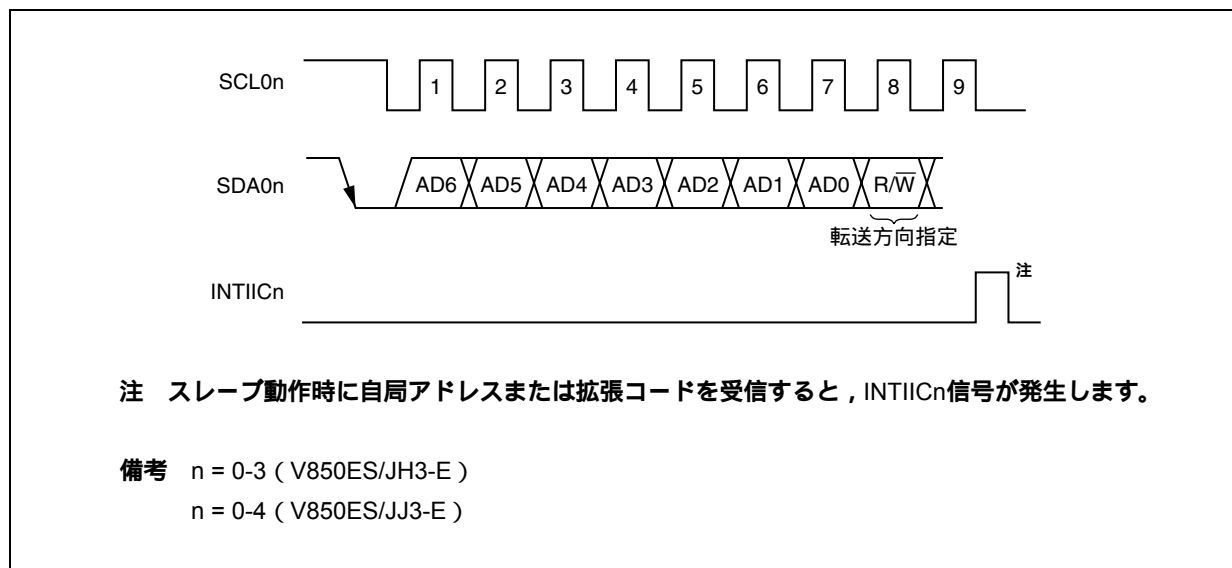
なお、スレーブのアドレスは、IICnレジスタの上位7ビットに割り当てられます。

20.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図20 - 11 転送方向指定



20.6.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSn.ACKDnビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

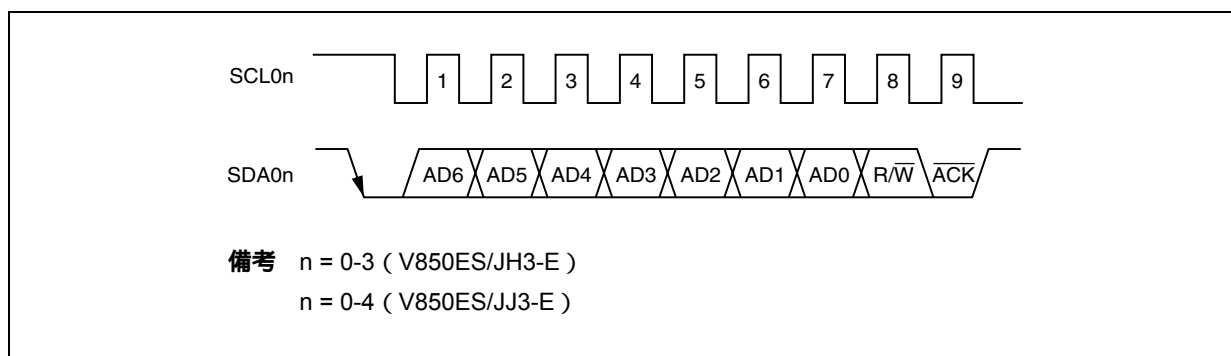
アクノリッジ生成は、受信側が9クロック目にSDA0nラインをロウ・レベルにすることによって行われます(正常受信)。

IICn.ACKEnビットをセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSn.TRCnビットが設定されます。受信(TRCnビット = 0)の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時(TRCnビット = 0)にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCnビット = 0)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図20 - 12 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。データ受信時のアクノリッジ生成方法は、ウエイト・タイミングの設定により次のように異なります。

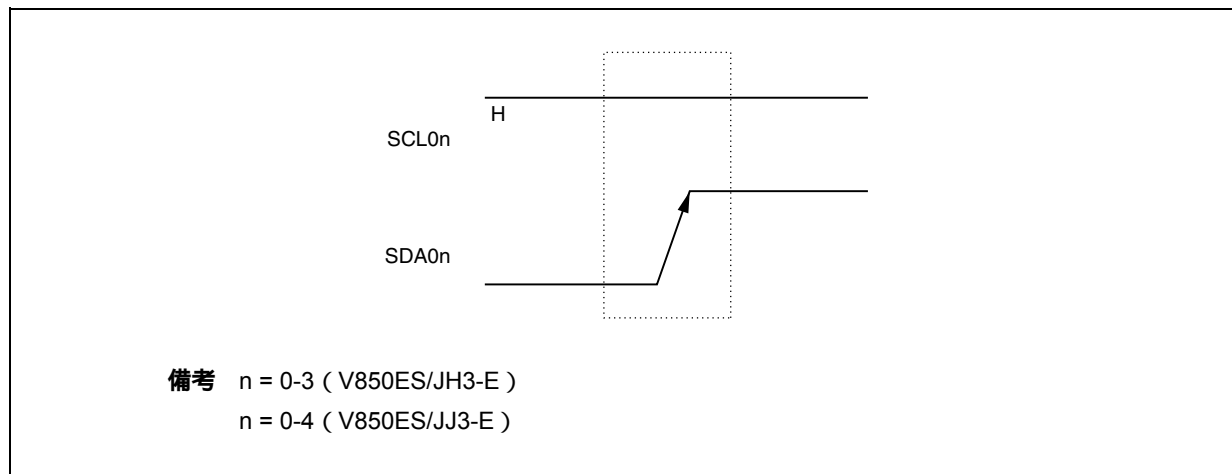
- ・8クロック・ウエイト選択時 (IICn.WTIMnビット = 0) :
ウエイト解除を行う前にACKEnビットをセット(1)することによって、SCL0n端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウエイト選択時 (WTIMnビット = 1) :
あらかじめACKEnビットをセット(1)することによって、アクノリッジを生成します。

20.6.5 ストップ・コンディション

SCL0n端子がハイ・レベルのときに、SDA0n端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図20 - 13 ストップ・コンディション



ストップ・コンディションは、IICn.SPTnビットをセット（1）すると発生します。また、ストップ・コンディションを検出するとIICn.SPDnビットがセット（1）され、IICn.SPIEnビットがセット（1）されている場合には割り込み要求信号（INTIICn）が発生します。

20.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL0n端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図20 - 14 ウェイト (1/2)

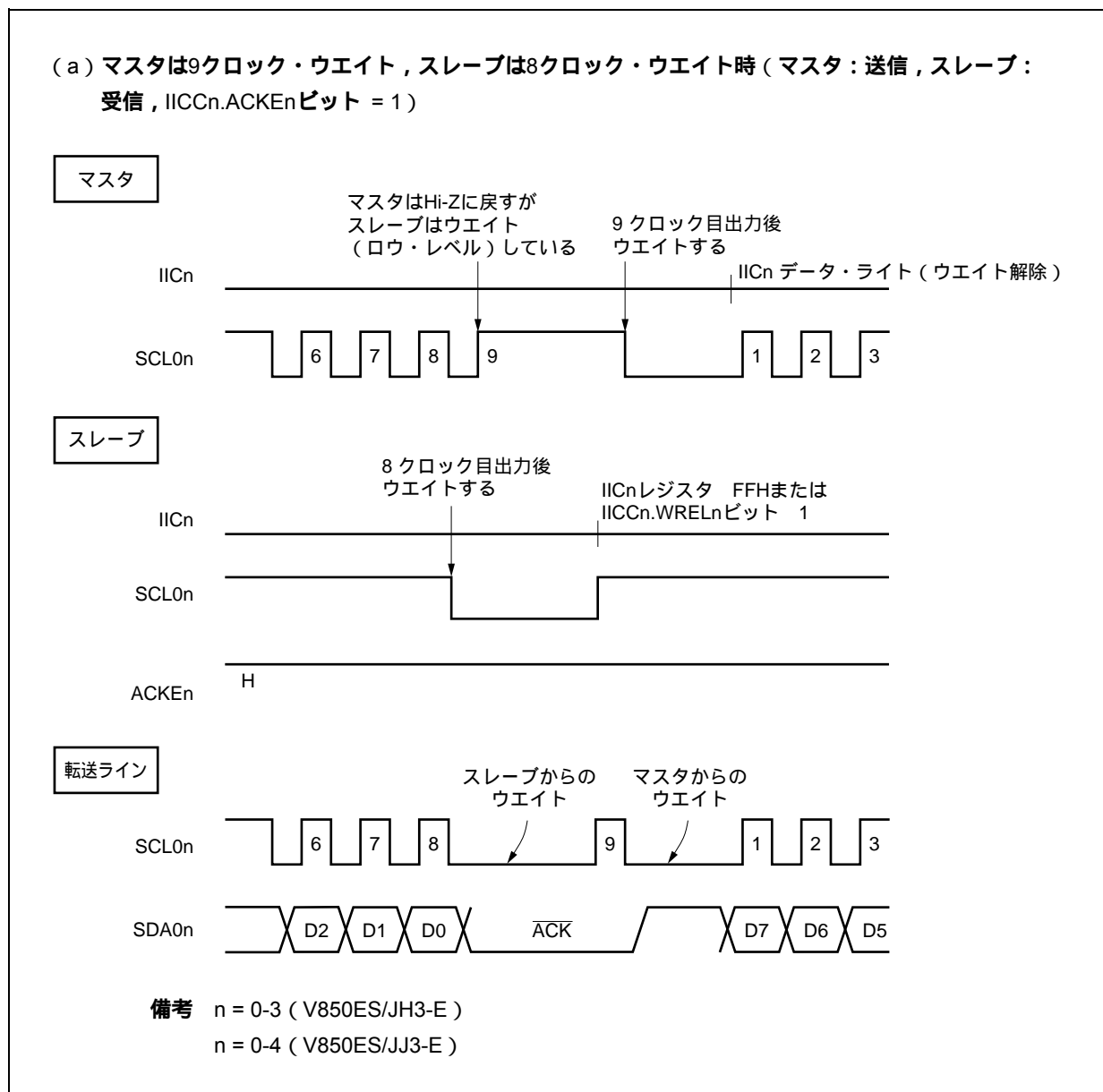
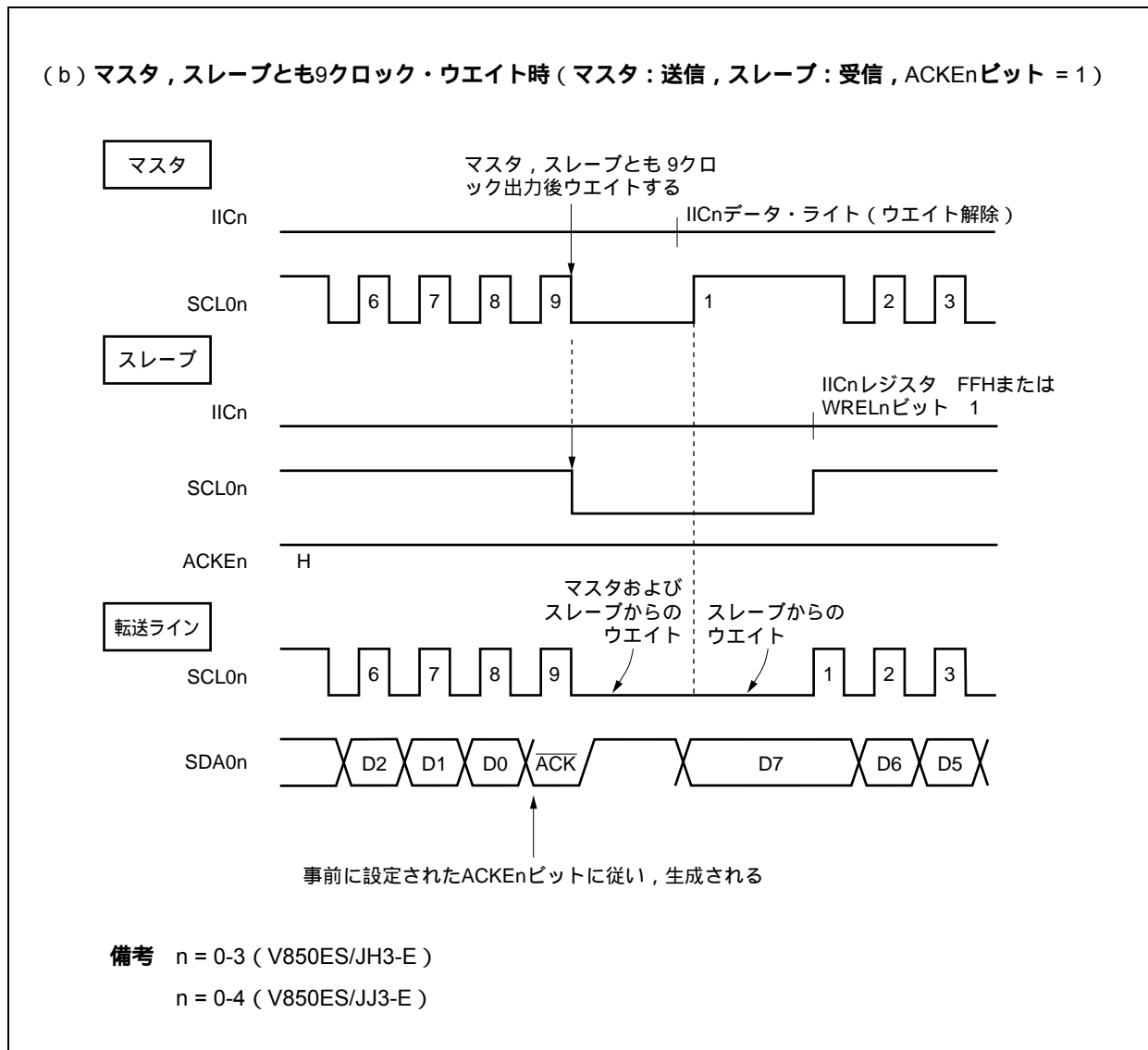


図20 - 14 ウェイト (2/2)



ウェイトは, IICn.WTImnビットの設定により自動的に発生します。

通常, 受信側はWRELnビット = 1またはIICnレジスタ FFHライトにするとウェイトを解除し, 送信側はIICnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICn.STTnビット = 1
- ・ IICn.SPTnビット = 1

20.6.7 ウェイト解除方法

I²C0nでは、通常、次のような処理でウェイトを解除できます。

- ・ IICnレジスタへのデータの書き込み
- ・ IICn.WRELnビットのセット(1) (ウェイト解除)
- ・ IICn.STTnビットのセット(1) (スタート・コンディションの生成)
- ・ IICn.SPTnビットのセット(1) (ストップ・コンディションの生成)

これらのウェイト解除処理を実行した場合、I²C0nはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ(アドレスを含む)を送信する場合には、IICnレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WRELnビットをセット(1)してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STTnビットをセット(1)してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPTnビットをセット(1)してください。

1回のウェイト状態に対して、1回だけ解除処理を実行してください。

たとえば、WRELnビットのセット(1)によるウェイト解除後、IICnレジスタへのデータ書き込みを実施した場合には、SDA0nラインの変化タイミングとIICnレジスタへの書き込みタイミングの競合により、SDA0nラインへの出力データが間違っただけになる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICn.IICEnビットをクリア(0)すると通信を停止するので、ウェイトを解除できます。

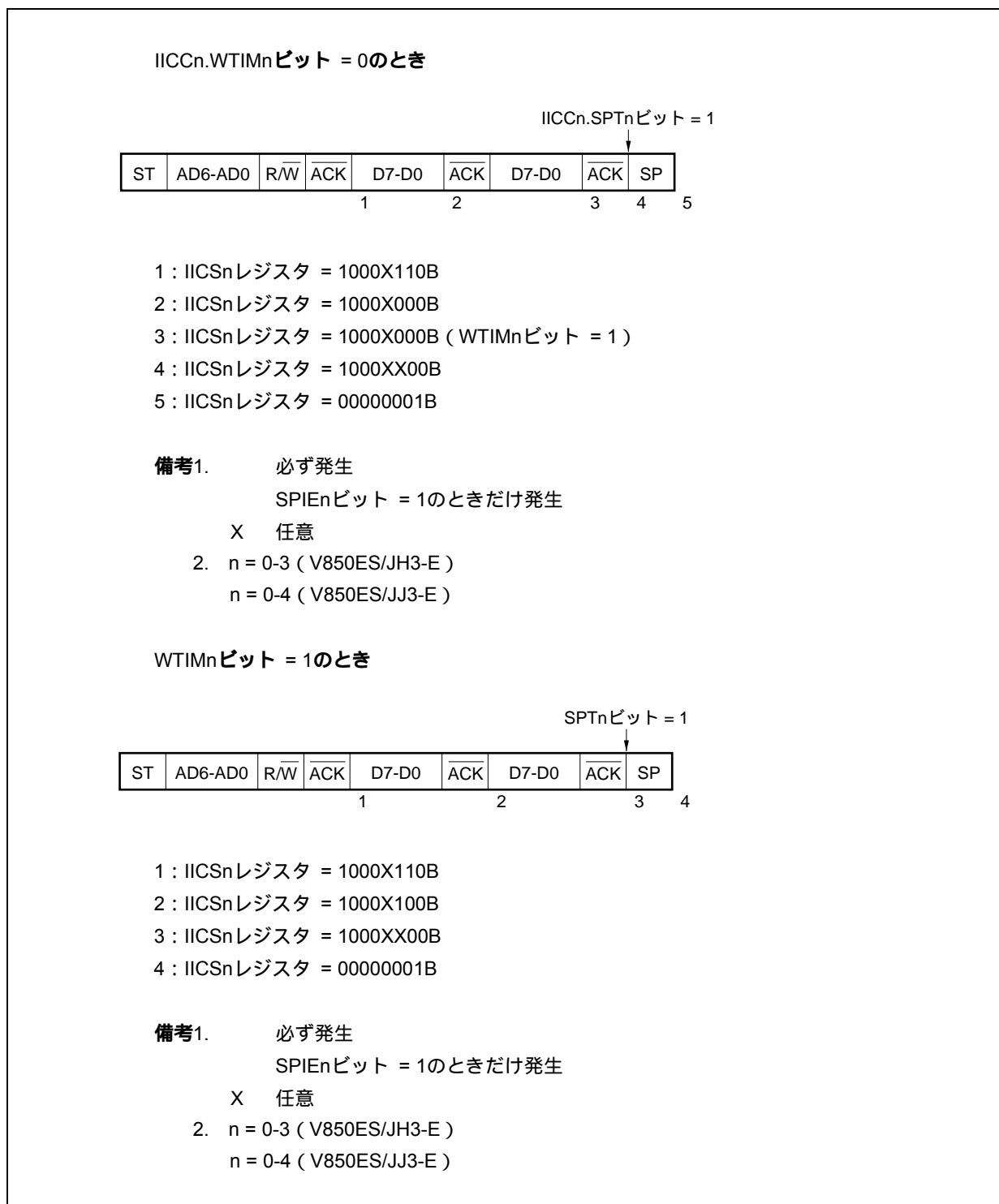
I²Cバスがノイズなどによりデッド・ロックしてしまった場合には、IICn.LRELnビットをセット(1)すると通信から退避するので、ウェイトを解除できます。

20.7 I²C 割り込み要求信号 (INTIICn)

次に, INTIICn 割り込み要求信号発生タイミングと, INTIICn 信号タイミングでの IICSn レジスタの値を示します。

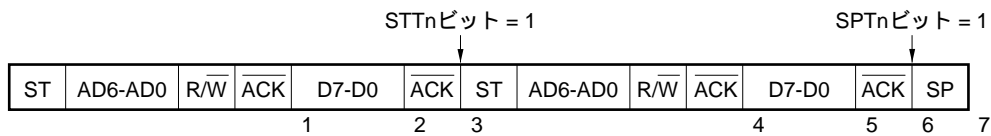
20.7.1 マスタ動作

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)



(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

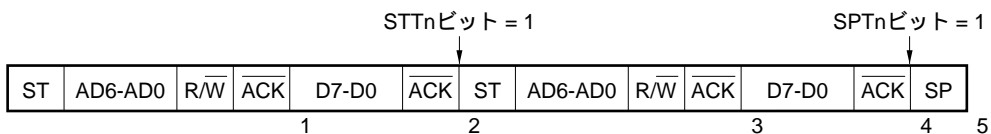
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 1000X110B (WTIMnビット = 0)
- 5 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 6 : IICSnレジスタ = 1000XX00B
- 7 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
- 2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき

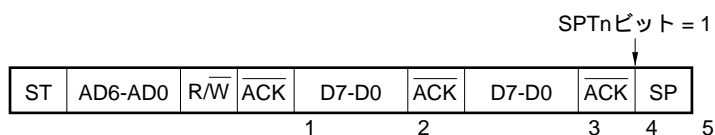


- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 1000X110B
- 4 : IICSnレジスタ = 1000XX00B
- 5 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
- 2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1010X110B
- 2 : IICSnレジスタ = 1010X000B
- 3 : IICSnレジスタ = 1010X000B (WTIMnビット = 1)
- 4 : IICSnレジスタ = 1010XX00B
- 5 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
- 2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1010X110B
- 2 : IICSnレジスタ = 1010X100B
- 3 : IICSnレジスタ = 1010XX00B
- 4 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
- 2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

20.7.2 スレーブ動作 (スレーブ・アドレス・データ受信時 (アドレス一致))

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1	2					3	4	5	6

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X110B

5 : IICSnレジスタ = 0010XX00B

6 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 00000X10B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1 のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 00000X10B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1 のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20.7.3 スレーブ動作 (拡張コード受信時)

(1) Start ~ Code ~ Data ~ Data ~ Stop

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2		3		4
								5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3	4	5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1	2		3				4		5	6

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0001X110B

5 : IICSnレジスタ = 0001XX00B

6 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2				3		4	5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1	2		3			4	5		6	7

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0010X010B

5 : IICSnレジスタ = 0010X110B

6 : IICSnレジスタ = 0010XX00B

7 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
			1		2					3		4

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 00000X10B

4 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
X 任意
2. n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
			1	2		3				4		5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 00000X10B

5 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
X 任意
2. n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

20.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

1 : IICSnレジスタ = 00000001B

備考1. SPIEnビット = 1のときだけ発生

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20.7.5 アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICSnレジスタ = 0101X110B (例 割り込み処理中にIICSn.ALDnビットをリード)

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICSnレジスタ = 0101X110B (例 割り込み処理中にALDnビットをリード)

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(2) 拡張コード送信中にアービトレーションに負けた場合

WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2		3		4
								5

1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

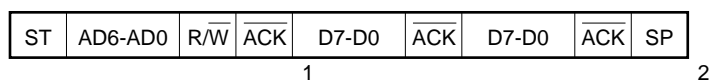
X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20.7.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



1 : IICSnレジスタ = 01000110B (例 割り込み処理中にIICSn.ALDnビットをリード)

2 : IICSnレジスタ = 00000001B

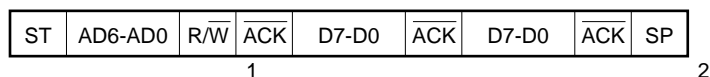
備考1. 必ず発生

IICn.SPIEnビット = 1のときだけ発生

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

ソフトウェアでIICn.LRELnビット = 1を設定

2 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(3) データ転送時にアービトレーションに負けた場合

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000100B (例 割り込み処理中にALDnビットをリード)

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1					2	3		

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000110B (例 割り込み処理中にALDnビットをリード)

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生
SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1					2	3		

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

ソフトウェアでIICn.LRELnビット = 1を設定

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生
SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
			1		2

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000001B

備考1. 必ず発生

 SPIEnビット = 1のときだけ発生

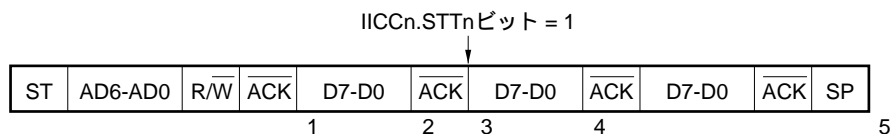
X 任意

2. n = 0-3 (V850ES/JH3-E)

 n = 0-4 (V850ES/JJ3-E)

(6) リスタート・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトレーションに負けた場合

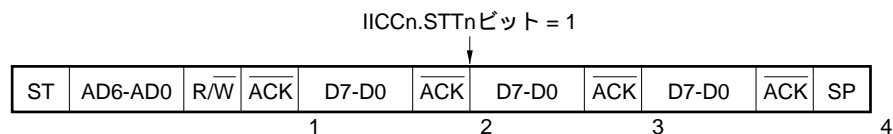
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)
- 5 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 01000100B (例 割り込み処理中にALDnビットをリード)
- 4 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

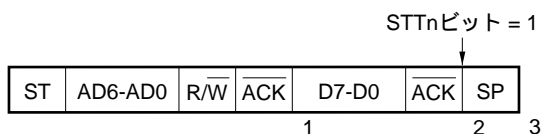
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B
- 4 : IICSnレジスタ = 01000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
- 2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき

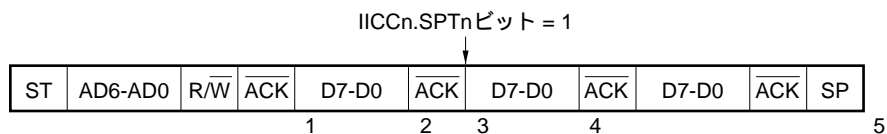


- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 01000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
- 2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

(8) ストップ・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトレーションに負けた場合

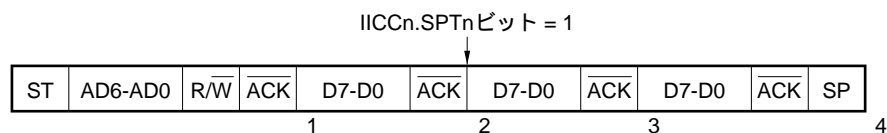
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)
- 5 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)
- 4 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
- X 任意
2. n = 0-3 (V850ES/JH3-E)
 - n = 0-4 (V850ES/JJ3-E)

20.8 割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御

IICn.WTIMnビットの設定で、次に示すタイミングでINTIICn信号が発生して、ウェイト制御を行います (n = 0-2)。

表20 - 3 INTIICn信号発生タイミングおよびウェイト制御

WTIMnビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIICn信号およびウェイトは、SVAnレジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICn.ACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIICn信号を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりINTIICn信号を発生しますが、ウェイトは発生しません。

2. SVAnレジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICn信号もウェイトも発生しません。

備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

2. n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1、注2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICn.WRELnビット = 1
- ・ IICnレジスタのライト動作
- ・ スタート・コンディションのセット (IICn.STTnビット = 1)^注
- ・ ストップ・コンディションのセット (IICn.SPTnビット = 1)^注

注 マスタのみ

8クロック・ウェイト選択 (WTIMnビット = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

備考 n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

(5) ストップ・コンディション検出

ストップ・コンディションを検出すると、INTIICn信号を発生します。

備考 n = 0-3 (V850ES/JH3-E)
n = 0-4 (V850ES/JJ3-E)

20.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVAnレジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn信号が発生します。

20.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス端子 (SDA0n) の状態が、送信しているデバイスのIICnレジスタにも取り込まれるため、送信開始前と送信終了後のIICnレジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

20.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (IICSn.EXCnビット) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIICn) を発生します。

SVAnレジスタに格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVAnレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICn信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : EXCnビット = 1
7ビット・データの一致 : IICSn.COInビット = 1

- (3) 割り込み要求信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICn.LRELnビット = 1に設定し、次の通信待機状態となります。

表20-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDnビット = 1になる前に IICn.STTnビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICSn.ALDnビット）をセット（1）し、SCL0n, SDA0nラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号（INTIICn）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALDnビット = 1になっていることで検出します（n = 0-2）。

割り込み発生タイミングについては、20.7 I²C割り込み要求信号（INTIICn）を参照してください。

図20 - 15 アービトレーション・タイミング例

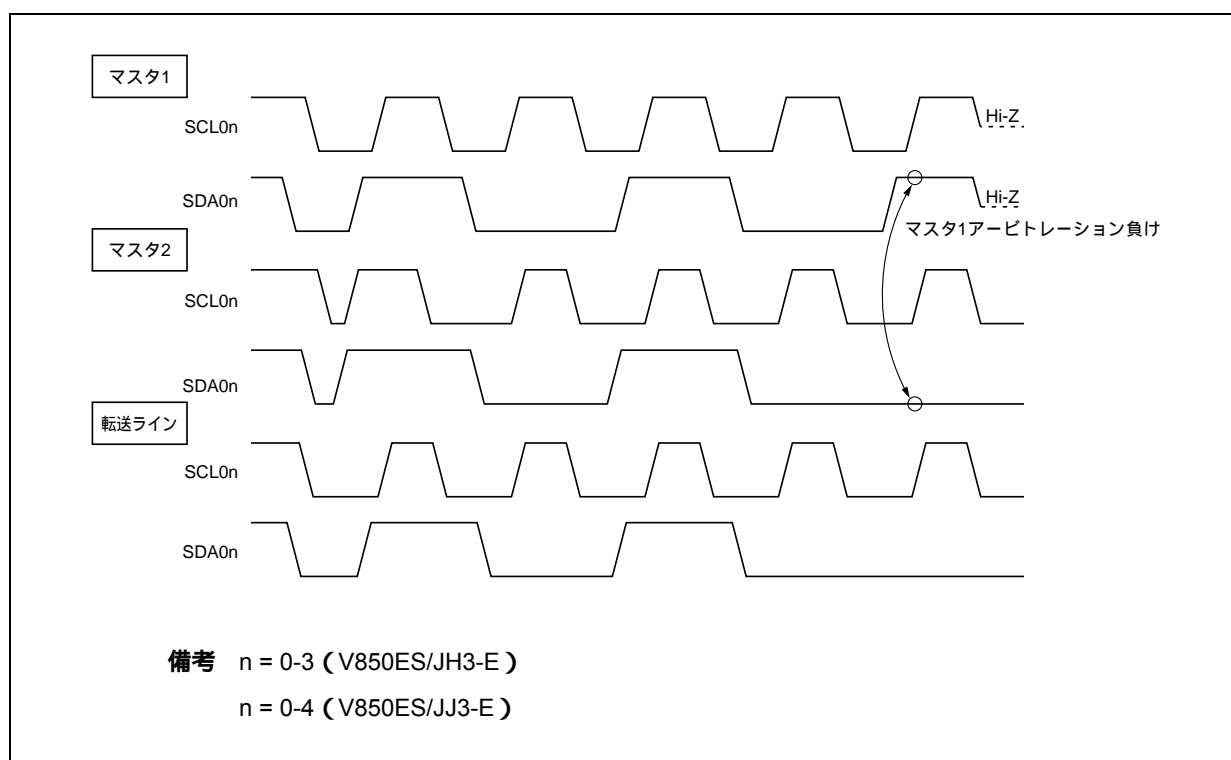


表20 - 5 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (IICn.SPIEnビット = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEnビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0n端子がロウ・レベル	

注1. IICn.WTIMnビット = 1の場合には, 9クロック目の立ち下がりタイミングでINTIICn信号を発生します。
WTIMnビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングでINTIICn信号を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEnビット = 1にしてください。

20. 13 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIICn) が発生する機能です。アドレスが一致しないときは不要なINTIICn信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICn.SPIEnビットの設定によって, INTIICn信号の発生許可 / 禁止が決定します。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20. 14 通信予約

20. 14. 1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICn.LRELnビット = 1でバスを解放した)とき

バスに不参加の状態、IICn.STTnビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出(ストップ・コンディション検出)すると、IICnレジスタ・ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICn.SPIEnビットをセット(1)しておいてください。

STTnビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するのかどうかを確認するには、STTnビットをセット(1)し、ウェイト時間をとったあと、IICSn.MSTSnビットを確認することで行います。

ウェイト時間は、表20 - 6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICLn.SMCn, CLn1, CLn0ビットと、IICXn.CLXnビットにより設定できます。

備考 n = 0-3 (V850ES/JH3-E)
 n = 0-4 (V850ES/JJ3-E)

表20 - 6 ウェイト時間

選択クロック	CLXn	SMCn	CLn1	CLn0	ウェイト時間
f _{xx} /6 (OCKSm = 11H)	0	0	0	0	156クロック
f _{xx} /8 (OCKSm = 12H)	0	0	0	0	208クロック
f _{xx} /10 (OCKSm = 13H)	0	0	0	0	260クロック
f _{xx} /4 (OCKSm = 10H)	0	0	0	1	188クロック
f _{xx} /6 (OCKSm = 11H)	0	0	0	1	282クロック
f _{xx} /8 (OCKSm = 12H)	0	0	0	1	376クロック
f _{xx} /10 (OCKSm = 13H)	0	0	0	1	470クロック
f _{xx} /4 (OCKSm = 10H)	0	0	1	1	148クロック
f _{xx} /6 (OCKSm = 11H)	0	0	1	1	222クロック
f _{xx} /4 (OCKSm = 10H)	0	1	0	×	64クロック
f _{xx} /6 (OCKSm = 11H)	0	1	0	×	96クロック
f _{xx} /8 (OCKSm = 12H)	0	1	0	×	128クロック
f _{xx} /10 (OCKSm = 13H)	0	1	0	×	160クロック
f _{xx} /4 (OCKSm = 10H)	0	1	1	1	52クロック
f _{xx} /6 (OCKSm = 11H)	0	1	1	1	78クロック
f _{xx} /6 (OCKSm = 11H)	1	1	0	×	60クロック
f _{xx} /8 (OCKSm = 12H)	1	1	0	×	80クロック
f _{xx} /10 (OCKSm = 13H)	1	1	0	×	100クロック

備考1. m = 0-2

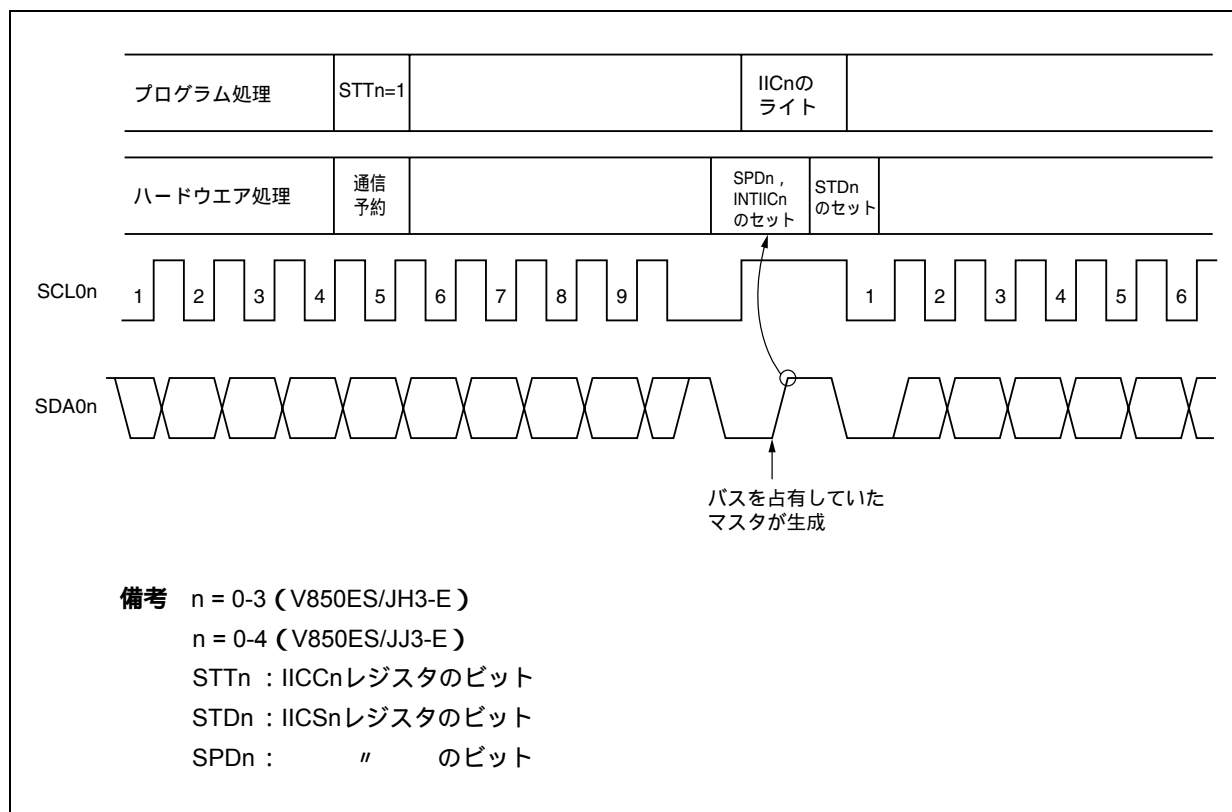
n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

2. × = Don't care

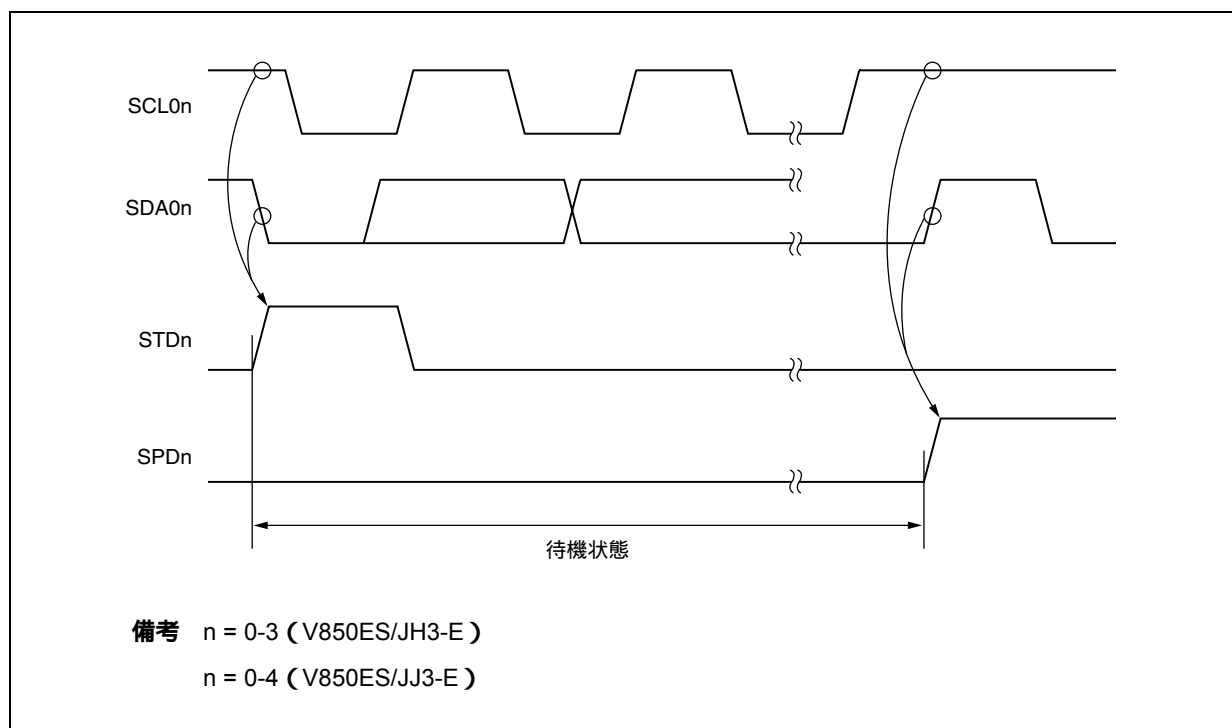
通信予約のタイミングを次に示します。

図20 - 16 通信予約のタイミング



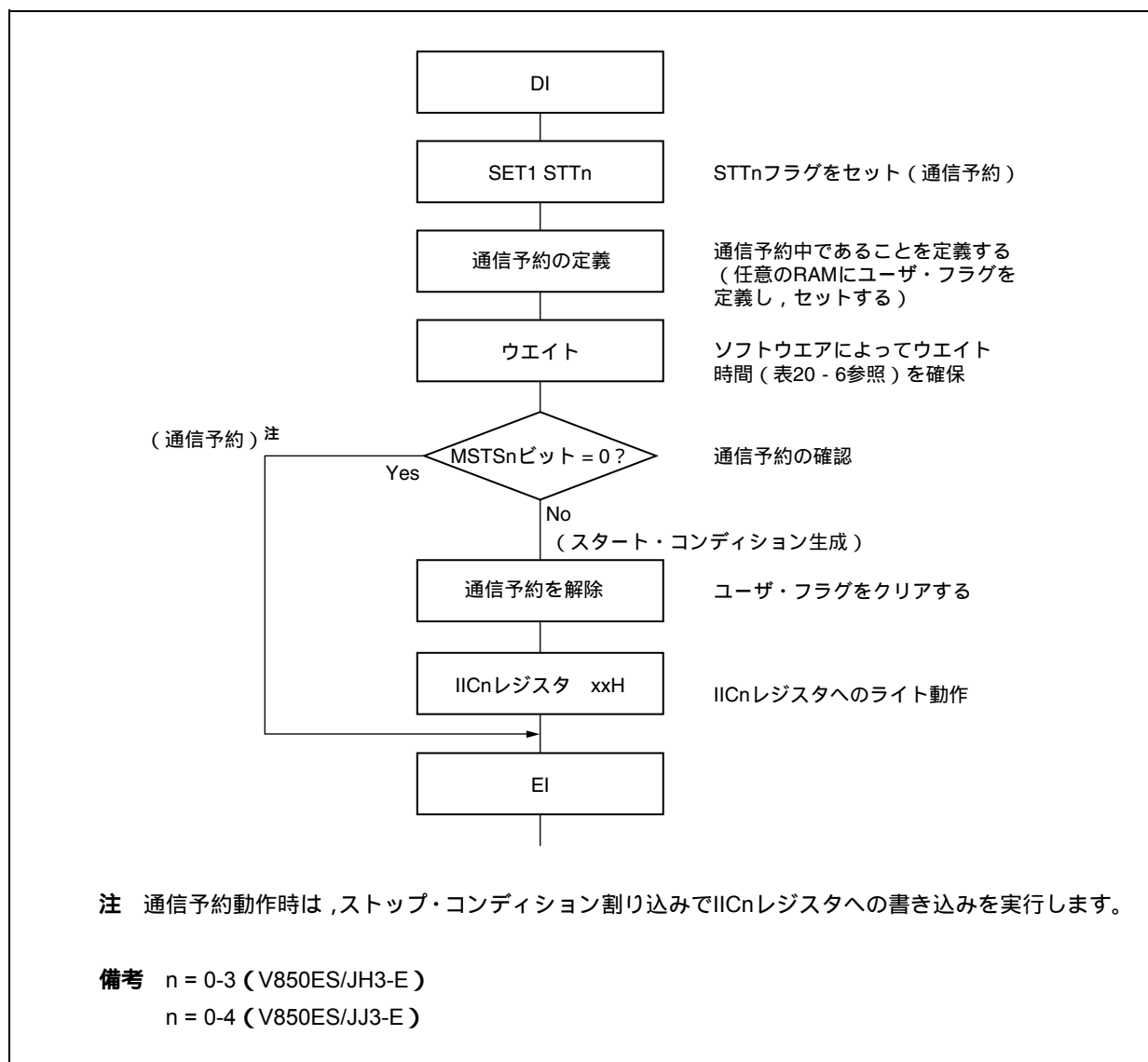
通信予約は次のタイミングで受け付けられます。IICSn.STDnビット = 1になったあと、ストップ・コンディション検出までにIICn.STTnビット = 1で通信予約をします (n = 0-2)。

図20 - 17 通信予約受け付けタイミング



次に通信予約の手順を示します。

図20 - 18 通信予約の手順



20.14.2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)

バスが通信中で、この通信に不参加の状態では IICFn.STTn ビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクリッジを返さず、IICFn.LRELnビット = 1でバスを解放した)とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFn.STCFn フラグを確認することにより行います。STTn ビット = 1 としてから STCFn フラグがセットされるまで表 20 - 7 に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表 20 - 7 ウェイト時間

OCKSENm	OCKSm1	OCKSm0	CLn1	CLn0	ウェイト時間
1	0	0	0	X	20クロック
1	0	1	0	X	30クロック
1	1	0	0	X	40クロック
1	1	1	0	X	50クロック
0	0	0	1	0	10クロック

備考1. X : Don't care

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

m = 0-2

20. 15 注意事項

(1) IICFn.STCENnビット = 0の場合

I²C0n動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。
ストップ・コンディションの生成は次の順番で行ってください。

IICCLnレジスタの設定

IICCn.IICEnビットのセット

IICCn.SPTnビットのセット

(2) IICFn.STCENnビット = 1の場合

I²C0n動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICCn.STTnビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3)ほかのデバイス同士の通信中にV850ES/JH3-E, V850ES/JJ3-EのIICCn.IICEnビットをセット(1)した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット(1)は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

(4)動作許可 (IICCn.IICEnビット = 1) する前にIICCLn, IICXn, OCKSmレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICCn.IICEnビットをクリア(0)してください。

(5) IICCn.STTn, SPTnビットをセット(1)したあと、クリア(0)される前の再セットは禁止します。

(6)送信予約をした場合には、IICCn.SPIEnビットをセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²Cnに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICSn.MSTSnビットを検出する場合には、SPIEnビットをセット(1)する必要はありません。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

m = 0, 1

20.16 通信動作

ここでは、次の 3 つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²C_{0n} バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが I²C バスの仕様だけでは判断できません。ここでは、一定(1 フレーム) 期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²C_{0n} バスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちで INTIIC_n 割り込みの発生を待ちます。INTIIC_n 割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

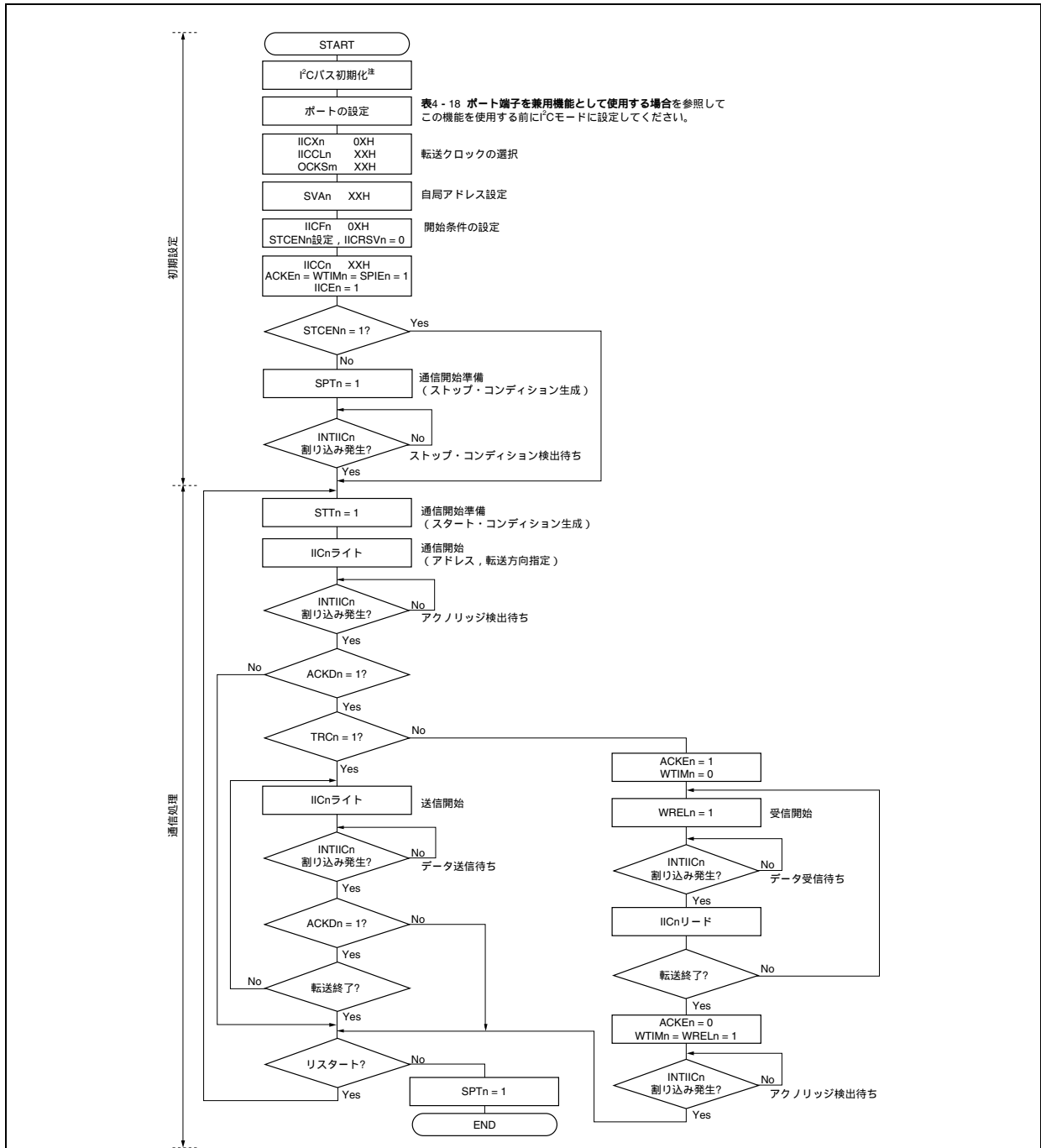
各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

20. 16. 1 シングルマスタ・システムでのマスタ動作

図20 - 19 シングルマスタ・システムでのマスタ動作



注 通信している製品の仕様に準拠し、I²C_{0n}バスを解放 (SCL_{0n}, SDA_{0n}端子 = ハイ・レベル) してください。たとえば、EEPROM[®]がSDA_{0n}端子にロウ・レベルを出力した状態であれば、SCL_{0n}端子を出力ポートに設定し、SDA_{0n}端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

- 2. n = 0-3 (V850ES/JH3-E)
- n = 0-4 (V850ES/JJ3-E)
- m = 0-2

20. 16. 2 マルチマスタ・システムでのマスタ動作

図20 - 20 マルチマスタ・システムでのマスタ動作 (1/3)

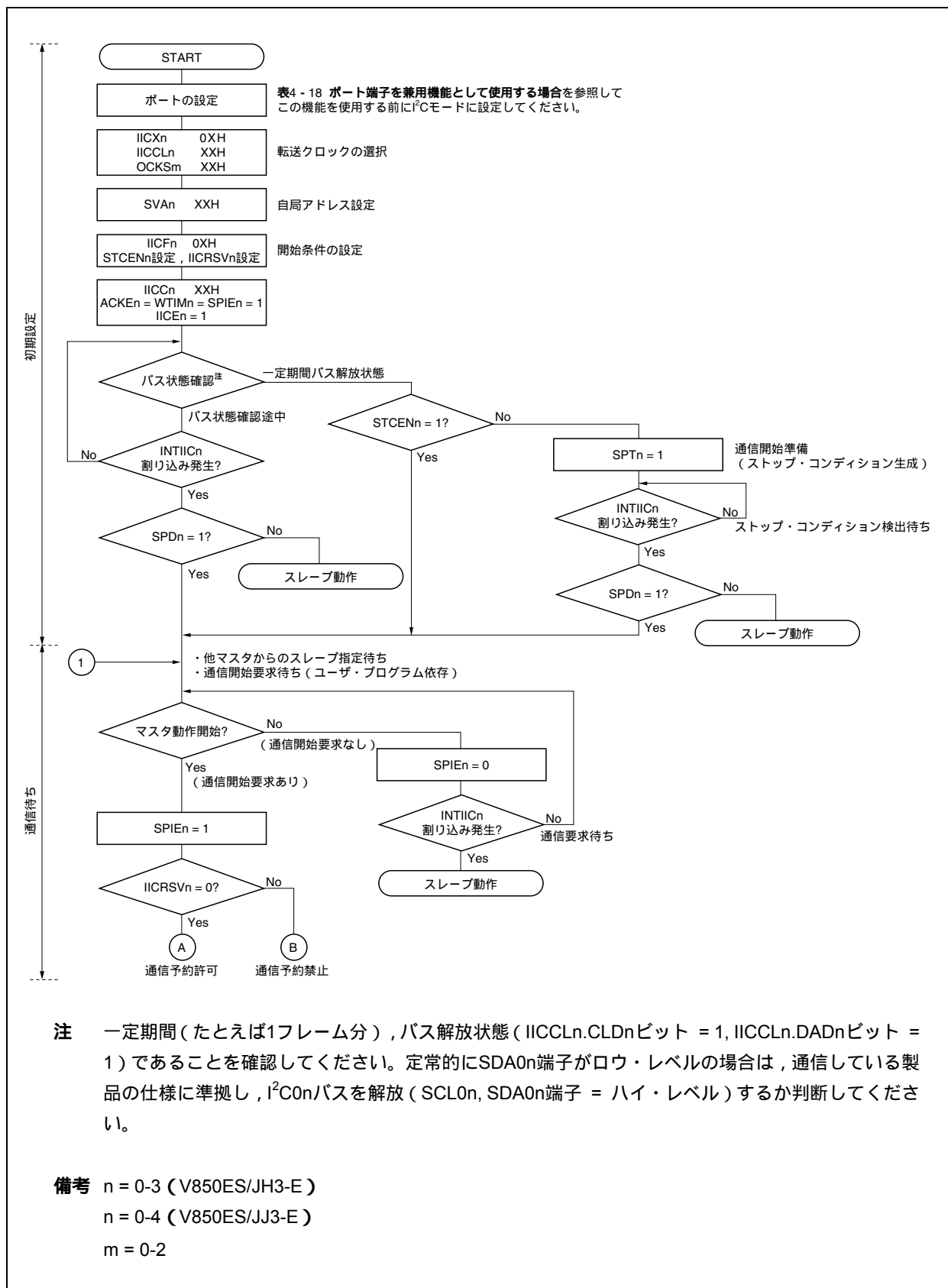


図20 - 20 マルチマスタ・システムでのマスタ動作 (2/3)

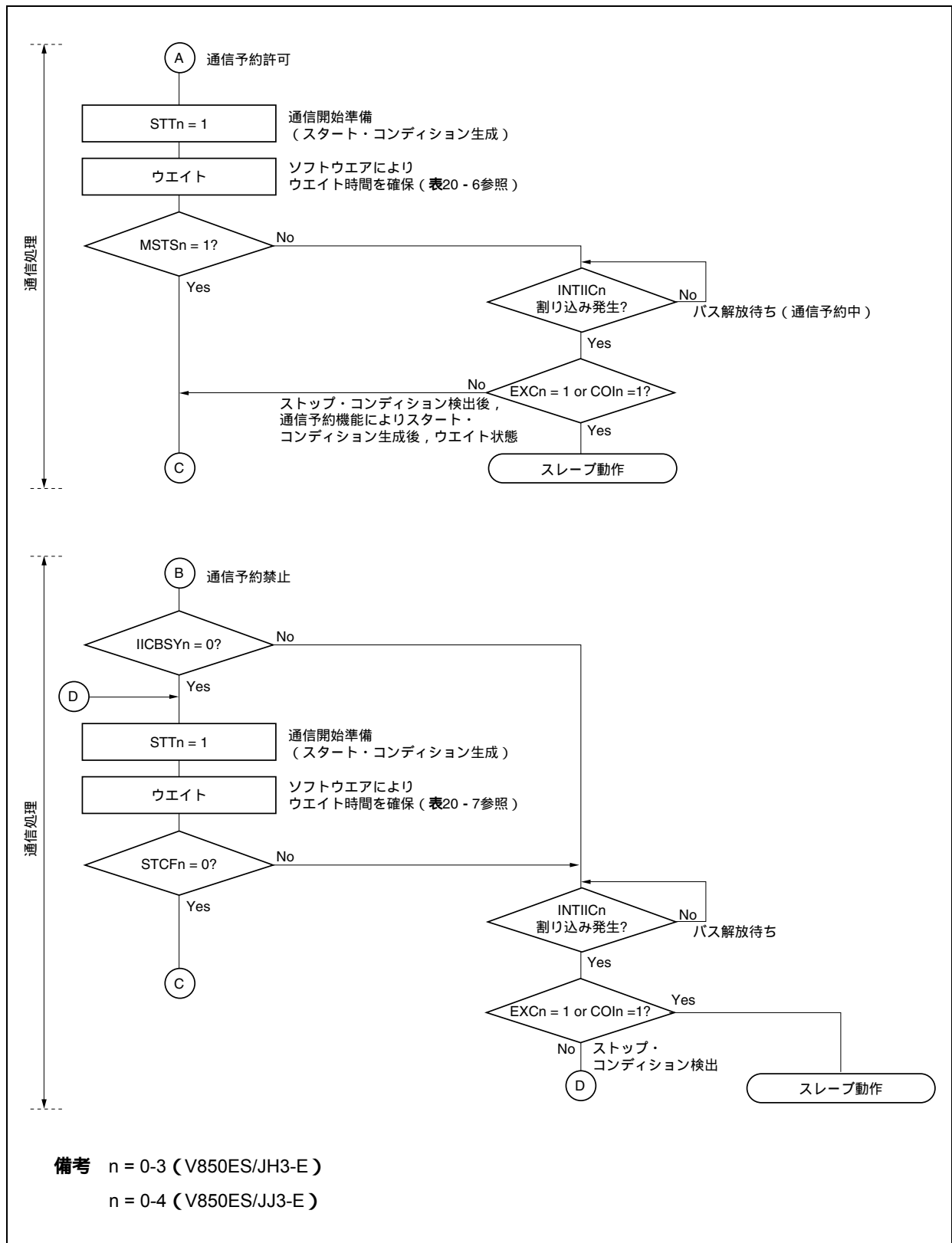
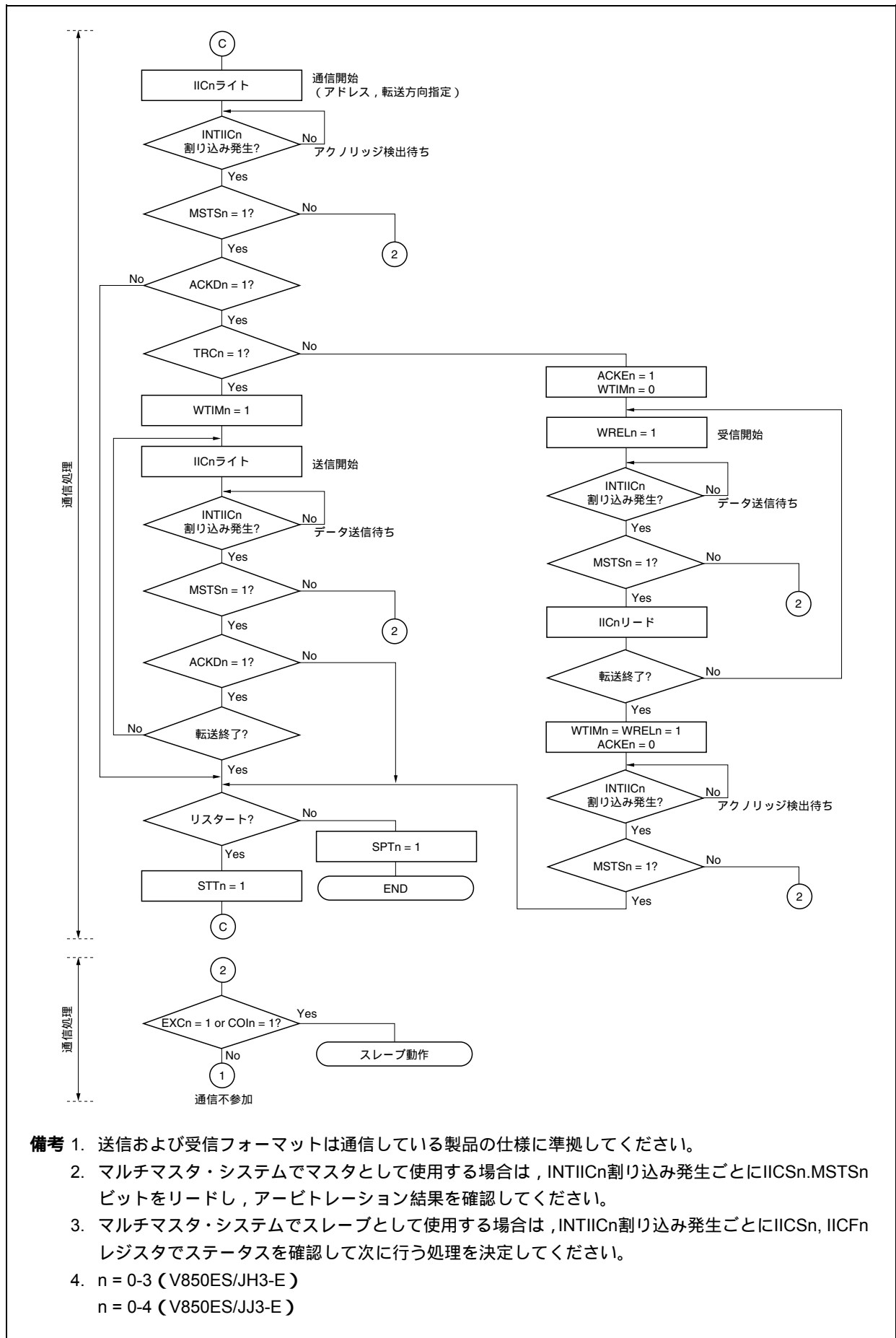


図20 - 20 マルチマスタ・システムでのマスタ動作 (3/3)



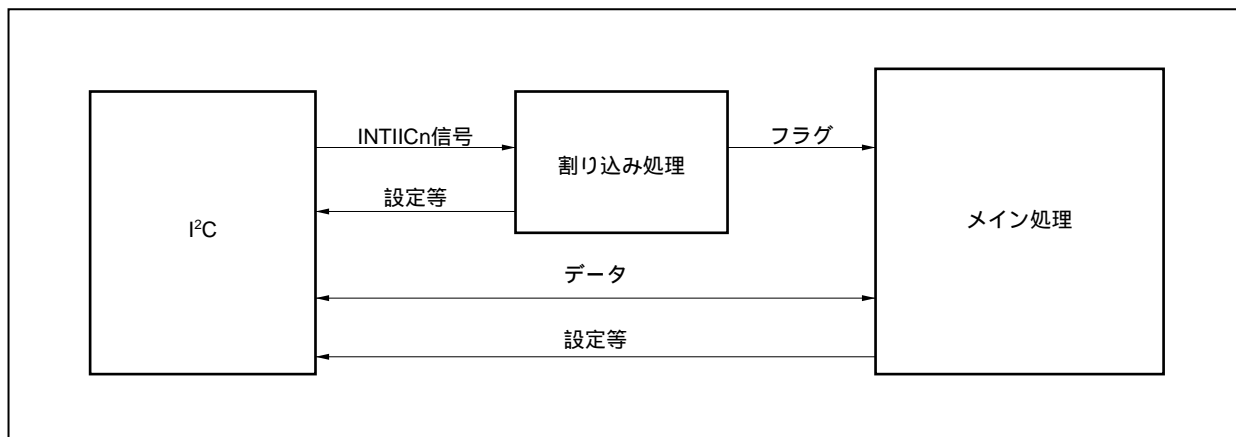
20.16.3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図20 - 21 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIICn信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIICn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IICSn.TRCnビットの値と同じです。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

次にスレーブ動作でのメイン処理部の動作を示します。

I²C0nを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

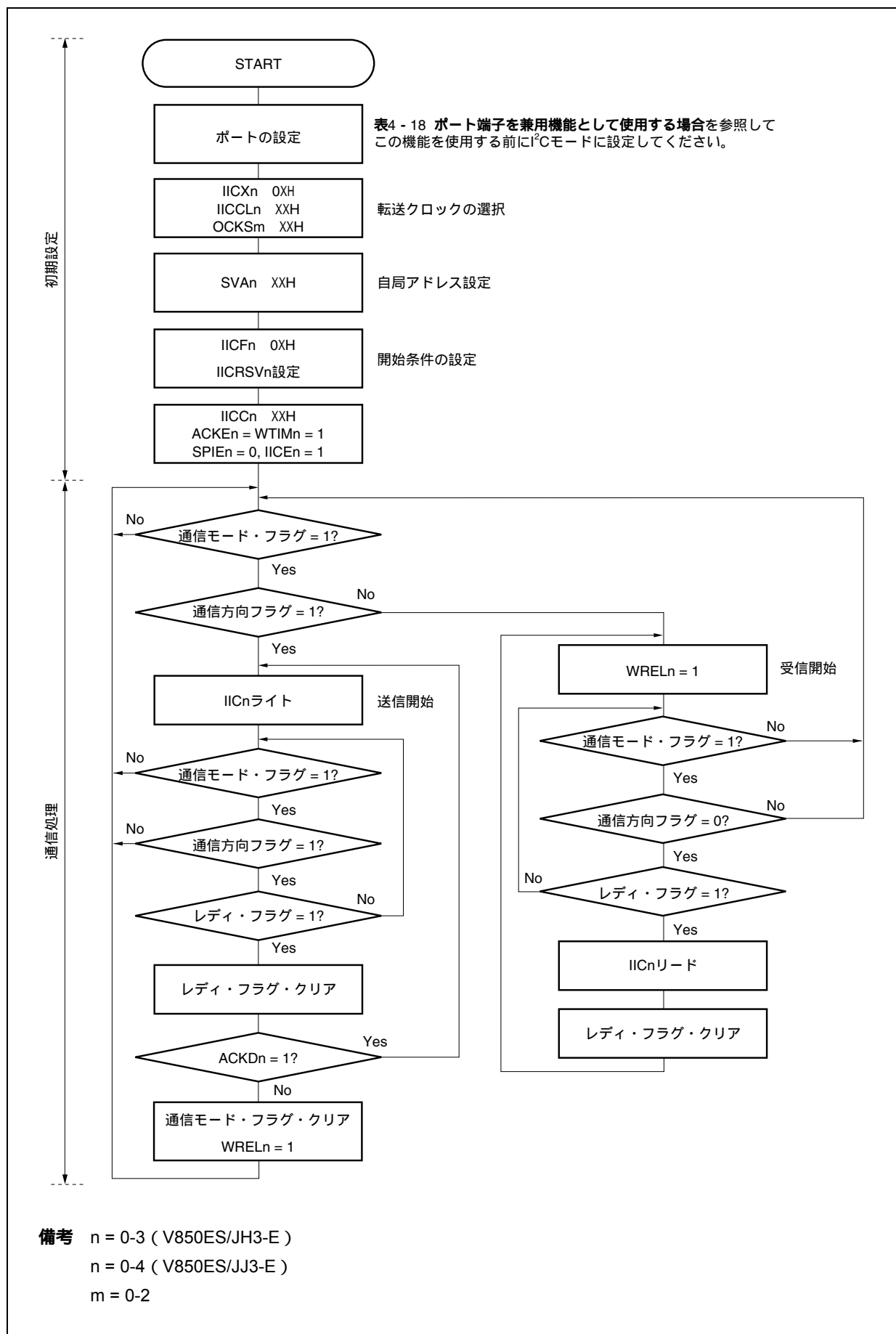
送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータを受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを発行します。これにより、通信状態から抜け出します。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

図20 - 22 スレーブ動作手順 (1)



スレーブのINTIICn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICn割り込みではステータスを確認して、次のように行います。

ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

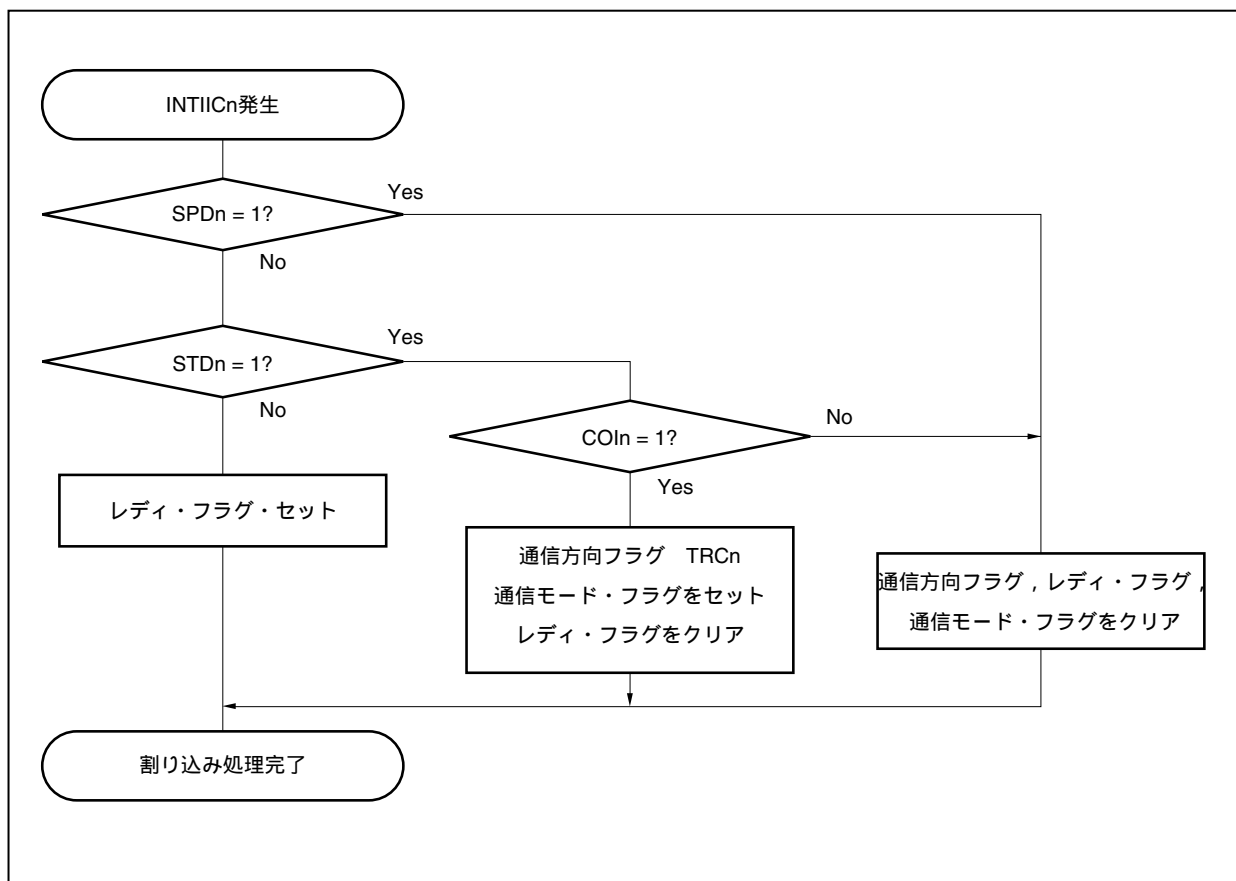
データ送受信の場合、レディ・フラグをセットするだけで、I²C0nバスはウェイト状態のまま、割り込みから戻ります。

備考1. 上述の ~ は、図20-23 スレーブ動作手順(2)の ~ と対応しています。

2. n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

図20-23 スレーブ動作手順(2)



20. 17 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICSn.TRCnビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック端子 (SCL0n) の立ち下がりに同期してIICnレジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA0n端子からMSBファーストで出力されます。

また、SCL0n端子の立ち上がりでSDA0n端子に入力されたデータがIICnレジスタに取り込まれます。

データ通信のタイミングを次に示します。

備考 n = 0-3 (V850ES/JH3-E)

n = 0-4 (V850ES/JJ3-E)

図20 - 24 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウエイト選択時) (1/3)

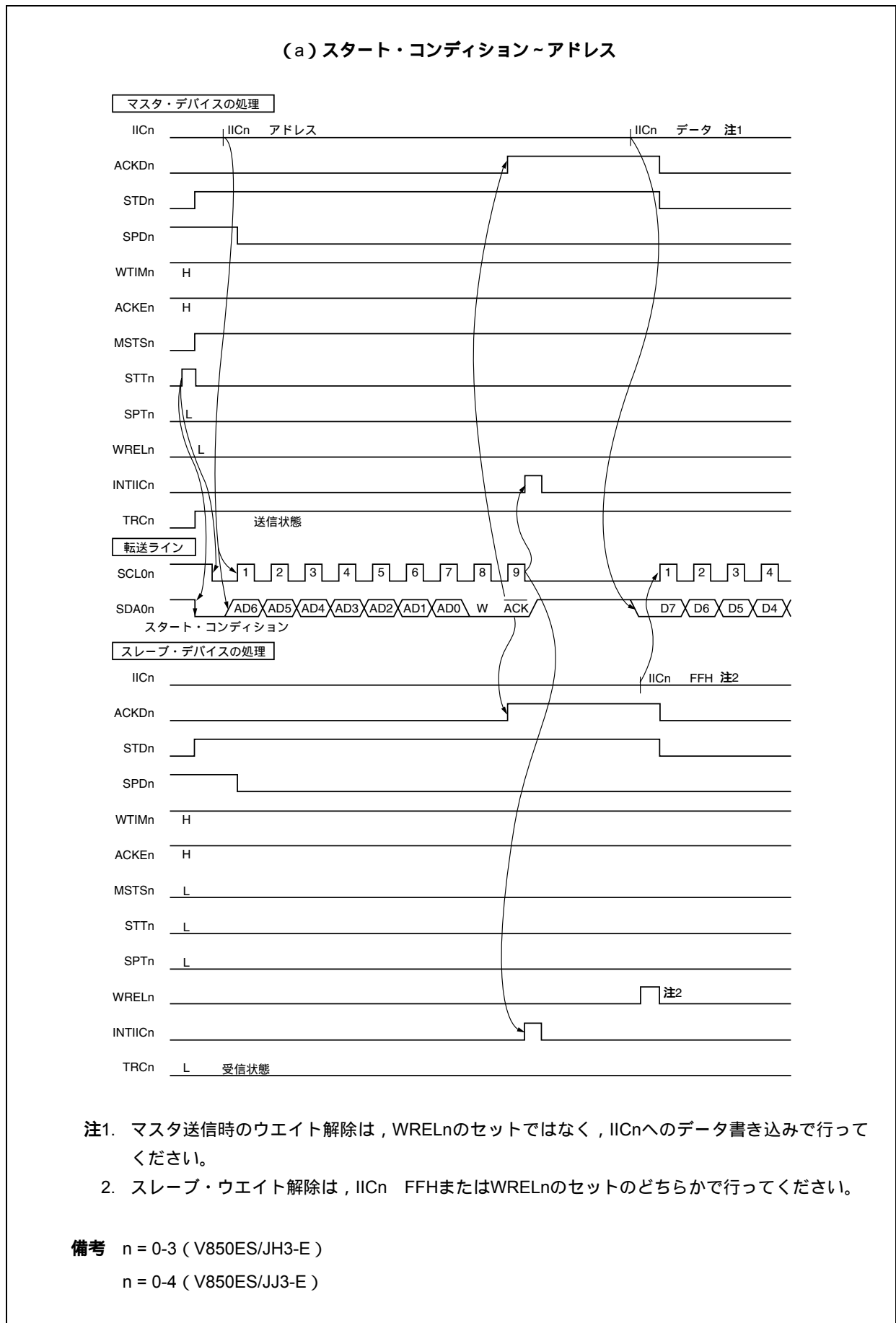


図20 - 24 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウエイト選択時) (2/3)

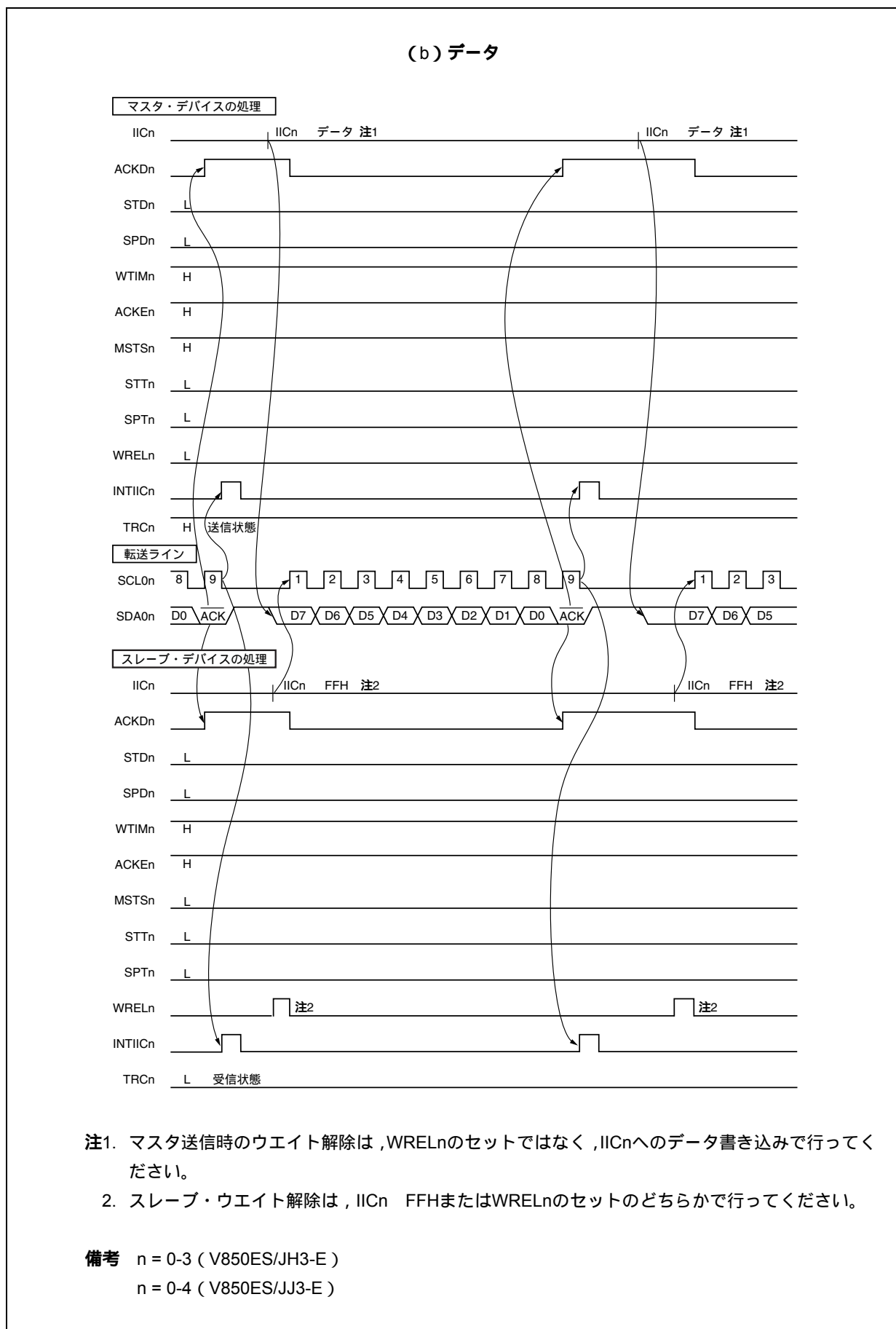


図20 - 24 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウエイト選択時) (3/3)

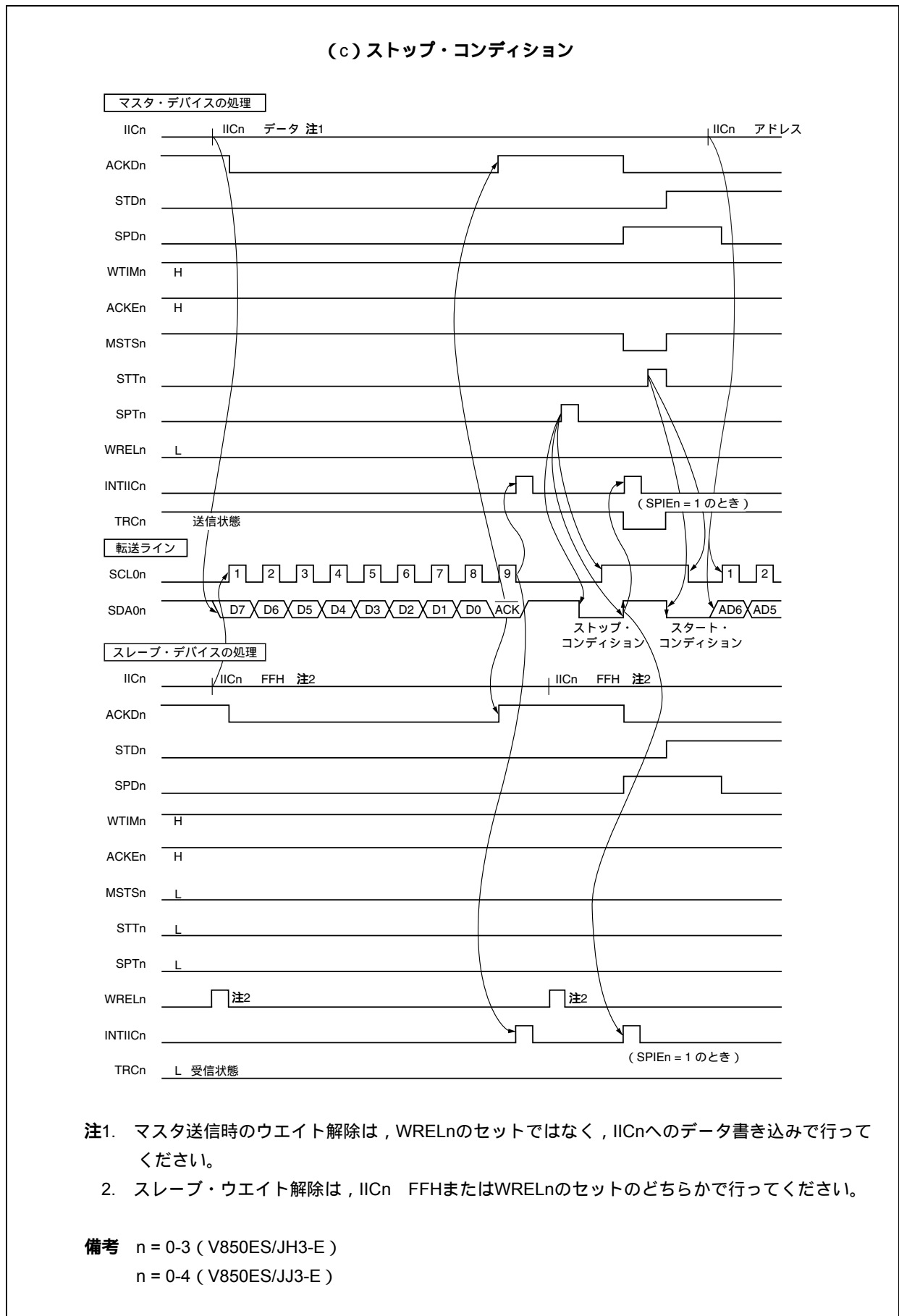


図20 - 25 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (1/3)

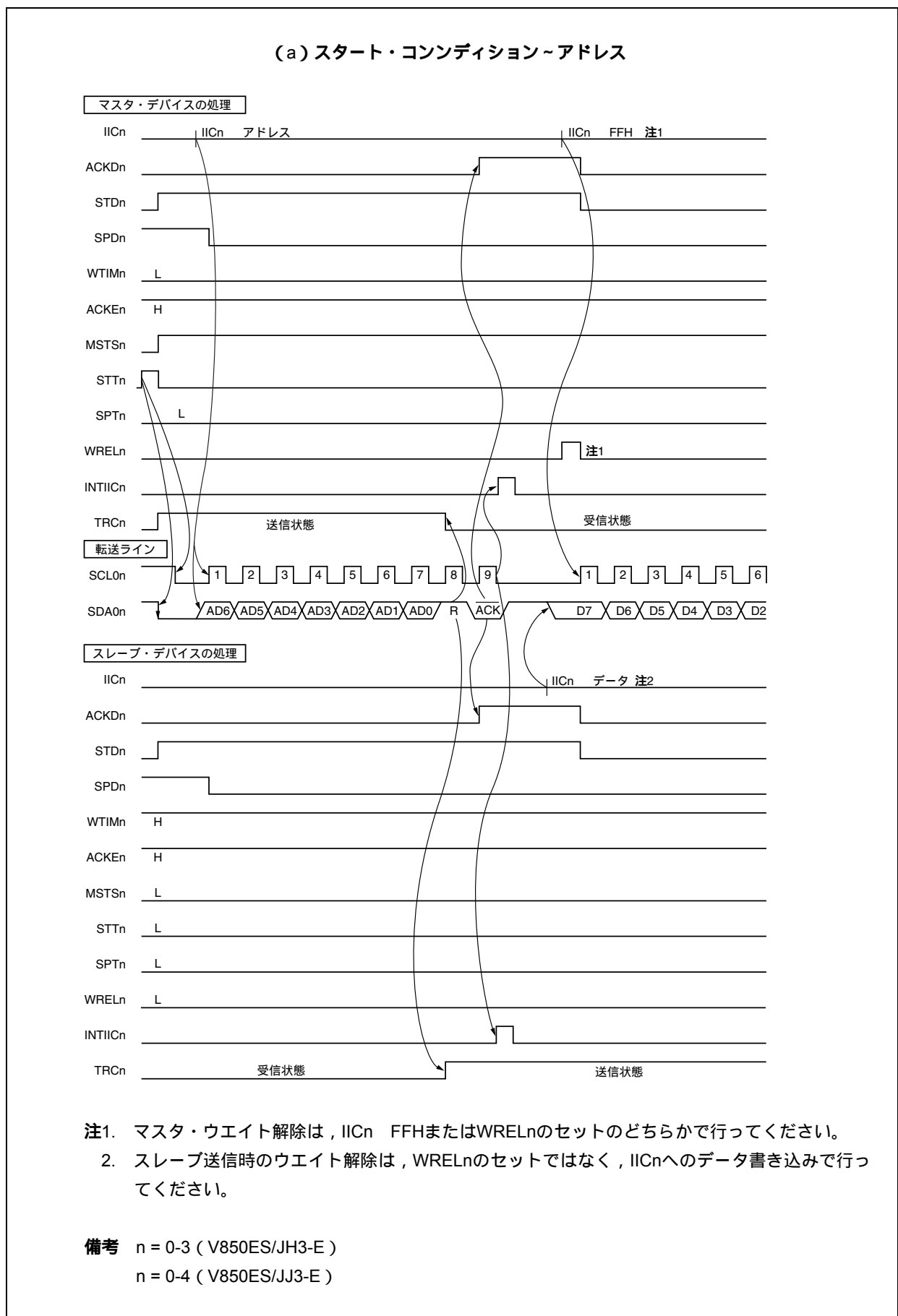


図20 - 25 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (2/3)

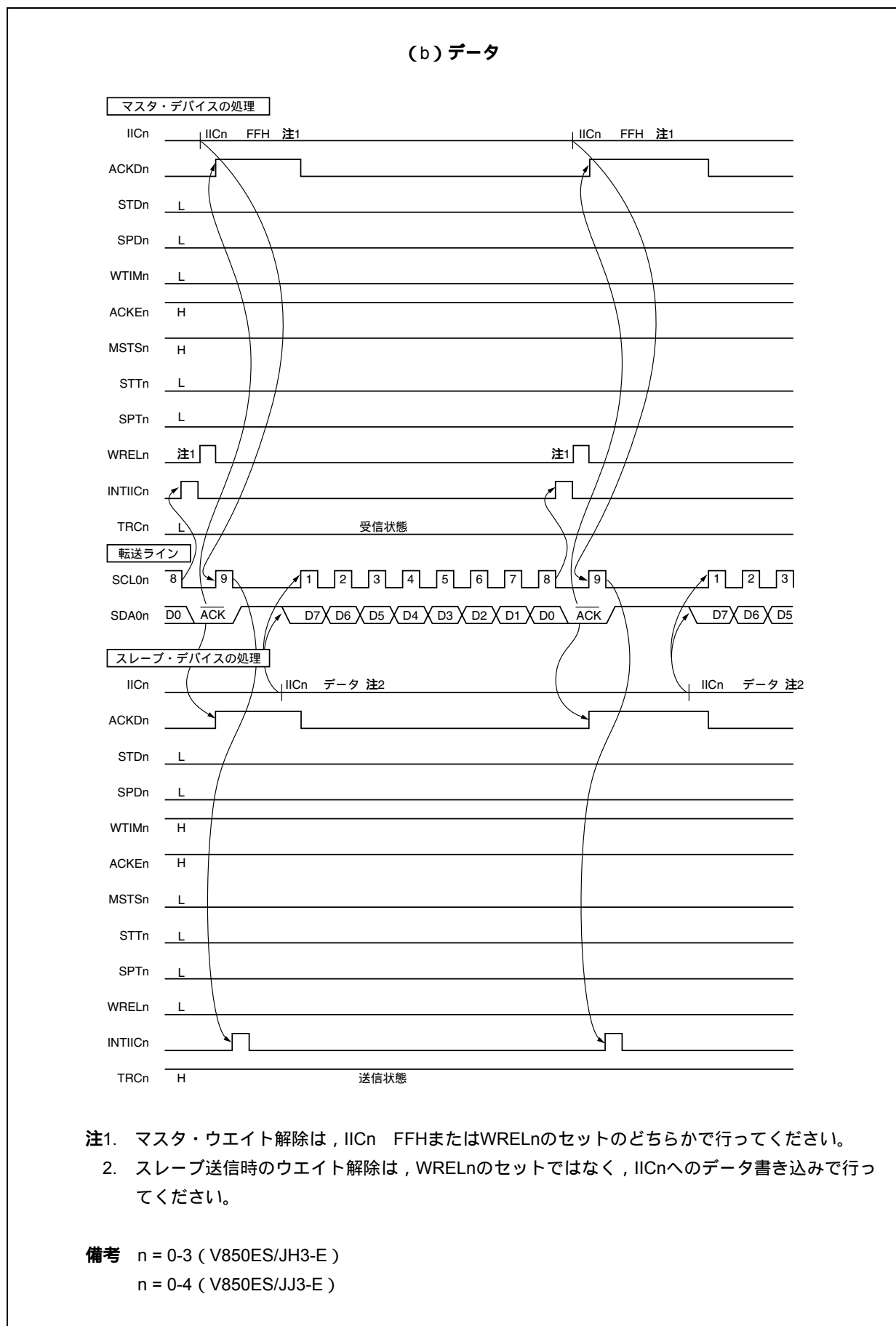
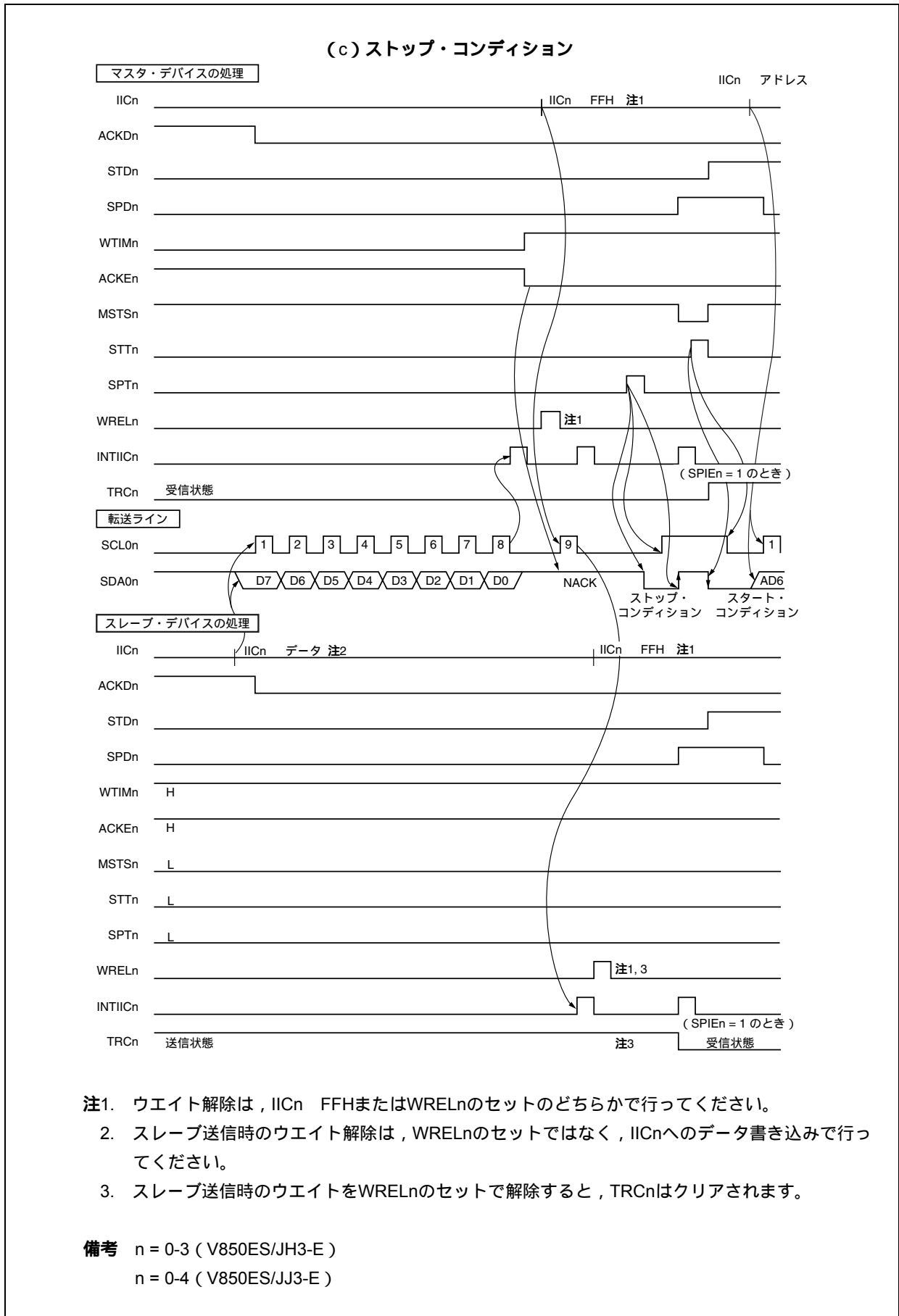


図20 - 25 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9 クロックでウエイト選択時) (3/3)



第21章 CANコントローラ

- 注意1. CANコントローラは、プログラマブル周辺I/O領域に配置されています。
CANコントローラを使用する場合は、あらかじめプログラマブル周辺I/O領域の使用を許可に設定してください。
なお、プログラマブル周辺I/O領域の設定は、BPCレジスタで行います。
詳細は、3. 4. 7 プログラマブル周辺I/Oレジスタを参照してください。
2. CANコントローラを使用する場合は、 $f_{xx} = 32 \sim 50$ MHzの範囲で使用してください。

21.1 概要

V850ES/JH3-E, V850ES/JJ3-Eは、CANプロトコルISO11898に準拠したCAN (Controller Area Network) コントローラを1チャンネル内蔵しています。

V850ES/JH3-E, V850ES/JJ3-EのCANコントローラ内蔵品を次に示します。

- ・ μ PD70F3783, 70F3786

21.1.1 特徴

CANプロトコル ISO11898準拠, ISO/DIS16845 (CANコンFORMANCE・テスト) 実施
標準フレーム, 拡張フレームの送信 / 受信が可能
転送速度 最大1 Mbps (CANクロック入力 8 MHz時)
32メッセージ・バッファ / チャンネル
受信 / 送信履歴・リスト機能
自動ブロック送信機能
マルチ・バッファ受信ブロック機能
チャンネルごとに4パターンのマスクを設定可能

21.1.2 機能概要

表21 - 1に機能概要を示します。

表21 - 1 機能概要

機 能	詳 細
プロトコル	CANプロトコル ISO11898 (標準および拡張フレームの送受信)
ボー・レート	最大1 Mbps (CANクロック入力 8 MHz時)
データ・ストレージ	CAN専用RAMにメッセージを格納
メッセージ数	<ul style="list-style-type: none"> ・32メッセージ・バッファ/チャンネル ・各メッセージ・バッファは、送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	<ul style="list-style-type: none"> ・各メッセージ・バッファに固有のIDを設定可能 ・チャンネルごとに4パターンのマスクを設定可能 ・メッセージ・バッファごとに受信完了割り込みの許可/禁止が設定可能 ・複数の受信用メッセージ・バッファをFIFO受信のバッファとして使用することが可能(マルチ・バッファ受信ブロック機能) ・受信履歴・リスト機能
メッセージ送信	<ul style="list-style-type: none"> ・各メッセージ・バッファに固有のIDを設定可能 ・メッセージ・バッファごとに送信完了割り込みの許可/禁止が設定可能 ・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号0-7は、自動ブロック転送に使用可能、またメッセージ送信間隔はプログラマブルに変更可能(自動ブロック送信機能(以降, ABTと記述)) ・送信履歴・リスト機能
リモート・フレーム処理	送信用メッセージ・バッファによるリモート・フレーム処理
タイム・スタンプ機能	<ul style="list-style-type: none"> ・16ビット・タイマとの併用で受信メッセージに対してタイム・スタンプ機能を設定可能 ・タイム・スタンプ・キャプチャ・トリガの選択が可能(CANメッセージ・フレーム内のSOFまたはEOF検出に切り替え可能)
診断機能	<ul style="list-style-type: none"> ・リード可能なエラー・カウンタ ・バス接続確認用“有効プロトコル動作フラグ” ・受信オンリー・モード ・シングル・ショット・モード ・CANプロトコル・エラーの判別 ・セルフ・テスト・モード
バス・オフ復帰機能	<ul style="list-style-type: none"> ・ソフトウェアにより強制的にバス・オフから復帰させることが可能(タイミングの制約を無視) ・バス・オフからの自動復帰不可(ソフトウェアによる復帰要求が必要)
パワー・セーブ・モード	<ul style="list-style-type: none"> ・CANスリープ・モード(CANバスによりウエイク・アップ可能) ・CANストップ・モード(CANバスによるウエイク・アップ不可)

21.1.3 構 成

CANコントローラは、次の4つのブロックから構成されています。

(1) 内部バス・インタフェース

内部バスとのインタフェースと、CAN内部モジュールとCPUとのインタフェースを行うための機能ブロックです。

(2) MCM (Memory Control Module)

CANモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。

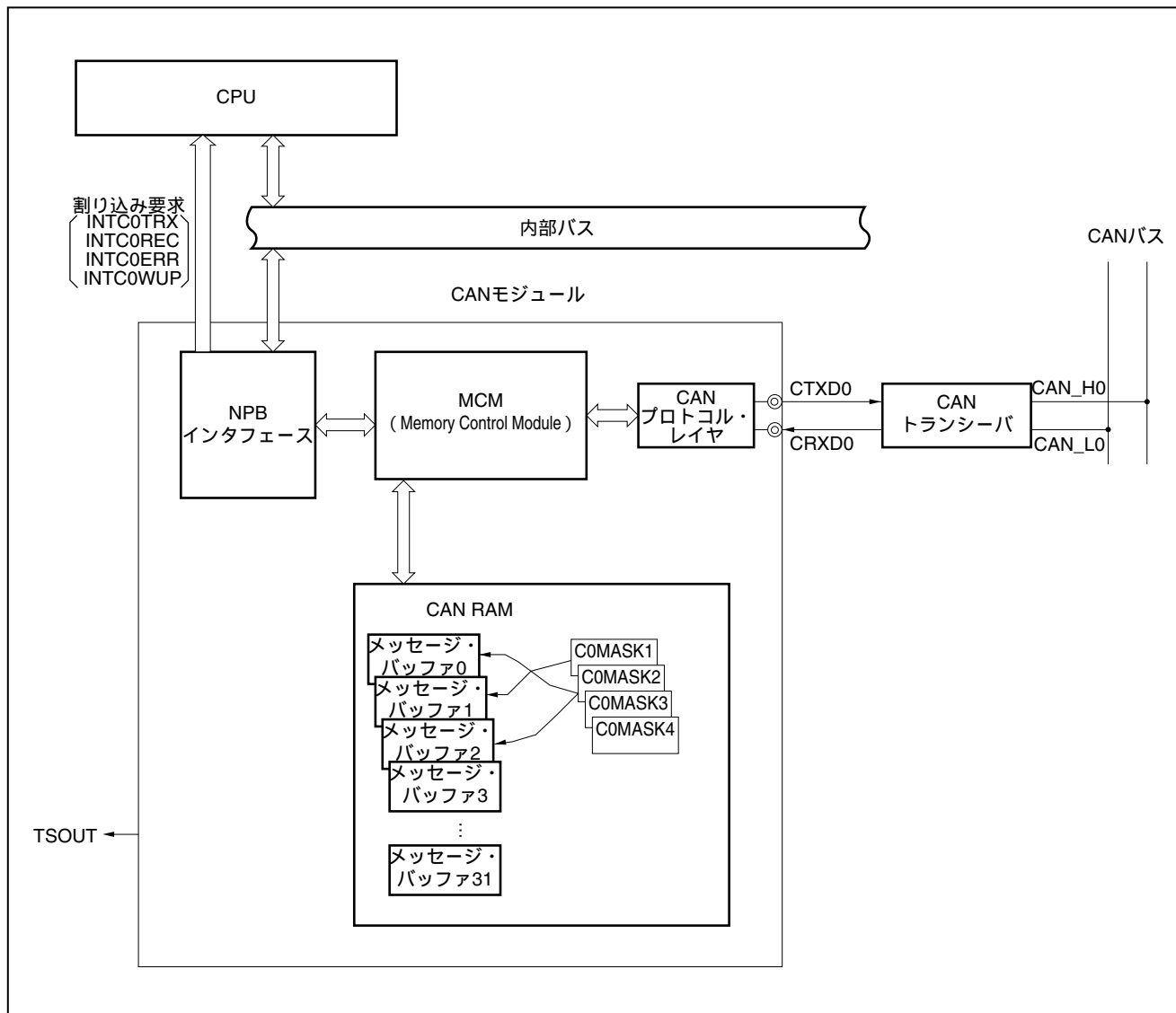
(3) CANプロトコル・レイヤ

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

(4) CAN RAM

メッセージIDやメッセージ・データなどを格納するCAN専用のメモリ機能ブロックです。

図21 - 1 CANのブロック図

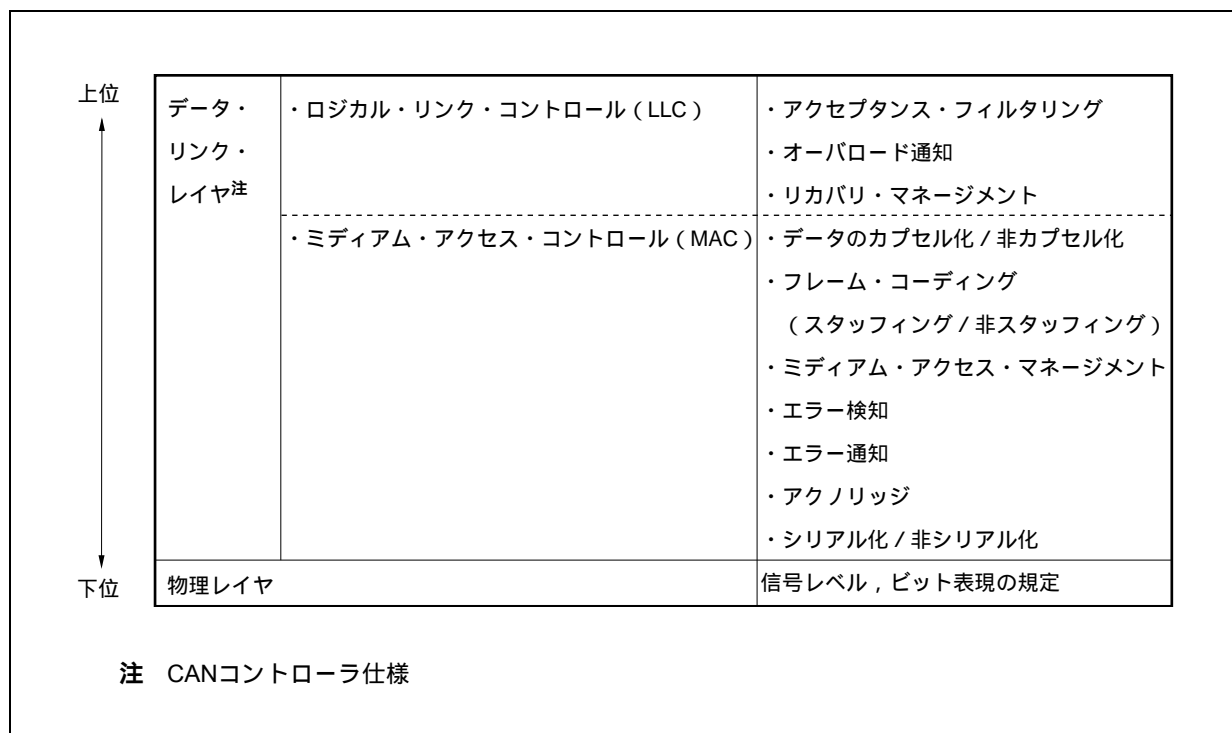


21.2 CANプロトコル

CAN (Controller Area Network) は、車体内リアルタイム通信用 (クラスC) 高速多重通信プロトコルです。CAN はISO 11898で規定されています。詳細は、ISO 11898仕様を参照してください。

CANの仕様は、大きく分けて2つのレイヤ (物理レイヤとデータ・リンク・レイヤ) に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

図21-2 各レイヤの構成



21.2.1 フレーム・フォーマット

(1) 標準フォーマット・フレーム

- ・標準フォーマット・フレームでは、アイデンティファイアが11ビットのため、2048種類のメッセージを扱うことができます。

(2) 拡張フォーマット・フレーム

- ・拡張フォーマット・フレームでは、アイデンティファイアが29ビット（11ビット+18ビット）に拡張され、扱えるメッセージ数が 2048×2^{18} 個になります。
- ・アービトラージョン・フィールドのSRR/IDEビットがともに“レセシブ・レベル”（CMOSレベル = 1）の場合、拡張フォーマット・フレームになります。

21.2.2 フレーム・タイプ

CANプロトコルのフレームは、次の4種類に分けられます。

表21-2 フレームの種類

フレーム種類	説明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバーロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

(1) バスの値

バスの値には、ドミナントとレセシブの2通りがあります。

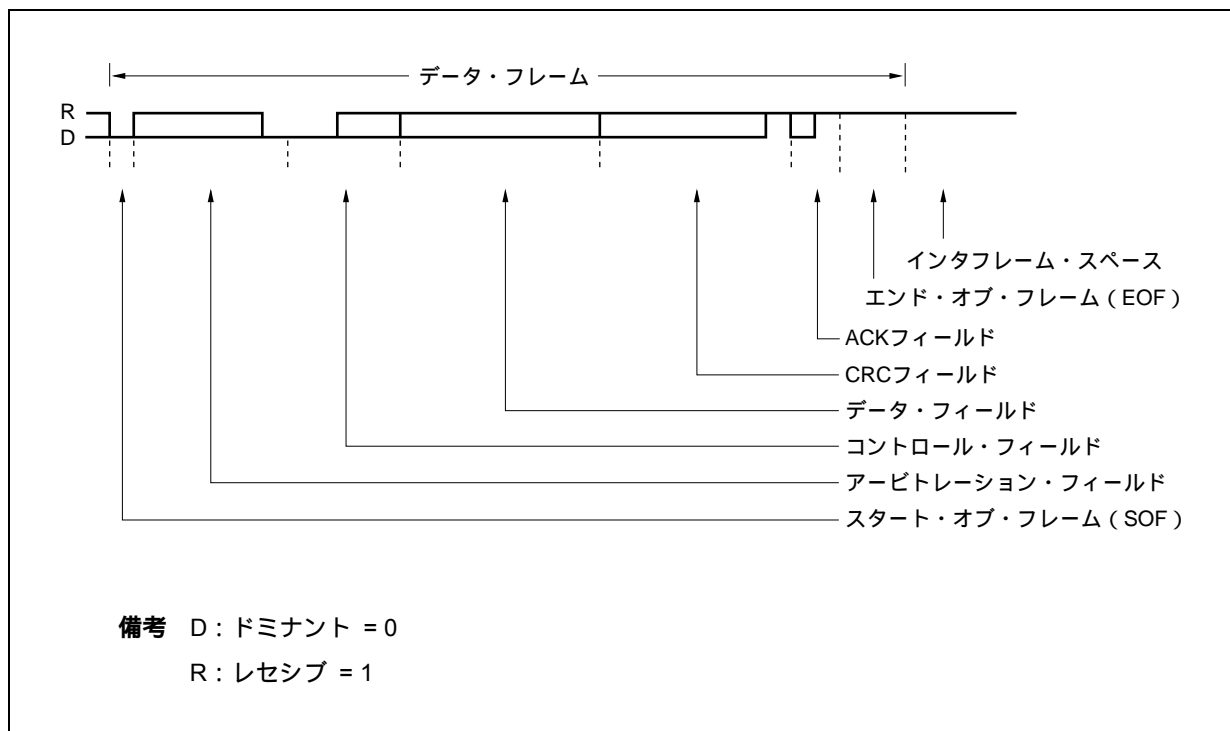
- ・ドミナント・レベルは論理0で表します。
- ・レセシブ・レベルは論理1で表します。
- ・ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります。

21.2.3 データ・フレーム/リモート・フレーム

(1) データ・フレーム

データ・フレームは、7つのフィールドにより構成されます。

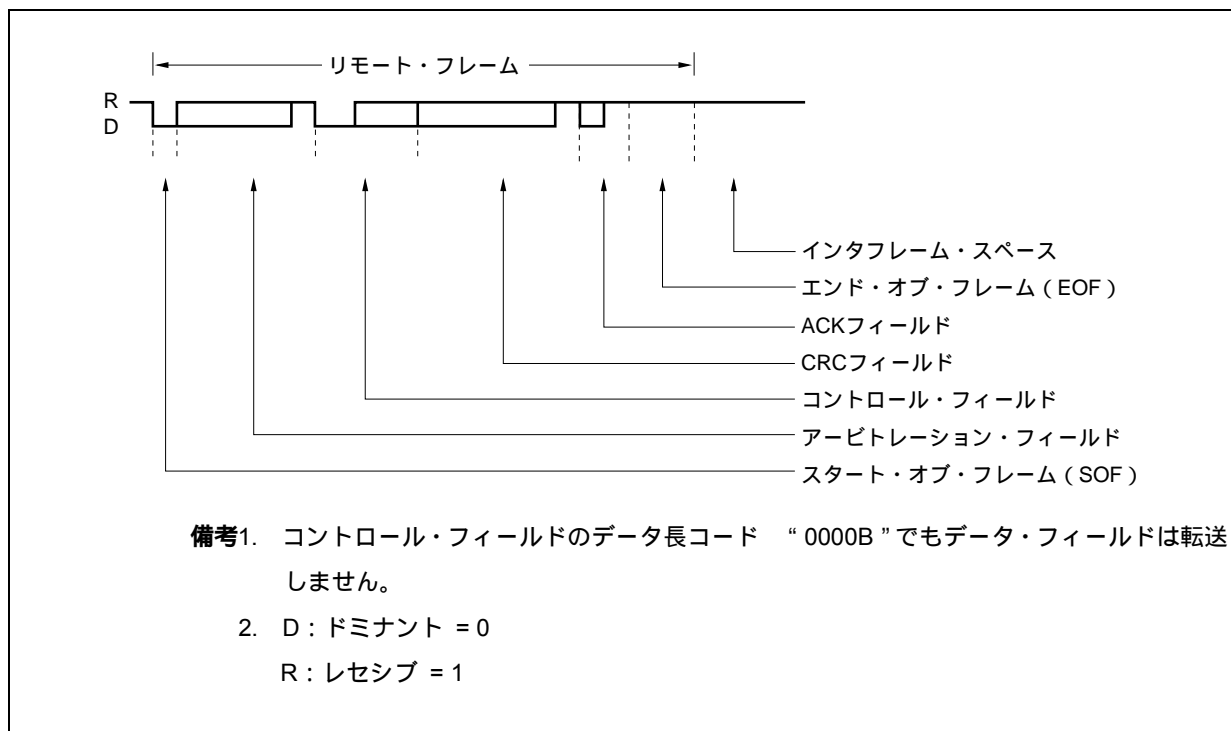
図21-3 データ・フレーム



(2) リモート・フレーム

リモート・フレームは、6つのフィールドにより構成されます。

図21-4 リモート・フレーム

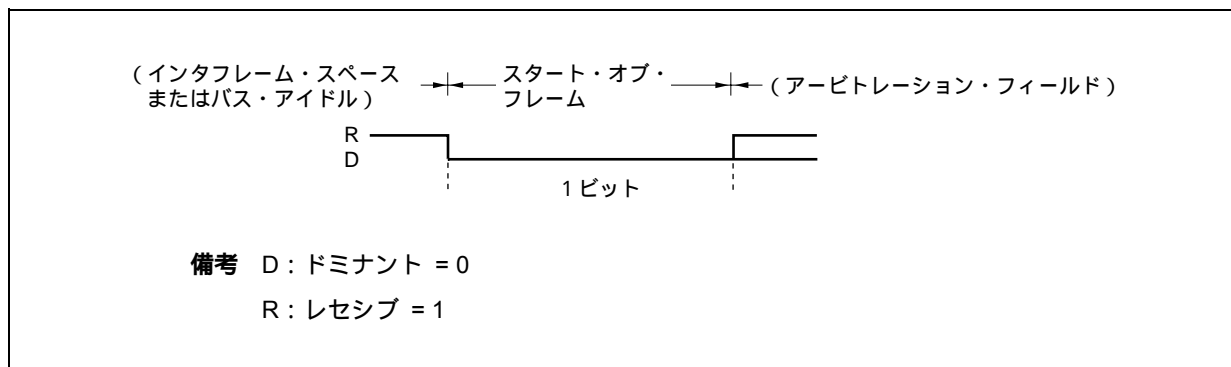


(3) 各フィールドの説明

スタート・オブ・フレーム（SOF）

スタート・オブ・フレームは、データ・フレーム、リモート・フレームの開始を示します。

図21-5 スタート・オブ・フレーム（SOF）



- ・バス・アイドル中にドミナント・レベルを検出すると、ハードウェア同期が実行されます（このとき、該当するTQがシンク・セグメントになります）。
- ・ハードウェア同期に続くサンプル・ポイントで、ドミナント・レベルがサンプリングされると、そのビットはSOFになります。レセシブ・レベルが検出された場合は、前述のドミナント・パルスはノイズと判断され、プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。

アービトレーション・フィールド

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、フレーム・フォーマットの設定をします。

図21 - 6 アービトレーション・フィールド (標準フォーマット・モード時)

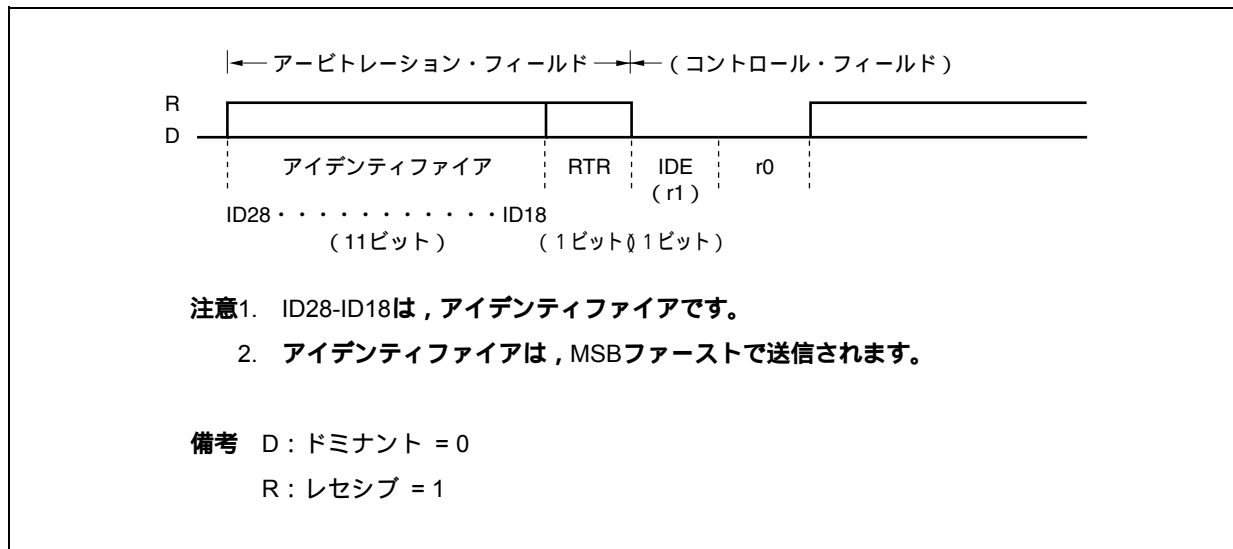


図21 - 7 アービトレーション・フィールド (拡張フォーマット・モード時)

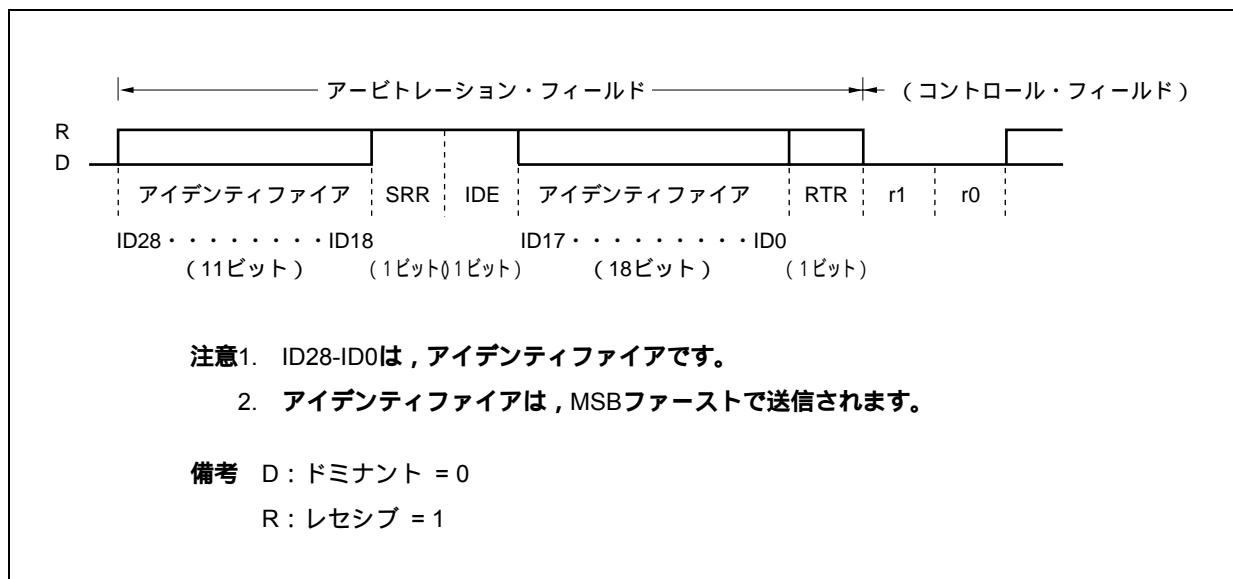


表21 - 3 RTRフレームの設定

フレームの種類	RTRビット
データ・フレーム	0 (D)
リモート・フレーム	1 (R)

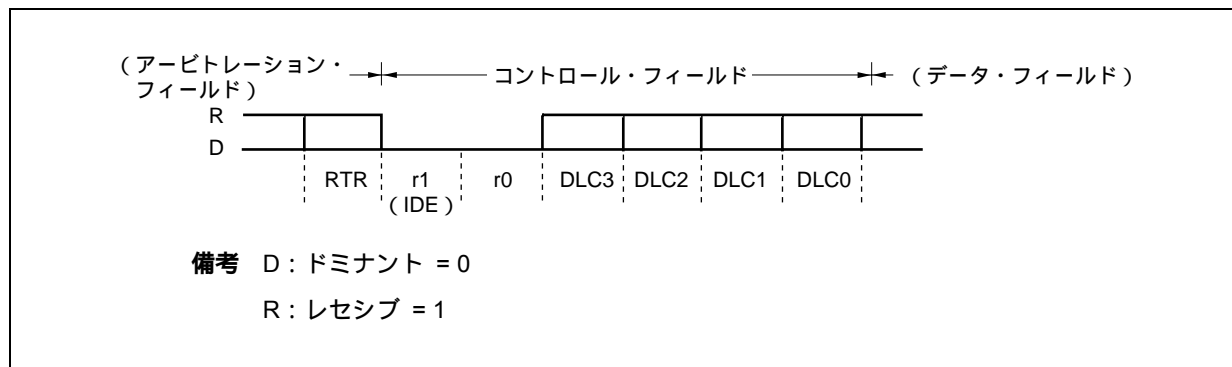
表21 - 4 フレーム・フォーマットの設定 (IDEビット) とアイデンティファイア (ID) のビット数

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0 (D)	11ビット
拡張フォーマット・モード	1 (R)	1 (R)	29ビット

コントロール・フィールド

コントロール・フィールドは、データ・フィールドのデータ・バイト数DLCの設定をします(DLC = 0-8)。

図21-8 コントロール・フィールド



標準フォーマット・フレームでは、コントロール・フィールドのIDEビットとr1ビットは、同一となります。

表21-5 データ長の設定

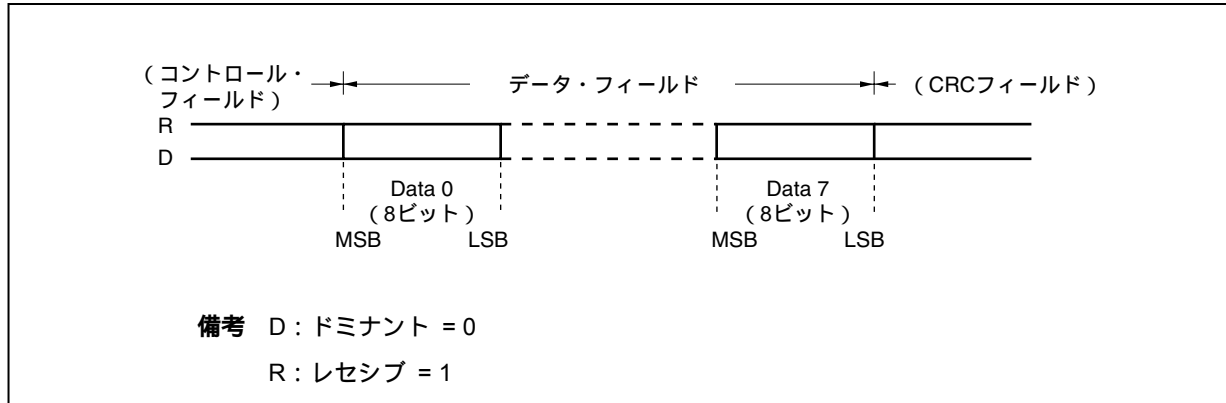
データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

注意 リモート・フレームの場合、データ長コード 0000Bであってもデータ・フィールドは発生しません。

データ・フィールド

データ・フィールドは、コントロール・フィールドで設定した個数のデータ群（バイト単位）で、最大8データ設定できます。

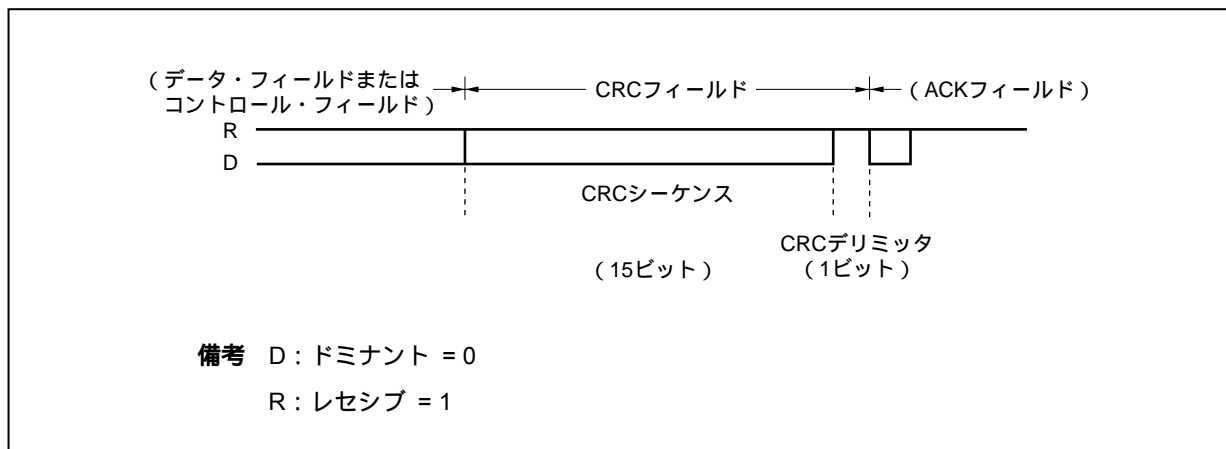
図21 - 9 データ・フィールド



CRCフィールド

CRCフィールドは、送信データの誤りをチェックするための16ビットのフィールドです。

図21 - 10 CRCフィールド



- ・ 15ビットのCRCシークエンスを生成する多項式 $P(X)$ は、次のようになります。

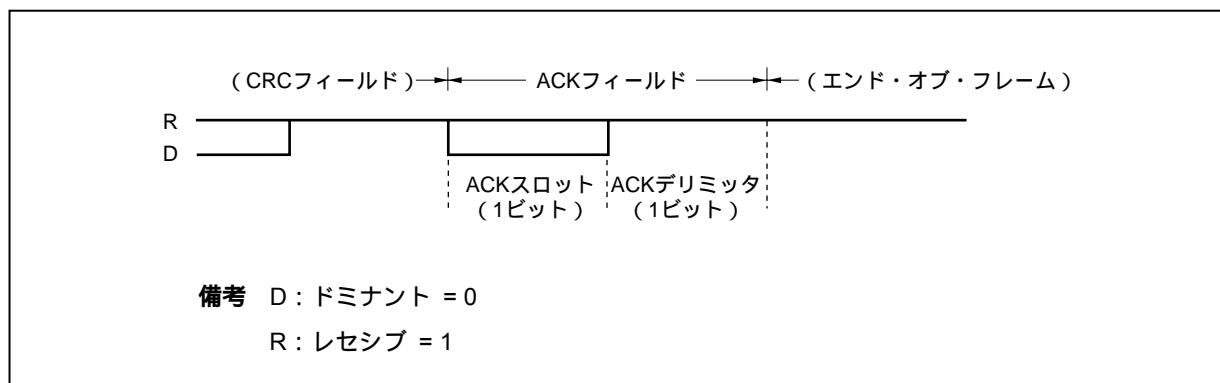
$$P(X) = X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$$

- ・ 送信ノード：スタート・オブ・フレーム、アービトレーション・フィールド、コントロール・フィールド、データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算したCRCシークエンスを送信します。
- ・ 受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシークエンスとCRCフィールドのCRCシークエンスを比較します。一致しない場合、ノードはエラー・フレームを送信します。

ACKフィールド

ACKフィールドは、正常受信確認のためのフィールドです。

図21 - 11 ACKフィールド

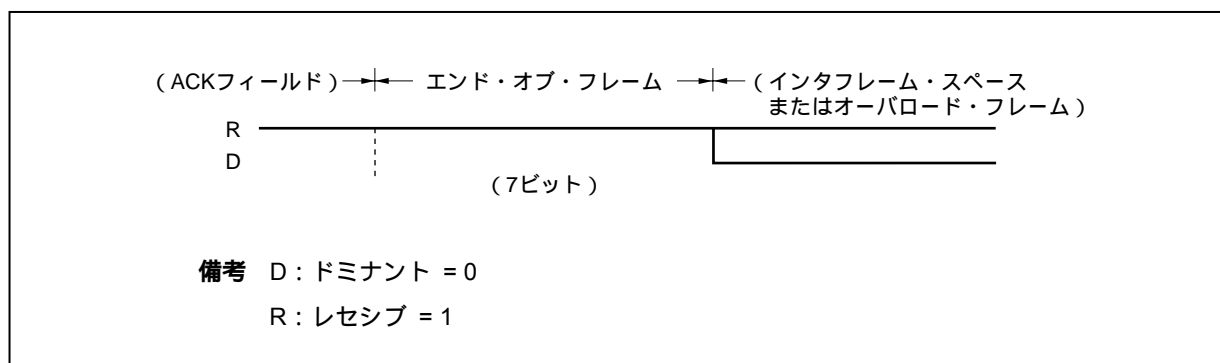


- ・CRCエラーが検出されない場合、受信ノードはACKスロットをドミナント・レベルにします。
- ・送信ノードは、2ビットのレセシブ・レベルを出力します。

エンド・オブ・フレーム (EOF)

エンド・オブ・フレームは、データ・フレーム/リモート・フレームの終了を示します。

図21 - 12 エンド・オブ・フレーム (EOF)



インタフレーム・スペース

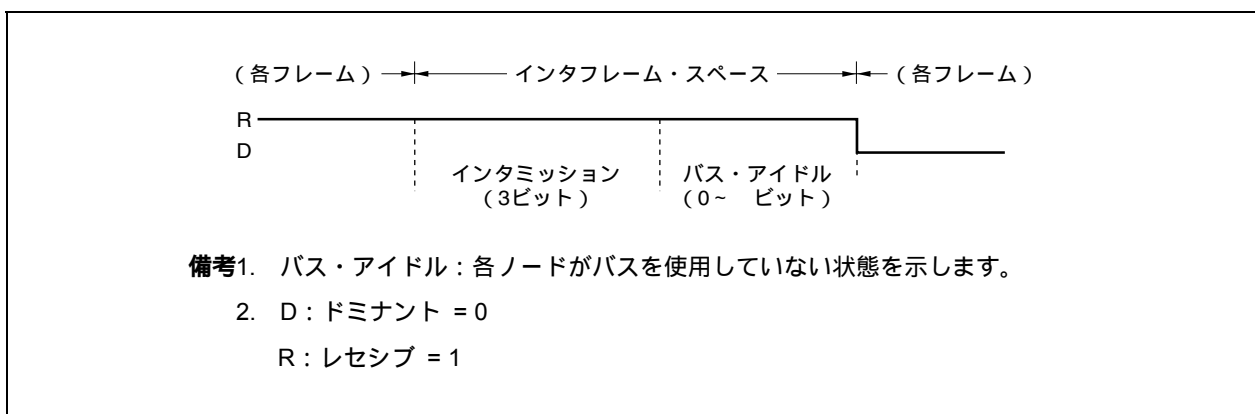
データ・フレーム，リモート・フレーム，エラー・フレーム，オーバーロード・フレームから次のフレームの間に挿入されるフレームで，各フレーム間の区切りを示します。

・バスの状態は，エラー・ステータスにより異なります。

(a) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成されます。

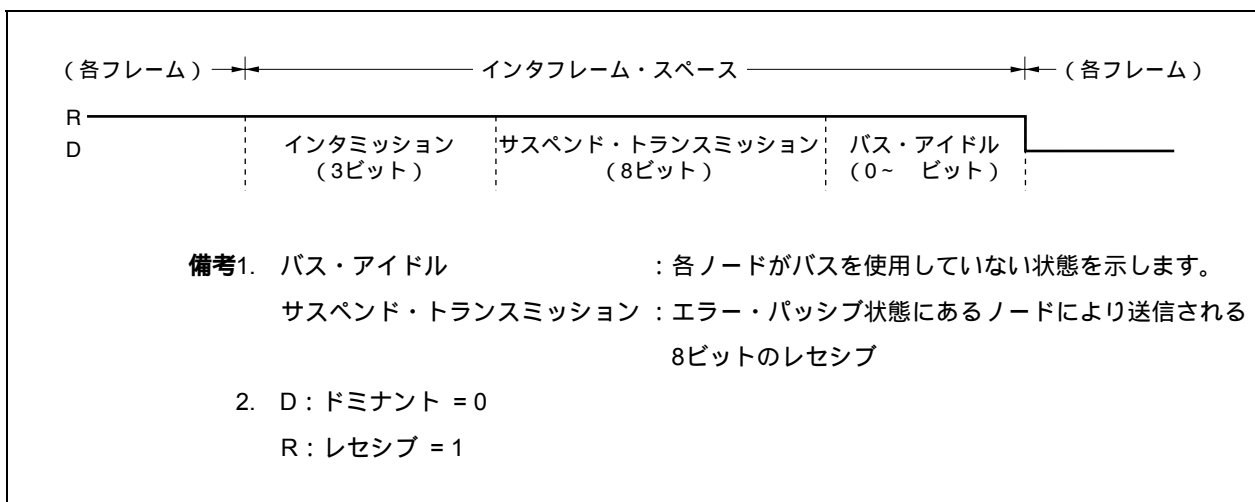
図21 - 13 インタフレーム・スペース（エラー・アクティブ状態のノードの場合）



(b) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成されます。

図21 - 14 インタフレーム・スペース（エラー・パッシブ状態のノードの場合）



通常，インタミッションは3ビットです。しかし，送信ノードがインタミッションの3ビット目でドミナント・レベルを検出した場合，送信を行います。

- ・エラー状態による動作

表21 - 6 エラー状態による動作

エラー状態	動 作
エラー・アクティブ	3ビットのインタミッション後，ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから，さらに8ビット待つて送信可能状態になります。

21.2.4 エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図21-15 エラー・フレーム

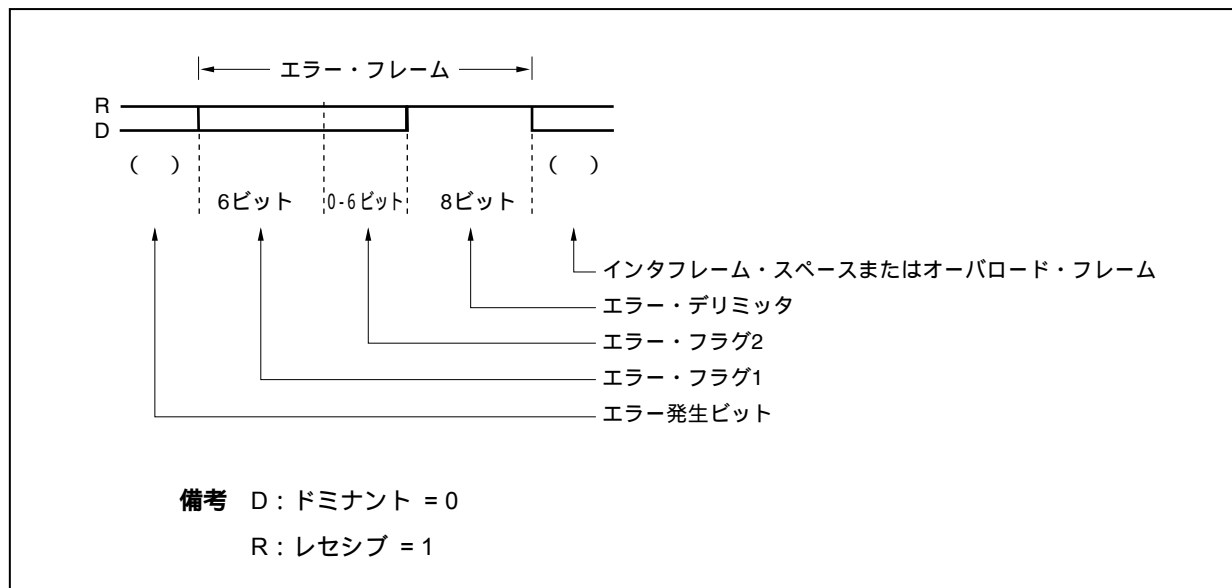


表21-7 エラー・フレームの各フィールドの定義

名称	ビット数	定義
エラー・フラグ1	6	エラー・アクティブ・ノード: 6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード: 6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中、ほかのノードがドミナント・レベルを出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。
エラー・フラグ2	0~6	エラー・フラグ1を受信したノードが、ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバーロード・フレームを送信します。
エラー発生ビット	-	エラーが検出されたビットです。 エラー・フラグは、エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は、ACKデリミッタに続いて出力されます。
インタフレーム・スペース/ オーバーロード・フレーム	-	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

21.2.5 オーバロード・フレーム

オーバロード・フレームは、次の条件が発生した場合に送信されます。

- ・受信ノードが受信動作未了のとき[※]
- ・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
- ・エンド・オブ・フレームの最終ビット（7ビット目）、またはエラー・デリミッタ/オーバロード・デリミッタの最終ビット（8ビット目）にドミナント・レベルを検出したとき

注 このCANコントローラでは、内部処理が十分に早いため、オーバロード・フレームを出力することなく、すべての受信フレームを取り込むことができます。

図21-16 オーバロード・フレーム

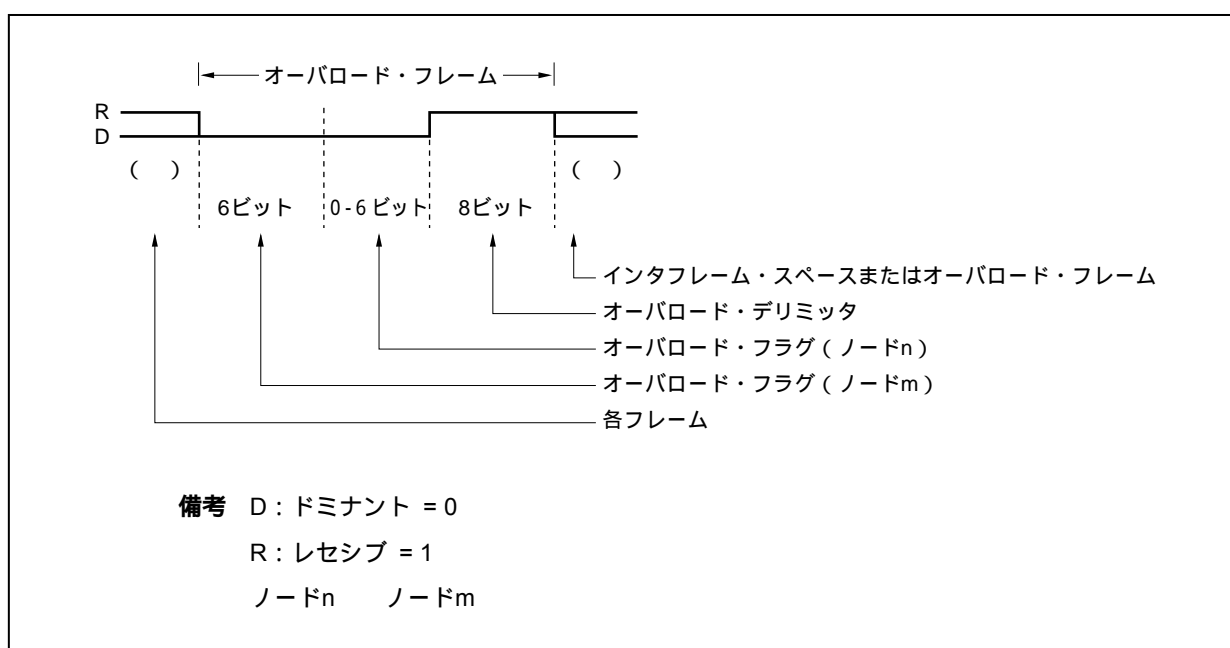


表21-8 オーバロード・フレームの各フィールドの定義

No	名称	ビット数	定義
	オーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。
	他ノードからのオーバロード・フラグ	0~6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは、オーバロード・フラグを出力します。
	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検索した場合、次のビットからオーバロード・フレームを送信します。
	各フレーム	-	エンド・オブ・フレーム、エラー・デリミッタ、オーバロード・デリミッタに続いて出力します。
	インタフレーム・スペース/ オーバロード・フレーム	-	インタフレーム・スペース、またはオーバロード・フレームが続きます。

21.3 機能

21.3.1 バス・プライオリティの決定

(1) 1個のノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

(2) 複数のノードが送信を開始した場合

- ・アービトレーション・フィールドの第1ビットから、ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（ドミナント・レベルとレセシブ・レベルが同時に送信された場合、バスの値はドミナント・レベルになります）。
- ・送信ノードは、自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較します。

表21-9 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

(3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、アービトレーション・フィールドの最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

備考 拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合（双方のID28-ID18が同じ場合）、標準フォーマット・フレームのリモート・フレームが優先されます。

21.3.2 ビット・スタッフ

ビット・スタッフは、パースト・エラーを防ぐために、同一レベルが5ビット連続した場合、1ビットの反転データを付加して、同期をとる仕組みです。

表21-10 ビット・スタッフ

送信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次のビットの前に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

21.3.3 マルチマスタ

アイデンティファイアによりバス・プライオリティ（送信権利を獲得するノード）を決定するため、どのノードでもバス・マスタになることができます。

21.3.4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

21.3.5 CANスリープ・モード/CANストップ・モード機能

CANスリープ・モード/CANストップ・モード機能により、CANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはバスの動作でウエイク・アップしますが、CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

21.3.6 エラー制御機能

(1) エラーの種類

表21-11 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信/受信ノード	フィールド/フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較	両レベルの不一致	送信/受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム, エラー・フレーム, オーバロード・フレームでバス上にデータを出力しているビット
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	CRCフィールド
フォーム・エラー	固定フォーマットのフィールド/フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブ・レベルを検出	送信ノード	ACKスロット

(2) エラー・フレームの出力タイミング

表21-12 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー, スタッフ・エラー, フォーム・エラー, ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

(3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います。
(ただし、シングル・ショット・モード時には再送は行いません)。

(4) エラー状態

(a) エラー状態の種類

CANスペックで規定されているエラーの状態には次の3種類があります。

- ・エラー・アクティブ
- ・エラー・パッシブ
- ・バス・オフ

これらは、C0ERC.TEC7-TEC0ビット(送信エラー・カウンタ・ビット)およびC0ERC.REC6-REC0ビット(受信エラー・カウンタ・ビット)の値によって表21 - 13のように分類されます。

現在のエラー状態は、C0INFOレジスタに表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル(96)以上になると、C0INFO.TECS0ビットまたはC0INFO.RECS0ビットがセット(1)されます。この場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。各エラー・カウンタ値が128以上になると、エラー・パッシブ状態となり、TECS1ビットまたはRECS1ビットがセット(1)されます。

- ・送信エラー・カウンタ値が256以上(実際には送信エラー・カウンタ値は256以上の値は表示しません)になると、バス・オフ状態となり、C0INFO.BOFFビットがセット(1)されます。
- ・スタート・アップ時、バス上に1個のノードしかアクティブでない場合(= 自局のみバスに接続されている場合)、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返しますが、エラー・パッシブ状態に移行したあとは送信エラー・カウンタはインクリメントされず、バス・オフには移行しません。

表21 - 13 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	COINFOレジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0が00	・エラー検知時にアクティブ・エラー・フラグ (6ビットのドミナント・レベルの連続) を出力
	受信	0-95	RECS1, RECS0が00	
	送信	96-127	TECS1, TECS0が01	
	受信	96-127	RECS1, RECS0が01	
エラー・パッシブ	送信	128-255	TECS1, TECS0が11	・エラー検知時にパッシブ・エラー・フラグ (6ビットのレセシブ・レベルの連続) を出力 ・送信と送信の間に、インタミッションに続いて8ビットのレセシブ・レベルを送信 (サスペンド・トランスミッション)
	受信	128以上	RECS1, RECS0が11	
パス・オフ	送信	256以上 (表示はしない) ^注	BOFFが1, TECS1, TECS0が11	・通信できません。 ただし、フレーム受信時にメッセージは格納されませんが、次の動作が行われます。 TSOUTがトグルします。 RECが+/- します。 VALIDビットがセットされます。 ・初期化モードに遷移し、のちに初期化モード以外のいずれかの動作モードに遷移要求を行ったあと、11ビット連続でレセシブ・レベルが128回発生すると、エラー・カウンタが0にリセットされ、エラー・アクティブ状態に戻ることができます。

注 送信エラー・カウンタ (TEC) の値は、BOFFがセットされた場合には意味を持ちません。

送信エラー・カウンタが248-255の範囲の値のとき、さらに+8のインクリメントを行うようなエラーを検知した際は、カウンタ値はインクリメントされずにパス・オフ状態となります。

(b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップのタイミングは、エラーが検出された直後になります。

表21 - 14 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0ビット)	受信エラー・カウンタ (REC6-REC0ビット)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ, オーバロード・フラグ中のビット・エラーを除く)	変化なし	+1 (REPSビット = 0時)
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナント・レベルを検出	変化なし	+8 (REPSビット = 0時)
送信ノードがエラー・フラグを送信 [例外として, 次の場合はエラー・カウンタは変化しません] エラー・パッシブ状態で, ACKエラーを検出しパッシブ・エラー・フラグを出力中にドミナント・レベルを未検出 アービトラージョン・フィールド中にスタッフ・エラーを検出し, それがスタッフ・ビットとしてレセシブ・レベルを送信したが, ドミナント・レベルを検出	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの送信ノード)	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+8 (REPSビット = 0時)
各ノードがアクティブ・エラー・フラグ, オーバロード・フラグの最初から14個の連続したドミナント・レベルを検出, およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと, 8個連続のドミナント・レベルを検出	+8 (送信時)	+8 (受信時, REPSビット = 0時)
送信ノードがエラーなしで, 送信を完了 (エラー・カウンタ = 0の場合は±0)	-1	変化なし
受信ノードがエラーなしで, 受信を完了	変化なし	<ul style="list-style-type: none"> ・ -1 (1 REC6-REC0 127, REPSビット = 0時) ・ ±0 (REC6-REC0 = 0, REPSビット = 0時) ・ 119~127のいずれかの値をセットする。 (REPSビット = 1時)

(c) インタミッション中のビット・エラーの発生

オーバロード・フレームが発生します。

注意 エラー発生時のエラー制御は, そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

(5) バス・オフ状態からの復帰動作

CANモジュールが、バス・オフ状態になった場合、CANバスから切り離された送信端子 (CTXD0) は、常にレセシブ・レベルの出力となります。

バス・オフ状態からの復帰は、次に示すバス・オフ復帰 (リカバリ) シーケンスにより行います。

CAN初期化モードへの移行要求

CAN動作モードへの移行要求

(a) 通常リカバリ・シーケンスによる復帰動作

(b) リカバリ・シーケンスをスキップする強制復帰動作

(a) 通常リカバリ・シーケンスによるバス・オフからの復帰動作

まず、初期化モードへの移行要求を行います (図21 - 17中のタイミング 参照)。この移行要求はただちに受け付けられ、C0CTRL.OPMODE2-OPMODE0ビットは000Bとなります。アプリケーション・ソフトウェアにより、バス・オフの原因となった故障の解析、CANモジュールおよびメッセージ・バッファの再定義、あるいはC0GMCTRL.GOMビットをクリア (0) することで、CANモジュール自体の動作停止といった処置を実行できます。

次に、初期化モードから任意の動作モードへの移行要求を行います (図21 - 17中のタイミング 参照)。この任意の動作モードへの移行要求を行うことで、バス・オフからのリカバリ動作が開始されます。バス・オフからのリカバリ条件は、CANプロトコルISO11898に規定されており、11ビットの連続したレセシブ・ビットを128回以上検出することが必要です。このとき、任意の動作モードへの移行要求は、バス・オフのリカバリ条件が満足するまでは保留され、バス・オフのリカバリ条件が満足した時点 (図21 - 17中のタイミング 参照) でCANモジュールは要求された動作モードに移行します。この間、CANモジュールは初期化モードを維持し、任意の動作モードの移行の完了は、OPMODE2-OPMODE0ビットをリードすることにより確認できます。なお、任意の動作モードへの移行が完了するまでは、OPMODE2-OPMODE0ビット = 000Bがリードされます。

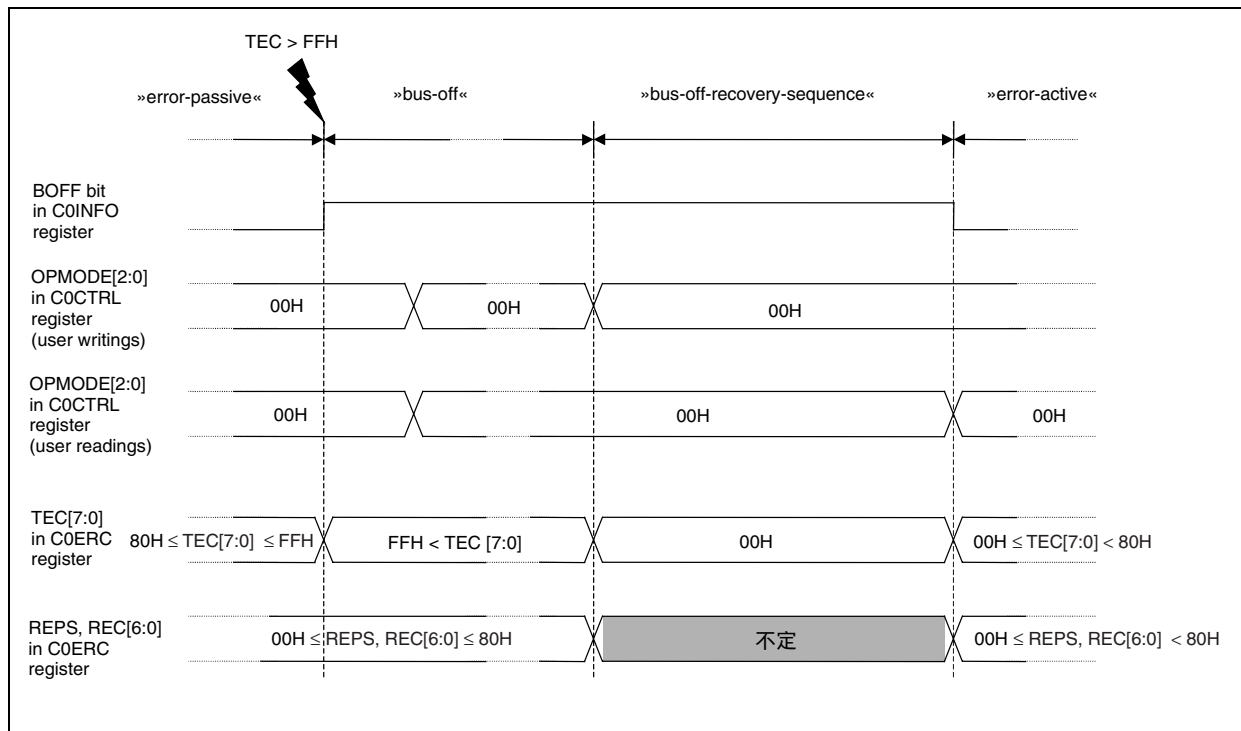
バス・オフ期間中およびバス・オフ・リカバリ・シーケンス中は、C0INFO.BOFFビットはセット (1) を継続します。バス・オフ・リカバリ・シーケンスは、受信エラー・カウンタ (C0ERC.REC0-REC6ビット) により、バス上で検出される11ビットの連続したレセシブ・ビットの回数をカウントしていますので、REC0-REC6ビットをリードすることにより復帰状況を確認できます。

注意1. バス・オフ・リカバリ・シーケンス中にもう一度バス・オフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバス・オフ・リカバリ・シーケンスが開始され、もう一度バス上に11ビットの連続したレセシブ・ビットを128回カウントすることになります。

2. バス・オフ・リカバリ・シーケンス中は、REC0-REC6ビットは11ビットの連続したレセシブ・ビットを検出するたびにカウント・アップ (+1) します。

バス・オフ期間中でも、CANモジュールはCANスリープ・モードやCANストップ・モードに移行できます。バス・オフを解除するためには、初期化モードにいったん移行することが必要ですが、CANモジュールがCANスリープ・モードやCANストップ・モードである場合は、直接初期化モードへの移行ができません。この場合は、初期化モードに移行しなくても、CANスリープ・モードが解除されると同時にバス・オフ・リカバリ・シーケンスが開始されます。また、ソフトウェアによるC0CTRL.PSMODE1, PSMODE0ビットのクリアのほか、CANバス上のドミナント・エッジ検出によるウエイク・アップによってもバス・オフ・リカバリ・シーケンスは開始されます (CANクロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによるC0CTRL.PSMODE0ビットのクリアが必要となります)。

図21 - 17 通常リカバリ・シーケンスによるバス・オフからの復帰動作



(b) バス・オフ・リカバリ・シーケンスをスキップする強制復帰動作

バス・オフ・リカバリ・シーケンスをスキップすることで、バスの状態によらずCANモジュールを強制的にバス・オフから復帰させることができます。手順を次に示します。

まず、初期化モードへの移行要求を行います。このときの動作および注意事項は、21.3.6(5)(a) **通常リカバリ・シーケンスによるバス・オフからの復帰動作**を参照してください。

次に、任意の動作モードへの移行要求を行い、同時にCOCTRL.CCERCビットをセット(1)します。

これにより、CANプロトコルISO11898で規定されているバス・オフのリカバリ・シーケンスがスキップされ、ただちに動作モードへの移行が行われます。この場合、CANバスへの再接続はCANモジュールが連続した11ビットのレセシブ・ビットのモニタ後に行われます。詳細は、図21 - 54の処理を参照してください。

注意 この機能は、CANプロトコルISO11898に規定されておきませんので、使用する際にはネットワーク・システムへの影響を十分に確認してください。

(6) 初期化モード中のCANモジュール・エラー・カウンタ・レジスタ (C0ERC) の初期化

プログラム・デバッガや評価のために、C0ERC, C0INFOレジスタの初期化が必要となる場合には、初期化モード中にC0CTRL.CCERCビットをセット (1) することで、C0ERC, C0INFOレジスタは初期値に初期化されます。初期化が完了すると、CCERCビットは自動的にクリア (0) されます。

- 注意**
1. この機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット (1) したとしても、C0ERC, C0INFOレジスタは初期化されません。
 2. CCERCビットのセットは、任意のCAN動作モードへの移行要求と同時にすることも可能です。

21.3.7 ボー・レート制御機能

(1) プリスケーラ

CANコントローラは、CANへの供給クロック (f_{CAN}) を分周するプリスケーラを持っています。また、プリスケーラは、CANモジュール・システム・クロック (f_{CANMOD}) を1-256分周したCANプロトコル・レイヤ基本クロック (f_{rQ}) を発生します (21.6 (12) CAN0モジュール・ビット・レート・プリスケーラ・レジスタ (C0BRP) 参照)。

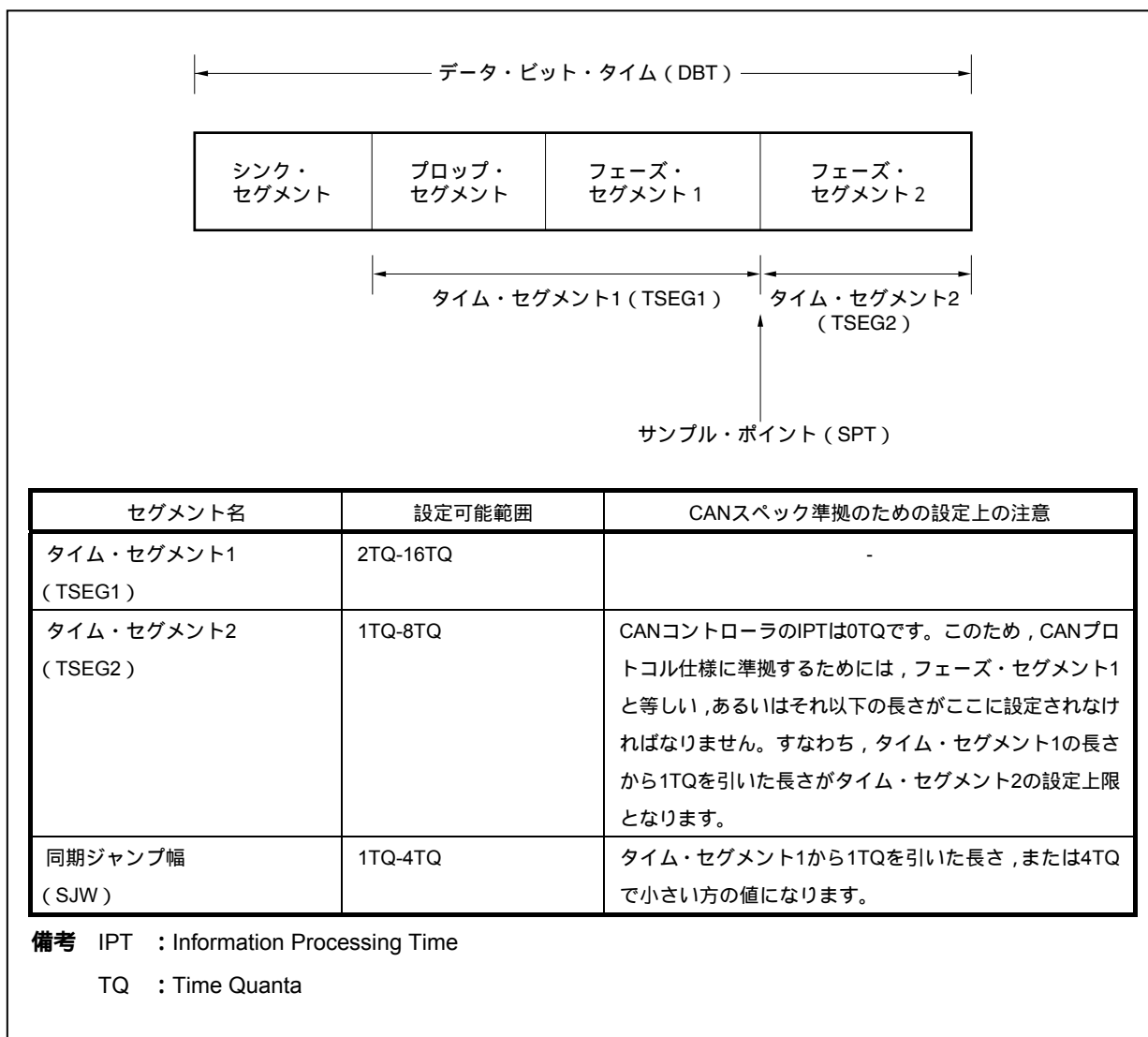
(2) データ・ビット・タイム (8-25 Time Quanta)

1データ・ビット・タイムは図21 - 18のように定義されています。

$$1 \text{ Time Quanta} = 1/f_{rQ}$$

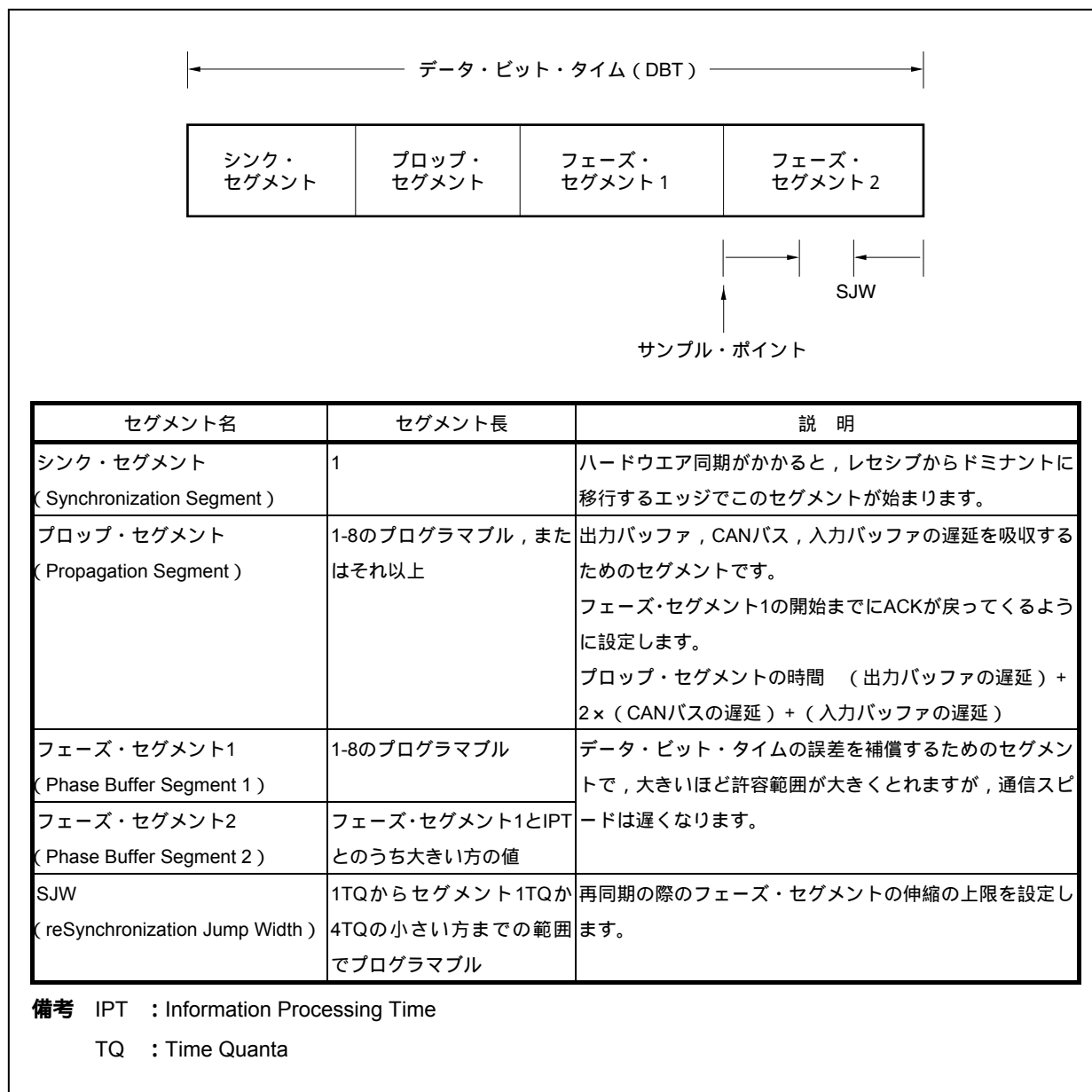
CANコントローラでは、図21 - 18で示すように、タイム・セグメント1, タイム・セグメント2, 同期ジャンプ幅 (SJW) といったビット・タイミングのパラメータに置き換えて設定します。タイム・セグメント1は、CANプロトコル仕様で規定されているプロップ・セグメントとフェーズ・セグメント1の合計に該当します。タイム・セグメント2は、フェーズ・セグメント2に該当します。

図21 - 18 セグメントの設定



備考 CANプロトコル仕様では、データ・ビット・タイムを構成する各セグメントは、図21 - 19のように規定されています。

図21 - 19 CANスペック上でのデータ・ビット・タイムの構成



(3) データ・ビットの同期

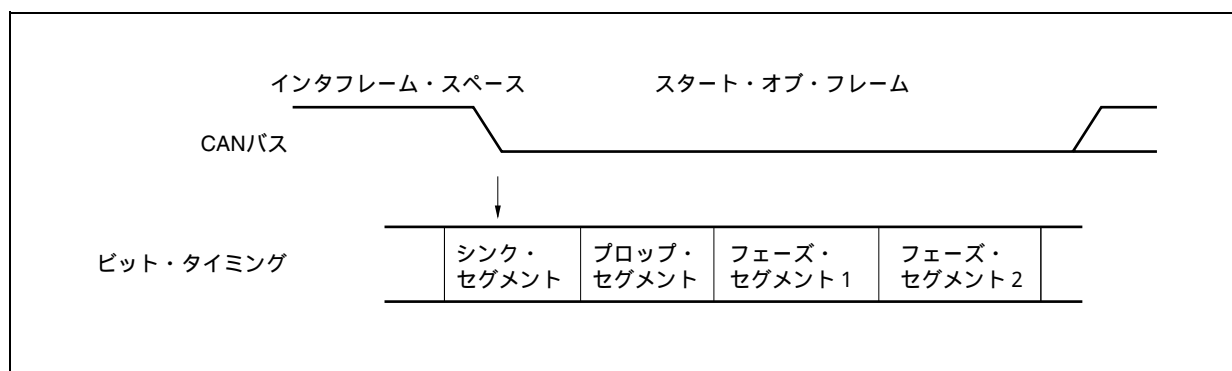
- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウェア同期

受信ノードが、インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がりエッジを検出すると、そのTQがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWには無関係に同期をとります。

図21 - 20 バス・アイドル中のドミナント・レベル検出によるハードウェア同期

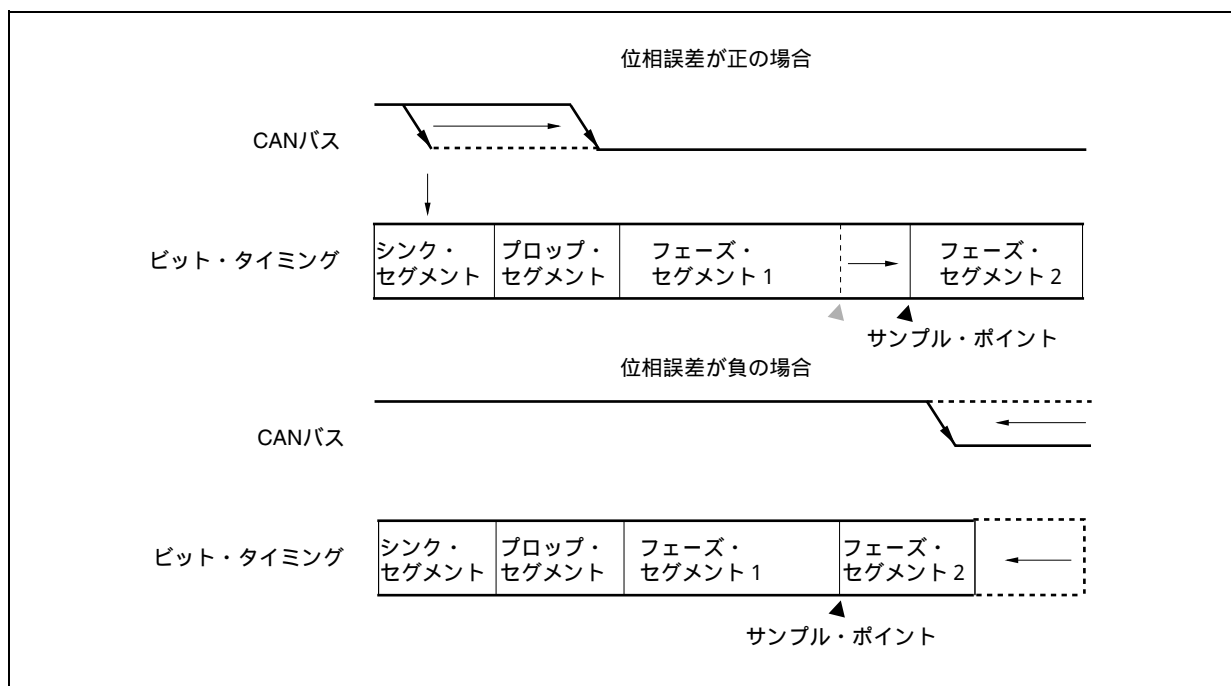


(b) 再同期

受信中に、バス上のレベル変化を検出した場合（前回のサンプリングがレセシブ・レベル時のみ）、再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。
 - < 位相誤差の符号 >
 - 0：エッジがシンク・セグメント内にある場合
 - 正：エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）
 - 負：エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）
 - 位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。
 - 位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。
- ・送信ノードと受信ノードのポー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

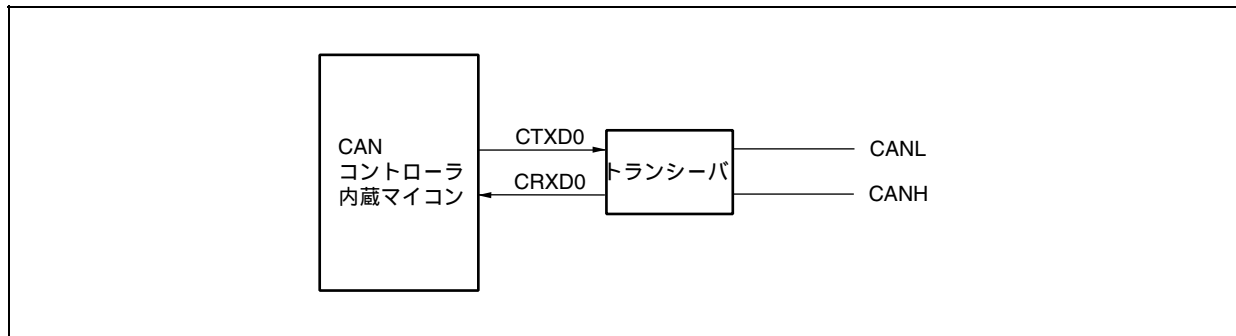
図21 - 21 再同期



21.4 ターゲット・システムとの接続

CANコントローラ内蔵マイコンは、外部トランシーバを使用してCANバスに接続しなければなりません。

図21 - 22 CANバスへの接続



21.5 CANコントローラの内部レジスタ

21.5.1 CANコントローラの構成

表21 - 15 CANコントローラのレジスタ一覧

項 目	レジスタ名
CANグローバル・レジスタ	CAN0グローバル制御レジスタ (C0GMCTRL)
	CAN0グローバル・クロック選択レジスタ (C0GMCS)
	CAN0グローバル自動ブロック送信制御レジスタ (C0GMABT)
	CAN0グローバル自動ブロック送信遅延設定レジスタ (C0GMABTD)
CANモジュール・レジスタ	CAN0モジュール・マスク1レジスタ (C0MASK1L, C0MASK1H)
	CAN0モジュール・マスク2レジスタ (C0MASK2L, C0MASK2H)
	CAN0モジュール・マスク3レジスタ (C0MASK3L, C0MASK3H)
	CAN0モジュール・マスク4レジスタ (C0MASK4L, C0MASK4H)
	CAN0モジュール制御レジスタ (C0CTRL)
	CAN0モジュール最終エラー情報レジスタ (C0LEC)
	CAN0モジュール情報レジスタ (C0INFO)
	CAN0モジュール・エラー・カウンタ・レジスタ (C0ERC)
	CAN0モジュール割り込み許可レジスタ (C0IE)
	CAN0モジュール割り込みステータス・レジスタ (C0INTS)
	CAN0モジュール・ビット・レート・プリスケラ・レジスタ (C0BRP)
	CAN0モジュール・ビット・レート・レジスタ (C0BTR)
	CAN0モジュール最終受信ポインタ・レジスタ (C0LIPT)
	CAN0モジュール受信履歴・リスト・レジスタ (C0RGPT)
	CAN0モジュール最終送信ポインタ・レジスタ (C0LOPT)
	CAN0モジュール送信履歴・リスト・レジスタ (C0TGPT)
	CAN0モジュール・タイム・スタンプ・レジスタ (C0TS)
	メッセージ・バッファ・レジスタ
CAN0メッセージ・データ・バイト0レジスタm (C0MDATA0m)	
CAN0メッセージ・データ・バイト1レジスタm (C0MDATA1m)	
CAN0メッセージ・データ・バイト23レジスタm (C0MDATA23m)	
CAN0メッセージ・データ・バイト2レジスタm (C0MDATA2m)	
CAN0メッセージ・データ・バイト3レジスタm (C0MDATA3m)	
CAN0メッセージ・データ・バイト45レジスタm (C0MDATA45m)	
CAN0メッセージ・データ・バイト4レジスタm (C0MDATA4m)	
CAN0メッセージ・データ・バイト5レジスタm (C0MDATA5m)	
CAN0メッセージ・データ・バイト67レジスタm (C0MDATA67m)	
CAN0メッセージ・データ・バイト6レジスタm (C0MDATA6m)	
CAN0メッセージ・データ・バイト7レジスタm (C0MDATA7m)	
CAN0メッセージ・データ長レジスタm (C0MDLCm)	
CAN0メッセージ・コンフィギュレーション・レジスタm (C0MCONFm)	
CAN0メッセージIDレジスタm (C0MIDLm, C0MIDHm)	
CAN0メッセージ制御レジスタm (C0MCTRLm)	

備考1. CANグローバル・レジスタは、C0GM<レジスタ機能>によって定義されます。

CANモジュール・レジスタは、C0<レジスタ機能>によって定義されます。

メッセージ・バッファ・レジスタは、COM<レジスタ機能>によって定義されます。

2. m = 00-31

表 21 - 16 レジスタ・アクセス・タイプ (1/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC000H	CAN0グローバル制御レジスタ	C0GMCTRL	R/W				0000H
03FEC002H	CAN0グローバル・クロック選択レジスタ	C0GMCS					0FH
03FEC006H	CAN0グローバル自動ブロック送信制御レジスタ	C0GMABT					0000H
03FEC008H	CAN0グローバル自動ブロック送信遅延設定レジスタ	C0GMABTD					00H
03FEC040H	CAN0モジュール・マスク1レジスタ	C0MASK1L					不定
03FEC042H		C0MASK1H					不定
03FEC044H	CAN0モジュール・マスク2レジスタ	C0MASK2L					不定
03FEC046H		C0MASK2H					不定
03FEC048H	CAN0モジュール・マスク3レジスタ	C0MASK3L					不定
03FEC04AH		C0MASK3H					不定
03FEC04CH	CAN0モジュール・マスク4レジスタ	C0MASK4L					不定
03FEC04EH		C0MASK4H					不定
03FEC050H	CAN0モジュール制御レジスタ	C0CTRL					0000H
03FEC052H	CAN0モジュール最終エラー情報レジスタ	C0LEC					00H
03FEC053H	CAN0モジュール情報レジスタ	C0INFO	R			00H	
03FEC054H	CAN0モジュール・エラー・カウンタ・レジスタ	C0ERC				0000H	
03FEC056H	CAN0モジュール割り込み許可レジスタ	C0IE	R/W			0000H	
03FEC058H	CAN0モジュール割り込みステータス・レジスタ	C0INTS				0000H	
03FEC05AH	CAN0モジュール・ビット・レート・プリスケラ・レジスタ	C0BRP				FFH	
03FEC05CH	CAN0モジュール・ビット・レート・レジスタ	C0BTR				370FH	
03FEC05EH	CAN0モジュール最終受信ポインタ・レジスタ	C0LIPT	R			不定	
03FEC060H	CAN0モジュール受信履歴・リスト・レジスタ	C0RGPT	R/W			xx02H	
03FEC062H	CAN0モジュール最終送信ポインタ・レジスタ	C0LOPT	R			不定	
03FEC064H	CAN0モジュール送信履歴・リスト・レジスタ	C0TGPT	R/W			xx02H	
03FEC066H	CAN0モジュール・タイム・スタンプ・レジスタ	C0TS				0000H	

表 21 - 16 レジスタ・アクセス・タイプ (2/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC100H	CAN0メッセージ・データ・バイト01レジスタ00	C0MDATA0100	R/W				不定
03FEC100H	CAN0メッセージ・データ・バイト0レジスタ00	C0MDATA000					不定
03FEC101H	CAN0メッセージ・データ・バイト1レジスタ00	C0MDATA100					不定
03FEC102H	CAN0メッセージ・データ・バイト23レジスタ00	C0MDATA2300					不定
03FEC102H	CAN0メッセージ・データ・バイト2レジスタ00	C0MDATA200					不定
03FEC103H	CAN0メッセージ・データ・バイト3レジスタ00	C0MDATA300					不定
03FEC104H	CAN0メッセージ・データ・バイト45レジスタ00	C0MDATA4500					不定
03FEC104H	CAN0メッセージ・データ・バイト4レジスタ00	C0MDATA400					不定
03FEC105H	CAN0メッセージ・データ・バイト5レジスタ00	C0MDATA500					不定
03FEC106H	CAN0メッセージ・データ・バイト67レジスタ00	C0MDATA6700					不定
03FEC106H	CAN0メッセージ・データ・バイト6レジスタ00	C0MDATA600					不定
03FEC107H	CAN0メッセージ・データ・バイト7レジスタ00	C0MDATA700					不定
03FEC108H	CAN0メッセージ・データ長レジスタ00	C0MDLC00					0000xxxxB
03FEC109H	CAN0メッセージ・コンフィギュレーション・レジスタ00	C0MCONF00					不定
03FEC10AH	CAN0メッセージIDレジスタ00	C0MIDL00					不定
03FEC10CH		C0MIDH00					不定
03FEC10EH	CAN0メッセージ制御レジスタ00	C0MCTRL00					00x00000 000xx000B
03FEC120H	CAN0メッセージ・データ・バイト01レジスタ01	C0MDATA0101					不定
03FEC120H	CAN0メッセージ・データ・バイト0レジスタ01	C0MDATA001					不定
03FEC121H	CAN0メッセージ・データ・バイト1レジスタ01	C0MDATA101					不定
03FEC122H	CAN0メッセージ・データ・バイト23レジスタ01	C0MDATA2301					不定
03FEC122H	CAN0メッセージ・データ・バイト2レジスタ01	C0MDATA201					不定
03FEC123H	CAN0メッセージ・データ・バイト3レジスタ01	C0MDATA301					不定
03FEC124H	CAN0メッセージ・データ・バイト45レジスタ01	C0MDATA4501					不定
03FEC124H	CAN0メッセージ・データ・バイト4レジスタ01	C0MDATA401					不定
03FEC125H	CAN0メッセージ・データ・バイト5レジスタ01	C0MDATA501					不定
03FEC126H	CAN0メッセージ・データ・バイト67レジスタ01	C0MDATA6701					不定
03FEC126H	CAN0メッセージ・データ・バイト6レジスタ01	C0MDATA601					不定
03FEC127H	CAN0メッセージ・データ・バイト7レジスタ01	C0MDATA701				不定	
03FEC128H	CAN0メッセージ・データ長レジスタ01	C0MDLC01				0000xxxxB	
03FEC129H	CAN0メッセージ・コンフィギュレーション・レジスタ01	C0MCONF01				不定	
03FEC12AH	CAN0メッセージIDレジスタ01	C0MIDL01				不定	
03FEC12CH		C0MIDH01				不定	
03FEC12EH	CAN0メッセージ制御レジスタ01	C0MCTRL01				00x00000 000xx000B	

表 21 - 16 レジスタ・アクセス・タイプ (3/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC140H	CAN0メッセージ・データ・バイト01レジスタ02	C0MDATA0102	R/W				不定
03FEC140H	CAN0メッセージ・データ・バイト0レジスタ02	C0MDATA002					不定
03FEC141H	CAN0メッセージ・データ・バイト1レジスタ02	C0MDATA102					不定
03FEC142H	CAN0メッセージ・データ・バイト23レジスタ02	C0MDATA2302					不定
03FEC142H	CAN0メッセージ・データ・バイト2レジスタ02	C0MDATA202					不定
03FEC143H	CAN0メッセージ・データ・バイト3レジスタ02	C0MDATA302					不定
03FEC144H	CAN0メッセージ・データ・バイト45レジスタ02	C0MDATA4502					不定
03FEC144H	CAN0メッセージ・データ・バイト4レジスタ02	C0MDATA402					不定
03FEC145H	CAN0メッセージ・データ・バイト5レジスタ02	C0MDATA502					不定
03FEC146H	CAN0メッセージ・データ・バイト67レジスタ02	C0MDATA6702					不定
03FEC146H	CAN0メッセージ・データ・バイト6レジスタ02	C0MDATA602					不定
03FEC147H	CAN0メッセージ・データ・バイト7レジスタ02	C0MDATA702					不定
03FEC148H	CAN0メッセージ・データ長レジスタ02	C0MDLC02					0000xxxxB
03FEC149H	CAN0メッセージ・コンフィギュレーション・レジスタ02	C0MCONF02					不定
03FEC14AH	CAN0メッセージIDレジスタ02	C0MIDL02					不定
03FEC14CH		C0MIDH02					不定
03FEC14EH	CAN0メッセージ制御レジスタ02	C0MCTRL02					00x00000 000xx000B
03FEC160H	CAN0メッセージ・データ・バイト01レジスタ03	C0MDATA0103					不定
03FEC160H	CAN0メッセージ・データ・バイト0レジスタ03	C0MDATA003					不定
03FEC161H	CAN0メッセージ・データ・バイト1レジスタ03	C0MDATA103					不定
03FEC162H	CAN0メッセージ・データ・バイト23レジスタ03	C0MDATA2303					不定
03FEC162H	CAN0メッセージ・データ・バイト2レジスタ03	C0MDATA203					不定
03FEC163H	CAN0メッセージ・データ・バイト3レジスタ03	C0MDATA303					不定
03FEC164H	CAN0メッセージ・データ・バイト45レジスタ03	C0MDATA4503					不定
03FEC164H	CAN0メッセージ・データ・バイト4レジスタ03	C0MDATA403					不定
03FEC165H	CAN0メッセージ・データ・バイト5レジスタ03	C0MDATA503					不定
03FEC166H	CAN0メッセージ・データ・バイト67レジスタ03	C0MDATA6703					不定
03FEC166H	CAN0メッセージ・データ・バイト6レジスタ03	C0MDATA603					不定
03FEC167H	CAN0メッセージ・データ・バイト7レジスタ03	C0MDATA703					不定
03FEC168H	CAN0メッセージ・データ長レジスタ03	C0MDLC03					0000xxxxB
03FEC169H	CAN0メッセージ・コンフィギュレーション・レジスタ03	C0MCONF03				不定	
03FEC16AH	CAN0メッセージIDレジスタ03	C0MIDL03				不定	
03FEC16CH		C0MIDH03				不定	
03FEC16EH	CAN0メッセージ制御レジスタ03	C0MCTRL03				00x00000 000xx000B	

表 21 - 16 レジスタ・アクセス・タイプ (4/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC180H	CAN0メッセージ・データ・バイト01レジスタ04	C0MDATA0104	R/W				不定
03FEC180H	CAN0メッセージ・データ・バイト0レジスタ04	C0MDATA004					不定
03FEC181H	CAN0メッセージ・データ・バイト1レジスタ04	C0MDATA104					不定
03FEC182H	CAN0メッセージ・データ・バイト23レジスタ04	C0MDATA2304					不定
03FEC182H	CAN0メッセージ・データ・バイト2レジスタ04	C0MDATA204					不定
03FEC183H	CAN0メッセージ・データ・バイト3レジスタ04	C0MDATA304					不定
03FEC184H	CAN0メッセージ・データ・バイト45レジスタ04	C0MDATA4504					不定
03FEC184H	CAN0メッセージ・データ・バイト4レジスタ04	C0MDATA404					不定
03FEC185H	CAN0メッセージ・データ・バイト5レジスタ04	C0MDATA504					不定
03FEC186H	CAN0メッセージ・データ・バイト67レジスタ04	C0MDATA6704					不定
03FEC186H	CAN0メッセージ・データ・バイト6レジスタ04	C0MDATA604					不定
03FEC187H	CAN0メッセージ・データ・バイト7レジスタ04	C0MDATA704					不定
03FEC188H	CAN0メッセージ・データ長レジスタ04	C0MDLC04					0000xxxxB
03FEC189H	CAN0メッセージ・コンフィギュレーション・レジスタ04	C0MCONF04					不定
03FEC18AH	CAN0メッセージIDレジスタ04	C0MIDL04					不定
03FEC18CH		C0MIDH04					不定
03FEC18EH	CAN0メッセージ制御レジスタ04	C0MCTRL04					00x00000 000xx000B
03FEC1A0H	CAN0メッセージ・データ・バイト01レジスタ05	C0MDATA0105					不定
03FEC1A0H	CAN0メッセージ・データ・バイト0レジスタ05	C0MDATA005					不定
03FEC1A1H	CAN0メッセージ・データ・バイト1レジスタ05	C0MDATA105					不定
03FEC1A2H	CAN0メッセージ・データ・バイト23レジスタ05	C0MDATA2305					不定
03FEC1A2H	CAN0メッセージ・データ・バイト2レジスタ05	C0MDATA205					不定
03FEC1A3H	CAN0メッセージ・データ・バイト3レジスタ05	C0MDATA305					不定
03FEC1A4H	CAN0メッセージ・データ・バイト45レジスタ05	C0MDATA4505					不定
03FEC1A4H	CAN0メッセージ・データ・バイト4レジスタ05	C0MDATA405					不定
03FEC1A5H	CAN0メッセージ・データ・バイト5レジスタ05	C0MDATA505					不定
03FEC1A6H	CAN0メッセージ・データ・バイト67レジスタ05	C0MDATA6705					不定
03FEC1A6H	CAN0メッセージ・データ・バイト6レジスタ05	C0MDATA605					不定
03FEC1A7H	CAN0メッセージ・データ・バイト7レジスタ05	C0MDATA705					不定
03FEC1A8H	CAN0メッセージ・データ長レジスタ05	C0MDLC05					0000xxxxB
03FEC1A9H	CAN0メッセージ・コンフィギュレーション・レジスタ05	C0MCONF05				不定	
03FEC1AAH	CAN0メッセージIDレジスタ05	C0MIDL05				不定	
03FEC1ACH		C0MIDH05				不定	
03FEC1AEH	CAN0メッセージ制御レジスタ05	C0MCTRL05				00x00000 000xx000B	

表 21 - 16 レジスタ・アクセス・タイプ (5/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC1C0H	CAN0メッセージ・データ・バイト01レジスタ06	C0MDATA0106	R/W				不定
03FEC1C0H	CAN0メッセージ・データ・バイト0レジスタ06	C0MDATA006					不定
03FEC1C1H	CAN0メッセージ・データ・バイト1レジスタ06	C0MDATA106					不定
03FEC1C2H	CAN0メッセージ・データ・バイト23レジスタ06	C0MDATA2306					不定
03FEC1C2H	CAN0メッセージ・データ・バイト2レジスタ06	C0MDATA206					不定
03FEC1C3H	CAN0メッセージ・データ・バイト3レジスタ06	C0MDATA306					不定
03FEC1C4H	CAN0メッセージ・データ・バイト45レジスタ06	C0MDATA4506					不定
03FEC1C4H	CAN0メッセージ・データ・バイト4レジスタ06	C0MDATA406					不定
03FEC1C5H	CAN0メッセージ・データ・バイト5レジスタ06	C0MDATA506					不定
03FEC1C6H	CAN0メッセージ・データ・バイト67レジスタ06	C0MDATA6706					不定
03FEC1C6H	CAN0メッセージ・データ・バイト6レジスタ06	C0MDATA606					不定
03FEC1C7H	CAN0メッセージ・データ・バイト7レジスタ06	C0MDATA706					不定
03FEC1C8H	CAN0メッセージ・データ長レジスタ06	C0MDLC06					0000xxxxB
03FEC1C9H	CAN0メッセージ・コンフィギュレーション・レジスタ06	C0MCONF06					不定
03FEC1CAH	CAN0メッセージIDレジスタ06	C0MIDL06					不定
03FEC1CCH		C0MIDH06					不定
03FEC1CEH	CAN0メッセージ制御レジスタ06	C0MCTRL06					00x00000 000xx000B
03FEC1E0H	CAN0メッセージ・データ・バイト01レジスタ07	C0MDATA0107					不定
03FEC1E0H	CAN0メッセージ・データ・バイト0レジスタ07	C0MDATA007					不定
03FEC1E1H	CAN0メッセージ・データ・バイト1レジスタ07	C0MDATA107					不定
03FEC1E2H	CAN0メッセージ・データ・バイト23レジスタ07	C0MDATA2307					不定
03FEC1E2H	CAN0メッセージ・データ・バイト2レジスタ07	C0MDATA207					不定
03FEC1E3H	CAN0メッセージ・データ・バイト3レジスタ07	C0MDATA307					不定
03FEC1E4H	CAN0メッセージ・データ・バイト45レジスタ07	C0MDATA4507					不定
03FEC1E4H	CAN0メッセージ・データ・バイト4レジスタ07	C0MDATA407					不定
03FEC1E5H	CAN0メッセージ・データ・バイト5レジスタ07	C0MDATA507					不定
03FEC1E6H	CAN0メッセージ・データ・バイト67レジスタ07	C0MDATA6707				不定	
03FEC1E6H	CAN0メッセージ・データ・バイト6レジスタ07	C0MDATA607				不定	
03FEC1E7H	CAN0メッセージ・データ・バイト7レジスタ07	C0MDATA707				不定	
03FEC1E8H	CAN0メッセージ・データ長レジスタ07	C0MDLC07				0000xxxxB	
03FEC1E9H	CAN0メッセージ・コンフィギュレーション・レジスタ07	C0MCONF07				不定	
03FEC1EAH	CAN0メッセージIDレジスタ07	C0MIDL07				不定	
03FEC1ECH		C0MIDH07				不定	
03FEC1EEH	CAN0メッセージ制御レジスタ07	C0MCTRL07				00x00000 000xx000B	

表 21 - 16 レジスタ・アクセス・タイプ (6/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC200H	CAN0メッセージ・データ・バイト01レジスタ08	C0MDATA0108	R/W				不定
03FEC200H	CAN0メッセージ・データ・バイト0レジスタ08	C0MDATA008					不定
03FEC201H	CAN0メッセージ・データ・バイト1レジスタ08	C0MDATA108					不定
03FEC202H	CAN0メッセージ・データ・バイト23レジスタ08	C0MDATA2308					不定
03FEC202H	CAN0メッセージ・データ・バイト2レジスタ08	C0MDATA208					不定
03FEC203H	CAN0メッセージ・データ・バイト3レジスタ08	C0MDATA308					不定
03FEC204H	CAN0メッセージ・データ・バイト45レジスタ08	C0MDATA4508					不定
03FEC204H	CAN0メッセージ・データ・バイト4レジスタ08	C0MDATA408					不定
03FEC205H	CAN0メッセージ・データ・バイト5レジスタ08	C0MDATA508					不定
03FEC206H	CAN0メッセージ・データ・バイト67レジスタ08	C0MDATA6708					不定
03FEC206H	CAN0メッセージ・データ・バイト6レジスタ08	C0MDATA608					不定
03FEC207H	CAN0メッセージ・データ・バイト7レジスタ08	C0MDATA708					不定
03FEC208H	CAN0メッセージ・データ長レジスタ08	C0MDLC08					0000xxxxB
03FEC209H	CAN0メッセージ・コンフィギュレーション・レジスタ08	C0MCONF08					不定
03FEC20AH	CAN0メッセージIDレジスタ08	C0MIDL08					不定
03FEC20CH		C0MIDH08					不定
03FEC20EH	CAN0メッセージ制御レジスタ08	C0MCTRL08					00x00000 000xx000B
03FEC220H	CAN0メッセージ・データ・バイト01レジスタ09	C0MDATA0109					不定
03FEC220H	CAN0メッセージ・データ・バイト0レジスタ09	C0MDATA009					不定
03FEC221H	CAN0メッセージ・データ・バイト1レジスタ09	C0MDATA109					不定
03FEC222H	CAN0メッセージ・データ・バイト23レジスタ09	C0MDATA2309					不定
03FEC222H	CAN0メッセージ・データ・バイト2レジスタ09	C0MDATA209					不定
03FEC223H	CAN0メッセージ・データ・バイト3レジスタ09	C0MDATA309					不定
03FEC224H	CAN0メッセージ・データ・バイト45レジスタ09	C0MDATA4509					不定
03FEC224H	CAN0メッセージ・データ・バイト4レジスタ09	C0MDATA409					不定
03FEC225H	CAN0メッセージ・データ・バイト5レジスタ09	C0MDATA509					不定
03FEC226H	CAN0メッセージ・データ・バイト67レジスタ09	C0MDATA6709					不定
03FEC226H	CAN0メッセージ・データ・バイト6レジスタ09	C0MDATA609				不定	
03FEC227H	CAN0メッセージ・データ・バイト7レジスタ09	C0MDATA709				不定	
03FEC228H	CAN0メッセージ・データ長レジスタ09	C0MDLC09				0000xxxxB	
03FEC229H	CAN0メッセージ・コンフィギュレーション・レジスタ09	C0MCONF09				不定	
03FEC22AH	CAN0メッセージIDレジスタ09	C0MIDL09				不定	
03FEC22CH		C0MIDH09				不定	
03FEC22EH	CAN0メッセージ制御レジスタ09	C0MCTRL09				00x00000 000xx000B	

表 21 - 16 レジスタ・アクセス・タイプ (7/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC240H	CAN0メッセージ・データ・バイト01レジスタ10	C0MDATA0110	R/W				不定
03FEC240H	CAN0メッセージ・データ・バイト0レジスタ10	C0MDATA010					不定
03FEC241H	CAN0メッセージ・データ・バイト1レジスタ10	C0MDATA110					不定
03FEC242H	CAN0メッセージ・データ・バイト23レジスタ10	C0MDATA2310					不定
03FEC242H	CAN0メッセージ・データ・バイト2レジスタ10	C0MDATA210					不定
03FEC243H	CAN0メッセージ・データ・バイト3レジスタ10	C0MDATA310					不定
03FEC244H	CAN0メッセージ・データ・バイト45レジスタ10	C0MDATA4510					不定
03FEC244H	CAN0メッセージ・データ・バイト4レジスタ10	C0MDATA410					不定
03FEC245H	CAN0メッセージ・データ・バイト5レジスタ10	C0MDATA510					不定
03FEC246H	CAN0メッセージ・データ・バイト67レジスタ10	C0MDATA6710					不定
03FEC246H	CAN0メッセージ・データ・バイト6レジスタ10	C0MDATA610					不定
03FEC247H	CAN0メッセージ・データ・バイト7レジスタ10	C0MDATA710					不定
03FEC248H	CAN0メッセージ・データ長レジスタ10	C0MDLC10					0000xxxxB
03FEC249H	CAN0メッセージ・コンフィギュレーション・レジスタ10	C0MCONF10					不定
03FEC24AH	CAN0メッセージIDレジスタ10	C0MIDL10					不定
03FEC24CH		C0MIDH10					不定
03FEC24EH	CAN0メッセージ制御レジスタ10	C0MCTRL10					00x00000 000xx000B
03FEC260H	CAN0メッセージ・データ・バイト01レジスタ11	C0MDATA0111					不定
03FEC260H	CAN0メッセージ・データ・バイト0レジスタ11	C0MDATA011					不定
03FEC261H	CAN0メッセージ・データ・バイト1レジスタ11	C0MDATA111					不定
03FEC262H	CAN0メッセージ・データ・バイト23レジスタ11	C0MDATA2311					不定
03FEC262H	CAN0メッセージ・データ・バイト2レジスタ11	C0MDATA211					不定
03FEC263H	CAN0メッセージ・データ・バイト3レジスタ11	C0MDATA311					不定
03FEC264H	CAN0メッセージ・データ・バイト45レジスタ11	C0MDATA4511					不定
03FEC264H	CAN0メッセージ・データ・バイト4レジスタ11	C0MDATA411					不定
03FEC265H	CAN0メッセージ・データ・バイト5レジスタ11	C0MDATA511					不定
03FEC266H	CAN0メッセージ・データ・バイト67レジスタ11	C0MDATA6711					不定
03FEC266H	CAN0メッセージ・データ・バイト6レジスタ11	C0MDATA611					不定
03FEC267H	CAN0メッセージ・データ・バイト7レジスタ11	C0MDATA711				不定	
03FEC268H	CAN0メッセージ・データ長レジスタ11	C0MDLC11				0000xxxxB	
03FEC269H	CAN0メッセージ・コンフィギュレーション・レジスタ11	C0MCONF11				不定	
03FEC26AH	CAN0メッセージIDレジスタ11	C0MIDL11				不定	
03FEC26CH		C0MIDH11				不定	
03FEC26EH	CAN0メッセージ制御レジスタ11	C0MCTRL11				00x00000 000xx000B	

表 21 - 16 レジスタ・アクセス・タイプ (8/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC280H	CAN0メッセージ・データ・バイト01レジスタ12	C0MDATA0112	R/W				不定
03FEC280H	CAN0メッセージ・データ・バイト0レジスタ12	C0MDATA012					不定
03FEC281H	CAN0メッセージ・データ・バイト1レジスタ12	C0MDATA112					不定
03FEC282H	CAN0メッセージ・データ・バイト23レジスタ12	C0MDATA2312					不定
03FEC282H	CAN0メッセージ・データ・バイト2レジスタ12	C0MDATA212					不定
03FEC283H	CAN0メッセージ・データ・バイト3レジスタ12	C0MDATA312					不定
03FEC284H	CAN0メッセージ・データ・バイト45レジスタ12	C0MDATA4512					不定
03FEC284H	CAN0メッセージ・データ・バイト4レジスタ12	C0MDATA412					不定
03FEC285H	CAN0メッセージ・データ・バイト5レジスタ12	C0MDATA512					不定
03FEC286H	CAN0メッセージ・データ・バイト67レジスタ12	C0MDATA6712					不定
03FEC286H	CAN0メッセージ・データ・バイト6レジスタ12	C0MDATA612					不定
03FEC287H	CAN0メッセージ・データ・バイト7レジスタ12	C0MDATA712					不定
03FEC288H	CAN0メッセージ・データ長レジスタ12	C0MDLC12					0000xxxxB
03FEC289H	CAN0メッセージ・コンフィギュレーション・レジスタ12	C0MCONF12					不定
03FEC28AH	CAN0メッセージIDレジスタ12	C0MIDL12					不定
03FEC28CH		C0MIDH12					不定
03FEC28EH	CAN0メッセージ制御レジスタ12	C0MCTRL12					00x00000 000xx000B
03FEC2A0H	CAN0メッセージ・データ・バイト01レジスタ13	C0MDATA0113					不定
03FEC2A0H	CAN0メッセージ・データ・バイト0レジスタ13	C0MDATA013					不定
03FEC2A1H	CAN0メッセージ・データ・バイト1レジスタ13	C0MDATA113					不定
03FEC2A2H	CAN0メッセージ・データ・バイト23レジスタ13	C0MDATA2313					不定
03FEC2A2H	CAN0メッセージ・データ・バイト2レジスタ13	C0MDATA213					不定
03FEC2A3H	CAN0メッセージ・データ・バイト3レジスタ13	C0MDATA313					不定
03FEC2A4H	CAN0メッセージ・データ・バイト45レジスタ13	C0MDATA4513					不定
03FEC2A4H	CAN0メッセージ・データ・バイト4レジスタ13	C0MDATA413					不定
03FEC2A5H	CAN0メッセージ・データ・バイト5レジスタ13	C0MDATA513					不定
03FEC2A6H	CAN0メッセージ・データ・バイト67レジスタ13	C0MDATA6713					不定
03FEC2A6H	CAN0メッセージ・データ・バイト6レジスタ13	C0MDATA613					不定
03FEC2A7H	CAN0メッセージ・データ・バイト7レジスタ13	C0MDATA713					不定
03FEC2A8H	CAN0メッセージ・データ長レジスタ13	C0MDLC13					0000xxxxB
03FEC2A9H	CAN0メッセージ・コンフィギュレーション・レジスタ13	C0MCONF13				不定	
03FEC2AAH	CAN0メッセージIDレジスタ13	C0MIDL13				不定	
03FEC2ACH		C0MIDH13				不定	
03FEC2AEH	CAN0メッセージ制御レジスタ13	C0MCTRL13				00x00000 000xx000B	

表 21 - 16 レジスタ・アクセス・タイプ (9/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC2C0H	CAN0メッセージ・データ・バイト01レジスタ14	C0MDATA0114	R/W				不定
03FEC2C0H	CAN0メッセージ・データ・バイト0レジスタ14	C0MDATA014					不定
03FEC2C1H	CAN0メッセージ・データ・バイト1レジスタ14	C0MDATA114					不定
03FEC2C2H	CAN0メッセージ・データ・バイト23レジスタ14	C0MDATA2314					不定
03FEC2C2H	CAN0メッセージ・データ・バイト2レジスタ14	C0MDATA214					不定
03FEC2C3H	CAN0メッセージ・データ・バイト3レジスタ14	C0MDATA314					不定
03FEC2C4H	CAN0メッセージ・データ・バイト45レジスタ14	C0MDATA4514					不定
03FEC2C4H	CAN0メッセージ・データ・バイト4レジスタ14	C0MDATA414					不定
03FEC2C5H	CAN0メッセージ・データ・バイト5レジスタ14	C0MDATA514					不定
03FEC2C6H	CAN0メッセージ・データ・バイト67レジスタ14	C0MDATA6714					不定
03FEC2C6H	CAN0メッセージ・データ・バイト6レジスタ14	C0MDATA614					不定
03FEC2C7H	CAN0メッセージ・データ・バイト7レジスタ14	C0MDATA714					不定
03FEC2C8H	CAN0メッセージ・データ長レジスタ14	C0MDLC14					0000xxxxB
03FEC2C9H	CAN0メッセージ・コンフィギュレーション・レジスタ14	C0MCONF14					不定
03FEC2CAH	CAN0メッセージIDレジスタ14	C0MIDL14					不定
03FEC2CCH		C0MIDH14					不定
03FEC2CEH	CAN0メッセージ制御レジスタ14	C0MCTRL14					00x00000 000xx000B
03FEC2E0H	CAN0メッセージ・データ・バイト01レジスタ15	C0MDATA0115					不定
03FEC2E0H	CAN0メッセージ・データ・バイト0レジスタ15	C0MDATA015					不定
03FEC2E1H	CAN0メッセージ・データ・バイト1レジスタ15	C0MDATA115					不定
03FEC2E2H	CAN0メッセージ・データ・バイト23レジスタ15	C0MDATA2315					不定
03FEC2E2H	CAN0メッセージ・データ・バイト2レジスタ15	C0MDATA215					不定
03FEC2E3H	CAN0メッセージ・データ・バイト3レジスタ15	C0MDATA315					不定
03FEC2E4H	CAN0メッセージ・データ・バイト45レジスタ15	C0MDATA4515					不定
03FEC2E4H	CAN0メッセージ・データ・バイト4レジスタ15	C0MDATA415					不定
03FEC2E5H	CAN0メッセージ・データ・バイト5レジスタ15	C0MDATA515					不定
03FEC2E6H	CAN0メッセージ・データ・バイト67レジスタ15	C0MDATA6715					不定
03FEC2E6H	CAN0メッセージ・データ・バイト6レジスタ15	C0MDATA615				不定	
03FEC2E7H	CAN0メッセージ・データ・バイト7レジスタ15	C0MDATA715				不定	
03FEC2E8H	CAN0メッセージ・データ長レジスタ15	C0MDLC15				0000xxxxB	
03FEC2E9H	CAN0メッセージ・コンフィギュレーション・レジスタ15	C0MCONF15				不定	
03FEC2EAH	CAN0メッセージIDレジスタ15	C0MIDL15				不定	
03FEC2ECH		C0MIDH15				不定	
03FEC2EEH	CAN0メッセージ制御レジスタ15	C0MCTRL15				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (10/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC300H	CAN0メッセージ・データ・バイト01レジスタ16	C0MDATA0116	R/W				不定
03FEC300H	CAN0メッセージ・データ・バイト0レジスタ16	C0MDATA016					不定
03FEC301H	CAN0メッセージ・データ・バイト1レジスタ16	C0MDATA116					不定
03FEC302H	CAN0メッセージ・データ・バイト23レジスタ16	C0MDATA2316					不定
03FEC302H	CAN0メッセージ・データ・バイト2レジスタ16	C0MDATA216					不定
03FEC303H	CAN0メッセージ・データ・バイト3レジスタ16	C0MDATA316					不定
03FEC304H	CAN0メッセージ・データ・バイト45レジスタ16	C0MDATA4516					不定
03FEC304H	CAN0メッセージ・データ・バイト4レジスタ16	C0MDATA416					不定
03FEC305H	CAN0メッセージ・データ・バイト5レジスタ16	C0MDATA516					不定
03FEC306H	CAN0メッセージ・データ・バイト67レジスタ16	C0MDATA6716					不定
03FEC306H	CAN0メッセージ・データ・バイト6レジスタ16	C0MDATA616					不定
03FEC307H	CAN0メッセージ・データ・バイト7レジスタ16	C0MDATA716					不定
03FEC308H	CAN0メッセージ・データ長レジスタ16	C0MDLC16					0000xxxxB
03FEC309H	CAN0メッセージ・コンフィギュレーション・レジスタ16	C0MCONF16					不定
03FEC30AH	CAN0メッセージIDレジスタ16	C0MIDL16					不定
03FEC30CH		C0MIDH16					不定
03FEC30EH	CAN0メッセージ制御レジスタ16	C0MCTRL16					00x00000 000xx000B
03FEC320H	CAN0メッセージ・データ・バイト01レジスタ17	C0MDATA0117					不定
03FEC320H	CAN0メッセージ・データ・バイト0レジスタ17	C0MDATA017					不定
03FEC321H	CAN0メッセージ・データ・バイト1レジスタ17	C0MDATA117					不定
03FEC322H	CAN0メッセージ・データ・バイト23レジスタ17	C0MDATA2317					不定
03FEC322H	CAN0メッセージ・データ・バイト2レジスタ17	C0MDATA217					不定
03FEC323H	CAN0メッセージ・データ・バイト3レジスタ17	C0MDATA317					不定
03FEC324H	CAN0メッセージ・データ・バイト45レジスタ17	C0MDATA4517					不定
03FEC324H	CAN0メッセージ・データ・バイト4レジスタ17	C0MDATA417					不定
03FEC325H	CAN0メッセージ・データ・バイト5レジスタ17	C0MDATA517					不定
03FEC326H	CAN0メッセージ・データ・バイト67レジスタ17	C0MDATA6717					不定
03FEC326H	CAN0メッセージ・データ・バイト6レジスタ17	C0MDATA617					不定
03FEC327H	CAN0メッセージ・データ・バイト7レジスタ17	C0MDATA717					不定
03FEC328H	CAN0メッセージ・データ長レジスタ17	C0MDLC17					0000xxxxB
03FEC329H	CAN0メッセージ・コンフィギュレーション・レジスタ17	C0MCONF17					不定
03FEC32AH	CAN0メッセージIDレジスタ17	C0MIDL17					不定
03FEC32CH		C0MIDH17					不定
03FEC32EH	CAN0メッセージ制御レジスタ17	C0MCTRL17				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (11/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC340H	CAN0メッセージ・データ・バイト01レジスタ18	C0MDATA0118	R/W				不定
03FEC340H	CAN0メッセージ・データ・バイト0レジスタ18	C0MDATA018					不定
03FEC341H	CAN0メッセージ・データ・バイト1レジスタ18	C0MDATA118					不定
03FEC342H	CAN0メッセージ・データ・バイト23レジスタ18	C0MDATA2318					不定
03FEC342H	CAN0メッセージ・データ・バイト2レジスタ18	C0MDATA218					不定
03FEC343H	CAN0メッセージ・データ・バイト3レジスタ18	C0MDATA318					不定
03FEC344H	CAN0メッセージ・データ・バイト45レジスタ18	C0MDATA4518					不定
03FEC344H	CAN0メッセージ・データ・バイト4レジスタ18	C0MDATA418					不定
03FEC345H	CAN0メッセージ・データ・バイト5レジスタ18	C0MDATA518					不定
03FEC346H	CAN0メッセージ・データ・バイト67レジスタ18	C0MDATA6718					不定
03FEC346H	CAN0メッセージ・データ・バイト6レジスタ18	C0MDATA618					不定
03FEC347H	CAN0メッセージ・データ・バイト7レジスタ18	C0MDATA718					不定
03FEC348H	CAN0メッセージ・データ長レジスタ18	C0MDLC18					0000xxxxB
03FEC349H	CAN0メッセージ・コンフィギュレーション・レジスタ18	C0MCONF18					不定
03FEC34AH	CAN0メッセージIDレジスタ18	C0MIDL18					不定
03FEC34CH		C0MIDH18					不定
03FEC34EH	CAN0メッセージ制御レジスタ18	C0MCTRL18					00x00000 000xx000B
03FEC360H	CAN0メッセージ・データ・バイト01レジスタ19	C0MDATA0119					不定
03FEC360H	CAN0メッセージ・データ・バイト0レジスタ19	C0MDATA019					不定
03FEC361H	CAN0メッセージ・データ・バイト1レジスタ19	C0MDATA119					不定
03FEC362H	CAN0メッセージ・データ・バイト23レジスタ19	C0MDATA2319					不定
03FEC362H	CAN0メッセージ・データ・バイト2レジスタ19	C0MDATA219					不定
03FEC363H	CAN0メッセージ・データ・バイト3レジスタ19	C0MDATA319					不定
03FEC364H	CAN0メッセージ・データ・バイト45レジスタ19	C0MDATA4519					不定
03FEC364H	CAN0メッセージ・データ・バイト4レジスタ19	C0MDATA419					不定
03FEC365H	CAN0メッセージ・データ・バイト5レジスタ19	C0MDATA519					不定
03FEC366H	CAN0メッセージ・データ・バイト67レジスタ19	C0MDATA6719					不定
03FEC366H	CAN0メッセージ・データ・バイト6レジスタ19	C0MDATA619				不定	
03FEC367H	CAN0メッセージ・データ・バイト7レジスタ19	C0MDATA719				不定	
03FEC368H	CAN0メッセージ・データ長レジスタ19	C0MDLC19				0000xxxxB	
03FEC369H	CAN0メッセージ・コンフィギュレーション・レジスタ19	C0MCONF19				不定	
03FEC36AH	CAN0メッセージIDレジスタ19	C0MIDL19				不定	
03FEC36CH		C0MIDH19				不定	
03FEC36EH	CAN0メッセージ制御レジスタ19	C0MCTRL19				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (12/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC380H	CAN0メッセージ・データ・バイト01レジスタ20	C0MDATA0120	R/W				不定
03FEC380H	CAN0メッセージ・データ・バイト0レジスタ20	C0MDATA020					不定
03FEC381H	CAN0メッセージ・データ・バイト1レジスタ20	C0MDATA120					不定
03FEC382H	CAN0メッセージ・データ・バイト23レジスタ20	C0MDATA2320					不定
03FEC382H	CAN0メッセージ・データ・バイト2レジスタ20	C0MDATA220					不定
03FEC383H	CAN0メッセージ・データ・バイト3レジスタ20	C0MDATA320					不定
03FEC384H	CAN0メッセージ・データ・バイト45レジスタ20	C0MDATA4520					不定
03FEC384H	CAN0メッセージ・データ・バイト4レジスタ20	C0MDATA420					不定
03FEC385H	CAN0メッセージ・データ・バイト5レジスタ20	C0MDATA520					不定
03FEC386H	CAN0メッセージ・データ・バイト67レジスタ20	C0MDATA6720					不定
03FEC386H	CAN0メッセージ・データ・バイト6レジスタ20	C0MDATA620					不定
03FEC387H	CAN0メッセージ・データ・バイト7レジスタ20	C0MDATA720					不定
03FEC388H	CAN0メッセージ・データ長レジスタ20	C0MDLC20					0000xxxxB
03FEC389H	CAN0メッセージ・コンフィギュレーション・レジスタ20	C0MCONF20					不定
03FEC38AH	CAN0メッセージIDレジスタ20	C0MIDL20					不定
03FEC38CH		C0MIDH20					不定
03FEC38EH	CAN0メッセージ制御レジスタ20	C0MCTRL20					00x00000 000xx000B
03FEC3A0H	CAN0メッセージ・データ・バイト01レジスタ21	C0MDATA0121					不定
03FEC3A0H	CAN0メッセージ・データ・バイト0レジスタ21	C0MDATA021					不定
03FEC3A1H	CAN0メッセージ・データ・バイト1レジスタ21	C0MDATA121					不定
03FEC3A2H	CAN0メッセージ・データ・バイト23レジスタ21	C0MDATA2321					不定
03FEC3A2H	CAN0メッセージ・データ・バイト2レジスタ21	C0MDATA221					不定
03FEC3A3H	CAN0メッセージ・データ・バイト3レジスタ21	C0MDATA321					不定
03FEC3A4H	CAN0メッセージ・データ・バイト45レジスタ21	C0MDATA4521					不定
03FEC3A4H	CAN0メッセージ・データ・バイト4レジスタ21	C0MDATA421					不定
03FEC3A5H	CAN0メッセージ・データ・バイト5レジスタ21	C0MDATA521					不定
03FEC3A6H	CAN0メッセージ・データ・バイト67レジスタ21	C0MDATA6721					不定
03FEC3A6H	CAN0メッセージ・データ・バイト6レジスタ21	C0MDATA621					不定
03FEC3A7H	CAN0メッセージ・データ・バイト7レジスタ21	C0MDATA721					不定
03FEC3A8H	CAN0メッセージ・データ長レジスタ21	C0MDLC21					0000xxxxB
03FEC3A9H	CAN0メッセージ・コンフィギュレーション・レジスタ21	C0MCONF21				不定	
03FEC3AAH	CAN0メッセージIDレジスタ21	C0MIDL21				不定	
03FEC3ACH		C0MIDH21				不定	
03FEC3AEH	CAN0メッセージ制御レジスタ21	C0MCTRL21				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (13/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC3C0H	CAN0メッセージ・データ・バイト01レジスタ22	C0MDATA0122	R/W				不定
03FEC3C0H	CAN0メッセージ・データ・バイト0レジスタ22	C0MDATA022					不定
03FEC3C1H	CAN0メッセージ・データ・バイト1レジスタ22	C0MDATA122					不定
03FEC3C2H	CAN0メッセージ・データ・バイト23レジスタ22	C0MDATA2322					不定
03FEC3C2H	CAN0メッセージ・データ・バイト2レジスタ22	C0MDATA222					不定
03FEC3C3H	CAN0メッセージ・データ・バイト3レジスタ22	C0MDATA322					不定
03FEC3C4H	CAN0メッセージ・データ・バイト45レジスタ22	C0MDATA4522					不定
03FEC3C4H	CAN0メッセージ・データ・バイト4レジスタ22	C0MDATA422					不定
03FEC3C5H	CAN0メッセージ・データ・バイト5レジスタ22	C0MDATA522					不定
03FEC3C6H	CAN0メッセージ・データ・バイト67レジスタ22	C0MDATA6722					不定
03FEC3C6H	CAN0メッセージ・データ・バイト6レジスタ22	C0MDATA622					不定
03FEC3C7H	CAN0メッセージ・データ・バイト7レジスタ22	C0MDATA722					不定
03FEC3C8H	CAN0メッセージ・データ長レジスタ22	C0MDLC22					0000xxxxB
03FEC3C9H	CAN0メッセージ・コンフィギュレーション・レジスタ22	C0MCONF22					不定
03FEC3CAH	CAN0メッセージIDレジスタ22	C0MIDL22					不定
03FEC3CCH		C0MIDH22					不定
03FEC3CEH	CAN0メッセージ制御レジスタ22	C0MCTRL22					00x00000 000xx000B
03FEC3E0H	CAN0メッセージ・データ・バイト01レジスタ23	C0MDATA0123					不定
03FEC3E0H	CAN0メッセージ・データ・バイト0レジスタ23	C0MDATA023					不定
03FEC3E1H	CAN0メッセージ・データ・バイト1レジスタ23	C0MDATA123					不定
03FEC3E2H	CAN0メッセージ・データ・バイト23レジスタ23	C0MDATA2323					不定
03FEC3E2H	CAN0メッセージ・データ・バイト2レジスタ23	C0MDATA223					不定
03FEC3E3H	CAN0メッセージ・データ・バイト3レジスタ23	C0MDATA323					不定
03FEC3E4H	CAN0メッセージ・データ・バイト45レジスタ23	C0MDATA4523					不定
03FEC3E4H	CAN0メッセージ・データ・バイト4レジスタ23	C0MDATA423					不定
03FEC3E5H	CAN0メッセージ・データ・バイト5レジスタ23	C0MDATA523					不定
03FEC3E6H	CAN0メッセージ・データ・バイト67レジスタ23	C0MDATA6723					不定
03FEC3E6H	CAN0メッセージ・データ・バイト6レジスタ23	C0MDATA623					不定
03FEC3E7H	CAN0メッセージ・データ・バイト7レジスタ23	C0MDATA723					不定
03FEC3E8H	CAN0メッセージ・データ長レジスタ23	C0MDLC23					0000xxxxB
03FEC3E9H	CAN0メッセージ・コンフィギュレーション・レジスタ23	C0MCONF23				不定	
03FEC3EAH	CAN0メッセージIDレジスタ23	C0MIDL23				不定	
03FEC3ECH		C0MIDH23				不定	
03FEC3EEH	CAN0メッセージ制御レジスタ23	C0MCTRL23				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (14/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC400H	CAN0メッセージ・データ・バイト01レジスタ24	C0MDATA0124	R/W				不定
03FEC400H	CAN0メッセージ・データ・バイト0レジスタ24	C0MDATA024					不定
03FEC401H	CAN0メッセージ・データ・バイト1レジスタ24	C0MDATA124					不定
03FEC402H	CAN0メッセージ・データ・バイト23レジスタ24	C0MDATA2324					不定
03FEC402H	CAN0メッセージ・データ・バイト2レジスタ24	C0MDATA224					不定
03FEC403H	CAN0メッセージ・データ・バイト3レジスタ24	C0MDATA324					不定
03FEC404H	CAN0メッセージ・データ・バイト45レジスタ24	C0MDATA4524					不定
03FEC404H	CAN0メッセージ・データ・バイト4レジスタ24	C0MDATA424					不定
03FEC405H	CAN0メッセージ・データ・バイト5レジスタ24	C0MDATA524					不定
03FEC406H	CAN0メッセージ・データ・バイト67レジスタ24	C0MDATA6724					不定
03FEC406H	CAN0メッセージ・データ・バイト6レジスタ24	C0MDATA624					不定
03FEC407H	CAN0メッセージ・データ・バイト7レジスタ24	C0MDATA724					不定
03FEC408H	CAN0メッセージ・データ長レジスタ24	C0MDLC24					0000xxxxB
03FEC409H	CAN0メッセージ・コンフィギュレーション・レジスタ24	C0MCONF24					不定
03FEC40AH	CAN0メッセージIDレジスタ24	C0MIDL24					不定
03FEC40CH		C0MIDH24					不定
03FEC40EH	CAN0メッセージ制御レジスタ24	C0MCTRL24					00x00000 000xx000B
03FEC420H	CAN0メッセージ・データ・バイト01レジスタ25	C0MDATA0125					不定
03FEC420H	CAN0メッセージ・データ・バイト0レジスタ25	C0MDATA025					不定
03FEC421H	CAN0メッセージ・データ・バイト1レジスタ25	C0MDATA125					不定
03FEC422H	CAN0メッセージ・データ・バイト23レジスタ25	C0MDATA2325					不定
03FEC422H	CAN0メッセージ・データ・バイト2レジスタ25	C0MDATA225					不定
03FEC423H	CAN0メッセージ・データ・バイト3レジスタ25	C0MDATA325					不定
03FEC424H	CAN0メッセージ・データ・バイト45レジスタ25	C0MDATA4525					不定
03FEC424H	CAN0メッセージ・データ・バイト4レジスタ25	C0MDATA425					不定
03FEC425H	CAN0メッセージ・データ・バイト5レジスタ25	C0MDATA525					不定
03FEC426H	CAN0メッセージ・データ・バイト67レジスタ25	C0MDATA6725					不定
03FEC426H	CAN0メッセージ・データ・バイト6レジスタ25	C0MDATA625					不定
03FEC427H	CAN0メッセージ・データ・バイト7レジスタ25	C0MDATA725					不定
03FEC428H	CAN0メッセージ・データ長レジスタ25	C0MDLC25					0000xxxxB
03FEC429H	CAN0メッセージ・コンフィギュレーション・レジスタ25	C0MCONF25				不定	
03FEC42AH	CAN0メッセージIDレジスタ25	C0MIDL25				不定	
03FEC42CH		C0MIDH25				不定	
03FEC42EH	CAN0メッセージ制御レジスタ25	C0MCTRL25				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (15/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC440H	CAN0メッセージ・データ・バイト01レジスタ26	C0MDATA0126	R/W				不定
03FEC440H	CAN0メッセージ・データ・バイト0レジスタ26	C0MDATA026					不定
03FEC441H	CAN0メッセージ・データ・バイト1レジスタ26	C0MDATA126					不定
03FEC442H	CAN0メッセージ・データ・バイト23レジスタ26	C0MDATA2326					不定
03FEC442H	CAN0メッセージ・データ・バイト2レジスタ26	C0MDATA226					不定
03FEC443H	CAN0メッセージ・データ・バイト3レジスタ26	C0MDATA326					不定
03FEC444H	CAN0メッセージ・データ・バイト45レジスタ26	C0MDATA4526					不定
03FEC444H	CAN0メッセージ・データ・バイト4レジスタ26	C0MDATA426					不定
03FEC445H	CAN0メッセージ・データ・バイト5レジスタ26	C0MDATA526					不定
03FEC446H	CAN0メッセージ・データ・バイト67レジスタ26	C0MDATA6726					不定
03FEC446H	CAN0メッセージ・データ・バイト6レジスタ26	C0MDATA626					不定
03FEC447H	CAN0メッセージ・データ・バイト7レジスタ26	C0MDATA726					不定
03FEC448H	CAN0メッセージ・データ長レジスタ26	C0MDLC26					0000xxxxB
03FEC449H	CAN0メッセージ・コンフィギュレーション・レジスタ26	C0MCONF26					不定
03FEC44AH	CAN0メッセージIDレジスタ26	C0MIDL26					不定
03FEC44CH		C0MIDH26					不定
03FEC44EH	CAN0メッセージ制御レジスタ26	C0MCTRL26					00x00000 000xx000B
03FEC460H	CAN0メッセージ・データ・バイト01レジスタ27	C0MDATA0127					不定
03FEC460H	CAN0メッセージ・データ・バイト0レジスタ27	C0MDATA027					不定
03FEC461H	CAN0メッセージ・データ・バイト1レジスタ27	C0MDATA127					不定
03FEC462H	CAN0メッセージ・データ・バイト23レジスタ27	C0MDATA2327					不定
03FEC462H	CAN0メッセージ・データ・バイト2レジスタ27	C0MDATA227					不定
03FEC463H	CAN0メッセージ・データ・バイト3レジスタ27	C0MDATA327					不定
03FEC464H	CAN0メッセージ・データ・バイト45レジスタ27	C0MDATA4527					不定
03FEC464H	CAN0メッセージ・データ・バイト4レジスタ27	C0MDATA427					不定
03FEC465H	CAN0メッセージ・データ・バイト5レジスタ27	C0MDATA527					不定
03FEC466H	CAN0メッセージ・データ・バイト67レジスタ27	C0MDATA6727					不定
03FEC466H	CAN0メッセージ・データ・バイト6レジスタ27	C0MDATA627					不定
03FEC467H	CAN0メッセージ・データ・バイト7レジスタ27	C0MDATA727					不定
03FEC468H	CAN0メッセージ・データ長レジスタ27	C0MDLC27					0000xxxxB
03FEC469H	CAN0メッセージ・コンフィギュレーション・レジスタ27	C0MCONF27					不定
03FEC46AH	CAN0メッセージIDレジスタ27	C0MIDL27					不定
03FEC46CH		C0MIDH27					不定
03FEC46EH	CAN0メッセージ制御レジスタ27	C0MCTRL27					00x00000 000xx000B

表21 - 16 レジスタ・アクセス・タイプ (16/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC480H	CAN0メッセージ・データ・バイト01レジスタ28	C0MDATA0128	R/W				不定
03FEC480H	CAN0メッセージ・データ・バイト0レジスタ28	C0MDATA028					不定
03FEC481H	CAN0メッセージ・データ・バイト1レジスタ28	C0MDATA128					不定
03FEC482H	CAN0メッセージ・データ・バイト23レジスタ28	C0MDATA2328					不定
03FEC482H	CAN0メッセージ・データ・バイト2レジスタ28	C0MDATA228					不定
03FEC483H	CAN0メッセージ・データ・バイト3レジスタ28	C0MDATA328					不定
03FEC484H	CAN0メッセージ・データ・バイト45レジスタ28	C0MDATA4528					不定
03FEC484H	CAN0メッセージ・データ・バイト4レジスタ28	C0MDATA428					不定
03FEC485H	CAN0メッセージ・データ・バイト5レジスタ28	C0MDATA528					不定
03FEC486H	CAN0メッセージ・データ・バイト67レジスタ28	C0MDATA6728					不定
03FEC486H	CAN0メッセージ・データ・バイト6レジスタ28	C0MDATA628					不定
03FEC487H	CAN0メッセージ・データ・バイト7レジスタ28	C0MDATA728					不定
03FEC488H	CAN0メッセージ・データ長レジスタ28	C0MDLC28					0000xxxxB
03FEC489H	CAN0メッセージ・コンフィギュレーション・レジスタ28	C0MCONF28					不定
03FEC48AH	CAN0メッセージIDレジスタ28	C0MIDL28					不定
03FEC48CH		C0MIDH28					不定
03FEC48EH	CAN0メッセージ制御レジスタ28	C0MCTRL28					00x00000 000xx000B
03FEC4A0H	CAN0メッセージ・データ・バイト01レジスタ29	C0MDATA0129					不定
03FEC4A0H	CAN0メッセージ・データ・バイト0レジスタ29	C0MDATA029					不定
03FEC4A1H	CAN0メッセージ・データ・バイト1レジスタ29	C0MDATA129					不定
03FEC4A2H	CAN0メッセージ・データ・バイト23レジスタ29	C0MDATA2329					不定
03FEC4A2H	CAN0メッセージ・データ・バイト2レジスタ29	C0MDATA229					不定
03FEC4A3H	CAN0メッセージ・データ・バイト3レジスタ29	C0MDATA329					不定
03FEC4A4H	CAN0メッセージ・データ・バイト45レジスタ29	C0MDATA4529					不定
03FEC4A4H	CAN0メッセージ・データ・バイト4レジスタ29	C0MDATA429					不定
03FEC4A5H	CAN0メッセージ・データ・バイト5レジスタ29	C0MDATA529					不定
03FEC4A6H	CAN0メッセージ・データ・バイト67レジスタ29	C0MDATA6729					不定
03FEC4A6H	CAN0メッセージ・データ・バイト6レジスタ29	C0MDATA629					不定
03FEC4A7H	CAN0メッセージ・データ・バイト7レジスタ29	C0MDATA729					不定
03FEC4A8H	CAN0メッセージ・データ長レジスタ29	C0MDLC29					0000xxxxB
03FEC4A9H	CAN0メッセージ・コンフィギュレーション・レジスタ29	C0MCONF29					不定
03FEC4AAH	CAN0メッセージIDレジスタ29	C0MIDL29					不定
03FEC4ACH		C0MIDH29					不定
03FEC4AEH	CAN0メッセージ制御レジスタ29	C0MCTRL29					00x00000 000xx000B

表21 - 16 レジスタ・アクセス・タイプ (17/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC4C0H	CAN0メッセージ・データ・バイト01レジスタ30	C0MDATA0130	R/W				不定
03FEC4C0H	CAN0メッセージ・データ・バイト0レジスタ30	C0MDATA030					不定
03FEC4C1H	CAN0メッセージ・データ・バイト1レジスタ30	C0MDATA130					不定
03FEC4C2H	CAN0メッセージ・データ・バイト23レジスタ30	C0MDATA2330					不定
03FEC4C2H	CAN0メッセージ・データ・バイト2レジスタ30	C0MDATA230					不定
03FEC4C3H	CAN0メッセージ・データ・バイト3レジスタ30	C0MDATA330					不定
03FEC4C4H	CAN0メッセージ・データ・バイト45レジスタ30	C0MDATA4530					不定
03FEC4C4H	CAN0メッセージ・データ・バイト4レジスタ30	C0MDATA430					不定
03FEC4C5H	CAN0メッセージ・データ・バイト5レジスタ30	C0MDATA530					不定
03FEC4C6H	CAN0メッセージ・データ・バイト67レジスタ30	C0MDATA6730					不定
03FEC4C6H	CAN0メッセージ・データ・バイト6レジスタ30	C0MDATA630					不定
03FEC4C7H	CAN0メッセージ・データ・バイト7レジスタ30	C0MDATA730					不定
03FEC4C8H	CAN0メッセージ・データ長レジスタ30	C0MDLC30					0000xxxxB
03FEC4C9H	CAN0メッセージ・コンフィギュレーション・レジスタ30	C0MCONF30					不定
03FEC4CAH	CAN0メッセージIDレジスタ30	C0MIDL30					不定
03FEC4CCH		C0MIDH30					不定
03FEC4CEH	CAN0メッセージ制御レジスタ30	C0MCTRL30					00x00000 000xx000B
03FEC4E0H	CAN0メッセージ・データ・バイト01レジスタ31	C0MDATA0131					不定
03FEC4E0H	CAN0メッセージ・データ・バイト0レジスタ31	C0MDATA031					不定
03FEC4E1H	CAN0メッセージ・データ・バイト1レジスタ31	C0MDATA131					不定
03FEC4E2H	CAN0メッセージ・データ・バイト23レジスタ31	C0MDATA2331					不定
03FEC4E2H	CAN0メッセージ・データ・バイト2レジスタ31	C0MDATA231					不定
03FEC4E3H	CAN0メッセージ・データ・バイト3レジスタ31	C0MDATA331					不定
03FEC4E4H	CAN0メッセージ・データ・バイト45レジスタ31	C0MDATA4531					不定
03FEC4E4H	CAN0メッセージ・データ・バイト4レジスタ31	C0MDATA431					不定
03FEC4E5H	CAN0メッセージ・データ・バイト5レジスタ31	C0MDATA531					不定
03FEC4E6H	CAN0メッセージ・データ・バイト67レジスタ31	C0MDATA6731					不定
03FEC4E6H	CAN0メッセージ・データ・バイト6レジスタ31	C0MDATA631				不定	
03FEC4E7H	CAN0メッセージ・データ・バイト7レジスタ31	C0MDATA731				不定	
03FEC4E8H	CAN0メッセージ・データ長レジスタ31	C0MDLC31				0000xxxxB	
03FEC4E9H	CAN0メッセージ・コンフィギュレーション・レジスタ31	C0MCONF31				不定	
03FEC4EAH	CAN0メッセージIDレジスタ31	C0MIDL31				不定	
03FEC4ECH		C0MIDH31				不定	
03FEC4EEH	CAN0メッセージ制御レジスタ31	C0MCTRL31				00x00000 000xx000B	

21.5.3 レジスタのビット構成

表21 - 17 CANグローバル・レジスタのビット構成

アドレス	略 号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FEC000H	COGMCTRL (W)	0	0	0	0	0	0	0	Clear GOM
03FEC001H		0	0	0	0	0	0	Set EFSD	Set GOM
03FEC000H	COGMCTRL (R)	0	0	0	0	0	0	EFSD	GOM
03FEC001H		MBON	0	0	0	0	0	0	0
03FEC002H	COGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0
03FEC006H	COGMABT (W)	0	0	0	0	0	0	0	Clear ABTTRG
03FEC007H		0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
03FEC006H	COGMABT (R)	0	0	0	0	0	0	ABTCLR	ABTTRG
03FEC007H		0	0	0	0	0	0	0	0
03FEC008H	COGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

表21 - 18 CANモジュール・レジスタのビット構成

(1/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FEC040H	COMASK1L	CMID7-CMID0							
03FEC041H		CMID15-CMID8							
03FEC042H	COMASK1H	CMID23-CMID16							
03FEC043H		0	0	0	CMID28-CMID24				
03FEC044H	COMASK2L	CMID7-CMID0							
03FEC045H		CMID15-CMID8							
03FEC046H	COMASK2H	CMID23-CMID16							
03FEC047H		0	0	0	CMID28-CMID24				
03FEC048H	COMASK3L	CMID7-CMID0							
03FEC049H		CMID15-CMID8							
03FEC04AH	COMASK3H	CMID23-CMID16							
03FEC04BH		0	0	0	CMID28-CMID24				
03FEC04CH	COMASK4L	CMID7-CMID0							
03FEC04DH		CMID15-CMID8							
03FEC04EH	COMASK4H	CMID23-CMID16							
03FEC04FH		0	0	0	CMID28-CMID24				
03FEC050H	COCTRL (W)	0	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
03FEC051H		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
03FEC050H	COCTRL (R)	CCERC	AL	VALID	PS MODE1	PS MODE0	OP MODE2	OP MODE1	OP MODE0
03FEC051H		0	0	0	0	0	0	RSTAT	TSTAT
03FEC052H	COLEC (W)	0	0	0	0	0	0	0	0
03FEC052H	COLEC (R)	0	0	0	0	0	LEC2	LEC1	LEC0
03FEC053H	COINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
03FEC054H	COERC	TEC7-TEC0							
03FEC055H		REPS	REC6-REC0						
03FEC056H	COIE (W)	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
03FEC057H		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
03FEC056H	COIE (R)	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
03FEC057H		0	0	0	0	0	0	0	0
03FEC058H	COINTS (W)	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
03FEC059H		0	0	0	0	0	0	0	0
03FEC058H	COINTS (R)	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
03FEC059H		0	0	0	0	0	0	0	0

表21 - 18 CANモジュール・レジスタのビット構成

(2/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FEC05AH	C0BRP	TQPRS7-TQPRS0							
03FEC05CH	C0BTR	0	0	0	0	TSEG13-TSEG10			
03FEC05DH		0	0	SJW1, SJW0		0	TSEG22-TSEG20		
03FEC05EH	C0LIPT	LIPT7-LIPT0							
03FEC060H	C0RGPT (W)	0	0	0	0	0	0	0	Clear ROVF
03FEC061H		0	0	0	0	0	0	0	0
03FEC060H	C0RGPT (R)	0	0	0	0	0	0	RHPM	ROVF
03FEC061H		RGPT7-RGPT0							
03FEC062H	C0LOPT	LOPT7-LOPT0							
03FEC064H	C0TGPT (W)	0	0	0	0	0	0	0	Clear TOVF
03FEC065H		0	0	0	0	0	0	0	0
03FEC064H	C0TGPT (R)	0	0	0	0	0	0	THPM	TOVF
03FEC065H		TGPT7-TGPT0							
03FEC066H	C0TS (W)	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
03FEC067H		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
03FEC066H	C0TS (R)	0	0	0	0	0	TSLOCK	TSSEL	TSEN
03FEC067H		0	0	0	0	0	0	0	0
03FEC068H- 03FEC0FFH	-	アクセス禁止 (reserved for future use)							

表21 - 19 メッセージ・バッファ・レジスタのビット構成

アドレス	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
03FECxx0H	C0MDATA01m	メッセージ・データ (バイト0)							
03FECxx1H		メッセージ・データ (バイト1)							
03FECxx0H	C0MDATA0m	メッセージ・データ (バイト0)							
03FECxx1H		メッセージ・データ (バイト1)							
03FECxx2H	C0MDATA23m	メッセージ・データ (バイト2)							
03FECxx3H		メッセージ・データ (バイト3)							
03FECxx2H	C0MDATA2m	メッセージ・データ (バイト2)							
03FECxx3H		メッセージ・データ (バイト3)							
03FECxx4H	C0MDATA45m	メッセージ・データ (バイト4)							
03FECxx5H		メッセージ・データ (バイト5)							
03FECxx4H	C0MDATA4m	メッセージ・データ (バイト4)							
03FECxx5H		メッセージ・データ (バイト5)							
03FECxx6H	C0MDATA67m	メッセージ・データ (バイト6)							
03FECxx7H		メッセージ・データ (バイト7)							
03FECxx6H	C0MDATA6m	メッセージ・データ (バイト6)							
03FECxx7H		メッセージ・データ (バイト7)							
03FECxx8H	C0MDLCm	0				MDLC3	MDLC2	MDLC1	MDLC0
03FECxx9H	C0MCONFm	OWS	RTR	MT2	MT1	MT0	0	0	MA0
03FECxxAH	C0MIDLm	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
03FECxxBH		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
03FECxxCH	C0MIDHm	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
03FECxxDH		IDE	0	0	ID28	ID27	ID26	ID25	ID24
03FECxxEH	C0MCTRLm (W)	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
03FECxxFH		0	0	0	0	Set IE	0	Set TRQ	Set RDY
03FECxxEH	C0MCTRLm (R)	0	0	0	MOW	IE	DN	TRQ	RDY
03FECxxFH		0	0	MUC	0	0	0	0	0
03FECxx0- 03FECxxFH	-	アクセス禁止 (reserved for future)							

備考 m = 00-31

xx = 10, 12, 14, 16, 18, 1A, 1C, 1E, 20, 22, 24, 26, 28, 2A, 2C, 2E, 30, 32, 34, 36, 38, 3A, 3C, 3E, 40, 42, 44,
46, 48, 4A, 4C, 4E

21.6 レジスタ

注意 次に示す状態において、CANコントローラのレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

備考 m = 00-31

(1) CAN0グローバル制御レジスタ (COGMCTRL)

COGMCTRLレジスタは、CANモジュールの動作を制御します。

(1/2)

リセット時：0000H R/W アドレス：03FEC000H

(a) リード時

	15	14	13	12	11	10	9	8
COGMCTRL	MBON	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EFSD	GOM

(b) ライト時

	15	14	13	12	11	10	9	8
COGMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear GOM

(a) リード時

MBON	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのアクセス有効ビット
0	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは無効
1	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは有効

- 注意1.** MBONビットがクリア (0) されている間は、ソフトウェアによるメッセージ・バッファ (C0MDATA0m, C0MDATA1m, C0MDATA01m, C0MDATA2m, C0MDATA3m, C0MDATA23m, C0MDATA4m, C0MDATA5m, C0MDATA45m, C0MDATA6m, C0MDATA7m, C0MDATA67m, C0MDLcm, C0MCONFm, C0MIDLm, C0MIDHm, C0MCTRLm) および送信履歴、受信履歴に関連したレジスタ (C0LOPT, C0TGPT, C0LIPT, C0RGPT) へのアクセスは無効です。
- 2.** このビットはリード・オンリーです。MBONビット = 0の状態でも1をライトしてもMBONビットは変化せず、メッセージ・バッファ・レジスタおよび送信履歴、受信履歴に関連したレジスタへのアクセスは無効のままです。

備考 CANスリープ・モード / CANストップ・モードに移行した場合、またはGOMビットをクリアした場合にMBONビットがクリア (0) されます。また、CANスリープ・モード / CANストップ・モードを解除した場合、またはGOMビットをセット (1) した場合にMBONビットがセット (1) されます。

EFSD	強制シャット・ダウン有効ビット
0	GOMビット = 0による強制シャット・ダウンは無効
1	GOMビット = 0による強制シャット・ダウンは有効

注意 強制シャット・ダウンの要求を行う場合は、EFSDビットをセット(1)した直後に、GOMビットをクリア(0)してください。EFSDビットをセット(1)した直後にGOMビットをクリア(0)しないで、そのほかのレジスタ・アクセス(C0GMCTRLレジスタのリード含む)の実行をすると、EFSDビットは自動的にクリア(0)され、強制シャット・ダウンの要求は無効になります。

GOM	グローバル操作モード・ビット
0	CANモジュールは動作禁止状態
1	CANモジュールは動作許可状態

注意 GOMビットは、初期化モードのとき、またはEFSDビットをセット(1)した直後のみクリア(0)できます。

(b) ライト時

Set EFSD	EFSDビットの設定
0	EFSDビットの変更なし
1	EFSDビットをセット(1)する

Set GOM	Clear GOM	GOMビットの設定
0	1	GOMビットをクリア(0)する
1	0	GOMビットをセット(1)する
上記以外		GOMビットの変更なし

注意 GOMビットの設定とEFSDビットの設定は、必ず別々に行ってください。

(2) CAN0グローバル・クロック選択レジスタ (C0GMCS)

C0GMCSレジスタは、CANモジュール・システム・クロックを選択します。

リセット時：0FH R/W アドレス：03FEC002H

	7	6	5	4	3	2	1	0
C0GMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

CCP3	CCP2	CCP1	CCP1	CANモジュール・システム・クロック (f _{CANMOD})
0	0	0	0	f _{CAN/1}
0	0	0	1	f _{CAN/2}
0	0	1	0	f _{CAN/3}
0	0	1	1	f _{CAN/4}
0	1	0	0	f _{CAN/5}
0	1	0	1	f _{CAN/6}
0	1	1	0	f _{CAN/7}
0	1	1	1	f _{CAN/8}
1	0	0	0	f _{CAN/9}
1	0	0	1	f _{CAN/10}
1	0	1	0	f _{CAN/11}
1	0	1	1	f _{CAN/12}
1	1	0	0	f _{CAN/13}
1	1	0	1	f _{CAN/14}
1	1	1	0	f _{CAN/15}
1	1	1	1	f _{CAN/16} (初期値)

注意 f_{xx} : 32~50MHzで使用してください。

備考 f_{CAN} = f_{xx}/2

f_{CAN} : CANクロック周波数

f_{xx} : メイン・クロック周波数

f_{xMPLL} : 周辺クロック用途PLL出力クロック周波数

(3) CAN0グローバル自動ブロック送信制御レジスタ (COGMABT)

COGMABTレジスタは、自動ブロック送信 (ABT) 動作を制御します。

(1/2)

リセット時 : 0000H R/W アドレス : 03FEC006H

(a) リード時

	15	14	13	12	11	10	9	8
COGMABT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ABTCLR	ABTTRG

(b) ライト時

	15	14	13	12	11	10	9	8
COGMABT	0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ABTTRG

注意 ABT付き通常動作モードから初期化モードに移行する前に、COGMABTレジスタには必ず初期値 (0000H) を設定してください。設定後は、COGMABTレジスタが0000Hに初期化されたことを確実に確認してください。

(a) リード時

ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動ブロック送信エンジンのクリア処理を完了
1	自動ブロック送信エンジンのクリア処理中

備考1. ABTCLRビットは、ABTTRGビットがクリア (0) されている状態でセット (1) してください。ABTTRGビットがセット (1) されている状態でABTCLRビットをセット (1) した場合には、動作を保証しません。

2. ABTCLRビットのセット (1) による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア (0) されます。

ABTTRG	自動ブロック送信ステータス・ビット
0	自動ブロック送信の停止中
1	自動ブロック送信の実行中

注意1. 初期化モード中にABTTRGビットをセット (1) しないでください。

初期化モード中にABTTRGビットをセット (1) した場合、ABT付き通常動作モード移行後の動作を保証しません。

2. COCTRL.TSTATビットがセット (1) されている間はABTTRGビットをセット (1) しないでください。ABTTRGビットをセット (1) する前にTSTATビット = 0であることを直接事前に確認してください。

(b) ライト時

Set ABTCLR	自動ブロック送信エンジンのクリア要求ビット
0	自動ブロック送信エンジンはアイドル状態または動作中
1	自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は、ABTTRGビットのセット(1)による自動ブロック送信はメッセージ・バッファ0から開始されます。

Set ABTTRG	Clear ABTTRG	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求
1	0	自動ブロック送信の開始を要求
上記以外		ABTTRGビットの変更なし

注意 ABTTRGビットをセット(1)しても、他ノードからメッセージを受信していた場合やABTメッセージ以外のメッセージ(メッセージ・バッファ8-メッセージ・バッファ31)を送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、ABTTRGビットをクリア(0)しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了(成功/失敗問わず)するまで送信を続けます。

(4) CAN0グローバル自動ブロック送信遅延設定レジスタ (C0GMABTD)

C0GMABTDレジスタは、ABT付き通常動作モードにおいて、ABTに割り付けられたメッセージ・バッファの送信間隔を設定します。

リセット時：00H R/W アドレス：03FEC008H

	7	6	5	4	3	2	1	0
C0GMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔(単位はデータ・ビット・タイム; DBT)
0	0	0	0	0 DBT (初期値)
0	0	0	1	2 ⁵ DBT
0	0	1	0	2 ⁶ DBT
0	0	1	1	2 ⁷ DBT
0	1	0	0	2 ⁸ DBT
0	1	0	1	2 ⁹ DBT
0	1	1	0	2 ¹⁰ DBT
0	1	1	1	2 ¹¹ DBT
1	0	0	0	2 ¹² DBT
上記以外				設定禁止

- 注意** 1. ABTTRGビットがセット(1)されている場合は、C0GMABTDレジスタの内容は変更しないでください。
2. 実際にCANバス上に送信されるABTメッセージのタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8-メッセージ・バッファ31)に対する送信要求の設定状況によって変化します。
3. ビット4-7には必ず0を設定してください。

(5) CAN0モジュール・マスク制御レジスタ (COMASKaL, COMASKaH) (a = 1, 2, 3, 4)

COMASKaL, COMASKaHレジスタは、メッセージのアイデンティファイア (ID) の一部をマスクすることで、マスクされた部分のID比較を無効にし、同一メッセージ・バッファ内の受信可能なメッセージ数を拡張します。

(1/2)

・CAN0モジュール・マスク1レジスタ (COMASK1L, COMASK1H)

リセット時：不定 R/W アドレス：COMASK1L 03FEC040H, COMASK1H 03FEC042H

	15	14	13	12	11	10	9	8
COMASK1L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
COMASK1H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CAN0モジュール・マスク2レジスタ (COMASK2L, COMASK2H)

リセット時：不定 R/W アドレス：COMASK2L 03FEC044H, COMASK2H 03FEC046H

	15	14	13	12	11	10	9	8
COMASK2L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
COMASK2H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・ CAN0モジュール・マスク3レジスタ (C0MASK3L, C0MASK3H)

リセット時：不定 R/W アドレス：C0MASK3L 03FEC048H, C0MASK3H 03FEC04AH

	15	14	13	12	11	10	9	8
C0MASK3L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK3H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・ CAN0モジュール・マスク4レジスタ (C0MASK4L, C0MASK4H)

リセット時：不定 R/W アドレス：C0MASK4L 03FEC04CH, C0MASK4H 03FEC04EH

	15	14	13	12	11	10	9	8
C0MASK4L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK4H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

CMID28-CMID0	IDビットのマスク・パターンを設定
0	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較します。
1	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較しません (マスクします)。

注意 C0MASKaHレジスタのビット13-15には必ず0を設定してください。

備考 マスクは常に29ビットのID長で定義されます。マスクが標準IDのメッセージに割り当てられた場合、CMID17-CMID0ビットは無視されます。したがって、受信IDはCMID28-CMID18ビットのみマスクされます。なお、標準および拡張IDはともに同一マスクを使用することができません。

(6) CAN0モジュール制御レジスタ (COCTRL)

COCTRLレジスタは、CANモジュールの動作モードを制御します。

(1/4)

リセット時：0000H R/W アドレス：03FEC050H

(a) リード時

	15	14	13	12	11	10	9	8
COCTRL	0	0	0	0	0	0	RSTAT	TSTAT
	7	6	5	4	3	2	1	0
	CCERC	AL	VALID	PSMODE	PSMODE	OPMODE	OPMODE	OPMODE
				1	0	2	1	0

(b) ライト時

	15	14	13	12	11	10	9	8
COCTRL	Set CCERC	Set AL	0	Set PSMODE	Set PSMODE	Set OPMODE	Set OPMODE	Set OPMODE
	7	6	5	4	3	2	1	0
	0	Clear AL	Clear VALID	Clear PSMODE	Clear PSMODE	Clear OPMODE	Clear OPMODE	Clear OPMODE
				1	0	2	1	0

(a) リード時

RSTAT	受信ステータス・ビット
0	受信停止状態
1	受信動作状態

備考 RSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・受信フレームのSOFビット
- ・送信フレーム中のアービトラージ・ロスト発生時

RSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

TSTAT	送信ステータス・ビット
0	送信停止状態
1	送信動作状態

備考 TSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・送信フレームのSOFビット

TSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・バス・オフ移行時
- ・送信フレーム中のアービトレーション・ロスト発生時
- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

CCERC	エラー・カウンタ・クリア・ビット
0	初期化モードにおいて、C0ERCレジスタとC0INFOレジスタのクリア中ではありません。
1	初期化モードにおいて、C0ERCレジスタとC0INFOレジスタがクリア中です。

備考1. CCERCビットは、再初期化やバス・オフ強制復帰の際に、C0ERCレジスタとC0INFOレジスタをクリアするために使用します。初期化モードでのみ、セット（1）が可能です。

2. C0ERCレジスタおよびC0INFOレジスタがクリアされると、CCERCビットも自動的にクリア（0）されます。
3. 初期化モードから任意の動作モードへの遷移要求と同時に、CCERCビットのセット（1）が可能です。
4. セルフ・テスト・モードでINITモード移行直後にCCERCビットをセット（1）した場合、受信データが破壊される可能性があります。

AL	アービトレーション・ロスト時の動作設定ビット
0	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されません。
1	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されます。

備考 ALビットは、シングル・ショット・モードにおいてのみ有効です。

VALID	有効な受信メッセージ・フレーム検出ビット
0	VALIDビットが最後にクリア（0）されてから、有効なメッセージ・フレーム受信がありません。
1	VALIDビットが最後にクリア（0）されてから、有効なメッセージ・フレーム受信があります。

備考 1. 有効な受信メッセージ・フレームの検出には、受信メッセージ・バッファへの格納（データ・フレーム）または送信メッセージ・バッファへの格納（リモート・フレーム）の有無に依存しません。

2. 初期化モードから任意の動作モードに移行する前に、VALIDビットをクリア（0）してください。
3. CANバスにCANノードが2つのみ接続され、一方のCANノードが通常動作モードでメッセージ・フレームを送信し、もう一方のCANノードが受信オンリー・モードである場合は、受信オンリー・モードではACKが発生しないため、VALIDビットは送信ノードがエラー・パッシブになる前にセット（1）されることはありません。
4. VALIDビットをクリアする際は、Clear VALIDビットをセット（1）したあと、VALIDビットがクリアされることを確認してください。クリアされていない場合は、再度クリア処理を行ってください。

PSMODE1	PSMODE0	パワー・セーブ・モード
0	0	パワー・セーブ・モードは選択されていません。
0	1	CANスリープ・モード
1	0	設定禁止
1	1	CANストップ・モード

- 注意1.** CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。
2. パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前にCOGMCTRL.MBONフラグを確認する必要があります。
 3. CANスリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODE1, PSMODE0ビットを読み出すことでソフトウェアはCANスリープ・モードへの遷移状況を確認することができます。

OPMODE2	OPMODE1	OPMODE0	動作モード
0	0	0	動作モードは選択されていません (CANモジュールは初期化モード状態)。
0	0	1	通常動作モード
0	1	0	自動ブロック送信機能付き通常動作モード (ABT付き通常動作モード)
0	1	1	受信オンリー・モード
1	0	0	シングル・ショット・モード
1	0	1	セルフ・テスト・モード
上記以外			設定禁止

注意 初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。

備考 CANスリープ・モードまたはCANストップ・モード中、OPMODE0-OPMODE2ビットはリード・オンリーです。

(b) ライト時

Set CCERC	CCERCビットの設定
1	CCERCビットをセット (1) する
上記以外	CCERCビットの変更なし

Set AL	Clear AL	ALビットの設定
0	1	ALビットをクリア (0) する
1	0	ALビットをセット (1) する
上記以外		ALビットの変更なし

Clear VALID	VALIDビットの設定
0	VALIDビットの変更なし
1	VALIDビットをクリア (0) する

Set PSMODE0	Clear PSMODE0	PSMODE0ビットの設定
0	1	PSMODE0ビットをクリア (0) する
1	0	PSMODE0ビットをセット (1) する
上記以外		PSMODE0ビットの変更なし

Set PSMODE1	Clear PSMODE1	PSMODE1ビットの設定
0	1	PSMODE1ビットをクリア (0) する
1	0	PSMODE1ビットをセット (1) する
上記以外		PSMODE1ビットの変更なし

Set OPMODE0	Clear OPMODE0	OPMODE0ビットの設定
0	1	OPMODE0ビットをクリア (0) する
1	0	OPMODE0ビットをセット (1) する
上記以外		OPMODE0ビットの変更なし

Set OPMODE1	Clear OPMODE1	OPMODE1ビットの設定
0	1	OPMODE1ビットをクリア (0) する
1	0	OPMODE1ビットをセット (1) する
上記以外		OPMODE1ビットの変更なし

Set OPMODE2	Clear OPMODE2	OPMODE2ビットの設定
0	1	OPMODE2ビットをクリア (0) する
1	0	OPMODE2ビットをセット (1) する
上記以外		OPMODE2ビットの変更なし

(7) CAN0モジュール最終エラー情報レジスタ (COLEC)

COLECレジスタは、CANプロトコルのエラー情報を示します。

リセット時：00H R/W アドレス：03FEC052H

	7	6	5	4	3	2	1	0
COLEC	0	0	0	0	0	LEC2	LEC1	LEC0

LEC2	LEC1	LEC0	最終のCANプロトコル・エラー情報
0	0	0	エラーなし
0	0	1	スタッフ・エラー
0	1	0	フォーム・エラー
0	1	1	ACKエラー
1	0	0	ビット・エラー (CANモジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く)、CANバス上の値はドミナント・ビットであった場合)
1	0	1	ビット・エラー (CANモジュールは送信メッセージ、ACKビット、エラー・フレームまたはオーバーロード・フレームの一部として、ドミナント・ビットの送信をしようとしたが、CANバス上の値はレセシブ・ビットであった場合)
1	1	0	CRCエラー
1	1	1	未定義

注意 ビット3-7には必ず0を設定してください。

- 備考1.** COLECレジスタの内容は、任意の動作モードから初期化モードへの移行では、クリアされません。
- 2.** COLECレジスタに対してソフトウェアにより00H以外の値をライトしようとした場合、アクセスは無視されます。

(8) CAN0モジュール情報レジスタ (COINFO)

COINFOレジスタは、CANモジュールのステータスを示します。

リセット時：00H R アドレス：03FEC053H

	7	6	5	4	3	2	1	0
COINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0

BOFF	バス・オフ状態ビット
0	バス・オフ状態ではありません (送信エラー・カウンタ < 255) (送信エラー・カウントが256未満)
1	バス・オフ状態 (送信エラー・カウンタ > 255) (送信エラー・カウントが256以上)

TECS1	TECS0	送信エラー・カウンタ状態ビット
0	0	送信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	送信エラー・カウンタはワーニング・レベル範囲 (96-127)
1	0	未定義
1	1	送信エラー・カウンタはエラー・パッシブまたはバス・オフ範囲 (128)

RECS1	RECS0	受信エラー・カウンタ状態ビット
0	0	受信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	受信エラー・カウンタはワーニング・レベル範囲 (96-127)
1	0	未定義
1	1	受信エラー・カウンタはエラー・パッシブ範囲 (128)

注意 ビット5-7には必ず0を設定してください。

(9) CAN0モジュール・エラー・カウンタ・レジスタ (C0ERC)

C0ERCレジスタは、送受信エラー・カウンタのカウンタ値を示します。

リセット時：0000H R アドレス：03FEC054H

	15	14	13	12	11	10	9	8
C0ERC	REPS	REC6	REC5	REC4	REC3	REC2	REC1	REC0
	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0

REPS	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタは、エラー・パッシブではない (<128)
1	受信エラー・カウンタは、エラー・パッシブ範囲 (128)

REC6-REC0	受信エラー・カウンタ・ビット
0-127	受信エラー・カウンタ数 受信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

備考 受信エラー・パッシブ状態 (C0INFO.RECS1, REC0ビット = 11B) では、受信エラー・カウンタREC6-REC0ビットは無効です。

TEC7-TEC0	送信エラー・カウンタ・ビット
0-255	送信エラー・カウンタ数 送信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

備考 バス・オフ中 (C0INFO.BOFFビット = 1) では、送信エラー・カウンタTEC7-TEC0ビットは無効です。

(10) CAN0モジュール割り込み許可レジスタ (C0IE)

C0IEレジスタは、CANモジュールの割り込み許可/禁止を設定します。

(1/2)

リセット時 : 0000H R/W アドレス : 03FEC056H

(a) リード時

	15	14	13	12	11	10	9	8
C0IE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

(b) ライト時

	15	14	13	12	11	10	9	8
C0IE	0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
	7	6	5	4	3	2	1	0
	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0

(a) リード時

CIE5-CIE0	CANモジュール割り込み許可ビット
0	割り込みステータス・レジスタCINTSxに対応する割り込み出力禁止
1	割り込みステータス・レジスタCINTSxに対応する割り込み出力許可

(b) ライト時

Set CIE5	Clear CIE5	CIE5ビットの設定
0	1	CIE5ビットをクリア(0)する
1	0	CIE5ビットをセット(1)する
上記以外		CIE5ビットの変更なし

Set CIE4	Clear CIE4	CIE4ビットの設定
0	1	CIE4ビットをクリア(0)する
1	0	CIE4ビットをセット(1)する
上記以外		CIE4ビットの変更なし

Set CIE3	Clear CIE3	CIE3ビットの設定
0	1	CIE3ビットをクリア(0)する
1	0	CIE3ビットをセット(1)する
上記以外		CIE3ビットの変更なし

Set CIE2	Clear CIE2	CIE2ビットの設定
0	1	CIE2ビットをクリア(0)する
1	0	CIE2ビットをセット(1)する
上記以外		CIE2ビットの変更なし

Set CIE1	Clear CIE1	CIE1ビットの設定
0	1	CIE1ビットをクリア(0)する
1	0	CIE1ビットをセット(1)する
上記以外		CIE1ビットの変更なし

Set CIE0	Clear CIE0	CIE0ビットの設定
0	1	CIE0ビットをクリア(0)する
1	0	CIE0ビットをセット(1)する
上記以外		CIE0ビットの変更なし

(11) CAN0モジュール割り込みステータス・レジスタ (C0INTS)

C0INTSレジスタは、CANモジュールの割り込みステータスを示します。

リセット時 : 0000H R/W アドレス : 03FEC058H

(a) リード時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

(b) ライト時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0

(a) リード時

CINTS5-CINTS0	CAN割り込みステータス・ビット
0	関連する割り込みソース・イベント未発生
1	関連する割り込みソース・イベント発生

割り込みステータス・ビット	関連する割り込みソース・イベント
CINTS5	CANスリープ・モードからのウエイク・アップ割り込み ^注
CINTS4	アービトラージ・ロスト割り込み
CINTS3	CANプロトコル・エラー割り込み
CINTS2	CANエラー・ステータス割り込み
CINTS1	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
CINTS0	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み

注 CANバス動作によるCANスリープ・モードからのウエイク・アップによってのみ、CINTS5ビットがセット(1)されます。ソフトウェアによるCANスリープ・モードの解除ではCINTS5ビットはセット(1)されません。

(b) ライト時

Clear CINTS5-CINTS0	CINTS5-CINTS0ビットの設定
0	CINTS5-CINTS0ビットの変更なし
1	CINTS5-CINTS0ビットをクリア(0)する

注意 このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア(0)を行ってください。

(12) CAN0モジュール・ビット・レート・プリスケアラ・レジスタ (C0BRP)

C0BRPレジスタは、CANプロトコル・レイヤ基本クロック (f_{rq}) を選択します。また、通信ポー・レートは、C0BTRレジスタに設定されます。

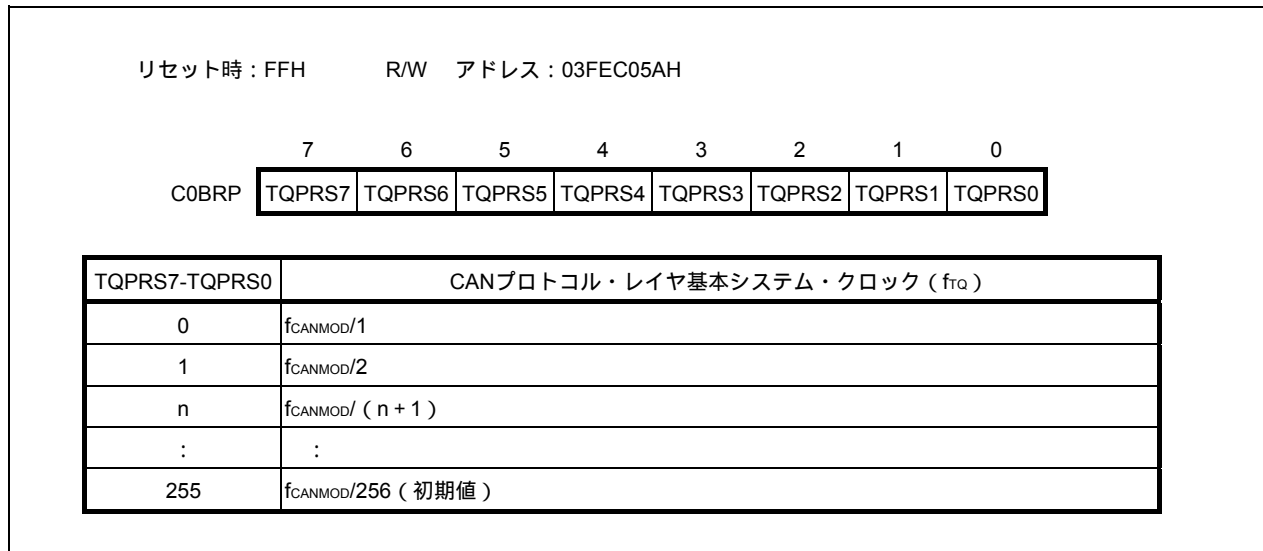
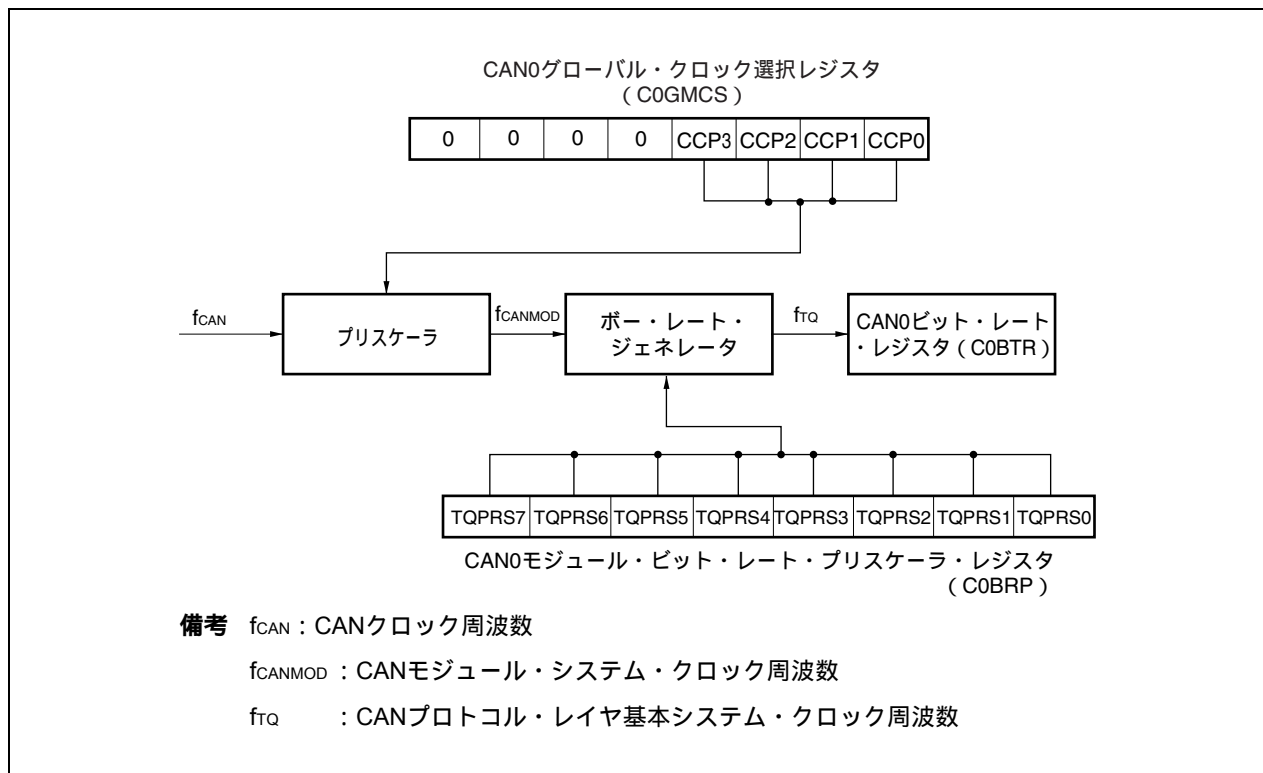


図21 - 23 CANモジュールのクロック

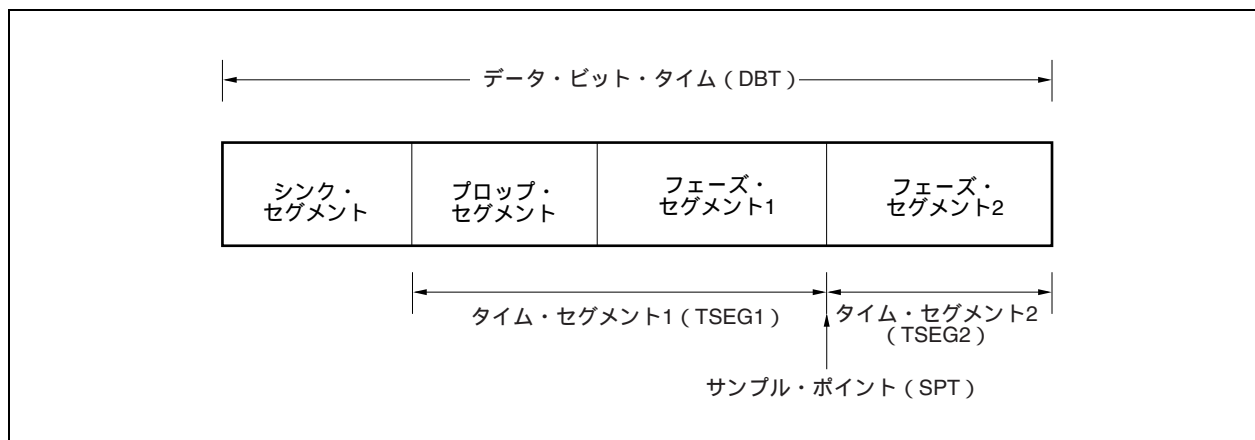


注意 C0BRPレジスタは、初期化モードのときのみライト・アクセス可能です。

(13) CAN0モジュール・ビット・レート・レジスタ (C0BTR)

C0BTRレジスタは、通信ボー・レートのデータ・ビット・タイムを制御します。

図21 - 24 データ・ビット・タイム



リセット時 : 370FH R/W アドレス : 03FEC05CH

	15	14	13	12	11	10	9	8
COBTR	0	0	SJW1	SJW0	0	TSEG22	TSEG21	TSEG20
	7	6	5	4	3	2	1	0
	0	0	0	0	TSEG13	TSEG12	TSEG11	TSEG10

SJW1	SJW0	同期ジャンプ幅の長さ
0	0	1TQ
0	1	2TQ
1	0	3TQ
1	1	4TQ (初期値)

TSEG22	TSEG21	TSEG20	タイム・セグメント2の長さ
0	0	0	1TQ
0	0	1	2TQ
0	1	0	3TQ
0	1	1	4TQ
1	0	0	5TQ
1	0	1	6TQ
1	1	0	7TQ
1	1	1	8TQ (初期値)

TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント1の長さ
0	0	0	0	設定禁止
0	0	0	1	2TQ ^注
0	0	1	0	3TQ ^注
0	0	1	1	4TQ
0	1	0	0	5TQ
0	1	0	1	6TQ
0	1	1	0	7TQ
0	1	1	1	8TQ
1	0	0	0	9TQ
1	0	0	1	10TQ
1	0	1	0	11TQ
1	0	1	1	12TQ
1	1	0	0	13TQ
1	1	0	1	14TQ
1	1	1	0	15TQ
1	1	1	1	16TQ (初期値)

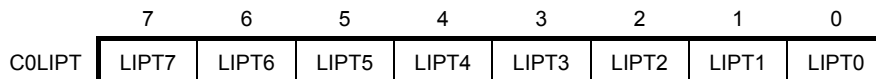
注 COBRPレジスタ = 00Hの場合は、この設定は使用できません。

備考 TQ = 1/frq (frq : CANプロトコル・レイヤ基本システム・クロック)

(14) CAN0モジュール最終受信ポインタ・レジスタ (C0LIPT)

C0LIPTレジスタは、最後に受信格納したメッセージ・バッファ番号を示します。

リセット時：不定 R アドレス：03FEC05EH



LIPT7-LIPT0	最終受信ポインタ・レジスタ (C0LIPT)
0-31	C0LIPTレジスタをリードすると、受信履歴・リストの最終受信ポインタ (LIPT) でインデクスされるエメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、C0LIPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にC0RGPT.RHPMビットがセット (1) されている場合には、C0LIPTレジスタの読み出し値は不定となります。

(15) CAN0モジュール受信履歴・リスト・レジスタ (C0RGPT)

C0RGPTレジスタは、受信履歴・リストを読み出すためのレジスタです。

(1/2)

リセット時：xx02H R/W アドレス：03FEC060H

(a) リード時

	15	14	13	12	11	10	9	8
C0RGPT	RGPT7	RGPT6	RGPT5	RGPT4	RGPT3	RGPT2	RGPT1	RGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RHPM	ROVF

(b) ライト時

	15	14	13	12	11	10	9	8
C0RGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ROVF

(a) リード時

RGPT7-RGPT0	受信履歴・リスト読み出しポインタ
0-31	C0RGPTレジスタをリードすると、受信履歴・リストの読み出しポインタ (RGPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

RHPM ^{注1}	受信履歴・リストのポインタ一致
0	受信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

ROVF ^{注2}	受信履歴・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信履歴・リストに記録されます (受信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが受信履歴・リスト (RHL) を最後に使用 (たとえば、C0RGPTレジスタの読み込みなど) してから少なくとも23個のエントリが格納されています。 ROVFビットがセット (1) されていると、すべてのメッセージ・バッファ番号はLIPT - 1に格納されるため、最初の22個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信するたびに上書きされます。したがって、受信した順番を完全に回復することができません。

注1. RHPMビット = 1のとき、RGPT0-RGPT7ビットのリード値は無効です。

2. ROVFビットがセット (1) されている状態で、C0RGPTレジスタによりすべての受信履歴が読み出されている場合、RHPMビットは新たな受信格納があってもクリア (0) されずセット (1) されたままになります。

(b) ライト時

Clear ROVF	ROVFビットの設定
0	ROVFビットの変更なし
1	ROVFビットをクリア(0)する

(16) CAN0モジュール最終送信ポインタ・レジスタ (C0LOPT)

C0LOPTレジスタは、最後に送信したメッセージ・バッファ番号を示します。

リセット時：不定 R アドレス：03FEC062H

	7	6	5	4	3	2	1	0
C0LOPT	LOPT7	LOPT6	LOPT5	LOPT4	LOPT3	LOPT2	LOPT1	LOPT0

LOPT7-LOPT0	送信履歴・リストの最終送信ポインタ (LOPT)
0-31	C0LOPTレジスタをリードすると、送信履歴・リストの最終送信ポインタ (LOPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は、C0LOPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にC0TGPT.THPMビットがセット(1)されている場合には、C0LOPTレジスタの読み出し値は不定となります。

(17) CAN0モジュール送信履歴・リスト・レジスタ (C0TGPT)

C0TGPTレジスタは、送信履歴・リストを読み出すためのレジスタです。

(1/2)

リセット時：xx02H R/W アドレス：03FEC064H

(a) リード時

	15	14	13	12	11	10	9	8
C0TGPT	TGPT7	TGPT6	TGPT5	TGPT4	TGPT3	TGPT2	TGPT1	TGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	THPM	TOVF

(b) ライト時

	15	14	13	12	11	10	9	8
C0TGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear TOVF

(a) リード時

TGPT7-TGPT0	送信履歴・リスト読み出しポインタ
0-31	C0TGPTレジスタをリードすると、送信履歴・リストの読み出しポインタ (TGPT) でインデクスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

THPM ^{注1}	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

TOVF ^{注2}	送信履歴・リスト・オーバーフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば、C0TGPTレジスタの読み込みなど) してから少なくとも7個のエントリが格納されています。TOVFビットがセット (1) されていると、すべてのメッセージ・バッファ番号はLOPT - 1に格納されるため、最初の6個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

注1. THPMビット = 1のとき、TGPT0-TGPT7ビットのリード値は無効です。

- TOVFビットがセット (1) されている状態で、C0TGPTレジスタによりすべての送信履歴が読み出されている場合、THPMビットは新たな送信完了があってもクリア (0) されずセット (1) されたままになります。

備考 ABT付き通常動作モードでは、メッセージ・バッファ0-メッセージ・バッファ7からの送信は送信履歴・リストには記録されません。

(2/2)

(b) ライト時

Clear TOVF	TOVFビットの設定
0	TOVFビットの変更なし
1	TOVFビットをクリア(0)する

(18) CAN0モジュール・タイム・スタンプ・レジスタ (COTS)

COTSレジスタは、タイム・スタンプ機能を制御します。

(1/2)

リセット時：0000H R/W アドレス：03FEC066H

(a) リード時

	15	14	13	12	11	10	9	8
COTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSSEL	TSEN

(b) ライト時

	15	14	13	12	11	10	9	8
COTS	0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
	7	6	5	4	3	2	1	0
	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN

備考 ABT付き通常動作モードの場合は、タイム・スタンプ機能のうちロック機能を使用できません。

(a) リード時

TSLOCK	タイム・スタンプのロック機能許可ビット
0	タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。
1	タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。 ただし、メッセージ・バッファ0にデータ・フレームが正常に受信されたあとは、TSOUT信号の出力がロックされます ^注 。

注 TSENビットは自動的にクリア(0)されます。

TSSEL	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントはSOFです。
1	タイム・スタンプ・キャプチャ・イベントはEOFの最終ビットです。

TSEN	TSOUT動作設定ビット
0	TSOUTトグル動作禁止
1	TSOUTトグル動作許可

備考 TSOUT信号はCANコントローラからタイマへ出力されます。詳細については第7章 16ビット・タイマ/イベント・カウンタAA (TAA) を参照してください。

(b) ライト時

Set TSLOCK	Clear TSLOCK	TSLOCKビットの設定
0	1	TSLOCKビットをクリア(0)する
1	0	TSLOCKビットをセット(1)する
上記以外		TSLOCKビットの変更なし

Set TSSEL	Clear TSSEL	TSSELビットの設定
0	1	TSSELビットをクリア(0)する
1	0	TSSELビットをセット(1)する
上記以外		TSSELビットの変更なし

Set TSEN	Clear TSEN	TSENビットの設定
0	1	TSENビットをクリア(0)する
1	0	TSENビットをセット(1)する
上記以外		TSENビットの変更なし

(19) CAN0メッセージ・データ・バイト・レジスタ(C0MDATAxm, C0MDATAym) (x = 0-7, y = 01, 23, 45, 67)

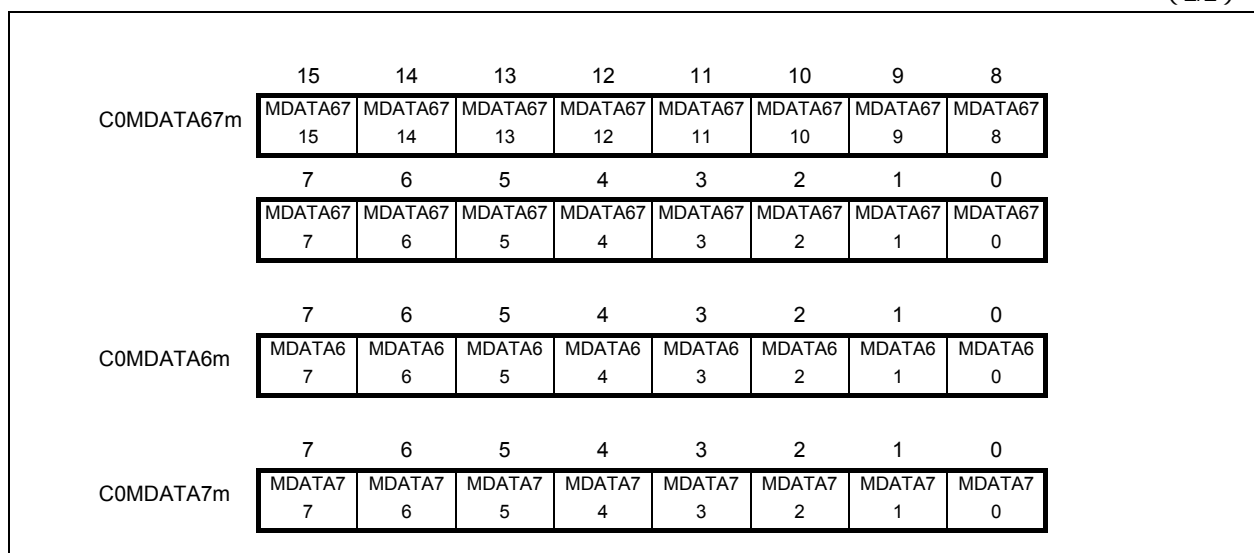
C0MDATAxmレジスタは、送受信メッセージのデータを格納し、8ビット単位でアクセスできます。

C0MDATAymレジスタでは、C0MDATAxmレジスタを16ビット単位でアクセスできます。

(1/2)

リセット時：不定 R/W アドレス：表21 - 16を参照してください。

	15	14	13	12	11	10	9	8
C0MDATA01m	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01
	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
C0MDATA01m	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01
	7	6	5	4	3	2	1	0
C0MDATA0m	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0
	7	6	5	4	3	2	1	0
C0MDATA1m	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1
	7	6	5	4	3	2	1	0
C0MDATA23m	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23
	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
C0MDATA23m	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23
	7	6	5	4	3	2	1	0
C0MDATA2m	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2
	7	6	5	4	3	2	1	0
C0MDATA3m	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3
	7	6	5	4	3	2	1	0
C0MDATA45m	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45
	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
C0MDATA45m	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45
	7	6	5	4	3	2	1	0
C0MDATA4m	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4
	7	6	5	4	3	2	1	0
C0MDATA5m	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5
	7	6	5	4	3	2	1	0



(20) CAN0メッセージ・データ長レジスタm (C0MDLcM)

C0MDLcMレジスタは、メッセージ・バッファのデータ・フィールドのバイト数を設定します。

リセット時：0000xxxxB R/W アドレス：表21 - 16を参照してください。

	7	6	5	4	3	2	1	0
C0MDLcM	0	0	0	0	MDLC3	MDLC2	MDLC1	MDLC0

MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
1	0	0	1	設定禁止
1	0	1	0	(送信時に設定した場合、データ・フレームの送信では設定したDLC値に関わらず8バイトのデータが送信されます。ただし、実際にCANバスに送信されるDLCはこのレジスタに設定したDLC値になります。) ^注
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注 CANバス上に実際に送信されるデータとDLC値は次のとおりです。

送信フレーム種類	送信されるデータの長さ	送信されるDLC
データ・フレーム	DLCで指定されたバイト数 (ただしDLC 8の場合は8バイト)	MDLC3-MDLC0ビット
リモート・フレーム	0バイト	

- 注意1. ビット7-4には必ず0000Bを設定してください。
- メッセージ受信時には、受信フレームのDLCに対応するバイト数(ただし、8が上限)分のC0MDATAxmレジスタに受信データが格納されます。データが格納されなかったC0MDATAxmレジスタは不定です。
 - ビット4-7には必ず0を設定してください。

(21) CAN0メッセージ・コンフィギュレーション・レジスタ_m (COMCONF_m)

COMCONF_mレジスタは、メッセージ・バッファのタイプとマスク設定の指定を行います。

(1/2)

リセット時：不定 R/W アドレス：表21-16を参照してください。

	7	6	5	4	3	2	1	0
COMCONF _m	OVS	RTR	MT2	MT1	MT0	0	0	MA0

OVS	オーバーライト制御ビット
0	すでに受信しているメッセージ・バッファ ^注 に対して、新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。
1	すでに受信しているメッセージ・バッファに対して、新しく受信したデータ・フレームを上書きします。

注 “すでに受信しているメッセージ・バッファ”とは、COMCTRL_m.DNビットがセット(1)されている受信メッセージ・バッファを意味します。

備考 リモート・フレームの受信格納に際しては、OVSビットおよびDNビットの設定には依存せず、そのほかの条件が合致 (IDが一致, RTRビット = 0, COMCTRL_m.TRQビット = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納 (割り込み生成, DNフラグのセット, COMDLC_m.MDLC0-MDLC3ビットの更新, および受信ヒストリ・リストへの記録) されます。

RTR	リモート・フレームの要求ビット ^注
0	データ・フレーム送信
1	リモート・フレーム送信

注 RTRビットは、送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。

有効なリモート・フレームを受信しても、受信した送信メッセージ・バッファのRTRビットはクリア(0)されたままです。

リモート・フレーム送信のために送信メッセージ・バッファのRTRビットをセット(1)した状態で、CANバスからIDが合致するリモート・フレームを受信した場合でも、そのリモート・フレームの受信格納 (割り込み生成, DNフラグのセット, MDLC0-MDLC3ビットの更新および受信ヒストリ・リストへの記録) は行われません。

MT2	MT1	MT0	メッセージ・バッファ・タイプ設定ビット
0	0	0	送信メッセージ・バッファ
0	0	1	受信メッセージ・バッファ (マスク設定なし)
0	1	0	受信メッセージ・バッファ (マスク1設定)
0	1	1	受信メッセージ・バッファ (マスク2設定)
1	0	0	受信メッセージ・バッファ (マスク3設定)
1	0	1	受信メッセージ・バッファ (マスク4設定)
上記以外			設定禁止

MA0	メッセージ・バッファの割り付けビット
0	メッセージ・バッファを使用しない
1	メッセージ・バッファを使用する

注意 ビット2, 1には、必ず0を書き込んでください。

(22) CAN0メッセージIDレジスタm (COMIDLm, COMIDHm)

COMIDLm, COMIDHmレジスタは、アイデンティファイア (ID) を設定します。

リセット時：不定 R/W アドレス：表21 - 16を参照してください。

COMIDLm	15	14	13	12	11	10	9	8
	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
	7	6	5	4	3	2	1	0
	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

COMIDHm	15	14	13	12	11	10	9	8
	IDE	0	0	ID28	ID27	ID26	ID25	ID24
	7	6	5	4	3	2	1	0
	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16

IDE	フォーマット・モード指定ビット
0	標準フォーマット・モード (ID28-ID18 : 11ビット) ^注
1	拡張フォーマット・モード (ID28-ID0 : 29ビット)

注 ID17-ID0ビットは使用されません。

ID28-ID0	メッセージID
ID28-ID18	11ビットの標準ID値 (IDE = 0のとき)
ID28-ID0	29ビットの拡張ID値 (IDE = 1のとき)

注意1. COMIDHmレジスタのビット14, 13には、必ず0を書き込んでください。

2. 必ず、このレジスタに与えられたビット位置に従って登録するID値を並べてください。

標準IDに関してID値はID28からID18のビット位置をシフトしてください。

(23) CAN0メッセージ制御レジスタm (COMCTRLm)

COMCTRLmレジスタは、メッセージ・バッファの動作を制御します。

(1/3)

リセット時：00x000000 R/W アドレス：表21 - 16を参照してください。
000xx000B

(a) リード時

	15	14	13	12	11	10	9	8
COMCTRLm	0	0	MUC	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	MOW	IE	DN	TRQ	RDY

(b) ライト時

	15	14	13	12	11	10	9	8
COMCTRLm	0	0	0	0	Set IE	0	Set TRQ	Set RDY
	7	6	5	4	3	2	1	0
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY

(a) リード時

MUC ^注	メッセージ・バッファへのデータ更新中ビット
0	CANモジュールによるメッセージ・バッファの更新（受信格納）中ではありません。
1	CANモジュールによるメッセージ・バッファの更新（受信格納）中です。

注 MUCビットは最初の受信格納が行われるまで不定です。

MOW	メッセージ・バッファ・オーバライト・ステータス・ビット
0	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされていません。
1	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされています。

備考 DNビット = 1の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、MOWビットはセット（1）されません。

IE	メッセージ・バッファ割り込み要求許可ビット
0	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み禁止
1	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み許可

DN	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

TRQ	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

注意 TRQビットとRDYビットを同時にセット(1)しないでください。TRQビットをセット(1)する場合は、必ず事前にRDYビットをセット(1)してください。

RDY	メッセージ・バッファ準備ビット
0	ソフトウェアによりメッセージ・バッファに書き込みできます。CANモジュールはメッセージ・バッファに書き込みができません。
1	ソフトウェアによるメッセージ・バッファへの書き込みは無視されます(RDYビット、TRQビット、DNビットおよびMOWビットへのライト・アクセスを除く)。CANモジュールはメッセージ・バッファに書き込みが可能です。

注意1. メッセージ送信中に、RDYビットをクリア(0)しないでください。再定義のためのRDYビットのクリアは、送信中断処理に従ってください。

2. RDYビットのクリア処理を行ってもクリアされていない場合は、もう一度クリア処理を行ってください。

3. メッセージ・バッファに書き込む前に、RDYビットがクリア(0)されたことを確認してください。確認はRDYビットを読み返して行ってください。

ただし、TRQビットまたはRDYビットのセット(1)、DNビットまたはMOWビットのクリア(0)については確認する必要はありません。

(b) ライト時

Clear MOW	MOWビットの設定
0	MOWビットの変更なし
1	MOWビットをクリア(0)する

Set IE	Clear IE	IEビットの設定
0	1	IEビットをクリア(0)する
1	0	IEビットをセット(1)する
上記以外		IEビットの変更なし

注意 IEビットの設定とRDYビットの設定は、必ず別々に行ってください。

Clear DN	DNビットの設定
1	DNビットをクリア(0)する
0	DNビットの変更なし

注意 ソフトウェアにより、DNビットをセット(1)しないでください。ビット10には、必ず0を書き込んでください。

Set TRQ	Clear TRQ	TRQビットの設定
0	1	TRQビットをクリア (0) する
1	0	TRQビットをセット (1) する
上記以外		TRQビットの変更なし

注意 TRQビットをセット (1) しても、他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、TRQビットをクリア (0) しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了 (成功 / 失敗問わず) するまで送信を継続します。

Set RDY	Clear RDY	RDYビットの設定
0	1	RDYビットをクリア (0) する
1	0	RDYビットをセット (1) する
上記以外		RDYビットの変更なし

注意 TRQビットの設定とRDYビットの設定は、必ず別々に行ってください。

21.7 ビットのセット/クリア機能

CANの制御レジスタには、ビットのセット/クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・ CAN0グローバル制御レジスタ (COGMCTRL)
- ・ CAN0グローバル自動ブロック送信制御レジスタ (COGMABT)
- ・ CAN0モジュール制御レジスタ (COCTRL)
- ・ CAN0モジュール割り込み許可レジスタ (COIE)
- ・ CAN0モジュール割り込みステータス・レジスタ (COINTS)
- ・ CAN0モジュール受信履歴・リスト・レジスタ (CORGPT)
- ・ CAN0モジュール送信履歴・リスト・レジスタ (COTGPT)
- ・ CAN0モジュール・タイム・スタンプ・レジスタ (COTS)
- ・ CAN0メッセージ制御レジスタm (COMCTRLm)

備考 m = 00-31

上記レジスタの16ビットは、すべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図21 - 25の手順で行ってください。

上記レジスタの下位8ビットのセット/クリアは、上位8ビットと下位8ビットの組み合わせで行います（図21 - 26 **セット/クリア設定後のビット状態参照**）。図21 - 25のように、setビットとclearビットの値により、該当するレジスタのビットをセット/クリア/変化なしと操作できます。

図21 - 25 ビットのセット/クリアの操作例

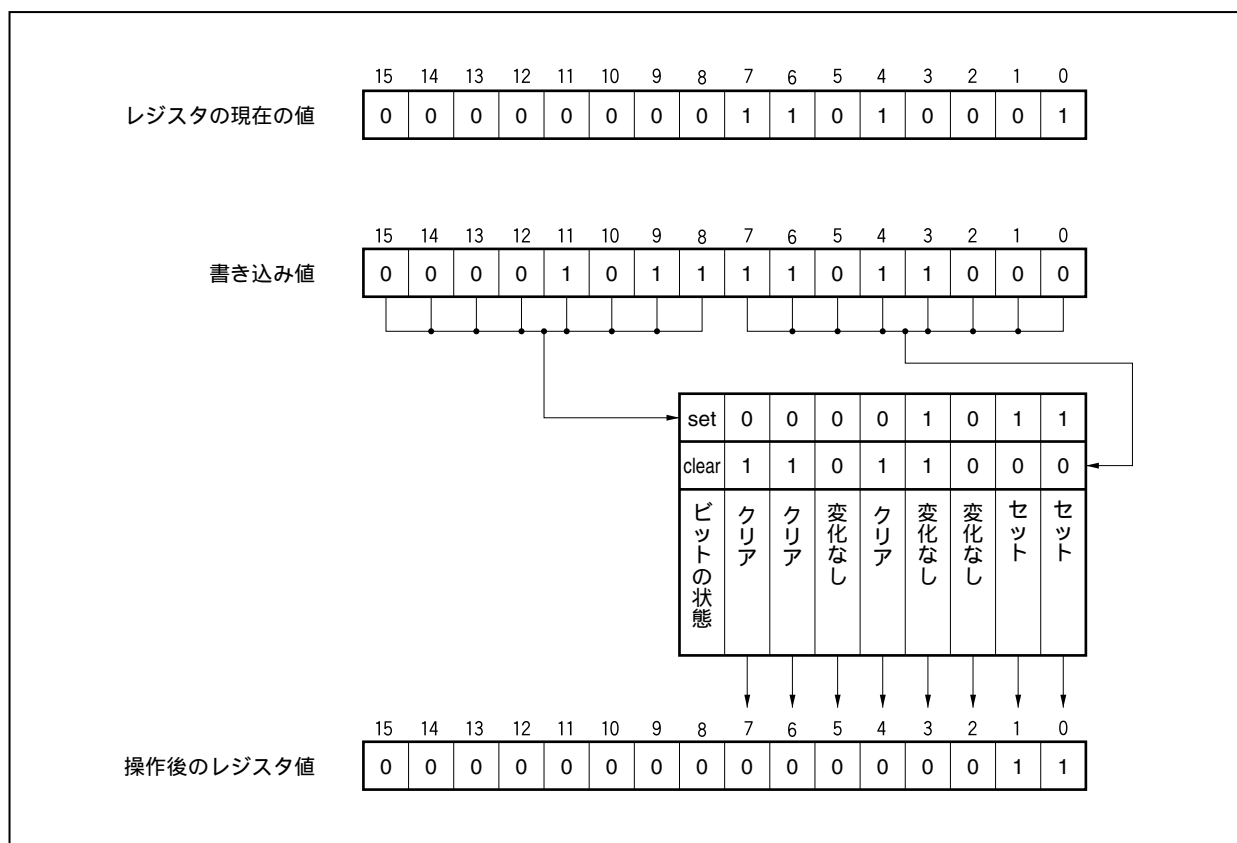


図21 - 26 セット/クリア設定後のビット状態

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
set 7	set 6	set 5	set 4	set 3	set 2	set 1	set 0	clear 7	clear 6	clear 5	clear 4	clear 3	clear 2	clear 1	clear 0

set n	clear n	ビットのセット/クリア操作後のビットnの状態
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

備考 n = 0-7

21.8 CANコントローラの初期化処理

21.8.1 CANモジュールの初期化

CANモジュールの動作を許可する前に、ソフトウェアによりC0GMCS.CCP0-CCP3ビットを設定し、CANモジュール・システム・クロックを決める必要があります。CANモジュール・システム・クロックの設定は、CANモジュールの動作が許可されたあとは変更できません。

CANモジュールは、C0GMCTRL.GOMビットをセット(1)することで動作を許可します。初期化処理手順については、21.16 CANコントローラの動作を参照してください。

21.8.2 メッセージ・バッファの初期化

CANモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に、すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。

- ・C0MCTRLm.RDYビット、TRQビット、DNビットをクリア(0)する。
- ・C0MCONFm.MA0ビットをクリア(0)する。

備考 m = 00-31

21.8.3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージ受信時または送信中にほかの送受信動作に影響を与えることなく、メッセージ・バッファのIDや制御情報を変更することをいいます。

(1) 初期化モード中にメッセージ・バッファの再定義を行う場合

一度、初期化モードに移行し、初期化モード中にメッセージ・バッファのIDや制御情報を変更してください。メッセージ・バッファの変更後、任意の動作モードに移行してください。

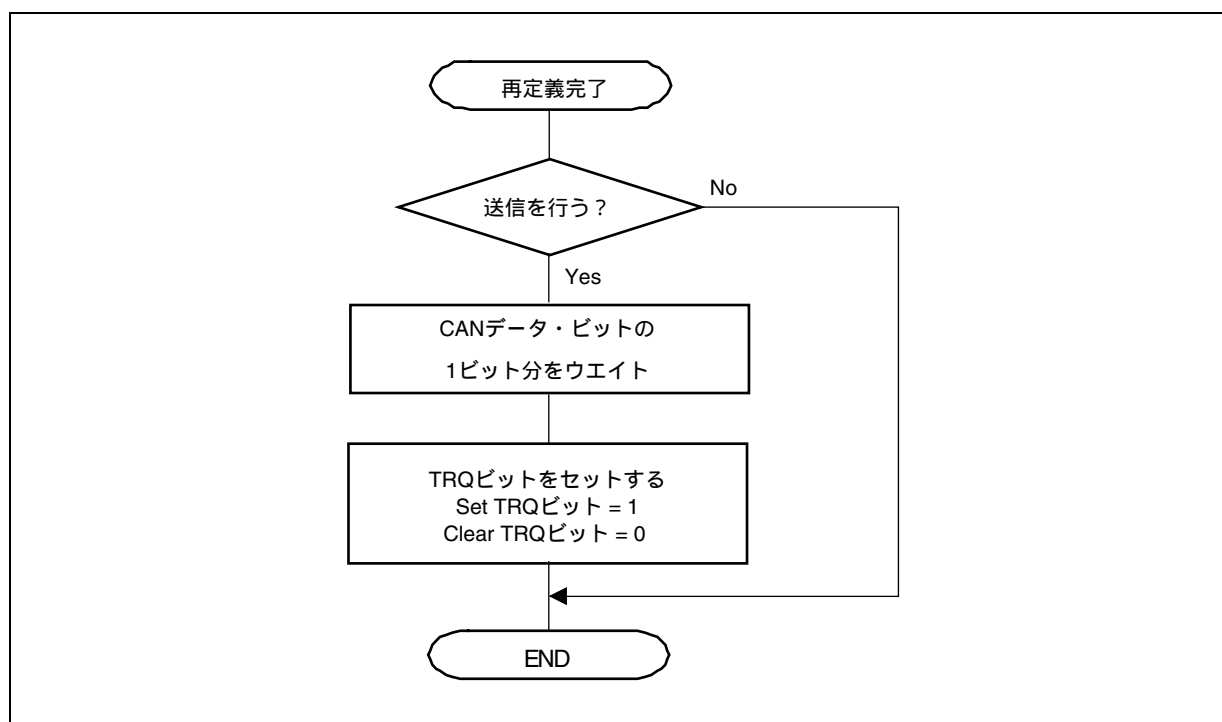
(2) 受信中にメッセージ・バッファの再定義を行う場合

図21-39にしたがって処理してください。

(3) 送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き換える場合には、送信中断処理(21.10.4(1) 自動ブロック送信機能(ABT)付き通常動作モード以外での送信中断処理、21.10.4(2) 自動ブロック送信機能(ABT)付き通常動作モードでのABT送信以外の送信中断処理参照)を行い、送信が中断されたこと、あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は、次の処理手順にしたがって処理してください。ただし、送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には、1ビット分のウエイトは必要ありません。

図21 - 27 送信メッセージ・バッファの再定義後の送信要求 (TRQ) の設定



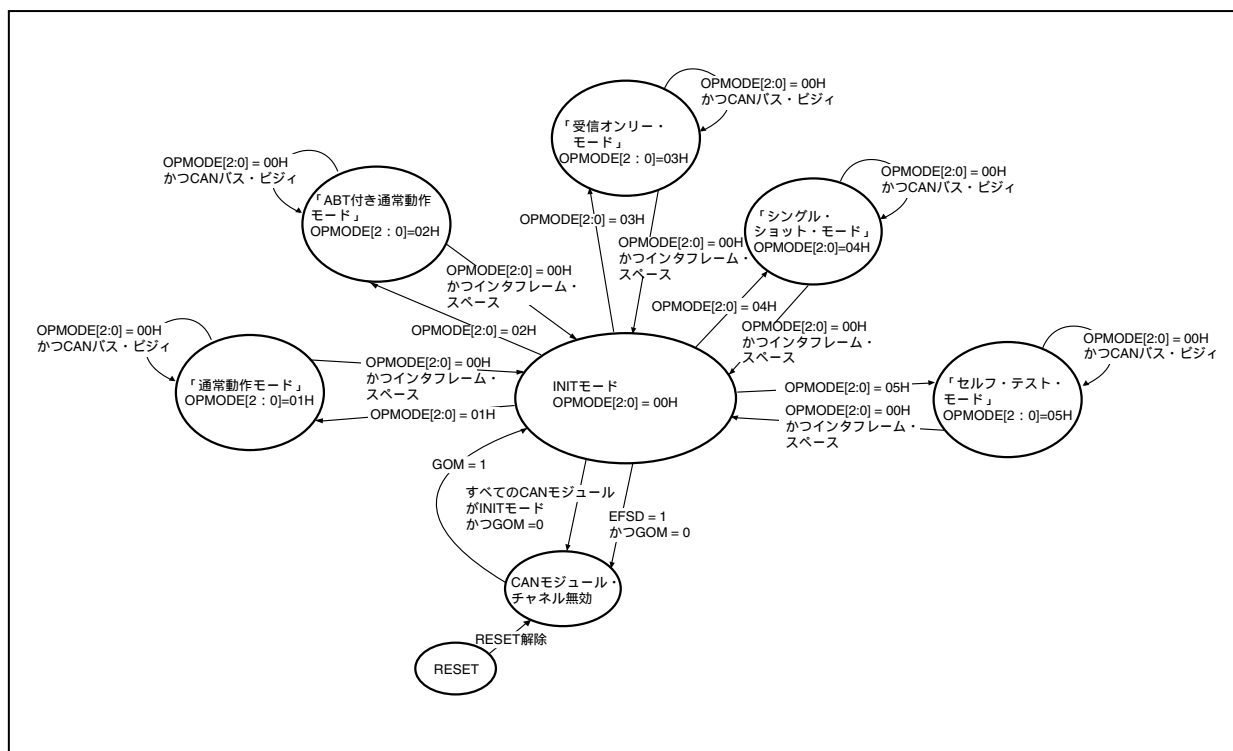
- 注意1. メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図21 - 39の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果（受信フィルタリング結果）が矛盾する場合があります。そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。
2. メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID、IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図21 - 27の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。

21.8.4 動作モードへの移行

CANモジュールは、次の動作モードに切り替えることができます。

- ・通常動作モード
- ・ABT付き通常動作モード
- ・受信オンリー・モード
- ・シングル・ショット・モード
- ・セルフ・テスト・モード

図21 - 28 動作モードへの移行



初期化モードから動作モードへの移行は、C0CTRL.OPMODE2-OPMODE0ビットで設定します。

ある動作モードから別の動作モードに移行するには、一度初期化モードに移行する必要があります。直接、ある動作モードから別の動作モードに移行しないでください。直接、動作モードを移行した場合の動作は保証できません。

動作モードから初期化モードへの移行要求は、CANバスがインタフフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され、インタフフレーム・スペースの1ビット目に初期化モードへ移行します（OPMODE2-OPMODE0ビットの値が000Bに変化します）。初期化モードへの移行要求のあとは、OPMODE2-OPMODE0ビットが000Bになるまで、OPMODE2-OPMODE0ビットをリードして、初期化モードへ移行したことを確認してください（図21 - 37参照）。

21.8.5 CANモジュールのエラー・カウンタC0ERCのリセット

再初期化やバス・オフ強制復帰の際に、C0ERC、C0INFOレジスタをリセットする必要がある場合には、初期化モード中にC0CTRL.CCERCビットをセット(1)してください。CCERCビットをセット(1)すると、C0ERC、C0INFOレジスタは初期値にクリアされます。

21.9 メッセージ受信

21.9.1 メッセージ受信

すべての動作モードにおいて、新規受信メッセージを格納するため、一致するバッファを全メッセージ・バッファ領域に対し、検索します。次の条件を満たすすべてのメッセージ・バッファがその検索に含まれます。

- ・メッセージ・バッファとして使用している。
(COMCONFm.MA0ビットに1を設定)
- ・受信用メッセージ・バッファとして設定している。
(COMCONFm.MT2-MT0ビットに001B,010B,011B,100B,101Bを設定)
- ・受信準備ができています。
(COMCTRLm.RDYビットがセット(1)されている)

備考 m = 00-31

複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります。メッセージは、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク1にリンクした受信メッセージ・バッファに同一IDが設定されていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージを受信していないマスク1にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり2つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には、必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件(たとえば、OWSビット = 0により上書き禁止ですすでに受信しているDNビット = 1の場合など)でも同様です。この場合、受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが、それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一IDを設定した場合の格納条件	
1(高)	マスクされていないメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
2	マスク1とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
3	マスク2とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
4	マスク3とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
5(低)	マスク4とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1

21.9.2 受信データの読み出し

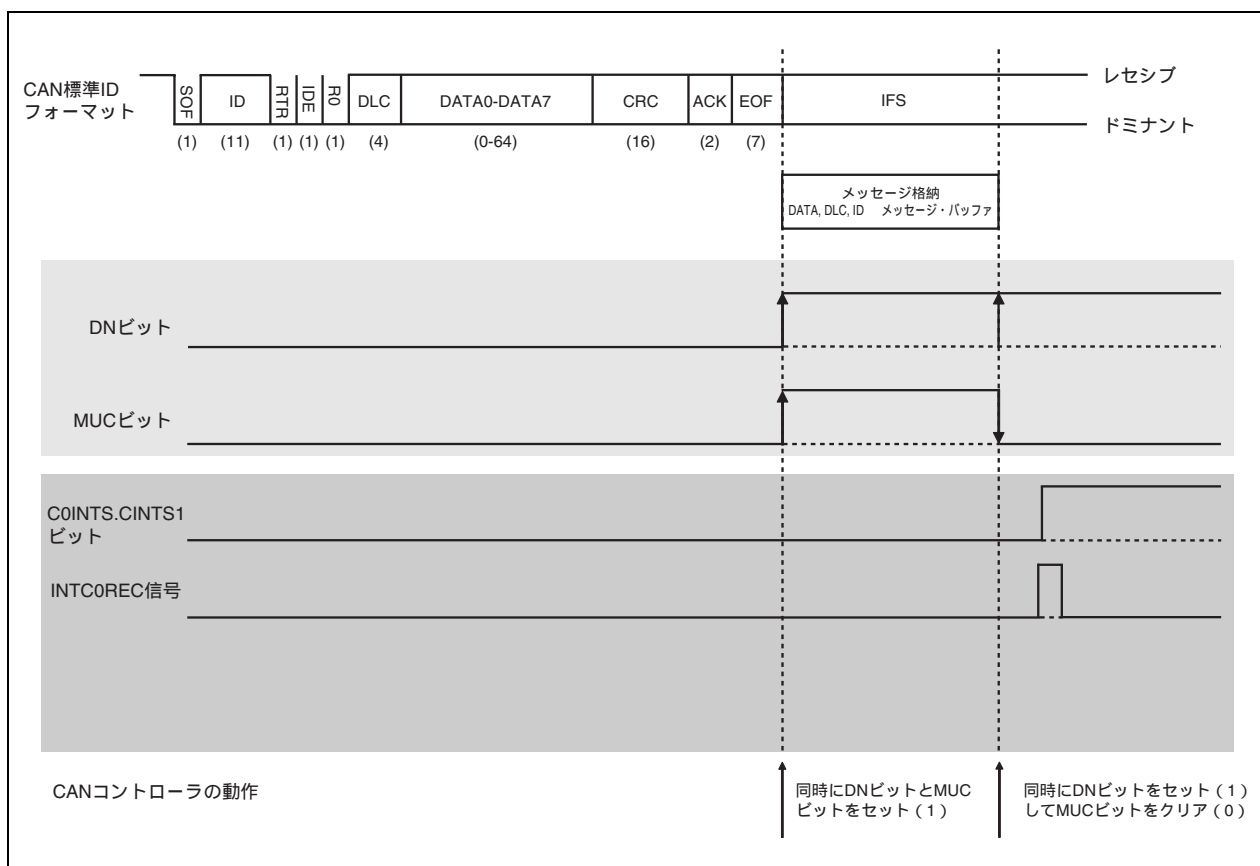
ソフトウェアによりCANメッセージ・バッファから一貫してデータを読み出す必要がある場合には、図21-49、図21-50の推奨処理手順で行ってください。

メッセージ受信中、CANモジュールはCOMCTRLm.DNビットをメッセージ・バッファへのデータの格納処理の始まりと、この格納処理の終わりに2回セット（1）します。この格納処理の間、メッセージ・バッファのCOMCTRLm.MUCビットはセット（1）されています（図21-29参照）。

データ格納が完了する前には受信履歴・リストへの書き込みが行われます。またこのデータ格納期間（MUCビット = 1）は、格納対象となっているメッセージ・バッファのCOMCTRLm.RDYビットはCPUによる書き換えが禁止されています。このデータ格納処理はCPUによるいずれかのメッセージ・バッファへのアクセスにより処理完了が遅れることがあります。

備考 m = 0-31

図21-29 DN, MUCビットのセット期間（標準IDフォーマットの場合）



21.9.3 受信ヒストリ・リスト機能

受信ヒストリ・リスト機能は、データ・フレームまたはリモート・フレームを受信格納するごとに受信ヒストリ・リスト (RHL) へ受信格納したメッセージ・バッファ番号の記録を行います。RHLは、最大23メッセージ分の格納エレメントと、受信ヒストリ・リスト書き込みポインタ (LIPT) に対応するC0LIPTレジスタ、および受信ヒストリ・リスト読み出しポインタ (RGPT) に対応するC0RGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、RHLは不定です。

C0LIPTレジスタは、LIPTポインタ - 1で示されるRHLエレメントの内容を保持しますので、C0LIPTレジスタを読み出すことで一番最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPTポインタは、RHLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると、対応するメッセージ・バッファ番号がLIPTポインタで示されるRHLエレメントに記録されます。RHLへの記録が完了するごとに、LIPTポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPTポインタは、記録されたメッセージ・バッファ番号をRHLから読み出す際の読み出しポインタとして機能します。RGPTポインタはCPUがまだ読み出しを行っていない最初のRHLエレメントを示しています。ソフトウェアにより、C0RGPTレジスタを読み出すことにより、受信格納したメッセージ・バッファの番号を読み出すことができます。C0RGPTレジスタからメッセージ・バッファ番号を読み出すごとに、RGPTポインタは自動的にインクリメントされます。

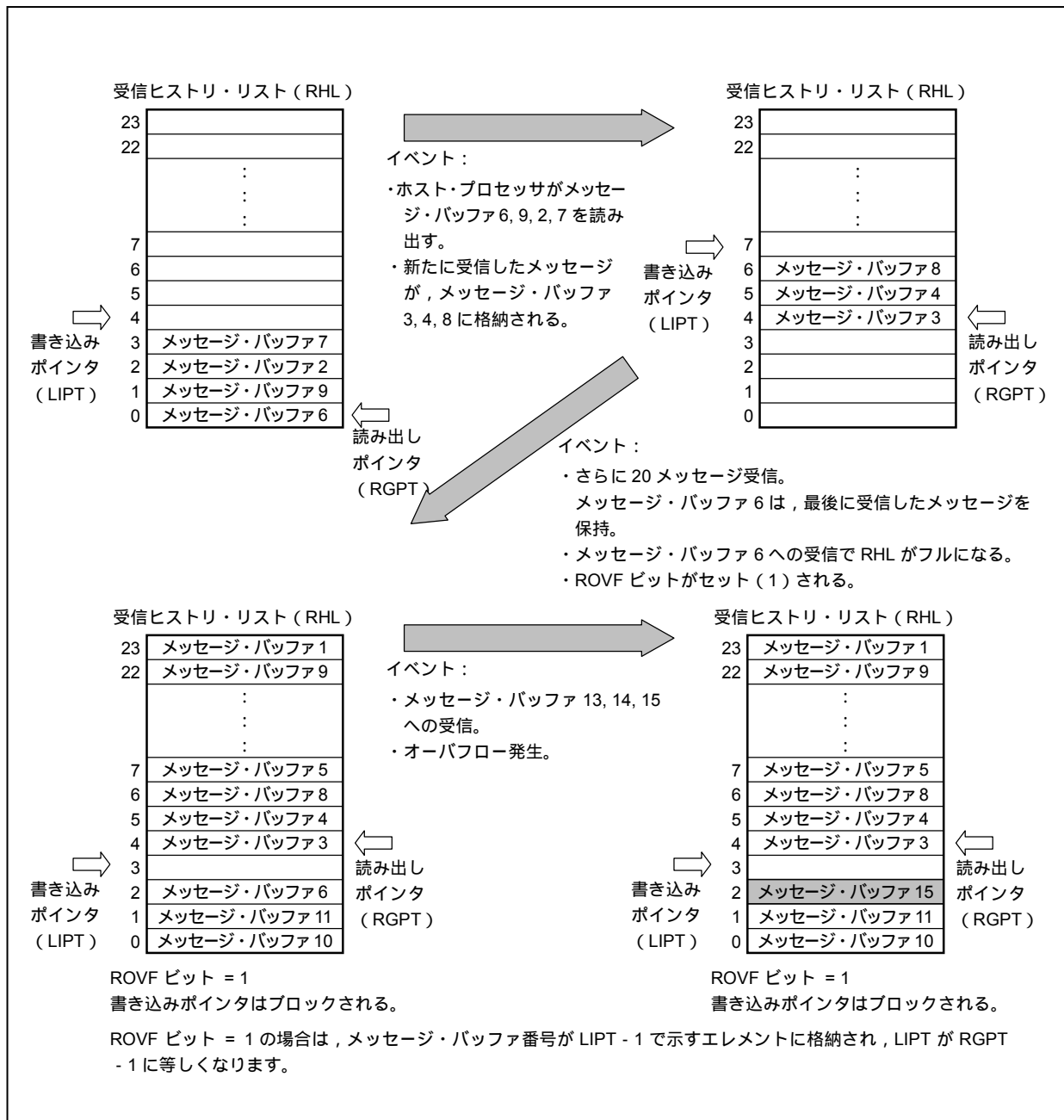
RGPTポインタとLIPTポインタが一致した場合には、C0RGPT.RHPMビット (受信ヒストリ・リスト・ポインタ一致) がセット (1) されます。RHPMビットがセット (1) されていることで、RHLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、受信格納に新しくメッセージ・バッファ番号の記録が行われると、LIPTポインタがインクリメントされポインタが一致なくなり、RHPMビットはクリア (0) されます。つまり、RHL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLIPTポインタがRGPTポインタ - 1と一致した場合には、C0RGPT.ROVFビット (受信ヒストリ・リスト・オーバフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でRHLがフルに記録されている状態を示します。さらに、メッセージの受信格納が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。その場合、ROVFビットがセット (1) されたあと、RHLに保持しているメッセージ・バッファ番号は完全には時系列にはなりません。ただし、受信したメッセージ自体は正しく格納されます。CPU操作による各メッセージ・バッファのDNビットをサーチすることで、受信格納したメッセージ・バッファ番号を特定することができます。

注意 受信ヒストリ・リストがオーバフローした状態 (C0RGPT.ROVFビット = 1) でも、未読の履歴がなくなりC0RGPT.RHPMビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバフローしている) を継続します。この状態では、ROVFビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア (0) されません。したがって、ROVFビット = 1かつRHPMビット = 1で受信ヒストリ・リストがオーバフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。

受信履歴・リストは、未読の状態では23個以下の受信履歴を保持している場合には受信格納順は保持されますが、ホスト・プロセッサが読み出しを行わない状態で受信格納された場合は、受信格納順は完全には読み出せないことがあります。

図21 - 30 受信履歴・リスト



21.9.4 マスク機能

受信に使用するいくつかのメッセージ・バッファのために、4つのグローバル受信マスクの1つを割り当てるか、またはマスクなしかを選択することができます。

メッセージIDの比較はマスクされたビットにより軽減されるため、1つのバッファの中にいくつかの異なるIDの受信を許容します。

マスク機能を使用することにより、CANバスから受信したメッセージのアイデンティファイアとあらかじめメッセージ・バッファに設定されているアイデンティファイアとを比較し、その結果、マスクされているIDが“0”または“1”のどちらに設定されていても定義されたメッセージ・バッファに格納できます。

マスク機能が働いているとき、マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば、ID27-ID25が“0”，ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に格納したい場合、次に示す手順で行ってください。

メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

備考 x = don't care

メッセージ・バッファ14に設定したアイデンティファイア (例)

(COMIDL14, COMIDH14レジスタを使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

ID27-ID25ビットが“0”に設定され、ID24ビットとID22ビットが“1”に設定されているIDをメッセージ・バッファ14に登録（初期化）します。

備考 x = don't care

備考 メッセージ・バッファ14をマスク1にリンクする (COMCONF14.MT2-MT0ビット = 010Bに設定) 標準フォーマット・アイデンティファイアとして設定します。

CANモジュール1 (マスク1) のマスク設定 (例)
 (CAN1アドレス・マスク1レジスタL, H (C1MASK1L, C1MASK1H) を使用)

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1
CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1
CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0				
1	1	1	1	1	1	1				

1 : 比較しない (マスクする)

0 : 比較する

CMID27-CMID24ビットおよびCMID22ビットは“0”, CMID28, CMID23, CMID21-CMID0ビットは“1”に設定します。

21.9.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能 (以降, MBRBと記述) は, 同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じIDを設定することにより, CPUを介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。これらのメッセージ・バッファはメッセージ・バッファ・メモリ内の任意の場所に配置できます。また, 互いに隣接して配置されていなくてもかまいません。

たとえば, メッセージ・バッファ10からメッセージ・バッファ19の10個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて, さらにそれぞれのメッセージ・バッファに同じIDが設定されている場合には, 最初にIDが一致するメッセージを受信した場合, メッセージ・バッファ10に格納します。この時点でメッセージ・バッファ10はDNビットがセットされ, そのメッセージ・バッファに対して上書きが禁止されます。

次に, IDが一致するメッセージを受信した場合, メッセージ・バッファ11に受信格納されます。以降, IDが一致するメッセージを受信するたびにメッセージ・バッファ12, 13, . . . 18, 19とメッセージ・バッファの番号順 (昇順) に格納されていきます。このように, 複数のメッセージからなるデータ・ブロックを受信する場合でも, IDが一致した古い受信データを上書きすることなく, 複数のメッセージを受信格納することができます。

また, 各メッセージ・バッファのCOMCTRLm.IEビットを設定することで, データ・ブロックの受信格納の完了を知ることができます。たとえば, データ・ブロックがk個のメッセージで構成されている場合は, データ・ブロック受信用にk個のメッセージ・バッファを初期化します。メッセージ・バッファ0から (k - 2) までは, IEビットをクリア (0) しておき (割り込み無効), メッセージ・バッファk - 1では, IEビットをセット (1) します (割り込み有効)。この場合, メッセージ・バッファk - 1への受信格納が完了した時点で受信完了割り込みを発生させることで, MBRBがフルになったことを知ることができます。あるいは, メッセージ・バッファ0から (k - 3) までは, IEビットをクリア (0) しておきメッセージ・バッファk - 2のIEビットをセット (1) しておくことで, MBRBがオーバフローしそうであることのワーニングとすることができます。

MBRBにおいても, 各メッセージ・バッファの受信データの基本的な格納条件は, 単一のメッセージ・バッファに対する格納条件と同じです。

- 注意
1. MBRBは、同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって、メッセージ・バッファ・タイプが異なるが、IDが一致するほかのMBRBのメッセージ・バッファに空きがあった場合でも、そのメッセージ・バッファには格納を行わず、受信メッセージは破棄されます。
 2. MBRBは、リング構造をもっていません。したがって、MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては、再び一番小さいメッセージ・バッファから順に格納を行いません。
 3. MBRBは、受信格納条件に基づく動作であり、機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し、同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。
 4. MBRBにおける「IDが一致する」とは「マスク後のIDの一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても、マスク・レジスタによるマスク後のIDが一致するものは、IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。
 5. 各MBRB間の優先順位は、21.9.1 メッセージ受信で示した優先順位に従います。

備考 m = 00-31

21.9.6 リモート・フレーム受信

リモート・フレームの受信時には、すべての動作モードで、次の条件を満たすすべてのメッセージ・バッファに対し、格納すべきかどうかの検索を行います。

- ・メッセージ・バッファとして使用している。
(COMCONFm.MA0ビットを1に設定)
- ・送信用メッセージ・バッファとして設定している。
(COMCONFm.MT2-MT0ビットを000Bに設定)
- ・受信準備ができています。
(COMCTRLm.RDYビットがセット(1)されている)
- ・メッセージ送信に設定されている。
(COMCONFm.RTRビットがクリア(0)されている)
- ・送信要求が設定されていない。
(COMCTRLm.TRQビットがクリア(0)されている)

上記の条件を満足し、かつ受信したリモート・フレームとIDが合致するメッセージ・バッファに対しては、次の受信格納動作が行われます。

- ・COMDLCm.DLC3-DLC0ビットは受信したDLC値を格納します。
- ・データ領域COMDATA0m-COMDATA7mレジスタは更新されません(受信前のデータが保存されます)。
- ・COMCTRLm.DNビットがセット(1)されます。
- ・C0INTS.CINTS1ビットがセット(1)されます(受信格納するメッセージ・バッファのCOMCTRLm.IEビットがセット(1)されている場合)。
- ・受信完了割り込み(INTC0REC)が出力されます(受信格納するメッセージ・バッファのIEビットがセット(1)されており、かつC0IE.CIE1ビットがセット(1)されている場合)。
- ・メッセージ・バッファ番号を受信履歴・リストに記録します。

注意 リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファのCOMCONFm.OWSビットによるオーバーライト制御の設定およびDNビットには影響を受けません。OWSビットの設定は無視され、どんな場合でもDNビットがセット(1)されます。複数の送信メッセージ・バッファが同一IDを持ち、受信したリモート・フレームのIDが合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

備考 m = 00-31

21. 10 メッセージ送信

21. 10. 1 メッセージ送信

すべての動作モードで、次の条件を満たすメッセージ・バッファにC0MCTRLm.TRQビットがセット(1)されているとき、送信するメッセージ・バッファの検索を行います。

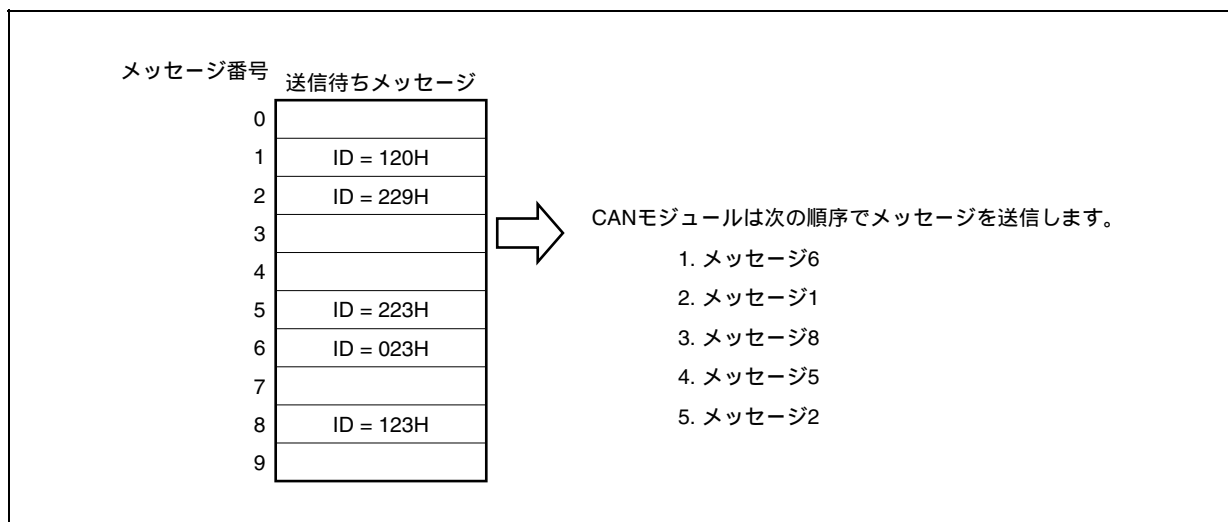
- ・メッセージ・バッファとして使用している。
(C0MCONFm.MA0ビットを1に設定)
- ・送信用メッセージ・バッファとして設定している。
(C0MCONFm.MT2-MT0ビットを000Bに設定)
- ・送信準備ができています。
(C0MCTRLm.RDYビットがセット(1)されている)

備考 m = 00-31

CANはマルチ・マスタ方式の通信システムです。このようなシステムでは、メッセージの送信優先順位はメッセージのIDによって決定されます。ソフトウェアによる送信処理を容易にするため、CANモジュールは複数の送信待ちメッセージが存在する場合、有効なメッセージのどれが最高優先順位を持っているのかハードウェアによりIDを検索して自動的に判断します。したがって、ソフトウェアにより優先順位制御を行う必要がありません。

アイデンティファイア (ID) による送信プライオリティ制御を行います。

図21 - 31 メッセージ処理例



送信メッセージの検索は、保留されている送信要求を持つ送信メッセージ・バッファ（TRQビットがあらかじめセット（1）されたメッセージ・バッファ）のうち、最高位の優先度を持つ送信メッセージが送信されます。

また、新しく送信要求が設定された場合は、新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合、低位の優先度を持つ送信メッセージの送信が開始されていなければ、最高位の優先度を持つ送信メッセージが送信されます。この優先度の逆転を解決するために、ソフトウェアにより低位の優先度のメッセージに対し送信中断要求を実行できます。最高位の優先度は、次のように決定されます。

優先順位	条 件	説 明
1 (高)	IDの先頭11ビットの値 [ID28 : ID18]	IDの先頭11ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11ビット標準IDの値が29ビット拡張IDの先頭11ビットと同一あるいは小さい場合は、11ビット標準IDが29ビット拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11ビット標準IDを持つデータ・フレーム（COMCONFm.RTRビットがクリア（0））は、標準IDを持つリモート・フレームや拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
3	IDタイプ	標準IDを持つメッセージ・フレーム（COMIDHm.IDEビットがクリア（0））は、拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
4	IDの下位18ビットの値 [ID17:ID0]	IDの先頭11ビットが同じ値を持ち、フレーム・タイプが同じ（RTRビット値が等しい）、拡張IDを持つ2つ以上のメッセージ・フレームが送信保留中の場合、拡張IDの下位18ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5 (低)	メッセージ・バッファ番号	2つ以上のメッセージ・バッファが同じIDを持つメッセージ・フレームの送信要求がある場合に、最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

備考1. ABT付き通常動作モードで、自動ブロック送信要求COGMABT.ABTTRGビットをセット（1）した場合、ABTメッセージ・バッファ・グループの1つのメッセージ・バッファのみTRQビットがセット（1）されます。ABT付き通常動作モードでは、ABTTRGビットにより開始されるとABT領域（バッファ0～7）に1つのTRQビットがセットされます。このTRQビット以外に、アプリケーションは、ABT領域以外の送信メッセージ・バッファに対し、送信要求ができます。その場合に内部送信検索処理（TXサーチ）により、検索されたメッセージが次に送信されます。この検索処理は、TRQビットがセットされたすべての送信メッセージ・バッファを検索し、次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが2個またはそれ以上あった場合（たとえば同一IDなど）、最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。メッセージ・フレームの送信が成功すると次の動作を行います。

- ・対応する送信メッセージ・バッファのTRQビットが自動的にクリア（0）されます。
- ・対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合、COINTSレジスタの送信完了ステータス・ビットCINTS0がセット（1）されます。
- ・COIE.CIE0ビットをセット（1）、かつ対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合、INTRRX1の割り込み要求信号が出力されます。

備考2. 送信メッセージ・バッファの内容を変更する際は、内容を更新する前にこのバッファのRDYフラグをクリアしなければなりません。内部処理の移行中、RDYフラグが一時的にロックされている可能性があるため、変更後はRDYフラグの状態をソフトウェアにより確認する必要があります。

3. m = 00-31

21. 10. 2 送信ヒストリ・リスト機能

送信ヒストリ・リスト機能は、データ・フレームまたはリモート・フレームを送信することに送信ヒストリ・リスト (THL) ヘメッセージ・バッファ番号の記録を行います。THLは、最大7メッセージ分の格納エレメントと、送信ヒストリ・リスト書き込みポインタ (LOPT) に対応するC0LOPTレジスタおよび送信ヒストリ・リスト読み出しポインタ (TGPT) に対応するC0TGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、THLは不定です。

C0LOPTポインタは、LOPTポインタ - 1で示されるTHLエレメントの内容を保持しますので、C0LOPTレジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPTポインタは、THLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると、対応するメッセージ・バッファ番号がLOPTポインタで示されるTHLエレメントに記録されます。THLへの記録が完了するごとに、LOPTポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

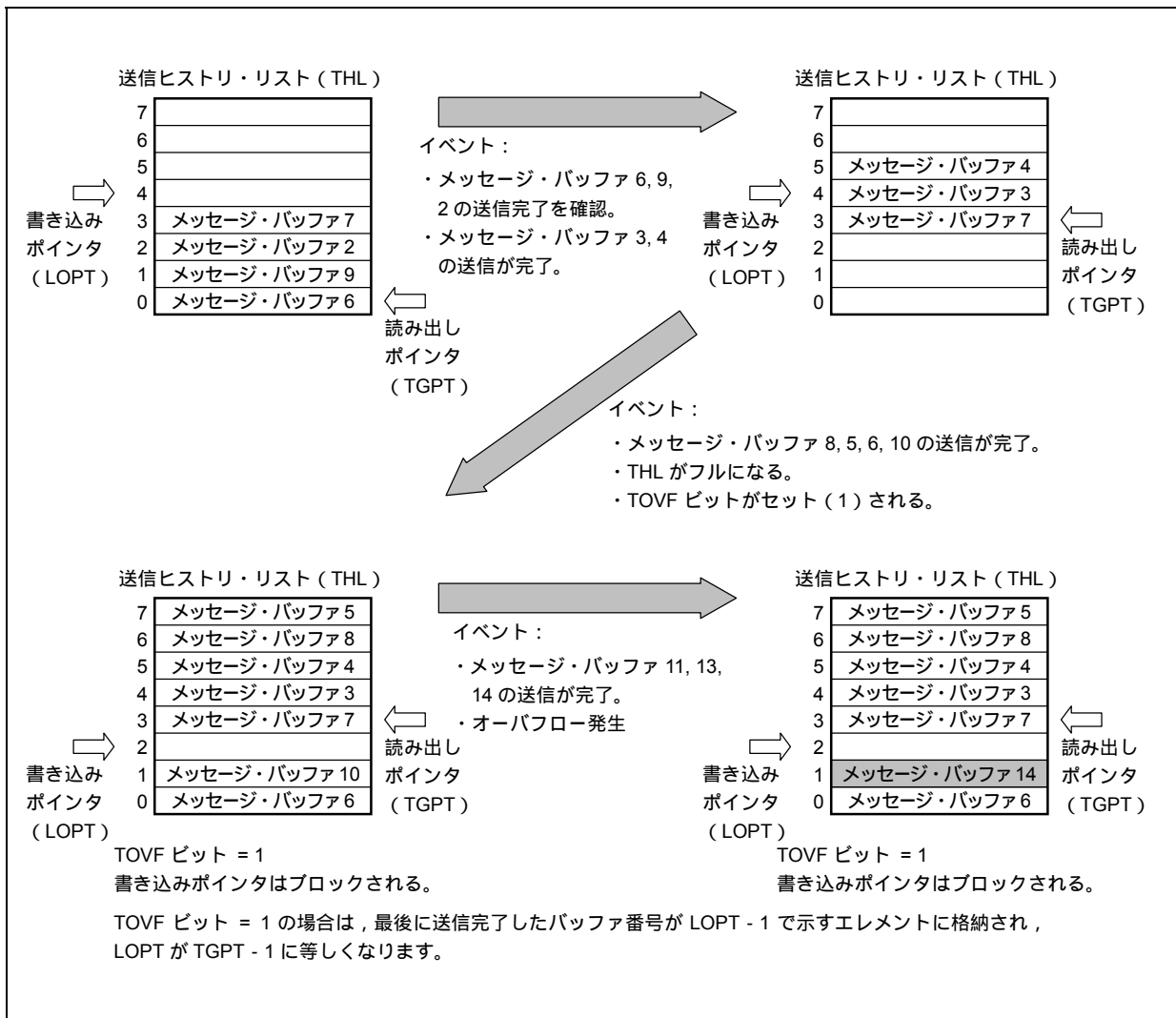
TGPTポインタは、記録されたメッセージ・バッファ番号をTHLから読み出す際の読み出しポインタとして機能します。TGPTポインタはCPUがまだ読み出しを行っていない最初のTHLエレメントを示しています。ソフトウェアにより、C0TGPTレジスタを読み出すことにより、送信完了したメッセージ・バッファの番号を読み出すことができます。C0TGPTレジスタからメッセージ・バッファ番号を読み出すごとに、TGPTポインタは自動的にインクリメントされます。

TGPTポインタとLOPTポインタが一致した場合には、C0TGPT.THMPビット (送信ヒストリ・リスト・ポインタ一致) がセット (1) されます。THMPビットがセット (1) されていることで、THLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、送信完了により新しくメッセージ・バッファ番号の記録が行われると、LOPTポインタがインクリメントされポインタが一致なくなり、THMPビットはクリア (0) されます。つまり、THL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLOPTポインタがTGPTポインタ - 1と一致した場合には、C0TGPTレジスタのTOVFビット (送信ヒストリ・リスト・オーバフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でTHLがフルに記録されている状態を示します。さらに、メッセージの送信完了が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。したがって、TOVFビットがセット (1) されたあと、THLに保持しているメッセージ・バッファ番号は完全に時系列にはならなくなります。ただし、その場合でもCPUはすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPUが送信再設定を行う前に実行)。TOVFビットに関わらず6つの送信メッセージ・バッファ番号はTHLに保存されます。

注意 送信履歴・リストがオーバーフローした状態 (C0TGPT.TOVFビット = 1) でも、未読の履歴がなくなりC0TGPT.THPMビットがセット(1)されるまで送信履歴を読み出すことが可能です。ただし、TOVFビットはソフトウェアによりクリア(0)されるまではセット(1)された状態 (= オーバフローしている)を継続します。この状態では、TOVFビットがクリア(0)されないかぎり新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア(0)されません。したがって、TOVFビット = 1かつTHPMビット = 1で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。

図21 - 32 送信履歴・リスト



21. 10. 3 自動ブロック送信機能 (ABT : Automatic Block Transmission)

自動ブロック送信機能 (以降, ABTと記述) は, CPUを介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT用に割り付けられる送信メッセージ・バッファ数は, メッセージ・バッファ0からメッセージ・バッファ7までの8メッセージ固定です。

ABTは, C0CTRL.OPMODE2-OPMODE0ビットを010Bに設定することで, “自動ブロック送信機能付き通常動作モード” (以降, ABT付き通常動作モードと記述) に選択できます。

ABTの送信要求を発行する前にソフトウェアにより, メッセージ・バッファを定義してください。ABT用のすべてのメッセージ・バッファに対して, C0MCONFm.MA0ビットをセット(1)し, さらにC0MCONFm.MT2-MT0ビットに000Bを設定し送信メッセージ・バッファとして定義してください。ABT用メッセージ・バッファで使用されるIDは, すべてのメッセージ・バッファのIDが同一として使用する場合でも, 必ず各メッセージ・バッファにIDを設定してください。また, 複数のIDを使用する場合は, C0MIDLm, C0MIDHmレジスタで各メッセージ・バッファのIDを設定して使用してください。C0MDLCmレジスタおよびC0MDATA0m-C0MDATA7mレジスタは, ABTモードでABTの送信要求の発行前に設定してください。

ABT用のメッセージ・バッファの初期化が終了したあとに, C0MCTRLm.RDYビットをセット(1)してください。ABTでは, C0MCTRLm.TRQビットをソフトウェアにより設定する必要はありません。

ABT用のメッセージ・バッファにデータを準備したあと, 自動ブロック送信は, C0GMABT.ABTTRGビットをセット(1)することで開始されます。ABTが開始されると, 最初のメッセージ・バッファ(メッセージ・バッファ0)のTRQビットが自動的にセット(1)され送信が始まります。メッセージ・バッファ0の送信が終了したら, 次のメッセージ・バッファ1のTRQビットが自動的にセットされ, 以降順次送信を行います。

このとき, 連続送信中の送信要求(TRQビット)の自動セットをする間隔にプログラブルで遅延の挿入ができます。挿入する遅延量はC0GMABTDレジスタで設定を行い, 単位はDBT(データ・ビット・タイム)です。DBTはC0BRPレジスタおよびC0BTRレジスタで設定される時間に依存します。

ABTは, ABT送信メッセージ・バッファ内での送信IDの優先順位の検索は行わず, メッセージ・バッファ0から最大メッセージ・バッファ7まで順に送信し, メッセージ・バッファ7からのデータ・フレームの送信が完了すると, ABTTRGビットは自動的にクリア(0)され, ABT送信が完了します。

ABT送信中に, ABT用メッセージ・バッファの中にRDYビットがクリア(0)されたメッセージ・バッファがあると, そのメッセージ・バッファからの送信を行わずにABT送信を停止しABTTRGビットがクリアされます。そのあと, ソフトウェアによりRDYビットをセット(1)し, ABTTRGビットをセット(1)することでABT送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は, ABT送信が停止しABTTRGビットがクリア(0)された状態でC0GMABT.ABTCLRビットをセット(1)することで内部のABT送信エンジンをリセットすることができます。この場合, ABTCLRビットをクリア(0)後, ABTTRGビットをセット(1)するとメッセージ・バッファ0から送信を開始します。

ABT用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき, 最後のメッセージ・バッファ以外のC0MCTRLm.IEビットをクリア(0)しておく必要があります。

ABT用メッセージ・バッファ以外の送信メッセージ・バッファ(メッセージ・バッファ8-メッセージ・バッファ31)が送信メッセージ・バッファに割り付けられている場合は, 現在送信が保留されているABT用メッセージ・バッファの送信IDとそれらABT用メッセージ・バッファ以外の送信メッセージ・バッファの間の優先順位判定により, 最終的に送信されるメッセージの優先順位が決定されます。

ABT用メッセージ・バッファからのデータ・フレームの送信は, 送信ヒストリ・リスト(THL)に記録されません。

- 注意1. ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTTRGビットがクリア(0)されている状態でABTCLRビットをセット(1)してください。ABTTRGビットがセット(1)されている状態で、ABTCLRビットをセット(1)した場合には、以降の動作を保証しません。
2. ABTCLRビットのセット(1)による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア(0)されることで確認できます。
 3. 初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証しません。
 4. ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット(1)しないでください。セットした場合には動作は保証しません。
 5. COGMABTDレジスタは、ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前ABTメッセージの送信完了から、次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8-メッセージ・バッファ31)に対する送信要求の設定状況に依存して変化します。
 6. ABTメッセージ以外のメッセージに対して送信要求を設定した場合に、かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合(COGMABTDレジスタ = 00H)でも、ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。
 7. ABTTRGビット = 1の状態では、RDYビットをクリア(0)しないでください。
 8. ABT付き通常動作モード時、他ノードからメッセージを受信した場合、COGMABTDレジスタ = 00H設定時でも1フレーム分待ってから送信する場合があります。

備考 m = 00-31

21. 10. 4 送信中断処理

備考 m = 00-31

(1) 自動ブロック送信機能(ABT)付き通常動作モード以外での送信中断処理

送信要求を中断する必要がある場合には、COMCTRLm.TRQビットをクリア(0)します。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すCOCTRL.TSTATビットとCOTGPTレジスタを確認してください(詳細は、図21 - 46の処理を参照してください)。

(2) 自動ブロック送信機能(ABT)付き通常動作モードでのABT送信以外の送信中断処理

送信要求を中断する必要がある場合には、最初にCOGMABT.ABTTRGビットをクリア(0)します。ABTTRGビットがクリア(0)されたことを確認したあとで、COMCTRLm.TRQビットをクリア(0)します。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すCOCTRL.TSTATビットとCOTGPTレジスタを確認してください(詳細は、図21 - 47の処理を参照してください)。

(3) 自動ブロック送信機能 (ABT) 付き通常動作モードでの送信中断処理

すでに連続送信が開始されたABTを中断する必要がある場合は、C0GMABT.ABTTRGビットをクリア(0)します。この場合、ABTTRGビットは、現在ABTメッセージの送信であれば、送信が完了(成功、失敗問わず)するまでABTTRGビット = 1を保持し、送信が完了した時点でABTTRGビットはクリア(0)されます。これによりABT送信が中断されます。

送信中断前に最後に行った送信が成功した場合、ABT付き通常動作モードでは内部のABTポインタは次に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は、内部ABTポインタは最後に送信されたメッセージ・バッファのTRQビットの状態に依存します。ABTTRGビットのクリア(0)要求をする時点で、TRQビットがセット(1)されている場合には、内部ABTポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています(詳細は、図21-48(a)の処理を参照してください)。ABTTRGビットのクリア(0)要求をする時点でTRQビットがクリア(0)されている場合には、内部ABTポインタは+1インクリメントされ、ABT領域の次のメッセージ・バッファを指します(詳細は、図21-48(b)の処理を参照してください)。

注意 ABT送信の中断は、必ずABTTRGビット = 0によって行ってください。RDYクリアによる送信中断を要求した場合は、動作を保証しません。

ABT中断後にABTTRGビットをセット(1)することでABT付き通常動作モードが再開する場合、再開後に送信されるABTメッセージ・バッファは次の通りです。

ABT用メッセージ・バッファのTRQの状態	成功送信完了後に中断	送信エラー後に中断
セット(1)	ABT領域の次のメッセージ・バッファ ^注	ABT領域の同じメッセージ・バッファ
クリア(0)	ABT領域の次のメッセージ・バッファ ^注	ABT領域の次のメッセージ・バッファ ^注

注 ABT領域に、ABT送信が可能な状態のメッセージ・バッファが存在する場合のみ、上記中断後の再開動作が可能です。たとえば、メッセージ・バッファ7のABT送信中に発行された中断要求は、メッセージ・バッファ7の送信が成功完了した場合は、ABTTRGビット = 0となっても中断ではなくABT送信の完了とみなされます。また、ABT領域の次のメッセージ・バッファのC0MCTRLm.RDYビットがクリア(0)されている場合などは、内部ABTポインタは保持されますが、ABTTRGビットをセット(1)しても再開動作は行わずにただちにABT送信を終了します。

備考 m = 00-31

21. 10. 5 リモート・フレーム送信

リモート・フレームは、送信メッセージ・バッファからのみ送信することができます。C0MCONFm.RTRビットにより、データ・フレーム送信かリモート・フレーム送信かを設定します。RTRビットをセット(1)することにより、リモート・フレーム送信ができます。

備考 m = 00-31

21. 11 パワー・セーブ・モード

21. 11. 1 CANスリープ・モード

CANスリープ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANスリープ・モードは、すべての動作モードから移行することができます。CANスリープ・モードが解除されても、CANスリープ・モードに移行前と同じ動作モードを保持します。

CANスリープ・モードでは、送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANスリープ・モードへの移行

C0CTRL.PSMODE1, PSMODE0ビットを01Bに設定することで、CANスリープ・モードの要求を行います。この要求は次の場合に受け付けられます。

(i) CANモジュールがすでに次の動作モードにある場合

- ・ 通常動作モード
- ・ ABT付き通常動作モード
- ・ 受信オンリー・モード
- ・ シングル・ショット・モード
- ・ セルフ・テスト・モード
- ・ 上記のすべての動作モードにおいてCANストップ・モードである

(ii) CANバス状態がバス・アイドルの場合（インタフレーム・スペースの4ビット目がレセシブである）^注

注 CANバスがドミナントに固着している場合には、CANスリープ・モードへの移行要求は保留されません。また、CANストップ・モードではCANスリープ・モードへの遷移はCANバスの状態には依存しません。

(iii) 送信要求が保留されていない

上記の条件の1つでも満たされない場合は、次のように動作します。

- ・初期化モードにおいてCANスリープ・モードの要求が行われた場合、その要求は無視され初期化モードのままになります。
- ・任意の動作モードにおいてCANバス状態がバス・アイドルではない（CANバス状態が送信中または受信）ときにCANスリープ・モードの要求が行われた場合、CANスリープ・モードへただちに移行しません。その場合、CANスリープ・モードの要求はCANバス状態がバス・アイドル（インタフレーム・スペースの4ビット目がレセシブ）になるまで保留されます。CANスリープ・モードの要求を行ってから実際に移行が完了するまでは、PSMODE1, PSMODE0ビットは00Bの設定のままになっていますが、移行が完了するとPSMODE1, PSMODE0ビット = 01Bになります。
- ・任意の動作モードにおいて、初期化モード遷移要求とCANスリープ・モード要求が同時に発行された場合には、初期化モード遷移要求のみが有効となり、CANモジュールは所定のタイミングで初期化モードに移行します。このときCANスリープ・モード要求は保留されず無視されます。
- ・初期化モード遷移要求とCANスリープ・モード要求が同時に発行されなかった場合（つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合）でも初期化モード遷移要求はCANスリープ・モード要求より優先されます。たとえば、CANスリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合、初期化モード遷移要求の発行時点でCANスリープ・モード要求はただちに無効となります。また、初期化モード遷移要求が保留されている状態でCANスリープ・モード要求が発行された場合、CANスリープ・モード要求の発行時点でただちにCANスリープ・モード要求が無効となります。

(2) CANスリープ・モードの状態

CANスリープ・モードへ移行後は、CANモジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CANバスからのウエイク・アップのためにCAN受信端子（CRXD0）の立ち下がりエッジ検出は機能しています。
- ・CPUからのウエイク・アップのためにPSMODE1, PSMODE0ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みができません。
- ・CAN0モジュール・レジスタからの読み出しは、C0LIPT, C0RGPT, C0LOPT, C0TGPTレジスタを除いて可能です。
- ・CAN0メッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・C0GMCTRL.MBONビットがクリア（0）されます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANスリープ・モードの解除

CANスリープ・モードは次の動作により解除されます。

- ・ PSMODE1, PSMODE0ビットに00Bを設定した場合
- ・ CAN受信端子 (CRXD0) の立ち下がリエッジの検出 (レセシブからドミナントへのCANバス変化)

注意1. 立ち下がリエッジが受信メッセージのSOFであった場合、そのメッセージの受信および格納は行われません。CANスリープ・モード中、CANへのクロックが停止されていると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE1.PSMODE0ビットは01Bのままとなります。また、それ以降の受信メッセージも受信されません。

2. CANクロックが供給されている状態で、CAN受信端子 (CRXD0) に立ち下がリエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります (詳細は、図 21 - 53の処理を参照してください)。

CANスリープ・モードが解除されたあとは、CANスリープ・モードが要求される前の動作モードに戻り、PSMODE1, PSMODE0ビットは00Bにリセットされます。CANスリープ・モードが、CANバス変化によって解除された場合、C0IE.CIEビットに関わらずC0INTS.CINTS5ビットがセット (1) されます。またCANスリープ・モード解除後は、CANモジュールは自動的にCANバス上に連続した11ビットのレセシブを検出することでCANバスへの再参加を行います。また、スリープ・モードを解除したあと、アプリケーションにより再度メッセージ・バッファにアクセスする前にC0GMCTRL.MBONビット = 1を確認しなければなりません。

CANスリープ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANスリープ・モードをいったん解除してください。

注意 CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。

21. 11. 2 CANストップ・モード

CANストップ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANストップ・モードは、CANスリープ・モードからのみ移行することができます。CANストップ・モードを解除することによって、CANスリープ・モードに移行します。

CANストップ・モードは、C0CTRL.PSMODE1, PSMODE0ビットを01Bに設定することでのみ解除（CANスリープ・モードへの移行）が可能です、CANバスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANストップ・モードへの移行

PSMODE1, PSMODE0ビットを11Bに設定することで、CANストップ・モードの要求を行います。CANストップ・モードの要求は、CANモジュールがCANスリープ・モードの場合のみ受け付けられます。CANスリープ・モードでない状態では、CANストップ・モードの移行要求は無視されます。

注意 CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE1, PSMODE0ビット = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子(CRXD0)のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります（ただし、CANクロックが供給されている状態では、CAN受信端子(CRXD0)のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。

(2) CANストップ・モードの状態

CANストップ・モードへ移行後は、CANモジュールは次の状態となります。

- ・ 内部動作クロックが停止し、低消費電力状態となります。
- ・ CPUからのウエイク・アップのためにPSMODE1, PSMODE0ビットは書き込みができますが、それ以外のCAN0モジュール・レジスタおよびビットには書き込みができません。
- ・ CAN0モジュール・レジスタからの読み出しは、C0LIPT, C0RGPT, C0LOPT, C0TGPTレジスタを除いて可能です。
- ・ CAN0メッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・ C0GMCTRL.MBONビットがクリア(0)されます。
- ・ 初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANストップ・モードの解除

CANストップ・モードは、PSMODE1, PSMODE0ビットを01Bに設定することによってのみ解除されます。解除後はCANスリープ・モードに移行します。

CANストップ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANストップ・モードを解除し、さらにCANスリープ・モードを解除してください。CANストップ・モードからCANスリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

21. 11. 3 パワー・セーブ・モード使用例

アプリケーション・システムにおいて、消費電力を低減するためにCPUをパワー・セーブ・モードに設定することが必要となる場合があります。このとき、CANモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを連携させることで、パワー・セーブ状態のCPUをCANバスからウエイク・アップさせることが可能です。

次に使用例を説明します。

まず、CANモジュールをCANスリープ・モードに移行させます (PSMODE1, PSMODE0ビット= 01B)。次に、CPUをパワー・セーブ・モードに移行させます。この状態で、CRXD0信号がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールのCINTS5ビットがセット (1) され、さらにC0CTRL.CIE5ビットがセット (1) されている場合には、ウエイク・アップ割り込み (INTC0WUP) が発生します。CANモジュールは、CANスリープ・モードが自動的に解除 (PSMODE1, PSMODE0ビット= 00B) され、通常動作モードに復帰します (ただし、CANクロックが供給されている状態では、CAN受信端子 (CRXD0) がバス変化を検出したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。一方、CPUはINTC0WUPを受けて、CPU自身のパワー・セーブ・モードを解除し、通常動作モードに復帰することができます。

CPUのさらなる消費電力の低減を図るために、CANモジュールを含めた内部クロックを停止させることがあります。この場合、前述のように、CANモジュールをCANスリープ・モードに移行させたあとに、CANモジュールに供給されている動作クロックを停止します。その後、CPUはCPUへのクロック供給を停止するパワー・セーブ・モードに移行させます。この状態で、CRXD0信号がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールはクロック供給がない状態でもCINTS5ビットのセット (1) とウエイク・アップ割り込み (INTC0WUP) を発生することが可能です。ただし、それ以外の機能は、CANモジュールへのクロック供給が止まっているため動作せず、CANスリープ・モード状態を維持します。CPUは、INTC0WUPを受けて、CPUのパワー・セーブ・モードを解除し、たとえば発振安定時間経過後に、CANモジュールへのクロックを含めた内部クロックの供給を再開し、所定の命令実行動作を開始します。CANモジュールは、クロック供給が再開されるとただちにCANスリープ・モードを解除し、通常動作モード (PSMODE1, PSMODE0ビット= 00B) に復帰します。

21.12 割り込み機能

CANモジュールには、6つの割り込み要因があります。

これらの割り込み要因の発生は、割り込みステータス・レジスタに格納されます。6つの割り込み要因から、4つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には、割り込みステータス・レジスタを使用して、割り込み要因の特定ができます。割り込み要因の発生後、ソフトウェアにより対応する割り込みステータス・ビットをクリア(0)する必要があります。

表21-20 CANモジュール割り込み要因一覧

No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
	ビット名	レジスタ	ビット名	レジスタ		
1	CINTS0 ^{注1}	COINTS	CIE0 ^{注1}	COIE	INTCOTRX	メッセージ・バッファからのメッセージ・フレームの正常な送信完了割り込み
2	CINTS1 ^{注1}	COINTS	CIE1 ^{注1}	COIE	INTCOREC	メッセージ・バッファへの有効なメッセージ・フレーム受信完了割り込み
3	CINTS2	COINTS	CIE2	COIE	INTCOERR	CANモジュール・エラー状態割り込み ^{注2}
4	CINTS3	COINTS	CIE3	COIE		CANモジュール・プロトコル・エラー割り込み ^{注3}
5	CINTS4	COINTS	CIE4	COIE		CANモジュール・アービトレーション・ロスト割り込み
6	CINTS5	COINTS	CIE5	COIE	INTCOWUP	CANスリープ・モードからのウエイク・アップ割り込み ^{注4}

注1. メッセージ・バッファでは、割り込みを発生させたいメッセージ・バッファのCOMCTRL.IEビット(メッセージ・バッファ割り込み許可ビット)をセット(1)する必要があります。

- 送受信エラー・カウンタがワーニング・レベル, エラー・パッシブおよびバス・オフ状態になることが要因で発生する割り込みです。
- スタッフ・エラー, フォーム・エラー, ACKエラー, ビット・エラー, CRCエラーが要因で発生する割り込みです。
- CAN受信端子の立ち下がりエッジの検出(レセプからドミナントへのCANバス変化)によるCANスリープ・モードからのウエイク・アップが要因で発生する割り込みです。

備考 m = 00-31

21. 13 診断機能と特殊動作モード

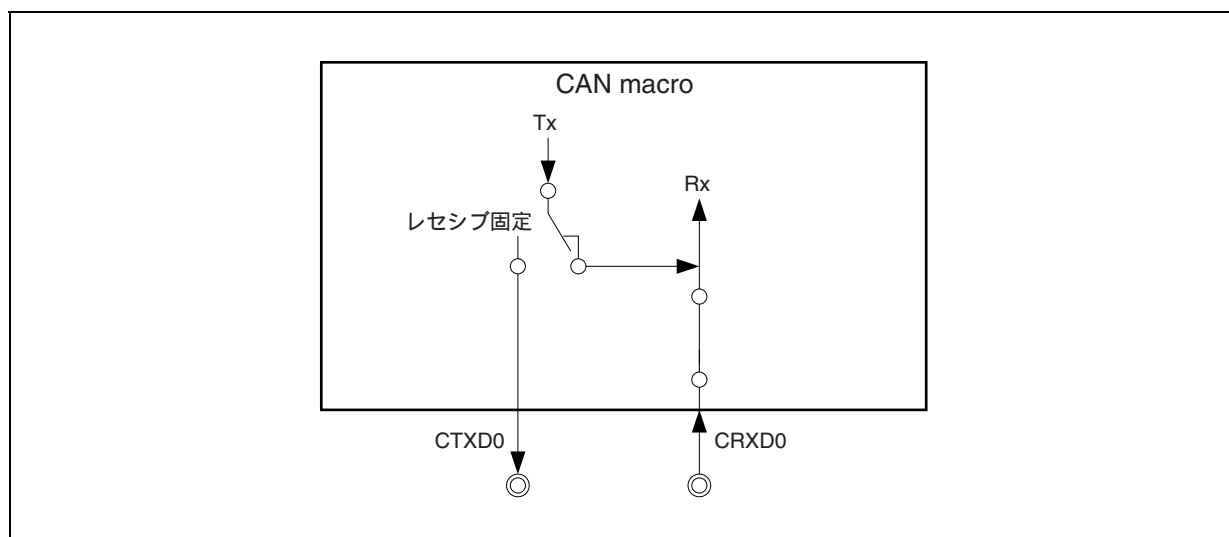
CANモジュールは、CANバス診断機能および特殊なCAN通信方法の動作をサポートするための受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを利用できます。

21. 13. 1 受信オンリー・モード

受信オンリー・モードは、CANバスに影響を与えずに受信メッセージをモニタするモードで、CANバス分析ノード用に使用できます。

たとえば、自動ボー・レート検出に利用できます。“有効な受信”が検出されるまでCANモジュールのボー・レートを変化させ、互いのボー・レートを合わせ込むことができます（“有効な受信”とは、エラーが発生せず、CANバスに接続されたノードによる適切なACK応答を伴って、CANプロトコル・レイヤ層で受信されたメッセージ・フレームを意味します）。有効な受信では、受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）へのメッセージ・フレームの格納は必要ありません。有効な受信は、COCTRL.VALIDビットがセット（1）されることで確認できます。

図21 - 33 受信オンリー・モードにおけるCAN端子接続



受信オンリー・モードは、CANモジュールからCANバスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは、CANモジュールのCAN送信端子 (CTXD0) は、レセシブ・レベルに固定されています。したがって、メッセージ・フレームの受信中にCANバス・エラーが検出された場合でも、CANモジュールからアクティブ・エラー・フラグをCANバスに送信しません。また、CANモジュールから送信を発行できないため、送信エラー・カウンタC0ERC.TEC7-TEC0ビットは更新されません。したがって、受信オンリー・モードのCANモジュールは、バス・オフ状態になりません。

さらに、受信オンリー・モードは、有効なメッセージ・フレームの受信時に、CANバスにACKを返却しません。内部的には自ノードはACKを送信したと認識します。オーバーロード・フレームをCANバスに送信することができません。

注意 2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・パッシブになります (エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合)。メッセージ・フレームの17回目を送信したあとに、送信ノードはパッシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット (1) されます。

21. 13. 2 シングル・ショット・モード

シングル・ショット・モードは、CANプロトコルで定義された自動再送信は行いません (CANプロトコルでは、アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は、ソフトウェアによる制御なしで再送信される必要があります)。シングル・ショット・モードのそのほかの動作は通常動作モードと同一です。シングル・ショット・モードの機能はABT付き通常動作モードでは使用できません。

シングル・ショット・モードは、C0CTRL.ALビットの設定に従って、中止されたメッセージ・フレーム送信の再送信を無効にします。ALビットがクリア (0) されている場合は、アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。ALビットがセット (1) されている場合は、エラー発生時の再送信は無効になりますが、アービトレーション・ロスト発生時の再送信は有効になります。したがって、送信メッセージ・バッファとして定義されたメッセージ・バッファのC0MCTRLm.TRQビットは、次のイベントでクリア (0) されます。

- ・メッセージ・フレームの正常送信完了
- ・メッセージ・フレームのアービトレーション・ロスト発生 (ALビット = 0)
- ・メッセージ・フレーム送信中のエラー発生

アービトレーション・ロスト発生とエラー発生は、C0INTS.CINTS4, CINTS3ビットを確認し、エラーの種類はC0LEC.LEC2-LEC0ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時、C0INTSレジスタの送信完了割り込みCINTS0ビットは、セット (1) されます。そのとき、C0IE.CIE0ビットがセット (1) されている場合には、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイム・トリガの通信方法 (TTCANレベル1など) をエミュレートするために使用することができます。

注意 ALビットは、シングル・ショット・モード時のみ有効です。その他の動作モードでは、アービトラーション・ロスト時の再送動作に影響を与えません。

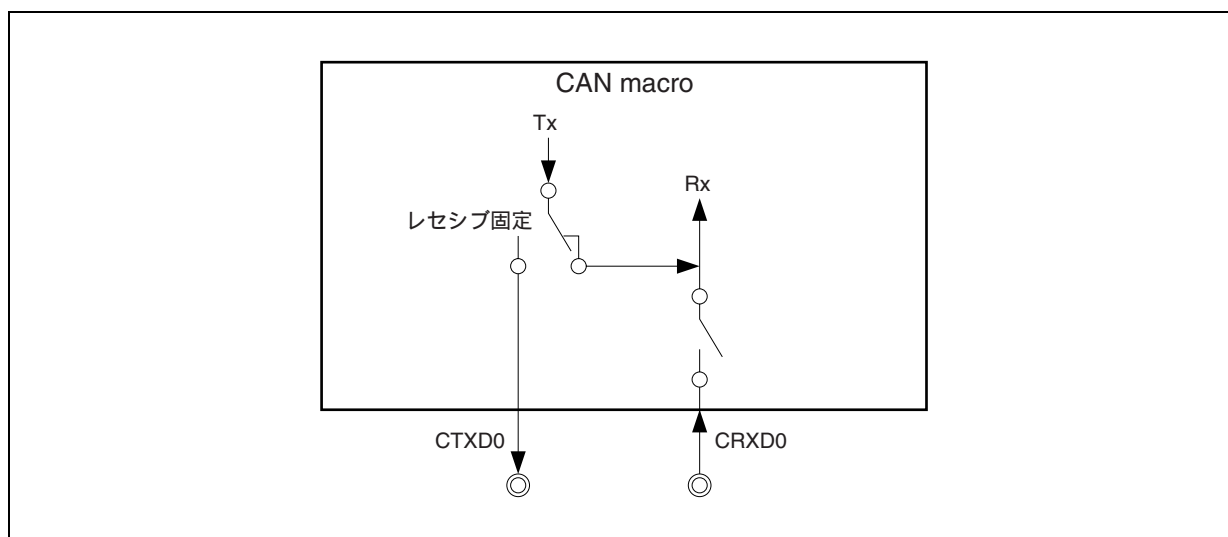
21. 13. 3 セルフ・テスト・モード

セルフ・テスト・モードは、CANノードをCANバスに接続することなく、つまり、CANバスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードは、CANモジュールがCANバスから完全に切断されていますが、内部的に送信と受信はループ・バックされています。CAN送信端子（CTXD0）は、レセシブ・レベルに固定されています。

ただし、セルフ・テスト・モードでCANスリープ・モードに移行したあと、CAN受信端子（CRXD0）の立ち下がりエッジの検出をすると、ほかの動作モードと同様にCANスリープ・モードから解除されます（ただし、CANクロックが供給されている状態でスリープ・モードを解除したい場合は、CAN受信端子（CRXD0）の立ち下がりエッジの検出後、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。CANスリープ・モードから解除されないようにするには、CAN受信端子（CRXD0）をポートに切り替えて使用してください。

図21 - 34 セルフ・テスト・モードにおけるCAN端子接続



21. 13. 4 各動作モードにおける送受信動作

各動作モードにおける送受信動作の概略を表21 - 21に示します。

表21 - 21 各動作モードにおける送受信動作の概要

動作モード	データ・フレーム /リモート・ フレーム送信	ACK送信	エラー・フレーム /オーバーロード・ フレーム送信	再送信	自動ブロック 送信 (ABT)	VALID ビットのセ ット	メッセージ・ バッファへの データ格納
初期化モード	-	-	-	-	-	-	-
通常動作モード					-		
ABT付き通常動作 モード							
受信オンリー・モ ード	-	-	-	-	-		
シングル・ ショット・モード				注1	-		
セルフ・テスト・ モード	注2	注2	注2	注2	-	注2	注2

注1. アービトレーション・ロスト時，COCTRL.ALビットにより，再送信の設定が可能です。

2. 各信号は外部に出力されませんが，CANモジュール内部で発生します。

21. 14 タイム・スタンプ機能

CANは非同期のシリアル通信プロトコルです。したがって、CANバスに接続されているすべてのノードは、それぞれが独自のローカルなクロックを使っています。そのため、各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり、周波数が完全に合致していません）。

しかし、アプリケーションによっては、ネットワーク全体で使われる共通タイム・ベース（= グローバル・タイム・ベース）が必要となるものがあります。グローバル・タイム・ベースを確立するためには、タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要なメカニズムは、CANバス上の信号をトリガとしてタイマ値をキャプチャすることです。

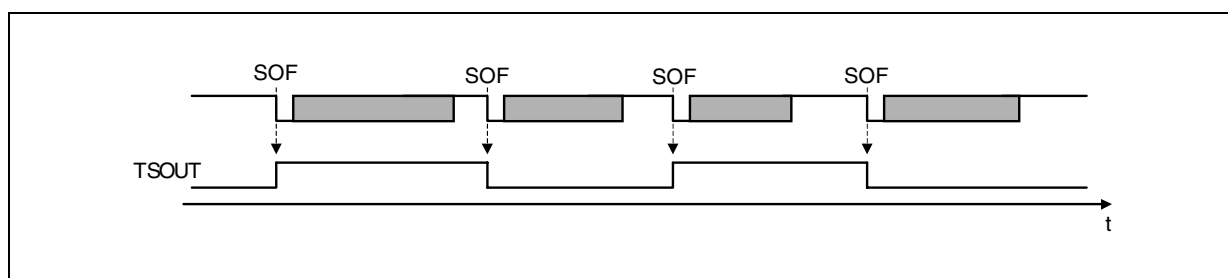
21. 14. 1 タイム・スタンプ機能

CANコントローラは、特定フレームをトリガとしてタイマ値をキャプチャする場合に必要な機能をサポートしています。そのために、CANコントローラに加え製品に内蔵されている16ビットのキャプチャ/タイマ・ユニットを使用します。この場合、16ビット・キャプチャ・タイマ・ユニットは、CANコントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号（TSOUT）に応じて、タイマ値をキャプチャします。CPUはそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわちCANバスから受信したメッセージのタイム・スタンプを得ることができます。TSOUT信号は、次の2つのイベント・ソースから選択することができ、C0TS.TSSELビットにより指定します。

- ・SOFイベント（スタート・オブ・フレーム）（TSSELビット = 0）
- ・EOFイベント（エンド・オブ・フレームの最終ビット）（TSSELビット = 1）

またTSOUT信号は、C0TS.TSENビットをセット（1）することで動作許可状態になります。

図21 - 35 キャプチャ用信号TSOUTのタイミング図



TSOUT信号は、データ・フレームの受信時に、選択されたイベントが発生するたびにそのレベルがトグルします（図21 - 34は、SOFをトリガのイベント・ソースとした場合のタイミング図です）。このTSOUT信号によるキャプチャを行うためには、キャプチャ/タイマ・ユニット側では、キャプチャ信号の検出は立ち上がりおよび立ち下りの両エッジで行う必要があります。

これらのタイム・スタンプの機能は、C0TS.TSLOCKビットにより制御することができます。TSLOCKビットがクリア（0）されている場合には、選択したイベントが発生するたびにTSOUT信号がトグルします。TSLOCKビットがセット（1）されている場合には、選択したイベントが発生するたびにTSOUT信号がトグルしますが、データ・フレームのメッセージ・バッファ0への受信格納開始時にTSENビットが自動的にクリア（0）されることで、トグル動作を停止させることができます。これにより、以降のTSOUT信号のトグル発生を抑え、最後にトグルした（= 最後にキャプチャした）タイム・スタンプ値を、メッセージ・バッファ0にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

注意 TSLOCKビットを使ったタイム・スタンプ機能は、メッセージ・バッファ0へのデータ・フレーム受信によりTSOUT信号のトグルを停止させるものです。そのためには、メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信によりTSOUT信号のトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信では、TSOUT信号のトグルは停止しません。

上記の理由で、CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUT信号のトグルの停止機能は使用できません。

21. 15 ボー・レート設定について

21. 15. 1 ビット・レート設定について

CANを正常に動作させるために、次の条件に設定してください。

- (a) 5TQ SPT (サンプル・ポイント) 17TQ
SPT = TSEG1 + 1TQ
- (b) 8TQ DBT (データ・ビット・タイム) 25TQ
DBT = TSEG1 + TSEG2 + 1TQ = TSEG2 + SPT
- (c) 1TQ SJW (同期ジャンプ幅) 4TQ
SJW DBT - SPT
- (d) 4TQ TSEG1 16TQ [3 TSEG1[3:0]の設定値 15]
- (e) 1TQ TSEG2 8TQ [0 TSEG2[2:0]の設定値 7]

備考 $TQ = 1/f_{TQ}$ (f_{TQ} : CANプロトコル・レイヤ基本システム・クロック)
TSEG1 [3:0] (COBTR.TSEG13-TSEG10ビット)
TSEG2 [2:0] (COBTR.TSEG22-TSEG20ビット)

上記条件を満たすビット・レートの組み合わせを表21 - 22に示します。

表21 - 22 設定可能なビット・レート組み合わせ

(1/3)

DBTの長さ	有効なビット・レート設定				C0BTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

表21 - 22 設定可能なビット・レート組み合わせ

(2/3)

DBTの長さ	有効なビット・レート設定				C0BTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

表21 - 22 設定可能なビット・レート組み合わせ

(3/3)

DBTの長さ	有効なビット・レート設定				C0BTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13- TSEG10	TSEG22- TSEG20	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 ^注	1	2	2	2	0011	001	71.4
7 ^注	1	4	1	1	0100	000	85.7
6 ^注	1	1	2	2	0010	001	66.7
6 ^注	1	3	1	1	0011	000	83.3
5 ^注	1	2	1	1	0010	000	80.0
4 ^注	1	1	1	1	0001	000	75.0

注 DBT値が7以下の設定は、C0BRPレジスタ = 00H以外の場合のみ有効です。

注意 表21 - 22は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

21. 15. 2 代表的なボー・レート設定例

代表的なボー・レート設定例を表21 - 23および表21 - 24に示します。

表21 - 23 代表的なボー・レート設定例 (f_{CANMOD} = 8 MHz設定時)

(1/2)

ボー・レート 設定値 (単位： kbps)	COBRP レジスタ による 分周比	COBRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定(単位：TQ)					COBTRレジスタ 設定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
1000	1	00000000	8	1	1	3	3	0011	010	62.5
1000	1	00000000	8	1	3	2	2	0100	001	75.0
1000	1	00000000	8	1	5	1	1	0101	000	87.5
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5

注意 表21 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

表21 - 23 代表的なボー・レート設定例 (f_{CANMOD} = 8 MHz 設定時)

(2/2)

ボー・レート 設定値 (単位: kbps)	C0BRP レジスタ による 分周比	C0BRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定(単位:TQ)					C0BTRレジスタ 設定値		サンプル・ ポイント (単位:%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意 表21 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

表21 - 24 代表的なボー・レート設定例 (f_{CANMOD} = 16 MHz設定時)

(1/2)

ボー・レート 設定値 (単位: kbps)	C0BRP レジスタ による 分周比	C0BRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位:TQ)					C0BTRレジスタ設 定値		サンプル・ ポイント (単位:%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意 表21 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

表21 - 24 代表的なボー・レート設定例 (f_{CANMOD} = 16 MHz設定時)

(2/2)

ボー・レート 設定値 (単位: kbps)	C0BRP レジスタ による 分周比	C0BRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定(単位:TQ)					C0BTRレジスタ設 定値		サンプル・ ポイント (単位:%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表21 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

21.16 CANコントローラの動作

ここで示す処理手順は、CANコントローラを動作させるための推奨処理手順となります。この推奨処理手順を参考にプログラム開発を行ってください。

備考 m = 00-31

図21 - 36 初期化

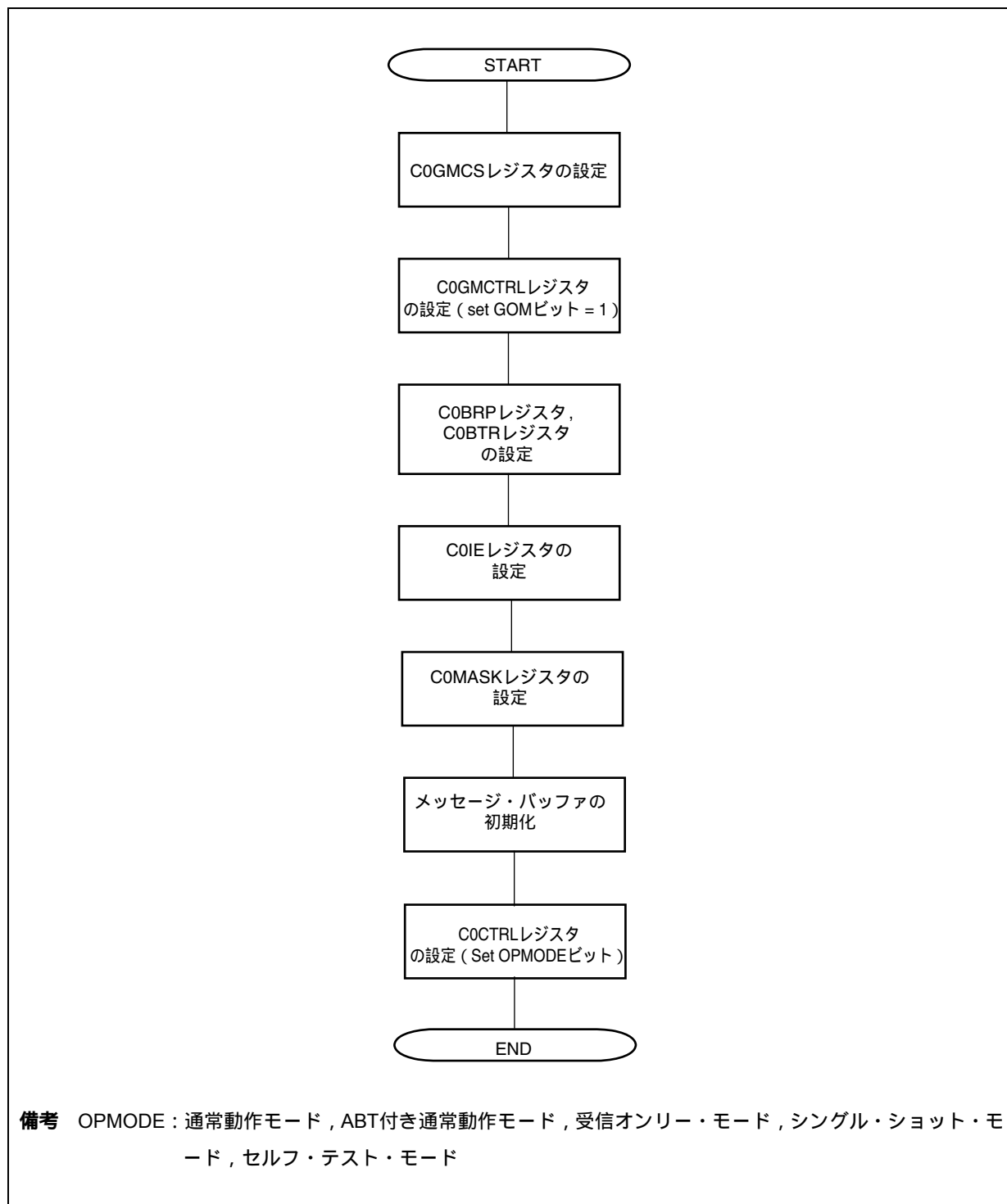


図21 - 37 再初期化

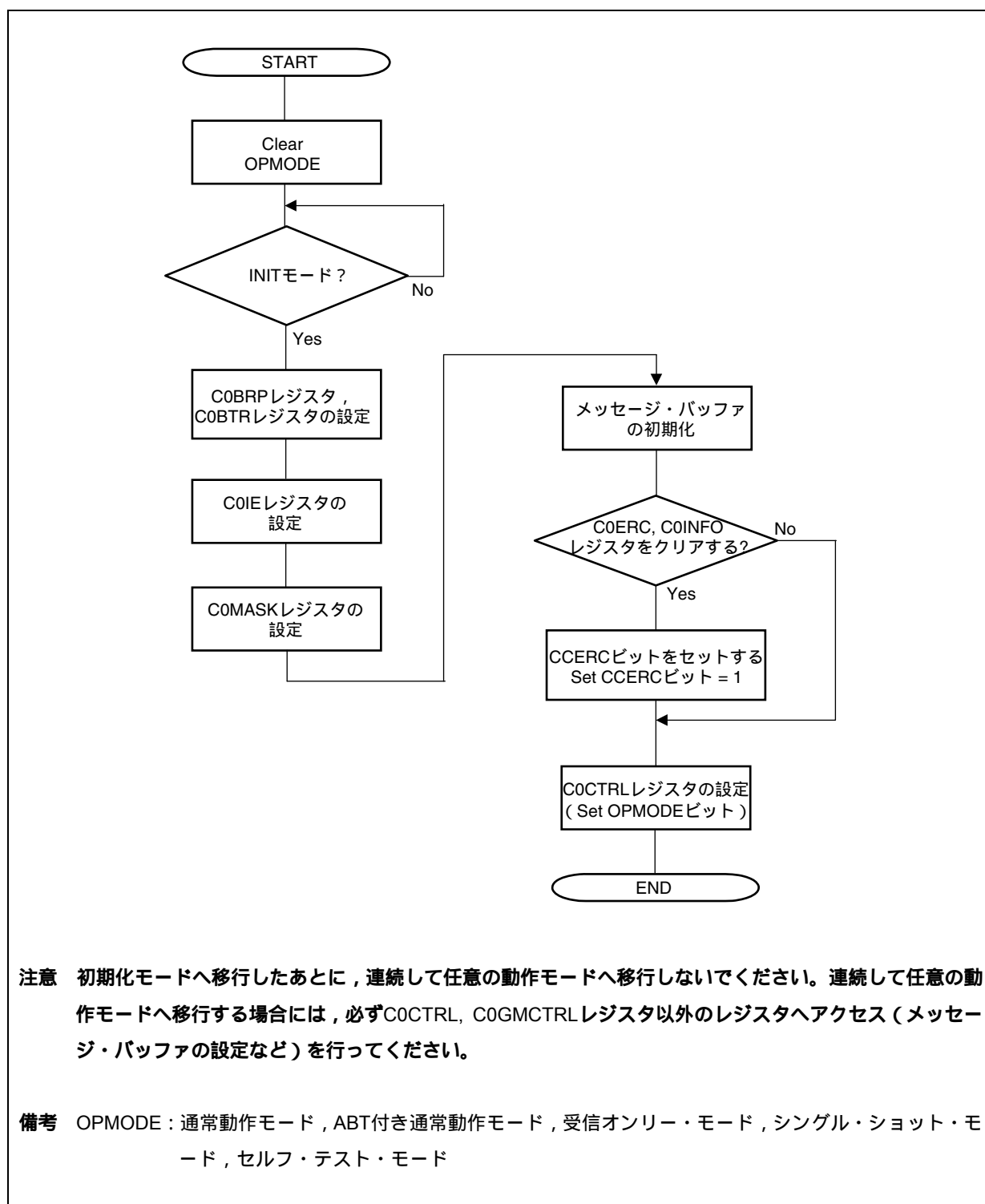
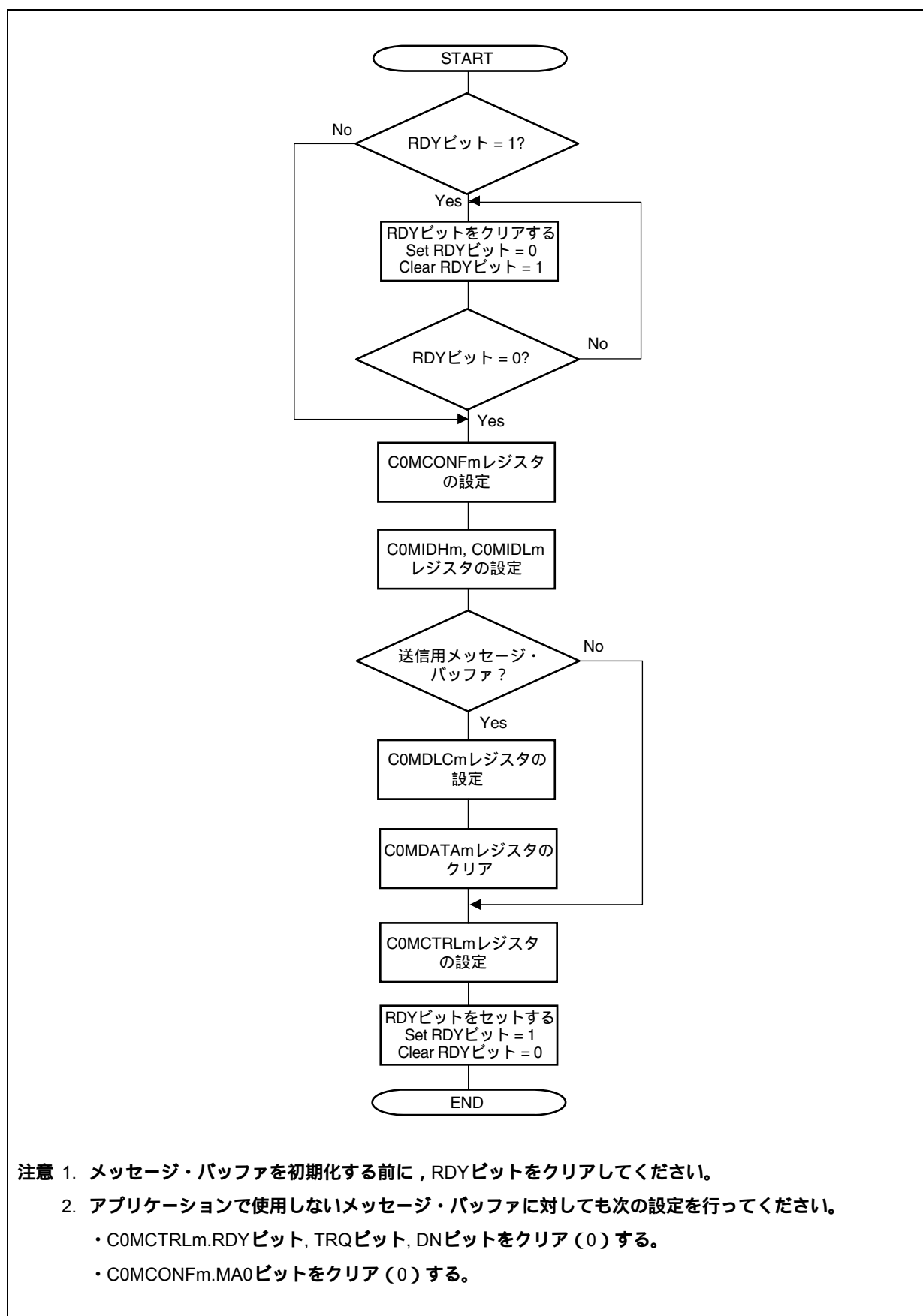


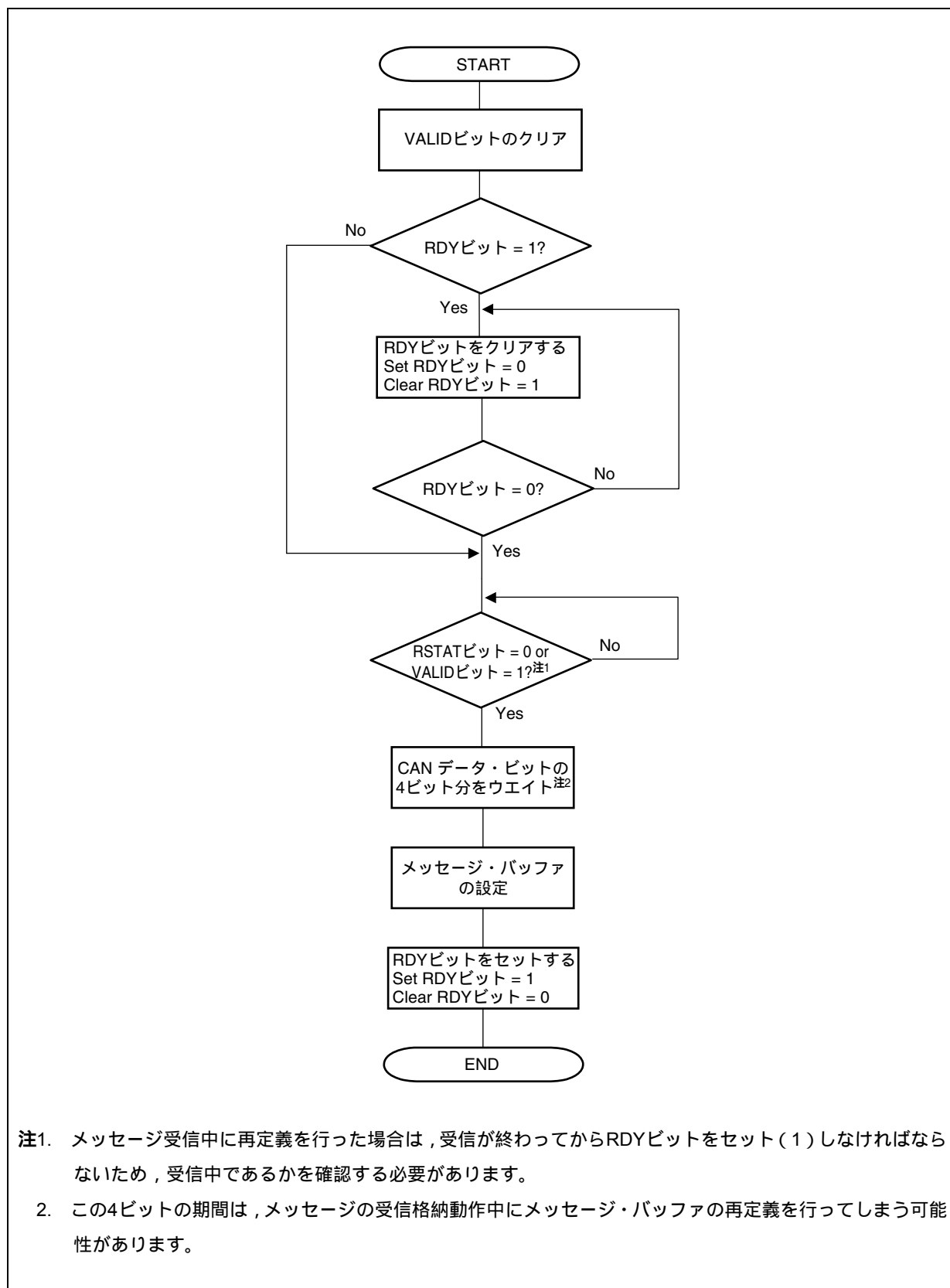
図21 - 38 メッセージ・バッファの初期化



- 注意**
1. メッセージ・バッファを初期化する前に、RDYビットをクリアしてください。
 2. アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。
 - ・COMCTRLm.RDYビット, TRQビット, DNビットをクリア (0) する。
 - ・COMCONFm.MA0ビットをクリア (0) する。

図21 - 39は、受信メッセージ・バッファに対する処理です (COMCONFm.MT2-MT0ビット = 001B-101B)。

図21 - 39 メッセージ・バッファの再定義



注1. メッセージ受信中に再定義を行った場合は、受信が終わってからRDYビットをセット(1)しなければならないため、受信中であるかを確認する必要があります。

2. この4ビットの期間は、メッセージの受信格納動作中にメッセージ・バッファの再定義を行ってしまう可能性があります。

図21 - 40は、送信中の送信メッセージ・バッファに対する処理です (COMCONFm.MT2-MT0ビット = 000B)。

図21 - 40 送信中のメッセージ・バッファの再定義

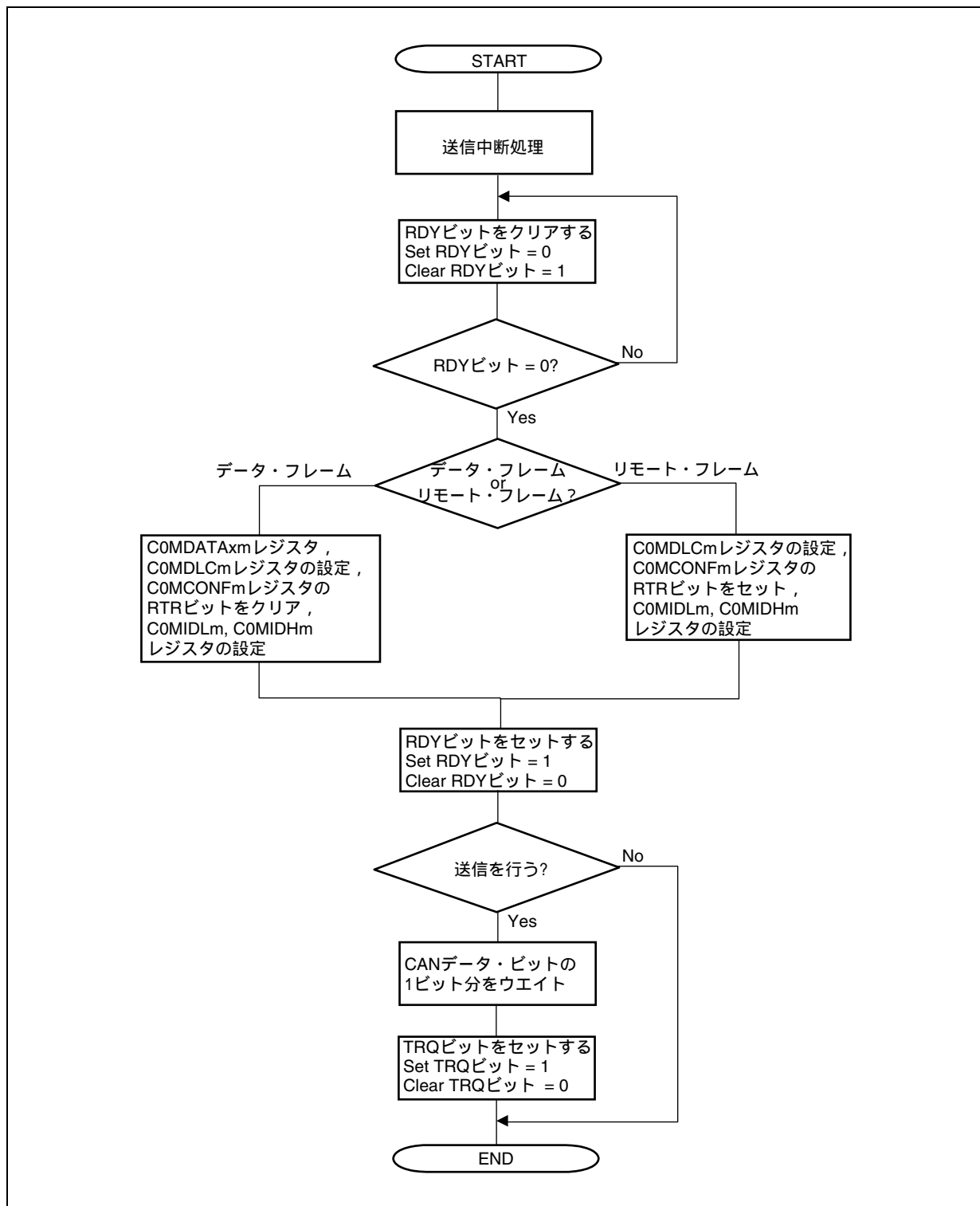


図21 - 41は、送信メッセージ・バッファに対する処理です (COMCONFm.MT2-MT0ビット = 000B)。

図21 - 41 メッセージ送信処理

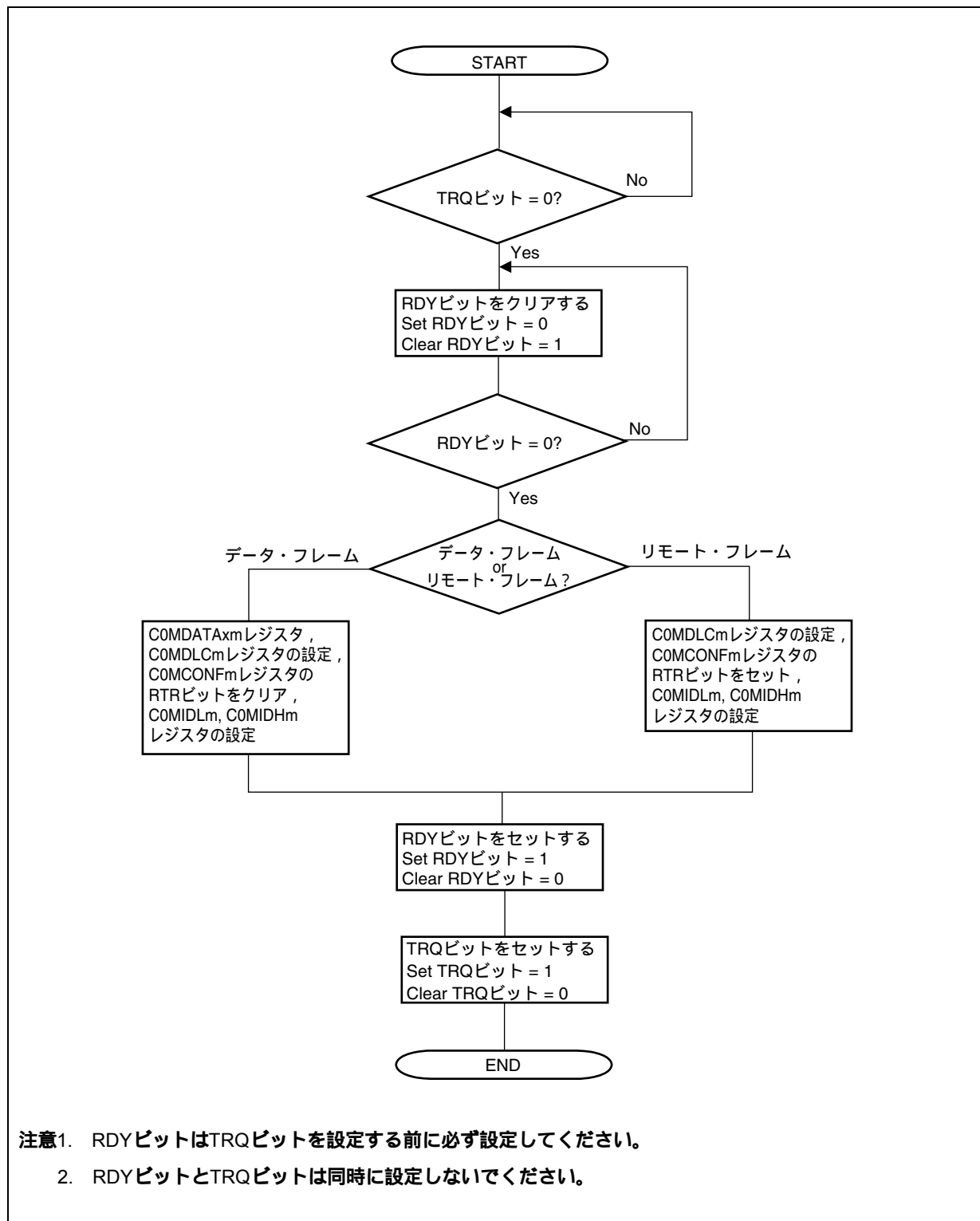
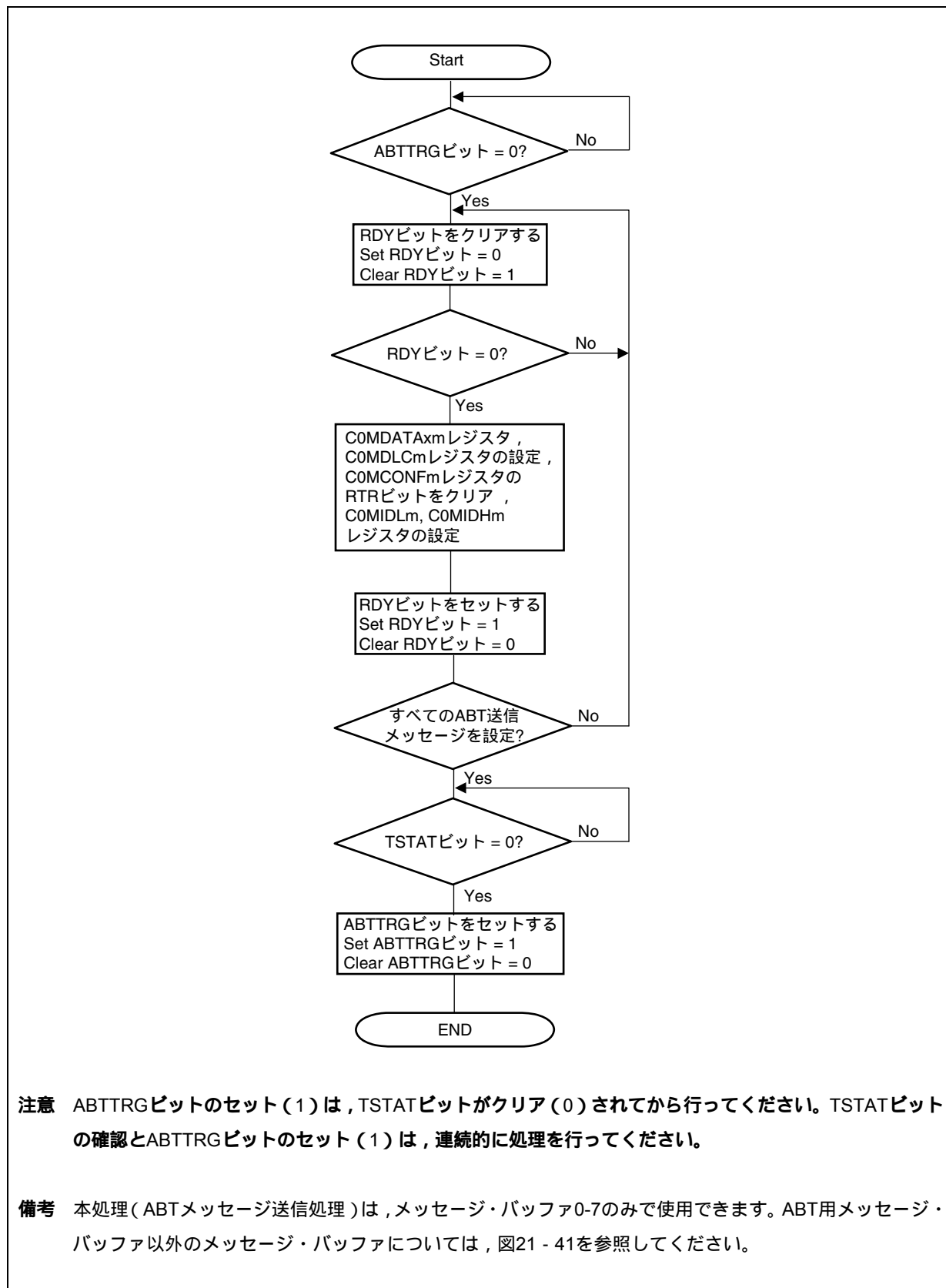


図21 - 42は、送信メッセージ・バッファに対する処理です (COMCONFm.MT2-MT0ビット = 000B)。

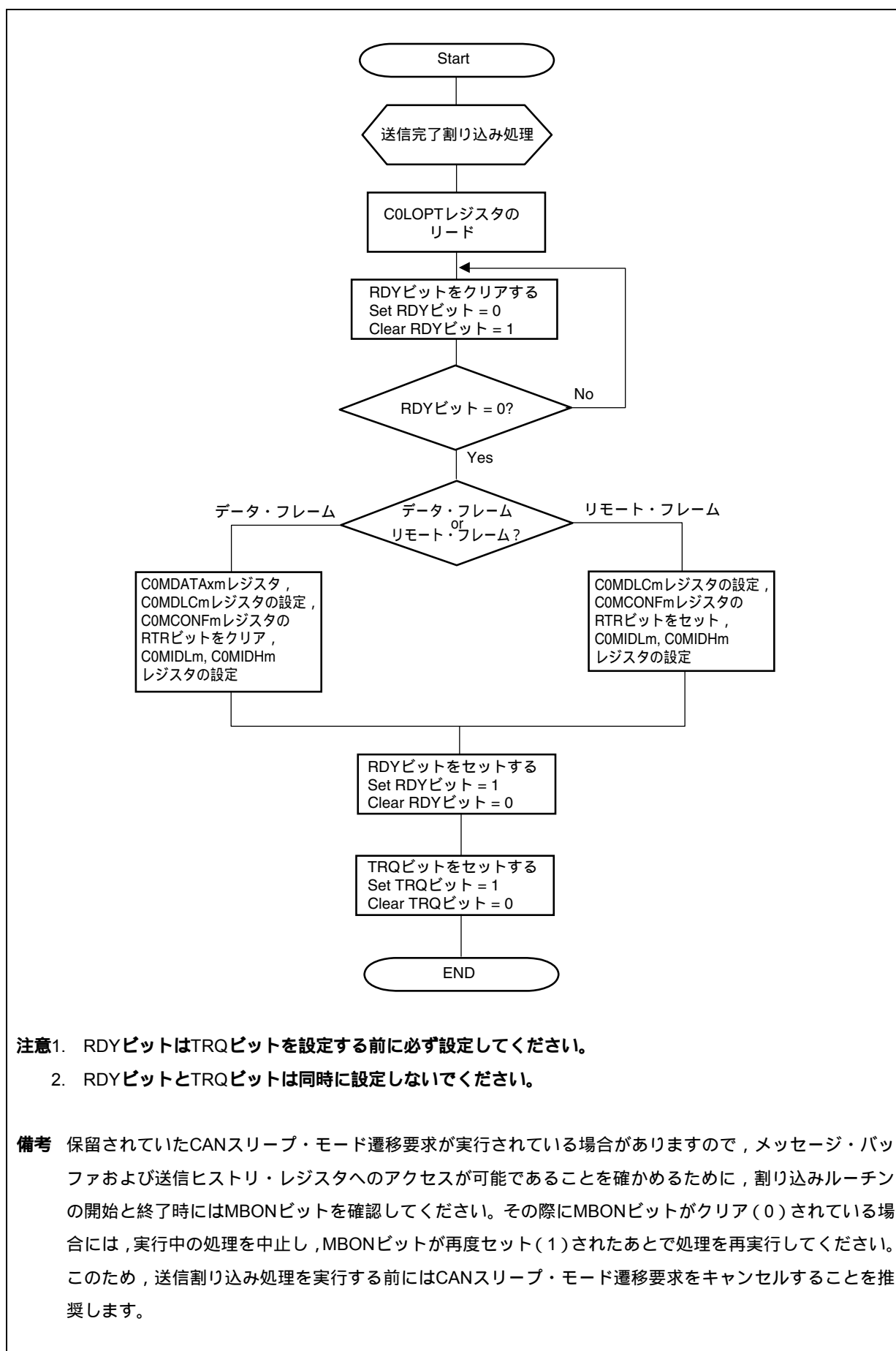
図21 - 42 ABTメッセージ送信処理



注意 ABTTRGビットのセット(1)は、TSTATビットがクリア(0)されてから行ってください。TSTATビットの確認とABTTRGビットのセット(1)は、連続的に処理を行ってください。

備考 本処理(ABTメッセージ送信処理)は、メッセージ・バッファ0-7のみで使用できます。ABT用メッセージ・バッファ以外のメッセージ・バッファについては、図21 - 41を参照してください。

図21 - 43 割り込みによる送信処理 (COLOPTレジスタを使用する処理)

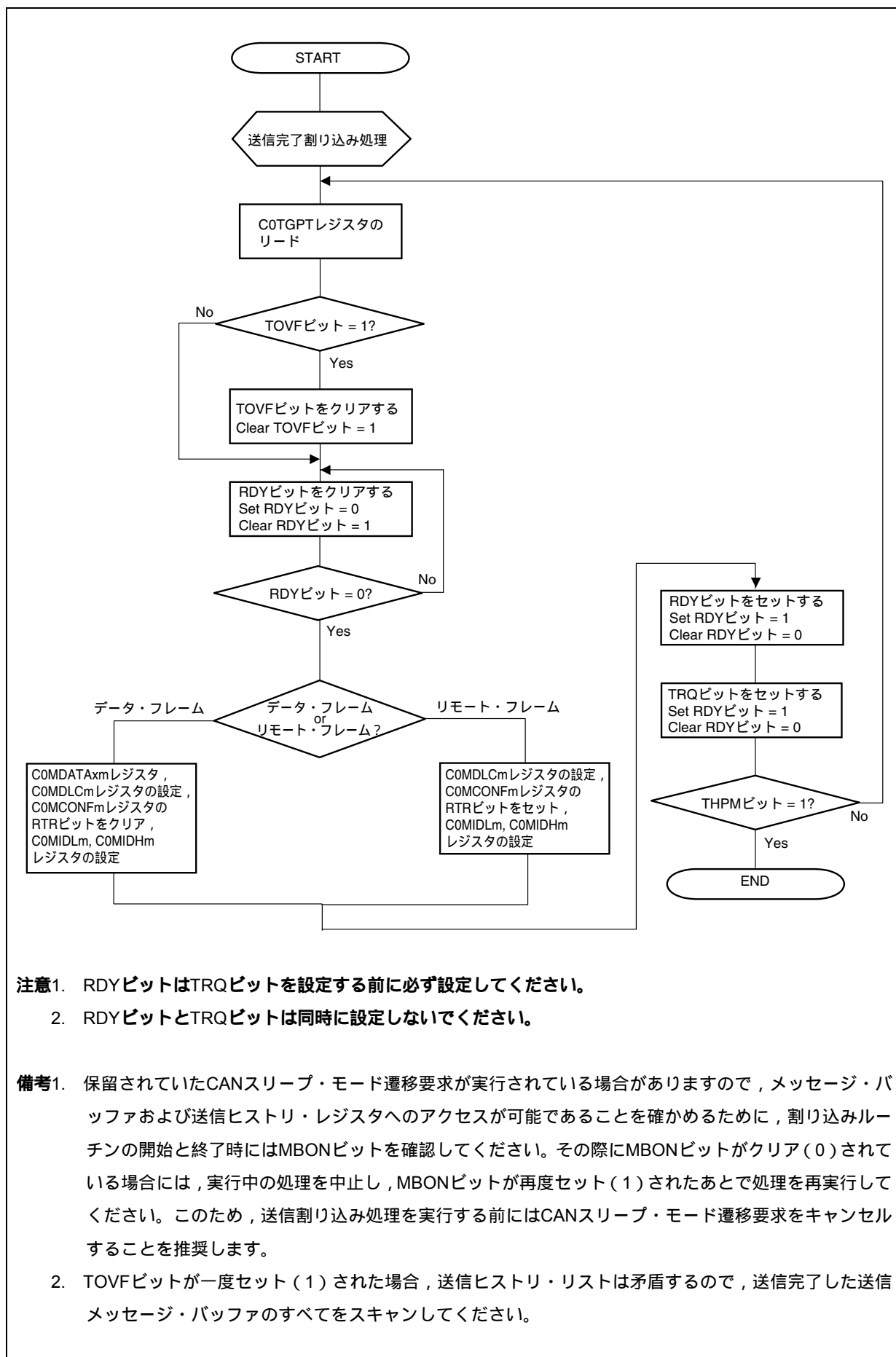


注意1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このため、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

図21 - 44 割り込みによる送信処理 (C0TGPTレジスタを使用する場合)



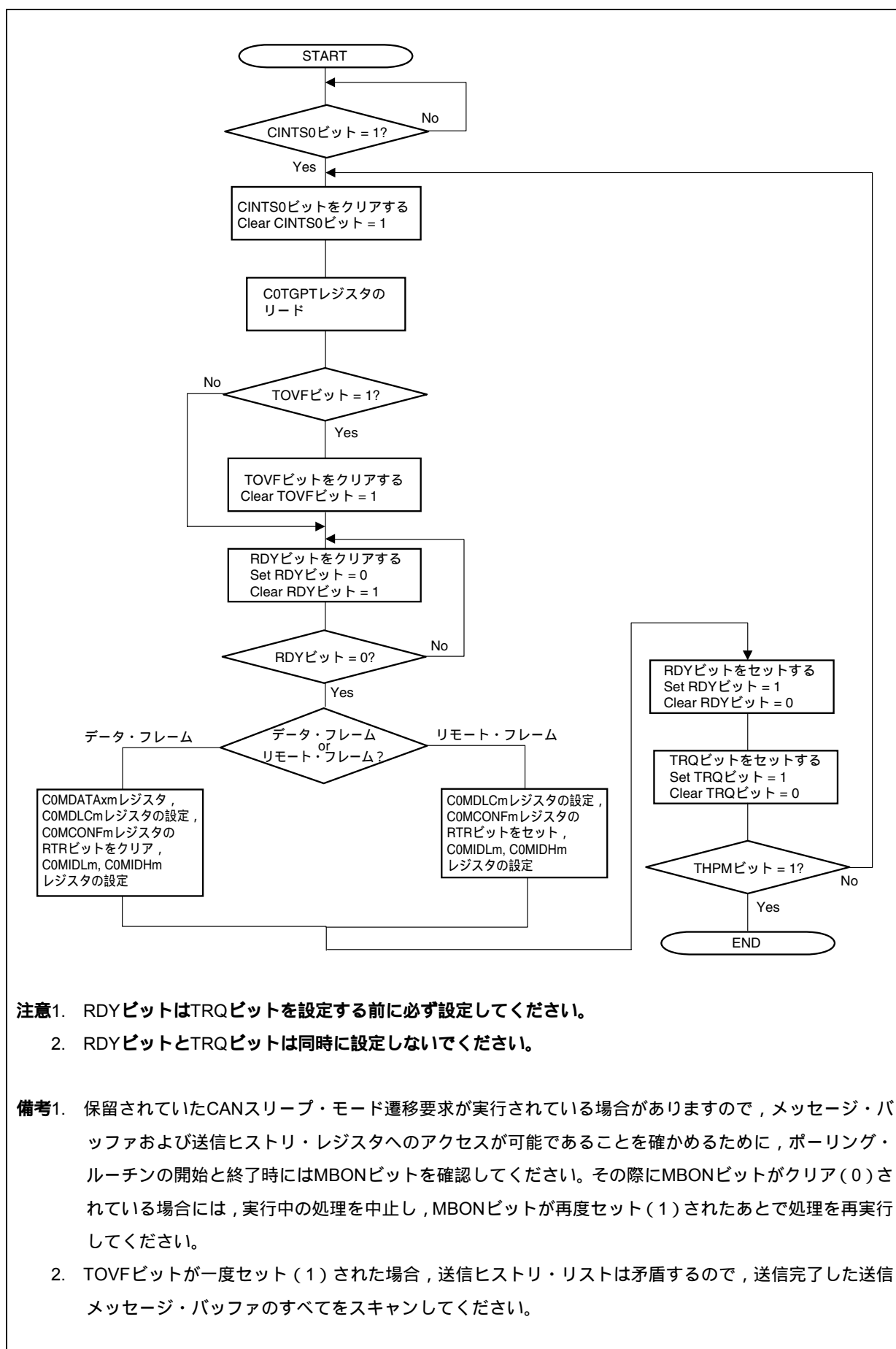
注意1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このため、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

2. TOVFビットが一度セット(1)された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

図21 - 45 ソフトウェア・ポーリングによる送信処理



注意1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。

2. TOVFビットが一度セット(1)された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

図21 - 46 送信中断処理 (ABT付き通常動作モード以外)

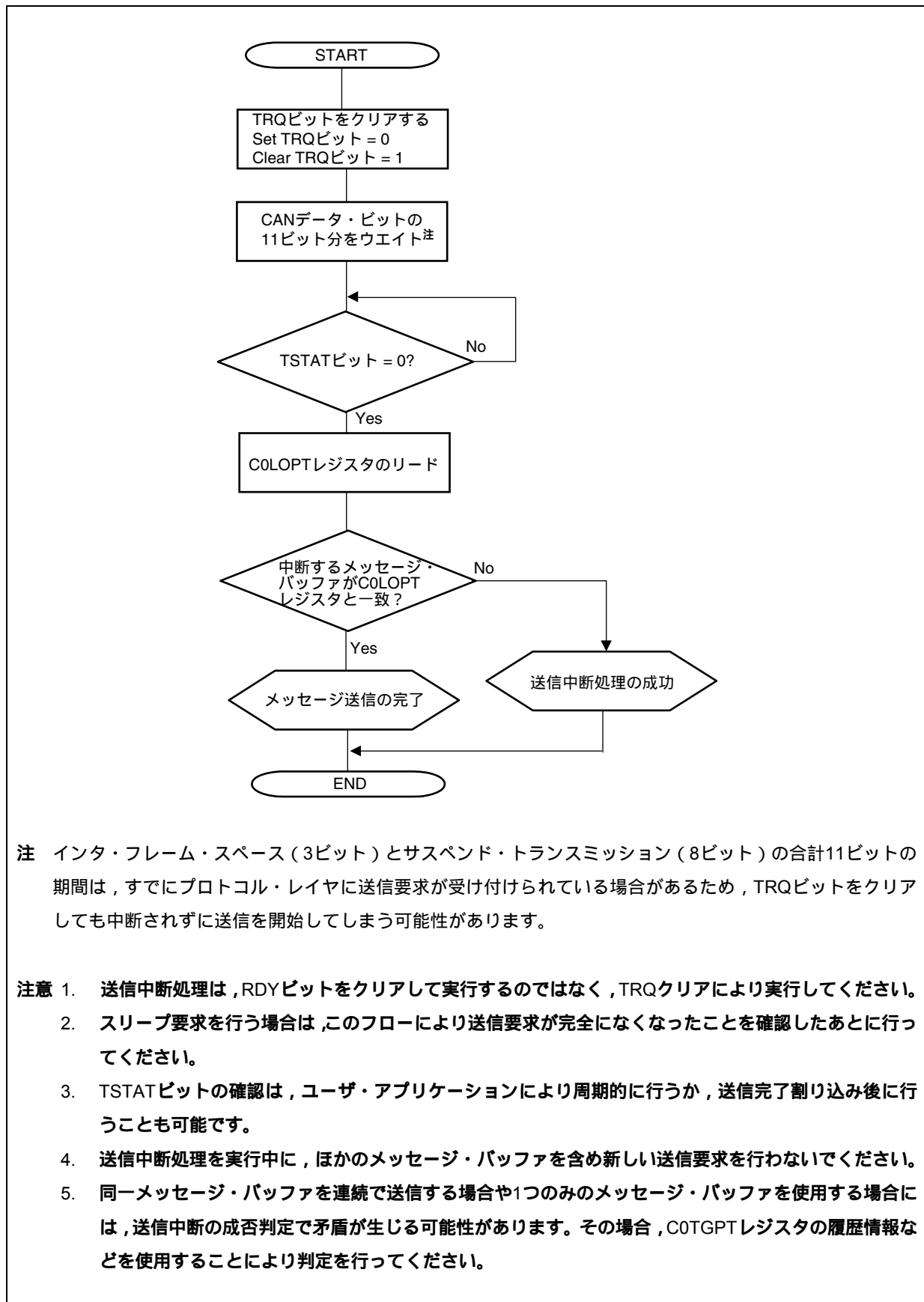
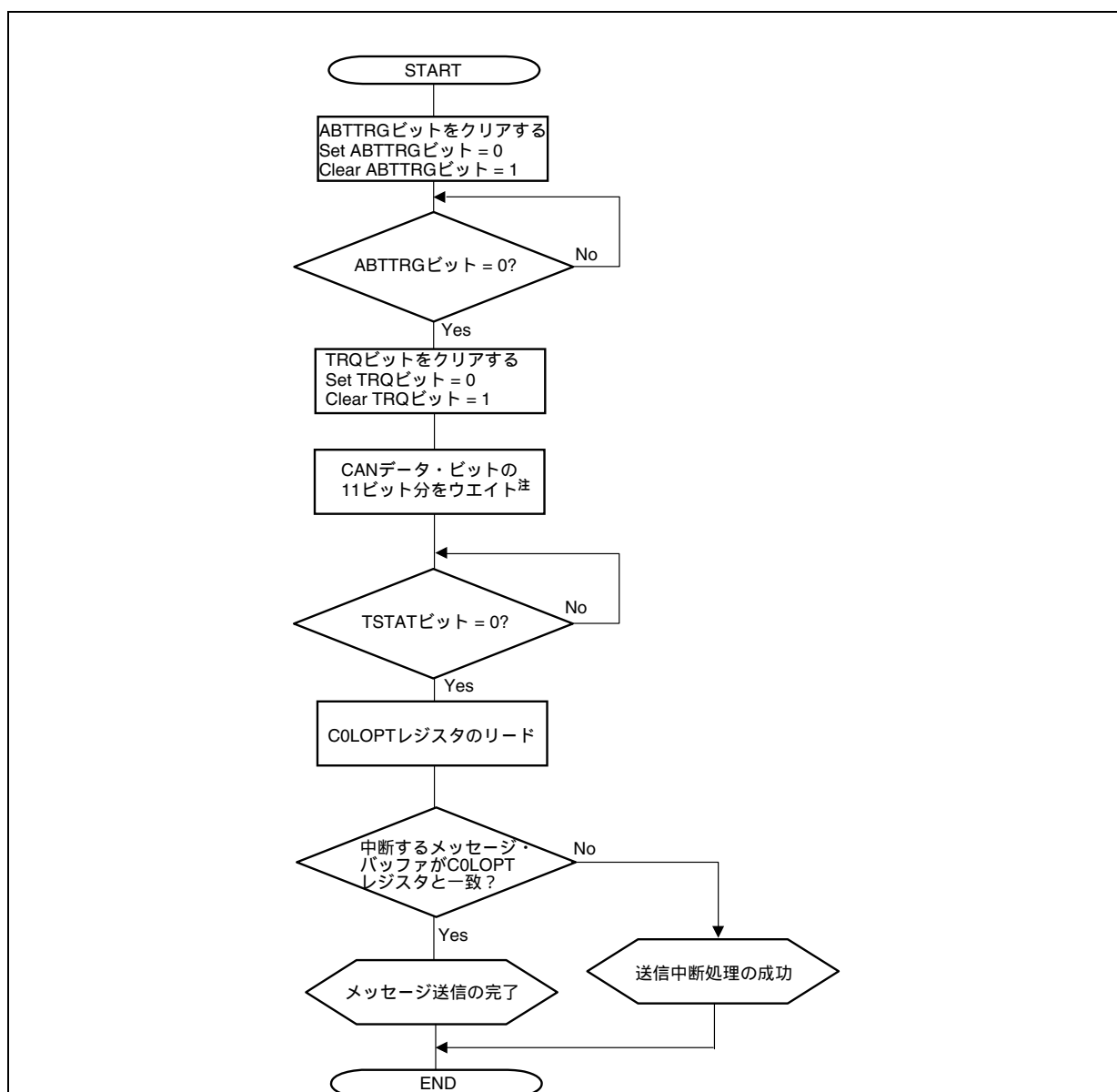


図21 - 47 ABT送信以外の送信中断処理 (ABT付き通常動作モード)



注 インタ・フレーム・スペース (3ビット) とサスペンド・トランスミッション (8ビット) の合計11ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

- 注意**
1. 送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。
 2. スリープ要求を行う場合は、このフローにより送信要求が完全になくなったことを確認したあとに行ってください。
 3. TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。
 4. 送信中断処理を実行中に、ほかのメッセージ・バッファを含め新しい送信要求を行わないでください。
 5. 同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、C0TGPTレジスタの履歴情報などを使用することにより判定を行ってください。

図21 - 48 (a) は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

図21 - 48 (a) ABT送信中断処理 (ABT付き通常動作モード)

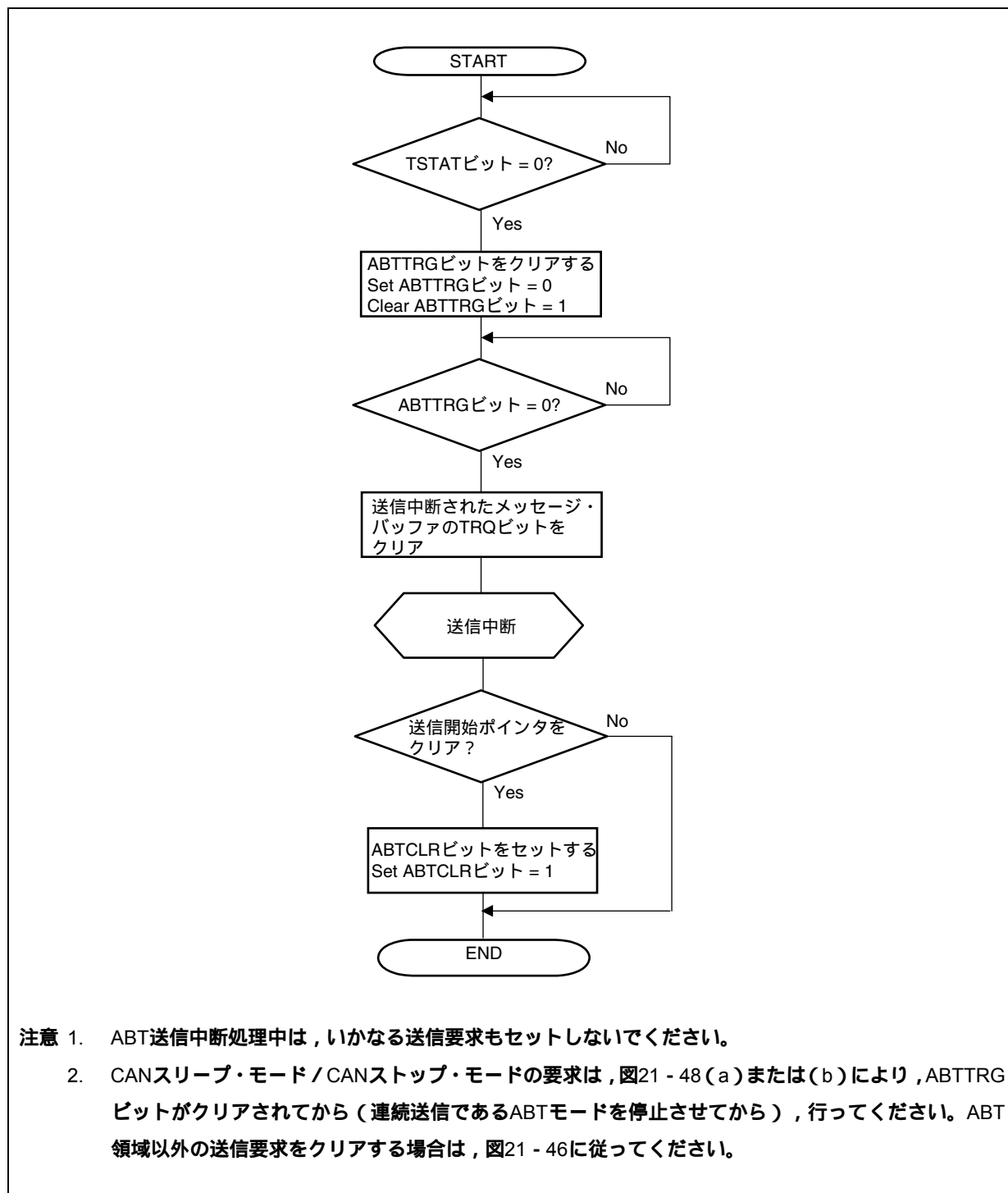
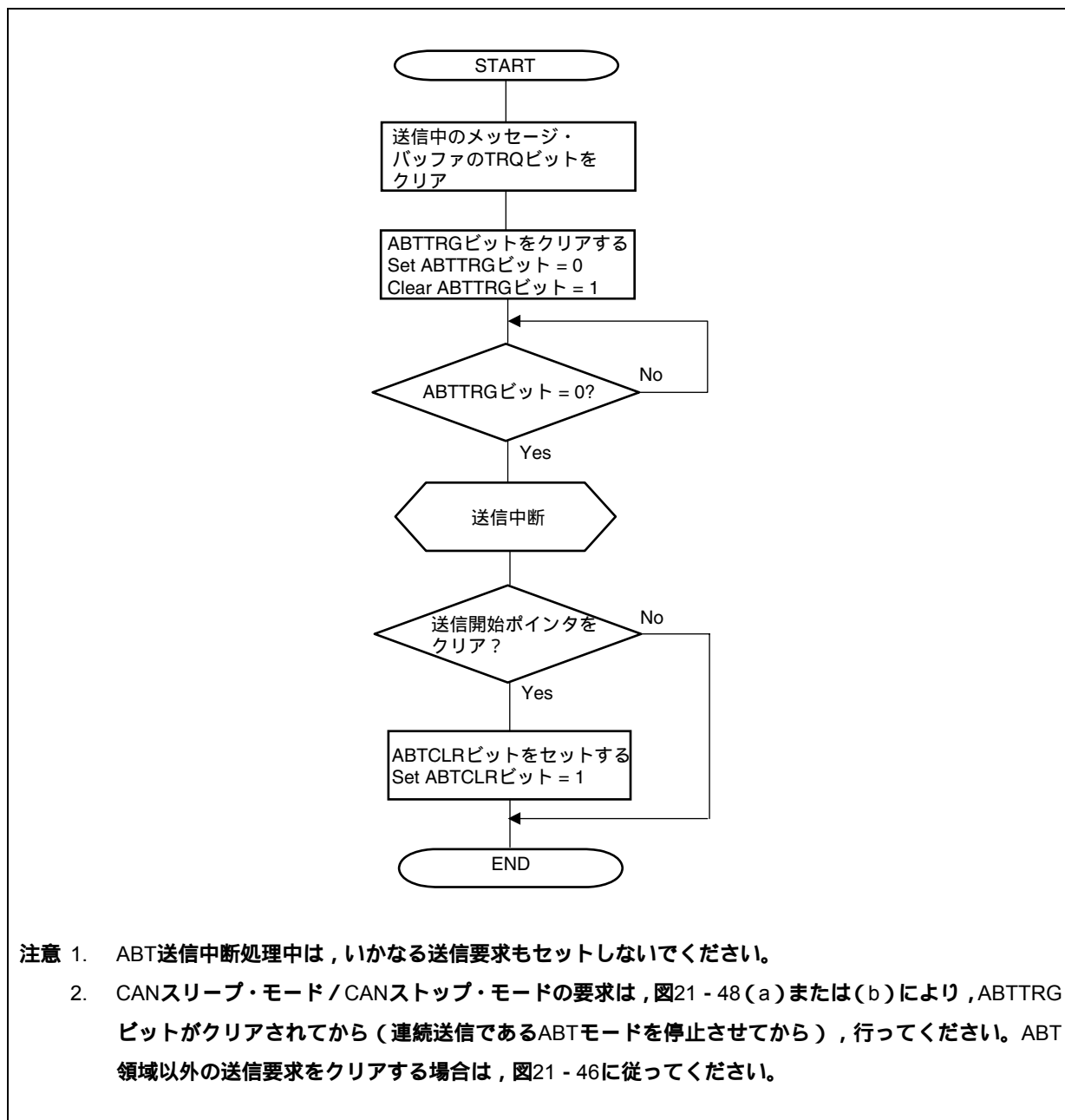


図21 - 48 (b) は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

図21 - 48 (b) ABT送信中断処理 (ABT付き通常動作モード)



- 注意**
1. ABT送信中断処理中は、いかなる送信要求もセットしないでください。
 2. CANスリープ・モード/CANストップ・モードの要求は、図21 - 48 (a)または(b)により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図21 - 46に従ってください。

図21 - 49 割り込みによる受信処理 (COLIPTレジスタを使用する場合)

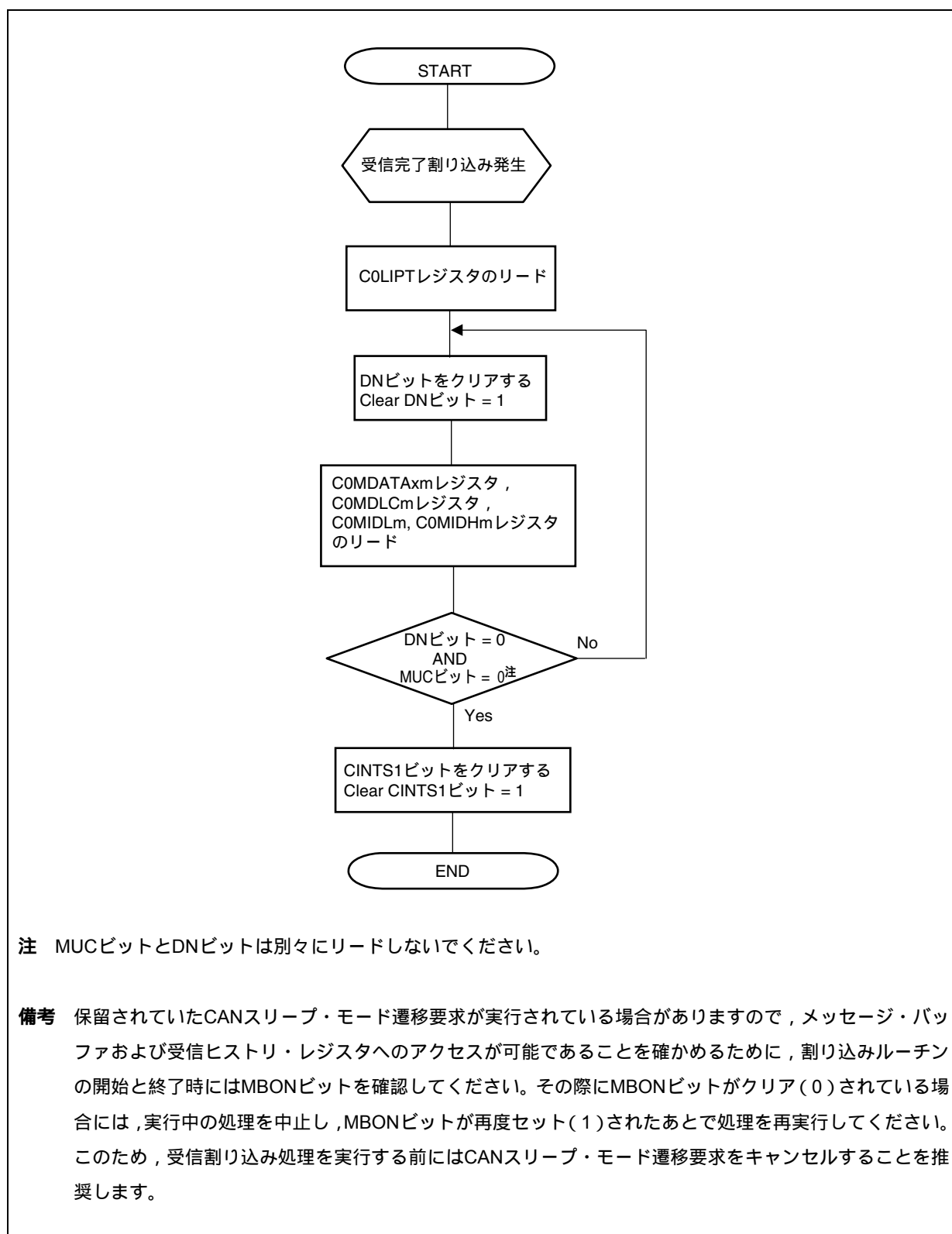
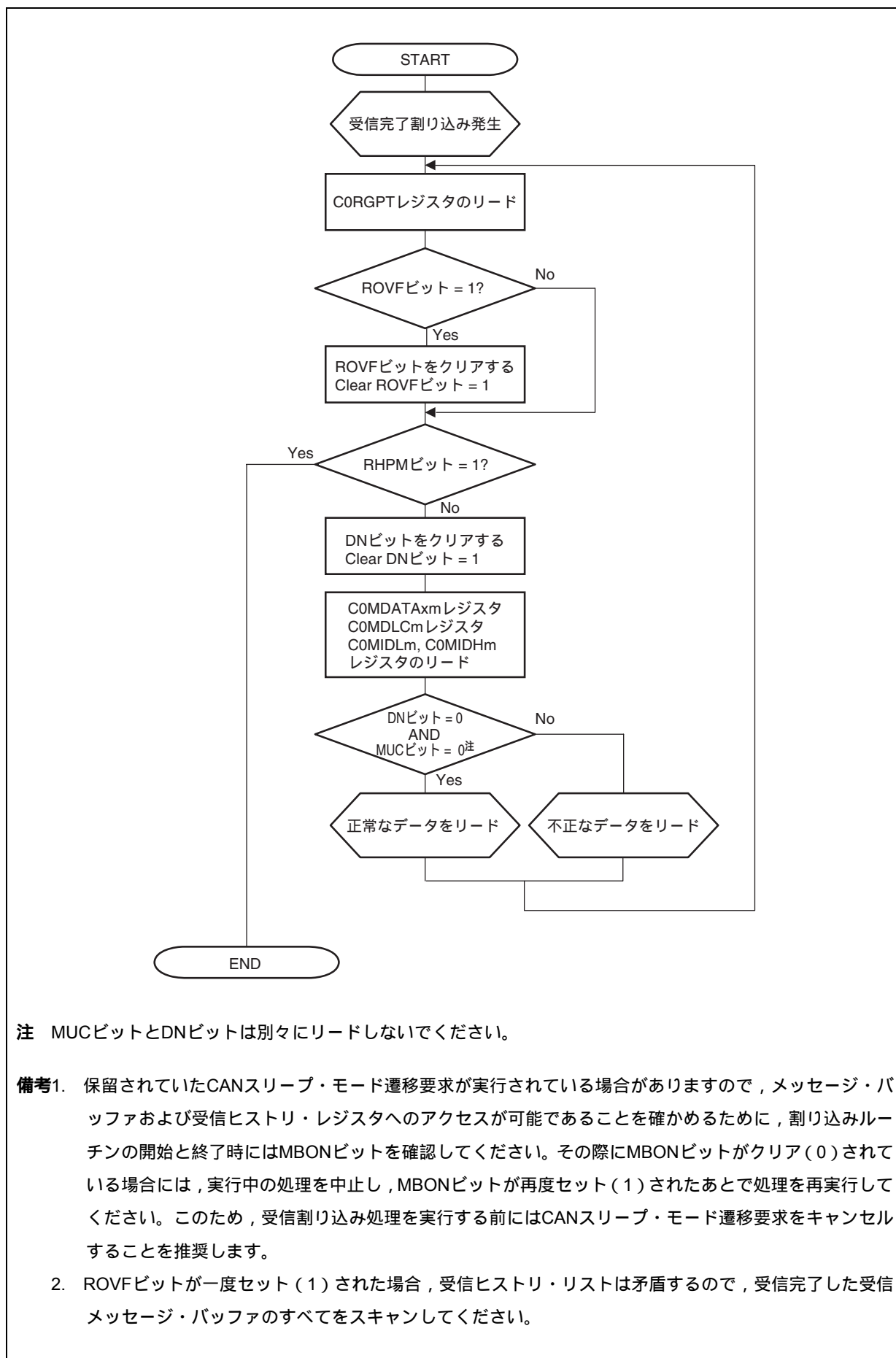


図21 - 50 割り込みによる受信処理 (C0RGPTレジスタを使用する場合)

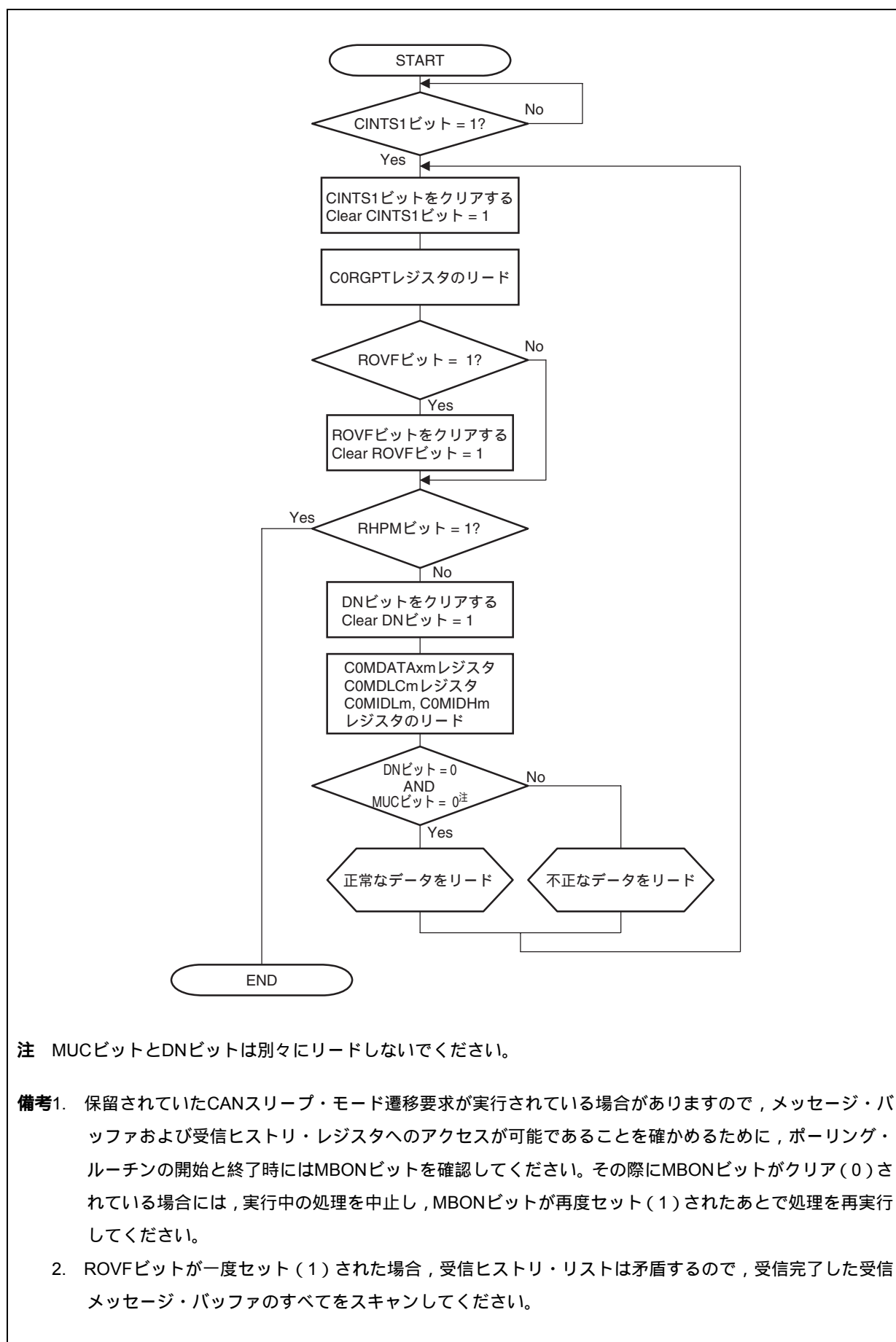


注 MUCビットとDNビットは別々にリードしないでください。

備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このため、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

2. ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

図21 - 51 ソフトウェア・ポーリングによる受信処理



注 MUCビットとDNビットは別々にリードしないでください。

備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。

2. ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

図21 - 52 CANスリープ・モード/CANストップ・モードの設定

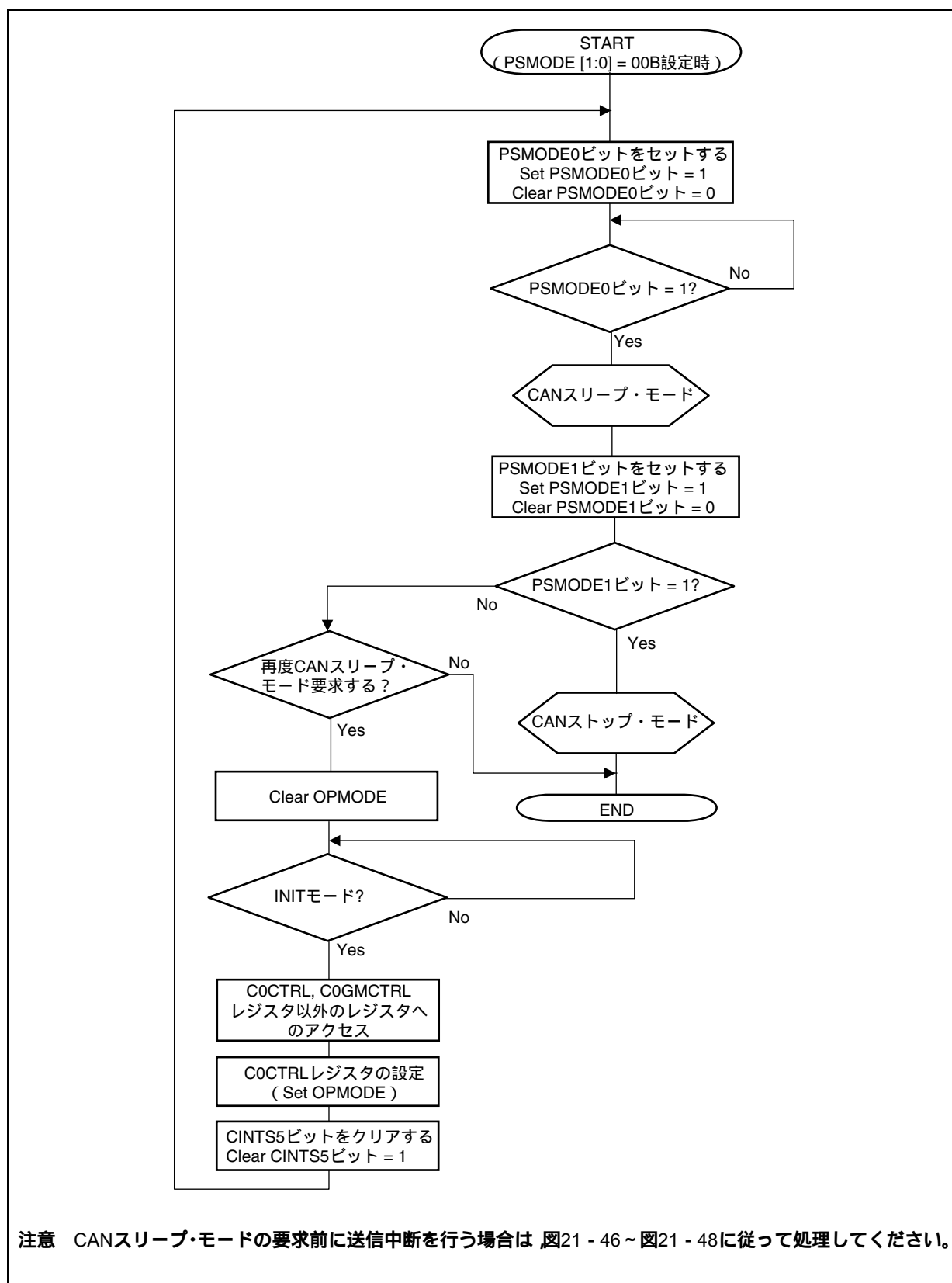


図21 - 53 CANスリープ・モード/CANストップ・モードの解除

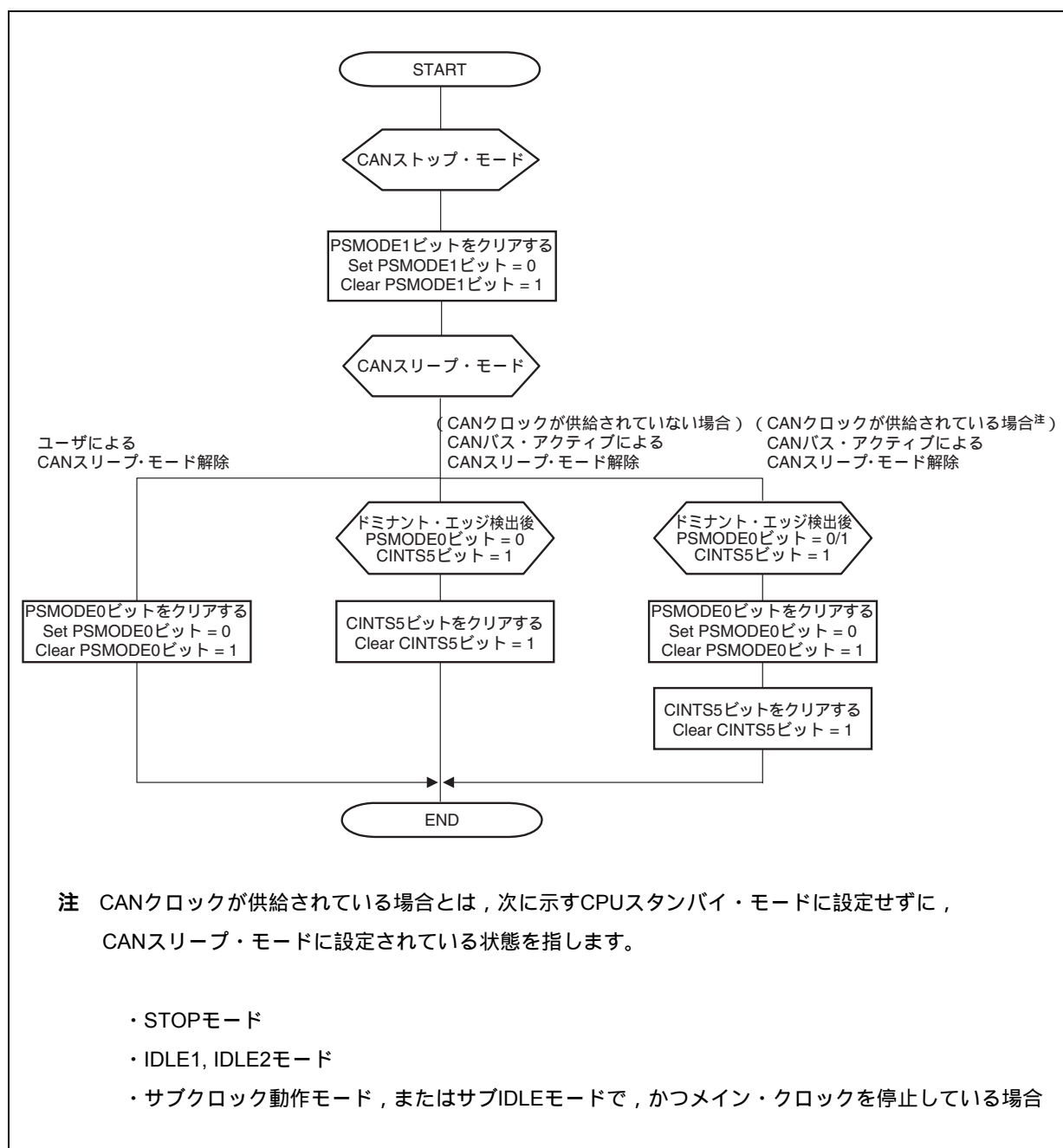


図21 - 54 バス・オフからのリカバリ処理 (ABT付き通常動作モード以外の場合)

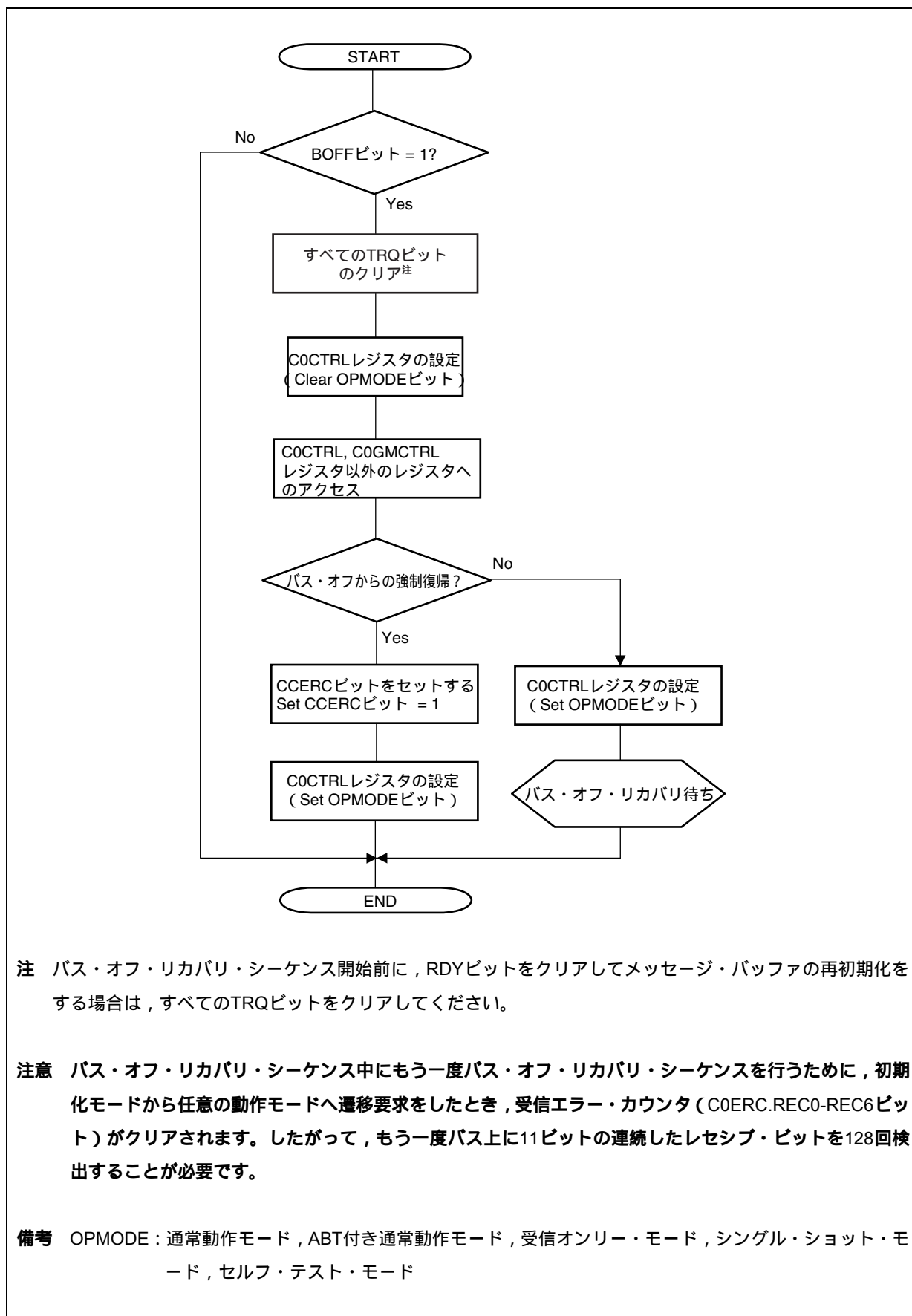


図21 - 55 バス・オフからのリカバリ処理 (ABT付き通常動作モードの場合)

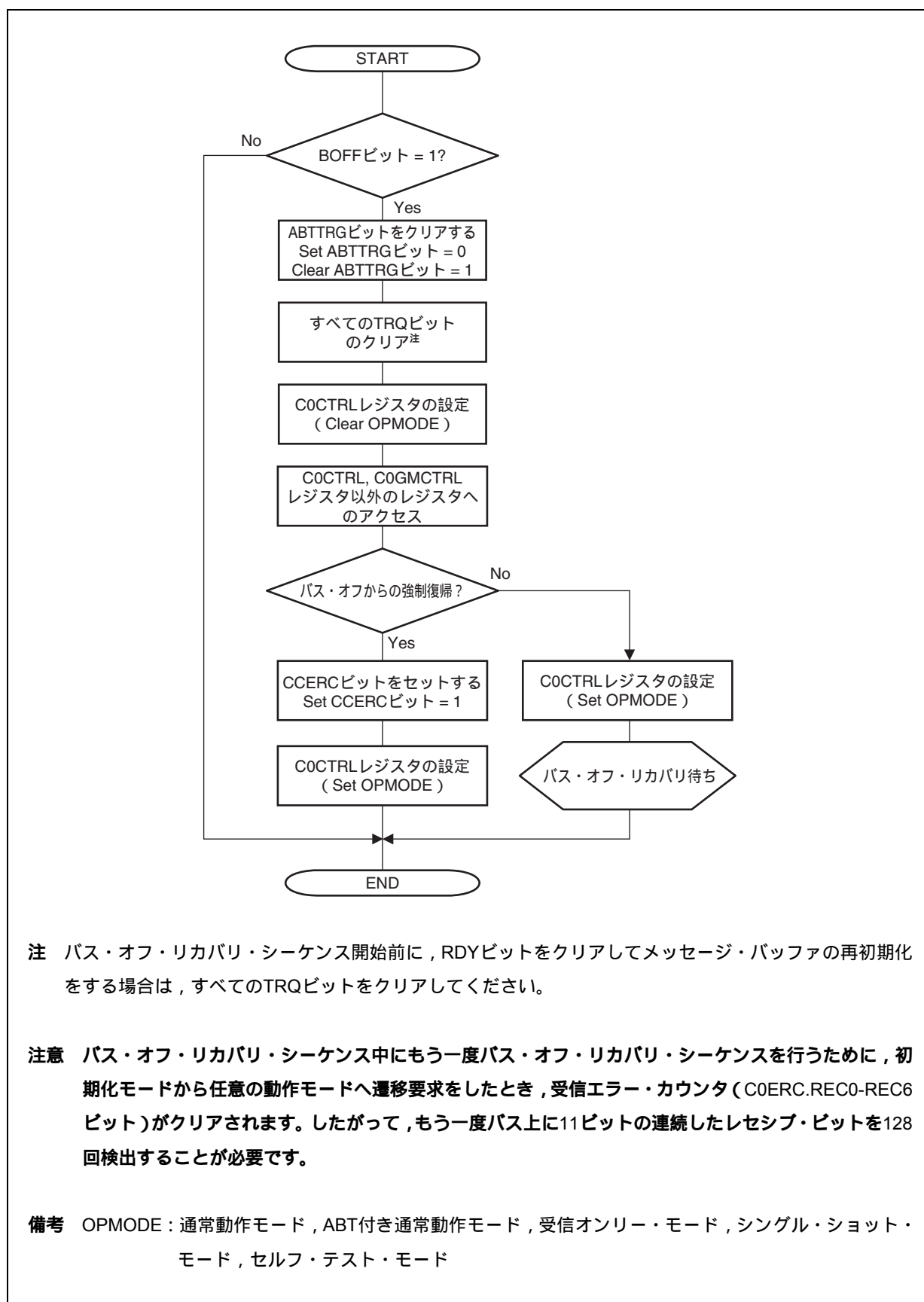


図21 - 56 通常シャット・ダウン処理

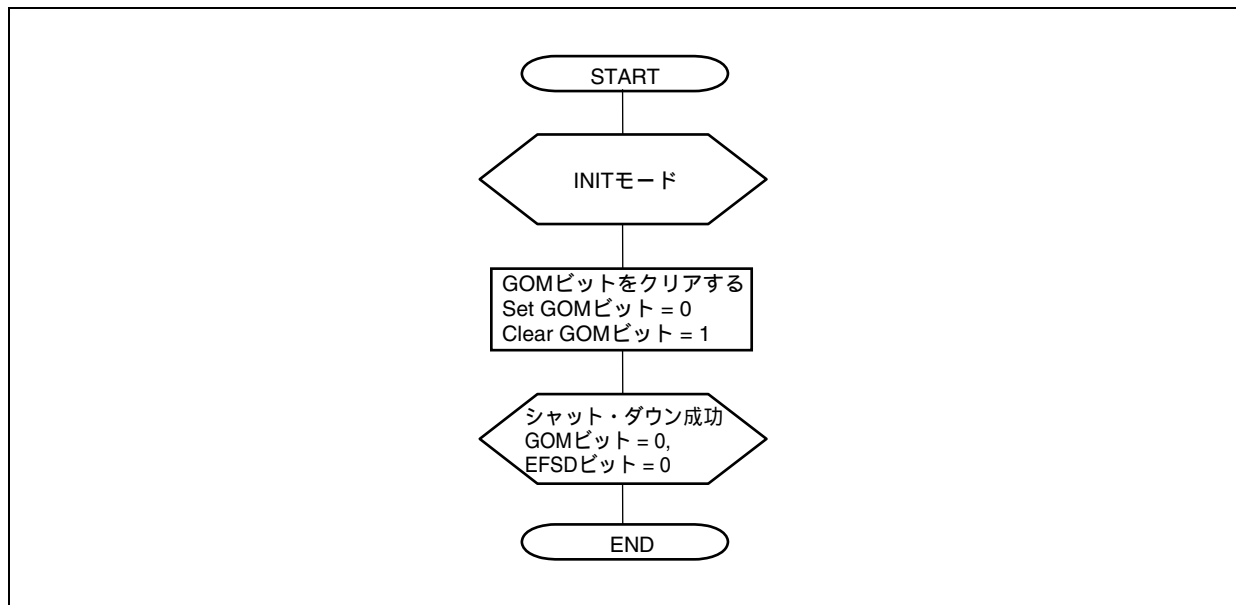


図21 - 57 強制シャット・ダウン処理

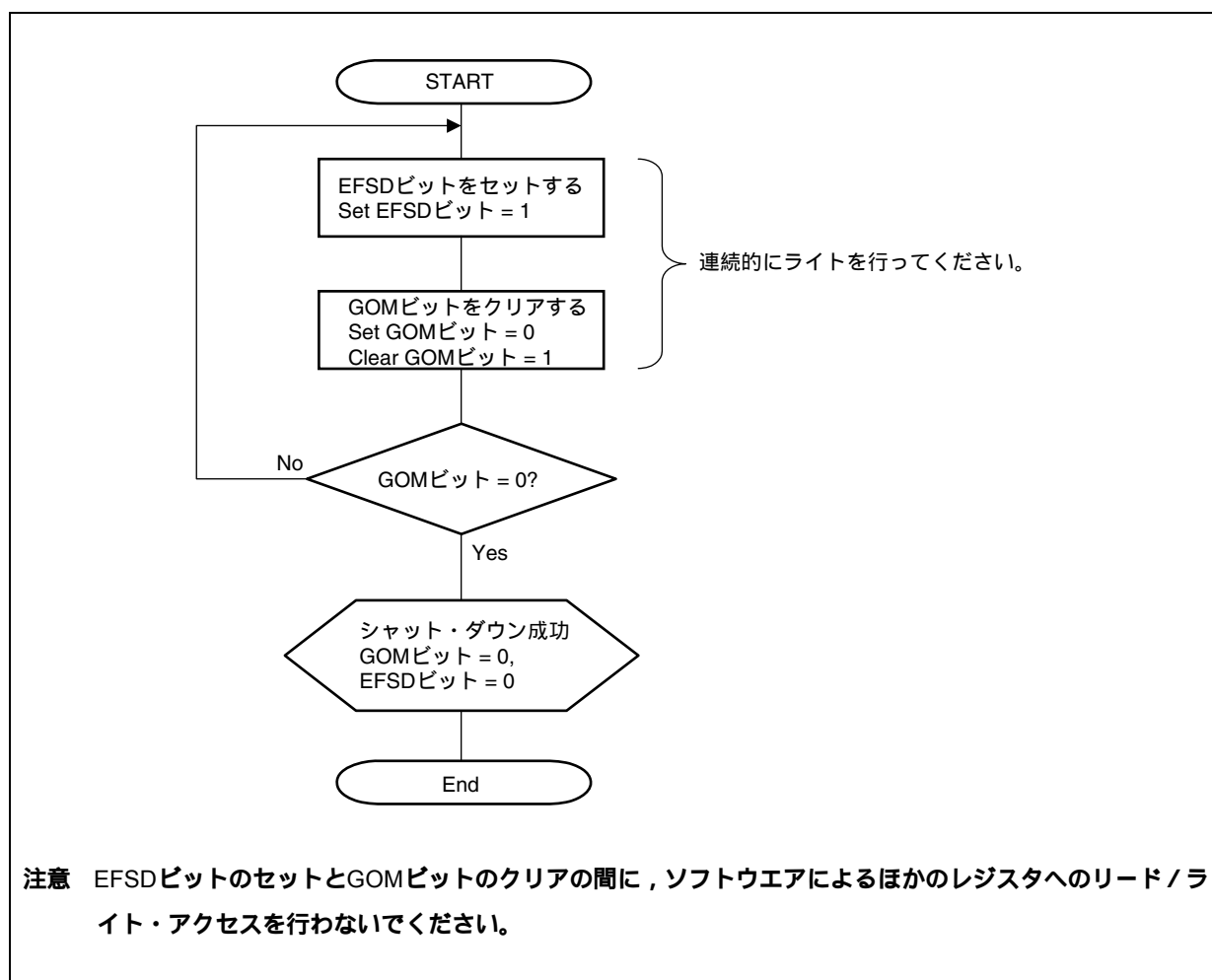


図21 - 58 エラー処理

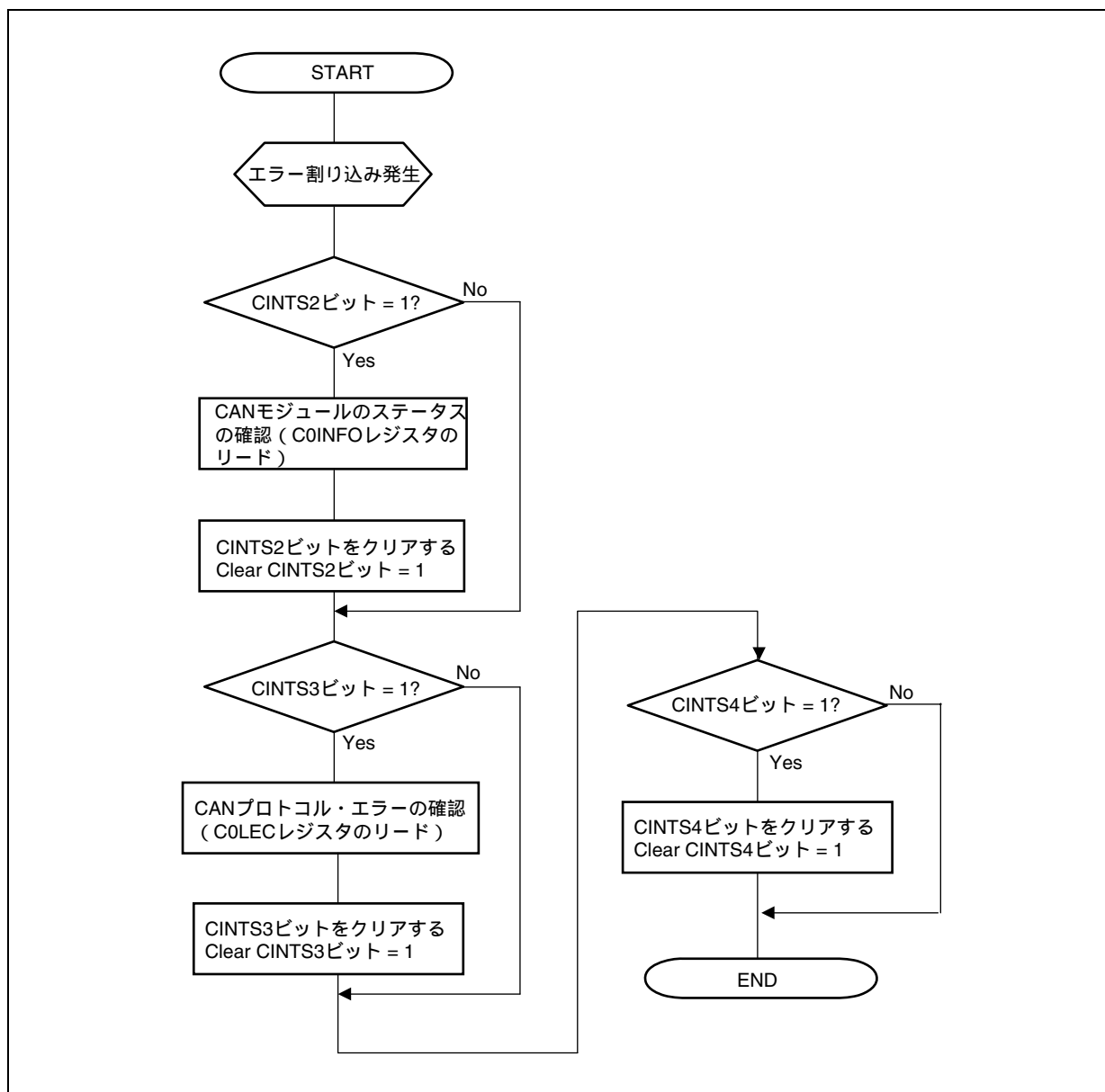


図21 - 59 CPUスタンバイ処理 (CANスリープ・モードからの移行)

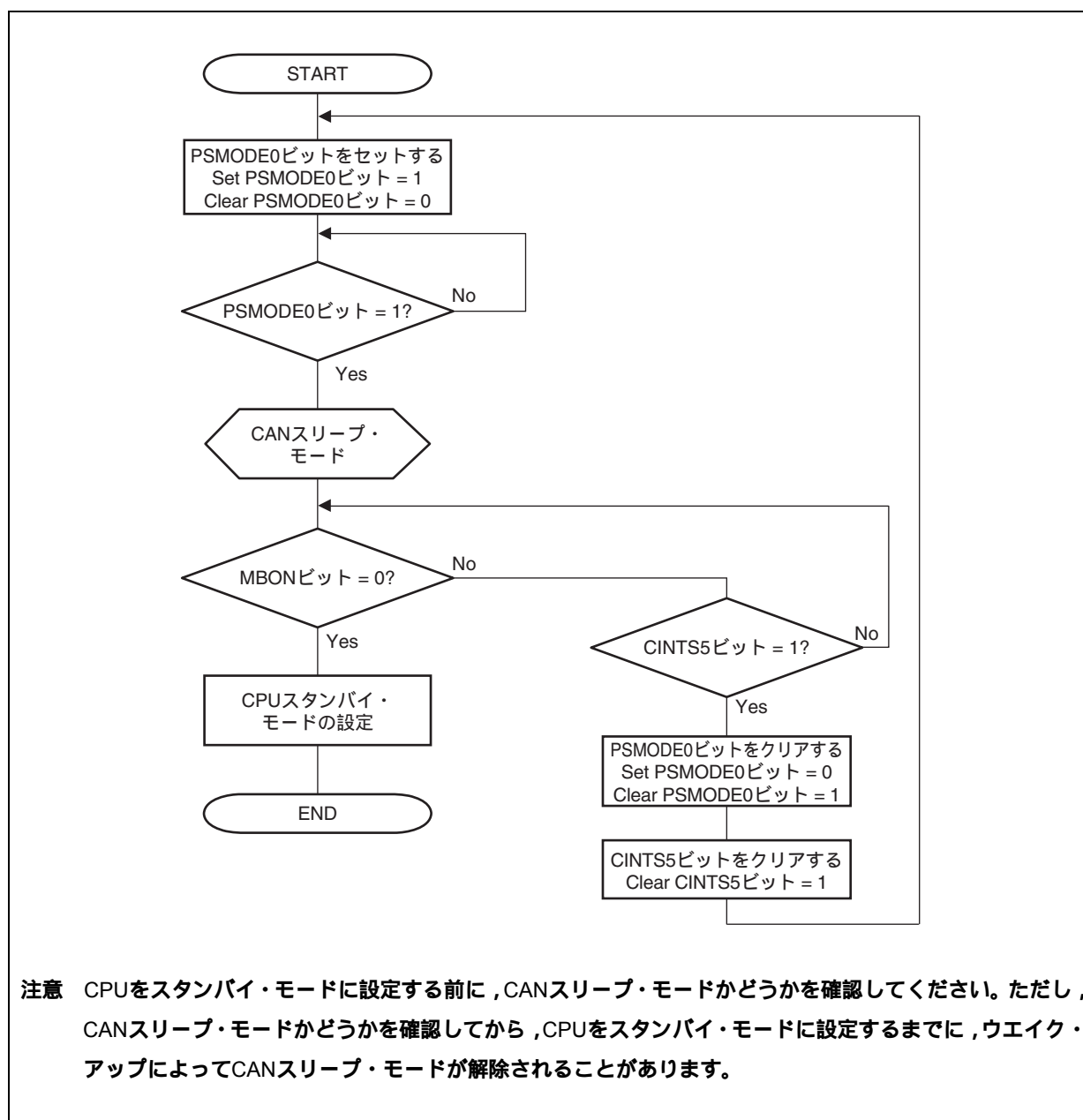
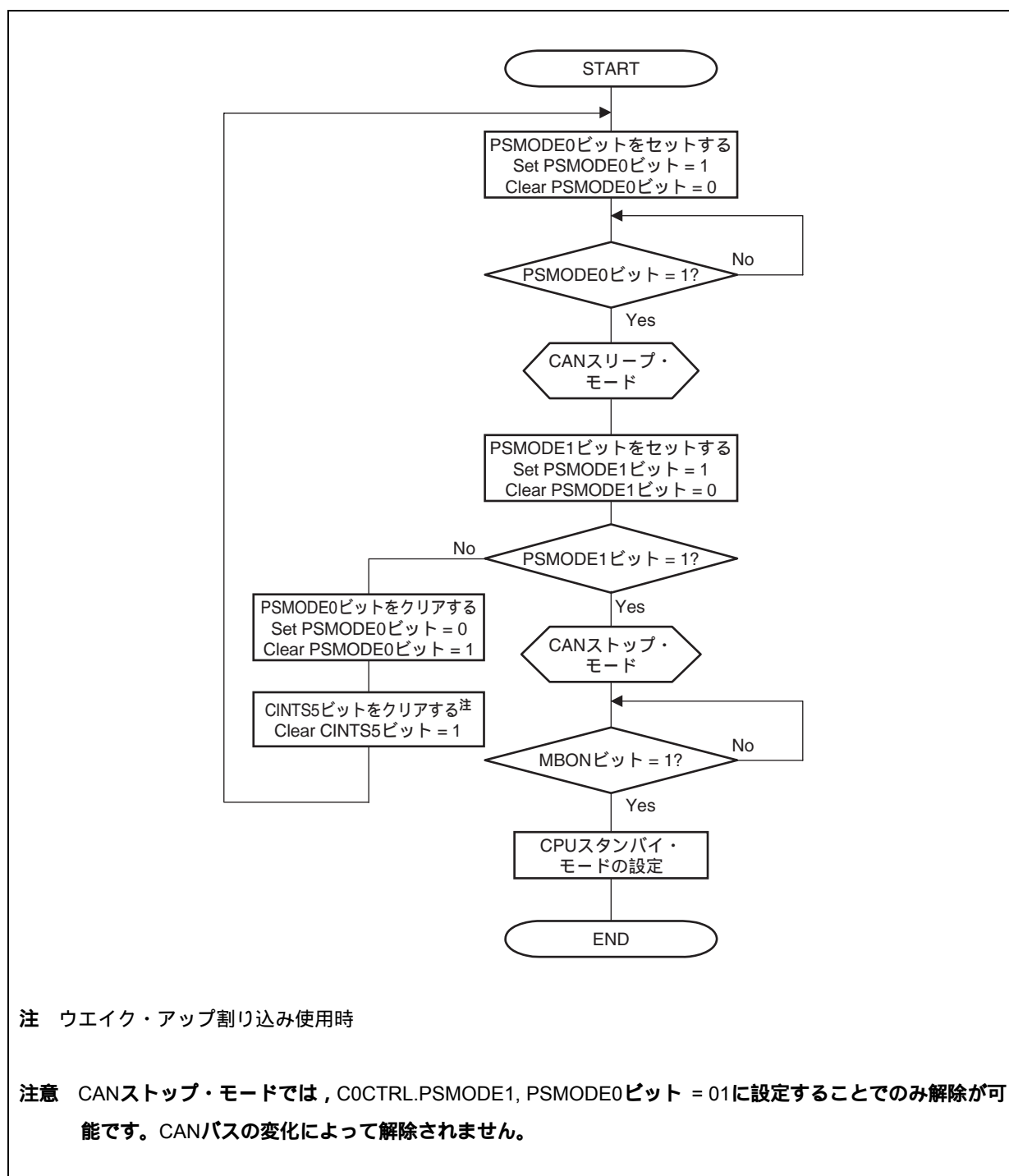


図21 - 60 CPUスタンバイ処理 (CANストップ・モードからの移行)



第22章 USBファンクション・コントローラ (USBF)

V850ES/JH3-E, V850ES/JJ3-Eは、Universal Serial Bus Specificationに準拠したUSBファンクション・コントローラ (USBF) を内蔵しています。トークン・ベースのプロトコルにより、外部ホスト・デバイスとの間でポーリング方式のデータ通信を行います。

22.1 概 要

Universal Serial Bus Specificationに準拠

12 Mbps (フルスピード) 転送に対応

転送用のエンドポイントを内蔵

エンドポイント名	FIFOサイズ (バイト)	転送タイプ	備考
Endpoint0 Read	64	コントロール転送	-
Endpoint0 Write	64	コントロール転送	-
Endpoint1	64 × 2	バルク1転送 (IN)	2バッファ構成
Endpoint2	64 × 2	バルク1転送 (OUT)	2バッファ構成
Endpoint3	64 × 2	バルク2転送 (IN)	2バッファ構成
Endpoint4	64 × 2	バルク2転送 (OUT)	2バッファ構成
Endpoint7	8	インタラプト転送 (IN)	-

バルク転送 (IN/OUT) はDMA転送 (2サイクル・シングル転送モード) 可能

USBクロック：内部クロック (外部6 MHz × 内部8逓倍 = 内部48 MHz) /

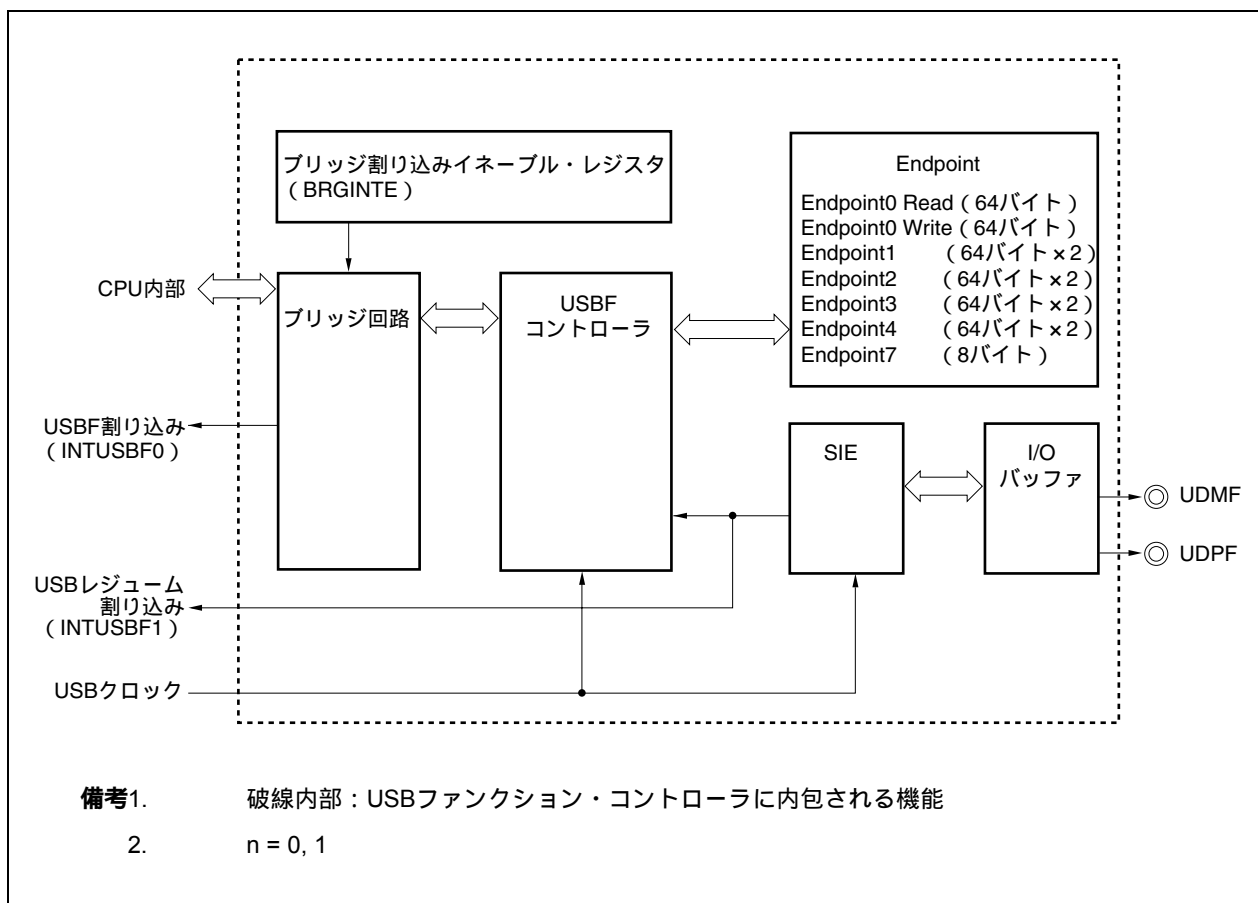
外部クロック (EXCLK端子へ外部クロック入力 ($f_{USB} = 48 \text{ MHz}$)) を選択可能

注意 22.6.2 USBファンクション・コントローラ・レジスタ一覧に記載されているレジスタ群は、USBクロックを内部クロックもしくは外部クロックに設定し、USBファンクション・コントローラにクロック供給が可能な状態にしたあとにアクセスしてください。

22.2 構成

22.2.1 ブロック図

図22 - 1 USBファンクション・コントローラのブロック図



22.2.2 USBメモリ・マップ

CPUから見た場合のUSBファンクション・コントローラは、マイコン内部でCS1空間に割り当てられています。メモリ空間は、下記のように分割して使用しています。

表22 - 1 CPUメモリ空間の分割

アドレス	領域	
00200000H-00200092H	EPC制御レジスタ領域	
00200100H-00200114H	EPCデータ保持・レジスタ領域	
00200144H-002003C4H	EPCリクエスト・データ・レジスタ領域	
00200400H-00200408H	ブリッジ・レジスタ領域	
00200500H-0020050EH	DMAレジスタ領域	
00201000H	バルク・イン・レジスタ領域	EP1 (Bulk-IN1)
00202000H		EP3 (Bulk-IN2)
00210000H	バルク・アウト・レジスタ領域	EP2 (Bulk-Out1)
00220000H		EP4 (Bulk-Out2)
00240000H	周辺制御レジスタ領域	

22.3 外部回路構成

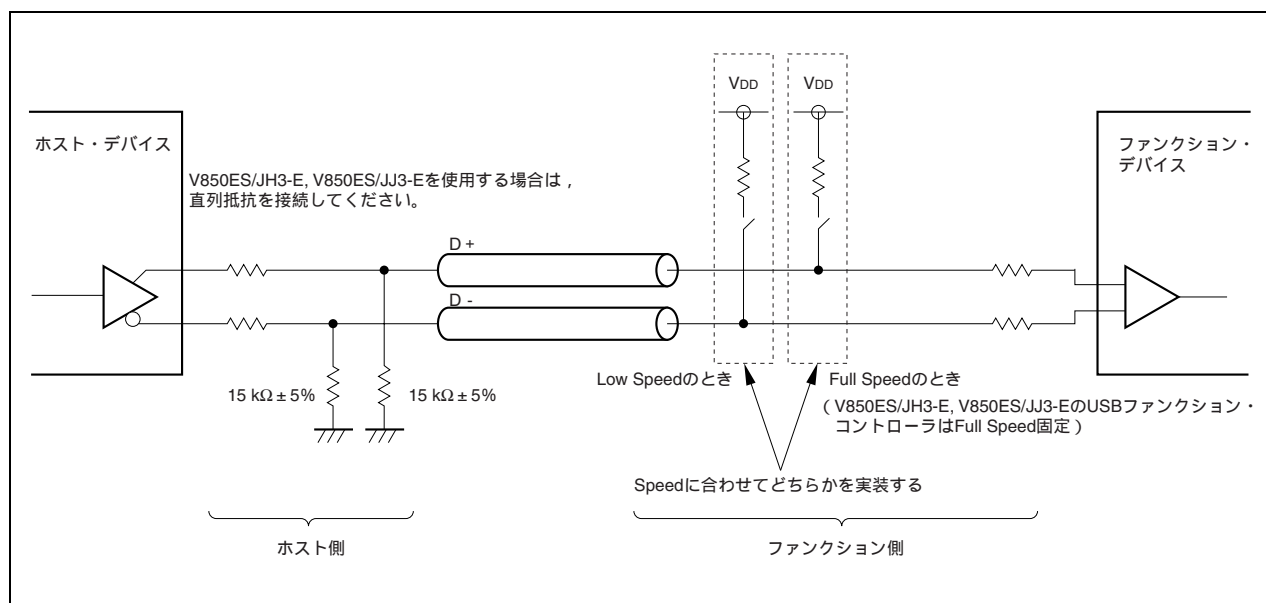
22.3.1 概要

USB伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB信号 (D + /D -) にプルアップ、プルダウン抵抗を接続する必要があります。また V850ES/JH3-E, V850ES/JJ3-E では、直列抵抗を接続する必要もあります。

V850ES/JH3-E, V850ES/JJ3-E はこれらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、V850ES/JH3-E, V850ES/JJ3-E 外部で接続してください。

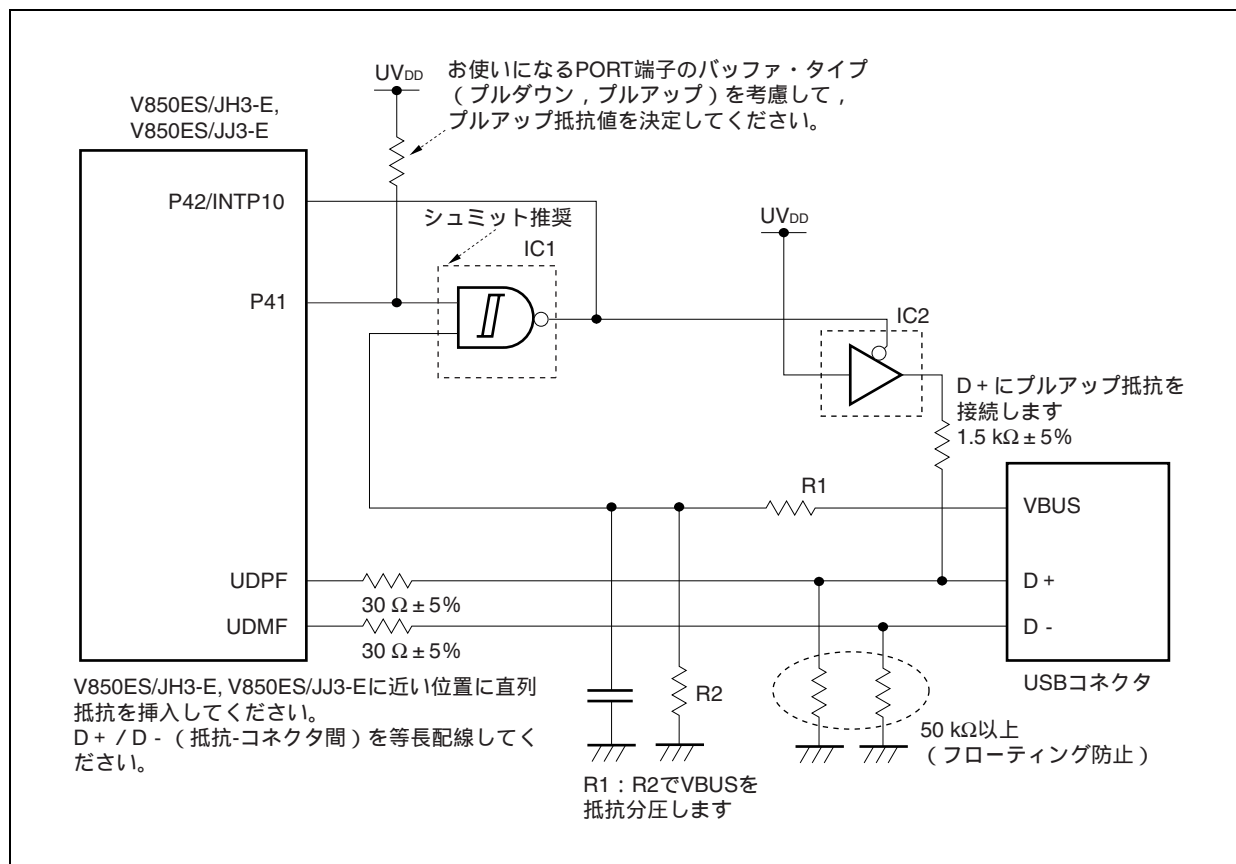
下記はUSB伝送路の構成概略図です。詳しい外付け構成については、各項にて説明します。

図22 - 2 USB伝送路のプルアップ、プルダウン、直列抵抗の概略構成



22.3.2 接続構成

図22 - 3 USBファンクション・コントローラ接続例



(1) D+ / D- への直列抵抗の接続

V850ES/JH3-E, V850ES/JJ3-EのUSBファンクション・コントローラのD+ / D- 端子 (UDFP, UDFM) には, 30 Ω ± 5%の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく, 出力波形が乱れる原因となります。

直列抵抗は, なるべくV850ES/JH3-E, V850ES/JJ3-Eに近い位置に配置し, 直列抵抗からUSBコネクタまでは, D+ / D- のインピーダンスが等しくなるよう, なるべく等長配線してください (差動で90 Ω ± 5%を推奨します)。

(2) D+ のプルアップ制御

V850ES/JH3-E, V850ES/JJ3-Eのファンクション・コントローラはフルスピード (FS) です, D+ 端子 (UDFP) は1.5 kΩ ± 5%でUV_{DD}にプルアップしてください。

USBホスト / HUBへの接続通知 (D+ プルアップ) を禁止したい場合 (優先度の高い処理中, 初期化処理中など), システムではD+ のプルアップを汎用ポートにより制御してください。図22 - 3の回路例のようにD+ のプルアップ制御信号およびVBUS入力信号は, 汎用ポートとUSBケーブルVBUSを使用して (AND回路), 制御してください。図22 - 3では, 汎用ポートがロウ・レベルの場合, D+ プルアップ禁止となります。

また, 図22 - 3のIC2には, システム電源オフ時に電圧印加が可能なICを使用してください。

(3) USBケーブル接続/切断の検出

USBファンクション・コントローラ (USBF) は、ハードウェアでUSBFのステートなどを管理しているため、接続/切断を認識するVBUS入力信号が必要となります。VBUS入力信号は、USBFが電源オフの場合に、USBホスト/HUBにUSBケーブルVBUSが接続されると、USBホスト/HUBから電圧(5V)が印加されます。そのため、図22-3のIC1には、システム電源オフ時に電圧印加が可能なICを使用してください。また、図22-3の回路において、切断する際、VBUSの電圧降下中にINTP10への入力信号が不安定になる場合があります。このため、図22-3のIC1にはシュミット・バッファを使用することを推奨します。

(4) 初期化時または未使用時のフローティング防止

初期化時または未使用時には、フローティング状態を避けるため、D+ / D- 端子は50 kΩ以上でプルダウンしてください。

22.4 注意事項

(1) クロック精度

USBファンクション・コントローラを動作させるには、USBクロックとして、内部クロック(外部6 MHz × 内部8逓倍 = 内部48 MHz)あるいは外部クロック(EXCLK端子への外部クロック入力($f_{USB} = 48 \text{ MHz}$))が必要です。USBクロックには、内部クロック使用時には、 $6 \text{ MHz} \pm 500 \text{ ppm}$ 以下の精度の発振子を使用してください。また外部クロック使用時には、EXCLK端子に $48 \text{ MHz} \pm 500 \text{ ppm}$ 以下の精度のクロックを供給してください。USBクロックの精度が低下すると、送信データがUSB規格を満足できなくなります。

(2) USBクロック停止

USBファンクション・コントローラのクロックとしてメイン・クロック(f_{xx})を選択し、USBファンクション・コントローラを停止させる場合は、メイン・クロック(f_{xx})を停止させる前にUSBファンクション・コントローラを停止(ソフトウェアによるUSBファンクション停止処理後、UFCKMSKレジスタのビット1, 0に“1”をセット)してください。

USBファンクション・コントローラを停止させずにメイン・クロック(f_{xx})を停止させた場合、メイン・クロック動作に復帰した際にクロックのヒゲがでることにより誤動作をする可能性があります。

同様にEXCLK端子からの外部クロックを選択した場合は、外部回路にてクロックのヒゲがでないような処置をするか、メイン・クロック(f_{xx})を停止させる前に必ずUSBファンクション・コントローラを停止してください。

22.5 リクエスト

USBには、ホスト・デバイスからの要求をファンクション・デバイスに伝え、応答処理させるための、リクエストと呼ばれるコマンドがあります。

リクエストは、コントロール転送のSETUPステージにて受信され、一部のリクエストを除いて、USBファンクション・コントローラ (USBF) のハードウェアにて自動処理することができます。

22.5.1 自動リクエスト

(1) デコード

次にリクエストのフォーマットとリクエスト・デコード対応表を示します。

表22-2 リクエストのフォーマット

オフセット	フィールド名	
0	bmRequestType	
1	bRequest	
2	wValue	下位側
3		上位側
4	wIndex	下位側
5		上位側
6	wLength	下位側
7		上位側

表22 - 3 リクエスト・デコード対応表

オフセット リクエスト	デコード値								応答			データ・ ステージ
	bmRequestType	bRequest	wValue		wIndex		wLength		Df	Ad	Cf	
	0	1	3	2	5	4	7	6				
GET_INTERFACE	81H	0AH	00H	00H	00H	0nH	00H	01H	STALL	STALL	ACK NAK	
GET_CONFIGURATION	80H	08H	00H	00H	00H	00H	00H	01H	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Device	80H	06H	01H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Configuration	80H	06H	02H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Device	80H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint 0	82H	00H	00H	00H	00H	00H	80H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint X	82H	00H	00H	00H	00H	\$\$H	00H	02H	STALL	STALL	ACK NAK	
CLEAR_FEATURE Device ^{注2}	00H	01H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint 0 ^{注2}	02H	01H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint X ^{注2}	02H	01H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_FEATURE Device ^{注3}	00H	03H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint 0 ^{注3}	02H	03H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint X ^{注3}	02H	03H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_INTERFACE	01H	0BH	00H	0#H	00H	0?H	00H	00H	STALL	STALL	ACK NAK	×
SET_CONFIGURATION ^{注4}	00H	09H	00H	00H 01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_ADDRESS	00H	05H	XXH	XXH	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×

備考 : データ・ステージあり

× : データ・ステージなし

注1. wLength値が準備している値未満の場合、wLength値までを返信し、wLength値が準備している値以上の場合、準備している値までを返信します。

2. CLEAR_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL)、UF0 EPnステータス・レジスタL (UF0EnSL) (n = 0-4, 7) をクリアします。

- 注3. SET_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL) , UF0 EPhステータス・レジスタL (UF0EnSL) (n = 0-4, 7) をセットします。
また、UF0E0SLレジスタのE0HALTビットを設定した場合は、CLEAR_FEATURE Endpoint0リクエストを受信するまで、GET_STATUS Endpoint0リクエスト、SET_FEATURE Endpoint0リクエスト、CPUDEC割り込み要求の発生するリクエスト以外のコントロール転送のデータ・ステージまたはステータス・ステージでSTALL応答します。なお、サポートしていないリクエストについてのSTALL応答では、UF0E0SLレジスタのE0HALTビットはセット (1) されず、次のSETUPトークンを受信した時点でSTALL応答はクリアされます。
4. wValue値が規定外の場合、自動STALL応答します。

注意1. 次に示す条件では、Universal Serial Bus Specificationで規定されているコントロール転送のシーケンスを満しません。この場合の動作は保証できません。

- SETUPステージなしにいきなりIN/OUTトークンを受信する場合
 - SETUPステージのデータ・フェーズでDATA PID1を送ってくる場合
 - アドレス128以上のトークンを受信する場合
 - SETUPステージで送信されるリクエスト・データが8バイト未満の場合
2. ステータス・ステージにおいて、ホストがNullパケット以外のデータを送信してきた場合でも、ACK応答します。
3. FW処理のコントロール転送 (リード) では、wLength値が00Hであった場合、コントロール転送 (データなし) としてNullパケットを自動送出します。FWリクエストの場合は、Nullパケットを自動送出しません。

備考1. Df : Defaultステート, Ad : Addressedステート, Cf : Configuredステート

2. n = 0-4
Interface番号1-4のリクエストに対して正常応答するか、またはSTALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定により、対象のInterface番号が有効かどうかで決定します。
3. \$\$: 転送方向を含んだ有効なEndpoint番号
有効なEndpointは現在設定されているAlternate Setting番号により決定します (22. 6. 3 (36) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) , (38) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E11M) - (42) UF0エンドポイント7インタフェース・マッピング・レジスタ (UF0E71M) 参照)。
4. ?と#: ホストから送信される値 (Interface番号0-4の情報)
各Interface番号に対応したAlternate Settingのリクエストに対して正常応答するか、STALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) とUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) により、対象のInterface番号と対象のAlternate Settingが有効かどうかによって決まります。

(2) 処理内容

次に自動リクエストのDefaultステート, Addressedステート, Configuredステートでの処理内容を示します。

備考 Defaultステート : Default addressで動作する状態

Addressedステート : アドレスが割り当てられたあとの状態

Configuredステート : SET_CONFIGURATION wValue = 1を正常受信したあとの状態

(a) CLEAR_FEATURE()リクエスト

CLEAR_FEATURE()リクエストが, クリアできない, 存在しないFEATUREである, 対象がInterfaceか, または存在しないEndpointの場合には, ステータス・ステージでSTALL応答します。また, wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

CLEAR_FEATURE()リクエストを正常処理した場合には, UF0 CLRリクエスト・レジスタ (UF0CLR) の対象ビットがセット (1) され, UF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがクリア (0) され, 割り込みが発行されます (n = 0-4, 7)。なお, 対象がEndpointのとき, CLEAR_FEATURE()リクエストを受信した場合には, 対象Endpointのトグル・ビット (DATA0/DATA1の切り替え制御) は必ずDATA0に再設定されます。

(b) GET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表22-3 リクエスト・デコード対応表に記載以外のもの場合は, データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_CONFIGURATION()リクエストを受信したとき, UF0コンフィギュレーション・レジスタ (UF0CNF) に格納されている値を返信します。
- ・ Addressedステート : GET_CONFIGURATION()リクエストを受信したとき, UF0CNFレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_CONFIGURATION()リクエストを受信したとき, UF0CNFレジスタに格納されている値を返信します。

(c) GET_DESCRIPTOR()リクエスト

対象ディスクリプタがwMaxPacketSizeの倍数の長さを持つ場合には、データ・ステージの終わりを示すためにNullパケットを送り返します。そのとき、対象ディスクリプタの長さがwLength値未満の場合、対象ディスクリプタをすべて返信し、対象ディスクリプタの長さがwLength値以上の場合、wLength値まで返信します。

- ・ Defaultステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0デバイス・ディスクリプタ・レジスタn (UF0DDn)、UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタm (UF0CIEm)に格納されている値を返信します(n = 0-17, m = 0-255)。
- ・ Addressedステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。

UF0CIEmレジスタに格納できるディスクリプタは、総数256バイトまでです。256バイト以上のディスクリプタを返信する場合には、UF0MODCレジスタのCDCGDSTビットをセット(1)して、FWによりGET_DESCRIPTOR()リクエストを処理してください。

UF0CIEmレジスタで設定した全ディスクリプタのバイト数 - 1の値をUF0ディスクリプタ・レンジ・レジスタ (UF0DSCL) に格納してください。このデータ + 1の値とwLengthにより転送データを制御します。

(d) GET_INTERFACE()リクエスト

wValue、wLengthのいずれかが表22-3 リクエスト・デコード対応表に記載以外のもの場合、またはwIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_INTERFACE()リクエストを受信したとき、wIndex値に対応したUF0インタフェースnレジスタ (UF0IFn) に格納されている値を返信します (n = 0-4)。

(e) GET_STATUS()リクエスト

wValue, wIndex, wLengthのいずれかが表22 - 3 リクエスト・デコード対応表に記載以外のもの場合は、データ・ステージでSTALL応答します。また、対象がInterfaceか、または存在しないEndpointの場合は、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。

注 対象ステータス・レジスタを次に示します。

- ・ 対象がデバイスの場合 : UF0デバイス・ステータス・レジスタL (UF0DSTL)
- ・ 対象がEndpoint0の場合 : UF0 EP0ステータス・レジスタL (UF0E0SL)
- ・ 対象がEndpoint nの場合 : UF0 EPnステータス・レジスタL (UF0EnSL) (n = 1-4, 7)

(f) SET_ADDRESS()リクエスト

wIndex, wLengthのいずれかが表22 - 3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。指定されたデバイス・アドレスが127より大きい場合は、STALL応答になります。

- ・ Defaultステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0以外の場合には、デバイスはAddressedステートに入り、SIEへ入力するUSB Address値を指定のアドレス値に変更します。指定されたアドレスが0の場合には、Defaultステートのままです。
- ・ Addressedステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはDefaultステートに入り、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。指定されたアドレスが0以外の場合には、Addressedステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。
- ・ Configuredステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはConfiguredステートのままで、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。この場合、Endpoint0以外のEndpointも有効のままで、コントロール転送 (IN)、コントロール転送 (OUT)、Endpoint0以外のEndpointに対するバルク転送およびインタラプト転送にも応答します。指定されたアドレスが0以外の場合には、Configuredステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。

(g) SET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表22 - 3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0モード・ステータス・レジスタ (UF0MODS) のCONFビットとUF0コンフィギュレーション・レジスタ (UF0CNF) がセット (1) されます。指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) されます。つまり、Addressedステートをスキップして、Default addressに응答するConfiguredステートに移行します。
- ・ Addressedステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがセット (1) され、Configuredステートに入り、指定されたコンフィギュレーション値が0の場合には、Addressedステートのままです。
- ・ Configuredステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) され、Addressedステートに戻り、指定されたコンフィギュレーション値が1の場合には、Configuredステートのままです。

SET_CONFIGURATION()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットがセット (1) され、割り込みが発行されます。指定されたコンフィギュレーション値が現在のコンフィギュレーション値と同じ場合でも、すべてのHalt FeatureはSET_CONFIGURATION()リクエストを完了したあとにクリアされます。また、SET_CONFIGURATION()リクエストを正常処理した場合には、必ずすべてのEndpointのデータ・トグルはDATA0に再び初期化されます (SET_CONFIGURATIONリクエストの受信からSET_INTERFACEリクエストを受信するまではデフォルト状態であるAlternative Setting 0に設定されているものと定義しています)。

(h) SET_FEATURE()リクエスト

SET_FEATURE()リクエストが、セットできない、存在しないFeatureである、対象がInterfaceか、または存在しないEndpointの場合には、ステータス・ステージでSTALL応答します。また、wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

SET_FEATURE()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットやUF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがセット (1) され、割り込みが発行されます (n = 0-4, 7)。

(i) SET_INTERFACE()リクエスト

wLengthが表22 - 3 リクエスト・デコード対応表に記載以外のもの場合、wIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、wValueがUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) 設定以外の場合のいずれかのときに、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでNullパケットを送信します。

SET_INTERFACE()リクエストを正常処理した場合には、割り込みが発行されます。対象InterfaceにリンクされたEndpointのすべてのHalt Featureは、SET_INTERFACE()リクエストを完了したあとにクリアされます。対象Interface番号に関連するすべてのEndpointのデータ・トグルは、必ずDATA0に再び初期化されます。また、SET_INTERFACE()リクエストを正常処理して、現在選択されているAlternative Settingと異なる設定に変更する場合には、影響を受けるEndpointのFIFOは完全にクリアされ、関連するすべての割り込み要因なども初期化されます。

SET_INTERFACE()リクエスト完了時、対象InterfaceにリンクされたすべてのEndpointのFIFOがクリアされます。また、同時にHalt Feature、Data PIDが初期化され、関連するUF0 INTステータスnレジスタ (UF0ISn) がクリア (0) されます (n = 0-4) (SET_CONFIGURATIONリクエスト完了時には、Halt FeatureのクリアとData PIDの初期化のみです)。

DMA転送中にSET_INTERFACE()リクエストにより、対象Endpointがサポートされなくなった場合は、DMAリクエスト信号はただちにインアクティブ状態になり、SET_INTERFACE()リクエスト完了時にリンクされたEndpointのFIFOは完全にクリアされます。このため、FIFOのクリアにより、DMAのデータ転送は正常処理されなくなります。

22. 5. 2 その他のリクエスト

(1) 応答と処理方法

次にその他のリクエストの応答と処理方法を示します。

表22 - 4 その他のリクエストの応答と処理方法

リクエスト	応答と処理方法
GET_DESCRIPTOR String	CPUDEC割り込み要求発生
GET_STATUS Interface	自動STALL応答
CLEAR_FEATURE Interface	自動STALL応答
SET_FEATURE Interface	自動STALL応答
all SET_DESCRIPTOR	CPUDEC割り込み要求発生
その他の全リクエスト	CPUDEC割り込み要求発生

22.6 レジスタ構成

22.6.1 USB制御レジスタ

(1) USBクロック選択レジスタ (UCKSEL)

USBコントローラの動作クロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時: 00H R/W アドレス: FFFFFFF40H								
	7	6	5	4	3	2	1	0
UCKSEL	0	0	0	0	0	0	UUSEL1	0
	USBコントローラ動作クロックの選択							
UUSEL1	0	EXCLK端子入力からの外部クロック ($f_{USB} = 48 \text{ MHz}$)						
	1	メイン・クロック ($f_{xx} = 48 \text{ MHz}$)						
<p>注意 ビット7-2, 0には必ず“0”を設定してください。</p>								

(2) USBファンクション制御レジスタ (UFCKMSK)

USBファンクション・コントローラ動作の許可/禁止を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 03Hになります。

リセット時: 03H R/W アドレス: FFFFFFF41H								
	7	6	5	4	3	2	1	0
UFCKMSK	0	0	0	0	0	0	UFBUFMSK	UFMSK
	UFBUFMSK	UFMSK	USBファンクション・コントローラ動作許可/停止					
	0	0	動作許可					
	0	1	動作停止 (USBサスペンド時設定)					
	1	1	動作停止					
	上記以外		設定禁止					

22. 6. 2 USBファンクション・コントローラ・レジスタ一覧

(1) EPC制御レジスタ

(1/2)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200000H	UF0 EP0NAKレジスタ	UF0E0N	R/W				00H
00200002H	UF0 EP0NAKALLレジスタ	UF0E0NA	R/W				00H
00200004H	UF0 EPNAKレジスタ	UF0EN	R/W				00H
00200006H	UF0 EPNAKマスク・レジスタ	UF0ENM	R/W				00H
00200008H	UF0 SNDSIE レジスタ	UF0SDS	R/W				00H
0020000AH	UF0 CLRリクエスト・レジスタ	UF0CLR	R				00H
0020000CH	UF0 SETリクエスト・レジスタ	UF0SET	R				00H
0020000EH	UF0 EPステータス0レジスタ	UF0EPS0	R				00H
00200010H	UF0 EPステータス1レジスタ	UF0EPS1	R				00H
00200012H	UF0 EPステータス2レジスタ	UF0EPS2	R				00H
00200020H	UF0 INTステータス0レジスタ	UF0IS0	R				00H
00200022H	UF0 INTステータス1レジスタ	UF0IS1	R				00H
00200024H	UF0 INTステータス2レジスタ	UF0IS2	R				00H
00200026H	UF0 INTステータス3レジスタ	UF0IS3	R				00H
00200028H	UF0 INTステータス4レジスタ	UF0IS4	R				00H
0020002EH	UF0 INTマスク0レジスタ	UF0IM0	R/W				00H
00200030H	UF0 INTマスク1レジスタ	UF0IM1	R/W				00H
00200032H	UF0 INTマスク2レジスタ	UF0IM2	R/W				00H
00200034H	UF0 INTマスク3レジスタ	UF0IM3	R/W				00H
00200036H	UF0 INTマスク4レジスタ	UF0IM4	R/W				00H
0020003CH	UF0 INTクリア0レジスタ	UF0IC0	W				FFH
0020003EH	UF0 INTクリア1レジスタ	UF0IC1	W				FFH
00200040H	UF0 INTクリア2レジスタ	UF0IC2	W				FFH
00200042H	UF0 INTクリア3レジスタ	UF0IC3	W				FFH
00200044H	UF0 INTクリア4レジスタ	UF0IC4	W				FFH
0020004CH	UF0 INT & DMARQレジスタ	UF0IDR	R/W				00H
0020004EH	UF0 DMAステータス0レジスタ	UF0DMS0	R				00H
00200050H	UF0 DMAステータス1レジスタ	UF0DMS1	R				00H
00200060H	UF0 FIFOクリア0レジスタ	UF0FIC0	W				00H
00200062H	UF0 FIFOクリア1レジスタ	UF0FIC1	W				00H
0020006AH	UF0データ・エンド・レジスタ	UF0DEND	R/W				00H
0020006EH	UF0 GPRレジスタ	UF0GPR	W				00H
00200074H	UF0モード・コントロール・レジスタ	UF0MODC	R/W				00H
00200078H	UF0モード・ステータス・レジスタ	UF0MODS	R				00H

(2/2)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200080H	UF0アクティブ・インタフェース・ナンバー・レジスタ	UF0AIFN	R/W				00H
00200082H	UF0アクティブ・オルタナティブ・セッティング・レジスタ	UF0AAS	R/W				00H
00200084H	UF0オルタナティブ・セッティング・ステータス・レジスタ	UF0ASS	R				00H
00200086H	UF0エンドポイント1インタフェース・マッピング・レジスタ	UF0E1IM	R/W				00H
00200088H	UF0エンドポイント2インタフェース・マッピング・レジスタ	UF0E2IM	R/W				00H
0020008AH	UF0エンドポイント3インタフェース・マッピング・レジスタ	UF0E3IM	R/W				00H
0020008CH	UF0エンドポイント4インタフェース・マッピング・レジスタ	UF0E4IM	R/W				00H
00200092H	UF0エンドポイント7インタフェース・マッピング・レジスタ	UF0E7IM	R/W				00H

(2) EPCデータ保持レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200100 H	UF0 EP0リード・レジスタ	UF0E0R	R				不定
00200102H	UF0 EP0レンジス・レジスタ	UF0E0L	R				00H
00200104H	UF0 EP0セットアップ・レジスタ	UF0E0ST	R				00H
00200106H	UF0 EP0ライト・レジスタ	UF0E0W	W				不定
00200108H	UF0バルク・アウト1レジスタ	UF0BO1	R				不定
0020010AH	UF0バルク・アウト1レンジス・レジスタ	UF0BO1L	R				00H
0020010CH	UF0バルク・アウト2レジスタ	UF0BO2	R				不定
0020010EH	UF0バルク・アウト2レンジス・レジスタ	UF0BO2L	R				00H
00200110H	UF0バルク・イン1レジスタ	UF0BI1	W				不定
00200112H	UF0バルク・イン2レジスタ	UF0BI2	W				不定
00200114H	UF0インタラプト1レジスタ	UF0INT1	W				不定

(3) EPCリクエスト・データ・レジスタ

(1/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200144H	UF0デバイス・ステータス・レジスタL	UF0DSTL	R/W				00H
0020014CH	UF0 EP0ステータス・レジスタL	UF0E0SL	R/W				00H
00200150H	UF0 EP1ステータス・レジスタL	UF0E1SL	R/W				00H
00200154H	UF0 EP2ステータス・レジスタL	UF0E2SL	R/W				00H
00200158H	UF0 EP3ステータス・レジスタL	UF0E3SL	R/W				00H
0020015CH	UF0 EP4ステータス・レジスタL	UF0E4SL	R/W				00H
00200168H	UF0 EP7ステータス・レジスタL	UF0E7SL	R/W				00H
00200180H	UF0アドレス・レジスタ	UF0ADRS	R				00H
00200182H	UF0コンフィギュレーション・レジスタ	UF0CNF	R				00H
00200184H	UF0インタフェース0レジスタ	UF0IF0	R				00H
00200186H	UF0インタフェース1レジスタ	UF0IF1	R				00H
00200188H	UF0インタフェース2レジスタ	UF0IF2	R				00H
0020018AH	UF0インタフェース3レジスタ	UF0IF3	R				00H
0020018CH	UF0インタフェース4レジスタ	UF0IF4	R				00H
002001A0H	UF0ディスクリプタ・レングス・レジスタ	UF0DSCL	R/W				00H
002001A2H	UF0デバイス・ディスクリプタ・レジスタ0	UF0DD0	R/W				不定
002001A4H	UF0デバイス・ディスクリプタ・レジスタ1	UF0DD1	R/W				不定
002001A6H	UF0デバイス・ディスクリプタ・レジスタ2	UF0DD2	R/W				不定
002001A8H	UF0デバイス・ディスクリプタ・レジスタ3	UF0DD3	R/W				不定
002001AAH	UF0デバイス・ディスクリプタ・レジスタ4	UF0DD4	R/W				不定
002001ACH	UF0デバイス・ディスクリプタ・レジスタ5	UF0DD5	R/W				不定
002001AEH	UF0デバイス・ディスクリプタ・レジスタ6	UF0DD6	R/W				不定
002001B0H	UF0デバイス・ディスクリプタ・レジスタ7	UF0DD7	R/W				不定
002001B2H	UF0デバイス・ディスクリプタ・レジスタ8	UF0DD8	R/W				不定
002001B4H	UF0デバイス・ディスクリプタ・レジスタ9	UF0DD9	R/W				不定
002001B6H	UF0デバイス・ディスクリプタ・レジスタ10	UF0DD10	R/W				不定
002001B8H	UF0デバイス・ディスクリプタ・レジスタ11	UF0DD11	R/W				不定
002001BAH	UF0デバイス・ディスクリプタ・レジスタ12	UF0DD12	R/W				不定
002001BCH	UF0デバイス・ディスクリプタ・レジスタ13	UF0DD13	R/W				不定
002001BEH	UF0デバイス・ディスクリプタ・レジスタ14	UF0DD14	R/W				不定
002001C0H	UF0デバイス・ディスクリプタ・レジスタ15	UF0DD15	R/W				不定
002001C2H	UF0デバイス・ディスクリプタ・レジスタ16	UF0DD16	R/W				不定
002001C4H	UF0デバイス・ディスクリプタ・レジスタ17	UF0DD17	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002001C6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ0	UF0CIE0	R/W				不定
002001C8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ1	UF0CIE1	R/W				不定
002001CAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ2	UF0CIE2	R/W				不定
002001CCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ3	UF0CIE3	R/W				不定
002001CEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ4	UF0CIE4	R/W				不定
002001D0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ5	UF0CIE5	R/W				不定
002001D2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ6	UF0CIE6	R/W				不定
002001D4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ7	UF0CIE7	R/W				不定
002001D6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ8	UF0CIE8	R/W				不定
002001D8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ9	UF0CIE9	R/W				不定
002001DAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ10	UF0CIE10	R/W				不定
002001DCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ11	UF0CIE11	R/W				不定
002001DEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ12	UF0CIE12	R/W				不定
002001E0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ13	UF0CIE13	R/W				不定
002001E2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ14	UF0CIE14	R/W				不定
002001E4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ15	UF0CIE15	R/W				不定
002001E6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ16	UF0CIE16	R/W				不定
002001E8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ17	UF0CIE17	R/W				不定
002001EAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ18	UF0CIE18	R/W				不定
002001ECH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ19	UF0CIE19	R/W				不定
002001EEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ20	UF0CIE20	R/W				不定
002001FOH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ21	UF0CIE21	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002001F2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ22	UF0CIE22	R/W				不定
002001F4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ23	UF0CIE23	R/W				不定
002001F6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ24	UF0CIE24	R/W				不定
002001F8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ25	UF0CIE25	R/W				不定
002001FAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ26	UF0CIE26	R/W				不定
002001FCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ27	UF0CIE27	R/W				不定
002001FEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ28	UF0CIE28	R/W				不定
00200200H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ29	UF0CIE29	R/W				不定
00200202H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ30	UF0CIE30	R/W				不定
00200204H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ31	UF0CIE31	R/W				不定
00200206H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ32	UF0CIE32	R/W				不定
00200208H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ33	UF0CIE33	R/W				不定
0020020AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ34	UF0CIE34	R/W				不定
0020020CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ35	UF0CIE35	R/W				不定
0020020EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ36	UF0CIE36	R/W				不定
00200210H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ37	UF0CIE37	R/W				不定
00200212H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ38	UF0CIE38	R/W				不定
00200214H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ39	UF0CIE39	R/W				不定
00200216H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ40	UF0CIE40	R/W				不定
00200218H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ41	UF0CIE41	R/W				不定
0020021AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ42	UF0CIE42	R/W				不定
0020021CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ43	UF0CIE43	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0020021EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ44	UF0CIE44	R/W				不定
00200220H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ45	UF0CIE45	R/W				不定
00200222H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ46	UF0CIE46	R/W				不定
00200224H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ47	UF0CIE47	R/W				不定
00200226H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ48	UF0CIE48	R/W				不定
00200228H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ49	UF0CIE49	R/W				不定
0020022AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ50	UF0CIE50	R/W				不定
0020022CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ51	UF0CIE51	R/W				不定
0020022EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ52	UF0CIE52	R/W				不定
00200230H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ53	UF0CIE53	R/W				不定
00200232H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ54	UF0CIE54	R/W				不定
00200234H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ55	UF0CIE55	R/W				不定
00200236H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ56	UF0CIE56	R/W				不定
00200238H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ57	UF0CIE57	R/W				不定
0020023AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ58	UF0CIE58	R/W				不定
0020023CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ59	UF0CIE59	R/W				不定
0020023EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ60	UF0CIE60	R/W				不定
00200240H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ61	UF0CIE61	R/W				不定
00200242H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ62	UF0CIE62	R/W				不定
00200244H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ63	UF0CIE63	R/W				不定
00200246H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ64	UF0CIE64	R/W				不定
00200248H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ65	UF0CIE65	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0020024AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ66	UF0CIE66	R/W				不定
0020024CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ67	UF0CIE67	R/W				不定
0020024EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ68	UF0CIE68	R/W				不定
00200250H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ69	UF0CIE69	R/W				不定
00200252H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ70	UF0CIE70	R/W				不定
00200254H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ71	UF0CIE71	R/W				不定
00200256H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ72	UF0CIE72	R/W				不定
00200258H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ73	UF0CIE73	R/W				不定
0020025AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ74	UF0CIE74	R/W				不定
0020025CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ75	UF0CIE75	R/W				不定
0020025EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ76	UF0CIE76	R/W				不定
00200260H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ77	UF0CIE77	R/W				不定
00200262H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ78	UF0CIE78	R/W				不定
00200264H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ79	UF0CIE79	R/W				不定
00200266H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ80	UF0CIE80	R/W				不定
00200268H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ81	UF0CIE81	R/W				不定
0020026AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ82	UF0CIE82	R/W				不定
0020026CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ83	UF0CIE83	R/W				不定
0020026EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ84	UF0CIE84	R/W				不定
00200270H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ85	UF0CIE85	R/W				不定
00200272H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ86	UF0CIE86	R/W				不定
00200274H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ87	UF0CIE87	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200276H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ88	UF0CIE88	R/W				不定
00200278H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ89	UF0CIE89	R/W				不定
0020027AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ90	UF0CIE90	R/W				不定
0020027CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ91	UF0CIE91	R/W				不定
0020027EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ92	UF0CIE92	R/W				不定
00200280H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ93	UF0CIE93	R/W				不定
00200282H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ94	UF0CIE94	R/W				不定
00200284H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ95	UF0CIE95	R/W				不定
00200286H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ96	UF0CIE96	R/W				不定
00200288H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ97	UF0CIE97	R/W				不定
0020028AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ98	UF0CIE98	R/W				不定
0020028CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ99	UF0CIE99	R/W				不定
0020028EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ100	UF0CIE100	R/W				不定
00200290H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ101	UF0CIE101	R/W				不定
00200292H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ102	UF0CIE102	R/W				不定
00200294H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ103	UF0CIE103	R/W				不定
00200296H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ104	UF0CIE104	R/W				不定
00200298H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ105	UF0CIE105	R/W				不定
0020029AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ106	UF0CIE106	R/W				不定
0020029CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ107	UF0CIE107	R/W				不定
0020029EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ108	UF0CIE108	R/W				不定
002002A0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ109	UF0CIE109	R/W				不定

(7/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002002A2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ110	UF0CIE110	R/W				不定
002002A4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ111	UF0CIE111	R/W				不定
002002A6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ112	UF0CIE112	R/W				不定
002002A8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ113	UF0CIE113	R/W				不定
002002AAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ114	UF0CIE114	R/W				不定
002002ACH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ115	UF0CIE115	R/W				不定
002002AEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ116	UF0CIE116	R/W				不定
002002B0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ117	UF0CIE117	R/W				不定
002002B2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ118	UF0CIE118	R/W				不定
002002B4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ119	UF0CIE119	R/W				不定
002002B6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ120	UF0CIE120	R/W				不定
002002B8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ121	UF0CIE121	R/W				不定
002002BAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ122	UF0CIE122	R/W				不定
002002BCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ123	UF0CIE123	R/W				不定
002002BEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ124	UF0CIE124	R/W				不定
002002C0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ125	UF0CIE125	R/W				不定
002002C2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ126	UF0CIE126	R/W				不定
002002C4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ127	UF0CIE127	R/W				不定
002002C6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ128	UF0CIE128	R/W				不定
002002C8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ129	UF0CIE129	R/W				不定
002002CAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ130	UF0CIE130	R/W				不定
002002CCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ131	UF0CIE131	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002002CEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ132	UF0CIE132	R/W				不定
002002D0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ133	UF0CIE133	R/W				不定
002002D2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ134	UF0CIE134	R/W				不定
002002D4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ135	UF0CIE135	R/W				不定
002002D6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ136	UF0CIE136	R/W				不定
002002D8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ137	UF0CIE137	R/W				不定
002002DAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ138	UF0CIE138	R/W				不定
002002DCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ139	UF0CIE139	R/W				不定
002002DEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ140	UF0CIE140	R/W				不定
002002E0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ141	UF0CIE141	R/W				不定
002002E2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ142	UF0CIE142	R/W				不定
002002E4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ143	UF0CIE143	R/W				不定
002002E6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ144	UF0CIE144	R/W				不定
002002E8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ145	UF0CIE145	R/W				不定
002002EAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ146	UF0CIE146	R/W				不定
002002ECH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ147	UF0CIE147	R/W				不定
002002EEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ148	UF0CIE148	R/W				不定
002002F0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ149	UF0CIE149	R/W				不定
002002F2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ150	UF0CIE150	R/W				不定
002002F4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ151	UF0CIE151	R/W				不定
002002F6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ152	UF0CIE152	R/W				不定
002002F8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ153	UF0CIE153	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002002FAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ154	UF0CIE154	R/W				不定
002002FCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ155	UF0CIE155	R/W				不定
002002FEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ156	UF0CIE156	R/W				不定
00200300H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ157	UF0CIE157	R/W				不定
00200302H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ158	UF0CIE158	R/W				不定
00200304H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ159	UF0CIE159	R/W				不定
00200306H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ160	UF0CIE160	R/W				不定
00200308H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ161	UF0CIE161	R/W				不定
0020030AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ162	UF0CIE162	R/W				不定
0020030CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ163	UF0CIE163	R/W				不定
0020030EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ164	UF0CIE164	R/W				不定
00200310H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ165	UF0CIE165	R/W				不定
00200312H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ166	UF0CIE166	R/W				不定
00200314H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ167	UF0CIE167	R/W				不定
00200316H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ168	UF0CIE168	R/W				不定
00200318H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ169	UF0CIE169	R/W				不定
0020031AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ170	UF0CIE170	R/W				不定
0020031CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ171	UF0CIE171	R/W				不定
0020031EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ172	UF0CIE172	R/W				不定
00200320H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ173	UF0CIE173	R/W				不定
00200322H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ174	UF0CIE174	R/W				不定
00200324H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ175	UF0CIE175	R/W				不定

(10/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200326H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ176	UF0CIE176	R/W				不定
00200328H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ177	UF0CIE177	R/W				不定
0020032AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ178	UF0CIE178	R/W				不定
0020032CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ179	UF0CIE179	R/W				不定
0020032EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ180	UF0CIE180	R/W				不定
00200330H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ181	UF0CIE181	R/W				不定
00200332H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ182	UF0CIE182	R/W				不定
00200334H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ183	UF0CIE183	R/W				不定
00200336H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ184	UF0CIE184	R/W				不定
00200338H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ185	UF0CIE185	R/W				不定
0020033AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ186	UF0CIE186	R/W				不定
0020033CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ187	UF0CIE187	R/W				不定
0020033EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ188	UF0CIE188	R/W				不定
00200340H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ189	UF0CIE189	R/W				不定
00200342H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ190	UF0CIE190	R/W				不定
00200344H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ191	UF0CIE191	R/W				不定
00200346H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ192	UF0CIE192	R/W				不定
00200348H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ193	UF0CIE193	R/W				不定
0020034AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ194	UF0CIE194	R/W				不定
0020034CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ195	UF0CIE195	R/W				不定
0020034EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ196	UF0CIE196	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200350H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ197	UF0CIE197	R/W				不定
00200352H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ198	UF0CIE198	R/W				不定
00200354H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ199	UF0CIE199	R/W				不定
00200356H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ200	UF0CIE200	R/W				不定
00200358H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ201	UF0CIE201	R/W				不定
0020035AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ202	UF0CIE202	R/W				不定
0020035CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ203	UF0CIE203	R/W				不定
0020035EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ204	UF0CIE204	R/W				不定
00200360H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ205	UF0CIE205	R/W				不定
00200362H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ206	UF0CIE206	R/W				不定
00200364H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ207	UF0CIE207	R/W				不定
00200366H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ208	UF0CIE208	R/W				不定
00200368H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ209	UF0CIE209	R/W				不定
0020036AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ210	UF0CIE210	R/W				不定
0020036CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ211	UF0CIE211	R/W				不定
0020036EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ212	UF0CIE212	R/W				不定
00200370H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ213	UF0CIE213	R/W				不定
00200372H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ214	UF0CIE214	R/W				不定
00200374H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ215	UF0CIE215	R/W				不定
00200376H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ216	UF0CIE216	R/W				不定
00200378H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ217	UF0CIE217	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0020037AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ218	UF0CIE218	R/W				不定
0020037CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ219	UF0CIE219	R/W				不定
0020037EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ220	UF0CIE220	R/W				不定
00200380H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ221	UF0CIE221	R/W				不定
00200382H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ222	UF0CIE222	R/W				不定
00200384H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ223	UF0CIE223	R/W				不定
00200386H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ224	UF0CIE224	R/W				不定
00200388H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ225	UF0CIE225	R/W				不定
0020038AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ226	UF0CIE226	R/W				不定
0020038CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ227	UF0CIE227	R/W				不定
0020038EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ228	UF0CIE228	R/W				不定
00200390H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ229	UF0CIE229	R/W				不定
00200392H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ230	UF0CIE230	R/W				不定
00200394H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ231	UF0CIE231	R/W				不定
00200396H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ232	UF0CIE232	R/W				不定
00200398H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ233	UF0CIE233	R/W				不定
0020039AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ234	UF0CIE234	R/W				不定
0020039CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ235	UF0CIE235	R/W				不定
0020039EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ236	UF0CIE236	R/W				不定
002003A0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ237	UF0CIE237	R/W				不定
002003A2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ238	UF0CIE238	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002003A4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ239	UF0CIE239	R/W				不定
002003A6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ240	UF0CIE240	R/W				不定
002003A8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ241	UF0CIE241	R/W				不定
002003AAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ242	UF0CIE242	R/W				不定
002003ACH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ243	UF0CIE243	R/W				不定
002003AEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ244	UF0CIE244	R/W				不定
002003B0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ245	UF0CIE245	R/W				不定
002003B2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ246	UF0CIE246	R/W				不定
002003B4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ247	UF0CIE247	R/W				不定
002003B6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ248	UF0CIE248	R/W				不定
002003B8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ249	UF0CIE249	R/W				不定
002003BAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ250	UF0CIE250	R/W				不定
002003BCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ251	UF0CIE251	R/W				不定
002003BEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ252	UF0CIE252	R/W				不定
002003C0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ253	UF0CIE253	R/W				不定
002003C2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ254	UF0CIE254	R/W				不定
002003C4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ255	UF0CIE255	R/W				不定

(4) ブリッジ・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200400H	ブリッジ割り込み・コントロール・レジスタ	BRGINTT	R/W				0000H
00200402H	ブリッジ割り込み・イネーブル・レジスタ	BRGINTE	R/W				0000H
00200404H	EPCマクロ・コントロール・レジスタ	EPCCLT	R/W				0000H
00200408H	CPU I/F バス・コントロール・レジスタ	CPUBCTL	R/W				0000H

(5) DMAレジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200500H	EP1 DMAコントロール・レジスタ1	UF0E1DC1	R/W				0000H
00200502H	EP1 DMAコントロール・レジスタ2	UF0E1DC2	R/W				0000H
00200504H	EP2 DMAコントロール・レジスタ1	UF0E2DC1	R/W				0000H
00200506H	EP2 DMAコントロール・レジスタ2	UF0E2DC2	R/W				0000H
00200508H	EP3 DMAコントロール・レジスタ1	UF0E3DC1	R/W				0000H
0020050AH	EP3 DMAコントロール・レジスタ2	UF0E3DC2	R/W				0000H
0020050CH	EP4 DMAコントロール・レジスタ1	UF0E4DC1	R/W				0000H
0020050EH	EP4 DMAコントロール・レジスタ2	UF0E4DC2	R/W				0000H

(6) バルク・イン・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00201000H	UF0 EP1バルク・イン転送データ・レジスタ	UF0EP1BI	W				0000H
00202000H	UF0 EP3バルク・イン転送データ・レジスタ	UF0EP3BI	W				0000H

(7) バルク・アウト・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00210000H	UF0 EP2バルク・アウト転送データ・レジスタ	UF0EP2BO	R				0000H
00220000H	UF0 EP4バルク・アウト転送データ・レジスタ	UF0EP4BO	R				0000H

(8) 周辺制御レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00240000H	USBF DMAリクエスト・イネーブル・レジスタ	UFDRQEN	R/W				0000H

22. 6. 3 EPC制御レジスタ

(1) UF0 EP0NAKレジスタ (UF0E0N)

Endpoint0のNAKを制御します (自動実行リクエストを除きます)。

8ビット単位でリード/ライト可能です (ただし、ビット0はリードだけ可能です)。

UF0FIC0, UF0FIC1レジスタをセットしてからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって、正確にステータスを読み出す必要がある場合は、UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は、EP0NKRビットに対する書き込みは無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0N	0	0	0	0	0	0	EP0NKR	EP0NKW	00200000H	00H

ビット位置	ビット名	意 味
1	EP0NKR	Endpoint0へのOUTトークンに対するNAKを制御します (自動実行リクエストを除く)。Endpoint0がデータを正常受信した際に、ハードウェアによって自動的にセット (1) されます。FWによってUF0E0Rレジスタのデータが読み出されたときに (カウンタ値 = 0), ハードウェアによって自動的にクリア (0) されます。 1: NAKを送信する 0: NAKを送信しない (初期値) USBFBがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なおこの場合には、FWでこのビットをクリア (0) するまでUSBFBはNAKを送出しつづけます。UF0E0Rレジスタをクリアした場合には同時にこのビットもクリア (0) されます。
0	EP0NKW	Endpoint0へのINトークンに対するNAK制御状況を示します (自動実行リクエストを除く)。Endpoint0のデータが送信され、送信データをホストが正常受信した場合にハードウェアによって自動的にクリア (0) されます。UF0E0Wレジスタのデータはこのタイミングまで保持されます。したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。ショート・パケットを送る場合には必ずUF0DENDレジスタのE0DEDビットをセット (1) してください。FIFOフルの場合は自動的にセット (1) されます。UF0DENDレジスタのE0DEDビットがセット (1) された場合、同時にEP0NKWビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合、UF0E0Wレジスタがクリアされると同時にこのビットもクリア (0) されます。FWによりUF0E0Wをクリアした場合にも同時にこのビットもクリア (0) されます。

次に、IN/OUTトークンをともなうSETUPトランザクションの手順を示します。

(a) INトークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア (0) してください。次に、リクエストに従った処理を行い、INトークンでデータを返す必要がある場合はUF0E0Wレジスタにデータを書き込みます。書き込みが終了したあと、UF0IS1レジスタのPROTビットが0であることを確認してから、UF0DENDレジスタのE0DEDビットをセット (1) します。ハードウェアはEP0NKWビットがセット (1) されてから最初のINトークンでデータの送出手をします。UF0IS1レジスタのPROTビットが1の場合、コントロール転送終了前にSETUPトランザクションが再度発生したことを示します。その場合は、UF0IC1レジスタのPROTCビットをクリア (0) することでUF0IS1レジスタのPROTビットをクリア (0) してから、再度UF0E0STレジスタからデータを読み出してください。あとから受信したリクエストを読み出すことが可能になります。

(b) OUTトークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア (0) してください。UF0E0Rレジスタからデータを読み出す前にUF0IS1レジスタのPROTビットが0であることを確認してください。もしPROTビットが1であれば無効なデータを保持しているので、FWによりFIFOをクリアしてください (EP0NKRビットは自動的にクリア (0) されます)。UF0IS1レジスタのPROTビットが0の場合はUF0E0Lレジスタのデータを読み出し、セットされている分だけのデータをUF0E0Rレジスタから読み出してください。UF0E0Rレジスタからのデータの読み出しが完了すると (UF0E0Rレジスタのカウンタが0になったときに)、ハードウェアは自動的にEP0NKRビットをクリア (0) します。

(2) UF0 EP0NAKALLレジスタ (UF0E0NA)

Endpoint0のすべてのリクエストのNAKを制御します。自動実行リクエストに対しても有効です。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0NA	0	0	0	0	0	0	0	EP0NKA	00200002H	00H

ビット位置	ビット名	意味
0	EP0NKA	<p>Endpoint0へのSETUPトランザクション以外のNAKを制御します (自動実行リクエストを含む)。このビットの操作はFWによって行います。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>このレジスタは、自動実行リクエストで使用するデータの変更を行う場合に、FWライトとSIEからのリードの競合を防止するためのもので、SIEからのアクセスが行われている間は、FWからこのビットへの書き込みの反映を保留する機能を持っています。FWによりリクエスト・データ・レジスタの書き換えを行う際には、このビットのセット (1) が正しく行えたことを確認してから実行してください。このビットのセット (1) が反映されるのは、次の場合に限ります。</p> <ul style="list-style-type: none"> ・ USBFがリセットされた直後でSETUPトークンを一度も受信していない ・ Bus Resetの受信直後でSETUPトークンを一度も受信していない ・ SETUPトークンのPIDを検出したとき ・ ステータス・ステージへ移行したとき <p>なお、クリア (0) はINトークンの受信中でNAK応答を行っている最中を除いてすぐに反映されます。</p> <p>Endpoint0転送中のEP0NKAビットのセット (1) 反映タイミングは上記の4つの場合となりますが、Endpoint0の転送以外の場合は書き込み後すぐに反映されません。</p>

(3) UF0 EPNAKレジスタ (UF0EN)

Endpoint0以外のEndpointのNAK制御などを行います。

8ビット単位でリード/ライト可能です (ただし, ビット4, 1, 0はリードだけ可能です)。

なお, BKO2NKビットはUF0ENMレジスタのBKO2NKMビット = 1のとき, BKO1NKビットはUF0ENMレジスタのBKO1NKMビット = 1のときだけライト可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは, 関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって, 正確にステータスを読み出す必要がある場合は, UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は, BKO1NK, BKO2NKビットに対する書き込みは無視されます。

ビット7-5には必ず0を設定してください。1を設定した場合の動作は保証できません。

(1/4)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EN	0	0	0	IT1NK	BKO2NK	BKO1NK	BKI2NK	BKI1NK	00200004H	00H

ビット位置	ビット名	意 味
4	IT1NK	Endpoint7 (インタラプト1転送) に対するNAKを制御します。 データ書き込みによりUF0INT1レジスタがフルになるとこのビットは自動的にセット (1) され, 送信が開始されます。FIFOがフルにならないショート・パケットを送る場合には, UF0DENDレジスタのIT1DENDビットをセット (1) してください。IT1DENDビットがセット (1) されると, 同時にこのビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお, UF0INT1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。

ビット位置	ビット名	意 味
3	BKO2NK	<p>Endpoint4 (バルク2転送 (OUT)) に対するNAKを制御します。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>UF0BO2レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) <p>FWはBLKO2DT割り込み要求を受け取った時点でUF0BO2Lレジスタのデータを読み出し、その値分のデータをUF0BO2レジスタから読み出してください。USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なお、この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO2レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>
2	BKO1NK	<p>Endpoint2 (バルク1転送 (OUT)) に対するNAKを制御します。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>UF0BO1レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) <p>FWはBLKO1DT割り込み要求を受け取った時点でUF0BO1Lレジスタのデータを読み出し、その値分のデータをUF0BO1レジスタから読み出してください。USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なお、この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

注意1. PIOモードでUF0BO2レジスタからデータを読み込んでいる最中にDMAを許可すると、すぐにDMAリクエストが発行されます。

2. DMA転送モードでCPU側FIFOの最終データを読み出すと、DMAリクエスト信号はインアクティブになります。
3. DMA転送モードでTC信号を受信すると、DMAリクエスト信号はインアクティブになります。

ビット位置	ビット名	意味
1	BKI2NK	<p>Endpoint3 (バルク2転送 (IN)) に対するNAKを制御します。</p> <p>1 : NAKを送信しない 0 : NAKを送信する (初期値)</p> <p>UF0BI2レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (UF0BI2レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルがUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みによりCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット (1) されデータ送信が開始されます。ただし、UF0DENDレジスタのBKI2Tビットがクリア (0) されている状態でのDMAによるCPU側のFIFOへの書き込みでFIFOがフルになった場合は、UF0DENDレジスタのBKI2DEDビットがセット (1) されるまでトグル動作の条件を満足しないため、トグル動作は発生しません。CPU側のFIFOがフルにならないショート・パケットを送る場合には、データ書き込み完了後BKI2DEDビットをセット (1) してください。BKI2DEDビットがセット (1) されると、トグル動作が行われるのと同時にこのビットも自動的にセット (1) されます。UF0BI2レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

- 注意1. PIOモードでUF0BI2レジスタにデータを書き込んでいる最中にDMA許可を行うと、すぐにDMAリクエストが発行されます。
2. DMA転送モードで64バイト書き込みを行った場合、DMAリクエスト信号はインアクティブになります。このあとBKI2NKビットがセット (1) されている場合には、INトークンに同期してデータ送信が行われます。FIFOのトグルが発生した時点で、DMAリクエストのマスクを行わないかぎりDMAリクエスト信号は再度アクティブになります。一方、BKI2NKビットがセットされていない (0) 場合には、INトークンを受け取ってもデータの送信は行われません。この場合には、UF0DENDレジスタのBKI2DEDビットをセット (1) してください。
 3. DMA転送モードでTC信号を受信すると、DMAリクエスト信号はインアクティブになります。同時にDMAリクエストもマスクされます。BKI2NKビットがセット (1) されない場合には、INトークンを受け取ってもデータの送信は行われません。FWでUF0DENDレジスタのBKI2DEDビットをセット (1) すると、INトークンに同期してデータ送信が行われます。再度DMA転送を行う場合は、DMAリクエストのマスクを解除してください。

ビット位置	ビット名	意味
0	BKI1NK	<p>Endpoint1 (バルク1転送 (IN)) に対するNAKを制御します。</p> <p>1 : NAKを送信しない 0 : NAKを送信する (初期値)</p> <p>UF0BI1レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (UF0BI1レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルかUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みでCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット (1) されデータ送信が開始されます。ただし、UF0DENDレジスタのBKI1Tビットがクリア (0) されている状態でのDMAによるCPU側のFIFOへの書き込みでFIFOがフルになった場合は、UF0DENDレジスタのBKI1DEDビットがセット (1) されるまでトグル動作の条件を満足しないため、トグル動作は発生しません。CPU側のFIFOがフルにならないショート・パケットを送る場合には、データ書き込み完了後BKI1DEDビットをセット (1) してください。BKI1DEDビットがセット (1) されると、トグル動作が行われるのと同時にこのビットも自動的にセット (1) されます。UF0BI1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

- 注意1. PIOモードでUF0BI1レジスタにデータを書き込んでいる最中にDMA許可を行うと、すぐにDMAリクエストが発行されます。
2. DMA転送モードで64バイト書き込みを行った場合、DMAリクエスト信号はインアクティブになります。このあとBKI1NKビットがセット (1) されている場合には、INトークンに同期してデータ送信が行われます。FIFOのトグルが発生した時点で、DMAリクエストのマスクを行わないかぎりDMAリクエスト信号は再度アクティブになります。一方、BKI1NKビットがセットされていない (0) 場合には、INトークンを受け取ってもデータの送信は行われません。この場合には、UF0DENDレジスタのBKI1DEDビットをセット (1) してください。
 3. DMA転送モードでTC信号を受信すると、DMAリクエスト信号はインアクティブになります。同時にDMAリクエストもマスクされます。BKI1NKビットがセット (1) されない場合には、INトークンを受け取ってもデータの送信は行われません。FWでUF0DENDレジスタのBKI1DEDビットをセット (1) すると、INトークンに同期してデータ送信が行われます。再度DMA転送を行う場合は、DMAリクエストのマスクを解除してください。

(4) UF0 EPNAKマスク・レジスタ (UF0ENM)

UF0ENレジスタに対する書き込みマスクを制御します。

8ビット単位でリード/ライト可能です。

ビット7-4, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ENM	0	0	0	0	BKO2NKM	BKO1NKM	0	0	00200006H	00H

ビット位置	ビット名	意 味
3	BKO2NKM	UF0ENレジスタのビット3 (BKO2NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)
2	BKO1NKM	UF0ENレジスタのビット2 (BKO1NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)

(5) UF0 SNDSIEレジスタ (UF0SDS)

ノー・ハンドシェークなどの操作を行います。SIEの端子を直接操作できます。

8ビット単位でリード/ライトが可能です。

ビット2には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SDS	0	0	0	0	SNDSTL	0	0	RSUMIN	00200008H	00H

ビット位置	ビット名	意 味
3	SNDSTL	<p>Endpoint0に対してSTALLハンドシェークを発行させるようにします。CPUDEC処理のリクエストがシステムで対応していないものであるときにセット(1)することで、STALLハンドシェークで応答させます。SET_CONFIGURATION, SET_INTERFACEリクエストなどでサポートしていないwValueが送られてきた場合は、ハードウェアがこのビットをセット(1)します。自動リクエストでのオーバーラン等によりEndpoint0で問題が発生した場合もこのビットはセット(1)されます。ただし、UF0E0SLレジスタのE0HALTビットへのセット(1)は行われません。</p> <p>1: STALLハンドシェークで応答する 0: STALLハンドシェークで応答しない(初期値)</p> <p>なお、次のSETUPトークンを受信したときにこのビットはクリア(0)され、バスへのハンドシェーク応答はSTALL以外になります。FWでSNDSTLビットをセット(1)する場合には、UF0E0Wレジスタへの書き込みは行わないでください。また、セット(1)するタイミングによってはSTALL応答が間に合わずNAK応答を行ったあとに次の転送にSTALL応答する場合があります。</p> <p>このビットの設定は、セット(1)されたときに実行中のFW実行リクエストの間だけ有効です。次のSETUPトークン受信時に自動的にクリア(0)されます。</p> <p>備考 SNDSTLビットはFW実行リクエストに対してだけ有効です。</p>
0	RSUMIN	<p>USBバス上にResume信号を出力させます。UF0DSTLレジスタのRMWKビットがセット(1)されていないかぎり、このビットへの書き込みは無効となります。</p> <p>1: Resume信号を発生させる 0: Resume信号を発生させない(初期値)</p> <p>このビットがセット(1)されている間はResume信号を発生させ続けますので、一定時間経過したあとFWによりクリア(0)してください。内部でクロックによるサンプリングを行っているため、CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。</p>

(6) UF0 CLRリクエスト・レジスタ (UF0CLR)

受信されたCLEAR_FEATUREリクエストが何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット(1)され、このレジスタを読み出したときに自動的にクリア(0)されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CLR	0	CLREP7	CLREP4	CLREP3	CLREP2	CLREP1	CLREP0	CLRDEV	0020000AH	00H

ビット位置	ビット名	意 味
6-1	CLREPn	CLEAR_FEATURE Endpoint nリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない(初期値)
0	CLRDEV	CLEAR_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない(初期値)

備考 n = 0-4, 7

(7) UF0 SETリクエスト・レジスタ (UF0SET)

自動処理を行ったSET_XXXXリクエスト (SET_INTERFACEを除く) が何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SET	SETCON	0	0	0	0	SETEP	0	SETDEV	0020000CH	00H

ビット位置	ビット名	意 味
7	SETCON	SET_CONFIGURATIONリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
2	SETEP	SET_FEATURE Endpoint nリクエスト (n=0-4, 7) を受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	SETDEV	SET_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

(8) UF0 EPステータス0レジスタ (UF0EPS0)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって，正確にステータスを読み出す必要がある場合はUF0FIC0, UF0FIC1レジスタに対するライトとUF0EPS0, UF0EPS1, UF0EPS2レジスタ，UF0E0Nレジスタ，UF0ENレジスタに対するリードとの間は4USBクロック以上空けてください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS0	0	IT1	BKOUT2	BKOUT1	BKIN2	BKIN1	EPOW	EP0R	0020000EH	00H

ビット位置	ビット名	意 味
6	IT1	UF0INT1レジスタ (FIFO) にデータがあることを示します。また，UF0DENDレジスタのIT1DEDビットをセット (1) することにより，UF0INT1レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0INT1レジスタのカウントが0であっても，UF0DENDレジスタのIT1DEDビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
5, 4	BKOUTn	CPU側に接続されたUF0BOnレジスタ (FIFO) にデータがあることを示します。UF0BOnレジスタを構成しているFIFOが切り替わったときに，ハードウェアにより自動的にセット (1) されます。CPU側に接続されたUF0BOnレジスタ (FIFO) の読み出しが終了 (カウント値 = 0) したときに，ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません (FIFOのトグルも発生しません)。 1: データがある 0: データがない (初期値)
3, 2	BKINn	CPU側に接続されたUF0Binレジスタ (FIFO) にデータがあることを示します。また，UF0DENDレジスタのBKInDEDビットをセット (1) することにより，UF0Binレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0Binレジスタのカウントが0であっても，UF0DENDレジスタのBKInDEDビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。トグル動作時にクリア (0) されます。 1: データがある 0: データがない (初期値)

備考 n = 1, 2

ビット位置	ビット名	意 味
1	EP0W	UF0E0Wレジスタ (FIFO) にデータがあることを示します。また、UF0DENDレジスタのE0DEDビットをセット (1) することにより、UF0E0Wレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0E0Wレジスタのカウンタが0であっても、UF0DENDレジスタのE0DEDビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
0	EP0R	UF0E0Rレジスタ (FIFO) にデータがあることを示します。UF0E0Rレジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに、ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません。 1: データがある 0: データがない (初期値)

(9) UF0 EPステータス1レジスタ (UF0EPS1)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS1	RSUM	0	0	0	0	0	0	0	00200010H	00H

ビット位置	ビット名	意味
7	RSUM	<p>USBバスがResume状態にあることを示します。このビットは割り込み要求が発生したときにだけ意味を持ちます。</p> <p>1 : Suspend状態になった 0 : Resume状態になった (初期値)</p> <p>内部でクロックによるサンプリングを行っているため、CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。SIEではCLKが停止した状態でもINTUSBF1信号は動作します。したがって割り込み制御レジスタ(UFIC1)を有効にするか、USBFに対するCLKの周波数を下げることで対応が可能になります。</p> <p>このビットは読み出したときに自動的にクリア(0)されます。</p>

(10) UF0 EPステータス2レジスタ (UF0EPS2)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS2	0	0	HALT7	HALT4	HALT3	HALT2	HALT1	HALT0	00200012H	00H

ビット位置	ビット名	意 味
5-0	HALTn	<p>現在Endpoint nがストールしていることを示すビットです。オーバラン発生や規定外リクエスト受信などのストール条件が成立した場合にセット(1)されます。これらのビットはハードウェアにより自動的にセット(1)されます。</p> <p>1: Endpointがストールしている 0: Endpointはストールしていない(初期値)</p> <p>オーバラン発生/規定外リクエスト受信などによりHALT0ビットがセット(1)されると，同時にSNDSTLビットもセット(1)されます。この状態で次のSETUPトークンを受信すると，SNDSTLビットがクリア(0)されるため，このビットもクリア(0)されます。なお，SET_FEATURE Endpoint0リクエストによりEndpoint0をストールさせた場合には，CLEAR_FEATURE Endpoint0リクエストを受信するかFWでHalt Featureをクリアするまでこのビットはクリア(0)されません。Endpoint0のHalt Featureをセットした状態でGET_STATUS Endpoint0, CLEAR_FEATURE Endpoint0, SET_FEATURE Endpoint0リクエスト，またはCPUDEC割り込み要求によりFWで処理を行うリクエストを受信した場合には，次のSETUPトークンを受信するまでHALT0ビットはマスクされ0になります。Endpoint nがCLEAR_FEATURE Endpointリクエストを受信するまでかEndpointがリンクされたInterfaceに対するSET_INTERFACE, SET_CONFIGURATIONリクエストでHalt Featureをクリアするまで，またはFWでHalt Featureをクリアするまで，HALTn ビットはクリア(0)されません。SET_INTERFACE, SET_CONFIGURATIONリクエストを正常処理した場合には，wValue値が現行の設定値と同じであったとしてもEndpoint0を除いたすべての対象EndpointのHalt Featureはリクエストを処理したあとにクリアされ，これらのビットもクリア(0)されます。Endpoint0のHalt FeatureがセットされているとSET_INTERFACE, SET_CONFIGURATIONリクエストはSTALL応答されるため，Endpoint0のHalt Featureはクリアできません。</p>

備考 n = 0-4, 7

(11) UF0 INTステータス0レジスタ (UF0IS0)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT0Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC0レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

注意 USBFでは、Bus Reset, Resume, Shortなど複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSBF0) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。例えば、Bus Reset割り込み要因とResume割り込み要因が発生している場合には、2つの要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。

この条件で、Bus Reset割り込み要因だけをクリア (0) (UF0IC0.BUSRSTC = 0) した場合、Resume割り込み要因が残っているため、V850ES/JH3-E, V850ES/JJ3-E内部のINTUSBF0割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSBF0割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS0	BUSRST	RSUSPD	0	SHORT	DMAED	SETRQ	CLRRQ	EPHALT	00200020H	00H

ビット位置	ビット名	意味
7	BUSRST	Bus Resetが行われたことを示します。 1 : Bus Resetが行われた (割り込み要求発生) 0 : Bus Reset状態ではない (初期値)
6	RSUSPD	ResumeまたはSuspend状態が発生したことを示します。FWでUF0EPS1レジスタのビット7を参照してください。 1 : ResumeまたはSuspend状態が発生した (割り込み要求発生) 0 : ResumeまたはSuspend状態が発生していない (初期値)
4	SHORT	UF0B01, UF0B02レジスタのいずれかのFIFOからデータが読み出され、USBSPnB信号 (n=2, 4) のいずれかをアクティブにしたことを示します。DMAモードでFIFOがフルになっていないときにだけ有効です。 1 : USBSPnB信号をアクティブにした (割り込み要求発生) 0 : USBSPnB信号をアクティブにしない (初期値) 実際にどのEndpointに対する動作であるかはUF0DMS1レジスタで確認してください。ただし、FWによりUF0DMS1レジスタを読み出しても、自動的にクリア (0) されません。

ビット位置	ビット名	意 味
3	DMAED	<p>Endpoint n用DMA終了 (TC) 信号 (n = 1-4, 7) のいずれかがアクティブになったことを示します。</p> <p>1: Endpoint n用DMA終了信号が入力された (割り込み要求発生)</p> <p>0: Endpoint n用DMA終了信号が入力されていない (初期値)</p> <p>このビットがセット (1) されると, Endpoint n用DMA要求信号はインアクティブになります。FWによりDMA転送許可を行わないかぎり, Endpoint n用DMA要求信号はアクティブになりません。</p> <p>実際にどのEndpointに対する動作であるかはUF0DMS0レジスタで確認してください。ただし, FWによりUF0DMS0レジスタを読み出しても, 自動的にクリア (0) されません。</p>
2	SETRQ	<p>自動処理対象のSET_XXXXリクエストを受信し, 自動処理を行ったことを示します (XXXX = CONFIGURATION, FEATURE)。</p> <p>1: 自動処理対象のSET_XXXXリクエストを受信した (割り込み要求発生)</p> <p>0: 自動処理対象のSET_XXXXリクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。リクエストの対象が何かはUF0SETレジスタを参照してください。FWによりUF0SETレジスタを読み出しても, 自動的にクリア (0) されません。</p> <p>なお, SET_FEATURE Endpointリクエストを受信したときはEPHALTビットもセット (1) されます。</p>
1	CLRRQ	<p>CLEAR_FEATUREリクエストを受信し, 自動処理を行ったことを示します。</p> <p>1: CLEAR_FEATUREリクエストを受信した (割り込み要求発生)</p> <p>0: CLEAR_FEATUREリクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。</p> <p>CLEAR_FEATUREリクエストの対象が何かはUF0CLRレジスタを参照してください。FWによりUF0CLRレジスタを読み出しても, 自動的にクリア (0) されません。</p>
0	EPHALT	<p>Endpointがストールしていることを示します。</p> <p>1: Endpointがストールしている (割り込み要求発生)</p> <p>0: Endpointがストールしていない (初期値)</p> <p>なお, FWのセットによりEndpointをストールさせた場合もこのビットがセット (1) されます。</p> <p>ストールしているEndpointは, UF0EPS2レジスタを参照してください。CLEAR_FEATURE Endpoint, SET_INTERFACE, SET_CONFIGURATIONリクエストを受信しても, 自動的にクリア (0) されません。またEndpoint0のオーバーラン発生の場合, 次のSETUPトークンを受信しても, 自動的にクリア (0) されません。</p> <p>注意 Endpoint0のHalt Featureがセットされてこの割り込み要求が発生した場合でも, SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0リクエストまたはFW処理リクエストを受信してから次の前述以外のSETUPトークンを受信するまではUF0EPS2レジスタのビット0はマスクされ0になります。</p>

(12) UF0 INTステータス1レジスタ (UF0IS1)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT0Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC1レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。ただし、UF0IS1レジスタのSUCES, STGビットは次のSETUPトークン受信で自動的にクリア (0) されます。

注意 USBFでは、Bus Reset, Resume, Shortなど複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSBF0) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。例えば、Bus Reset割り込み要因とResume割り込み要因が発生している場合には、2つの要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。

この条件で、Bus Reset割り込み要因だけをクリア (0) (UF0IC0.BUSRSTC = 0) した場合、Resume割り込み要因が残っているため、V850ES/JH3-E, V850ES/JJ3-E内部のINTUSBF0割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSBF0割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS1	0	E0IN	E0INDT	E0ODT	SUCES	STG	PROT	CPU DEC	00200022H	00H

ビット位置	ビット名	意 味
6	E0IN	Endpoint0に対するINトークンを受信して、ハードウェアが自動的にNAKを送信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
5	E0INDT	UF0E0Wレジスタからデータが正常に送信されたことを示します。 1: UF0E0Wレジスタから送信が完了した (割り込み要求発生) 0: UF0E0Wレジスタから送信を完了していない (初期値) データはUF0E0NレジスタのEP0NKWビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。Nullパケットでもセット (1) されます。UF0E0Wレジスタに書き込みを行った最初のライト・アクセス時にハードウェアにより自動的にクリア (0) されます。

ビット位置	ビット名	意 味
4	E0ODT	<p>データがUF0E0Rレジスタに正常に受信されたことを示します。</p> <p>1: UF0E0Rレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0Rレジスタにデータがない (初期値)</p> <p>正常に受信するとハードウェアにより自動的にセット (1) され、同時にUF0EPS0レジスタのEP0Rビットもセット (1) されます。Nullパケットを受信した場合はセット (1) されません。FWによりUF0E0Rレジスタを読み出し、UF0E0Lレジスタの値が0になるとハードウェアにより自動的にクリア (0) されます。</p>
3	SUCES	<p>FW処理またはハードウェア処理リクエストのどちらかを受信し、ステータス・ステージを正常に終了したことを示します。</p> <p>1: コントロール転送を正常に処理し終わった (割り込み要求発生)</p> <p>0: コントロール転送を正常に処理し終わっていない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。また、次のSETUPトークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、コントロール転送のステータス・ステージでData PIDが0のデータ (Nullデータ) を受信した場合もSUCESビットがセット (1) されます。</p>
2	STG	<p>コントロール転送でステータス・ステージが変わったときにセット (1) されます。FW処理またはハードウェア処理のいずれのリクエストでも有効です。また、コントロール転送 (データなし) でもステータス・ステージが変わったときにはセット (1) されます。</p> <p>1: ステータス・ステージに入った (割り込み要求発生)</p> <p>0: ステータス・ステージに入っていない (初期値)</p> <p>このビットは次のSETUPトークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージが変わった場合でもセット (1) されます。この場合、FWでコントロール転送 (リード) を処理している場合にはUF0E0Wレジスタと同時にUF0E0NレジスタのEP0NKWビットもクリア (0) されます。</p>
1	PROT	<p>SETUPトークンを受信したことを示します。ハードウェア処理またはFW処理のいずれのリクエストでも有効です。</p> <p>1: SETUPトークンを正常受信した (割り込み要求発生)</p> <p>0: SETUPトークンを受信していない (初期値)</p> <p>このビットは、UF0E0STレジスタにデータを正常受信した際にセット (1) されます。UF0E0STレジスタを最初にリード・アクセスする際などに、FWによってクリア (0) してください。FWによりクリア (0) しなかった場合、次のSETUPトークンを正常に受け取ったことを認識できません。</p> <p>このビットは、コントロール転送中に再度SETUPトランザクションが行われたことを確実に認識するために使用します。コントロール転送中に再度SETUPトランザクションが行われ、2番目のリクエストがハードウェア実行の場合CPUDECビットはセット (1) されないため、このビットで確認することができます。</p>
0	CPUDEC	<p>UF0E0STレジスタにFWでデコードを行うリクエストがあることを示します。</p> <p>1: UF0E0STレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0STレジスタにデータがない (初期値)</p> <p>UF0E0STレジスタのデータをすべてリードすると、ハードウェアにより自動的にクリア (0) されます。</p>

(13) UF0 INTステータス2レジスタ (UF0IS2)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT1Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC2レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS2	BKI2IN	BKI2DT	BKI1IN	BKI1DT	0	0	0	IT1DT	00200024H	00H

ビット位置	ビット名	意 味
7, 5	BKInIN	UF0BInレジスタ (Endpoint m) に対するINトークンを受信してNAKを返信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
6, 4	BKInDT	UF0BInレジスタ (Endpoint m) のFIFOのトグルが発生したことを示します。これはEndpoint mにデータを書き込めることを意味します。 1: FIFOのトグル動作が発生した (割り込み要求発生) 0: FIFOのトグル動作が発生していない (初期値) Endpoint mに書き込まれたデータはUF0ENレジスタのBKInNKビットがセット (1) された次のINトークンに同期して送信されますが、FIFOのトグル動作が発生してCPU側からデータが書き込めるようになると、このビットがハードウェアにより自動的にセット (1) されます。Nullパケットの場合でもFIFOの切り替えが行われた場合はセット (1) されます。UF0BInレジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。
0	IT1DT	UF0INT1レジスタ (Endpoint 7) からデータが正常に送信されたことを示します。 1: 送信が完了した (割り込み要求発生) 0: 送信が完了していない (初期値) データはUF0ENレジスタのIT1NKビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。UF0INT1レジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。Nullパケットでもセット (1) されます。

備考 n = 1, 2

n = 1のとき m = 1, x = 7

n = 2のとき m = 3

(14) UF0 INTステータス3レジスタ (UF0IS3)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT1Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC3レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS3	BKO2FL	BKO2NL	BKO2 NAK	BKO2DT	BKO1FL	BKO1NL	BKO1 NAK	BKO1DT	00200026H	00H

ビット位置	ビット名	意 味
7, 3	BKOnFL	UF0BOnレジスタ (Endpoint m) にデータが正常受信され、CPU/SIEの両方のFIFOにデータが保持されていることを示します。 1: UF0BOnレジスタの両方のFIFOに受信データが存在する (割り込み要求発生) 0: UF0BOnレジスタの少なくともSIE側FIFOには受信データが存在しない (初期値) CPU/SIEの両方のFIFOにデータが保持されると、ハードウェアにより自動的にセット (1) されます。FIFOのトグル動作が起こるとハードウェアにより自動的にクリア (0) されます。
6, 2	BKOnNL	UF0BOnレジスタ (Endpoint m) でNullパケット (0長パケット) を受信したことを示します。 1: Nullパケットを受信した (割り込み要求発生) 0: Nullパケットは受信していない (初期値) FIFOが空の状態ではNullパケットの受信により受信直後にこのビットがセット (1) されます。CPU側FIFOにデータが存在する状態ではCPU側FIFOの読み出しが完了したあとにこのビットがセット (1) されます。
5, 1	BKOnNAK	UF0BOnレジスタ (Endpoint m) に対するOUTトークンを受信してNAKを返信したことを示します。 1: OUTトークンを受信しNAKを送出した (割り込み要求発生) 0: OUTトークンを受信していない (初期値)

備考 n = 1, 2

n = 1のとき m = 2

n = 2のとき m = 4

ビット位置	ビット名	意 味
4, 0	BKOnDT	<p>UF0BOnレジスタ (Endpoint m) にデータが正常受信されたことを示します。</p> <p>1: 正常に受信が完了した (割り込み要求発生)</p> <p>0: 受信が完了していない (初期値)</p> <p>正常受信を行いFIFOが切り替わったときに,ハードウェアにより自動的にセット (1) され,同時にUF0EPS0レジスタの対応ビットもセット (1) されます。Null パケットの場合はセット (1) されません。FWIによるUF0BOnレジスタ読み出しでUF0BOnLレジスタの値が0になると,ハードウェアにより自動的にクリア (0) されます。</p> <p>このビットはCPU側のFIFOをすべて読み出したときに自動的にクリア (0) されますが,このときSIE側にデータがあれば割り込み要求はクリアされずINTUSBF1信号もインアクティブになりません。連続してデータを受信した場合は,アクティブのままになります。</p>

備考 n = 1, 2

n = 1のときm = 2

n = 2のときm = 4

(15) UF0 INTステータス4レジスタ (UF0IS4)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT2Bがアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWはこのレジスタを読み出して割り込み要因を確認してください。

このレジスタのビットは、UF0IC4レジスタの対応ビットに0を書き込むと強制的にクリア(0)されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS4	0	0	SETINT	0	0	0	0	0	00200028H	00H

ビット位置	ビット名	意 味
5	SETINT	SET_INTERFACEリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った (割り込み要求発生) 0: 自動処理を行っていない (初期値) 現在の設定がどのようになっているかはUF0ASSレジスタまたはUF0IFnレジスタ (n = 0-4) を読み出すことで判断できます。

(16) UF0 INTマスクレジスタ (UF0IM0)

UF0IS0レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM0	BUS RSTM	RSU SPDM	0	SHORTM	DMA EDM	SET RQM	CLR RQM	EP HALTM	0020002EH	00H

ビット位置	ビット名	意味
7	BUSRSTM	Bus Reset割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6	RSUSPDM	Resume/Suspend割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	SHORTM	Short割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	DMAEDM	DMA_END割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	SETRQM	SET_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	CLRRQM	CLR_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	EPHALTM	EP_Halt割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(17) UF0 INTマスク1レジスタ (UF0IM1)

UF0IS1レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM1	0	E0INM	E0 INDTM	E0 ODTM	SUCESM	STGM	PROTM	CPU DECM	00200030H	00H

ビット位置	ビット名	意味
6	E0INM	EP0IN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5	E0INDTM	EP0INDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	E0ODTM	EP0OUTDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	SUCESM	Success割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	STGM	Stg割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	PROTM	Protect割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	CPUDECM	CPUDEC割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(18) UF0 INTマスク2レジスタ (UF0IM2)

UF0IS2レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM2	BKl2INM	BKl2 DTM	BKl1INM	BKl1 DTM	0	0	0	IT1DTM	00200032H	00H

ビット位置	ビット名	意 味
7, 5	BKlINM	BLKlIN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 4	BKlINDTM	BLKlINDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	IT1DTM	INT1DT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(19) UF0 INTマスク3レジスタ (UF0IM3)

UF0IS3レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM3	BKO2 FLM	BKO2 NLM	BKO2 NAKM	BKO2 DTM	BKO1 FLM	BKO1 NLM	BKO1 NAKM	BKO1 DTM	00200034H	00H

ビット位置	ビット名	意 味
7, 3	BKOnFLM	BLKOnFL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 2	BKOnNLM	BLKOnNL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5, 1	BKOnNAKM	BLKOnNK割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4, 0	BKOnDTM	BLKOnDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(20) UF0 INTマスク4レジスタ (UF0IM4)

UF0IS4レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM4	0	0	SETINTM	0	0	0	0	0	00200036H	00H

ビット位置	ビット名	意味
5	SETINTM	SET_INT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(21) UF0 INTクリアレジスタ (UF0IC0)

UF0IS0レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC0	BUS RSTC	RSU SPDC	1	SHORTC	DMA EDC	SET RQC	CLR RQC	EP HALTC	0020003CH	FFH

ビット位置	ビット名	意味
7	BUSRSTC	Bus Reset割り込み要求をクリアします。 0 : クリアする
6	RSUSPDC	Resume/Suspend割り込み要求をクリアします。 0 : クリアする
4	SHORTC	Short割り込み要求をクリアします。 0 : クリアする
3	DMAEDC	DMA_END割り込み要求をクリアします。 0 : クリアする
2	SETRQC	SET_RQ割り込み要求をクリアします。 0 : クリアする
1	CLRRQC	CLR_RQ割り込み要求をクリアします。 0 : クリアする
0	EPHALTC	EP_Halt割り込み要求をクリアします。 0 : クリアする

(22) UF0 INTクリアレジスタ (UF0IC1)

UF0IS1レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC1	1	E0INC	E0 INDTC	E0ODTC	SUCESC	STGC	PROTC	CPU DECC	0020003EH	FFH

ビット位置	ビット名	意 味
6	E0INC	EP0IN割り込み要求をクリアします。 0 : クリアする
5	E0INDTC	EP0INDT割り込み要求をクリアします。 0 : クリアする
4	E0ODTC	EP0OUTDT割り込み要求をクリアします。 0 : クリアする
3	SUCESC	Success割り込み要求をクリアします。 0 : クリアする
2	STGC	Stg割り込み要求をクリアします。 0 : クリアする
1	PROTC	Protect割り込み要求をクリアします。 0 : クリアする
0	CPUDECC	CPUDEC割り込み要求をクリアします。 0 : クリアする

(23) UF0 INTクリアレジスタ (UF0IC2)

UF0IS2レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC2	BKI2INC	BKI2 DTC	BKI1INC	BKI1 DTC	1	1	1	IT1DTC	00200040H	FFH

ビット位置	ビット名	意 味
7, 5	BKInINC	BLKInIN割り込み要求をクリアします。 0 : クリアする
6, 4	BKInDTC	BLKInDT割り込み要求をクリアします。 0 : クリアする
0	IT1DTC	INT1DT割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(24) UF0 INTクリア3レジスタ (UF0IC3)

UF0IS3レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC3	BKO2	BKO2	BKO2	BKO2	BKO1	BKO1	BKO1	BKO1	00200042H	FFH
	FLC	NLC	NAKC	DTC	FLC	NLC	NAKC	DTC		

ビット位置	ビット名	意味
7, 3	BKOnFLC	BLKOnFL割り込み要求をクリアします。 0 : クリアする
6, 2	BKOnNLC	BLKOnNL割り込み要求をクリアします。 0 : クリアする
5, 1	BKOnNAKC	BLKOnNK割り込み要求をクリアします。 0 : クリアする
4, 0	BKOnDTC	BLKOnDT割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(25) UF0 INTクリア4レジスタ (UF0IC4)

UF0IS4レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC4	1	1	SETINTC	1	1	1	1	1	00200044H	FFH

ビット位置	ビット名	意 味
5	SETINTC	SET_INT割り込み要求をクリアします。 0: クリアする

(26) UF0 INT & DMARQレジスタ (UF0IDR)

割り込み要求による通知またはDMA起動を選択するためのレジスタです。

8ビット単位でリード/ライト可能です。

UF0BO1, UF0BO2レジスタのいずれかにデータが存在する場合, またはUF0BI1, UF0BI2レジスタにデータを書き込める場合に, FWに対して割り込み要求で通知するかDMA起動を要求するかを選択します。また, DMA起動を要求した場合は, ビット0, 1の設定によりDMA転送モードが選択できます。

UF0EnIMレジスタ (n = 1-4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは, 関連ビットは無効となります。

ビット3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 DMA転送中のSET_INTERFACEリクエストで対象Endpointがサポートされなくなった場合は, DMAリクエスト信号はただちにインアクティブになり, 該当するビットはハードウェアにより自動的にクリア (0) されます。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IDR	DQBI2 MS	DQBI1 MS	DQBO2 MS	DQBO1 MS	0	0	MODE1	MODE0	0020004CH	00H

ビット位置	ビット名	意 味
7, 6	DQBInMS	UF0BI _n レジスタへの書き込みDMA転送リクエスト (Endpoint m用DMA要求信号) の許可 (マスク) を行います。このビットをセット (1) すると, データの書き込みを受け付けられるときEndpoint m用DMA要求信号がアクティブになります。Endpoint m用DMA終了信号が入力された場合 (DMAコントローラがTCを発行したとき) に, このビットはハードウェアにより自動的にクリア (0) されます。DMAによる転送を継続する場合は, FWで再セット (1) してください。 1 : Endpoint m用DMA要求信号アクティブ許可 (BKInDT割り込みをマスク) 0 : Endpoint m用DMA要求信号アクティブ不許可 (初期値)
5, 4	DQBO _n MS	UF0BO _n レジスタの読み出しDMA転送リクエスト (Endpoint x用DMA要求信号) の許可 (マスク) を行います。このビットをセット (1) すると, 読み出すデータがUF0BO _n レジスタに準備されるとEndpoint x用DMA要求信号がアクティブになります。Endpoint x用DMA終了信号が入力された場合 (DMAコントローラがTCを発行したとき) に, このビットはハードウェアにより自動的にクリア (0) されます。USBSPxB信号のアクティブ時にもクリア (0) されます。DMAによる転送を継続する場合は, FWで再セット (1) してください。 1 : Endpoint x用DMA要求信号アクティブ許可 (BKOnDT割り込みをマスク) 0 : Endpoint x用DMA要求信号アクティブ不許可 (初期値)

備考 n = 1, 2
 n = 1のとき m = 1, x = 2
 n = 2のとき m = 3, x = 4

ビット位置	ビット名	意 味												
1, 0	MODE1, MODE0	<p>DMA転送モードを選択します。</p> <table border="1"> <thead> <tr> <th>MODE1</th> <th>MODE0</th> <th>モード</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>デマンド・モード</td> <td>データがあるかぎりDMAリクエスト信号はアクティブになります。データがなくなるとインアクティブになります。</td> </tr> <tr> <td colspan="2">上記以外</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table>	MODE1	MODE0	モード	備考	1	0	デマンド・モード	データがあるかぎりDMAリクエスト信号はアクティブになります。データがなくなるとインアクティブになります。	上記以外		設定禁止	
MODE1	MODE0	モード	備考											
1	0	デマンド・モード	データがあるかぎりDMAリクエスト信号はアクティブになります。データがなくなるとインアクティブになります。											
上記以外		設定禁止												

(27) UF0 DMAステータスレジスタ (UF0DMS0)

Endpoint1-Endpoint4のDMAのステータスを示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DMS0	0	0	DQE4	DQE3	DQE2	DQE1	0	0	0020004EH	00H

ビット位置	ビット名	意味
5	DQE4	Endpoint4からメモリへのDMA読み出し要求を行っていることを示します。 1: Endpoint4に対するDMA読み出し要求中 0: Endpoint4に対するDMA読み出し要求をしていない (初期値)
4	DQE3	メモリからEndpoint3へのDMA書き込み要求を行っていることを示します。 Endpoint3にデータがある状態 (FIFOフル以外, BK12DEDビットのセット (1) 後) でも, UF0IDRレジスタのDQBI2MSビットをセット (1) すると, すぐにDMAリクエスト信号がアクティブになりDMA転送が開始されますのでご注意ください。 1: Endpoint3に対するDMA書き込み要求中 0: Endpoint3に対するDMA書き込み要求をしていない (初期値)
3	DQE2	Endpoint2からメモリへのDMA読み出し要求を行っていることを示します。 1: Endpoint2に対するDMA読み出し要求中 0: Endpoint2に対するDMA読み出し要求をしていない (初期値)
2	DQE1	メモリからEndpoint1へのDMA書き込み要求を行っていることを示します。 Endpoint1にデータがある状態 (FIFOフル以外, BK11DEDビットのセット (1) 後) でも, UF0IDRレジスタのDQBI1MSビットをセット (1) すると, すぐにDMAリクエスト信号がアクティブになりDMA転送が開始されますのでご注意ください。 1: Endpoint1に対するDMA書き込み要求中 0: Endpoint1に対するDMA書き込み要求をしていない (初期値)

(28) UF0 DMAステータス1レジスタ (UF0DMS1)

Endpoint1-Endpoint4のDMAのステータスを示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

各ビットはこのレジスタを読み出したときに自動的にクリア (0) されます。ただし、このレジスタを読み出してもUF0IS0レジスタのビット4, 3はクリア (0) されません。SET_INTERFACEリクエストで対象Endpointがサポートされなくなった場合は、各ビットはハードウェアにより自動的にクリア (0) されます (ただし、DMA_END割り込み要求, Short割り込み要求はクリアされません)。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DMS1	DEDE4	DSPE4	DEDE3	DEDE2	DSPE2	DEDE1	0	0	00200050H	00H

ビット位置	ビット名	意味
7, 5, 4, 2	DEDEn	Endpoint nからメモリへのDMA読み出し要求を行っている最中にEndpoint n用DMA終了 (TC) 信号がアクティブになりDMAが停止したことを示します。 1: Endpoint n用DMA終了信号がアクティブ 0: Endpoint n用DMA終了信号がインアクティブ (初期値)
6, 3	DSPEm	Endpoint mからメモリへのDMA読み出し要求を行っていたが、受信データがショート・パケットであり転送データがなくなったため、DMAが停止したことを示します。 1: DMASTOP_EPm信号がアクティブ 0: DMASTOP_EPm信号がインアクティブ (初期値)

備考 n = 1-4
m = 2, 4

(29) UF0 FIFOクリアレジスタ (UF0FIC0)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んで無効となります。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC0	BKI2SC	BKI2CC	BKI1SC	BKI1CC	0	ITR1C	EP0WC	EP0RC	00200060H	00H

ビット位置	ビット名	意 味
7, 5	BKInSC	UF0BInレジスタのSIE側FIFOのみをクリア (カウンタをリセット) します。 1: クリアする BKInNKビットがセット (1) されている状態でEndpoint mに対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, BKInNKビットはFIFOをクリアすることで自動的にクリア (0) されます。このビットを使用するときにはCPU側FIFOを必ず空にしておいてください。
6, 4	BKInCC	UF0BInレジスタのCPU側FIFOのみをクリア (カウンタをリセット) します。 1: クリアする
2	ITR1C	UF0INT1レジスタをクリア (カウンタをリセット) します。 1: クリアする IT1NKビットがセット (1) されている状態でEndpoint 7に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, IT1NKビットはFIFOをクリアすることで自動的にクリア (0) されます。
1	EP0WC	UF0E0Wレジスタをクリア (カウンタをリセット) します。 1: クリアする EP0NKWビットがセット (1) されている状態でEndpoint0に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, EP0NKWビットはFIFOをクリアすることで自動的にクリア (0) されます。
0	EP0RC	UF0E0Rレジスタをクリア (カウンタをリセット) します。 1: クリアする EP0NKRビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでEP0NKRビットが自動的にクリア (0) されます。

備考 n = 1, 2

n = 1のときm = 1, x = 7

n = 2のときm = 3

(30) UF0 FIFOクリアレジスタ (UF0FIC1)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んでも無効となります。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC1	0	0	0	0	BKO2C	BKO2CC	BKO1C	BKO1CC	00200062H	00H

ビット位置	ビット名	意 味
3, 1	BKOnC	UF0BOnレジスタのSIE側/CPU側の両FIFOをクリア (カウンタをリセット) します。 1: クリアする BKOnNKビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでBKOnNKビットが自動的にクリア(0) されます。
2, 0	BKOnCC	UF0BOnレジスタのCPU側のFIFOだけをクリア (カウンタをリセット) します。 1: クリアする BKOnNKビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでBKOnNKビットが自動的にクリア(0) されます。

備考 n = 1, 2

(31) UF0データ・エンド・レジスタ (UF0DEND)

送信系に対し書き込み終了を通知するためのレジスタです。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことで対象Endpointのデータ転送を開始させることができます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DEND	BKI2T	BKI1T	0	0	IT1DEND	BKI2DED	BKI1DED	E0DED	0020006AH	00H

ビット位置	ビット名	意 味
7, 6	BKInT	DMAによりUF0BInレジスタのCPU側のFIFOがフルになった場合に、FIFOのトグル動作を自動的に実行するかを設定します。 1: FIFOフルになった時点でFIFOのトグル動作を自動的に実行する 0: FIFOフルになってもFIFOのトグル動作は自動実行しない (初期値)
3	IT1DEND	UF0INT1レジスタのデータを送信するときにセット (1) してください。このビットがセット (1) されると、IT1NKビットがセット (1) されデータ転送が行われます。 1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値) UF0FIC0レジスタのITR1Cビットがセット (1) され、さらにこのビットがセット (1) された場合 (UF0INT1レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), Null (データ長0) パケットが送信されます。 UF0INT1レジスタにデータが存在し、さらにこのビットがセット (1) された場合 (UF0INT1レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), ショート・パケットが送信されます。 FIFOがフルの場合はこのビットに関連する制御はハードウェアによって自動的に行われます。

備考 n = 1, 2

ビット位置	ビット名	意 味
2, 1	BKInDED	<p>UF0BInレジスタへの送信データの書き込みが終了したときにセット(1)してください。このビットがセット(1)されると、FIFOのトグル動作が行えるようになったタイミングでFIFOトグル動作が起こり、BKInNKビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>このビットはCPU側のFIFOを制御します。</p> <p>UF0FIC0レジスタのBKInCCビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0BInレジスタのカウンタ = 0)、Null(データ長0)パケットが送信されます。</p> <p>UF0BInレジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0BInレジスタのカウンタ = 0)、FIFOがフルでなければショート・パケットが送信されます。</p> <p>PIOがBKInTビットをセット(1)した状態のDMAでUF0BInレジスタのCPU側のFIFOをフルにした場合、このビットをセット(1)しなくてもハードウェアはデータ送信を開始します。</p> <p>BKInTビットをクリア(0)した状態のDMAでUF0BInレジスタのCPU側のFIFOをフルにした場合、必ずこのビットをセット(1)してください(22.6.3(3)UF0EPNAKレジスタ(UF0EN)参照)。</p>
0	E0DED	<p>UF0E0Wレジスタのデータを送信するときにセット(1)してください。このビットがセット(1)されると、EP0NKWビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>UF0FIC0レジスタのEP0WCビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0E0Wレジスタのカウンタ = 0, UF0EPS0レジスタのビット1 = 1)、Null(データ長0)パケットが送信されます。</p> <p>UF0E0Wレジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0E0Wレジスタのカウンタ = 0, UF0EPS0レジスタのビット1 = 1)、FIFOがフルでなければショート・パケットが送信されます。</p>

備考 n = 1, 2

(32) UF0 GPRレジスタ (UF0GPR)

USBFとUSBインタフェースを制御します。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。ビット7-1には、必ず0を設定してください。

FWはこのレジスタのビット0に1を書き込むことでUSBFをリセットできます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0GPR	0	0	0	0	0	0	0	MRST	0020006EH	00H

ビット位置	ビット名	意 味
0	MRST	<p>USBFをリセットするときにセット (1) してください。</p> <p>1: リセットする</p> <p>このビットをFWによりセット (1) したあと実際にリセットされるのは、ライト信号のインアクティブから2USBクロック後になります。</p> <p>システム・クロックの動作中にMRSTビットによるUSBFのリセットを行った場合、USBFについてはRESET端子による制御 (ハードウェア・リセット) と同じになります (レジスタ値が初期値に戻ります)。</p> <p>ただし、UF0CSレジスタとUF0BCレジスタは、MRSTビットによるリセットの影響を受けません。</p>

(33) UF0モード・コントロール・レジスタ (UF0MODC)

CPUDEC処理の制御を行います。

8ビット単位でリード/ライト可能です。

このレジスタの各ビットを設定することにより、UF0MODSレジスタの設定を変更できます。ハードウェア・リセット時とUF0GRPレジスタのMRSTビットをセット(1)したときにだけ自動的にクリア(0)されます。

このレジスタのビットがハードウェアにより自動的にセット(1)されても、FWによる設定が優先されます。

ビット7, 5-2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 このレジスタはデバッグ用に用意されています。動作検証や特殊なモードを使用する場合以外はこのレジスタは設定しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODC	0	CDC GDST	0	0	0	0	0	0	00200074H	00H

ビット位置	ビット名	意 味
6	CDCGDST	GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるときにセット(1)してください。このビットをセット(1)することによりUF0MODSレジスタのCDCGDビットを強制的にセット(1)できます。 1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更(UF0MODSレジスタのCDCGDビットをセット(1)) 0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま(初期値)

(34) UF0モード・ステータス・レジスタ (UF0MODS)

コンフィギュレーション状況を示します。

8ビット単位でリードだけ可能です。

7	6	5	4	3	2	1	0	アドレス	初期値	
UF0MODS	0	CDCGD	0	MPACK	DFLT	CONF	0	0	00200078H	00H

ビット位置	ビット名	意味
6	CDCGD	<p>GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるかを示します。</p> <p>1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更</p> <p>0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま (初期値)</p>
4	MPACK	<p>Endpoint0の送信パケット・サイズを示します。</p> <p>1: 8バイト以外で送信を行っている</p> <p>0: 8バイトで送信を行っている (初期値)</p> <p>このビットはGET_DESCRIPTOR Deviceリクエストを処理したあと (ステータス・ステージ正常終了時) に、ハードウェアにより自動的にセット (1) されます。なお、USBFがリセットされるまでこのビットはクリア (0) されません (Bus Resetではクリア (0) されません)。</p> <p>このビットがセット (1) されていない状態では、ハードウェアは自動実行リクエストのみ8バイト転送を行います。したがって、GET_DESCRIPTOR Deviceリクエストの完了前にFW処理のOUTトークンで8バイト以上のデータが送られた場合でも、正常受信します。</p> <p>なお、Endpoint0のサイズを8バイト構成にした場合は無視されます。</p>
3	DFLT	<p>デフォルト状態 (DFLTビット = 1) になっているかを示します。</p> <p>1: 応答許可</p> <p>0: 応答禁止 (常に無応答) (初期値)</p> <p>このビットはBus Resetにより自動的にセット (1) されます。このビットがセット (1) されるまですべてのEndpointに対するトランザクションに応答しません。</p>
2	CONF	<p>SET_CONFIGURATIONリクエストが完了したかを示します。</p> <p>1: SET_CONFIGURATIONリクエストが完了した</p> <p>0: SET_CONFIGURATIONリクエストが完了していない (初期値)</p> <p>SET_CONFIGURATIONリクエストでConfiguration値 = 1を受信したときにセット (1) されます。</p> <p>このビットがセット (1) されていないかぎり、Endpoint0以外に対するアクセスは無視されます。</p> <p>なお、SET_CONFIGURATIONリクエストでConfiguration値 = 0を受信したとき、このビットはクリア (0) されます。また、Bus Resetを検出したときもクリア (0) されます。</p>

(35) UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN)

GET/SET_INTERFACEリクエストに対して正常に応答する有効なInterface番号を設定します。なお、Interface 0は必ず有効となるため、Interface 1-4までを選択できます。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AIFN	ADDIF	0	0	0	0	0	IFNO1	IFNO0	00200080H	00H

ビット位置	ビット名	意味															
7	ADDIF	0以外のInterface番号が利用できるように設定します。 1: IFNO1, IFNO0ビットで指定されるInterface番号までサポート 0: Interface 0だけをサポート (初期値) このビットがセット (1) されていない状態ではこのレジスタのビット1, 0の設定は無効になります。															
1, 0	IFNO1, IFNO0	サポートするInterface番号の範囲を設定します。 <table border="1"> <thead> <tr> <th>IFNO1</th> <th>IFNO0</th> <th>有効なInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0, 1, 2, 3, 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0, 1, 2, 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0, 1, 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0, 1</td> </tr> </tbody> </table>	IFNO1	IFNO0	有効なInterface番号	1	1	0, 1, 2, 3, 4	1	0	0, 1, 2, 3	0	1	0, 1, 2	0	0	0, 1
IFNO1	IFNO0	有効なInterface番号															
1	1	0, 1, 2, 3, 4															
1	0	0, 1, 2, 3															
0	1	0, 1, 2															
0	0	0, 1															

(36) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS)

Interface番号とAlternative Settingのリンクを設定します。

8ビット単位でリード/ライト可能です。

V850ES/JH3-E, V850ES/JJ3-EのUSBFでは5連Alternative Setting (Alternative Setting 0, 1, 2, 3, 4を定義できる)と2連Alternative Setting (Alternative Setting 0, 1を定義できる)をそれぞれ1つのInterfaceに対して設定できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AAS	ALT2	IFAL21	IFAL20	ALT2EN	ALT5	IFAL51	IFAL50	ALT5EN	00200082H	00H

ビット位置	ビット名	意 味															
7, 3	ALTn	n連Alternative SettingをInterface 0にリンクするかを設定します。このビットがセット (1) されるとIFALn1, IFALn0ビットの設定は無効になります。 1 : Interface 0にn連Alternative Settingをリンクする 0 : Interface 0にはn連Alternative Settingはリンクしない (初期値)															
6, 5, 2, 1	IFALn1, IFALn0	n連Alternative SettingにリンクされるInterface番号を設定します。リンクしたInterface番号がUF0AIFNレジスタで設定されたInterface番号の範囲外の場合は、n連Alternative Settingは無効になります (ALTnENビット = 0)。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>IFALn1</th> <th>IFALn0</th> <th>リンクするInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>Interface 4とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>Interface 3とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>Interface 2とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>Interface 1とリンク</td> </tr> </tbody> </table> 5連Alternative Settingと2連Alternative Settingを同じInterface番号にリンクさせないようにしてください。	IFALn1	IFALn0	リンクするInterface番号	1	1	Interface 4とリンク	1	0	Interface 3とリンク	0	1	Interface 2とリンク	0	0	Interface 1とリンク
IFALn1	IFALn0	リンクするInterface番号															
1	1	Interface 4とリンク															
1	0	Interface 3とリンク															
0	1	Interface 2とリンク															
0	0	Interface 1とリンク															
4, 0	ALTnEN	n連Alternative Settingを有効にします。このビットがセット (1) されていないとALTnビット, IFALn1, IFALn0ビットの設定は無効になります。 1 : n連Alternative Settingを有効にする 0 : n連Alternative Settingを有効にしない (初期値)															

備考 n = 2, 5

たとえば、UF0AIFNレジスタを82Hに設定し、UF0AASレジスタを15Hに設定した場合、Interface 0, 1, 2, 3が有効になりInterface 0, 2はAlternative Setting 0のみ、Interface 1はAlternative Setting 0, 1、Interface 3はAlternative Setting 0, 1, 2, 3, 4をサポートすることを示します。この設定ではGET_INTERFACE wIndex = 0/1/2/3, SET_INTERFACE wValue = 0 & wIndex = 0/2, SET_INTERFACE wValue = 0/1 & wIndex = 1, SET_INTERFACE wValue = 0/1/2/3/4 & wIndex = 3のリクエストに対して自動応答し、それ以外のGET/SET_INTERFACEリクエストにはSTALL応答します。

(37) UF0オルタナティブ・セッティング・ステータス・レジスタ (UF0ASS)

現在のAlternative Settingの設定状態を示します。

8ビット単位でリードだけ可能です。

SET_INT割り込み要求が発行されたときはこのレジスタを確認してください。なお、SET_INTERFACEリクエストで受信した値は同時にUF0IFnレジスタ (n = 0-4) にも反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ASS	0	0	0	0	AL5ST3	AL5ST2	AL5ST1	AL2ST	00200084H	00H

ビット位置	ビット名	意味																								
3-1	AL5ST3- AL5ST1	5連Alternative Settingの現在の設定状況を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>AL5ST3</th> <th>AL5ST2</th> <th>AL5ST1</th> <th>設定されているAlternative Setting番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Alternative Setting 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Alternative Setting 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Alternative Setting 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Alternative Setting 1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Alternative Setting 0</td> </tr> </tbody> </table>	AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号	1	0	0	Alternative Setting 4	0	1	1	Alternative Setting 3	0	1	0	Alternative Setting 2	0	0	1	Alternative Setting 1	0	0	0	Alternative Setting 0
AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号																							
1	0	0	Alternative Setting 4																							
0	1	1	Alternative Setting 3																							
0	1	0	Alternative Setting 2																							
0	0	1	Alternative Setting 1																							
0	0	0	Alternative Setting 0																							
0	AL2ST	2連Alternative Settingの現在の設定状況 (設定されているAlternative Setting番号) を示します。 1 : Alternative Setting 1 0 : Alternative Setting 0																								

(38) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM)

Endpoint1がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint1が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint1リクエストとEndpoint1へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1IM	E1EN2	E1EN1	E1EN0	E12AL1	E15AL4	E15AL3	E15AL2	E15AL1	00200086H	00H

ビット位置	ビット名	意 味																																			
7-5	E1EN2- E1EN0	<p>Endpoint1の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E1EN2</th> <th>E1EN1</th> <th>E1EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない(初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E12AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint1が有効になることを示します。</p>	E1EN2	E1EN1	E1EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない(初期値)
E1EN2	E1EN1	E1EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない(初期値)																																		
4	E12AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint1が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0: CONFビット = 1でAlternate Setting 1に設定されても有効にならない(初期値)</p> <p>このビットはE15AL4-E15AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E15ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint1が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0: CONFビット = 1でAlternate Setting nに設定されても有効にならない(初期値)</p>																																			

備考 n = 1-4

(39) UF0エンドポイント2インタフェース・マッピング・レジスタ (UF0E2IM)

Endpoint2がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint2が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint2リクエストとEndpoint2へのOUTトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2IM	E2EN2	E2EN1	E2EN0	E22AL1	E25AL4	E25AL3	E25AL2	E25AL1	00200088H	00H

ビット位置	ビット名	意 味																																			
7-5	E2EN2- E2EN0	<p>Endpoint2の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E2EN2</th> <th>E2EN1</th> <th>E2EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない(初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E22AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint2が有効になることを示します。</p>	E2EN2	E2EN1	E2EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない(初期値)
E2EN2	E2EN1	E2EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない(初期値)																																		
4	E22AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint2が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0: CONFビット = 1でAlternate Setting 1に設定されても有効にならない(初期値)</p> <p>このビットはE25AL4-E25AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E25ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint2が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0: CONFビット = 1でAlternate Setting nに設定されても有効にならない(初期値)</p>																																			

備考 n = 1-4

(40) UF0エンドポイント3インタフェース・マッピング・レジスタ (UF0E3IM)

Endpoint3がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint3が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint3リクエストとEndpoint3へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3IM	E3EN2	E3EN1	E3EN0	E32AL1	E35AL4	E35AL3	E35AL2	E35AL1	0020008AH	00H

ビット位置	ビット名	意 味																																			
7-5	E3EN2- E3EN0	<p>Endpoint3の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E3EN2</th> <th>E3EN1</th> <th>E3EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない(初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E32AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint3が有効になることを示します。</p>	E3EN2	E3EN1	E3EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない(初期値)
E3EN2	E3EN1	E3EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない(初期値)																																		
4	E32AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint3が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0: CONFビット = 1でAlternate Setting 1に設定されても有効にならない(初期値)</p> <p>このビットはE35AL4-E35AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E35ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint3が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0: CONFビット = 1でAlternate Setting nに設定されても有効にならない(初期値)</p>																																			

備考 n = 1-4

(41) UF0エンドポイント4インタフェース・マッピング・レジスタ (UF0E4IM)

Endpoint4がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint4が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint4リクエストとEndpoint4へのOUTトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4IM	E4EN2	E4EN1	E4EN0	E42AL1	E45AL4	E45AL3	E45AL2	E45AL1	0020008CH	00H

ビット位置	ビット名	意 味																																			
7-5	E4EN2- E4EN0	<p>Endpoint4の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E4EN2</th> <th>E4EN1</th> <th>E4EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E42AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint4が有効になることを示します。</p>	E4EN2	E4EN1	E4EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E4EN2	E4EN1	E4EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E42AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint4が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE45AL4-E45AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E45ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint4が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(42) UF0エンドポイント7インタフェース・マッピング・レジスタ (UF0E7IM)

Endpoint7がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint7が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint7リクエストとEndpoint7へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7IM	E7EN2	E7EN1	E7EN0	E72AL1	E75AL4	E75AL3	E75AL2	E75AL1	00200092H	00H

ビット位置	ビット名	意 味																																			
7-5	E7EN2- E7EN0	<p>Endpoint7の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>E7EN2</th> <th>E7EN1</th> <th>E7EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E72AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint7が有効になることを示します。</p>	E7EN2	E7EN1	E7EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E7EN2	E7EN1	E7EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E72AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint7が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE75AL4-E75AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E75ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint7が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

22. 6. 4 データ保持レジスタ

(1) UF0 EP0リード・レジスタ (UF0E0R)

UF0E0Rレジスタは、Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータを格納する64バイトのFIFOです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはホストからのデータを受信するとUF0E0Rレジスタに自動的に転送を行います。データを正常受信するとUF0IS1レジスタのE0ODTビットをセット (1) し、UF0E0Lレジスタに受信したデータ量を保持して、割り込み要求 (INTUSBF0) を発行します。UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が正常受信だった場合には割り込み要求が発生し、異常受信だった場合にはUF0E0Lレジスタはクリア (0) され割り込み要求は発生しません。

UF0E0Rレジスタに保持しているデータは、UF0E0Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。全データの読み出しが完了したかどうかはUF0EPS0レジスタのEP0Rビットで確認してください (全データの読み出し完了の場合：EP0Rビット = 0)。UF0E0Lレジスタ値が0のとき、UF0E0NレジスタのEP0NKRビットがクリア (0) され、UF0E0Rレジスタは受信可能状態になります。また、UF0E0Rレジスタは、次のSETUPトークン受信時にクリアされます。

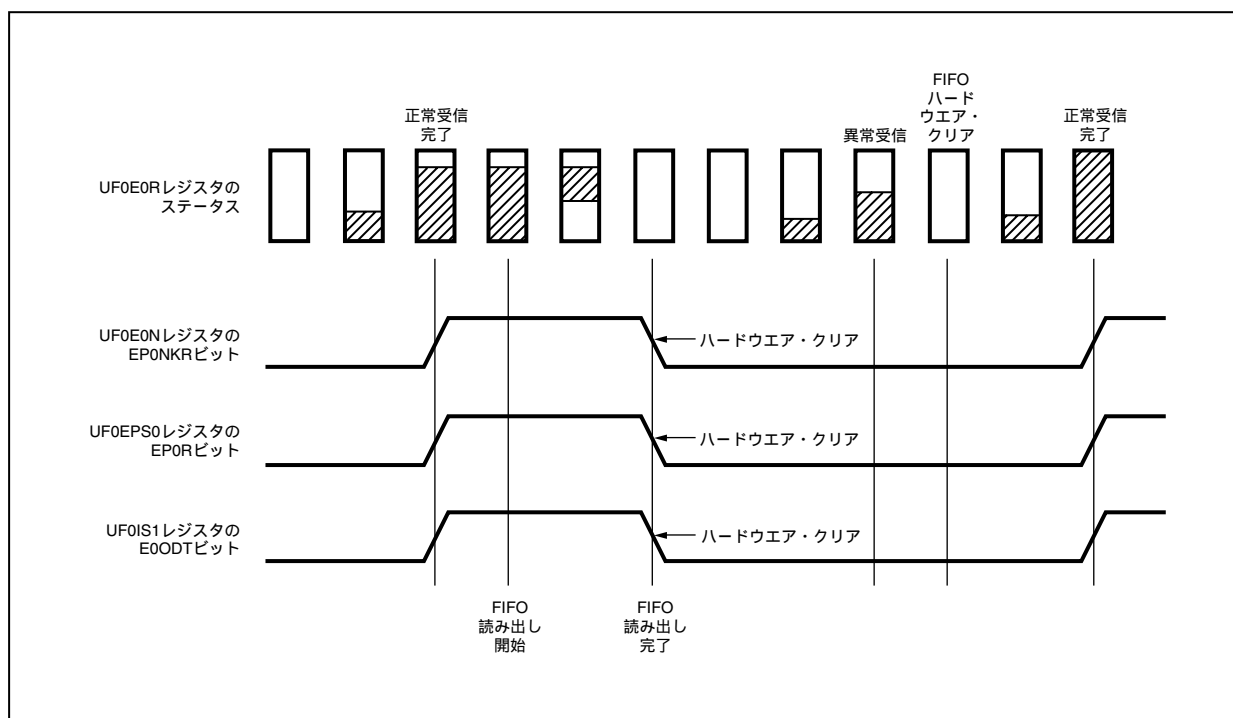
注意 格納されているデータは、すべて読み出してください。途中で廃棄する場合は、FIFOクリアを行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0R	E0R7	E0R6	E0R5	E0R4	E0R3	E0R2	E0R1	E0R0	00200100H	不定

ビット位置	ビット名	意味
7-0	E0R7-E0R0	Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータが格納されます。

次にUF0E0Rレジスタの動作を示します。

図22 - 4 UF0E0Rレジスタの動作



(2) UF0 EP0 レンゲス・レジスタ (UF0E0L)

UF0E0Lレジスタは、UF0E0Rレジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0E0Lレジスタはクリア (0) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWIはUF0E0Lレジスタで読み出した値分のデータだけUF0E0Rレジスタを読み出せます。UF0E0LレジスタはUF0E0Rレジスタを読み出すごとに、ディクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0L	E0L7	E0L6	E0L5	E0L4	E0L3	E0L2	E0L1	E0L0	00200102H	00H

ビット位置	ビット名	意味
7-0	E0L7-E0L0	UF0E0Rレジスタに保持されているデータ長が格納されます。

(3) UF0 EP0 セットアップ・レジスタ (UF0E0ST)

UF0E0STレジスタは、ホストから送られてきたSETUPデータを保持するためのレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0STレジスタは、SETUPトランザクションを受信すると常にデータの書き込みを行います。ハードウェアはSETUPトランザクションを正常受信した場合、UF0IS1レジスタのPROTビット、FW処理のリクエスト時にはUF0IS1レジスタのCPUDECビットをセット (1) し、割り込み要求 (INTUSBF0) を発行します。FW処理の場合には、必ず8バイト・リードしてください。8バイト・リードしなかった場合には、以降のリクエストを正常にデコードできません。UF0E0STレジスタのリード・カウンタは、Bus Resetの受信時にもクリアされないため、Bus Resetの受信にかかわらず常に8バイト・リードしてください。

UF0E0STレジスタは常に書き込みを許可しているため、データ・リード中にSETUPトランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。また、SETUPトランザクションを正常受信できなかった場合でも、CPUDEC割り込み要求およびProtect割り込み要求は発生しませんが前のデータは破棄されます。ただし、8バイト以下のSETUPトークンを受信した場合、受信したSETUPデータは破棄され、前回受信したSETUPデータが保持されます。したがって、1回のコントロール転送中に複数回のSETUPトークンを受信した場合、次に示す条件のときには必ずUF0IS1レジスタのPROTビットを確認してください。PROTビット = 1の場合には複数回SETUPトランザクションを受信しているため、UF0E0STレジスタを再度読み出してください。

FWよりリクエストのデコードを行い、UF0E0Rレジスタの読み出し、またはUF0E0Wレジスタの書き込みを行ったとき

デコード結果が対応していないリクエストのためにSTALL応答の準備をするとき

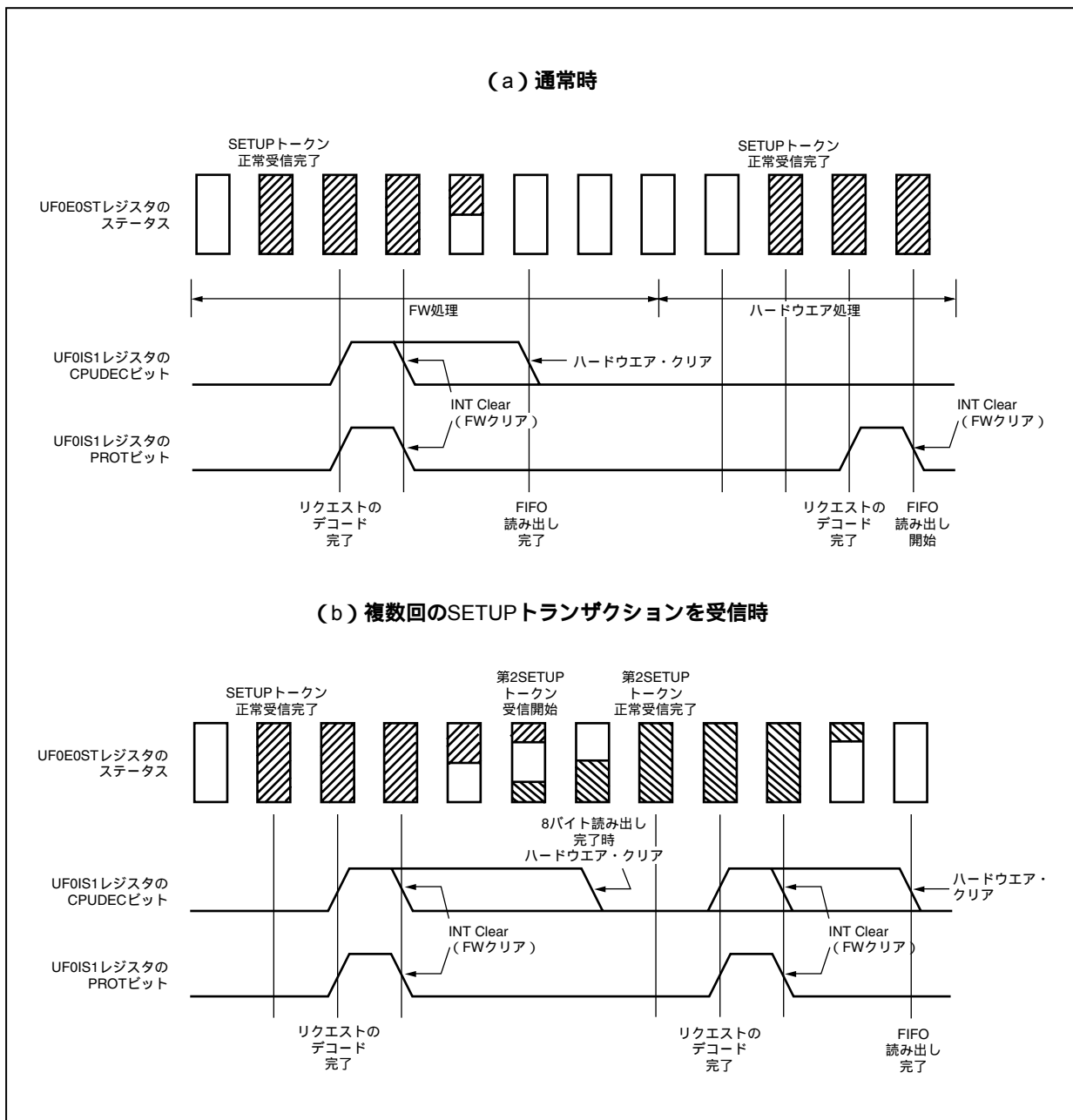
注意 格納されているデータは、すべて読み出してください。UF0E0STレジスタは、常にSETUPトランザクション内のリクエストによって更新されています。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0ST	E0S7	E0S6	E0S5	E0S4	E0S3	E0S2	E0S1	E0S0	00200104H	00H

ビット位置	ビット名	意味
7-0	E0S7-E0S0	ホストから送られてきたSETUPデータを保持します。

次にUF0E0STレジスタの動作を示します。

図22 - 5 UF0E0STレジスタの動作



(4) UF0 EP0ライト・レジスタ (UF0E0W)

UF0E0Wレジスタは、Endpoint0に対するデータ・ステージでホストに送るINデータを格納する（SIEに引き渡す）64バイトのFIFOです。

8ビット単位でライトのみ可能です。なお、このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアはUF0E0NレジスタのEP0NKWビットがセット（1）されている（NAKを送信しない）場合のみ、INトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0E0NレジスタのEP0NKWビットがハードウェアによって自動的にクリア（0）されます。ショート・パケットを送信する場合は、UF0E0Wレジスタにデータを書き込み、UF0DENDレジスタのE0DEDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのEP0Wビット = 1（データがある））。Nullパケットを送信する場合は、UF0E0Wレジスタのクリアを行い、UF0DENDレジスタのE0DEDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのEP0Wビット = 1（データがある））。

UF0E0Wレジスタは、送信が完了していない状態で次のSETUPトークンを受信したときにクリア（0）されます。また、データ・ステージでACKを正常に受信できていない状態でコントロール転送（リード）がステータス・ステージに変わった場合、UF0E0Wレジスタは自動的にクリア（0）され、同時にUF0E0NレジスタのEP0NKWビット = 1の場合にはクリア（0）されます。

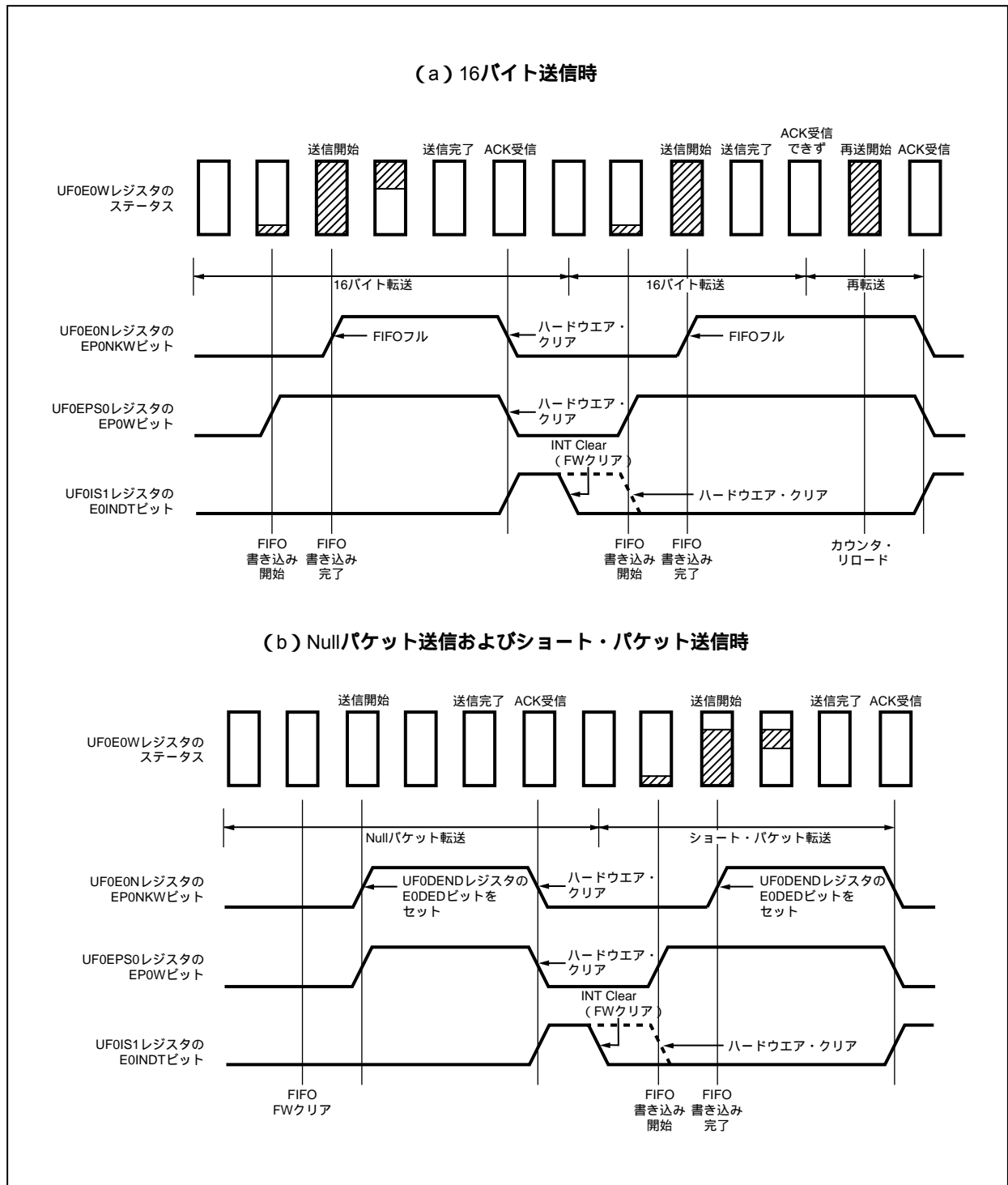
データが空の状態ではUF0E0Wレジスタを読み出した場合には、00Hが読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0W	E0W7	E0W6	E0W5	E0W4	E0W3	E0W2	E0W1	E0W0	00200106H	不定

ビット位置	ビット名	意味
7-0	E0W7-E0W0	Endpoint0に対するデータ・ステージでホストに送るINデータを格納します。

次にUF0E0Wレジスタの動作を示します。

図22 - 6 UF0E0Wレジスタの動作



(5) UF0バルク・アウト1レジスタ (UF0BO1)

UF0BO1レジスタは、Endpoint2に対するデータを格納する64バイト×2のFIFOです。UF0BO1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0)ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint2に対するホストからのデータを受信するとUF0BO1レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO1DTビットをセット(1)し、UF0BO1Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求またはDMA要求を発生します。この割り込み要求とDMA要求の切り替えは、UF0IDRレジスタのDQBO1MSビットで選択できます。

UF0BO1レジスタに保持しているデータは、UF0BO1Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO1Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO1NKビットが自動的にクリア(0)されます。なお、UF0BO1Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint2がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態UF0BO1レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1	BKO17	BKO16	BKO15	BKO14	BKO13	BKO12	BKO11	BKO10	00200108H	不定

ビット位置	ビット名	意味
7-0	BKO17- BKO10	Endpoint2に対するデータが格納されます。

次にUF0BO1レジスタの動作を示します。

図22 - 7 UF0BO1レジスタの動作 (1/2)

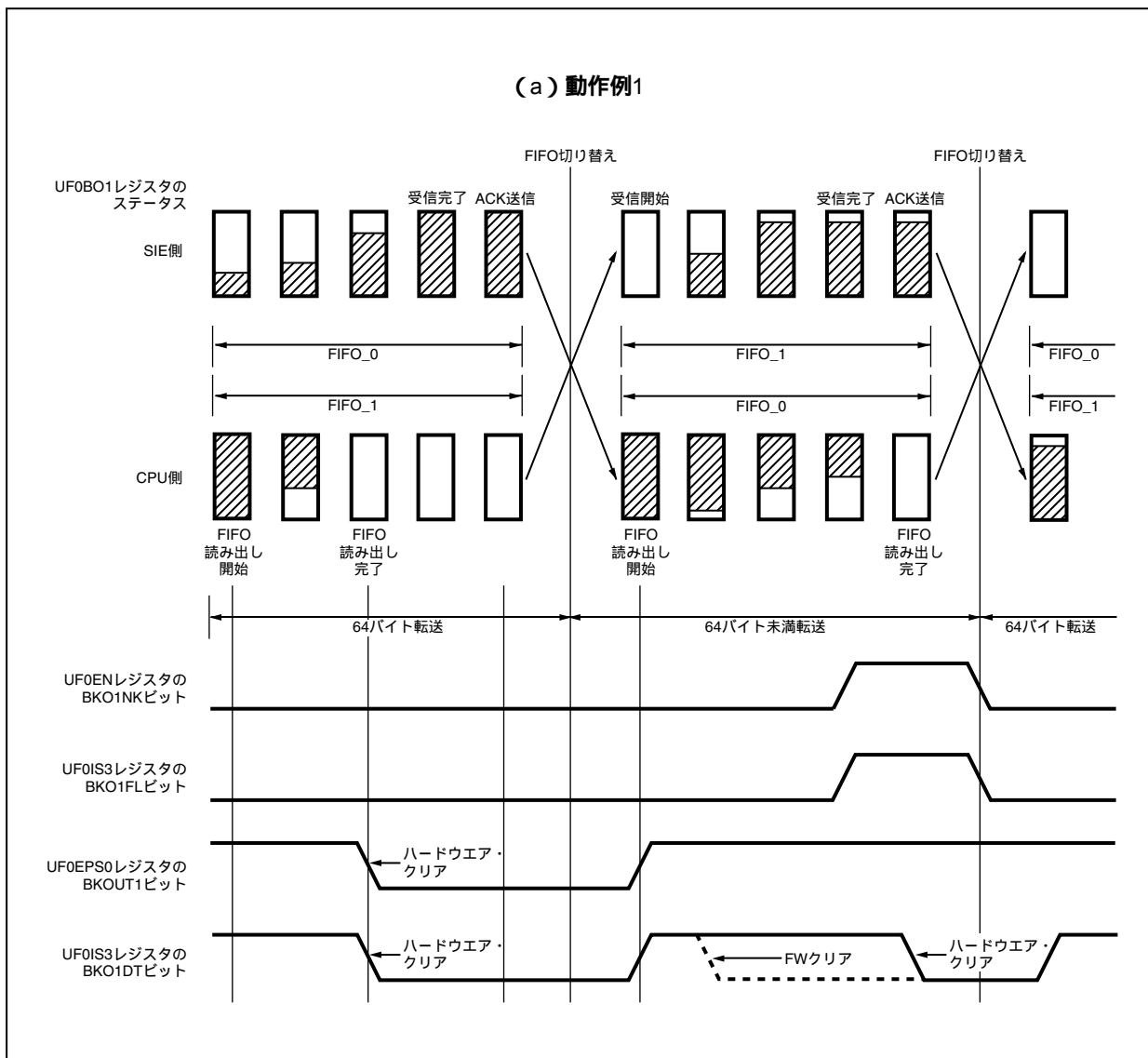
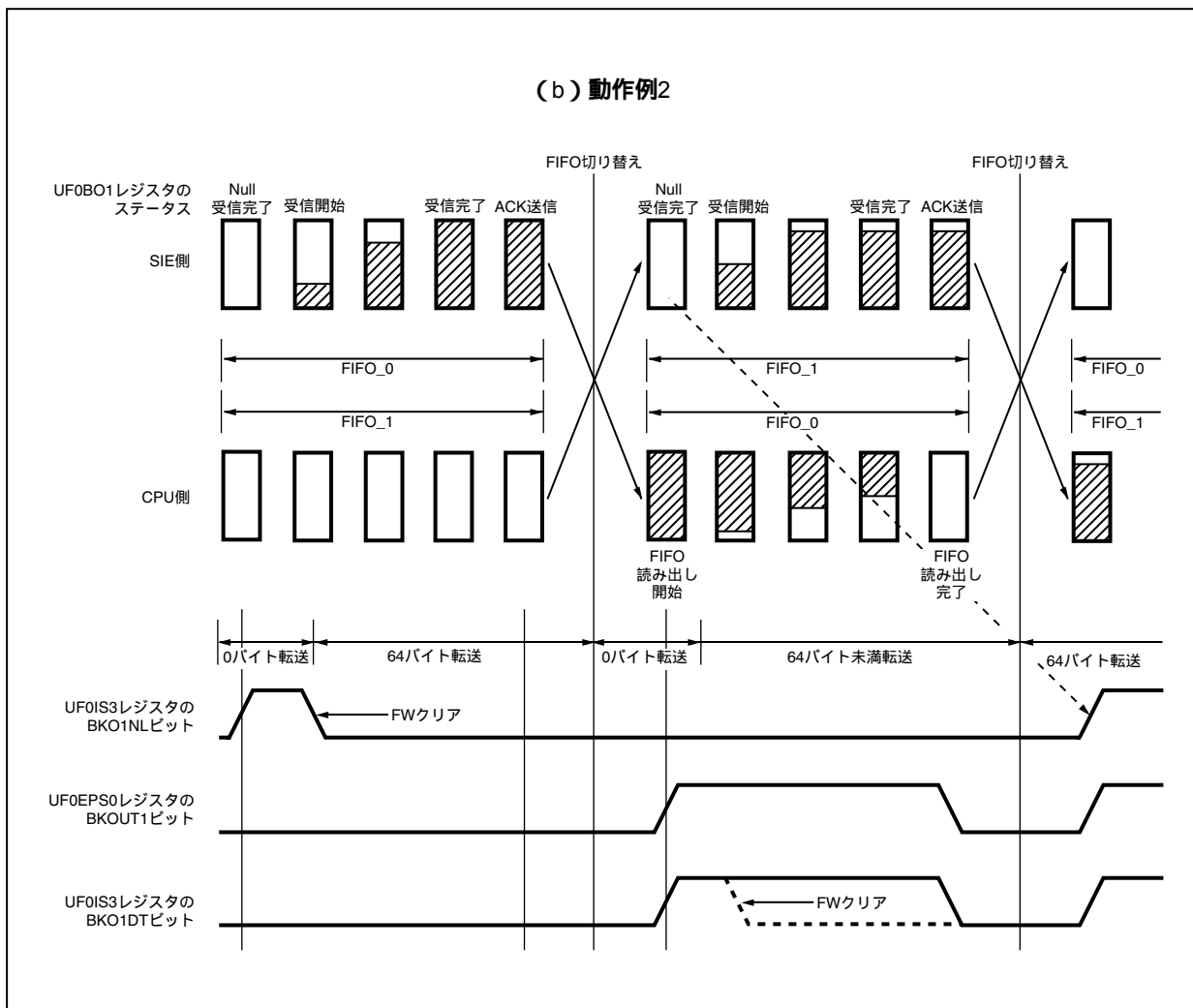


図22 - 7 UF0BO1レジスタの動作 (2/2)



(6) UF0バルク・アウト1レングス・レジスタ (UF0BO1L)

UF0BO1Lレジスタは、UF0BO1レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO1Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO1Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO1Lレジスタで読み出した値分のデータだけUF0BO1レジスタを読み出せます。UF0BO1LレジスタはUF0BO1レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1L	BKO1L7	BKO1L6	BKO1L5	BKO1L4	BKO1L3	BKO1L2	BKO1L1	BKO1L0	0020010AH	00H

ビット位置	ビット名	意味
7-0	BKO1L7- BKO1L0	UF0BO1レジスタに保持されているデータ長が格納されます。

(7) UF0バルク・アウト2レジスタ (UF0BO2)

UF0BO2レジスタは、Endpoint4に対するデータを格納する64バイト×2のFIFOです。UF0BO2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0) ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint4に対するホストからのデータを受信するとUF0BO2レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO2DTビットをセット(1)し、UF0BO2Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求またはDMA要求を発生します。この割り込み要求とDMA要求の切り替えは、UF0IDRレジスタのDQBO2MSビットで選択できます。

UF0BO2レジスタに保持しているデータは、UF0BO2レジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO2Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO2NKビットが自動的にクリア(0)されます。なお、UF0BO2Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次の packets を誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint4がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態UF0BO2レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2	BKO27	BKO26	BKO25	BKO24	BKO23	BKO22	BKO21	BKO20	0020010CH	不定

ビット位置	ビット名	意味
7-0	BKO27- BKO20	Endpoint4に対するデータが格納されます。

次にUF0BO2レジスタの動作を示します。

図22 - 8 UF0BO2レジスタの動作 (1/2)

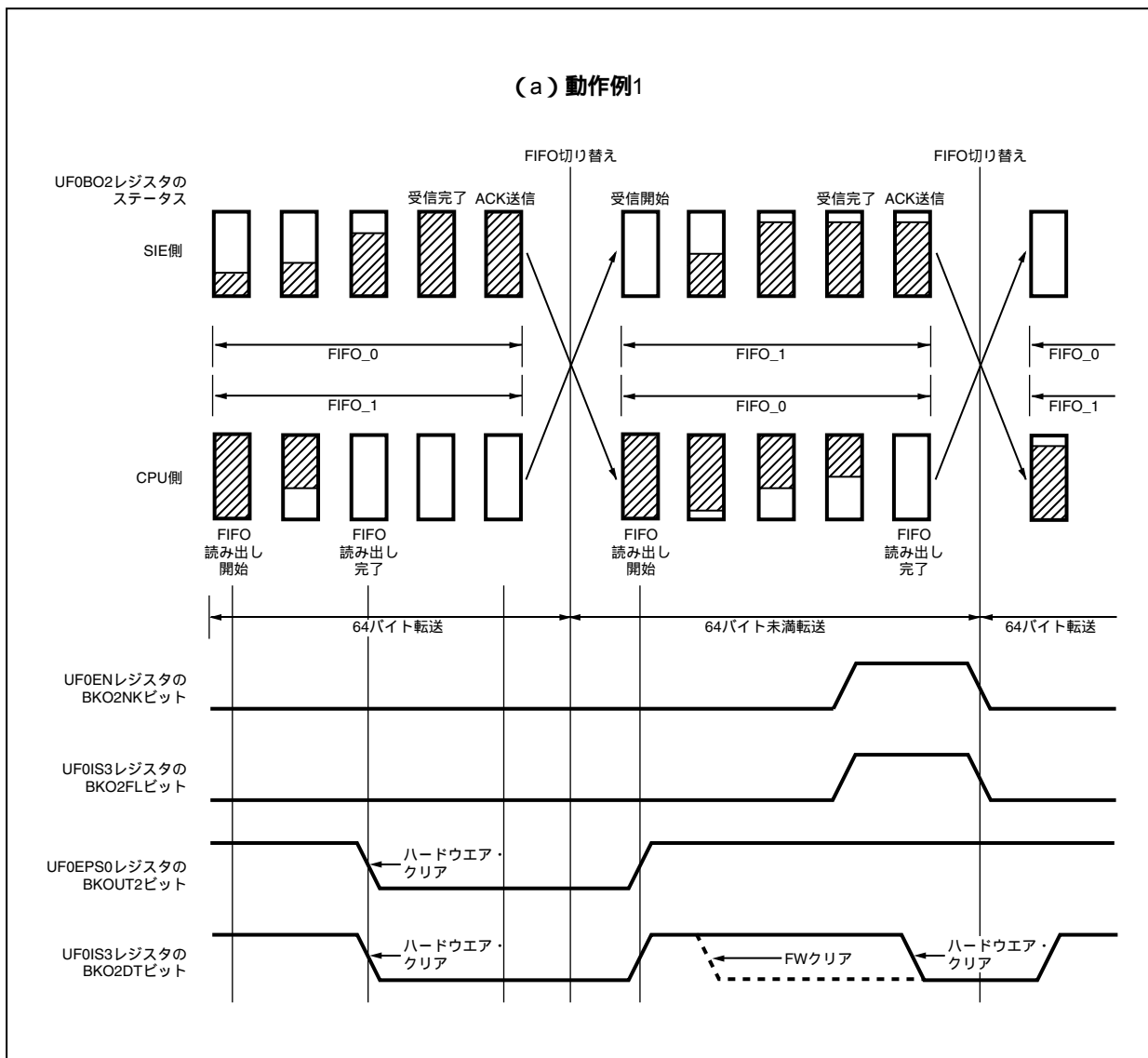
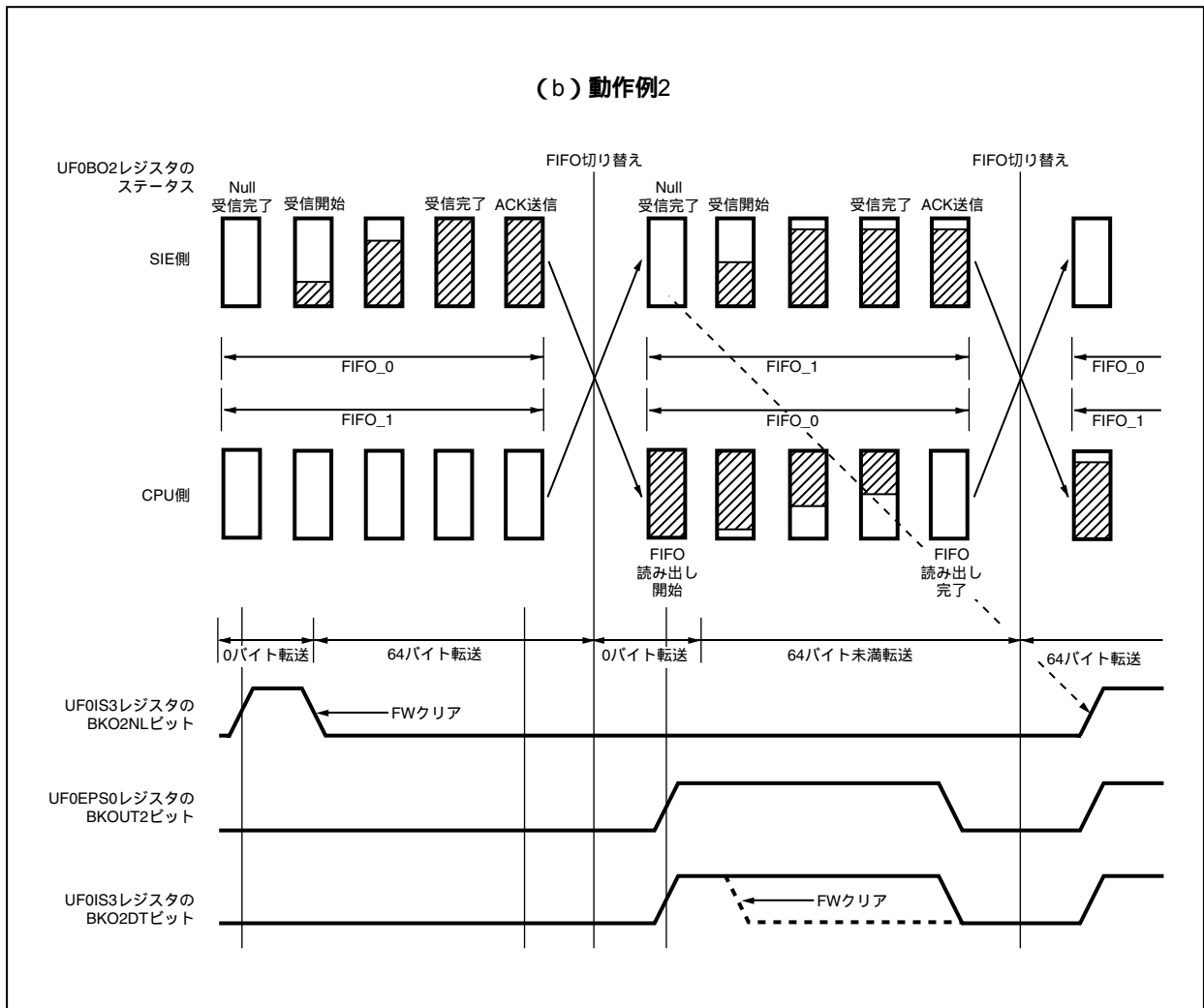


図22 - 8 UF0BO2レジスタの動作 (2/2)



(8) UF0バルク・アウト2レングス・レジスタ (UF0BO2L)

UF0BO2Lレジスタは、UF0BO2レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO2Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO2Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO2Lレジスタで読み出した値分のデータだけUF0BO2レジスタを読み出せます。UF0BO2LレジスタはUF0BO2レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2L	BKO2L7	BKO2L6	BKO2L5	BKO2L4	BKO2L3	BKO2L2	BKO2L1	BKO2L0	0020010EH	00H

ビット位置	ビット名	意味
7-0	BKO2L7- BKO2L0	UF0BO2レジスタに保持されているデータ長が格納されます。

(9) UF0バルク・イン1レジスタ (UF0BI1)

UF0BI1レジスタは、Endpoint1に対するデータを格納する64バイト×2のFIFOです。UF0BI1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBKI1DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBKI1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint1に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI1レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI1レジスタにデータを書き込み、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI1レジスタのクリアを行い、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBKI1DTビットをセット(1)し、CPUに対して割り込み要求を発生します。割り込み要求とDMA要求の切り替えは、UF0IDRレジスタのDQBI1MSビットで選択できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI1	BKI17	BKI16	BKI15	BKI14	BKI13	BKI12	BKI11	BKI10	00200110H	不定

ビット位置	ビット名	意 味
7-0	BKI17-BKI10	Endpoint1に対するデータを格納します。

次にUF0BI1レジスタの動作を示します。

図22 - 9 UF0B1レジスタの動作 (1/3)

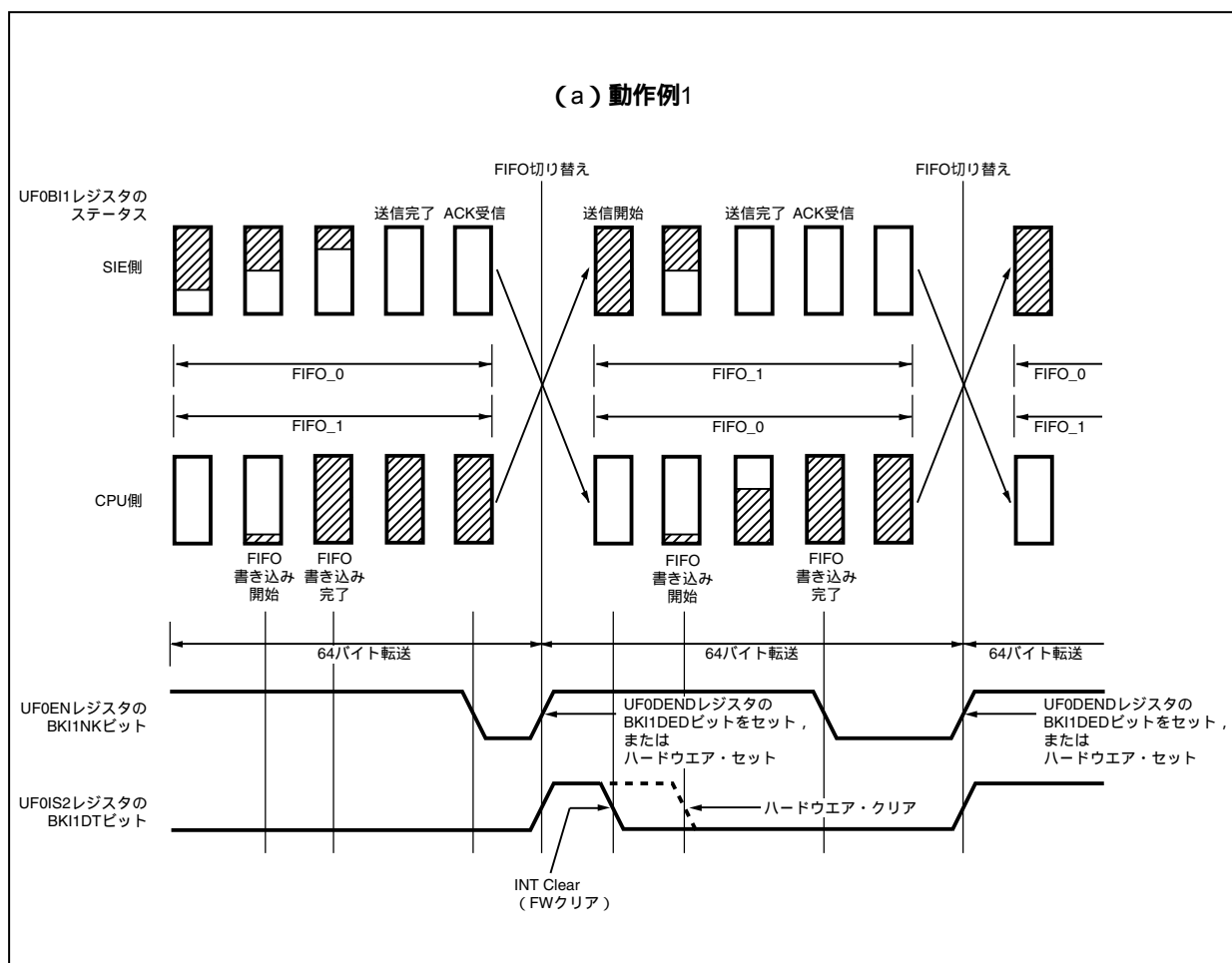


図22 - 9 UF0B1レジスタの動作 (2/3)

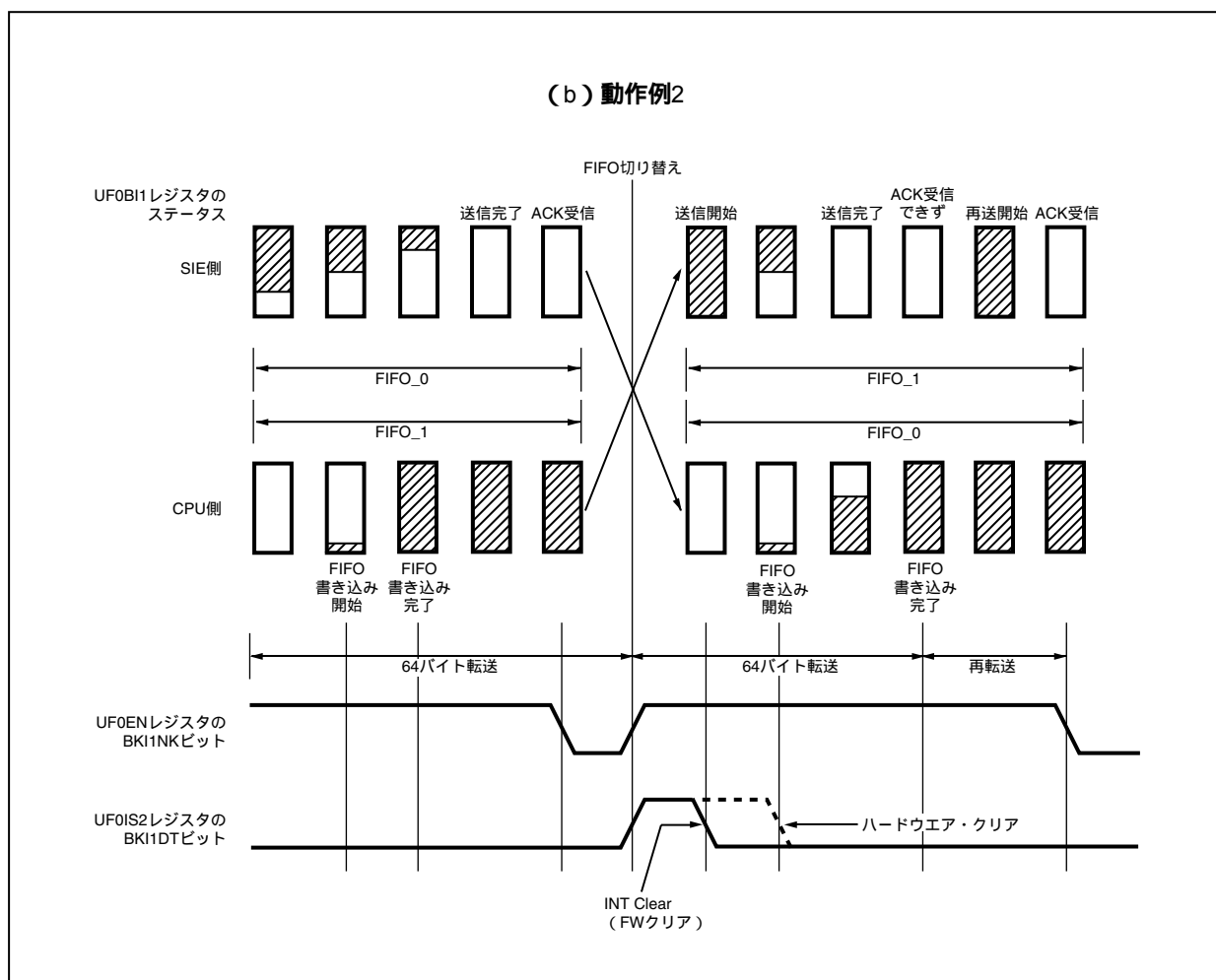
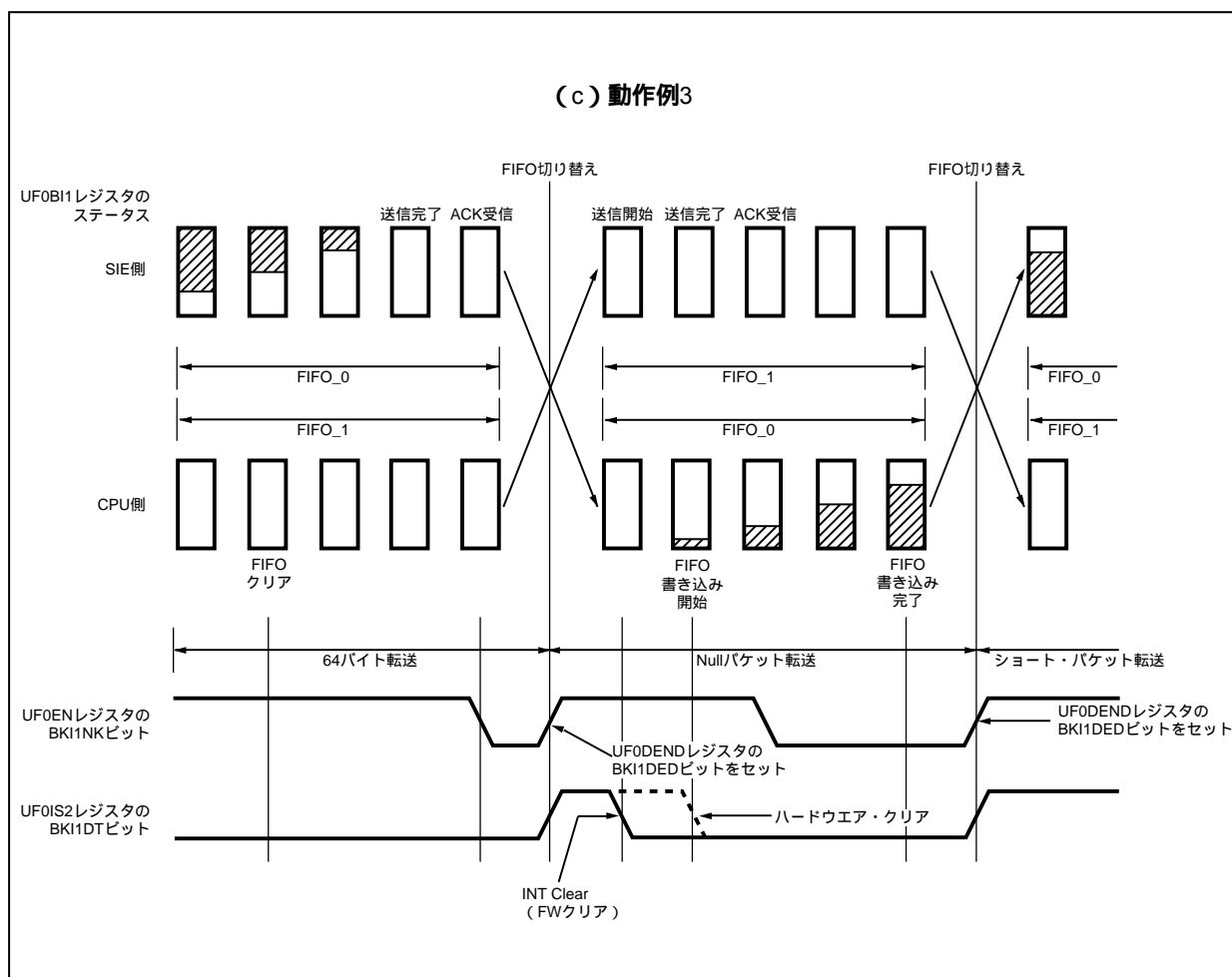


図22 - 9 UF0B1レジスタの動作 (3/3)



(10) UF0バルク・イン2レジスタ (UF0BI2)

UF0BI2レジスタは、Endpoint3に対するデータを格納する64バイト×2のFIFOです。UF0BI2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBK12DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBK12NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint3に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI2レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI2レジスタにデータを書き込み、UF0DENDレジスタのBK12DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN2ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI2レジスタのクリアを行い、UF0DENDレジスタのBK12DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN2ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBK12DTビットをセット(1)し、CPUに対して割り込み要求を発生します。割り込み要求とDMA要求の切り替えは、UF0IDRレジスタのDQBI2MSビットで選択できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI2	BK127	BK126	BK125	BK124	BK123	BK122	BK121	BK120	00200112H	不定

ビット位置	ビット名	意 味
7-0	BK127-BK120	Endpoint3に対するデータを格納します。

次にUF0BI2レジスタの動作を示します。

図22 - 10 UF0BI2レジスタの動作 (1/3)

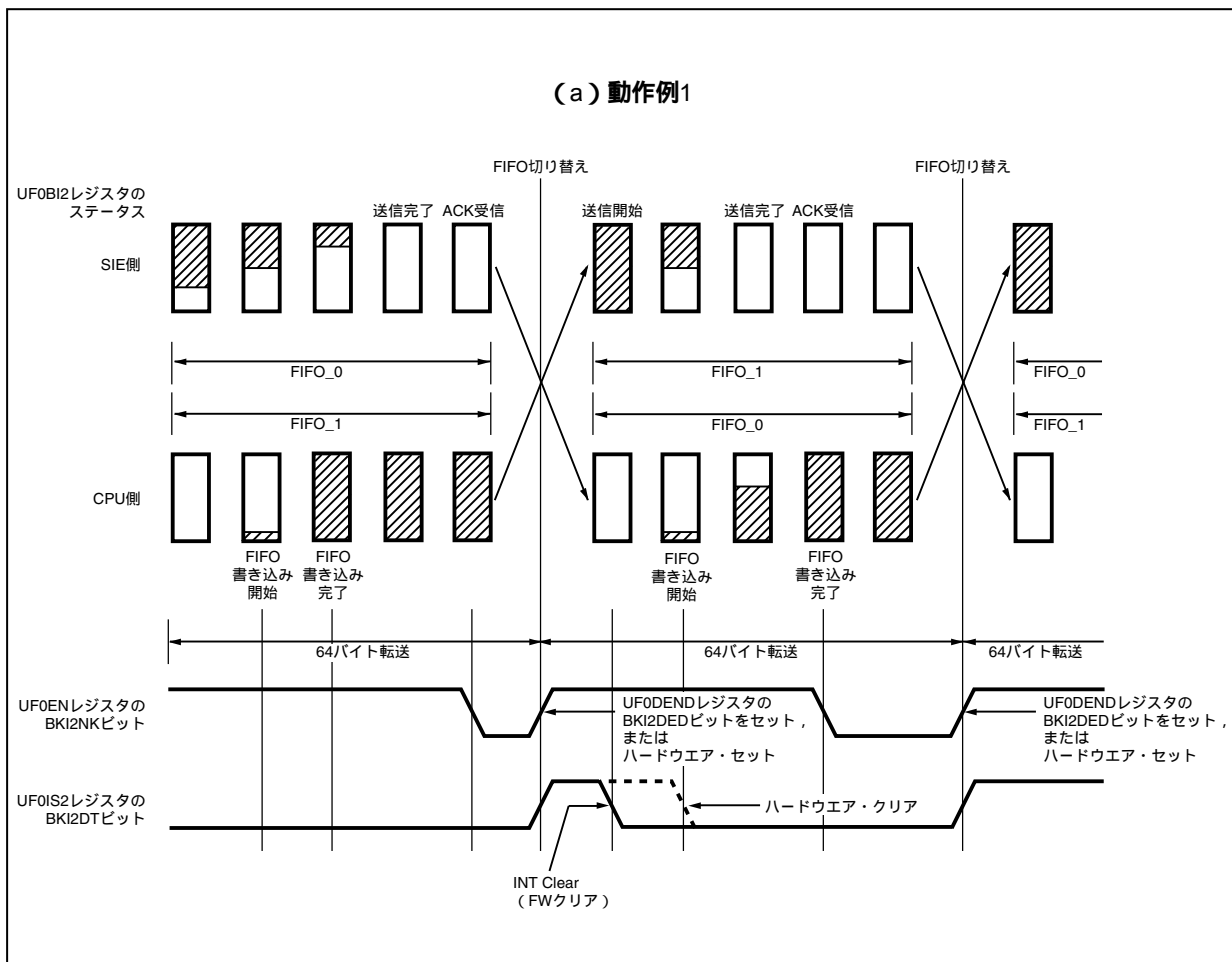


図22 - 10 UF0BI2レジスタの動作 (2/3)

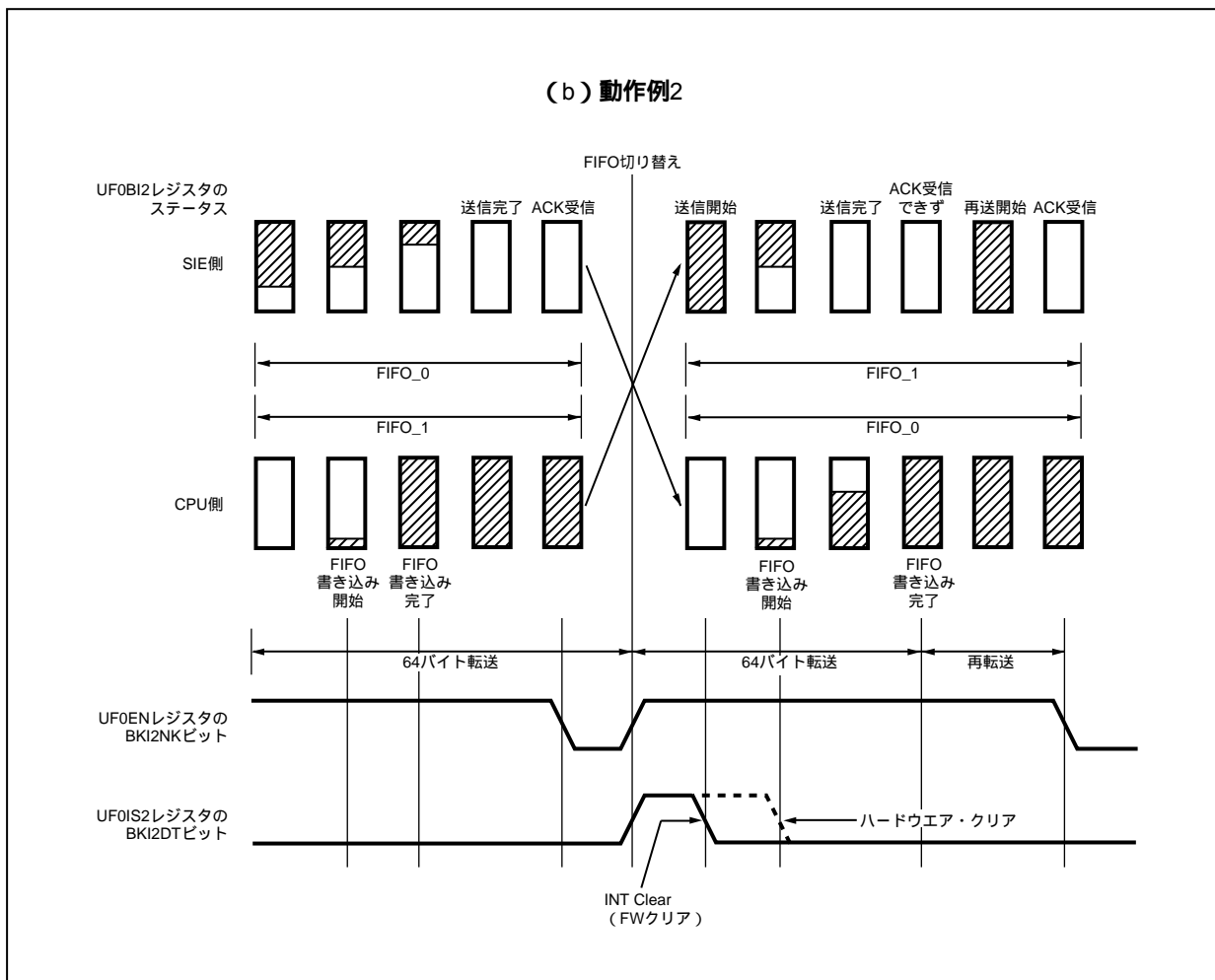
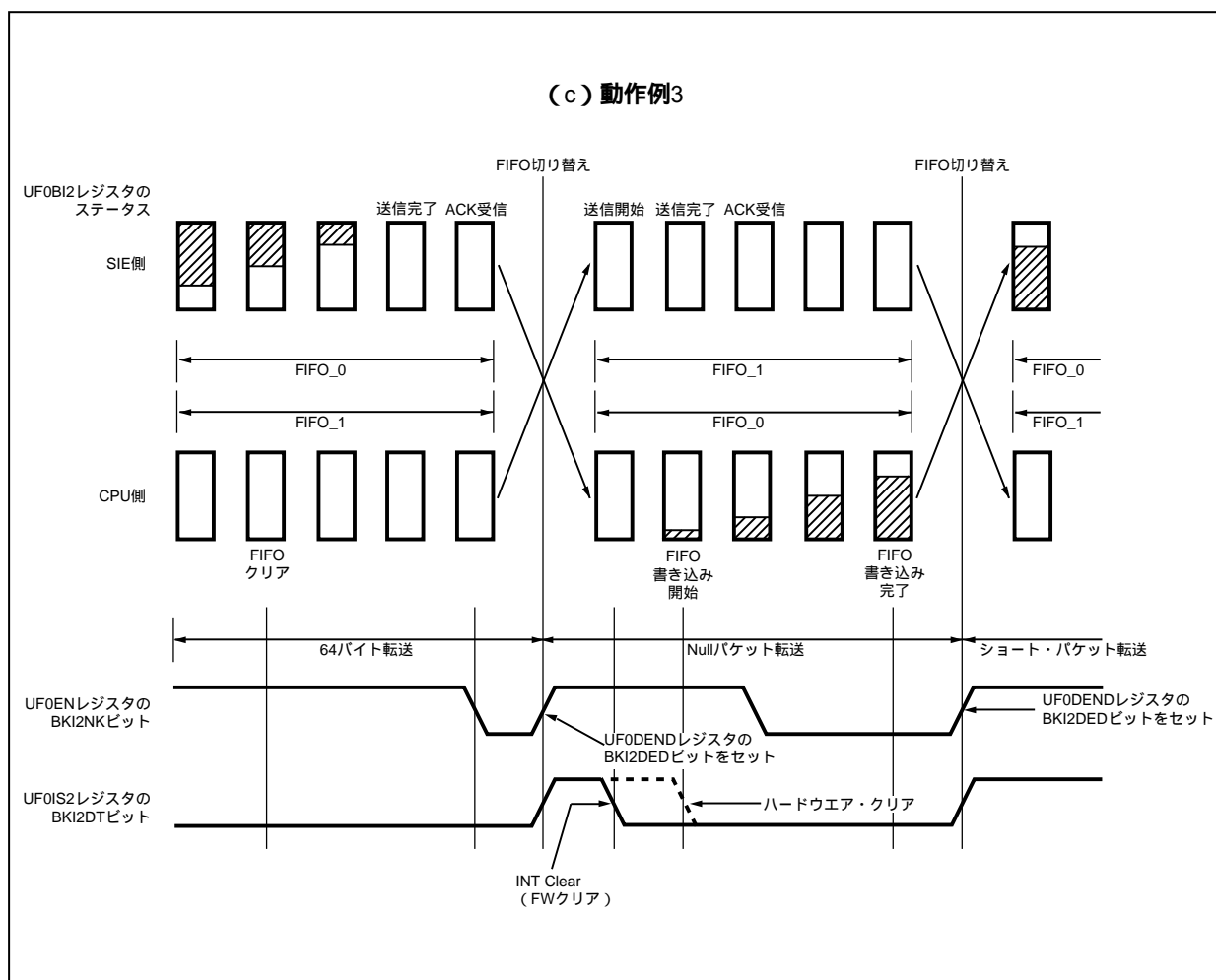


図22 - 10 UF0B12レジスタの動作 (3/3)



(11) UF0インタラプト1レジスタ (UF0INT1)

UF0INT1レジスタは、Endpoint7に対するデータを格納する (SIEに引き渡す) 8バイトのFIFOです。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

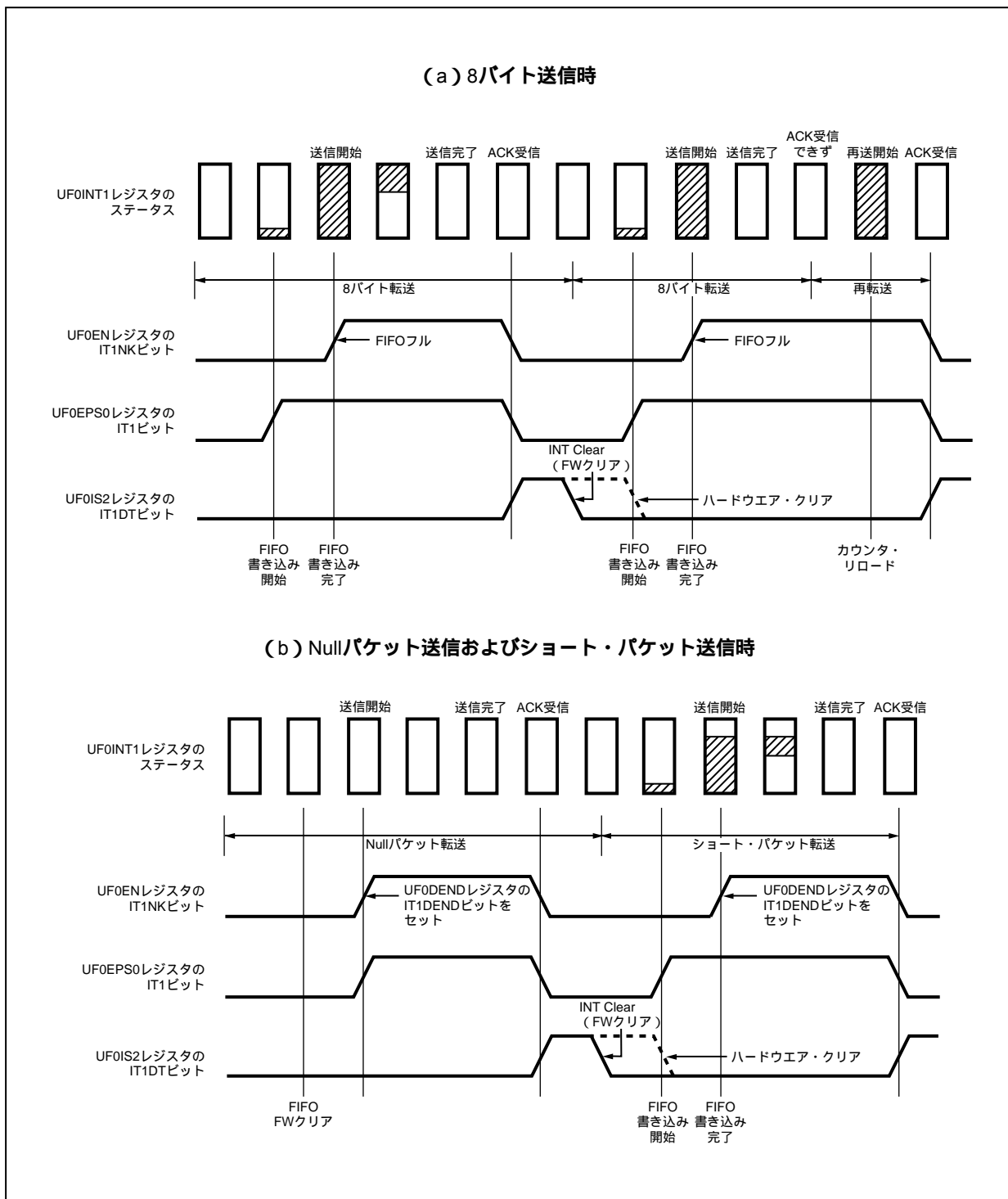
ハードウェアはUF0ENレジスタのIT1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint7に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0ENレジスタのIT1NKビットがハードウェアによって自動的にクリア(0)されます。ショート・パケットを送信する場合は、UF0INT1レジスタにデータを書き込み、UF0DENDレジスタのIT1DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT1ビット = 1 (データがある))。Nullパケットを送信する場合は、UF0INT1レジスタのクリアを行い、UF0DENDレジスタのIT1DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT1ビット = 1 (データがある))。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0INT1	IT17	IT16	IT15	IT14	IT13	IT12	IT11	IT10	00200114H	不定

ビット位置	ビット名	意 味
7-0	IT17-IT10	Endpoint7に対するデータを格納します。

次にUF0INT1レジスタの動作を示します。

図22 - 11 UF0INT1レジスタの動作



22. 6. 5 EPCリクエスト・データ・レジスタ

(1) UF0デバイス・ステータス・レジスタ (UF0DSTL)

GET_STATUS Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。

ハードウェアはGET_STATUS Deviceリクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSTL	0	0	0	0	0	0	RMWK	SFPW	00200144H	00H

ビット位置	ビット名	意 味
1	RMWK	デバイスによるリモート・ウエイクアップ機能を使用するかどうかを設定します。 1: 許可 0: 禁止 デバイスがリモート・ウエイクアップをサポートする場合は、SET_FEATURE Deviceリクエストを受信したときハードウェアによりセット(1)され、CLEAR_FEATURE Deviceリクエストを受信したときハードウェアによりクリア(0)されます。リモート・ウエイクアップをサポートしない場合にはホストからSET_FEATURE Deviceリクエストを発行しないようにしてください。
0	SFPW	デバイスがセルフ・パワーであるかバス・パワーであるかを示します。 1: セルフ・パワー 0: バス・パワー

(2) UF0 EP0ステータス・レジスタ (UF0E0SL)

GET_STATUS Endpoint0リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

USBF自身でエラーが発生すると、E0HALTビットがFWによってセット(1)されます。Endpoint0へのUSB側アクセスを受けている間の書き込みは無視されます。

FWでE0HALTビットをセット(1)する場合、直前のコントロール転送がSET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUA Endpoint0リクエスト, またはFW処理のリクエストの場合には次のSETUPトークンを受信するまで反映されません。

ハードウェアはGET_STATUS Endpoint0リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint0がストールした場合にはUF0E0W, UF0E0Rレジスタがクリアされ、UF0E0NレジスタのEP0NKW, EP0NKRビットがクリア(0)されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0SL	0	0	0	0	0	0	0	E0HALT	0020014CH	00H

ビット位置	ビット名	意味
0	E0HALT	Endpoint0の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint0リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint0リクエストを受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(3) UF0 EP1ステータス・レジスタ (UF0E1SL)

GET_STATUS Endpoint1リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint1でエラーが発生すると、E1HALTビットがセット(1)されます。Endpoint1へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint1リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint1がストールした場合にはUF0B11レジスタがクリアされ、BK11NKビットがクリア(0)されます。

コントロール転送でなくEndpoint1に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1SL	0	0	0	0	0	0	0	E1HALT	00200150H	00H

ビット位置	ビット名	意味
0	E1HALT	Endpoint1の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint1リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint1リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint1がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(4) UF0 EP2ステータス・レジスタ (UF0E2SL)

GET_STATUS Endpoint2リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint2でエラーが発生すると、E2HALTビットがセット(1)されます。Endpoint2へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint2リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint2がストールした場合にはUF0BO1レジスタがクリアされ、BKO1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint2に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2SL	0	0	0	0	0	0	0	E2HALT	00200154H	00H

ビット位置	ビット名	意味
0	E2HALT	Endpoint2の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint2リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint2リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint2がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(5) UF0 EP3ステータス・レジスタ (UF0E3SL)

GET_STATUS Endpoint3リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint3でエラーが発生すると、E3HALTビットがセット(1)されます。Endpoint3へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint3リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint3がストールした場合にはUF0BI2レジスタがクリアされ、BK12NKビットがクリア(0)されます。

コントロール転送でなくEndpoint3に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3SL	0	0	0	0	0	0	0	E3HALT	00200158H	00H

ビット位置	ビット名	意味
0	E3HALT	Endpoint3の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint3リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint3リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint3がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(6) UF0 EP4ステータス・レジスタ (UF0E4SL)

GET_STATUS Endpoint4リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint4でエラーが発生すると、E4HALTビットがセット(1)されます。Endpoint4へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint4リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint4がストールした場合にはUF0BO2レジスタがクリアされ、BKO2NKビットがクリア(0)されます。

コントロール転送でなくEndpoint4に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4SL	0	0	0	0	0	0	0	E4HALT	0020015CH	00H

ビット位置	ビット名	意味
0	E4HALT	Endpoint4の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint4リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint4リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint4がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(7) UF0 EP7ステータス・レジスタ (UF0E7SL)

GET_STATUS Endpoint7リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint7でエラーが発生すると、E7HALTビットがセット(1)されます。Endpoint7へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint7リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint7がストールした場合にはUF0INT1レジスタがクリアされ、IT1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint7に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7SL	0	0	0	0	0	0	0	E7HALT	00200168H	00H

ビット位置	ビット名	意味
0	E7HALT	Endpoint7の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint7リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint7リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint7がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(8) UF0アドレス・レジスタ (UF0ADRS)

デバイス・アドレスを格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタは、SET_ADDRESSリクエストにより送られてくるデバイス・アドレスを解析し、自動的にその値を書き込みます。SET_ADDRESSリクエストをFW処理した場合、ステータス・ステージのSUCCESS信号受信時にこのレジスタの値をデバイス・アドレスとして反映します。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ADRS	0	ADRS6	ADRS5	ADRS4	ADRS3	ADRS2	ADRS1	ADRS0	00200180H	00H

ビット位置	ビット名	意味
6-0	ADRS6- ADRS0	SIEのデバイス・アドレスを保持します。

(9) UF0コンフィギュレーション・レジスタ (UF0CNF)

GET_CONFIGURATIONリクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_CONFIGURATIONリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタの値が00Hから00H以外に変化したタイミングを検出して、UF0MODSレジスタのCONFビットがセット (1) されます。また、SET_CONFIGURATIONリクエストをFWで処理した場合、このレジスタにデータを書き込んだ時点ですぐにUF0MODSレジスタに状態が反映されます (ステータス・ステージ終了前にCONFビット = 1になります)。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CNF	0	0	0	0	0	0	CONF1	CONF0	00200182H	00H

ビット位置	ビット名	意 味
1, 0	CONF1, CONF0	GET_CONFIGURATIONリクエストに対して返信するデータを保持します。

(10) UF0インタフェース0レジスタ (UF0IF0)

GET_INTERFACE wIndex = 0リクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

SET_INTERFACEリクエストをFWで処理した場合、wIndex、wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア(0)します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF0	0	0	0	0	0	IF02	IF01	IF00	00200184H	00H

ビット位置	ビット名	意味
2-0	IF02-IF00	GET_INTERFACE wIndex = 0リクエストに対して返信するデータを保持します。

(11) UF0インタフェース1-4レジスタ (UF0IF1-UF0IF4)

GET_INTERFACE wIndex = nリクエストで返す値を格納するレジスタです (n = 1-4)。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタはUF0AIFNレジスタとUF0AASレジスタの設定によっては無効になります。

SET_INTERFACEリクエストをFWで処理した場合、wIndex, wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア (0) します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF1	0	0	0	0	0	IF12	IF11	IF10	00200186H	00H
UF0IF2	0	0	0	0	0	IF22	IF21	IF20	00200188H	00H
UF0IF3	0	0	0	0	0	IF32	IF31	IF30	0020018AH	00H
UF0IF4	0	0	0	0	0	IF42	IF41	IF40	0020018CH	00H

ビット位置	ビット名	意 味
2-0	IFn2-IFn0	GET_INTERFACE wIndex = nリクエストに対して返信するデータを保持します。

備考 n = 1-4

(12) UF0 ディスクリプタ・レングス・レジスタ (UF0DSCL)

GET_DESCRIPTOR Configuration リクエストで返す値の長さを格納するレジスタです。このレジスタ値はUF0CIEnレジスタで設定した全ディスクリプタのバイト数 - 1の値になります (n = 0-255)。このレジスタ値によりGET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタ長が決定されます。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

wLengthの処理は自動的に制御されます。このレジスタに00Hを設定すると、返信するディスクリプタ長は1バイトを意味し、FFHを設定すると256バイトを意味します。なお、256バイトを越えるディスクリプタを使用する場合には、UF0MODC レジスタのCDCGDST ビットをセット(1)してFWによりGET_DESCRIPTOR リクエストを処理してください(このときUF0MODS レジスタのCDCGD ビットもセット(1)されます)。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKA ビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSCL	DPL7	DPL6	DPL5	DPL4	DPL3	DPL2	DPL1	DPL0	002001A0H	00H

ビット位置	ビット名	意味
7-0	DPL7-DPL0	GET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタのバイト数 - 1の値を設定します。

(13) UF0デバイス・ディスクリプタ・レジスタ0-17 (UF0DD0-UF0DD17)

GET_DESCRIPTOR Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKABITがセット(1)されているときにだけ可能です。

- 注意1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKABITをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DDn (n = 0-17)									表22 - 5参照	不定

表22 - 5 UF0デバイス・ディスクリプタ・レジスタのマッピングとデータ

略号	アドレス	フィールド名	内容
UF0DD0	002001A2H	bLength	このディスクリプタのサイズ
UF0DD1	002001A4H	bDescriptorType	デバイス・ディスクリプタ・タイプ
UF0DD2	002001A6H	bcdUSB	USB仕様のRev.番号の小数点以下の値
UF0DD3	002001A8H		USB仕様のRev.番号の小数点以上の値
UF0DD4	002001AAH	bDeviceClass	クラス・コード
UF0DD5	002001ACH	bDeviceSubClass	サブクラス・コード
UF0DD6	002001AEH	bDeviceProtocol	プロトコル・コード
UF0DD7	002001B0H	bMaxPacketSize0	Endpoint0の最大パケット・サイズ
UF0DD8	002001B2H	idVendor	ベンダIDの下位側の値
UF0DD9	002001B4H		ベンダIDの上位側の値
UF0DD10	002001B6H	idProduct	製品IDの下位側の値
UF0DD11	002001B8H		製品IDの上位側の値
UF0DD12	002001BAH	bcdDevice	デバイス・リリース番号の下位側の値
UF0DD13	002001BCH		デバイス・リリース番号の上位側の値
UF0DD14	002001BEH	iManufacturer	メーカーを記述するストリング・ディスクリプタのインデクス
UF0DD15	002001C0H	iProduct	製品を記述するストリング・ディスクリプタのインデクス
UF0DD16	002001C2H	iSerialNumber	デバイス・シリアル番号を記述するストリング・ディスクリプタのインデクス
UF0DD17	002001C4H	BNumConfigurations	設定可能なConfigurationの数

(14) UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0-255
(UF0CIE0-UF0CIE255)

GET_DESCRIPTOR Configurationリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

このレジスタには256バイトまでのディスクリプタ情報を格納できます。各ディスクリプタは Configuration, Interface, Endpointの順に格納してください(表22 - 6参照)。Interfaceが複数ある場合は、Interfaceディスクリプタ以降を繰り返し格納してください。

表22 - 6 UF0CIE_nレジスタのマッピング

アドレス	格納するディスクリプタ
002001C6H	Configurationディスクリプタ (9バイト)
002001D8H	Interfaceディスクリプタ (9バイト)
002001EAH	Endpoint1ディスクリプタ (7バイト)
002001F8H	Endpoint2ディスクリプタ (7バイト)
00200206H	Endpoint3ディスクリプタ (7バイト)
:	:
002002xxH	Interfaceディスクリプタ (9バイト)
002002xxH + 9	Endpoint1ディスクリプタ (7バイト)
002002xxH + 16	Endpoint2ディスクリプタ (7バイト)
002002xxH + 23	Endpoint3ディスクリプタ (7バイト)
:	:

UF0DSCLレジスタの設定により、このレジスタに設定できる有効なデータ範囲が変わります。なお、表22 - 7に示すディスクリプタ以外にもクラスやベンダに固有のディスクリプタを格納できます。

すべての値が固定されていれば、ROM化可能です。

- 注意** 1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CIE _n (n = 0-255)									002001C6H- 002003C4H	不定

表22 - 7 UF0CIEnレジスタのデータ

(a) Configurationディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	wTotalLength	Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の下位側の値
3		Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の上位側の値
4	bNumInterface	Interfaceの数
5	bConfigurationValue	このConfigurationを選択するための値
6	iConfiguration	このConfigurationを記述するストリング・ディスクリプタのインデクス
7	bmAttributes	Configurationの特徴 (セルフ・パワード, リモート・ウエイクアップなし)
8	MaxPower	このConfigurationの最大消費電力 (単位: mA) ^注

注 2mAの単位で表されます。(例: 50 = 100mA)

(b) Interfaceディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bInterfaceNumber	このInterfaceの値
3	bAlternateSetting	Interfaceの代替セッティングを選択する値
4	bNumEndpoints	使用可能なEndpointの数
5	bInterfaceClass	クラス・コード
6	bInterfaceSubClass	サブクラス・コード
7	bInterfaceProtocol	プロトコル・コード
8	Interface	このInterfaceを記述するストリング・ディスクリプタのインデクス

(c) Endpointディスクリプタ (7バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bEndpointAddress	このEndpointのアドレス / 転送方向
3	bmAttributes	転送種類
4	wMaxPaketSize	最大データ転送数の下位側の値
5		最大データ転送数の上位側の値
6	bInterval	転送周期

22.6.6 ブリッジ・レジスタ

(1) ブリッジ割り込み・コントロール・レジスタ (BRGINTT)

ブリッジ回路へのEPCからの割り込み発生ステータス、各エンドポイント (EP1-EP4) のDMA転送ステータスを制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセット時：0000H RW アドレス：00200400H

	15	14	13	12	11	10	9	8
BRGINTT	0	0	0	0	EP4INT	EP3INT	EP2INT	EP1INT
	7	6	5	4	3	2	1	0
	0	0	0	0	0	EPCINT2B	EPCINT1B	EPCINT0B

ビット位置	ビット名	意味
11	EP4INT	EP4において、DMA転送が正常終了、もしくはDMA転送中にエラー終了した時に、このビットがセットされます。"1"を書き込むことで"0"にクリアされます。 0 : DMA転送未終了 1 : DMA転送終了
10	EP3INT	EP3において、DMA転送が正常終了、もしくはDMA転送中にエラー終了した時に、このビットがセットされます。"1"を書き込むことで"0"にクリアされます。 0 : DMA転送未終了 1 : DMA転送終了
9	EP2INT	EP2において、DMA転送が正常終了、もしくはDMA転送中にエラー終了した時に、このビットがセットされます。"1"を書き込むことで"0"にクリアされます。 0 : DMA転送未終了 1 : DMA転送終了
8	EP1INT	EP1において、DMA転送が正常終了、もしくはDMA転送中にエラー終了した時に、このビットがセットされます。"1"を書き込むことで"0"にクリアされます。 0 : DMA転送未終了 1 : DMA転送終了
2	EPCINT2B	EPCからのInterrupt信号"EPC_INT2B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0 : 割り込みなし 1 : 割り込みあり
1	EPCINT1B	EPCからのInterrupt信号"EPC_INT1B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0 : 割り込みなし 1 : 割り込みあり
0	EPCINT0B	EPCからのInterrupt信号"EPC_INT0B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0 : 割り込みなし 1 : 割り込みあり

(2) ブリッジ割り込み・イネーブル・レジスタ (BRGINTE)

ブリッジ回路で発生した割り込みを許可 / 禁止するかを制御するレジスタです。

16ビット単位でリード / ライト可能です。

リセット時 : 0000H R/W アドレス : 00200402H

	15	14	13	12	11	10	9	8
BRGINTE	0	0	0	0	EP4INTN	EP3INTN	EP2INTN	EP1INTN
	7	6	5	4	3	2	1	0
	0	0	0	0	0	EPC INT2BEN	EPC INT1BEN	EPC INT0BEN

ビット位置	ビット名	意味
11	EP4INTN	EP4INTビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
10	EP3INTN	EP3INTビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
9	EP2INTN	EP2INTビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
8	EP1INTN	EP1INTビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み発生禁止 1 : 割り込み発生許可
2	EPCINT2BEN	EPCINT2BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
1	EPCINT1BEN	EPCINT1BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
0	EPCINT0BEN	EPCINT0BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可

(3) EPCマクロ・コントロール・レジスタ (EPCCLT)

EPCマクロへのリセット発生を制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセット時 : 0000H R/W アドレス : 00200404H

	15	14	13	12	11	10	9	8
EPCCLT	0	0	0	0	0	0	0	0N
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	EPCRST

ビット位置	ビット名	意 味
0	EPCRST	EPCへのリセット発生を設定します。 0 : リセット解除 1 : リセット発行

(4) CPU I/Fバス・コントロール・レジスタ (CPUBCTL)

ブリッジ回路とCPU間のインタフェースを制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：00200408H

	15	14	13	12	11	10	9	8
CPUBCTL	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	BULKWAIT	DATAWAIT	NOWAIT

ビット位置	ビット名	意 味
2	BULKWAIT	<p>バルク・レジスタ・アクセス時に1ウエイト(バルク・ウエイト)を強制的に挿入します。</p> <p>0: バルク・ウエイト強制挿入なし^注(初期値) 1: バルク・ウエイト強制挿入あり</p> <p>注 ライト・アクセス時は設定が無効になり、バルク・ウエイトは強制挿入されません。</p>
1	DATAWAIT	<p>CPUバス・サイクルの最後に、1ウエイト(データ・ウエイト)を強制的に挿入します。</p> <p>0: データ・ウエイト強制挿入なし(初期値) 1: データ・ウエイト強制挿入あり</p>
0	NOWAIT	<p>CPUバス・サイクルのノー・ウエイト動作の許可/禁止を設定します。</p> <p>0: ノー・ウエイト禁止^注(初期値) 1: ノー・ウエイ許可</p> <p>注 必ず1ウエイト以上が挿入されます。</p>

22. 6. 7 DMAレジスタ

(1) EPn DMAコントロール・レジスタ1 (UF0E1DC1- UF0E4DC1)

エンドポイントn (EPn) のDMA転送を制御するレジスタです。(n=1-4)

16ビット単位でリード/ライト可能です。

(1/2)

リセット時 : 0000H R/W アドレス : 00200500H								
	15	14	13	12	11	10	9	8
UF0E1DC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	EP1BULK2	EP1BULK1	EP1BULK0	EP1STOP	EP1REQ	EP1DMAEN
リセット時 : 0000H R/W アドレス : 00200504H								
	15	14	13	12	11	10	9	8
UF0E2DC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	EP2BULK2	EP2BULK1	EP2BULK0	EP2STOP	EP2REQ	EP2DMAEN
リセット時 : 0000H R/W アドレス : 00200508H								
	15	14	13	12	11	10	9	8
UF0E3DC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	EP3BULK2	EP3BULK1	EP3BULK0	EP3STOP	EP3REQ	EP3DMAEN
リセット時 : 0000H R/W アドレス : 0020050CH								
	15	14	13	12	11	10	9	8
UF0E4DC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	EP4BULK2	EP4BULK1	EP4BULK0	EP4STOP	EP4REQ	EP4DMAEN

ビット位置	ビット名	意 味																								
5-3	EPnBULK2, EPnBULK1, EPnBULK0	ブリッジ内部のバルク転送用ステートマシン"BIN_STATE"のステータスを示します。"BIN_STATE"のIDLE状態を監視しています。 <table border="1" data-bbox="576 427 1355 680"> <thead> <tr> <th>EPnBULK2</th> <th>EPnBULK1</th> <th>EPnBULK0</th> <th>"BIN_STATE"ステータス</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>BIN_IDLE</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>BIN_CPU</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>BIN_EPC</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>BIN_CMP</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>BIN_END</td> </tr> </tbody> </table>	EPnBULK2	EPnBULK1	EPnBULK0	"BIN_STATE"ステータス	0	0	0	BIN_IDLE	0	0	1	BIN_CPU	0	1	0	BIN_EPC	0	1	1	BIN_CMP	1	0	0	BIN_END
EPnBULK2	EPnBULK1	EPnBULK0	"BIN_STATE"ステータス																							
0	0	0	BIN_IDLE																							
0	0	1	BIN_CPU																							
0	1	0	BIN_EPC																							
0	1	1	BIN_CMP																							
1	0	0	BIN_END																							
2	EPnSTOP	EPCからのDMA転送終了のステータス (DMA転送の終了要因) を示します。 0 : EPn_TCNT値"0"によるDMA転送の終了 1 : "EPC_DMARQ_EPnB"のネゲートによるDMA転送の終了 次のEP1_DMAENの"1"セットにより自動的にクリア (0) されます。																								
1	EPnREQ	EPCからの"EPC_DMARQ_EPnB"信号のステータスを示します。 0 : DMAリクエスト信号なし 1 : DMAリクエスト信号あり																								
0	EPnDMAEN	EPC からの DMA 要求の制御について設定します。 0 : DMA 要求をマスク 1 : DMA 要求を許可する EPn_TCNTで設定されたパケット数の転送が完了するか, DMARQ_EPnBのネゲートによるDMA転送の終了にて自動的にクリア (0) されます。 注意 強制終了時は設定していた値は保証されません。																								

備考 n=1-4

(2) EPn DMAコントロール・レジスタ2 (UF0E1DC2- UF0E4DC2)

エンドポイントn (EPn) のDMA転送を制御するレジスタです。(n=1-4)

16ビット単位でリード/ライト可能です。

(1/2)

リセット時 : 0000H R/W アドレス : 00200502H								
	15	14	13	12	11	10	9	8
UF0E1DC2	EP1	EP1	EP1	EP1	EP1	EP1	EP1	EP1
	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
	7	6	5	4	3	2	1	0
	EP1	EP1	EP1	EP1	EP1	EP1	EP1	EP1
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0
リセット時 : 0000H R/W アドレス : 00200506H								
	15	14	13	12	11	10	9	8
UF0E2DC2	EP2	EP2	EP2	EP2	EP2	EP2	EP2	EP2
	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
	7	6	5	4	3	2	1	0
	EP2	EP2	EP2	EP2	EP2	EP2	EP2	EP2
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0
リセット時 : 0000H R/W アドレス : 0020050AH								
	15	14	13	12	11	10	9	8
UF0E3DC2	EP3	EP3	EP3	EP3	EP3	EP3	EP3	EP3
	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
	7	6	5	4	3	2	1	0
	EP3	EP3	EP3	EP3	EP3	EP3	EP3	EP3
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0
リセット時 : 0000H R/W アドレス : 0020050EH								
	15	14	13	12	11	10	9	8
UF0E4DC2	EP4	EP4	EP4	EP4	EP4	EP4	EP4	EP4
	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
	7	6	5	4	3	2	1	0
	EP4	EP4	EP4	EP4	EP4	EP4	EP4	EP4
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0

ビット位置	ビット名	意 味
15-0	EPnTCNT15- EPnTCNT0	<p>EPnにてDMA転送するバイト数を設定します。 転送度にデクリメントしEPn_TCNTの値が“0”になったらDMA転送を終了させます。</p> <p>注意1. 本レジスタは、EPn_DMAEN=0の時に設定して下さい。</p> <p>2. 本レジスタに、“0”を設定することは禁止です。 本レジスタには必ずDMACの転送カウント・レジスタDBC0-DBC3の設定値に対して+1した値を設定してください。</p> <p>3. 本レジスタで設定した値がブリッジ内部のバルク転送用カウンタBIN_TCNTに反映されます。またBIN_TCNTの値が“0”になったらEPn_TCNTも“0”になります。</p> <p>4. 強制終了時はブリッジ内部のバルク転送用カウンタBIN_TCNTが停止した値に更新します。</p>

備考 n=1-4

22. 6. 8 周辺制御レジスタ

(1) USBF DMAリクエスト・イネーブル・レジスタ (UFDRQEN)

DMAチャンネルと転送対象となるエンドポイントを指定するレジスタです。

8/16ビット単位でリード/ライト可能です。

(1/2)

リセット時 : 0000H R/W アドレス : 00240000H

	15	14	13	12	11	10	9	8
UFDRQEN	RQ3UR3E	RQ2UR3E	RQ1UR3E	RQ0UR3E	RQ3UR2E	RQ2UR2E	RQ1UR2E	RQ0UR2E
	7	6	5	4	3	2	1	0
	RQ3UR1E	RQ2UR1E	RQ1UR1E	RQ0UR1E	RQ3UR0E	RQ2UR0E	RQ1UR0E	RQ0UR0E

ビット位置	ビット名	意味																														
15,11,7,3	RQ3UR3E, RQ3UR2E, RQ3UR1E, RQ3UR0E	<p>DMAチャンネル3のDMA転送対象となるエンドポイントn (EPn) を指定します。 (n=1-4)</p> <table border="1"> <thead> <tr> <th>RQ3UR3E</th> <th>RQ3UR2E</th> <th>RQ3UR1E</th> <th>RQ3UR0E</th> <th>DMA3の転送対象となるEP</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>EP4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>EP3</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>EP2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>EP1</td> </tr> <tr> <td colspan="4">上記以外の設定</td> <td>DMA3をEPnの転送対象としない (DMA3未使用)</td> </tr> </tbody> </table>	RQ3UR3E	RQ3UR2E	RQ3UR1E	RQ3UR0E	DMA3の転送対象となるEP	1	0	0	0	EP4	0	1	0	0	EP3	0	0	1	0	EP2	0	0	0	1	EP1	上記以外の設定				DMA3をEPnの転送対象としない (DMA3未使用)
RQ3UR3E	RQ3UR2E	RQ3UR1E	RQ3UR0E	DMA3の転送対象となるEP																												
1	0	0	0	EP4																												
0	1	0	0	EP3																												
0	0	1	0	EP2																												
0	0	0	1	EP1																												
上記以外の設定				DMA3をEPnの転送対象としない (DMA3未使用)																												
14,10,6,2	RQ2UR3E, RQ2UR2E, RQ2UR1E, RQ2UR0E	<p>DMAチャンネル2のDMA転送対象となるエンドポイントn (EPn) を指定します。 (n=1-4)</p> <table border="1"> <thead> <tr> <th>RQ2UR3E</th> <th>RQ2UR2E</th> <th>RQ2UR1E</th> <th>RQ2UR0E</th> <th>DMA2の転送対象となるEP</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>EP4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>EP3</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>EP2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>EP1</td> </tr> <tr> <td colspan="4">上記以外の設定</td> <td>DMA2をEPnの転送対象としない (DMA2未使用)</td> </tr> </tbody> </table>	RQ2UR3E	RQ2UR2E	RQ2UR1E	RQ2UR0E	DMA2の転送対象となるEP	1	0	0	0	EP4	0	1	0	0	EP3	0	0	1	0	EP2	0	0	0	1	EP1	上記以外の設定				DMA2をEPnの転送対象としない (DMA2未使用)
RQ2UR3E	RQ2UR2E	RQ2UR1E	RQ2UR0E	DMA2の転送対象となるEP																												
1	0	0	0	EP4																												
0	1	0	0	EP3																												
0	0	1	0	EP2																												
0	0	0	1	EP1																												
上記以外の設定				DMA2をEPnの転送対象としない (DMA2未使用)																												

ビット位置	ビット名	意味																														
13,9,5,1	RQ1UR3E, RQ1UR2E, RQ1UR1E, RQ1UR0E	DMAチャンネル1のDMA転送対象となるエンドポイントn (EPn) を指定します。 (n=1-4) <table border="1"> <thead> <tr> <th>RQ1UR3E</th> <th>RQ1UR2E</th> <th>RQ1UR1E</th> <th>RQ1UR0E</th> <th>DMA2の転送対象となるEP</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>EP4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>EP3</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>EP2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>EP1</td> </tr> <tr> <td colspan="4">上記以外の設定</td> <td>DMA1をEPnの転送対象としない (DMA1未使用)</td> </tr> </tbody> </table>	RQ1UR3E	RQ1UR2E	RQ1UR1E	RQ1UR0E	DMA2の転送対象となるEP	1	0	0	0	EP4	0	1	0	0	EP3	0	0	1	0	EP2	0	0	0	1	EP1	上記以外の設定				DMA1をEPnの転送対象としない (DMA1未使用)
RQ1UR3E	RQ1UR2E	RQ1UR1E	RQ1UR0E	DMA2の転送対象となるEP																												
1	0	0	0	EP4																												
0	1	0	0	EP3																												
0	0	1	0	EP2																												
0	0	0	1	EP1																												
上記以外の設定				DMA1をEPnの転送対象としない (DMA1未使用)																												
12,8,4,0	RQ0UR3E, RQ0UR2E, RQ0UR1E, RQ0UR0E	DMAチャンネル0のDMA転送対象となるエンドポイントn (EPn) を指定します。 (n=1-4) <table border="1"> <thead> <tr> <th>RQ0UR3E</th> <th>RQ0UR2E</th> <th>RQ0UR1E</th> <th>RQ0UR0E</th> <th>DMA0の転送対象となるEP</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>EP4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>EP3</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>EP2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>EP1</td> </tr> <tr> <td colspan="4">上記以外の設定</td> <td>DMA0をEPnの転送対象としない (DMA0未使用)</td> </tr> </tbody> </table>	RQ0UR3E	RQ0UR2E	RQ0UR1E	RQ0UR0E	DMA0の転送対象となるEP	1	0	0	0	EP4	0	1	0	0	EP3	0	0	1	0	EP2	0	0	0	1	EP1	上記以外の設定				DMA0をEPnの転送対象としない (DMA0未使用)
RQ0UR3E	RQ0UR2E	RQ0UR1E	RQ0UR0E	DMA0の転送対象となるEP																												
1	0	0	0	EP4																												
0	1	0	0	EP3																												
0	0	1	0	EP2																												
0	0	0	1	EP1																												
上記以外の設定				DMA0をEPnの転送対象としない (DMA0未使用)																												

注意1. 複数のDMAチャンネルに対して、同一のDMA転送対象に設定すること、及び同一のDMAチャンネルに対して、複数のDMA転送対象に設定をすることは禁止です。

2. 本レジスタの機能を使用する場合、DMAトリガ要因レジスタ (DTFRn (n=0-3)) は、割り込みによるDMA 要求禁止 (00H) を設定してください。

次にホスト切断 / ホスト再接続時のプログラム，電源投入時のプログラムのフロー・チャートを示します。

図22 - 12 ホスト切断 / ホスト再接続時のプログラムのフロー・チャート

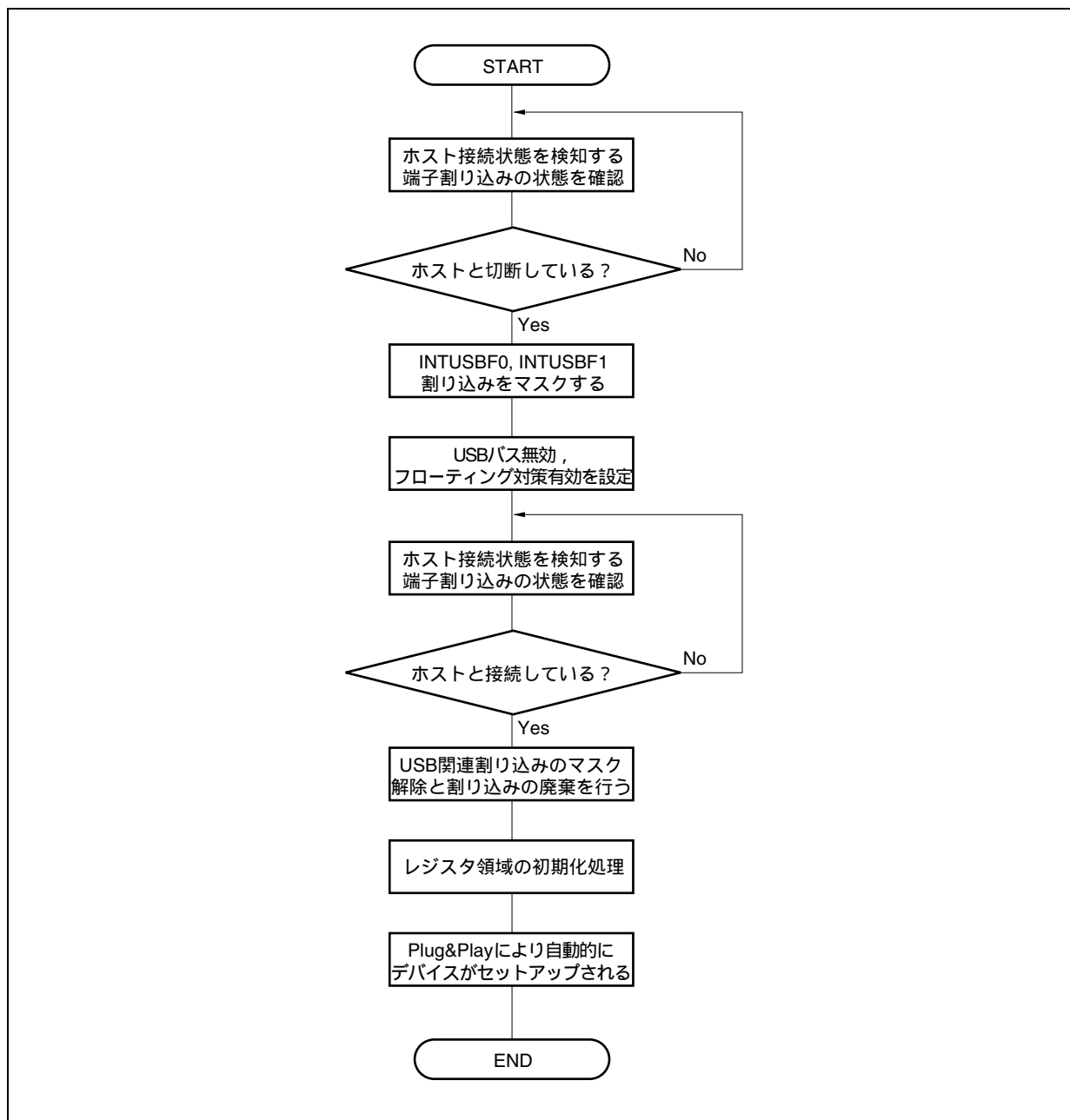
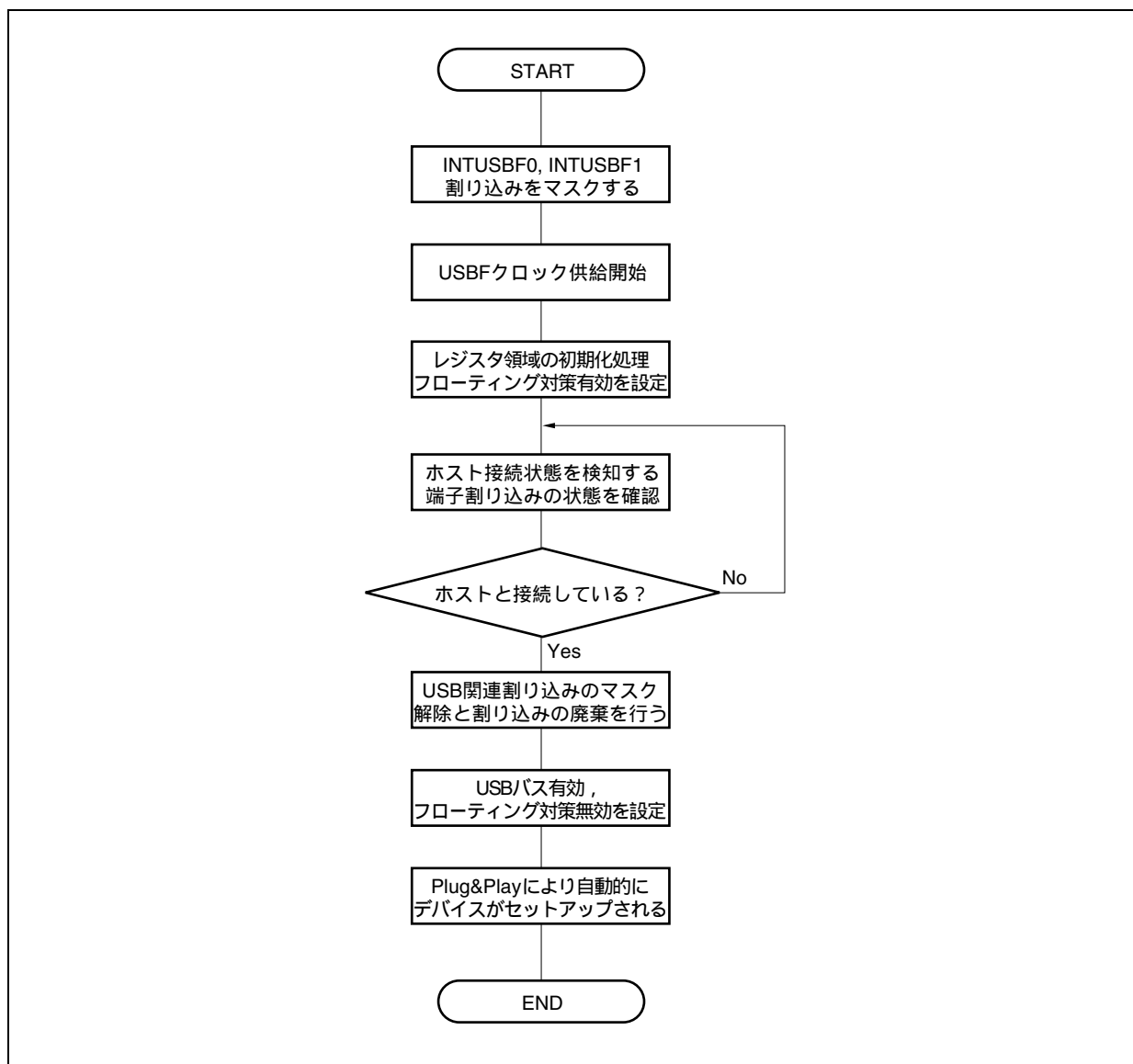


図22 - 13 電源投入時のプログラムのフロー・チャート



22.7 STALLハンドシェークまたはノー・ハンドシェーク

USBFのエラーの取り扱いは、次のように定義されています。

転送タイプ	トランザクション	対象 パケット	エラー種類	ファンクション 応答	処理内容
コントロール転送/ バルク転送/ インタラプト転送	IN/OUT/SETUP	トークン	Endpoint未対応	無応答	特になし
			Endpointに対する 転送方向不一致	無応答	特になし
			CRCエラー	無応答	特になし
			ビット・スタッフィ ング・エラー	無応答	特になし
コントロール転送/ バルク転送/ OUT	OUT/SETUP	データ	タイムアウト	無応答	特になし
			PID チェック・エラー	無応答	特になし
			未対応PID (Data PID以外)	無応答	特になし
			CRCエラー	無応答	受信データを破棄
	ビット・スタッフィ ング・エラー	無応答	受信データを破棄		
OUT	データ	Data PID不一致	ACK	受信データを破棄	
コントロール転送 (SETUPステージ)	SETUP	データ	オーバラン	無応答	受信データを破棄
コントロール転送 (データ・ステージ)	OUT	データ	オーバラン	無応答 ^{注1}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
コントロール転送 (ステータス・ ステージ)	OUT	データ	オーバラン	ACK or 無応答 ^{注2}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
バルク転送	OUT	データ	オーバラン	無応答 ^{注1}	UF0EnSLレジスタの EnHALTビットをセット(1) する(n=0-4,7)
コントロール転送/ バルク転送/ インタラプト転送	IN	ハンドシ ェーク	PIDチェック・エラー	-	送出したデータを保持し、再 転送 ^{注3}
			未対応PID (ACK PID以外)	-	送出したデータを保持し、再 転送 ^{注3}
			タイムアウト	-	送出したデータを保持し、再 転送 ^{注3}

注1. ホストの再転送に対してSTALL応答します。

- 転送データがMaxPacketSize以下の場合にはACK応答し、ステータス・ステージの受信データを破棄します。一方、MaxPacketSizeを越える場合には無応答となり、UF0SDSレジスタのSNDSTLビットがセット(1)され、受信データは破棄されます。
- コントロール転送で、データ・ステージからステータス・ステージへの変化を示すOUTトランザクションを受信した場合は対象外となり、正常受信完了と判断します。

注意1. 現在設定されているAlternate Settingの番号により対象Endpointが有効か無効かが判定されます。

- Endpoint0へのコントロール転送に含まれるリクエストに対する応答は、22.5 リクエストを参照してください。

22.8 特定状態でのレジスタ値

表22 - 8 特定状態でのレジスタ値 (1/2)

レジスタ名	CPUリセット (RESET) 時	Bus Reset時
UF0E0Nレジスタ	00H	値を保持
UF0E0NAレジスタ	00H	値を保持
UF0ENレジスタ	00H	値を保持
UF0ENMレジスタ	00H	値を保持
UF0SDSレジスタ	00H	値を保持
UF0CLRレジスタ	00H	値を保持
UF0SETレジスタ	00H	値を保持
UF0EPS0レジスタ	00H	値を保持
UF0EPS1レジスタ	00H	値を保持
UF0EPS2レジスタ	00H	値を保持
UF0IS0レジスタ	00H	値を保持
UF0IS1レジスタ	00H	値を保持
UF0IS2レジスタ	00H	値を保持
UF0IS3レジスタ	00H	値を保持
UF0IS4レジスタ	00H	値を保持
UF0IM0レジスタ	00H	値を保持
UF0IM1レジスタ	00H	値を保持
UF0IM2レジスタ	00H	値を保持
UF0IM3レジスタ	00H	値を保持
UF0IM4レジスタ	00H	値を保持
UF0IC0レジスタ	FFH	値を保持
UF0IC1レジスタ	FFH	値を保持
UF0IC2レジスタ	FFH	値を保持
UF0IC3レジスタ	FFH	値を保持
UF0IC4レジスタ	FFH	値を保持
UF0IDRレジスタ	00H	値を保持
UF0DMS0レジスタ	00H	値を保持
UF0DMS1レジスタ	00H	値を保持
UF0FIC0レジスタ	00H	値を保持
UF0FIC1レジスタ	00H	値を保持
UF0DENDレジスタ	00H	値を保持
UF0GPRレジスタ	00H	値を保持
UF0MODCレジスタ	00H	値を保持
UF0MODSレジスタ	00H	ビット2 (CONF) : クリア (0) , それ以外のビット : 値を保持
UF0AIFNレジスタ	00H	値を保持
UF0AASレジスタ	00H	値を保持
UF0ASSレジスタ	00H	00H
UF0E1IMレジスタ	00H	値を保持
UF0E2IMレジスタ	00H	値を保持

表22 - 8 特定状態でのレジスタ値 (2/2)

レジスタ名	CPUリセット ($\overline{\text{RESET}}$) 時	Bus Reset時
UF0E3IMレジスタ	00H	値を保持
UF0E4IMレジスタ	00H	値を保持
UF0E7IMレジスタ	00H	値を保持
UF0E0Rレジスタ	不定 ^{注1}	値を保持
UF0E0Lレジスタ	00H	値を保持
UF0E0STレジスタ	00H	00H
UF0E0Wレジスタ	不定 ^{注1}	値を保持
UF0BO1レジスタ	不定 ^{注1}	値を保持
UF0BO1Lレジスタ	00H	値を保持
UF0BO2レジスタ	不定 ^{注1}	値を保持
UF0BO2Lレジスタ	00H	値を保持
UF0BI1レジスタ	不定 ^{注1}	値を保持
UF0BI2レジスタ	不定 ^{注1}	値を保持
UF0INT1レジスタ	不定	値を保持
UF0DSTLレジスタ	00H	00H
UF0E0SLレジスタ	00H	00H
UF0E1SLレジスタ	00H	00H
UF0E2SLレジスタ	00H	00H
UF0E3SLレジスタ	00H	00H
UF0E4SLレジスタ	00H	00H
UF0E7SLレジスタ	00H	00H
UF0ADRSレジスタ	00H	00H
UF0CNFレジスタ	00H	00H
UF0IF0レジスタ	00H	00H
UF0IF1レジスタ	00H	00H
UF0IF2レジスタ	00H	00H
UF0IF3レジスタ	00H	00H
UF0IF4レジスタ	00H	00H
UF0DSCLレジスタ	00H	値を保持
UF0DDnレジスタ (n = 0-17)	注2	注2
UF0CIEnレジスタ (n = 0-255)	注2	注2

注1. 該当のレジスタは、FIFO制御のため、UF0FICnレジスタでのクリア (0) と同様にRESET信号がアクティブになると、ライト・ポインタ、カウンタ、リード・ポインタのすべてがクリア (0) されるので、RESET信号によって、クリア (0) できます。

2. 該当のレジスタは、クリア (0) できません。ただし、FWライト可能なので、任意の値を書き込めます (その場合は、必ずUF0E0NAレジスタのEP0NKAビット = 1にしてから行ってください)。

22.9 FW処理

FW処理は次に示すものに対して行います。

エニマレーション処理中のSET_CONFIGURATION, SET_INTERFACE, SET_FEATURE,
CLEAR_FEATUREリクエストに対する装置側の設定処理
自動処理対象外のXXXXStandardリクエスト, XXXXClassリクエスト, XXXXVendorリクエストの解析とそ
の処理
バルク転送のOUTトークンに続くデータの受信バッファからの読み出し
バルク転送のINトークンに対して返信されるデータの書き込み
インタラプト転送のトークンに対して返信されるデータの書き込み

次にFW対応のリクエストを示します。

表22 - 9 FW対応の標準リクエスト

リクエスト	受信側	処理 / 頻度	説明
CLEAR_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求は来ないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
SET_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求はないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
GET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを返します。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、ホストに返すデータをUF0E0Wレジスタに書き込みます。
SET_DESCRIPTOR	Device	FW	デバイス・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータをUF0DDnレジスタに書き込みます (n = 0-17)。
SET_DESCRIPTOR	Configuration	FW	コンフィギュレーション・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータをUF0CIEnレジスタに書き込みます (n = 0-255)。
SET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを取り込みます。
その他のリクエスト	NA	FW	SETUPトークンでその他のリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、必要な処理を行ってください。

22.9.1 初期化処理

初期化処理には次の2つの設定があります。

- ・ リクエスト・データ・レジスタの初期化
- ・ 割り込みの設定

リクエスト・データ・レジスタの初期化では、自動返信処理を行うGET_XXXXリクエストに対するデータの書き込みとEndpointのInterfaceに対する割り当てを行います。割り込みの設定では、確認する必要のない割り込み要因に対して、UF0IMnレジスタにより割り込みのマスクを行います (n = 0-4)。

次にフローを示します。

図22 - 14 リクエスト・データ・レジスタの初期化

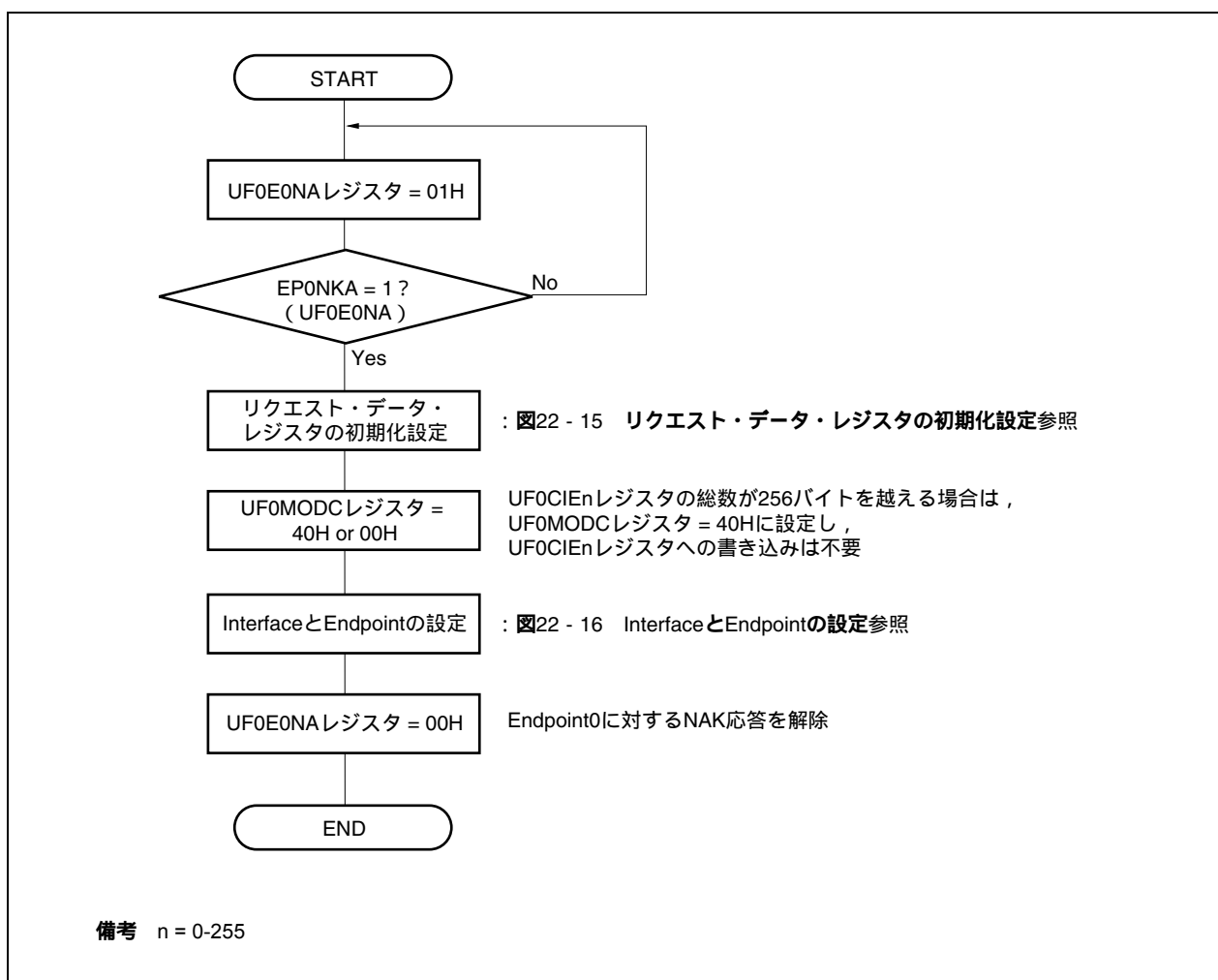


図22 - 15 リクエスト・データ・レジスタの初期化設定

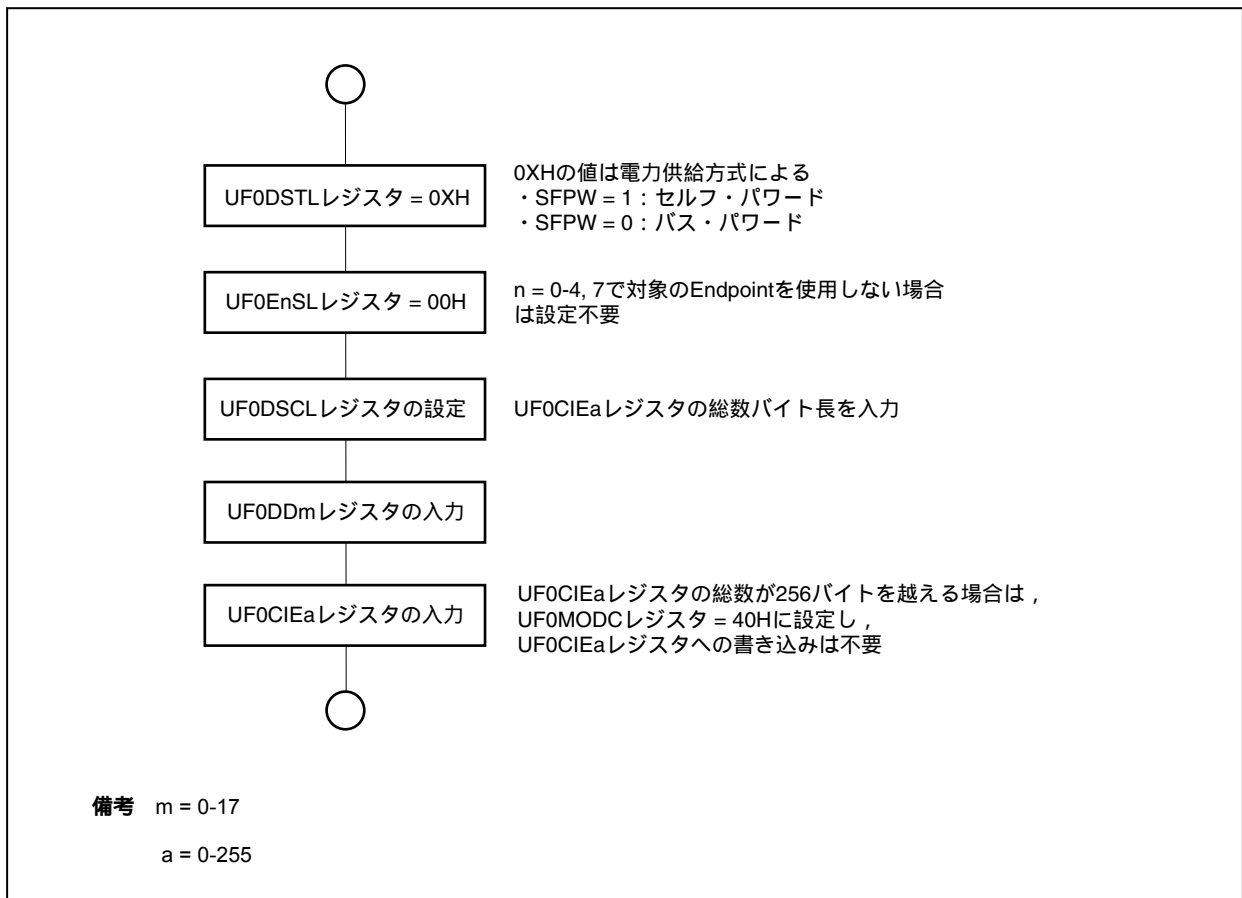


図22 - 16 InterfaceとEndpointの設定

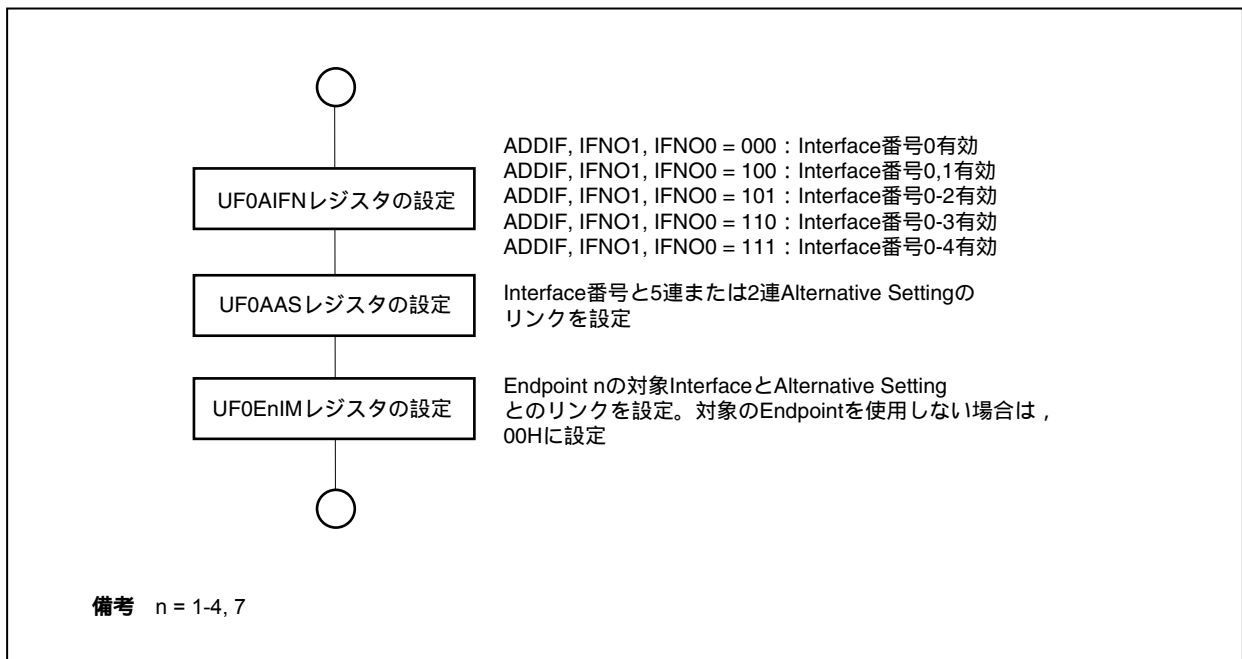
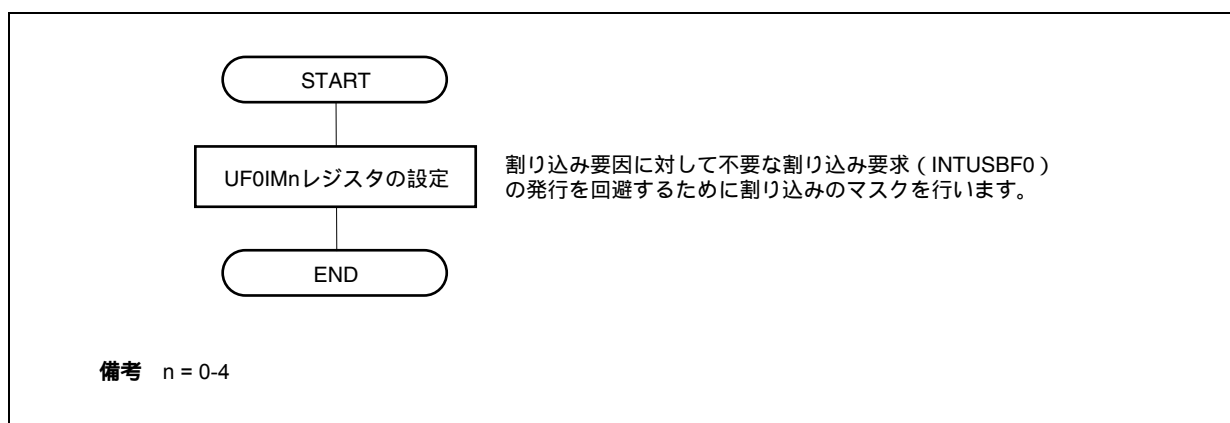


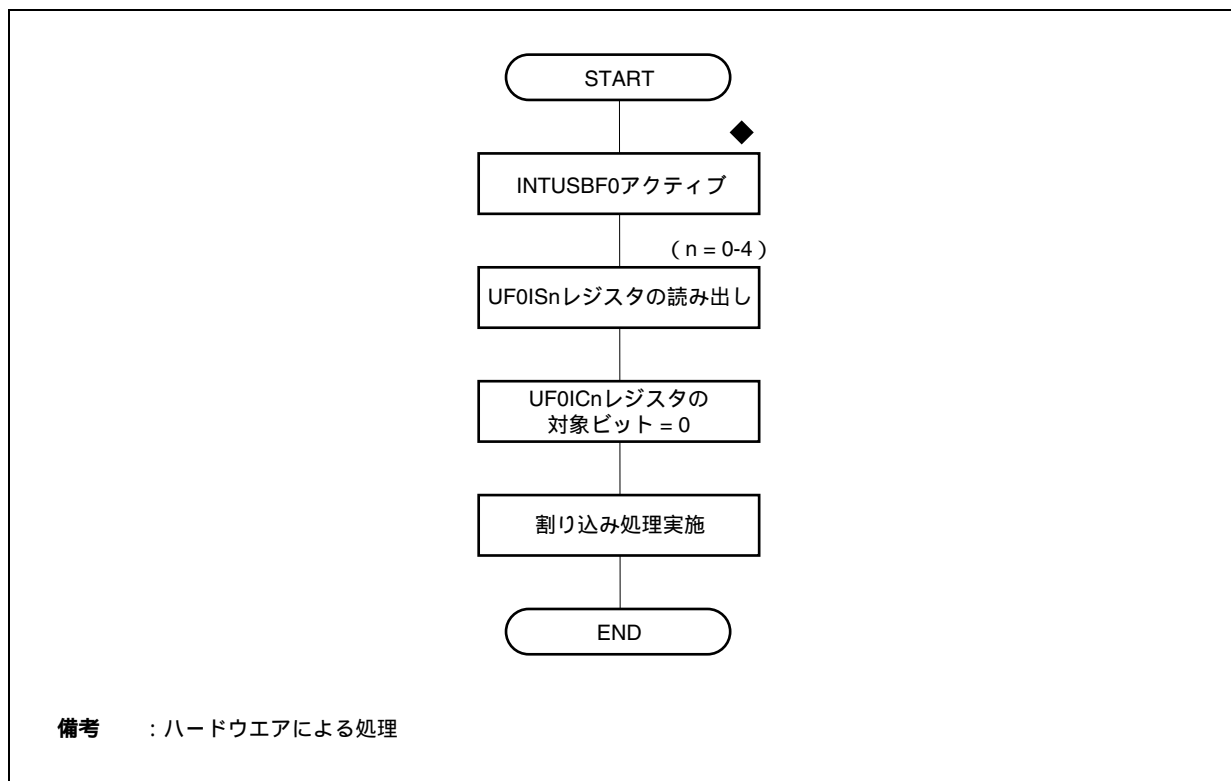
図22 - 17 割り込みの設定



22.9.2 割り込み処理

次にフローを示します。

図22 - 18 割り込み処理



次に示すUF0ISnレジスタのビットは、条件を満たしたときにハードウェアにより、自動的にクリアされます (n = 0-4)。

- ・ UF0IS1レジスタのE0INDT, E0ODT, SUCES, STG, CPUDECビット
- ・ UF0IS2レジスタのBKI2DT, BKI1DT, IT1DTビット
- ・ UF0IS3レジスタのBKO2FL, BKO2DT, BKO1FL, BKO1DTビット

なお、UF0ICnレジスタでの割り込み要因のクリアは、対象となる割り込み要因のハードウェアによるセットより、優先順位は低いため、タイミングによってはクリアできない場合があります (n = 0-4)。

22.9.3 USBメイン処理

USBメイン処理では、USBトランザクションに対する処理を行います。対象となるトランザクションのタイプは次の通りです。

- ・ コントロール転送に対する完全自動処理リクエスト
- ・ コントロール転送に対する自動処理リクエスト
(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)
- ・ コントロール転送に対するCPUDECリクエスト
- ・ バルク転送 (IN) に対する処理
- ・ バルク転送 (OUT) に対する処理
- ・ インタラプト転送 (IN) に対する処理

Endpoint nに対する処理は、データ転送の書き込みまたは読み出し処理です。なお、以降で示すフロー・チャートはPIOを対象にしたものです。

(1) コントロール転送に対する完全自動処理リクエスト

コントロール転送に対する完全自動処理リクエストは、ハードウェアで処理のすべてを実行するため、FWでは参照できません。このため、FWで特別に処理する必要はありません。

(2) コントロール転送に対する自動処理リクエスト

(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)

SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATUREのコントロール転送に対する自動処理リクエストに対してレジスタ等への書き込み処理などはハードウェアで自動的に実行されますが、装置側での認知のために割り込み要求を発行します。特に処理すべきことがない場合は、この処理は無視してもかまいません。

次にフローを示します。

図22 - 19 コントロール転送に対する自動処理リクエスト

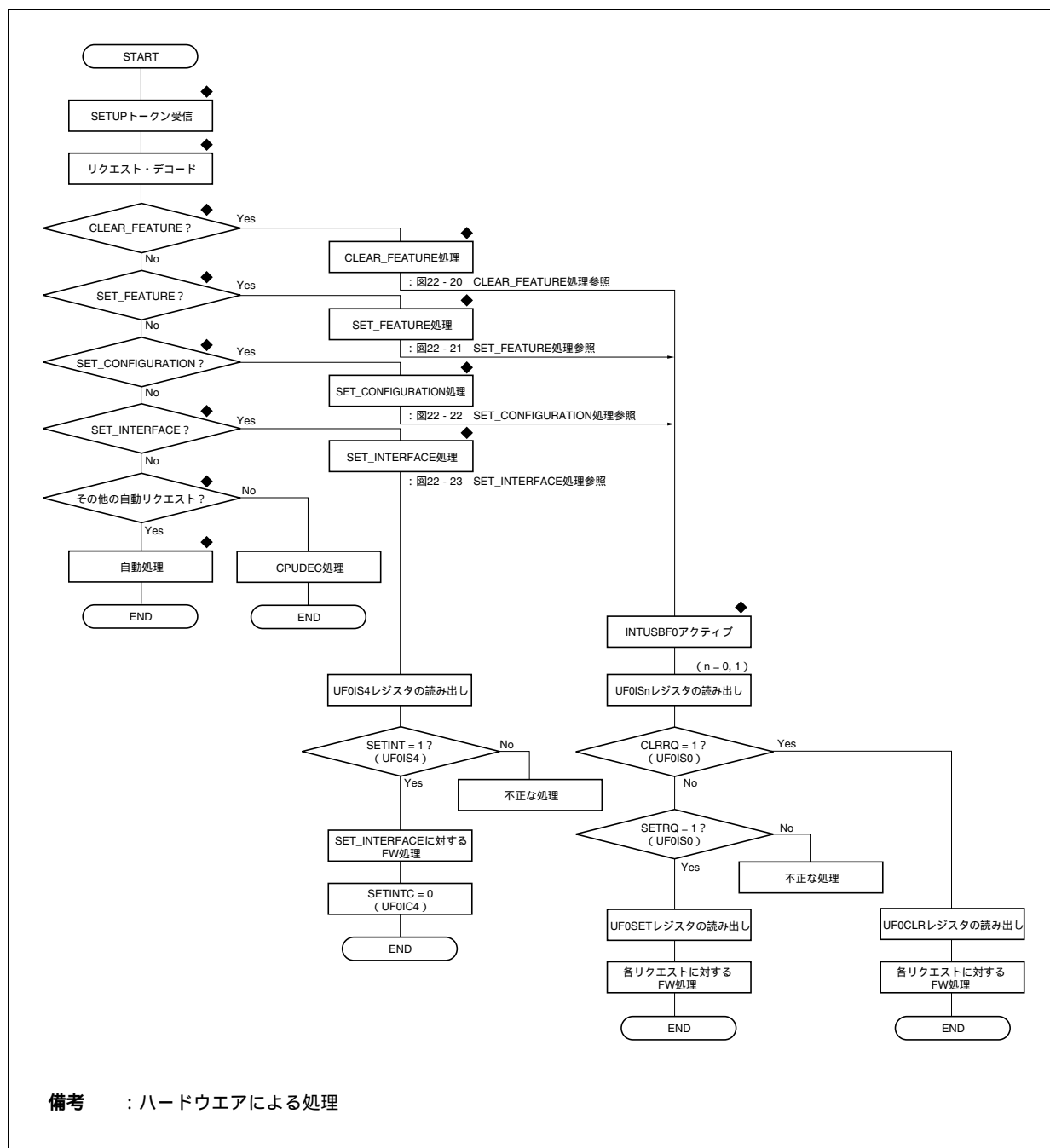


図22 - 20 CLEAR_FEATURE処理

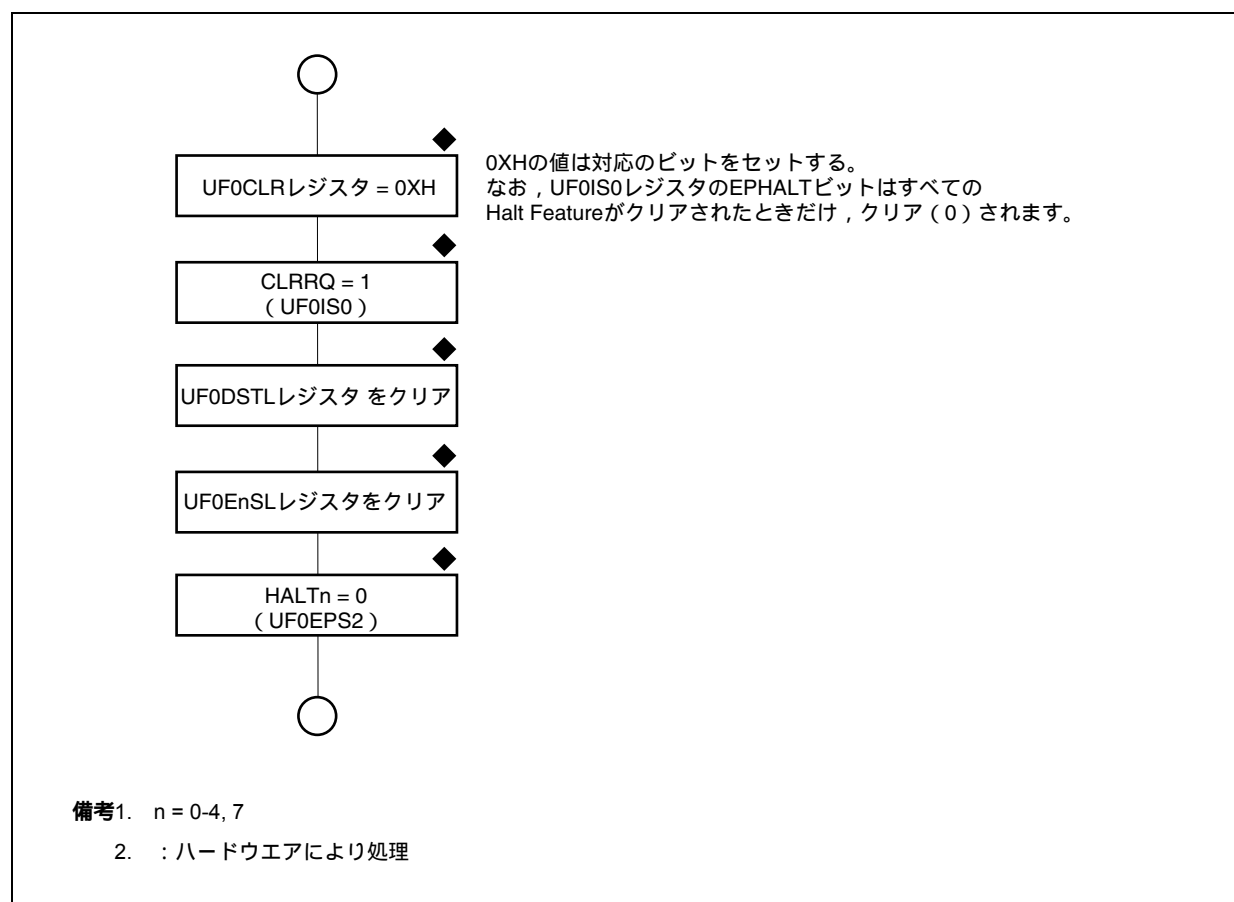


図22 - 21 SET_FEATURE処理

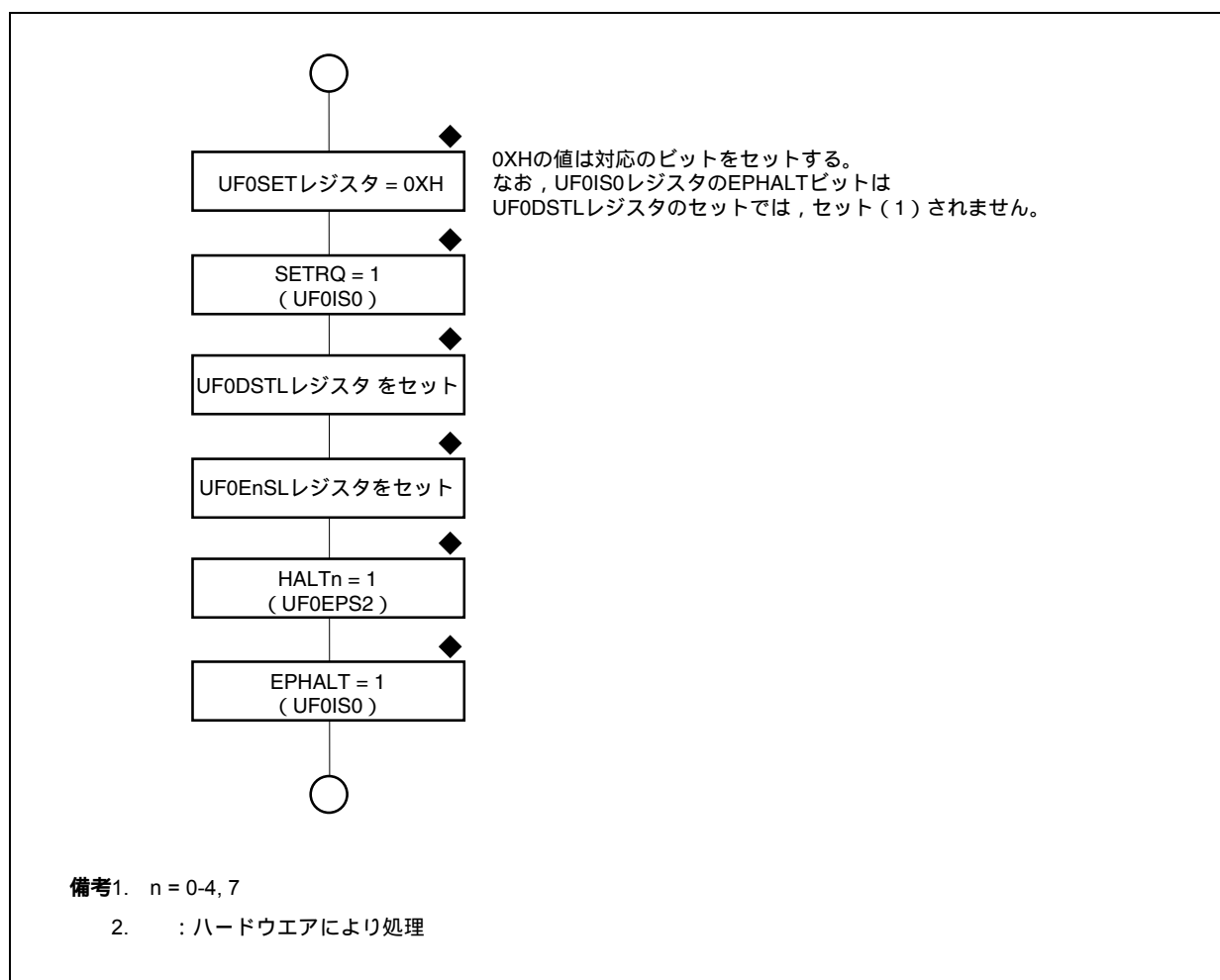


図22 - 22 SET_CONFIGURATION処理

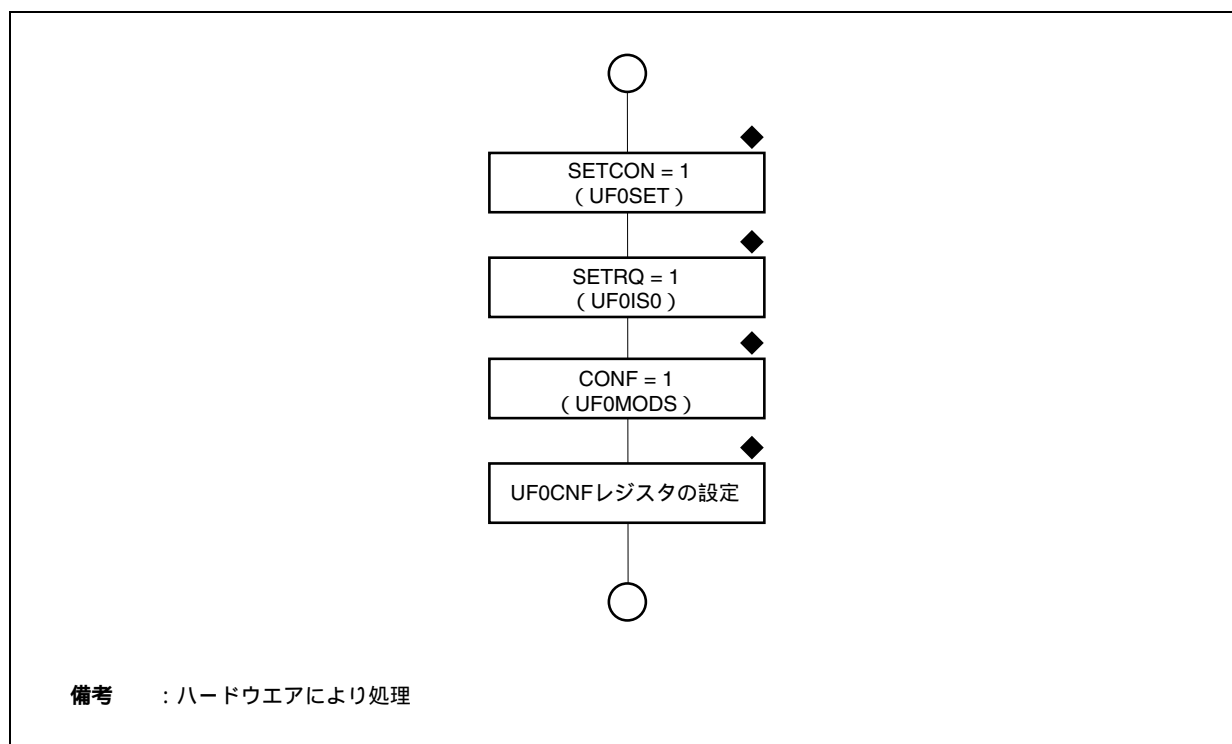
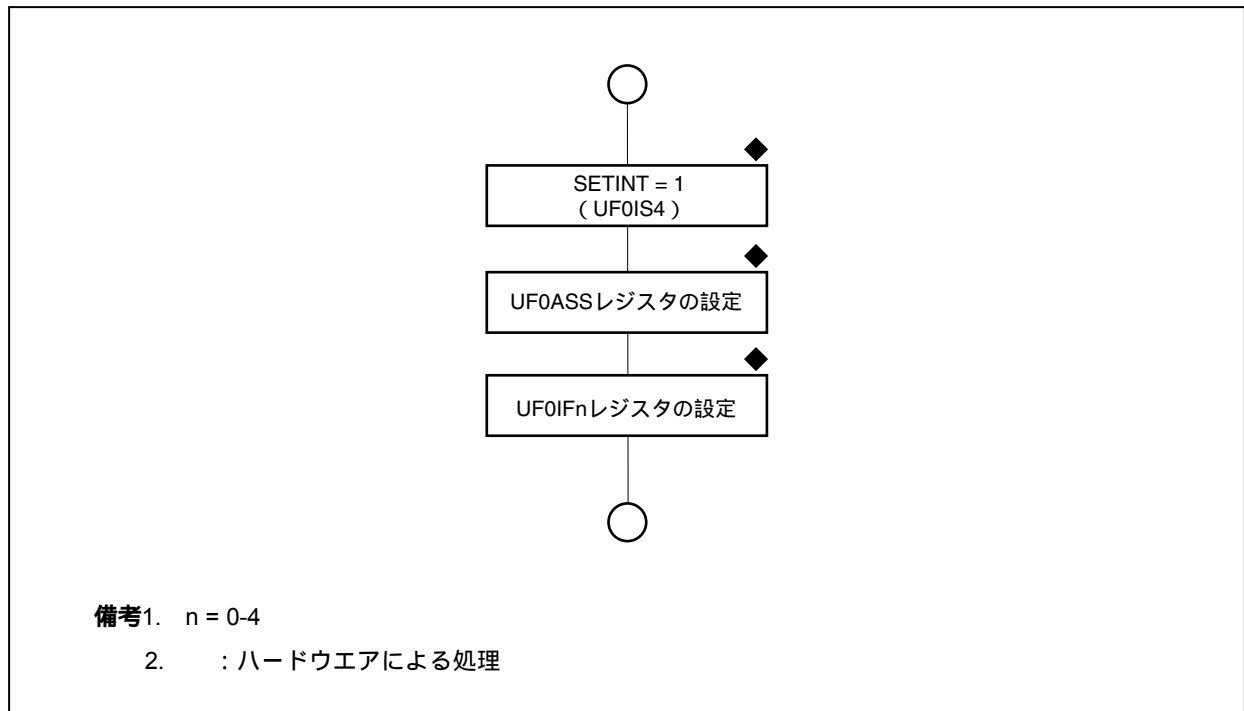


図22 - 23 SET_INTERFACE処理



(3) コントロール転送に対するCPUDECリクエスト

CPUDECリクエストは、コントロール転送(ライト)、コントロール転送(リード)、コントロール転送(データなし)の3つの処理に分類できます。コントロール転送(ライト)はデータ・ステージでOUTトランザクションを利用するリクエスト(例: SET_DESCRIPTOR)、コントロール転送(リード)はデータ・ステージでINトランザクションを利用するリクエスト(例: GET_DESCRIPTOR)、コントロール転送(データなし)はデータ・ステージを持たないリクエスト(例: SET_CONFIGURATION)を示します。

次にフローを示します。

図22 - 24 コントロール転送に対するCPUDECリクエスト (1/12)

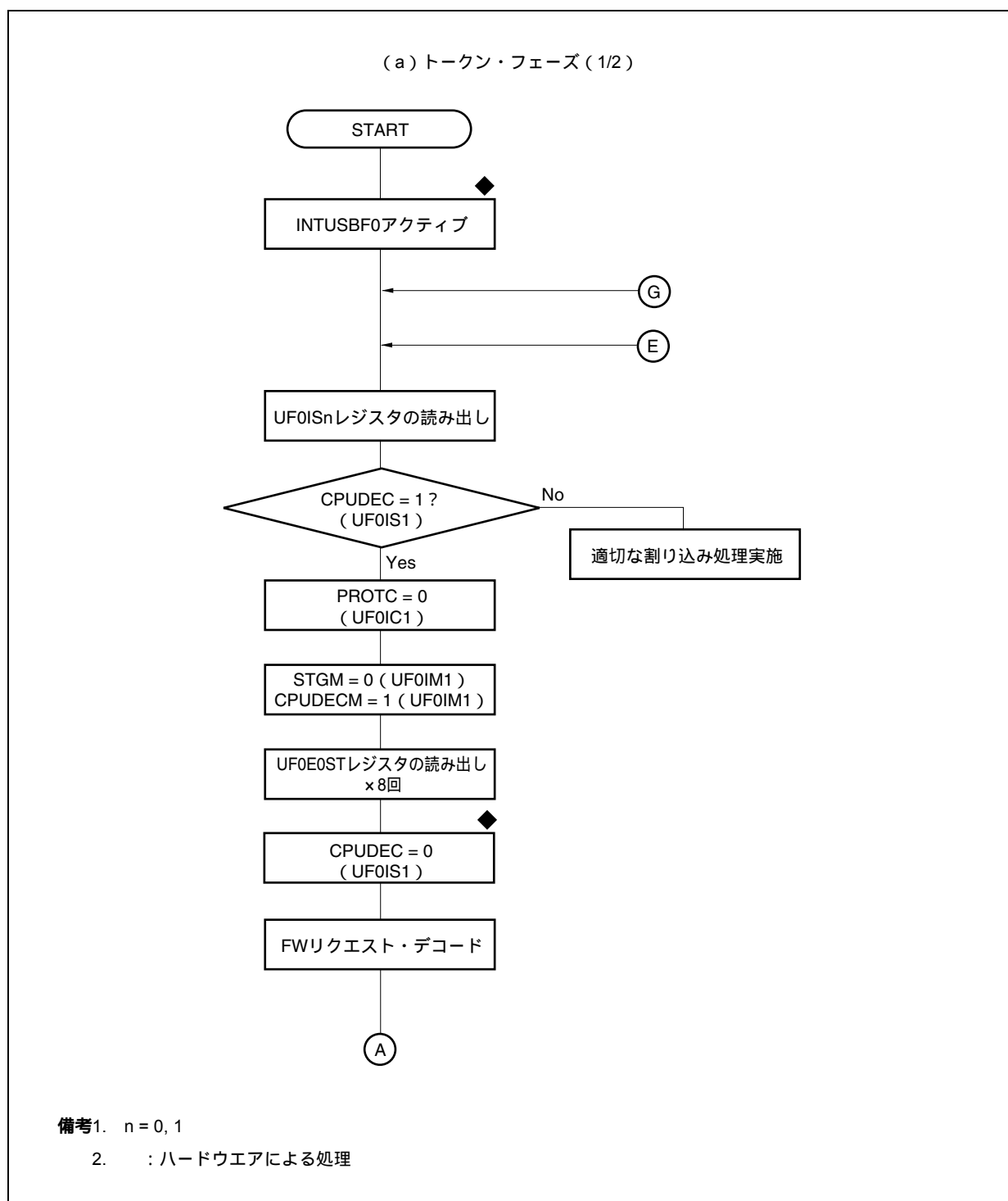


図22 - 24 コントロール転送に対するCPUDECリクエスト (2/12)

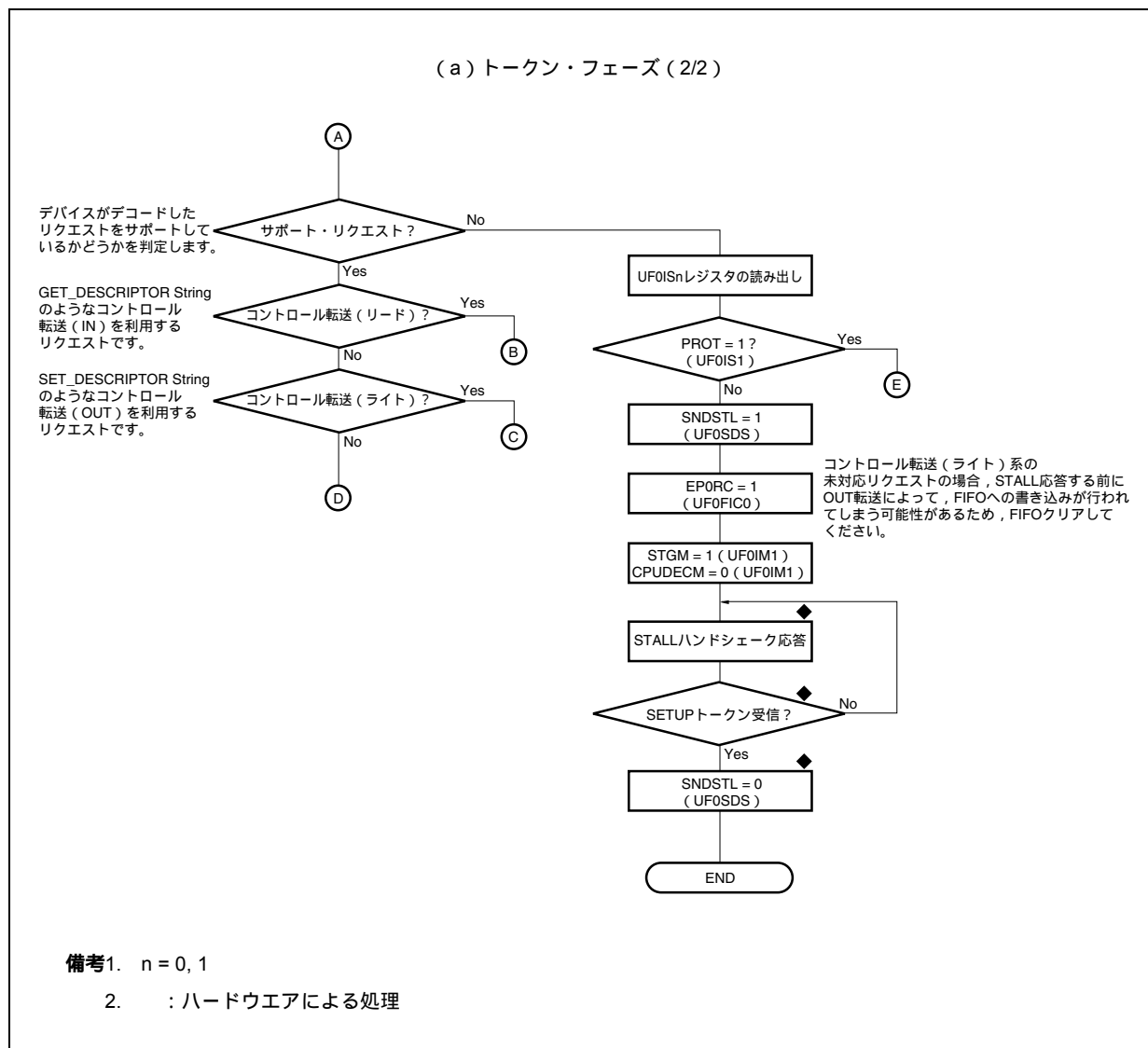


図22 - 24 コントロール転送に対するCPUDECリクエスト (3/12)

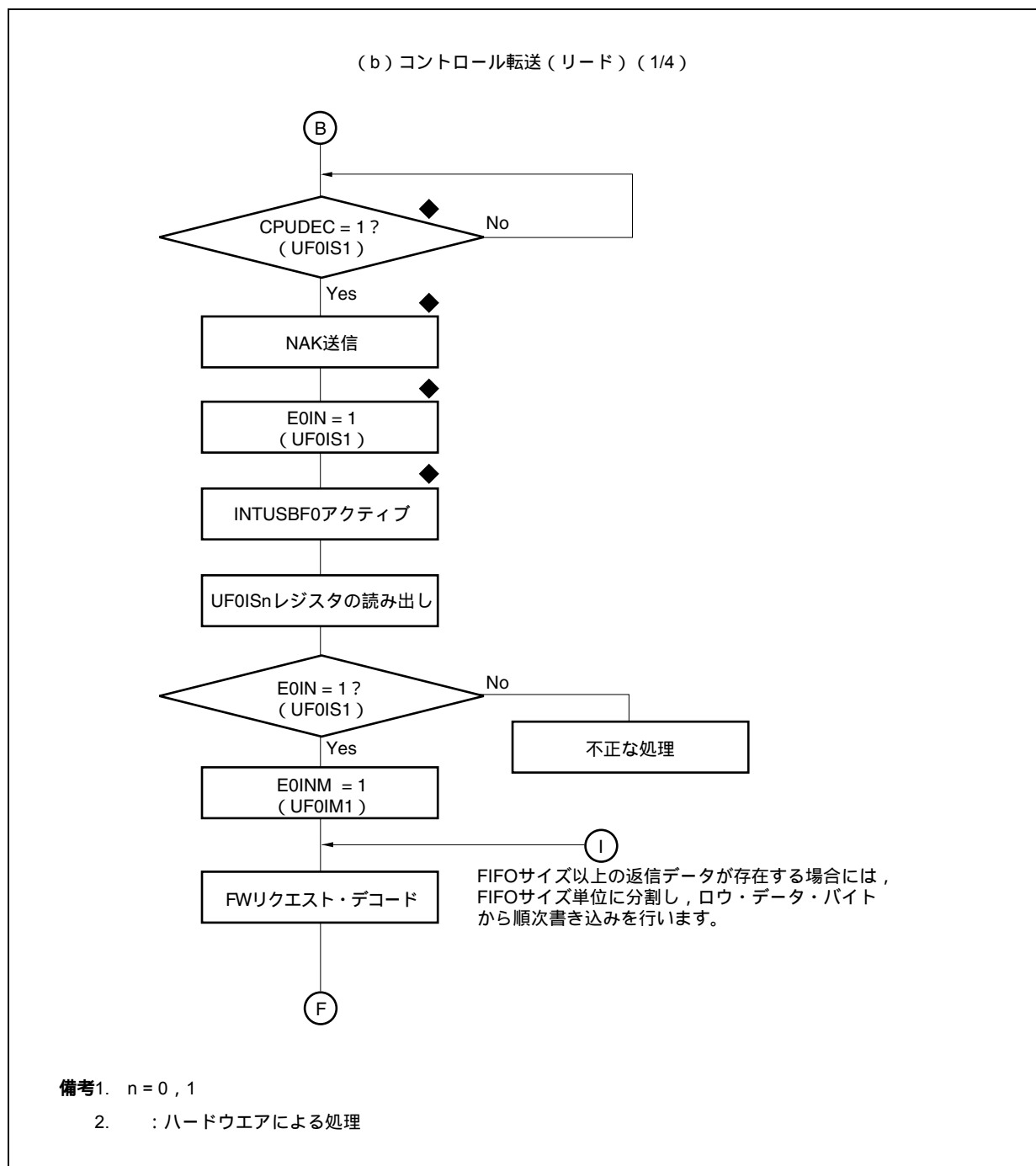


図22 - 24 コントロール転送に対するCPUDECリクエスト (4/12)

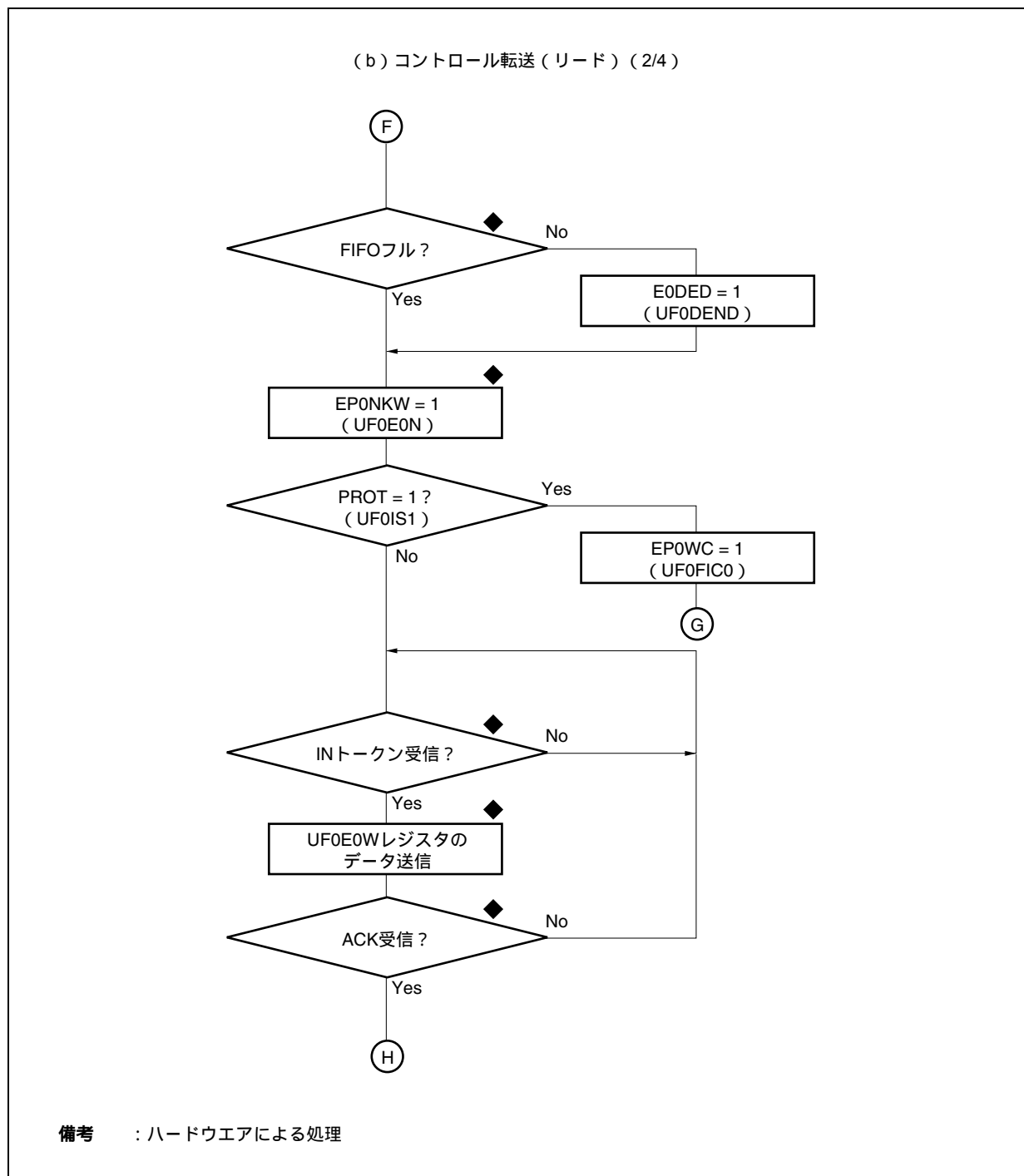


図22 - 24 コントロール転送に対するCPUDECリクエスト (5/12)

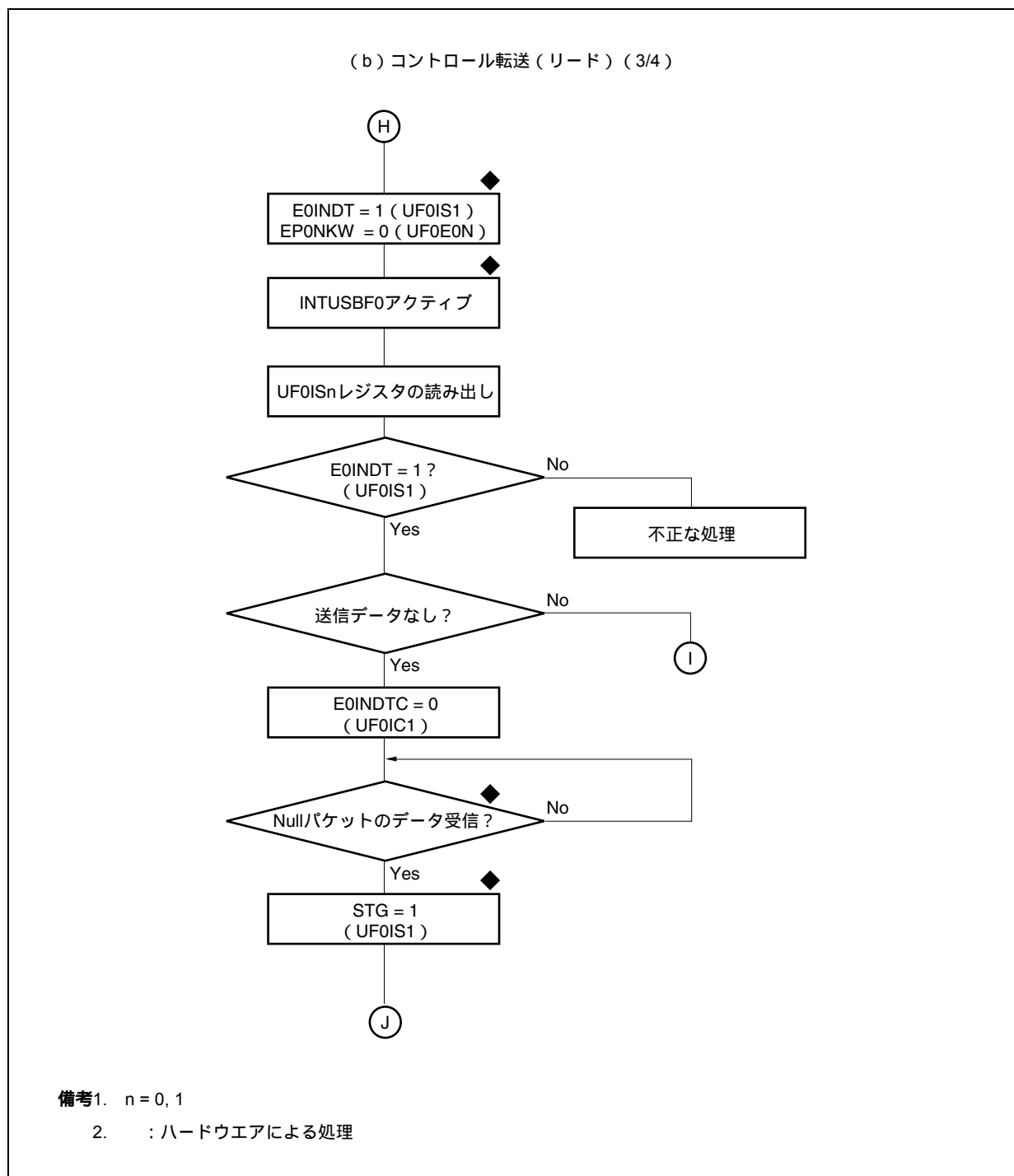


図22 - 24 コントロール転送に対するCPUDECリクエスト (6/12)

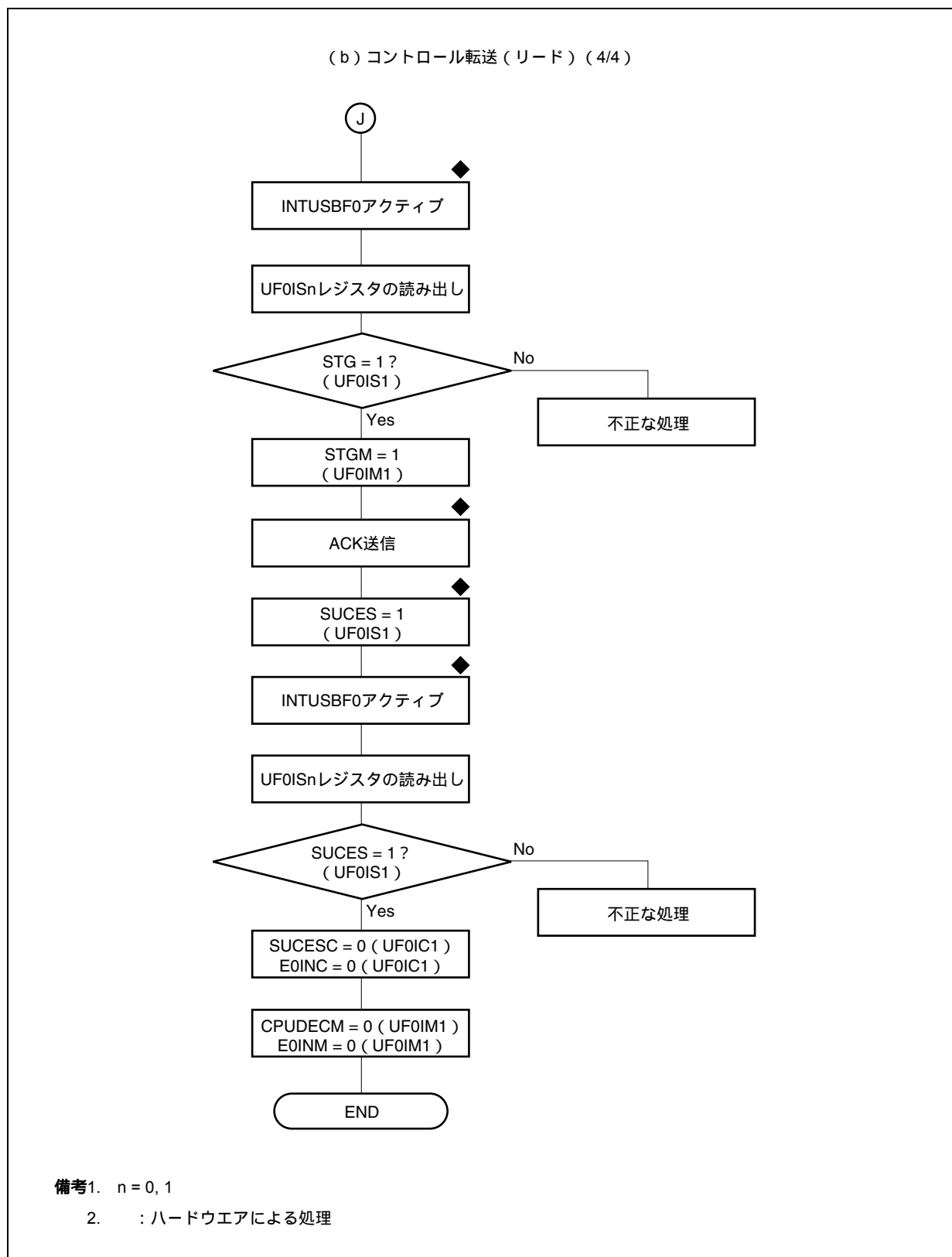


図22 - 24 コントロール転送に対するCPUDECリクエスト (7/12)

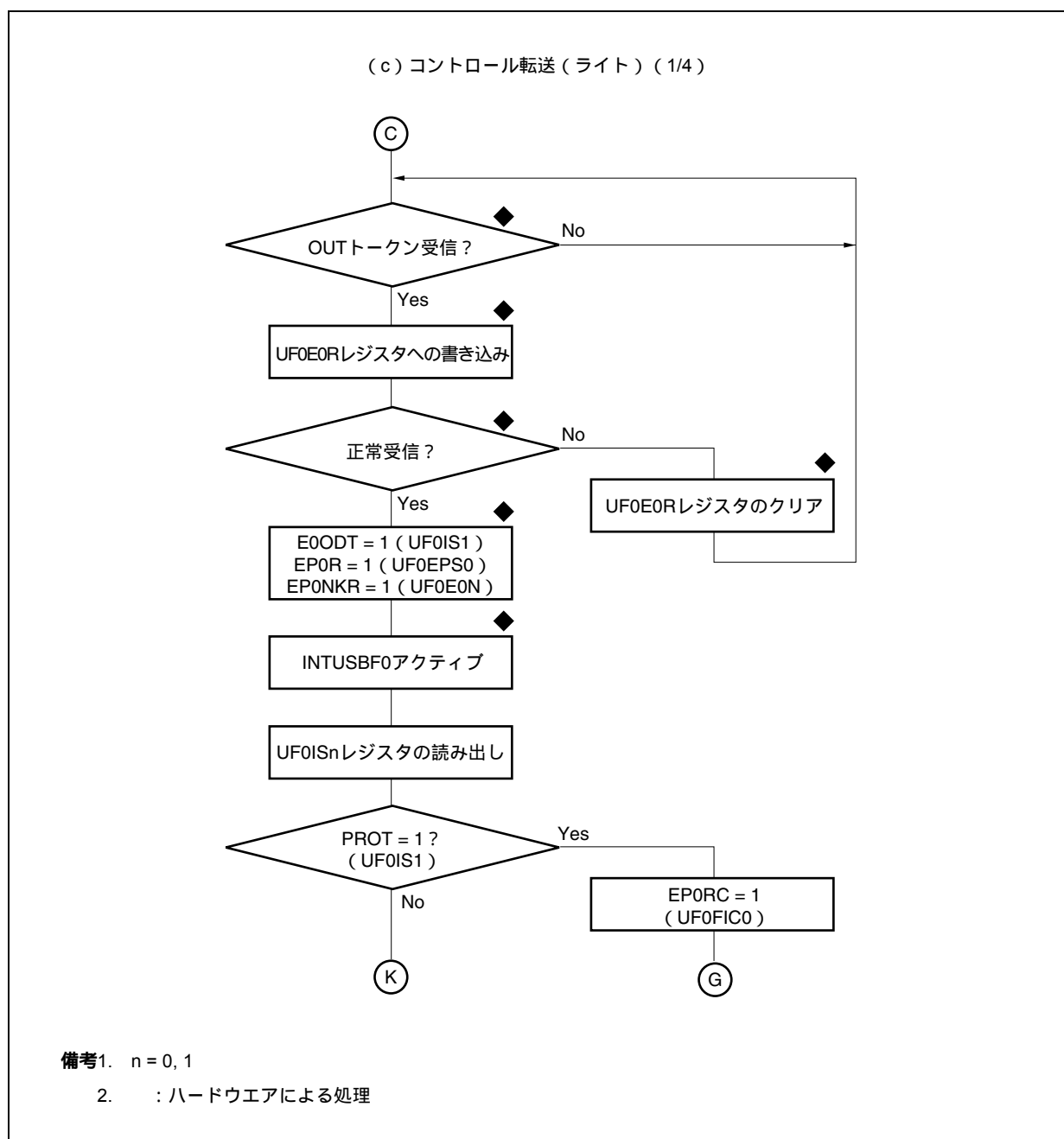


図22 - 24 コントロール転送に対するCPUDECリクエスト (8/12)

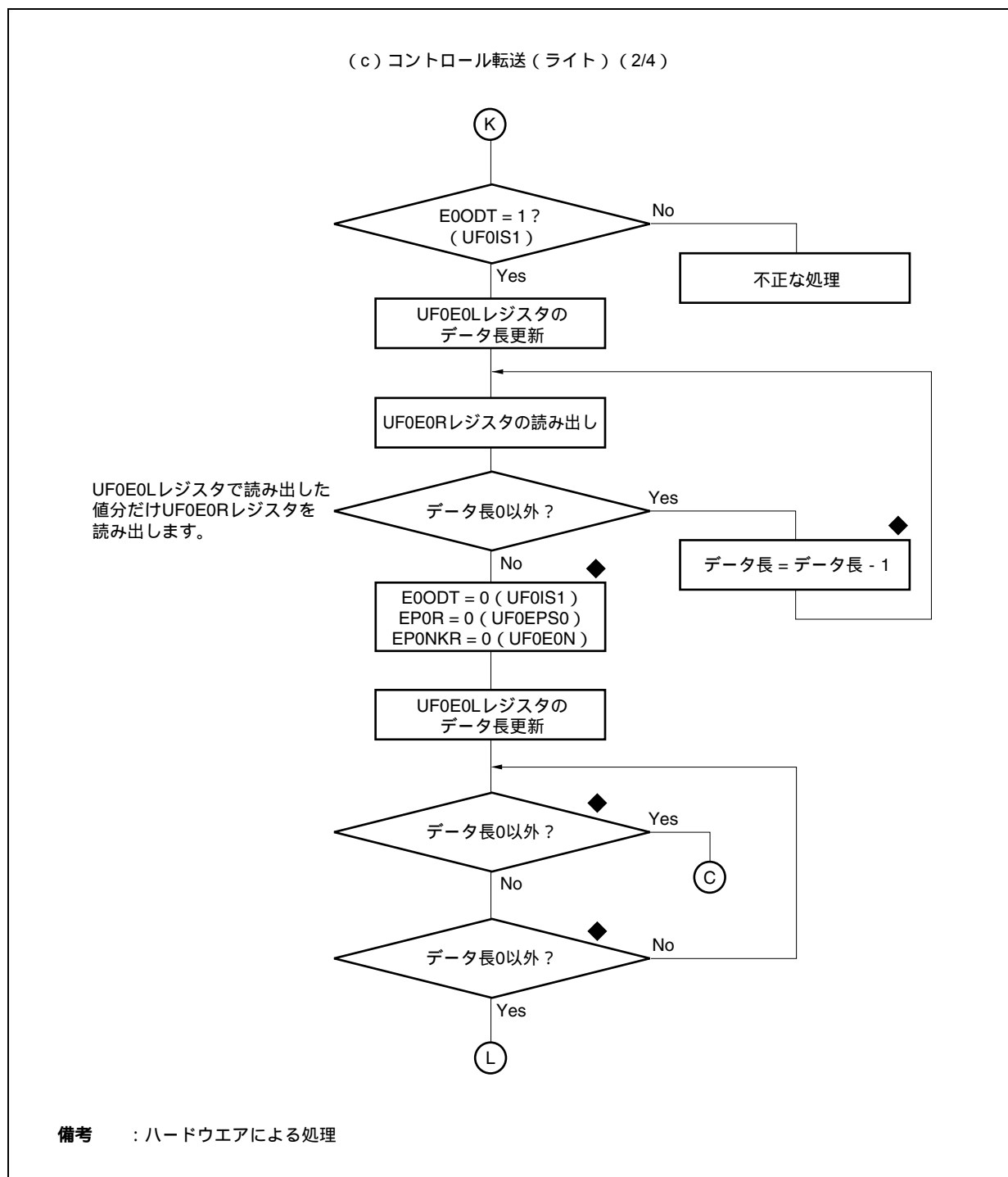


図22 - 24 コントロール転送に対するCPUDECリクエスト (9/12)

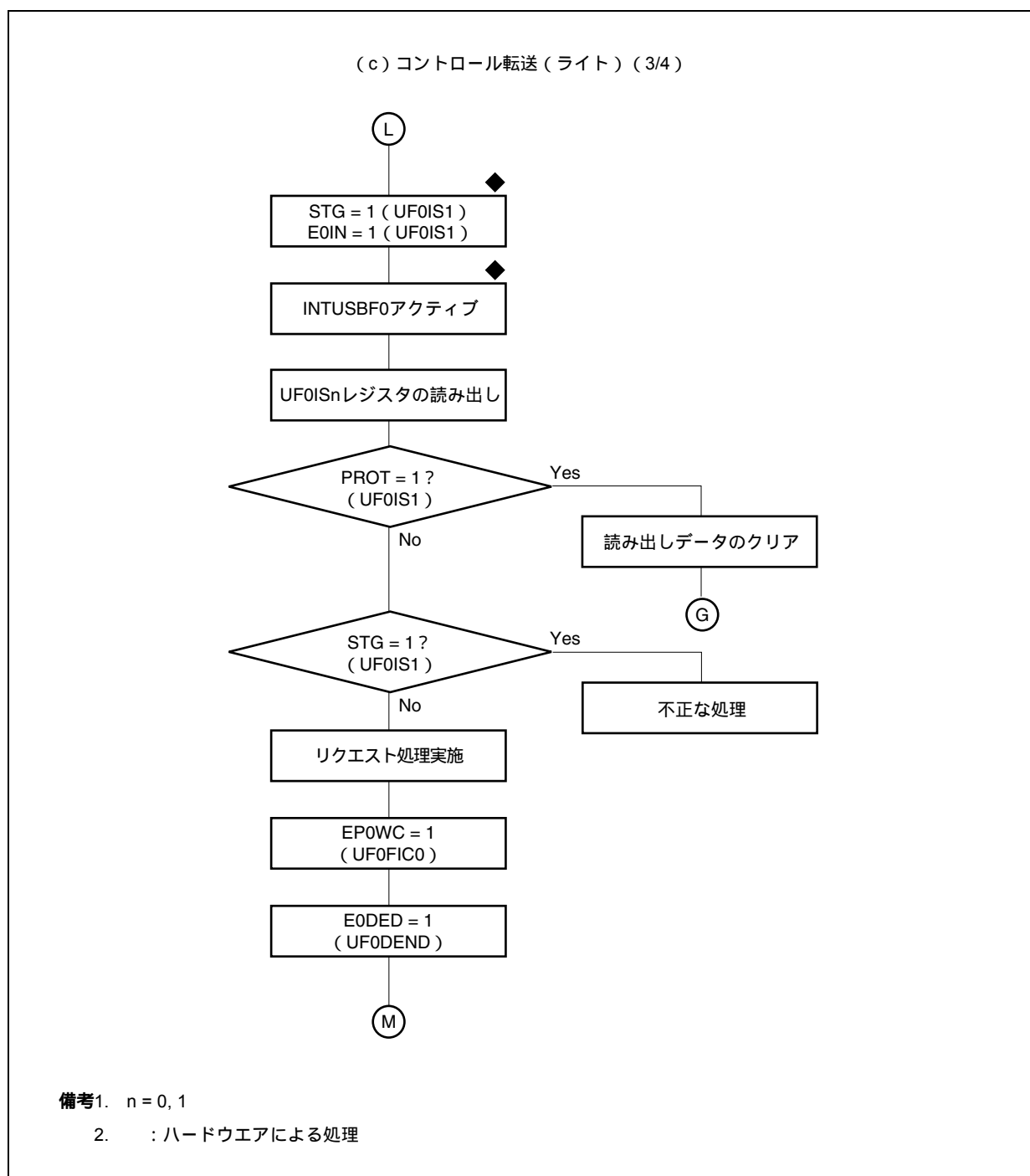


図22 - 24 コントロール転送に対するCPUDECリクエスト (10/12)

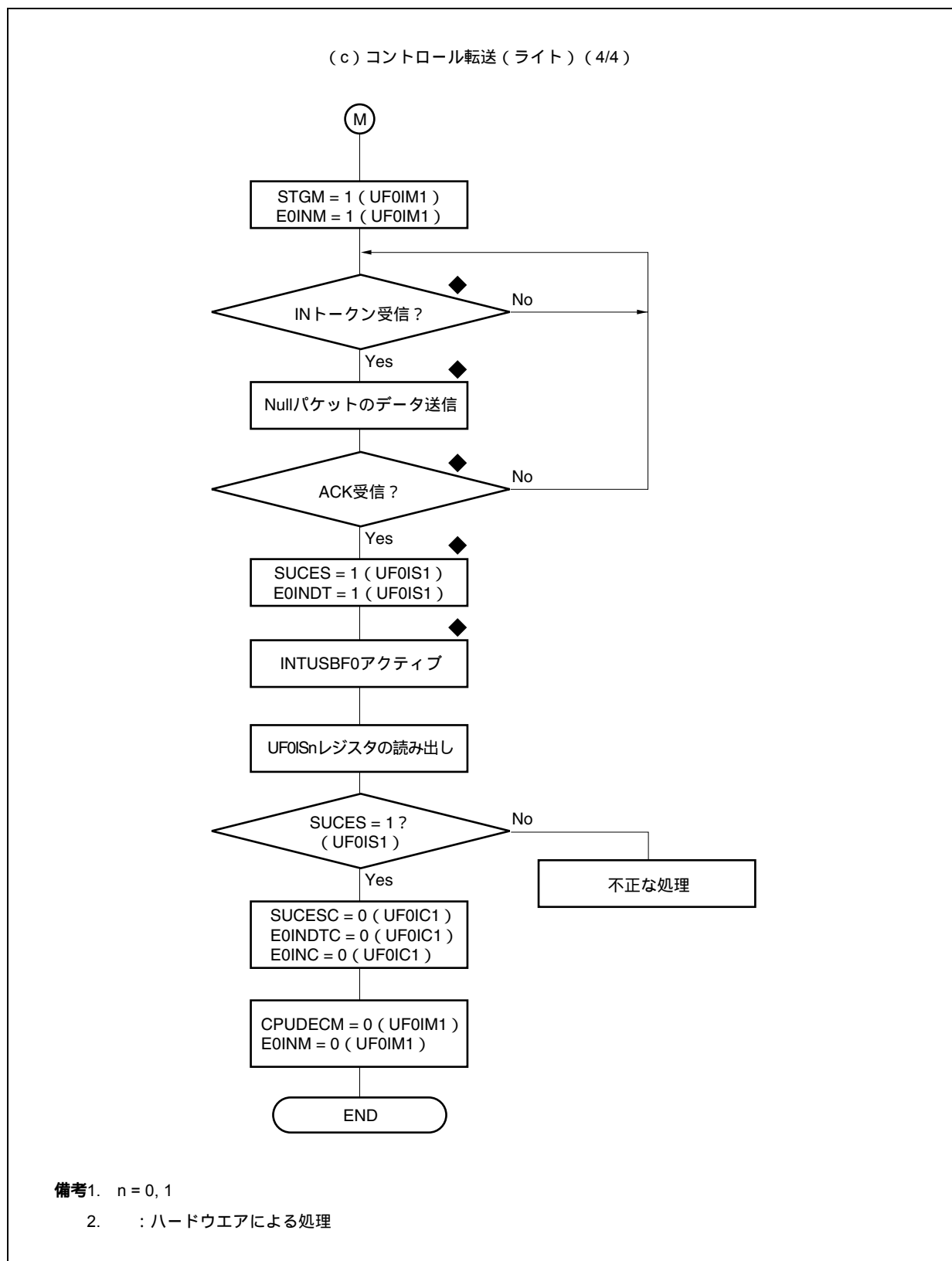


図22 - 24 コントロール転送に対するCPUDECリクエスト (11/12)

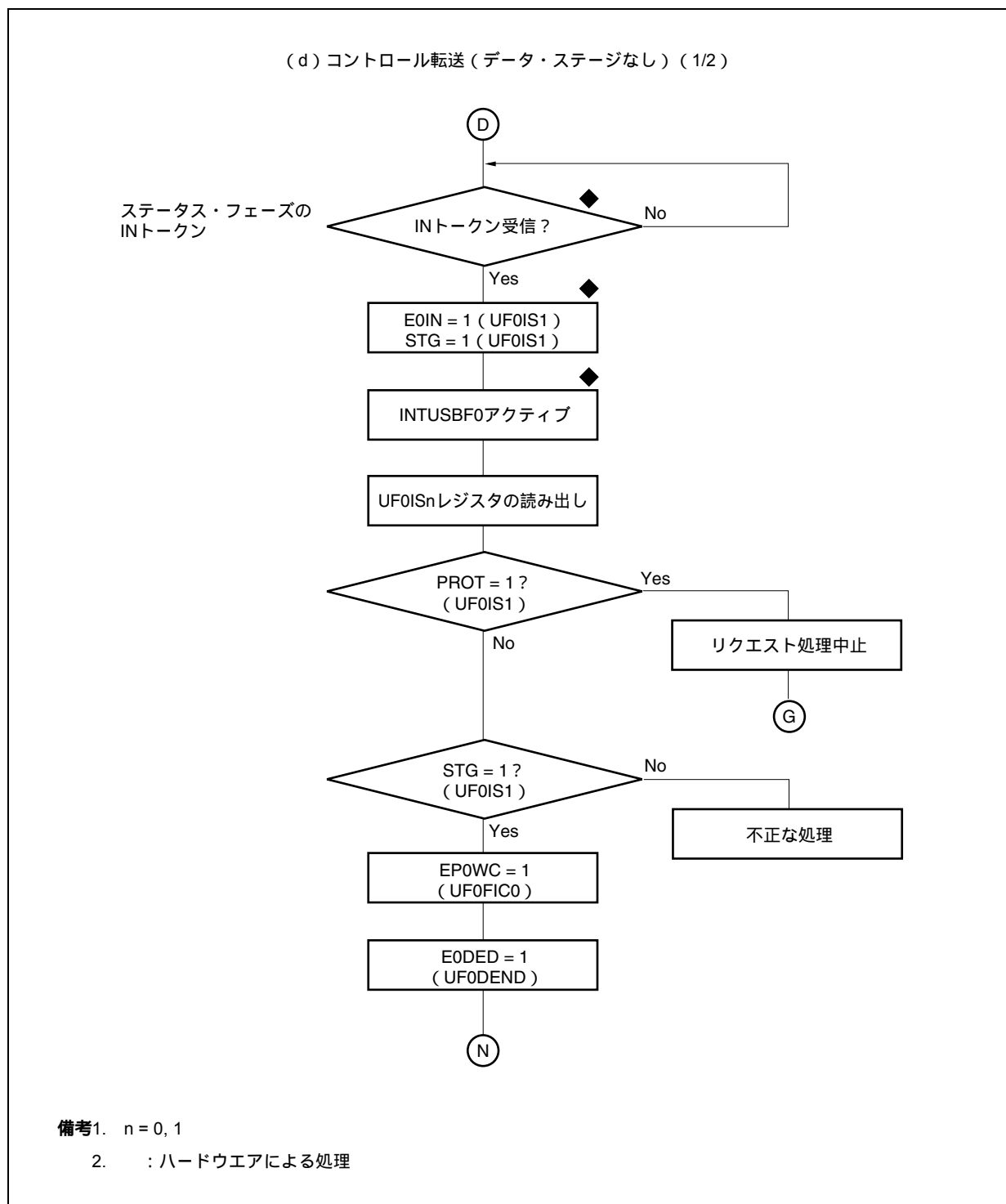
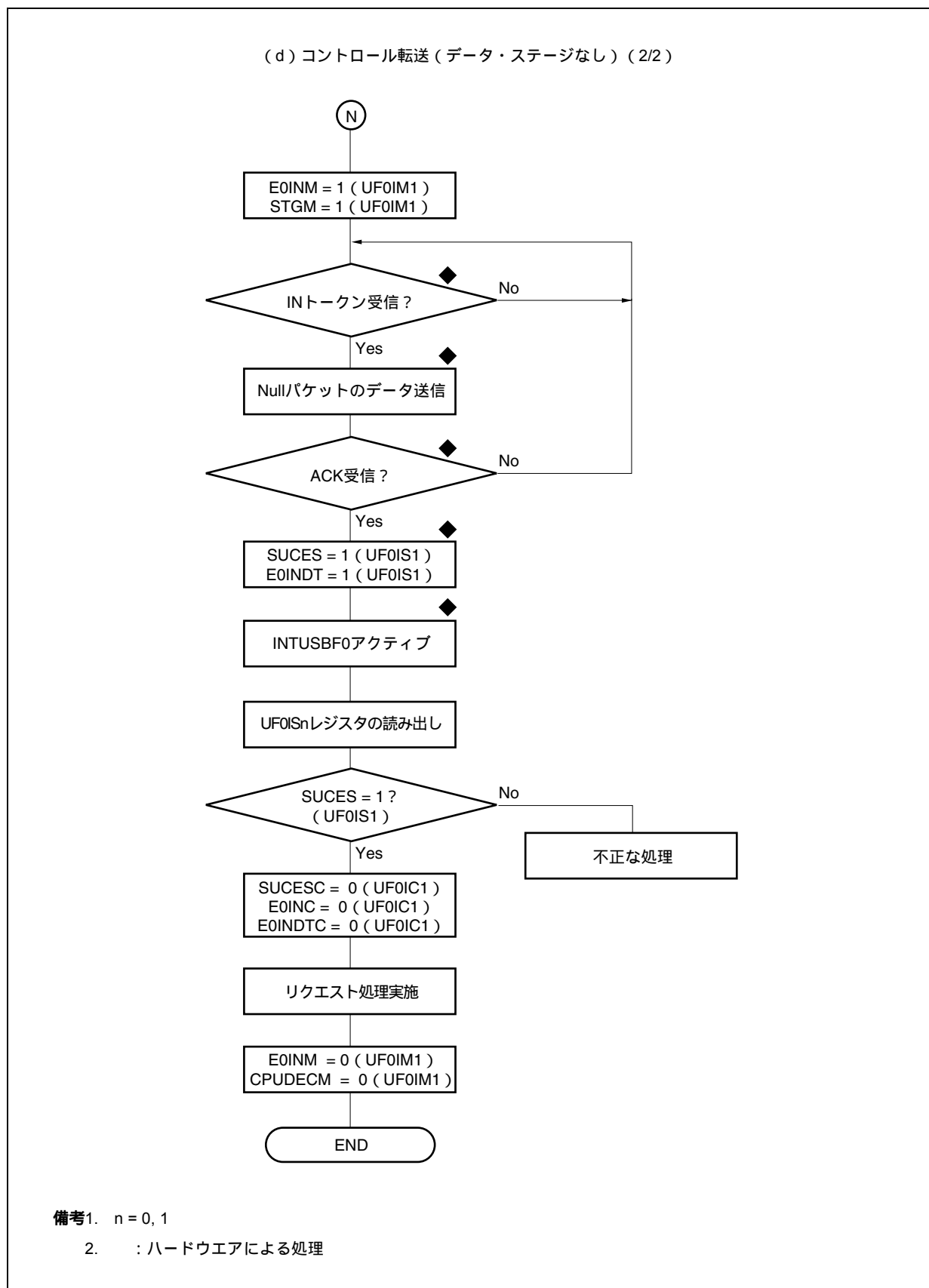


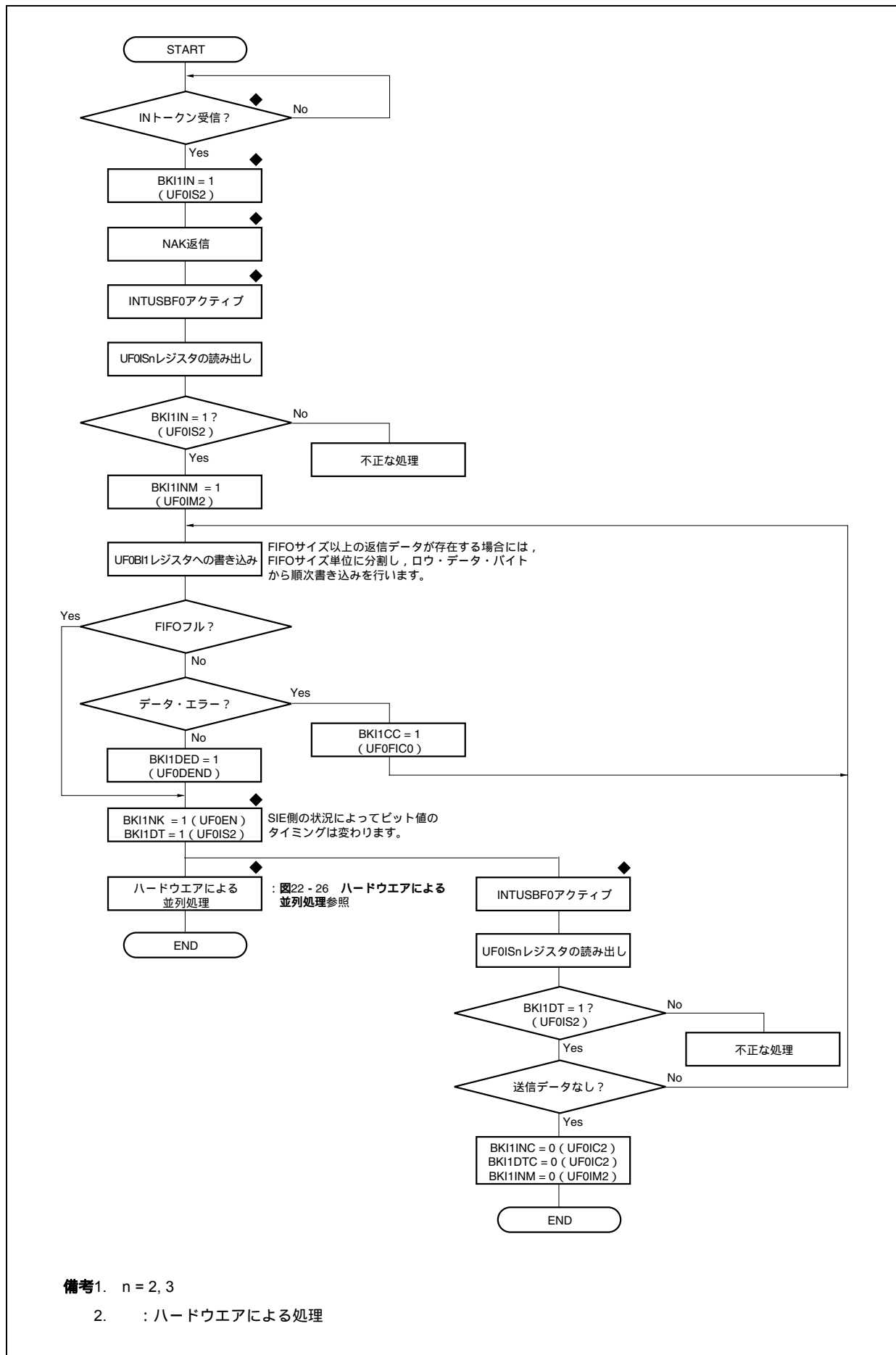
図22 - 24 コントロール転送に対するCPUDECリクエスト (12/12)



(4) バルク転送 (IN) に対する処理

バルク転送 (IN) は、Endpoint1およびEndpoint3に割り当てられています。次に示すフロー・チャートは、Endpoint1に対する制御フローです。Endpoint3についても、同じシーケンスで制御できます。したがって、Endpoint3に対する制御フローとして使用する場合は、フロー中のEndpoint1に対するビット名をEndpoint3に対するビット名に読み替えてください。

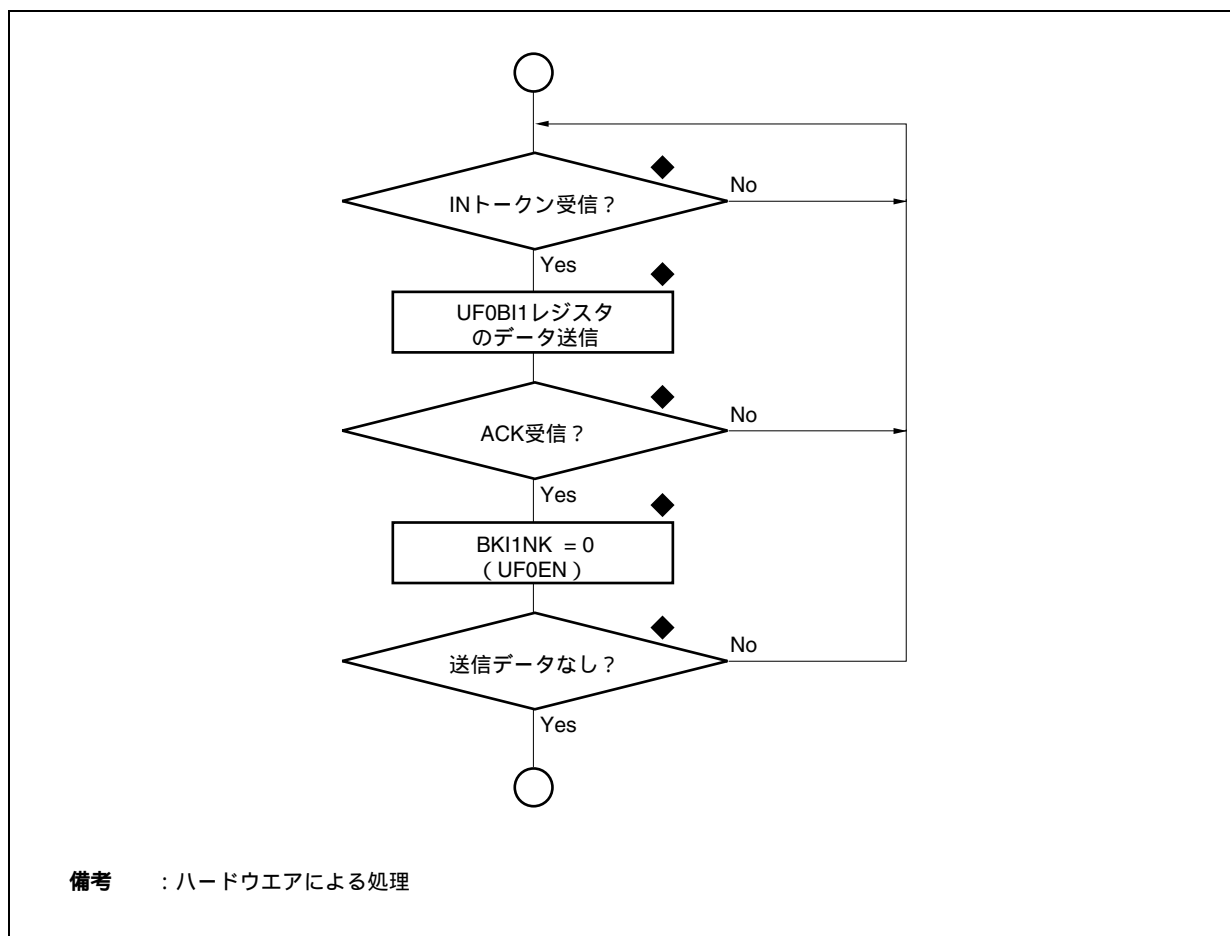
図22 - 25 バルク転送 (IN) に対する処理 (Endpoint1の場合)



備考1. n = 2, 3

2. : ハードウェアによる処理

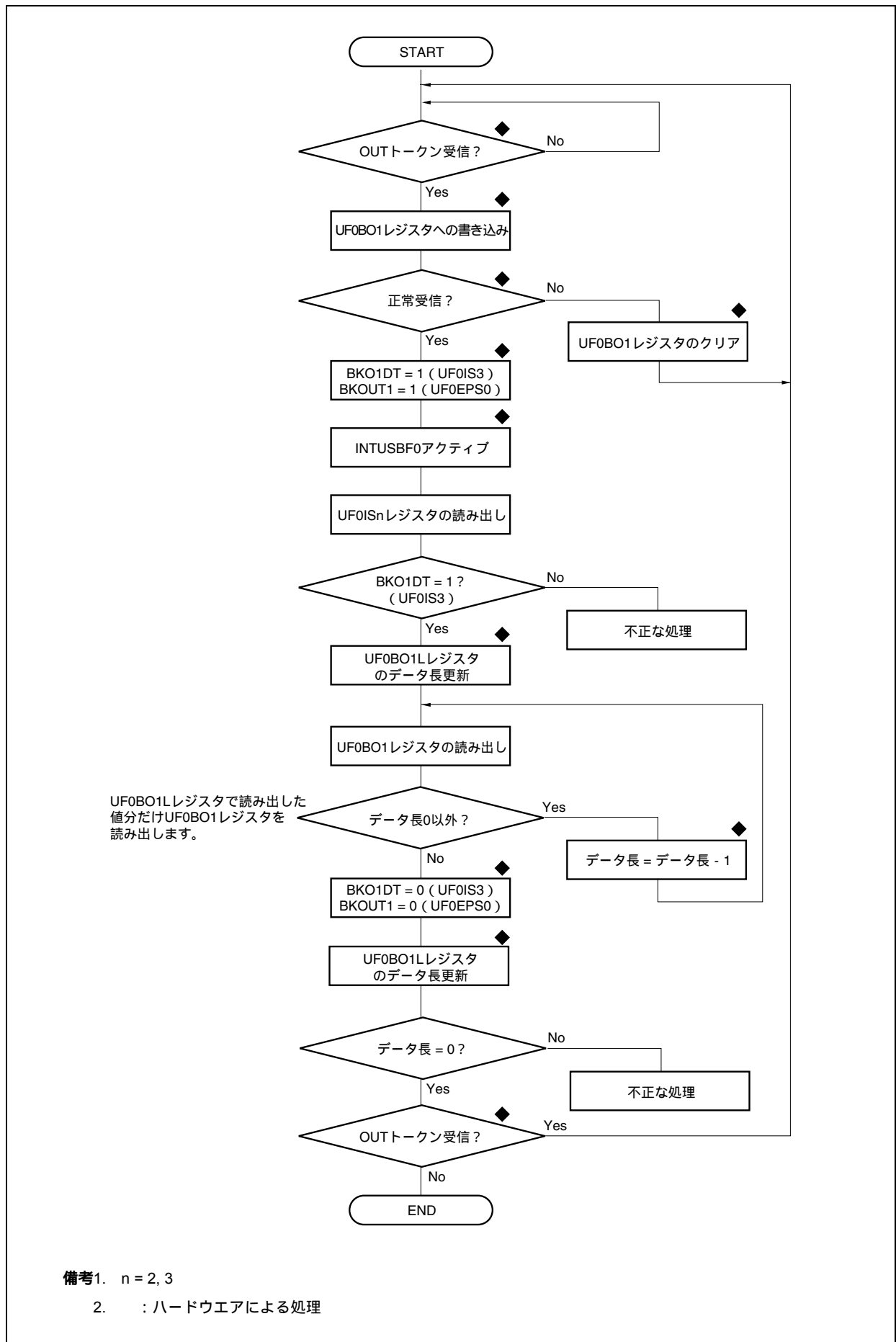
図22 - 26 ハードウェアによる並列処理



(5) バルク転送 (OUT) に対する処理

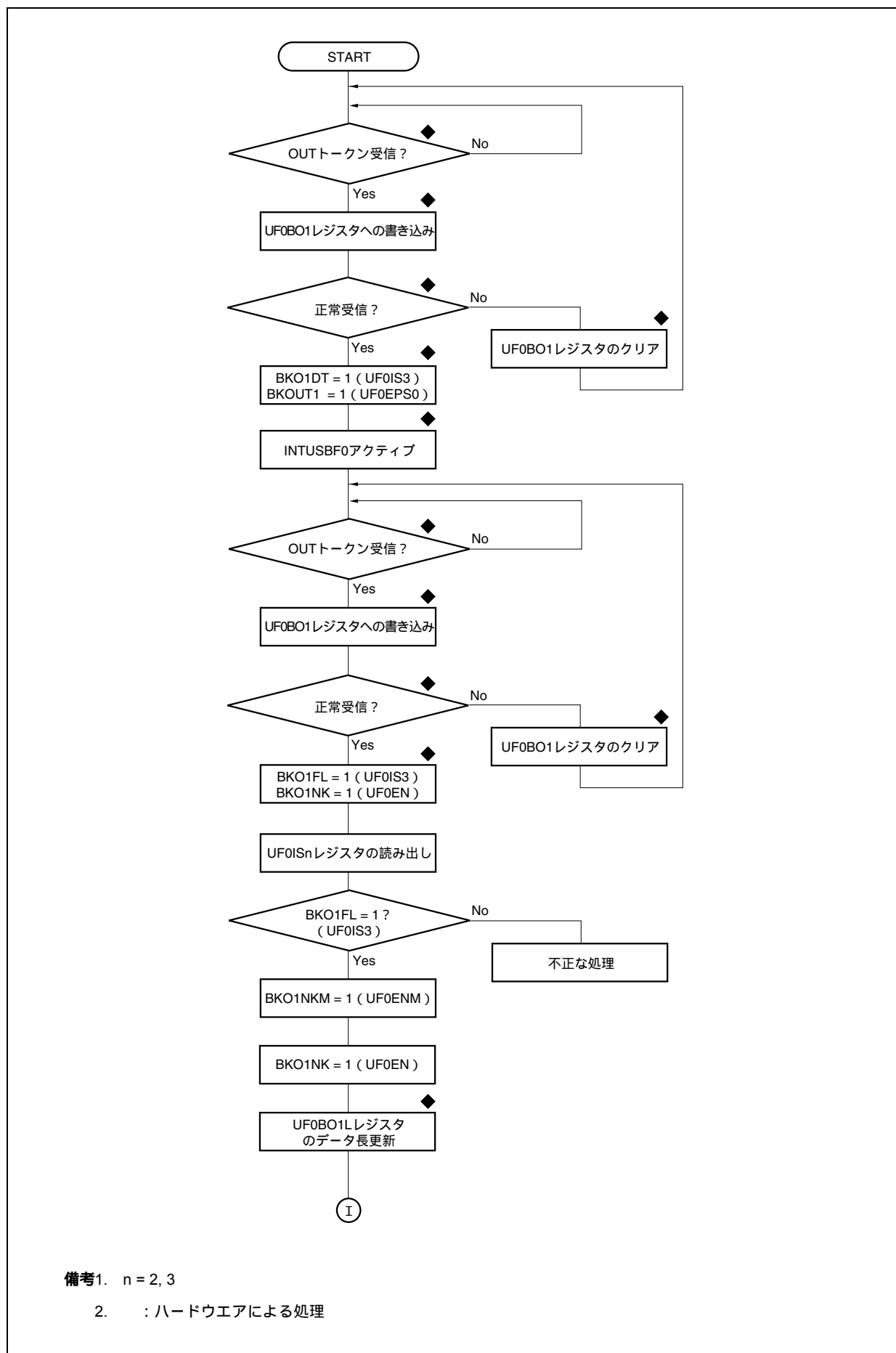
バルク転送 (OUT) は、Endpoint2およびEndpoint4に割り当てられています。次に示すフロー・チャートは、Endpoint2に対する制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

図22 - 27 バルク転送 (OUT) に対する通常処理 (Endpoint2の場合)



なお、バルク転送 (OUT) に関してシステムが期待するデータ量以上のデータがホストから送信されてくる場合も考えられます。V850ES/JH3-E, V850ES/JJ3-Eでは、USBバスの転送レートがアップし、できるかぎりNAK応答しないようにバス側のアクセス中でもCPU側からの読み出しができるようにバルク転送 (OUT) のEndpoint2およびEndpoint4は、64バイトのダブル・バッファ構成になっています。このため、ホストがシステムの期待するデータ量以上のデータを送ってくると、最悪128バイト分、余計に自動受信する可能性があります。この場合、システムの期待するデータ量が残り2パケット分になった時点で、Endpoint2およびEndpoint4に対する通常処理から次に示す制御フローに切り替えてください。フロー・チャートは、Endpoint2に対する制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

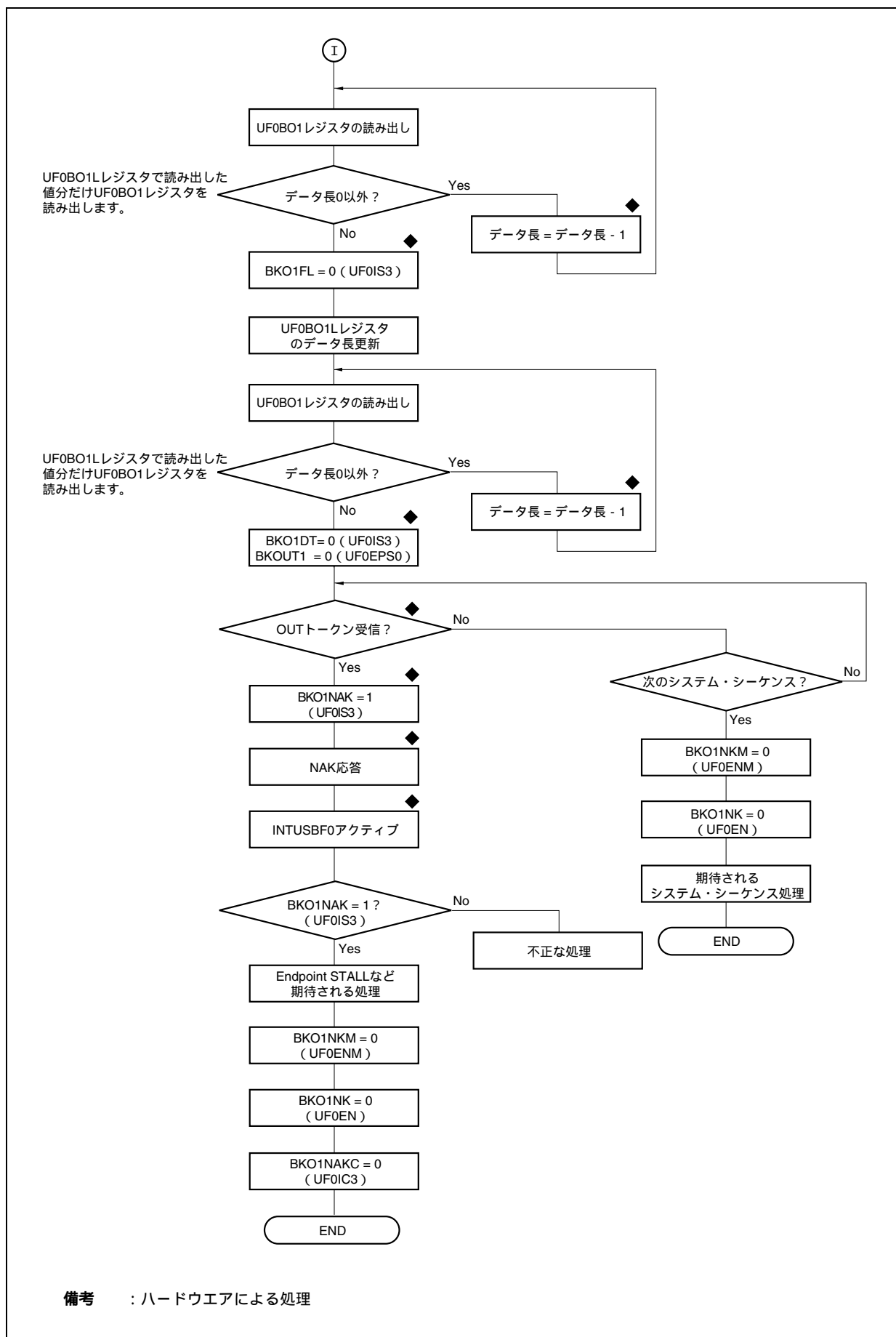
図22 - 28 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2の場合) (1/2)



備考1. n = 2, 3

2. : ハードウェアによる処理

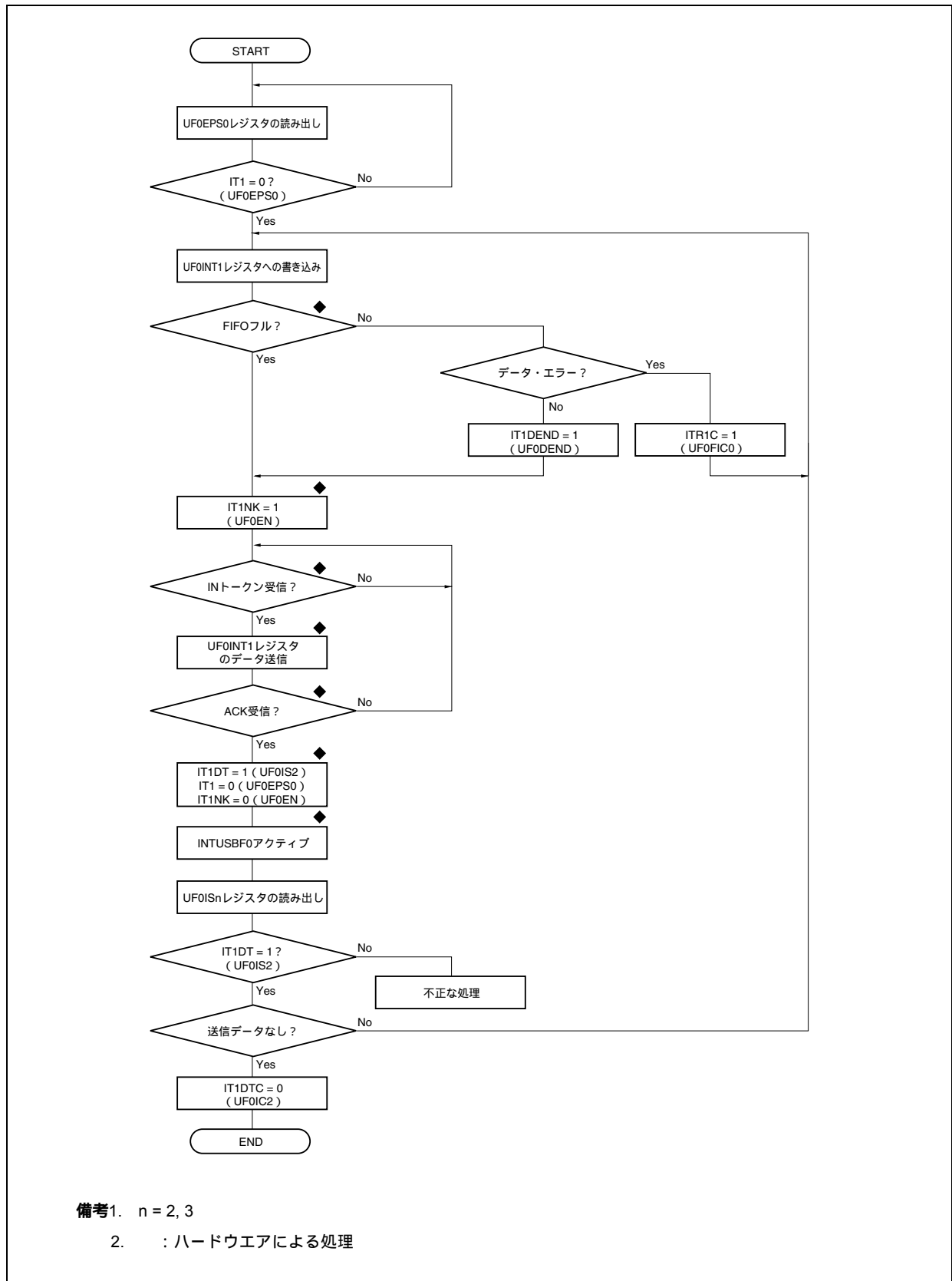
図22 - 28 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2の場合) (2/2)



(6) インタラプト転送 (IN) に対する処理

インタラプト転送 (IN) は、Endpoint7に割り当てられています。図22 - 29にフロー・チャートを示します。

図22 - 29 インタラプト転送 (IN) に対する処理 (Endpoint7)



22.9.4 Suspend/Resume処理

Suspend/Resume処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図22 - 30 Suspend/Resume処理例 (1/3)

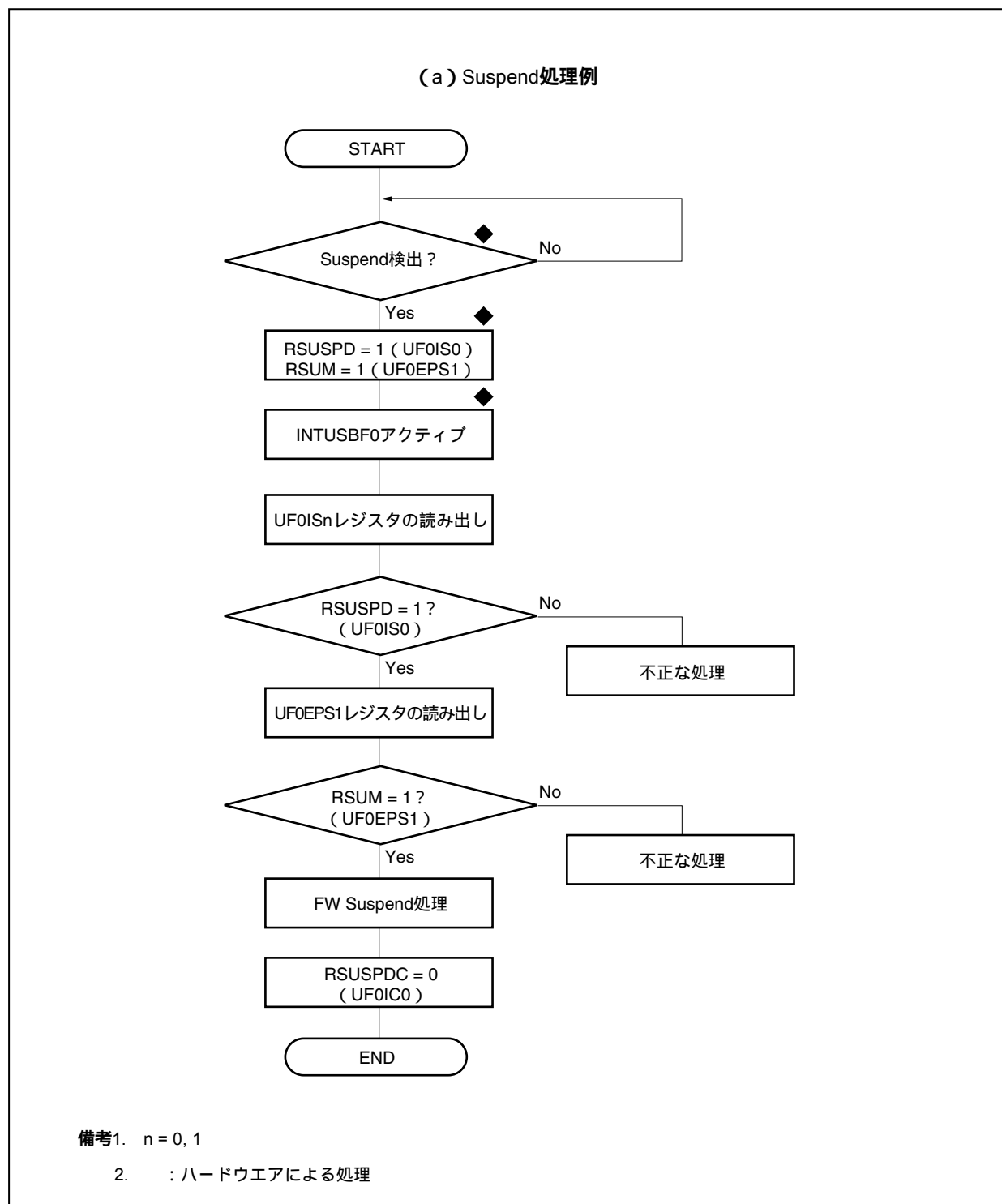


図22 - 30 Suspend/Resume処理例 (2/3)

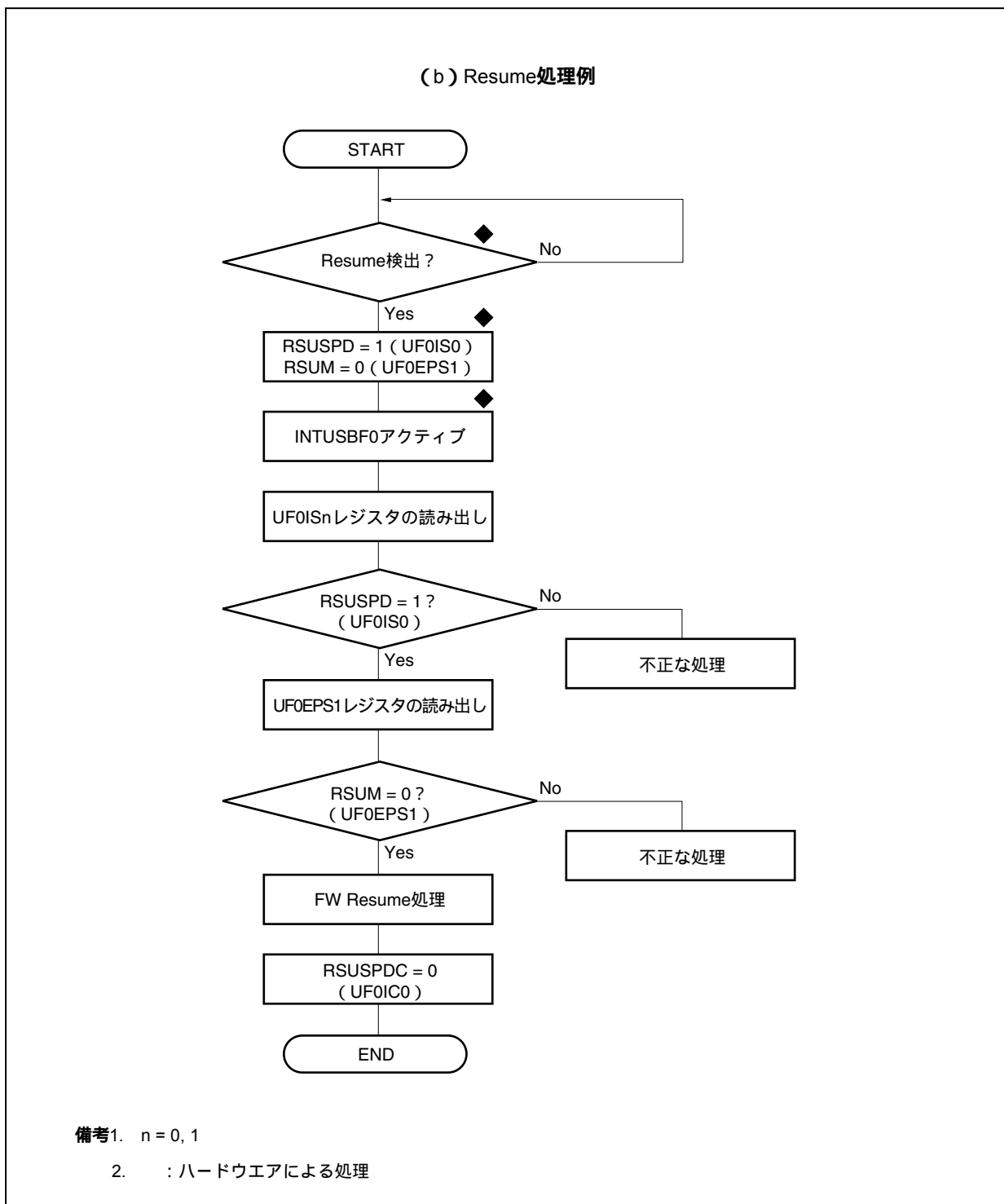
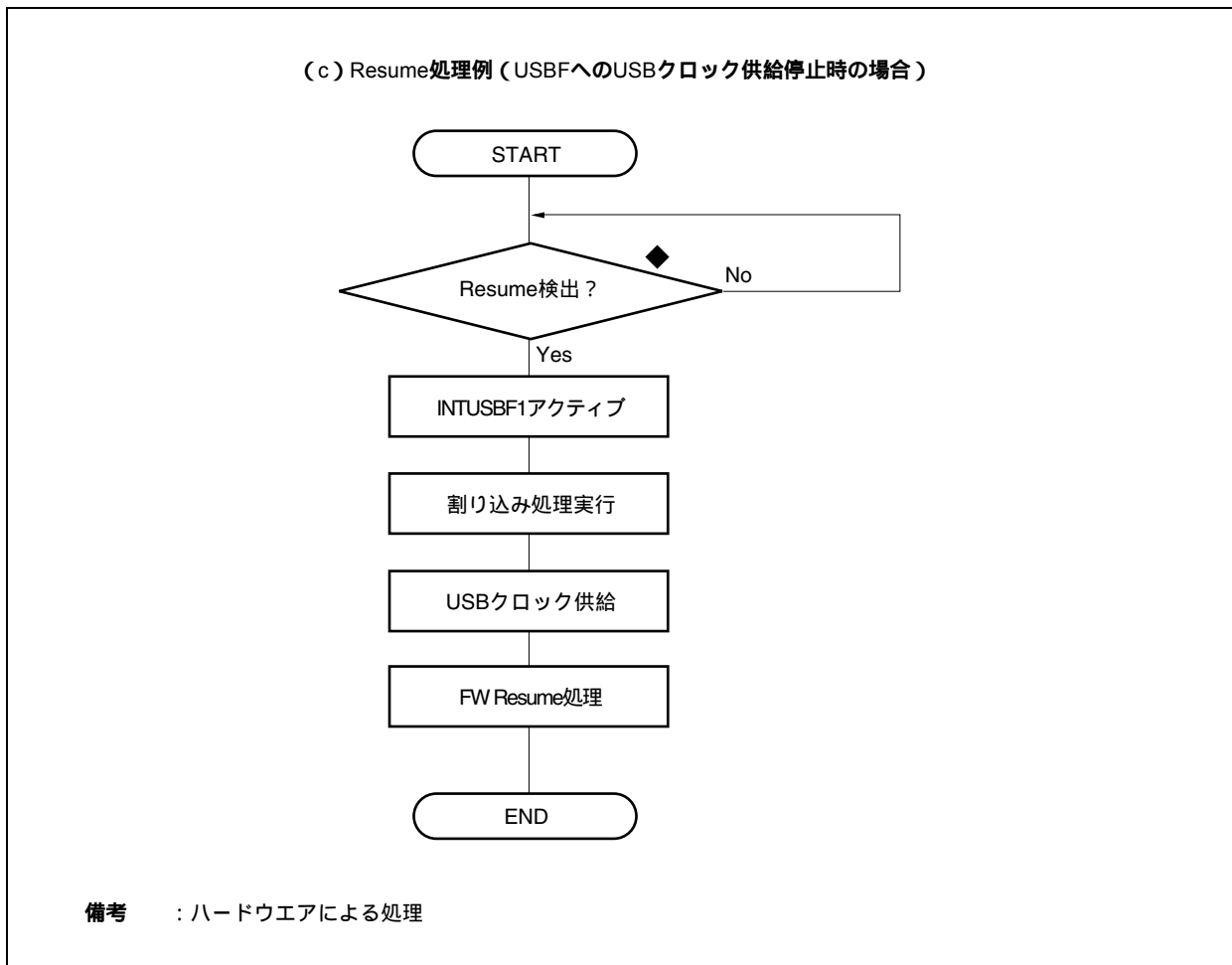


図22 - 30 Suspend/Resume処理例 (3/3)



22.9.5 電源投入後の処理

電源投入後の処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図22 - 31 電源投入後の処理 / 電源切断の処理例 (1/3)

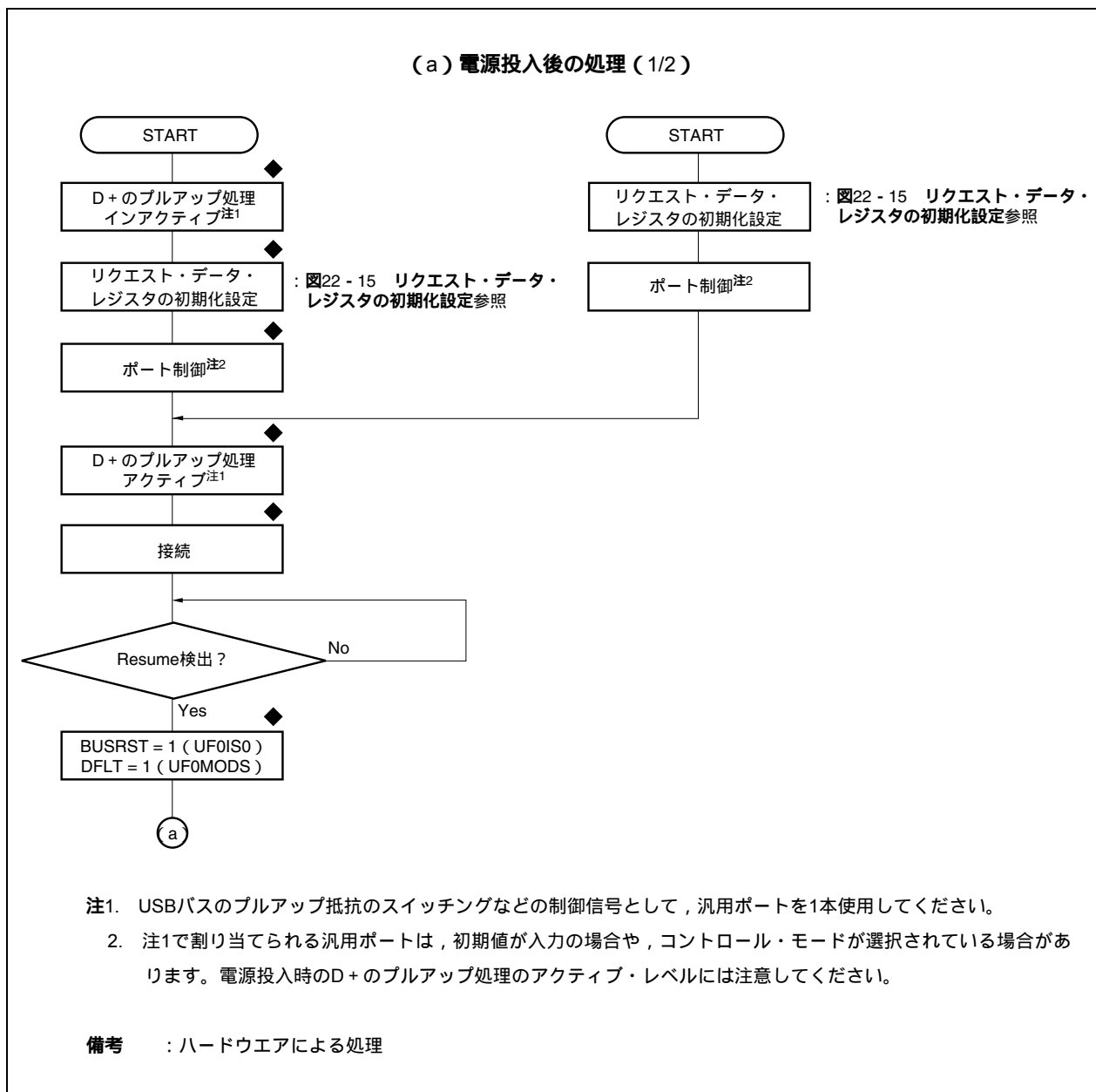


図22 - 31 電源投入後の処理 / 電源切断の処理例 (2/3)

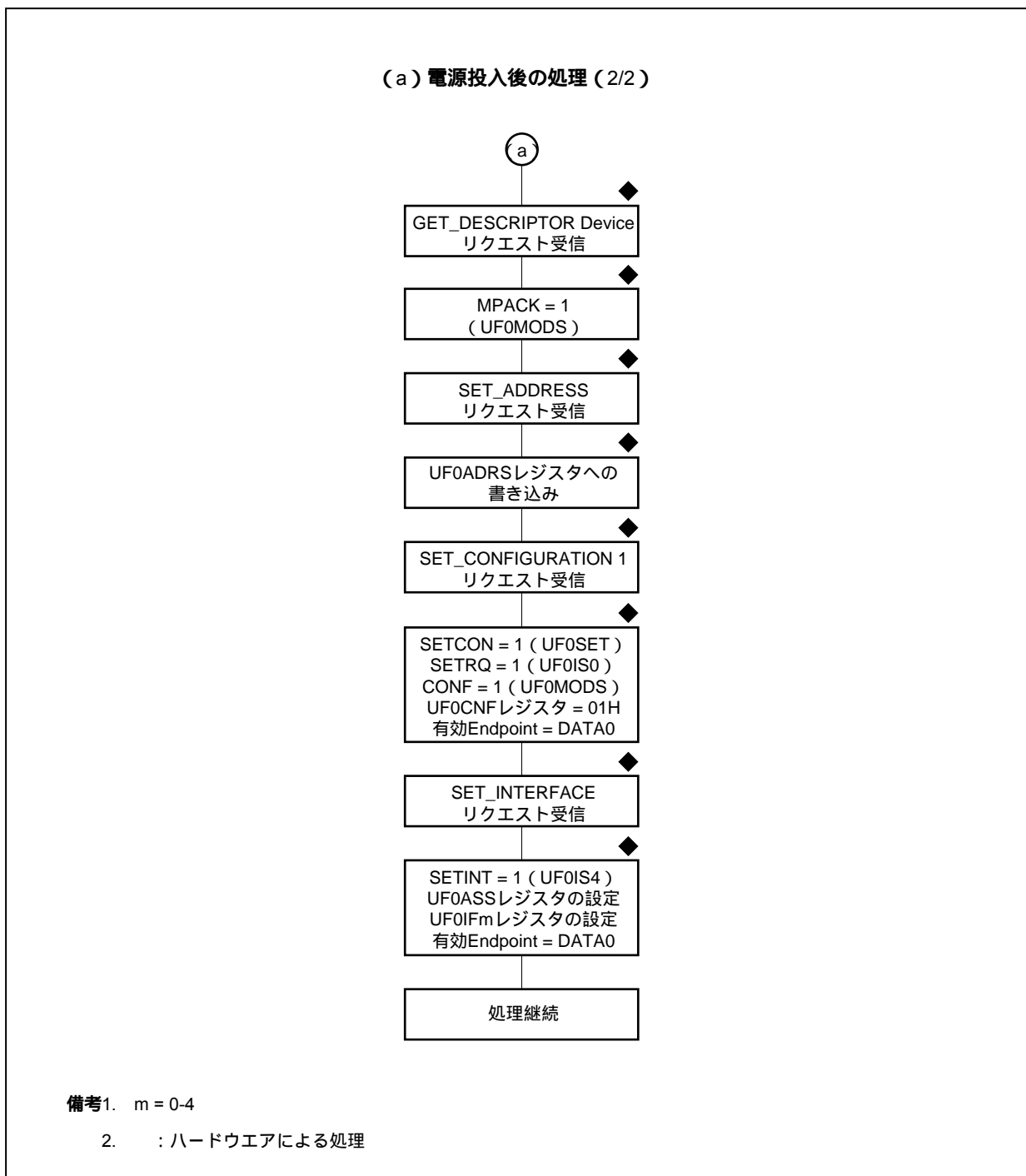
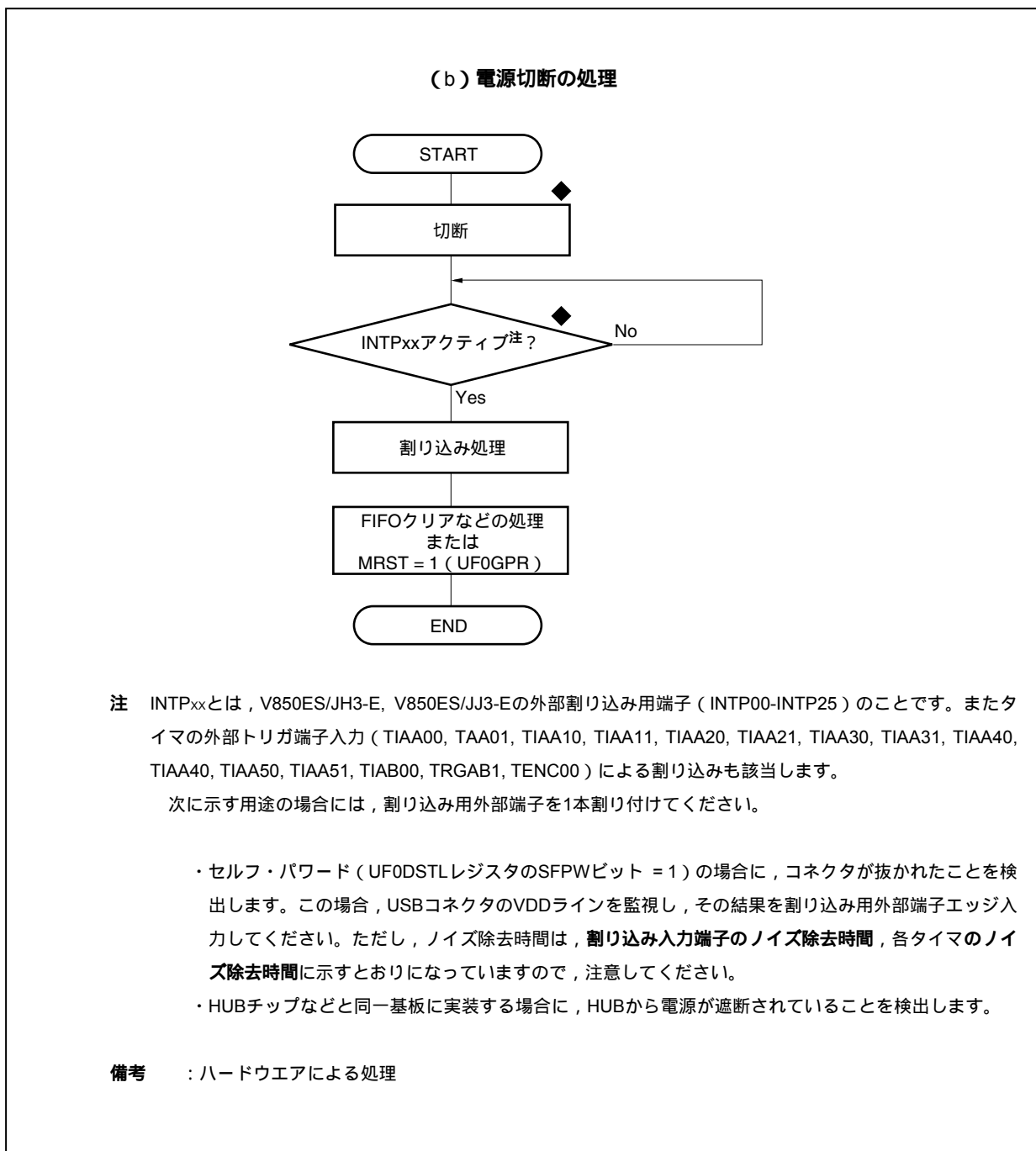


図22 - 31 電源投入後の処理 / 電源切断の処理例 (3/3)



22.9.6 DMAモードによるバルク転送 (OUT) のデータ受信方法

バルク転送 (OUT) はEndpoint2およびEndpoint4に割り当てられています。次に示すフロー・チャートは、Endpoint2に対してDMAを使用する場合の制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。また、次に示す制御フローでは、残りのデータの読み出しをCPUによって行う場合について示しています。

UF0IDRレジスタのDQBO1MSビットをセット (1) することで、バルク転送 (OUT) のデータを正常受信した場合には、割り込み要求 (INTUSBF0) の代わりにEndpoint2用DMA要求信号がアクティブになります。UF0IDRレジスタのMODEnビットの設定によりEndpoint2用DMA要求信号は動作します ($n = 0, 1$)。UF0BO1レジスタに保持されていたデータをDMAですべて読み出した場合、いったんEndpoint2用DMA要求信号はインアクティブになります。この状態で次のバルク転送 (OUT) のデータを正常に受信した場合、Endpoint2用DMA要求信号は再度アクティブになります。受信したバルク転送 (OUT) のデータがFIFOサイズ以下の場合には、DMAでの読み出し完了と同時にShort割り込み要求を発行し、同時にINTUSBF0 (EP2_ENDINT) 信号がアクティブになります。再度、DMAで読み出しをする場合にはDQBO1MSビットを再度セット (1) してください。DMAの完了をEndpoint2用DMA終了信号により行った場合、UF0IDRレジスタのDQBO1MSビットがクリア (0) され、Endpoint2用DMA要求信号はインアクティブになります。また、同時にDMA_END割り込み要求が発行されます。このとき、UF0BO1レジスタにデータが残っている場合、UF0IDRレジスタのDQBO1MSビットを再度セット (1) すると、再度DMAが起動されますが、バルク転送 (OUT) のデータは必ずFIFOサイズ以下になります。このため、DMAでの読み出し完了と同時に、Short割り込み要求の発行、INTUSBF0 (EP2_ENDINT) 信号のアクティブ、DQBO1MSビットのクリア、Endpoint2用DMA要求信号のインアクティブが起こります。

- 注意1. デマンド・モード (UF0IDRレジスタのMODE1, MODE0ビット = 10) では転送データがあるかぎり、常にEndpoint n用DMA要求信号がアクティブになります ($n = 2, 4$)。**
- バルク転送 (OUT) でShortパケット (63 バイト以下) のデータを対象としてDMA転送では、転送終了後UF0IC0.SHORTCビットに0を書き込み、UF0IS0.SHORTビットをクリア (0) してください。SHORTビットがクリア (0) されない場合、DMASTOP_EPnB信号がアサートされ、次のDMA転送動作を行えません。**

(1) バルク転送 (OUT : EP2, EP4) の初期設定

(a) DMACの初期設定

- ・ DSA_nレジスタ (n = 0-3) = 00210000H (EP2対象時) / 00220000H (EP4対象時)
- ・ DADC_nレジスタ (n = 0-3) = 0080H

(8ビット転送, 転送元アドレス: 固定, 転送先アドレス: インクリメント)

- ・ DTFR_nレジスタ (n = 0-3) = 0000H
- ・ UFDRQENレジスタ: 使用するDMAチャンネルに合わせて設定

(21. 6. 10 (1) USBF DMAリクエスト・イネーブル・レジスタ (UFDRQEN) 参照)

(b) EPCの初期設定

- ・ UF0IDRレジスタ = 12H (EP2対象時) / 22H (EP4対象時) [デマンド・モード]
- ・ UF0IM0.DMAEDMビット = 0
- ・ UF0IM3.BKO1NLMビット = 0 (EP2対象時)
- ・ UF0IM3.BKO1DTMビット = 0 (EP2対象時)
- ・ UF0IM3.BKO2NLMビット = 0 (EP4対象時)
- ・ UF0IM3.BKO2DTMビット = 0 (EP4対象時)

図22 - 32 バルク転送 (OUT) によるDMA処理 (1/3)

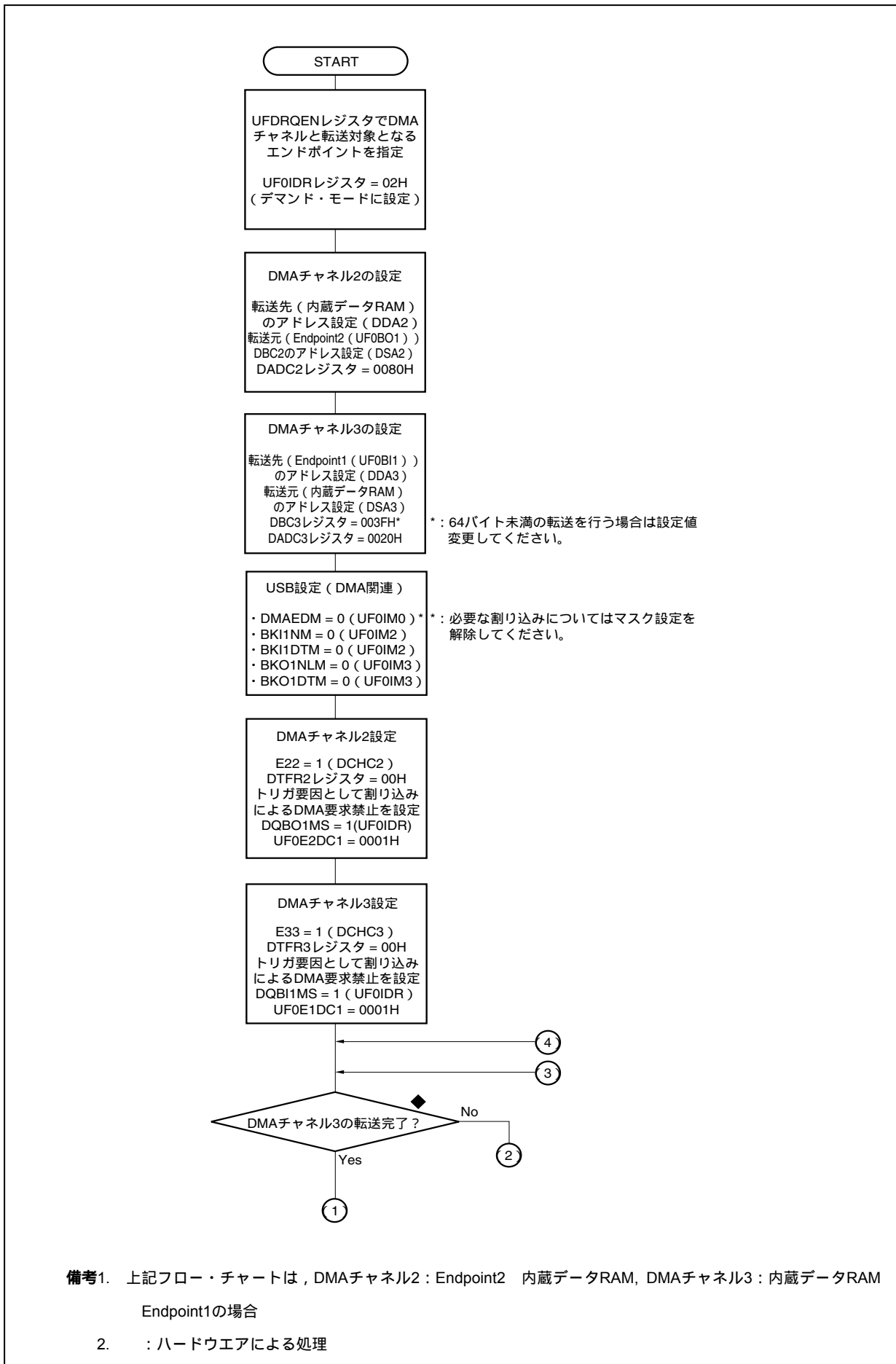


図22 - 32 バルク転送 (OUT) によるDMA処理 (2/3)

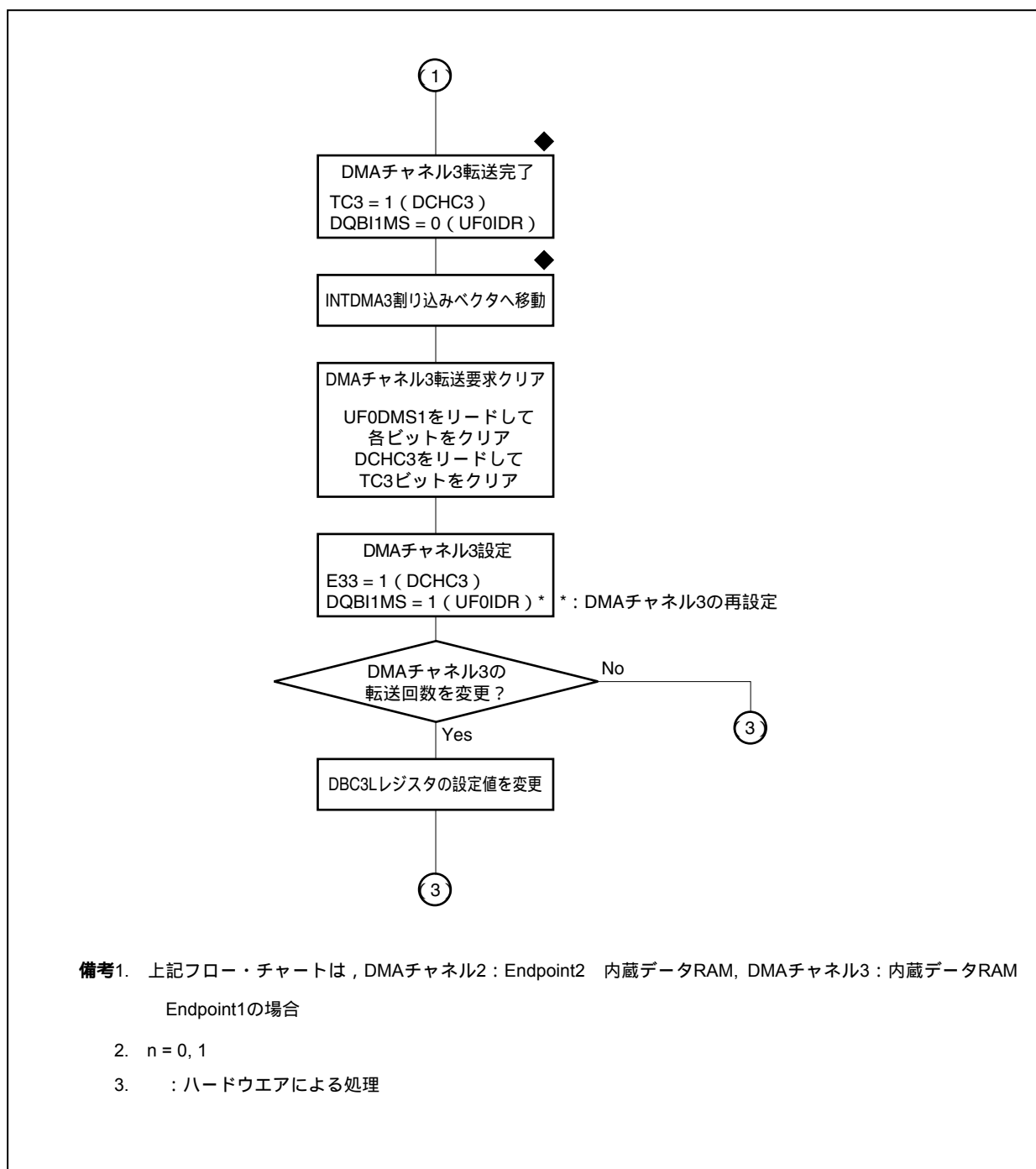
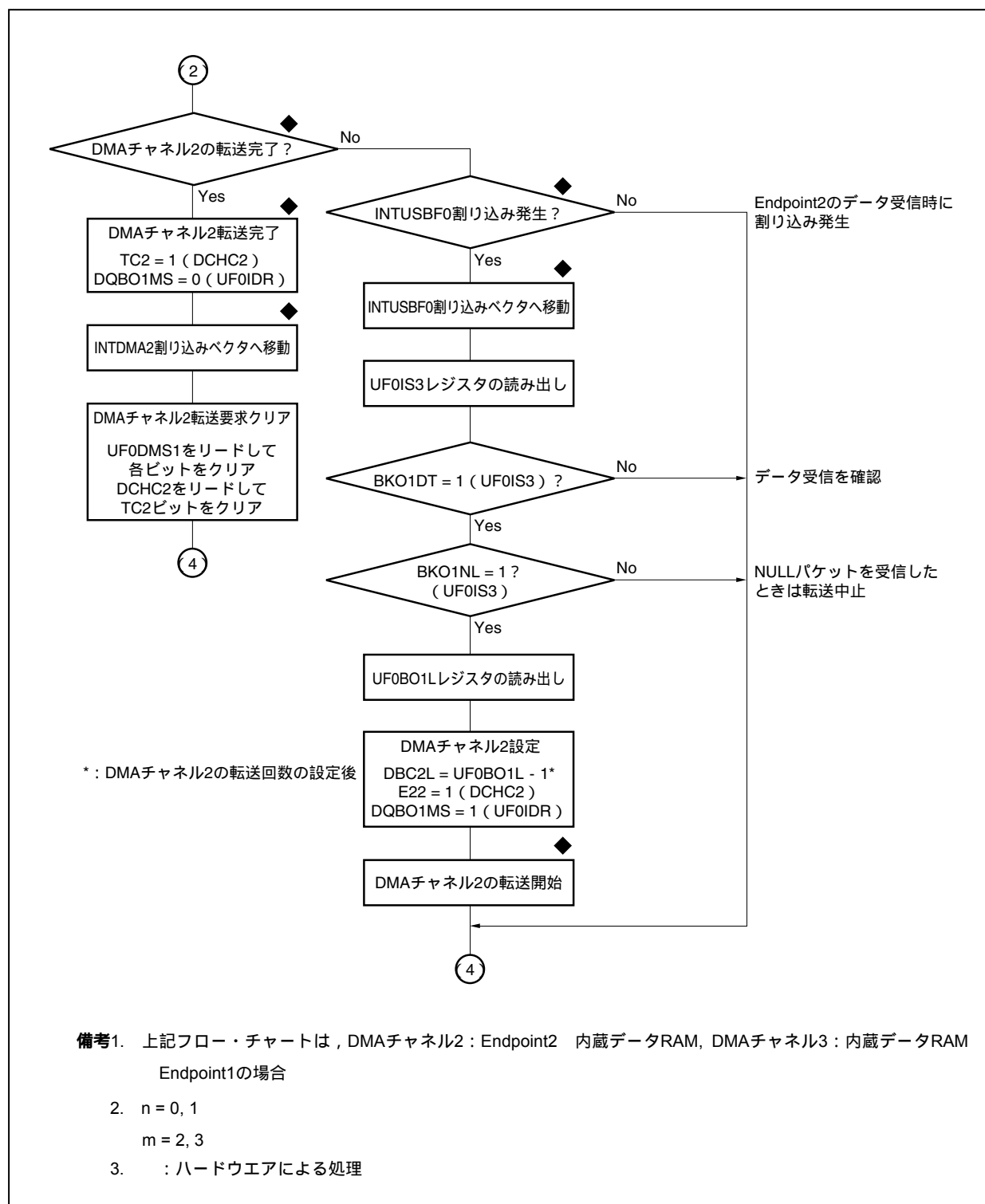


図22 - 32 バルク転送 (OUT) によるDMA処理 (3/3)



22.9.7 DMAモードによるバルク転送 (IN) のデータ送信方法

バルク転送 (IN) はEndpoint1およびEndpoint3に割り当てられています。次に示すフロー・チャートは、Endpoint1に対してDMAを使用する場合の制御フローです。Endpoint3についても、同じシーケンスで制御できます。したがって、Endpoint3に対する制御フローとして使用する場合は、フロー中のEndpoint1に対するビット名をEndpoint3に対するビット名に読み替えてください。

UF0IDRレジスタのDQBI1MSビットをセット (1) することで、バルク転送 (IN) のデータを書き込める場合には、割り込み要求 (INTUSBF0) の代わりにEndpoint1用DMA要求信号がアクティブになります。UF0IDRのMODEnビットの設定によりEndpoint1用DMA要求信号は動作しません ($n = 0, 1$)。UF0B1レジスタに書き込み可能な量のデータをDMAですべて書き込んだ場合、いったんEndpoint1用DMA要求信号はインアクティブになります。この状態でFIFOのトグル動作が発生し、バルク転送 (IN) のデータを書き込める場合、Endpoint1用DMA要求信号は再度アクティブになります。なお、DMA転送によってFIFOがフルになってもUF0DENDレジスタのBKI1Tビットがセット (1) されていないとFIFOの自動トグル動作は実行しません。このため、データ転送を行うために必ずUF0DENDレジスタのBKI1DEDをセット (1) してください。DMAの完了をEndpoint1用DMA終了信号により行った場合には、UF0IDRレジスタのDQBI1MSビットがクリア (0) され、Endpoint1用DMA要求信号はインアクティブになります。また、同時にDMA_END割り込み要求が発行されます。このとき、FIFOがフルになっていない状態で、そのままショート・パケットを送信する場合には、UF0DENDレジスタのBKI1DEDビットをセット (1) してください。

- 注意1.** デマンド・モード (UF0IDRレジスタのMODE1, MODE0ビット = 10) ではデータ転送が可能であるかぎり、常にEndpoint n用DMA要求信号がアクティブになります ($n = 1, 3$)。
2. シングル・モード (UF0IDRレジスタのMODE1, MODE0ビット = 0X (X : don't care)) ではデータ転送が可能な場合、Endpoint n用DMA要求信号がアクティブになりますが、1バイト転送ごとにインアクティブになります ($n = 1, 3$)。最終的に転送データがなくなるまで、この動作を繰り返します。

(1) バルク転送 (IN : EP1, EP3) の初期設定

(a) DMACの初期設定

- ・ DDA_nレジスタ ($n = 0-3$) = 00201000H (EP1対象時) / 00202000H (EP3対象時)
- ・ DADC_nレジスタ ($n = 0-3$) = 0020H
(8ビット転送, 転送元アドレス: インクリメント, 転送先アドレス: 固定)
- ・ DTFR_nレジスタ ($n = 0-3$) = 0000H
- ・ UFDRQEN使用するDMAチャンネルに合わせて設定
(21.6.10(1) USBF DMAリクエスト・イネーブル・レジスタ (UFDRQEN) 参照)

(b) EPCの初期設定

- ・ UF0IDRレジスタ = 42H (EP1対象時) / 82H (EP3対象時) [デマンド・モード]
- ・ UF0IM0.DMAEDMビット = 0
- ・ UF0IM2.BKI1NLMビット = 0 (EP1対象時)
- ・ UF0IM2.BKI1DTMビット = 0 (EP1対象時)
- ・ UF0IM2.BKI2NLMビット = 0 (EP3対象時)
- ・ UF0IM2.BKI2DTMビット = 0 (EP3対象時)

図22 - 33 バルク転送 (IN) によるDMA処理 (1/4)

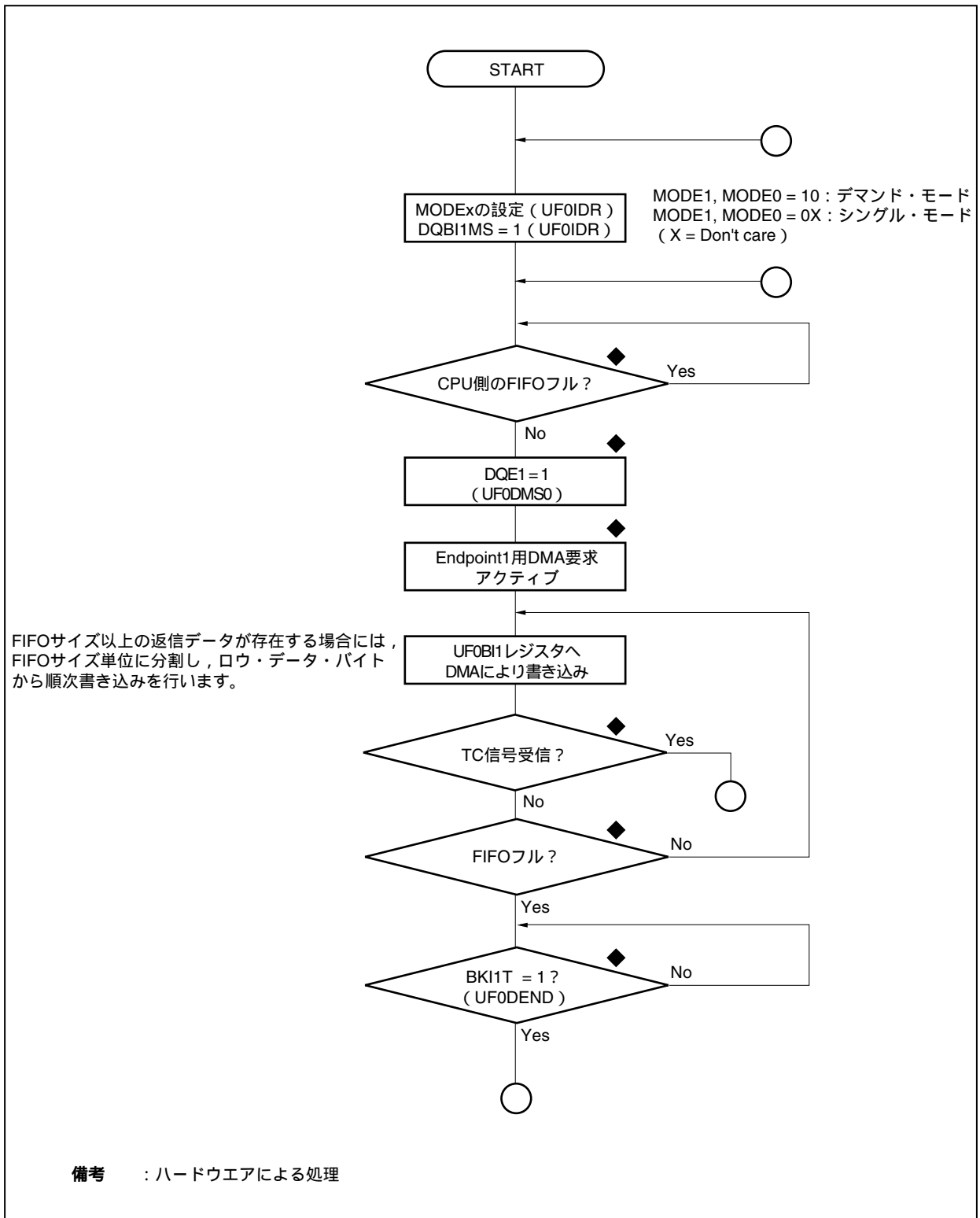


図22 - 33 バルク転送 (IN) によるDMA処理 (2/4)

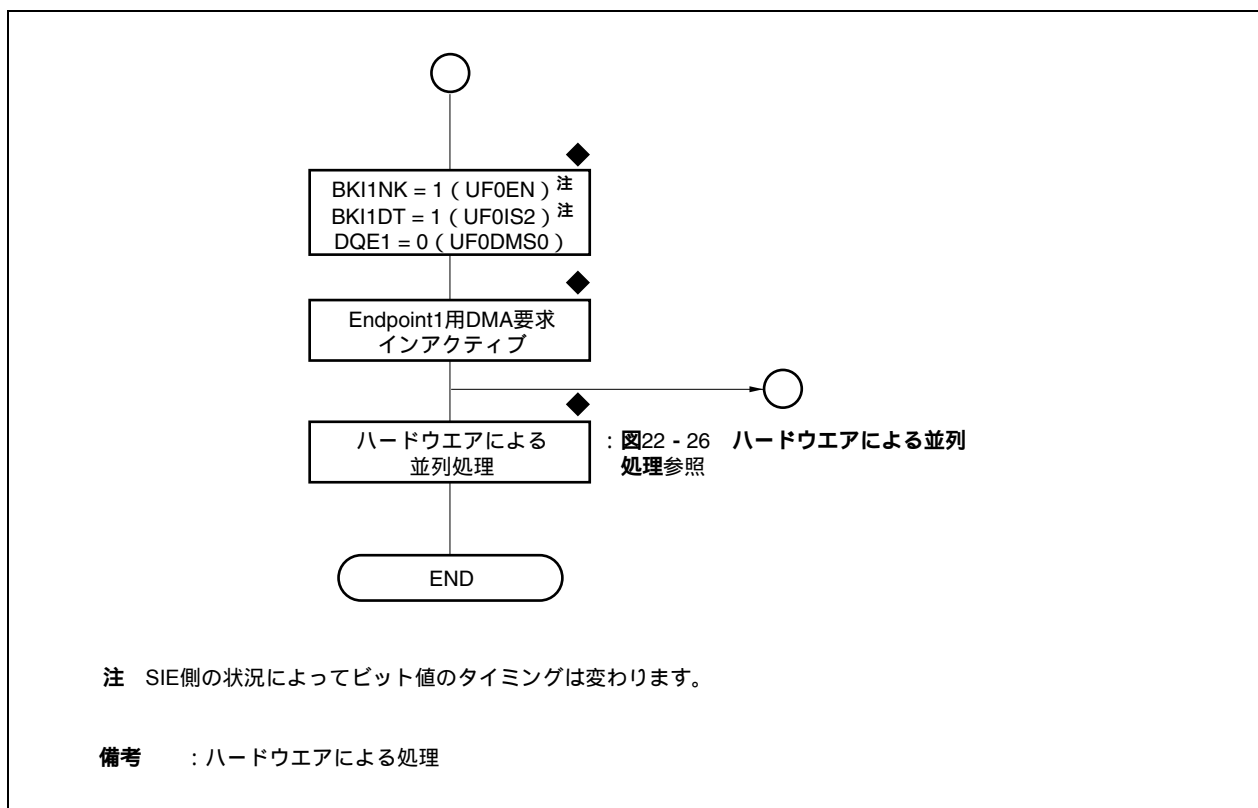


図22 - 33 バルク転送 (IN) によるDMA処理 (3/4)

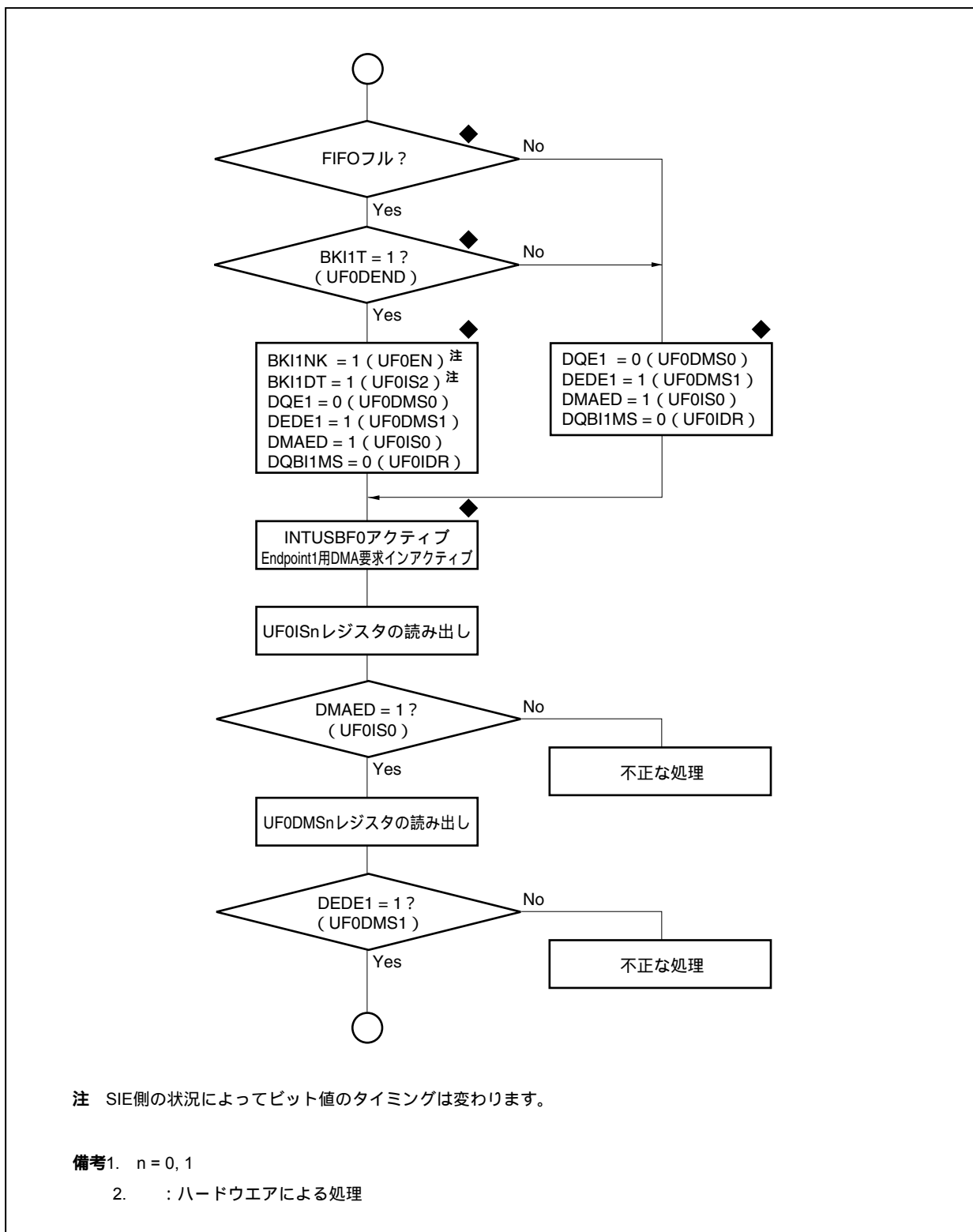
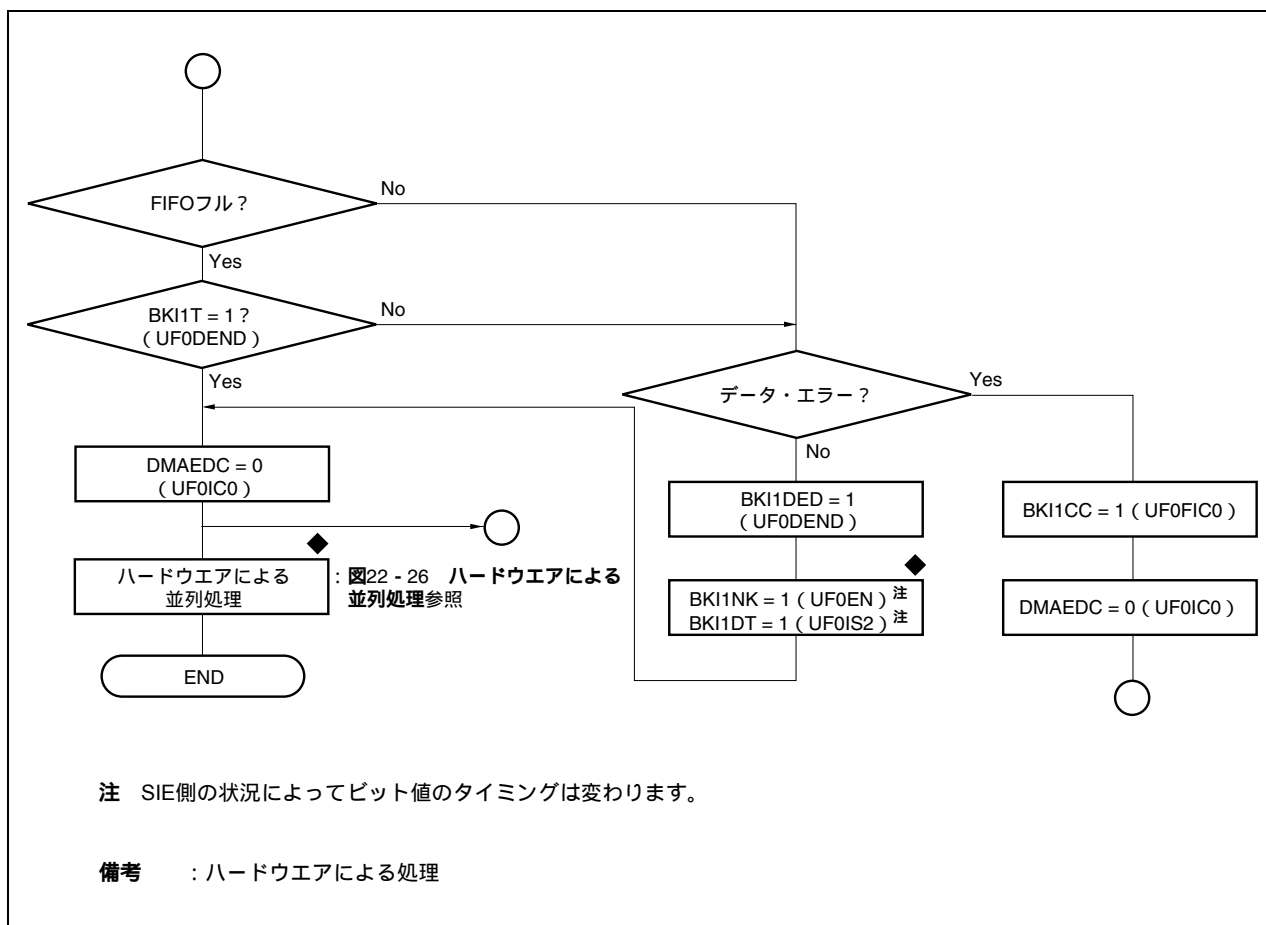


図22 - 33 バルク転送 (IN) によるDMA処理 (4/4)



第23章 イーサネット・コントローラ

23.1 概 説

イーサネット・コントローラは、IEEE802.3に準拠した10/100 Mbps Ethernet Media Access Controller (MAC) と、フロー制御機能を持つFIFO、およびRFC1071に準拠したチェックサム計算機能(受信のみ)を持ちます。

23.1.1 機 能

(1) MAC 機能

- ・ IEEE802.3 (1998 Edition) に準拠した10/100 Mbps全二重通信、および半二重通信、フロー制御をサポート
- ・ 物理層デバイス (PHY) インタフェースとしてMIIをサポート
- ・ シリアル・マネジメントによるPHYレジスタへのアクセスをサポート
- ・ RMON/SNMP (RFC2665, RFC2819) をサポートするための統計カウンタ機能内蔵
- ・ アドレス・タイプによるパケット・フィルタリング機能内蔵
- ・ VLAN検出機能内蔵

(2) FIFO 機能

- ・ 送受信FIFOサイズ: 送信FIFO (2 Kバイト)、受信FIFO (2 Kバイト)
- ・ FIFOステータス・レジスタ内蔵
- ・ 送受信ステータス、FIFOステータスにより割り込みを発生

(3) イーサネット・コントローラ専用 DMAC 機能

- ・ データ転送 (DMA) 機能
- ・ 受信ステータスDMA転送可能
- ・ バッファ・ディスクリプタの読み込み (ポインタ・チェイン形式)、解析、ライト・バック機能
- ・ パケット転送各種割り込み制御機能

(4) チェックサム計算機能

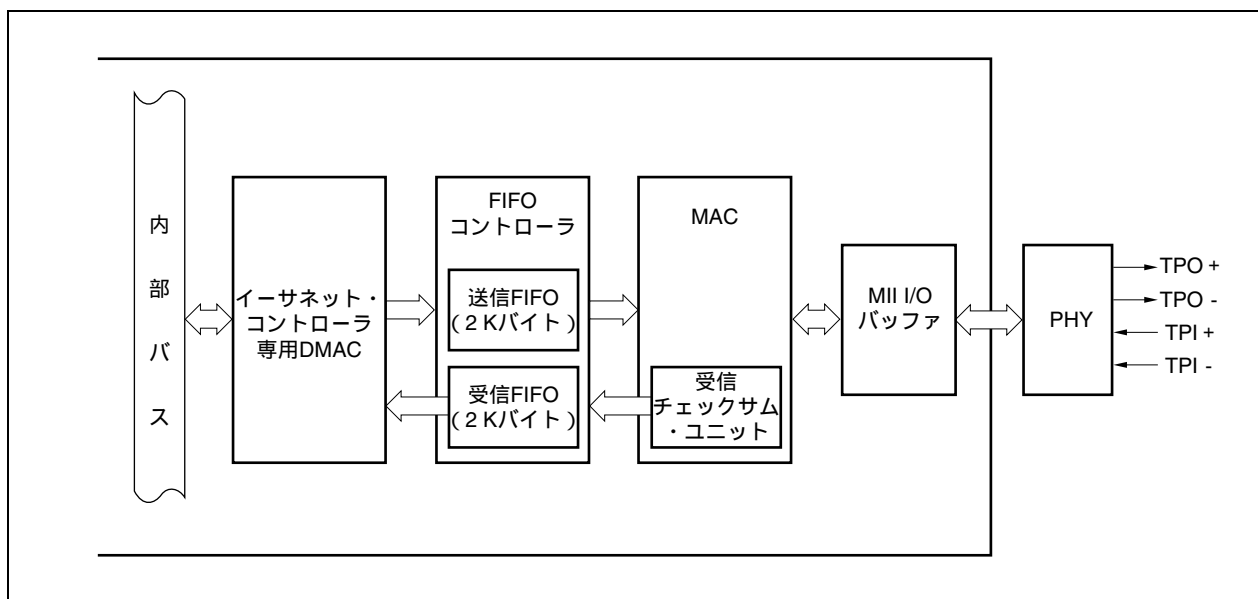
- ・ RFC1071に準拠した受信チェックサム計算機能内蔵
受信パケットに対して、MACヘッダ、FCSを自動判別して、疑似ヘッダを除く受信データの検証用チェックサムを生成。

23.2 構成

23.2.1 システム構成

イーサネット・コントローラとしてのデータの送受信処理は、すべて専用DMACで行います。また、IEEE802.3のMII (Media Independent Interface) に準拠し、MIIに対応したPHYデバイスを接続することで、10 Mbps, 100 Mbpsイーサネット環境を実現することができます。また、モードを切り替えることにより、全二重/半二重動作によるデータ通信が可能です。

図23 - 1 イーサネット・コントローラの構成



(1) MAC

MAC機能を内蔵し、外付けPHYデバイスとのMIIインタフェースをサポートしています。

・受信チェックサム・ユニット

受信チェックサム計算機能です。

(2) FIFO コントローラ

送受信のFIFOを制御しています。

送信用に2 Kバイト、受信用に2 KバイトのFIFOを内蔵しています。

(3) イーサネット・コントローラ専用 DMAC

内部バスとのデータ送受信を行うための、DMAコントローラを内蔵しています。

注意 イーサネット・コントローラとしてのデータの送受信処理は、すべてイーサネット・コントローラ専用DMACで行います。レジスタのリード/ライトなどにより、パケット単位を任意に送受信する機能はありません。

23.2.2 割り込み要求

イーサネット・コントローラの割り込み要因を次に示します。

表23 - 1 割り込み要求信号一覧

割り込み要求		割り込み要因
INTETMRQ	イーサネット受信データ・レディ割り込み	受信パケット読み出し要求
INTETMRX	イーサネット・パケット受信割り込み	パケット受信 (DMA) 完了の割り込み (RXI)
		受信 (DMA) エンド・オブ・チェーン割り込み (RECI)
		受信データ・バッファ・アクセス・エラー割り込み (RBEI)
INTETMTX	イーサネット・パケット送信割り込み	パケット送信 (DMA) 完了の割り込み (TXI)
		送信 (DMA) エンド・オブ・チェーン割り込み (TECI)
		送信データ・バッファ・アクセス・エラー割り込み (TBEI)
INTETMFS	イーサネットFIFOステータス割り込み	FIFOステータス (FSTATUS) 割り込み
INTETMTS	イーサネット送信ステータス割り込み	送信ステータス (TXSTATUS) 割り込み
INTETMRS	イーサネット受信ステータス割り込み	受信ステータス (RXSTATUS) 割り込み
INTETMOV	イーサネットMAC割り込み	統計カウンタ・オーバ・フロー (CARRYステータス)
INTETBER	イーサネット・エラー割り込み	通信エラー要因発生

- ・ 各割り込み要因は、要因ごとに割り込みマスクを設定可能です。割り込みをマスクしている場合に割り込み要因が発生した場合、対応するステータス・レジスタはセットされますが、割り込み要求は発生しません。
- ・ 同時にいくつかの要因が発生する場合には、割り込みレジスタを読み出すことを推奨します。

23.3 初期設定

V850ES/Jx3-Eのイーサネット・コントローラを使用する際には、次の手順で初期化を行ってください。

1. イーサネット・コントローラの動作許可
2. Media Access Controller (MAC) の初期化
3. FIFOコントローラの初期化
4. DMAコントローラの初期化
5. 各種割り込みの設定

図23 - 2 イーサネット・コントローラ初期化 (1/2)

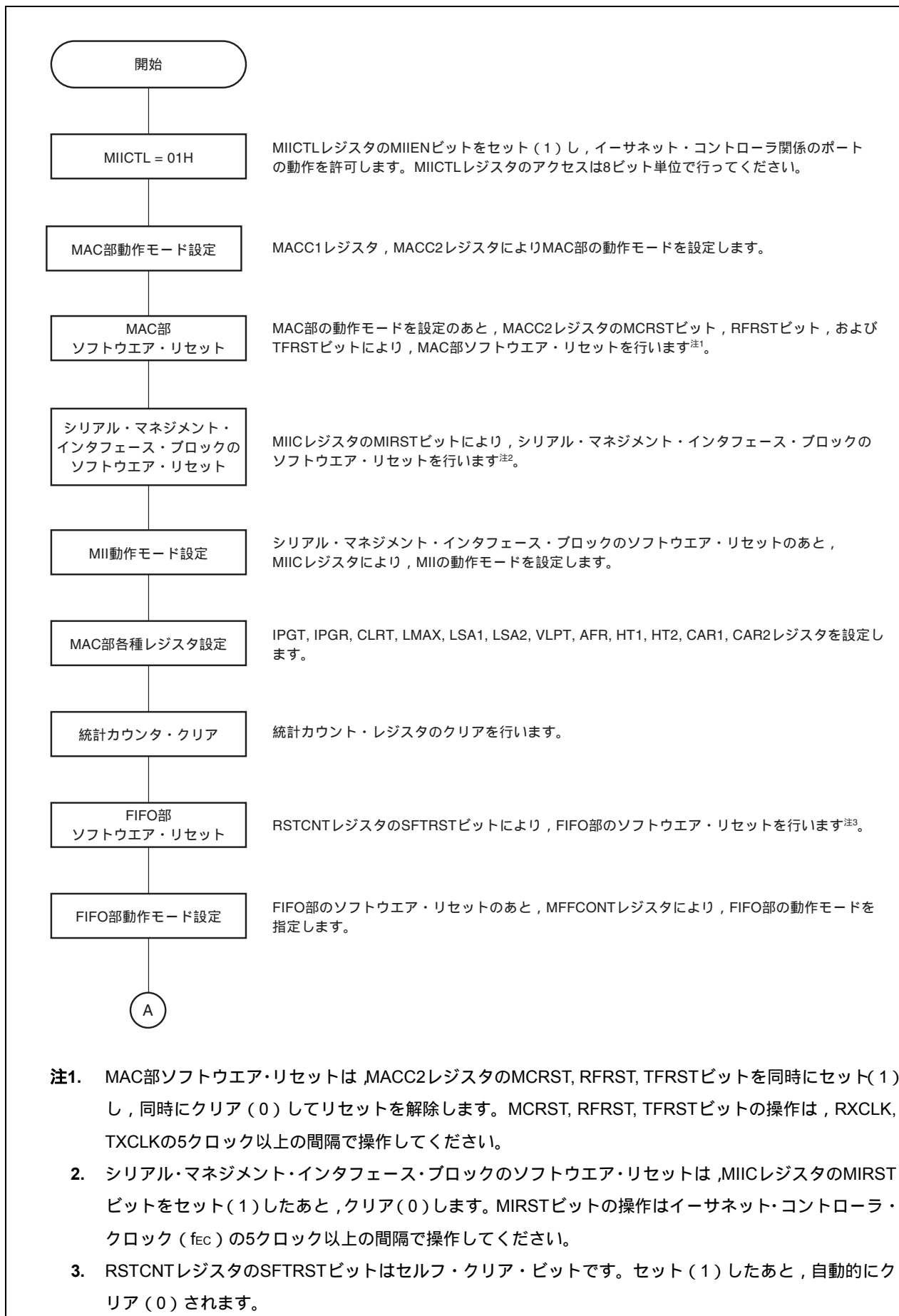
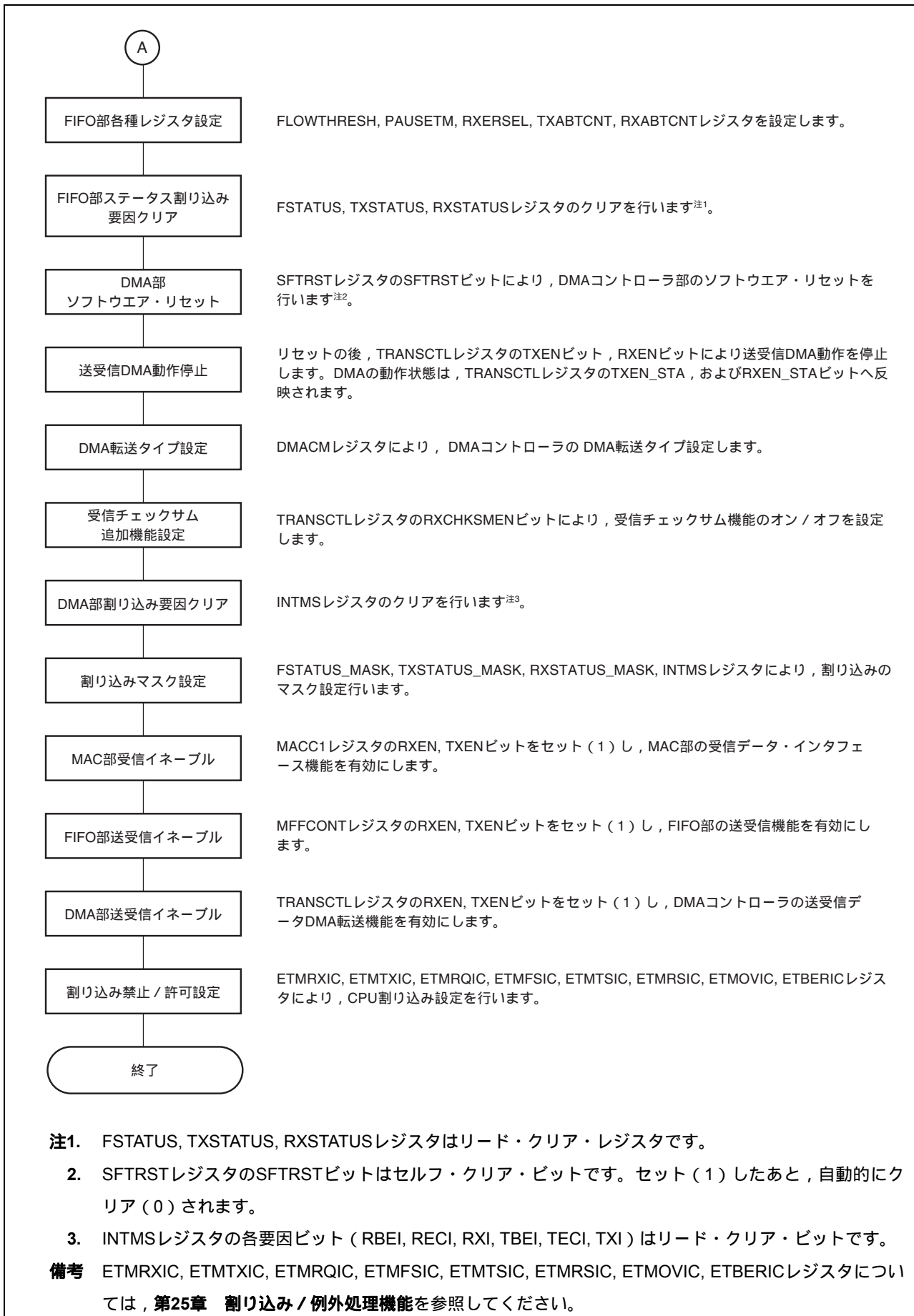


図23 - 2 イーサネット・コントローラ初期化 (2/2)



23.4 イーサネット・コントローラ制御レジスタ

(1) レジスタ設定手順

制御レジスタの値を更新する場合、フレームの送受信 / DMAが停止している状態で行ってください。

動作中にレジスタの更新を行った場合、動作は保証しません。

イーサネット・コントローラを使用する場合、使用するポートを動作許可にするためにイーサネット・コントロール・レジスタ (MIICTL) を設定する必要があります。

(2) MIICTL : イーサネット・コントロール・レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFFF FBE0_H

初期値 00_H。すべてのリセットに対して初期値にクリアされます。

7	6	5	4	3	2	1	①
0	0	0	0	0	0	0	MIEN
R	R	R	R	R	R	R	R/W

ビット位置	ビット名	意味
0	MIEN	イーサネット・コントローラ関係のポートの動作制御 0 : 動作禁止 1 : 動作許可

注意 MIICTLレジスタ設定後、FIFOコントローラ・コントロール・レジスタ (MFFCONT) を設定してください。詳細は23.4.3(1) MFFCONT : FIFOコントローラ・コントロール・レジスタを参照してください。

(3) レジスタ一覧

表23-2 レジスタ一覧 (MAC) (1/2)

アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
002E 0000 _H	MACC1	MAC設定レジスタ1	R/W				00000000 _H
002E 0004 _H	MACC2	MAC設定レジスタ2	R/W				00000000 _H
002E 0008 _H	IPGT	Back-to-Back IPGレジスタ	R/W				00000013 _H
002E 000C _H	IPGR	NON Back-to-Back IPGレジスタ	R/W				00000E13 _H
002E 0010 _H	CLRT	コリジョン・レジスタ	R/W				0000380F _H
002E 0014 _H	LMAX	最大パケット長レジスタ	R/W				00000600 _H
002E 0054 _H	LSA1	ステーション・アドレス・レジスタ1	R/W				00000000 _H
002E 0058 _H	LSA2	ステーション・アドレス・レジスタ2	R/W				00000000 _H
002E 005C _H	PTVR	ポーズ・タイマ値リード・レジスタ	R				00000000 _H
002E 0064 _H	VLTP	VLANタイプ・レジスタ	R/W				00000000 _H
002E 0080 _H	MIIC	MIIコンフィギュレーション・レジスタ	R/W				00000000 _H
002E 0094 _H	MCMD	MIIコマンド・レジスタ	W				00000000 _H
002E 0098 _H	MADR	MIIアドレス・レジスタ	R/W				00000000 _H
002E 009C _H	MWTD	MIIライト・データ・レジスタ	R/W				00000000 _H
002E 00A0 _H	MRDD	MIIリード・データ・レジスタ	R/W				00000000 _H
002E 00A4 _H	MIND	MIIインジケータ・レジスタ	R				00000000 _H
002E 00C8 _H	AFR	アドレス・フィルタ・レジスタ	R/W				00000000 _H
002E 00CC _H	HT1	HASHテーブル・レジスタ1	R/W				00000000 _H
002E 00D0 _H	HT2	HASHテーブル・レジスタ2	R/W				00000000 _H
002E 00DC _H	CAR1	キャリア・レジスタ1	R/W				00000000 _H
002E 00E0 _H	CAR2	キャリア・レジスタ2	R/W				00000000 _H
002E 0130 _H	CAM1	キャリア・マスク・レジスタ1	R/W				00000000 _H
002E 0134 _H	CAM2	キャリア・マスク・レジスタ2	R/W				00000000 _H
002E 0140 _H	RBYT	受信バイト・カウンタ	R/W				00000000 _H
002E 0144 _H	RPKT	受信パケット・カウンタ	R/W				00000000 _H
002E 0148 _H	RFCS	受信FCSエラー・フレーム・カウンタ	R/W				00000000 _H
002E 014C _H	RMCA	受信マルチキャスト・パケット・カウンタ	R/W				00000000 _H
002E 0150 _H	RBCA	受信ブロードキャスト・パケット・カウンタ	R/W				00000000 _H
002E 0154 _H	RXCF	受信コントロール・フレーム・パケット・カウンタ	R/W				00000000 _H
002E 0158 _H	RXPF	受信ポーズ・フレーム・パケット・カウンタ	R/W				00000000 _H
002E 015C _H	RXUO	受信未定義コントロール・パケット・カウンタ	R/W				00000000 _H
002E 0160 _H	RALN	受信アライメント・エラー・カウンタ	R/W				00000000 _H
002E 0164 _H	RFLR	受信フレーム長エラー・カウンタ	R/W				00000000 _H
002E 0168 _H	RCDE	受信コード・エラー・カウンタ	R/W				00000000 _H
002E 016C _H	RFCR	受信False Carrier カウンタ	R/W				00000000 _H
002E 0170 _H	RUND	受信アンダサイズ・パケット・カウンタ	R/W				00000000 _H
002E 0174 _H	ROVR	受信オーバサイズ・パケット・カウンタ	R/W				00000000 _H
002E 0178 _H	RFRG	受信フラグメント・カウンタ	R/W				00000000 _H
002E 017C _H	RJBR	受信ジャババー・カウンタ	R/W				00000000 _H

表23 - 2 レジスタ一覧 (MAC) (2/2)

アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
002E 0180 _H	R64	受信64バイト・フレーム・カウンタ	R/W				00000000 _H
002E 0184 _H	R127	受信65-127バイト・フレーム・カウンタ	R/W				00000000 _H
002E 0188 _H	R255	受信128-255バイト・フレーム・カウンタ	R/W				00000000 _H
002E 018C _H	R511	受信256-511バイト・フレーム・カウンタ	R/W				00000000 _H
002E 0190 _H	R1K	受信512-1023バイト・フレーム・カウンタ	R/W				00000000 _H
002E 0194 _H	RMAX	受信1024-RMAXバイト・フレーム・カウンタ	R/W				00000000 _H
002E 0198 _H	RVBT	受信有効バイト・カウンタ	R/W				00000000 _H
002E 01C0 _H	TBYT	送信バイト・カウンタ	R/W				00000000 _H
002E 01C4 _H	TPKT	送信パケット・カウンタ	R/W				00000000 _H
002E 01C8 _H	TFCS	送信FCSエラー・フレーム・カウンタ	R/W				00000000 _H
002E 01CC _H	TMCA	送信マルチキャスト・パケット・カウンタ	R/W				00000000 _H
002E 01D0 _H	TBCA	送信ブロードキャスト・パケット・カウンタ	R/W				00000000 _H
002E 01D4 _H	TUCA	送信ユニキャスト・パケット・カウンタ	R/W				00000000 _H
002E 01D8 _H	TXPF	送信ポーズ・コントロール・フレーム・カウンタ	R/W				00000000 _H
002E 01DC _H	TDFR	送信遅延パケット・カウンタ	R/W				00000000 _H
002E 01E0 _H	TXDF	送信過剰遅延パケット・カウンタ	R/W				00000000 _H
002E 01E4 _H	TSCL	送信シングル・コリジョン・パケット・カウンタ	R/W				00000000 _H
002E 01E8 _H	TMCL	送信マルチプル・コリジョン・パケット・カウンタ	R/W				00000000 _H
002E 01EC _H	TLCL	送信レイト・コリジョン・パケット・カウンタ	R/W				00000000 _H
002E 01F0 _H	TXCL	送信過剰コリジョン・パケット・カウンタ	R/W				00000000 _H
002E 01F4 _H	TNCL	送信トータル・コリジョン・カウンタ	R/W				00000000 _H
002E 01F8 _H	TCSE	送信キャリア・センス・エラー・カウンタ	R/W				00000000 _H
002E 01FC _H	TIME	MAC内部エラー・カウンタ	R/W				00000000 _H

表23 - 3 レジスタ一覧 (FIFOコントローラ)

アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
002E 0200 _H	MFFCONT	FIFOコントローラ・コントロール・レジスタ	R/W				00000000 _H
002E 0204 _H	RSTCNT	ソフト・リセット制御レジスタ	R/W				00000000 _H
002E 0218 _H	FLOWTHRESH	フロー制御閾値レジスタ	R/W				06000200 _H
002E 021C _H	PAUSETM	ポーズ・タイム値レジスタ	R/W				7FFFFFFF _H
002E 0220 _H	RXERSEL	受信エラー選択レジスタ	R/W				00000001 _H
002E 0230 _H	TXSTMONI1	送信ステータス・モニタ1レジスタ	R				00000000 _H
002E 0234 _H	TXSTMONI2	送信ステータス・モニタ2レジスタ	R				00000000 _H
002E 0238 _H	TXFINF1	送信ステータス1レジスタ	R				00000800 _H
002E 023C _H	TXFINF2	送信ステータス2レジスタ	R				00000001 _H
002E 0240 _H	RXSTMONI	受信ステータス・モニタ・レジスタ	R				00000000 _H
002E 0244 _H	RXFINF1	受信ステータス1レジスタ	R				00000000 _H
002E 0248 _H	RXFINF2	受信ステータス2レジスタ	R				00000800 _H
002E 024C _H	RXFINF3	受信ステータス3レジスタ	R				00000001 _H
002E 0250 _H	FSTATUS	FIFOステータス割り込みレジスタ	R				00000000 _H
002E 0254 _H	FSTATUS_MASK	FIFOステータス割り込みマスク・レジスタ	R/W				01011FFF _H
002E 0258 _H	TXSTATUS	送信ステータス割り込みレジスタ	R				00000000 _H
002E 025C _H	TXSTATUS_MASK	送信ステータス割り込みマスク・レジスタ	R/W				000101FF _H
002E 0260 _H	RXSTATUS	受信ステータス割り込みレジスタ	R				00000000 _H
002E 0264 _H	RXSTATUS_MASK	受信ステータス割り込みマスク・レジスタ	R/W				00007FFF _H
002E 0270 _H	TXABTCNT	送信アボート・カウンタ	R/W				00000000 _H
002E 0274 _H	RXABTCNT	受信アボート・カウンタ	R/W				00000000 _H

表23 - 4 レジスタ一覧 (イーサネット・コントローラ専用DMAC)

アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
002E 0300 _H	ETHMODE	コア・ファンクション制御レジスタ	R/W				00000000 _H
002E 0304 _H	INTMS	割り込み制御レジスタ	R/W				07000700 _H
002E 0308 _H	TRANSCTL	転送制御レジスタ	R/W				00030000 _H
002E 030C _H	SFTRST	ソフトウエア・リセット制御レジスタ	R/W				00000000 _H
002E 0310 _H	DMACM	DMACモード制御レジスタ	R/W				00000010 _H
002E 0320 _H	RXDP	受信ディスクリプタ・ポインタ・レジスタ	R/W				FFFFFFFF _{CH}
002E 0324 _H	LSTRXDP	最終受信ディスクリプタ・ポインタ・レジスタ	R				FFFFFFFF _{CH}
002E 0328 _H	TXDP	送信ディスクリプタ・ポインタ・レジスタ	R/W				FFFFFFFF _{CH}
002E 032C _H	LSTTXDP	最終送信ディスクリプタ・ポインタ・レジスタ	R				FFFFFFFF _{CH}

23. 4. 1 MAC制御レジスタ

(1) MACC1 : MAC 設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0000_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意1. 動作モード設定後に、必ずソフトウェア・リセットを実行してください。ソフトウェア・リセットは、MACC2.MCRST, RFRST, TFRSTビットを同時にセット(1)し、同時にクリア(0)してリセットを解除してください。

2. ビット31-15, 13, 12, 4は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	MACLB	0	0	TXFC	RXFC	SRXEN	PARF
R	R/W	R	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PUREP	FLCHT	NOBO	0	CRCEEN	PADEN	FULLD	HUGEN
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

(1/2)

ビット位置	ビット名	意味
14	MACLB	MACループ・バック 0 : ループ・バック動作は無効です。 1 : MAC内部で送信部から受信部へループ・バックします。 ループ・バックで動作させるときは、FULLDビットを1にし、全二重動作をイネーブルにしてください。
11	TXFC	送信フロー・コントロール・イネーブル 0 : TPCF信号入力によるポーズ・コントロール・フレームの送信を禁止します。 1 : TPCF信号入力によるポーズ・コントロール・フレームの送信を許可します。

ビット位置	ビット名	意味
10	RXFC	受信フロー・コントロール・イネーブル 0: ポーズ動作を実行しません。 1: ポーズ・タイマに設定されているポーズ時間中, ポーズ動作を実行します。ポーズ・タイマの値はこのビットの設定に関係なく, 有効なポーズ・コントロール・フレームを受信すると更新されます。
9	SRXEN	受信イネーブル 0: 受信禁止状態 1: 受信データ・インタフェースの機能が有効になります。FULLDビットの設定にかかわらず, CRS信号がアサートされているときに, このビットの設定を変更した場合, CRS信号がディアサートされてから設定変更が有効になります。
8	PARF	コントロール・バケット・パス 0: コントロール・フレームをコントロール・フレームとして判断します。 1: コントロール・フレームを含むすべての受信バケットに対し, コントロール・フレームではないと判断します。また, PARFビット = 1の場合には, RXFCビットの設定にかかわらず, 有効なポーズ・コントロール・フレームを受信してもポーズ・タイマの値は更新されません。
7	PUREP	ピュア・プリアンプル 0: プリアンプルのデータはチェックしません。 1: 不正なプリアンプルを選出すると, 受信ステータス割り込みが発生します。
6	FLCHT	レングス・フィールド・チェック 0: レングス・フィールドのチェックを行いません。 1: レングス・フィールドの値とデータ・フィールド長をチェックし, ステータス割り込みが発生します。
5	NOBO	ノー・バックオフ 0: バックオフ・アルゴリズムによるパケット送信を行います 1: 常にバックオフせずにパケット送信を行います。
3	CRGEN	CRC付加 0: CRCを付加しません。 送信パケットの最後は有効なFCSである必要があります。MACは, FCSをチェックし, FCSの値が正しくない場合は, 送信ステータス割り込み (TXSTATUS) でエラーを通知します。 1: 自動的にパケット末尾にCRCを付加します。 送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス (FCS) を追加します。
2	PADEN	PAD付加 0: PADを付加しません。 1: パケット長が64バイトに満たないとき, パディングを行います。このときCRGENビットの設定にかかわらずパケットの末尾に自動的にCRCを付加します。
1	FULLD	全二重イネーブル 0: 半二重動作 1: 全二重動作
0	HUGEN	ヒュージ・バケット・イネーブル 0: 最大パケット長レジスタ (LMAX) 値を越えたパケットの送受信を中断します。 1: 最大パケット長レジスタ (LMAX) 値を越えたパケットの送受信を中断しません。

(2) MACC2 : MAC 設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0004_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意1. 動作モード設定後に、必ずソフトウェア・リセットを実行してください。ソフトウェア・リセットは、MACC2レジスタのMCRST, RFRST, TFRSTビットを同時にセット(1)し、同時にクリア(0)してリセットを解除してください。

これらのリセット・ビットは、RXCLK, TXCLKの5クロック以上の間隔で操作してください。

2. ビット31-11, 7, 3-0は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	MCRST	RFRST	TFRST
R	R	R	R	R	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	BPNB	APD	VPD	0	0	0	0
R	R/W	R/W	R/W	R	R	R	R

ビット位置	ビット名	意味
10	MCRST	MAC制御部ソフトウェア・リセット 0 : MAC制御部のソフトウェア・リセットを解除します 1 : MAC制御部のソフトウェア・リセットをします。
9	RFRST	受信ブロック・ソフトウェア・リセット 0 : 受信ブロックのソフトウェア・リセットを解除します。 1 : 受信ブロックのソフトウェア・リセットをします。
8	TFRST	送信ブロック・ソフトウェア・リセット 0 : 送信ブロックのソフトウェア・リセットを解除します。 1 : 送信ブロックのソフトウェア・リセットをします。
6	BPNB	Back Pressure No Back Off 1に設定すると、バック・プレッシャー後の送信にかぎり、バックオフしません。
5	APD	オートVLANパッド VLTPレジスタに登録されたVLANタイプと一致するパケットが送信された場合、VLANパケットとして扱い、PADを付加します。
4	VPD	VLANパッド・モード 送信するパケットを必ずVLANパケットとして扱い、PADを付加します。

(3) IPGT : Back-to-Back IPG レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0008_H初期値 0000 0013_H。すべてのリセットに対して初期値にクリアされます。**注意** ビット31-7は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	IPGT						
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
6-0	IPGT	Back-To-Back時のIPG : Back-To-Back時のパケット間ギャップ (IPG) を設定します。計算式は次のとおりです。 ・ IPG = (5 + IPGT) × 4ビット・タイム (1ビット・タイム = 10 Mbps時 : 100 ns , 100 Mbps時 : 10 ns) IEEE802.3の規格を満たすためには、IPG 96ビット・タイムとなるように設定してください (23. 5. 2 (5) パケット間ギャップ (IPG) 参照)。

(4) IPGR : Non Back-to-Back IPG レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 000C_H初期値 0000 0E13_H。すべてのリセットに対して初期値にクリアされます。**注意** ビット31-15, 7は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	IPGR1						
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	IPGR2						
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
14-8	IPGR1	<p>キャリア・センス期間</p> <p>Back-To-Back時以外で,IPG前半のキャリア・センス期間を設定します。計算式は次のとおりです。</p> <p>・キャリア・センス期間 = (2 + IPGR1) × 4ビット・タイム</p> <p>IEEE802.3 の規格を満たすためには,キャリア・センス期間 = 2/3IPGとなるように設定してください(23.5.2(5)パケット間ギャップ(IPG)参照)。</p>
6-0	IPGR2	<p>Back-To-Back時以外のIPG</p> <p>Back-To-Back時以外におけるIPGを設定します。計算式は次のとおりです。</p> <p>・IPG = (5 + IPGR2) × 4ビット・タイム</p> <p>IPGR1で設定されるキャリア・センス期間は,IPGR2設定されるIPGの中に含まれます。</p> <p>IEEE802.3の規格を満たすためには,IPG 96ビット・タイムとなるように設定してください(23.5.2(5)パケット間ギャップ(IPG)参照)。</p>

(5) CLRT : コリジョン・レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0010_H初期値 0000 380F_H。すべてのリセットに対して初期値にクリアされます。**注意** ビット31-14, 7-4は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	LCOL					
R	R	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	RETRY			
R	R	R	R	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
13-8	LCOL	コリジョン・ウインドウ コリジョン・ウインドウ幅を設定します。設定されるコリジョン・ウインドウの幅は次の式で与えられます。 ・コリジョン・ウインドウ幅 = (LCOL + 8) × 8ビット・タイム IEEE 802.3の規格では、コリジョン・ウインドウ幅 = 512ビット・タイムとなっています。
3-0	RETRY	コリジョン発生時最大再送回数 コリジョンが発生した場合の最大再送信回数を設定します。この値以内で再送信が完了しない場合は、送信をアボートします。この値は最大衝突回数を示しています。 IEEE802.3の規格では、最大衝突回数 = 15回となっています。

(6) LMAX : 最大パケット長レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0014_H初期値 0000 0600_H。すべてのリセットに対して初期値にクリアされます。**注意** ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
MAXF15	MAXF14	MAXF13	MAXF12	MAXF11	MAXF10	MAXF9	MAXF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
MAXF7	MAXF6	MAXF5	MAXF4	MAXF3	MAXF2	MAXF1	MAXF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
15-0	MAXF[15:0]	最大パケット長 (バイト) MACC1.HUGENビットが0のとき、送受信パケット長がこの値で制限されます。 受信時：受信フレーム長がMAXFの値を越えると、すぐに受信を終了します。 送信時：送信フレーム長がMAXFの値を越えると、すぐに送信アボートします。

(7) LSA1 : ステーション・アドレス・レジスタ1

ポーズ・コントロール・フレームを組み立てるときのソース・アドレス, およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。LSA2レジスタと組み合わせて48ビットのレジスタとして使用します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0054_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
LSA115	LSA114	LSA113	LSA112	LSA111	LSA110	LSA109	LSA108
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
LSA17	LSA16	LSA15	LSA14	LSA13	LSA12	LSA11	LSA10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
15-0	LSA1[15:0]	ステーション・アドレスSA (47 : 32) SA (47 : 0) は, ポーズ・コントロール・フレームを組み立てるときのソース・アドレス, およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用されず (23.5.7(1)(a)ユニキャスト・アドレスのフィルタリング参照)。

(8) LSA2 : ステーション・アドレス・レジスタ 2

ポーズ・コントロール・フレームを組み立てるときのソース・アドレス, およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。LSA1レジスタと組み合わせて48ビットのレジスタとして使用します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0058_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
LSA231	LSA230	LSA229	LSA228	LSA227	LSA226	LSA225	LSA224
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
LSA223	LSA222	LSA221	LSA220	LSA219	LSA218	LSA217	LSA216
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
LSA215	LSA214	LSA213	LSA212	LSA211	LSA210	LSA209	LSA208
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
LSA207	LSA206	LSA205	LSA204	LSA203	LSA202	LSA201	LSA200
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	LSA2[31:0]	ステーション・アドレスSA (31 : 0) SA (47 : 0) は, ポーズ・コントロール・フレームを組み立てるときのソース・アドレス, およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用されます (23. 5. 7 (1) (a) ユニキャスト・アドレスのフィルタリング参照)。

(9) PTVR : ポーズ・タイマ値リード・レジスタ

ポーズ・タイマ・カウンタの値を読み出すレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 005C_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
PTCT15	PTCT14	PTCT13	PTCT12	PTCT11	PTCT10	PTCT9	PTCT8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
PTCT7	PTCT6	PTCT5	PTCT4	PTCT3	PTCT2	PTCT1	PTCT0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
15-0	PTCT[15:0]	ポーズ・タイマ・カウンタ 現在ポーズ・タイマに設定されている値を示します。受信フロー制御が許可されている間 (MACC1.RXFCビット = 1である間) のみ、このレジスタは有効な値を持ちます (23.5.4 (1) フロー制御参照)

(10) VLTP : VLAN タイプ・レジスタ

VLANタイプを指定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0064_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
VLTP15	VLTP14	VLTP13	VLTP12	VLTP11	VLTP10	VLTP9	VLTP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
VLTP7	VLTP6	VLTP5	VLTP4	VLTP3	VLTP2	VLTP1	VLTP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
15-0	VLTP[15:0]	<p>VLANタイプ</p> <p>VLANタイプを指定します (23.5.4(3) VLANフレームに対する動作参照)。</p> <p>受信時: VLTP[15:0]の値とTPIDフィールド (ソース・アドレスに続く2バイト) の値を比較し, VLANフレームの検出をします。</p> <p>送信時: MACC2.APDビットが1のとき, VLANフィールドとVLTP[15:0]の値が一致すれば, VLANフレームとしてPADの付加を行います。</p>

(11) MIIC : シリアル・マネジメント・インタフェース・コンフィギュレーション・レジスタ

シリアル・マネジメント・インタフェース・ブロックの動作モードを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0080_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意1. MIRSTビットの操作はイーサネット・コントローラ・クロック (f_{EC}) の5クロック以上の間隔で操作してください。

2. ビット31-16, 14-5, 0は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
MIRST	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	CLKS2	CLKS1	CLKS0	PHYSEL	0
R	R	R	R/W	R/W	R/W	R/W	R

ビット位置	ビット名	意味																
15	MIRST	シリアル・マネジメント・インタフェース・ブロック・ソフトウェア・リセット 0 : シリアル・マネジメント・インタフェース・ブロックのソフトウェア・リセットを解除します。 1 : シリアル・マネジメント・インタフェース・ブロックをソフトウェア・リセットします。																
4-2	CLKS[2:0]	MDCの分周比設定 使用するイーサネット・コントローラ・クロック (f _{EC}) に合わせて、分周比を選択します (23. 5. 6 (1) (a) MDCクロック参照)。 IEEE802.3 の規格を満たすには、MDCが2.5 MHz 以下になるように分周比を設定してください。 <table border="1"> <thead> <tr> <th>CLKS2</th><th>CLKS1</th><th>CLKS0</th><th>f_{EC}の入力周波数</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>33 MHz以下 (14分周)</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>50 MHz以下 (20分周)</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	CLKS2	CLKS1	CLKS0	f _{EC} の入力周波数	0	0	1	33 MHz以下 (14分周)	0	1	0	50 MHz以下 (20分周)	上記以外			設定禁止
CLKS2	CLKS1	CLKS0	f _{EC} の入力周波数															
0	0	1	33 MHz以下 (14分周)															
0	1	0	50 MHz以下 (20分周)															
上記以外			設定禁止															
1	PHYSEL	MDCの出力設定 MDCを停止させたときに、PHYとの通信でデータが正常に渡されない場合、PHYSEL = 1 で使用してください。 1 : マネジメント・フレーム以外でも常時MDCを出力 0 : マネジメント・フレーム以外でのMDCを停止																

(12) MCMD : MII コマンド・レジスタ

SCANコマンド, MIIマネジメント・インタフェースによるリード・アクセスを実行するレジスタです。

アクセス 32ビット単位でライトのみ可能です。

MCMDレジスタにライトした結果は, MINDレジスタからリードしてください。

アドレス 002E 0094_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-2は必ず0を設定してください。ビット1, 0はライトのみ可能です。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	SCANC	RSTAT
R	R	R	R	R	R	W	W

ビット位置	ビット名	意味
1	SCANC	SCANコマンド 1に設定するとSCANコマンドを実行します。
0	RSTAT	MIIマネジメント・リード 1に設定するとMIIマネジメント・インタフェースによるリード・アクセスを実行します。

(13) MADR : MII アドレス・レジスタ

PHYアドレス, PHYレジスタ・アドレスを設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0098_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-13, 7-5は必ず0を設定してください。

31	30	29	28	27	26	25	24	
0	0	0	0	0	0	0	0	
R	R	R	R	R	R	R	R	
23	22	21	20	19	18	17	16	
0	0	0	0	0	0	0	0	
R	R	R	R	R	R	R	R	
15	14	13	12	11	10	9	8	
0	0	0	FIAD					
R	R	R	R/W	R/W	R/W	R/W	R/W	
7	6	5	4	3	2	1	0	
0	0	0	RGAD					
R	R	R	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意味
12-8	FIAD	PHYアドレス PHYアドレスを設定します。1つのイーサネット・コントローラは、最大31個のPHYデバイスを制御できます。
4-0	RGAD	PHYレジスタ・アドレス アクセスするレジスタのアドレスを設定します。イーサネット・コントローラは、1つのPHYデバイスに対して、32個の16ビット・レジスタをアクセスできます。

(14) MWTD : MII ライト・データ・レジスタ

MII マネジメント・インタフェースでライト・アクセスする際のライト・データを設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 009C_H

初期値 0000 0000_{H0}。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
CTLD15	CTLD14	CTLD13	CTLD12	CTLD11	CTLD10	CTLD9	CTLD8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
CTLD7	CTLD6	CTLD5	CTLD4	CTLD3	CTLD2	CTLD1	CTLD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
15-0	CTLD[15:0]	MII ライト・データ MII マネジメント・インタフェースにおいてライト・アクセスする際のライト・データ・フィールドです。

(15) MRDD : MII リード・データ・レジスタ

MII マネジメント・インタフェースでリード・アクセスする際のリード・データです。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 00A0_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
PRSD15	PRSD14	PRSD13	PRSD12	PRSD11	PRSD10	PRSD9	PRSD8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
PRSD7	PRSD6	PRSD5	PRSD4	PRSD3	PRSD2	PRSD1	PRSD0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
15-0	PRSD[15:0]	MII リード・データ MII マネジメント・インタフェースにおいてリード・アクセスする際のリード・データ・フィールドです。

(16) MIND : MII インジケータ・レジスタ

SCANコマンド実行状態, MIIマネジメント・インタフェースのアクセス状態を示すレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 00A4_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-3は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	NVALID	SCANA	BUSY
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
2	NVALID	SCANコマンド開始ステータス 1 : SCANコマンド実行中で, 最初のリード・アクセスが終了していません。 0 : 通常状態
1	SCANA	SCANコマンド・アクティブ 1 : SCANコマンド実行中 0 : 通常状態
0	BUSY	BUSY 1 : MIIマネジメント・インタフェースが外部PHYデバイスとのアクセスを実行中。 0 : MIIマネジメント・インタフェースは外部PHYデバイスをアクセスしていません。

(17) AFR : アドレス・フィルタ・レジスタ

受信パケットの条件を設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 00C8_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-4は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	PRO	PRM	AMC	ABC
R	R	R	R	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
3	PRO	プロミスカス・モード すべてのパケットを有効とするモードです。
2	PRM	マルチキャスト受信 すべてのマルチキャスト・パケットを有効とし、他を破棄するモードです
1	AMC	条件付きマルチキャスト受信 条件に一致したマルチキャスト・パケットを有効とし、他を破棄するモードです。 ハッシュ・テーブルを用い、ハッシュ・テーブルと一致したマルチキャスト・パケットだけをアクセプトします ハッシュ・テーブルについてはHT1, HT2レジスタに設定します。
0	ABC	ブロードキャスト受信 ブロードキャスト・パケットを有効とし、他を破棄するモードです

AFRレジスタの設定とフィルタリングの対象となるパケットは、表23 - 9を参照してください。

(18) HT1 : HASH テーブル・レジスタ 1

条件付きマルチキャスト・パケット検出で使用するハッシュ・テーブルの上位32ビットを設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 00CC_H

初期値 0000 0000_{H0}。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
HT131	HT130	HT129	HT128	HT127	HT126	HT125	HT124
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
HT123	HT122	HT121	HT120	HT119	HT118	HT117	HT116
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
HT115	HT114	HT113	HT112	HT111	HT110	HT109	HT108
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
HT107	HT106	HT105	HT104	HT103	HT102	HT101	HT100
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	HT1[31:0]	ハッシュ・テーブル1 条件付きマルチキャスト・パケット検出で用います。 ハッシュ・テーブルの上位32ビットを示します。HT (63 : 32)

(19) HT2 : HASH テーブル・レジスタ 2

条件付きマルチキャスト・パケット検出で使用するハッシュ・テーブルの下位32ビットを設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 00D0_H

初期値 0000 0000_{H0}。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
HT131	HT130	HT129	HT128	HT127	HT126	HT125	HT124
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
HT123	HT122	HT121	HT120	HT119	HT118	HT117	HT116
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
HT115	HT114	HT113	HT112	HT111	HT110	HT109	HT108
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
HT107	HT106	HT105	HT104	HT103	HT102	HT101	HT100
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	HT2[31:0]	ハッシュ・テーブル2 条件付きマルチキャスト・パケット検出で用います。 ハッシュ・テーブルの下位32ビットを示します。HT (31 : 0)

(20) CAR1 : キャリー・レジスタ 1

統計カウンタがオーバーフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバーフローが発生すると、対応するビットに1が設定されます。

各ビットは、リードすることでクリアされます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 00DC_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
C1VT	C1UT	C1BT	C1MT	C1PT	C1TB	C1MX	C11K
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
C1FE	C1TF	C1OT	C1SF	C1BR	C1MR	C1PR	C1RB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(1/2)

ビット位置	ビット名	意味
15	C1VT	RVBTカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
14	C1UT	TUCAカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
13	C1BT	TBCAカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
12	C1MT	TMCAカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
11	C1PT	TPCTカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
10	C1TB	TBYTカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした

(1/2)

ビット位置	ビット名	意味
9	C1MX	RMAXカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
8	C11K	R1Kカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
7	C1FE	R511カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
6	C1TF	R255カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
5	C1OT	R127カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
4	C1SF	R64カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
3	C1BR	RBCAカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
2	C1MR	RMCAカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
1	C1PR	RPKTカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
0	C1RB	RBYTカウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした

(21) CAR2 : キャリー・レジスタ 2

統計カウンタがオーバフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバフローが発生すると、対応するビットに1が設定されます。

各ビットは、リードすることでクリアされます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 00E0_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット30-23は必ず0を設定してください。

31	30	29	28	27	26	25	24
C2DV	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	C2IM	C2CS	C2NC	C2XC	C2LC	C2MC	C2SC
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
C2XD	C2DF	C2XF	C2TE	C2JB	C2FG	C2OV	C2UN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
C2FC	C2CD	C2FO	C2AL	C2UO	C2PF	C2CF	C2RE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(1/2)

ビット位置	ビット名	意味
31	C2DV	ステータス・ベクタ・オーバラン。 0 : オーバランしていない 1 : オーバランした
22	C2IM	TIMEカウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
21	C2CS	TCSEカウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
20	C2NC	TNCLカウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
19	C2XC	TXCLカウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
18	C2LC	TLCLカウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
17	C2MC	TMCLカウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした

(2/2)

ビット位置	ビット名	意味
16	C2SC	TSCLカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
15	C2XD	TXDFカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
14	C2DF	TDFRカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
13	C2XF	TXPFカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
12	C2TE	TFCSカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
11	C2JB	RBJRカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
10	C2FG	RFRGカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
9	C2OV	ROVRカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
8	C2UN	RUNDカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
7	C2FC	RFCRカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
6	C2CD	RCDEカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
5	C2FO	RFLRカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
4	C2AL	RALNカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
3	C2UO	RXUOカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
2	C2PF	RXPFカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
1	C2CF	RXCFカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした
0	C2RE	RFCSカウンタ・オーバーフロー。 0: オーバフローしていない 1: オーバフローした

(22) CAM1 : キャリー・マスク・レジスタ 1

統計カウンタのオーバーフローによって、CAR1レジスタ内のビットに“1”が設定されたときに発生するINTETMOV信号をマスクします。

1ビットごとのマスクが可能です。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0130_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
M1VT	M1UT	M1BT	M1MT	M1PT	M1TB	M1MX	M11K
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
M1FE	M1TF	M1OT	M1SF	M1BR	M1MR	M1PR	M1RB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(1/2)

ビット位置	ビット名	意味
15	M1VT	RVBTカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
14	M1UT	TUCAカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
13	M1BT	TBCAカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
12	M1MT	TMCAカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
11	M1PT	TPKTカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
10	M1TB	TBYTカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
9	M1MX	RMAXカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)

(2/2)

ビット位置	ビット名	意味
8	M11K	R1Kカウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
7	M1FE	R511カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
6	M1TF	R255カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
5	M1OT	R127カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
4	M1SF	R64カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
3	M1BR	RBCAカウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
2	M1MR	RMCAカウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
1	M1PR	RPKTカウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
0	M1RB	RBYTカウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)

(23) CAM2 : キャリー・マスク・レジスタ 2

統計カウンタがオーバーフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバーフローが発生すると、対応するビットに1が設定されます。

各ビットは、リードすることでクリアされます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 00E0_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット30-23は必ず0を設定してください。

31	30	29	28	27	26	25	24
M2DV	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	M2IM	M2CS	M2NC	M2XC	M2LC	M2MC	M2SC
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
M2XD	M2DF	M2XF	M2TE	M2JB	M2FG	M2OV	M2UN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
M2FC	M2CD	M2FO	M2AL	M2UO	M2PF	M2CF	M2RE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(1/2)

ビット位置	ビット名	意味
31	M2DV	ステータス・ベクタ・オーバラン割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
22	M2IM	TIMEカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
21	M2CS	TCSEカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
20	M2NC	TNCLカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
19	M2XC	TXCLカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
18	M2LC	TLCLカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
17	M2MC	TMCLカウンタ・オーバーフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)

ビット位置	ビット名	意味
16	M2SC	TSCLカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
15	M2XD	TXDFカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
14	M2DF	TDFRカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
13	M2XF	TXPFカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
12	M2TE	TFCSカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
11	M2JB	RBJRカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
10	M2FG	RFRGカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
9	M2OV	ROVRカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
8	M2UN	RUNDカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
7	M2FC	RFCRカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
6	M2CD	RCDEカウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
5	M2FO	RFLRカウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
4	M2AL	RALNカウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
3	M2UO	RXUOカウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
2	M2PF	RXPFカウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
1	M2CF	RXCFカウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
0	M2RE	RFCSカウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)

23. 4. 2 統計カウンタ

(1) RBYT : 受信バイト・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0140_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RBYT31	RBYT30	RBYT29	RBYT28	RBYT27	RBYT26	RBYT25	RBYT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RBYT23	RBYT22	RBYT21	RBYT20	RBYT19	RBYT18	RBYT17	RBYT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RBYT15	RBYT14	RBYT13	RBYT12	RBYT11	RBYT10	RBYT9	RBYT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RBYT7	RBYT6	RBYT5	RBYT4	RBYT3	RBYT2	RBYT1	RBYT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RBYT[31:0]	受信パケットのバイト・カウントを示します。デスティネーション・アドレスからFCSバイトまでをカウントし、エラーが発生した場合もカウントします。 MACC1.HUGENビットが0のとき、LMAXレジスタで設定された長さを越えるパケットが受信された場合、LMAXレジスタの値がパケット長としてカウントされます。

(2) RPKT : 受信パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0144_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RPKT31	RPKT30	RPKT29	RPKT28	RPKT27	RPKT26	RPKT25	RPKT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RPKT23	RPKT22	RPKT21	RPKT20	RPKT19	RPKT18	RPKT17	RPKT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RPKT15	RPKT14	RPKT13	RPKT12	RPKT11	RPKT10	RPKT9	RPKT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RPKT7	RPKT6	RPKT5	RPKT4	RPKT3	RPKT2	RPKT1	RPKT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RPKT[31:0]	すべてのパケット受信ごとにカウントされます。エラーが発生したパケット,すべてのユニキャスト・パケット,すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。

(3) RFCS : 受信 FCS エラー・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0148_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RFCS31	RFCS30	RFCS29	RFCS28	RFCS27	RFCS26	RFCS25	RFCS24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RFCS23	RFCS22	RFCS21	RFCS20	RFCS19	RFCS18	RFCS17	RFCS16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RFCS15	RFCS14	RFCS13	RFCS12	RFCS11	RFCS10	RFCS9	RFCS8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFCS7	RFCS6	RFCS5	RFCS4	RFCS3	RFCS2	RFCS1	RFCS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RFCS[31:0]	受信パケットにおいて、CRCエラーが発生した場合にカウントされます。 MACC1.HUGENビットが0のとき、LMAXレジスタで設定された長さを越えるパケットが受信された場合には、LMAXレジスタの設定値に達した時点でCRCチェックを行いますので、CRCエラー受信としてカウントされることがあります。

(4) RMCA : 受信マルチキャスト・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 014C_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RMCA31	RMCA30	RMCA29	RMCA28	RMCA27	RMCA26	RMCA25	RMCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RMCA23	RMCA22	RMCA21	RMCA20	RMCA19	RMCA18	RMCA17	RMCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RMCA15	RMCA14	RMCA13	RMCA12	RMCA11	RMCA10	RMCA9	RMCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RMCA7	RMCA6	RMCA5	RMCA4	RMCA3	RMCA2	RMCA1	RMCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RMCA[31:0]	受信パケット長が64バイト以上かつ1518バイト（VLANフレーム時は1522バイト）以下のマルチキャスト・パケットが受信された場合、カウントされます。ブロードキャスト・パケットは含まれません。また、CRCエラーが発生した受信パケットはカウントされません。

(5) RBCA : 受信ブロードキャスト・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0150_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RBCA31	RBCA30	RBCA29	RBCA28	RBCA27	RBCA26	RBCA25	RBCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RBCA23	RBCA22	RBCA21	RBCA20	RBCA19	RBCA18	RBCA17	RBCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RBCA15	RBCA14	RBCA13	RBCA12	RBCA11	RBCA10	RBCA9	RBCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RBCA7	RBCA6	RBCA5	RBCA4	RBCA3	RBCA2	RBCA1	RBCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RBCA[31:0]	受信パケット長が64バイト以上かつ1518バイト（VLANフレーム時は1522バイト）以下のブロードキャスト・パケットが受信された場合、カウントされます。マルチキャスト・パケットは含まれません。また、CRCエラーが発生した受信パケットはカウントされません。

(6) RXCF : 受信コントロール・フレーム・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0154_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RXCF31	RXCF30	RXCF29	RXCF28	RXCF27	RXCF26	RXCF25	RXCF24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RXCF23	RXCF22	RXCF21	RXCF20	RXCF19	RXCF18	RXCF17	RXCF16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXCF15	RXCF14	RXCF13	RXCF12	RXCF11	RXCF10	RXCF9	RXCF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RXCF7	RXCF6	RXCF5	RXCF4	RXCF3	RXCF2	RXCF1	RXCF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RXCF[31:0]	コントロール・フレームが受信された場合、カウントされます。ポーズ・フレームおよびサポートされていないコントロール・フレームを含みます。CRC エラーが検出された場合はカウントされません。

(7) RXPf : 受信ポーズ・フレーム・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0158_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RXPf31	RXPf30	RXPf29	RXPf28	RXPf27	RXPf26	RXPf25	RXPf24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RXPf23	RXPf22	RXPf21	RXPf20	RXPf19	RXPf18	RXPf17	RXPf16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXPf15	RXPf14	RXPf13	RXPf12	RXPf11	RXPf10	RXPf9	RXPf8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RXPf7	RXPf6	RXPf5	RXPf4	RXPf3	RXPf2	RXPf1	RXPf0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RXPf[31:0]	有効なポーズ・コントロール・フレームを受信した場合、カウントされます。

(8) RXUO : 受信未定義コントロール・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 015C_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RXUO31	RXUO30	RXUO29	RXUO28	RXUO27	RXUO26	RXUO25	RXUO24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RXUO23	RXUO22	RXUO21	RXUO20	RXUO19	RXUO18	RXUO17	RXUO16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXUO15	RXUO14	RXUO13	RXUO12	RXUO11	RXUO10	RXUO9	RXUO8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RXUO7	RXUO6	RXUO5	RXUO4	RXUO3	RXUO2	RXUO1	RXUO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RXUO[31:0]	PAUSE以外のOPコードを含むコントロール・フレーム、または無効なデスティネーション・アドレスを持つポーズ・コントロール・フレームを受信した場合、カウントされます。CRCエラーが検出された場合はカウントされません。

(9) RALN : 受信アラインメント・エラー・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0160_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RALN31	RALN30	RALN29	RALN28	RALN27	RALN26	RALN25	RALN24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RALN23	RALN22	RALN21	RALN20	RALN19	RALN18	RALN17	RALN16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RALN15	RALN14	RALN13	RALN12	RALN11	RALN10	RALN9	RALN8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RALN7	RALN6	RALN5	RALN4	RALN3	RALN2	RALN1	RALN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RALN[31:0]	受信パケットにおいて、CRCエラーが発生しかつドリブル・ニブルが発生した場合にカウントされます。 MACC1.HUGENビットが0のとき、LMAXレジスタで設定された長さを越えるパケットが受信された場合には、LMAXレジスタの設定値（バイト単位）に達した時点でアラインメント・エラーのチェックが行われますので、このカウンタはカウントされません。

(10) RFLR : 受信フレーム長エラー・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0164_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RFLR31	RFLR30	RFLR29	RFLR28	RFLR27	RFLR26	RFLR25	RFLR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RFLR23	RFLR22	RFLR21	RFLR20	RFLR19	RFLR18	RFLR17	RFLR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RFLR15	RFLR14	RFLR13	RFLR12	RFLR11	RFLR10	RFLR9	RFLR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFLR7	RFLR6	RFLR5	RFLR4	RFLR3	RFLR2	RFLR1	RFLR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RFLR[31:0]	受信パケットのレンクス・フィールドの値が、実際に受信されたパケットのデータ・フィールド長と一致しない場合、カウントされます。レンクス・フィールドの値が1501以上の場合（たとえば、レンクス・フィールドに相当するバイトがイーサネット・タイプ・フィールドとして使用されている場合など）、このカウンタはインクリメントされません。

(11) RCDE : 受信コード・エラー・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0168_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RCDE31	RCDE30	RCDE29	RCDE28	RCDE27	RCDE26	RCDE25	RCDE24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RCDE23	RCDE22	RCDE21	RCDE20	RCDE19	RCDE18	RCDE17	RCDE16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RCDE15	RCDE14	RCDE13	RCDE12	RCDE11	RCDE10	RCDE9	RCDE8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RCDE7	RCDE6	RCDE5	RCDE4	RCDE3	RCDE2	RCDE1	RCDE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RCDE[31:0]	キャリアが検出されている間、不正なデータ・シンボルが少なくとも1回検出された場合、カウントされます。

(12) RFCR : 受信 False Carrier カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 016C_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RFCR31	RFCR30	RFCR29	RFCR28	RFCR27	RFCR26	RFCR25	RFCR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RFCR23	RFCR22	RFCR21	RFCR20	RFCR19	RFCR18	RFCR17	RFCR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RFCR15	RFCR14	RFCR13	RFCR12	RFCR11	RFCR10	RFCR9	RFCR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFCR7	RFCR6	RFCR5	RFCR4	RFCR3	RFCR2	RFCR1	RFCR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RFCR[31:0]	アイドル中にFalse Carrierが発生した場合、次のパケット受信のあとでカウントされます。False CarrierはRXERがハイ・レベルでRXDからニブル・データとして1110Bが入力された場合に、False Carrierが発生したと見なされます。アイドルの間に複数回のFalse Carrierが発生した場合でも、カウントされるのは1回のみです。

(13) RUND : 受信アンダサイズ・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0170_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RUND31	RUND30	RUND29	RUND28	RUND27	RUND26	RUND25	RUND24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RUND23	RUND22	RUND21	RUND20	RUND19	RUND18	RUND17	RUND16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RUND15	RUND14	RUND13	RUND12	RUND11	RUND10	RUND9	RUND8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RUND7	RUND6	RUND5	RUND4	RUND3	RUND2	RUND1	RUND0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RUND[31:0]	受信パケット長が64バイト未満かつ、有効なFCSフィールドを含んでいる場合、カウントされません。

(14) ROVR : 受信オーバサイズ・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0174_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
ROVR31	ROVR30	ROVR29	ROVR28	ROVR27	ROVR26	ROVR25	ROVR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ROVR23	ROVR22	ROVR21	ROVR20	ROVR19	ROVR18	ROVR17	ROVR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ROVR15	ROVR14	ROVR13	ROVR12	ROVR11	ROVR10	ROVR9	ROVR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ROVR7	ROVR6	ROVR5	ROVR4	ROVR3	ROVR2	ROVR1	ROVR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	ROVR[31:0]	受信パケット長が1518バイト (VLANフレーム時は1522バイト) を越えていて、かつ有効なFCSフィールドを含んでいる場合、カウントされます。 MACC1.HUGENビットが0のとき、LMAXレジスタで設定された長さを越えるパケットが受信された場合には、LMAXレジスタの設定値に達した時点でCRCチェックを行いますので、その時点でCRCエラーとみなされ、このカウンタがカウントされないことがあります。

(15) RFRG : 受信フラグメント・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0178_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RFRG31	RFRG30	RFRG29	RFRG28	RFRG27	RFRG26	RFRG25	RFRG24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RFRG23	RFRG22	RFRG21	RFRG20	RFRG19	RFRG18	RFRG17	RFRG16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RFRG15	RFRG14	RFRG13	RFRG12	RFRG11	RFRG10	RFRG9	RFRG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFRG7	RFRG6	RFRG5	RFRG4	RFRG3	RFRG2	RFRG1	RFRG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RFRG[31:0]	受信パケット長が64バイト未満でかつ、CRCエラーあるいはアライメント・エラーを含んでいる場合、カウントされません。

(16) RJBR : 受信ジャパー・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 017C_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RJBR31	RJBR30	RJBR29	RJBR28	RJBR27	RJBR26	RJBR25	RJBR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RJBR23	RJBR22	RJBR21	RJBR20	RJBR19	RJBR18	RJBR17	RJBR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RJBR15	RJBR14	RJBR13	RJBR12	RJBR11	RJBR10	RJBR9	RJBR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RJBR7	RJBR6	RJBR5	RJBR4	RJBR3	RJBR2	RJBR1	RJBR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RJBR[31:0]	受信パケット長が1518バイト (VLANフレーム時は1522バイト) を越えていて、かつCRCエラーあるいはアライメント・エラーを含んでいる場合、カウントされます。 MACC1.HUGENビットが0のとき、LMAXレジスタで設定された長さを越えるパケットが受信された場合には、LMAXレジスタの設定値に達した時点でCRCチェックを行いますので、その時点でCRCエラーとみなされ、このカウンタがカウントされることがあります。

(17) R64 : 受信 64 バイト・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0180_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
R6431	R6430	R6429	R6428	R6427	R6426	R6425	R6424
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R6423	R6422	R6421	R6420	R6419	R6418	R6417	R6416
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R6415	R6414	R6413	R6412	R6411	R6410	R6409	R6408
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R647	R646	R645	R644	R643	R642	R641	R640
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	R64[31:0]	受信パケット長が64バイトである場合に、カウントされます。CRCエラー、シンボル・エラー、 レングス/タイプ・エラーを含んだパケットもカウントされます。

(18) R127 : 受信 65-127 バイト・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0184_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
R12731	R12730	R12729	R12728	R12727	R12726	R12725	R12724
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R12723	R12722	R12721	R12720	R12719	R12718	R12717	R12716
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R12715	R12714	R12713	R12712	R12711	R12710	R12709	R12708
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R1277	R1276	R1275	R1274	R1273	R1272	R1271	R1270
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	R127[31:0]	受信パケット長が65-127バイトである場合に、カウントされます。CRCエラー、シンボル・エラ ー、レングス/タイプ・エラーを含んだパケットもカウントされます。

(19) R255 : 受信 128-255 バイト・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0188_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
R25531	R25530	R25529	R25528	R25527	R25526	R25525	R25524
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R25523	R25522	R25521	R25520	R25519	R25518	R25517	R25516
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R25515	R25514	R25513	R25512	R25511	R25510	R25509	R25508
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R25507	R25506	R25505	R25504	R25503	R25502	R25501	R25500
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	R255[31:0]	受信パケット長が128-255バイトである場合に、カウントされます。CRCエラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。

(20) R511 : 受信 256-511 バイト・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 018C_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
R51131	R51130	R51129	R51128	R51127	R51126	R51125	R51124
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R51123	R51122	R51121	R51120	R51119	R51118	R51117	R51116
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R51115	R51114	R51113	R51112	R51111	R51110	R51109	R51108
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R51107	R51106	R51105	R51104	R51103	R51102	R51101	R51100
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	R511[31:0]	受信パケット長が256-511バイトである場合に、カウントされます。CRCエラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。

(21) R1K : 受信 512-1023 バイト・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0190_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
R1K31	R1K30	R1K29	R1K28	R1K27	R1K26	R1K25	R1K24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R1K23	R1K22	R1K21	R1K20	R1K19	R1K18	R1K17	R1K16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R1K15	R1K14	R1K13	R1K12	R1K11	R1K10	R1K9	R1K8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R1K7	R1K6	R1K5	R1K4	R1K3	R1K2	R1K1	R1K0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	R1K[31:0]	受信パケット長が512-1023バイトである場合に、カウントされます。CRCエラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

(22) RMAX : 受信 1024-MAX バイト・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0194_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RMAX31	RMAX30	RMAX29	RMAX28	RMAX27	RMAX26	RMAX25	RMAX24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RMAX23	RMAX22	RMAX21	RMAX20	RMAX19	RMAX18	RMAX17	RMAX16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RMAX15	RMAX14	RMAX13	RMAX12	RMAX11	RMAX10	RMAX9	RMAX8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RMAX7	RMAX6	RMAX5	RMAX4	RMAX3	RMAX2	RMAX1	RMAX0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RMAX[31:0]	受信パケット長が1024-1518バイト (VLANフレーム時は1024-1522バイト) である場合に、カウントされます。CRCエラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

(23) RVBT : 受信有効バイト・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0198_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RVBT31	RVBT30	RVBT29	RVBT28	RVBT27	RVBT26	RVBT25	RVBT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RVBT23	RVBT22	RVBT21	RVBT20	RVBT19	RVBT18	RVBT17	RVBT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RVBT15	RVBT14	RVBT13	RVBT12	RVBT11	RVBT10	RVBT9	RVBT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RVBT7	RVBT6	RVBT5	RVBT4	RVBT3	RVBT2	RVBT1	RVBT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	RVBT[31:0]	有効なパケットのバイト・カウントを示します。デスティネーション・アドレスからFCSバイトまでをカウントします。

(24) TBYT : 送信バイト・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01C0_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TBYT31	TBYT30	TBYT29	TBYT28	TBYT27	TBYT26	TBYT25	TBYT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TBYT23	TBYT22	TBYT21	TBYT20	TBYT19	TBYT18	TBYT17	TBYT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TBYT15	TBYT14	TBYT13	TBYT12	TBYT11	TBYT10	TBYT9	TBYT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TBYT7	TBYT6	TBYT5	TBYT4	TBYT3	TBYT2	TBYT1	TBYT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TBYT[31:0]	送信パケットのバイト・カウントを示します。送信が完了あるいはアボートするまでの間にコリジョンが発生した場合には、コリジョンが発生したときの送信バイトもカウントされます。ただし、プリアンブル、SFDについてはカウントされません。

(25) TPKT : 送信パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01C4_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TPKT31	TPKT30	TPKT29	TPKT28	TPKT27	TPKT26	TPKT25	TPKT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TPKT23	TPKT22	TPKT21	TPKT20	TPKT19	TPKT18	TPKT17	TPKT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TPKT15	TPKT14	TPKT13	TPKT12	TPKT11	TPKT10	TPKT9	TPKT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TPKT7	TPKT6	TPKT5	TPKT4	TPKT3	TPKT2	TPKT1	TPKT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TPKT[31:0]	すべてのパケット送信ごとにカウントされます。エラーが発生したパケット,すべてのユニキャスト・パケット,すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。

(26) TFCS : 送信 FCS エラー・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01C8_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TFCS31	TFCS30	TFCS29	TFCS28	TFCS27	TFCS26	TFCS25	TFCS24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TFCS23	TFCS22	TFCS21	TFCS20	TFCS19	TFCS18	TFCS17	TFCS16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TFCS15	TFCS14	TFCS13	TFCS12	TFCS11	TFCS10	TFCS9	TFCS8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TFCS7	TFCS6	TFCS5	TFCS4	TFCS3	TFCS2	TFCS1	TFCS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TFCS[31:0]	送信パケットに付加されるFCSフィールドにおいて, CRCエラーが検出された場合にカウントされます。 送信がアボートした場合にはカウントされません。

(27) TMCA : 送信マルチキャスト・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01CC_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TMCA31	TMCA30	TMCA29	TMCA28	TMCA27	TMCA26	TMCA25	TMCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TMCA23	TMCA22	TMCA21	TMCA20	TMCA19	TMCA18	TMCA17	TMCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TMCA15	TMCA14	TMCA13	TMCA12	TMCA11	TMCA10	TMCA9	TMCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TMCA7	TMCA6	TMCA5	TMCA4	TMCA3	TMCA2	TMCA1	TMCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TMCA[31:0]	マルチキャスト・パケットを送信した場合、カウントされます。ブロードキャスト・パケットは含まれません。また、送信がアポートした場合、またはCRCエラーが検出された場合はカウントされません。

(28) TBCA : 送信ブロードキャスト・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01D0_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TBCA31	TBCA30	TBCA29	TBCA28	TBCA27	TBCA26	TBCA25	TBCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TBCA23	TBCA22	TBCA21	TBCA20	TBCA19	TBCA18	TBCA17	TBCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TBCA15	TBCA14	TBCA13	TBCA12	TBCA11	TBCA10	TBCA9	TBCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TBCA7	TBCA6	TBCA5	TBCA4	TBCA3	TBCA2	TBCA1	TBCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TBCA[31:0]	ブロードキャスト・パケットを送信した場合、カウントされます。マルチキャスト・パケットは含まれません。また、送信がアポートした場合、またはCRCエラーが検出された場合はカウントされません。

(29) TUCA : 送信ユニキャスト・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01D4_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TUCA31	TUCA30	TUCA29	TUCA28	TUCA27	TUCA26	TUCA25	TUCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TUCA23	TUCA22	TUCA21	TUCA20	TUCA19	TUCA18	TUCA17	TUCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TUCA15	TUCA14	TUCA13	TUCA12	TUCA11	TUCA10	TUCA9	TUCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TUCA7	TUCA6	TUCA5	TUCA4	TUCA3	TUCA2	TUCA1	TUCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TUCA[31:0]	ユニキャスト・パケットを送信した場合、カウントされます。 送信がアボートした場合、またはCRCエラーが検出された場合はカウントされません。

(30) TXPF : 送信ポーズ・コントロール・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01D8_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TXPF31	TXPF30	TXPF29	TXPF28	TXPF27	TXPF26	TXPF25	TXPF24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TXPF23	TXPF22	TXPF21	TXPF20	TXPF19	TXPF18	TXPF17	TXPF16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TXPF15	TXPF14	TXPF13	TXPF12	TXPF11	TXPF10	TXPF9	TXPF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TXPF7	TXPF6	TXPF5	TXPF4	TXPF3	TXPF2	TXPF1	TXPF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TXPF[31:0]	受信FIFO内にデータが溜ったことによって、ポーズ・コントロール・フレームを送信するたびにカウントされます。

(31) TDFR : 送信遅延パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01DC_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TDFR31	TDFR30	TDFR29	TDFR28	TDFR27	TDFR26	TDFR25	TDFR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TDFR23	TDFR22	TDFR21	TDFR20	TDFR19	TDFR18	TDFR17	TDFR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TDFR15	TDFR14	TDFR13	TDFR12	TDFR11	TDFR10	TDFR9	TDFR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TDFR7	TDFR6	TDFR5	TDFR4	TDFR3	TDFR2	TDFR1	TDFR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TDFR[31:0]	送信を開始しようとしたときにキャリア検出によって送信遅延が発生した場合、カウントされます。遅延発生後開始された送信中にコリジョンが発生した場合には、このカウンタはカウントされません。

(32) TXDF : 送信過剰遅延パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01E0_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TXDF31	TXDF30	TXDF29	TXDF28	TXDF27	TXDF26	TXDF25	TXDF24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TXDF23	TXDF22	TXDF21	TXDF20	TXDF19	TXDF18	TXDF17	TXDF16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TXDF15	TXDF14	TXDF13	TXDF12	TXDF11	TXDF10	TXDF9	TXDF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TXDF7	TXDF6	TXDF5	TXDF4	TXDF3	TXDF2	TXDF1	TXDF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TXDF[31:0]	過剰遅延によって送信がアボートされた場合、カウントされます。

(33) TSCL : 送信シングル・コリジョン・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01E4_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TSCL31	TSCL30	TSCL29	TSCL28	TSCL27	TSCL26	TSCL25	TSCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TSCL23	TSCL22	TSCL21	TSCL20	TSCL19	TSCL18	TSCL17	TSCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TSCL15	TSCL14	TSCL13	TSCL12	TSCL11	TSCL10	TSCL9	TSCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TSCL7	TSCL6	TSCL5	TSCL4	TSCL3	TSCL2	TSCL1	TSCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TSCL[31:0]	送信中に、1回のコリジョンが発生したあと送信が成功した場合、カウントされます。

(34) TMCL : 送信マルチプル・コリジョン・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01E8_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TMCL31	TMCL30	TMCL29	TMCL28	TMCL27	TMCL26	TMCL25	TMCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TMCL23	TMCL22	TMCL21	TMCL20	TMCL19	TMCL18	TMCL17	TMCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TMCL15	TMCL14	TMCL13	TMCL12	TMCL11	TMCL10	TMCL9	TMCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TMCL7	TMCL6	TMCL5	TMCL4	TMCL3	TMCL2	TMCL1	TMCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TMCL[31:0]	送信中に、複数回（2回以上でCLRT.RETRYの設定値以下）のコリジョンが発生したあと送信が成功した場合、カウントされます。

(35) TLCL : 送信レイト・コリジョン・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01EC_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TLCL31	TLCL30	TLCL29	TLCL28	TLCL27	TLCL26	TLCL25	TLCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TLCL23	TLCL22	TLCL21	TLCL20	TLCL19	TLCL18	TLCL17	TLCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TLCL15	TLCL14	TLCL13	TLCL12	TLCL11	TLCL10	TLCL9	TLCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TLCL7	TLCL6	TLCL5	TLCL4	TLCL3	TLCL2	TLCL1	TLCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TLCL[31:0]	送信時にレイト・コリジョンが発生した場合、カウントされます。

(36) TXCL : 送信過剰コリジョン・パケット・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01F0_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TXCL31	TXCL30	TXCL29	TXCL28	TXCL27	TXCL26	TXCL25	TXCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TXCL23	TXCL22	TXCL21	TXCL20	TXCL19	TXCL18	TXCL17	TXCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TXCL15	TXCL14	TXCL13	TXCL12	TXCL11	TXCL10	TXCL9	TXCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TXCL7	TXCL6	TXCL5	TXCL4	TXCL3	TXCL2	TXCL1	TXCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TXCL[31:0]	1回の送信動作で、CLRT.RETRYに設定された値を越えてコリジョンが発生した場合、カウントされます。

(37) TNCL : 送信トータル・コリジョン・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01F4_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TNCL31	TNCL30	TNCL29	TNCL28	TNCL27	TNCL26	TNCL25	TNCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TNCL23	TNCL22	TNCL21	TNCL20	TNCL19	TNCL18	TNCL17	TNCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TNCL15	TNCL14	TNCL13	TNCL12	TNCL11	TNCL10	TNCL9	TNCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TNCL7	TNCL6	TNCL5	TNCL4	TNCL3	TNCL2	TNCL1	TNCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TNCL[31:0]	発生したコリジョンのうち、コリジョン発生後送信が成功した場合のみのコリジョン回数をカウントします。

(38) TCSE : 送信キャリア・センス・エラー・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01F8_H初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TCSE31	TCSE30	TCSE29	TCSE28	TCSE27	TCSE26	TCSE25	TCSE24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TCSE23	TCSE22	TCSE21	TCSE20	TCSE19	TCSE18	TCSE17	TCSE16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TCSE15	TCSE14	TCSE13	TCSE12	TCSE11	TCSE10	TCSE9	TCSE8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TCSE7	TCSE6	TCSE5	TCSE4	TCSE3	TCSE2	TCSE1	TCSE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TCSE[31:0]	送信中にキャリア・センス・エラーが発生した場合、カウントされます。

(39) TIME : MAC 内部エラー・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 01FC_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TIME31	TIME30	TIME29	TIME28	TIME27	TIME26	TIME25	TIME24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TIME23	TIME22	TIME21	TIME20	TIME19	TIME18	TIME17	TIME16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TIME15	TIME14	TIME13	TIME12	TIME11	TIME10	TIME9	TIME8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TIME7	TIME6	TIME5	TIME4	TIME3	TIME2	TIME1	TIME0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-0	TIME[31:0]	送信中にMAC内部でエラーあるいはLMAXレジスタを越える送信が発生した場合、カウントされません。

23. 4. 3 FIFOコントローラ制御レジスタ

(1) MFFCONT : FIFO コントローラ・コントロール・レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0200_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意1. 次のビットは必ず下記の値（固定）で使用してください。指定の値以外の設定では、正常な動作を保証できません。

- RXSDMA[1:0] = 10
- ASOE = 0
- APS = 1
- APL = 1
- RXTHRC = 0
- TXTHRC = 0

2. ビット29, 28, 23-19, 13, 7-3は必ず0を設定してください。

31	30	29	28	27	26	25	24
LOOPBACK	RCSEL	0	0	IMLP3	IMLP2	IMLP1	IMLP0
R/W	R/W	R	R	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	FLOWCNT	IVPAUSE	ZEROPAUSE
R	R	R	R	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXSDMA1	RXSDMA0	0	ASOE	APS	APL	RXTHRC	RXEN
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	TABT	TXTHRC	TXEN
R	R	R	R	R	R/W	R/W	R/W

(1/2)

ビット位置	ビット名	意味
31	LOOPBACK	ループ・バック・モード 送信FIFOと受信FIFO間でループ・バックします。 0 : 通常モード 1 : ループ・バック・モード
30	RCSEL	RXCLKセレクト 内部に接続されるRXCLKを、TXCLKに切り換えます。 MACのループ・バック・モード、FIFOコントローラのループ・バック・モード時に、RXCLKをTXCLKに切り換える必要がある場合に設定します。 0 : 通常モード 1 : クロック切換えモード (RXCLK TXCLKに切り換えます)。
27-24	IMLP[3:0]	“ 0000 ” を設定してください。

(2/2)

ビット位置	ビット名	意味
18	FLOWCNT	フロー制御オン/オフ 0: フロー制御オフ 1: フロー制御オン
17	IVPAUSE	インターバル・ポーズ・パケット送信制御 ポーズ・パケットの再発行の方法を指定します。 0: FIFOのしきい値による再発行 内蔵ポーズ・タイム (PAUSETM.IPTIME) を使わない 1: 内蔵ポーズ・タイムによる再発行 内蔵ポーズ・タイム (PAUSETM.IPTIME) を使う
16	ZEROPAUSE	ゼロ・ポーズ・パケット出力オン/オフ 0: ゼロ・ポーズ・パケット送出オフ 1: ゼロ・ポーズ・パケット送出オン
15, 14	RXSDMA [1:0]	10固定で使用してください。
12	ASOE	0固定で使用してください。
11	APS	1固定で使用してください。
10	APL	1固定で使用してください。
9	RXTHRC	0固定で使用してください。
8	RXEN	受信イネーブル 0: 受信停止 1: 受信許可 〔受信停止の書き込みタイミングについて〕 MACから受信FIFOへの書き込み中に、受信停止のレジスタ書き込みがあった場合は、そのパケットの受信FIFOへの書き込み終了を待って、受信FIFO書き込み回路を停止します。システム側の受信FIFOの停止は、受信FIFOに書き込まれたパケットをすべて読み出して停止となります。フロー制御回路はRXENビットでは停止しません。
2	TABT	送信アポート制御 MACがアポートしたパケットを再送します。 0: パケット破棄 1: パケット再送
1	TXTHRC	0固定で使用してください。
0	TXEN	送信イネーブル 0: 送信停止 1: 送信許可 〔送信停止の書き込みタイミングについて〕 送信FIFOのパケット書き込み途中に、送信停止のレジスタ書き込みがあった場合は、パケットの書き込みを終了 (ENDフラグを書き込み) するまで待って、送信FIFO書き込み回路を停止して、次のパケットの書き込み要求は行いません。MACへのパケット転送は送信FIFO内に存在するパケットをすべて転送して (エンプティまで読み出して) から停止となります。

(2) RSTCNT : ソフト・リセット制御レジスタ

ソフトウェア・リセットを制御するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0204_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-17, 15-9, 7-1は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	RFFLSH
R	R	R	R	R	R	R	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	TFFLSH
R	R	R	R	R	R	R	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SFTRST
R	R	R	R	R	R	R	R/W

ビット位置	ビット名	意味
16	RFFLSH	受信FIFOクリア (フラッシュ) 受信FIFO, 受信制御回路, フロー制御回路, 受信ステータス・レジスタ, 受信系の割り込みレジスタをクリアします。1をライトするとリセットを開始してセルフ・クリアします。 リードすると常に0が読み出されます。
8	TFFLSH	送信FIFOクリア (フラッシュ) 送信FIFO, 送信制御回路, 送信ステータス・レジスタ, 送信系の割り込みレジスタをクリアします。1をライトするとリセットを開始してセルフ・クリアします。
0	SFTRST	ソフトウェア・リセット FIFOコントローラ(MFF)の全回路をリセットします。1をライトするとリセット開始してセルフ・クリアします。

(3) FLOWTHRESH : フロー制御閾値レジスタ

フロー制御を開始する受信FIFOのしきい値，ゼロ・ポーズ・コントロール・フレームを送信する受信FIFOのしきい値を設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0218_H

初期値 0600 0200_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-27, 15-11は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	FLOWTHR10	FLOWTHR9	FLOWTHR8
R	R	R	R	R	R/W	R/W	R/W
23	22	21	20	19	18	17	16
FLOWTHR7	FLOWTHR6	FLOWTHR5	FLOWTHR4	FLOWTHR3	FLOWTHR2	FLOWTHR1	FLOWTHR0
R/W	R/W	R/W	R/W	R/W	R/W	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	ZPTR10	ZPTR9	ZPTR8
R	R	R	R	R	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ZPTR7	ZPTR6	ZPTR5	ZPTR4	ZPTR3	ZPTR2	ZPTR1	ZPTR0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット位置	ビット名	意味
26-16	FLOWTHR [10:0]	フロー制御を開始する受信FIFOの閾値をバイト単位で設定します。 受信FIFOの容量が設定値以上になったらフロー制御を開始します。 半二重ではバック・プレッシャー，全二重ではポーズ・コントロール・パケット送信を行います。 受信FIFOは32ビット（4バイト）単位なので，ビット17，ビット16へのライトは無視されます。 ビット17，ビット16をリードすると，常に0がリードされます。
10-0	ZPTR[10:0]	ゼロポーズ・コントロール・パケット送信の閾値をバイト単位で設定します。 ポーズ・コントロール・パケットによるフロー制御の時に，MFFCNT.ZEROPAUSEビットにハイ・レベルを設定してゼロ・ポーズ・パケット送信をイネーブルにしている場合に，設定スレッシュ以下になった場合に，ゼロ・ポーズ・パケットを送信するスレッシュを設定します。 受信FIFOは32ビット（4バイト）単位なので，ビット1，ビット0へのライトは無視されます。 ビット1，ビット0をリードすると，常に0がリードされます。

(4) PAUSETM : ポーズ・タイム値レジスタ

ポーズ・タイムを設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 021C_H

初期値 7FFF FFFF_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
IPTIME15	IPTIME14	IPTIME13	IPTIME12	IPTIME11	IPTIME10	IPTIME9	IPTIME8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
IPTIME7	IPTIME6	IPTIME5	IPTIME4	IPTIME3	IPTIME2	IPTIME1	IPTIME0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
PAUSETM_ MAX15	PAUSETM_ MAX14	PAUSETM_ MAX13	PAUSETM_ MAX12	PAUSETM_ MAX11	PAUSETM_ MAX10	PAUSETM_ MAX9	PAUSETM_ MAX8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PAUSETM_ MAX7	PAUSETM_ MAX6	PAUSETM_ MAX5	PAUSETM_ MAX4	PAUSETM_ MAX3	PAUSETM_ MAX2	PAUSETM_ MAX1	PAUSETM_ MAX0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
31-16	IPTIME[15:0]	<p>インターバル・ポーズ・パケット・タイム値</p> <p>MFFCNT.IVPAUSEビットでハイ・レベルを設定してインターバル・ポーズ・パケット送信をする場合の、ポーズ・パケット送信間隔を設定します。</p> <p>1単位時間 512ビット時間(回線側) 128 TXCLK</p> <p>デフォルト値 : 100 Mbps時@約168ms, 10 Mbps時@約1.68 s</p>
15-0	PAUSETM_ MAX[15:0]	<p>MAXポーズ・パケットのポーズ・コントロール・タイム値</p> <p>MACに対して、ポーズ・コントロール要求の時のTPTV[15:0]の値を設定します。</p> <p>1単位時間 512ビット時間(回線側) 128 TXCLK</p> <p>デフォルト値 : 100 Mbps時@約336 ms, 10Mbps時@約3.36 s</p>

(5) RXERSEL : 受信エラー選択レジスタ

受信エラーが発生したときに、それぞれのパケット受信 / 破棄を選択するレジスタです。

アクセス 32ビット単位でリード / ライト可能です。

アドレス 002E 0220_H

初期値 0000 0001_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット25-23, 15-2は必ず0を設定してください。

31	30	29	28	27	26	25	24
RLENE	VLAN	USOP	RPCF	RCFR	DBNB	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R
23	22	21	20	19	18	17	16
0	RLOR	RLER	RRCCE	RXER	CEPS	REPS	PAIG
R	R	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	TXRX	DVCF
R	R	R	R	R	R	R/W	R/W

(1/2)

ビット位置	ビット名	意味
31	RLENE	受信パケット・レングス・エラー 0 : 受信 1 : 破棄
30	VLAN	VLANパケット受信 0 : 受信 1 : 破棄
29	USOP	未定義オペコード・コントロール・パケット受信 0 : 受信 1 : 破棄
28	RPCF	ポーズ・コントロール・パケット受信 0 : 受信 1 : 破棄
27	RCFR	コントロール・パケット受信 0 : 受信 1 : 破棄
26	DBNB	ドリブル・ニブルを含むパケットの受信 0 : 受信 1 : 破棄
22	RLOR	レングス・フィールドが、1500を越えるパケットの受信 0 : 受信 1 : 破棄

(2/2)

ビット位置	ビット名	意味
21	RLER	リングス・フィールドが、データ・フィールド長と不一致 0: 受信 1: 破棄
20	RRCRE	CRCエラー 0: 受信 1: 破棄
19	RXER	RXER検出 0: 受信 1: 破棄
18	CEPS	False Carrier検出 0: 受信 1: 破棄
17	REPS	プリアンブル+SFDまでのパケット、あるいはデータ部が1ニブル 0: 受信 1: 破棄
16	PAIG	前回の受信後、次のいずれかに当てはまる条件が発生した6072ニブル(3036バイト)を越えるキャリア長を検出した場合パケット受信後、IFG+プリアンブル+SFDが、80ビット・タイム以下で次のパケットが受信された場合、ピュア・プリアンブルが設定されているときに不正なプリアンブルまたはSFDを受信した場合 0: 受信 1: 破棄
1	TXRX	MACが受信中のコリジョン発生を検出した場合 0: 受信 1: 破棄
0	DVCF	MACが受信したパケットが有効なコントロール・パケットであると判断した場合 0: 受信 1: 破棄

(6) TXSTMON1 : 送信ステータス・モニタ1 レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0230_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-21は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	CSE	TBP	TPP	TPCF	TCFR
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
TTBC15	TTBC14	TTBC13	TTBC12	TTBC11	TTBC10	TTBC9	TTBC8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TTBC7	TTBC6	TTBC5	TTBC4	TTBC3	TTBC2	TTBC1	TTBC0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
20	CSE	送信中にキャリア・ロストを検出
19	TBP	前回の送信後、バック・プレッシャー機能によってコリジョンが発生 ^{注1}
18	TPP	ポーズ中にリクエストされた送信パケットの送信終了 ^{注2}
17	TPCF	ポーズ・コントロール・パケットを送信
16	TCFR	コントロール・パケットを送信
15-0	TTBC[15:0]	コリジョンが発生したパケットを含む総送信バイト数

- 注1. 前回、送信ステータスが更新されてから今回、更新されるまでに条件が発生したことを示します。
2. ポーズ中にリクエストされたパケットがコントロール・フレームであった場合はセット(1)されません。

(7) TXSTMONI2 : 送信ステータス・モニタ 2 レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0234_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TUDR	TGNT	LCOL	ECOL	TEDFR	TDFR	TBRO	TMUL
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
TDONE	TFLOR	TFLER	TCRCE	TCBC3	TCBC2	TCBC1	TCBC0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
TBYT15	TBYT14	TBYT13	TBYT12	TBYT11	TBYT10	TBYT9	TBYT8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TBYT7	TBYT6	TBYT5	TBYT4	TBYT3	TBYT2	TBYT1	TBYT0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
31	TUDR	送信バケット・アンドランが検出された ^{注1}
30	TGNT	LMAXを越える長さのバケットを送信 ^{注2}
29	LCOL	レイト・コリジョン
28	ECOL	最大衝突回数を越える衝突
27	TEDFR	過剰送信
26	TDFR	遅延送信
25	TBRO	ブロードキャスト・パケット送信
24	TMUL	マルチキャスト・パケット送信
23	TDONE	送信終了 ^{注3}
22	TFLOR	レングス・フィールドが1500より大きい ^{注4}
21	TFLER	レングス・フィールドがデータ・フィールド長と不一致 ^{注4,5}
20	TCRCE	CRC 自動付加モードをオフした場合のCRC エラー
19-16	TCBC[3:0]	コリジョンによる再送回数 ^{注6}
15-0	TBYT[15:0]	送信正常終了時の送信バケット長 (バイト数) ^{注6}

- 注1. コリジョン発生がない場合のみセット(1)されます。
2. MACC1.HUGENビットが0に設定されている場合のみセット(1)されます。
3. 送信がアボートされた場合はセット(1)されません。
4. MACC1.FLCHTビットが0の場合はセット(1)されません。
5. 1500を越えるレングス・フィールドはTFLORとしてセット(1)され、TFLERにはセット(1)されません。
6. 送信アボート時は正しい値となりません。

(8) TXFINF1 : 送信ステータス1レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0238_H初期値 0000 0800_H。すべてのリセットに対して初期値にクリアされます。**注意** ビット31-25, 15-12は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	TPCNT8
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
TPCNT7	TPCNT6	TPCNT5	TPCNT4	TPCNT3	TPCNT2	TPCNT1	TPCNT0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	TREMAIN11	TREMAIN10	TREMAIN9	TREMAIN8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TREMAIN7	TREMAIN6	TREMAIN5	TREMAIN4	TREMAIN3	TREMAIN2	TREMAIN1	TREMAIN0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
24-16	TPCNT[8:0]	送信FIFOに存在するパケット数を表示 送信FIFO内に存在するパケット（スタート・フラグ～エンド・フラグ）の数を表示します。 システム側から、1パケットを書き込み完了するとインクリメントされます。 MACからの1パケットの読み出し完了（送信完了または、送信アボート）でデクリメントされます。
11-0	TREMAIN [11:0]	送信FIFO残量表示（バイト単位で表示） 送信FIFOは32ビット（4バイト）なので、ビット1、ビット0は無視して常に00が表示されます。

(9) TXFINF2 : 送信ステータス 2 レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 023C_H初期値 0000 0001_H。すべてのリセットに対して初期値にクリアされます。

注意1. 送信系のモード・レジスタを書き換える場合は、必ずTXFINF2.TXSTOPビット = 1になっていることを確認してから書き換えてください。

2. ビット31-1は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TXSTOP
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
0	TXSTOP	送信停止 (MFFCONT.TXEN = 0) に設定している状態で、送信FIFOにデータが存在していない状態で1が表示されます。 送信関係のモード設定レジスタを書き換える場合は、このビットが1の状態で行ってください。 0 : 送信FIFO動作中 1 : 送信FIFO停止

(10) RXSTMONI : 受信ステータス・モニタ・レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0240_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RLENE	VLAN	USOP	RPCF	RCFR	DBNB	RBRO	RMUL
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
RXOK	RLOR	RLER	RCRCE	RXER	CEPS	REPS	PAIG
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
RBYT15	RBYT14	RBYT13	RBYT12	RBYT11	RBYT10	RBYT9	RBYT8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RBYT7	RBYT6	RBYT5	RBYT4	RBYT3	RBYT2	RBYT1	RBYT0
R	R	R	R	R	R	R	R

(1/2)

ビット位置	ビット名	意味
31	RLENE	受信パケット・レングス・エラー 受信したパケットが64バイト未満または1518バイトより大きいことを示します(VLANの場合は64バイト未満または1522バイトより大きい場合)。
30	VLAN	VLANパケット TPIDフィールドがVLTPと一致したパケットの受信を示します ^{注1} 。
29	USOP	未定義オペコード・コントロール・パケット受信 ^{注2}
28	RPCF	ポーズ・コントロール・パケット受信 ^{注2}
27	RCFR	コントロール・パケット受信 ^{注2}
26	DBNB	ドリブル・ニブルを含むパケットの受信
25	RBRO	ブロードキャスト・パケット
24	RMUL	マルチキャスト・パケット
23	RXOK	受信終了 ^{注1}
22	RLOR	レングス・フィールドが1500を越えるパケットの受信 ^{注3}
21	RLER	レングス・フィールドがデータ・フィールド長と不一致 ^{注3, 4}
20	RCRCE	CRC エラー発生
19	RXER	RXER検出

注1. CRCエラー , RXERが発生した場合はセット(1)されません。

2. CRCエラーが発生した場合はセット(1)されません。

3. MACC1.FLCHTビットが0の場合はセット(1)されません。

4. レングス・フィールドが1500を越える場合は , RLORとしてセット(1)されRLERにはセット(1)されません。

(2/2)

ビット位置	ビット名	意味
18	CEPS	False Carrier検出 ^{注1}
17	REPS	プリアンブル+SFDまでのパケット, またはデータ部が1ニブルで終了したパケットの受信 ^{注1, 2}
16	PAIG	前回の受信後, 次のいずれかに当てはまる条件が発生した ^{注1} <ul style="list-style-type: none"> ・ 6072ニブル (3036バイト) を越えるキャリア長を検出した場合 ・ パケット受信後IFG+プリアンブル+SFDが80ビット・タイム以下で次のパケットが受信された場合^{注2} ・ ピュア・プリアンブルが設定されている時に不正なプリアンブルまたはSFDを受信した場合^{注2}
15-0	RBYT[15:0]	受信バイト数

注1. 前回, 受信ステータスが更新されてから今回, 更新されるまでに条件が発生したことを示します。

2. これらの条件が発生したパケットは無視され上位システムへは転送されません。RXSTMONIレジスタの更新タイミングは, 受信パケットのDMA転送終了時です (DMA転送したパケットのステータスを示す)。RXFINF1レジスタも, 同時期に更新されます。

RXSTATUSレジスタは, 受信パケットのDMA転送終了時に更新されます。受信ステータス・レジスタ1 (RXFINF1) も同時に更新されます。

(11) RXFINF1 : 受信ステータス1レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0244_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
RPLEN15	RPLEN14	RPLEN13	RPLEN12	RPLEN11	RPLEN10	RPLEN9	RPLEN8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RPLEN7	RPLEN6	RPLEN5	RPLEN4	RPLEN3	RPLEN2	RPLEN1	RPLEN0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
15-0	RPLEN[15:0]	受信パケット・レングスをバイト単位で表示します。 イーサネット・コントローラは、受信ディスクリプタのライト・バック時に、RPLENの値をサイズ・フィールドに使用します。

(12) RXFINF2 : 受信ステータス 2 レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0248_H

初期値 0000 0800_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-25, 15-12は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	RPCNT8
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
RPCNT7	RPCNT6	RPCNT5	RPCNT4	RPCNT3	RPCNT2	RPCNT1	RPCNT0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	RREMAIN1	RREMAIN1	RREMAIN9	RREMAIN8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RREMAIN7	RREMAIN6	RREMAIN5	RREMAIN4	RREMAIN3	RREMAIN2	RREMAIN1	RREMAIN0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
24-16	RPCNT[8:0]	受信FIFOに存在するパケット数を表示 受信FIFO内に存在するパケット（スタート・フラグ～ エンド・フラグ）の数を表示します。 MACからの1パケットの書き込み完了でインクリメントされます（受信破棄されたパケットはカウントしません）。 イーサネット・コントローラ専用DMACからの読み出し完了または、パケット・キャンセルされた場合は、内部でパケットのキャンセル動作が完了（パケット破棄）した時にデクリメントされます。
11-0	RREMAIN [11:0]	受信FIFO残量表示（バイト単位で表示） 受信FIFOは32ビット（4バイト）なので、ビット1、ビット0は無視され常に00が表示されます。

(13) RXFINF3 : 受信ステータス 3 レジスタ

受信停止状態での受信FIFOの状態を示すレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 024C_H

初期値 0000 0001_H。すべてのリセットに対して初期値にクリアされます。

注意1. 受信系とフロー制御系のモード・レジスタを書き換える場合は、必ずRXFINF3.RXSTOPビットがセット(1)されていることを確認してから書き換えてください。

2. ビット31-1は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	RXSTOP
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
0	RXSTOP	受信停止状態 (MFFCONT.RXEN = 0) に設定している状態で、受信FIFOにデータが存在していない状態で1が表示されます。 RX系とフロー制御系のモード設定レジスタを書き換える場合は、RXSTOPビットが1の状態で行ってください。 0 : 受信FIFO動作中 1 : 受信FIFO停止

(14) FSTATUS : FIFO ステータス割り込みレジスタ

FSTATUS_MASKの設定で割り込みがマスクされていない場合、INTETMFS割り込みが発生します。INTETMFS割り込み信号はレジスタのビットがセットされている期間、アサートされ続けます。FSTATUS_MASKでマスクされているビットでも、割り込み要因が発生すればレジスタはセットされます。FSTATUSレジスタのすべてのビットは、レジスタのリードによってクリアされます。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0250_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意1. FIFOステータス割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

2. ビット31-25, 23-17, 15-13, 9, 8, 5, 2は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	TACOF
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	RACOF
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	TSUP	TFNRTY	TFWE	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RFFE	RSUP	0	RFWE	RFOF	0	RFFLW	RFZP
R	R	R	R	R	R	R	R

(1/2)

ビット位置	ビット名	意味
24	TACOF	TXABTCNTレジスタ (TX ABORT COUNT) がオーバーフローするとセット (1) されます。
16	RACOF	RXABTCNTレジスタ (RX ABORT COUNT) がオーバーフローするとセット (1) されます。
12	TSUP	Tx Status Update TXSTMONI1, TXSTMONI2レジスタに送信ステータスが更新されるとセット (1) されます
11	TFNRTY	送信FIFO Abort (送信FIFO Not Retry) 送信に失敗し、FIFO内のデータを破棄したときにセット (1) されます。 TXABTCNTがインクリメントされる条件が該当します。
10	TFWE	送信FIFO書き込みエラーが発生するとセット (1) されます。
7	RFFE	受信FIFO Flag Error MACから受信FIFOに受信データを書き込む際に、ハンドシェイクが正常に行われなかったことを示します。受信パケット、受信ステータスが無効ですが、受信はキャンセルされません。 ・すべての受信データをFIFOに格納する前に、受信ステータスが更新された場合、受信ステータスが更新された時点でパケットの終了とします。 ・すべての受信データをFIFOに格納したあとに、受信ステータスが更新されなかった場合、受信ステータスがオール0とみなされます。

(2/2)

ビット位置	ビット名	意味
6	RSUP	受信ステータス・モニタ・レジスタ (RXSTMONI) が更新された場合にセット (1) されます。RXSTMONIレジスタまたは、RXFINF1レジスタから有効な値をリードすることが可能です。
4	RFWE	受信FIFO Write Error 32ビット (4バイト) 未満のケットを受信したので、受信FIFOにライトできなかった場合にセット (1) されます。
3	RFOF	受信FIFOがオーバーフローした場合にセット (1) されます。
1	RFFLW	受信FIFOの容量が、FLOWTHRESH.FLOWTHRの設定値以上になったことを示します。
0	RFZP	受信FIFOの容量が、FLOWTHRESH.ZPTHRの設定値以上になったことを示します

(15) FSTATUS_MASK : FIFO ステータス割り込みマスク・レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0254_H初期値 0101 1FFF_H。すべてのリセットに対して初期値にクリアされます。**注意** ビット31-25, 23-17, 15-13は必ず0を, ビット9, 8, 5, 2は必ず1を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	TACOF
R	R	R	R	R	R	R	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	RACOF
R	R	R	R	R	R	R	R/W
15	14	13	12	11	10	9	8
0	0	0	TSUP	TFNRTY	TFWE	1	1
R	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFFE	RSUP	1	RFWE	RFOF	1	RFFLW	RFZP
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
24	TACOF	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
16	RACOF	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
12	TSUP	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
11	TFNRTY	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
10	TFWE	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
7	RFFE	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
6	RSUP	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
4	RFWE	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
3	RFOF	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
1	RFFLW	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
0	RFZP	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)

(16) TXSTATUS : 送信ステータス割り込みレジスタ

送信ステータスの累積結果が格納されます。TXSTATUS_MASKの設定で割り込みがケアされていると、INTETMTS割り込みが発生します。INTETMTS割り込み信号はレジスタのビットがセットされている期間、アサートされ続けます。

TXSTATUS_MASKでマスクされているビットでも、割り込み要因が発生すればレジスタはセットされます。TXSTATUSレジスタのすべてのビットは、レジスタのリードによってクリアされます。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0258_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

- 注意1.** 送信ステータス割り込みレジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。
- 2.** ビット31-17, 15-8は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	TAB
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TGNT	LCOL	ECOL	TEDFR	TDFR	TFLOR	TFLER	TCRCE
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
16	TAB	送信アポートが発生した
7	TGNT	LMAXを越える長さのペケットを送信した (TAB要因) MACC1.HUGEN = 1の場合はセット (1) されません。
6	LCOL	レイト・コリジョンを検出した (TAB要因)
5	ECOL	最大衝突回数を越える衝突が発生した (TAB要因)
4	TEDFR	過剰送信遅延を検出した (TAB要因)
3	TDFR	送信遅延が発生した
2	TFLOR	リングス・フィールドが1500より大きい場合 VLANペケット・ポーズ・コントロール・フレーム等の送信時にもセット (1) されます。 MACC1.FLCHT = 0の場合はセット (1) されません。
1	TFLER	リングス・フィールドがデータ・フィールド長と不一致 MACC1.FLCHT = 0の場合はセット (1) されません。1500を越えるリングス・フィールドに対してはTFLORにレポートされ、TFLERはセット (1) されません。
0	TCRCE	CRCエラー CRC自動付加モードをオフに設定した場合 (MACC1.PADEN = 0, かつCRCEN = 0) の送信でセット (1) されます

(17) TXSTATUS_MASK : 送信ステータス割り込みマスク・レジスタ

送信ステータス割り込み (INTETMTS) の割り込みマスク・レジスタです。

このレジスタのマスクが解除されている割り込み要因が発生すると、INTCTSが発生します。INTCTSは、要因が発生している間、アサートされ続けます。TXSTATUS_MASKレジスタでマスクされている割り込み要因が発生した場合は、TXSTATUSレジスタの該当ビットがセット(1)されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 025C_H

初期値 0001 01FF_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-17, 15-8には必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	TAB
R	R	R	R	R	R	R	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TGNT	LCOL	ECOL	TEDFR	TDFR	TFLOR	TFLER	TCRCE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
16	TAB	0 : 割り込み許可 1 : 割り込みマスク
7	TGNT	0 : 割り込み許可 1 : 割り込みマスク
6	LCOL	0 : 割り込み許可 1 : 割り込みマスク
5	ECOL	0 : 割り込み許可 1 : 割り込みマスク
4	TEDFR	0 : 割り込み許可 1 : 割り込みマスク
3	TDFR	0 : 割り込み許可 1 : 割り込みマスク
2	TFLOR	0 : 割り込み許可 1 : 割り込みマスク
1	TFLER	0 : 割り込み許可 1 : 割り込みマスク
0	TCRCE	0 : 割り込み許可 1 : 割り込みマスク

(18) RXSTATUS : 受信ステータス割り込みレジスタ

受信ステータスの累積結果が格納されます。RXSTATUS_MASKの設定で割り込みがケアされていると、INTETMRS割り込みが発生します。INTETMRS割り込み信号はレジスタのビットがセット(1)されている期間、アサートされ続けます。

RXSTATUS_MASKでマスクされているビットでも、割り込み要因が発生すればレジスタはセット(1)されます。

RXERSEL (受信エラー・ステータス・レジスタ) の設定には影響されません。

RXSTATUSレジスタのすべてのビットは、リードによってクリアされます。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0260_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意1. 受信ステータス割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

2. ビット31-15は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	RLENE	VLAN	USOP	RPCF	RCFR	DBNB	RLOR
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RLER	RRCRCE	RXER	CEPS	REPS	PAIG	TXRX	DVCF
R	R	R	R	R	R	R	R

(1/2)

ビット位置	ビット名	意味
14	RLENE	受信パケット・レングス・エラー 受信したパケットが64バイト未満または1518バイトより大きいことを示します。 (VLANパケットの場合は64バイト未満または1522バイトより大きい場合)
13	VLAN	VLANパケット受信 TPIDフィールドがVLTPと一致したパケットの受信 ^{注1}
12	USOP	未定義オペコード・コントロール・パケット受信 ^{注2}
11	RPCF	ポーズ・コントロール・パケット受信 ^{注2}
10	RCFR	コントロール・パケット受信 ^{注2}
9	DBNB	ドリブル・ニブルを含むパケットの受信
8	RLOR	レングス・フィールドが、1500を越えるパケットの受信 ^{注3}
7	RLER	レングス・フィールドが、データ・フィールド長と不一致 ^{注3, 4}
6	RRCRCE	受信CRCエラー
5	RXER	RXERを検出した
4	CEPS	False Carrier検出 ^{注5}

(2/2)

ビット位置	ビット名	意味
3	REPS	プリアンブル+SFDまでのパケット, あるいはデータ部が1ニブル ^{注5, 6}
2	PAIG	前回の受信後, 次のいずれかに当てはまる条件が発生した ^{注5} ・ 6072ニブル (3036バイト) を越えるキャリア長を検出した場合 ・ パケット受信後IFG+プリアンブル+SFDが80ビット・タイム以下で, 次パケットが受信された場合 ・ MACC1.PUREPビットが設定されているときに不正なプリアンブルまたはSFDを受信した場合
1	TXRX	半二重受信中 (受信開始直後) に送信を開始 (コリジョン発生) した場合
0	DVCF	受信したパケットが有効 (エラーを含まない) コントロール・パケットであった場合

- 注1. CRCエラー, RXERが発生した場合はセット (1) されません。
2. CRCエラーが発生した場合はセット (1) されません。
 3. MACC1.FLCHTビットが0の場合はセット (1) されません。
 4. レングス・フィールドが1500を越えている場合はRLORとしてセット(1)され, RLERはセット (1) されません。
 5. 前回受信ステータスが更新されてから, 今回受信ステータスが更新されるまでの間に条件が発生したことを示します。
 6. これらの条件が発生したパケットは無視され, 上位システムへは転送されません。

(19) RXSTATUS_MASK : 受信ステータス割り込みマスク・レジスタ

受信ステータス割り込み (INTETMRS) の割り込みマスク・レジスタです。

このレジスタのマスクが解除されている割り込み要因が発生すると、INTETMRSが発生します。INTETMRSは、要因が発生している間、アサートされ続けます。RXSTATUS_MASKレジスタでマスクされている割り込み要因が発生した場合は、RXSTATUSレジスタの該当ビットがセット(1)されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0264_H

初期値 0000 7FFF_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-15は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	RLENE	VLAN	USOP	RPCF	RCFR	DBNB	RLOR
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RLER	RCRCE	RXER	CEPS	REPS	PAIG	TXRX	DVCF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(1/2)

ビット位置	ビット名	意味
14	RLENE	0 : 割り込み発生 1 : 割り込みマスク
13	VLAN	0 : 割り込み発生 1 : 割り込みマスク
12	USOP	0 : 割り込み発生 1 : 割り込みマスク
11	RPCF	0 : 割り込み発生 1 : 割り込みマスク
10	RCFR	0 : 割り込み発生 1 : 割り込みマスク
9	DBNB	0 : 割り込み発生 1 : 割り込みマスク
8	RLOR	0 : 割り込み発生 1 : 割り込みマスク
7	RLER	0 : 割り込み発生 1 : 割り込みマスク
6	RCRCE	0 : 割り込み発生 1 : 割り込みマスク

(2/2)

ビット位置	ビット名	意味
5	RXER	0 : 割り込み発生 1 : 割り込みマスク
4	CEPS	0 : 割り込み発生 1 : 割り込みマスク
3	REPS	0 : 割り込み発生 1 : 割り込みマスク
2	PAIG	0 : 割り込み発生 1 : 割り込みマスク
1	TXRX	0 : 割り込み発生 1 : 割り込みマスク
0	DVCF	0 : 割り込み発生 1 : 割り込みマスク

(20) TXABTCNT : 送信アポート・カウンタ

送信アポート・カウンタです。MAC送信エラーとなったパケット数をカウントします（アンダランも含む）。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0270_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
TABCNT15	TABCNT14	TABCNT13	TABCNT12	TABCNT11	TABCNT10	TABCNT9	TABCNT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TABCNT7	TABCNT6	TABCNT5	TABCNT4	TABCNT3	TABCNT2	TABCNT1	TABCNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
15-0	TABCNT [15:0]	送信アポート・カウンタ MAC送信エラーとなったパケット数をカウントします（アンダラン含む）。 MFFCONT.TABT = 1に設定して、送信アポート・パケットを再送する設定にしている場合はカウントされません。 MFFCONT.TXTHRC = 1に設定している場合はアポートによる再送は実行されませんので、カウントされません。 68バイト転送以後のリトライ要求では再送しませんのでカウントされます（通常は64バイト転送後にMACがリトライ要求を出すことはありません） カウント値がオーバーフローした場合、値は0に戻り、FSTATUS.TACOFビットがセットされます。 送信回路リセット（TFRST, TFFLSH）ではクリアされません。

(21) RXABTCNT : 受信アボート・カウンタ

受信アボート・カウントです。受信パケットのステータスや、受信FIFOのステータス、MACのアドレス・フィルタリング、コントロール・パケットの受信などにより、受信パケットが破棄された数をカウントします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0274_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-16は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
TABCNT15	TABCNT14	TABCNT13	TABCNT12	TABCNT11	TABCNT10	TABCNT9	TABCNT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TABCNT7	TABCNT6	TABCNT5	TABCNT4	TABCNT3	TABCNT2	TABCNT1	TABCNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
15-0	TABCNT [15:0]	受信アボート・カウント 受信パケットのステータスや、受信FIFOのステータス、MACのアドレス・フィルタリング、コントロール・パケットの受信などにより、受信パケットが破棄された数をカウントします。 カウント値がオーバーフローした場合、値は0に戻り、FSTATUS.RACOFビットがセットされます。 受信回路リセット (RFRST, RFFLSH) ではクリアされません。

23. 4. 4 イーサネット・コントローラ専用DMAC制御レジスタ

(1) ETHMODE : コア・ファンクション制御レジスタ

送受信の制御をするレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0300_H

初期値 0000 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-19, 16-0は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	RXS	TXS	0
R	R	R	R	R	R/W	R/W	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
18	RXS	受信許可ビットです。RXSビットの値は、1がセットされたあと、自動的にクリアされます。
17	TXS	送信許可ビットです。TXSビットの値は、1がセットされたあと、自動的にクリアされます。

(2) INTMS : 割り込み制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0304_H初期値 0700 0700_H。すべてのリセットに対して初期値にクリアされます。**注意** ビット31-27, 23-19, 15-11, 7-3は必ず0を設定してください。**備考** INTMSレジスタのRBEI, RECI, RXI, TBEI, TECI, TXIビットはリードされるとクリアされます。

31	30	29	28	27	26	25	24
0	0	0	0	0	RBEMSK	RECMSK	RXMSK
R	R	R	R	R	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	RBEI	RECI	RXI
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	TBEMSK	TECMSK	TXMSK
R	R	R	R	R	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	TBEI	TECI	TXI
R	R	R	R	R	R	R	R

(1/2)

ビット位置	ビット名	意味
26	RBEMSK	ビット18のRBEI割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
25	RECMSK	ビット17のRECI割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
24	RXMSK	ビット16のRXI割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
18	RBEI	受信データ・パuffァ・アクセス・エラー割り込みです。リード・クリアされます。 0 : 割り込みなし 1 : 割り込み発生
17	RECI	受信 (DMA) エンド・オブ・チェーン割り込みです。リード・クリアされます。 0 : 割り込みなし 1 : 割り込み発生

(2/2)

ビット位置	ビット名	意味
16	RXI	パケット受信 (DMA) 完了の割り込みです。リード・クリアされます。 0 : 割り込みなし 1 : 割り込み発生
10	TBEMSK	ビット2のTBEI割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
9	TECMSK	ビット1のTECI割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
8	TXMSK	ビット0のTXI割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
2	TBEI	送信データ・バッファ・アクセス・エラー割り込みです。リード・クリアされます。 0 : 割り込みなし 1 : 割り込み発生
1	TECI	送信 (DMA) エンド・オブ・チェーン割り込みです。リード・クリアされます。 0 : 割り込みなし 1 : 割り込み発生
0	TXI	パケット送信 (DMA) 完了の割り込みです。リード・クリアされます。 0 : 割り込みなし 1 : 割り込み発生

(3) TRANSCTL : 転送制御レジスタ

イーサネット・コントローラ専用DMACの転送制御を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0308_H

初期値 0003 0000_H。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-26, 23-18, 15-1は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	RXEN_STA	TXEN_STA
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	RXEN	TXEN
R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	RXCHKSM EN
R	R	R	R	R	R	R	R/W

ビット位置	ビット名	意味
25	RXEN_STA	受信ステータス・ビットです。 0 : 受信動作は行われていない (IDLE状態) 1 : 受信動作中 割り込みレジスタ (INTMS) のRBEL, RECI割り込みが発生した場合, 受信動作は停止します。このときも, このビットはクリア (0) されます。
24	TXEN_STA	送信ステータス・ビットです。 0 : 送信動作は行われていない (IDLE状態) 1 : 送信動作中 割り込みレジスタ (INTMS) のTBEL, TECI割り込みが発生した場合, 送信動作は停止します。このときも, このビットはクリア (0) されます。
17	RXEN	受信イネーブル設定ビットです。 0 : 禁止 (受信DMA転送は停止します) 1 : 許可
16	TXEN	送信イネーブル設定ビットです。 0 : 禁止 (送信DMA転送は停止します) 1 : 許可
0	RXCHKSMEN	受信チェックサム付加機能のオン/オフを制御します。 0 : 禁止 1 : 許可

(4) SFTRST : ソフトウェア・リセット制御レジスタ

送受信イーサネット・コントローラ専用DMACをソフトウェア・リセットするためのレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 030C_H

初期値 0000 0000_{H0}。すべてのリセットに対して初期値にクリアされます。

注意 ビット31-1は必ず0を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SFTRST
R	R	R	R	R	R	R	R/W

ビット位置	ビット名	意味
0	SFTRST	ソフトウェア・リセット 1に設定するとイーサネット・コントローラ専用DMACの回路がリセットされます。 また、受信チェックサム・ユニットの回路もリセットされます。 1を書き込んだあと、SFTRSTビットは自動的にクリア(0)されます。

(5) DMACM : DMAC モード制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0310_H初期値 0000 0010_H。すべてのリセットに対して初期値にクリアされます。**注意** ビット31-11, 7-5, 3-0は必ず0を, ビット4は必ず1を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	BURST2	BURST1	BURST0
R	R	R	R	R	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	1	0	0	0	0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味																														
10-8	BURST [2:0]	バースト転送のタイプを指定します。 <table border="1"> <thead> <tr> <th>BURST2</th><th>BURST1</th><th>BURST0</th><th>タイプ</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>SINGLE</td><td>シングル転送</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>INCR4</td><td>4ビット・インクリメント・バースト</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>INCR8</td><td>8ビット・インクリメント・バースト</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>INCR16</td><td>16ビット・インクリメント・バースト</td></tr> <tr> <td colspan="3">上記以外</td><td colspan="2">設定禁止</td></tr> </tbody> </table>	BURST2	BURST1	BURST0	タイプ	動作	0	0	0	SINGLE	シングル転送	0	1	1	INCR4	4ビット・インクリメント・バースト	1	0	1	INCR8	8ビット・インクリメント・バースト	1	1	1	INCR16	16ビット・インクリメント・バースト	上記以外			設定禁止	
BURST2	BURST1	BURST0	タイプ	動作																												
0	0	0	SINGLE	シングル転送																												
0	1	1	INCR4	4ビット・インクリメント・バースト																												
1	0	1	INCR8	8ビット・インクリメント・バースト																												
1	1	1	INCR16	16ビット・インクリメント・バースト																												
上記以外			設定禁止																													

(6) RXDP : 受信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用DMACの、受信ディスクリプタのポインタ位置を設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0320_H

初期値 FFFF FFFC_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
RXDP31	RXDP30	RXDP29	RXDP28	RXDP27	RXDP26	RXDP25	RXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RXDP23	RXDP22	RXDP21	RXDP20	RXDP19	RXDP18	RXDP17	RXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXDP15	RXDP14	RXDP13	RXDP12	RXDP11	RXDP10	RXDP9	RXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RXDP7	RXDP6	RXDP5	RXDP4	RXDP3	RXDP2	RXDP1	RXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット位置	ビット名	意味
31-0	RXDP[31:0]	受信ディスクリプタのポインタ位置を設定します。受信ディスクリプタ・チェーンの先頭アドレスを指定してください。 ビット1, ビット0は00固定です。

(7) LSTRXDP : 最終受信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用DMACの、最終受信ディスクリプタ・アドレスを示します。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 0320_H

初期値 FFFF FFFC_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
LSTRXDP3	LSTRXDP3	LSTRXDP2	LSTRXDP2	LSTRXDP2	LSTRXDP2	LSTRXDP2	LSTRXDP2
1	0	9	8	7	6	5	4
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
LSTRXDP2	LSTRXDP2	LSTRXDP2	LSTRXDP2	LSTRXDP1	LSTRXDP1	LSTRXDP1	LSTRXDP1
3	2	1	0	9	8	7	6
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
LSTRXDP1	LSTRXDP1	LSTRXDP1	LSTRXDP1	LSTRXDP1	LSTRXDP1	LSTRXDP9	LSTRXDP8
5	4	3	2	1	0		
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
LSTRXDP7	LSTRXDP6	LSTRXDP5	LSTRXDP4	LSTRXDP3	LSTRXDP2	LSTRXDP1	LSTRXDP0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
31-0	LSTRXDP [31:0]	最終受信ディスクリプタポインタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。 ビット1, ビット0は00固定です。

(8) TXDP : 送信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用DMACの、送信ディスクリプタのポインタ位置を設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 002E 0328_H

初期値 FFFF FFFC_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
TXDP31	TXDP30	TXDP29	TXDP28	TXDP27	TXDP26	TXDP25	TXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TXDP23	TXDP22	TXDP21	TXDP20	TXDP19	TXDP18	TXDP17	TXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TXDP15	TXDP14	TXDP13	TXDP12	TXDP11	TXDP10	TXDP9	TXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TXDP7	TXDP6	TXDP5	TXDP4	TXDP3	TXDP2	TXDP1	TXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット位置	ビット名	意味
31-0	TXDP[31:0]	送信ディスクリプタのポインタ位置を設定します。送信ディスクリプタ・チェーンの先頭アドレスを指定してください。 ビット1, ビット0は00固定です。

(9) LSTTXDP : 最終送信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用DMACの最終送信ディスクリプタ・アドレスを示します。

アクセス 32ビット単位でリードのみ可能です。

アドレス 002E 032C_H

初期値 FFFF FFFC_H。すべてのリセットに対して初期値にクリアされます。

31	30	29	28	27	26	25	24
LSTTXDP31	LSTTXDP30	LSTTXDP29	LSTTXDP28	LSTTXDP27	LSTTXDP26	LSTTXDP25	LSTTXDP24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
LSTTXDP23	LSTTXDP22	LSTTXDP21	LSTTXDP20	LSTTXDP19	LSTTXDP18	LSTTXDP17	LSTTXDP16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
LSTTXDP15	LSTTXDP14	LSTTXDP13	LSTTXDP12	LSTTXDP11	LSTTXDP10	LSTTXDP9	LSTTXDP8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
LSTTXDP7	LSTTXDP6	LSTTXDP5	LSTTXDP4	LSTTXDP3	LSTTXDP2	LSTTXDP1	LSTTXDP0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
31-0	LSTTXDP [31:0]	最終ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。 ビット1, ビット0は00固定です。

23.5 MAC/FIFO/DMAC機能

23.5.1 フレーム・フォーマット

イーサネット / IEEE 802.3においては、情報はパケットあるいはフレームと呼ばれる形式で送信および受信が行われます。

イーサネット・コントローラでは、次の3種類のフレーム・フォーマットをサポートします。

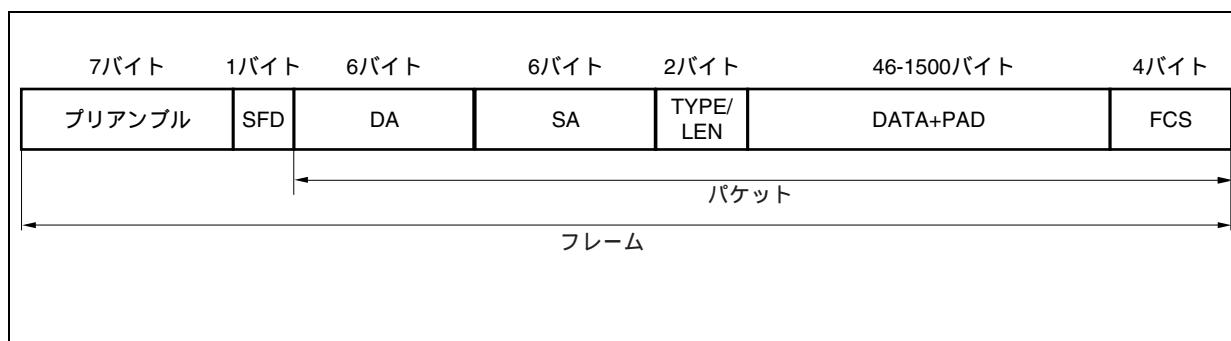
- ・ベーシック・フレーム
- ・VLANフレーム
- ・ポーズ・コントロール・フレーム

(1) Basic フレーム

イーサネットで用いられる基本のフレーム・フォーマットは、プリアンブル (PA)、フレーム開始デリミタ (SFD)、デスティネーション・アドレス (DA)、ソース・アドレス (SA)、タイプ/レングス・フィールド (TYPE/LEN)、データ・フィールド (DATA) およびフレーム・チェック・シーケンス (FCS) から構成されます。

パケット・サイズは、プリアンブル (PA) およびフレーム開始デリミタ (SFD) を除き、最小で64バイト、最大で1518バイトと定義されています。

図23 - 3 Basicフレーム構造



(a) プリアンブルおよび SFD

プリアンブルおよびSFDは62ビットの連続した10の繰り返しと11からなり、各フレームの先頭部を示します。

(b) デスティネーション・アドレス (DA)

デスティネーション・アドレス・フィールドは宛先のMACアドレスを示しており、ユニキャスト・アドレス、マルチキャスト・アドレスあるいはブロードキャスト・アドレスが書き込まれます。

(c) ソース・アドレス (SA)

ソース・アドレス・フィールドには、送信元のMACアドレスが書き込まれます。

(d) タイプ/レングス・フィールド

イーサネット・フレームではプロトコル・タイプを示すフィールドとして使われます。IEEE802.3フレームではデータ・フィールドの長さを示すレングス・フィールドとして使われます。

(e) データ・フィールド

データ・フィールドは、46バイトから1500バイトの間で設定されます。

通信プロトコルによっては、データ・フィールドを更に分割して、専用のヘッダ情報を挿入しますが、イーサネット・コントローラでは、データ・フィールド中のデータはFCS用のCRC計算に使用するだけで、内容の確認などはいりません。

(f) フレーム・チェック・シーケンス (FCS)

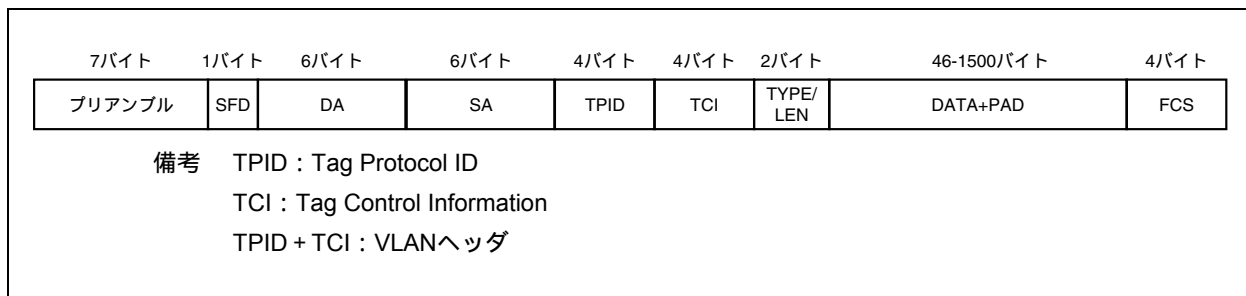
フレーム・チェック・シーケンス・フィールドは、転送データのチェックを行うために32ビットCRC (Cyclic Redundancy Check) の書き込みフィールドとして使われます。

イーサネット・コントローラは、送信フレームにCRCを自動で付加する機能があります。

(2) VLAN フレーム

VLANフレーム (Qtagフレーム) の場合には、通常のフレーム構造とは多少異なります。ソース・アドレス・フィールドの直後に4バイトのVLANヘッダが挿入されます。その結果、VLANフレームの場合、最小パケット長は64バイト、最大パケット長は1522バイトになります。イーサネット・コントローラではVLANフレーム検出機能をもっており、送信パケットあるいは受信パケットがVLANフレームとして検出された場合、この受信パケット長を基準にパケット処理を行います。

図23 - 4 VLANフレーム構造

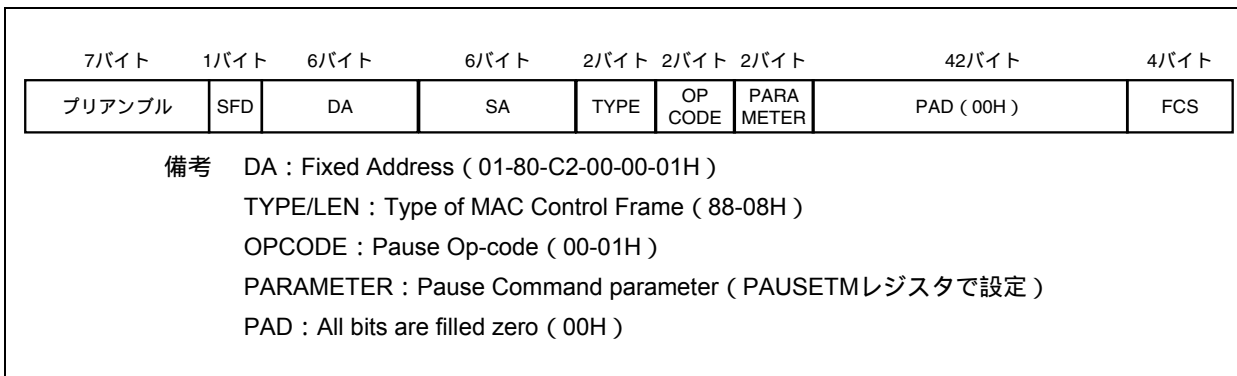


注意 イーサネット・コントローラは、VLTP.VLTP[15:0]ビットに設定した値をVLANタイプ (TPID) として認識します。デフォルト値は0000_Hとなっています。詳細は、23. 4. 1(10)VLTP : VLANタイプ・レジスタを参照してください。

(3) ポーズ・コントロール・フレーム

ポーズ・コントロール・フレームは、専用フォーマットの64バイトのパケットです。デスティネーション・アドレス・フィールドは、01-80-C2-00-00-01_Hに決まっています。タイプ/レングス・フィールドはコントロール・フレームを示す8808_H、オペコードはポーズ・コントロールを示す0001_Hが入ります。パラメータ・フィールドはPAUSETMレジスタの値が入ります。パラメータ・フィールドの後ろの未使用領域はPADデータ“0”で埋められます。

図23 - 5 ポーズ・コントロール・フレーム構造



イーサネット・コントローラには、受信FIFO内に残っているデータ量によって、自動的にポーズ・コントロール・フレームを送信する機能があります。

受信時は、DA、TYPE、OPCODEによって、表23 - 7に示すようにフレームを判断します。

表23 - 5 受信オペレーション

DA	TYPE	OPCODE	フレームの判断
01-80-C2-00-00-01	8808 _H	0001 _H	ポーズ・フレーム
01-80-C2-00-00-01	8808 _H	0001 _H 以外	サポート対象外
01-80-C2-00-00-01	8808 _H 以外	xxxx	データ・フレーム
ユニキャスト (Stat. Adr.)	8808 _H	0001 _H	ポーズ・フレーム
ユニキャスト (Stat. Adr.)	8808 _H	0001 _H 以外	サポート対象外
ユニキャスト (Stat. Adr.)	8808 _H 以外	xxxx	データ・フレーム
マルチキャスト	8808 _H	xxxx	サポート対象外
マルチキャスト	8808 _H 以外	xxxx	データ・フレーム
ユニキャスト (Stat. Adr.)	8808 _H	xxxx	サポート対象外
ユニキャスト (Stat. Adr.)	8808 _H 以外	xxxx	データ・フレーム

(4) VLAN タグを含むポーズ・コントロール・フレーム

イーサネット・コントローラは、VLANタグを含むポーズ・コントロール・フレームには対応しません。

そのまま通常のVLANパケットとして受信動作を行います。受信ステータス・モニタ (RXSTMONI) のRBROフラグとRLORフラグが立ちます (RPCFフラグとRFCRフラグは立ちません)。

(5) envelope フレーム

envelopeフレームは、IEEE802.3as (2005年) で拡張されたフレーム・フォーマットで、1000 Mbps半二重通信用のフレームなのでイーサネット・コントローラは対応していません。EXTENSIONフィールドを含むenvelopeフレームを受信した場合、CRCエラー、レンジス・フィールド不一致、あるいは受信FIFOオーバーフローとなりますので、受信ステータスを確認して破棄して下さい。

イーサネット・コントローラは、EXTENSIONフィールドを含むenvelopeフレームは送信できません。

23.5.2 送信機能

イーサネット・コントローラの送信機能は、イーサネット・コントローラ専用DMACのDMA転送により送信FIFOに取り込んだ送信パケット・データから、IEEE 802.3で定義される送信フレームを生成してPHYに出力します。衝突検出時にはランダム・バックオフ・アルゴリズムによる再送信を実行します。過剰送信遅延、最大衝突回数を越える衝突など、送信フレームごとのステータス情報は、TXSTATUSレジスタに反映され、全送信フレームの項目別の発生回数が統計カウンタにカウントされます。

(1) 送信フレーム

IEEE 802.3で定義されるフレーム・フォーマットは、次の6つで構成されます(図23-3 Basic フレーム構造参照)。

- ・ プリアンブル (PA)
- ・ フレーム開始デリミタ (SFD)
- ・ デスティネーション・アドレス (DA)
- ・ ソース・アドレス (SA)
- ・ レングス・フィールド (LEN)
- ・ データおよびフレーム・チェック・シーケンス (FCS)

送信動作において、イーサネット・コントローラは、プリアンブル、フレーム開始デリミッタおよびFCSデータを生成します。

(2) 送信クロック

イーサネット・コントローラは、外部 (PHY) から供給される送信クロック (TXCLK) に同期して動作します。DMA転送により送信FIFOに取り込まれた送信パケット・データは、FIFO内でTXCLKに同期化されてPHYに出力されます。IEEE 802.3の規格により、TXCLKの周波数は、100 Mbps動作時は25 MHz ± 100 ppm、10 Mbps動作時は2.5 MHz ± 100 ppmと規定されています。

(3) キャリア・センス信号 (CRS)

半二重通信時、イーサネット・コントローラは、FIFO内に送信データを格納し終わり、送信可能になったときに、キャリアが検出 (CRS = 1) されていた場合、キャリアの終了 (CRS = 0) まで送信を延期します。キャリアの終了後、IPGTレジスタによって設定されるパケット間ギャップ (IPG) カウントが満了したあとで送信を開始します。

送信可能になったときにキャリアが検出されず (CRS = 0)、かつ直前のキャリア終了後のIPGカウントが満了している場合、ただちに送信を開始します。

自局からのフレーム送信時は、キャリア・センス信号がPHYから折り返し送信 (受信) されますが、ユーザの構成するシステム (PHY) により、自局送信中のキャリア・センス信号がマスクされる場合、イーサネット・コントローラはキャリア・センス・エラーを検出しますが、送信動作自体に影響はありません。

(4) 衝突検出 (COL) と再送信

半二重通信時、イーサネット・コントローラは衝突を検出すると、ジャム・データ (エラーCRC) を送信したあと、送信を中止します。

最大衝突検出回数 (初期設定: 15回) 以内でコリジョン・ウィンドウ内の衝突を検出した場合、ランダム・バックオフ・アルゴリズムによる送信の待機を実行後、送信FIFO内のデータを再送信します (再送信時はDMAによるデータの取り直しを行いません)。

なお、最大衝突検出回数を越える衝突を検出した場合や、レイト・コリジョン (コリジョン・ウィンドウ外での衝突検出) が発生した場合には、その送信はアボートとなり、送信データは破棄されます。

(5) パケット間ギャップ (IPG)

自分が連続で送信する場合のIPGIはIPGTレジスタ、それ以外の場合のIPGIはIPGRレジスタで設定します。

イーサネット・コントローラでは、自分または他局の送信が終了した後にIPGのカウントを開始し、自分の送信後で、IPGカウントがIPGTレジスタに達する前に、FIFOから次の送信要求を示された場合には、連続 (Back-To-Back) での送信とみなし、カウント終了後ただちに送信を開始します。

他局の送信後にパケット送信を行う場合、IPGカウントはIPGRレジスタによって制御されます。IPGRレジスタでは、IPG全体の時間をIPGR2フィールドに設定し、IPG前半でキャリア・センスを行う時間をIPGR1フィールドに設定します。IPGR1フィールドで設定される期間中にキャリアが検出された場合は、キャリアの終了を待ってIPGカウントを始めからやり直します。IPGR1フィールドで設定される期間にキャリアが検出されなかった場合には、IPGR2フィールドで設定されたIPGカウントの終了後、送信を開始します。

FIFOから次の送信要求を受理してから、24288ビット・タイム (10 Mbps : 2.43 ms, 100 Mbps : 243.88 μ s) 経過しても送信が開始されない場合、過剰送信遅延として、送信はアボートされその送信データは破棄されます。

IPGTレジスタおよびIPGRレジスタの設定値と、実際のIPG期間は次の式で与えられます。

〔 100 Mbps動作時 〕

Back-To-Backで送信する場合	: $IPG = (5 + IPGT) \times 40 \text{ ns}$	(初期値 : 960 ns)
Non Back-To-Backで送信する場合	: $IPG = (5 + IPGR2) \times 40 \text{ ns}$	(初期値 : 960 ns)
キャリア・センス時間	: $(2 + IPGR1) \times 40 \text{ ns}$	(初期値 : 640 ns)

〔 10 Mbps動作時 〕

Back-To-Backで送信する場合	: $IPG = (5 + IPGT) \times 400 \text{ ns}$	(初期値 : 9.6 μs)
Non Back-To-Backで送信する場合	: $IPG = (5 + IPGR2) \times 400 \text{ ns}$	(初期値 : 9.6 μs)
キャリア・センス時間	: $(2 + IPGR1) \times 400 \text{ ns}$	(初期値 : 6.4 μs)

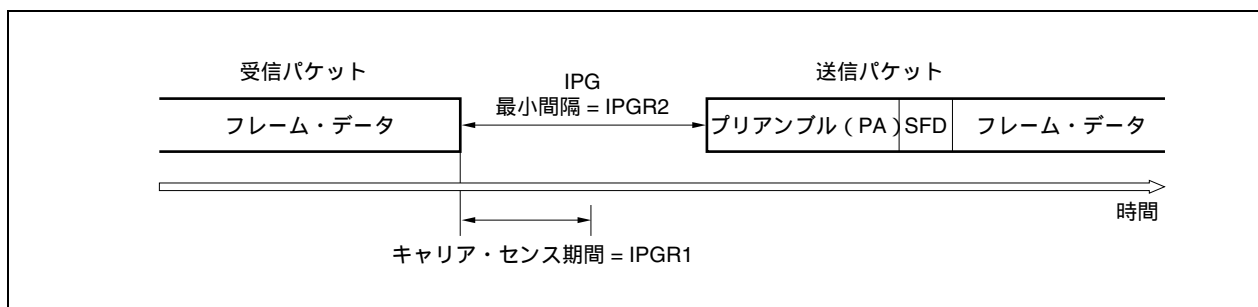
注意 IEEE 802.3の規格により、IPGは100 Mbps動作時960 ns以上、10 Mbps動作時9.6 μs 以上になるように設定してください。

IPGT、IPGRレジスタの初期値は規格上の最低値となっているので、初期値のまま使用できません。

図23 - 6 Back-To-Back送信IPG



図23 - 7 Non Back-To-Back送信IPG



(6) プリアンブル/CRC/パッド付加

7バイトのプリアンブルと1バイトのフレーム開始デリミッタ (SFD) を、FIFOより供給された送信パケットの前に付加します。

MACC1.CRCEN	動作
0	送信パケットの最後は有効なFCSである必要があります。MACは、FCSをチェックし、FCSの値が正しくない場合は、送信ステータス割り込み (INTETMTS) でエラーを通知します。
1	送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス (FCS) を追加します。

MACC1.CRCENビットに1が設定されている場合、送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス (FCS) を追加します。

MACC1.CRCENビットに0を設定した場合、送信パケットの最後は有効なFCSである必要があります。イーサネット・コントローラは、FCSをチェックする機能を持っています。FCSの値が正しくない場合、イーサネット送信ステータス割り込みを発生します。

MACC1.PADENビットに1が設定されている場合、64バイトより短い送信パケットに対しパッド (PAD) を付加します (パディング)。この場合、CRCENビットの設定にかかわらず、イーサネット・コントローラは正しいFCSをフレームの最後に付加します。

MACC1.PADENビットが1に設定されている場合に、MACC2.APDビットまたはVPDビットに1を設定すると、VLANフレームに対するパッド追加を行います。APDビットを1に設定すると、VLTPLレジスタに設定したVLANタイプに一致するパケットのみをVLANフレームとみなしてパッド追加を行います。VPDビットを1に設定すると、すべてのパケットをVLANフレームとみなしてパッド追加を行います。VLANフレームとみなされたパケットにパディングを行うときは、フレーム長が68バイトになるようにパッドを追加します。パッドとして追加されるデータは、すべて0になります。

(7) 送信アポート

次の条件が発生した場合、イーサネット・コントローラは送信をアポートします。

なお、イーサネット・コントローラでは、正常な使用範囲において、送信FIFOアンダランによるアポートは発生しません。

- 最大衝突回数を越える衝突 (MAXコリジョン)
- コリジョン・ウインドウ外での衝突 (レイト・コリジョン)
- 過剰送信遅延
- LMAXレジスタに設定されるフレーム長を越えるパケットを送信しようとした場合 (ただし、MACC1.HUGENビットに1が設定されている場合、送信フレーム長は制限されません)

(8) 全二重動作

MACC1.FULLDビットを1に設定すると、全二重動作を可能にします。IPGは、常にIPGTレジスタで設定される値となります。またFULLD信号は、MACC1.FULLDビットが1に設定されるとアサートされ、外部回路に全二重動作が設定されていることを知らせます。

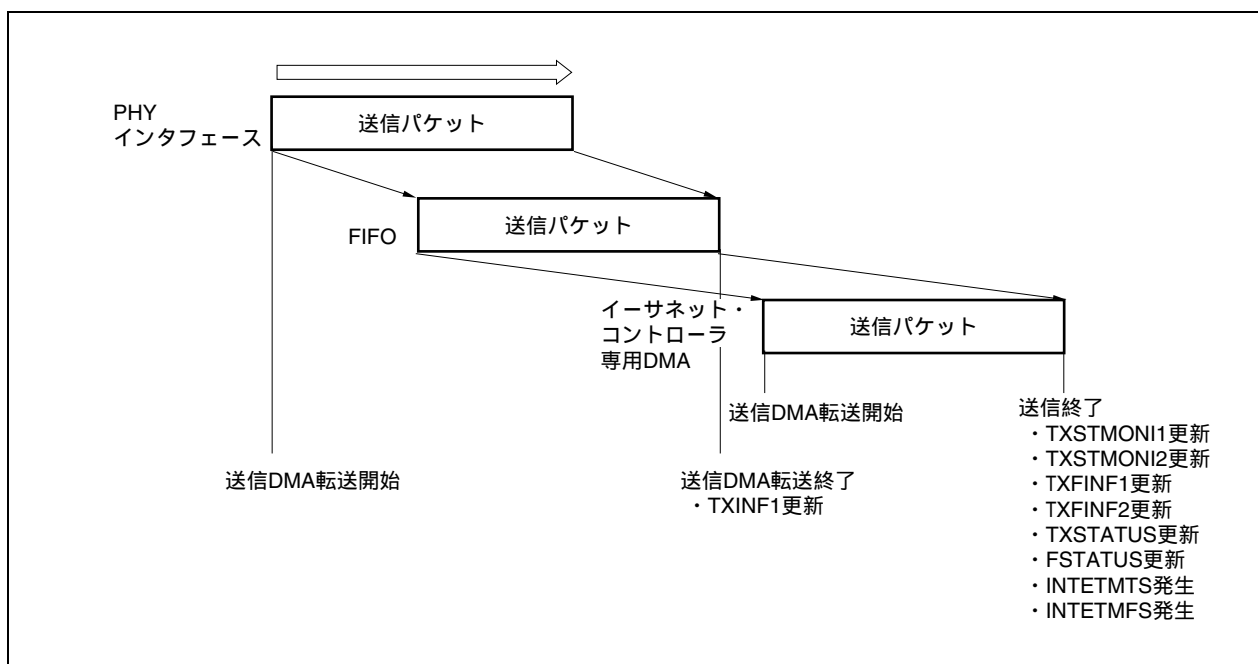
(9) フロー・コントロール機能・バック・プレッシャー機能

イーサネット・コントローラは、受信FIFOと連動したフロー・コントロール機能（23.5.4(1) フロー制御参照）、バック・プレッシャー機能（23.5.4(2) バック・プレッシャー参照）を持っていますので、受信FIFOの空き容量が少なくなると自動的に作動して、受信FIFOオーバーフローを極力防止します。

(10) 送信ステータス更新タイミング

次に示すタイミングで送信ステータスを更新します。

図23 - 8 送信ステータス更新タイミング



23.5.3 受信機能

イーサネット・コントローラは、受信フレームからFIFOに対し受信パケットを生成し、SFDの検出、レンクス・フィールド・チェック、FCSチェック、VLANフレームの検出などを行います。

イーサネット・コントローラは、受信パケットごとのステータス情報を受信ステータス・モニタ (RXSTMONI) レジスタに設定し、全受信フレームの項目別の発生回数が統計カウンタにカウントされます。

(1) 受信クロック

イーサネット・コントローラは、外部 (PHY) から供給される受信クロック (RXCLK) に同期して、データを受信します。

IEEE 802.3の規格により、RXCLKの周波数は、100 Mbps動作時は25 MHz ± 100 ppm、10 Mbps動作時は2.5 MHz ± 100 ppmと規定されています。

(2) MII データの受信

イーサネット・コントローラは、P1RXDV信号がアサートされている期間、P1RXD[3:0]信号上のデータを受信フレームとして認識し、P1RXDV信号がデアサートされたときをフレームの終了とみなします。

(3) プリアンブルおよび SFD の検出

イーサネット・コントローラは、受信フレームの先頭においてプリアンブルとSFDを検出、これ以降を受信パケットとします。

(4) レンクス・フィールドのチェック

イーサネット・コントローラは受信パケットの長さをカウントし、ソース・アドレスに続く2バイトをレンクス・フィールドとみなして、データ・フィールド長のチェックを行います。なお、チェックした結果は受信ステータスとしてRXSTMONIレジスタから読み出し可能です。また、チェックした結果が不一致の場合、割り込み信号の出力が可能です。

(5) CRC チェック

イーサネット・コントローラは、受信パケットから4バイトのフレーム・チェック・シーケンス (FCS) を計算し、受信パケットの最後に付加されているFCSデータと比較します。比較した結果はRXSTMONIレジスタから読み出し可能なほか、比較結果が不一致の場合、割り込み信号の出力が可能です。

(6) FIFO へのデータ送出

イーサネット・コントローラは、6バイト以上のパケットを有効とし、6バイト未満のパケットは破棄します。

(7) ヒュージ・パケットの検出

イーサネット・コントローラは、MACC1.HUGENビットが0であるとき、LMAXレジスタで設定される最大フレーム長（初期値：1536バイト）以下のパケットのみを受信し、それを越えるパケットは途中で打ち切られます。

受信可能なパケット長は表23 - 14 **受信FIFOの制限**を参照してください。

(8) VLAN フレーム検出

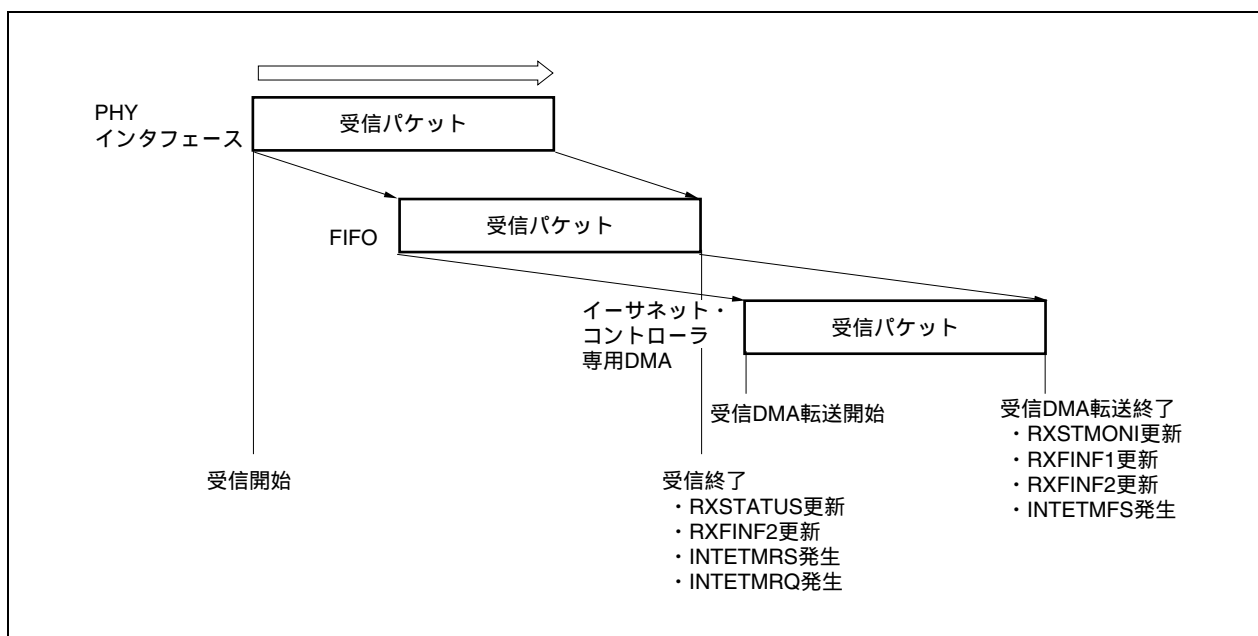
イーサネット・コントローラは、受信したパケットすべてに対してVLANフレームであるかどうかチェックします。

受信したパケットのTPIDフィールド（ソース・アドレスに続く2バイト）の値がVLTPレジスタに設定された値と一致すると、VLANパケットとしてRXSTMONI.VLANフラグをセットします。なお、VLANフレームとして認識されたパケットは、TPIDフィールドを含むVLANヘッダ（ソース・アドレスに続く4バイト）の直後の2バイトを、レングス・フィールドとみなします。

(9) 受信ステータス更新タイミング

次に示すタイミングで受信ステータスを更新します。

図23 - 9 受信ステータス更新タイミング



23. 5. 4 MAC制御機能

(1) フロー制御

イーサネット・コントローラでは「IEEE 802.3Annex31」で定義されたポーズ・コントロール・フレームの処理を行い、フロー制御を実現します。

フロー制御の目的は、全二重動作においてポイント・ツー・ポイントで接続されている他方の端末(リンク・パートナー)から送信されてくるフレームの送信頻度を下げることにあります。システムが受信データを処理できる量には限度があり、ある頻度以上でフレームが受信されると、システムの処理がそれに追従することができなくなり、受信FIFOがオーバフローする可能性があります。このような状況を防ぐために、フロー制御は使われます。

イーサネット・コントローラは、ポーズ・コントロール・フレームを受信した場合、コントロール・フレーム内のパラメータ・フィールドの値をMAC内のポーズ・タイマにロードします。ポーズ・タイマの値が0でない場合、ポーズ・タイマに設定されている時間を経過したあと、次の送信を開始します。

受信したポーズ・コントロール・フレーム内のパラメータ・フィールドの値が0の場合(ゼロポーズ・コントロール・フレーム)、ポーズ・タイマの値を0にして、IPGRレジスタで設定されたパケット間隔を取って、送信を再開します。

一方、リンク・パートナーからのデータ送信を抑えたい場合には、予約されたマルチキャスト・アドレス(01-80-C2-00-00-01)、ポーズ・オペコード(00-01)およびPAUSETMレジスタのポーズ・タイマ値(PAUSETM_MAX)を、ポーズ・コントロール・フレームとして送信します。

ポーズ・フレーム送信の開始は、通常のフレーム送信の開始よりも優先されますが、通常のフレーム送信中にポーズ・フレーム送信条件が発生した場合は、送信中の通常フレームの送信終了後にポーズ・フレームが送信されます。

イーサネット・コントローラでは、MFFCONT.FLOWCNTを1に設定することにより、フロー制御を行います。

ポーズ・コントロール・フレームの送信要求は受信FIFO内のデータ量によって判断されます。全二重通信モード時、MFFCONT.IVPAUSEを0に設定した場合、イーサネット・コントローラは受信中に、受信FIFO内のデータ量を監視しています。(図23-10(a)参照)そして、受信FIFO内のデータ量がFLOWTHRESH.FLOWTHRの設定値を越えた時点で、ポーズ・コントロール・フレームを送信します。(図23-10(b)参照)

また、MFFCONT.IVPAUSEを1に設定した場合、受信FIFO内のデータ量がFLOWTHRESH.FLOWTHRの設定値を超えている間、PAUSETM.IPTIMEの設定値の間隔で、ポーズ・コントロール・フレームを再送し続けます。

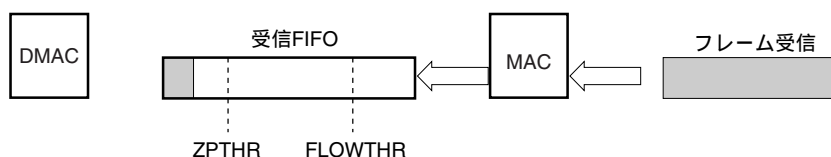
DMAによる受信データの転送中も、イーサネット・コントローラは受信FIFO内のデータ量を監視しています。(図23-10(c)参照)

MFFCONT.ZEROPAUSEを1に設定した場合、FLOWTHRESH.ZPTHRの設定値により、受信FIFO内のデータ量がこの設定値を下回った時点で、ゼロポーズ・コントロール・フレームを送信します。(図23-10(d)参照)

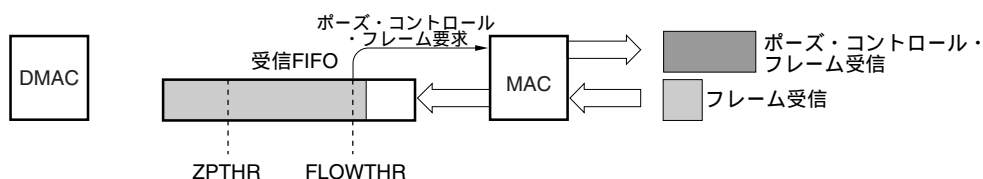
MFFCONT.ZEROPAUSEを0に設定した場合、ゼロ・ポーズ・コントロール・フレームは送信しません。

図23 - 10 フロー制御の流れ

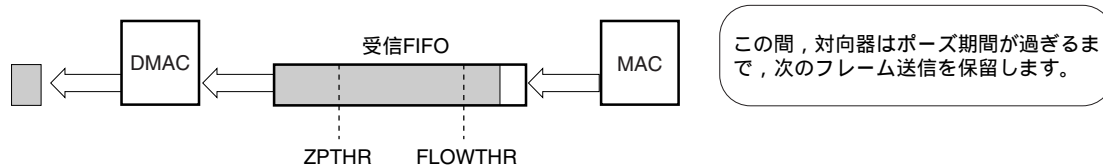
(a) フレームの受信により、受信FIFOにデータが格納されます。



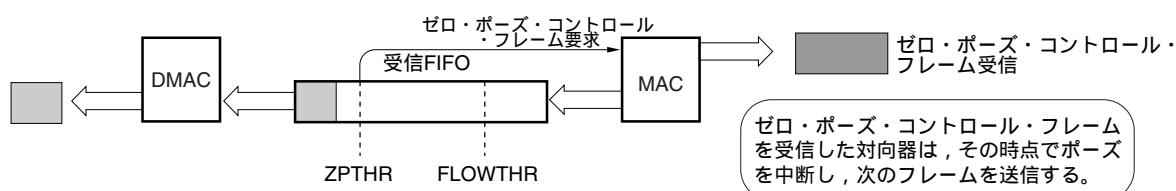
(b) 受信FIFO内のデータがFLOWTHRで示される値を越えると、ポーズ・コントロール・フレームを送信します。



(c) DMAにより、受信FIFO内のデータが読み出されます。



(d) 受信FIFO内のデータがZPTRで示される値を下回ると、ゼロ・ポーズ・コントロール・フレームを送信します。



備考 図中の受信FIFO内の [] の部分は受信FIFO内のデータ量を表しており、実際のデータの保存のされ方とは異なります。

(2) バック・プレッシャー

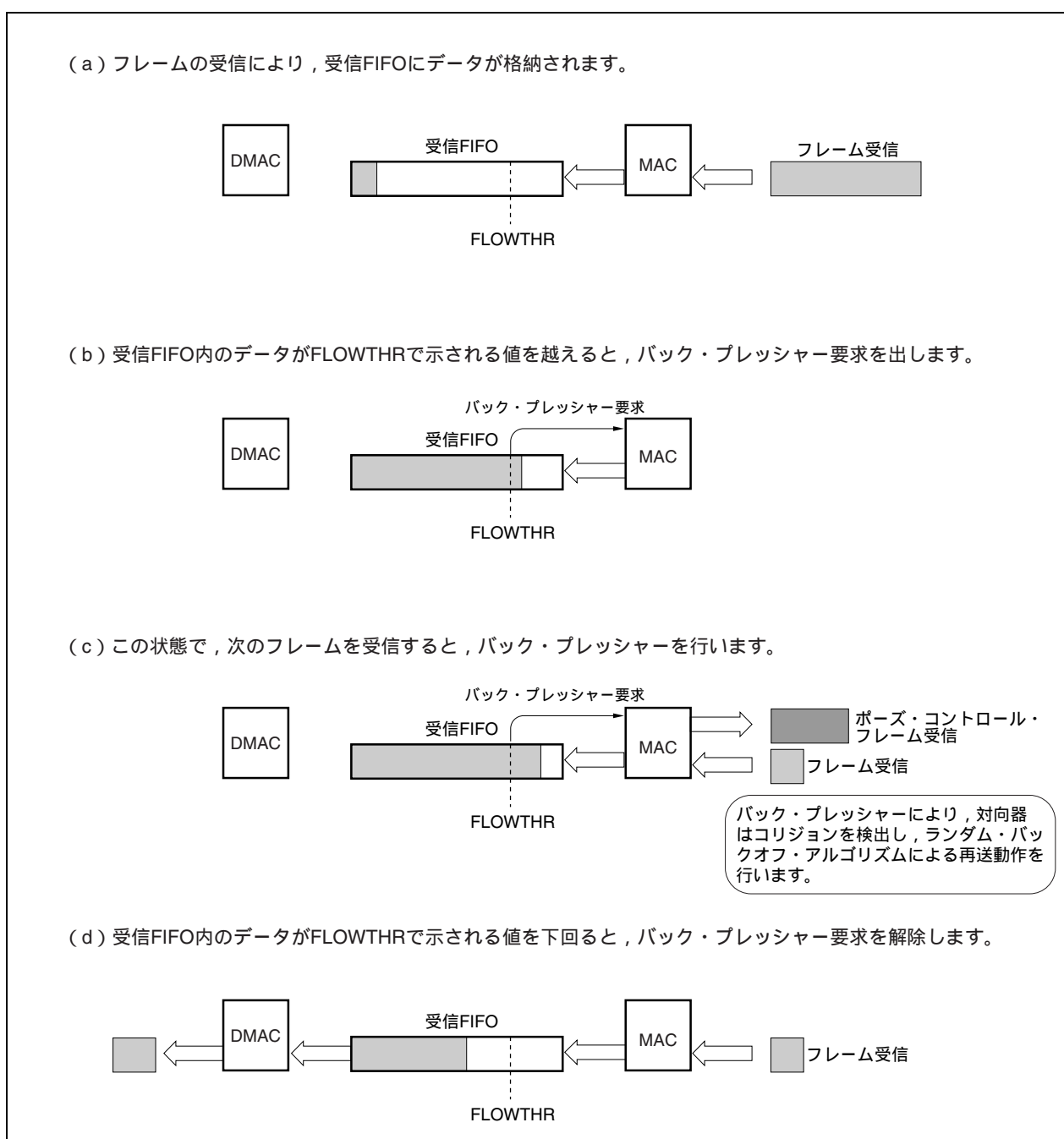
この機能は半二重動作時のみ有効な機能です。

MFFCONT.FLOWCNTが1に設定されていて、FULLDが0の場合、受信FIFOの容量がFLOWTHRESH.FLOWTHRの設定値を越えると、バック・プレッシャー状態になります(図23-11(b)参照)。

この状態で次のフレームを受信すると、ダミー・パケットを送信し故意にコリジョンを発生させ、対向器に再送信を促します(図23-11(c)参照)。

バック・プレッシャー時に発生したコリジョンは、コリジョン回数としてカウントされません。受信FIFOの容量がFLOWTHRを下回るとバック・プレッシャー状態を解除します。(図23-11(d)参照)

図23-11 バック・プレッシャー制御の流れ



(3) VLAN フレームに対する動作

イーサネット・コントローラは、送受信パケット内のTPIDフィールドをVLANタイプ・レジスタ (VLTP) と比較することにより、VLANフレームを検出します。VLANフレームに対する動作について次に示します。

(a) VLAN フレームの検出

イーサネット・コントローラでは、受信パケット内のソース・アドレスに続く2バイトのTPIDフィールドの値を常に確認しています。

送信時はMACC2.APD,またはVPDビットが“1”のとき,TPIDフィールドの値を確認します。TPIDフィールドがVLANタイプ・レジスタ (VLTP) と一致したパケットを,イーサネット・コントローラ内ではVLANフレームとみなします。

(b) VLAN フレームの受信

受信パケットにおいてTPIDフィールドの値がVLANタイプレジスタ (VLTP) と一致した場合,受信フレーム・サイズに関する判定は,すべてVLANフレーム・サイズ (MAX: 1522バイト, MIN: 64バイト) を基準に行われます。

(c) VLAN フレームの送信

MACC2.APDビットが“1”のとき,送信フレームとして上位層より与えられたTPIDフィールドの値がVLANタイプ・レジスタ (VLTP) と一致するフレームの送信の場合, VLANフレームと認識してフレーム長が68バイトになるようにパッドを付加します。

MACC2.VPDビットが“1”のとき,すべてのフレームをVLANフレームと認識してフレーム長が68バイトになるようにパッドを付加します。

23.5.5 DMAC機能

専用DMACは、イーサネット・コントローラの内部システム・バスに対するDMA機能です。

送受信のイーサネット・コントローラ専用DMACとなります。

送受信データの転送は、すべてこのイーサネット・コントローラ専用DMACで転送されます。

(1) DMA 転送モード

DMACMレジスタにより、次のように設定が可能です。

転送モード

- シングル転送モード
- 4ビット・インクリメント式バースト転送モード
- 8ビット・インクリメント式バースト転送モード
- 16ビット・インクリメント式バースト転送モード

転送モードはレジスタに設定した後、次のDMA転送から新しい転送モードが適用されます。

-
- 注意1.** 不定長バースト転送モードをレジスタに設定することはできません。
不定長バースト転送は、イーサネット・コントローラがDMA転送時、端数データ処理に対して内部で自動的に使用します。
意図して全転送データを不定長バースト転送することはできません。
- 2.** 転送モードを設定するレジスタは、DMA転送中のロック等を行っていません。このため、DMA転送中に設定変更を行うと、転送中のDMAサイクルが不正となります。DMA転送中 (RXEN_STA = 1 or TXEN_STA = 1) に設定値の変更をしないでください。
-

(2) DMA 転送でアクセス可能な対象

DMA転送対象を次に示します。

表23 - 6 イーサネット・コントローラ専用DMACの転送対象

内蔵ROM	内蔵RAM	データ専用RAM	外部メモリ	内蔵周辺I/O
アクセス不可	アクセス不可	アクセス可	アクセス不可	アクセス不可

(3) DMA アドレス境界

イーサネット・コントローラのDMAでは、データ・バッファの開始アドレス / 転送バイト数の設定に関して、アドレス境界を考慮する必要はありません。

バースト転送時に、端数データがある場合は、自動的に端数処理のデータ転送を行います。

ただし受信時は、受信データの終了を予測できないため、バースト転送を利用している場合には、最後の転送がダミー転送になる場合があります。

備考 4, 8, 16ビット転送モードを使う場合には、最後の固定長に満たないデータは、自動的に不定長モードでのDMA転送になります。

バイト・アライメントのためのバイト・アクセスは、常にSINGLE転送となります。

(4) DMA Arbitration

イーサネット・コントローラは、全二重転送をサポートしていることから、送信と受信のDMA転送が混在して行われる場合があります。同時にDMA要求が出た場合には、受信を優先します。

23.5.6 シリアル・マネジメント・インタフェース機能

イーサネット・コントローラは、シリアル・マネジメント・インタフェースを一对内蔵しており、PHYデバイスの設定、ステータス読み出しやオート・ネゴシエーション使用時のPHYとの通信に使用できます。

接続するPHYのアドレスをイーサネット・コントローラから設定する場合、シリアル・マネジメント・インタフェースを使用する前に、MADRレジスタにPHYアドレスを設定してください。

(1) シリアル・マネジメント機能概要

(a) MDC クロック

イーサネット・コントロール・クロック (f_{EC}) を分周することによってマネジメント・データ・クロック (MDC) を生成します。

分周比については、MIIC.CLKSビットによって設定されます。

表23 - 7 MIICレジスタ：CLKSビットと f_{EC} の周波数

MIIC.CLKSビット			f_{EC} 入力周波数範囲
ビット4	ビット3	ビット2	
0	0	0	設定禁止
0	0	1	33 MHz以下
0	1	0	50 MHz以下
0	1	1	設定禁止
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	設定禁止
1	1	1	設定禁止

MIIC.PHYSELを0に設定 (デフォルト値) すると、MDCは、マネジメント・フレームを送信あるいは受信しているときのみ出力されます。

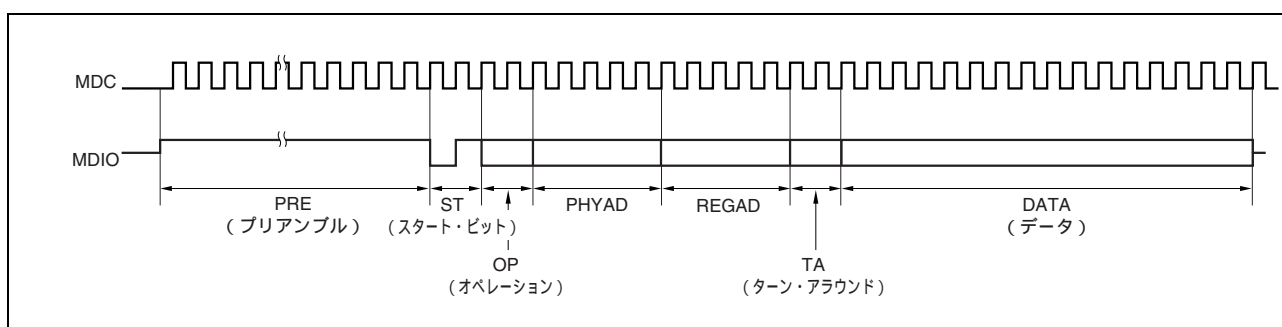
MIIC.PHYSELビット = 1に設定すると、常にMDCを出力します。

MIIC.PHYSELビット = 0のときにPHYとの通信に失敗した場合、MIIC.PHYSELビット = 1に設定して使用してください。

(b) シリアル・マネジメント・フレーム構造

イーサネット・コントローラは、MCMDレジスタへの値の書き込み又はMWTDレジスタへの値の書き込みによって、次に示すシリアル・マネジメント・フレームを生成します。

図23 - 12 シリアル・マネジメント・フレーム構造



シリアル・マネジメント・フレームは、32ビットのプリアンブル、2ビットのスタート・ビット、PHYデバイス内のレジスタに対するリードあるいはライト動作に応じた、2ビットのオペコードが自動的に付加されます。PHYADとREGADは、外部に接続されるPHYデバイスのデバイス・アドレスと、そのPHYデバイス内にあるレジスタ・アドレスを示しており、それぞれMADR.FIADフィールドとRGADフィールドに設定された値が付加されます。

イーサネット・コントローラは、プリアンブルからREGADまでのデータをシリアル出力し、さらに2ビットのターン・アラウンド後、ライト・アクセスの場合はMWTDRレジスタ：CTLDフィールドに設定されたデータを出力します。リード・アクセスの場合にはMDI信号よりシリアル・データが入力され、MRDD.PRSDフィールドに書き込まれます。

MDO信号出力中はMDOEN信号が1にアサートされます。

図23 - 13 MIIマネジメント・インタフェース信号の概略タイミング(ライト・アクセス)

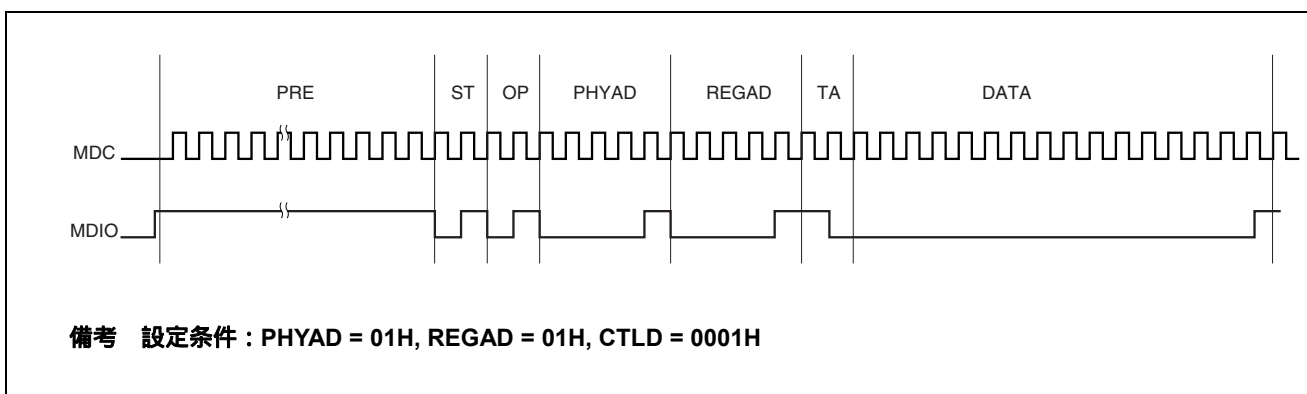
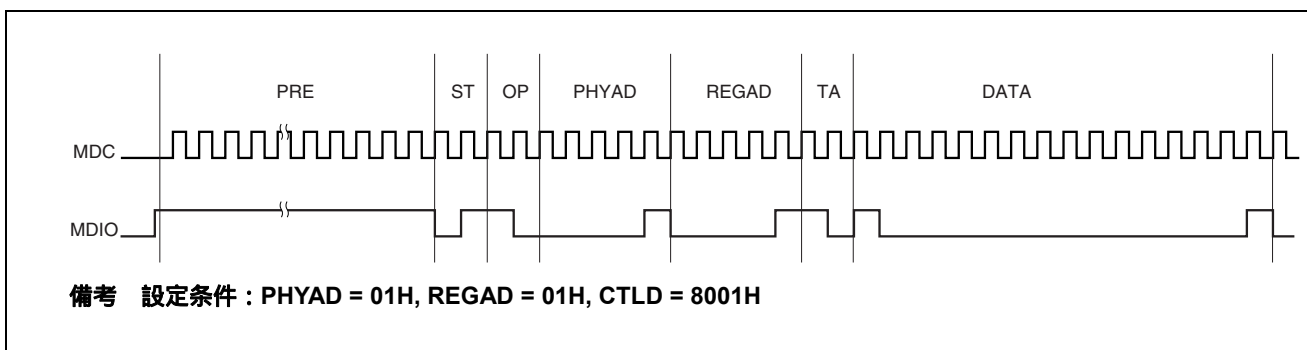


図23 - 14 MIIマネジメント・インタフェース信号の概略タイミング(リード・アクセス)



(c) SCAN コマンド

イーサネット・コントローラは、特定のPHYレジスタを連続して読み出すためにSCANコマンドを用意しています。MCMD.SCANビットを1に設定することにより、連続的にリード・アクセスが発生し、MRDD.PRSDフィールドを読み出すことで、特定のPHYレジスタのポーリングが可能になります。

(2) シリアル・マネジメントのアクセス手順

シリアル・マネジメント・フレームの送受信は次のように行います。

まず、MIND.SCANAビットによりSCAN中であるかどうかを確認します。

SCAN中でない場合はMIND.BUSYビットを確認し、現在シリアル・マネジメントのアクセス中であるかどうかを確認します。BUSYビットが1の場合は、0になるまで待ちます。一方SCAN中であった場合はMCMD.SCANCビットを0にした上で、BUSYビットが0になるのを待ちます。

次に、ターゲットとなる外部PHYデバイスのデバイス・アドレスおよびPHYデバイス内のレジスタ・アドレスを、それぞれMADR.FIADフィールドとRGADフィールドに設定します。

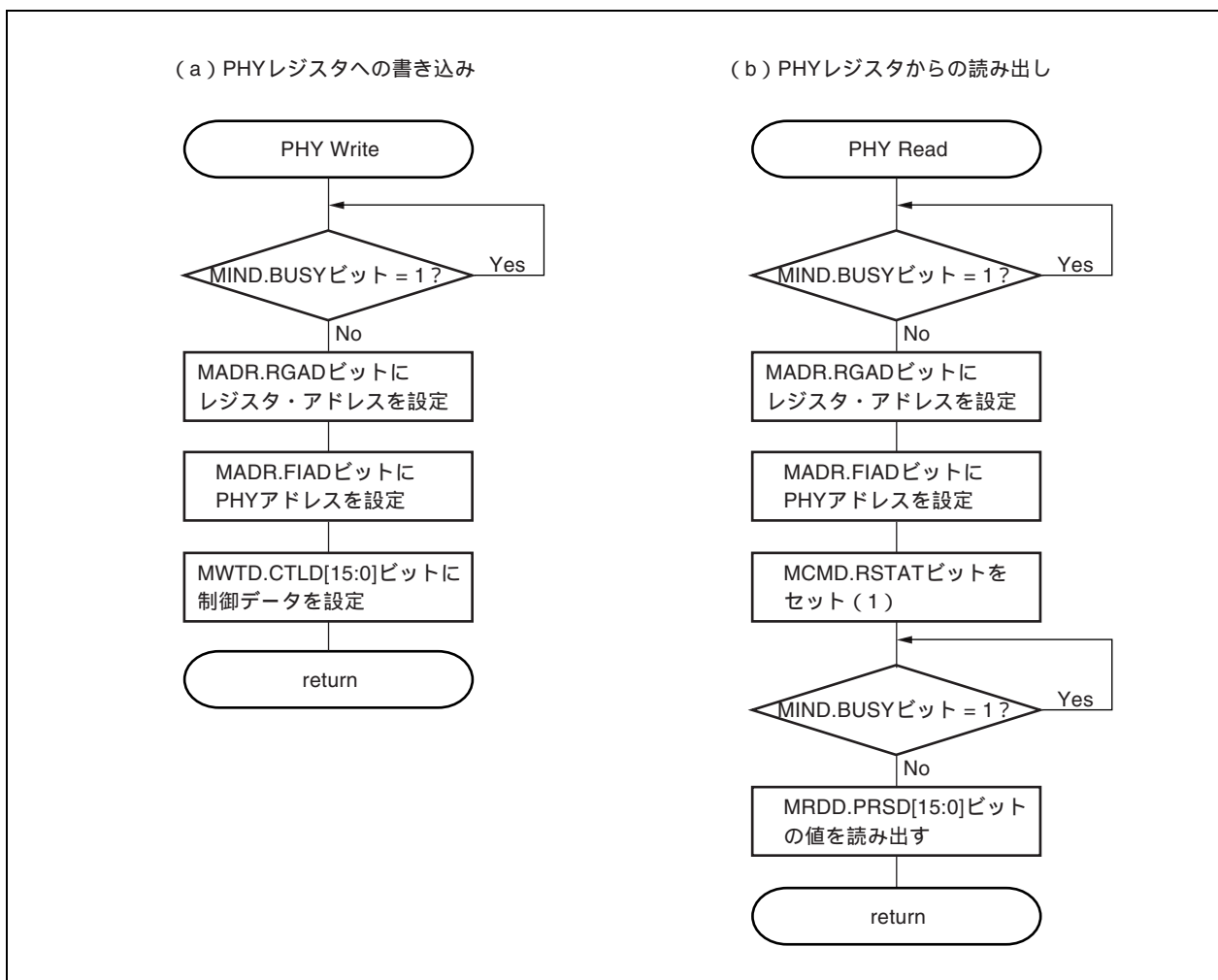
ライト・アクセスの場合は、MWTD.CTLTDフィールドにデータを書き込むことでアクセスが開始されます。

BUSYビットは、MWTDレジスタに書き込みが行われると1になり、ライト・アクセスが終了すると0になります。

リード・アクセスの場合はMCMD.RSTATビットを1にすることで開始されます。RSTATビットに1が設定されるとBUSYビットが1となり、リード・アクセス終了後BUSYビットは0となります。ホスト・システムはBUSYビットが0であることを確認したあと、MRDD.PRSDフィールドを読み出すことで、PHYレジスタのデータを得ることができます。

SCANコマンドを実行するには、MCMD.SCANCビットを1にします。SCANCビットが1に設定されるとリード・アクセス動作が繰り返し実行されます。MIND.SCANAビットはSCANコマンド実行中、1が設定されます。MIND.NVALIDビットはSCANコマンド実行後、最初のリード・アクセスが完了するまでの間、1が設定されます。MIND.BUSYビットはSCANコマンドが実行されると1が設定され、SCANコマンドをディセーブル（MCMD.SCANCビットを0にする）にすると、その時点でのリード・アクセスが完了したあとで0になります。

図23 - 15 PHYレジスタへのアクセス・フロー



23. 5. 7 アドレス・フィルタリング

(1) アドレス・フィルタリング機能概要

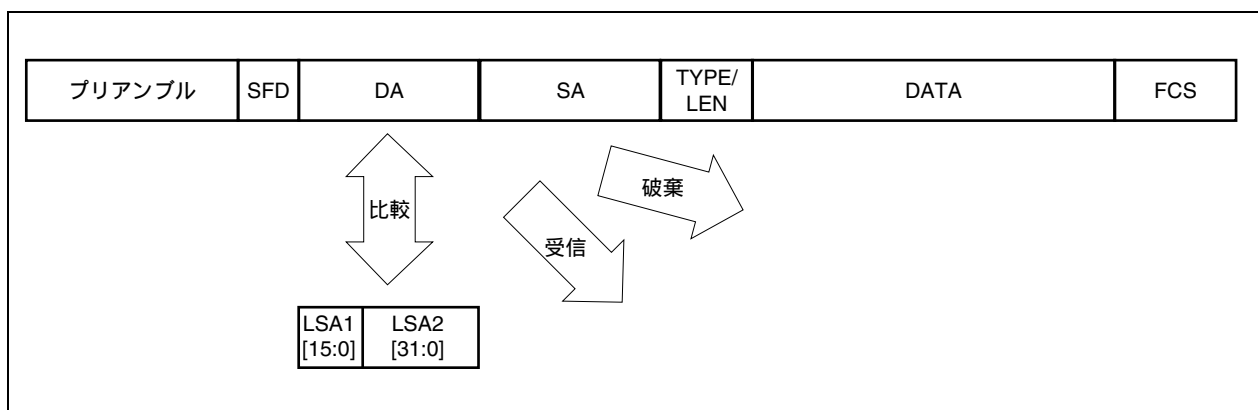
イーサネット・コントローラは、受信パケットのデスティネーション・アドレスによるフィルタリングを行い、フィルタリング結果により受信パケットの受領 / 破棄を判断します。

フィルタリングの条件はAFRレジスタで設定することが可能です。ユニキャスト・アドレス、マルチキャスト・アドレス、あるいはブロードキャスト・アドレスと個別に設定することが可能で、またこれらのフィルタリング条件を組み合わせることも可能です。

(a) ユニキャスト・アドレスのフィルタリング

LSA1レジスタおよびLSA2レジスタに設定されるアドレスをユニキャスト・アドレスとし、受信されたパケットのデスティネーション・アドレスと比較します。比較した結果、アドレスが一致したパケットを受信し、一致しない受信パケットは破棄されます。ユニキャスト・アドレスの一致検出は受信パケットごとに行われます。

図23 - 16 ユニキャスト・アドレスによるフィルタリングのイメージ受信



(b) マルチキャスト・アドレスのフィルタリング

マルチキャスト・アドレスのフィルタリングには2通りあります。AFR.PRMビットに1を設定すると、すべてのマルチキャスト・アドレスをDAに持つパケットを受領します。

AFR.AMCビットに1を設定すると、HT1レジスタおよびHT2レジスタに用意されるハッシュ・テーブルを用い、テーブルに一致したマルチキャスト・アドレスのパケットのみ受信パケットとして受領し、一致しないパケットは破棄します。

ハッシュ・テーブルによる一致検出の方法は次のとおりです。

ハッシュ・テーブルは受信されたマルチキャスト・アドレスのCRC 計算結果32 ビットのうちビット[28:23]を用いて参照されます。CRC計算には多項式として次の式を使用しています。

$$\text{CRC}(x) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$$

HT1レジスタおよびHT2レジスタ上で、先の6ビットをデコードした値で示されるビット位置 (表23 - 8 参照) に1が設定されている場合、そのマルチキャスト・アドレスに対して受領と判断します。ハッシュ・テーブルを設定するためには、あらかじめ限定するマルチキャスト・アドレスのCRC計算を行い、対応するビットに1を設定しておく必要があります。

表23-8 HASHテーブル (HT1, HT2) の参照

CRC [28:26]	CRC [25:23]							
	111b	110b	101b	100b	011b	010b	001b	000b
111b	HT1[31]	HT1[30]	HT1[29]	HT1[28]	HT1[27]	HT1[26]	HT1[25]	HT1[24]
110b	HT1[23]	HT1[22]	HT1[21]	HT1[20]	HT1[19]	HT1[18]	HT1[17]	HT1[16]
101b	HT1[15]	HT1[14]	HT1[13]	HT1[12]	HT1[11]	HT1[10]	HT1[9]	HT1[8]
100b	HT1[7]	HT1[6]	HT1[5]	HT1[4]	HT1[3]	HT1[2]	HT1[1]	HT1[0]
011b	HT2[31]	HT2[30]	HT2[29]	HT2[28]	HT2[27]	HT2[26]	HT2[25]	HT2[24]
010b	HT2[23]	HT2[22]	HT2[21]	HT2[20]	HT2[19]	HT2[18]	HT2[17]	HT2[16]
001b	HT2[15]	HT2[14]	HT2[13]	HT2[12]	HT2[11]	HT2[10]	HT2[9]	HT2[8]
000b	HT2[7]	HT2[6]	HT2[5]	HT2[4]	HT2[3]	HT2[2]	HT2[1]	HT2[0]

ハッシュ・テーブル計算を行うプログラム例を、次に示します。

たとえば、DA = 12 34 56 78 9A BCの場合、CRC = D4, E8, FE, 95, CRC[28:26] = 5, CRC[25:23] = 1となり、表23-8から、HT1 [9]をセットすれば、目的とするDAのマルチキャスト・パケットを受信します。なおHT1レジスタおよびHT2レジスタの値が、ともに00000000Hの場合、すべてのパケットを破棄します。

```
// ハッシュテーブルの設定値を算出する。

#include <stdio.h>

unsigned long crc32_for_ethernet( const unsigned char *data, int size );

//計算するアドレス
const unsigned char DA[] = { 0x12, 0x34, 0x56, 0x78, 0x9A, 0xBC };

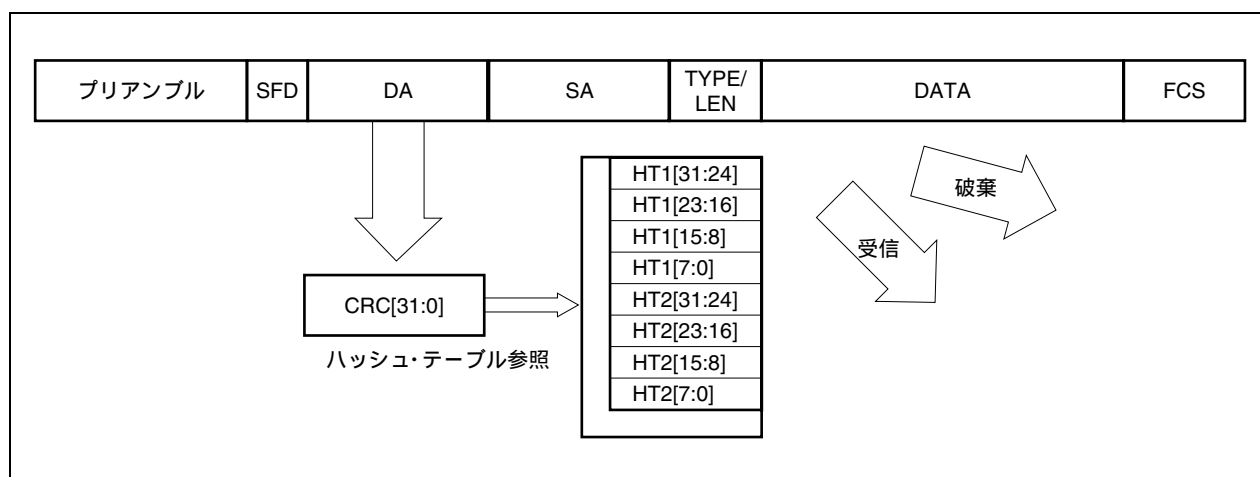
int main( void ){
    unsigned long crc;

    printf("¥nDA: ");
    crc = crc32_for_ethernet( DA, sizeof(DA) );
    printf("-----¥n");
    printf("CRC = %02X,%02X,%02X,%02X¥n", (crc>>24)&0xff, (crc>>16)&0xff, (crc>>8)&0xff,
crc&0xff );
    printf("CRC[28:26] = %X, CRC[25:23] = %X ¥n", (crc>>26)&0x07, (crc>>23)&0x07 );
    printf("¥n");
    return(1);
}

// CRC を計算する
unsigned long crc32_for_ethernet( const unsigned char *data, int size ){
    const unsigned long poly = 0x04C11DB7ul; // MSB=X^31+X^30+X^29...
    const unsigned MSB = 0x80000000ul; // CRC MSB mask value
    unsigned int crc = 0xfffffffful; // CRC initial value
    unsigned char c; // input data 8bit temporary
    int i;

    while( size-- != 0 ) {
        c = *data++;
        for ( i=0; i<8; i++ ) {
            crc = (crc<<1)^(((crc&MSB)?1:0)^(c&1)? poly : 0ul );
            c >>= 1; // next bit
        }
    }
    return crc;
}
```

図23 - 17 ハッシュ・テーブルによるフィルタリングのイメージ

**(c) ブロードキャスト・アドレスのフィルタリング**

AFR.ABCビットに1を設定すると、ブロードキャスト・アドレスを持ったパケットに対して受領します。

(d) プロミスカス・モード

AFR.PROビットに1を設定すると、プロミスカス・モードとなりすべてのパケットを受領します。

上記、(a) ~ (d) の受領条件をいずれも満たさないとき、受信パケットは破棄されます。
各条件の組み合わせは、表23 - 9参照

表23 - 9 アドレス・フィルタリング設定と受信パケット

AFRレジスタの設定				受信パケット				
PRO	PRM	AMC	ABC	LSA不一致 ユニキャスト	LSA一致 ユニキャスト	HT不一致 マルチキャスト	HT一致 マルチキャスト	ブロードキャスト・ パケット
1	-	-	-	受信	受信	受信	受信	受信
0	1	-	-	破棄				
0	0	1	1	破棄	破棄	破棄	破棄	破棄 ^注
0	0	1	0					
0	0	0	1					
0	0	0	0	破棄	破棄	破棄	破棄	受信
0	0	0	0	破棄	破棄	破棄	破棄	破棄

注 ブロードキャスト・アドレスはマルチキャスト・アドレスに含まれるため、該当するHASHテーブルのビットをセット(1)している場合は受信されます。

備考 任意

(2) アドレス・フィルタリング条件の設定

パケット・フィルタリングの設定は次のように行います。

まずMACC1.SRXENビットに0を設定します。SRXENビットが0であるとき、受信データ・インタフェースの機能がディセーブルされた状態となります。次にLSA1レジスタおよびLSA2レジスタにステーション・アドレスを設定します。AFRレジスタには必要なフィルタリング条件の組み合わせを設定します。条件付マルチキャスト・パケット受信を行う場合にはHT1レジスタおよびHT2レジスタによってハッシュ・テーブルの設定が必要になります。これらの設定が完了したあとでSRXENビットに1を設定することでパケット受信をイネーブルにします。

23.5.8 統計カウンタ

イーサネット・コントローラは、回線の通信品質その他を調べるために、39本の統計カウンタを持っています。

統計カウンタは、1フレームの通信が終了（アポートを含む）するごとに、通信ステータスを確認して該当するカウンタを更新しています。統計カウンタを停止することはできませんので、使用しない統計カウンタは、CAM1、CAM2レジスタの該当するビットを“1”にして、割り込みをマスクしてください。

統計カウンタは、通信中も任意のタイミングで読み出し可能です。

各カウンタにおいてオーバフローが発生した場合には、CAR1レジスタおよびCAR2レジスタの対応するビットに1が設定され、CAM1レジスタおよびCAM2レジスタにより割り込みがマスクされていなければ、イーサネットMAC割り込みが発生します。CAM1レジスタおよびCAM2レジスタは、個々のカウンタごとにマスクを設定することが可能です。

統計カウンタをクリアする場合は、カウンタに0を書き込んでください。この際、通信動作を停止させる必要はありません。統計カウンタの更新と書き込みが競合した場合は更新が優先され、更新後に書き込みが行われます。

なお、統計カウンタは停止できません。使用しない統計カウンタは、キャリア・マスク・レジスタ1、2（CAM1、CAM2）で該当ビットをセット（1）することでマスクし、INTETMOVが発生しないようにしてください。

統計カウンタ・レジスタは、32ビット単位でリード/ライト可能です。

-
- 注意1.** イーサネット・コントローラは、イーサネット・コントローラ・クロック（ f_{EC} ）で統計カウンタを更新しています。このため、イーサネット・コントローラ・クロック（ f_{EC} ）が通信クロック（TXCLK/RXCLK）と比較して極端に低速な場合は、統計情報をミスカウントする可能性があります。統計情報をミスカウントした場合、ステータス・ベクタ・オーバランが発生し、キャリア・レジスタ2（CAR2）のC2DVビットをセット（1）し、INTETMOV割り込みが発生します。
- 2.** キャリア・レジスタ1、2（CAR1、CAR2）は、リードでクリアされます。
-

備考 送受信のアポート回数は、統計カウンタとは別に、送信アポート・カウンタ（TXABTCNT）、受信アポート・カウンタ（RXABTCNT）があります。

23.6 データ転送

23.6.1 バッファの構造

V850ES/Jx3-Eのイーサネット・コントローラのバッファはバッファ・ディスクリプタとデータ・バッファから構成されます。

図23 - 18 イーサネット・コントローラのバッファ構造 (1/2)

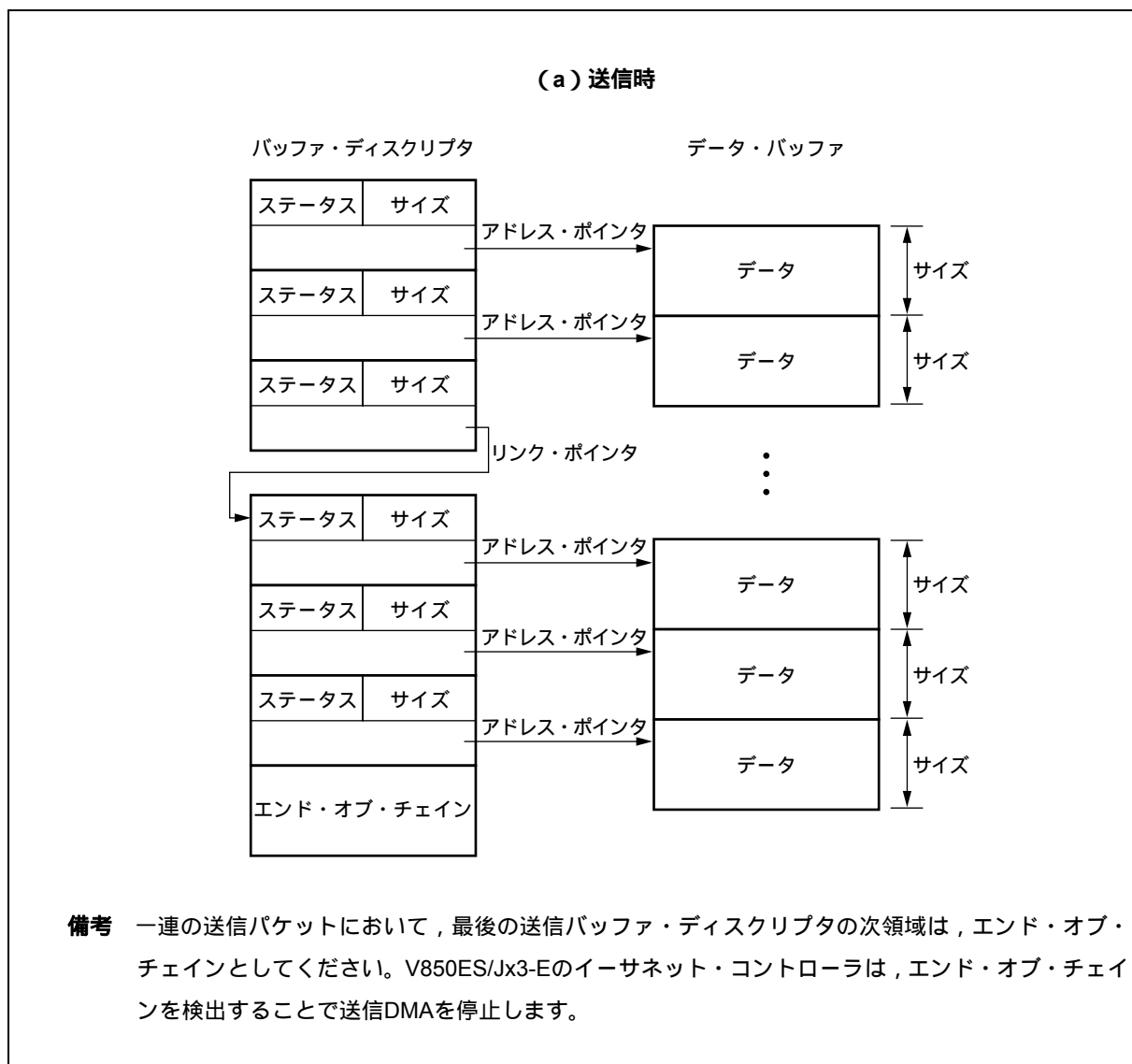
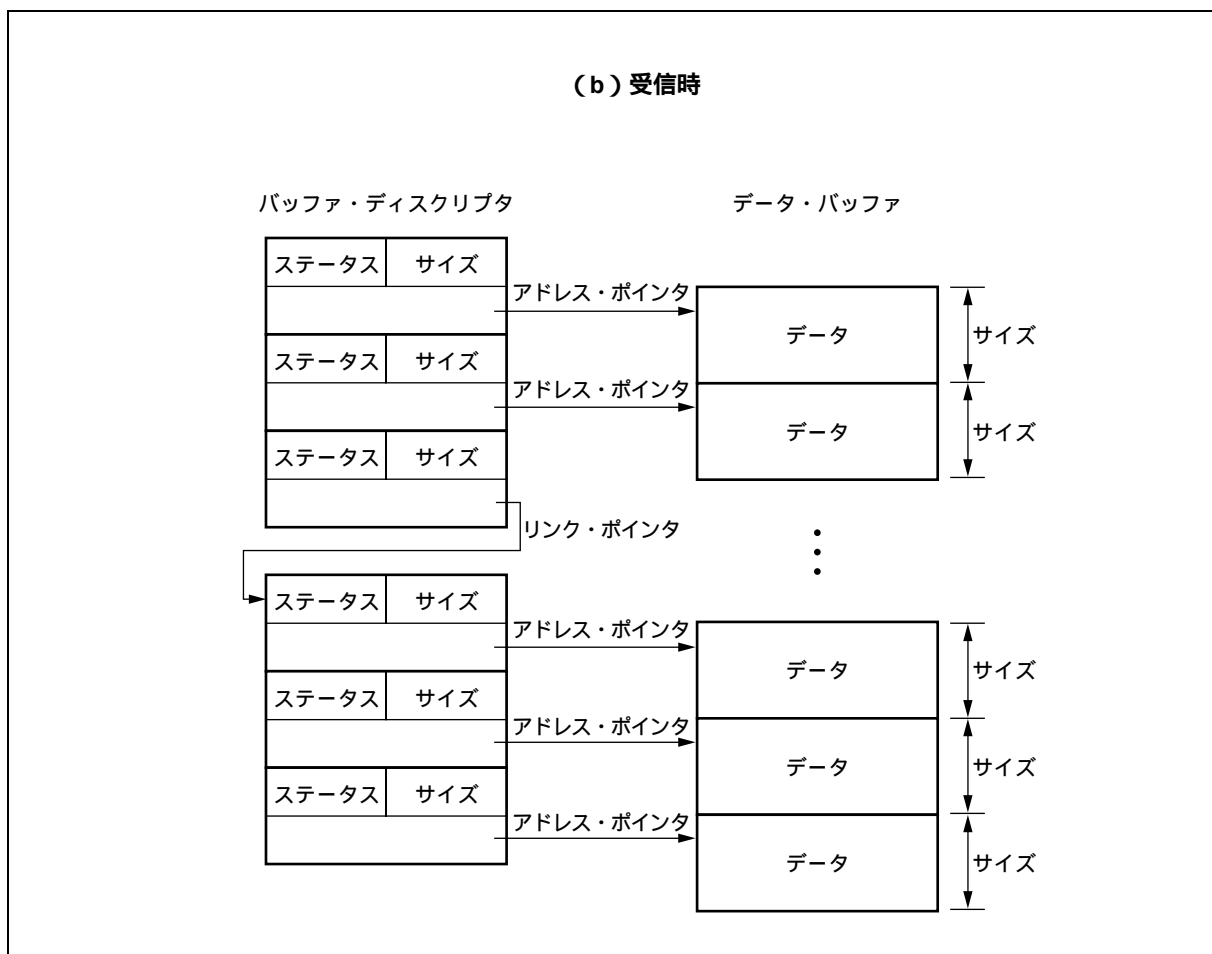


図23 - 18 イーサネット・コントローラのバッファ構造 (2/2)



23.6.2 ディスクリプタ・メカニズム

イーサネット・コントローラを使用する上で、送信データ/受信データを格納するメモリ空間が連続していない場合をサポートするために、ディスクリプタ・メカニズムを導入しています。イーサネット・コントローラが使用するディスクリプタには、次の3種類があります。

- バッファ・ディスクリプタ
- リンク・ポインタ
- エンド・オブ・チェーン

各ディスクリプタは、2ワード(64ビット)のワード・アラインされたデータで構成されます。イーサネット・コントローラでは、1回のDMA転送の起動で複数のディスクリプタを逐次処理することが可能です。

RXDPに受信ディスクリプタ・チェーンの先頭アドレス、TXDPに送信ディスクリプタ・チェーンの先頭アドレスをセットし、ETHMODEレジスタのRXS, TXSビットをセットすることで、受信DMA転送、送信DMA転送がスタートします。

ディスクリプタ・チェーンの最後はエンド・オブ・チェーンのディスクリプタで終了しなければなりません。

(1) バッファ・ディスクリプタのフォーマット

バッファ・ディスクリプタのフォーマットは、2ワード(64ビット)で構成され、下位はコントロール・ビット、上位ワードは、このディスクリプタが指すデータ・バッファのスタート・アドレス値を示します。

図23 - 19 バッファ・ディスクリプタ・フォーマット

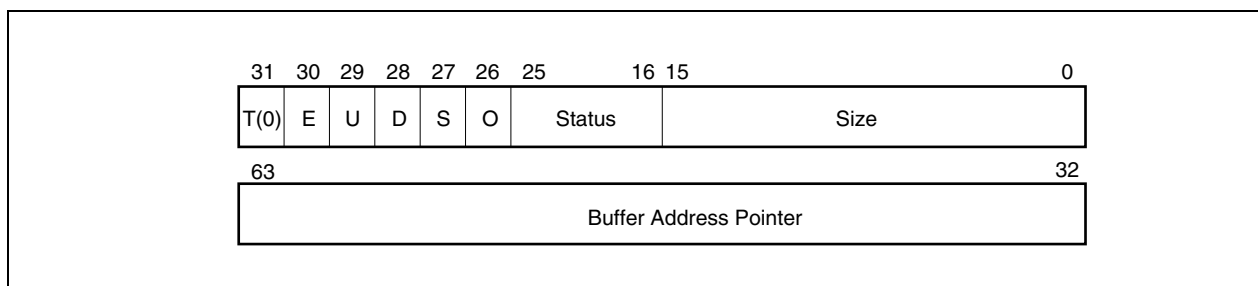


表23 - 10 バッファ・ディスクリプタ・フォーマット (1/2)

ビット位置	ビット名	意 味
63-32	BAP	データ・バッファのスタート・アドレスを現すアドレス・ポインタです。BAPはバイト・アライン指定可能です。
31	T	ディスクリプタ・タイプ ディスクリプタの種類を示します。 バッファ・ディスクリプタの場合、このビットは0で使します。
30	E	ラスト・バッファ・フラグ パケット・データの最後を現すコントロール・ビットです。 0: 通常のバッファ・データである (最終データではない) ことを示します。 1: 現在のパケットの最終データ・バッファであることを示します。 送信時にこのビットをセットしておくと、該当データ・バッファのデータを転送し終わった時点でTXI割り込みを発生し、次のディスクリプタの処理に移ります。 受信時はこのビットをクリアしておきます。フレーム・データの最後のデータが書き込まれると、ライト・バック時にこのビットがセットされます。その後、RXI割り込みを発生し、次のディスクリプタの処理に移ります。
29	U	ユーズド・ビット DMAが転送済か未転送 (転送中を含む) かを示します。 0: 未転送 (転送中を含む) 1: 転送済 CPUは、バッファ・データ (ディスクリプタ) を作成 / 取得する際にこのビットをクリアしておきます。このディスクリプタが示すバッファ領域に対するDMA転送が終了すると、Uビットはイーサネット・コントローラによりセットされます。イーサネット・コントローラは、ディスクリプタ・リード時にUビットが立っているディスクリプタをリードすると、TECI、RECI割り込みを発行して、DMAを中止します。 また、バス・エラーが発生した場合、および受信時オーバーフローが発生した場合は、パケット先頭のディスクリプタ、オーバーフローの起こったディスクリプタのUビットがセットされます。
28	D	データ・バッファのアクセス・エラーを示すビットです。 0: エラーなし 1: データ・バッファのアクセス・エラーが発生した CPUは、バッファ・データ (ディスクリプタ) を作成 / 取得する際にこのビットをクリアしておきます。アクセス・エラーが起きると、イーサネット・コントローラは現在のパケットを示す先頭ディスクリプタのコントロール・ビットDと、アクセス・エラーを起こしたディスクリプタのコントロール・ビットDをセット (1) します。
27	S ^注	受信ステータス情報がStatusフィールドに書き込まれていることを示します (受信時のパケット先頭のディスクリプタ内のコントロール・ビットSのみ有効です) 0: ステータス情報は含まれていません 1: 受信パケットのステータス情報を含みます CPUは、バッファ・データ (ディスクリプタ) を作成 / 取得する際にこのビットをクリアしておきます。受信パケットのDMA転送時、イーサネット・コントローラは、1パケット転送終了ごとに現在のパケットの先頭ディスクリプタのStatusフィールドに有効な値を書き込み、コントロール・ビットSをセット (1) します。

注 送信時使用しません。0を設定してください。

表23 - 10 バッファ・ディスクリプタ・フォーマット (2/2)

ビット位置	ビット名	意味																								
26	O ^注	<p>受信時のオーバーフローを通知します。</p> <p>0 : オーバフローなし 1 : オーバフローが発生した</p> <p>CPUは、バッファ・データ(ディスクリプタ)を作成/取得する際にこのビットをクリアしておきます。受信時にオーバーフロー・エラーが発生した場合、イーサネット・コントローラはパケットの先頭ディスクリプタのコントロール・ビット0に1を書き戻し、オーバーフロー・エラーが発生したディスクリプタにコントロール・ビットEをセットします。割り込みは発生しません。</p>																								
25-16	Status ^注	<p>受信時のStatus 情報を示します。コントロール・ビットSが1である場合、Statusフィールドの値が有効です。CPUは、バッファ・データ(ディスクリプタ)を作成/取得する際にこのビットをクリアしておきます。受信パケットのDMA転送時、イーサネット・コントローラは、1パケット転送終了ごとに現在のパケットの先頭ディスクリプタのStatusフィールドに有効な値を書き込み、コントロール・ビットSを1にセットします。</p> <p>Statusフィールドの各ビットの機能を次に示します。受信ステータス・モニタ (RXSTMON1) の値が書き込まれます。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット位置</th> <th colspan="2">ビット名</th> </tr> </thead> <tbody> <tr> <td>16</td> <td colspan="2">CEPS</td> </tr> <tr> <td>17</td> <td colspan="2">RCV</td> </tr> <tr> <td>18</td> <td colspan="2">RCRCE</td> </tr> <tr> <td>19</td> <td colspan="2">RLOR</td> </tr> <tr> <td>20</td> <td colspan="2">DBNB</td> </tr> <tr> <td>21</td> <td colspan="2">RXOK</td> </tr> <tr> <td>23-25</td> <td>FTYP[0:2]</td> <td> 000 : RBRO 001 : RMUL 010 : USOP 011 : VLAN 100 : RPCF 101 : RCFR 110 : " Normal " 111 : " Reserved " </td> </tr> </tbody> </table>	ビット位置	ビット名		16	CEPS		17	RCV		18	RCRCE		19	RLOR		20	DBNB		21	RXOK		23-25	FTYP[0:2]	000 : RBRO 001 : RMUL 010 : USOP 011 : VLAN 100 : RPCF 101 : RCFR 110 : " Normal " 111 : " Reserved "
ビット位置	ビット名																									
16	CEPS																									
17	RCV																									
18	RCRCE																									
19	RLOR																									
20	DBNB																									
21	RXOK																									
23-25	FTYP[0:2]	000 : RBRO 001 : RMUL 010 : USOP 011 : VLAN 100 : RPCF 101 : RCFR 110 : " Normal " 111 : " Reserved "																								
15-0	Size	<p>このディスクリプタが示すバッファ・データのサイズ(バイト単位)を示します。受信パケットのDMA転送時、イーサネット・コントローラは、1パケット転送終了ごとに、転送した1パケット分の長さを現在のパケットの最終ディスクリプタのSizeフィールドに書き込みます。</p>																								

注 送信時使用しません。0を設定してください。

備考 Sizeフィールドは16ビットです。0の設定は禁止です。0の設定をするとエラー割り込みが発生します。

FFFFHを設定すると64 K - 1バイトの転送を行います。

(2) リンク・ポインタのフォーマット

リンク・ポインタのフォーマットは、2ワードで構成され、下位ワードはコントロール・ビット、上位ワードは、次のディスクリプタのアドレス値を示します。

図23 - 20リンク・ポインタ・フォーマット

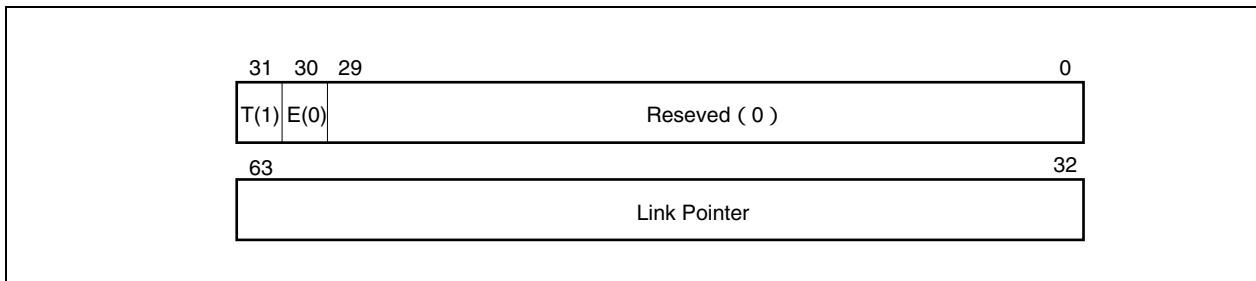


表23 - 11 リンク・ポインタ・データ・フォーマット

ビット位置	ビット名	意味
63-32	Link Pointer	次のディスクリプタのアドレスを示します。下位2ビットは無視されます(ワード・アライン)。
31	T	リンク・ポインタの場合、このビットは1で使します。
30	E	リンク・ポインタの場合、このビットは0で使します。
29-0	Reserved	予約領域です。0を設定してください。

(3) エンド・オブ・チェインのフォーマット

エンド・オブ・チェインのフォーマットは、2ワードで構成され、下位ワードはコントロール・ビット、上位ワードは0を示します。

イーサネット・コントローラは、エンド・オブ・チェインを検出すると、DMA転送を終了しxECI割り込みを発生します。

図23 - 21 エンド・オブ・チェイン・フォーマット

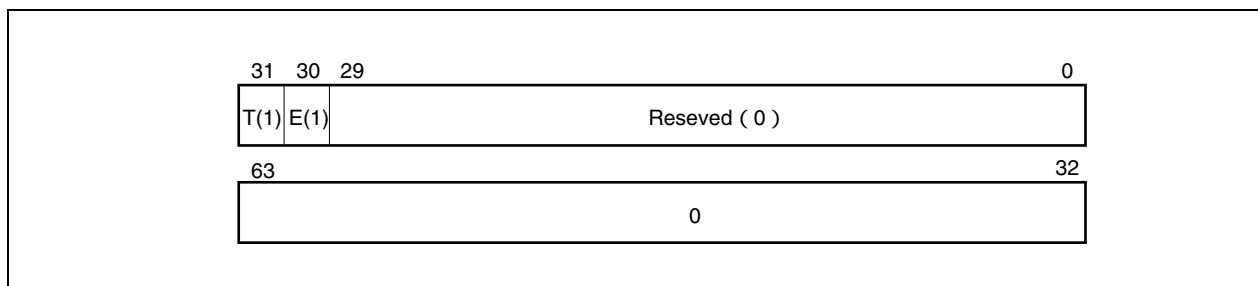


表23 - 12 エンド・オブ・チェイン・フォーマット

ビット位置	ビット名	意味
63-32	BAP	エンド・オブ・チェインの場合、NULL（オール・ゼロ）を設定します。
31	T	エンド・オブ・チェインの場合、このビットは1で使します。
30	E	エンド・オブ・チェインの場合、このビットは1で使します。
29-0	Reserved	予約領域です。0を設定してください。

(4) ステータスのライト・バック

受信のDMA転送の場合には、受信ステータスをパケットの最初のディスクリプタへライト・バックし、DMA転送したパケット長を最終のディスクリプタへライト・バックします。ステータスは表23 - 10 バッファ・ディスクリプタ・フォーマットのStatusフィールドに示すようにライト・バックされます。

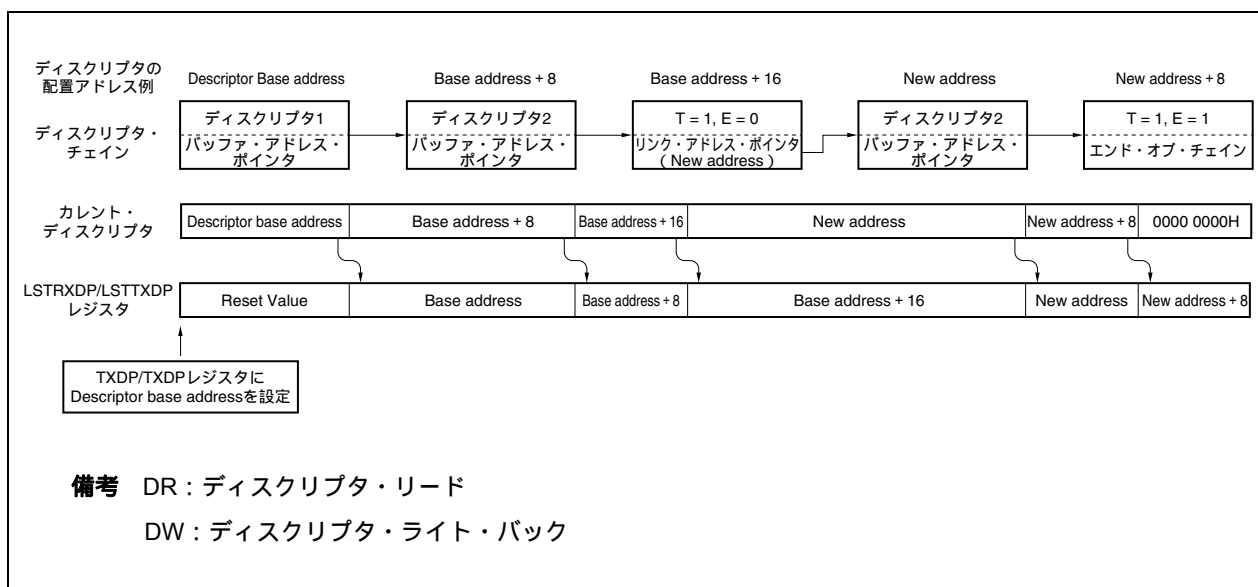
(5) 最終ディスクリプタ・レポート

カレント・ディスクリプタをレポートする機能があります。LSTRXDP, LSTTXDPという2つのレジスタによりイーサネット・コントローラで処理したディスクリプタのアドレス情報を保存しています。ソフトウェアはこの2つのレジスタをリードすることで、直前に処理したディスクリプタのアドレス情報を知ることができます。

LSTRXDP, LSTTXDPへディスクリプタのアドレス情報が保存されるタイミングは次のとおりです。

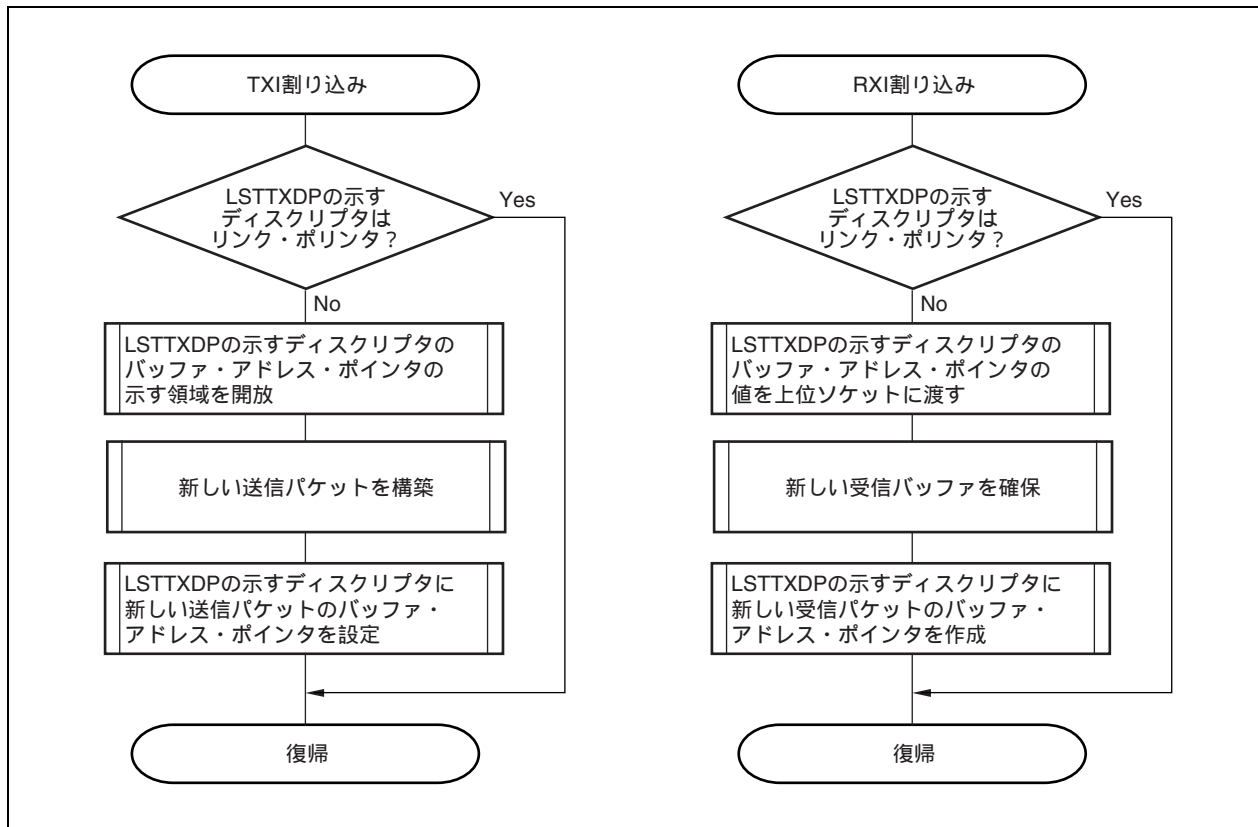
リンク・ポインタを読み出した際には、次のディスクリプタ・アドレスを示しているリンク・ポインタのアドレスをLSTRXDPまたはLSTTXDPにコピーします。

図23 - 22 最終ディスクリプタ・コピー・タイミング



ディスクリプタ・チェーンをリング・バッファにしている場合は、INETMTX割り込みのTXIフラグ(INETMRX割り込みのRXIフラグ)をトリガにしてLSTRXDP, LSTTXDPを読み出し、ディスクリプタを更新できます。

図23 - 23 LSTRXDP, LSTTXDPを用いたディスクリプタ・チェーンの更新

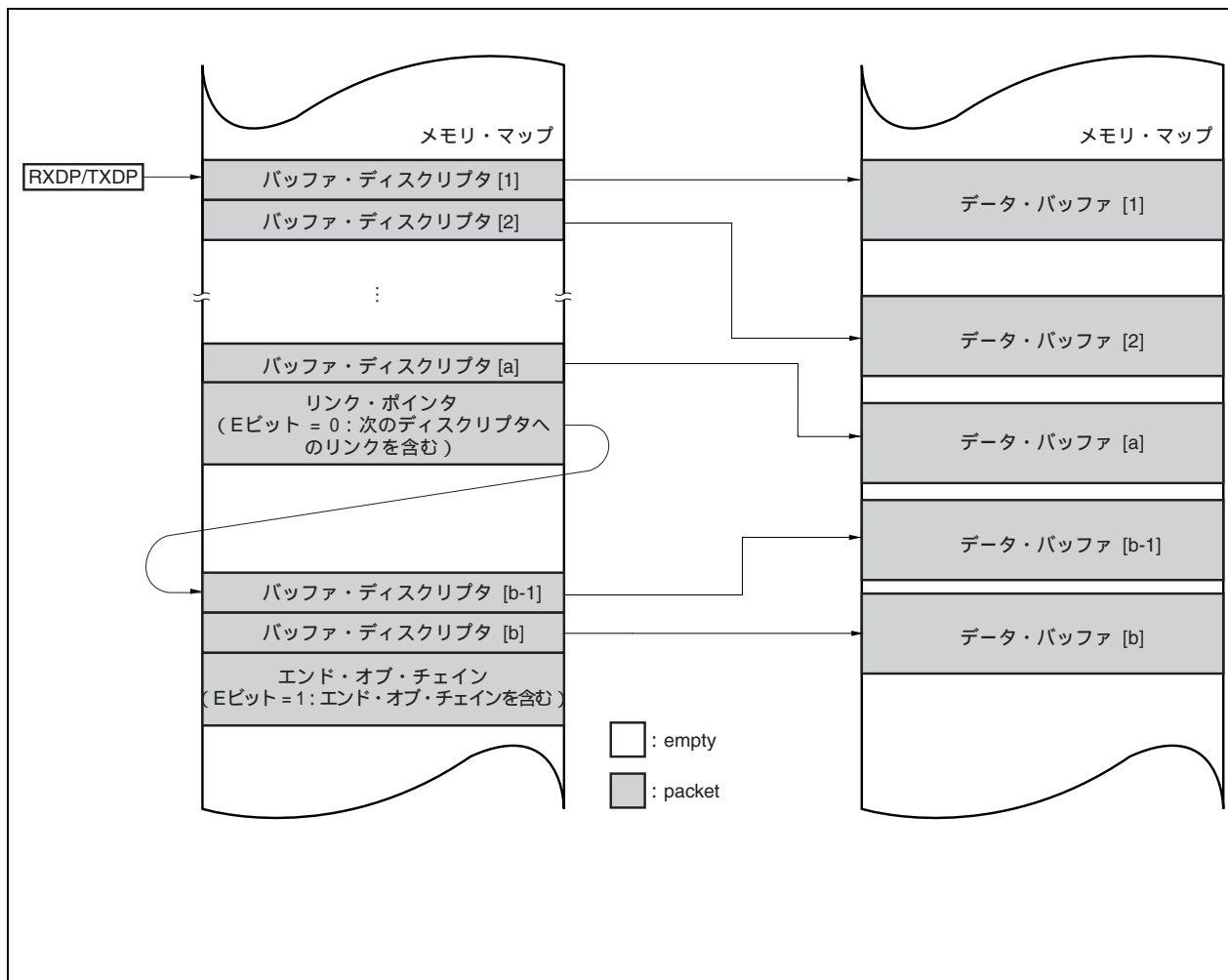


(6) ディスクリプタ・チェーン

ディスクリプタはチェーン構造でデータ・バッファ（不定長）を指し示します。

イメージは次のようになります。

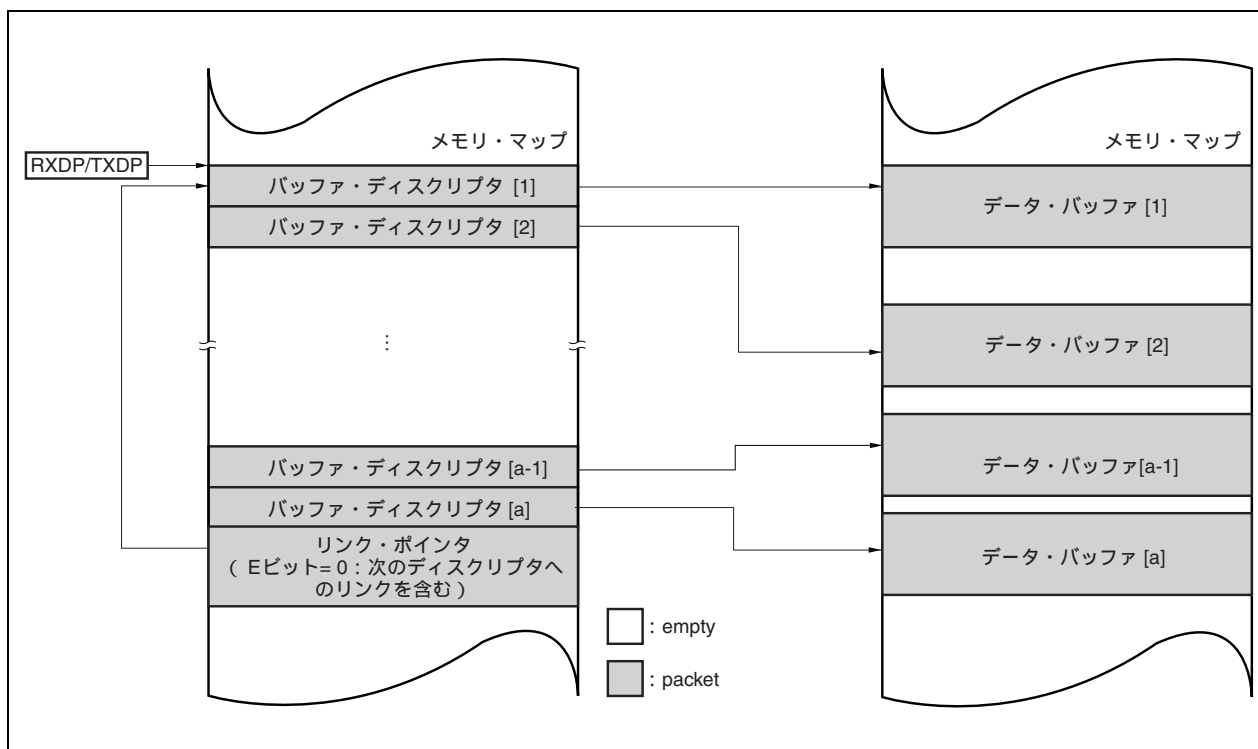
図23 - 24 ディスクリプタ・チェーン概略図



ディスクリプタは、連続したメモリ領域に配置します。ただし、リンク・ポインタを使用した場合には、リンク・ポインタ内に次のバッファ・ディスクリプタの配置アドレスを示すことで、非連続の領域への配置も可能となります。また、エンド・オブ・チェーンを設定することで、ディスクリプタ・チェーンを終了します。

最後のリンク・ポインタで最初のバッファ・ディスクリプタのアドレスを指定することによって、リング状のディスクリプタ・チェーンを構成することも可能です。

図23 - 25 ディスクリプタ・チェーンによるリング・バッファの概略図



リンク・ポインタでディスクリプタ・チェーンの先頭を指定すると、リング・バッファになります。リング・バッファを構成した場合、Uビットがセットされたディスクリプタを読み込むと、イーサネット・コントローラはエンド・オブ・チェーンと同様にRECI/TECI割り込みを発生して、DMAを停止します。

注意 Uビットの扱いについて

Uビットがセットされた送信ディスクリプタは、そのディスクリプタの処理が完了していますので、CPUはUビットをクリアして新しいディスクリプタを設定することができます。

しかし、受信ディスクリプタでは、Uビットがセットされていても、後でStatus Write BackやError Write Backによりディスクリプタが更新されることがありますので、パケット受信の完了を確認しないとディスクリプタを新しく設定することができません。ただし、Eビットがセットされていればパケットの受信が完了しているので、そのディスクリプタ・チェーンを新しいディスクリプタに設定することができます。

(7) バイト・アライメントとバウンダリ

ディスクリプタはワード・アライメントされている必要がありますが、データ・バッファはバイト・アライメントされたアドレスに設定することができます。

イーサネット・コントローラはアドレスを自動判別してワード境界までシングル転送、バースト境界まで不定長のワード転送を行い、その後、バースト転送を行います。

23.6.3 フレーム送信

CPUがデータ専用RAMに、送信ディスクリプタ、および送信データを準備して、送信ディスクリプタ・レジスタ (TXDP) を設定し、ETHMODEレジスタのTXSビットをセットすると、専用DMACは、ディスクリプタ・レジスタに設定されたアドレスから、送信バッファ・ディスクリプタをフェッチして、データ・バッファから送信データを読み出し、送信FIFOに転送します。FIFOに転送されたデータは、TXCLKに同期化され、プリアンプル、SFD、フレーム・データの順でPHYに出力されます。

MACC1レジスタのCRCENビットが設定されている場合、データの終わりにFCSを付加します。MACC1レジスタのPADENビットが設定されている場合、ショート・フレーム送信時に自動的に0PADが付加されます。

現在さしているディスクリプタがフレームの終端を含んでいない場合、次のディスクリプタを読み出し、このディスクリプタが指すデータ・バッファからデータを読み出します。

送信終了後、送信ステータスを最終ディスクリプタに書き込みます。このあと、次の送信バッファ・ディスクリプタをフェッチし、次のデータが送信可能な場合に同様の方法で送信を開始します。

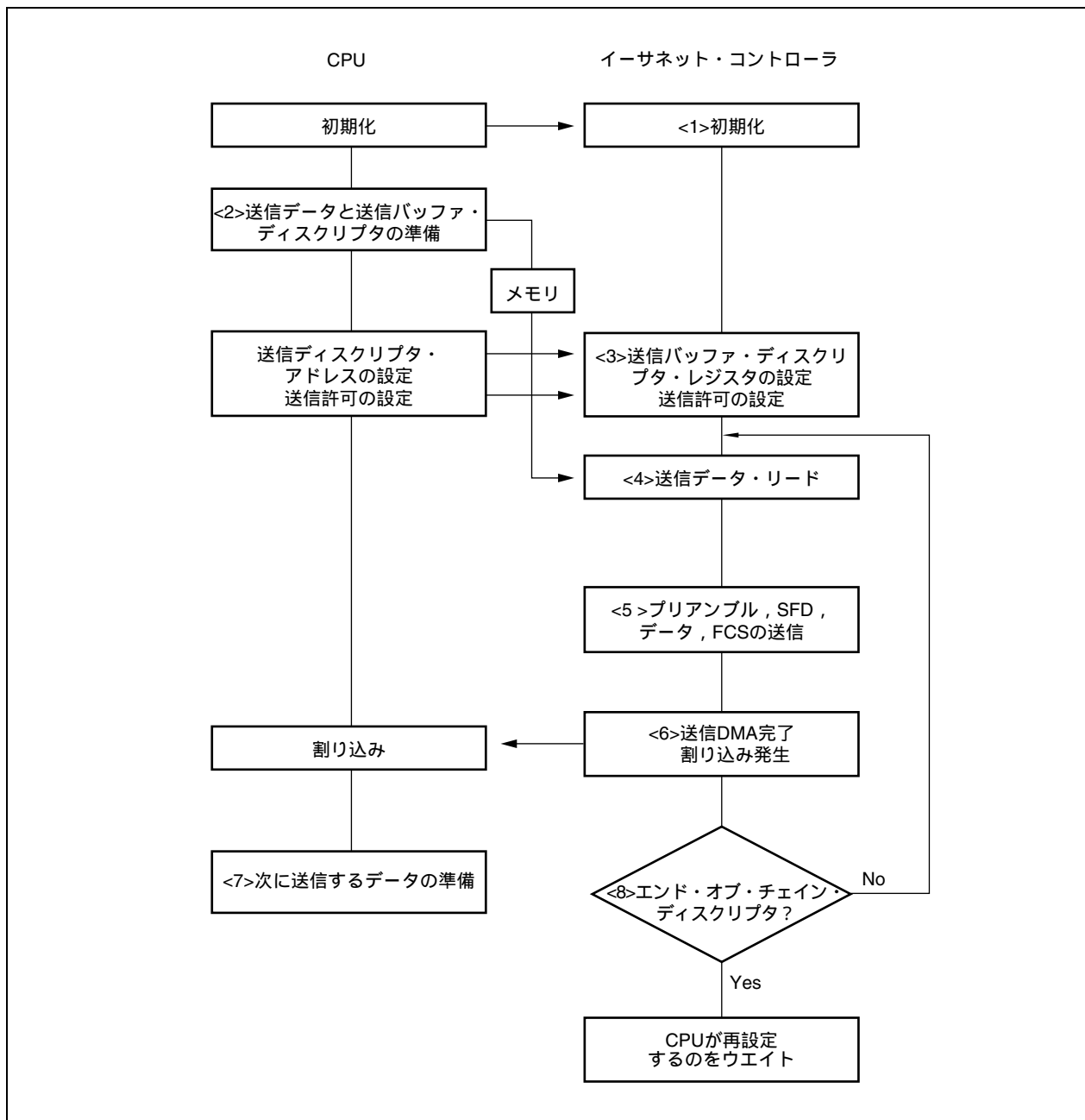
また、各バッファ・ディスクリプタのDMA処理が完了すると、送信DMAが完了したことを示す割り込み (TXI) をそのつど発生します。

次の送信バッファ・ディスクリプタがエンド・オブ・チェイン・ディスクリプタの場合は、エンド・オブ・チェイン・ディスクリプタを示す割り込み (TECI) を発生させ送信DMAが停止します。

送信DMAを起動させるには、TXDPレジスタとバッファ・ディスクリプタを再設定してください。

次に、送信手順の例を示します。

図23 - 26 送信手順例



<1> イーサネット・コントローラの初期化

イーサネット・コントローラの初期化を行ってください。初期化手順については、23.3 初期設定を参照してください。

<2> 送信データと送信バッファ・ディスクリプタの作成

データ専用RAMに送信データと送信バッファ・ディスクリプタを作成してください。ディスクリプタ作成の際には送信バッファ・ディスクリプタのEビットの設定（パケットのデータの最後を表すためには1を設定）、Tビットの設定（0に設定）、Uビットの設定（0に設定）、Sizeビットの設定を行ってください。

<3> 送信バッファ・ディスクリプタ・レジスタの設定と送信許可の設定

送信バッファ・ディスクリプタのアドレスをTXDPレジスタに設定してください。ETHMODEレジスタのTXSビット（送信許可）を設定します。

<4> 送信データの読み出し

DMAを介して送信データをメモリから読み込みます。

送信バッファ・ディスクリプタのEビットが0であるとき、次のディスクリプタの読み込みを行います。

<5> パケットの送信

プリアンブル、SFD、データ、FCSなどを送信します。

<6> DMA 送信完了の通知

TXI割り込み要求を発生させ、送信が終了したことをCPUに通知します。

<7> 次のデータの準備

CPUは送信ステータスをチェックし、次のデータを準備します。

<8> エンド・オブ・チェイン・ディスクリプタ？

TECI割り込み要求を発生させ、エンド・オブ・チェイン・ディスクリプタに到達したことをCPUに通知します。

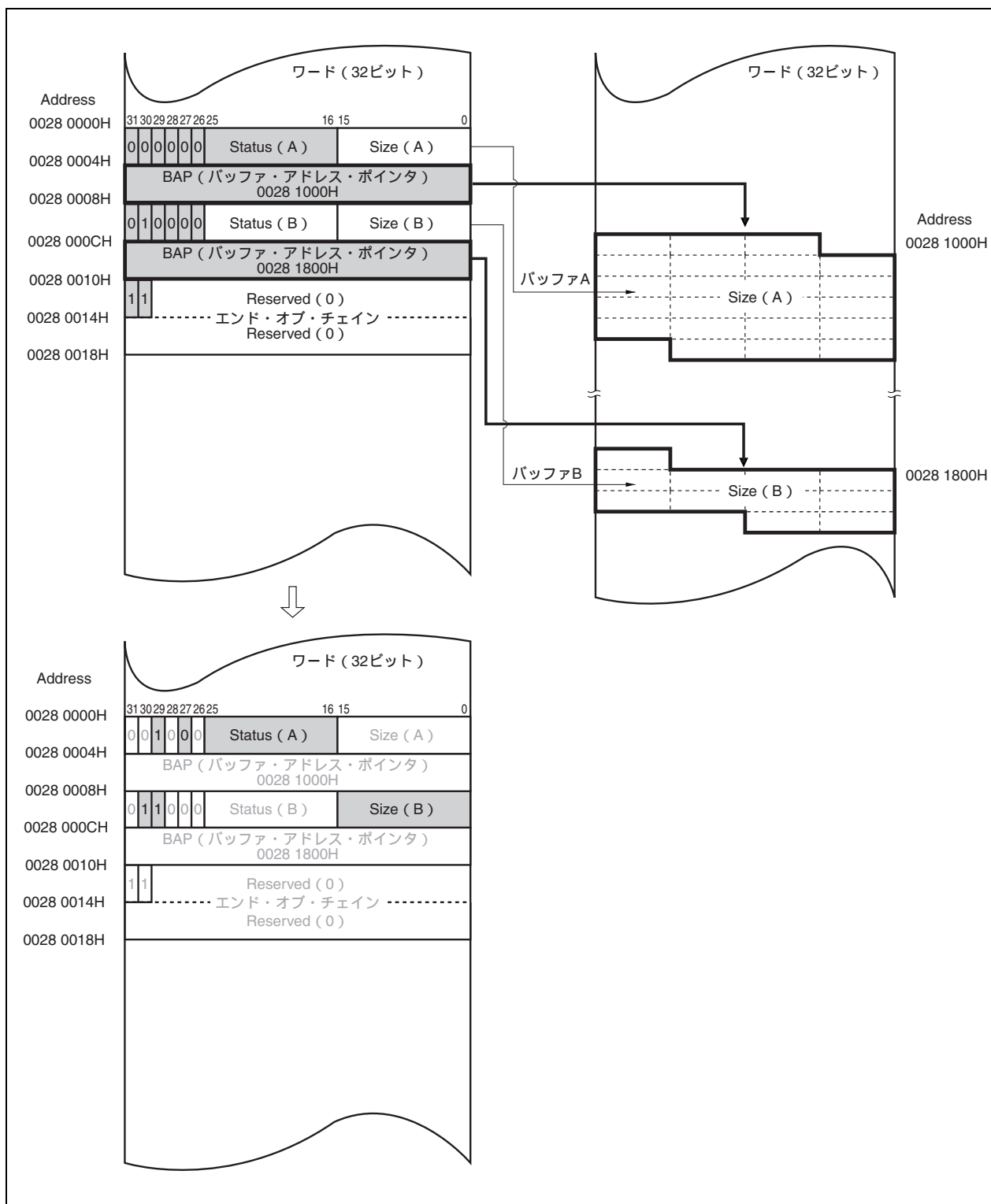
次に具体的なディスクリプタ・チェインの例を用いて動作を説明します。

ソフトウェアで、コア・ファンクション設定レジスタ (ETHMODE) の TXS ビットをセット (1) すると、送信ディスクリプタ・ポインタ (TXDP) で示されるアドレス (0028 0000H) から先頭ディスクリプタを読み出し、送信ディスクリプタの解析を開始します。DMA 転送開始アドレスにバッファ・アドレス・ポインタ (0028 1000H) をセットし、バッファ内のデータを FIFO に転送します。

送信ディスクリプタの E ビットが 0 で、最終データではないことを示しているため、次のバッファ・ディスクリプタ (0028 0008H) を読み出し、バッファ・アドレス・ポインタ (0028 1800H) をセットし、バッファ内のデータを FIFO に転送します。

E ビットが 1 のバッファ・ディスクリプタが指すバッファ内のデータの送信を完了すると、U ビットをセットし、送信処理が完了します。また、割り込み要求 (TXI) が発生します。

図23 - 27 ディスクリプタ・チェーン構成例 (パケット送信時)



23.6.4 フレーム受信

MACコンフィギュレーション・レジスタ(MACC1)のSRXENビット(受信許可), ETHMODEレジスタのRXSビット(受信DMA許可), 受信ディスクリプタ・ポインタ・レジスタRXDPを設定し, MACがデータを受信すればすぐに受信フレームの処理を開始します。

データを受信すると, プリアンブル, フレーム開始デリミタ(SFD)が有効かをチェックします。

プリアンブルとSFDが有効であると, 受信したフレームに対する処理が行われます。

有効なプリアンブルとSFDが見つからなかった場合, フレームは無視されます。

フレームが衝突を起こしたり, アドレス・フィルタリングによってフレームが破棄されたりした場合, 受信バッファにはデータが書き込まれません。

正常に受信され, アドレス・フィルタリングにより破棄されなかった受信フレームは, 受信バッファ・ディスクリプタが指定するデータ・バッファに転送します。

受信中, イーサネット・コントローラはフレームの長さが適切であるかをチェックしています。

フレームの終端になるとFCSがチェックされ, バッファ・ディスクリプタに書き込まれます。

なお, 64バイト以下のフレーム(ショート・パケット)はDMA転送されません。

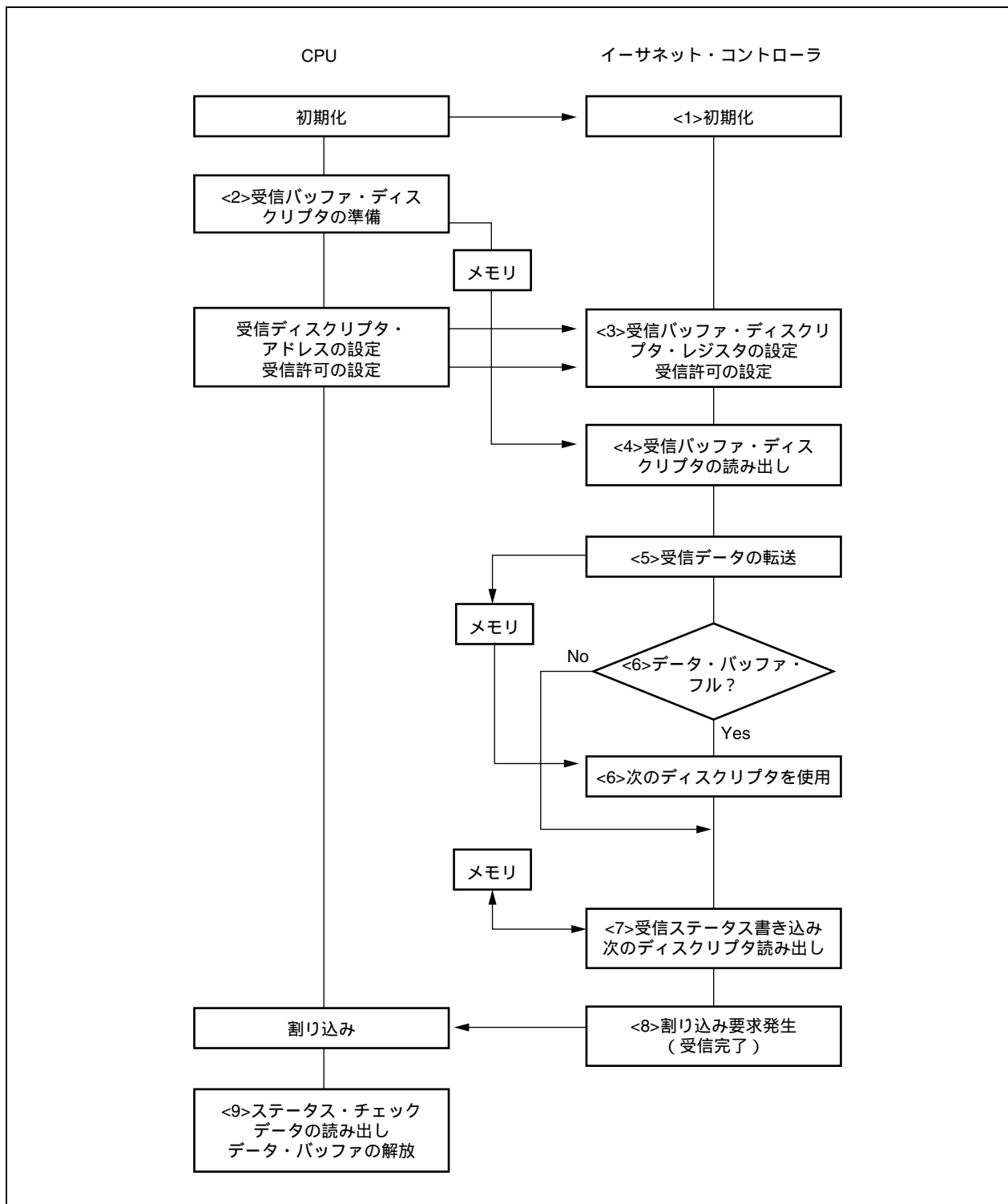
フレームの受信が完了すると, 最終ディスクリプタに対してEビット, Uビットをセット(1)し, Sizeフィールドに転送したデータのバイト数をライト・バックします。

またパケット・データを全て転送したあと, 先頭ディスクリプタのUビット, Sビットをセット(1)し, 受信ステータス情報をStatus・フィールドにライト・バックします。

また, 割り込み要求(RXI)が発生します。

次に，受信手順の例を示します。

図23 - 28 受信手順例



- <1> **イーサネット・コントローラの初期化**
イーサネット・コントローラの初期化を行ってください。初期化手順については、23.3 初期設定を参照してください。
- <2> **受信バッファ・ディスクリプタの作成**
メモリに受信バッファ・ディスクリプタを作成してください。ディスクリプタの作成の際には受信バッファ・ディスクリプタのTビットの設定（0に設定）、Uビットの設定（0に設定）、Sizeビット（データ・バッファのサイズ）の設定を行ってください。
- <3> **受信バッファ・ディスクリプタ・レジスタの設定と受信許可の設定**
受信バッファ・ディスクリプタのアドレスをRXDPレジスタに設定し、ETHMODEレジスタのRXSビットを設定します。
- <4> **受信バッファ・ディスクリプタの読み出し**
DMAを介して受信バッファ・ディスクリプタを読み出します。
- <5> **受信データの転送**
DMAを介してデータをデータ専用RAMに転送します。
- <6> **受信データ・バッファ・フルの判定**
現在のデータ・バッファがフルの場合、次のディスクリプタを読み込みます。
- <7> **パケットの受信**
バッファ・ディスクリプタの読み込みとデータの転送を繰り返し行います。フレームの終端を受信した場合、最終受信バッファ・ディスクリプタのステータスのEビットには1、Sizeフィールドには転送したバイト数が書き込まれます。
- <8> **受信完了の通知**
割り込み要求（RXI）を発生させ、受信が終了したことをCPUに通知します（割り込みがマスクされていない場合）。
- <9> **次のデータの準備**
CPUは受信ステータスのチェックとデータ・バッファの解放を行い、次のデータ・バッファを準備します。

次に具体的なディスクリプタ・チェインの例を用いて、動作を説明します。

ソフトウェアで、コア・ファンクション設定レジスタ(ETHMODE)のRXSビットをセット(1)すると、受信ディスクリプタ・ポインタ(RXDP)で示されるアドレス(0028 0000H)から先頭ディスクリプタを読み出し、受信ディスクリプタの解析を開始します。

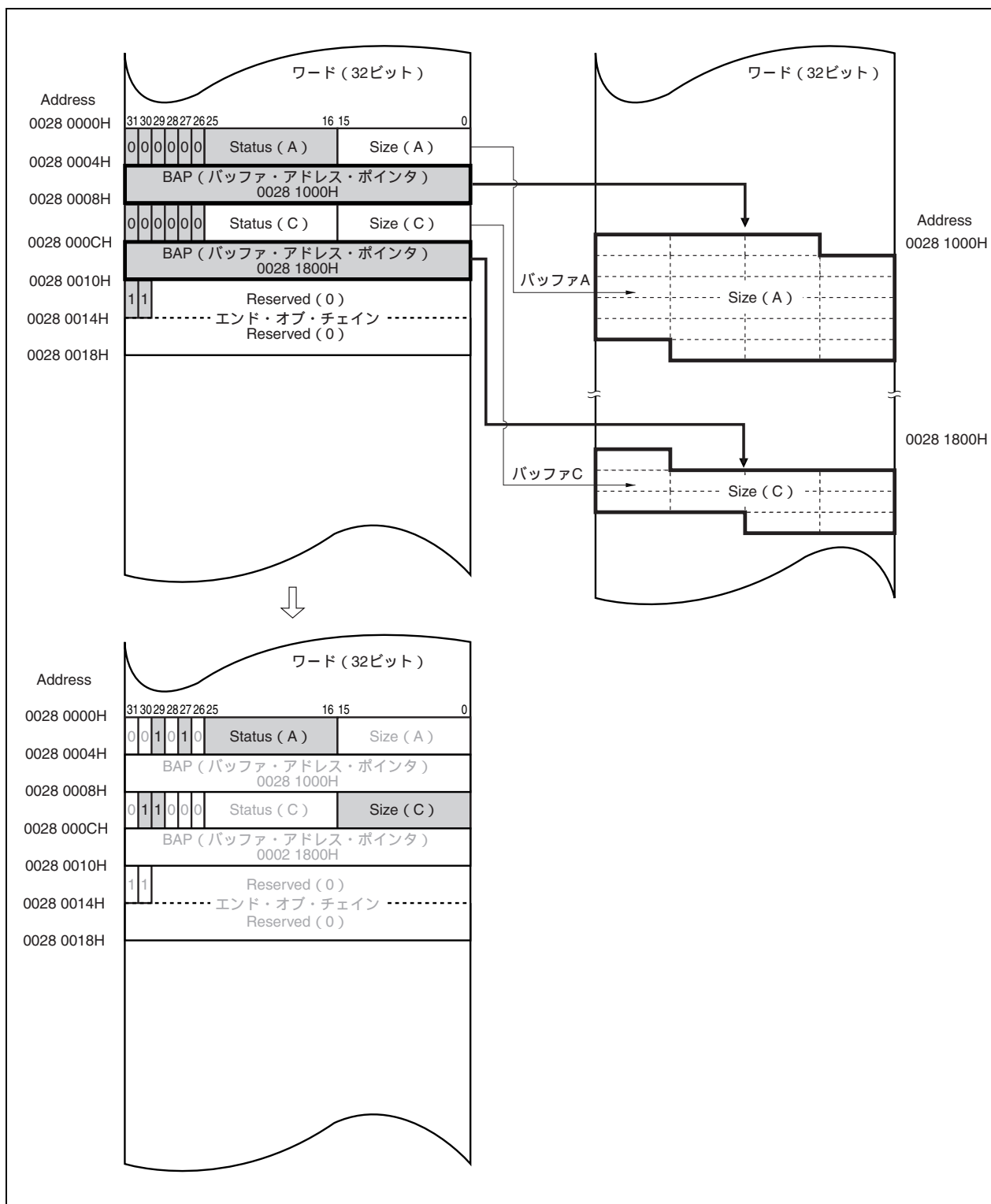
DMA転送開始アドレスに先頭バッファ・アドレス・ポインタ(0028 1000H)をセットし、FIFO内の受信データをバッファAに転送します。

その後の受信でバッファAがフルになると次のディスクリプタ(0028 0008H)を読み出し、バッファ・アドレス・ポインタ(0028 1800H)をDMA転送開始アドレスにセットし、FIFO内の受信データをバッファCに転送します。

最終ディスクリプタに対して、Eビット、Uビットをセット(1)し、Sizeフィールドに転送したデータのバイト数をライト・バックします。

またパケット・データをすべて転送したあと、先頭ディスクリプタの、Uビット、Sビットをセット(1)し、受信ステータス情報をStatus(A)フィールドにライト・バックします。

図23 - 29 ディスクリプタ・チェーン構成例 (パケット受信時)



23.6.5 エラー処理

(1) Error Write Back

送信および受信時にデータ・バッファへアクセスするときにバス・エラーが発生した場合は、エラー割り込みをアサートしDMAを中止します。さらにパケット先頭のディスクリプタには、Uビット、Dビットをセット(1)します(Uビットはすでにセット(1)されている場合もあります)。また、エラーの起こったディスクリプタには、Uビット、Dビット、Eビットをセット(1)します。

受信時にオーバーフローが発生した場合は、パケット先頭のディスクリプタには、Uビット、Oビットをセットします(Uビットはすでにセットされている場合もあります)。また、オーバーフローの起こったディスクリプタには、Uビット、Eビットをセットします。

(2) エラー割り込み

エラー割り込みは、データ・バッファのアクセス・エラーだけでなく、ディスクリプタのアクセス・エラー発生によってもアサートされます。エラー割り込みの発生は、INTMS, RBEI, TBEI ビットがセットされることで確認できます。

データ・バッファのアクセス・エラーやディスクリプタのアクセス・エラーが発生した場合は、エラーの発生したディスクリプタを含むディスクリプタ・チェーンを再構築する必要があります。

送信 ディスクリプタまたはデータ・バッファのアクセス・エラーが起これると、TBEIビットをセット(1)しDMAを中止します。

次のTXSビットをセット(1)するまで、送信処理は起こりません。

受信 ディスクリプタまたはデータ・バッファのアクセス・エラーが起これると、RBEIビットをセットしDMAを中止します。

次のRXSビットをセットするまで、受信処理は行いません。同時に、FIFOから転送中のパケットをキャンセルします。

なお、パケット転送が始まっていない場合には、パケットのキャンセルを行いません。

受信オーバーフローのライト・バックでバス・エラーが発生した場合も、ディスクリプタのアクセス・エラーと同じ処理を行います。

23. 7 受信チェックサム機能

イーサネット・コントローラは、受信チェックサム・ユニットの機能により、受信チェックサム機能があります。

受信チェックサム機能のオン/オフは、制御レジスタから制御され、TRANSCTL、RXCHKSMENビットにより制御されます。

チェックサムは受信データの最後に追加されます。受信データは、パケット長+2バイトとなりますので、十分な領域の確保をしてください。

チェックサム機能が有効な場合は、受信フレームのMACヘッダ（先頭14バイト）とCRC（末尾4バイト）を除いた、すべての部分（ペイロード）をチェックサム計算の対象とします。計算対象のバイト数が奇数の場合には、最後のバイトに00Hを追加してチェックサムの計算を行います。

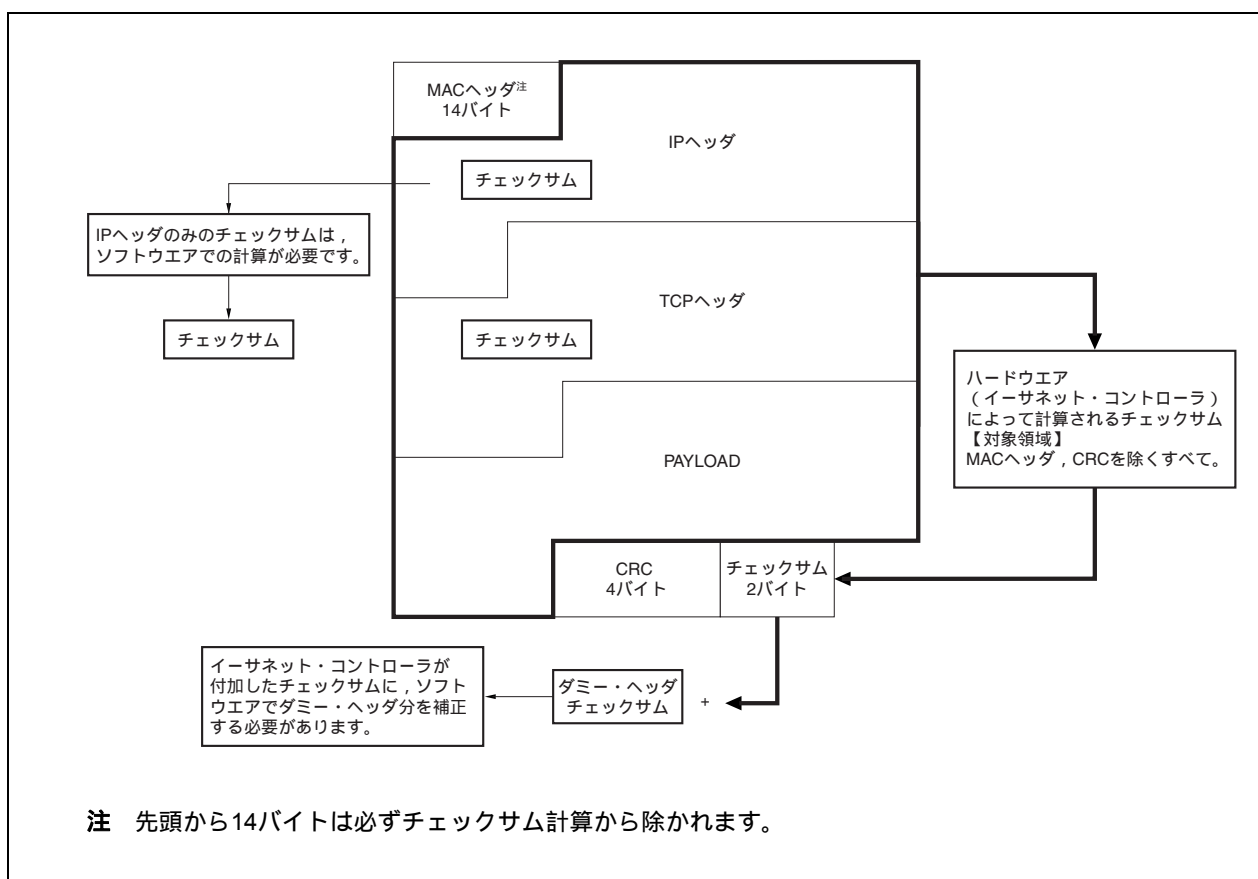
チェックサム対象の最小受信パケット長は19バイト（ペイロード=1バイト）です。受信パケット長が18バイト（ペイロード=0バイト）以下の場合には、チェックサムは0を出力します。ただしレングス情報は2バイト増えます。

RXCHKSMENビットは受信フレーム転送停止を確認して変更してください。

23. 7. 1 ソフトウェア上の処理

チェックサム計算はパケットの先頭から14バイトはMACヘッダとしてあつかい、必ずチェックサム計算から除かれます。15バイト目から計算が始まることとなります。VLANやヒュージフレームなどのようにMACヘッダが14バイトを越える場合は、ソフトウェアでの補正が必要です。

図23 - 30 チェックサム対象



また、最小パケット長を64バイトとするために、不足分をパディングする場合、多くのシステムでは00_Hでパディングしますが、システムにより特定のコードでパディングされる場合があります。この場合は、パディング・データを含めてチェックサム計算が行われるため、計算結果とヘッダに含まれるチェックサムと一致しくなくなります。この場合は、ソフトウェアによりパディング・データ分のチェックサムを補正する必要があります。

注意 RFC1071より、チェックサムを計算する際にデータの並びがビッグ・エンディアンかリトル・エンディアンかに関わらず、チェックサム結果を同一のエンディアンで比較すれば結果の比較が可能です。

23.8 注意事項

23.8.1 FIFOの注意事項

イーサネット・コントローラは、内部のFIFOにより次の注意があります。

表23 - 13 送信FIFOの制限

最大FIFO内 保存容量	DMA 転送条件	リトライ/ アボート	PHY への送信条件	特徴	注意点
2044バイト 以下	FIFO内のデータが1536バ イト未満 ^注	衝突検出時に、自動 で再送 / アボート を行う	FIFO内に1パケット以上パ ケットが存在する場合	アンダランしな い再送が可能	送信パケット長 は1536バイト以 下の制限がある

注 FIFO内には、容量が許す限り、複数のパケットを格納できますが、送信FIFO内のデータが1536バイトになると、送信DMAが停止して送信FIFOオーバフローを回避します。しかし、イーサネット・コントローラが送信を開始するのは、FIFO内に1パケット分のデータを格納したあとです。そのため、1パケットの長さが1536バイトを越えると、送信FIFOがロックします。使用する1パケットのサイズは、必ず規格値（非VLAN時1518バイト以下、VLAN時1522バイト以下）を守ってください。

表23 - 14 受信FIFOの制限

最大FIFO内 保存容量	DMA転送条件	ポーズ・コントロール・フレームの送信条件 ^注	特徴	注意点
2036バイト 以下	FIFO内に1パケット以上 パケットが存在する場合	・ポーズ・コントロール・フレームの送信： FIFO内のデータがFLOWTHR以上 ・0ポーズ・コントロール・フレームの送信： FIFO内のデータがZPTHR以下	すべてのエラ ー・パケットを破 棄可	受信パケット長 に2036バイト以 下の制限がある

注 ポーズ・コントロール・フレームによる制御は、受信オーバフローを完全に防止するものではありません。受信FIFOがオーバフローすると、受信できなかったパケットは破棄されます。

第24章 DMA機能 (DMAコントローラ)

V850ES/JH3-E, V850ES/JJ3-Eは、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ I/O間, メモリ メモリ間, I/O I/O間でのデータ転送を制御します (メモリは内蔵RAM, または外部メモリを意味します)。

24.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 (2^{16}) 回

転送タイプ: 2サイクル転送

転送モード: シングル転送モード

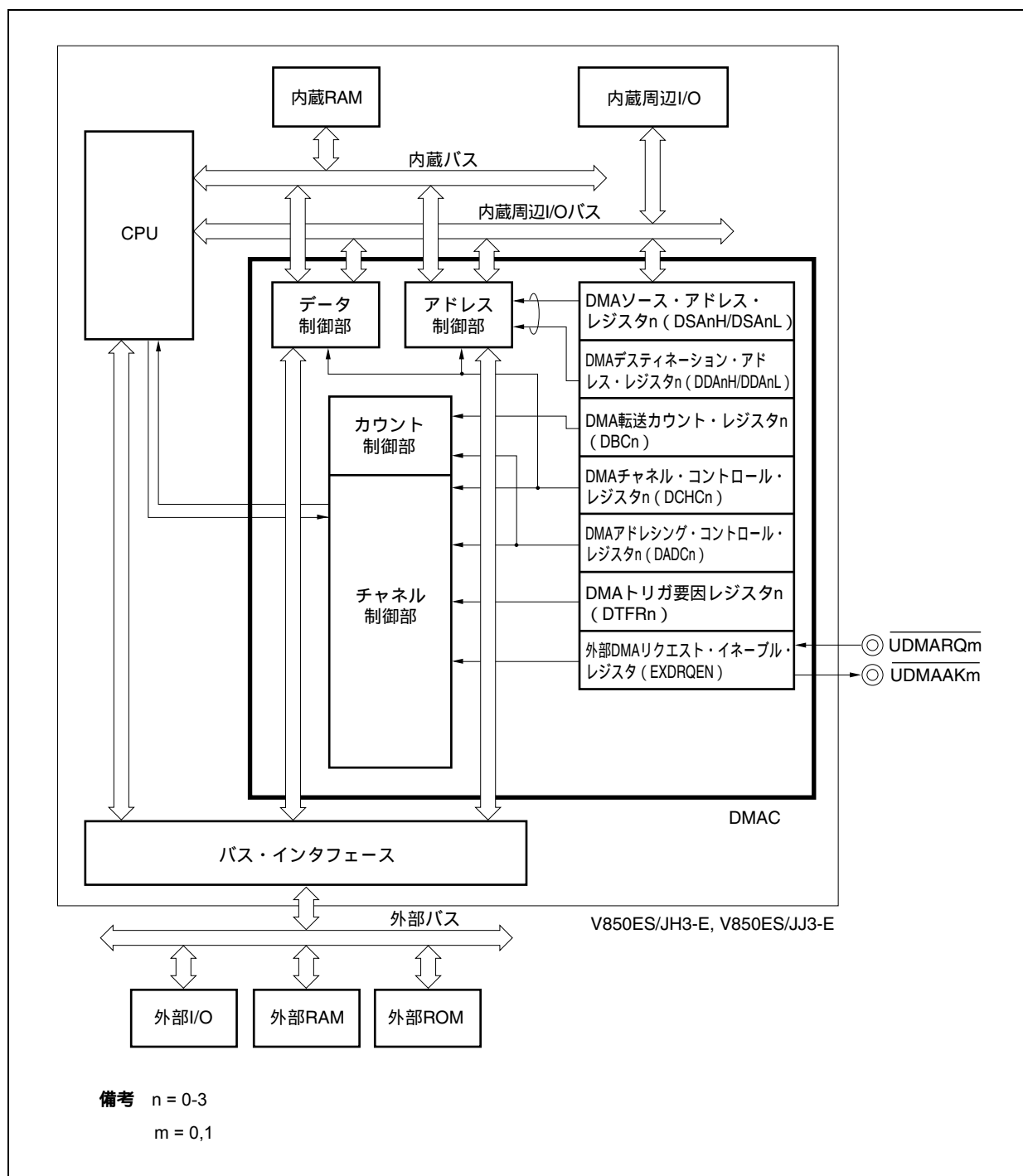
転送要求

- ・内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 周辺I/O
- ・周辺I/O 周辺I/O
- ・内蔵RAM 外部メモリ
- ・外部メモリ 周辺I/O
- ・外部メモリ 外部メモリ

24.2 構 成



24.3 レジスタ

(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。
このレジスタは, DSA_nH, DSA_nLの2つの16ビット・レジスタに分かれます。
16ビット単位でリード/ライト可能です。

リセット時: 不定 R/W アドレス: DSA0H FFFFF082H, DSA1H FFFFF08AH,
DSA2H FFFFF092H, DSA3H FFFFF09AH,
DSA0L FFFFF080H, DSA1L FFFFF088H,
DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA _n H (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA _n L (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
-----------	--

SA15-SA0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
----------	---

- 注意1. DSA_nHレジスタのビット14-10には, 必ず“0”を設定してください。
- DSA_nH, DSA_nLレジスタの設定は, DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DSA_nLレジスタの値を読み出す際, DSA_nHレジスタとDSA_nLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります(24.13 注意事項参照)。
 - リセット後, DMA転送を開始する前にDSA_nH, DSA_nL, DDA_nH, DDA_nL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(2) DMA デスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス(26ビット)を設定します(n = 0-3)。

このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード/ライト可能です。

リセット時:不定 R/W アドレス: DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH,
DDA0L FFFFF084H, DDA1L FFFFF08CH,
DDA2L FFFFF094H, DDA3L FFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-3)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス(A25-A16)を設定してください(初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
-----------	---

DA15-DA0	DMA転送先のアドレス(A15-A0)を設定してください(初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
----------	--

- 注意1. DDAnHレジスタのビット14-10には, 必ず“0”を設定してください。
2. DDAnH, DDAnLレジスタの設定は, DMA転送禁止状態(DCHCn.Ennビット = 0)である次のいずれかのタイミングで行ってください。
- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後(DCHCn.TCnビット = 1の状態)から次のDMA転送起動までの期間
3. DDAnレジスタの値を読み出す際, DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります(24.13 注意事項参照)。
4. リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(3) DMA 転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFF0C0H, DBC1 FFFFF0C2H,
DBC2 FFFFF0C4H, DBC3 FFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定, またはDMA転送中の残りの転送数
0000H	1回の転送, または残り転送数
0001H	2回の転送, または残り転送数
:	:
FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数
DMA転送が完了すると, 最初に設定された転送データ数を保持します。	

注意1. DBCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DS0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	転送データ・サイズの設定
0	8ビット
1	16ビット

SAD1	SAD0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1. DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
- DADCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ (DS0ビット = 0) を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。
 - 転送データ・サイズを16ビットに設定した場合 (DS0ビット = 1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
 - 内蔵周辺I/Oレジスタを対象 (転送元/転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず (8ビット) 転送を指定してください。

(5) DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です(ただし,ビット7はリードだけ,ビット1,2はライトだけ可能です。ビット1,2をリードした場合は0が読み出されます。)

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : DCHC0 FFFFF0E0H, DCHC1 FFFFF0E2H,
DCHC2 FFFFF0E4H, DCHC3 FFFFF0E6H

	⑦	6	5	4	3	②	①	①
DCHCn	TCn ^{注1}	0	0	0	0	INITn ^{注2}	STGn ^{注2}	Enn

(n = 0-3)

TCn ^{注1}	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット(1)され,読み出しによってクリア(0)されます。	

INITn ^{注2}	DMA転送が禁止された状態で(Ennビット = 0),INITnビットをセット(1)するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に(TCnビットがセット(1)される前),DMA転送ステータスの再設定(DDAnH,DDAnL,DSAnH,DSAnL,DBCn,DADcnレジスタの再設定)を行う場合は,必ずDMAチャンネルの初期化後に行ってください。 ただし,DMAコントローラの初期化は,必ず24.13 注意事項に示す手順にしたがって行ってください。
---------------------	--

STGn ^{注2}	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態(TCnビット = 0,Ennビット = 1)でこのビットをセット(1)するとDMA転送を開始します。
--------------------	--

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット(1)するとDMA転送が許可されます。
DMA転送が完了(ターミナル・カウント発生)すると,自動的にクリア(0)されます。
なお,DMA転送を中断するには,ソフトウェアでEnnビットをクリア(0)してください。再開するには,再度Ennビットをセット(1)してください。
ただし,DMA転送の中断/再開は,必ず24.13 注意事項に示す手順にしたがって行ってください。

注1. TCnビットはリードのみ可能です。

2. INITn, STGnビットはライトのみ可能です。

注意1. DCHCnレジスタのビット6-3には,必ず"0"を設定してください。

2. DMA転送完了時(ターミナル・カウント時)は,Ennビットのクリア(0) TCnビットのセット(1)の順で各ビットの更新が行われます。そのため,DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合,「転送未完了,かつ転送禁止」の状態を示す値(TCnビット = 0,かつEnnビット = 0)が読み出されることがあります。

(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、DFnビットのみ1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn ^注	DMA転送要求ステータス・フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトしてください。

注意1. IFCn5-IFCn0ビットの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。
 3. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMA転送の許可/禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合、ただちにDMA転送が起動されます。
 4. DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。
 - ・IFCn5-IFCn0ビットに設定する値が他チャンネルのIFCm5-IFCm0ビットに設定されていない場合 (n = 0-3, m = 0-3, n ≠ m)
 - 書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.Ennビット = 0) する。
 - DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。
 - DFnビット = 0であることを確認する (あらかじめ、割り込み発生要因の動作を停止しておいてください)。
 - DMA動作を許可 (Ennビット = 1) する。
 - ・IFCn5-IFCn0ビットに設定する値がすでに他チャンネルのIFCm5-IFCm0ビットに設定されている場合 (n = 0-3, m = 0-3, n = m)
 - 書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.Ennビット = 0) する。
 - IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャンネルのDMA動作を停止 (DCHCm.Emmビット = 0) する。
 - DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。
 - DFnビット = 0およびDFmビット = 0であることを確認する (あらかじめ、割り込み発生要因の動作を停止しておいてください)。
 - DMA動作を許可 (Ennビット = 1およびEmmビット = 1) する。

備考 IFCn5-IFCn0ビットについては表24 - 1 DMA起動要因を参照してください。

表24 - 1 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTP01
0	0	0	0	1	0	INTP02
0	0	0	0	1	1	INTP05
0	0	0	1	0	0	INTP06
0	0	0	1	0	1	INTP13
0	0	0	1	1	0	INTP17
0	0	0	1	1	1	INTTAB0OV
0	0	1	0	0	0	INTTAB0CC0
0	0	1	0	0	1	INTTAB0CC1
0	0	1	0	1	0	INTTAB0CC2
0	0	1	0	1	1	INTTAB0CC3
0	0	1	1	0	0	INTTAB1OV_BASE ^注
0	0	1	1	0	1	INTTAB1OV
0	0	1	1	1	0	INTTAB1CC0_BASE ^注
0	0	1	1	1	1	INTTAB1CC0
0	1	0	0	0	0	INTTAB1CC1
0	1	0	0	0	1	INTTAB1CC2
0	1	0	0	1	0	INTTAB1CC3
0	1	0	0	1	1	INTTT0OV
0	1	0	1	0	0	INTTT0CC0
0	1	0	1	0	1	INTTT0CC1
0	1	0	1	1	0	INTTAA0OV
0	1	0	1	1	1	INTTAA0CC0
0	1	1	0	0	0	INTTAA0CC1
0	1	1	0	0	1	INTTAA1OV
0	1	1	0	1	0	INTTAA1CC0
0	1	1	0	1	1	INTTAA1CC1
0	1	1	1	0	0	INTTAA2CC0
0	1	1	1	0	1	INTTAA2CC1
0	1	1	1	1	0	INTTAA3CC0
0	1	1	1	1	1	INTTAA3CC1
1	0	0	0	0	0	INTTAA4CC0
1	0	0	0	0	1	INTTAA4CC1
1	0	0	0	1	0	INTTAA5CC0
1	0	0	0	1	1	INTTAA5CC1
1	0	0	1	0	0	INTTM0EQ0
1	0	0	1	0	1	INTTM1EQ0
1	0	0	1	1	0	INTTM2EQ0
1	0	0	1	1	1	INTTM3EQ0
1	0	1	0	0	0	INTCE0T/INTUC4R
1	0	1	0	0	1	INTCE0TIOF/INTUC4T

注 INTTAB1OV_BASE, INTTAB1CC0_BASEは, TABOPで間引き処理される前の割り込み信号です。

表24 - 1 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	1	0	1	0	INTCE1T/INTUC5R/INTIIC3
1	0	1	0	1	1	INTCE1TIOF/INTUC5T
1	0	1	1	0	0	INTCF0R/INTUC3R/INTIIC1
1	0	1	1	0	1	INTCF0T/INTUC3T
1	0	1	1	1	0	INTCF1R/INTUC1R/INTIIC0
1	0	1	1	1	1	INTCF1T/INTUC1T
1	1	0	0	0	0	INTCF2R/INTUC0R
1	1	0	0	0	1	INTCF2T/INTUC0T
1	1	0	0	1	0	INTCF3R/INTUB1TIR
1	1	0	0	1	1	INTCF3T/INTUB1TIT
1	1	0	1	0	0	INTCF4R/INTUB0TIR
1	1	0	1	0	1	INTCF4T/INTUB0TIT
1	1	0	1	1	0	INTCF5R/INTUC6R
1	1	0	1	1	1	INTCF5T/INTUC6T
1	1	1	0	0	0	INTCF6R/INTUC7R
1	1	1	0	0	1	INTCF6T/INTUC7T
1	1	1	0	1	0	INTUC2R/INTIIC2
1	1	1	0	1	1	INTUC2T
1	1	1	1	0	0	INTIIC4
1	1	1	1	0	1	INTAD
1	1	1	1	1	0	INTKR
1	1	1	1	1	1	INTRTC1

備考 n = 0-3

(7) 外部DMAリクエスト・イネーブル・レジスタ (EXDRQEN)

EXDRQENレジスタは、UDMARQm/UDMAAKm端子を使用して外部USBデバイス接続時のDMAリクエストをDMAの各チャンネルに設定するレジスタです (m = 0, 1)。

8ビットでリード/ライト可能です。

リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF60H

	7	6	5	4	3	2	1	0
EXDRQEN	RQ3EX1E	RQ2EX1E	RQ1EX1E	RQ0EX1E	RQ3EX0E	RQ2EX0E	RQ1EX0E	RQ0EX0E

RQnEX1E	DMAチャンネルnの割り付け (n = 0-3)
0	UDMARQ1/UDMAAK1端子にDMAチャンネルnを割り付けない
1	UDMARQ1/UDMAAK1端子にDMAチャンネルnを割り付ける

RQnEX0E	DMAチャンネルnの割り付け (n = 0-3)
0	UDMARQ0/UDMAAK0端子にDMAチャンネルnを割り付けない
1	UDMARQ0/UDMAAK0端子にDMAチャンネルnを割り付ける

- 注意1. UDMARQ1/UDMAAK1端子に対して、複数のDMAチャンネルを割り当てることは禁止です (UDMARQ1/UDMAAK1端子に対して、RQ3EX1E, RQ2EX1E, RQ1EX1E, RQ0EX1Eビットを同時にセットすることは禁止です)。
2. UDMARQ0/UDMAAK0端子に対して、複数のDMAチャンネルを割り当てることは禁止です (UDMARQ0/UDMAAK0端子に対して、RQ3EX0E, RQ2EX0E, RQ1EX0E, RQ0EX0Eビットを同時にセットすることは禁止です)。
3. 同じDMAチャンネルをUDMARQ1/UDMAAK1端子とUDMARQ0/UDMAAK0端子の両方に割り当てることは禁止です (RQ3EX1EとRQ3EX0E, RQ2EX1EとRQ2EX0E, RQ1EX1EとRQ1EX0E, RQ0EX1EとRQ0EX0Eビットをそれぞれ同時にセットすることは禁止です)。
4. EXDRQENレジスタを設定して外部からのDMAリクエストを使用する場合、DTFRn.IFCn5-IFCn0ビット = 000000 (割り込みによるDMA要求禁止) に設定してください。詳細は24.3 (6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) を参照してください。

24.4 転送対象

転送対象の関係を次に示します (: 転送可, × : 転送不可)。

表24 - 2 転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×			
	内蔵RAM	×		×	
	外部メモリ	×			
	内蔵ROM	×	×	×	×

注意 表24 - 2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

24.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャンネルの新たな転送要求と、他の優先順位が低いチャンネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャンネルのDMA転送となります (転送サイクル中は、同一チャンネルの新たな転送要求は無視されます)。

24.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

< 16ビット・データ転送の場合 >

32ビット・バス 16ビット・バスへの転送

リード・サイクル(上位16ビットはハイ・インピーダンス)が発生し、そのあとライト・サイクル(16ビット)が発生します。

16/32ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

8ビット・バス 16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

16ビット・バス 32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト(8ビット)転送を指定してください。

備考 各転送対象(転送元/転送先)のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅
- ・外部メモリ : 8もしくは16ビット・バス幅

24.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

24.8 DMA転送に関する各種時間

DMA要求に対する応答時間、DMA転送にかかる最小クロック数を次に示します。

シングル転送 : DMA応答時間() + 転送元メモリ・アクセス() + 1^{注1} + 転送先メモリ・アクセス()

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック (MIN.) + ノイズ除去時間 ^{注2}
メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック ^{注3}
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウエイト数 ^{注4}
	USBレジスタ・アクセス	4クロック ^{注5}
	データ専用RAMアクセス	4クロック ^{注5}

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます (n = 00-20 : V850ES/JH3-E, n = 00-25 : V850ES/JJ3-E)。
3. DMAサイクルの場合は、2クロックかかります。
4. 特定の周辺I/Oレジスタへのアクセスについては、さらにウエイトが必要となります(詳細は3.4.9(2)を参照してください)。
5. データ・ウエイト1 (DWC0レジスタ)、アドレス・ウエイト0 (AWCレジスタ)、アイドル・ステート0 (BCCレジスタ) の場合のクロック数。

24.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, STGnビットをセット (1) すると, DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには, DBCnレジスタにて, 先のDMA転送サイクルが完了したことを確認してから, 再度STGnビットをセット (1) してください (n = 0-3)。

TCnビット = 0, Ennビット = 1

STGnビット = 1 ... 1回目のDMA転送開始

DBCnレジスタの内容が更新されたことを確認

STGnビット = 1 ... 2回目のDMA転送開始

:

ターミナル・カウント発生...Ennビット = 0, TCnビット = 1かつINTDMA_n信号発生

(2) 内蔵周辺I/Oによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送を起動します。

- 注意1.** 同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となります。有効となった起動要因の特定はできません。
2. 先のDMA転送要求が発生してから, または先のDMA転送サイクル中に新たな転送要求が発生しても, その要求は無視 (クリア) されます。
 3. 同一のDMAチャンネルに対する転送要求間隔は, DMA転送サイクル中のバス・ウエイトの設定やほかのチャンネルの起動状況, または外部バス・ホールド要求により変化します。特に注意2のとおり, DMA転送サイクル前, または転送サイクル中に同一チャンネルの新たな転送要求が発生しても, その要求は無視されてしまいます。したがって, 同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できません。

24. 10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ / 内蔵周辺IO 内部メモリ / 内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

24. 11 DMA転送の終了

DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア(0)、TCnビットがセット(1)されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA_n) を発生します (n = 0-3)。

V850ES/JH3-E, V850ES/JJ3-Eでは、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

24. 12 動作タイミング

図24 - 1から図24 - 4にDMAの動作タイミングを示します。

図24 - 1 DMAの優先順位 (1)

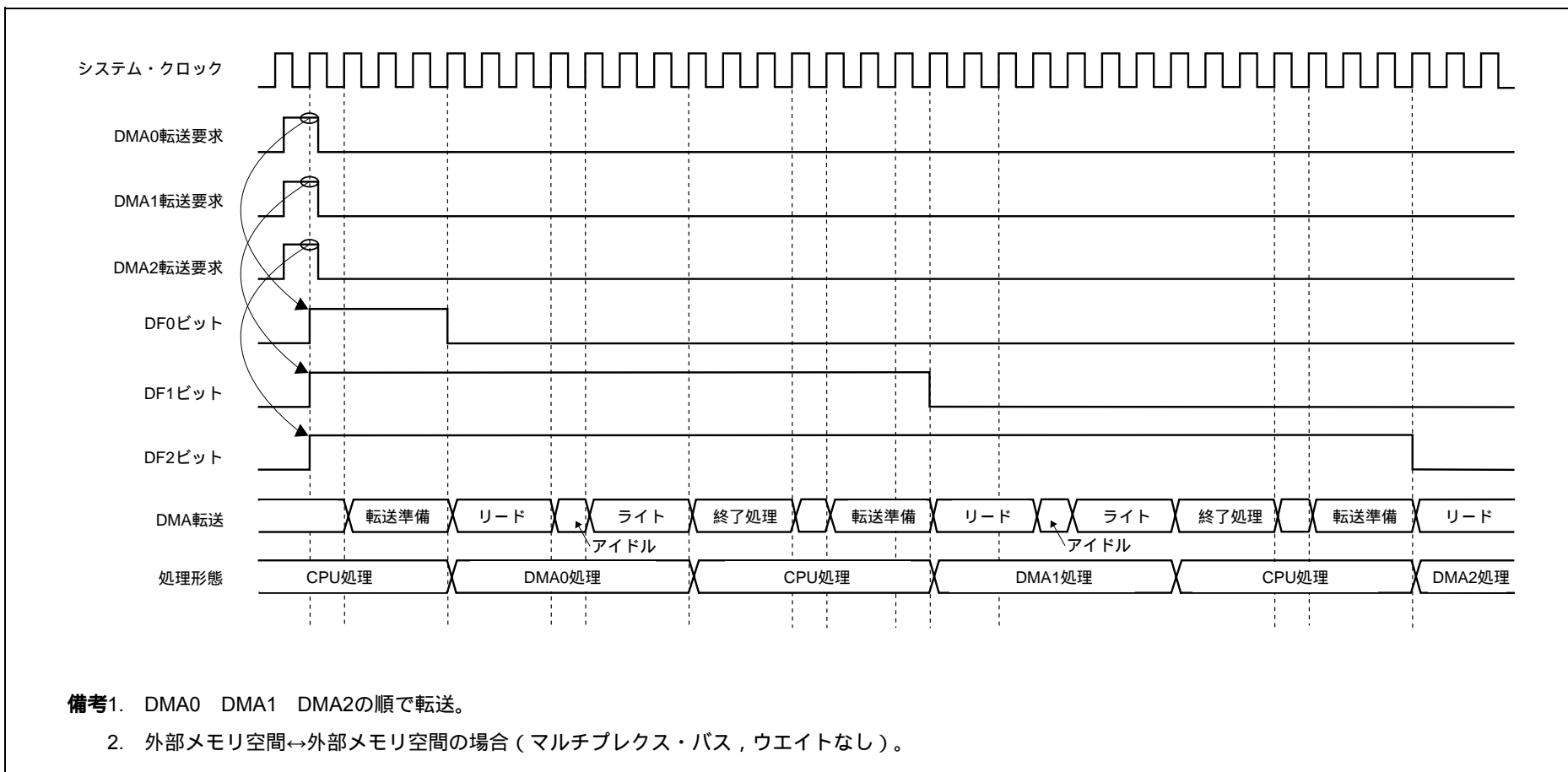


図24 - 2 DMAの優先順位 (2)

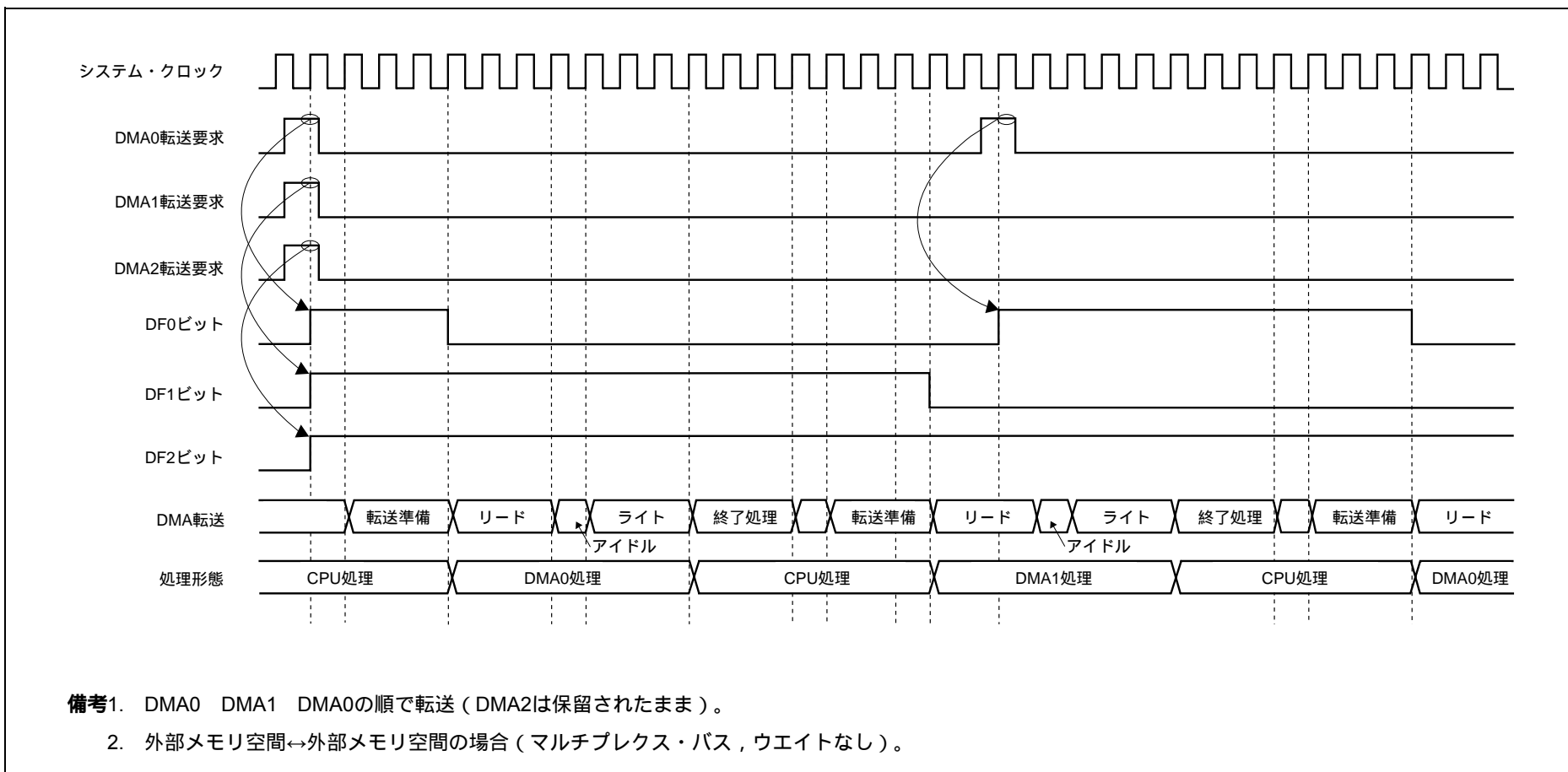


図24 - 3 DMAの転送要求が無視される期間 (1)

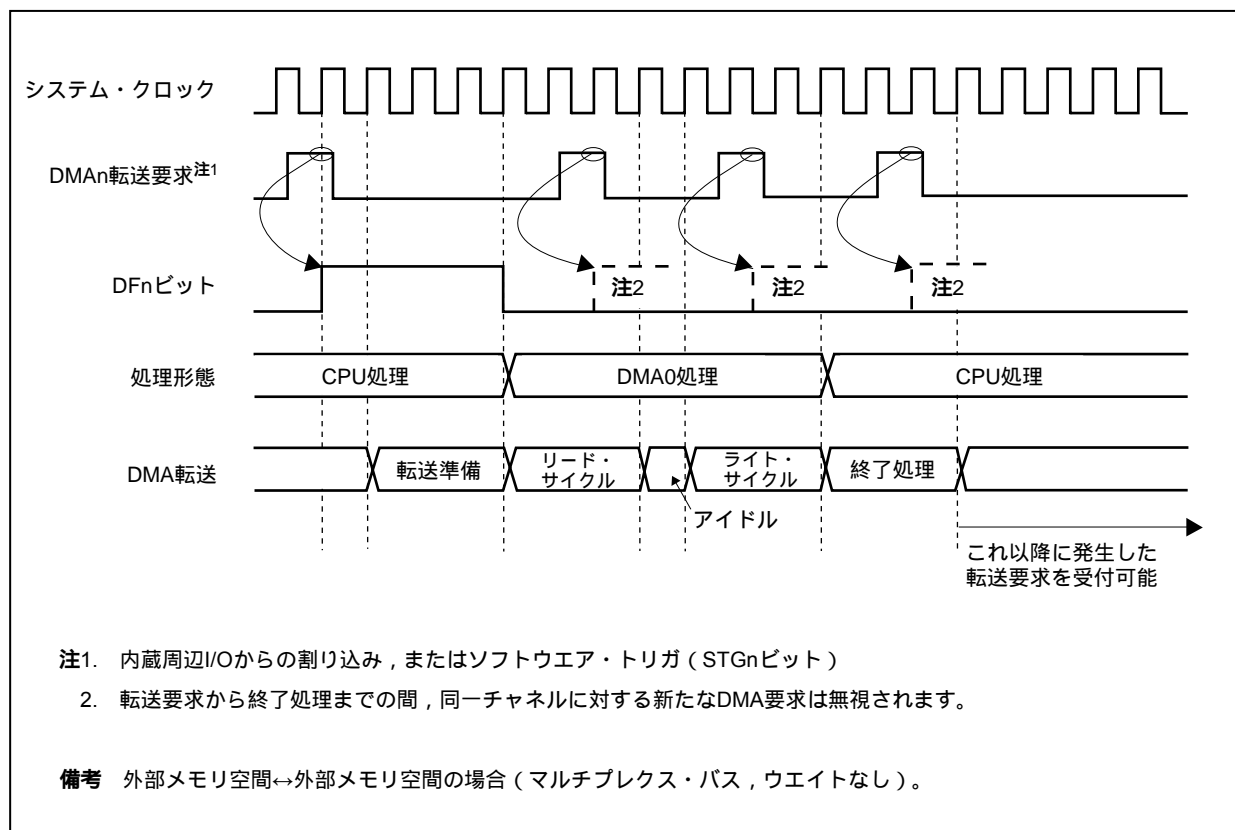
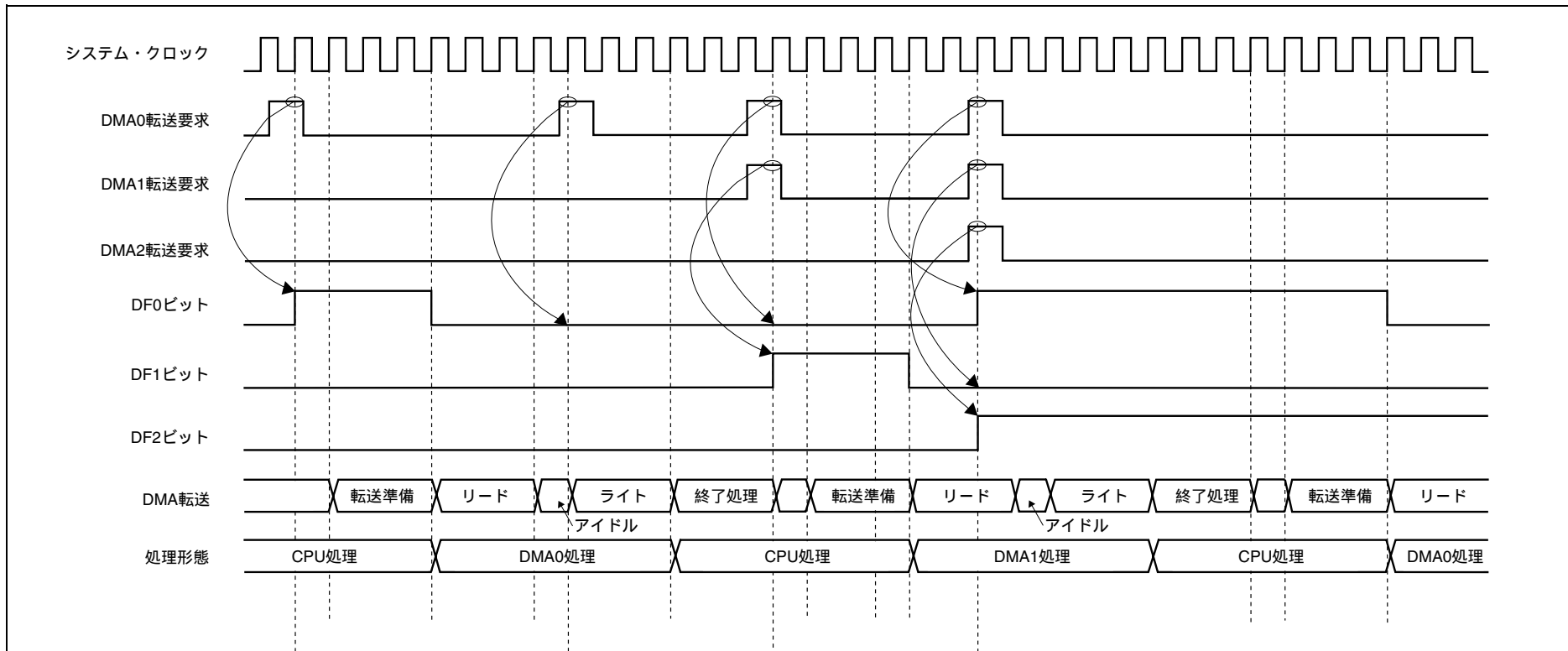


図24 - 4 DMAの転送要求が無視される期間 (2)



DMA0転送要求

DMA0転送中に新たなDMA0転送要求が発生

DMA転送中の同一チャネルのDMA要求は無視される

DMA0とDMA1の要求が同時発生

DMA0の要求は無視される (転送中の同一チャネルのDMA要求は無視される)

DMA1の要求が受け付けられる

DMA0とDMA1とDMA2の要求が同時に発生

DMA1の要求は無視される (転送中の同一チャネルのDMA要求は無視される)

優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留 (次はDMA2の転送が発生)

24. 13 注意事項

(1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値 (77H)、または最適な値以外でを使用した場合は正常に動作できません (VSWCレジスタの詳細については、3. 4. 9 (1) (a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。

(2) DCHCn.TCnビットのリードに関する注意事項 (n = 0-3)

TCnビットは、読み出しによりクリア (0) されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア (0) されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット (1) されたことを確認したあと (TCnビット = 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。

(b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

(3) DMA 転送の初期化手順について (DCHCn.INITn ビットのセット (1))

DMA 転送中のチャンネルを初期化するとき、INITn ビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。

(a) 一時的にすべてのDMAチャンネルの転送を停止させる方法

次に示す ~ の手順で初期化を実行してください。

ただし、次の に示す処理の実行により、TCn ビットがクリア (0) されてしまいます。ほかの処理において、TCn ビット = 1 となっていることを期待したプログラムになっていないことを確認してください。

割り込み禁止状態 (DI) にする。

強制終了したいチャンネル以外に使用しているDMAチャンネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。

使用しているDMAチャンネル (強制終了するチャンネルを含む) のEnnビットをクリア (0) する。最終のDMAチャンネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象 (転送元 / 転送先) が内蔵RAMの場合は、3回実行する。

例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する (転送対象が内蔵RAMでない場合)。

- ・ DCHC0.E00ビットをクリア (0)
- ・ DCHC1.E11ビットをクリア (0)
- ・ DCHC2.E22ビットをクリア (0)
- ・ 再度、DCHC2.E22ビットをクリア (0)

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了しない各チャンネルのTCnビットを読み出し、TCnビットと で読み出したEnnビットが、ともに1 (論理積 (AND) が1) の場合は退避していたEnnビットをクリア (0) する。

で操作後のEnnビットをDCHCnレジスタに書き込む。

割り込み許可状態 (EI) にする。

注意 上記 は、 , の間に正常終了したチャンネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。

(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする (内蔵周辺I/Oの動作停止)。

DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認する。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア (0) する。

再度、強制終了するチャンネルのEnnビットをクリア (0) する。

ただし、強制終了するチャンネルの転送対象 (転送元 / 転送先) が内蔵RAMの場合は、この操作をさらにもう一度実行する。

強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了するチャンネルのDBCnレジスタの値を読み出し、 でコピーした値と比較する。比較した結果、一致しない場合は から の操作を繰り返す。

- 備考1.** でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されず。未完了の場合は残りの転送回数が読み出されます。
2. (b)の方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

(4) DMA転送の一時中断手順について (Ennビットのクリア)

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

DMA要求元からの転送要求が発生しないようにする (内蔵周辺I/Oの動作を停止)。

DFnビットにより、DMA転送要求が保留されていないかを確認する (DFnビット = 0であることを確認)。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア (0) する (この操作により、DMA転送が中断される)。

DMA転送を再開させるためにEnnビットをセット (1) する。

停止しているDMA要求元の動作を再開する (内蔵周辺I/Oの動作を開始)。

(5) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証できません。

(6) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(7) CPUへのバス・アービトレーション

バス使用権の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが開放されるまで待たされます。

ただし、CPUはDMA転送を行っていない外部メモリ、内蔵周辺I/O、内蔵RAMとのアクセスが可能です。

- ・外部メモリ 内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵RAMにアクセスできません。
- ・外部メモリ 外部メモリでDMA転送が行われているときは、CPUは内蔵RAM、内蔵周辺I/Oにアクセスできます。

(8) DMA動作中の書き換え禁止レジスタ/ビット

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

【対象レジスタ】

- ・ DSA_nH, DSA_nL, DDA_nH, DDA_nL, DBC_n, DADC_nレジスタ
- ・ DTFR_n.IFC_n5-IFC_n0ビット

【設定可能タイミング】

- ・ リセット後から最初のDMA転送開始までの期間
- ・ チャンネル初期化後からDMA転送開始までの時間
- ・ DMA転送完了後 (TC_nビット = 1の状態) から次のDMA転送開始までの期間

(9) 次のレジスタの各ビットには、必ず“0”を設定してください。

- ・ DSA_nHレジスタのビット14-10
- ・ DDA_nHレジスタのビット14-10
- ・ DADC_nレジスタのビット15, 13-8, 3-0
- ・ DCHC_nレジスタのビット6-3

(10) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があります、動作は保証できません。

(11) DSA_n, DDA_nレジスタの読み出し値

DMA転送中にDSA_n, DDA_nレジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA_nレジスタ) が0000FFFFH、カウント方向がインクリメント (DADC_n.SAD1, SAD0ビット = 00) の場合、DSA_nHレジスタ DSA_nLレジスタの順に読み出しを行うと、DSA_nHレジスタ読み出し直後のDMA転送の有無によって、DSA_nLレジスタの値が次のように異なります。

(a) DSA_nレジスタの読み出し中にDMA転送が発生しない場合

DSA_nHレジスタの読み出し : DSA_nH = 0000H

DSA_nLレジスタの読み出し : DSA_nL = FFFFH

(b) DSA_nレジスタの読み出し中にDMA転送が発生する場合

DSA_nHレジスタの読み出し : DSA_nH = 0000H

DMA転送の発生

DSA_nレジスタのインクリメント : DSA_n = 00100000H

DSA_nLレジスタの読み出し : DSA_nL = 0000H

第25章 割り込み / 例外処理機能

V850ES/JH3-E, V850ES/JJ3-Eは、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計100-115要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/JH3-E, V850ES/JJ3-Eでは、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求信号を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

25.1 特 徴

割り込み

表25 - 1 V850ES/JH3-E, V850ES/JJ3-Eの割り込みの数

		内部			外部		
		ノンマスクابل	マスクابل	計	ノンマスクابل	マスクابل	計
V850ES/JH3-E	μ PD70F3778	1	77	78	1	21	22
	μ PD70F3779	1	77	78	1	21	22
	μ PD70F3780	1	77	78	1	21	22
	μ PD70F3781	1	77	78	1	21	22
	μ PD70F3782	1	77	78	1	21	22
	μ PD70F3783	1	81	82	1	21	22
V850ES/JJ3-E	μ PD70F3784	1	83	84	1	26	27
	μ PD70F3785	1	83	84	1	26	27
	μ PD70F3786	1	87	88	1	26	27

- ・ 8レベルのプログラマブル優先順位制御 (マスクابل割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスクابل割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらのV850ES/JH3-Eの割り込み / 例外要因を表25 - 2に、V850ES/JJ3-Eの割り込み / 例外要因を表25 - 3にそれぞれ示します。

表25 - 2 V850ES/JH3-Eの割り込み / 例外要因一覧 (1/5)

種類	分類	フォルト・ フイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
リセット	割り込み	-	RESET	RESET端子入力 / 内部要 因からのリセット入力	RESET	0000H	00000000H	不定	-
ノンマス カブル	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注1	-
ソフトウェア 例外	例外	-	TRAP0n (n = 0-FH)	TRAP命令	-	004nH	00000040H	nextPC	-
		-	TRAP1n (n = 0-FH)	TRAP命令	-	005nH	00000050H	nextPC	-
例外 トラップ	例外	-	ILGOP/DBG0	不正命令コード / DBTRAP命令	-	006nH	00000060H	nextPC	-
マスカブル	割り込み	0	INTLVI ^{注2}	低電圧検出 ^{注2}	POCLVI	0080H	00000080H	nextPC	LVIIC ^{注2}
		1	INTP00	外部割り込み端子入力 エッジ検出 (INTP00)	端子	0090H	00000090H	nextPC	PIC00
		2	INTP01	外部割り込み端子入力 エッジ検出 (INTP01)	端子	00A0H	000000A0H	nextPC	PIC01
		3	INTP02	外部割り込み端子入力 エッジ検出 (INTP02)	端子	00B0H	000000B0H	nextPC	PIC02
		4	INTP03	外部割り込み端子入力 エッジ検出 (INTP03)	端子	00C0H	000000C0H	nextPC	PIC03
		5	INTP04	外部割り込み端子入力 エッジ検出 (INTP04)	端子	00D0H	000000D0H	nextPC	PIC04
		6	INTP05	外部割り込み端子入力 エッジ検出 (INTP05)	端子	00E0H	000000E0H	nextPC	PIC05
		7	INTP06	外部割り込み端子入力 エッジ検出 (INTP06)	端子	00F0H	000000F0H	nextPC	PIC06
		8	INTP07	外部割り込み端子入力 エッジ検出 (INTP07)	端子	0100H	00000100H	nextPC	PIC07
		9	INTP08	外部割り込み端子入力 エッジ検出 (INTP08)	端子	0110H	00000110H	nextPC	PIC08
		10	INTP09	外部割り込み端子入力 エッジ検出 (INTP09)	端子	0120H	00000120H	nextPC	PIC09
		11	INTP10	外部割り込み端子入力 エッジ検出 (INTP10)	端子	0130H	00000130H	nextPC	PIC10
		12	INTP11	外部割り込み端子入力 エッジ検出 (INTP11)	端子	0140H	00000140H	nextPC	PIC11
		13	INTP12	外部割り込み端子入力 エッジ検出 (INTP12)	端子	0150H	00000150H	nextPC	PIC12
		14	INTP13	外部割り込み端子入力 エッジ検出 (INTP13)	端子	0160H	00000160H	nextPC	PIC13
15	INTP14	外部割り込み端子入力 エッジ検出 (INTP14)	端子	0170H	00000170H	nextPC	PIC14		

注1. INTWDT2の場合の復帰については25. 2 (2) INTWDT2信号の場合を参照してください。

2. MII使用時は、INTLVIは使用禁止です。

表 25 - 2 V850ES/JH3-Eの割り込み / 例外要因一覧 (2/5)

種類	分類	フォルト・ フラグ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスカブル	割り込み	16	INTP15	外部割り込み端子入力 エッジ検出 (INTP15)	端子	0180H	00000180H	nextPC	PIC15
		17	INTP16	外部割り込み端子入力 エッジ検出 (INTP16)	端子	0190H	00000190H	nextPC	PIC16
		18	INTP17	外部割り込み端子入力 エッジ検出 (INTP17)	端子	01A0H	000001A0H	nextPC	PIC17
		19	INTP18	外部割り込み端子入力 エッジ検出 (INTP18)	端子	01B0H	000001B0H	nextPC	PIC18
		20	INTP19	外部割り込み端子入力 エッジ検出 (INTP19)	端子	01C0H	000001C0H	nextPC	PIC19
		21	INTP20	外部割り込み端子入力 エッジ検出 (INTP20)	端子	01D0H	000001D0H	nextPC	PIC20
		27	INTTAB0OV	TAB0オーパフロー	TAB0	0230H	00000230H	nextPC	TAB0OVIC
		28	INTTAB0CC0	TAB0キャプチャ0 / コンペア0一致	TAB0	0240H	00000240H	nextPC	TAB0CCIC0
		29	INTTAB0CC1	TAB0キャプチャ1 / コンペア1一致	TAB0	0250H	00000250H	nextPC	TAB0CCIC1
		30	INTTAB0CC2	TAB0キャプチャ2 / コンペア2一致	TAB0	0260H	00000260H	nextPC	TAB0CCIC2
		32	INTTAB1OV ^{注1}	TAB1オーパフロー ^{注1}	TAB1	0280H	00000280H	nextPC	TAB1OVIC ^{注1}
		33	INTTAB1CC0 ^{注2}	TAB1キャプチャ0 / コンペア0一致 ^{注2}	TAB1	0290H	00000290H	nextPC	TAB1CCIC0 ^{注2}
		34	INTTAB1CC1	TAB1キャプチャ1 / コンペア1一致	TAB1	02A0H	000002A0H	nextPC	TAB1CCIC1
		35	INTTAB1CC2	TAB1キャプチャ2 / コンペア2一致	TAB1	02B0H	000002B0H	nextPC	TAB1CCIC2
		36	INTTAB1CC3	TAB1キャプチャ3 / コンペア3一致	TAB1	02C0H	000002C0H	nextPC	TAB1CCIC3
		37	INTTT0OV	TMT0オーパフロー	TMT0	02D0H	000002D0H	nextPC	TT0OVIC
		38	INTTT0CC0	TMT0キャプチャ0 / コンペア0一致	TMT0	02E0H	000002E0H	nextPC	TT0CCIC0
		39	INTTT0CC1	TMT0キャプチャ1 / コンペア1一致	TMT0	02F0H	000002F0H	nextPC	TT0CCIC1
		40	INTTT0EC	TMT0エンコーダ入力	TMT0	0300H	00000300H	nextPC	TT0ECIC
		41	INTTAA0OV	TAA0オーパフロー	TAA0	0310H	00000310H	nextPC	TAA0OVIC
42	INTTAA0CC0	TAA0キャプチャ0 / コンペア0一致	TAA0	0320H	00000320H	nextPC	TAA0CCIC0		
43	INTTAA0CC1	TAA0キャプチャ1 / コンペア1一致	TAA0	0330H	00000330H	nextPC	TAA0CCIC1		

注1. TAB1を6相PWM出力モードで使用する場合は、TABOPからのゼロ一致割り込み (TAB1TIOD) 要求として機能します。

2. TAB1を6相PWM出力モードで使用する場合は、TABOPからのコンペア一致割り込み (TAB1TICD0) 要求として機能します。

表25 - 2 V850ES/JH3-Eの割り込み / 例外要因一覧 (3/5)

種類	分類	フォルト・ フイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰 PC	割り込み制御 レジスタ
マスクابل	割り込み	44	INTTAA1OV	TAA1オーバフロー	TAA1	0340H	00000340H	nextPC	TAA1OVIC
		45	INTTAA1CC0	TAA1キャプチャ0 / コンペア0一致	TAA1	0350H	00000350H	nextPC	TAA1CCIC0
		46	INTTAA1CC1	TAA1キャプチャ1 / コンペア1一致	TAA1	0360H	00000360H	nextPC	TAA1CCIC1
		47	INTTAA2OV	TAA2オーバフロー	TAA2	0370H	00000370H	nextPC	TAA2OVIC
		48	INTTAA2CC0	TAA2キャプチャ0 / コンペア0一致	TAA2	0380H	00000380H	nextPC	TAA2CCIC0
		49	INTTAA2CC1	TAA2キャプチャ1 / コンペア1一致	TAA2	0390H	00000390H	nextPC	TAA2CCIC1
		50	INTTAA3OV	TAA3オーバフロー	TAA3	03A0H	000003A0H	nextPC	TAA3OVIC
		51	INTTAA3CC0	TAA3キャプチャ0 / コンペア0一致	TAA3	03B0H	000003B0H	nextPC	TAA3CCIC0
		52	INTTAA3CC1	TAA3キャプチャ1 / コンペア1一致	TAA3	03C0H	000003C0H	nextPC	TAA3CCIC1
		53	INTTAA4OV	TAA4オーバフロー	TAA4	03D0H	000003D0H	nextPC	TAA4OVIC
		54	INTTAA4CC0	TAA4キャプチャ0 / コンペア0一致	TAA4	03E0H	000003E0H	nextPC	TAA4CCIC0
		55	INTTAA4CC1	TAA4キャプチャ1 / コンペア1一致	TAA4	03F0H	000003F0H	nextPC	TAA4CCIC1
		56	INTTAA5OV	TAA5オーバフロー	TAA5	0400H	00000400H	nextPC	TAA5OVIC
		57	INTTAA5CC0	TAA5キャプチャ0 / コンペア0一致	TAA5	0410H	00000410H	nextPC	TAA5CCIC0
		58	INTTAA5CC1	TAA5キャプチャ1 / コンペア1一致	TAA5	0420H	00000420H	nextPC	TAA5CCIC1
		59	INTTM0EQ0	TMM0コンペア一致	TMM0	0430H	00000430H	nextPC	TM0EQIC0
		60	INTTM1EQ0	TMM1コンペア一致	TMM1	0440H	00000440H	nextPC	TM1EQIC0
		61	INTTM2EQ0	TMM2コンペア一致	TMM2	0450H	00000450H	nextPC	TM2EQIC0
		62	INTTM3EQ0	TMM3コンペア一致	TMM3	0460H	00000460H	nextPC	TM3EQIC0
		63	INTCE0T/ INTUC4R	CSIE0の転送終了 / UARTC4の受信エラー	CSIE0/ UARTC4	0470H	00000470H	nextPC	CE0TIC/ UC4RIC
		64	INTCE0TIOF/ INTUC4T	CSIE0のバッファ・オー バフロー / UARTC4の 連続送信書き込み許可	CSIE0/ UARTC4	0480H	00000480H	nextPC	CE0TIOFIC/ UC4TIC
		65	INTCE1T/ INTUC5R/ INTIIC3	CSIE1の転送終了 / UARTC5の受信エラー / IIC2転送終了	CSIE1/ UARTC5/ IIC3	0490H	00000490H	nextPC	CE1TIC/ UC5RIC/ IICIC3
		66	INTCE1TIOF/ INTUC5T	CSIE1のバッファ・オー バフロー / UARTC5の連 続送信書き込み許可	CSIE1/ UARTC5	04A0H	000004A0H	nextPC	CE1TIOFIC/ UC5TIC
		67	INTCF0R/ INTUC3R/ INTIIC1	CSIF0の転送終了 / UARTC3の受信終了 / UARTC3の受信エラー / IIC1転送終了	CSIF0/ UARTC3/ IIC1	04B0H	000004B0H	nextPC	CE0RIC/ UC3RIC/ IICIC1

表25 - 2 V850ES/JH3-Eの割り込み / 例外要因一覧 (4/5)

種類	分類	フォルト・ フイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスカブル	割り込み	68	INTCF0T/ INTUC3T	CSIF0連続送信書き込み 許可 / UARTC3連続送信 書き込み許可	CSIF0/ UARTC3	04C0H	000004C0H	nextPC	CF0TIC/ UC3TIC
		69	INTCF1R/ INTUC1R/ INTIIC0	CSIF1受信終了 / CSIF1受信 エラー / UARTC1受信終了 / UARTC1受信エラー / IIC0転送終了	CSIF1/ UARTC1/ IIC0	04D0H	000004D0H	nextPC	CF1RIC/ UC1RIC/ IICIC0
		70	INTCF1T/ INTUC1T	CSIF1連続送信書き込み 許可 / UARTC1連続送信 書き込み許可	CSIF1 UARTC1	04E0H	000004E0H	nextPC	CF1TIC/ UC1TIC
		73	INTCF3R/ INTUB1TIR	CSIF3受信終了 / CSIF3 受信エラー / UARTB1受 信終了	CSIF3/ UARTB1	0510H	00000510H	nextPC	CF3RIC/ UB1TIRIC
		74	INTCF3T/ INTUB1TIT	CSIF3連続送信書き込み 許可 / UARTB1送信終了	CSIF3/ UARTB1	0520H	00000520H	nextPC	CF3TIC/ UB1TITIC
		75	INTUB1TIF	UARTB1FIFO送信終了	UARTB1	0530H	00000530H	nextPC	UB1TIFIC
		76	INTUB1TIRE	UARTB1受信エラー	UARTB1	0540H	00000540H	nextPC	UB1TIREIC
		77	INTUB1TITO	UARTB1受信タイムアウト	UARTB1	0550H	00000550H	nextPC	UB1TITOIC
		78	INTCF4R/ INTUB0TIR	CSIF4受信終了 / CSIF4 受信エラー / UARTB0受 信終了	CSIF4/ UARTB0	0560H	00000560H	nextPC	CF4RIC/ UB0TIRIC
		79	INTCF4T/ INTUB0TIT	CSIF4連続送信書き込み 許可 / UARTB0送信終了	CSIF4/ UARTB0	0570H	00000570H	nextPC	CF4TIC/ UB0TITIC
		80	INTUB0TIF	UARTB0FIFO送信終了	UARTB0	0580H	00000580H	nextPC	UB0TIFIC
		81	INTUB0TIRE	UARTB0受信エラー	UARTB0	0590H	00000590H	nextPC	UB0TIREIC
		82	INTUB0TITO	UARTB0受信タイムアウト	UARTB0	05A0H	000005A0H	nextPC	UB0TITOIC
		87	INTUC2R/ INTIIC2	UARTC2 受信 終 了 / UARTC2受信エラー / IIC2転送終了	UARTC2 IIC2	05F0H	000005F0H	nextPC	UC2RIC/ IICIC2
		88	INTUC2T	UARTC2連続送信書き込 み許可	UARTC2	0600H	00000600H	nextPC	UC2TIC
		90	INTAD	A/D変換終了	A/D	0620H	00000620H	nextPC	ADIC
		91	INTDMA0	DMA0転送終了	DMA	0630H	00000630H	nextPC	DMAIC0
		92	INTDMA1	DMA1転送終了	DMA	0640H	00000640H	nextPC	DMAIC1
		93	INTDMA2	DMA2転送終了	DMA	0650H	00000650H	nextPC	DMAIC2
		94	INTDMA3	DMA3転送終了	DMA	0660H	00000660H	nextPC	DMAIC3
		95	INTKR	キー・リターン割り込み	KR	0670H	00000670H	nextPC	KRIC
96	INTRTC0	RTC定周期信号	RTC	0680H	00000680H	nextPC	RTC0IC		
97	INTRTC1	RTCアラーム一致	RTC	0690H	00000690H	nextPC	RTC1IC		
98	INTRTC2	RTCインターバル信号	RTC	06A0H	000006A0H	nextPC	RTC2IC		
99	INTUSBF0	USBF割り込み	USBF	06B0H	000006B0H	nextPC	UFIC0		
100	INTUSBF1	USBF Resume割り込み	USBF	06C0H	000006C0H	nextPC	UFIC1		
101	INTETMRX	パケット受信	Ethernet	06D0H	000006D0H	nextPC	ETMRXIC		

表25 - 2 V850ES/JH3-Eの割り込み / 例外要因一覧 (5/5)

種類	分類	デフォルト・ プライオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスカブル	割り込み	102	INTEMTX	パケット送信	Ethernet	06E0H	000006E0H	nextPC	ETMTXIC
		103	INTEMRQ	受信パケット読み出し要求	Ethernet	06F0H	000006F0H	nextPC	ETMRQIC
		104	INTEMF5	FIFOステータス	Ethernet	0700H	00000700H	nextPC	ETMF5IC
		105	INTEMTS	送信ステータス	Ethernet	0710H	00000710H	nextPC	ETMTSIC
		106	INTEMRS	受信ステータス	Ethernet	0720H	00000720H	nextPC	ETMRSIC
		107	INTEMOV	統計カウンタ・オーバ・ フロー	Ethernet	0730H	00000730H	nextPC	ETMOVIC
		108	INTEBER	エラー割り込み	Ethernet	0740H	00000740H	nextPC	ETBERIC
		110	INTC0ERR ^注	CAN0エラー ^注	CAN0	0760H	00000760H	nextPC	ERRIC0 ^注
		111	INTC0WUP1 ^注	CAN0ウエイク・アップ ^注	CAN0	0770H	00000770H	nextPC	WUPIC0 ^注
		112	INTC0REC ^注	CAN0受信 ^注	CAN0	0780H	00000780H	nextPC	REIC0 ^注
		113	INTC0TRX ^注	CAN0送信 ^注	CAN0	0790H	00000790H	nextPC	TRXIC0 ^注

注 μ PD70F3783のみ

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスカブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスカブル/マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

表25 - 3 V850ES/JJ3-Eの割り込み / 例外要因一覧 (1/5)

種類	分類	フォルト・ フイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
リセット	割り込み	-	RESET	RESET端子入力 / 内部要 因からのリセット入力	RESET	0000H	00000000H	不定	-
ノン マス カブル	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注1	-
ソフトウェア 例外	例外	-	TRAP0n (n = 0-FH)	TRAP命令	-	004nH	00000040H	nextPC	-
		-	TRAP1n (n = 0-FH)	TRAP命令	-	005nH	00000050H	nextPC	-
例外 トラップ	例外	-	ILGOP/DBG0	不正命令コード / DBTRAP命令	-	006nH	00000060H	nextPC	-
マスクブル	割り込み	0	INTLVI ^{注2}	低電圧検出 ^{注2}	POCLVI	0080H	00000080H	nextPC	LVIIC ^{注2}
		1	INTP00	外部割り込み端子入力 エッジ検出 (INTP00)	端子	0090H	00000090H	nextPC	PIC00
		2	INTP01	外部割り込み端子入力 エッジ検出 (INTP01)	端子	00A0H	000000A0H	nextPC	PIC01
		3	INTP02	外部割り込み端子入力 エッジ検出 (INTP02)	端子	00B0H	000000B0H	nextPC	PIC02
		4	INTP03	外部割り込み端子入力 エッジ検出 (INTP03)	端子	00C0H	000000C0H	nextPC	PIC03
		5	INTP04	外部割り込み端子入力 エッジ検出 (INTP04)	端子	00D0H	000000D0H	nextPC	PIC04
		6	INTP05	外部割り込み端子入力 エッジ検出 (INTP05)	端子	00E0H	000000E0H	nextPC	PIC05
		7	INTP06	外部割り込み端子入力 エッジ検出 (INTP06)	端子	00F0H	000000F0H	nextPC	PIC06
		8	INTP07	外部割り込み端子入力 エッジ検出 (INTP07)	端子	0100H	00000100H	nextPC	PIC07
		9	INTP08	外部割り込み端子入力 エッジ検出 (INTP08)	端子	0110H	00000110H	nextPC	PIC08
		10	INTP09	外部割り込み端子入力 エッジ検出 (INTP09)	端子	0120H	00000120H	nextPC	PIC09
		11	INTP10	外部割り込み端子入力 エッジ検出 (INTP10)	端子	0130H	00000130H	nextPC	PIC10
		12	INTP11	外部割り込み端子入力 エッジ検出 (INTP11)	端子	0140H	00000140H	nextPC	PIC11
		13	INTP12	外部割り込み端子入力 エッジ検出 (INTP12)	端子	0150H	00000150H	nextPC	PIC12
		14	INTP13	外部割り込み端子入力 エッジ検出 (INTP13)	端子	0160H	00000160H	nextPC	PIC13
15	INTP14	外部割り込み端子入力 エッジ検出 (INTP14)	端子	0170H	00000170H	nextPC	PIC14		

注1. INTWDT2の場合の復帰については25. 2 (2) INTWDT2信号の場合を参照してください。

2. MII使用時は、INTLVIは使用禁止です。

表25 - 3 V850ES/JJ3-Eの割り込み / 例外要因一覧 (2/5)

種類	分類	フォルト・ フイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスクブル	割り込み	16	INTP15	外部割り込み端子入力 エッジ検出 (INTP15)	端子	0180H	00000180H	nextPC	PIC15
		17	INTP16	外部割り込み端子入力 エッジ検出 (INTP16)	端子	0190H	00000190H	nextPC	PIC16
		18	INTP17	外部割り込み端子入力 エッジ検出 (INTP17)	端子	01A0H	000001A0H	nextPC	PIC17
		19	INTP18	外部割り込み端子入力 エッジ検出 (INTP18)	端子	01B0H	000001B0H	nextPC	PIC18
		20	INTP19	外部割り込み端子入力 エッジ検出 (INTP19)	端子	01C0H	000001C0H	nextPC	PIC19
		21	INTP20	外部割り込み端子入力 エッジ検出 (INTP20)	端子	01D0H	000001D0H	nextPC	PIC20
		22	INTP21	外部割り込み端子入力 エッジ検出 (INTP21)	端子	01E0H	000001E0H	nextPC	PIC21
		23	INTP22	外部割り込み端子入力 エッジ検出 (INTP22)	端子	01F0H	000001F0H	nextPC	PIC22
		24	INTP23	外部割り込み端子入力 エッジ検出 (INTP23)	端子	0200H	00000200H	nextPC	PIC23
		25	INTP24	外部割り込み端子入力 エッジ検出 (INTP24)	端子	0210H	00000210H	nextPC	PIC24
		26	INTP25	外部割り込み端子入力 エッジ検出 (INTP25)	端子	0220H	00000220H	nextPC	PIC25
		27	INTTAB0OV	TAB0オーパフロー	TAB0	0230H	00000230H	nextPC	TAB0OVIC
		28	INTTAB0CC0	TAB0キャプチャ0 / コンペア0一致	TAB0	0240H	00000240H	nextPC	TAB0CCIC0
		29	INTTAB0CC1	TAB0キャプチャ1 / コンペア1一致	TAB0	0250H	00000250H	nextPC	TAB0CCIC1
		30	INTTAB0CC2	TAB0キャプチャ2 / コンペア2一致	TAB0	0260H	00000260H	nextPC	TAB0CCIC2
		31	INTTAB0CC3	TAB0キャプチャ3 / コンペア3一致	TAB0	0270H	00000270H	nextPC	TAB0CCIC3
		32	INTTAB1OV ^{注1}	TAB1オーパフロー ^{注1}	TAB1	0280H	00000280H	nextPC	TAB1OVIC ^{注1}
		33	INTTAB1CC0 ^{注2}	TAB1キャプチャ0 / コンペア0一致 ^{注2}	TAB1	0290H	00000290H	nextPC	TAB1CCIC0 ^{注2}
		34	INTTAB1CC1	TAB1キャプチャ1 / コンペア1一致	TAB1	02A0H	000002A0H	nextPC	TAB1CCIC1
		35	INTTAB1CC2	TAB1キャプチャ2 / コンペア2一致	TAB1	02B0H	000002B0H	nextPC	TAB1CCIC2
		36	INTTAB1CC3	TAB1キャプチャ3 / コンペア3一致	TAB1	02C0H	000002C0H	nextPC	TAB1CCIC3

注1. TAB1を6相PWM出力モードで使用する場合は、TABOPからのゼロ一致割り込み (TAB1TIOD) 要求として機能します。

2. TAB1を6相PWM出力モードで使用する場合は、TABOPからのコンペア一致割り込み (TAB1TICD0) 要求として機能します。

表25 - 3 V850ES/JJ3-Eの割り込み / 例外要因一覧 (3/5)

種類	分類	フォルト・ フラグ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスカブル	割り込み	37	INTTT0OV	TMT0オーバフロー	TMT0	02D0H	000002D0H	nextPC	TT0OVIC
		38	INTTT0CC0	TMT0キャプチャ0 / コンペア0一致	TMT0	02E0H	000002E0H	nextPC	TT0CCIC0
		39	INTTT0CC1	TMT0キャプチャ1 / コンペア1一致	TMT0	02F0H	000002F0H	nextPC	TT0CCIC1
		40	INTTT0EC	TMT0エンコーダ入力	TMT0	0300H	00000300H	nextPC	TT0ECIC
		41	INTTAA0OV	TAA0オーバフロー	TAA0	0310H	00000310H	nextPC	TAA0OVIC
		42	INTTAA0CC0	TAA0キャプチャ0 / コンペア0一致	TAA0	0320H	00000320H	nextPC	TAA0CCIC0
		43	INTTAA0CC1	TAA0キャプチャ1 / コンペア1一致	TAA0	0330H	00000330H	nextPC	TAA0CCIC1
		44	INTTAA1OV	TAA1オーバフロー	TAA1	0340H	00000340H	nextPC	TAA1OVIC
		45	INTTAA1CC0	TAA1キャプチャ0 / コンペア0一致	TAA1	0350H	00000350H	nextPC	TAA1CCIC0
		46	INTTAA1CC1	TAA1キャプチャ1 / コンペア1一致	TAA1	0360H	00000360H	nextPC	TAA1CCIC1
		47	INTTAA2OV	TAA2オーバフロー	TAA2	0370H	00000370H	nextPC	TAA2OVIC
		48	INTTAA2CC0	TAA2キャプチャ0 / コンペア0一致	TAA2	0380H	00000380H	nextPC	TAA2CCIC0
		49	INTTAA2CC1	TAA2キャプチャ1 / コンペア1一致	TAA2	0390H	00000390H	nextPC	TAA2CCIC1
		50	INTTAA3OV	TAA3オーバフロー	TAA3	03A0H	000003A0H	nextPC	TAA3OVIC
		51	INTTAA3CC0	TAA3キャプチャ0 / コンペア0一致	TAA3	03B0H	000003B0H	nextPC	TAA3CCIC0
		52	INTTAA3CC1	TAA3キャプチャ1 / コンペア1一致	TAA3	03C0H	000003C0H	nextPC	TAA3CCIC1
		53	INTTAA4OV	TAA4オーバフロー	TAA4	03D0H	000003D0H	nextPC	TAA4OVIC
		54	INTTAA4CC0	TAA4キャプチャ0 / コンペア0一致	TAA4	03E0H	000003E0H	nextPC	TAA4CCIC0
		55	INTTAA4CC1	TAA4キャプチャ1 / コンペア1一致	TAA4	03F0H	000003F0H	nextPC	TAA4CCIC1
		56	INTTAA5OV	TAA5オーバフロー	TAA5	0400H	00000400H	nextPC	TAA5OVIC
		57	INTTAA5CC0	TAA5キャプチャ0 / コンペア0一致	TAA5	0410H	00000410H	nextPC	TAA5CCIC0
		58	INTTAA5CC1	TAA5キャプチャ1 / コンペア1一致	TAA5	0420H	00000420H	nextPC	TAA5CCIC1
		59	INTTM0EQ0	TMM0コンペア一致	TMM0	0430H	00000430H	nextPC	TM0EQIC0
		60	INTTM1EQ0	TMM1コンペア一致	TMM1	0440H	00000440H	nextPC	TM1EQIC0
		61	INTTM2EQ0	TMM2コンペア一致	TMM2	0450H	00000450H	nextPC	TM2EQIC0
		62	INTTM3EQ0	TMM3コンペア一致	TMM3	0460H	00000460H	nextPC	TM3EQIC0
		63	INTCE0T/ INTUC4R	CSIE0の転送終了 / UARTC4の受信エラー	CSIE0/ UARTC4	0470H	00000470H	nextPC	CE0TIC/ UC4RIC
		64	INTCE0TIOF/ INTUC4T	CSIE0のバッファ・オー バフロー / UARTC4の連 続送信書き込み許可	CSIE0/ UARTC4	0480H	00000480H	nextPC	CE0TIOFIC/ UC4TIC

表25 - 3 V850ES/JJ3-Eの割り込み / 例外要因一覧 (4/5)

種類	分類	フォルト・ フイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰 PC	割り込み制御 レジスタ
マスカブル	割り込み	65	INTCE1T/ INTUC5R/ INTIIC3	CSIE1の転送終了 / UARTC5の受信エラー / IIC2転送終了	CSIE1/ UARTC5/ IIC3	0490H	00000490H	nextPC	CE1TIC/ UC5RIC/ IICIC3
		66	INTCE1TIOF/ INTUC5T	CSIE1のバッファ・オー パフロー / UARTC5の 連続送信書き込み許可	CSIE1/ UARTC5	04A0H	000004A0H	nextPC	CE1TIOFIC/ UC5TIC
		67	INTCF0R/ INTUC3R/ INTIIC1	CSIF0の転送終了 / UARTC3の受信終了 / UARTC3の受信エラー / IIC1転送終了	CSIF0/ UARTC3/ IIC1	04B0H	000004B0H	nextPC	CE0RIC/ UC3RIC/ IICIC1
		68	INTCF0T/ INTUC3T	CSIF0連続送信書き込み 許可 / UARTC3連続送信 書き込み許可	CSIF0/ UARTC3	04C0H	000004C0H	nextPC	CF0TIC/ UC3TIC
		69	INTCF1R/ INTUC1R/ INTIIC0	CSIF1受信終了 / CSIF1受信 エラー / UARTC1受信終了 / UARTC1受信エラー / IIC0転送終了	CSIF1/ UARTC1/ IIC0	04D0H	000004D0H	nextPC	CF1RIC/ UC1RIC/ IICIC0
		70	INTCF1T/ INTUC1T	CSIF1連続送信書き込み 許可 / UARTC1連続送信 書き込み許可	CSIF1 UARTC1	04E0H	000004E0H	nextPC	CF1TIC/ UC1TIC
		71	INTCF2R/ INTUC0R	CSIF2受信終了 / CSIF2受信 エラー / UARTC0受信終了 / UARTC0受信エラー	CSIF2/ UARTC0	04F0H	000004F0H	nextPC	CF2RIC/ UC0RIC
		72	INTCF2T/ INTUC0T	CSIF2連続送信書き込み 許可 / UARTC0連続送信 書き込み許可	CSIF2/ UARTC0	0500H	00000500H	nextPC	CF2TIC/ UC0TIC
		73	INTCF3R/ INTUB1TIR	CSIF3受信終了 / CSIF3 受信エラー / UARB1受 信終了	CSIF3/ UARB1	0510H	00000510H	nextPC	CF3RIC/ UB1TIRIC
		74	INTCF3T/ INTUB1TIT	CSIF3連続送信書き込み 許可 / UARB1送信終了	CSIF3/ UARB1	0520H	00000520H	nextPC	CF3TIC/ UB1TITIC
		75	INTUB1TIF	UARB1FIFO送信終了	UARB1	0530H	00000530H	nextPC	UB1TIFIC
		76	INTUB1TIRE	UARB1受信エラー	UARB1	0540H	00000540H	nextPC	UB1TIREIC
		77	INTUB1TITO	UARB1受信タイムアウト	UARB1	0550H	00000550H	nextPC	UB1TITOIC
		78	INTCF4R/ INTUB0TIR	CSIF4受信終了 / CSIF4 受信エラー / UARB0受 信終了	CSIF4/ UARB0	0560H	00000560H	nextPC	CF4RIC/ UB0TIRIC
		79	INTCF4T/ INTUB0TIT	CSIF4連続送信書き込み 許可 / UARB0送信終了	CSIF4/ UARB0	0570H	00000570H	nextPC	CF4TIC/ UB0TITIC
		80	INTUB0TIF	UARB0FIFO送信終了	UARB0	0580H	00000580H	nextPC	UB0TIFIC
		81	INTUB0TIRE	UARB0受信エラー	UARB0	0590H	00000590H	nextPC	UB0TIREIC
82	INTUB0TITO	UARB0受信タイムアウト	UARB0	05A0H	000005A0H	nextPC	UB0TITOIC		
83	INTCF5R/ INTUC6R	CSIF5受信終了 / CSIF5 受信エラー / UARTC6受信終了 / UARTC6受信エラー	CSIF5/ UARTC6	05B0H	000005B0H	nextPC	CF5RIC/ UC6RIC		

表25 - 3 V850ES/JJ3-Eの割り込み / 例外要因一覧 (5/5)

種類	分類	フォルト・ フイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	84	INTCF5T/ INTUC6T	CSIF5連続送信書き込み許可 / UARTC6連続送信書き込み許可	CSIF5/ UARTC6	05C0H	000005C0H	nextPC	CF5TIC/ UC6TIC
		85	INTCF6R/ INTUC7R	CSIF6受信終了 / CSIF6 受信エラー / UARTC7 受信終了 / UARTC7受信エラー	CSIF6/ UARTC7	05D0H	000005D0H	nextPC	CF6RIC/ UC7RIC
		86	INTCF6T/ INTUC7T	CSIF6連続送信書き込み許可 / UARTC7連続送信書き込み許可	CSIF6/ UARTC7	05E0H	000005E0H	nextPC	CF6TIC/ UC7TIC
		87	INTUC2R/ INTIIC2	UARTC2 受信終了 / UARTC2受信エラー / IIC2転送終了	UARTC2 /IIC2	05F0H	000005F0H	nextPC	UC2RIC/ IIC2IC
		88	INTUC2T	UARTC2連続送信書き込み許可	UARTC2	0600H	00000600H	nextPC	UC2TIC
		89	INTIIC4	IIC4転送終了	IIC4	0610H	00000610H	nextPC	IIC4IC
		90	INTAD	A/D変換終了	A/D	0620H	00000620H	nextPC	ADIC
		91	INTDMA0	DMA0転送終了	DMA	0630H	00000630H	nextPC	DMAIC0
		92	INTDMA1	DMA1転送終了	DMA	0640H	00000640H	nextPC	DMAIC1
		93	INTDMA2	DMA2転送終了	DMA	0650H	00000650H	nextPC	DMAIC2
		94	INTDMA3	DMA3転送終了	DMA	0660H	00000660H	nextPC	DMAIC3
		95	INTKR	キー・リターン割り込み	KR	0670H	00000670H	nextPC	KRIC
		96	INTRTC0	RTC定周期信号	RTC	0680H	00000680H	nextPC	RTC0IC
		97	INTRTC1	RTCアラーム一致	RTC	0690H	00000690H	nextPC	RTC1IC
		98	INTRTC2	RTCインターバル信号	RTC	06A0H	000006A0H	nextPC	RTC2IC
		99	INTUSBF0	USBF割り込み	USBF	06B0H	000006B0H	nextPC	UFIC0
		100	INTUSBF1	USBF Resume割り込み	USBF	06C0H	000006C0H	nextPC	UFIC1
		101	INTEMRX	パケット受信	Ethernet	06D0H	000006D0H	nextPC	ETMRXIC
		102	INTEMTX	パケット送信	Ethernet	06E0H	000006E0H	nextPC	ETMTXIC
		103	INTEMRQ	受信パケット読み出し要求	Ethernet	06F0H	000006F0H	nextPC	ETMRQIC
		104	INTEMF5	FIFOステータス	Ethernet	0700H	00000700H	nextPC	ETMFSIC
		105	INTEMTS	送信ステータス	Ethernet	0710H	00000710H	nextPC	ETMTSIC
		106	INTEMRS	受信ステータス	Ethernet	0720H	00000720H	nextPC	ETMRSIC
		107	INTEMOV	統計カウンタ・オーバーフロー	Ethernet	0730H	00000730H	nextPC	ETMOVIC
		108	INTETBER	エラー割り込み	Ethernet	0740H	00000740H	nextPC	ETBERIC
		110	INTC0ERR ^注	CAN0エラー ^注	CAN0	0760H	00000760H	nextPC	ERRIC0 ^注
111	INTC0WUP1 ^注	CAN0ウエイク・アップ ^注	CAN0	0770H	00000770H	nextPC	WUPIC0 ^注		
112	INTC0REC ^注	CAN0受信 ^注	CAN0	0780H	00000780H	nextPC	REIC0 ^注		
113	INTC0TRX ^注	CAN0送信 ^注	CAN0	0790H	00000790H	nextPC	TRXIC0 ^注		

注 μ PD70F3786のみ

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスクブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスクブル / マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

25.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスクابل割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“エッジ検出なし”の4種類から選択できます。

ウォッチドッグ・タイマ2のオーバフローによるノンマスクابل割り込み要求信号（INTWDT2）はWDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスクابل割り込み要求信号が重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2 > NMI

なお、NMI処理中に、新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

（1）NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

（2）NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

注意 ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については25.2.2（2）INTWDT2信号の場合を参照してください。

図25 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (1/2)

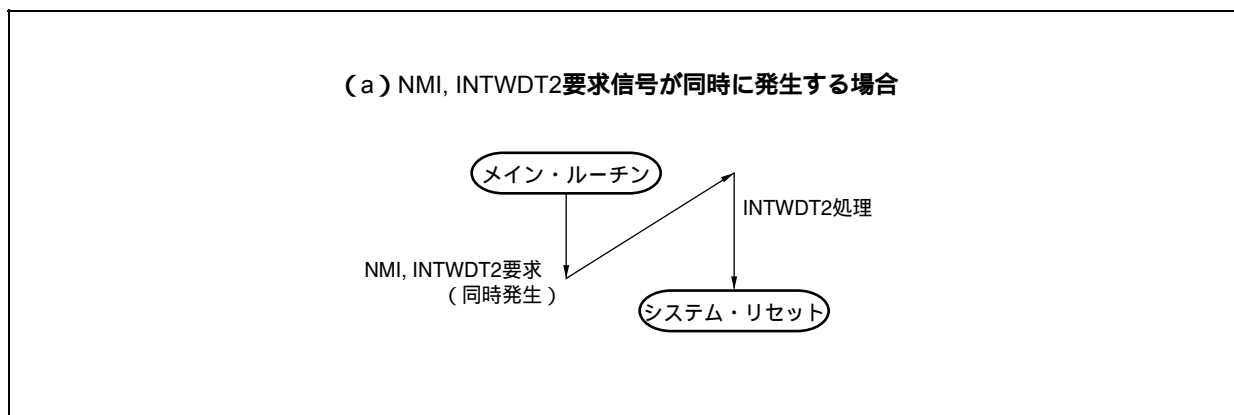
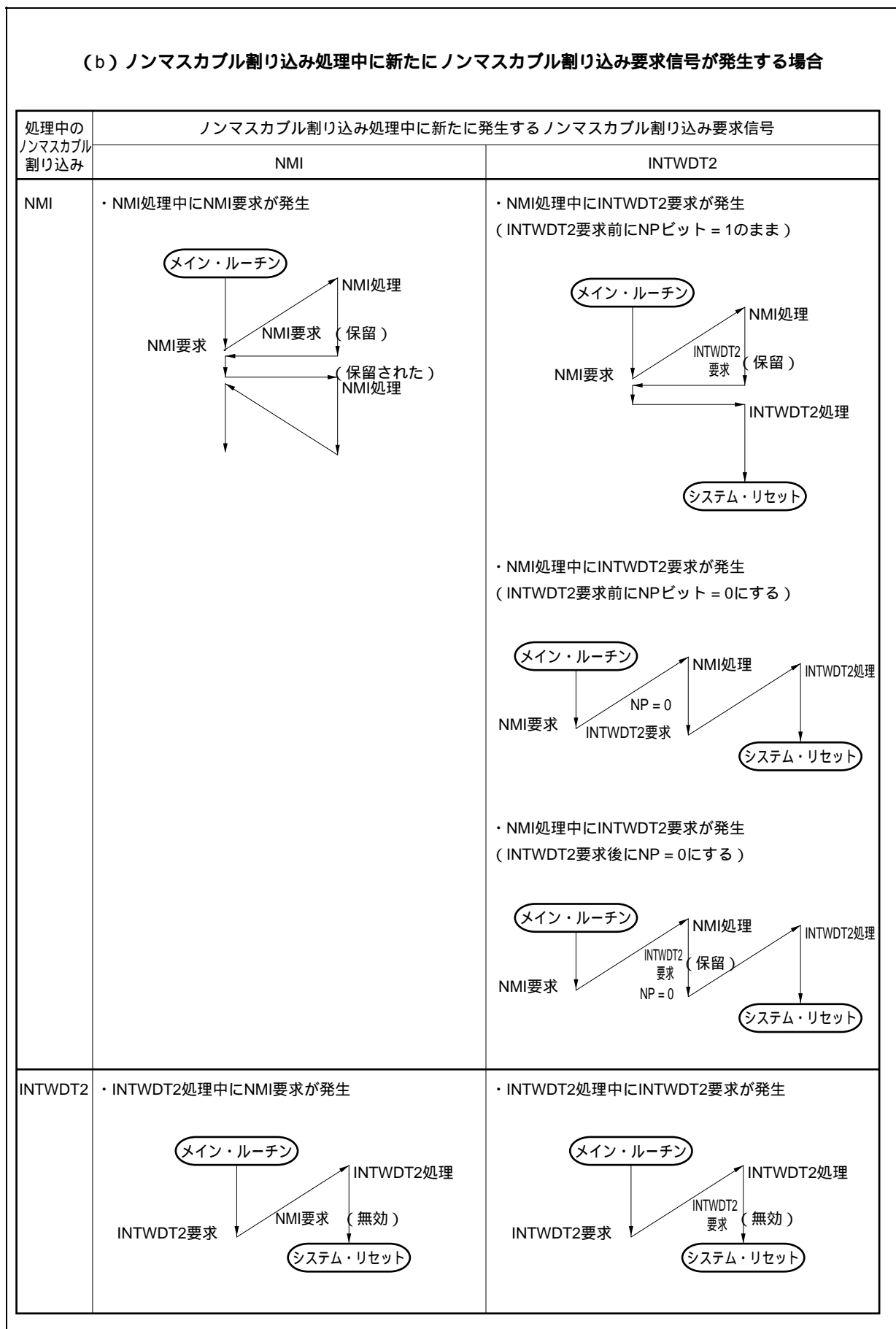


図25 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (2/2)



25.2.1 動作

ノンマスクブル割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

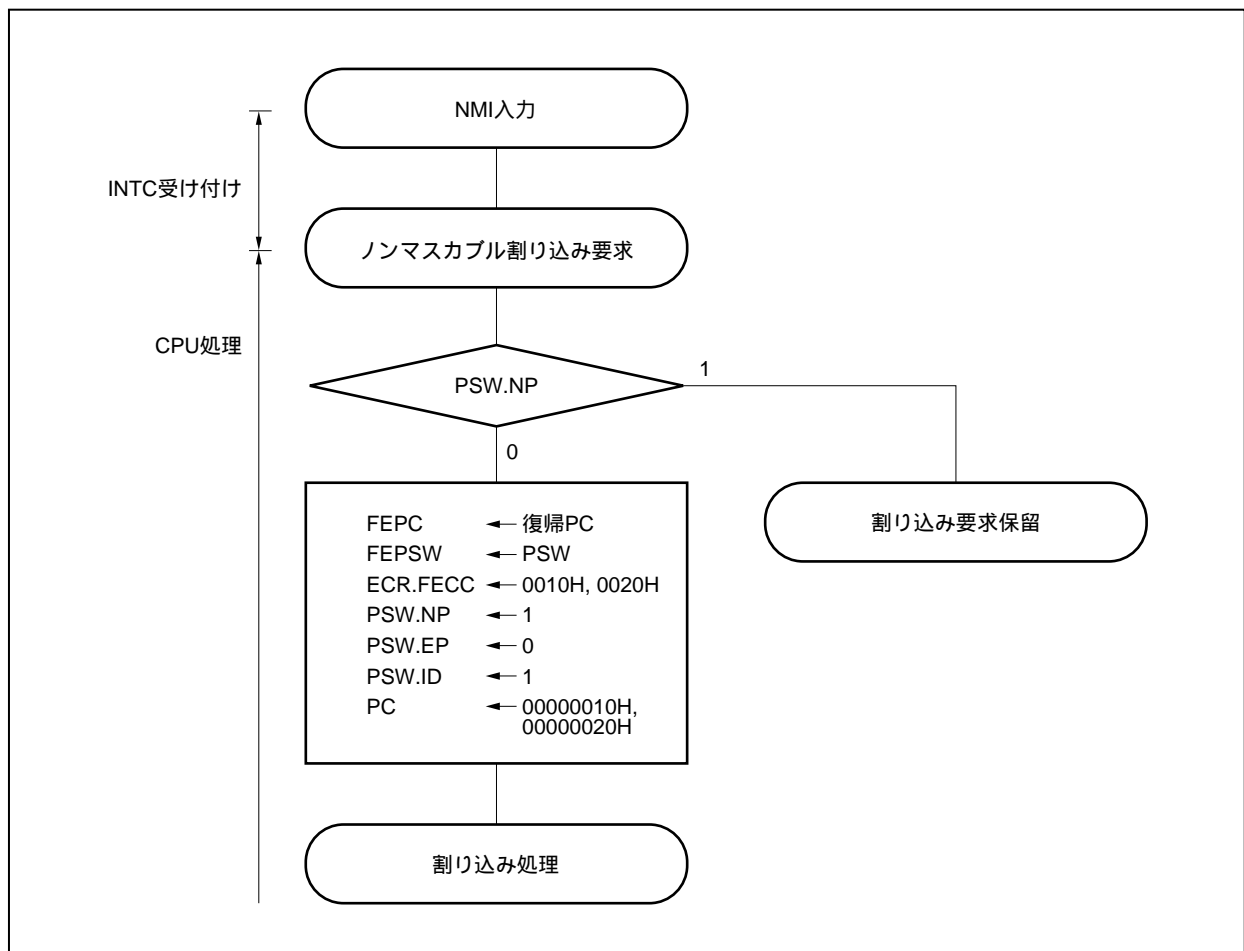
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を次に示します。

図25 - 2 ノンマスクブル割り込みの処理形態



25.2.2 復 帰

(1) NMI端子入力の場合

NMI処理からの復帰は、RETI命令により行います。

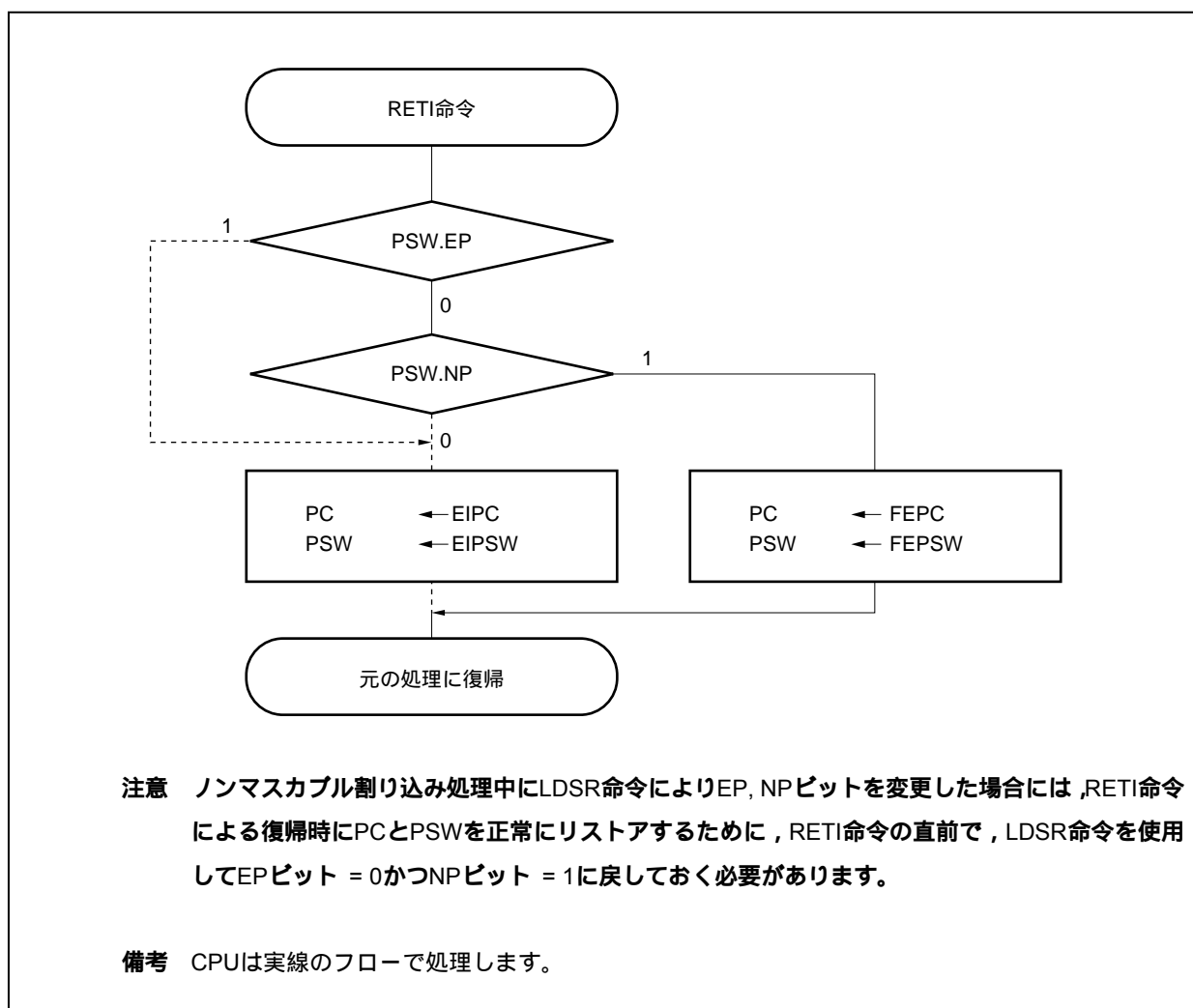
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

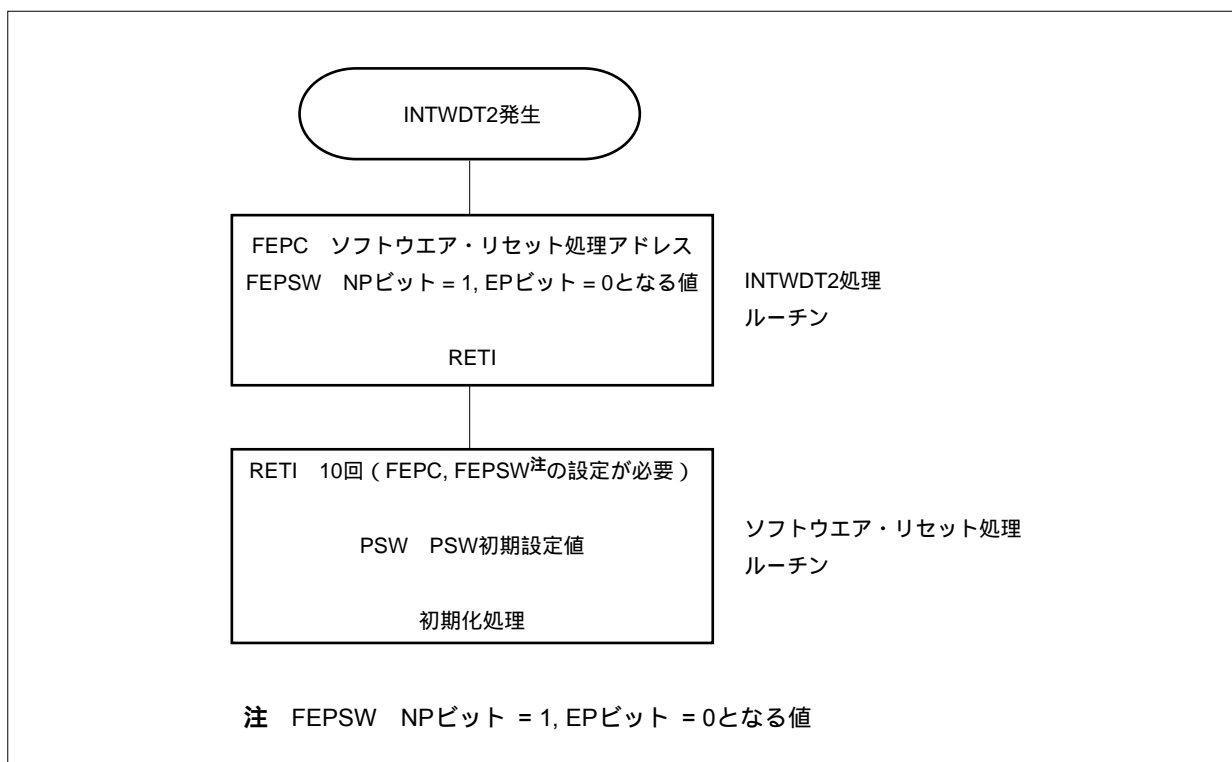
図25 - 3 RETI命令の処理形態



(2) INTWDT2信号の場合

ノンマスクابل割り込み要求 (INTWDT2) によるノンマスクابل割り込み処理実行後に, RETI 命令による復帰はできません。次に示すソフトウェア・リセット処理を実行してください。

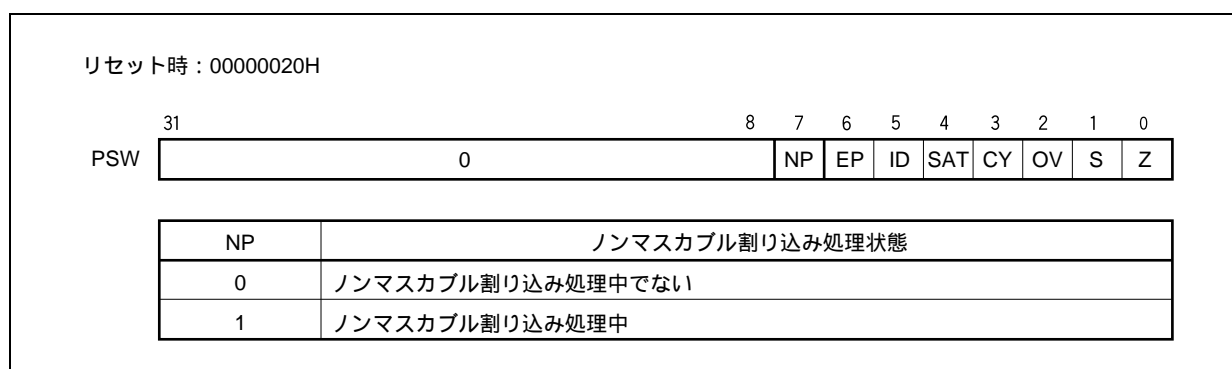
図25 - 4 ソフトウェア・リセット処理



25.2.3 NPフラグ

NPフラグは, ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求信号を受け付けるとセットされ, ノンマスクابل割り込み要求をマスクして多重割り込みを禁止します。



25.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、98-113種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、または汎用レジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

25.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

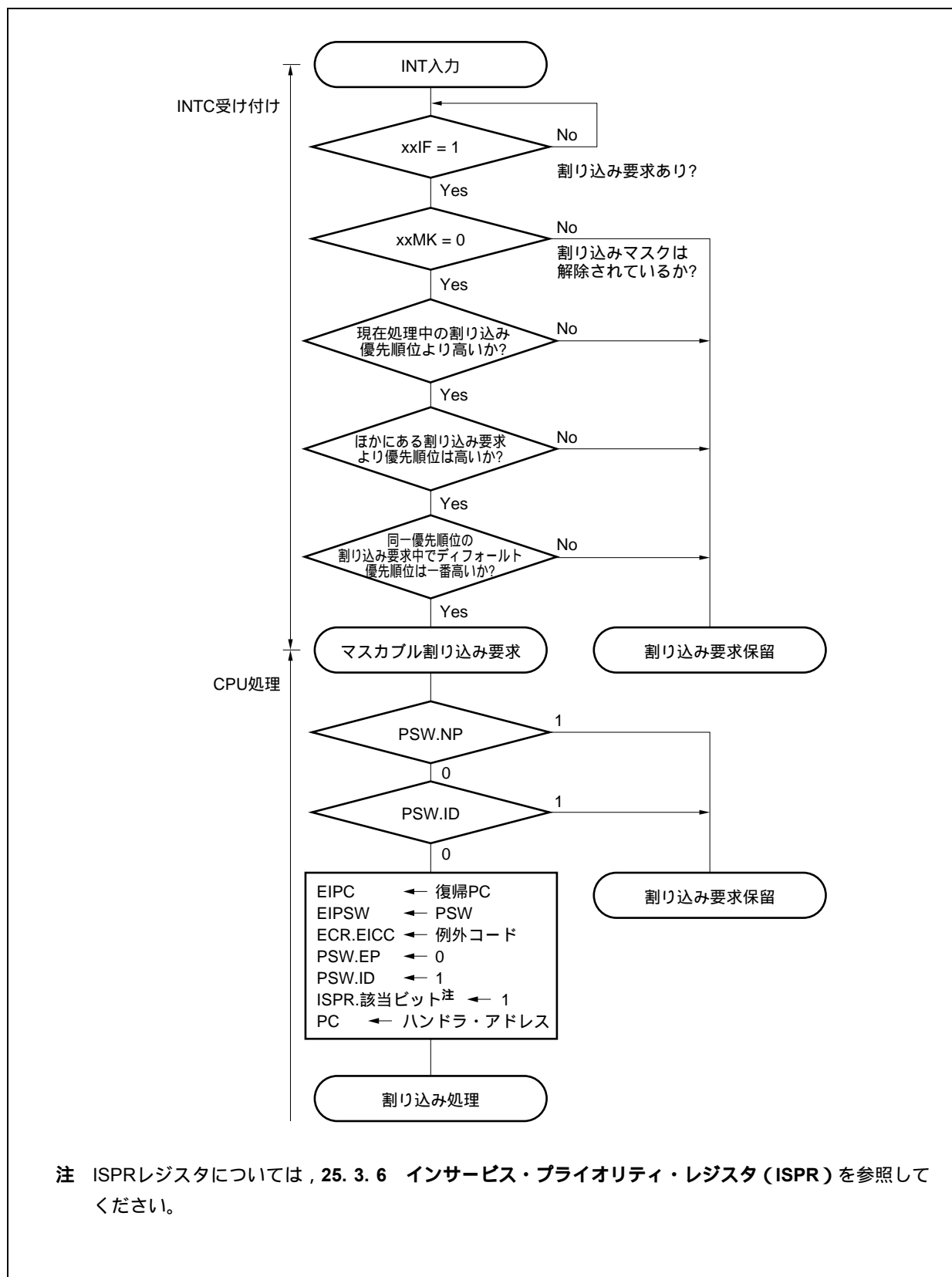
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図25 - 5 マスカブル割り込みの処理形態



25.3.2 復 帰

マスクブル割り込み処理からの復帰は、RETI命令により行います。

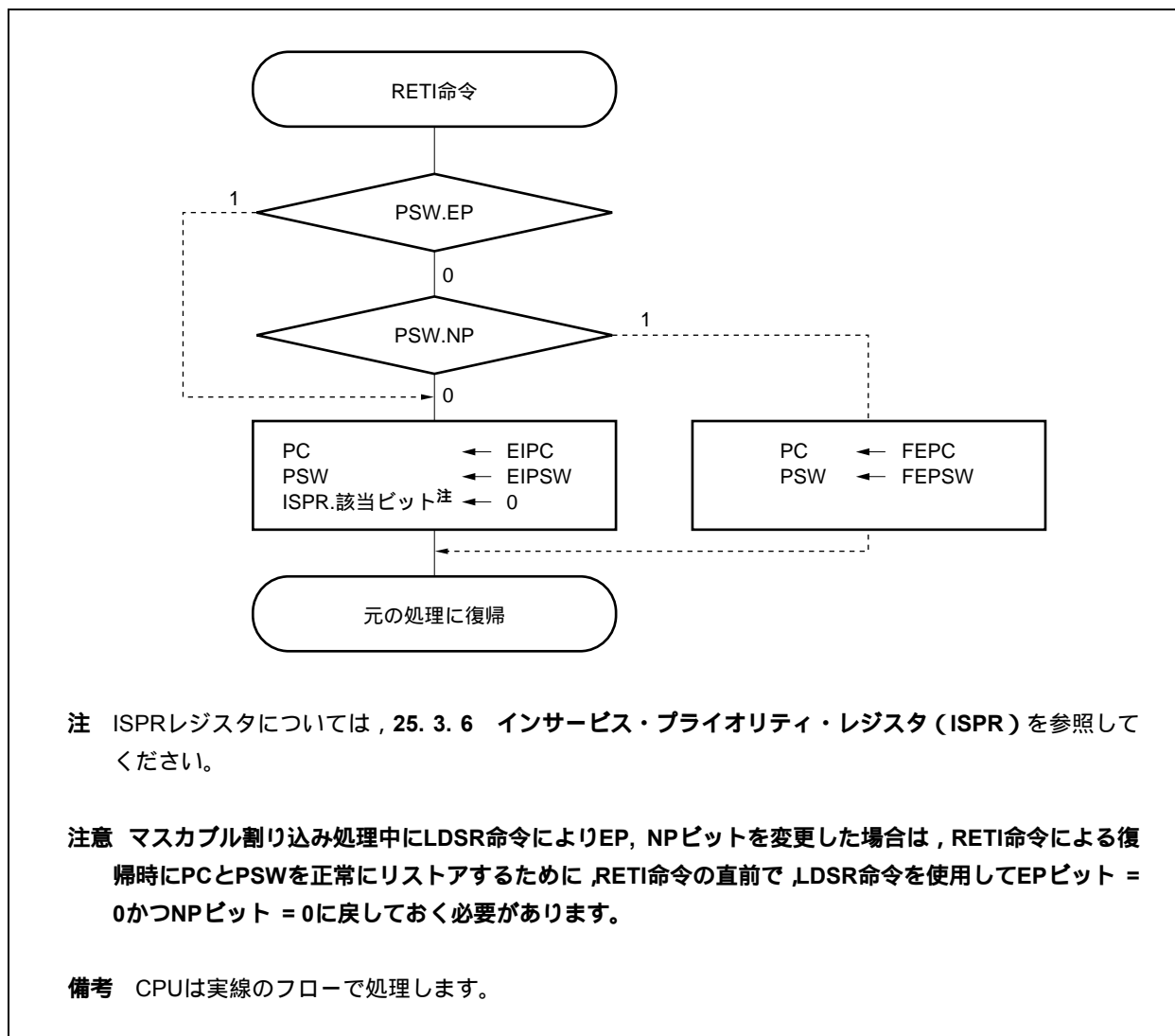
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図25 - 6 RETI命令の処理形態



25.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表25 - 2, 表25 - 3参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表25 - 4 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表25 - 4 割り込み制御レジスタ (xxICn) 参照)

図25 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

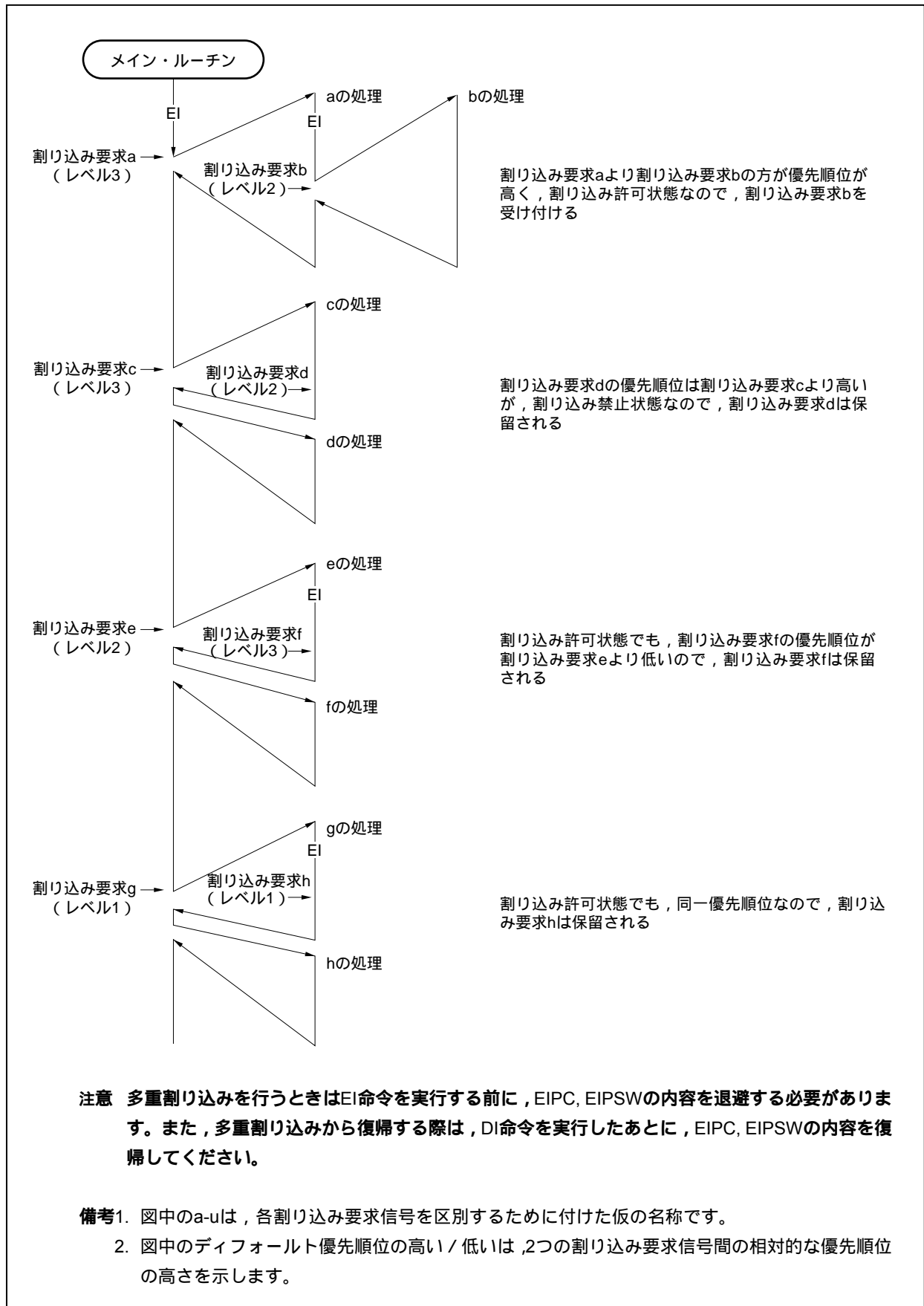


図25 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

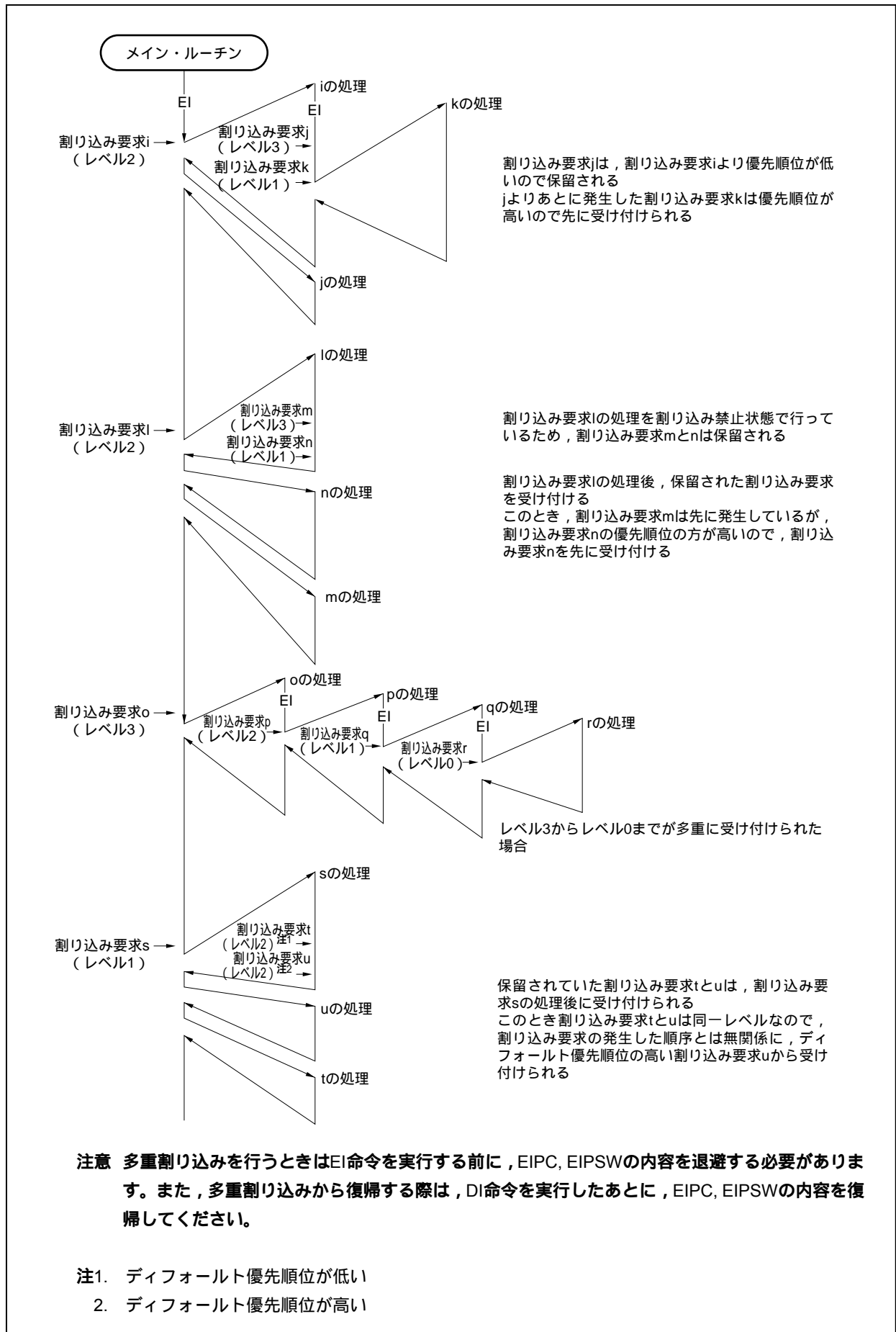
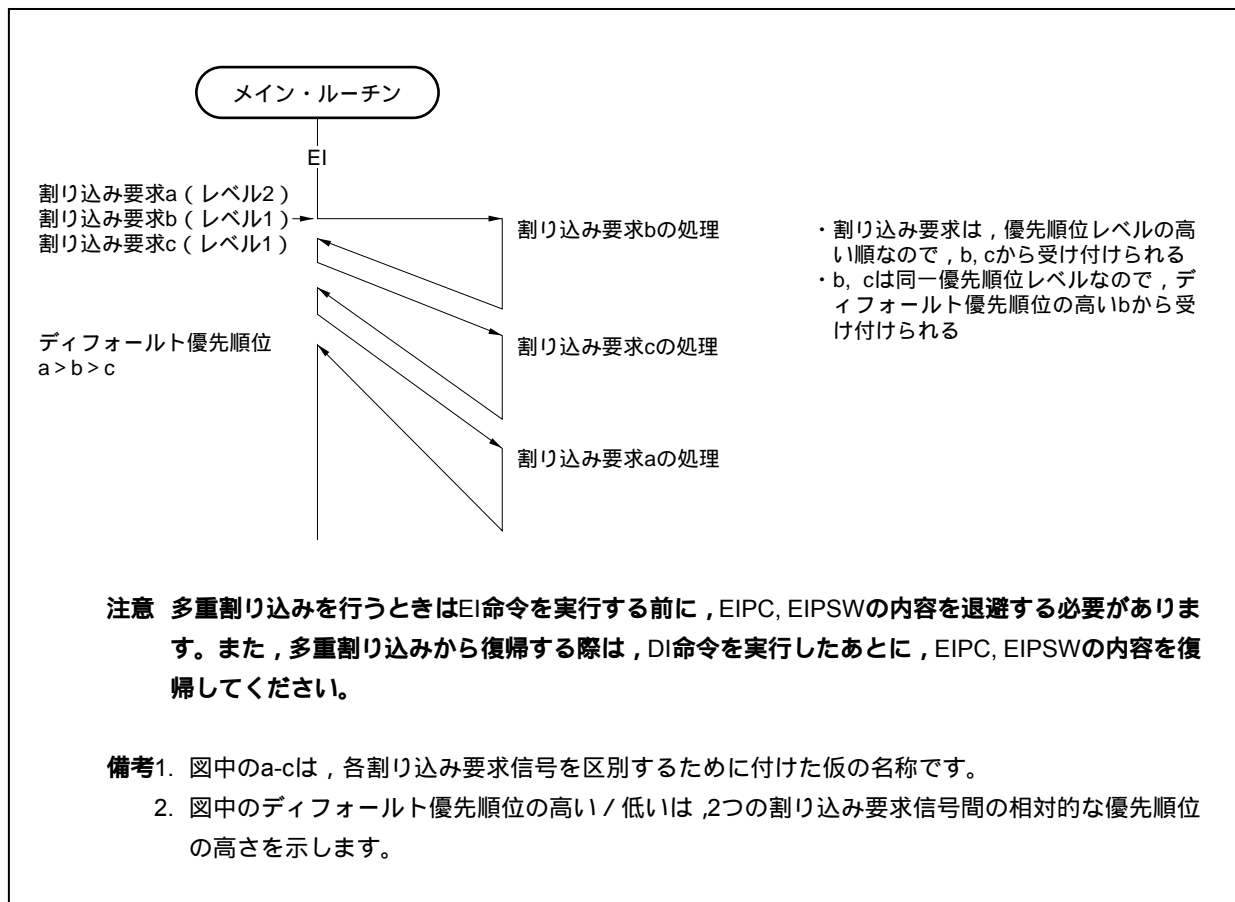


図25 - 8 同時発生した割り込み要求信号の処理例



25.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。

8/1ビット単位でリード/ライト可能です。

リセットにより47Hになります。

注意 xxICn.xxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態または割り込みをマスクした状態で行ってください。割り込み許可 (EI) 状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

リセット時: 47H R/W アドレス: FFFFFFF110H-FFFFFF184H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (表25-4 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表25-4 割り込み制御レジスタ (xxICn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表25 - 4 割り込み制御レジスタ (xxICn) (1/4)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF110H	LVIIIC	LVIIIF	LVIIIMK	0	0	0	LVIIIPR2	LVIIIPR1	LVIIIPR0
FFFFFF112H	PIC00	PIF00	PMK00	0	0	0	PPR002	PPR001	PPR000
FFFFFF114H	PIC01	PIF01	PMK01	0	0	0	PPR012	PPR011	PPR010
FFFFFF116H	PIC02	PIF02	PMK02	0	0	0	PPR022	PPR021	PPR020
FFFFFF118H	PIC03	PIF03	PMK03	0	0	0	PPR032	PPR031	PPR030
FFFFFF11AH	PIC04	PIF04	PMK04	0	0	0	PPR042	PPR041	PPR040
FFFFFF11CH	PIC05	PIF05	PMK05	0	0	0	PPR052	PPR051	PPR050
FFFFFF11EH	PIC06	PIF06	PMK06	0	0	0	PPR062	PPR061	PPR060
FFFFFF120H	PIC07	PIF07	PMK07	0	0	0	PPR072	PPR071	PPR070
FFFFFF122H	PIC08	PIF08	PMK08	0	0	0	PPR082	PPR081	PPR080
FFFFFF124H	PIC09	PIF09	PMK09	0	0	0	PPR092	PPR091	PPR090
FFFFFF126H	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100
FFFFFF128H	PIC11	PIF11	PMK11	0	0	0	PPR112	PPR111	PPR110
FFFFFF12AH	PIC12	PIF12	PMK12	0	0	0	PPR122	PPR121	PPR120
FFFFFF12CH	PIC13	PIF13	PMK13	0	0	0	PPR132	PPR131	PPR130
FFFFFF12EH	PIC14	PIF14	PMK14	0	0	0	PPR142	PPR141	PPR140
FFFFFF130H	PIC15	PIF15	PMK15	0	0	0	PPR152	PPR151	PPR150
FFFFFF132H	PIC16	PIF16	PMK16	0	0	0	PPR162	PPR161	PPR160
FFFFFF134H	PIC17	PIF17	PMK17	0	0	0	PPR172	PPR171	PPR170
FFFFFF136H	PIC18	PIF18	PMK18	0	0	0	PPR182	PPR181	PPR180
FFFFFF138H	PIC19	PIF19	PMK19	0	0	0	PPR192	PPR191	PPR190
FFFFFF13AH	PIC20	PIF20	PMK20	0	0	0	PPR202	PPR201	PPR200
FFFFFF13CH	PIC21 ^注	PIF21	PMK21	0	0	0	PPR212	PPR211	PPR210
FFFFFF13EH	PIC22 ^注	PIF22	PMK22	0	0	0	PPR222	PPR221	PPR220
FFFFFF140H	PIC23 ^注	PIF23	PMK23	0	0	0	PPR232	PPR231	PPR230
FFFFFF142H	PIC24 ^注	PIF24	PMK24	0	0	0	PPR242	PPR241	PPR240
FFFFFF144H	PIC25 ^注	PIF25	PMK25	0	0	0	PPR252	PPR251	PPR250
FFFFFF146H	TAB0OVIC	TAB0OVIF	TAB0OVMK	0	0	0	TAB0OVPR2	TAB0OVPR1	TAB0OVPR0
FFFFFF148H	TAB0CCIC0	TAB0CCIF0	TAB0CCMK0	0	0	0	TAB0CCPR02	TAB0CCPR01	TAB0CCPR00
FFFFFF14AH	TAB0CCIC1	TAB0CCIF1	TAB0CCMK1	0	0	0	TAB0CCPR12	TAB0CCPR11	TAB0CCPR10
FFFFFF14CH	TAB0CCIC2	TAB0CCIF2	TAB0CCMK2	0	0	0	TAB0CCPR22	TAB0CCPR21	TAB0CCPR20
FFFFFF14EH	TAB0CCIC3	TAB0CCIF3	TAB0CCMK3	0	0	0	TAB0CCPR32	TAB0CCPR31	TAB0CCPR30
FFFFFF150H	TAB1OVIC	TAB1OVIF	TAB1OVMK	0	0	0	TAB1OVPR2	TAB1OVPR1	TAB1OVPR0
FFFFFF152H	TAB1CCIC0	TAB1CCIF0	TAB1CCMK0	0	0	0	TAB1CCPR02	TAB1CCPR01	TAB1CCPR00
FFFFFF154H	TAB1CCIC1	TAB1CCIF1	TAB1CCMK1	0	0	0	TAB1CCPR12	TAB1CCPR11	TAB1CCPR10
FFFFFF156H	TAB1CCIC2	TAB1CCIF2	TAB1CCMK2	0	0	0	TAB1CCPR22	TAB1CCPR21	TAB1CCPR20
FFFFFF158H	TAB1CCIC3	TAB1CCIF3	TAB1CCMK3	0	0	0	TAB1CCPR32	TAB1CCPR31	TAB1CCPR30
FFFFFF15AH	TT0OVIC	TT0OVIF	TT0OVMK	0	0	0	TT0OVPR2	TT0OVPR1	TT0OVPR0
FFFFFF15CH	TT0CCIC0	TT0CCIF0	TT0CCMK0	0	0	0	TT0CCPR02	TT0CCPR01	TT0CCPR00
FFFFFF15EH	TT0CCIC1	TT0CCIF1	TT0CCMK1	0	0	0	TT0CCPR12	TT0CCPR11	TT0CCPR10
FFFFFF160H	TT0IECIC	TT0IECIF	TT0IECMK	0	0	0	TT0IECPR2	TT0IECPR1	TT0IECPR0
FFFFFF162H	TAA0OVIC	TAA0OVIF	TAA0OVMK	0	0	0	TAA0OVPR2	TAA0OVPR1	TAA0OVPR0

注 V850ES/JJ3-Eのみ

表25 - 4 割り込み制御レジスタ (xxICn) (2/4)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF164H	TAA0CCIC0	TAA0CCIF0	TAA0CCMK0	0	0	0	TAA0CCPR02	TAA0CCPR01	TAA0CCPR00
FFFFF166H	TAA0CCIC1	TAA0CCIF1	TAA0CCMK1	0	0	0	TAA0CCPR12	TAA0CCPR11	TAA0CCPR10
FFFFF168H	TAA1OVIC	TAA1OVIF	TAA1OVVK	0	0	0	TAA1OVPR2	TAA1OVPR1	TAA1OVPR0
FFFFF16AH	TAA1CCIC0	TAA1CCIF0	TAA1CCMK0	0	0	0	TAA1CCPR02	TAA1CCPR01	TAA1CCPR00
FFFFF16CH	TAA1CCIC1	TAA1CCIF1	TAA1CCMK1	0	0	0	TAA1CCPR12	TAA1CCPR11	TAA1CCPR10
FFFFF16EH	TAA2OVIC	TAA2OVIF	TAA2OVVK	0	0	0	TAA2OVPR2	TAA2OVPR1	TAA2OVPR0
FFFFF170H	TAA2CCIC0	TAA2CCIF0	TAA2CCMK0	0	0	0	TAA2CCPR02	TAA2CCPR01	TAA2CCPR00
FFFFF172H	TAA2CCIC1	TAA2CCIF1	TAA2CCMK1	0	0	0	TAA2CCPR12	TAA2CCPR11	TAA2CCPR10
FFFFF174H	TAA3OVIC	TAA3OVIF	TAA3OVVK	0	0	0	TAA3OVPR2	TAA3OVPR1	TAA3OVPR0
FFFFF176H	TAA3CCIC0	TAA3CCIF0	TAA3CCMK0	0	0	0	TAA3CCPR02	TAA3CCPR01	TAA3CCPR00
FFFFF178H	TAA3CCIC1	TAA3CCIF1	TAA3CCMK1	0	0	0	TAA3CCPR12	TAA3CCPR11	TAA3CCPR10
FFFFF17AH	TAA4OVIC	TAA4OVIF	TAA4OVVK	0	0	0	TAA4OVPR2	TAA4OVPR1	TAA4OVPR0
FFFFF17CH	TAA4CCIC0	TAA4CCIF0	TAA4CCMK0	0	0	0	TAA4CCPR02	TAA4CCPR01	TAA4CCPR00
FFFFF17EH	TAA4CCIC1	TAA4CCIF1	TAA4CCMK1	0	0	0	TAA4CCPR12	TAA4CCPR11	TAA4CCPR10
FFFFF180H	TAA5OVIC	TAA5OVIF	TAA5OVVK	0	0	0	TAA5OVPR2	TAA5OVPR1	TAA5OVPR0
FFFFF182H	TAA5CCIC0	TAA5CCIF0	TAA5CCMK0	0	0	0	TAA5CCPR02	TAA5CCPR01	TAA5CCPR00
FFFFF184H	TAA5CCIC1	TAA5CCIF1	TAA5CCMK1	0	0	0	TAA5CCPR12	TAA5CCPR11	TAA5CCPR10
FFFFF186H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFF188H	TM1EQIC0	TM1EQIF0	TM1EQMK0	0	0	0	TM1EQPR02	TM1EQPR01	TM1EQPR00
FFFFF18AH	TM2EQIC0	TM2EQIF0	TM2EQMK0	0	0	0	TM2EQPR02	TM2EQPR01	TM2EQPR00
FFFFF18CH	TM3EQIC0	TM3EQIF0	TM3EQMK0	0	0	0	TM3EQPR02	TM3EQPR01	TM3EQPR00
FFFFF18EH	CE0TIC/ UC4RIC	CE0TIF/ UC4RIF	CE0TMK/ UC4RMK	0	0	0	CE0TPR2/ UC4RPR2	CE0TPR1/ UC4RPR1	CE0TPR0/ UC4RPR0
FFFFF190H	CE0TIOFIC/ UC4TIC	CE0TIOFIF/ UC4TIF	CE0TIOFMK/ UC4TMK	0	0	0	CE0TIOFPR2/ UC4TPR2	CE0TIOFPR1/ UC4TPR1	CE0TIOFPR0/ UC4TPR0
FFFFF192H	CE1TIC/ UC5RIC/ IICIC3	CE1TIF/ UC5RIF/ IICIF3	CE1TMK/ UC5RMK/ IICMK3	0	0	0	CE1TPR2/ UC5RPR2/ IICPR32	CE1TPR1/ UC5RPR1/ IICPR31	CE1TPR0/ UC5RPR0/ IICPR30
FFFFF194H	CE1TIOFIC/ UC5TIC	CE1TIOFIF/ UC5TIF	CE1TIOFMK/ UC5TMK	0	0	0	CE1TIOFPR2/ UC5TPR2	CE1TIOFPR1/ UC5TPR1	CE1TIOFPR0/ UC5TPR0
FFFFF196H	CF0RIC/ UC3RIC/ IICIC1	CF0RIF/ UC3RIF/ IICIF1	CF0RMK/ UC3RMK/ IICMK1	0	0	0	CF0RPR2/ UC3RPR2/ IICPR12	CF0RPR1/ UC3RPR1/ IICPR11	CF0RPR0/ UC3RPR0/ IICPR10
FFFFF198H	CF0TIC/ UC3TIC	CF0TIF/ UC3TIF	CF0TMK/ UC3TMK	0	0	0	CF0TPR2/ UC3TPR2	CF0TPR1/ UC3TPR1	CF0TPR0/ UC3TPR0
FFFFF19AH	CF1RIC/ UC1RIC/ IICIC0	CF1RIF/ UC1RIF/ IICIF0	CF1RMK/ UC1RMK/ IICMK0	0	0	0	CF1RPR2/ UC1RPR2/ IICPR02	CF1RPR1/ UC1RPR1/ IICPR01	CF1RPR0/ UC1RPR0/ IICPR00
FFFFF19CH	CF1TIC/ UC1TIC	CF1TIF/ UC1TIF	CF1TMK/ UC1TMK	0	0	0	CF1TPR2/ UC1TPR2	CF1TPR1/ UC1TPR1	CF1TPR0/ UC1TPR0
FFFFF19EH	CF2RIC/ UC0RIC	CF2RIF/ UC0RIF	CF2RMK/ UC0RMK	0	0	0	CF2RPR2/ UC0RPR2	CF2RPR1/ UC0RPR1	CF2RPR0/ UC0RPR0

表25 - 4 割り込み制御レジスタ (xxICn) (3/4)

アドレス	レジスタ	ビット								
				5	4	3	2	1	0	
FFFFF1A0H	CF2TIC/ UC0TIC	CF2TIF/ UC0TIF	CF2TMK/ UC0TMK	0	0	0	CF2TPR2/ UC0TPR2	CF2TPR1/ UC0TPR1	CF2TPR0/ UC0TPR0	
FFFFF1A2H	CF3RIC/ UB1TIRIC	CF3RIF/ UB1TIRIF	CF3RMK/ UB1TIRMK	0	0	0	CF3RPR2/ UB1TIRPR2	CF3RPR1/ UB1TIRPR1	CF3RPR0/ UB1TIRPR0	
FFFFF1A4H	CF3TIC/ UB1TITIC	CF3TIF/ UB1TITIF	CF3TMK/ UB1TITMK	0	0	0	CF3TPR2/ UB1TITPR2	CF3TPR1/ UB1TITPR1	CF3TPR0/ UB1TITPR0	
FFFFF1A6H	UB1TIFIC	UB1TIFIF	UB1TIFMK	0	0	0	UB1TIFPR2	UB1TIFPR1	UB1TIFPR0	
FFFFF1A8H	UB1TIREIC	UB1TIREIF	UB1TIREMK	0	0	0	UB1TIREPR2	UB1TIREPR1	UB1TIREPR0	
FFFFF1AAH	UB1TITOIC	UB1TITOIF	UB1TITOMK	0	0	0	UB1TITOPR2	UB1TITOPR1	UB1TITOPR0	
FFFFF1ACH	CF4RIC/ UB0TIRIC	CF4RIF/ UB0TIRIF	CF4RMK/ UB0TIRMK	0	0	0	CF4RPR2/ UB0TIRPR2	CF4RPR1/ UB0TIRPR1	CF4RPR0/ UB0TIRPR0	
FFFFF1AEH	CF4TIC/ UB0TITIC	CF4TIF/ UB0TITIF	CF4TMK/ UB0TITMK	0	0	0	CF4TPR2/ UB0TITPR2	CF4TPR1/ UB0TITPR1	CF4TPR0/ UB0TITPR0	
FFFFF1B0H	UB0TIFIC	UB0TIFIF	UB0TIFMK	0	0	0	UB0TIFPR2	UB0TIFPR1	UB0TIFPR0	
FFFFF1B2H	UB0TIREIC	UB0TIREIF	UB0TIREMK	0	0	0	UB0TIREPR2	UB0TIREPR1	UB0TIREPR0	
FFFFF1B4H	UB0TITOIC	UB0TITOIF	UB0TITOMK	0	0	0	UB0TITOPR2	UB0TITOPR1	UB0TITOPR0	
FFFFF1B6H	CF5RIC/ UC6RIC ^注	CF5RIF/ UC6RIF	CF5RMK/ UC6RMK	0	0	0	CF5RPR2/ UC6RPR2	CF5RPR1/ UC6RPR1	CF5RPR0/ UC6RPR0	
FFFFF1B8H	CF5TIC/ UC6TIC ^注	CF5TIF/ UC6TIF	CF5TMK/ UC6TMK	0	0	0	CF5TPR2/ UC6TPR2	CF5TPR1/ UC6TPR1	CF5TPR0/ UC6TPR0	
FFFFF1BAH	CF6RIC/ UC7RIC ^注	CF6RIF/ UC7RIF	CF6RMK/ UC7RMK	0	0	0	CF6RPR2/ UC7RPR2	CF6RPR1/ UC7RPR1	CF6RPR0/ UC7RPR0	
FFFFF1BCH	CF6TIC/ UC7TIC ^注	CF6TIF/ UC7TIF	CF6TMK/ UC7TMK	0	0	0	CF6TPR2/ UC7TPR2	CF6TPR1/ UC7TPR1	CF6TPR0/ UC7TPR0	
FFFFF1BEH	UC2RIC/ IICIC2	UC2RIF/ IICIF2	UC2RMK/ IICMK2	0	0	0	UC2RPR2/ IICPR22	UC2RPR1/ IICPR21	UC2RPR0/ IICPR20	
FFFFF1C0H	UC2TIC	UC2TIF	UC2TMK	0	0	0	UC2TPR2	UC2TPR1	UC2TPR0	
FFFFF1C2H	IICIC4 ^注	IICIF4	IICMK4	0	0	0	IICPR42	IICPR41	IICPR40	
FFFFF1C4H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0	
FFFFF1C6H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00	
FFFFF1C8H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10	
FFFFF1CAH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20	
FFFFF1CCH	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30	
FFFFF1CEH	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0	
FFFFF1D0H	RTC0IC	RTC0IF	RTC0MK	0	0	0	RTC0PR2	RTC0PR1	RTC0PR0	
FFFFF1D2H	RTC1IC	RTC1IF	RTC1MK	0	0	0	RTC1PR2	RTC1PR1	RTC1PR0	
FFFFF1D4H	RTC2IC	RTC2IF	RTC2MK	0	0	0	RTC2PR2	RTC2PR1	RTC2PR0	
FFFFF1D6H	UFIC0	UFIF0	UFMK0	0	0	0	UFPR02	UFPR01	UFPR00	
FFFFF1D8H	UFIC1	UFIF1	UFMK1	0	0	0	UFPR12	UFPR11	UFPR10	
FFFFF1DAH	ETMRXIC	ETMRXIF	ETMRXMK	0	0	0	ETMRXPR2	ETMRXPR1	ETMRXPR0	
FFFFF1DCH	ETMTXIC	ETMTXIF	ETMTXMK	0	0	0	ETMTXPR2	ETMTXPR1	ETMTXPR0	
FFFFF1DEH	ETMRQIC	ETMRQIF	ETMRQMK	0	0	0	ETMRQPR2	ETMRQPR1	ETMRQPR0	

注1. V850ES/JJ3-Eのみ

表25 - 4 割り込み制御レジスタ (xxICn) (4/4)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF1E0H	ETMFSIC	ETMFSIF	ETMFSMK	0	0	0	ETMFSPR2	ETMFSPR1	ETMFSPR0
FFFFFF1E2H	ETMTSIC	ETMTSIF	ETMTSMK	0	0	0	ETMTSPR2	ETMTSPR1	ETMTSPR0
FFFFFF1E4H	ETMRSIC	ETMRSIF	ETMRSMK	0	0	0	ETMRSPR2	ETMRSPR1	ETMRSPR0
FFFFFF1E6H	ETMOVIC	ETMOVIF	ETMOVMSK	0	0	0	ETMOVPR2	ETMOVPR1	ETMOVPR0
FFFFFF1E8H	ETBERIC	ETBERIF	ETBERMSK	0	0	0	ETBERPR2	ETBERPR1	ETBERPR0
FFFFFF1ECH	ERRIC0 ^注	ERRIF0	ERRMK0	0	0	0	ERRPR02	ERRPR01	ERRPR00
FFFFFF1EEH	WUPIC0 ^注	WUPIF0	WUPMK0	0	0	0	WUPPR02	WUPPR01	WUPPR00
FFFFFF1F0H	RECIC0 ^注	RECIF0	RECMK0	0	0	0	RECPR02	RECPR01	RECPR00
FFFFFF1F2H	TRXIC0 ^注	TRXIF0	TRXMK0	0	0	0	TRXPR02	TRXPR01	TRXPR00

注 μ PD70F3783, 70F3786のみ

25.3.5 割り込みマスク・レジスタ0-7 (IMR0-IMR7)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR7レジスタのxxMKnビットとxxlCn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です (m = 0-7)。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxlCn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxlCnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

(1/2)

リセット時 : 1FH R/W アドレス : FFFFF10EH

	7	6	5	4	3	2	1	0
IMR7L	0	0	0	1	1	1	TRXMK0 ^{注1}	RECMK0 ^{注1}

リセット時 : FFFFH R/W アドレス : IMR6 FFFFF10CH,
IMR6L FFFFF10CH, IMR6H FFFFF10DH

	15	14	13	12	11	10	9	8
IMR6 (IMR6H ^{注2})	WUPMK0 ^{注1}	ERRMK0 ^{注1}	ETPHYMK	ETBERMK	ETMOVmk	ETMRSMK	ETMTSMK	ETMFSMK
	7	6	5	4	3	2	1	0
IMR6L	ETMRQMK	ETMTXMK	ETMRXMK	UFMK1	UFMK0	RTC2MK	RTC1MK	RTC0MK

リセット時 : FFFFH R/W アドレス : IMR5 FFFFF10AH,
IMR5L FFFFF10AH, IMR5H FFFFF10BH

	15	14	13	12	11	10	9	8
IMR5 (IMR5H ^{注2})	KRMK	DMAMK3	DMAMK2	DMAMK1	DMAMK0	ADMK	IICMK4 ^{注3}	UC2TMK
	7	6	5	4	3	2	1	0
IMR5L	UC2RMK/ IICMK2	CF6TMK/ UC7TMK ^{注3}	CF6RMK/ UC7RMK ^{注3}	CF5TMK/ UC6TMK ^{注3}	CF5RMK/ UC6RMK ^{注3}	UB0TITOMK	UB0TIREMK	UB0TIFMK

リセット時 : FFFFH R/W アドレス : IMR4 FFFFF108H,
IMR4L FFFFF108H, IMR4H FFFFF109H

	15	14	13	12	11	10	9	8
IMR4 (IMR4H ^{注2})	CF4TMK/ UB0TITMK	CF4RMK/ UB0TIRMK	UB1TITOMK	UB1TIREMK	UB1TIFMK	CF3TMK/ UB1TITMK	CF3RMK/ UB1TIRMK	CF2TMK/ UC0TMK
	7	6	5	4	3	2	1	0
IMR4L	CF2RMK/ UC0RMK	CF1TMK/ UC1TMK	CF1RMK/ UC1RMK/ IICMK0	CF0TMK/ UC3TMK	CF0RMK/ UC3RMK/ IICMK1	CE1TIOFMK/ UC5TMK	CE1TMK/ UC5RMK/ IICMK3	CE0TIOFMK/ UC4TMK

注1. μ PD70F3783, 70F3786のみ

- IMR6-IMR4レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR6H-IMR4Hレジスタのビット0-7として指定してください。
- V850ES/JJ3-Eのみ

注意1. IMR7レジスタのビット7-5には0を、ビット4-2には1を設定してください。変更した場合の動作は保証できません。

- IMR7レジスタは、16ビット単位でリード/ライトしないでください。

備考 xx : 各周辺ユニット識別名称 (表25 - 4 割り込み制御レジスタ (xxlCn) 参照)

n : 周辺ユニット番号 (表25 - 4 割り込み制御レジスタ (xxlCn) 参照)

リセット時 : FFFFH R/W アドレス : IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^{注1})	CE0TMK/ UC4RMK	TM3EQMK0	TM2EQMK0	TM1EQMK0	TM0EQMK0	TAA5CCMK1	TAA5CCMK0	AA5OVMK
	7	6	5	4	3	2	1	0
IMR3L	TAA4CCMK1	TAA4CCMK0	TAA4OVMK	TAA3CCMK1	TAA3CCMK0	TAA3OVMK	TAA2CCMK1	TAA2CCMK0

リセット時 : FFFFH R/W アドレス : IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^{注1})	TAA2OVMK	TAA1CCMK1	TAA1CCMK0	TAA1OVMK	TAA0CCMK1	TAA0CCMK0	TAA0OVMK	TT0IECMK
	7	6	5	4	3	2	1	0
IMR2L	TT0CCMK1	TT0CCMK0	TT0OVMK	TAB1CCMK3	TAB1CCMK2	TAB1CCMK1	TAB1CCMK0	TAB1OVMK

リセット時 : FFFFH R/W アドレス : IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^{注1})	TAB0CCMK3	TAB0CCMK2	TAB0CCMK1	TAB0CCMK0	TAB0OVMK	PMK25 ^{注2}	PMK24 ^{注2}	PMK23 ^{注2}
	7	6	5	4	3	2	1	0
IMR1L	PMK22 ^{注2}	PMK21 ^{注2}	PMK20	PMK19	PMK18	PMK17	PMK16	PMK15

リセット時 : FFFFH R/W アドレス : IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^{注1})	PMK14	PMK13	PMK12	PMK11	PMK10	PMK09	PMK08	PMK07
	7	6	5	4	3	2	1	0
IMR0L	PMK06	PMK05	PMK04	PMK03	PMK02	PMK01	PMK00	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注1. IMR0-IMR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hレジスタのビット0-7として指定してください。

2. V850ES/JJ3-Eのみ

備考 xx : 各周辺ユニット識別名称 (表25 - 4 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表25 - 4 割り込み制御レジスタ (xxICn) 参照)

25.3.6 インサース・プライオリティ・レジスタ (ISPR)

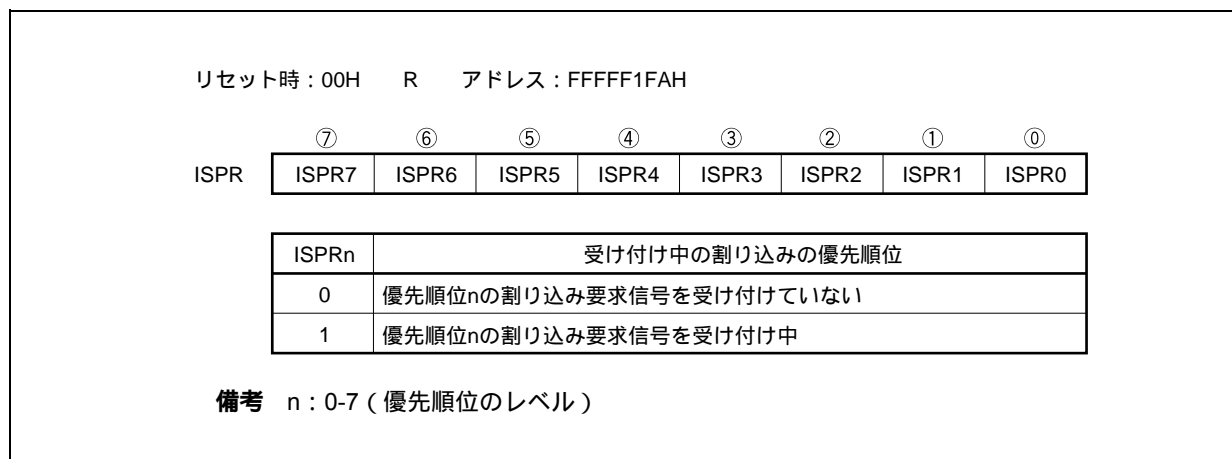
受け付け中のマスクブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスクブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。



25.3.7 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可 / 禁止制御情報を記憶します。

割り込み禁止フラグ (ID) は、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0		
PSW	0					NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクブル割り込み処理の指定 ^注
0	マスクブル割り込み要求信号の受け付けを許可
1	マスクブル割り込み要求信号の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1)、EI命令でクリア (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスクブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

25.3.8 ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

8ビット単位でリード/ライト可能です (詳細は第13章 ウォッチドッグ・タイマ2機能参照)。

リセットにより67Hになります。

リセット時 : 67H R/W アドレス : FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	0	0	0	0	0

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスクブル割り込み要求モード
1	x	リセット・モード (初期値)

25.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

25.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

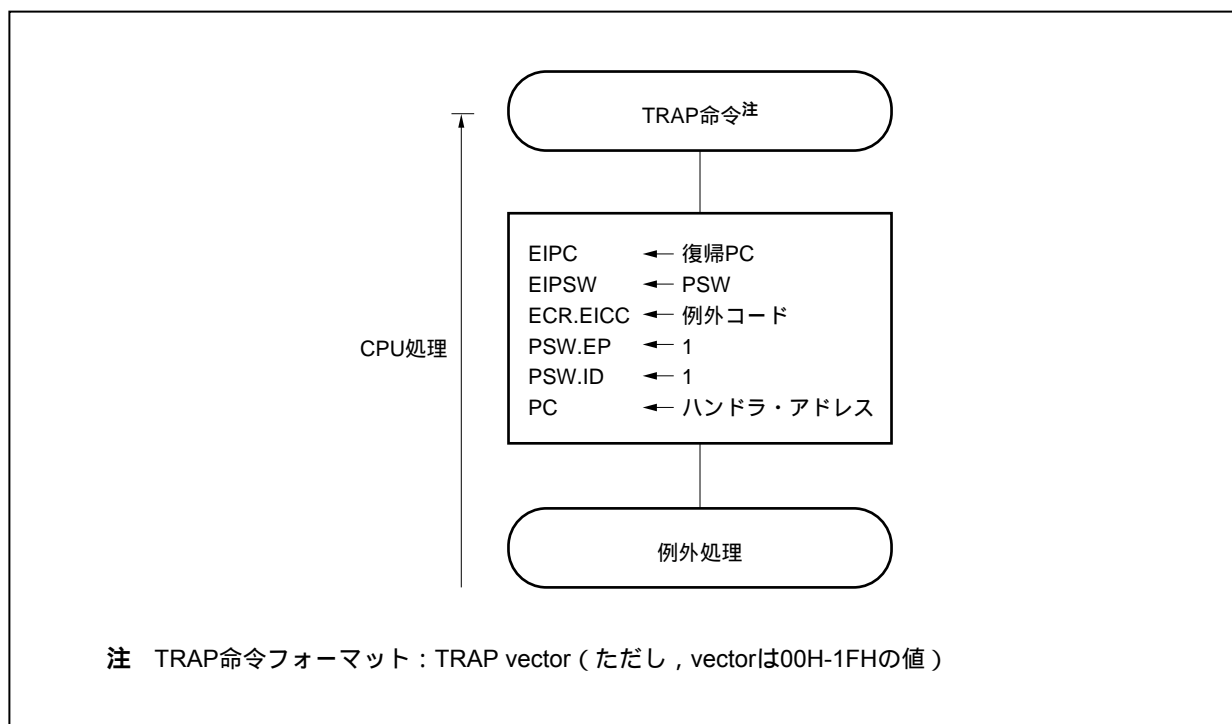
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を次に示します。

図25 - 9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

25.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

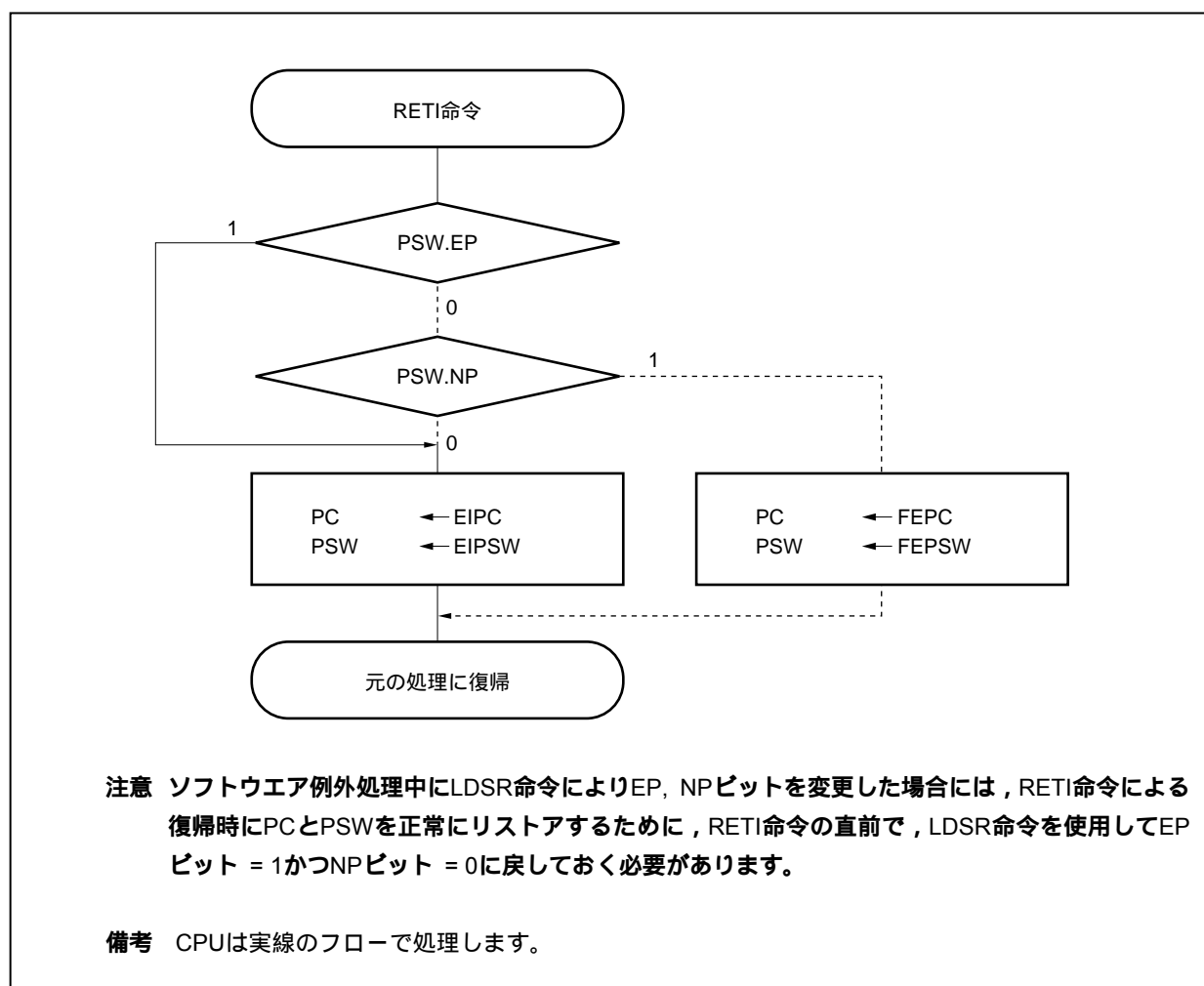
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図25 - 10 RETI命令の処理形態



25.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

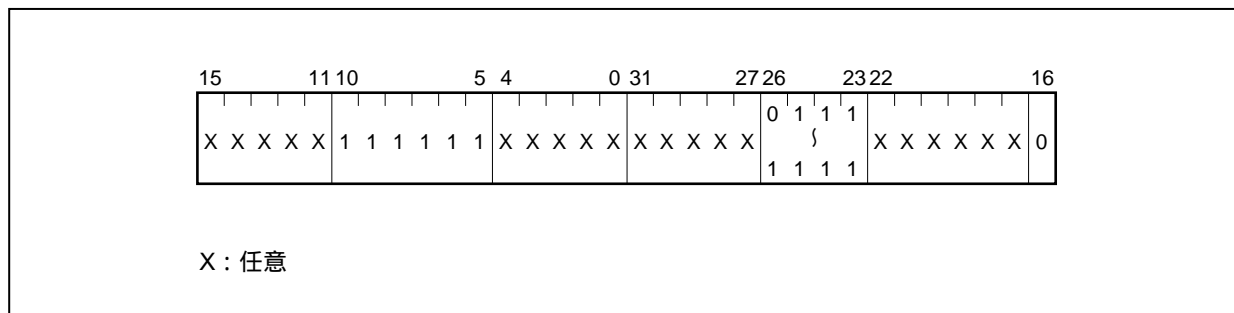
リセット時：00000020H															
	31						8	7	6	5	4	3	2	1	0
PSW	0							NP	EP	ID	SAT	CY	OV	S	Z
	EP	例外処理状態													
	0	例外処理中でない													
	1	例外処理中													

25.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/JH3-E, V850ES/JJ3-E では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

25.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

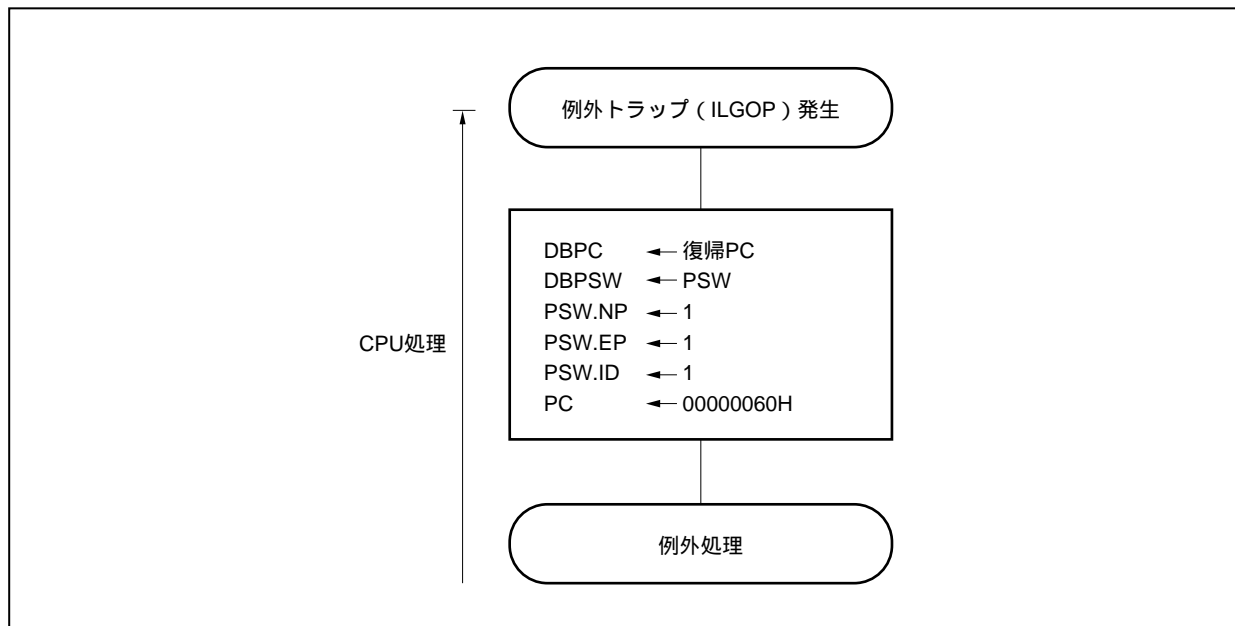
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図25 - 11 例外トラップの処理形態

**(2) 復 帰**

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

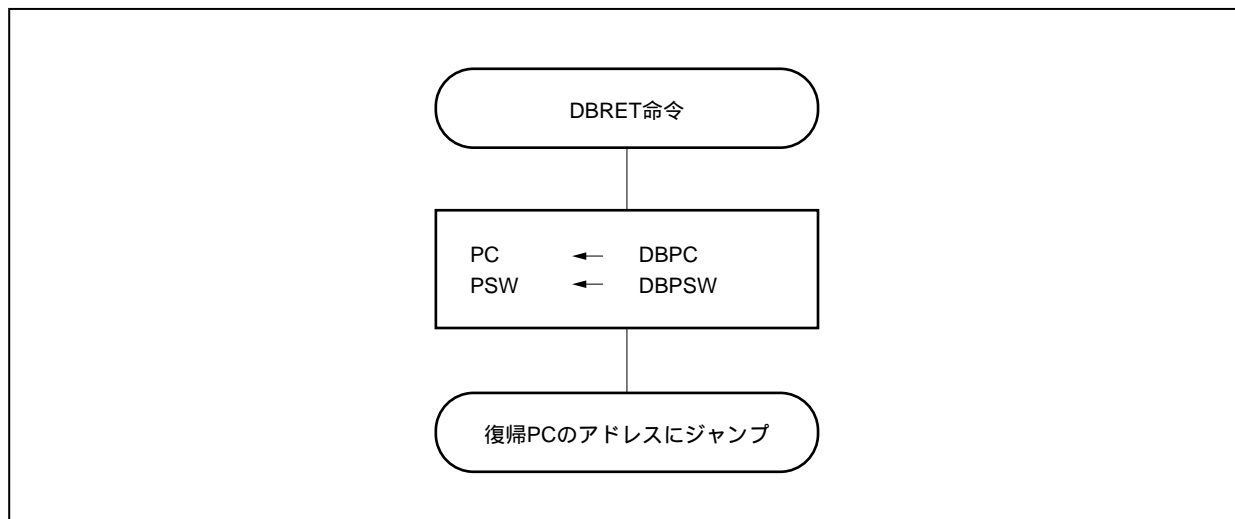
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

例外トラップからの復帰の処理形態を次に示します。

図25 - 12 例外トラップからの復帰の処理形態



25. 5. 2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

(1) 動作

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

復帰PCをDBPCに退避します。

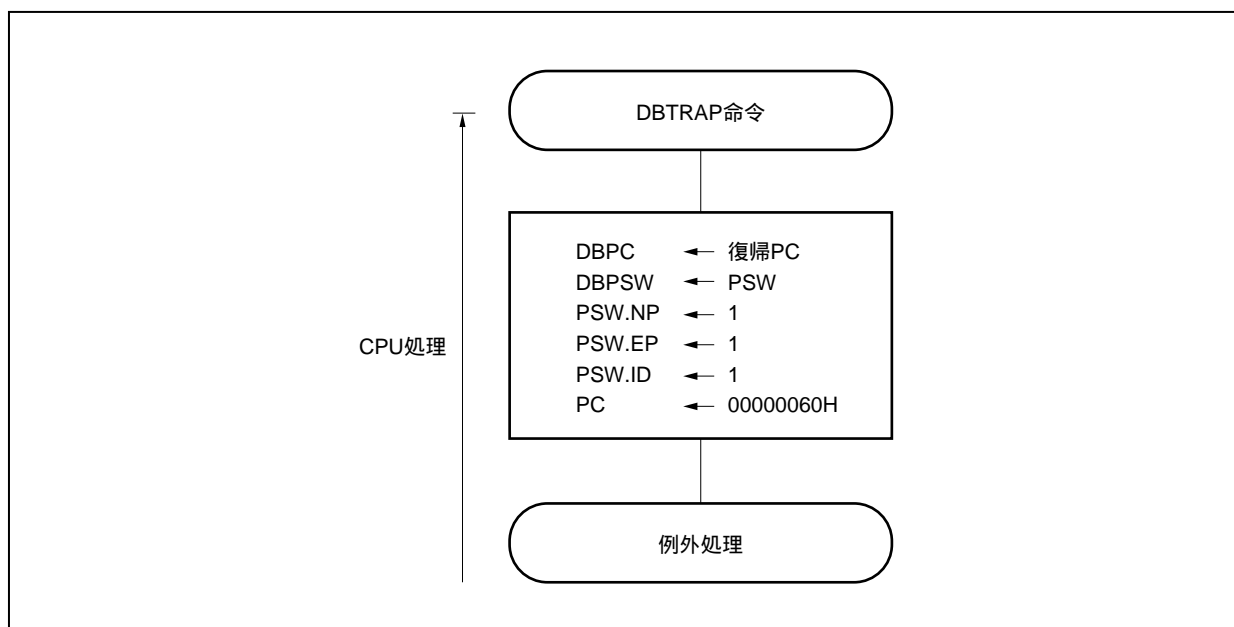
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図25 - 13 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

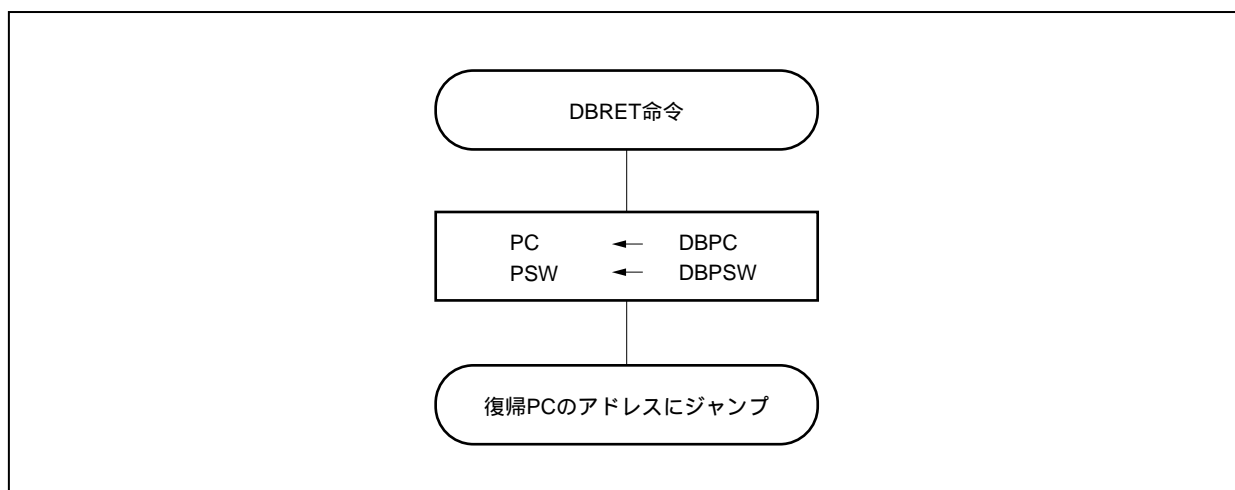
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

デバッグ・トラップからの復帰の処理形態を次に示します。

図25 - 14 デバッグ・トラップからの復帰の処理形態



25. 6 外部割り込み要求入力端子 (NMI, INTP00-INTP25)

25. 6. 1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP00-INTP25端子のノイズ除去

INTP00-INTP25端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(3) INTP02端子のノイズ除去

INTP02端子はアナログ・ディレイによるノイズ除去回路とデジタルによるノイズ除去回路を内蔵しており、ノイズ除去制御レジスタ (INTNFC) によって、どちらかを選択することが可能です (25. 6. 2 (7) 参照)。

25. 6. 2 エッジ検出

NMI, INTP00-INTP25端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求信号を受け付けません (通常ポートとして機能します)。

備考 INTP21-INTP25 : V850ES/JJ3-Eのみ

(1) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ0 (INTF0, INTR0)

ビット2でNMI端子, ビット3で外部割り込み端子 (INTP00) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

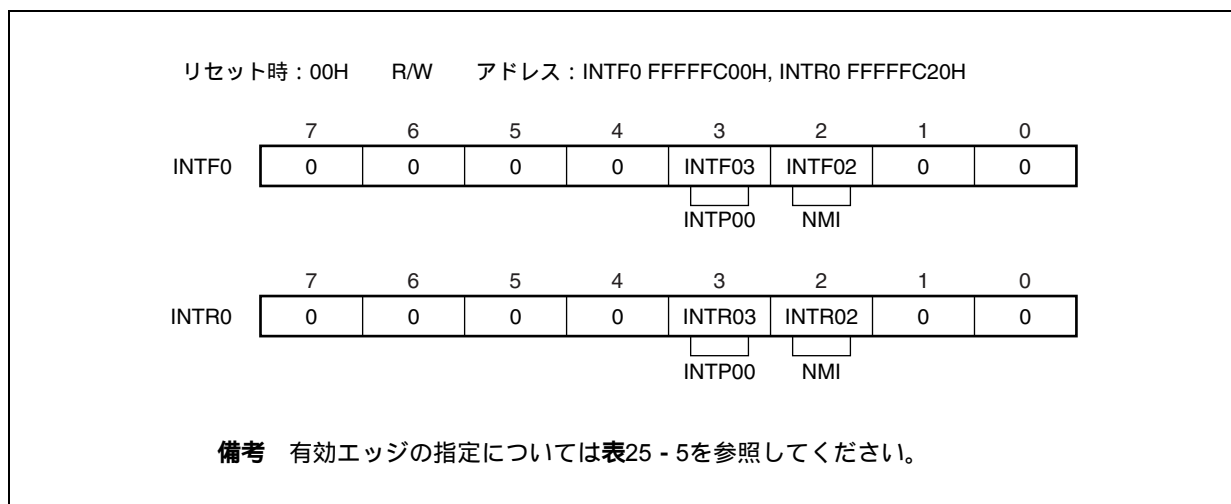


表25 - 5 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2, 3)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 NMI, INTP00端子として使用しない場合, 必ずINTF0n, INTR0nビット = 00に設定してください。

備考 n = 2 : NMI端子の制御
n = 3 : INTP00端子の制御

(2) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ2 (INTF2, INTR2)

ビット0, 2-4, 6, 7で外部割り込み端子 (INTP01-INTP05, INTP21) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF2n, INTR2nビット = 00に設定したあとにポート・モードに設定してください。

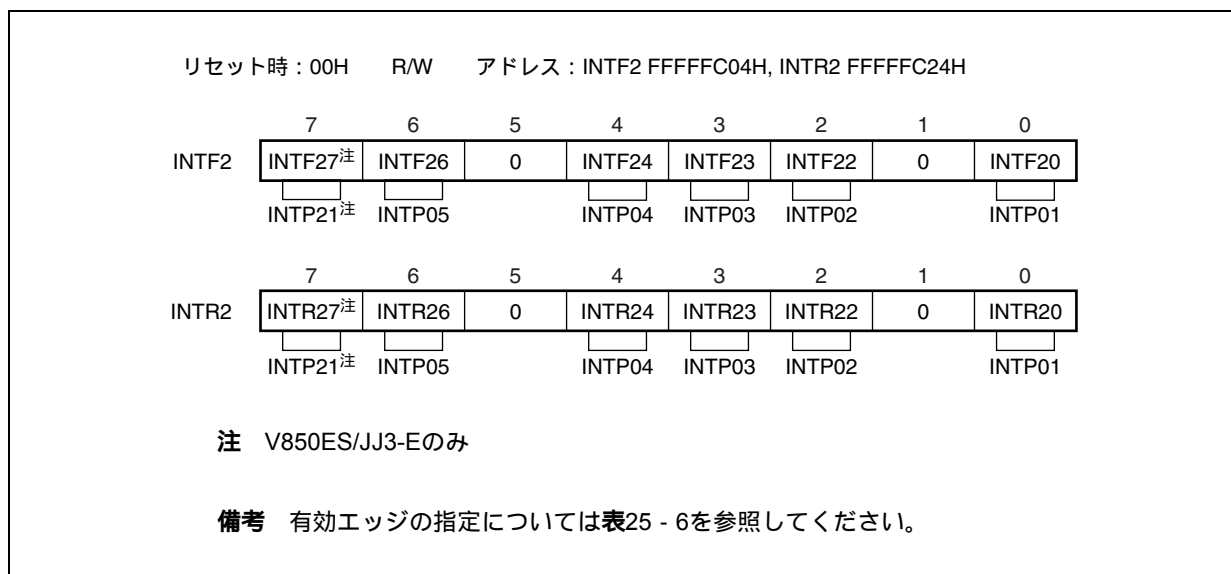


表25 - 6 有効エッジの指定

INTF2n	INTR2n	有効エッジの指定 (n = 0, 2-4, 6, 7)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP01-INTP05, INTP21端子として使用しない場合, 必ずINTF2n, INTR2nビット = 00に設定してください。

備考 n = 0 : INTP01端子の制御
n = 2-4 : INTP02-INTP04端子の制御
n = 6 : INTP05端子の制御
n = 7 : INTP21端子の制御

(3) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ3 (INTF3, INTR3)

ビット5で外部割り込み端子 (INTP06) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF35, INTR35ビット = 00に設定したあとにポート・モードに設定してください。

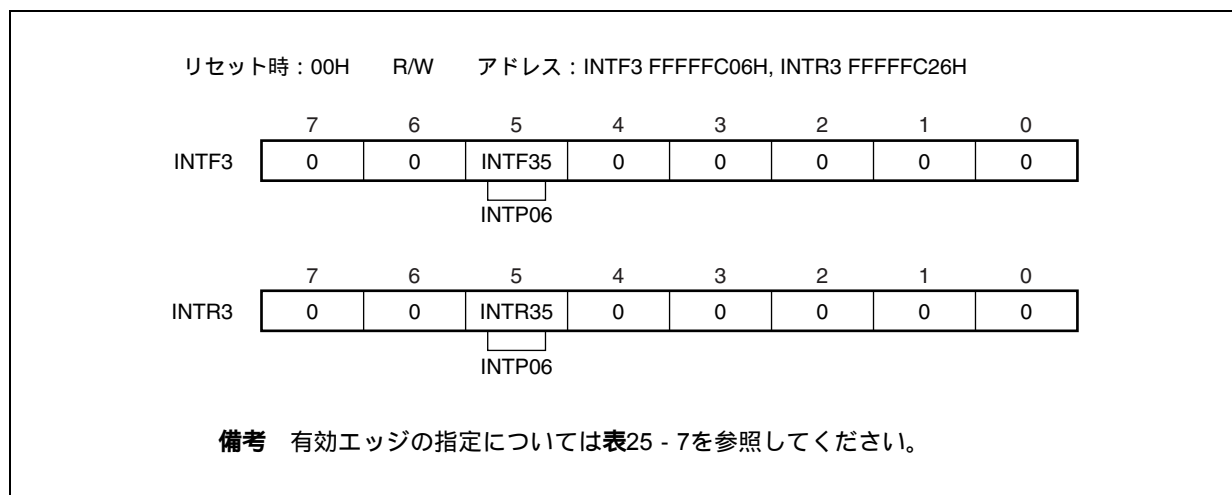


表25 - 7 有効エッジの指定

INTF35	INTR35	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP06端子として使用しない場合, 必ずINTF35, INTR35ビット = 00に設定してください。

(4) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ4 (INTF4, INTR4) (V850ES/JJ3-Eのみ)

ビット0で外部割り込み端子 (INTP22) の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF48, INTR48ビット = 00に設定したあとにポート・モードに設定してください。

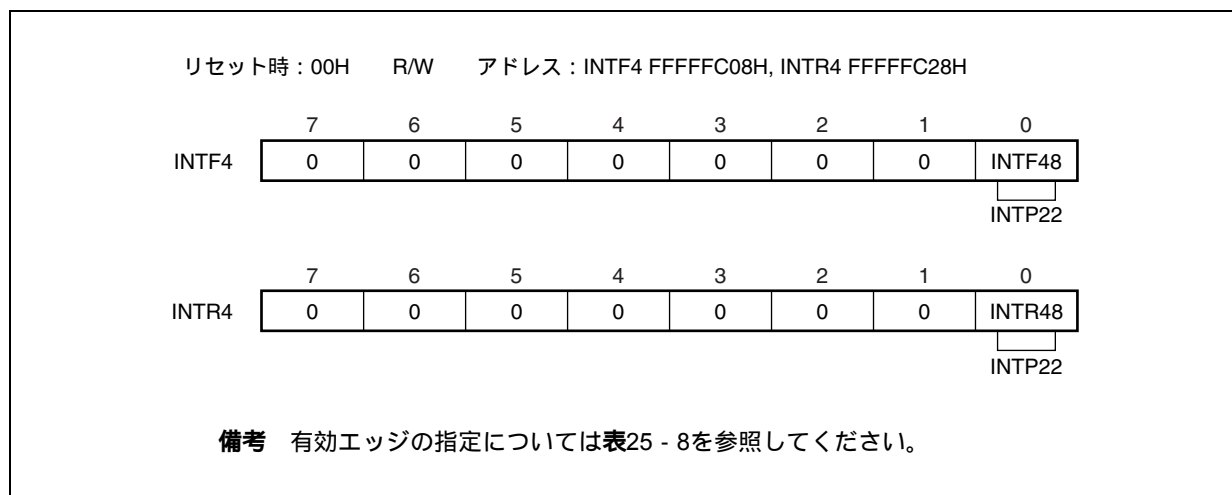


表25 - 8 有効エッジの指定

INTF48	INTR48	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP22端子として使用しない場合，必ずINTF48, INTR48ビット = 00に設定してください。

(5) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ5 (INTF5, INTR5)

ビット0-6, 9で外部割り込み端子 (INTP07-INTP11, INTP23-INTP25) の立ち下がり, 立ち上がりエッジ検出を指定する16/8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより0000H/00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF5n, INTR5nビット = 00に設定したあとにポート・モードに設定してください。

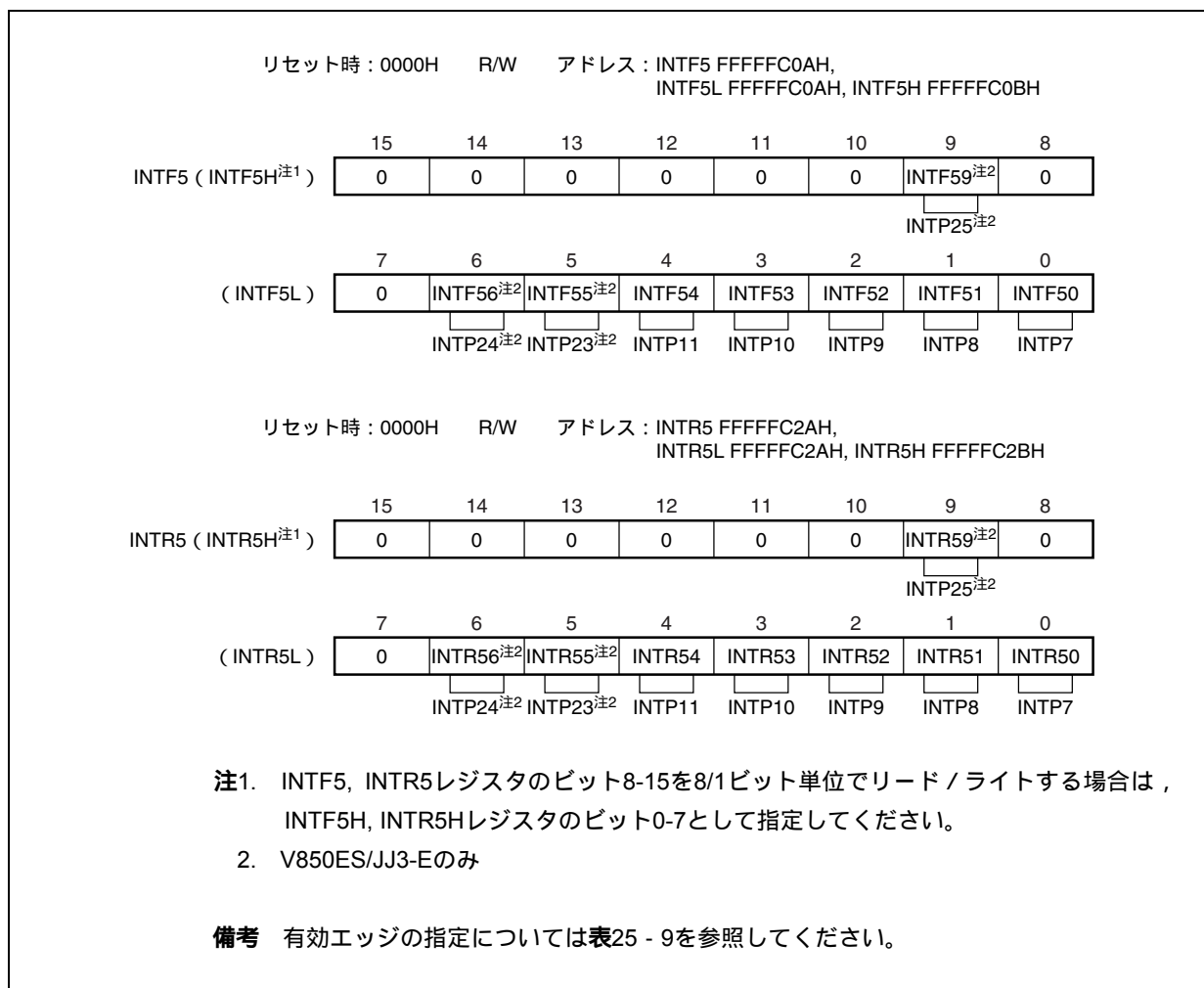


表25 - 9 有効エッジの指定

INTF5n	INTR5n	有効エッジの指定 (n=0-6,9)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP07-INTP11, INTP23-INTP25端子として使用しない場合, 必ずINTF5n, INTR5nビット = 00に設定してください。

備考 n = 0-6 : INTP07-INTP11, INTP23, INTP24端子の制御
n = 9 : INTP25端子の制御

(6) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ9 (INTF9, INTR9)

ビット0,2-5,8,12-14で外部割り込み端子 (INTP12-INTP20) の立ち下がり, 立ち上がりエッジ検出を指定する16/8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより0000H/00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。

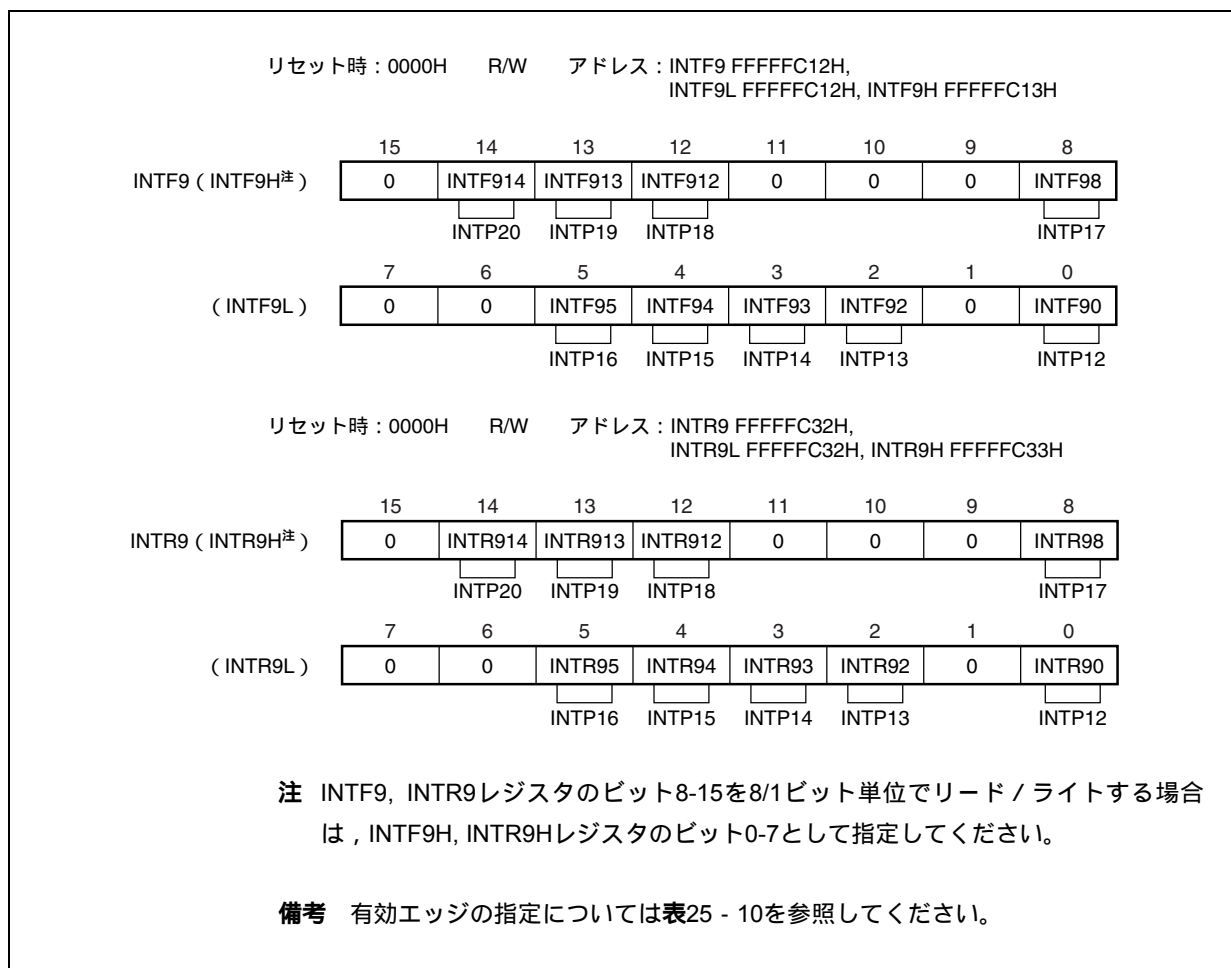


表25 - 10 有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 0,2-5,8,12-14)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP12-INTP20端子として使用しない場合, 必ずINTF9n, INTR9nビット = 00に設定してください。

備考 n = 0, 2-5, 8, 12-14 : INTP12-INTP20端子の制御

(7) ノイズ除去制御レジスタ (INTNFC)

INTP02端子はアナログ・ノイズ除去とデジタル・ノイズ除去を選択することが可能で、INTNFCレジスタにてノイズ除去の設定を選択します。

アナログ・ノイズ除去を選択した場合、端子への入力レベルを一定時間維持することで、エッジとして検出します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 $f_{xx}/64$ 、 $f_{xx}/128$ 、 $f_{xx}/256$ 、 $f_{xx}/512$ 、 $f_{xx}/1024$ 、 f_{XT} の中から選択できます。なおサンプリングの回数は3回です。

デジタル・ノイズ除去を選択した場合でも、サンプリング・クロックに f_{XT} を使用すると、IDLE1/IDLE2/STOPモードの解除にINTP02の割り込み要求信号を使用できます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×3クロックの時間がかかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に、INTP02の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点に注意してください。

- ・割り込み機能使用時は、サンプリング・クロック×3クロック経過後、割り込み要求フラグ (PIC2.PIF2ビット) をクリアしてから割り込みを許可してください。
- ・DMA機能使用時 (INTP02で起動) は、サンプリング・クロック×3クロック経過後、DMAを許可してください。

リセット時 : 00H R/W アドレス : FFFFF5B0H

	⑦	6	5	4	3	2	1	0
INTNFC	INTNFEN	0	0	0	0	INTNFC2	INTNFC1	INTNFC0

INTNFEN	INTP02端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う (60 ns (TYP.))
1	デジタル・ノイズ除去を行う

INTNFC2	INTNFC1	INTNFC0	デジタル・サンプリングを行うクロック
0	0	0	$f_{xx}/64$
0	0	1	$f_{xx}/128$
0	1	0	$f_{xx}/256$
0	1	1	$f_{xx}/512$
1	0	0	$f_{xx}/1024$
1	0	1	f_{XT} (サブクロック)
その他			設定禁止

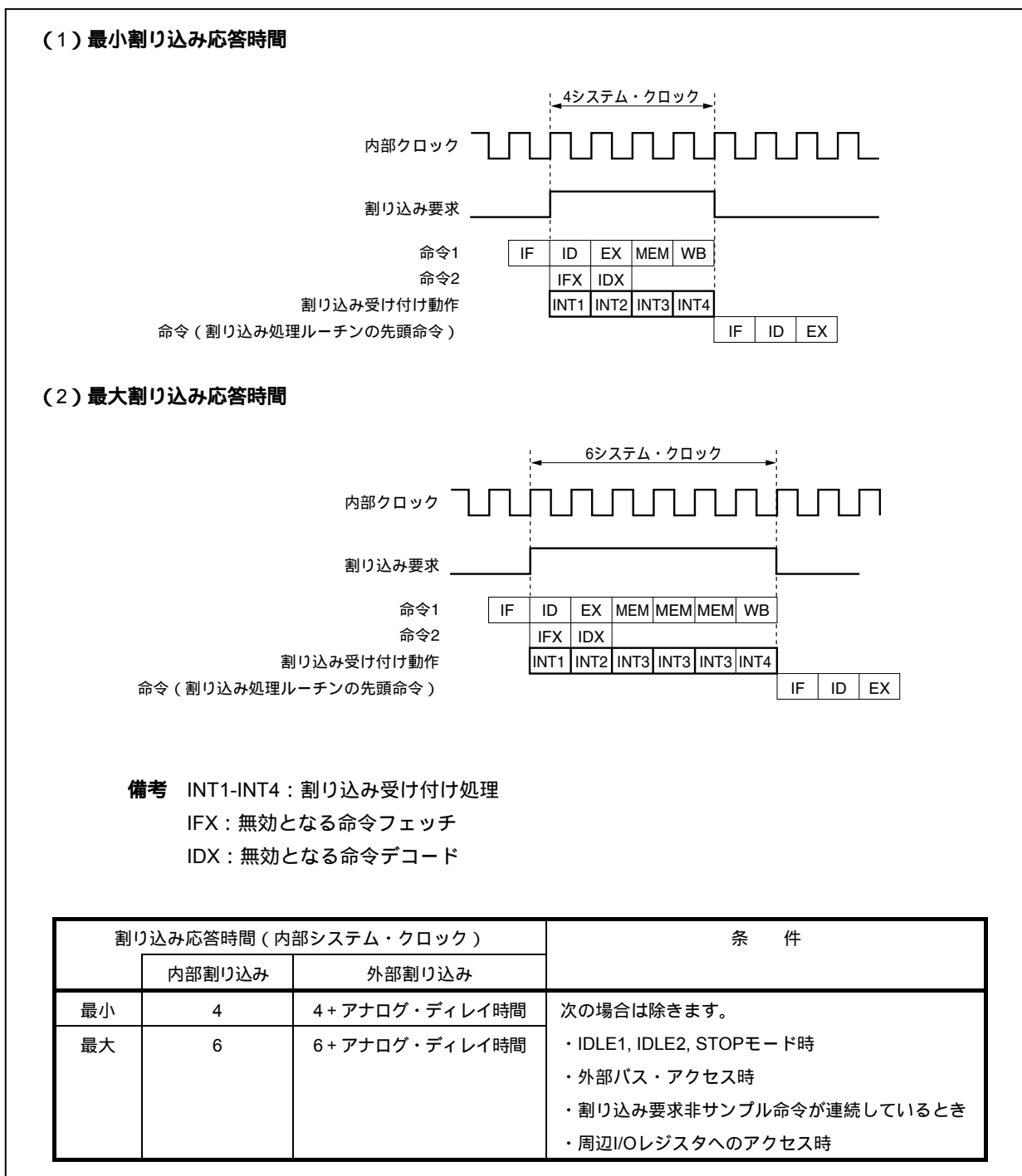
- 備考1. 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック×2となります。
2. サンプリング・クロック×2より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

25.7 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE1/IDLE2/STOPモード時
- ・ 外部バス・アクセス時
- ・ 割り込み要求非サンプル命令（25.8 CPUが割り込みを受け付けられない期間参照）が連続しているとき
- ・ 割り込み制御レジスタへのアクセス時

図25 - 15 割り込み要求信号受け付け時のパイプライン動作例（概略）



25.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ PRCMDレジスタに対するストア命令
- ・ 次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
 - ・ 割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxlCn）, 割り込みマスク・レジスタ0-7（IMR0-IMR7）
 - ・ パワー・セーブ・コントロール・レジスタ（PSC）
 - ・ オンチップ・デバッグ・モード・レジスタ（OCDM）

備考 xx：各周辺ユニット識別名称（表25 - 4 割り込み制御レジスタ（xxlCn）参照）

n：周辺ユニット番号（表25 - 4 割り込み制御レジスタ（xxlCn）参照）

25.9 注意事項

NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。

第26章 キー割り込み機能

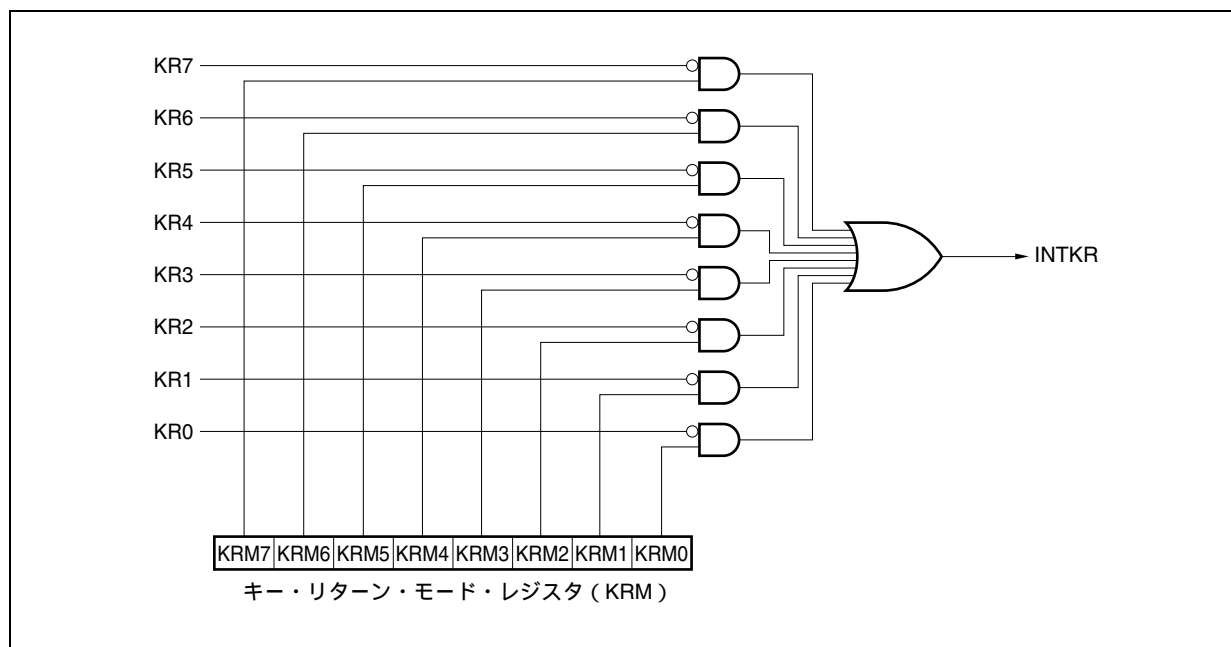
26.1 機 能

KRMレジスタの設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

表26 - 1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図26 - 1 キー・リターンのブロック図



26.2 レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。

備考 兼用端子の設定は表4-18 ポート端子を兼用端子として使用する場合を参照してください。

26.3 注意事項

- (1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。
- (2) KRMレジスタを変更すると、割り込み要求信号 (INTKR) が発生する場合があります。したがって、あらかじめ割り込みを禁止 (DI) またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ (KRIC.KRIFビット) をクリア (0) してから、割り込みを許可 (EI) またはマスク解除してください。
- (3) キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第27章 スタンバイ機能

27.1 概 要

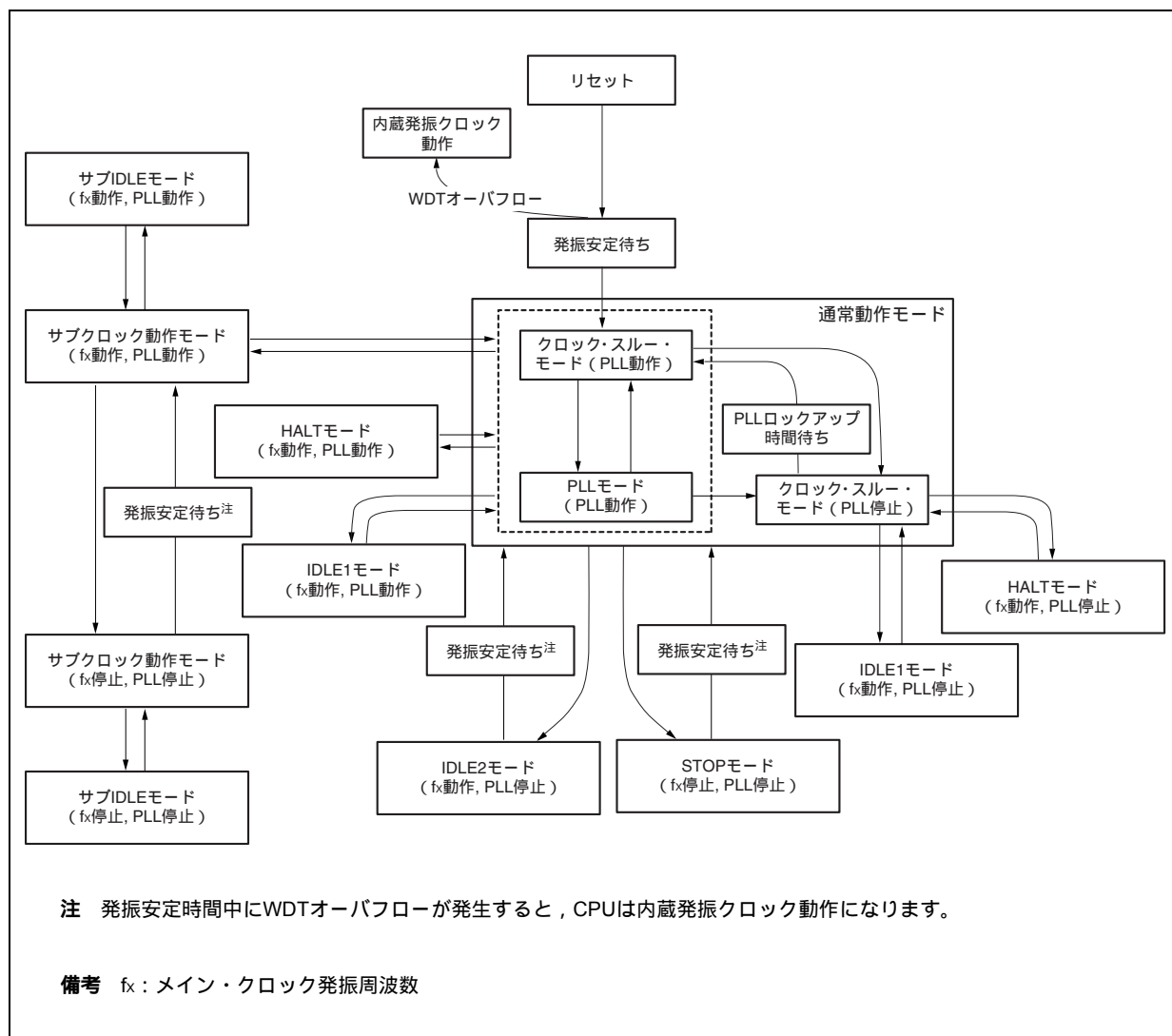
各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表27 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLE1モード	発振回路, PLL動作 ^注 , フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード
IDLE2モード	発振回路以外の内部回路の動作をすべて停止させるモード
STOPモード	サブクロック発振回路以外の内部回路の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時, 発振回路以外の内部回路の動作をすべて停止させるモード

注 PLLは前の動作状態を保持します。

図27 - 1 状態遷移図



27.2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができません (3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	⑥	⑤	④	3	2	①	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード注の設定
0	通常モード
1	スタンバイ・モード

注 STPビットにおけるスタンバイ・モード : IDLE1, IDLE2, STOP, サブIDLEモード

- 注意1. IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは, PSMR.PSM1, PSM0ビットを設定してから, STPビットを設定してください。
2. NMI1M, NMI0M, INTMビットの設定は, HALTモード解除時は無効です。
3. NMI1M, NMI0M, INTMビットと, STPビットを同時にセット(1)した場合, NMI1M, NMI0M, INTMビットの設定は無効になります。したがって, IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は, その割り込み要求信号に対するビット(NMI1M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	①	②
PSMR	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	0	IDLE1, サブIDLEモード
0	1	STOPモード
1	0	IDLE2, サブIDLEモード
1	1	STOPモード

注意1. ビット2-7には、必ず0を設定してください。

2. PSM0, PSM1ビットは、PSC.STPビット = 1のときのみ有効です。

備考	IDLE1	: 発振回路と一部の回路 (フラッシュ・メモリ, PLL) 以外の動作を停止するモードです。 IDLE1モード解除後, HALTモードと同様に発振安定時間を確保する必要なく, 通常モードに復帰します。
	IDLE2	: 発振回路以外の動作を停止するモードです。 IDLE2モード解除後, OSTSレジスタで指定したセットアップ時間 (フラッシュ・メモリ, PLL) を確保したあと, 通常モードに復帰します。
	STOP	: サブクロック発振回路以外の動作を停止するモードです。 STOPモード解除後, OSTSレジスタで指定した発振安定時間を確保したあと, 通常モードに復帰します。
	サブIDLE	: サブクロック動作モード時, 発振回路以外の動作を停止するモードです。 割り込み要求信号によるサブIDLEモードの解除後, サブクロックの12周期分の時間を確保したあと, サブクロック動作モードに復帰します。

(3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間や、IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのウェイト時間は、OSTSレジスタで制御します。

OSTSレジスタは、8ビット単位でリード/ライト可能です。

リセットにより06Hになります。

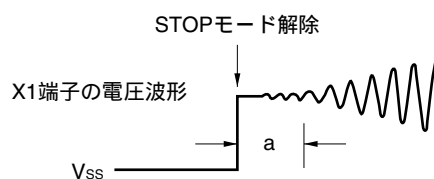
リセット時：06H R/W アドレス：FFFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間 / セットアップ時間の選択 ^注	fx	
				6 MHz	6.25 MHz
				0	0
0	0	1	$2^{11}/f_x$	0.341 ms	0.328 ms
0	1	0	$2^{12}/f_x$	0.683 ms	0.655 ms
0	1	1	$2^{13}/f_x$	1.365 ms	1.311 ms
1	0	0	$2^{14}/f_x$	2.731 ms	2.621 ms
1	0	1	$2^{15}/f_x$	5.461 ms	5.243 ms
1	1	0	$2^{16}/f_x$	10.92 ms	10.49 ms
1	1	1	設定禁止		

注 発振安定時間はSTOPモードの解除時に、セットアップ時間はIDLE2モード解除時に必要になります。

注意1. STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



- ビット7-3には必ず“0”を設定してください。
- リセット解除後の発振安定時間は、 $2^{16}/f_x$ (OSTSレジスタの初期値 = 06Hのため)となります。

備考 f_x = メイン・クロック発振周波数

27.3 HALTモード

27.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表27-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

27.3.2 HALTモードの解除

HALTモードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTPn端子入力）、HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

備考 n = 00-20 : V850ES/JH3-E

n = 00-25 : V850ES/JJ3-E

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表27-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表27 - 3 HALTモード時の動作状態

項 目	HALTモードの設定		動作状態	
			サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路 (fx)			発振可能	
サブクロック発振回路 (fxT)			-	発振可能
内蔵発振回路 (fr)			発振可能	
PLL			動作可能	
CPU			動作停止	
DMAコントローラ			動作可能	
割り込みコントローラ			動作可能	
タイマ	TAA0-TAA5		動作可能	
	TAB0, TAB1		動作可能	
	TMM0-TMM3		カウント・クロックにfxT以外を選択時に	動作可能
			動作可能	
TMT0		動作可能		
リアルタイム・カウンタ (RTC)			カウント・クロックにfx (BRG分周) を選 択時に動作可能	動作可能
ウォッチドッグ・タイマ (WDT2)			カウント・クロックにfxT以外を選択時に	動作可能
			動作可能	
シリアル・インタ フェース	CSIFn		動作可能 (n = 0-4 : V850ES/JH3-E, n = 0-6 : V850ES/JJ3-E)	
	CSIE0, CSIE1		動作可能	
	I ² C0m		動作可能 (m = 0-3 : V850ES/JH3-E, m = 0-4 : V850ES/JJ3-E)	
	UARTCx		動作可能 (x = 0-5 : V850ES/JH3-E, x = 0-7 : V850ES/JJ3-E)	
	UARTB0, UARTB1		動作可能	
A/Dコンバータ			動作可能	
リアルタイム出力機能 (RTO)			動作可能	
キー割り込み機能 (KR)			動作可能	
CRC演算回路			動作可能 (ただしCPU停止のためCRCINレジスタへのデータ入力がない状態)	
外部バス・インタフェース			第5章 バス制御機能参照	
ポート機能			HALTモード設定前の状態を保持	
内部データ			CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモ ード設定前の状態を保持	
CAN ^注			動作可能	
USBファンクション			動作可能	
イーサネット・コントローラ			動作可能	

注 μPD70F3783, 70F3786のみ

27.4 IDLE1モード

27.4.1 設定および動作状態

通常動作モード時，PSMR.PSM1, PSM0ビットを“00”に設定し，PSC.STPビットを“1”に設定することにより，IDLE1モードに設定されます。

IDLE1モードに設定すると，クロック発振回路，PLL動作，フラッシュ・メモリは動作を継続しますが，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また，CPUや，そのほかの内蔵周辺機能は動作を停止します。ただし，サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表27-5にIDLE1モード時の動作状態を示します。

IDLE1モードは，内蔵周辺機能の動作が停止するので，HALTモードよりさらに低消費電力を実現できます。また，メイン・クロック発振回路は停止しないので，IDLE1モード解除時，HALTモードと同様に発振安定時間を確保することなく，通常動作モードに復帰できます。

- 注意1. IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合，保留されている割り込み要求によりIDLE1モードはすぐに解除されます。

27.4.2 IDLE1モードの解除

IDLE1モードは、ノンマスクブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTPn端子入力）、IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により、通常動作モードに移行します。

(1) ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号

ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクブル割り込み要求信号を含む）が発生すると、IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE1モードは解除されません。

備考 n = 00-20 : V850ES/JH3-E
n = 00-25 : V850ES/JJ3-E

表27-4 割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクブル割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐	
マスクブル割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐、または次の命令を実行	所定のセットアップ時間確保後、次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表27-5 IDLE1モード時の動作状態

項目		IDLE1モードの設定		動作状態	
				サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路 (fx)		発振可能			
サブクロック発振回路 (fxT)				-	発振可能
内蔵発振回路 (fR)		発振可能			
PLL		動作可能			
CPU		動作停止			
DMAコントローラ		動作停止			
割り込みコントローラ		動作停止 (ただし, スタンバイ・モードは解除可能)			
タイマ	TAA0-TAA5	動作停止			
	TAB0, TAB1	動作停止			
	TMM0-TMM3	カウント・クロックにfR/8を選択時に動作可能	カウント・クロックにfR/8またはfxTを選択時に動作可能		
	TMT0	動作停止			
リアルタイム・カウンタ (RTC)		カウント・クロックにfx (BRG分周) を選択時に動作可能		動作可能	
ウォッチドッグ・タイマ (WDT2)		カウント・クロックにfRを選択時に動作可能		カウント・クロックにfRまたはfxTを選択時に動作可能	
シリアル・インタフェース	CSIFn	カウント・クロックにSCKFn入力クロック選択時に動作可能 (n = 0-4 : V850ES/JH3-E, n = 0-6 : V850ES/JJ3-E)			
	CSIE0, CSIE1	カウント・クロックにSCKE0, SCKE1入力クロック選択時に動作可能			
	I ² C0m	動作停止 (m = 0-3 : V850ES/JH3-E, m = 0-4 : V850ES/JJ3-E)			
	UARTCx	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能) (x = 0-5 : V850ES/JH3-E, x = 0-7 : V850ES/JJ3-E)			
	UARTB0, UARTB1	動作停止			
A/Dコンバータ		動作保持 (変換結果も保持) ^{注1}			
リアルタイム出力機能 (RTO)		動作停止 (出力保持)			
キー割り込み機能 (KR)		動作可能			
CRC演算回路		動作停止			
外部バス・インタフェース		第5章 バス制御機能参照			
ポート機能		IDLE1モード設定前の状態を保持			
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持			
CAN ^{注2}		動作停止			
USBファンクション		動作クロックにUCLK入力クロック選択時またはPLL動作時に動作可能 ^{注1}			
イーサネット・コントローラ		動作停止 ^{注1}			

注1. 低消費電力を実現するためには, IDLE1モードに遷移する前にA/Dコンバータ, USBファンクション, イーサネット・コントローラを停止してください。

2. μ PD70F3783, 70F3786のみ

27.5 IDLE2モード

27.5.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“10”に設定し、PSC.STPビットを“1”に設定することにより、IDLE2モードに設定されます。

IDLE2モードに設定すると、クロック発振回路は動作を継続しますが、CPU, PLL, フラッシュ・メモリやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また、CPU, PLLや、その他の内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表27-7にIDLE2モード時の動作状態を示します。

IDLE2モードは、内蔵周辺機能、PLL, フラッシュ・メモリの動作が停止するので、IDLE1モードよりさらに低消費電力を実現できます。ただし、PLL, フラッシュ・メモリは停止するため、IDLE2モード解除時、必ずPLL, フラッシュ・メモリのセットアップ時間が必要となります。

- 注意1. IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合、保留されている割り込み要求によりIDLE2モードはすぐに解除されます。

27.5.2 IDLE2モードの解除

IDLE2モードは、ノンマスクブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTPn端子入力）、IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはIDLE2モード設定前の動作状態に復帰します。IDLE2モードの解除により、通常動作モードに移行します。

(1) ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号

ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクブル割り込み要求信号を含む）が発生すると、IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE2モードは解除されません。

備考 n = 00-20 : V850ES/JH3-E
n = 00-25 : V850ES/JJ3-E

表27-6 割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクブル割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐	
マスクブル割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐、または次の命令を実行	所定のセットアップ時間確保後、次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表27-7 IDLE2モード時の動作状態

項目		IDLE2モードの設定		動作状態	
				サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路 (fx)		発振可能			
サブクロック発振回路 (fxT)				-	発振可能
内蔵発振回路 (fR)		発振可能			
PLL		動作停止			
CPU		動作停止			
DMAコントローラ		動作停止			
割り込みコントローラ		動作停止			
タイマ	TAA0-TAA5	動作停止			
	TAB0, TAB1	動作停止			
	TMM0-TMM3	カウント・クロックにfR/8を選択時に動作可能	カウント・クロックにfR/8またはfxT選択時に動作可能		
	TMT0	動作停止			
リアルタイム・カウンタ (RTC)		カウント・クロックにfx (BRG分周) を選択時に動作可能		動作可能	
ウォッチドッグ・タイマ (WDT2)		カウント・クロックにfRを選択時に動作可能		カウント・クロックにfRまたはfxTを選択時に動作可能	
シリアル・インタフェース	CSIFn	動作クロックにSCKFn入力クロック選択時に動作可能 (n = 0-4 : V850ES/JH3-E, n = 0-6 : V850ES/JJ3-E)			
	CSIE0, CSIE1	カウント・クロックにSCKE0, SCKE1入力クロック選択時に動作可能			
	I ² C0m	動作停止 (m = 0-3 : V850ES/JH3-E, m = 0-4 : V850ES/JJ3-E)			
	UARTCx	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能) (x = 0-5 : V850ES/JH3-E, x = 0-7 : V850ES/JJ3-E)			
	UARTB0, UARTB1	動作停止			
A/Dコンバータ		動作保持 (変換結果も保持) ^{注1}			
リアルタイム出力機能 (RTO)		動作停止 (出力保持)			
キー割り込み機能 (KR)		動作可能			
CRC演算回路		動作停止			
外部バス・インタフェース		第5章 外部バス・インタフェース機能参照			
ポート機能		IDLE2モード設定前の状態を保持			
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE2モード設定前の状態を保持			
CAN ^{注2}		動作停止			
USBファンクション		動作クロックにUCLK入力クロック選択時またはPLL動作時に動作可能 ^{注1}			
イーサネット・コントローラ		動作停止 ^{注1}			

注1. 低消費電力を実現するためには、IDLE2モードに遷移する前にA/Dコンバータ、USBファンクション、イーサネット・コントローラを停止してください。

2. μ PD70F3783, 70F3786のみ

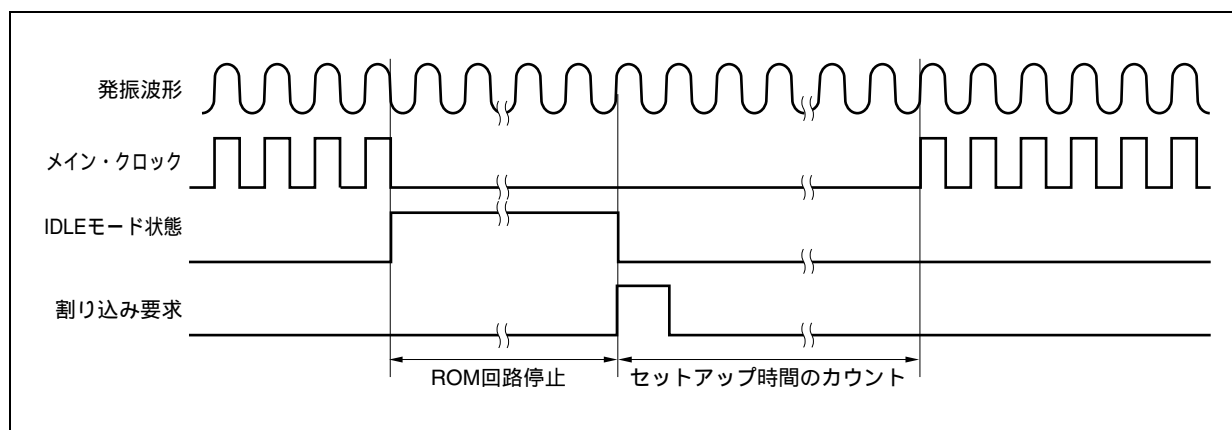
27.5.3 IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより、メイン・クロック発振回路以外は動作を停止するので、IDLE2モード解除後、フラッシュ・メモリのセットアップ時間を確保してください。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号による解除

所定のセットアップ時間は、OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセット (RESET端子入力, WDT2RES発生) による解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

27.6 STOPモード

27.6.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“01”または“11”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック発振回路、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表27-9にSTOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するので、IDLE2モードよりさらに低消費電力を実現できます。また、サブクロック発振回路、内蔵発振器、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

- 注意1. STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合、保留されている割り込み要求によりSTOPモードはすぐに解除されます。

27.6.2 STOPモードの解除

STOPモードは、ノンマスクابل割り込み要求信号（NMI端子入力, INTWDT2信号）、マスクされていない外部割り込み要求信号（INTPn端子入力）、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力, WDT2RES信号、低電圧検出回路（LVI）によるリセット）により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、STOPモードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求は無効になり、STOPモードは解除されません。

備考 n = 00-20 : V850ES/JH3-E
n = 00-25 : V850ES/JJ3-E

表27 - 8 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐	
マスクブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表27-9 STOPモード時の動作状態

STOPモードの設定 項目		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路 (f _x)		発振停止	
サブクロック発振回路 (f _{xT})		-	発振可能
内蔵発振回路 (f _R)		発振可能	
PLL		動作停止	
CPU		動作停止	
DMAコントローラ		動作停止	
割り込みコントローラ		動作停止	
タイマ	TAA0-TAA5	動作停止	
	TAB0, TAB1	動作停止	
	TMM0-TMM3	カウント・クロックにf _R /8を選択時に動作可能	カウント・クロックにf _R /8またはf _{xT} 選択時に動作可能
	TMT0	動作停止	
リアルタイム・カウンタ (RTC)		動作停止	カウント・クロックにf _{xT} を選択時に動作可能
ウォッチドッグ・タイマ (WDT2)		カウント・クロックにf _R を選択時に動作可能	カウント・クロックにf _R またはf _{xT} を選択時に動作可能
シリアル・インタフェース	CSIFn	カウント・クロックに $\overline{\text{SCKFn}}$ 入力クロック選択時に動作可能 (n = 0-4 : V850ES/JH3-E, n = 0-6 : V850ES/JJ3-E)	
	CSIE0, CSIE1	カウント・クロックに $\overline{\text{SCKE0}}$, $\overline{\text{SCKE1}}$ 入力クロック選択時に動作可能	
	I ² Cm	動作停止 (m = 0-3 : V850ES/JH3-E, m = 0-4 : V850ES/JJ3-E)	
	UARTCx	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能) (x = 0-5 : V850ES/JH3-E, x = 0-7 : V850ES/JJ3-E)	
	UARTB0, UARTB1	動作停止	
A/Dコンバータ		動作停止 (変換結果も不定) ^{注1, 2}	
リアルタイム出力機能 (RTO)		動作停止 (出力保持)	
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		STOPモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持	
CAN ^{注3}		動作停止	
USBファンクション		動作停止 ^{注4}	
イーサネット・コントローラ		動作停止 ^{注4}	

注1. A/Dコンバータを動作したままSTOPモードに遷移した場合, STOPモード期間中A/Dコンバータは自動的に停止しますが, STOPモード解除後, 再び動作を開始します。ただし, その場合STOPモード解除後のA/D変換結果は無効です。また, STOPモード遷移前のA/D変換結果はすべて無効です。

2. A/Dコンバータを動作したままSTOPモードに遷移した場合でも, STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。

3. μ PD70F3783, 70F3786のみ

4. 低消費電力を実現するためには, STOPモードに遷移する前にUSBファンクション, イーサネット・コントローラを停止してください。

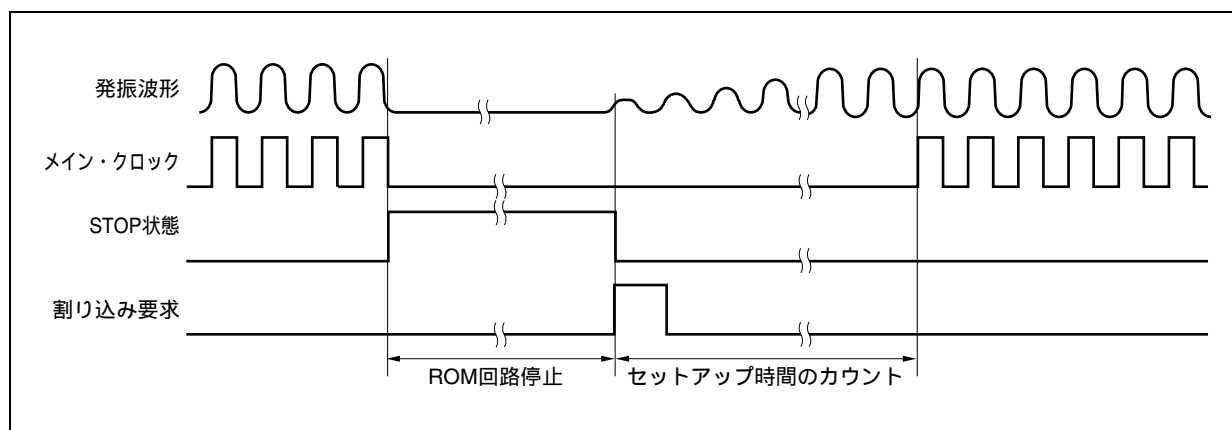
27.6.3 STOPモード解除時の発振安定時間の確保

STOPモードに設定されることにより、メイン・クロック発振回路は動作を停止するので、STOPモード解除後、メイン・クロック発振回路の発振安定時間を確保してください。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号による解除

発振安定時間は、OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

27.7 サブクロック動作モード

27.7.1 設定および動作状態

通常動作モード時、PCC.CK3ビットを“1”に設定することにより、サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると、内部システム・クロックがメイン・クロック サブクロックに切り替わります。切り替わりは、PCC.CLSビットを確認してください。

さらに、PCC.MCKビットを“1”に設定することにより、メイン・クロック発振回路の動作を停止します。これにより、システム全体がサブクロックでのみ動作します。

サブクロック動作モードは、内部システム・クロックがサブクロックとなるので、通常動作モードよりも消費電力を低減できます。さらに、メイン・クロック発振回路の動作を停止させることにより、STOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表27 - 10に示します。

注意1. CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}} = 32.768 \text{ kHz}) \times 4$$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

27.7.2 サブクロック動作モードの解除

サブクロック動作モードは、CK3ビットを“0”に設定するか、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路(LVI)、クロック・モニタ(CLM)によるリセット)により解除します。

なお、メイン・クロックを停止(MCKビット = 1)していた場合は、MCKビットを“1”に設定し、メイン・クロックの発振安定時間をソフトウェアにより確保してから、CK3ビットを“0”に設定します。

サブクロック動作モードの解除により、通常動作モードに移行します。

注意 CK3ビットを操作する場合、CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

表27 - 10 サブクロック動作モード時の動作状態

サブクロック動作モードの設定 項目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路 (f _{XT})		発振可能	
内蔵発振回路 (f _R)		発振可能	
PLL		動作可能	動作停止 ^{注1}
CPU		動作可能	
DMAコントローラ		動作可能	
割り込みコントローラ		動作可能	
タイマ	TAA0-TAA5	動作可能	動作停止
	TAB0, TAB1	動作可能	動作停止
	TMM0-TMM3	動作可能	カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能
	TMT0	動作可能	動作停止
リアルタイム・カウンタ (RTC)		動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ (WDT2)		動作可能	カウント・クロックにf _R またはf _{XT} 選択時に動作可能
シリアル・インタフェース	CSIFn (n = 0-4 : V850ES/JH3-E, n = 0-6 : V850ES/JJ3-E)	動作可能	カウント・クロックに $\overline{\text{SCKFn}}$ 入力クロック選択時に動作可能
	CSIE0, CSIE1	動作可能	カウント・クロックに $\overline{\text{SCKE0}}$, $\overline{\text{SCKE1}}$ 入力クロック選択時に動作可能
	I ² Cm (m = 0-3 : V850ES/JH3-E, m = 0-4 : V850ES/JJ3-E)	動作可能	動作停止
	UARTCx (x = 0-5 : V850ES/JH3-E, x = 0-7 : V850ES/JJ3-E)	動作可能	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能)
	UARTB0, UARTB1	動作可能	
A/Dコンバータ		動作可能	動作停止
リアルタイム出力機能 (RTO)		動作可能	動作停止 (出力保持)
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作可能	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		設定可能	
内部データ		設定可能	
CAN ^{注2}		動作可能	動作停止
USBファンクション		動作可能	動作停止
イーサネット・コントローラ		動作停止 ^{注3}	

注1. メイン・クロックを停止するときは、必ずPLL停止 (PLLCTL.PLLONビット = 0) に設定してください。

2. μ PD70F3783, 70F3786のみ

3. 低消費電力を実現するためには、サブクロックモードに遷移する前にイーサネット・コントローラを停止してください。

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットのみです (3.4.9 (2) 参照)。

27.8 サブIDLEモード

27.8.1 設定および動作状態

サブクロック動作モード時、PSMR.PSM1, PSM0ビットを“00”または“10”に設定し、PSC.STPビットを“1”に設定することにより、サブIDLEモードに設定されます。

サブIDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPU、フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

サブIDLEモードは、CPU、フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので、サブクロック動作モードよりさらに低消費電力を実現できます。

また、メイン・クロックを停止してからサブIDLEモードに設定した場合は、STOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を、表27-12に示します。

- 注意1. サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合、保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。

27.8.2 サブIDLEモードの解除

サブIDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTPn端子入力）、サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはサブIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により、サブクロック動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号が発生すると、優先順位とは無関係に解除されます。

ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合、次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると、サブIDLEモードの解除だけ行い、この割り込み要求信号は受けません。割り込み要求信号そのものは保留されます。
- (b) 現在処理中の割り込み要求よりも優先順位の高い割り込み要求信号（ノンマスクابل割り込み要求信号も含む）が発生すると、サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

注意1. PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、サブIDLEモードは解除されません。

2. サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間（約366 μs ）が挿入されます。

備考 n = 00-20 : V850ES/JH3-E
n = 00-25 : V850ES/JJ3-E

表27 - 11 割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスクブル割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表27 - 12 サブIDLEモード時の動作状態

サブIDLEモードの設定 項 目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路 (f _{XT})		発振可能	
内蔵発振回路 (f _R)		発振可能	
PLL		動作可能	動作停止 ^{注1}
CPU		動作停止	
DMAコントローラ		動作停止	
割り込みコントローラ		動作停止	
タイマ	TAA0-TAA5	動作停止	
	TAB0, TAB1	動作停止	
	TMM0-TMM3	カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能	
	TMT0	動作停止	
リアルタイム・カウンタ (RTC)		動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ (WDT2)		カウント・クロックにf _R またはf _{XT} 選択時に動作可能	
シリアル・インタフェース	CSIFn	カウント・クロックにSCKFn入力クロック選択時に動作可能 (n = 0-4 : V850ES/JH3-E, n = 0-6 : V850ES/JJ3-E)	
	CSIE0, CSIE1	カウント・クロックにSCKE0, SCKE1入力クロック選択時に動作可能	
	I ² Cm	動作停止 (m = 0-3 : V850ES/JH3-E, m = 0-4 : V850ES/JJ3-E)	
	UARTCx	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能) (x = 0-5 : V850ES/JH3-E, x = 0-7 : V850ES/JJ3-E)	
	UARTB0, UARTB1	動作停止	
A/Dコンバータ		動作保持 (変換結果も保持) ^{注2}	
リアルタイム出力機能 (RTO)		動作停止 (出力保持)	
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		第5章 バス制御機能参照 (IDLEモードと同じ動作状態)	
ポート機能		サブIDLEモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	
CAN ^{注3}		動作停止	
USBファクション		動作停止	
イーサネット・コントローラ		動作停止 ^{注2}	

注1. メイン・クロックを停止するときは、必ずPLL停止 (PLLCTL.PLLONビット = 0) に設定してください。

2. 低消費電力を実現するためには、サブIDLEモードに遷移する前にA/Dコンバータ、イーサネット・コントローラを停止してください。

3. μ PD70F3770, 70F3771のみ

備考 注1, 2の処理は、サブクロック動作モードからサブIDLEモードに移行するときでなく、通常動作モードからサブクロック動作モードに移行するときに行ってください。

第28章 リセット機能

28.1 概 要

リセット機能の概要を次に示します。

(1) 4種類のリセット要因

- ・ $\overline{\text{RESET}}$ 端子による外部リセット入力
- ・ ウォッチドッグ・タイマ2 (WDT2) のオーバフローによるリセット機能 (WDT2RES)
- ・ 低電圧検出回路 (LVI) の電源電圧と検出電圧との比較によるシステム・リセット
- ・ クロック・モニタ (CLM) の発振停止検出によるシステム・リセット

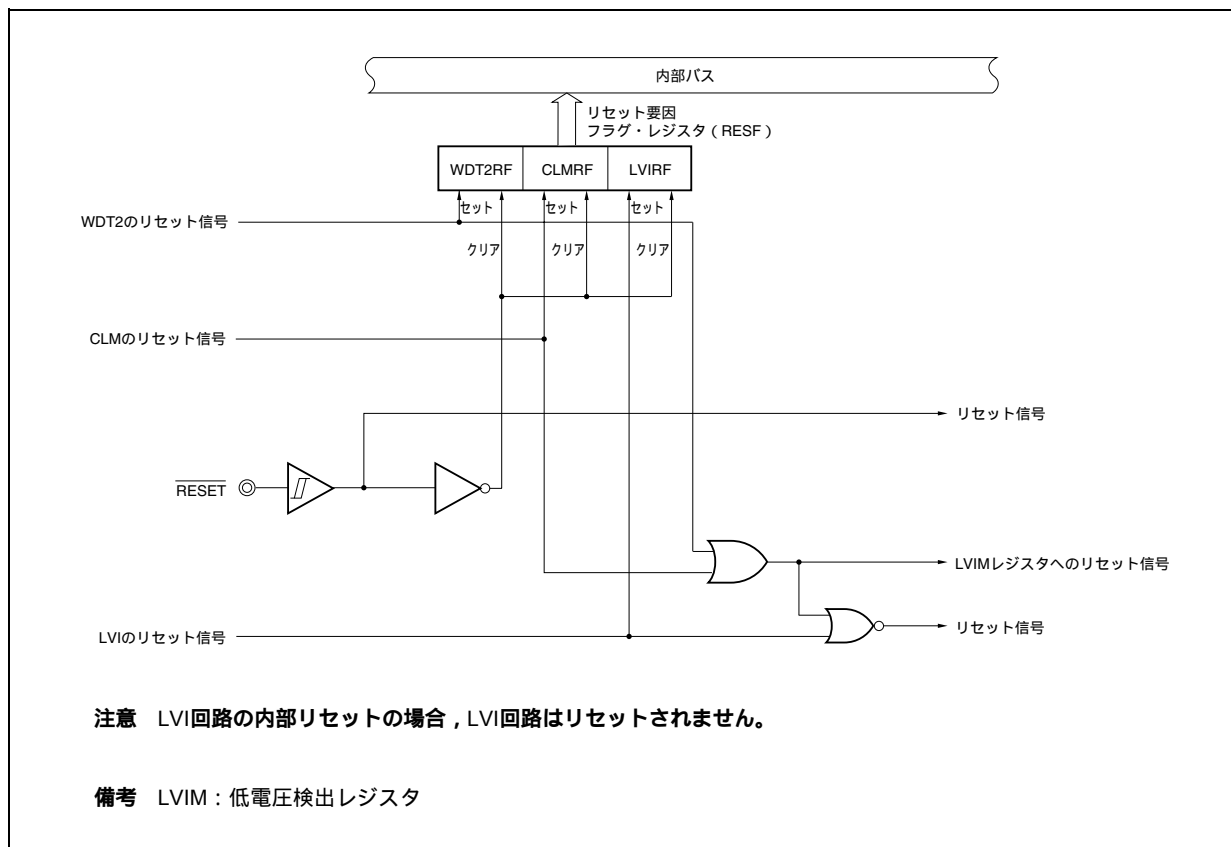
リセット解除後, リセット要因フラグ・レジスタ (RESF) によりリセット要因を確認できます。

(2) 緊急動作モード

リセット後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合, メイン・クロックの発振異常と判断し, 内蔵発振クロックでCPUの動作を開始します。

注意 緊急動作モード時は, 内蔵発振クロックで動作が可能な“割り込み機能, ポート機能, WDT2, タイマM”用レジスタ以外の内蔵周辺I/Oレジスタにアクセスしないでください。また, 外部クロック入力を使用したCSIF0-CSIF4, UARTC0の動作も禁止します。

図28 - 1 リセット機能のブロック図



28.2 リセット要因を確認するレジスタ

V850ES/JH3-E, V850ES/JJ3-Eには4つのリセット要因が存在します。リセット解除後，リセット要因フラグ・レジスタ (RESF) により発生したリセット要因を確認できます。

(1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)。

RESFレジスタは，どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード/ライト可能です。

$\overline{\text{RESET}}$ 端子入力により00Hになります。 $\overline{\text{RESET}}$ 端子以外の要因のリセットにより初期値は異なります。

リセット時：00H^注 R/W アドレス：FFFFFF88H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	CLMからのリセット信号発生有無
0	発生なし
1	発生あり

LVIRF	LVIからのリセット信号発生有無
0	発生なし
1	発生あり

注 $\overline{\text{RESET}}$ 端子によるリセット時はRESFレジスタは00H。

ウォッチドッグ・タイマ2 (WDT2)，低電圧検出回路 (LVI)，クロック・モニタ (CLM) によるリセット時は，自身のリセット・フラグ (WDT2RF, CLMRF, LVIRFビット) をセットします。ただし，ほかの要因は保持します。

注意 各ビットへの書き込みは“0”ライトのみ可能で，“0”ライト書き込みとフラグ・セット (リセットの発生) が競合した場合，フラグ・セットが優先されます。

28.3 動作

28.3.1 RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。
RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

表28 - 1 RESET端子入力時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止	発振開始
サブクロック発振回路 (fxT)	発振継続	
内蔵発振器 (fr)	発振停止	発振開始
周辺クロック (fx-fx/1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (fCLK) , CPUクロック (fCPU)	動作停止	発振安定時間確保後、動作開始 (fx/8に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス ^注	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタはセット (01H)	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・ P51/INTP08/DDO

注意 OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP54/INTP11/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章 ポート機能を参照してください。

図28 - 2 RESET端子入力によるリセット動作のタイミング

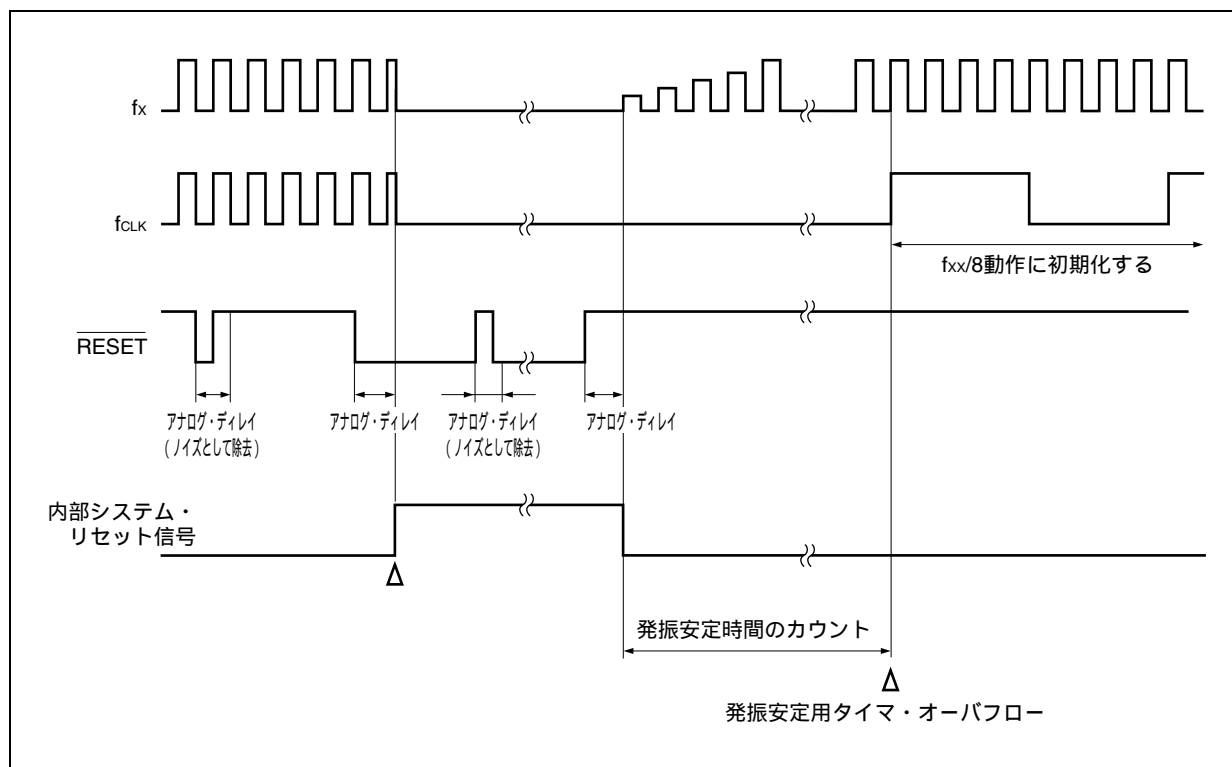
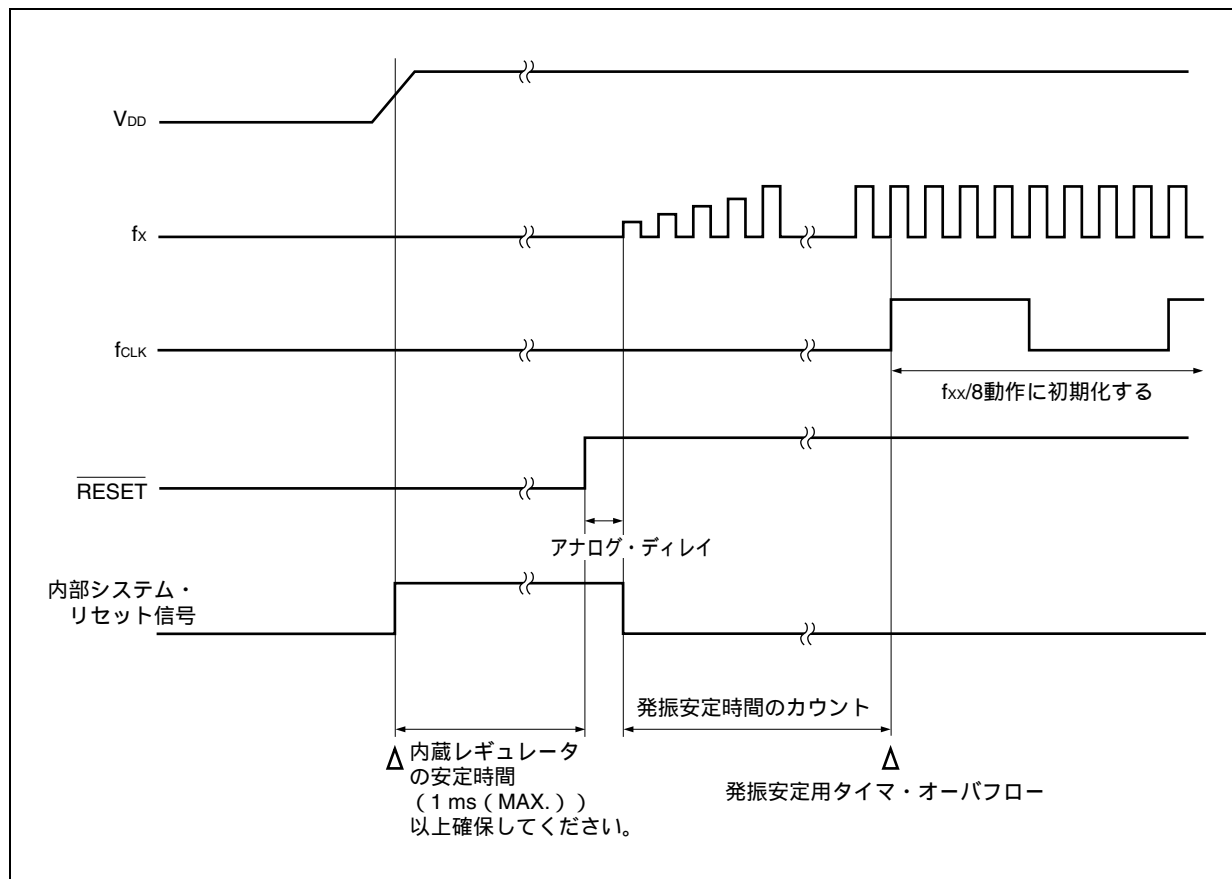


図28 - 3 パワーオン時のリセット動作のタイミング



28.3.2 ウォッチドッグ・タイマ2によるリセット動作

ウォッチドッグ・タイマ2をオーバフローによるリセット動作モードに設定時、ウォッチドッグ・タイマ2がオーバフロー（WDT2RES信号発生）すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

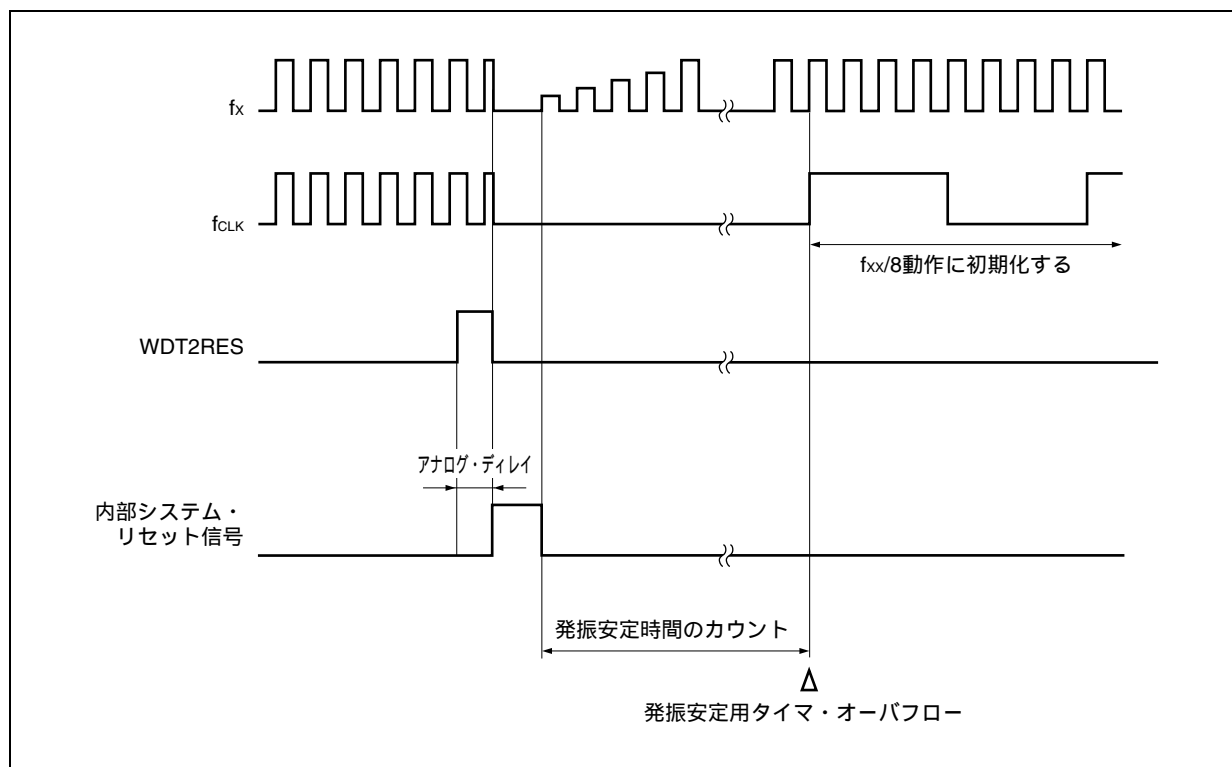
ウォッチドッグ・タイマ2のオーバフロー後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。

なお、リセット期間中はメイン・クロック発振回路は停止します。

表28-2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
内蔵発振器 (f_R)	発振停止	発振開始
周辺クロック (f_{xx} - $f_{xx}/1024$)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{xx}) , CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
WDT2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合（データ破壊）した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン（ポート/兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

図28 - 4 WDT2RES信号発生によるリセット動作のタイミング



28.3.3 クロック・モニタによるリセット動作

クロック・モニタは動作許可時、内蔵発振クロックで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止後に、リセット要求信号を発生します。

リセット解除後は、CPUは内蔵発振クロックで動作します。

CLM.CLMEビットにより一度動作許可にすると、リセットでしかクリアできません。

次の条件において、クロック・モニタは自動的に停止します。

- ・ STOP モード～発振安定時間カウント時
- ・メイン・クロック停止時(サブ動作でPCC.MCKビット = 1としてから、メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・サンプリング・クロック停止時(内蔵発振クロック)
- ・CPUが内蔵発振クロックで動作時

表28-3 クロック・モニタによるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f _x)	発振停止	発振開始
サブクロック発振回路 (f _{XT})	発振継続	
内蔵発振器 (f _R)	発振停止	発振開始
周辺クロック (f _{xx} -f _{xx} /1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f _{xx}) , CPUクロック (f _{CPU})	動作停止	発振安定時間確保後、動作開始 (f _{xx} /8に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
WDT2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	不定	
I/Oライン (ポート/兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

備考 クロック・モニタのリセット・タイミングは、第29章 クロック・モニタを参照してください。

28.3.4 低電圧検出回路によるリセット動作

LVIの動作許可時，電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合，システム・リセットがかかり（LVIM.LVIMDビット = 1設定時），各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となります。

なお，リセット期間中はメイン・クロック発振回路は停止します。

LVIMDビット = 0設定時は，低電圧を検出すると割り込み要求信号（INTLVI）を発生します。

表28 - 4 低電圧検出回路によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
内蔵発振器 (f_R)	発振停止	発振開始
周辺クロック ($f_{xx-fxx/1024}$)	動作停止	発振安定時間確保後，動作開始
内部システム・クロック (f_{xx})， CPUクロック (f_{CPU})	動作停止	発振安定時間確保後，動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後，プログラムの実行開始
WDT2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット，またはCPUアクセスとリセット入力競合（データ破壊）した場合，不定。 それ以外は，リセット入力直前の値を保持。	
I/Oライン（ポート/兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化，OCDMレジスタは値を保持。	
LVI	設定保持	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後，動作開始可能

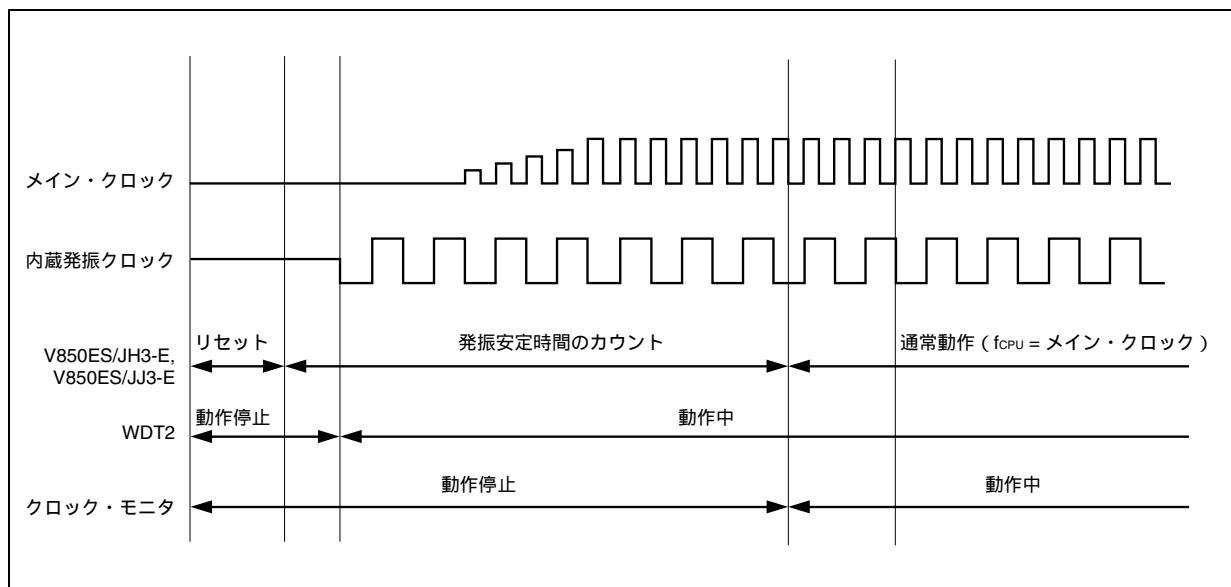
備考 低電圧検出回路のリセット・タイミングは，第30章 低電圧検出回路（LVI）を参照してください。

28.3.5 リセット解除後の動作

リセット解除後、メイン・クロックは発振を開始し、発振安定時間（OSTSレジスタの初期値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

また、WDT2はリセット解除後、内蔵発振クロックをソース・クロックとして、すぐに動作を開始します。

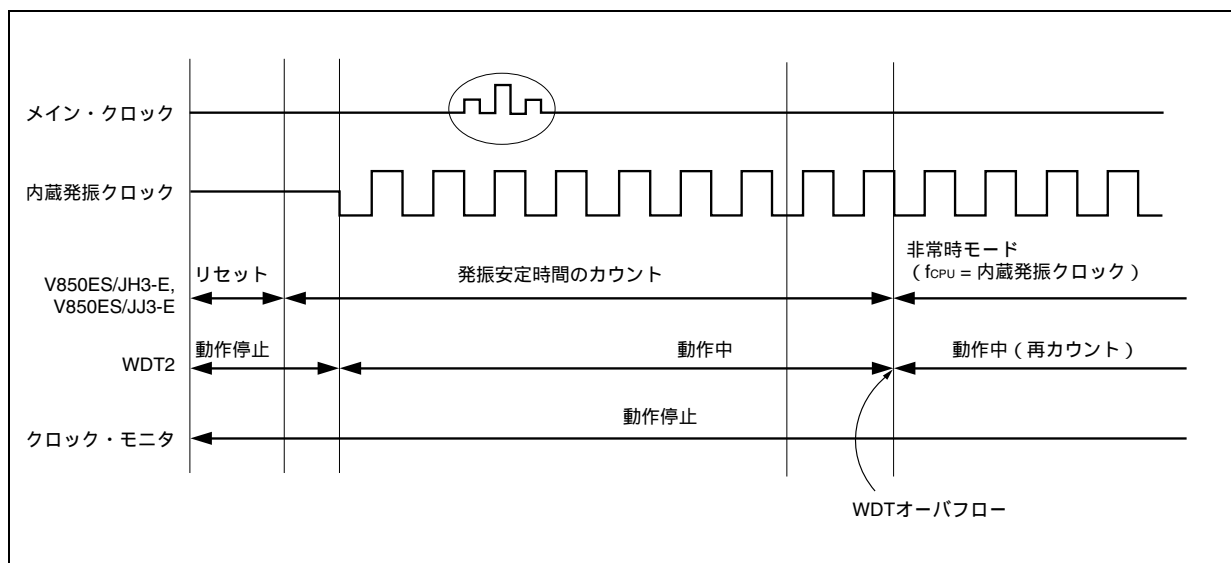
図28 - 5 リセット解除後の動作



(1) 緊急動作モード

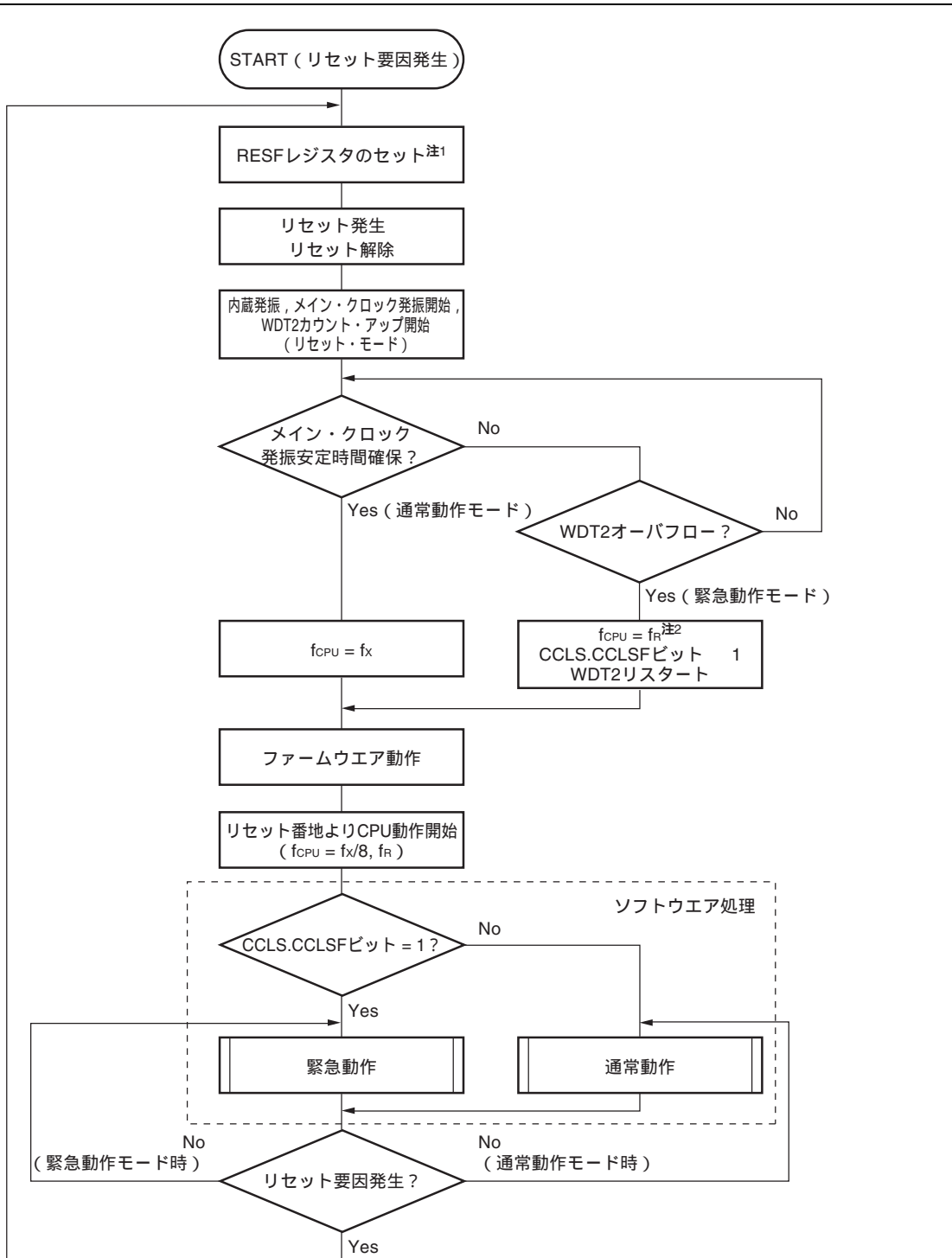
発振安定時間が確保される前にメイン・クロックに異常が発生した場合、CPUがプログラムの実行を開始する前にWDT2がオーバーフローします。このとき、CPUは内蔵発振クロックをソース・クロックとして、プログラムの実行を開始します。

図28 - 6 リセット解除後の動作



CPU動作クロックの状態は、CPU動作クロック・ステータス・レジスタ（CCLS）で確認してください。

28. 3. 6 リセット機能の動作フロー



注1. リセット要因によって、セットされるビットが変わります。

リセット要因	WDT2RFビット	CRMRFビット	LVIRFビット
RESET端子	0	0	0
WDT2	1	リセット前の値を保持	リセット前の値を保持
CLM	リセット前の値を保持	1	リセット前の値を保持
LVI	リセット前の値を保持	リセット前の値を保持	1

2. 内蔵発振器は停止できません。

第29章 クロック・モニタ

29.1 機 能

クロック・モニタは、内蔵発振クロックで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止時に、リセット要求信号を発生します。

動作許可フラグにより一度動作許可にすると、リセット以外ではクリア（0）できません。

クロック・モニタによるリセットが発生した場合、RESF.CLMRFビットがセットされます。RESFレジスタの詳細については、28.2 リセット要因を確認するレジスタを参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・ STOPモード～発振安定時間時
- ・ メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから、メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・ サンプリング・クロック（内蔵発振クロック）停止時
- ・ CPUが内蔵発振クロック動作時

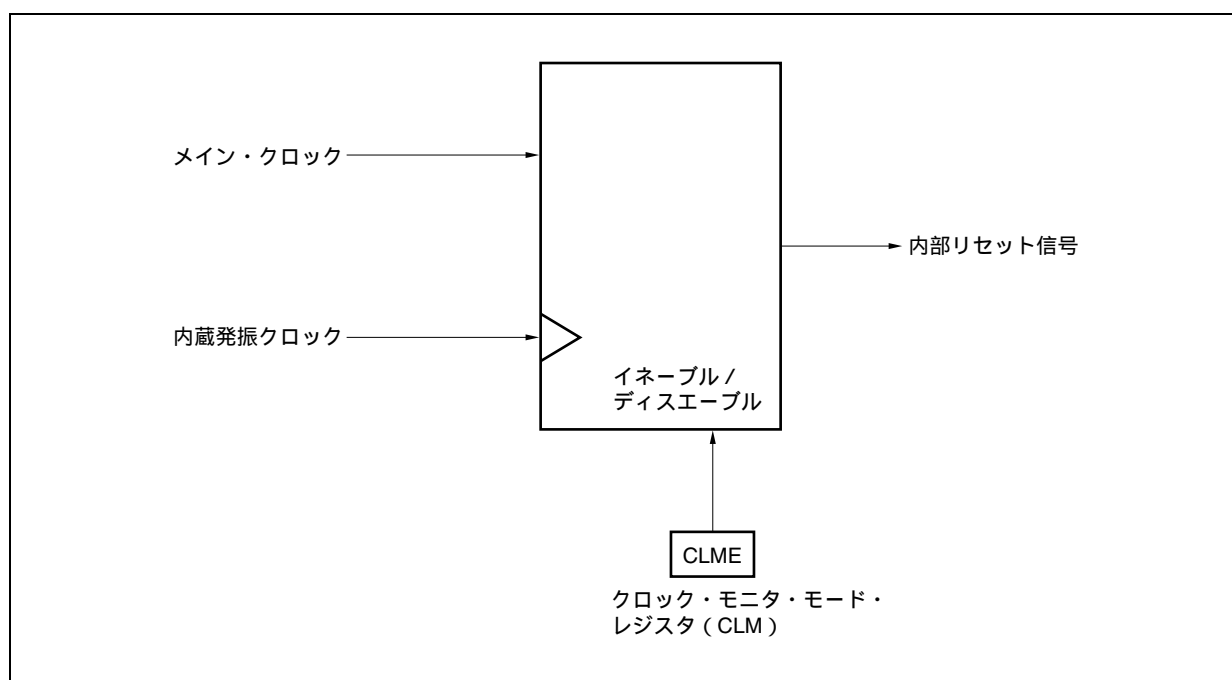
29.2 構 成

クロック・モニタは、次のハードウェアで構成しています。

表29 - 1 クロック・モニタの構成

項 目	構 成
制御レジスタ	クロック・モニタ・モード・レジスタ (CLM)

図29 - 1 RESET端子入力によるリセット動作のタイミング



29.3 レジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ (CLM) で制御します。

(1) クロック・モニタ・モード・レジスタ (CLM)

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF870H

	7	6	5	4	3	2	1	①
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可/禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1.** 一度CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。
- クロック・モニタによるリセットが発生した場合、CLMEビットはクリア(0)され、RESF.CLMRFビットがセット(1)されます。
 - 7-1ビットには必ず“0”を設定してください。

29.4 動作

クロック・モニタの持つ機能について説明します。スタート条件，ストップ条件は次のようになります。

<スタート条件>

CLM.CLMEビットを動作許可(1)に設定

<ストップ条件>

- ・ STOPモード～発振安定時間カウント時
- ・ メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから，メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・ サンプリング・クロック(内蔵発振クロック)停止時
- ・ CPUが内蔵発振クロック動作時

表29-2 クロック・モニタの動作状態 (CLM.CLMEビット = 1設定時，内蔵発振クロック動作時)

CPU動作クロック	動作モード	メイン・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
メイン・クロック	HALTモード	発振	発振 ^{注1}	動作 ^{注2}
	IDLE1, IDLE2モード	発振	発振 ^{注1}	動作 ^{注2}
	STOPモード	停止	発振 ^{注1}	停止
サブクロック (PCC.MCK = 0)	サブIDLEモード	発振	発振 ^{注1}	動作 ^{注2}
サブクロック (PCC.MCK = 1)	サブIDLEモード	停止	発振 ^{注1}	停止
内蔵発振クロック	-	停止	発振 ^{注3}	停止
リセット中	-	停止	停止	停止

注1. RCM.RSTOPビットをセット(1)することで内蔵発振器を停止できます。

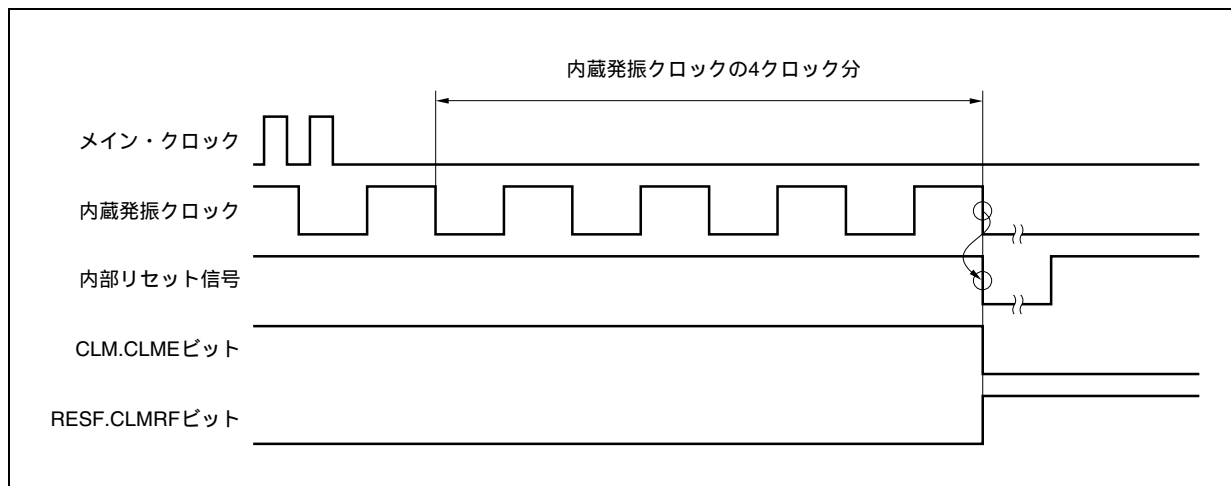
2. 内蔵発振器が停止している場合，クロック・モニタは停止します。

3. 内蔵発振器をソフトウェアで停止することはできません。

(1) メイン・クロック発振停止時の動作 (CLMEビット = 1)

CLMEビット = 1のとき、メイン・クロックの発振が停止した場合、図29 - 2のタイミングで内部リセット信号が発生します。

図29 - 2 メイン・クロックの発振停止によってリセットがかかる時間

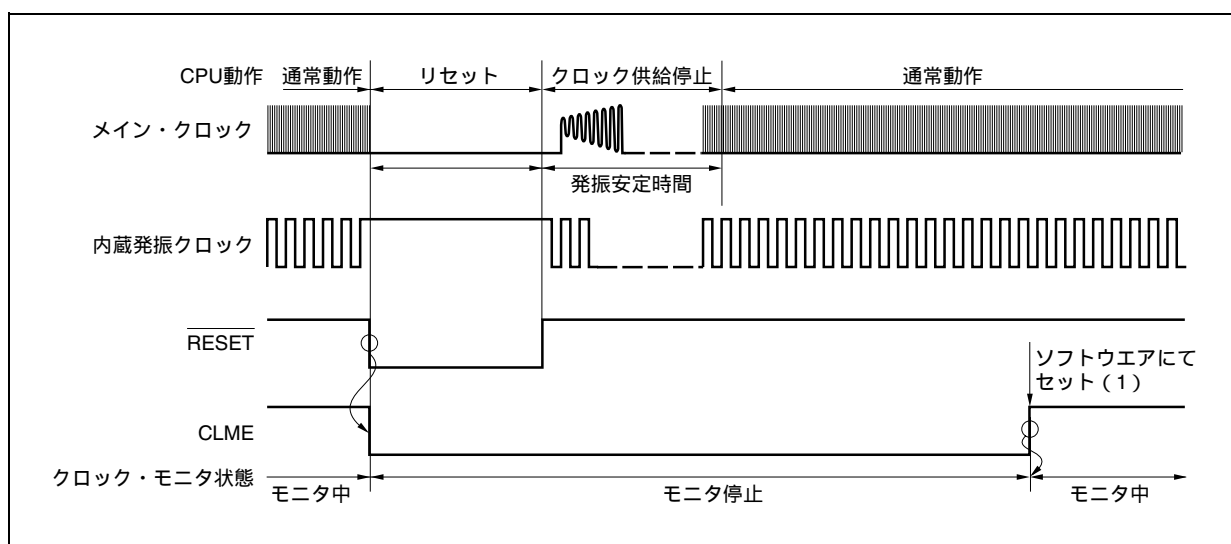


(2) RESET入力後のクロック・モニタの状態

RESET入力により、CLM.CLMEビットはクリア (0) されて、クロック・モニタは動作停止します。メイン・クロックの発振安定時間後にソフトウェアでCLMEビットをセット (1) すると、モニタ動作を開始します。

図29 - 3 RESET入力後のクロック・モニタの状態

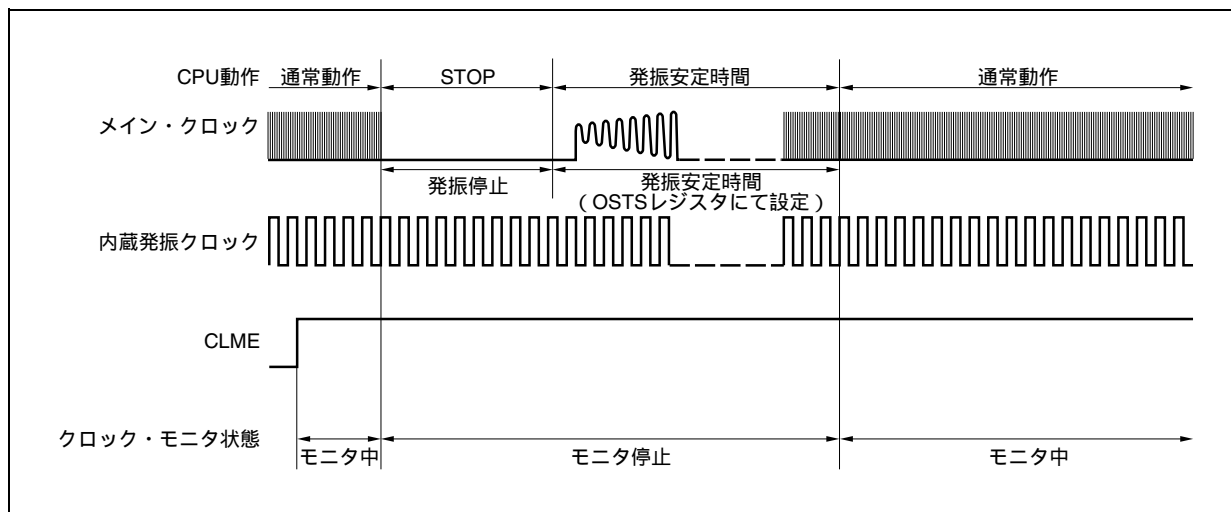
(RESET入力後、メイン・クロックの発振安定時間終了後に、CLM.CLMEビット = 1を設定)



(3) STOPモード中およびSTOPモード解除後の動作

CLM.CLMEビット = 1の状態ですoftウェアSTOPモードに移行した場合、STOPモード中および発振安定時間カウント中はモニタ動作を停止します。発振安定時間カウント終了後に自動的にモニタ動作を開始します。

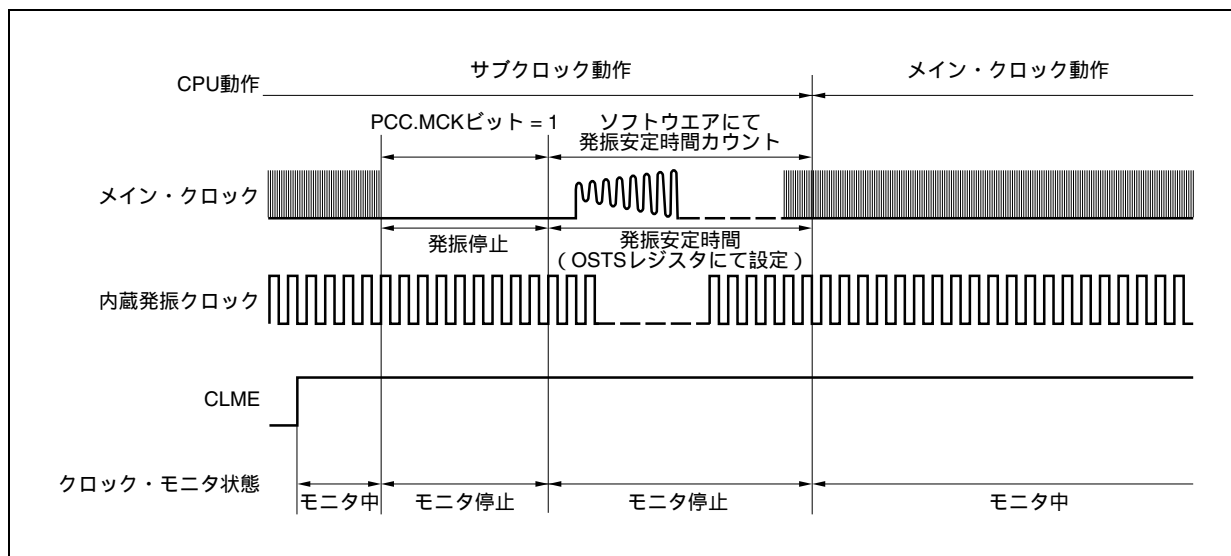
図29 - 4 STOPモード中およびSTOPモード解除後の動作



(4) メイン・クロック停止時（任意）の動作

サブクロック動作時（PCC.CLSビット = 1）、PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作（PCC.CLSビット = 0）に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図29 - 5 メイン・クロック停止時（任意）の動作



(5) CPUが内蔵発振クロックで動作時（CCLS.CCLSFBビット = 1）の動作

CCLSFBビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

第30章 低電圧検出回路 (LVI)

30.1 機 能

低電圧検出回路 (LVI) は次のような機能を持ちます。

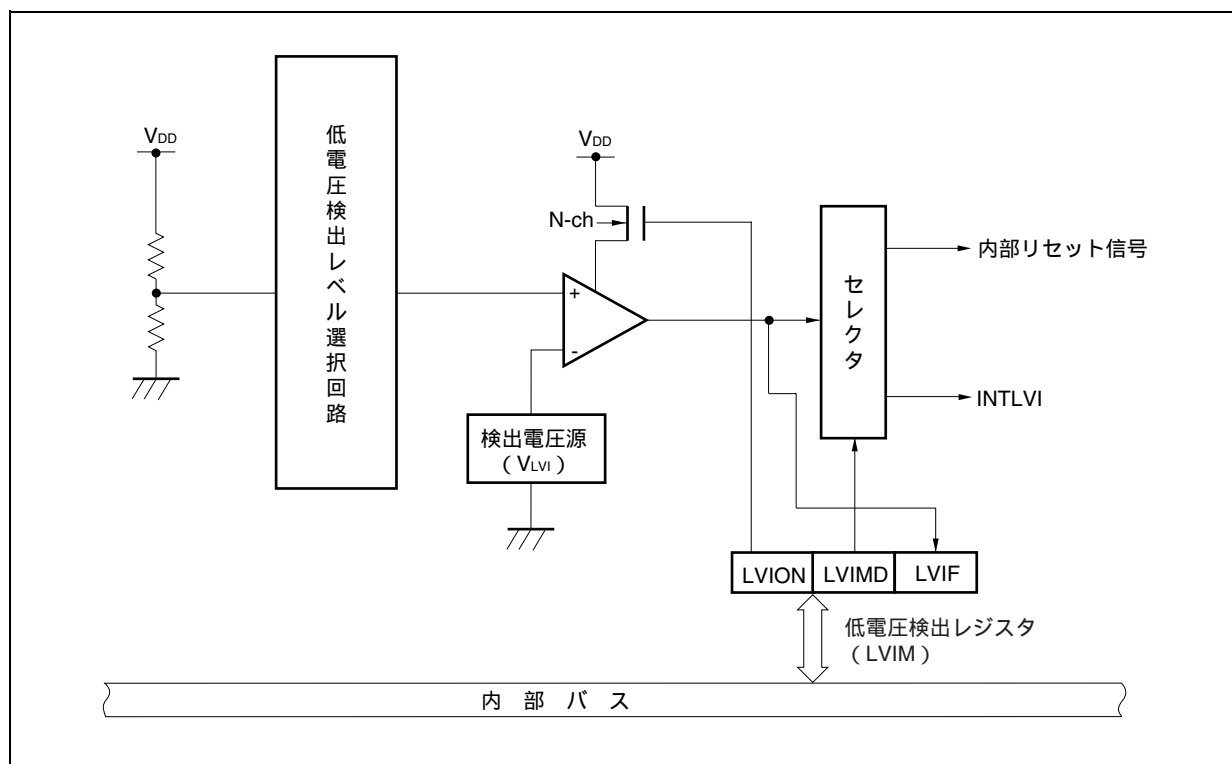
- ・ 低電圧検出時に割り込み発生を選択している場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電源電圧が検出電圧を下回ったとき、および上回ったときに、内部割り込み信号を発生します。
- ・ 低電圧検出時にリセット発生を選択している場合、電源電圧 (V_{DD}) が検出電圧 (V_{LVI}) を下回ったときに内部リセット信号を発生します。
- ・ 割り込み / リセットをソフトウェアにて選択できます。
- ・ STOPモードにおいて動作可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は、28.2 リセット要因を確認するレジスタを参照してください。

30.2 構 成

低電圧検出回路のブロック図を次に示します。

図30 - 1 低電圧検出回路のブロック図



30.3 レジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)

(1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)。

LVIMレジスタは、低電圧検出、動作モードを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、LVIFビットはリードのみ可能です。

リセット時：00H^{注1} R/W アドレス：FFFFFF890H

	⑦	6	5	4	3	2	①	⑧
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作許可 / 禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧値が検出電圧値を下回ったとき、または上回ったときに割り込み信号INTLVIを発生
1	電源電圧 < 検出電圧時に内部リセット信号LVIRESを発生

LVIF ^{注2}	低電圧検出フラグ
0	電源電圧寄り > 検出電圧、または動作禁止時
1	接続する電源電圧 < 検出電圧

注1. 低電圧検出によるリセット : 82H

そのほかの要因によるリセット : 00H

2. LVI動作開始 (LVIONビット = 1) 後、またはINTLVI発生時には、LVIFビットで電源電圧の状態を確認してください。

注意1. LVIONビット = 1かつLVIMDビット = 1に設定した場合、低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。

2. LVIONビットをセット (1) すると、LVI回路内のコンパレータの動作が開始します。LVIONビットをセットしてからLVIFビットで電圧を確認するまでに、ソフトウェアで0.2 ms以上ウエイトしてください。
3. ビット6-2には必ず“0”を設定してください。

(2) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

RAMSレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます

(3.4.8 特定レジスタ参照)。

内蔵RAMデータの有効/無効を示すフラグ・レジスタです。

8/1ビット単位でリード/ライト可能です。

次にRAMFビットのセット/クリア条件を示します。

- ・セット条件 : 検出レベル以下の電圧検出
 : 命令によるセット
- ・クリア条件 : 特定シーケンスによる0書き込み

リセット時 : 01H^注 R/W アドレス : FFFFF892H

	7	6	5	4	3	2	1	①
RAMS	0	0	0	0	0	0	0	RAMF

RAMF	内蔵RAM電圧検出
0	RAM保持電圧以下を非検出
1	RAM保持電圧以下を検出

注 RAM保持電圧を下回ったときにだけリセットされます。

30.4 動作

LVIM.LVIMDビットの設定により、割り込み信号 (INTLVI) もしくは内部リセット信号を発生します。
次に動作設定方法とタイミング図を示します。

30.4.1 内部リセット信号として使用する場合

<動作開始時>

LVIMの割り込みをマスクします。

LVIM.LVIONビット = 1に設定 (動作許可) します。

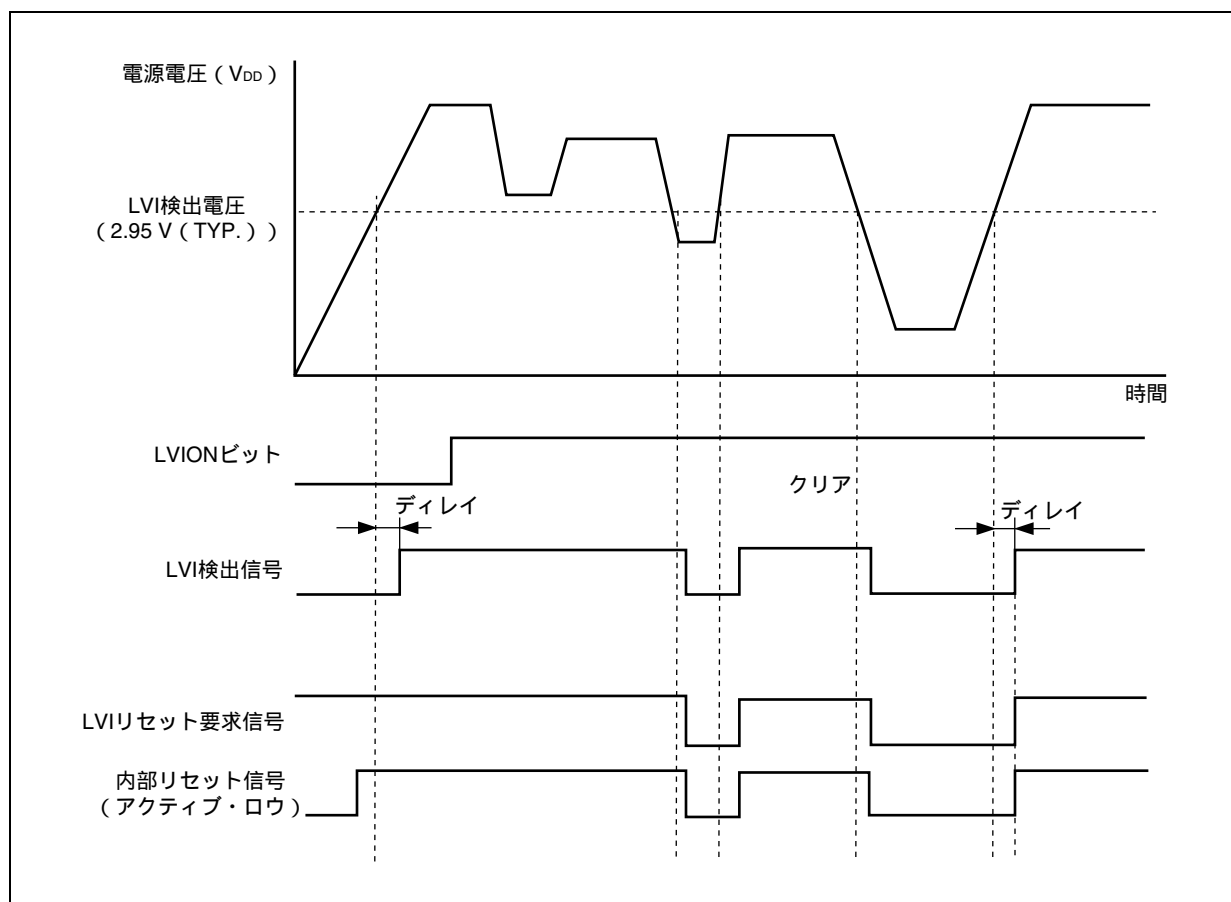
0.2 ms (MAX.) 以上ソフトウェアにてウエイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIMDビット = 1 (内部リセット発生) を設定します。

注意 LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIMレジスタの変更はできません。

図30-2 低電圧検出回路の動作タイミング (LVIMDビット = 1)



30.4.2 割り込みとして使用する場合

<動作開始時>

LVIの割り込みをマスクします。

LVIM.LVIONビット = 1に設定 (動作許可) します。

0.2 ms (MAX.) 以上ソフトウェアにてウェイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

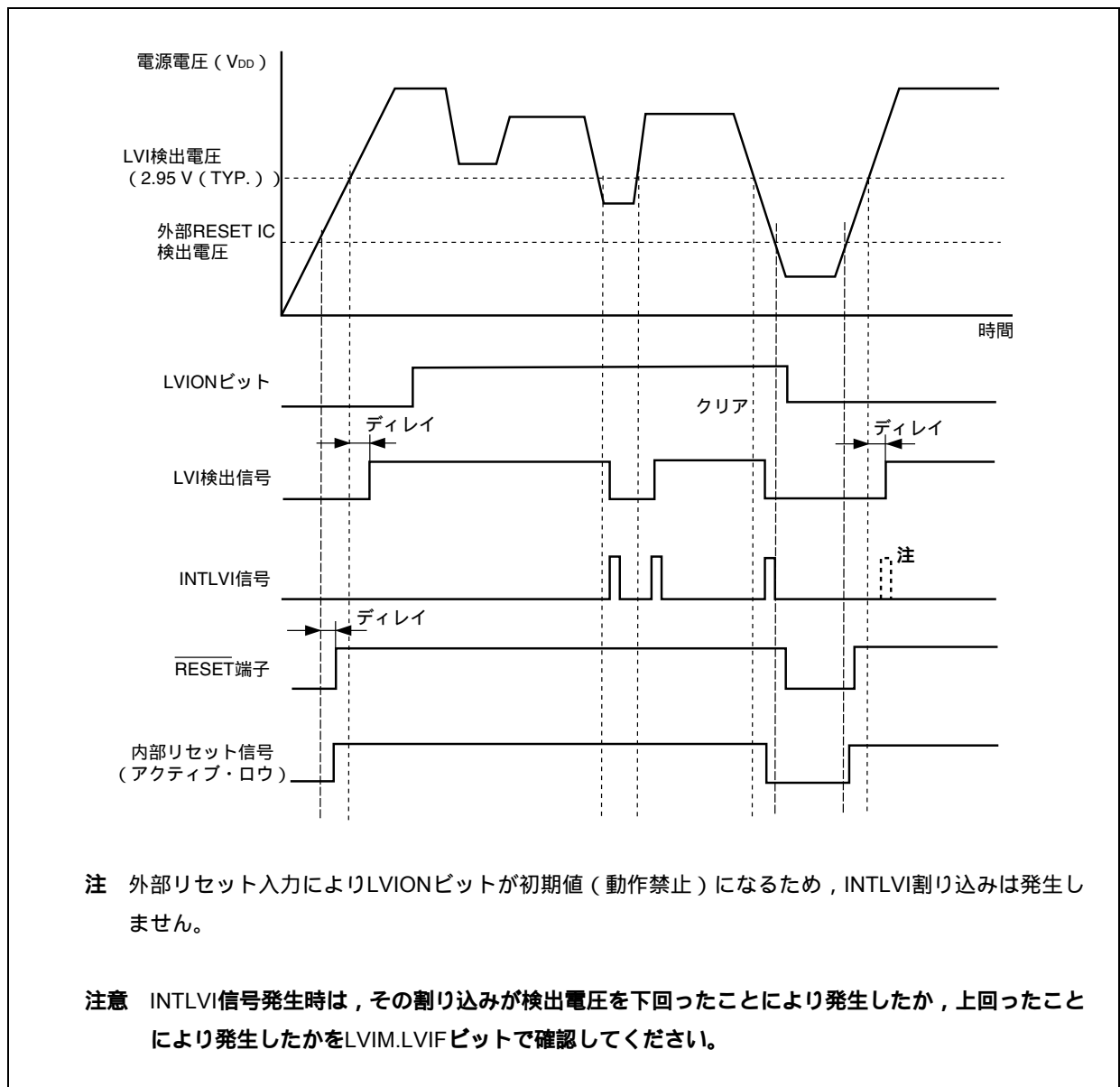
LVIの割り込み要求フラグをクリアします。

LVIの割り込みマスクを解除します。

<動作停止時>

LVIONビット = 0に設定します。

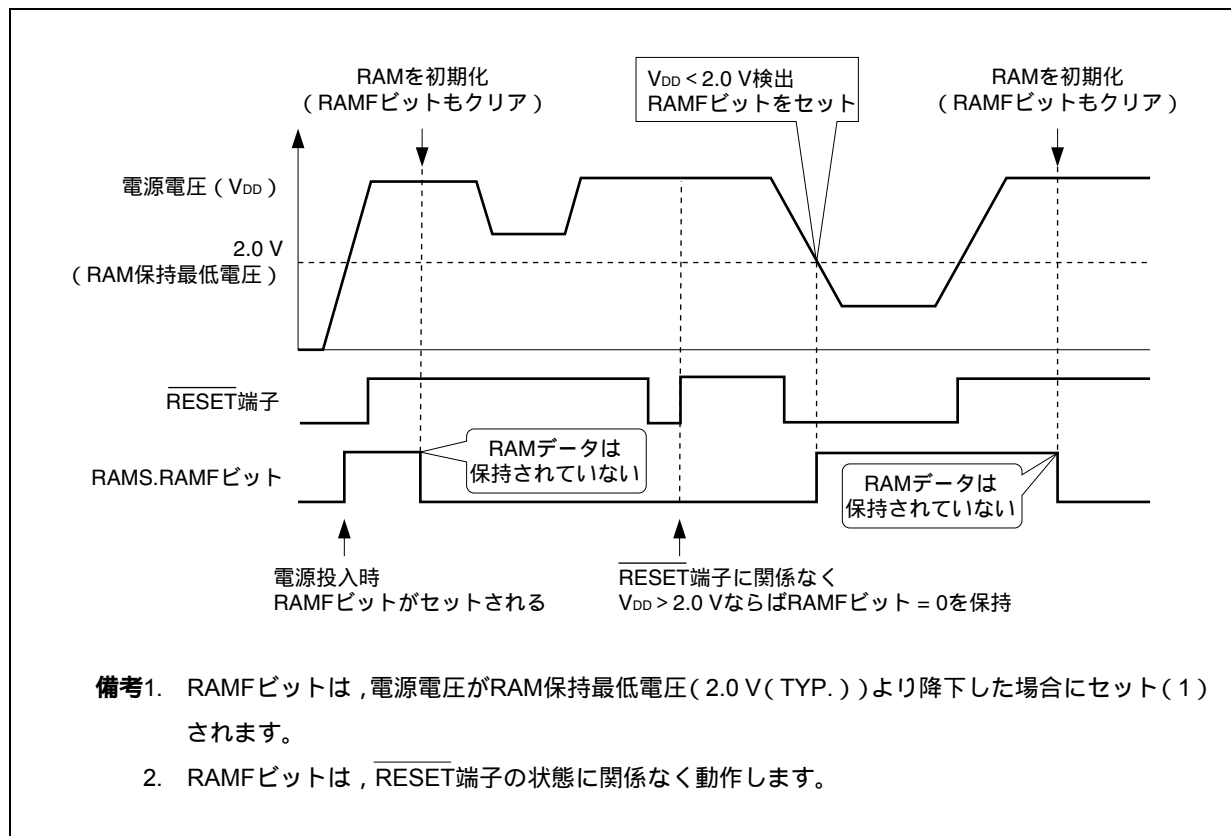
図30-3 低電圧検出回路の動作タイミング (LVIMDビット = 0)



30.5 RAM保持電圧検出動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時も含みます）、RAMS.RAMFビットをセット（1）します。

図30 - 4 RAM保持電圧検出機能の動作タイミング



第31章 CRC機能

31.1 機 能

- ・データ・ブロックの誤り検出用のCRC演算回路です。
- ・8ビット単位の任意のデータ長ブロックに対し、CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) の生成多項式を使用し、16ビットCRCコードを生成します。
- ・CRCコードは、CRCDレジスタに初期値を設定したあと、1バイトのデータをCRCINレジスタに転送することにより、CRCDレジスタに設定されます。

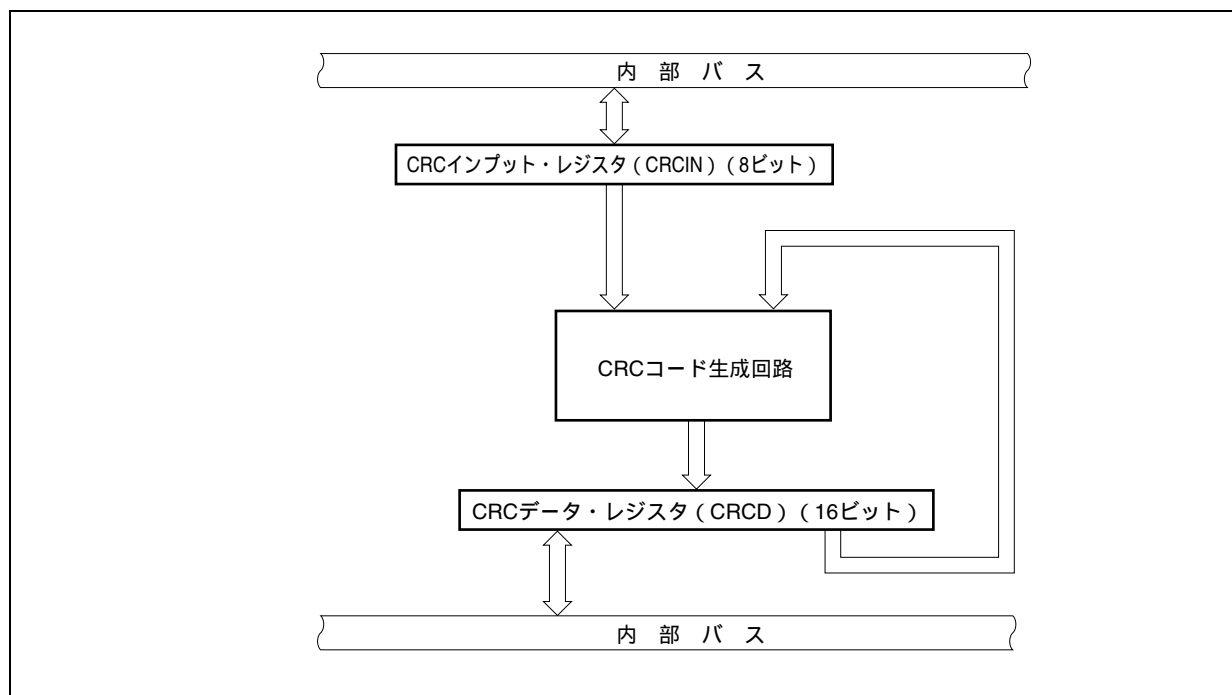
31.2 構 成

CRC機能は、次のハードウェアで構成されています。

表31 - 1 CRCの構成

項 目	構 成
制御レジスタ	CRCインプット・レジスタ (CRCIN) CRCデータ・レジスタ (CRCD)

図31 - 1 CRCレジスタのブロック図



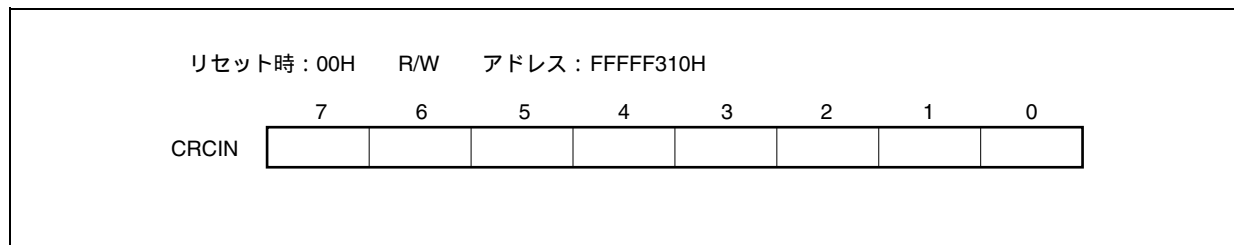
31.3 レジスタ

(1) CRCインプット・レジスタ (CRCIN)

CRCINレジスタは、データ設定用の8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。



(2) CRCデータ・レジスタ (CRCD)

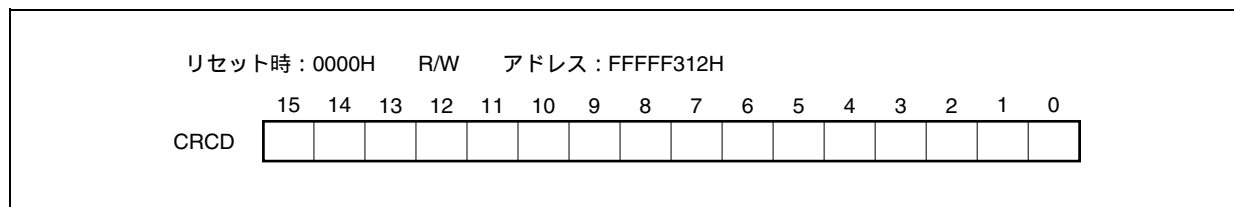
CRCDレジスタは、CRC-CCITT演算結果格納の16ビット・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、CRCDレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

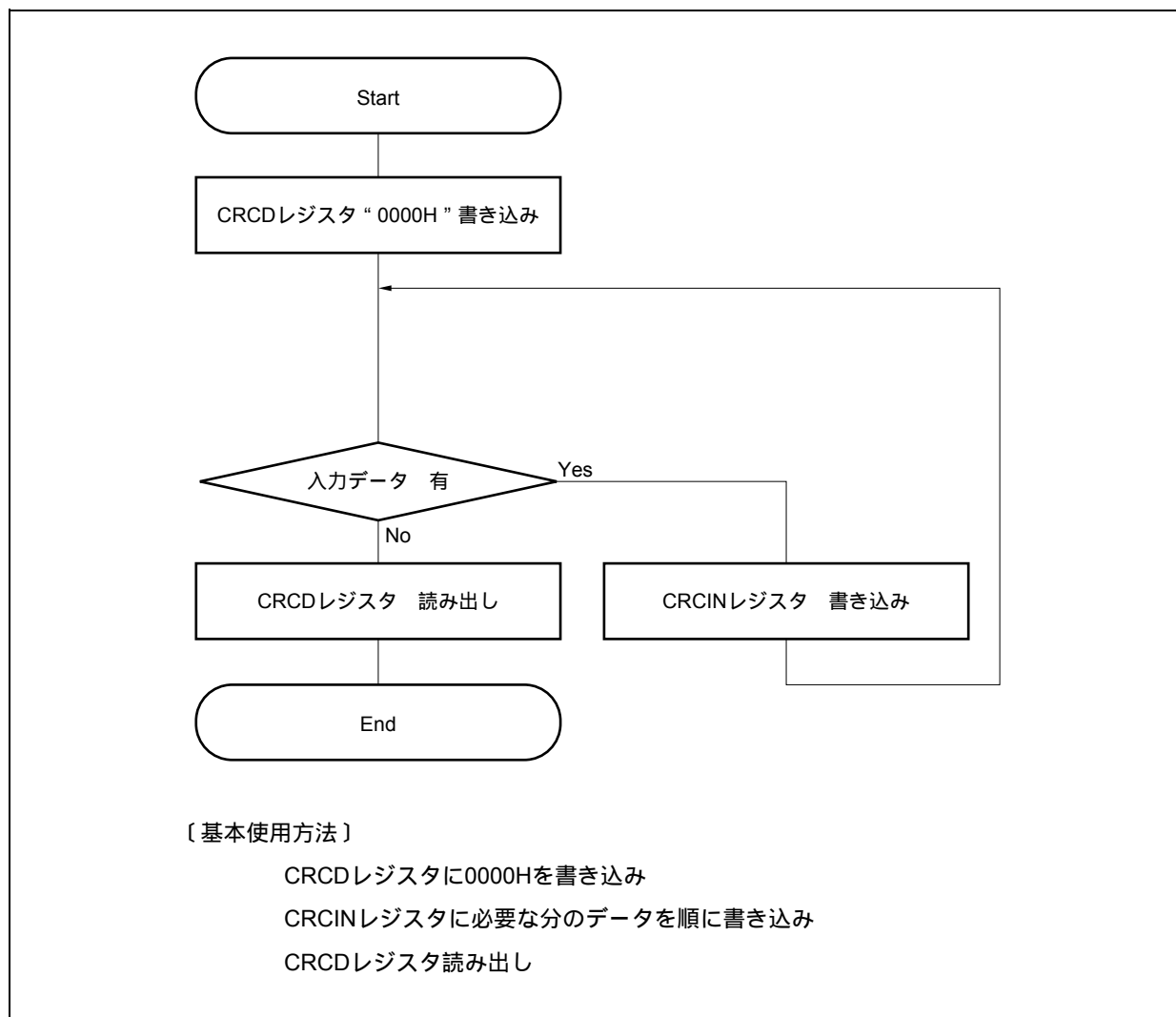
- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



31.5 使用方法

次にCRC論理回路の使用方法について説明します。

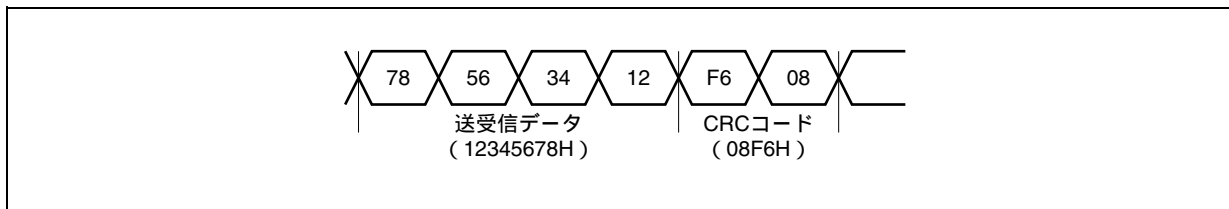
図31 - 3 CRC動作フロー



複数バイトのデータを送受信する際、送受信データとともに、CRCコードを送受信すると、通信エラーを容易に検出できます。

次に12345678H (0001 0010 0011 0100 0101 0110 0111 1000B) をLSBファーストで送信する場合の例について示します。

図31 - 4 CRC送信例



送信側の設定手順

CRCDレジスタに、初期値“0000H”を書き込む

最初に送信する1バイト・データを、送信バッファ・レジスタに書き込む（このとき、CRCINレジスタにも同じデータを書き込む）

複数バイトのデータを送信する場合は、送信データを送信バッファ・レジスタに書き込むたびに、同じデータをCRCINレジスタに書き込む

すべてのデータを送信したあと、CRCDレジスタの内容（CRCコード）を送信バッファ・レジスタに書き込み、送信する（LSBファーストなので、下位バイト、上位バイトの順に送信する）

受信側の設定手順

CRCDレジスタに、初期値“0000H”を書き込む

最初の1バイト・データの受信完了後、その受信データを、CRCINレジスタに書き込む

複数バイトのデータを受信する場合は、受信完了のたびに、その受信データをCRCINレジスタに書き込む（正常に受信している場合、すべての受信データをCRCINレジスタに書き込んだ時点で、受信側のCRCDレジスタの内容と送信側のCRCDレジスタの内容は同一になる）

このあと、送信側からはCRCコードが送信されるので、受信データと同様に、CRCINレジスタに書き込む

CRCコードを含めて、すべての受信が完了した時点で、CRCDレジスタの内容が“0000H”であれば、正常受信。CRCDレジスタの内容は“0000H”以外の値の場合は、通信エラーであるため、送信側へ再送要求を行う

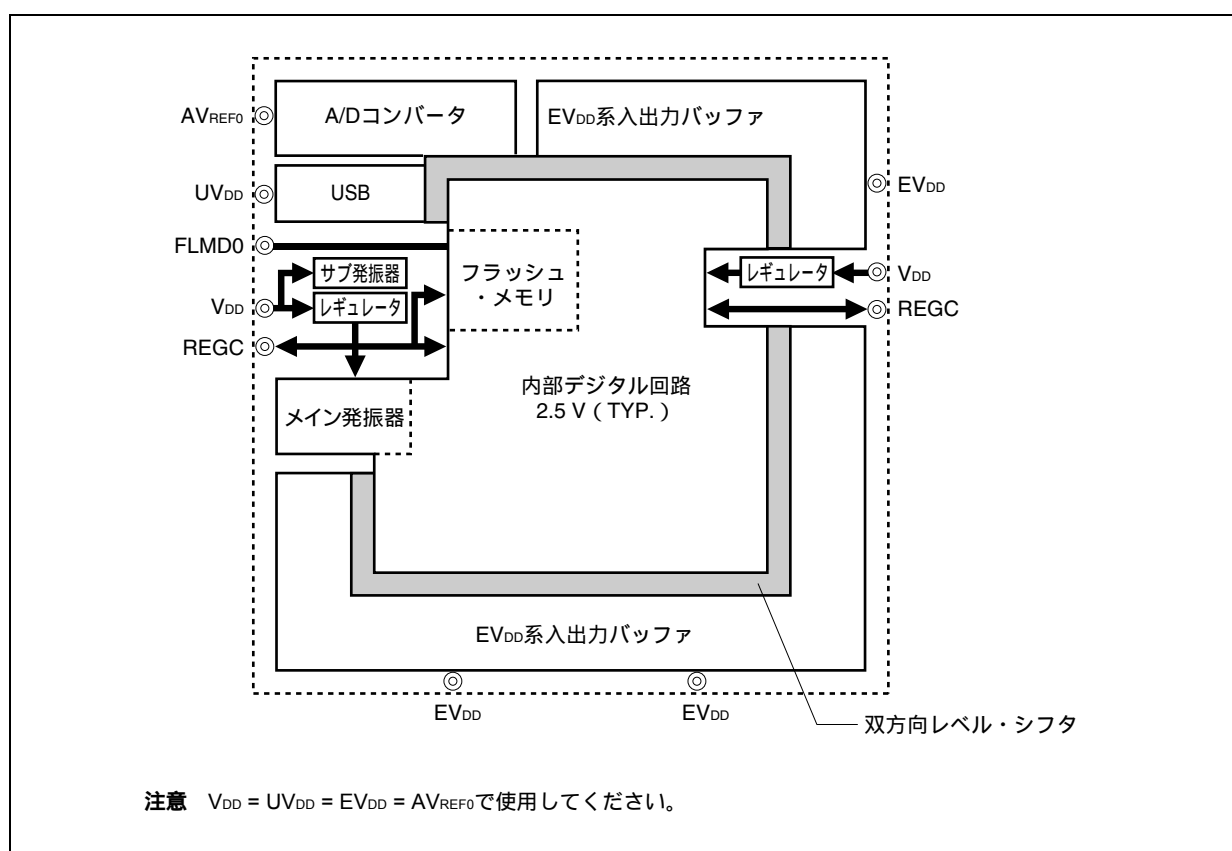
第32章 レギュレータ

32.1 概 要

V850ES/JH3-E, V850ES/JJ3-Eは、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，出力バッファは除く）に、 V_{DD} 電源電圧を降圧した電圧を供給します。

図32 - 1 レギュレータ



32.2 動作

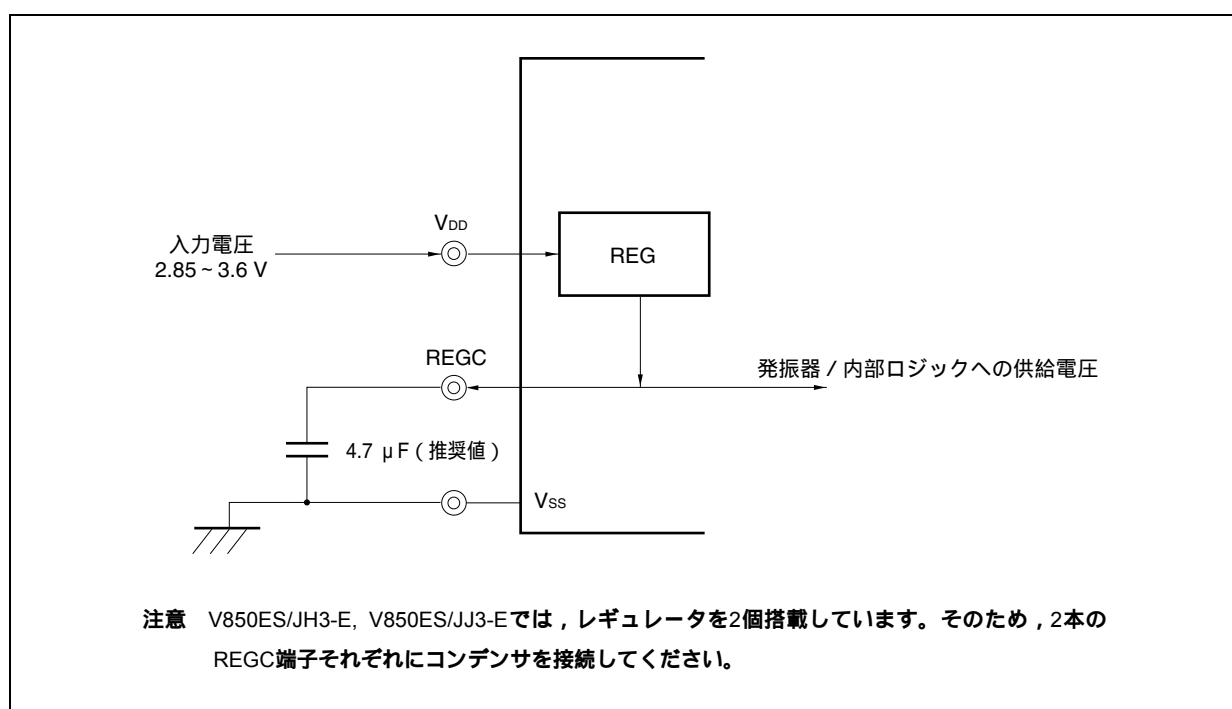
V850ES/JH3-E, V850ES/JJ3-Eのレギュレータは、いかなるモード（通常動作モード/HALTモード/IDLE1モード/IDLE2モード/STOPモード/サブクロック動作モード/サブIDLEモード/リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子[※]にコンデンサ（ $4.7\ \mu\text{F}$ （推奨値））を接続してください。

次に端子の接続の方法を示します。

注 REGC端子は2本あります。

図32 - 2 REGC端子の接続



第33章 フラッシュ・メモリ

V850ES/JH3-E, V850ES/JJ3-Eは、フラッシュ・メモリを内蔵しています。

- ・ μ PD70F3778 : 256 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3779, 70F3781 : 384 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3780, 70F3782, 70F3783, 70F3784, 70F3785, 70F3786 : 512 Kバイトのフラッシュ・メモリ内蔵

フラッシュ・メモリ内蔵品は、開発用途および量産用途として次のような利点があります。

ターゲット・システムにV850ES/JH3-E, V850ES/JJ3-Eを半田実装後、ソフトウェアの変更可能
量産立ち上げ時のデータ調整が容易
規格ごとにソフトウェアを区別することで少量多品種生産が容易
在庫管理が容易
出荷後のソフトウェアのアップデートが容易

33.1 特 徴

4バイト/1クロック・アクセス (命令フェッチ時)

容量 : 256 Kバイト / 384 Kバイト / 512 Kバイト

書き換え電圧 : 単一電源による消去 / 書き込みが可能

書き換え方式

- ・専用フラッシュ・プログラマとのシリアル・インタフェースを介しての通信による書き換え (オンボード / オフボード・プログラミング)
- ・ユーザ・プログラムによるフラッシュ・メモリの書き換え (セルフ・プログラミング)

フラッシュ・メモリの書き換え禁止機能をサポート (セキュリティ機能)

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

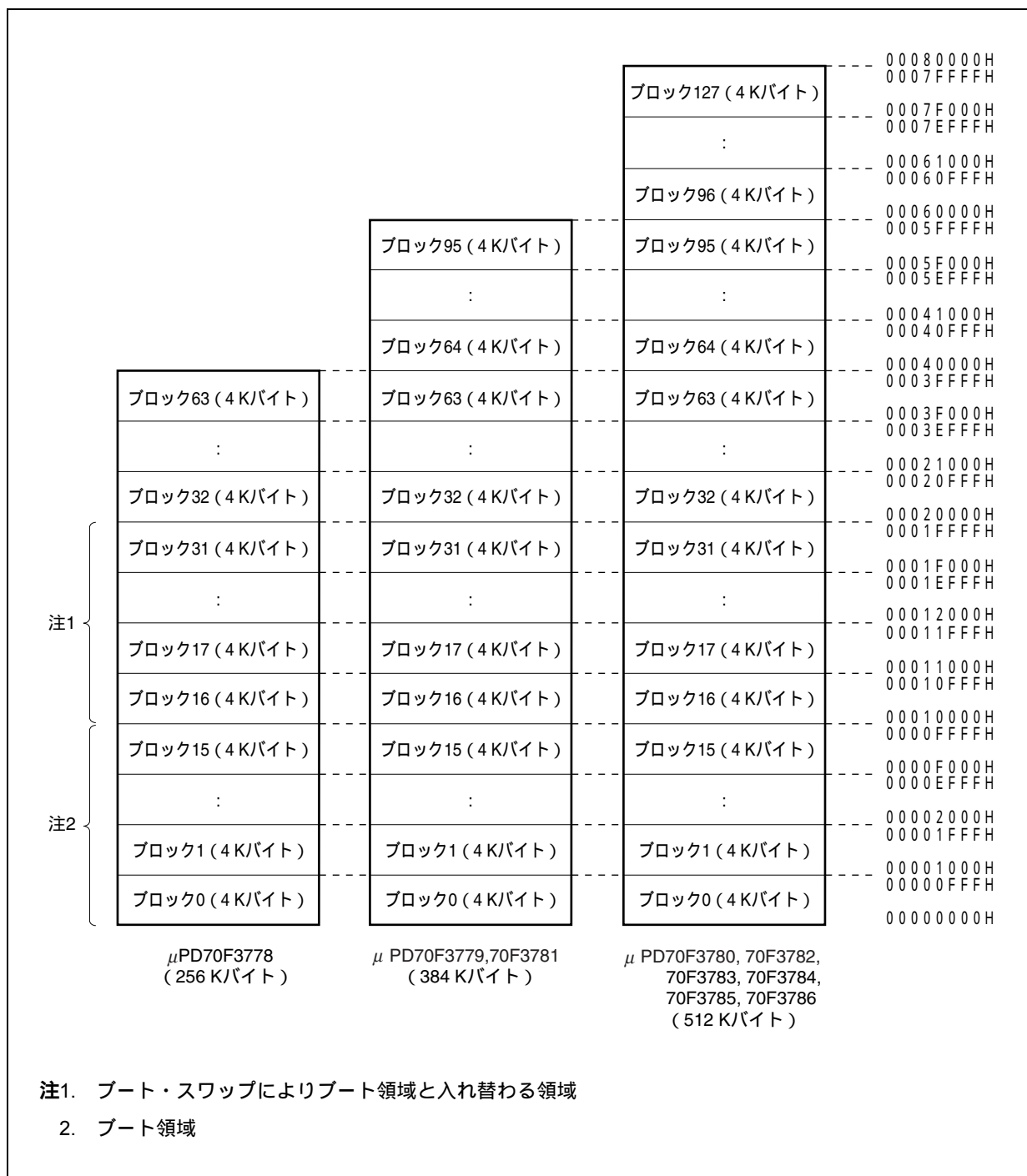
セルフ・プログラミング中の割り込み受け付け可能

33.2 メモリ構成

V850ES/JH3-E, V850ES/JJ3-Eの内蔵フラッシュ・メモリの領域は64, 96, 128個のブロックに分割されており, 各ブロック単位でプログラム / 消去可能となっています。また, 全ブロックの一括消去も可能です。

また, ブート・スワップ機能を用いた場合, ブロック0-15のアドレスに配置された物理メモリと, ブロック16-31のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については, 33.5 セルフ・プログラミングによる書き換えを参照してください。

図33 - 1 フラッシュ・メモリ・マッピング



33.3 機能概要

V850ES/JH3-E, V850ES/JJ3-Eの内蔵フラッシュ・メモリは、専用フラッシュ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オフボード/オンボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表33 - 1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・プログラマと専用プログラム・アダプタ・ボード(FAシリーズ)を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード/オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表33 - 2 基本機能一覧

機能	機能概要	サポートの有無 (: サポート, × : 未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・プログラマから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ブロック消去コマンド/チップ消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定およびブート領域の書き換え禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止/チップ消去コマンド禁止/プログラム・コマンド禁止機能は、出荷後の初期状態はすべて許可になっており、オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表33 - 3 セキュリティ機能一覧

機能	機能概要
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
チップ消去コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
ブート領域の書き換え禁止設定	ブート領域に対しての書き込みコマンド、ブロック消去コマンドおよびチップ消去コマンドの実行を禁止します。一度禁止設定するとブート領域の書き換え禁止設定の初期化ができなくなります。

表33 - 4 セキュリティ設定

機能	各セキュリティ設定時の消去 / 書き込み / 読み出し動作 (: 実行可能, x : 実行不可, : 未サポート)		セキュリティ設定 注意事項	
	オンボード / オフボード・ プログラミング	セルフ・プログラミング	オンボード / オ フボード・プロ グラミング	セルフ・プログ ラミング
ブロック消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	設定を許可から 禁止にする場合 のみ可能
チップ消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : x プログラム・コマンド : ^{注1} リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	
プログラム・ コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : x リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	ブロック消去コマンド : チップ消去コマンド : プログラム・コマンド : リード・コマンド : x	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
ブート領域の書 き換え禁止	ブロック消去コマンド : x ^{注2} チップ消去コマンド : x プログラム・コマンド : x ^{注2} リード・コマンド :	ブロック消去 (FlashBlockErase) : x ^{注2} チップ消去 : - 書き込み (FlashWordWrite) : x ^{注2} 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	設定を許可から 禁止にする場合 のみ可能 ^{注3}

注1. 消去コマンドは無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. ブート領域以外は実行可能です。

3. リセット入力後からブート領域の書き換え禁止機能は有効になります。

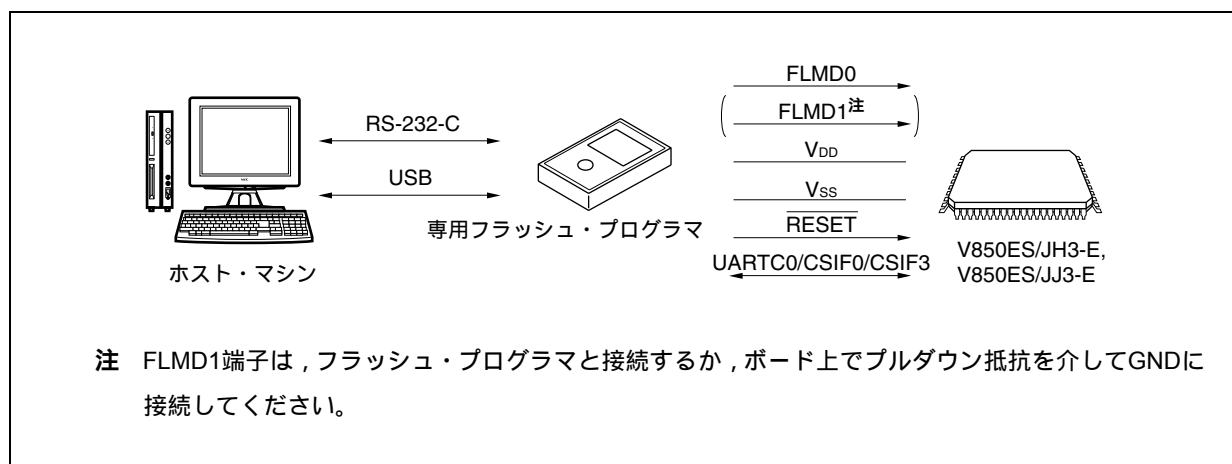
33.4 専用フラッシュ・プログラマでの書き換え

専用フラッシュ・プログラマにて、ターゲット・システム上にV850ES/JH3-E, V850ES/JJ3-Eを実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

33.4.1 プログラミング環境

V850ES/JH3-E, V850ES/JJ3-Eのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図33-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・プログラマとV850ES/JH3-E, V850ES/JJ3-EとのインターフェースはUARTC0, CSIF0またはCSIF3を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

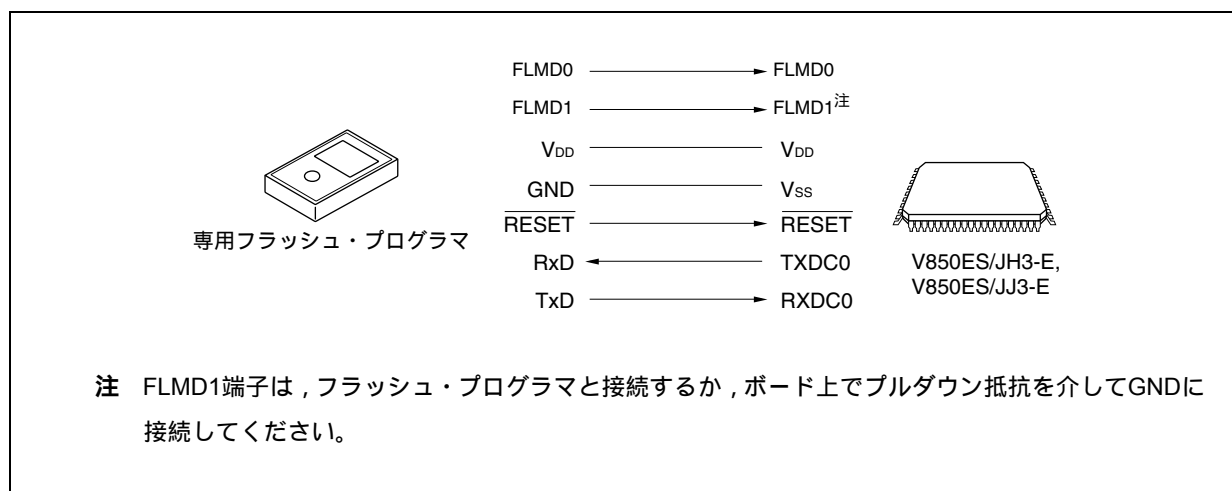
33.4.2 通信方式

専用フラッシュ・プログラマとV850ES/JH3-E, V850ES/JJ3-Eとの通信は, V850ES/JH3-E, V850ES/JJ3-EのUARTC0, CSIF0またはCSIF3によるシリアル通信で行います。

(1) UARTC0

転送レート : 9600 ~ 153600 bps

図33 - 3 専用フラッシュ・プログラマとの通信 (UARTC0)

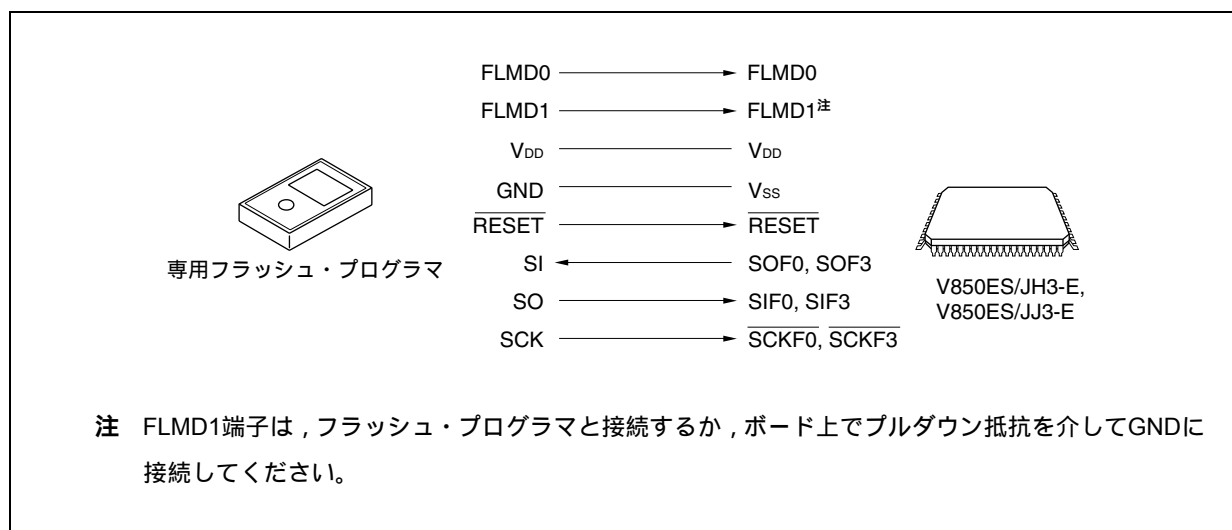


(2) CSIF0, CSIF3

シリアル・クロック : 8 MHz以下 : CSIF0 (MSBファースト)

5 MHz以下 : CSIF3 (MSBファースト)

図33 - 4 専用フラッシュ・プログラマとの通信 (CSIF0, CSIF3)

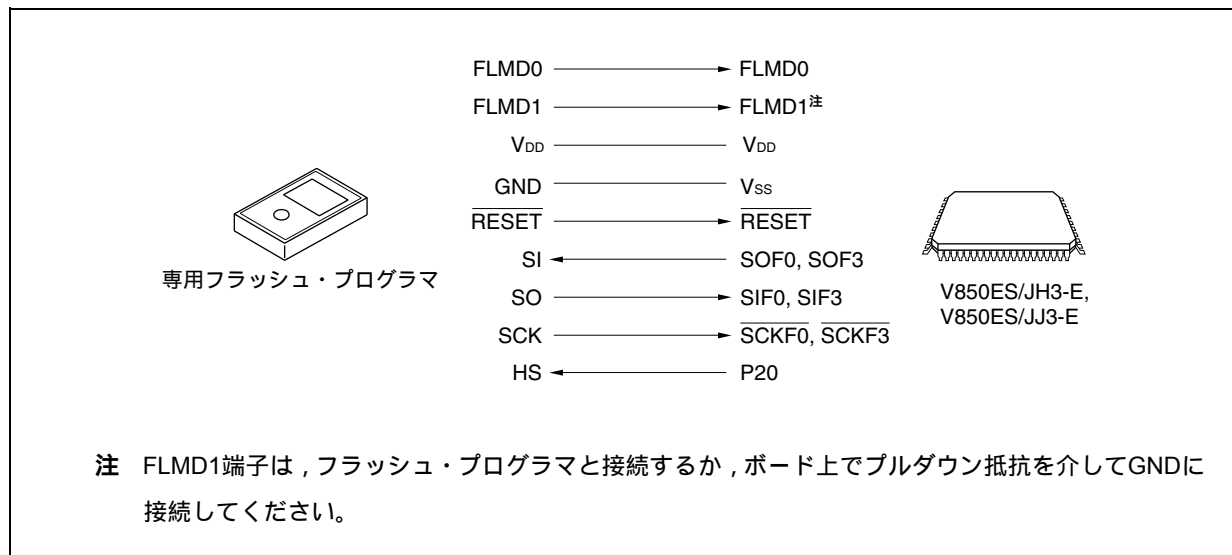


(3) CSIF0 + HS, CSIF3 + HS

シリアル・クロック : 8 MHz以下 : CSIF0 (MSBファースト)

5 MHz以下 : CSIF3 (MSBファースト)

図33 - 5 専用フラッシュ・プログラマとの通信 (CSIF0 + HS, CSIF3 + HS)



専用フラッシュ・プログラマが転送クロックを出力し、V850ES/JH3-E, V850ES/JJ3-Eはスレーブとして動作します。

専用フラッシュ・プログラマとしてPG-FP5を使用した場合、PG-FP5はV850ES/JH3-E, V850ES/JJ3-Eに対して次の信号を生成します。詳細はPG-FP5 **ユーザーズ・マニュアル** (R20UT0008J) を参照してください。

表33 - 5 専用フラッシュ・プログラマ (PG-FP5) の信号接続一覧

PG-FP5			V850ES/JH3-E, V850ES/JJ3-E	接続時の処置		
信号名	入出力	端子機能	端子名	UARTC0	CSIF0, CSIF3	CSIF0 + HS, CSIF3 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V _{DD} 電圧生成/電圧監視	V _{DD}			
GND	-	グラウンド	V _{SS}			
CLK	出力	V850ES/JH3-E, V850ES/JJ3-Eへのクロック出力	X1, X2	x ^{注2}	x ^{注2}	x ^{注2}
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOF0, SOF3/ TXDC0			
SO/TxD	出力	送信信号	SIF0, SIF3/ RXDC0			
SCK	出力	転送クロック	SCKF0, SCKF3	x		
HS	入力	CSIF0 + HS, CSIF3 + HS通信のハンドシェイク信号	P20	x	x	

注1. 図33 - 6, 図33 - 7のように配線するか, もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

表33 - 6 V850ES/JH3-Eフラッシュ書き込み用アダプタ (FA-128GF-GAT-B) の配線表 (1/2)

フラッシュ・プログラマ (PG-FP5) 接続端子			FA ボード の端子名	CSIF0 + HS使用時		CSIF0使用時		UARTC0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOF0	4	P41/SOF0	4	P30/TXDC0/	28
SO/TxD	出力	送信信号	SO	P40/SIF0	3	P40/SIF0	3	P31/RXDC0	29
SCK	出力	転送クロック	SCK	P42/SCKF0	5	P42/SCKF0	5	必要なし	-
CLK	出力	V850ES/JH3-E へのクロック	X1	必要なし	-	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	RESET	18	RESET	18	RESET	18
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	12	FLMD0	12	FLMD0	12
FLMD1	出力	書き込み電圧	FLMD1	PDL5/AD5/ FLMD1	92	PDL5/AD5/ FLMD1	92	PDL5/AD5/ FLMD1	92
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	P20	38	必要なし	-	必要なし	-
VDD	-	VDD 電圧生 成 / 電圧監視	VDD	V _{DD}	13, 82	V _{DD}	13, 82	V _{DD}	13, 82
				EV _{DD}	35, 61, 85, 102, 118	EV _{DD}	35, 61, 85, 102, 118	EV _{DD}	35, 61, 85, 102, 118
				UV _{DD}	11	UV _{DD}	11	UV _{DD}	11
				AV _{REF0}	1	AV _{REF0}	1	AV _{REF0}	1
GND	-	グラウンド	GND	V _{SS}	15, 34, 60, 84, 101, 117	V _{SS}	15, 34, 60, 84, 101, 117	V _{SS}	15, 34, 60, 84, 101, 117
				AV _{SS}	2	AV _{SS}	2	AV _{SS}	2

注意1. REGC端子は、必ず4.7 μ F (推奨値) のコンデンサを介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

表33 - 6 V850ES/JH3-Eフラッシュ書き込み用アダプタ (FA-128GF-GAT-B) の配線表 (2/2)

フラッシュ・プログラマ (PG-FP5) 接続端子			FAボードの 端子名	CSIF3 + HS使用時		CSIF3使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P914/SOF3	79	P914/SOF3	79
SO/TxD	出力	送信信号	SO	P913/SIF3	78	P913/SIF3	78
SCK	出力	転送クロック	SCK	P915/ $\overline{\text{SCKF3}}$	80	P915/ $\overline{\text{SCKF3}}$	80
CLK	出力	V850ES/JH3-Eへの クロック	X1	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	$\overline{\text{RESET}}$	18	$\overline{\text{RESET}}$	18
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	12	FLMD0	12
FLMD1	出力	書き込み電圧	FLMD1	PDL5/AD5/FLMD1	92	PDL5/AD5/FLMD1	92
HS	入力	CSI0 + HS通信のハ ンドシェーク信号	RESERVE/HS	P20	38	必要なし	-
VDD	-	VDD電圧生成 / 電 圧監視	VDD	V _{DD}	13, 82	V _{DD}	13, 82
				E _{VDD}	35, 61, 85, 102, 118	E _{VDD}	35, 61, 85, 102, 118
				U _{VDD}	11	U _{VDD}	11
				A _{VREF0}	1	A _{VREF0}	1
GND	-	グラウンド	GND	V _{SS}	15, 34, 60, 84, 101, 117	V _{SS}	15, 34, 60, 84, 101, 117
				A _{VSS}	2	A _{VSS}	2

注意1. REGC端子は、必ず4.7 μ F (推奨値) のコンデンサを介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

図33 - 6 V850ES/JH3-Eフラッシュ書き込み用アダプタ (FA-128GF-GAT-B) の配線例 (CSIF0+HSモード時) (1/2)

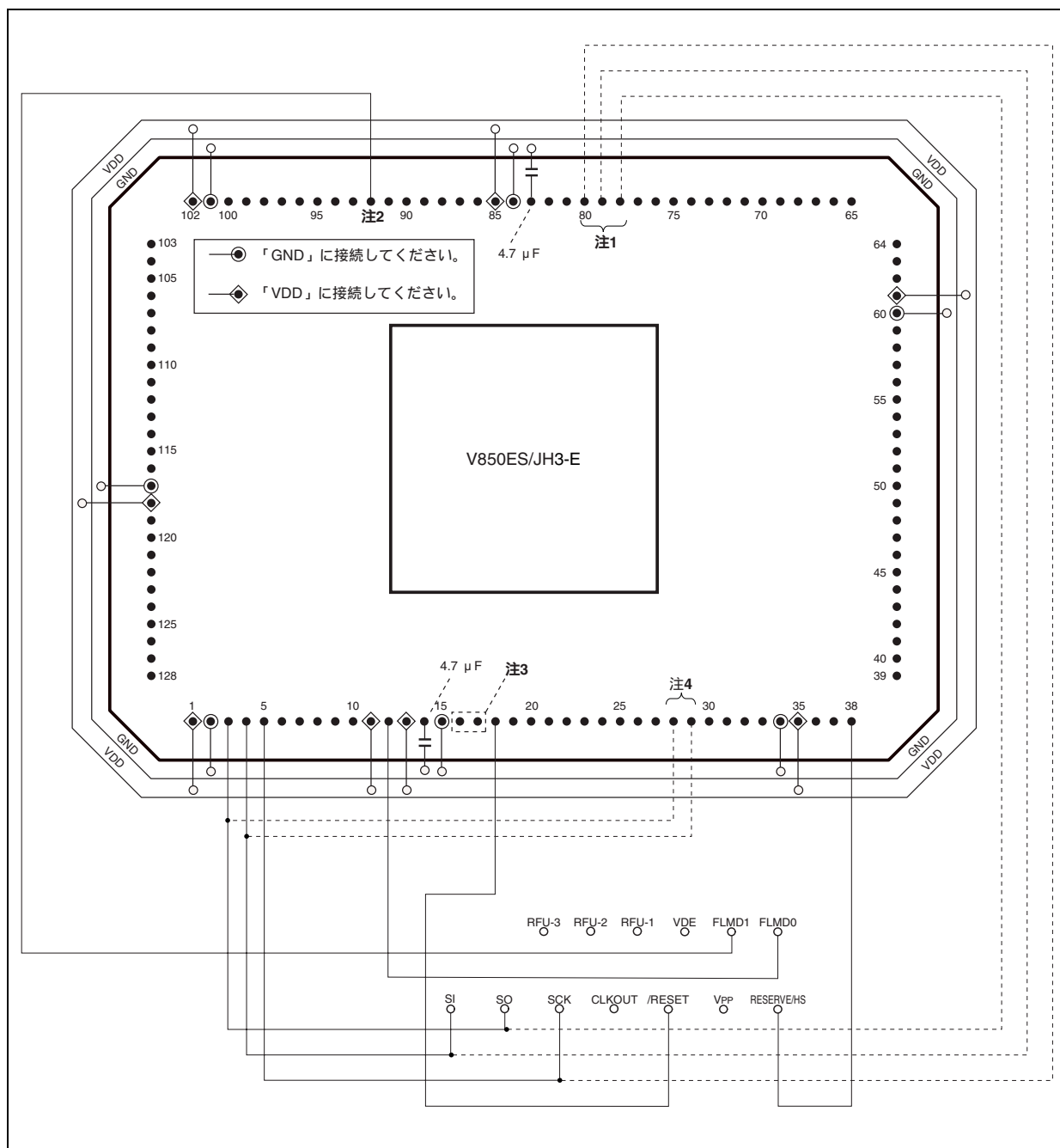
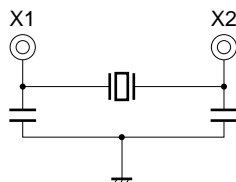


図33 - 6 V850ES/JH3-Eフラッシュ書き込み用アダプタ (FA-128GF-GAT-B) の配線例 (CSIF0+HSモード時) (2/2)

注1. CSIF3使用時の該当端子

2. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
3. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



4. UARTC0使用時の該当端子

注意 $\overline{\text{DRST}}$ 端子には、ハイ・レベルを入力しないでください。

備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2. 3 端子の入出力回路タイプ、入出力バッファ電源と未使用時の処理参照)。

2. このアダプタは128ピン・プラスチックLQFPパッケージ用です。

表33 - 7 V850ES/JJ3-Eフラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線表 (1/2)

フラッシュ・プログラマ (PG-FP5) 接続端子			FA ボード の端子名	CSIF0 + HS使用時		CSIF0使用時		UARTC0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOF0	4	P41/SOF0	4	P30/TXDC0/	28
SO/TxD	出力	送信信号	SO	P40/SIF0	3	P40/SIF0	3	P31/RXDC0	29
SCK	出力	転送クロック	SCK	P42/SCKF0	5	P42/SCKF0	5	必要なし	-
CLK	出力	V850ES/JJ3-E へのクロック	X1	必要なし	-	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	RESET	18	RESET	18	RESET	18
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	12	FLMD0	12	FLMD0	12
FLMD1	出力	書き込み電圧	FLMD1	PDL5/AD5/ FLMD1	98	PDL5/AD5/ FLMD1	98	PDL5/AD5/ FLMD1	98
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	P20	38	必要なし	-	必要なし	-
VDD	-	VDD 電圧 生 成 / 電圧監視	VDD	V _{DD}	13, 88	V _{DD}	13, 88	V _{DD}	13, 88
				EV _{DD}	35, 67, 91, 108, 132	EV _{DD}	35, 67, 91, 108, 132	EV _{DD}	35, 67, 91, 108, 132
				UV _{DD}	11	UV _{DD}	11	UV _{DD}	11
				AV _{REF0}	1	AV _{REF0}	1	AV _{REF0}	1
GND	-	グラウンド	GND	V _{SS}	15, 34, 66, 90, 107, 131	V _{SS}	15, 34, 66, 90, 107, 131	V _{SS}	15, 34, 66, 90, 107, 131
				AV _{SS}	2	AV _{SS}	2	AV _{SS}	2

注意1. REGC端子は、必ず4.7 μ F (推奨値) のコンデンサを介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

表33 - 7 V850ES/JJ3-Eフラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線表 (2/2)

フラッシュ・プログラマ (PG-FP5) 接続端子			FAボードの 端子名	CSIF3 + HS使用時		CSIF3使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P914/SOF3	85	P914/SOF3	85
SO/TxD	出力	送信信号	SO	P913/SIF3	84	P913/SIF3	84
SCK	出力	転送クロック	SCK	P915/SCKF3	86	P915/SCKF3	86
CLK	出力	V850ES/JJ3-E への クロック	X1	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	RESET	18	RESET	18
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	12	FLMD0	12
FLMD1	出力	書き込み電圧	FLMD1	PDL5/AD5/FLMD1	98	PDL5/AD5/FLMD1	98
HS	入力	CSI0 + HS通信のハ ンドシェーク信号	RESERVE/HS	P20	38	必要なし	-
VDD	-	VDD電圧生成 / 電 圧監視	VDD	VDD	13, 88	VDD	13, 88
				EVDD	35, 67, 91, 108, 132	EVDD	35, 67, 91, 108, 132
				UVDD	11	UVDD	11
				AVREF0	1	AVREF0	1
GND	-	グラウンド	GND	VSS	15, 34, 66, 90, 107, 131	VSS	15, 34, 66, 90, 107, 131
				AVSS	2	AVSS	2

注意1. REGC端子は、必ず4.7 μ F (推奨値) のコンデンサを介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

図33 - 7 V850ES/JJ3-Eフラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (CSIF0 + HSモード時) (1/2)

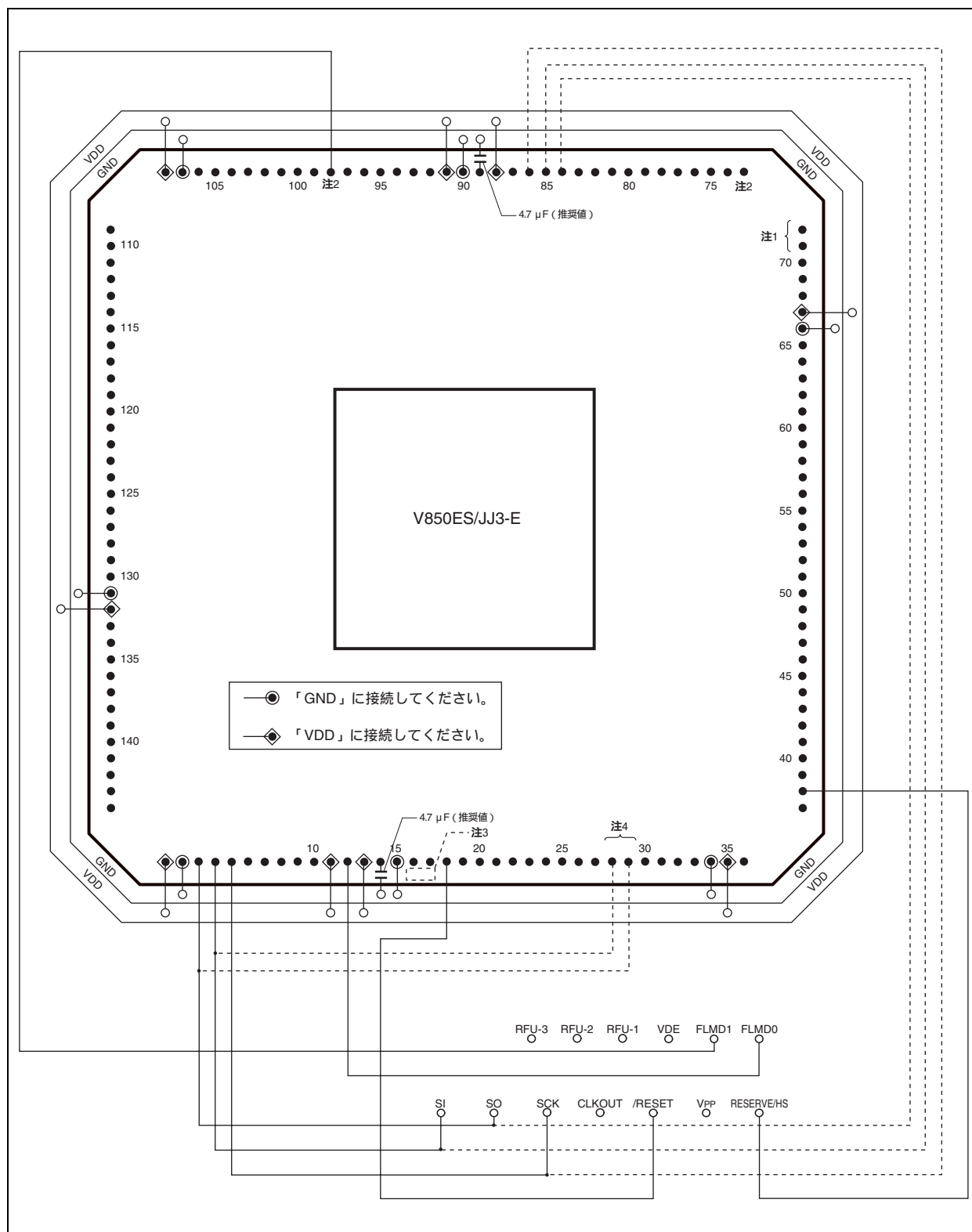
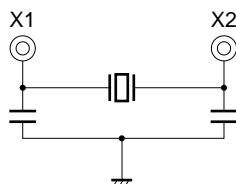


図33 - 7 V850ES/JJ3-Eフラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (CSIF0 + HSモード時) (2/2)

注1. CSIF3使用時の該当端子

2. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
3. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



4. UARTC0使用時の該当端子

注意 $\overline{\text{DRST}}$ 端子には、ハイ・レベルを入力しないでください。

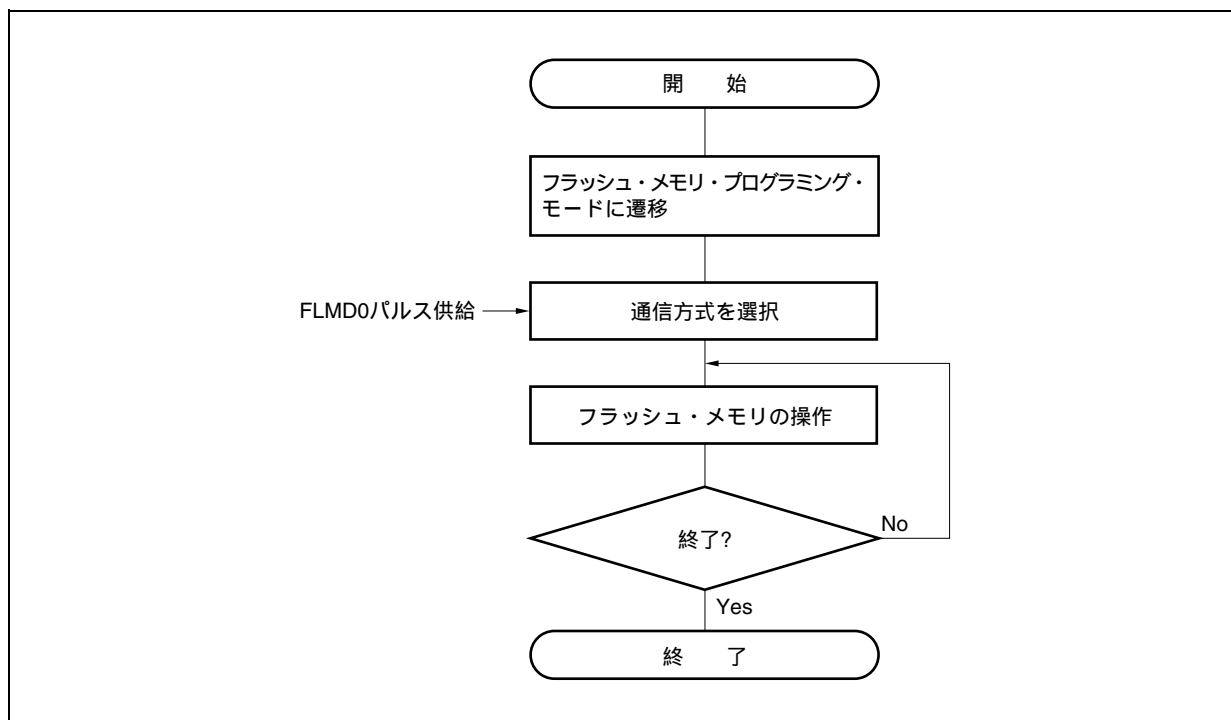
備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2.3 端子の入出力回路タイプ、入出力バッファ電源と未使用時の処理参照)。

2. このアダプタは144ピン・プラスチックLQFPパッケージ用です。

33.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図33 - 8 フラッシュ・メモリの操作手順

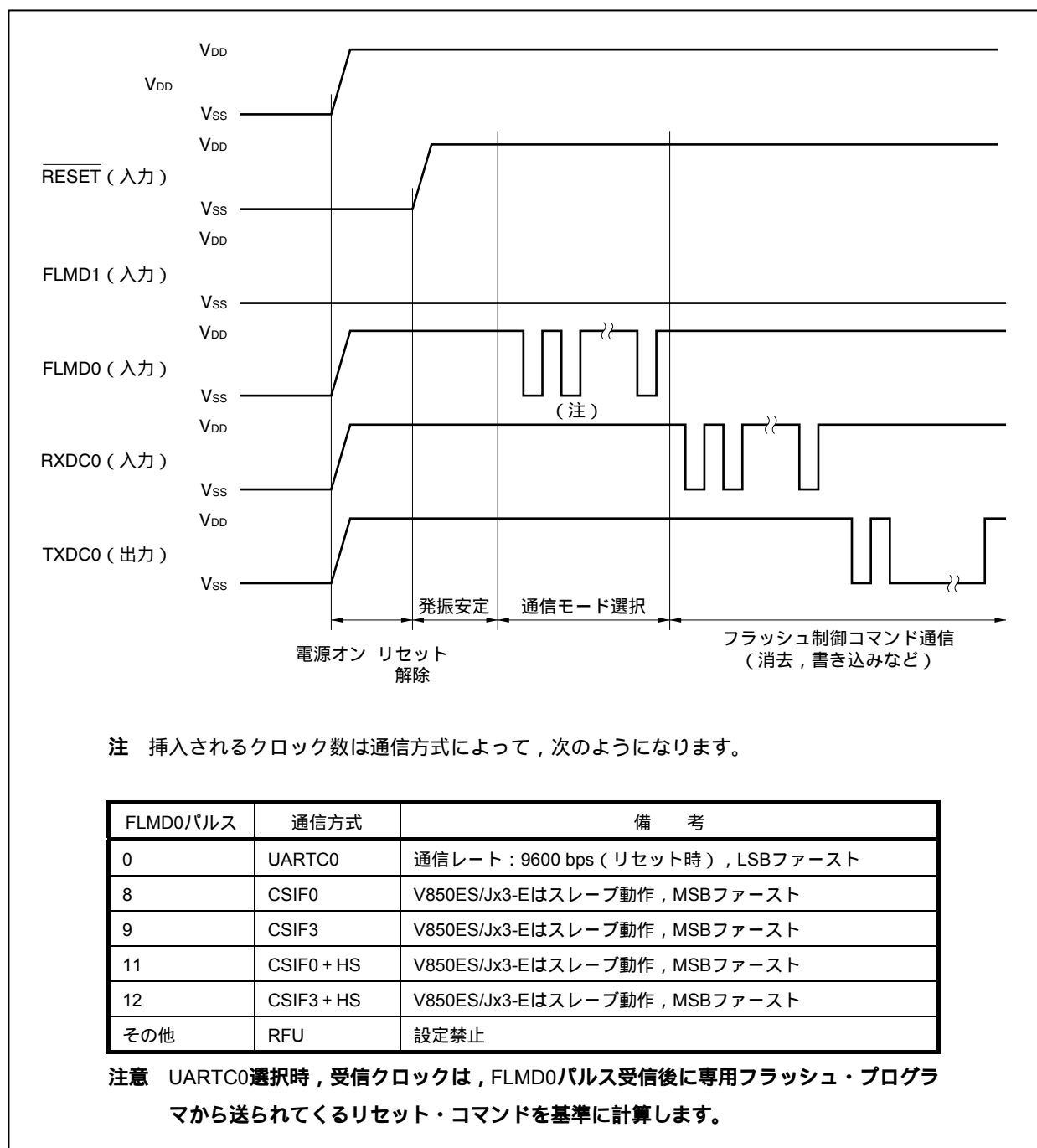


33.4.4 通信方式の選択

V850ES/JH3-E, V850ES/JJ3-Eでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大12パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

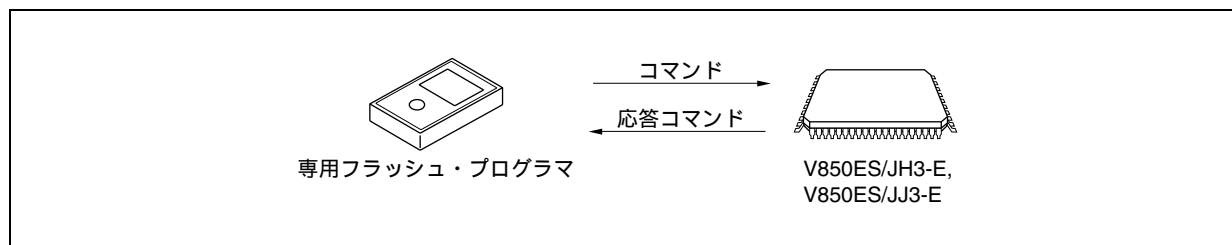
図33 - 9 通信方式の選択



33.4.5 通信コマンド

V850ES/JH3-E, V850ES/JJ3-Eと専用フラッシュ・プログラマは、コマンドを介して通信します。専用フラッシュ・プログラマからV850ES/JH3-E, V850ES/JJ3-Eへ送られる信号を「コマンド」と呼び、V850ES/JH3-E, V850ES/JJ3-Eから専用フラッシュ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図33 - 10 通信コマンド



V850ES/JH3-E, V850ES/JJ3-Eのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850ES/JH3-E, V850ES/JJ3-Eがコマンドに対応した各処理を行います。

表33 - 7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIF0, CSIF3	CSIF0+HS, CSIF3+HS	UARTC0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・プログラマから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定, およびブート領域の書き換え禁止設定

33.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

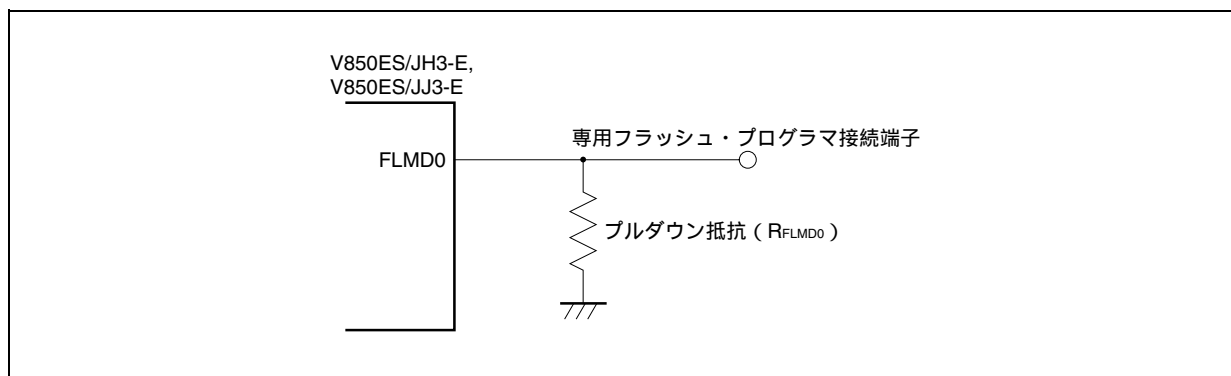
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子に V_{SS} レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を供給する必要があります。詳細は、33.5.5 (1) FLMD0端子を参照してください。

図33 - 11 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に V_{DD} が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図33 - 12 FLMD1端子の接続例

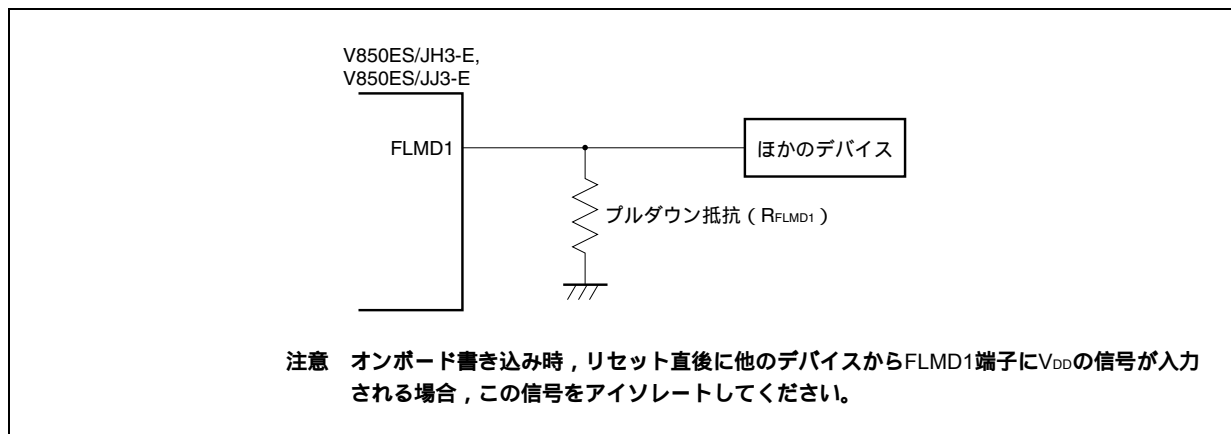


表33 - 8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V _{DD}	0	フラッシュ・メモリ・プログラミング・モード
V _{DD}	V _{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表33 - 9 各シリアル・インタフェースが使用する端子

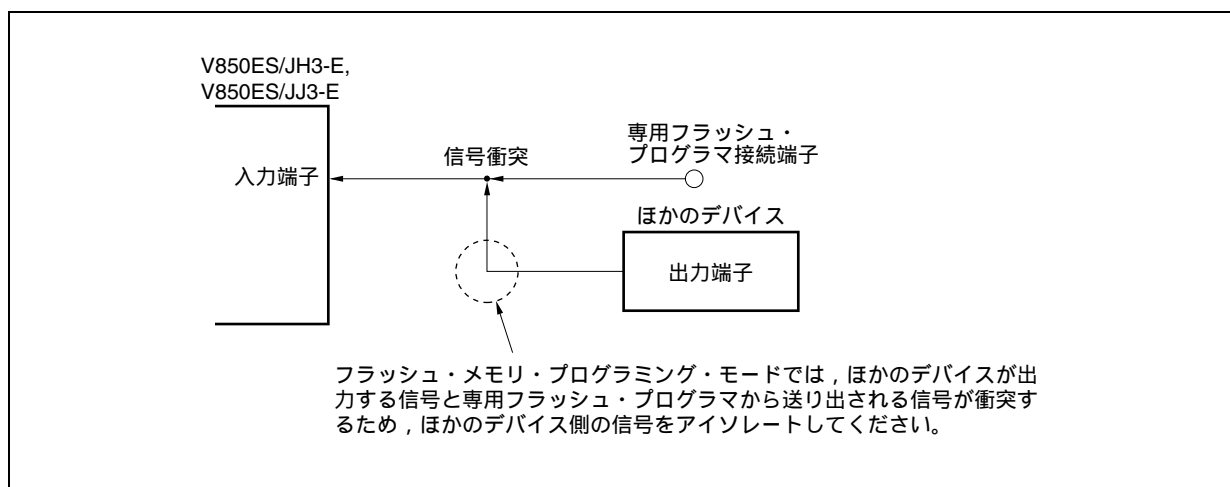
シリアル・インタフェース	使用端子
UARTC0	TXDC0, RXDC0
CSIF0	SOF0, SIF0, SCKF0
CSIF3	SOF3, SIF3, SCKF3
CSIF0 + HS	SOF0, SIF0, SCKF0, P20
CSIF3 + HS	SOF3, SIF3, SCKF3, P20

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

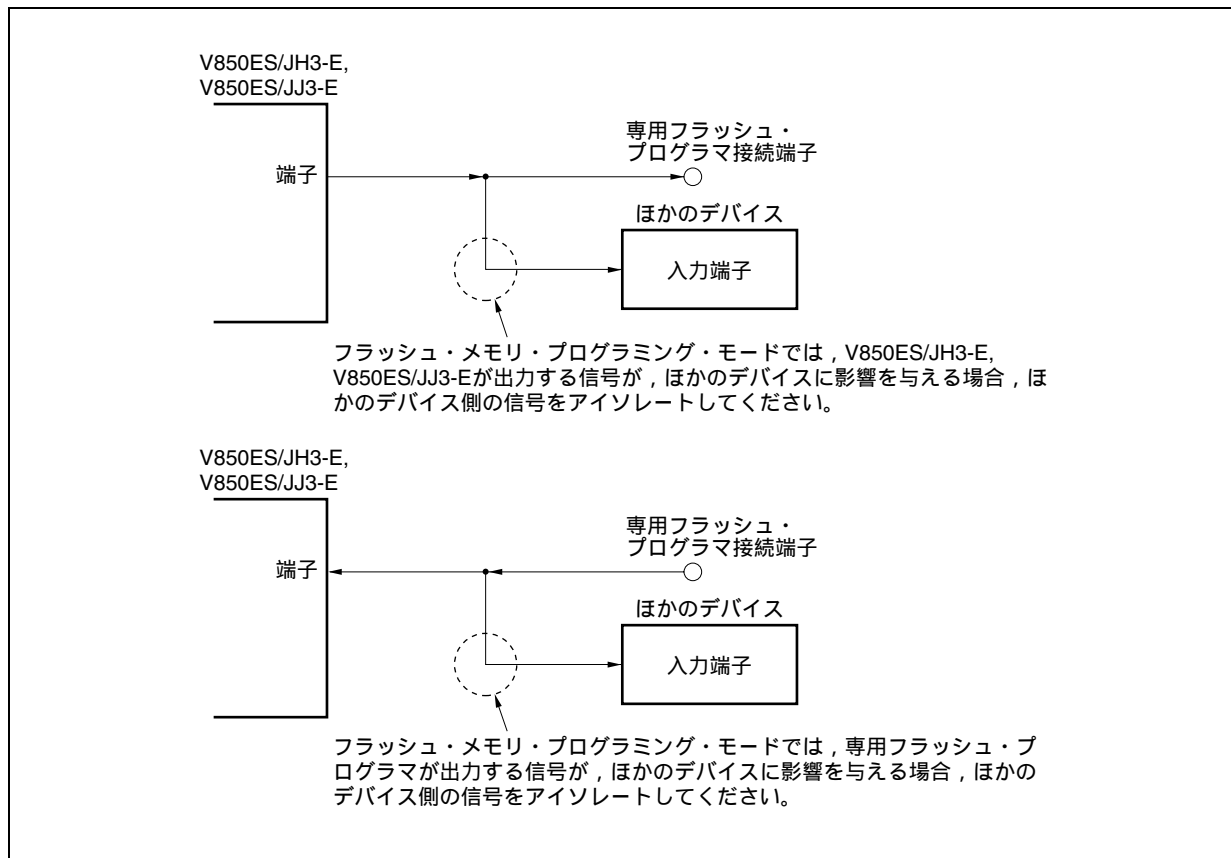
図33 - 13 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インタフェース用の端子(入力または出力)に、専用フラッシュ・プログラマ(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図33 - 14 ほかのデバイスの異常動作

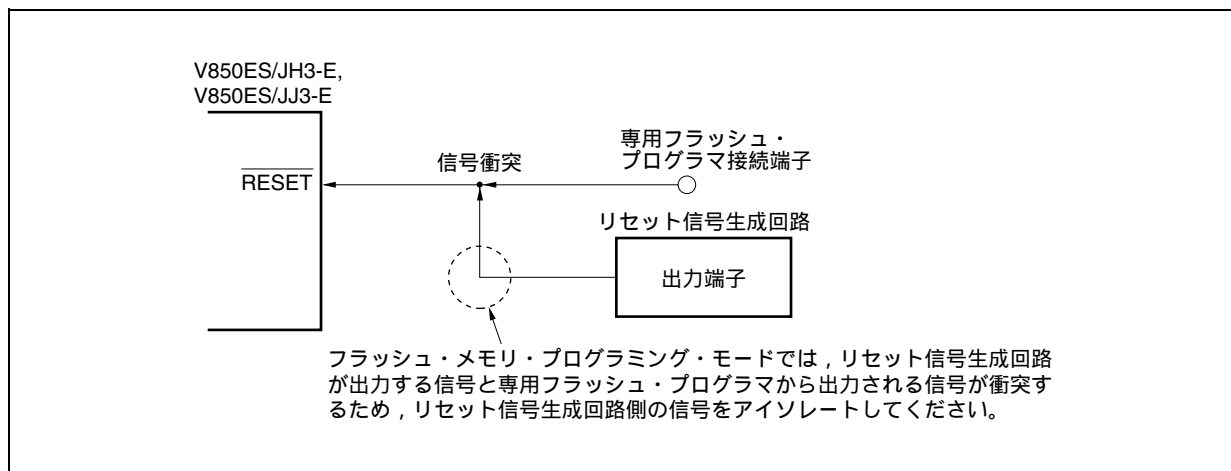


(4) RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・プログラムのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・プログラマからのリセット信号以外は入力しないでください。

図33 - 15 信号の衝突 (RESET端子)

**(5) ポート端子 (NMIを含む)**

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCIは、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

(7) 電 源

電源 (V_{DD}, V_{SS}, EV_{DD}, UV_{DD}, AV_{REF0}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

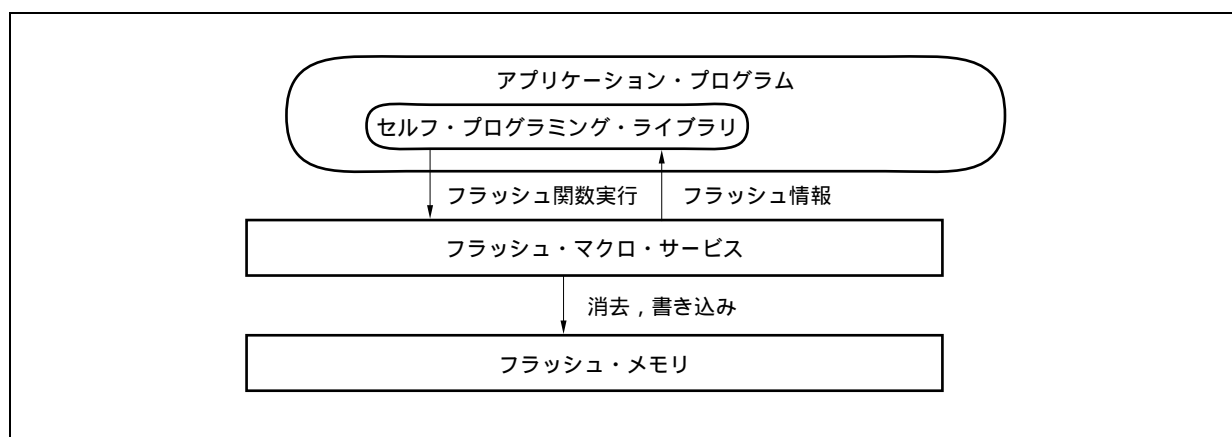
33.5 セルフ・プログラミングによる書き換え

33.5.1 概 要

V850ES/JH3-E, V850ES/JJ3-Eは、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換え^注を行うことができます。

注 書き換え対象の定数データがあるブロックに、プログラム・コードを配置しないよう注意してください。ブロック構成については、33.2 **メモリ構成**を参照してください。

図33-16 セルフ・プログラミングの概念図

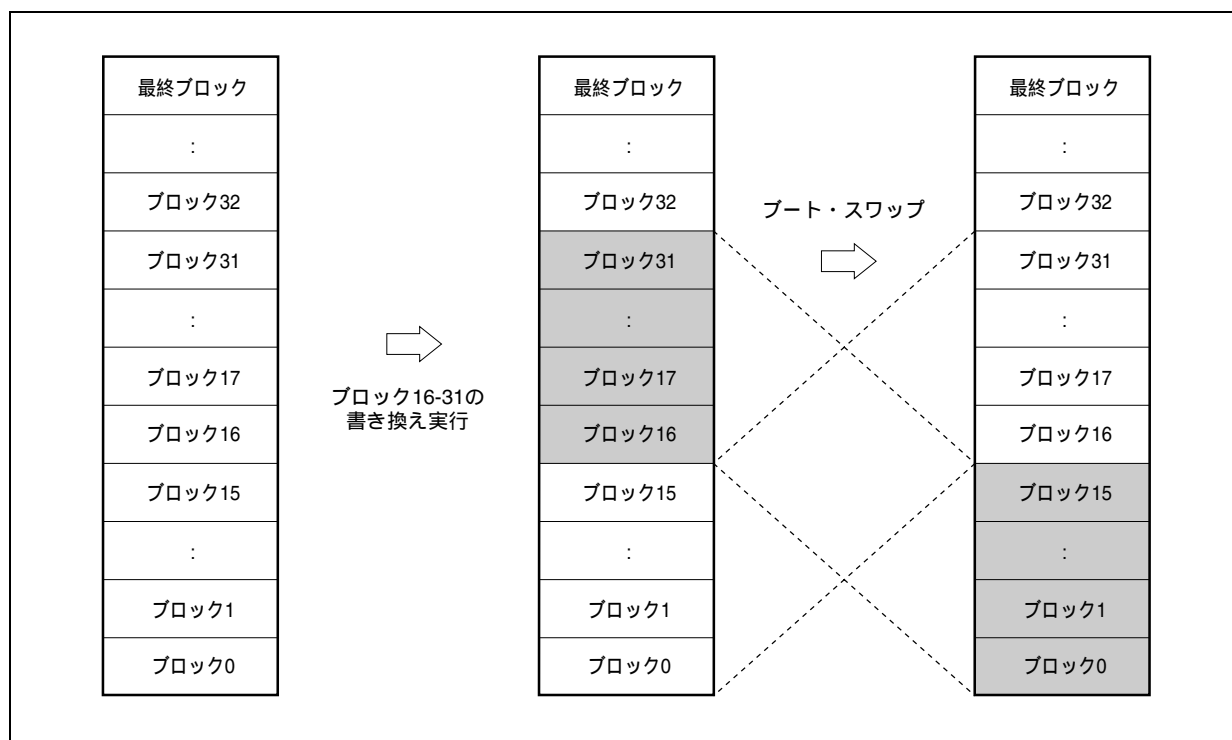


33.5.2 特 徴

(1) セキュア・セルフ・プログラミング (ブート・スワップ機能)

V850ES/JH3-E, V850ES/JJ3-Eは、ブロック0-15の物理メモリと、ブロック16-31の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブロック16-31に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブロック0-15には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図33 - 17 全メモリ領域の書き換え (ブート・スワップ対応)



(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

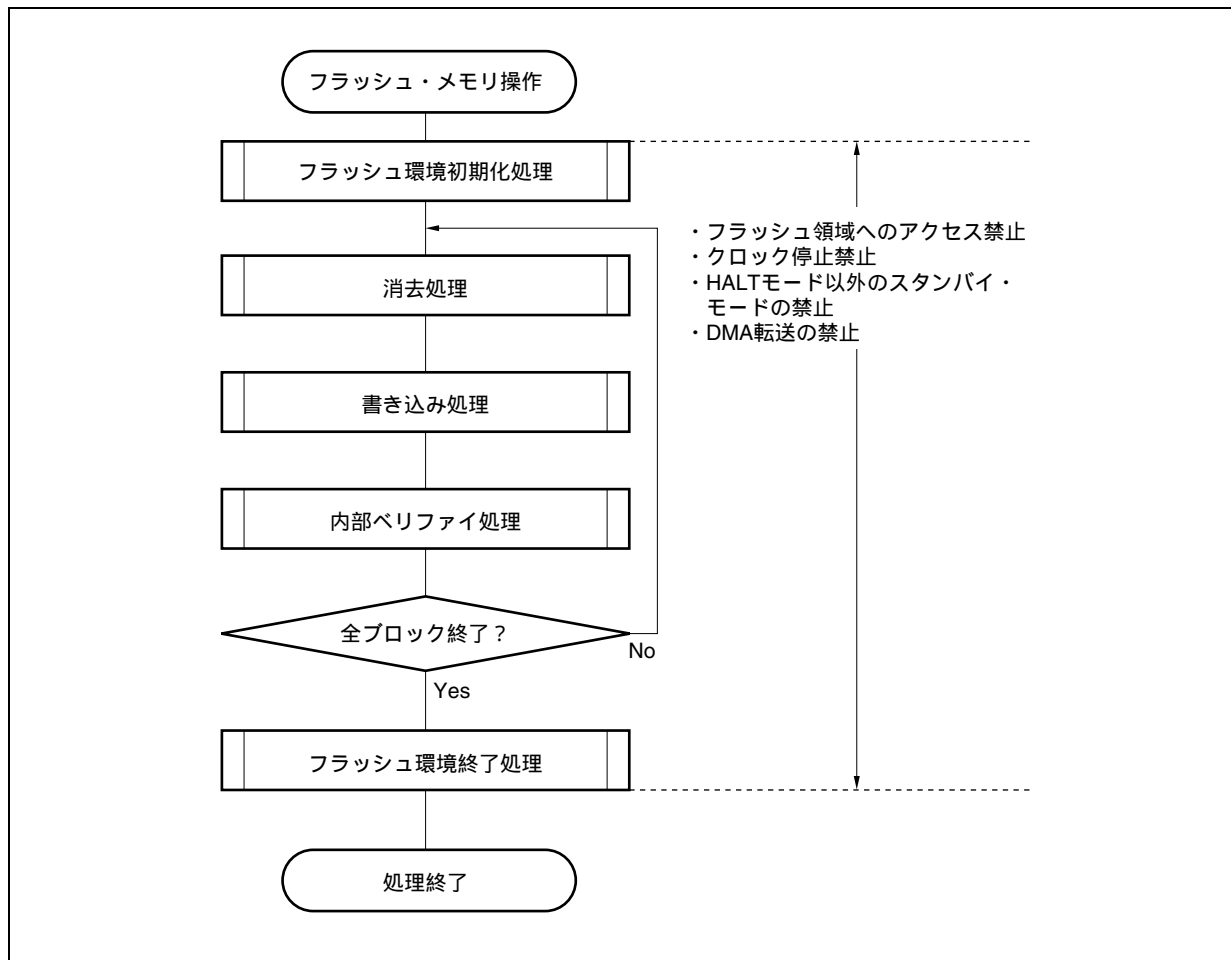
そのため、V850ES/JH3-E, V850ES/JJ3-Eでは、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地^注に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地^注にユーザ割り込み処理へ遷移するJMP命令を用意してください。

注 NMI割り込み : 内蔵RAMの先頭番地
 マスカブル割り込み : 内蔵RAMの先頭 + 4番地

33. 5. 3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図33 - 18 標準セルフ・プログラミング・フロー



33.5.4 フラッシュ関数一覧

表33 - 10 フラッシュ関数一覧

関数名	概要	対応
FlashInit	セルフ・ライブラリの初期化	
FlashEnv	フラッシュ環境の開始 / 終了	
FlashFLMDCheck	FLMD端子のチェック	
FlashStatusCheck	ハードウェア処理の実況チェック	
FlashBlockErase	ブロックの消去	
FlashWordWrite	データの書き込み	
FlashBlockVerify	ブロックの内部ベリファイ	
FlashBlockBlankCheck	ブロックのブランク・チェック	
FlashSetInfo	フラッシュ情報の設定	
FlashGetInfo	フラッシュ情報の獲得	
FlashBootSwap	ブート・スワップの実行	

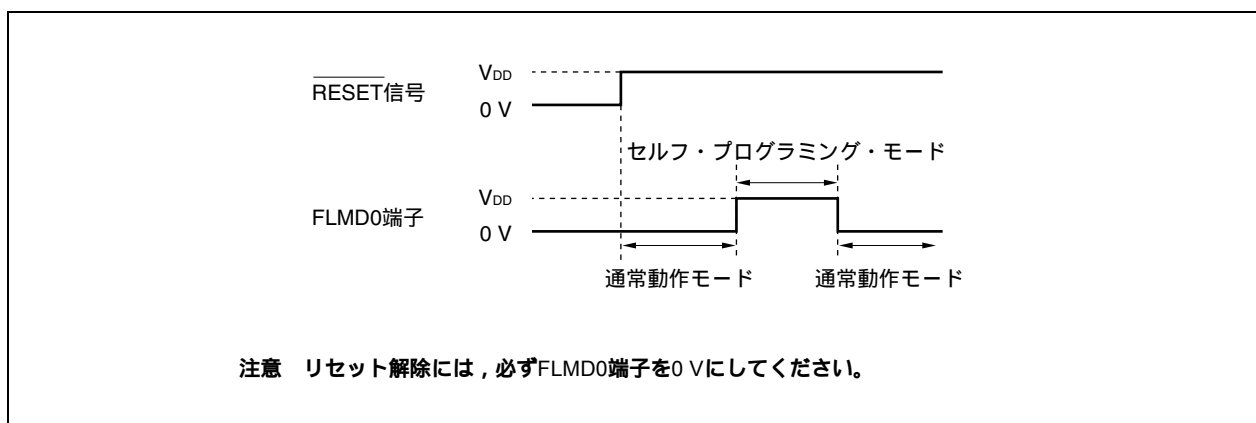
33.5.5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図33 - 19 モード切り替わりタイミング



33. 5. 6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表33 - 11 使用する内部資源

リソース名	説明
スタック領域	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード ^注	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭+4番地に処理が移るため，あらかじめ内蔵RAMの先頭+4番地にユーザ割り込み処理へ遷移するjump命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭番地に処理が移るため，あらかじめ内蔵RAMの先頭番地にユーザ割り込み処理へ遷移するjump命令を用意してください。

注 使用リソースについては、フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアルを参照してください。

33.6 書き込み済み品発注用ROMコードの作成方法

ルネサス エレクトロニクスでの書き込み済み製品は、発注用のROMコードを作成し、ルネサス エレクトロニクスへ発注する必要があります。

ROMコードは、完成したプログラム（ヘキサ・ファイル）とオプション・データ（フラッシュ・メモリ・プログラマによるセキュリティ設定情報など）をHex Consolidation Utility（以降、HCU）を使用して作成します。

また、HCUは、ROMコード作成に必要な機能を搭載したソフトウェア・ツールです。

ルネサス エレクトロニクスのWEBサイトからHCUをダウンロードしてください。

(1) WEBサイト

<http://www2.renesas.com/micro/ja/ods/> 「バージョンアップ・サービス」をクリック

(2) HCUのダウンロード方法

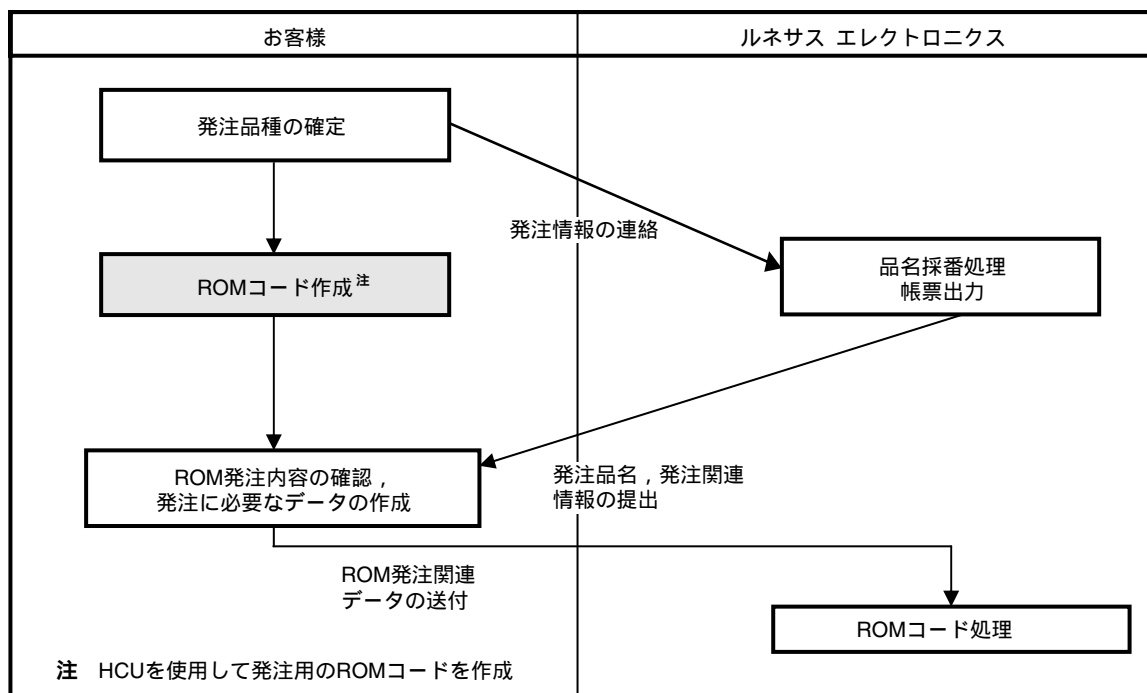
「書き込み済みフラッシュ製品用ソフトウェア」 「HCU_GUI」をクリックしてダウンロードしてください。

備考 インストール方法、HCUの使用法の詳細については、上記WEBサイトにあるHCUの添付資料（ユーザズ・マニュアル）を参照してください。

33.6.1 ROMコードの発注手順

ROMコードは、下記の流れでHCUを用いて作成し、ルネサス エレクトロニクスへ発注してください。

詳細は、ROMコードの発注方法 インフォメーション（C10302J）を参照してください。



第34章 オンチップ・デバッグ機能

V850ES/JH3-E, V850ES/JJ3-Eのオンチップ・デバッグ機能を実現するには次の2つの方法があります。

- ・ DCU (デバッグ・コントロール・ユニット) を使用する方法
 $\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子としてV850ES/JH3-E, V850ES/JJ3-Eに内蔵されているDCUによってオンチップ・デバッグを実現します。
- ・ DCUを使用しない方法
 DCUを使用せず, ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表34 - 1 オンチップ・デバッグ機能の特徴

	DCUを使用する方法	DCUを使用しない方法
デバッグ・インタフェース端子	$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO	<ul style="list-style-type: none"> ・ UARTC0使用時 RXDC0, TXDC0 ・ CSIF0使用時 SIF0, SOF0, $\overline{\text{SCKF0}}$, HS (P20) ・ CSIF3使用時 SIF3, SOF3, $\overline{\text{SCKF3}}$, HS (P20)
ユーザ資源の確保	不要	必要
ハードウェア・ブ레이크機能	2ポイント	2ポイント
ソフトウェア・ブ레이크機能	4ポイント	4ポイント
ソフトウェア・ブ레이크機能	2000ポイント	2000ポイント
リアルタイムRAMモニタ機能 ^{※1}	可能	可能
ダイナミック・メモリ・モディフィケーション (DMM) 機能 ^{※2}	可能	可能
マスク機能	リセット, NMI, INTWDT2, $\overline{\text{HLDRQ}}$, WAIT	RESET端子
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証
使用するハードウェア	MINICUBEなど	MINICUBE2など
トレース機能	サポートしていません	サポートしていません
デバッグ割り込みインタフェース機能 (DBINT)	サポートしていません	サポートしていません

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

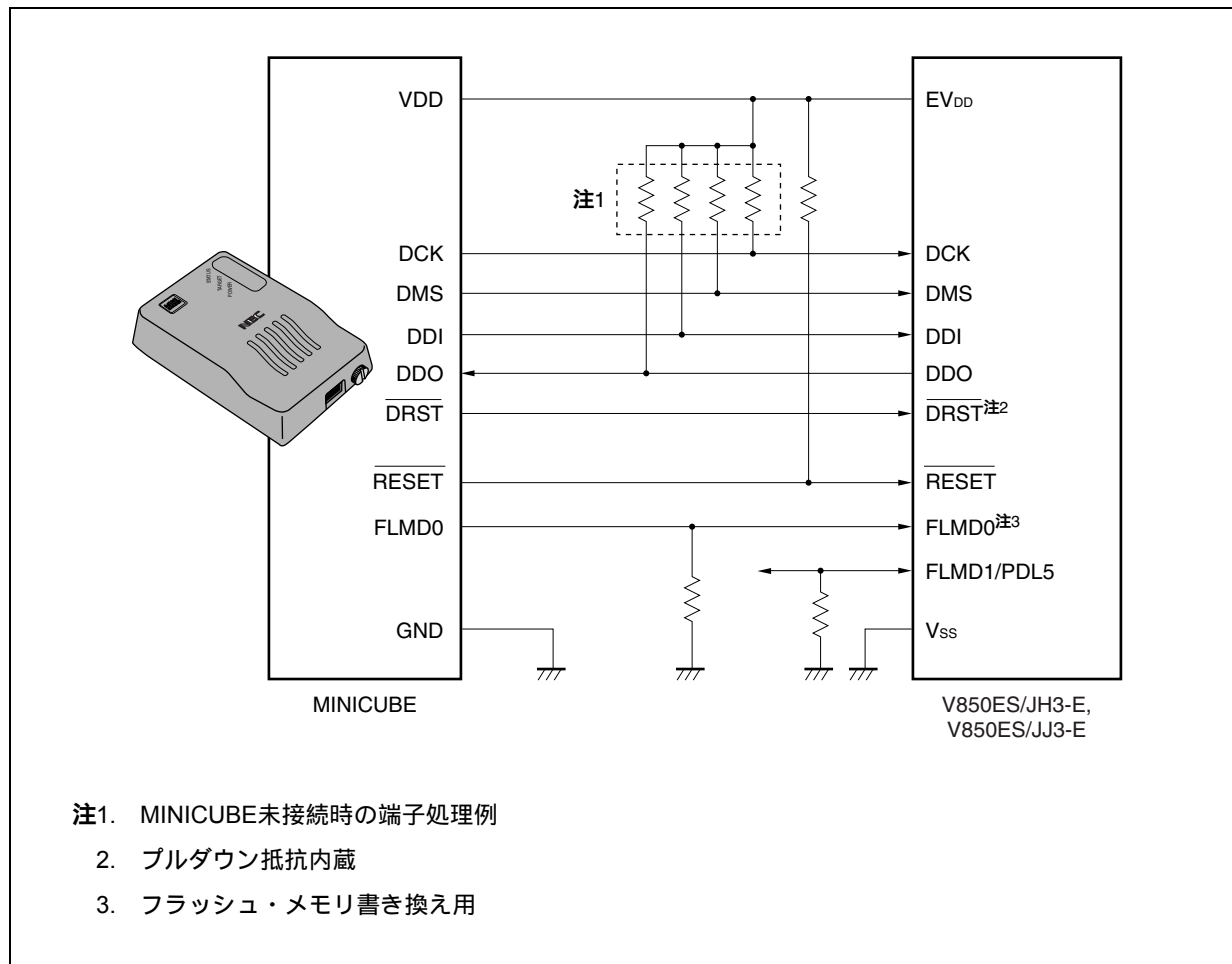
2. プログラム実行中にRAMの内容の書き換えを行う機能です。

34.1 DCUを使用する方法

デバッグ・インタフェース端子 ($\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子) を利用して, オンチップ・デバッグ・エミュレータ (MINICUBE) を接続することで, プログラムのデバッグが可能です。

34.1.1 接続回路例

図34 - 1 デバッグ・インタフェース端子を通信インタフェースとして使用する場合の回路接続例



34. 1. 2 インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッグの起動後にターゲット・システムのV_{DD}を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッグを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。MINICUBEから20 MHz、あるいは10 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がりに同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がりに同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) EV_{DD}

ターゲット・システムのV_{DD}検出用です。ターゲット・システムからのV_{DD}が未検出の場合は、MINICUBEからの出力信号 ($\overline{\text{DRST}}$, DCK, DMS, DDI, FLMD0, $\overline{\text{RESET}}$ 端子) はハイ・インピーダンスになります。

(7) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

MINICUBEから制御する場合

MINICUBEからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はMINICUBEからは何もドライブしません（ハイ・インピーダンス）。

ブレイク中、統合デバッガのダウンロード機能を実行した際にMINICUBEはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB Ver.3.40 **統合デバッガ ユーザーズ・マニュアル 操作編 (U18604J)** を参照してください。

(8) $\overline{\text{RESET}}$

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDM.OCDM0ビットの値によって、 $\overline{\text{DRST}}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、MINICUBEから $\overline{\text{RESET}}$ 端子によるリセットを与えて、 $\overline{\text{DRST}}$ 端子を有効（初期化）にします。

34. 1. 3 マスク機能

リセット, NMI, INTWDT2, $\overline{\text{WAIT}}$, $\overline{\text{HLDRQ}}$ 信号のマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表34 - 2 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/JH3-E, V850ES/JJ3-Eの機能
NMI0	NMI端子入力
NMI2	ノンマスクブル割り込み要求信号 (INTWDT2) 発生
STOP	x
HOLD	$\overline{\text{HLDRQ}}$ 端子入力
RESET	RESET端子入力, 低電圧検出回路, クロック・モニタまたはウォッチドッグ・タイマ (WDT2) のオーバフローによるリセット信号発生
WAIT	$\overline{\text{WAIT}}$ 端子入力

34. 1. 4 レジスタ

(1) オンチップ・デバッグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.8 特定レジスタ参照)。

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタで、オンチップ・デバッグ機能が割り付けられている兼用端子をオンチップ・デバッグ用端子として使用するか、通常のポート/周辺機能兼用端子として使用するかを指定します。また同時に、P54/INTP11/ $\overline{\text{DRST}}$ 端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタへの書き込みは、 $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード/ライト可能です。

リセット時：01H^注 R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	①
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用）かつ、P54/INTP11/DRST端子の内蔵プルダウン抵抗を切断
1	$\overline{\text{DRST}}$ 端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用） $\overline{\text{DRST}}$ 端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 $\overline{\text{RESET}}$ 端子によるリセット時は01Hになります。ただし、WDT2RES信号、クロック・モニタ（CLM）、低電圧検出回路（LVI）によるリセット時は、OCDMレジスタの値を保持します。

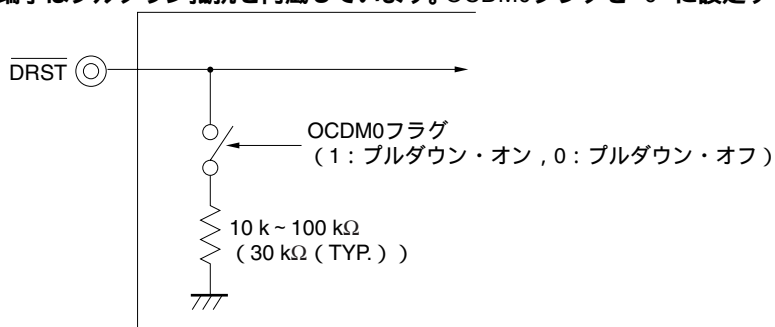
注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- ・P54/INTP11/ $\overline{\text{DRST}}$ 端子にロウ・レベルを入力します。
- ・OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア（0）します。

の処理を終えるまで、P54/INTP11/ $\overline{\text{DRST}}$ 端子入力をロウ・レベル固定にしておきます。

2. $\overline{\text{DRST}}$ 端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。



34.1.5 動作

オンチップ・デバッグ機能は次の表に示す条件で有効になります。

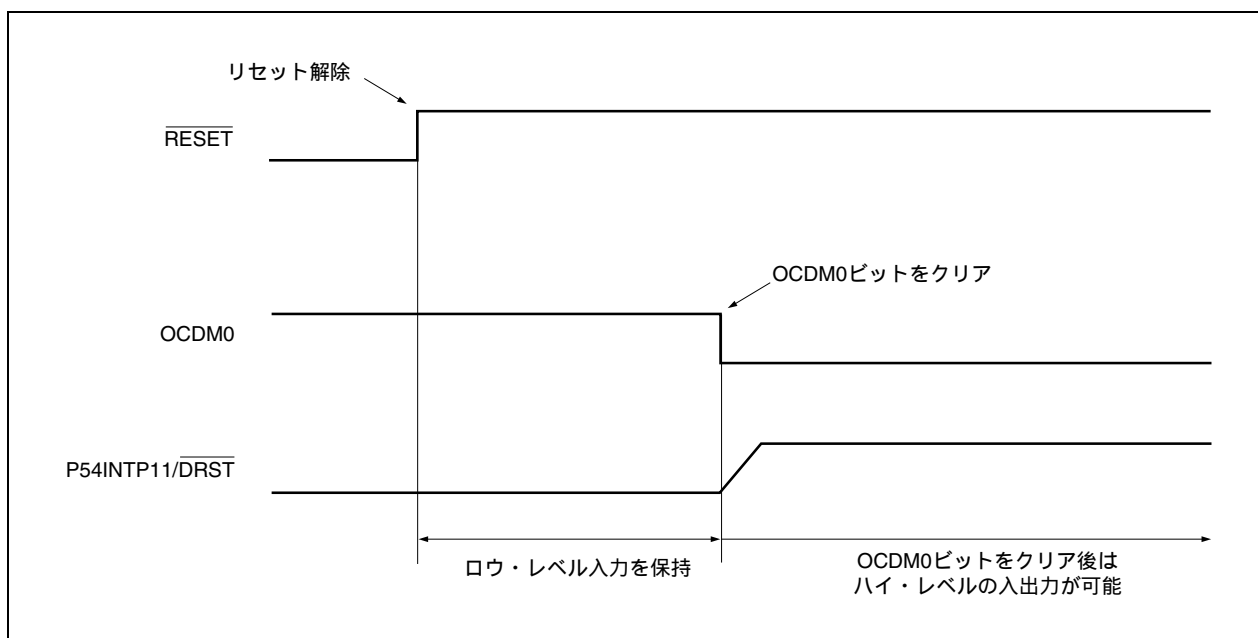
未使用時はOCDM.OCDM0フラグをクリア(0)するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ DRST端子	0	1
L	無効	無効
H	無効	有効

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

図34-2 オンチップ・デバッグ機能未使用時のタイミング



34. 1. 6 注意事項

- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- (3) ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (4) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。

34.2 DCUを使用しない方法

DCUを使用せず、UARTC0用端子 (RXDC0, TXDC0)、CSIF0用端子 (SIF0, SOF0, SCKF0) またはCSIF3用端子 (SIF3, SOF3, SCKF3) をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

34.2.1 接続回路例

図34-3 UARTC0/CSIF0/CSIF3を通信インタフェースとして使用する場合の回路接続例

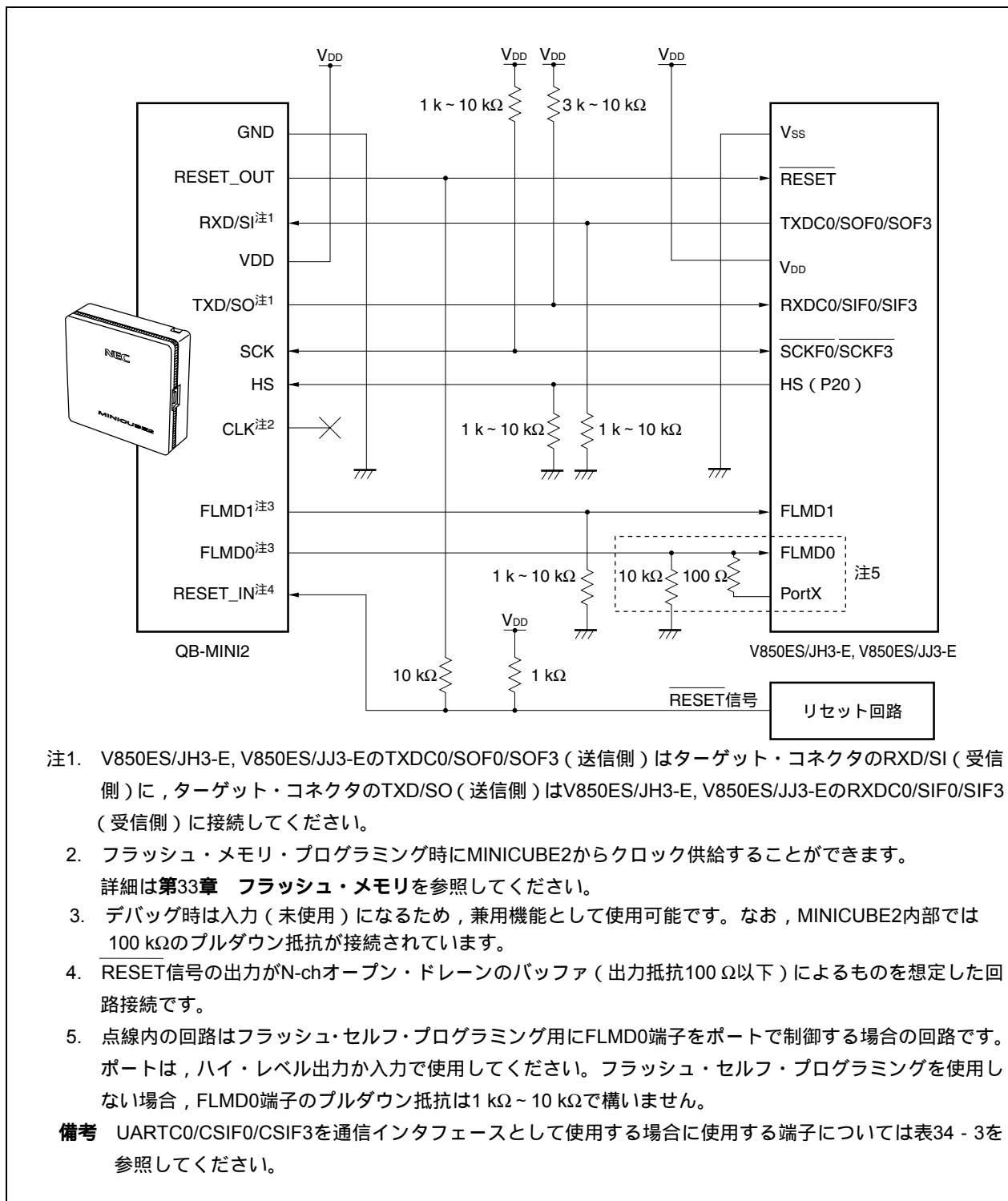


表34 - 3 V850ES/JH3-EとMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIF0-HS使用時		CSIF3-HS使用時		UARTC0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	V850ES/JH3-Eからのコマンド, データ受信端子	P41/SOF0	4	P914/SOF3	79	P30/TXDC0	28
SO/TxD	出力	V850ES/JH3-Eへのコマンド, データ送信端子	P40/SIF0	3	P913/SIF3	78	P31/RXDC0	29
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKF0	5	P915/SCKF3	80	必要なし	-
CLK ^注	出力	V850ES/JH3-Eへのクロック出力端子	必要なし ^注	-	必要なし ^注	-	必要なし ^注	-
RESET_OUT	出力	V850ES/JH3-Eへのリセット出力端子	RESET	18	RESET	18	RESET	18
FLMD0	出力	V850ES/JH3-Eをデバッグ・モード, またはプログラミング・モードにするための出力端子	FLMD0	12	FLMD0	12	FLMD0	12
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/AD5/ FLMD1	92	PDL5/AD5/ FLMD1	92	PDL5/AD5/ FLMD1	92
HS	入力	CSI0 + HS通信のハンドシェーク信号	P20	38	P20	38	必要なし	-
GND	-	グラウンド	V _{SS}	15, 34, 60, 84, 101, 117	V _{SS}	15, 34, 60, 84, 101, 117	V _{SS}	15, 34, 60, 84, 101, 117
			AV _{SS}	2	AV _{SS}	2	AV _{SS}	2
RESET_IN	入力	ターゲット・システム上のリセット入力端子						

注 MINICUBE2のフラッシュ・ライタとして使用する場合のクロック出力として使用します。詳細は第33章 フラッシュ・メモリを参照してください

表34 - 4 V850ES/JJ3-EとMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIF0-HS使用時		CSIF3-HS使用時		UARTC0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	V850ES/JJ3-Eからのコマンド ,データ受信端子	P41/SOF0	4	P914/SOF3	67	P30/TXDC0	28
SO/TxD	出力	V850ES/JJ3-Eへのコマンド ,データ送信端子	P40/SIF0	3	P913/SIF3	66	P31/RXDC0	29
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKF0	5	P915/SCKF3	68	必要なし	-
CLK ^注	出力	V850ES/JJ3-Eへのクロック出力端子	必要なし ^注	-	必要なし ^注	-	必要なし ^注	-
RESET_OUT	出力	V850ES/JJ3-Eへのリセット出力端子	RESET	18	RESET	18	RESET	18
FLMD0	出力	V850ES/JJ3-Eをデバッグ・モード ,またはプログラミング・モードにするための出力端子	FLMD0	12	FLMD0	12	FLMD0	12
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/AD5/ FLMD1	98	PDL5/AD5/ FLMD1	98	PDL5/AD5/ FLMD1	98
HS	入力	CS10 + HS通信のハンドシェーク信号	P20	38	P20	38	必要なし	-
GND	-	グラウンド	V _{ss}	15, 34, 66, 90, 107, 131	V _{ss}	15, 34, 66, 90, 107, 131	V _{ss}	15, 34, 66, 90, 107, 131
			AV _{ss}	2	AV _{ss}	2	AV _{ss}	2
RESET_IN	入力	ターゲット・システム上のリセット入力端子						

注 MINICUBE2のフラッシュ・ライタとして使用する場合のクロック出力として使用します。詳細は第33章 フラッシュ・メモリを参照してください

34. 2. 2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表34 - 5 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/JH3-E, V850ES/JJ3-Eの機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生
WAIT	×

34. 2. 3 ユーザ資源の確保

MINICUBE2は対象デバイスとの通信，または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは，ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

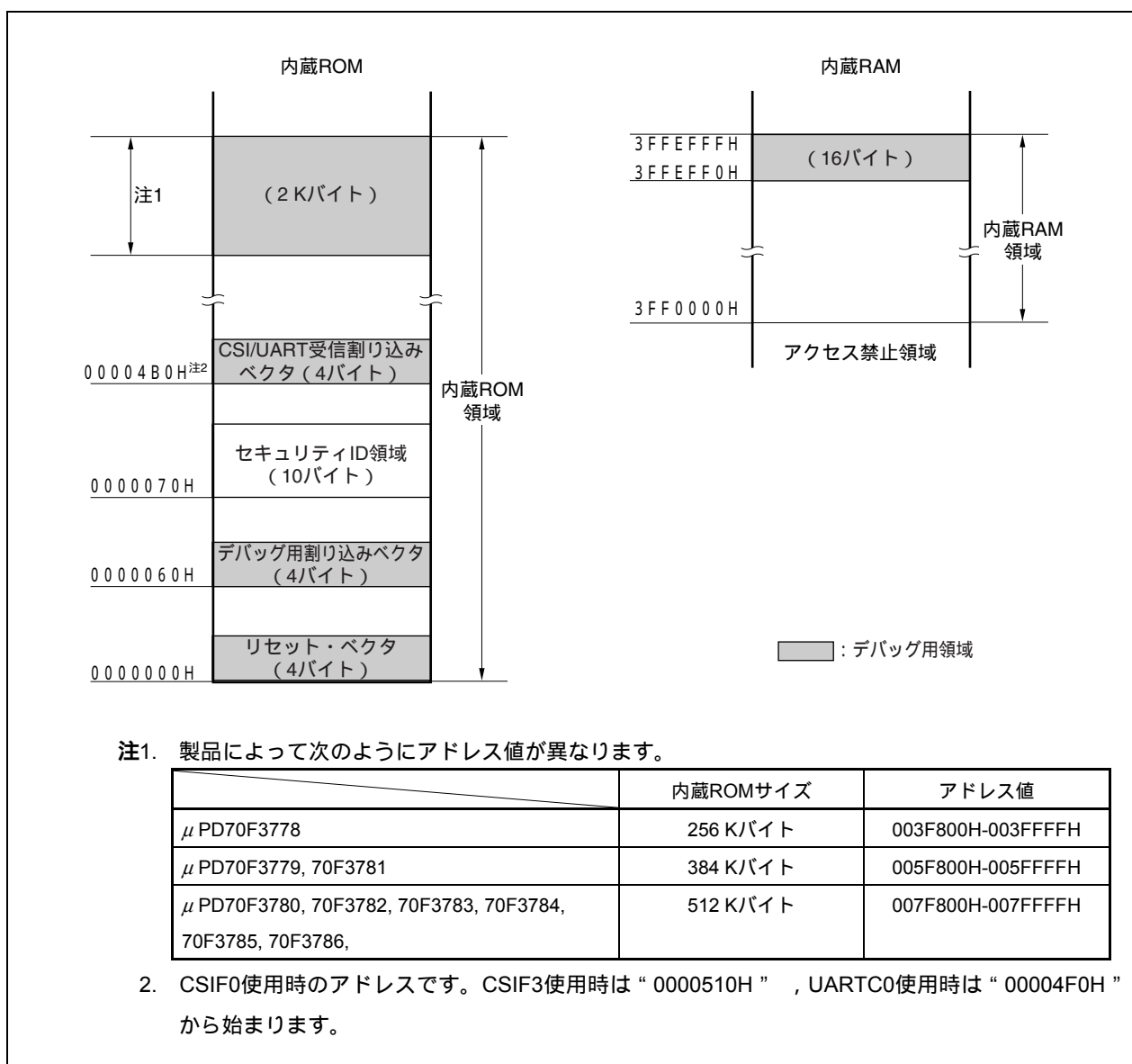
(1) メモリ空間の確保

図34 - 4で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように，領域を確保する必要があります。

(2) セキュリティIDの設定

図34 - 4で示す0000070H-0000079H領域は第三者からメモリの内容を読み取られないようにするために，IDコードを埋め込む必要があります。詳細は34. 3 ROMセキュリティ機能を参照してください。

図34 - 4 デバッグ用モニタ・プログラムが配置されるメモリ空間



(3) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0C34番）。

(a) 0番地からnopが2個連続している場合

書き換え前	書き換え後
0x0 nop	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 nop	0x4 xxxx
0x4 xxxx	

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前	書き換え後
0x0 0xFFFF	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 0xFFFF	0x4 xxxx
0x4 xxxx	

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前	書き換え後
0x0 jr disp22	0x0 デバッグ用モニタ・プログラムへジャンプ
	0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前	書き換え後
0x0 mov imm32,reg1	0x0 デバッグ用モニタ・プログラムへジャンプ
0x6 jmp [reg1]	0x4 mov imm32,reg1
	0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前	書き換え後
0x0 デバッグ用モニタ・プログラムへジャンプ	変更なし

(4) デバッグ用モニタ・プログラム領域の確保

図34 - 4の示すデバッグ用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN / ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにすることが必要です。

【領域確保の方法】

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、ルネサス エレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space 0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space 4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCF0R"
.space 4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm monitorramsym, 16, 4 ; -- monitorramsymシンボルを定義
```

・リンク・ディレクティブ（以下をリンク・ディレクティブ・ファイルの内容に追加してください）

次の例は、内蔵ROMが512 Kバイト（最終アドレス007FFFFH）、内蔵RAMが60 Kバイト（最終アドレス：3FFEFFFH）の場合です。

```
MROMSEG : !LOAD ?R V0x07f800{
        MonitorROM = $PROGBITS ?A MonitorROM;
};
MRAMSEG : !LOAD ?RW V0x03ffeff0{
        MonitorRAM = $NOBITS ?AW MonitorRAM;
};
```

(5) 通信用シリアル・インタフェースの確保

MINICUBE2は対象デバイスと通信するためにUARTC0, CSIF0もしくはCSIF3のいずれかを使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信用シリアル・インタフェースの確保を行う必要があります。

【通信用シリアル・インタフェース確保の方法】**●オンチップ・デバッグ・モード・レジスタ (OCDM)**

UARTC0, CSIF0, CSIF3を使用するオンチップ・デバッグ機能の場合、OCDMレジスタの機能を通常モードにする必要があります。必ず次の設定をしてください。

- ・P56/INTP05/DRST端子にロウ・レベルを入力します。
- ・OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア (0) します。

の処理を終えるまで、P56/INTP05/DRST端子入力をロウ・レベル固定にしておきます。

●シリアル・インタフェースのレジスタ

通信用に使用するCSIF0, CSIF3やUARTC0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

●割り込みマスク・レジスタ

通信用にCSIF0を使用する場合、転送終了割り込み (INTCF0R) をマスクしないようにしてください。CSIF3の場合、転送終了割り込み (INTCF3R) をマスクしないようにしてください。UARTC0の場合、受信完了割り込み (INTUC0R) をマスクしないようにしてください。

(a) CSIF0の場合

	7	6	5	4	3	2	1	0
CF0RIC	x	0	x	x	x	x	x	x

(b) CSIF3の場合

	7	6	5	4	3	2	1	0
CF3RIC	x	0	x	x	x	x	x	x

(c) UARTC0の場合

	7	6	5	4	3	2	1	0
UC0RIC	x	0	x	x	x	x	x	x

備考 x : 任意

●UARTC0使用時のポートに関するレジスタ

通信用にUARTC0を使用する場合、TXDC0, RXDC0端子を有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PFC3	x	x	x	x	x	x	0	0
	7	6	5	4	3	2	1	0
PFCE3	x	x	x	x	x	x	0	0
	7	6	5	4	3	2	1	0
PMC3	x	x	x	x	x	x	1	1

備考 x : 任意

●CSIF0使用時のポートに関するレジスタ

通信用にCSIF0を使用する場合、SIF0, SOF0, SCKF0およびHS (P20) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIF0, SOF0, SCKF0の設定

	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	x	1	1	1
	7	6	5	4	3	2	1	0
PFC4	x	x	x	x	x	0	0	0
	7	6	5	4	3	2	1	0
PFCE4	x	x	x	x	x	0	0	0

(b) HS (P20端子) の設定

	7	6	5	4	3	2	1	0
PM2	x	x	x	x	x	x	x	0
	7	6	5	4	3	2	1	0
P2	x	x	x	x	x	x	x	注

注 ライト禁止です。
HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

●CSIF3使用時のポートに関するレジスタ

通信用にCSIF3を使用する場合、SIF3、SOF3、 $\overline{\text{SCKF3}}$ およびHS (P20) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください(同値書き込みは可能です)。

(a) SIF3, SOF3, $\overline{\text{SCKF3}}$ の設定

	15	14	13	12	11	10	9	8
PMC9H	1	1	1	x	x	x	x	x

	15	14	13	12	11	10	9	8
PFC9H	0	0	0	x	x	x	x	x

	15	14	13	12	11	10	9	8
PFCE9H	0	0	0	x	x	x	x	x

(b) HS (P20端子) の設定

	7	6	5	4	3	2	1	0
PM2	x	x	x	x	x	x	x	0

	7	6	5	4	3	2	1	0
P2	x	x	x	x	x	x	x	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッガの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

34.2.4 注意事項

(1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

(2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTC0の場合に、メイン・クロックを停止している場合

(3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTC0の場合に、メイン・クロックを停止している場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTC0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

(4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されません。

- MINICUBE2と対象デバイスの通信インタフェースがCSIF0, CSIF3の場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTC0の場合に、メイン・クロックが停止していない場合

(5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

(6) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。

34.3 ROMセキュリティ機能

34.3.1 セキュリティID

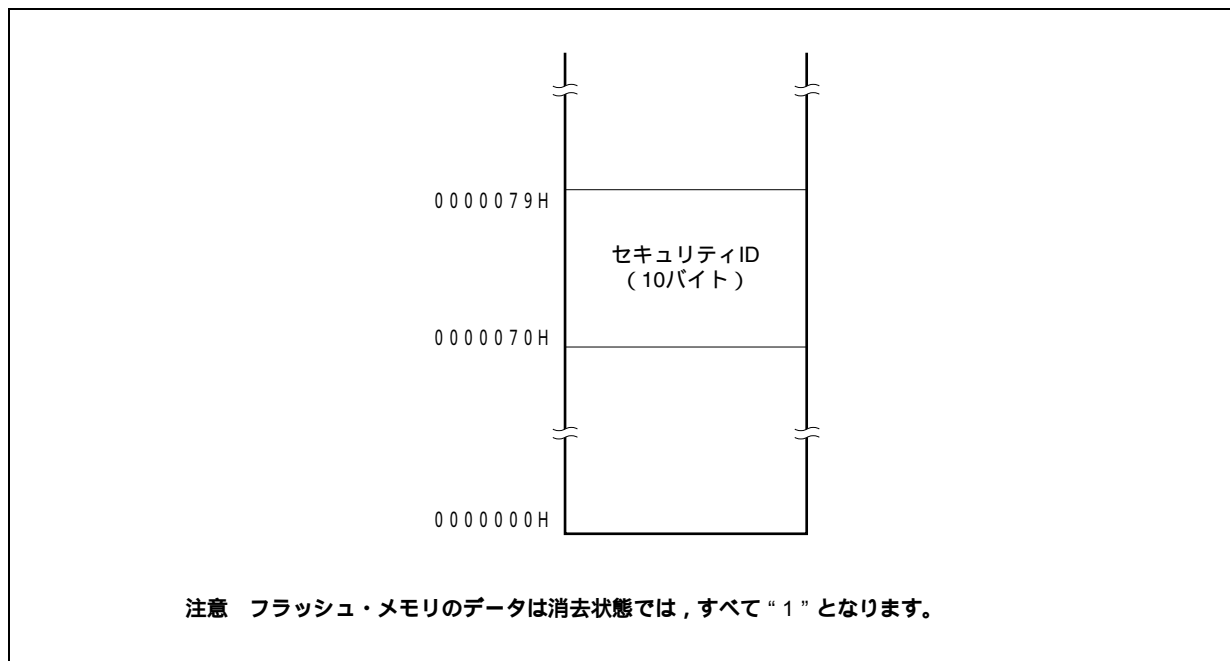
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッグがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0: 使用禁止, 1: 使用許可)
- ・オンチップ・デバッグ・エミュレータを起動すると、デバッグがID入力を要求します。デバッグ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッグが起動します。
- ・IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図34 - 5 セキュリティID領域



34.3.2 設定方法

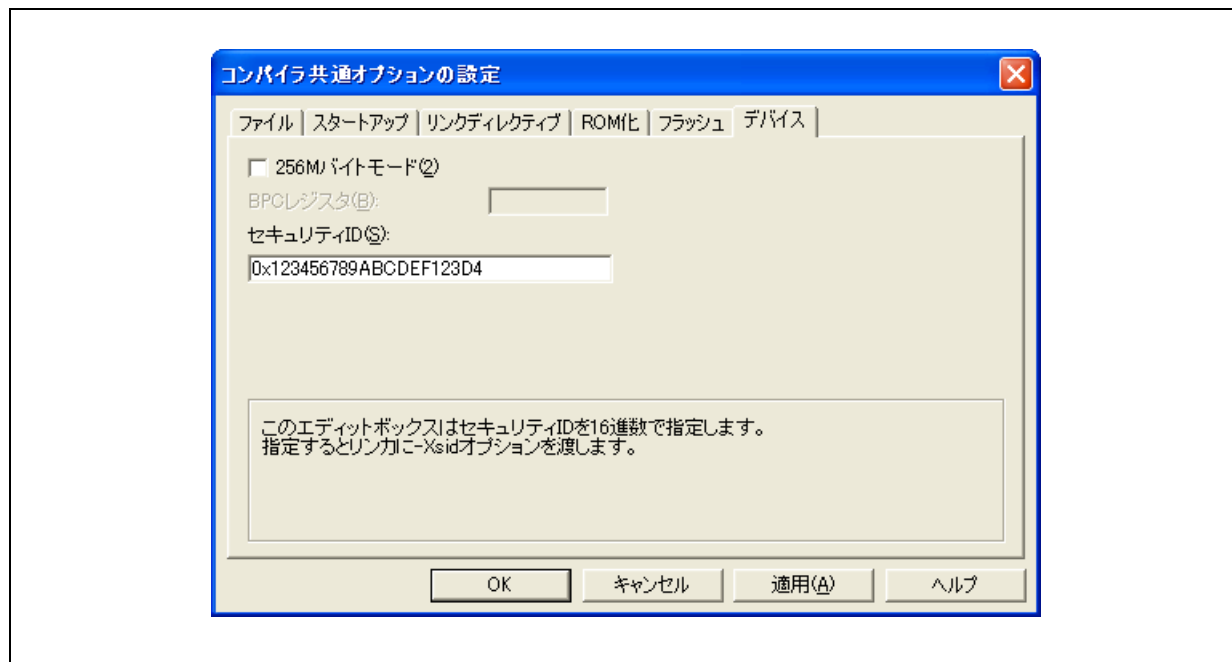
IDコードを表34 - 6のように設定する方法を次に示します。

表34 - 6のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表34 - 6 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 3.10以上とセキュリティIDに対応したデバイス・ファイルであれば、PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



[プログラム例 (CA850 V3.10以上 使用時)]

```
#-----  
# SECURITYID  
#-----  
.section "SECURITY_ID" -- Interrupt handler address 0x70  
.word 0x78563412 -- 0 - 3 byte code  
.word 0xF1DEBC9A -- 4 - 7 byte code  
.hword 0xD423 -- 8 - 9 byte code
```

備考 上記プログラム例はスタートアップ・ファイルに追加してください。

第35章 電気的特性

35.1 絶対最大定格

(TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0}	- 0.5 ~ +4.6	V
	EV _{DD}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0}	- 0.5 ~ +4.6	V
	UV _{DD}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0}	- 0.5 ~ +4.6	V
	AV _{REF0}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0}	- 0.5 ~ +4.6	V
	V _{SS}	V _{SS} = AV _{SS}	- 0.5 ~ +0.5	V
	AV _{SS}	V _{SS} = AV _{SS}	- 0.5 ~ +0.5	V
入力電圧	V _{I1}	P40-P45, PCM0-PCM3, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH7, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^{注1}	V
	V _{I2}	UDMF, UDPF	- 0.5 ~ UV _{DD} + 0.5 ^{注1}	V
	V _{I3}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} ^{注2} + 0.5 ^{注1}	V
	V _{I5}	P02, P03, P10, P20-P27, P30-P37, P46-P48, P50-P59, P90-P915	- 0.5 ~ +6.0	V
アナログ入力電圧	V _{IAN}	P70-P711	- 0.5 ~ AV _{REF0} + 0.5 ^{注1}	V

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

2. 内蔵レギュレータ出力電圧 (2.5 V (TYP.))

注意1. IC製品の出力 (または入出力) 端子同士を直結したり, V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で, 製品をご使用ください。

DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の特性は, ポート端子以外の機能として使用しても同じです。

(T_A = 25) (2/2)

項目	略号	条件	定格	単位			
ロウ・レベル出力電流	I _{OL}	P02, P03, P20-P27, P30-P37, P40-P48, P50-P59, P90-P915	1端子	4	mA		
			全端子合計	50	mA		
		PCM0-PCM3, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH7	1端子	4	mA		
			全端子合計	50	mA		
		UDMF, UDPF	1端子	4	mA		
			全端子合計	8	mA		
		P70-P711	1端子	4	mA		
			全端子合計	20	mA		
		ハイ・レベル出力電流	I _{OH}	P02, P03, P20-P27, P30-P37, P40-P48, P50-P59, P90-P915	1端子	- 4	mA
					全端子合計	- 50	mA
PCM0-PCM3, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH7	1端子			- 4	mA		
	全端子合計			- 8	mA		
UDMF, UDPF	1端子			- 4	mA		
	全端子合計			- 8	mA		
P70-P711	1端子			- 4	mA		
	全端子合計			- 20	mA		
動作周囲温度	T _A			通常動作時	- 40 ~ + 85		
				フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	T _{stg}		- 40 ~ + 125				

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の特性は、ポート端子以外の機能として使用しても同じです。

35.2 容 量

($T_A = 25\text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C _{io}	f _x = 1 MHz 被測定ピン以外は0 V			10	pF

35.3 動作条件

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

内部システム・クロック周波数	条 件	電源電圧				単 位
		V _{DD}	EV _{DD}	UV _{DD}	AV _{REF0}	
f _{xx} = 3 ~ 6.25 MHz (クロック・スルー動作時)	C = 4.7 μ F, A/Dコンバータ停止, イーサネット停止 USB停止	2.85 ~ 3.6	2.85 ~ 3.6	2.85 ~ 3.6	2.85 ~ 3.6	V
f _{xx} = 24 ~ 50 MHz (PLL動作時)	C = 4.7 μ F, A/Dコンバータ動作, イーサネット動作 USB動作	3.0 ~ 3.6	3.0 ~ 3.6	3.0 ~ 3.6	3.0 ~ 3.6	V
f _{XT} = 32.768 kHz	C = 4.7 μ F, 注	2.85 ~ 3.6	2.85 ~ 3.6	2.85 ~ 3.6	2.85 ~ 3.6	V

注 サブクロック動作時 (f_{XT} = 32.768 kHz) はA/Dコンバータ, イーサネット・コントローラ, USBコントローラは動作しません。

35.4 発振回路特性

35.4.1 メイン・クロック発振回路特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x) ^{注1}		3		6.25	MHz
		発振安定時間 ^{注2}	リセット解除後		$2^{16}/f_x$		s
			STOPモード解除後		注3		ms
			IDLE2モード解除後		注3		μ s

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。
3. OSTSレジスタの設定によって値が異なります。

注意1. USBコントローラ使用時、USBクロックに内部クロックを使用する場合には、必ず6 MHz \pm 500 ppm以下の精度のセラミック発振子あるいは水晶振動子を使用してください。

また、EXCLK端子入力による外部クロック使用時には、必ず48 MHz \pm 500 ppm以下の精度のクロックを供給してください。

USBクロックの精度が低下すると、送受信データがUSB規格を満足できなくなります。

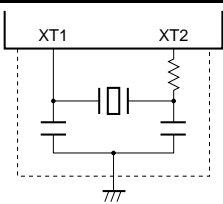
2. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

3. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

35.4.2 サブクロック発振回路特性

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f _{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. V_{DD}が発振電圧範囲 (2.85 V (MIN.)) に達してから水晶振動子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。

3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

35.4.3 PLL特性

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f _x		3		6.25	MHz
出力周波数	f _{xx}	クロック・スルー・モード	3		6.25	MHz
		PLLモード (8逓倍)	24		50	MHz
ロック時間	t _{PLL}				800	μs

35.4.4 内蔵発振器特性

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f _R		100	220	400	kHz

35.5 DC特性

35.5.1 入出力レベル

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	RESET, FLMD0, P40-P43, P45, PDH0, PDH2-PDH5	0.8 EVDD		EVDD	V
	VIH2	P02, P03, P20-P27, P30-P37, P46-P48, P50-P59, P90-P915	0.8 EVDD		5.5	V
	VIH3	P44, PDL0-PDL15, PDH1, PDH6, PDH7, PCM0, CM3, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6	0.7 EVDD		EVDD	V
	VIH4	UDPF, UDMF	2.0		UVDD	V
	VIH6	P70-P711	0.7 AVREF0		AVREF0	V
ロウ・レベル入力電圧	VIL1	RESET, FLMD0, P40-P43, P45, PDH0, PDH2-PDH5	VSS		0.2 EVDD	V
	VIL2	P02, P03, P20-P27, P30-P37, P46-P48, P50-P59, P90-P915	VSS		0.2 EVDD	V
	VIL3	P44, PDL0-PDL15, PDH1, PDH6, PDH7, PCM0-PCM3, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6	VSS		0.3 EVDD	V
	VIL4	UDPF, UDMF	VSS		0.8	V
	VIL5	P70-P711	AVSS		0.3 AVREF0	V
ハイ・レベル入力リーク電流	ILIH	Vi = VDD = EVDD = UVDD = AVREF0			5	μA
ロウ・レベル入力リーク電流	ILIL	Vi = 0 V			- 5	μA
ハイ・レベル出力リーク電流	ILOH	Vo = VDD = EVDD = UVDD = AVREF0			5	μA
ロウ・レベル出力リーク電流	ILOL	Vo = 0 V			- 5	μA

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	注	1端子 IOH = -1.0 mA	EVDD - 1.0		EVDD	V
			1端子 IOH = -100 μA	EVDD - 0.5		EVDD	V
	VOH2	P70-P711	1端子 IOH = -0.4 mA	AVREF0 - 1.0		AVREF0	V
			1端子 IOH = -100 μA	AVREF0 - 0.5		AVREF0	V
	VOH4	UDPF, UDMF	RL = 15 kΩ (VSS接続)	2.8			V
	ロウ・レベル出力電圧	VOL1	注	1端子 IOL = 1.0 mA	0		0.4
VOL2		P70-P711	1端子 IOL = 1.0 mA	0		0.4	V
VOL3		UDPF, UDMF	RL = 1.5 kΩ (UVDD接続)	0		0.3	V
ソフトウェア・ブルダウ ン抵抗	R1	P54	VI = VDD	10	30	100	kΩ

注 P02, P03, P20-P27, P30-P37, P40-P48, P50-P59, P90-P915, PCM0-PCM3, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH7, PDL0-PDL15

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. IOH, IOLの条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

35. 5. 2 電源電流

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流 ^{注1, 2}	IDD1	通常動作 全周辺機能動作	f _{XX} = 50 MHz (f _X = 6.25 MHz)			137	mA	
			f _{XX} = 50 MHz (f _X = 6.25 MHz) USBF動作		57		mA	
	IDD2	HALTモード 全周辺機能動作	f _{XX} = 50 MHz (f _X = 6.25 MHz)			84	mA	
	IDD3	IDLE1モード PLL オン時	f _{XX} = 50 MHz (f _X = 6.25 MHz) ,		4.3	10	mA	
	IDD4	IDLE2モード PLL オフ時	f _{XX} = 6.25 MHz (f _X = 6.25 MHz)		0.5	1	mA	
	IDD5	サブクロック 動作モード 内蔵発振器停止	f _{XT} = 32.768 kHz , メイン・クロック ,		120	600	μA	
	IDD6	サブIDLEモード 内蔵発振器停止	f _{XT} = 32.768 kHz , メイン・クロック ,	-40 T _A 25		13	25	μA
			25 < T _A 85			145	μA	
	IDD7	STOPモード 内蔵発振器停止	サブクロック停止 , 内蔵発振器停止	-40 T _A 25		10	20	μA
				25 < T _A 85			135	μA
サブクロック動作 , 内蔵発振器停止		-40 T _A 25		13	25	μA		
		25 < T _A 85			145	μA		
IDD8	フラッシュ・メモ リ・プログラ ミング・モード	f _{XX} = 50 MHz (f _X = 6.25 MHz)		82	147	mA		

注1. V_{DD}, EV_{DD}, UV_{DD}電流の合計です。出力バッファ, A/Dコンバータ, 内蔵プルダウン抵抗で流れる電流は含みません。

2. TYP.値のV_{DD}は3.3Vです。

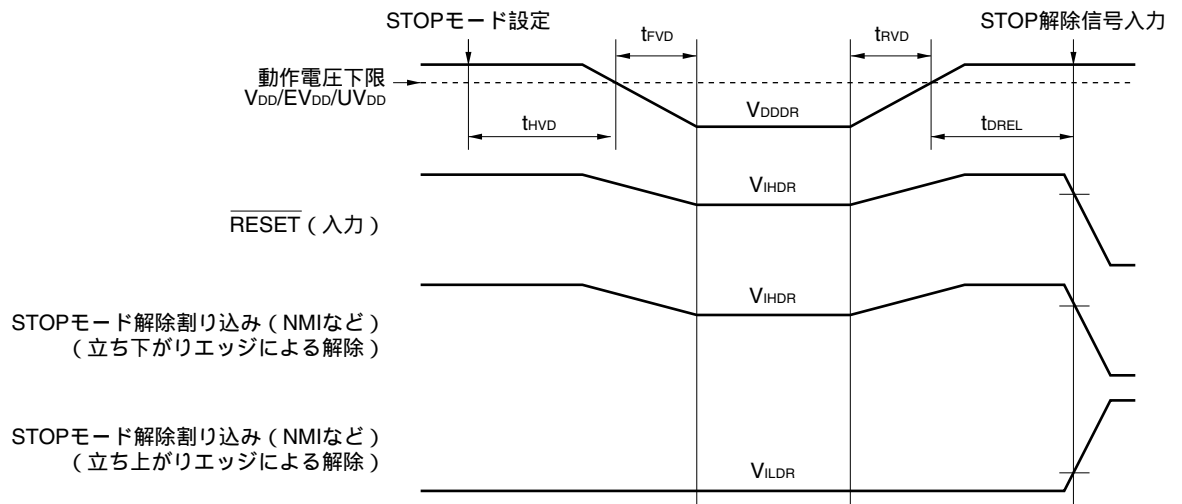
35.6 データ保持特性

(1) STOPモード時

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

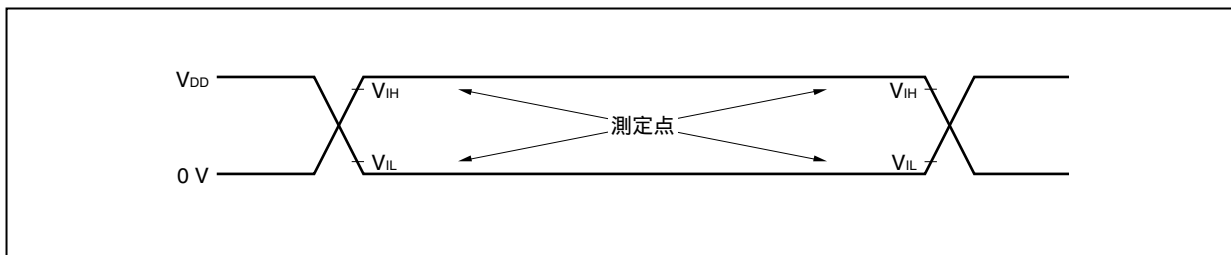
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード (全機能停止)	1.9		3.6	V
データ保持電流	I_{DDDR}	STOPモード (全機能停止) , $V_{DDDR} = 2.0$ V		10	135	μ A
電源電圧立ち上がり時間	t_{RVD}		200			μ s
電源電圧立ち下がり時間	t_{FVD}		200			μ s
電源電圧保持時間	t_{HVD}	STOPモード設定後	0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD} が2.85 V (MIN.) に達したあと	0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	$V_{DD} = EV_{DD} = UV_{DD} = V_{DDDR}$	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	$V_{DD} = EV_{DD} = UV_{DD} = V_{DDDR}$	0		$0.1V_{DDDR}$	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

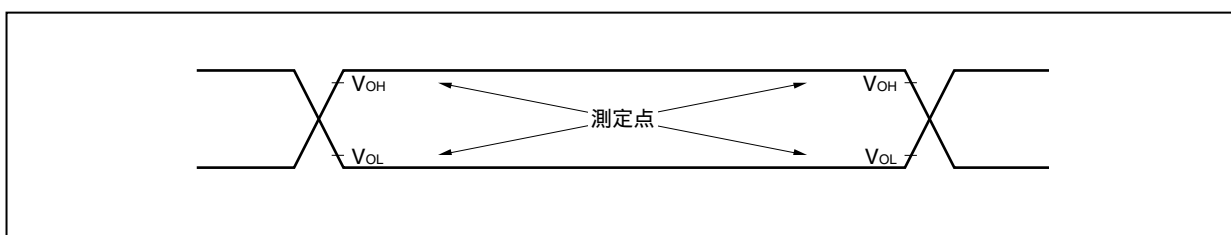


35.7 AC特性

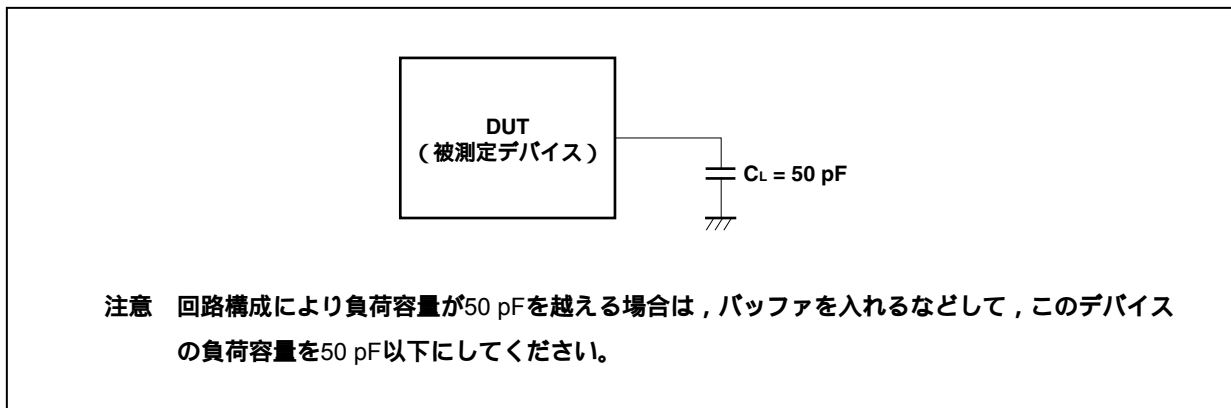
(1) ACテスト入力測定点 (V_{DD}, AVREF0, EVDD)



(2) ACテスト出力測定点



(3) 負荷条件

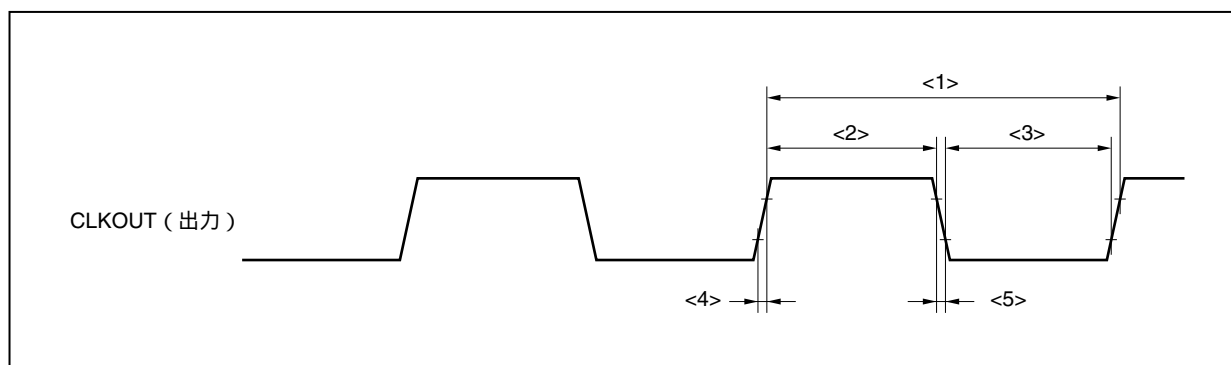


35.7.1 CLKOUT出力タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<1>	20 ns	31.25 μ s	
ハイ・レベル幅	t_{WKH}	<2>	$t_{CYK}/2 - 6$		ns
ロウ・レベル幅	t_{WKL}	<3>	$t_{CYK}/2 - 6$		ns
立ち上がり時間	t_{KR}	<4>		6	ns
立ち下がり時間	t_{KF}	<5>		6	ns

クロック・タイミング



35.7.2 バス・タイミング

(1) マルチプレクス・バス/セパレート・バス・モード時

(a) リード/ライト・サイクル (CLKOUT非同期)

(TA = -40 ~ +85, VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	tDAST	<6>	$(0.5 + t_{ASw}) T - 9$		ns
アドレス保持時間 (対ASTB)	tHSTA	<7>	$(0.5 + t_{AHw}) T - 8$		ns
\overline{RD} アドレス・フロート遅延時間	tFRDA	<8>		5	ns
アドレス データ入力設定時間	tDAID	<9>		$(2 + n + t_{ASw} + t_{AHw}) T - 25$	ns
\overline{RD} データ入力設定時間	tDRDID2	<10>		$(1 + n) T - 15$	ns
ASTB \overline{RD} 遅延時間	tDSTRD	<11>	$(0.5 + t_{AHw}) T - 4$		ns
ASTB \overline{WRm} 遅延時間	tDSTWR				
データ入力保持時間 (対 \overline{RD})	tHRDID	<12>	0		ns
\overline{RD} データ出力遅延時間	tDRDOD	<13>	$(1 + i) T - 3$		ns
\overline{RD} ASTB 遅延時間	tDRDST	<14>	0.5T - 5		ns
\overline{WRm} ASTB 遅延時間	tDWRST				
\overline{RD} ASTB 遅延時間	tDRDST	<15>	$(1.5 + i + t_{ASw}) T - 4$		ns
\overline{RD} 口ウ・レベル幅	tWRDL	<16>	$(1 + n) T - 10$		ns
\overline{WRm} 口ウ・レベル幅	tWRRL				
ASTBハイ・レベル幅	tWSTH	<17>	$(1 + i + t_{ASw}) T - 10$		ns
\overline{WRm} データ出力遅延時間	tDWRDOD	<18>		9	ns
データ出力遅延時間 (対 \overline{WRm})	tDODWR	<19>	$(1 + n) T - 11$		ns
データ出力保持時間 (対 \overline{WRm})	tHWROD	<20>	T - 3		ns
WAIT設定時間 (対アドレス)	tSAWT1	<21>	n 1	$(1.5 + t_{ASw} + t_{AHw}) T - 25$	ns
	tSAWT2	<22>		$(1.5 + n + t_{ASw} + t_{AHw}) T - 25$	ns
WAIT保持時間 (対アドレス)	tHAWT1	<23>	n 1	$(0.5 + n + t_{ASw} + t_{AHw}) T$	ns
	tHAWT2	<24>		$(1.5 + n + t_{ASw} + t_{AHw}) T$	ns
WAIT設定時間 (対ASTB)	tSSTWT1	<25>	n 1	$(1 + t_{AHw}) T - 15$	ns
	tSSTWT2	<26>		$(1 + n + t_{AHw}) T - 15$	ns
WAIT保持時間 (対ASTB)	tHSTWT1	<27>	n 1	$(n + t_{AHw}) T$	ns
	tHSTWT2	<28>		$(1 + n + t_{AHw}) T$	ns
\overline{RD} アドレス保持時間	tHRDA2	<29>	$(1 + i) T - 5$		ns
\overline{WRm} アドレス保持時間	tHWRA2	<30>	T - 5		ns
\overline{RD} CSn保持時間	tHRDC2	<31>	i 1	T - 5	ns
\overline{WRm} CSn保持時間	tHWRC2	<32>		T - 5	ns

備考1. tASW : アドレス・セットアップ・ウエイト・クロック数

tAHW : アドレス・ホールド・ウエイト・クロック数

2. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

3. n : バス・サイクルに挿入されるウエイト・クロック数

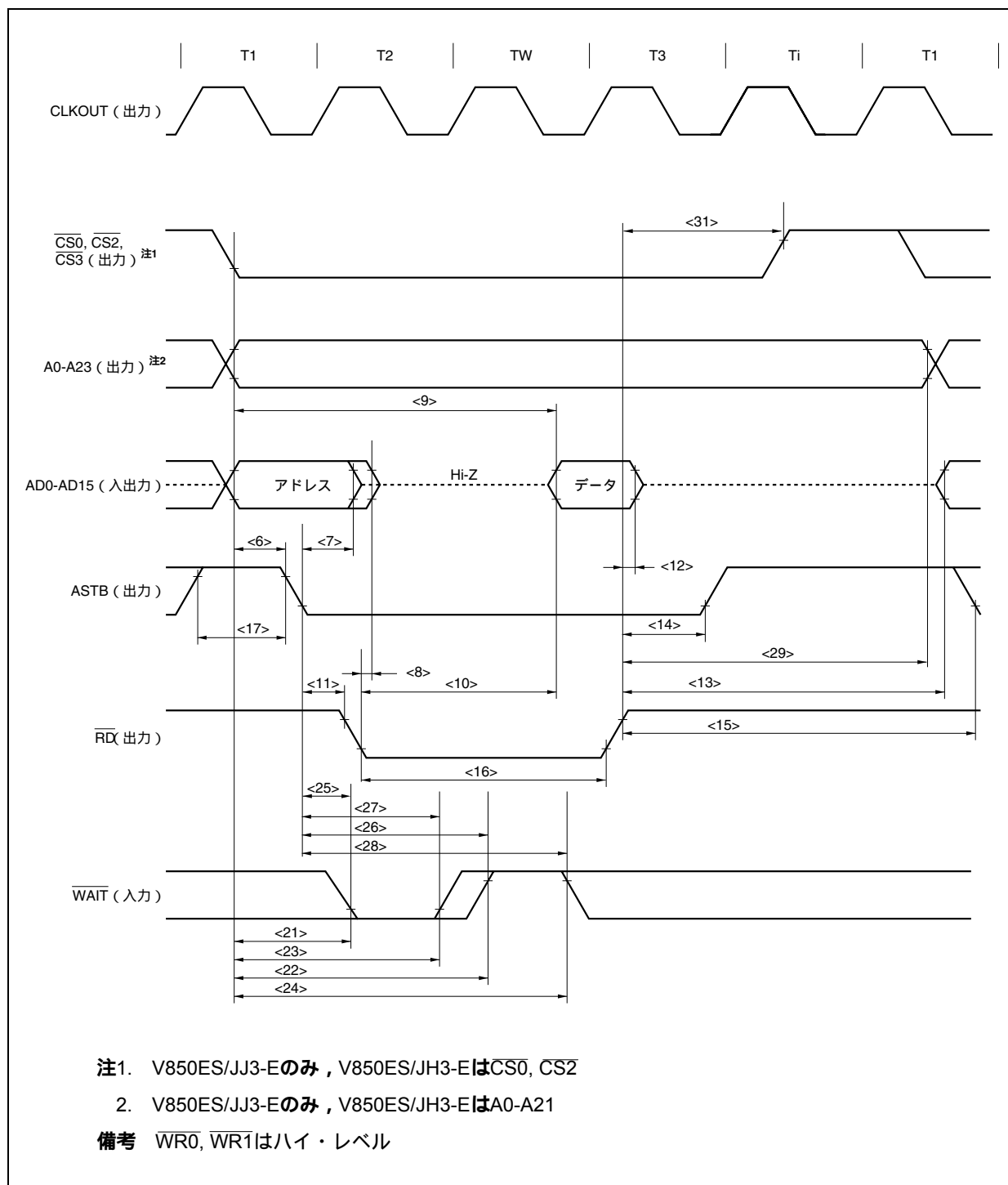
プログラマブル・ウエイト挿入時は, サンプル・タイミングが変わります。

4. m = 0, 1

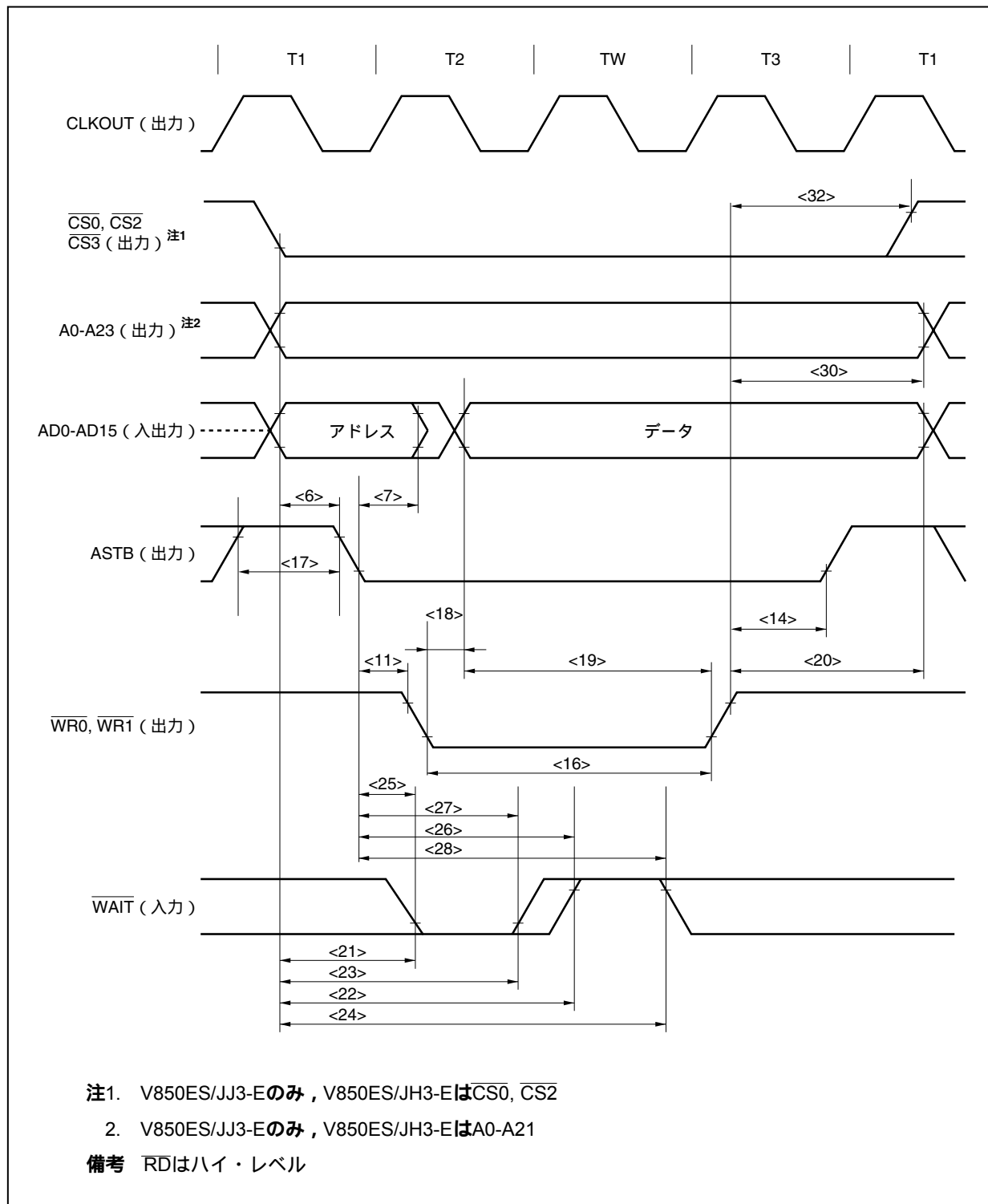
5. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

6. 上記スペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : マルチプレクス・バス/セパレート・バス・モード時



ライト・サイクル (CLKOUT非同期) : マルチプレクス・バス/セパレート・バス・モード時



(b) リード/ライト・サイクル (CLKOUT同期) : マルチプレクス・バス/セパレート・バス・モード時

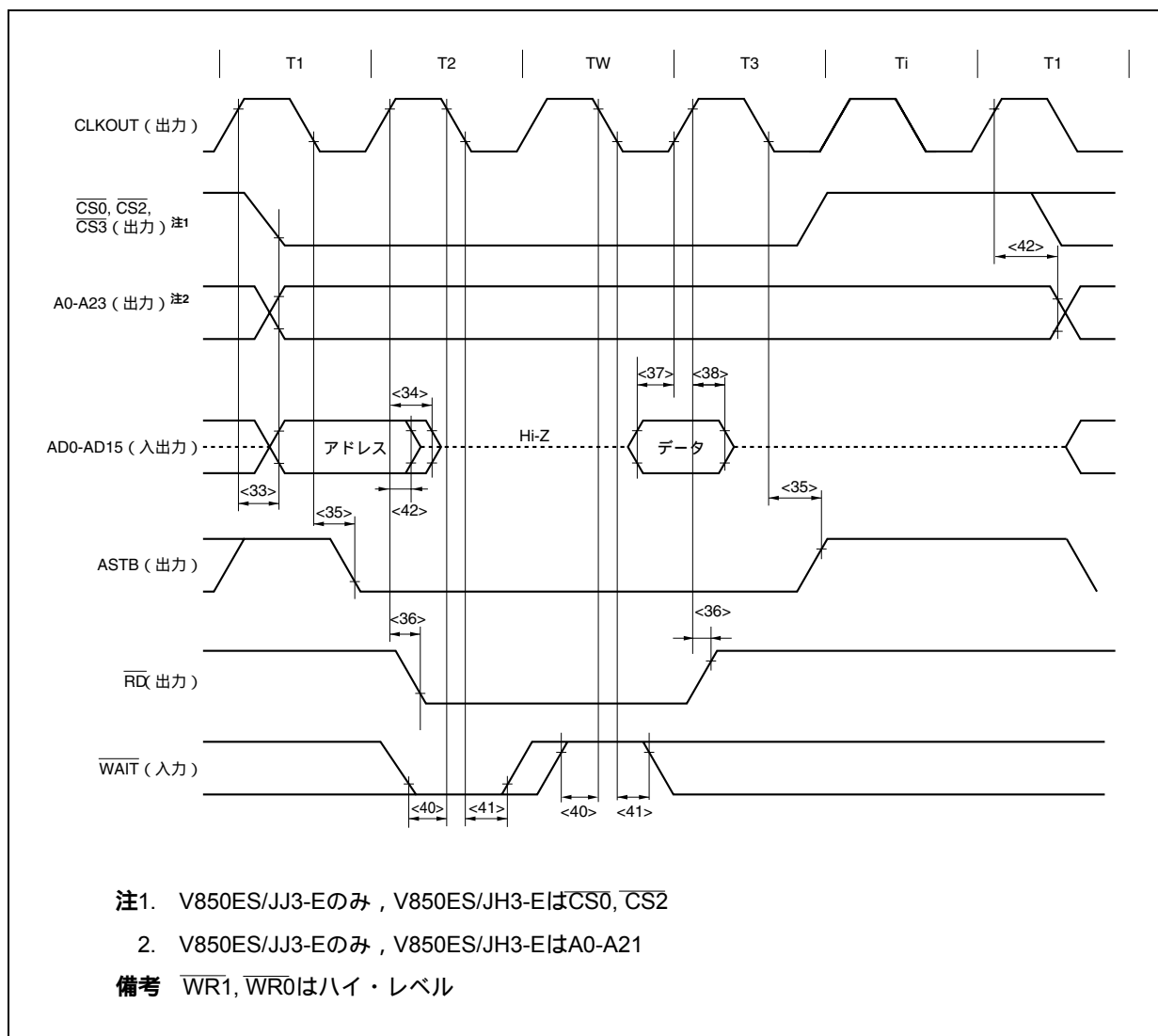
(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t _{DKA}	<33>	0	17	ns
CLKOUT アドレス・フロート遅延時間	t _{FKA}	<34>	0	15	ns
CLKOUT ASTB遅延時間	t _{DKST}	<35>	0	12	ns
CLKOUT $\overline{\text{RD}}$, WRm遅延時間	t _{DKRDWR}	<36>	0	12	ns
データ入力設定時間 (対CLKOUT)	t _{SIDK}	<37>	16		ns
データ入力保持時間 (対CLKOUT)	t _{HKID}	<38>	0		ns
CLKOUT データ出力遅延時間	t _{DKOD}	<39>		17	ns
WAIT設定時間 (対CLKOUT)	t _{SWTK}	<40>	16		ns
WAIT保持時間 (対CLKOUT)	t _{HKWT}	<41>	0		ns
CLKOUT アドレス保持時間	t _{HKA2}	<42>	0		ns
CLKOUT データ出力保持時間	t _{HKOD2}	<43>	0		ns

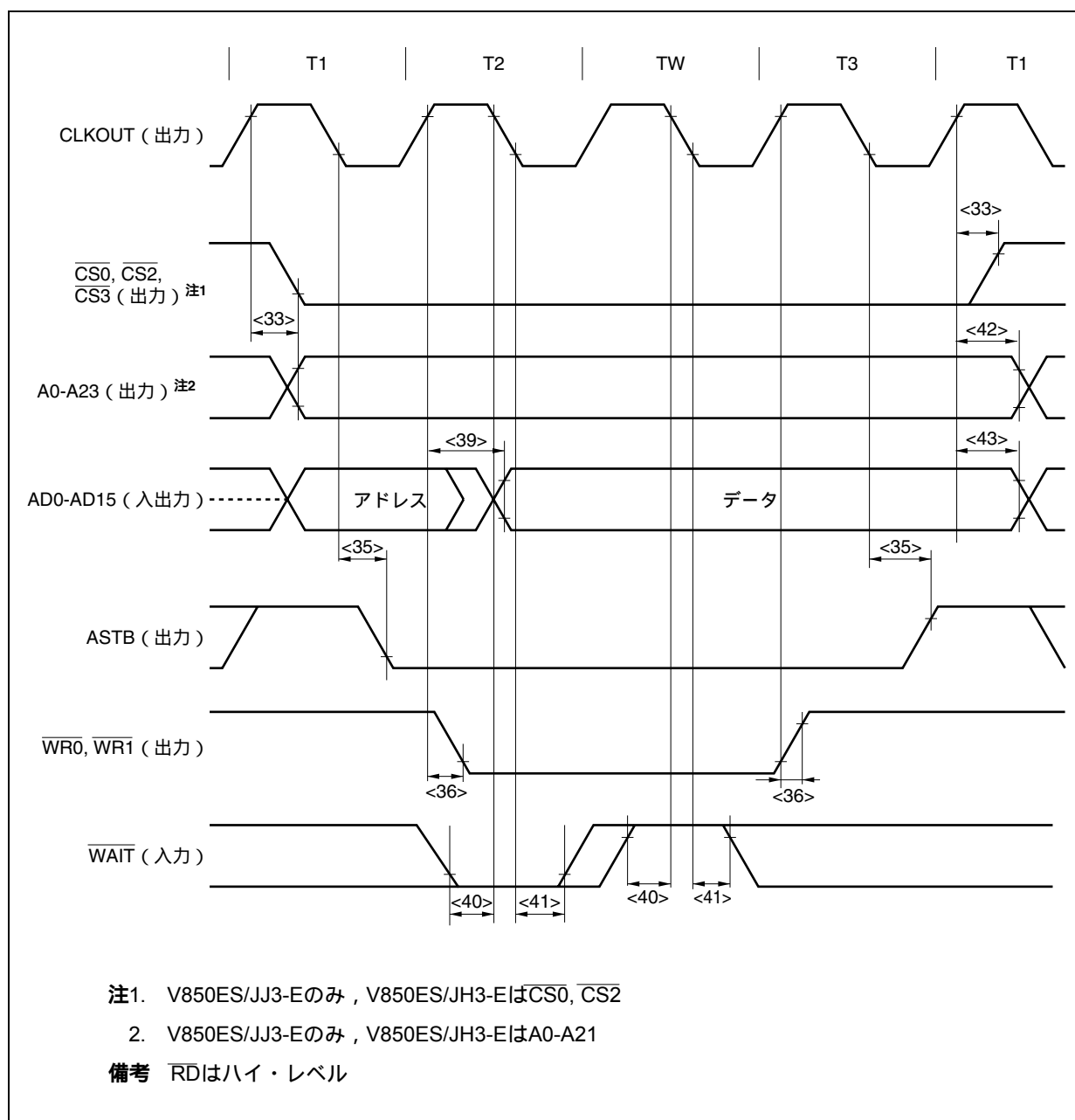
備考1. m = 0, 1

2. 上記スペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT同期) : マルチプレクス・バス/セパレート・バス・モード時



ライト・サイクル (CLKOUT同期) : マルチプレクス・バス/セパレート・バス・モード時



(2) バス・ホールド時

(a) CLKOUT非同期

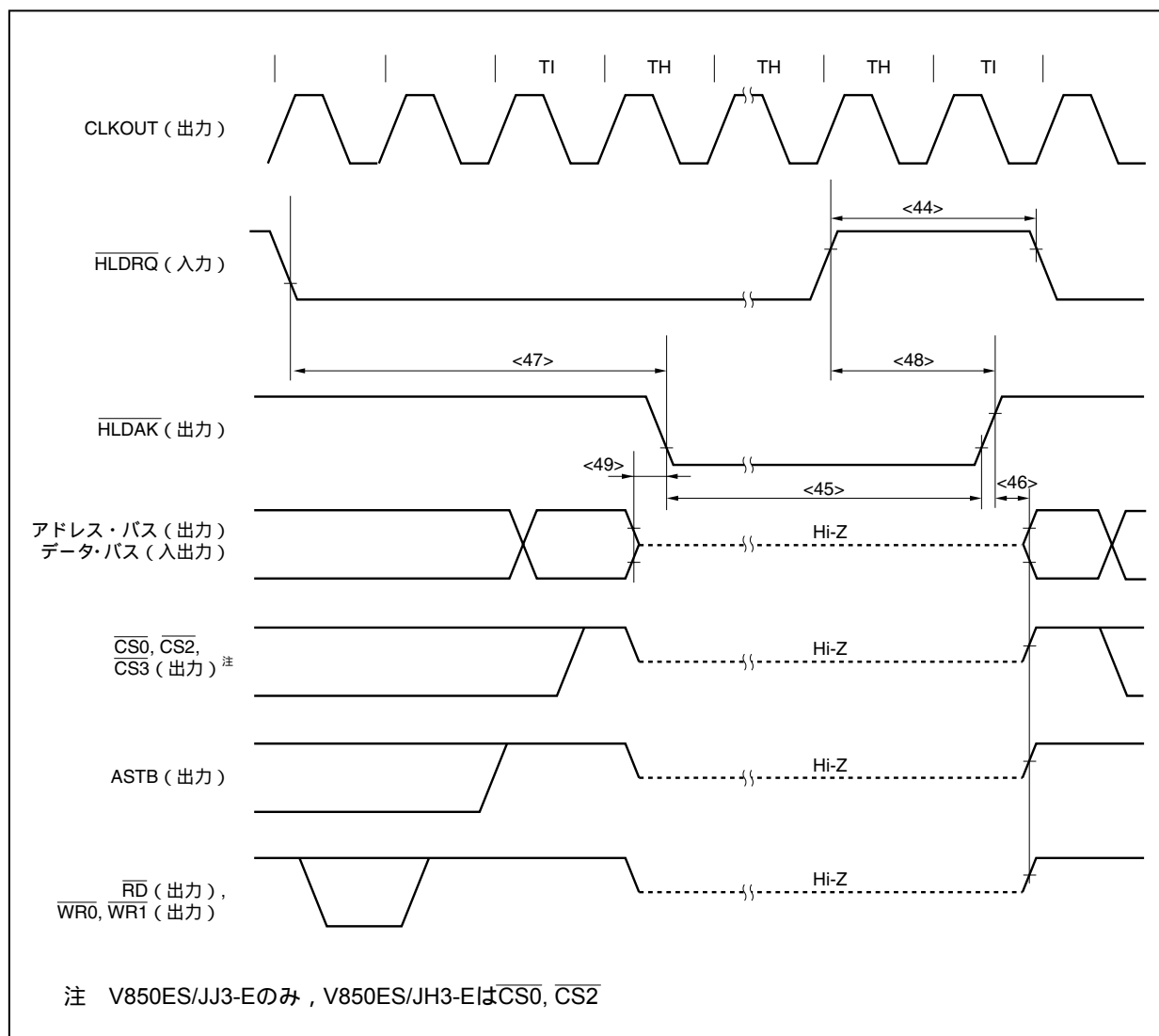
($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
H \overline{LDRQ} ハイ・レベル幅	t_{WHQH}	<44>	$T + 16$		ns
H \overline{LDAK} ロウ・レベル幅	t_{WHAL}	<45>	$T - 10$		ns
H \overline{LDAK} バス出力遅延時間	t_{DHAC}	<46>	- 7		ns
H \overline{LDRQ} H \overline{LDAK} 遅延時間	t_{DHQHA1}	<47>	2.5T		ns
H \overline{LDRQ} H \overline{LDAK} 遅延時間	t_{DHQHA2}	<48>	$0.5T + 17$	$1.5T + 31$	ns
バス・フロート H \overline{LDAK} 遅延時間	t_{DFHA}	<49>	0		ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. n: バス・サイクルに挿入されるウェイト・クロック数
プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。
3. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT非同期)



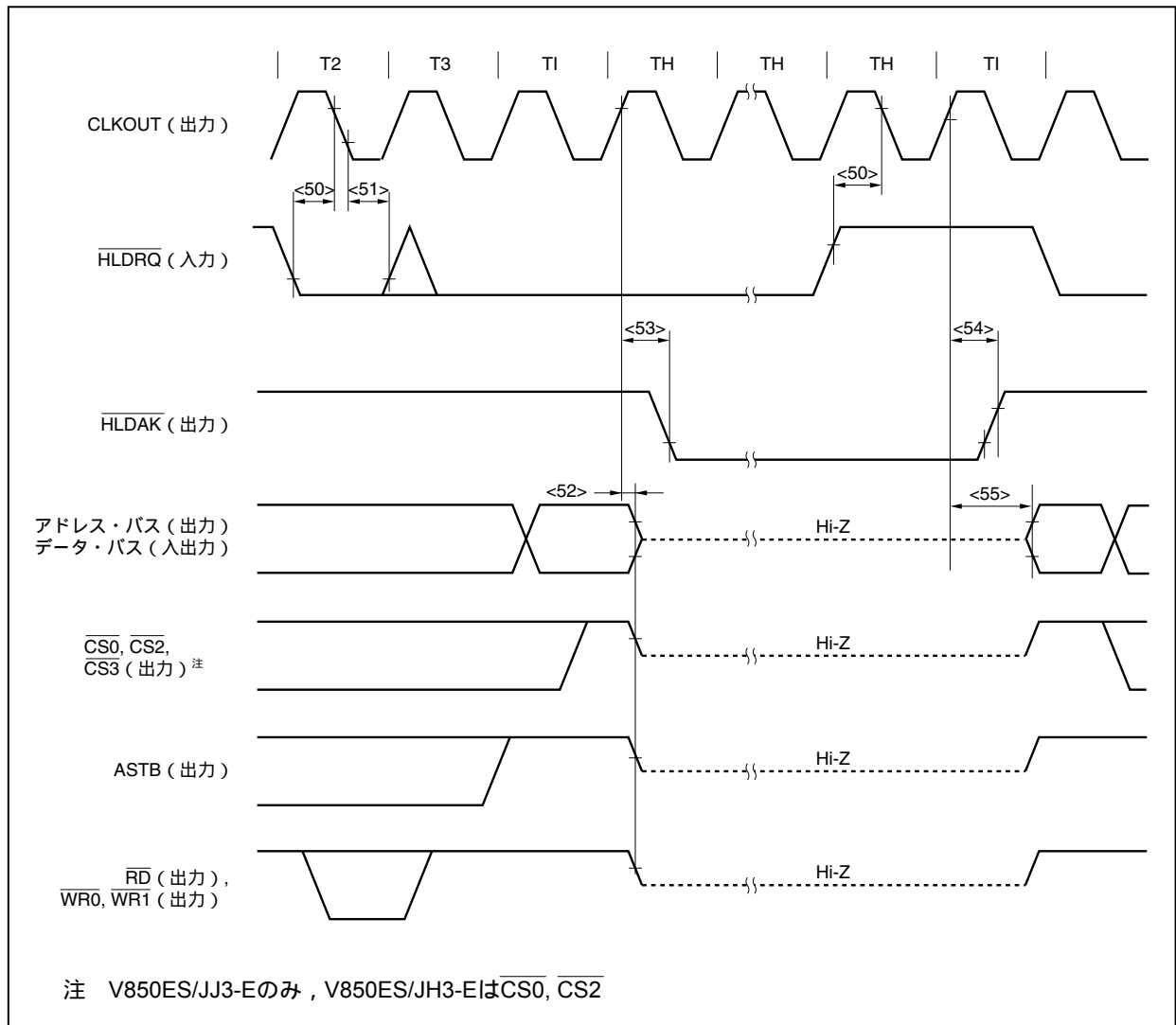
(b) CLKOUT同期

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
HLD \overline{RQ} 設定時間 (対CLKOUT)	t_{SHQK}	<50>	16		ns
HLD \overline{RQ} 保持時間 (対CLKOUT)	t_{HKHQ}	<51>	0		ns
CLKOUT バス・フロート遅延時間	t_{DKF}	<52>		15	ns
CLKOUT $\overline{H}LDAK$ 遅延時間	t_{DKHA1}	<53>	1	15	ns
CLKOUT $\overline{H}LDAK$ 遅延時間	t_{DKHA2}	<54>	1	15	ns
CLKOUT データ出力遅延時間	t_{DKBO}	<55>	1	17	ns

備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT同期)



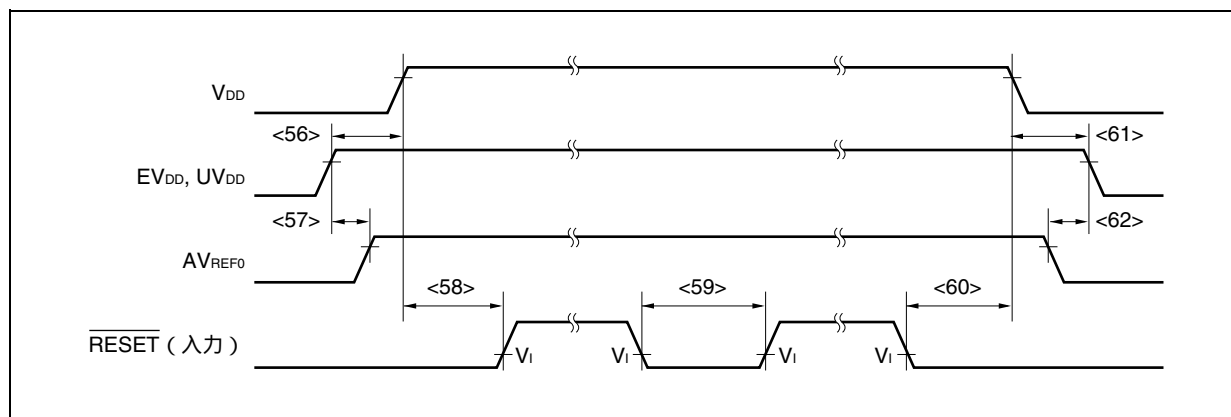
35.8 基本動作

(1) パワー・オン/パワー・オフ/リセット・タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
EV_{DD}, UV_{DD} V_{DD}	t_{REL} <56>		0		ns
EV_{DD}, UV_{DD} AV_{REF0}	t_{REA} <57>		0	t_{REL}	ns
V_{DD} \overline{RESET}	t_{RER} <58>		$500 + t_{REG}$ 注		ns
RESET口ウ・レベル幅	t_{WRS} <59>	アナログ・ノイズ除去 (フラッシュ 消去 / 書き込み間)	500		ns
		アナログ・ノイズ除去	500		ns
\overline{RESET} V_{DD}	t_{FRE} <60>		500		ns
V_{DD} EV_{DD}, UV_{DD}	t_{FEL} <61>		0		ns
AV_{REF0} EV_{DD}, UV_{DD}	t_{FEA} <62>		0	t_{FEL}	ns

注 内蔵レギュレータの特性に依存します。



(2) リセット, 割り込みタイミング

(TA = -40 ~ +85, VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
RESET入力ロウ・レベル幅	tWRSL		500		ns
NMIハイ・レベル幅	tWNIH	アナログ・ノイズ除去	500		ns
NMIロウ・レベル幅	tWNIL	アナログ・ノイズ除去	500		ns
INTPnハイ・レベル幅	tWITH	n = 0-18 (アナログ・ノイズ除去)	500		ns
		n = 2 (デジタル・ノイズ除去)	3T _{SMP} + 20		ns
INTPnロウ・レベル幅	tWITL	n = 0-18 (アナログ・ノイズ除去)	500		ns
		n = 2 (デジタル・ノイズ除去)	3T _{SMP} + 20		ns

備考 T_{SMP}: ノイズ除去制御レジスタ (INTNFC) で設定。fxx/64, fxx/128, fxx/256, fxx/512, fxx/1024から選択可能。

(TA = -40 ~ +85, VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
KRnハイ・レベル幅	tWKRH	アナログ・ノイズ除去	500		ns
KRnロウ・レベル幅	tWKRL	アナログ・ノイズ除去	500		ns

備考 n = 0-7

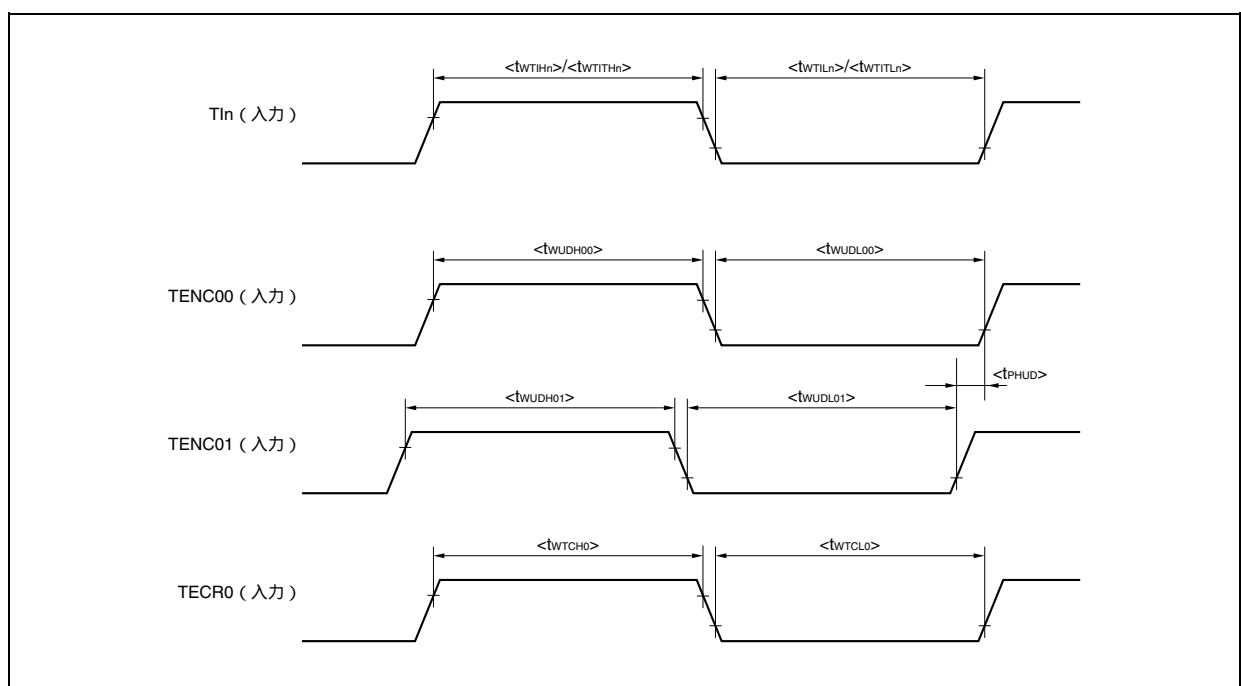
(3) タイマ・タイミング

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
TIハイ・レベル幅	t _{TIH}	TAB00-TAB03, TAB10-TAB13, EVTAB1, TRGAB1	12T + 20		ns
		TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21, TIAA30, TIAA31, TIAA40, TIAA41, TIAA50, TIAA51,	3T _{SMP1} + 20		ns
TIロウ・レベル幅	t _{TIL}	TAB00-TAB03, TAB10-TAB13, EVTAB1, TRGAB1	12T + 20		ns
		TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21, TIAA30, TIAA31, TIAA40, TIAA41, TIAA50, TIAA51,	3T _{SMP1} + 20		ns
TENCnハイ・レベル幅	t _{WENCHn}	n = 0, 1	3T _{SMP2} + 20		ns
TENCnロウ・レベル幅	t _{WENCLn}	n = 0, 1	3T _{SMP2} + 20		ns
TECR0ハイ・レベル幅	t _{WCRH0}		3T _{SMP2} + 20		ns
TECR0ロウ・レベル幅	t _{WCRL0}		3T _{SMP2} + 20		ns
TITnハイ・レベル幅	t _{WTIHn}	n = 0, 1	3T _{SMP2} + 20		ns
TITnロウ・レベル幅	t _{WTILn}	n = 0, 1	3T _{SMP2} + 20		ns
EVTT0ハイ・レベル幅	t _{WTIH0}		3T _{SMP2} + 20		ns
EVTT0ロウ・レベル幅	t _{WTIL0}		3T _{SMP2} + 20		ns
TENCn入力時間差	t _{PHUD}	n = 0, 1	3T _{SMP2} + 20		ns

備考1. T = 1/f_{xx}

- T_{SMP1} : ノイズ除去制御レジスタ (TANFC) で設定。f_{xx}, f_{xx}/4から選択可能。
- T_{SMP2} : ノイズ除去制御レジスタ (TTNFC) で設定。f_{xx}, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{xx}/64から選択可能。
- 上記のスペックは, 有効エッジとして確実に検出されるパルス幅を示しているため, 上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。



(4) UARTB タイミング

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
送信レート				3.125	Mbps

(5) UARTC タイミング

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
送信レート				3.125	Mbps
ASCK0 サイクル・タイム				10	MHz

(6) CSIE タイミング

(a) マスタ・モード

【CSIE0, CSIE1 (ポート DH 端子) (8.33 Mbps) 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 30 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKEn サイクル・タイム	t _{KCY1}	<63>	120		ns
SCKEn ハイ・レベル幅	t _{KH1}	<64>	t _{KCY1} /2 - 8		ns
SCKEn ロウ・レベル幅	t _{KL1}		t _{KCY1} /2 - 8		ns
SIEn セットアップ時間 (対 SCKEn)	t _{SIK1}	<65>	26		ns
SIEn セットアップ時間 (対 $\overline{\text{SCKEn}}$)			26		ns
SIEn ホールド時間 (対 SCKEn)	t _{SI1}	<66>	26		ns
SIEn ホールド時間 (対 $\overline{\text{SCKEn}}$)			26		ns
SOEn 出力遅延時間 (対 SCKEn)	t _{KSO1}	<67>		26	ns
SOEn 出力遅延時間 (対 $\overline{\text{SCKEn}}$)				26	ns
SOEn 出力保持時間 (対 SCKEn)	t _{HSO1}	<68>		t _{KCY1} /2 - 10	ns
SOEn 出力保持時間 (対 $\overline{\text{SCKEn}}$)				t _{KCY1} /2 - 10	ns

備考 n = 0, 1

【CSIE1 (ポート 9 端子) (5 Mbps) 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 30 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKE1 サイクル・タイム	t _{KCYM}	<63>	200		ns
SCKE1 ハイ・レベル幅	t _{KHM}	<64>	t _{KCYM} /2 - 8		ns
SCKE1 ロウ・レベル幅			t _{KCYM} /2 - 8		ns
SIE1 セットアップ時間 (対 SCKE1)	t _{SIKM}	<65>	46		ns
SIE1 セットアップ時間 (対 $\overline{\text{SCKE1}}$)			46		ns
SIE1 ホールド時間 (対 SCKE1)	t _{SIM}	<66>	46		ns
SIE1 ホールド時間 (対 $\overline{\text{SCKE1}}$)			46		ns
SOE1 出力遅延時間 (対 SCKE1)	t _{KSOM}	<67>		46	ns
SOE1 出力遅延時間 (対 $\overline{\text{SCKE1}}$)				46	ns
SOE1 出力保持時間 (対 SCKE1)	t _{HSOM}	<68>		t _{KCYM} /2 - 10	ns
SOE1 出力保持時間 (対 $\overline{\text{SCKE1}}$)				t _{KCYM} /2 - 10	ns

(b) スレーブ・モード

【CSIE0, CSIE1 (ポート DH 端子) (8.33 Mbps) 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKEnサイクル・タイム	t _{KCY2}	<63>	120		ns
SCKEnハイ・レベル幅	t _{KH2}	<64>	t _{KCYn} /2 - 8		ns
SCKEnロウ・レベル幅	t _{KL2}			t _{KCYn} /2 - 8	ns
SIEnセットアップ時間 (対SCKEn)	t _{SIK2}	<65>	33.3 MHz f _{xx} 50 MHz	26	ns
			24 MHz f _{xx} 33.3 MHz	14	
SIEnセットアップ時間 (対SCKEn)			33.3 MHz f _{xx} 50 MHz	26	ns
			24 MHz f _{xx} 33.3 MHz	14	
SIEnホールド時間 (対SCKEn)	t _{SI2}	<66>	33.3 MHz f _{xx} 50 MHz	t _{KCYn} /2 - 8	ns
			24 MHz f _{xx} 33.3 MHz		
SIEnホールド時間 (対SCKEn)			33.3 MHz f _{xx} 50 MHz	t _{KCYn} /2 - 8	ns
			24 MHz f _{xx} 33.3 MHz		
SOEn出力遅延時間 (対SCKEn)	t _{KSO2}	<67>		26	ns
SOEn出力遅延時間 (対SCKEn)				26	ns
SOEn出力保持時間 (対SCKEn)	t _{HSo2}	<68>		t _{KCYn} /2 - 10	ns
SOEn出力保持時間 (対SCKEn)				t _{KCYn} /2 - 10	ns

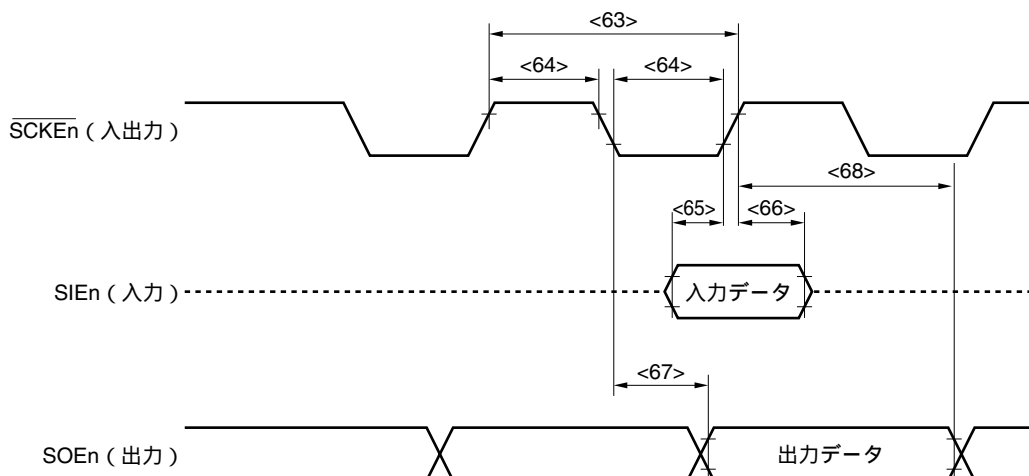
備考 n = 0, 1

【CSIE1 (ポート 9 端子) (5 Mbps) 使用時】

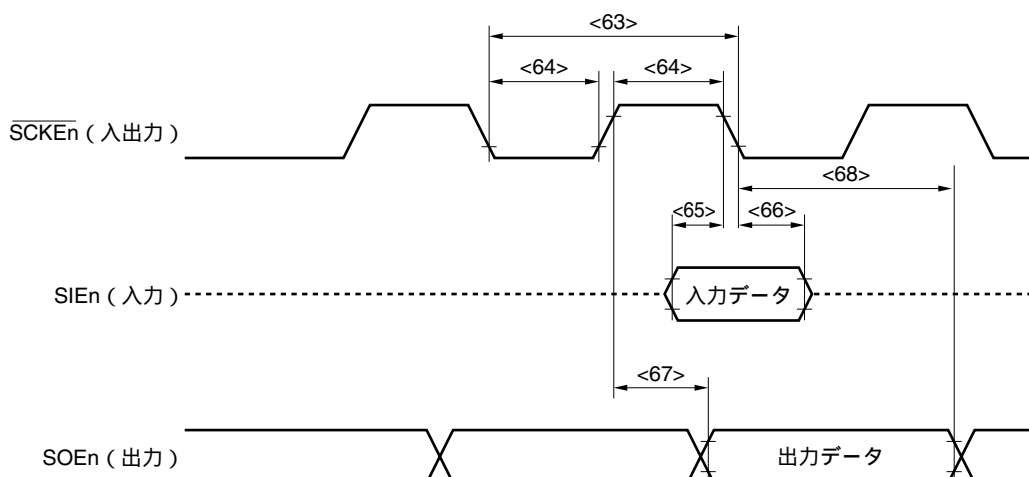
(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKE1サイクル・タイム	t _{KCY2}	<63>	200		ns
SCKE1ハイ・レベル幅	t _{KH2}	<64>	t _{KCYn} /2 - 8		ns
SCKE1ロウ・レベル幅	t _{KL2}			t _{KCYn} /2 - 8	ns
SIE1セットアップ時間 (対SCKE1)	t _{SIK2}	<65>		46	ns
SIE1セットアップ時間 (対SCKE1)				46	ns
SIE1ホールド時間 (対SCKE1)	t _{SI2}	<66>		t _{KCYn} /2 - 8	ns
SIE1ホールド時間 (対SCKE1)				t _{KCYn} /2 - 8	ns
SOE1出力遅延時間 (対SCKE1)	t _{KSO2}	<67>		46	ns
SOE1出力遅延時間 (対SCKE1)				46	ns
SOE1出力保持時間 (対SCKE1)	t _{HSo2}	<68>		t _{KCYn} /2 - 10	ns
SOE1出力保持時間 (対SCKE1)				t _{KCYn} /2 - 10	ns

(a) CEnCTL1.CEnCKP, CEnDAPビット = 00または11



(b) CEnCTL1.CEnCKP, CEnDAPビット = 10または01



備考 n = 0, 1

(7) CSIFタイミング

(a) マスタ・モード

【CSIF3, CSIF4 (ポート DH 端子側), CSIF5, CSIF6 (8.33 MHz) 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 30 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKFnサイクル・タイム	t _{KCY1}	<69>	120		ns
SCKFnハイ・レベル幅	t _{KH1}	<70>	t _{KCY1} /2 - 8		ns
SCKFnロウ・レベル幅	t _{KL1}		t _{KCY1} /2 - 8		ns
SIFnセットアップ時間 (対SCKFn)	t _{SIK1}	<71>	26		ns
SIFnセットアップ時間 (対SCKFn)			26		ns
SIFnホールド時間 (対SCKFn)	t _{SI1}	<72>	26		ns
SIFnホールド時間 (対SCKFn)			26		ns
SOFn出力遅延時間 (対SCKFn)	t _{KSO1}	<73>		26	ns
SOFn出力遅延時間 (対SCKFn)				26	ns
SOFn出力保持時間 (対SCKFn)	t _{HSO1}	<74>	t _{KCY1} /2 - 10		ns
SOFn出力保持時間 (対SCKFn)			t _{KCY1} /2 - 10		ns

備考 n = 3-6

【CSIF4 (ポート DH 端子側) (12.5 MHz) 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 30 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKF4サイクル・タイム	t _{KCYM}	<69>	80		ns
SCKF4ハイ・レベル幅	t _{KHM}	<70>	t _{KCYM} /2 - 8		ns
SCKF4ロウ・レベル幅			t _{KCYM} /2 - 8		ns
SIF4セットアップ時間 (対SCKF4)	t _{SIKM}	<71>	19		ns
SIF4セットアップ時間 (対SCKF4)			19		ns
SIF4ホールド時間 (対SCKF4)	t _{SIM}	<72>	13		ns
SIF4ホールド時間 (対SCKF4)			13		ns
SOF4出力遅延時間 (対SCKF4)	t _{KSOM}	<73>		13	ns
SOF4出力遅延時間 (対SCKF4)				13	ns
SOF4出力保持時間 (対SCKF4)	t _{HSOM}	<74>	t _{KCYM} /2 - 10		ns
SOF4出力保持時間 (対SCKF4)			t _{KCYM} /2 - 10		ns

【CSIF0-CSIF2, CSIF4 (ポート 3 端子側) 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 30 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKFnサイクル・タイム	t _{KCY1}	<69>	200		ns
SCKFnハイ・レベル幅	t _{KH1}	<70>	t _{KCY1} /2 - 8		ns
SCKFnロウ・レベル幅	t _{KL1}		t _{KCY1} /2 - 8		ns
SIFnセットアップ時間 (対SCKFn)	t _{SIK1}	<71>	46		ns
SIFnセットアップ時間 (対SCKFn)			46		ns
SIFnホールド時間 (対SCKFn)	t _{SI1}	<72>	46		ns
SIFnホールド時間 (対SCKFn)			46		ns
SOFn出力遅延時間 (対SCKFn)	t _{KSO1}	<73>		46	ns
SOFn出力遅延時間 (対SCKFn)				46	ns
SOFn出力保持時間 (対SCKFn)	t _{HSO1}	<74>	t _{KCY1} /2 - 10		ns
SOFn出力保持時間 (対SCKFn)			t _{KCY1} /2 - 10		ns

備考 n = 0-2, 4

(b) スレーブ・モード

【CSIF3, CSIF4 (ポート DH 端子側), CSIF5, CSIF6 (8.33 MHz) 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 30 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKFn サイクル・タイム	t _{KCY2}	<69>	120		ns
SCKFn ハイ・レベル幅	t _{KH2}	<70>	t _{KCYn} /2 - 8		ns
SCKFn ロウ・レベル幅	t _{KL2}		t _{KCYn} /2 - 8		ns
SIFn セットアップ時間 (対 SCKFn)	t _{SIK2}	<71>	26		ns
SIFn セットアップ時間 (対 SCKFn)			26		ns
SIFn ホールド時間 (対 SCKFn)	t _{SI2}	<72>	26		ns
SIFn ホールド時間 (対 SCKFn)			26		ns
SOFn 出力遅延時間 (対 SCKFn)	t _{KSO2}	<73>		26	ns
SOFn 出力遅延時間 (対 SCKFn)				26	ns
SOFn 出力保持時間 (対 SCKFn)	t _{HSO2}	<74>	t _{KCYn} /2 - 10		ns
SOFn 出力保持時間 (対 SCKFn)			t _{KCYn} /2 - 10		ns

備考 n = 3-6

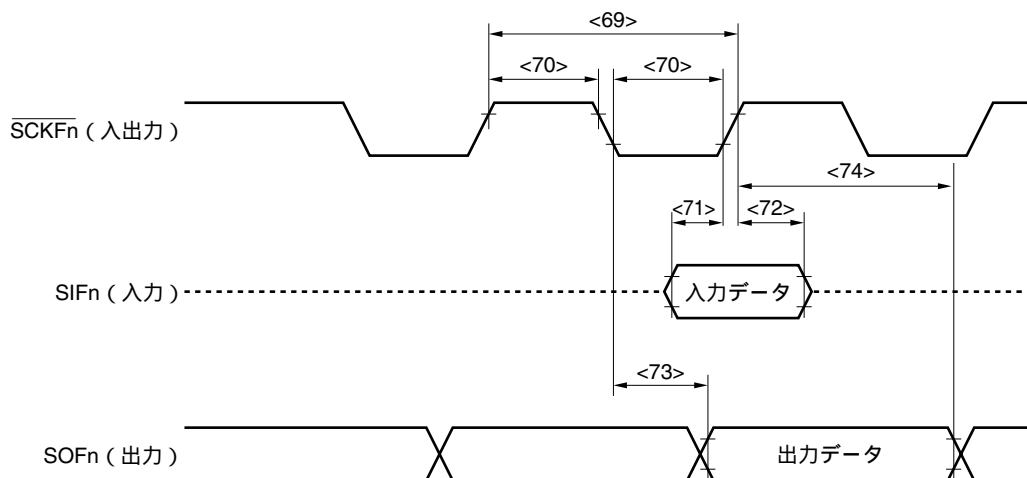
【CSIF0-CSIF2, CSIF4 (ポート 3 端子側) (5 MHz) 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 30 pF)

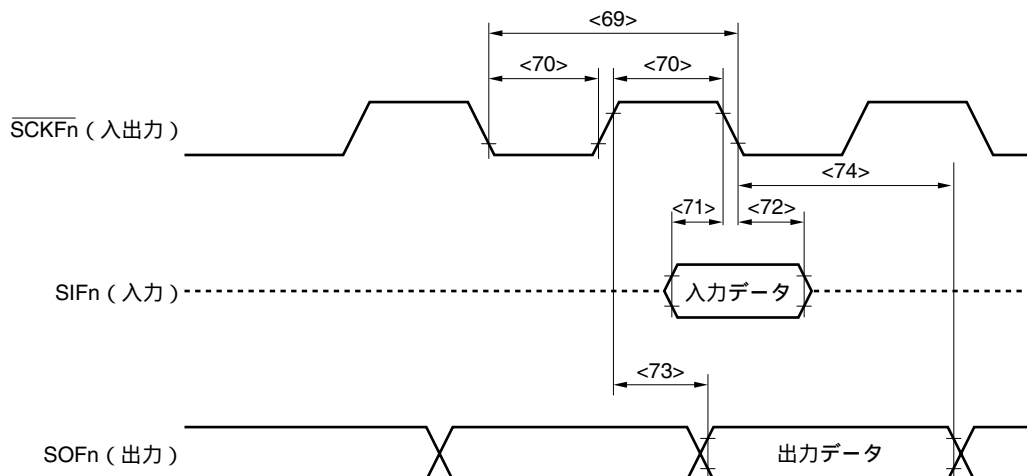
項目	略号	条件	MIN.	MAX.	単位
SCKFn サイクル・タイム	t _{KCY2}	<69>	200		ns
SCKFn ハイ・レベル幅	t _{KH2}	<70>	t _{KCYn} /2 - 8		ns
SCKFn ロウ・レベル幅	t _{KL2}		t _{KCYn} /2 - 8		ns
SIFn セットアップ時間 (対 SCKFn)	t _{SIK2}	<71>	46		ns
SIFn セットアップ時間 (対 SCKFn)			46		ns
SIFn ホールド時間 (対 SCKFn)	t _{SI2}	<72>	46		ns
SIFn ホールド時間 (対 SCKFn)			46		ns
SOFn 出力遅延時間 (対 SCKFn)	t _{KSO2}	<73>		46	ns
SOFn 出力遅延時間 (対 SCKFn)				46	ns
SOFn 出力保持時間 (対 SCKFn)	t _{HSO2}	<74>	t _{KCYn} /2 - 10		ns
SOFn 出力保持時間 (対 SCKFn)			t _{KCYn} /2 - 10		ns

備考 n = 0-2, 4

(a) CFnCTL1.CFnCKP, CFnDAPビット = 00または11



(b) CFnCTL1.CFnCKP, CFnDAPビット = 10または01



備考 n = 0-6

(8) I²Cバス・モード(T_A = -40 ~ +85 , V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}, V_{SS} = AV_{SS} = 0 V)

項目	略号	標準モード		高速モード		単位	
		MIN.	MAX.	MIN.	MAX.		
SCL0nクロック周波数	f _{CLK}	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<75>	-	1.3	-	μs	
ホールド時間 ^{注1}	t _{HD : STA}	<76>	-	0.6	-	μs	
SCL0nクロックのロウ・レベル幅	t _{LOW}	<77>	-	1.3	-	μs	
SCL0nクロックのハイ・レベル幅	t _{HIGH}	<78>	-	0.6	-	μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	<79>	-	0.6	-	μs	
データ・ホールド時間	CBUS互換マスタの場合	t _{HD : DAT}	<80>	5.0	-	μs	
	I ² Cモードの場合			0 ^{注2}	-	0.9 ^{注3}	
データ・セットアップ時間	t _{SU : DAT}	<81>	250	-	100 ^{注4}	ns	
SDA0nおよびSCL0n信号の立ち上がり時間	t _r	<82>	-	1000	20 + 0.1Cb ^{注5}	ns	
SDA0nおよびSCL0n信号の立ち下がり時間	t _f	<83>	-	300	20 + 0.1Cb ^{注5}	ns	
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<84>	4.0	-	0.6	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<85>	-	-	0	50	ns
各バス・ラインの容量性負荷	C _b		-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCL0nの立ち下がり端の未定義領域を埋めるために (SCL0n信号のV_{IHmin}での) SDA0n信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0n信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD : DAT}) のみ満たすことが必要です。
- 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

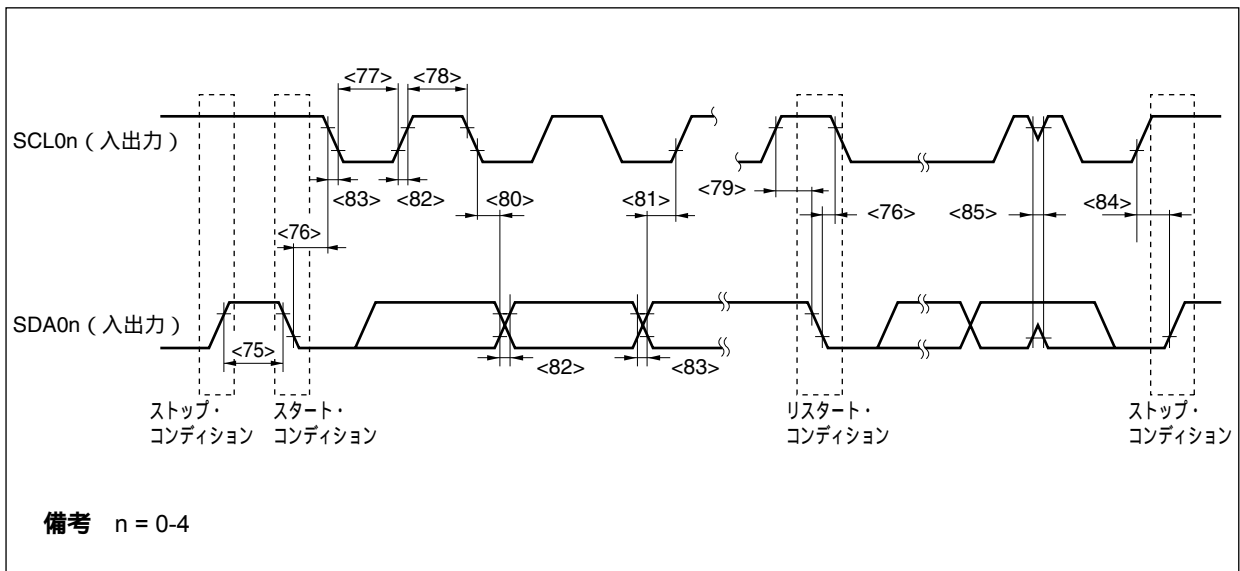
t_{SU : DAT} 250 ns

- ・装置がSCL0n信号のロウ状態ホールド時間を延長する場合

SCL0nラインが解放される (t_{Rmax} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA0nラインに送出してください。

- C_b : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

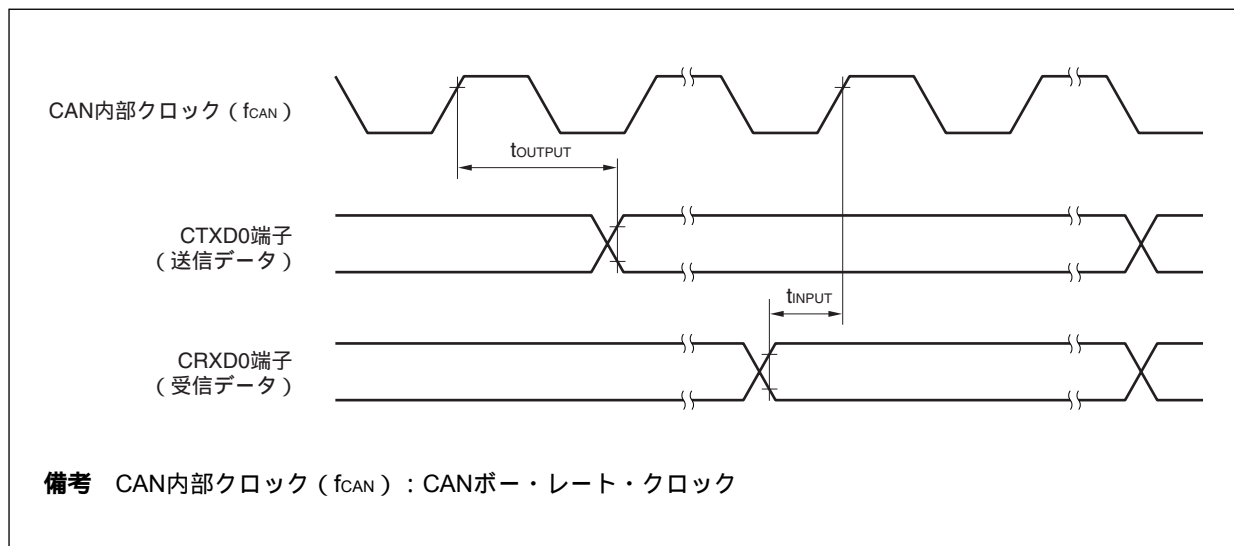
備考 n = 0-4



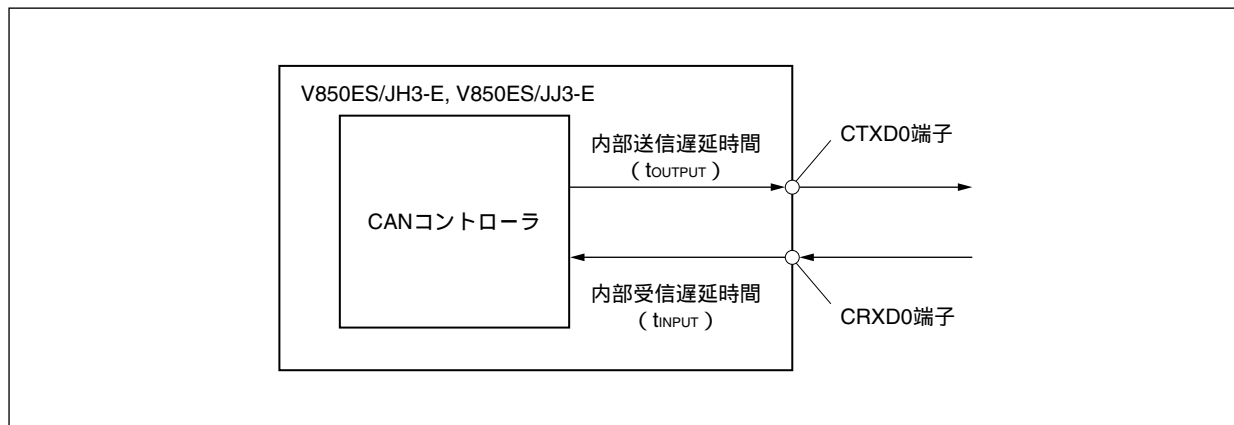
(9) CANタイミング (CANコントローラ内蔵品のみ)

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
送信レート				1	Mbps
内部遅延時間	t_{NODE}			100	ns



内部遅延時間 (t_{NODE}) = 内部送信遅延時間 (t_{OUTPUT}) + 内部受信遅延時間 (t_{INPUT})

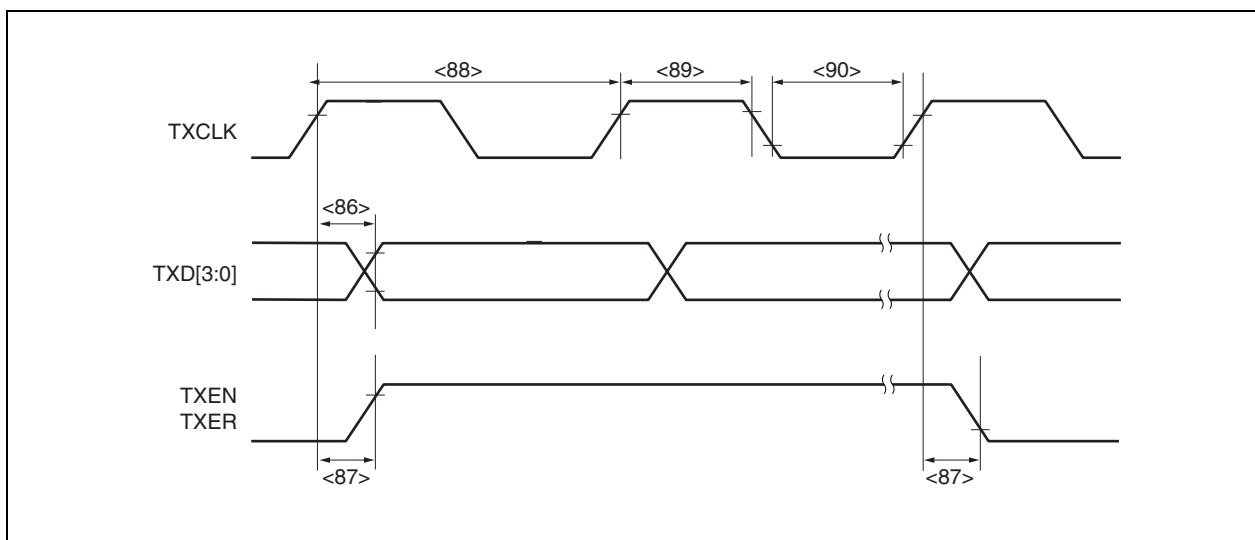


(10) MIIインタフェース (イーサネット・コントローラ)

(a) 送信インタフェース

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 30$ pF)

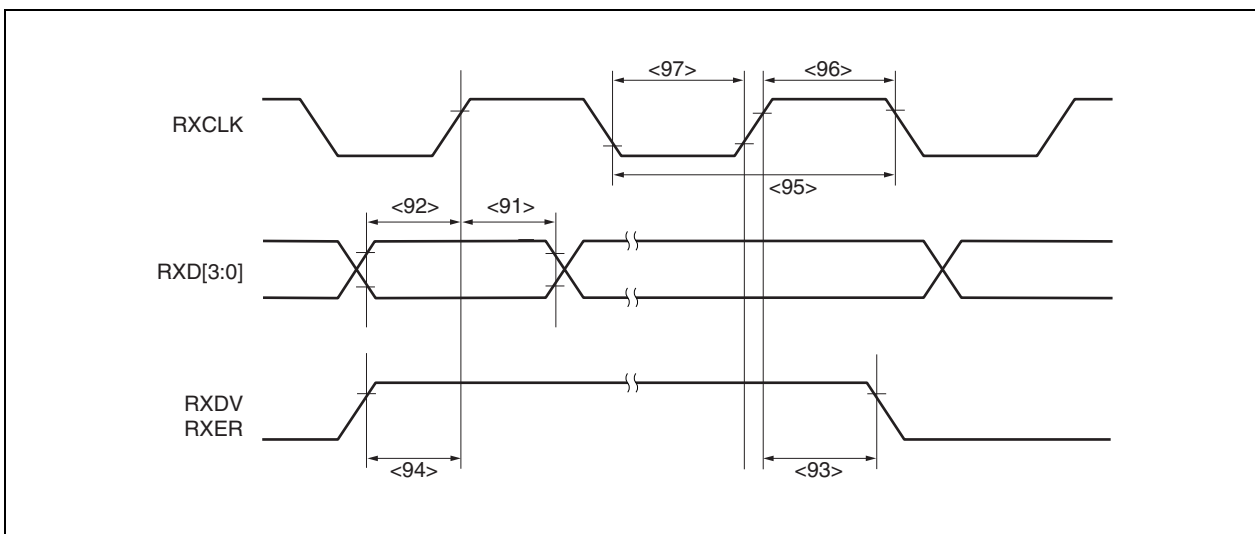
項目	略号	条件	MIN.	MAX.	単位
TXD[3:0]遅延時間	t_{DTKTD}	<86>	0	25	ns
TXEN, TXER遅延時間	t_{DTKTE}	<87>	0	25	ns
TXCLKクロック幅	t_{CYTK}	<88>	40		ns
TXCLKハイ・レベル幅	t_{TKH}	<89>	$0.4 t_{CYTK}$	$0.6 t_{CYTK}$	ns
TXCLKロウ・レベル幅	t_{TKL}	<90>	$0.4 t_{CYTK}$	$0.6 t_{CYTK}$	ns



(b) 受信インタフェース

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 30$ pF)

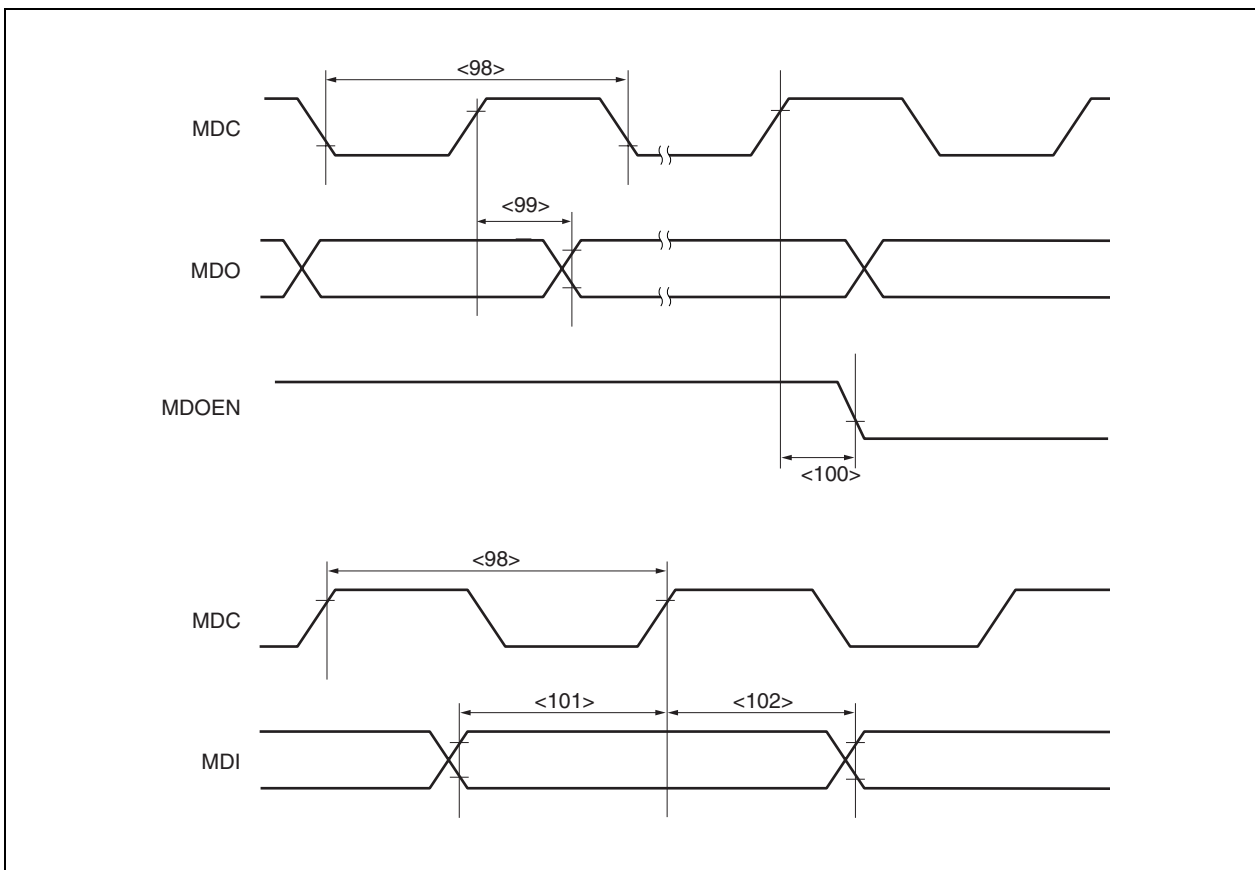
項目	略号	条件	MIN.	MAX.	単位
RXD[3:0]ホールド時間	t _{HRKRD}	<91>	5		ns
RXD[3:0]セットアップ時間	t _{SRDRK}	<92>	5		ns
RXDVホールド時間	t _{HRKRV}	<93>	5		ns
RXDVセットアップ時間	t _{SRVRK}	<94>	5		ns
TXCLKクロック幅	t _{CYRK}	<95>	40		ns
TXCLKハイ・レベル幅	t _{RKH}	<96>	0.4 t _{CYRK}	0.6 t _{CYRK}	ns
TXCLKロウ・レベル幅	t _{RKL}	<97>	0.4 t _{CYRK}	0.6 t _{CYRK}	ns



(c) マネジメント・インタフェース

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 30$ pF)

項目	略号	条件	MIN.	MAX.	単位
MDCサイクル・タイム	t_{CYMDC}	<98>	400		ns
MCD to MOD遅延時間	t_{DMCMD}	<99>	0	300	ns
MCD to MDOEN遅延時間	t_{DMCME}	<100>	0	300	ns
MDI to MDCセットアップ時間	t_{SMDC}	<101>	50		ns
MDI from MDCホールド時間	t_{HMCMD}	<102>	50		ns



(11) ハイ・インピーダンス制御タイミング

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	tCLM	クロック・モニタ動作時		65	μs
TOAB1OFF入力 タイマ出力ハイ・インピーダンス	tHTQn			300	ns
TOAA1OFF入力 タイマ出力ハイ・インピーダンス	tHTP2			300	ns

(12) A/Dコンバータ

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0, 3.0V AVREF0 3.6V, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		3.0 AVREF0 3.6 V			±0.6	%FSR
変換時間	tCONV		2.17		10	μs
ゼロスケール誤差					±0.5	%FSR
フルスケール誤差					±0.5	%FSR
非直線性誤差					±4.0	LSB
微分直線性誤差					±4.0	LSB
アナログ入力電圧	VIAN		AVSS		AVREF0	V
基準電圧	AVREF0		3.0		3.6	V
AVREF0電流	AIREF0	通常変換モード		3	6.5	mA
		高速変換モード		4	10	mA
		A/Dコンバータ未使用時			5	μA

注 量子化誤差 (±0.05 %FSR) は含みません。

注意 A/D変換中に兼用ポートの設定 (リード/ライト) を行わないでください。変換分解能が低下することがあります。

備考 LSB : Least Significant Bit

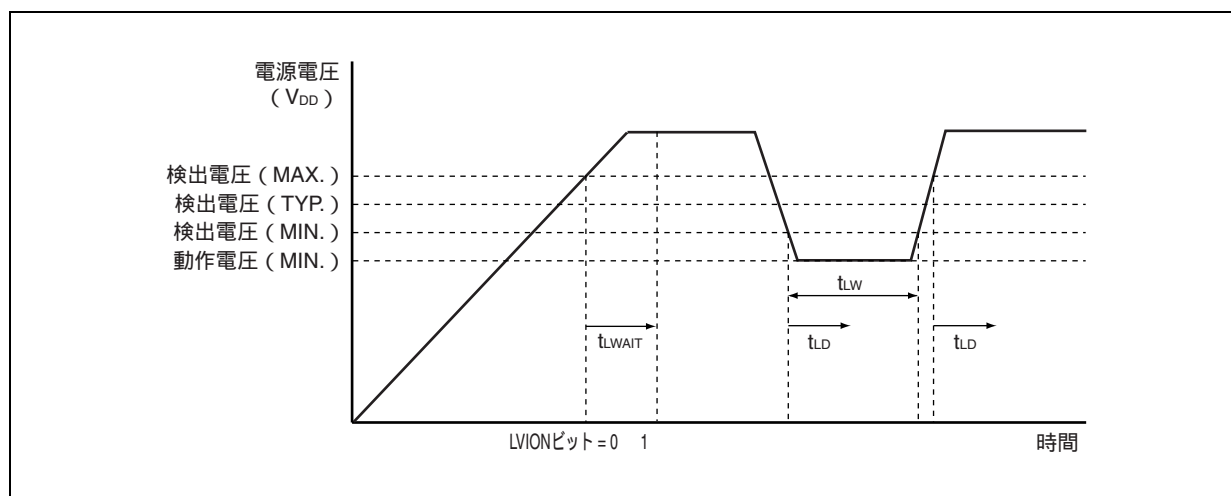
FSR : Full Scale Range

(13) LVI回路特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LVIO}		2.85	2.95	3.05	V
応答時間 ^注	t_{LD}	V_{DD} が V_{LVIO} (MAX.)に達したあと、または V_{DD} が V_{LVIO} (MAX.)まで下がったあと。		0.2	2.0	ms
最小パルス幅	t_{LW}		0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	V_{DD} が2.85 V (MIN.) に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはリセット信号を出力するまでの時間です。

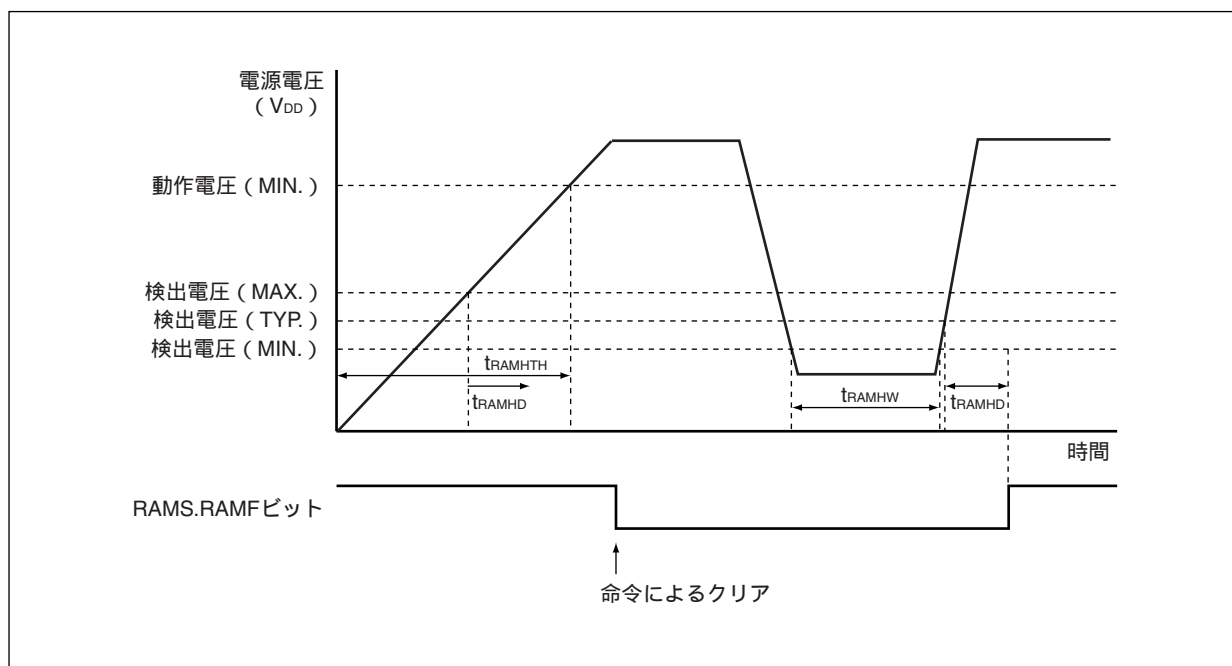


(14) RAM保持検出

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0 \sim 2.85$ V	0.002			ms
応答時間 ^注	t_{RAMHD}	V_{DD} が2.1 Vに達したあと		0.2	3.0	ms
最小パルス幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMS.RAMFビットを設定するまでの時間です。



35.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

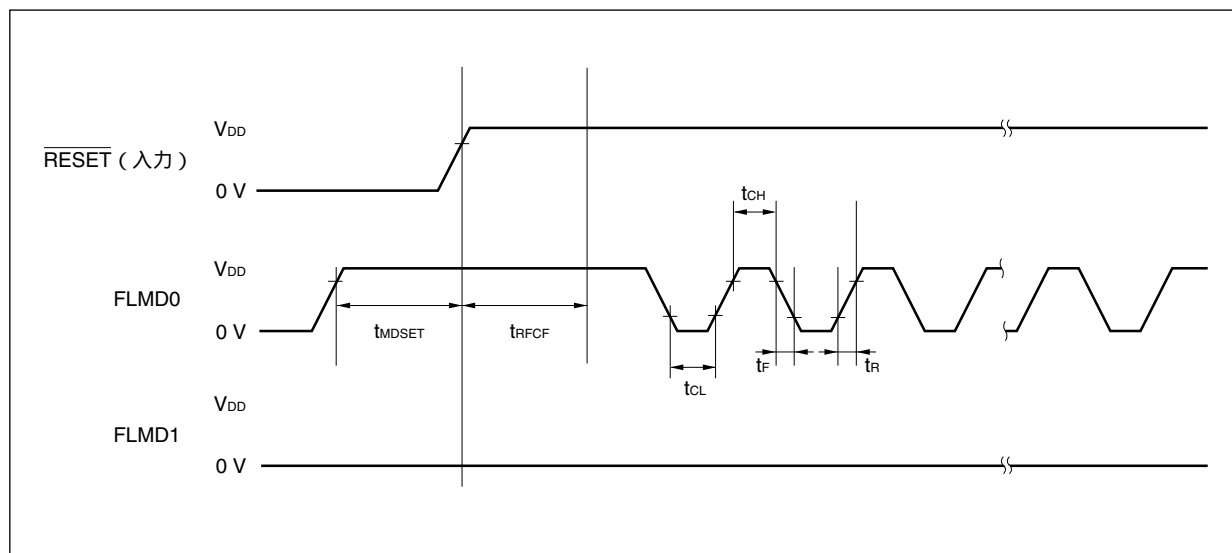
(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{CPU}		24		50	MHz
電源電圧	V _{DD}		2.85		3.6	V
書き換え回数	C _{WRT}				1000	回
プログラミング温度	t _{PRG}		-40		+85	

(2) シリアル書き込みオペレーション特性

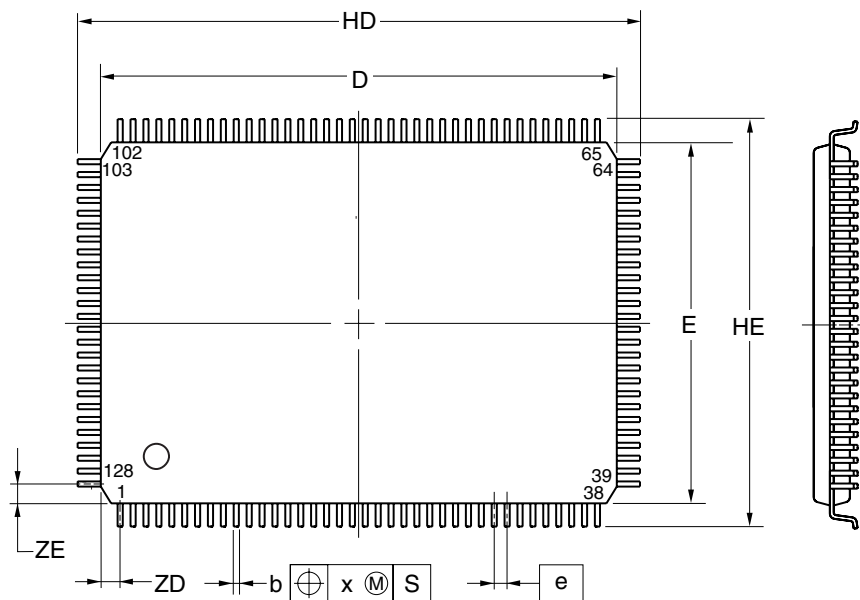
項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間	t _{MSET}		2		3000	ms
RESET FLMD0カウンタ開始時間	t _{RFCF}	f _x = 3 ~ 6 MHz	800			μs
FLMD0カウンタ・ハイ・レベル幅 / ロウ・レベル幅	t _{CH} /t _{CL}		10		100	μs
FLMD0カウンタ立ち上がり時間 / 立ち下がり時間	t _r /t _f				1	μs

フラッシュ書き込みモード設定タイミング

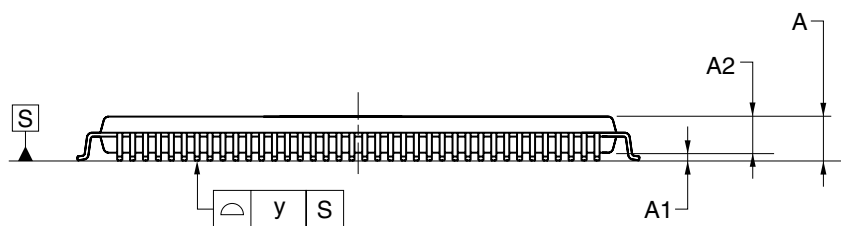
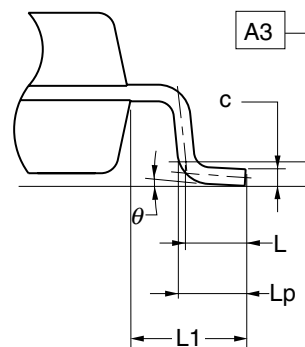


第36章 外形图

128-PIN PLASTIC LQFP (FINE PITCH) (14x20)



detail of lead end



NOTE

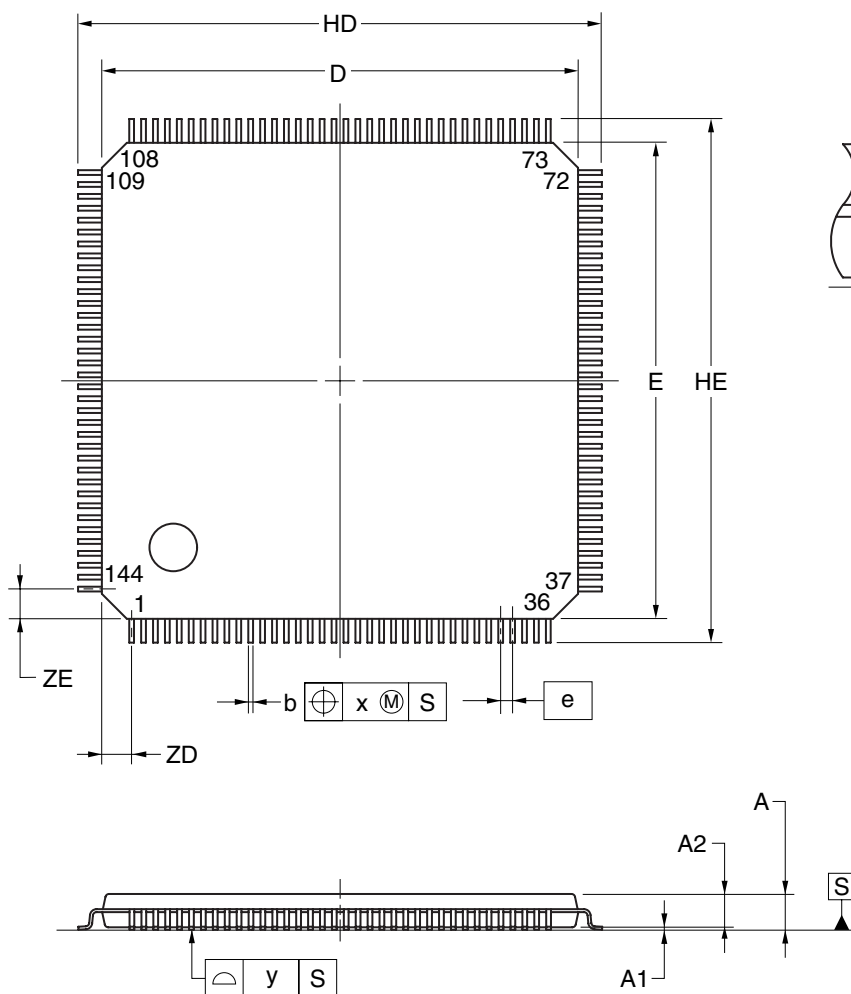
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

P128GF-50-GAT

144-PIN PLASTIC LQFP (FINE PITCH) (20x20)



detail of lead end

(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	20.00±0.20
HD	22.00±0.20
HE	22.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ⁺ 4° _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P144GJ-50-GAE-2

第37章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://japan.renesas.com/prod/package/index.html>)

表37 - 1 表面実装タイプの半田付け条件

(1) μ PD70F3778GF-GAT-AX	: 128ピン・プラスチックLQFP (ファインピッチ)(14×20)
μ PD70F3779GF-GAT-AX	: "
μ PD70F3780GF-GAT-AX	: "
μ PD70F3781GF-GAT-AX	: "
μ PD70F3782GF-GAT-AX	: "
μ PD70F3783GF-GAT-AX	: "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 [※] （以降は125℃プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-AX」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

- (2) μ PD70F3784GJ-GAE-AX : 144ピン・プラスチックLQFP (ファインピッチ)(20×20)
 μ PD70F3785GJ-GAE-AX : "
 μ PD70F3786GJ-GAE-AX : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日間 [※] （以降は125 プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-AX」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A 開発ツール

V850ES/JH3-E, V850ES/JJ3-Eを使用するシステム開発のために、次のような開発ツールを用意しています。
図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

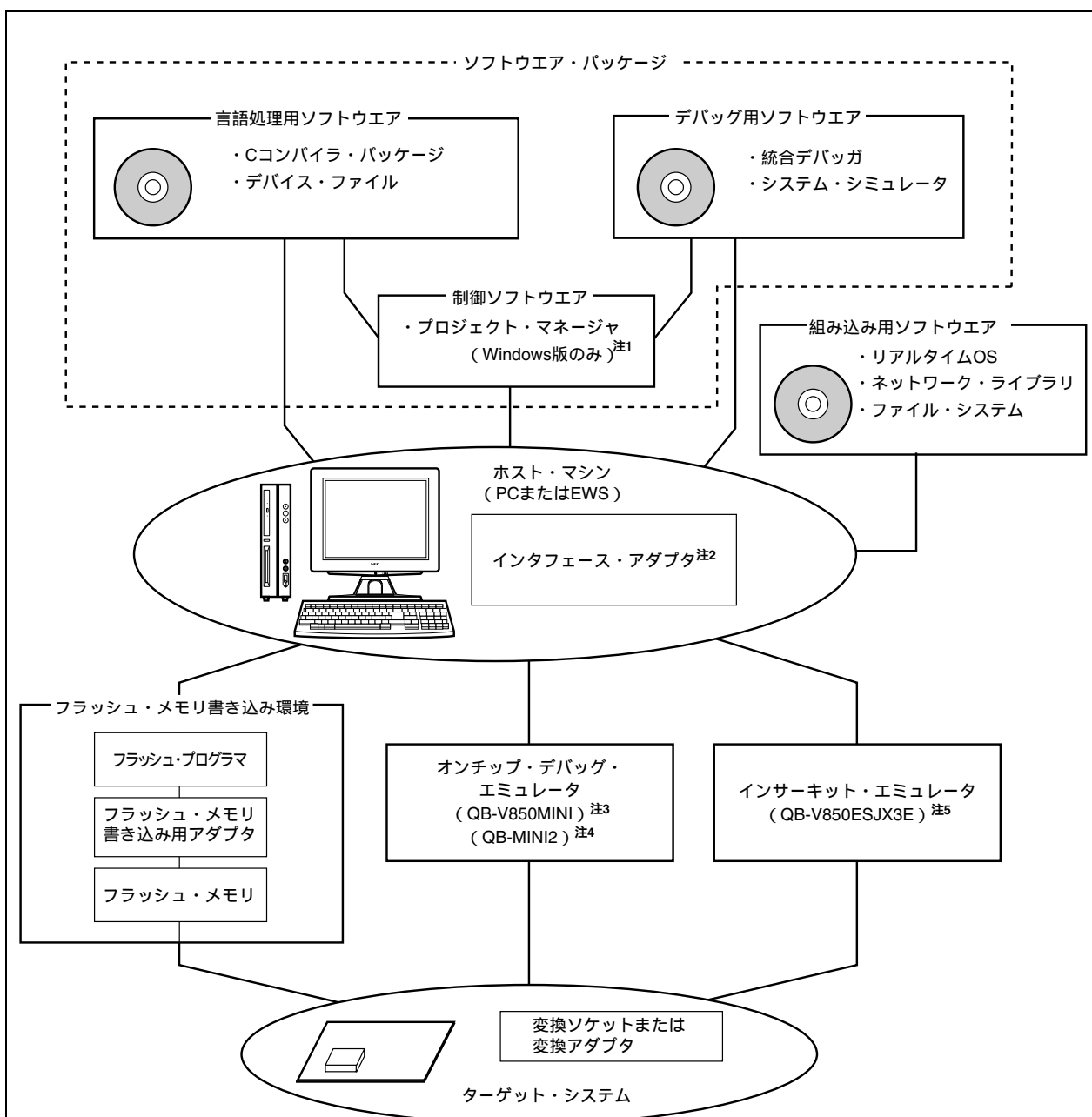
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP[®]
- Windows NT[®] Ver. 4.0

図A-1 開発ツール構成



注1. プロジェクト・マネージャ PM+は、Cコンパイラ・パッケージに入っています。

また、Windows以外ではPM+は使用できません。

2. QB-V850MINI, QB-MINI2, QB-V850ESJX3EはUSBのみ対応です。

3. QB-V850MINIは、ID850QB, USBインターフェース・ケーブル, OCDケーブル, セルフチェック・ボード, KELアダプタ, KELコネクタを添付しています。それ以外の製品は、すべてオプションです。

4. QB-MINI2は、USBインターフェース・ケーブル, 16pinターゲット・ケーブル, 10pinターゲット・ケーブル, 78K0-OCDボードを添付しています(統合デバッガは添付されていません)。それ以外の製品は、すべてオプションです。

5. QB-V850ESJX3Eは、ID850QB, フラッシュ・メモリ・プログラマ(MINICUBE2), 電源ユニットとUSBインターフェース・アダプタを添付しています。それ以外の製品は、すべてオプションです。

A.1 ソフトウェア・パッケージ

SP850 V850シリーズ・ソフトウェア・ パッケージ	V850シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times \times$ SP850
------------------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン，OSにより異なります。

$\mu S \times \times \times \times$ SP850

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを，マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称： $\mu S \times \times \times \times$ CA703000
DF703786 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, ID850QB）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わせられる各ツールに依存します。

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン，OSにより異なります。

$\mu S \times \times \times \times$ CA703000

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation TM	SunOS TM (Rel. 4.1.4) ， Solaris TM (Rel. 2.5.1)	

A.3 制御ソフトウェア

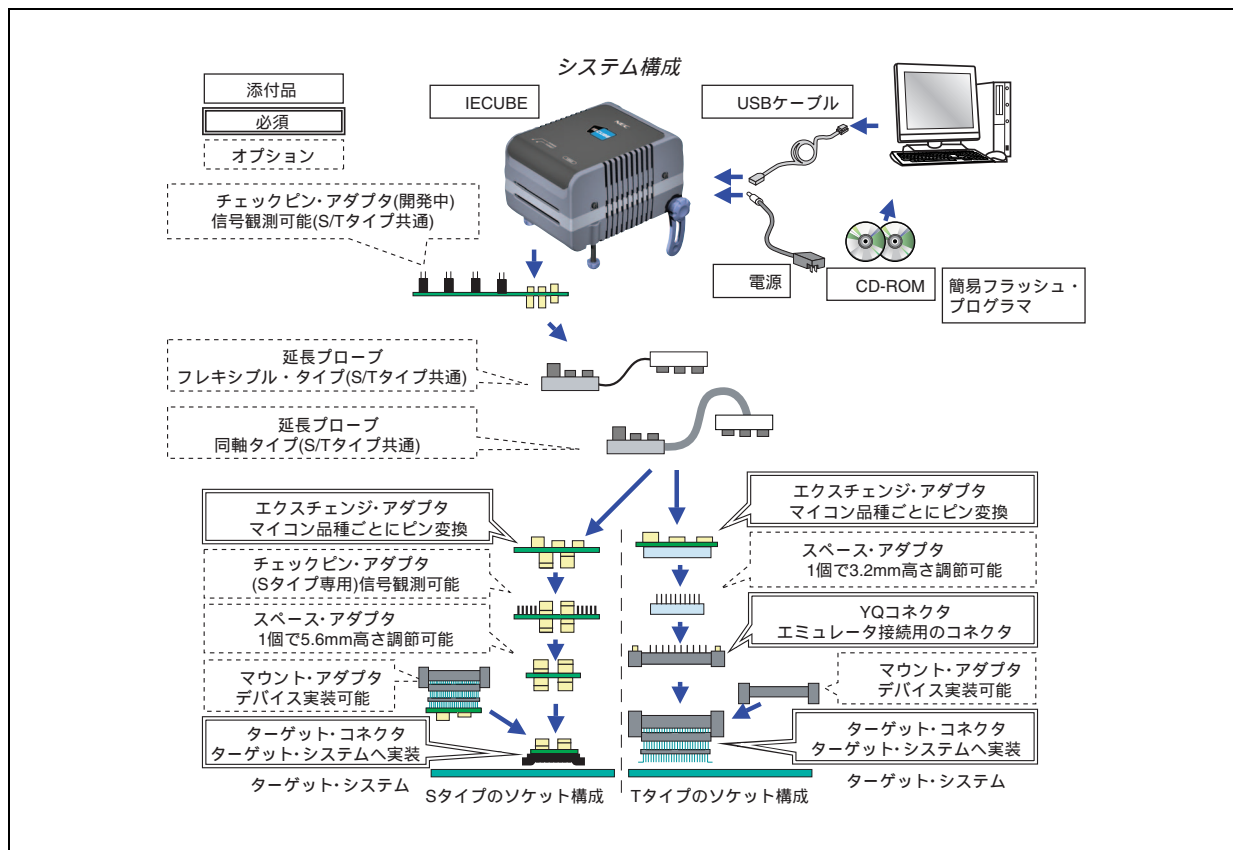
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から，エディタの起動，ビルド，デバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+は，Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 デバッグ用ツール (ハードウェア)

A. 4.1 IECUBE QB-V850ESJX3Eを使用する場合

QB-V850ESJX3Eとホスト・マシン (PC-9821シリーズ, PC/AT互換機) を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A-2 システム構成 (QB-V850ESJX3Eを使用する場合)



デバイス	機能
ホスト・マシン	PC-9821シリーズ, IBM-PC/AT互換機
CD-ROM	デバッガ, USBドライバ, マニュアルなど (ID850QB Disk, Accessory Disk ^注)
USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESJX3Eを接続するケーブルです。
ACアダプタ	ACプラグ差し替えで100~240Vに対応可能です。
インサーキット・エミュレータ (QB-V850ESJX3E)	V850ES/JH3-E, V850ES/JJ3-Eを使用する応用システムを開発する際に, ハードウェア, ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガID850QBに対応しています。電源ユニット, エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は, USBを使用します。
エクスチェンジ・アダプタ	ピン変換を行うアダプタです。
チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
スペース・アダプタ	高さ調節用アダプタです。
YQコネクタ	ターゲット・コネクタとエクスチェンジ・アダプタを接続する変換アダプタ
マウント・アダプタ	V850ES/JH3-E V850ES/JJ3-Eをソケット実装するためのアダプタです。
ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。

注 デバイス・ファイルはルネサス エレクトロニクスのホームページから入手してください。

<http://www2.renesas.com/micro/ja/ods/index.html>

表A - 1 システム構成 (QB-V850ESJX3E^{注1}を使用する場合)

対象デバイス	V850ES/JH3-E 128ピン・プラスチックLQFP		V850ES/JJ3-E 144ピン・プラスチックLQFP
	インサートキット・エミュレータ	QB-V850ESJX3E ^{注1}	
チェックピン・アダプタ	Sタイプ	QB-144-CA-01 ^{注2} (オプション)	
	Tタイプ		
延長プローブ・ フレキシブル・タイプ	Sタイプ	QB-144-EP-02S (オプション)	
	Tタイプ		
延長プローブ同軸タイプ	Sタイプ	QB-144-EP-01S (オプション)	
	Tタイプ		
エクステンジ・アダプタ ^{注3}	Sタイプ	QB-128GF-EA-01S	QB-144GJ-EA-01S
	Tタイプ	QB-128GF-EA-02T	QB-144GJ-EA-01T
チェックピン・アダプタ ^{注4}	Sタイプ	QB-128-CA-01S (オプション)	QB-144-CA-01S (オプション)
スペース・アダプタ ^{注4}	Sタイプ	QB-144-SA-01S (オプション)	QB-144-SA-01S (オプション)
	Tタイプ	QB-128GF-YS-01T (オプション)	QB-144GJ-01T (オプション)
YQコネクタ ^{注3}	Tタイプ	QB-128GF-YQ-01T	QB-144GJ-YQ-01T
マウント・アダプタ	Sタイプ	QB-128GF-MA-01S	QB-144GJ-MA-01S
	Tタイプ	QB-128GF-HQ-01T	QB-144GJ-HQ-01T
ターゲット・コネクタ ^{注3}	Sタイプ	QB-128GF-TC-01S	QB-144GJ-TC-01S
	Tタイプ	QB-128GF-NQ-01T	QB-144GJ-NQ-01T
ターゲット・システム			

注1. QB-V850ESJX3Eは、電源ユニット、USBインタフェース・ケーブルとフラッシュ・メモリ・プログラマ (MINICUBE2) を添付しています。また、コントロール・ソフトウェアとして、統合デバugg ID850QBを添付しています。

2. 開発中

3. オーダ品名によっては、添付品となります。

- ・QB-V850ESJX3E-ZZZでオーダした場合 : エクステンジ・アダプタ、ターゲット・コネクタは添付されていません。
- ・QB-V850ESJX3E-S128GFでオーダした場合 : QB-128GF-EA-01S, QB-128GF-TC-01Sが添付されています。
- ・QB-V850ESJX3E-T128GFでオーダした場合 : QB-128GF-EA-02T, QB-128GF-YQ-01T, QB-128GF-NQ-01Tが添付されています。
- ・QB-V850ESJX3E-S144GJでオーダした場合 : QB-144GJ-EA-01S, QB-144GJ-TC-01Sが添付されています。
- ・QB-V850ESJX3E-T144GJでオーダした場合 : QB-144GJ-EA-01T, QB-144GJ-YQ-01T, QB-144GJ-NQ-01Tが添付されています。

4. と の両方を使用する場合、 と の接続順序が逆でも接続できます。

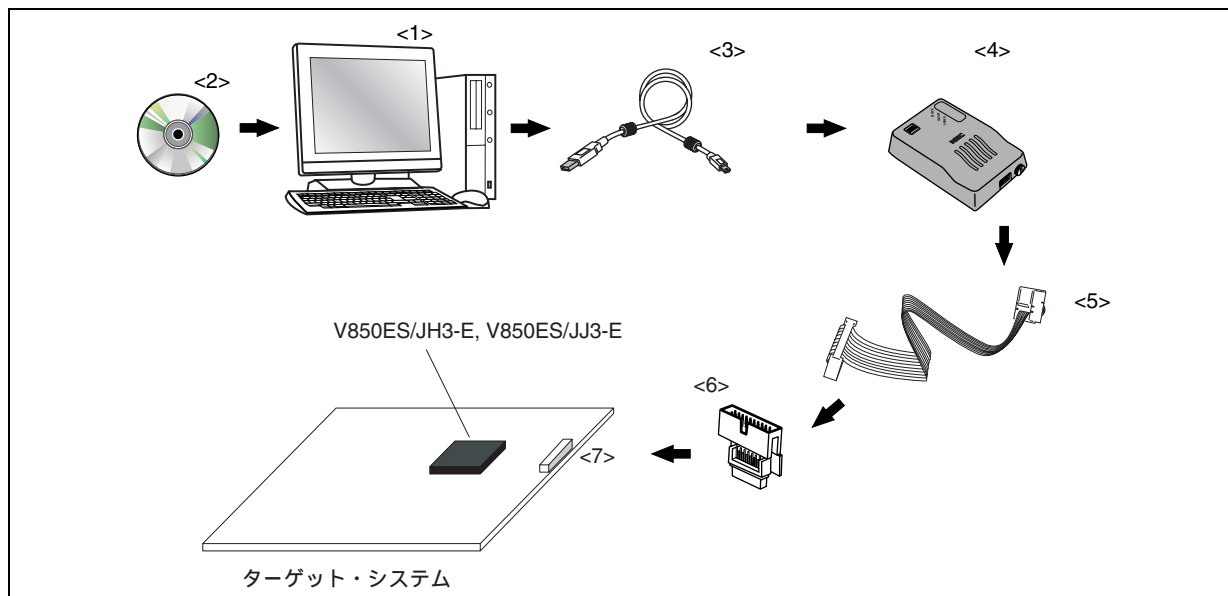
備考 表内の番号は図A - 2の番号に対応しています。

A. 4.2 MINICUBE QB-V850MINIを使用する場合

(1) MINICUBEを使用してのオンチップ・エミュレーション

MINICUBEとホスト・マシン (PC-9821シリーズ , PC/AT互換機) を接続して使用する場合のシステム構成を次に示します。

図A-3 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM ^{注1}	CD-ROM形式で統合デバッグ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。MINICUBEに添付されています。
<3> USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付されています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/JH3-E V850ES/JJ3-Eを使用する応用システムを開発する際に,ハードウェア,ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6> コネクタ変換ボード KEL Adaptor	MINICUBEに添付されています。
<7> MINICUBE接続コネクタ KELコネクタ ^{注2}	8830E-026-170S (MINICUBEに添付されています) 8830E-026-170L (別売品)

注1. デバイス・ファイルはルネサス エレクトロニクスホームページから入手してください。

<http://www2.renesas.com/micro/ja/ods/index.html>

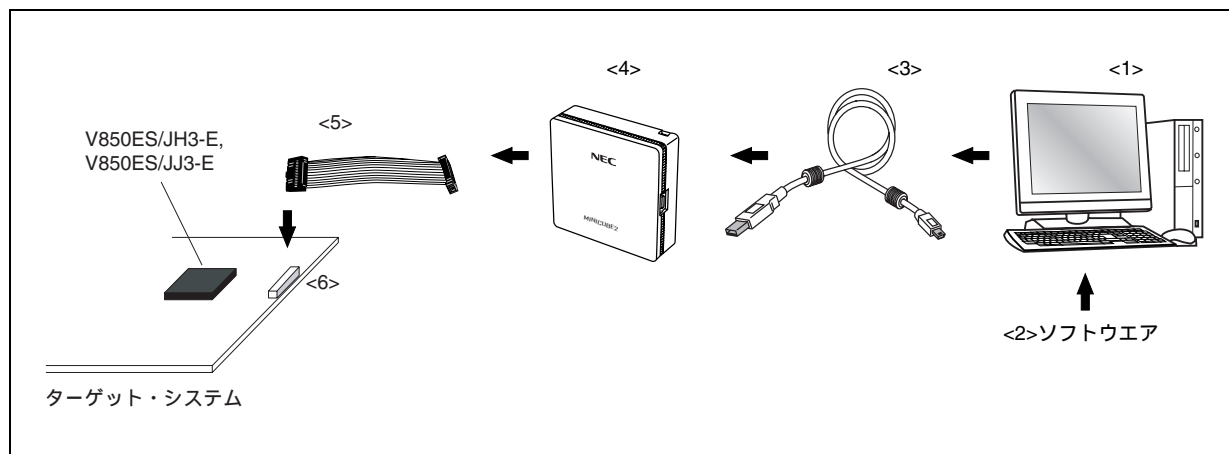
2. ケル株式会社の製品です。

備考 表内の番号は図A-3の番号に対応しています。

A. 4.3 MINICUBE2 QB-MINI2を使用する場合

MINICUBE2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-4 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッガ ID850QB, デバイス・ファイルなどです。 ルネサス エレクトロニクスのホームページから入手してください http://www2.renesas.com/micro/ja/ods/index.html
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE2 オンチップ・デバッグ・エミュレータ	V850ES/JH3-E, V850ES/JJ3-Eを使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッガID850QBに対応しています。
<5> 16pinターゲット・ケーブル	MINICUBE2とターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約15 cmです。
<6>ターゲット・コネクタ（別売品）	2.54 mmピッチの16ピン汎用コネクタを使用してください。

備考 表内の番号は図A-4の番号に対応しています。

A.5 デバッグ用ツール(ソフトウェア)

ID850QB (開発中) 統合デバッガ	V850シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。
	オーダ名称： μ S × × × × ID703000-QB (ID850QB)

備考 オーダ名称の × × × × は、使用するホスト・マシン、OSにより異なります。

μ S × × × × ID703000-QB

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.6 組み込み用ソフトウェア

RX850, RX850 Pro (開発中) リアルタイムOS	<p>μITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール(コンフィギュレータ)を添付しています。 RX850よりRX850 Proの方が多機能になっています。</p> <p>オーダ名称: μS × × × RX703000- (RX850) μS × × × RX703100- (RX850 Pro)</p>
RX-FS850 (ファイル・システム)	<p>FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。</p>

注意 RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の × × × × および は、使用するホスト・マシン、OSなどにより異なります。

μS × × × × RX703000-

μS × × × × RX703100-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation	Solaris (Rel. 2.5.1)	

A.7 フラッシュ・メモリ書き込み用ツール

Flashpro V (型番 PG-FP5 [※]) フラッシュ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・プログラマです。
QB-MINI2 [※] (MINICUBE2)	プログラミング機能付きオンチップ・デバッグ・エミュレータです。
FA-128GF-GAT-B FA-144GF-GAE-B フラッシュ・メモリ書き込み用アダプタ	<p>フラッシュ・メモリ書き込み用アダプタです(未配線)。Flashpro Vなどに接続して使 用します。</p> <p>・FA-128GF-GAT-B: 128ピン・プラスチックLQFP (GF-GATタイプ)用 ・FA-144GJ-GAE-B: 144ピン・プラスチックLQFP (GJ-GAEタイプ)用</p>

注 開発中

備考 FA-128GF-GAT-B, FA-144GF-GAE-Bは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先: 株式会社内藤電誠町田製作所 (TEL (042) 750-4172)

付録B V850ES/Jx3-E と V850ES/Jx3-H との主な違い

表B - 1 V850ES/Jx3-E と V850ES/Jx3-H との主な違い

主な差異点	V850ES/Jx3-E	V850ES/Jx3-H
最小命令実行時間	20 ns (50 MHz動作時)	20.8 ns (48 MHz動作時)
最大RAMサイズ	60 Kバイト + 64 Kバイト ^注	48 Kバイト + 8 Kバイト ^注
D/Aコントローラ	なし	あり
イーサネット・コントローラ	あり	なし
アシンクロナス・シリアル・ インタフェース	UARTC : 6/8 ch	UARTC : 5 ch
	UARTB (FIFO機能付きUART) : 2 ch	なし
クロック同期式シリアル・インタ フェース	CSIE : (FIFO機能付きCSI) : 2 ch	なし
I ² C	4/5 ch	3 ch
パッケージ	128ピン LQFP	100ピン LQFP
	144ピン LQFP	128ピン LQFP

注 データ専用RAM

付録C レジスタ索引

(1/45)

略号	名称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	711
ADA0CR0H	A/D変換結果レジスタ0H	ADC	711
ADA0CR1	A/D変換結果レジスタ1	ADC	711
ADA0CR10	A/D変換結果レジスタ10	ADC	711
ADA0CR10H	A/D変換結果レジスタ10H	ADC	711
ADA0CR11	A/D変換結果レジスタ11	ADC	711
ADA0CR11H	A/D変換結果レジスタ11H	ADC	711
ADA0CR1H	A/D変換結果レジスタ1H	ADC	711
ADA0CR2	A/D変換結果レジスタ2	ADC	711
ADA0CR2H	A/D変換結果レジスタ2H	ADC	711
ADA0CR3	A/D変換結果レジスタ3	ADC	711
ADA0CR3H	A/D変換結果レジスタ3H	ADC	711
ADA0CR4	A/D変換結果レジスタ4	ADC	711
ADA0CR4H	A/D変換結果レジスタ4H	ADC	711
ADA0CR5	A/D変換結果レジスタ5	ADC	711
ADA0CR5H	A/D変換結果レジスタ5H	ADC	711
ADA0CR6	A/D変換結果レジスタ6	ADC	711
ADA0CR6H	A/D変換結果レジスタ6H	ADC	711
ADA0CR7	A/D変換結果レジスタ7	ADC	711
ADA0CR7H	A/D変換結果レジスタ7H	ADC	711
ADA0CR8	A/D変換結果レジスタ8	ADC	711
ADA0CR8H	A/D変換結果レジスタ8H	ADC	711
ADA0CR9	A/D変換結果レジスタ9	ADC	711
ADA0CR9H	A/D変換結果レジスタ9H	ADC	711
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	704
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	706
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	709
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	713
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	714
ADA0S	A/Dコンバータ・チャンネル指定レジスタ	ADC	710
ADIC	割り込み制御レジスタ	ADC	1577
AFR	アドレス・フィルタ・レジスタ	Ethernet	1402
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	210
BCC	バス・サイクル・コントロール・レジスタ	BCU	211
BPC	周辺I/O領域セレクト制御レジスタ	BCU	98
BRGINTE	ブリッジ割り込み・イネーブル・レジスタ	USBF	1313
BRGINTT	ブリッジ割り込み・コントロール・レジスタ	USBF	1312
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	199
C0BRP	CAN0モジュール・ビット・レート・プリスケアラ・レジスタ	CAN	1100
C0BTR	CAN0モジュール・ビット・レート・レジスタ	CAN	1101

(2/45)

略号	名称	ユニット	ページ
C0CTRL	CAN0モジュール制御レジスタ	CAN	1090
C0ERC	CAN0モジュール・エラー・カウンタ・レジスタ	CAN	1096
C0GMABT	CAN0グローバル自動ブロック送信制御レジスタ	CAN	1085
C0GMABTD	CAN0グローバル自動ブロック送信遅延設定レジスタ	CAN	1087
C0GMCS	CAN0グローバル・クロック選択レジスタ	CAN	1084
C0GMCTRL	CAN0グローバル制御レジスタ	CAN	1082
C0IE	CAN0モジュール割り込み許可レジスタ	CAN	1097
C0INFO	CAN0モジュール情報レジスタ	CAN	1095
C0INTS	CAN0モジュール割り込みステータス・レジスタ	CAN	1099
C0LEC	CAN0モジュール最終エラー情報レジスタ	CAN	1094
C0LIPT	CAN0モジュール最終受信ポインタ・レジスタ	CAN	1103
C0LOPT	CAN0モジュール最終送信ポインタ・レジスタ	CAN	1105
C0MASK1H	CAN0モジュール・マスク1レジスタ	CAN	1088
C0MASK1L	CAN0モジュール・マスク1レジスタ	CAN	1088
C0MASK2H	CAN0モジュール・マスク2レジスタ	CAN	1088
C0MASK2L	CAN0モジュール・マスク2レジスタ	CAN	1088
C0MASK3H	CAN0モジュール・マスク3レジスタ	CAN	1088
C0MASK3L	CAN0モジュール・マスク3レジスタ	CAN	1088
C0MASK4H	CAN0モジュール・マスク4レジスタ	CAN	1088
C0MASK4L	CAN0モジュール・マスク4レジスタ	CAN	1088
C0MCONF00	CAN0メッセージ・コンフィギュレーション・レジスタ00	CAN	1112
C0MCONF01	CAN0メッセージ・コンフィギュレーション・レジスタ01	CAN	1112
C0MCONF02	CAN0メッセージ・コンフィギュレーション・レジスタ02	CAN	1112
C0MCONF03	CAN0メッセージ・コンフィギュレーション・レジスタ03	CAN	1112
C0MCONF04	CAN0メッセージ・コンフィギュレーション・レジスタ04	CAN	1112
C0MCONF05	CAN0メッセージ・コンフィギュレーション・レジスタ05	CAN	1112
C0MCONF06	CAN0メッセージ・コンフィギュレーション・レジスタ06	CAN	1112
C0MCONF07	CAN0メッセージ・コンフィギュレーション・レジスタ07	CAN	1112
C0MCONF08	CAN0メッセージ・コンフィギュレーション・レジスタ08	CAN	1112
C0MCONF09	CAN0メッセージ・コンフィギュレーション・レジスタ09	CAN	1112
C0MCONF10	CAN0メッセージ・コンフィギュレーション・レジスタ10	CAN	1112
C0MCONF11	CAN0メッセージ・コンフィギュレーション・レジスタ11	CAN	1112
C0MCONF12	CAN0メッセージ・コンフィギュレーション・レジスタ12	CAN	1112
C0MCONF13	CAN0メッセージ・コンフィギュレーション・レジスタ13	CAN	1112
C0MCONF14	CAN0メッセージ・コンフィギュレーション・レジスタ14	CAN	1112
C0MCONF15	CAN0メッセージ・コンフィギュレーション・レジスタ15	CAN	1112
C0MCONF16	CAN0メッセージ・コンフィギュレーション・レジスタ16	CAN	1112
C0MCONF17	CAN0メッセージ・コンフィギュレーション・レジスタ17	CAN	1112
C0MCONF18	CAN0メッセージ・コンフィギュレーション・レジスタ18	CAN	1112
C0MCONF19	CAN0メッセージ・コンフィギュレーション・レジスタ19	CAN	1112
C0MCONF20	CAN0メッセージ・コンフィギュレーション・レジスタ20	CAN	1112
C0MCONF21	CAN0メッセージ・コンフィギュレーション・レジスタ21	CAN	1112
C0MCONF22	CAN0メッセージ・コンフィギュレーション・レジスタ22	CAN	1112
C0MCONF23	CAN0メッセージ・コンフィギュレーション・レジスタ23	CAN	1112
C0MCONF24	CAN0メッセージ・コンフィギュレーション・レジスタ24	CAN	1112

(3/45)

略号	名称	ユニット	ページ
C0MCONF25	CAN0メッセージ・コンフィギュレーション・レジスタ25	CAN	1112
C0MCONF26	CAN0メッセージ・コンフィギュレーション・レジスタ26	CAN	1112
C0MCONF27	CAN0メッセージ・コンフィギュレーション・レジスタ27	CAN	1112
C0MCONF28	CAN0メッセージ・コンフィギュレーション・レジスタ28	CAN	1112
C0MCONF29	CAN0メッセージ・コンフィギュレーション・レジスタ29	CAN	1112
C0MCONF30	CAN0メッセージ・コンフィギュレーション・レジスタ30	CAN	1112
C0MCONF31	CAN0メッセージ・コンフィギュレーション・レジスタ31	CAN	1112
C0MCTRL00	CAN0メッセージ制御レジスタ00	CAN	1114
C0MCTRL01	CAN0メッセージ制御レジスタ01	CAN	1114
C0MCTRL02	CAN0メッセージ制御レジスタ02	CAN	1114
C0MCTRL03	CAN0メッセージ制御レジスタ03	CAN	1114
C0MCTRL04	CAN0メッセージ制御レジスタ04	CAN	1114
C0MCTRL05	CAN0メッセージ制御レジスタ05	CAN	1114
C0MCTRL06	CAN0メッセージ制御レジスタ06	CAN	1114
C0MCTRL07	CAN0メッセージ制御レジスタ07	CAN	1114
C0MCTRL08	CAN0メッセージ制御レジスタ08	CAN	1114
C0MCTRL09	CAN0メッセージ制御レジスタ09	CAN	1114
C0MCTRL10	CAN0メッセージ制御レジスタ10	CAN	1114
C0MCTRL11	CAN0メッセージ制御レジスタ11	CAN	1114
C0MCTRL12	CAN0メッセージ制御レジスタ12	CAN	1114
C0MCTRL13	CAN0メッセージ制御レジスタ13	CAN	1114
C0MCTRL14	CAN0メッセージ制御レジスタ14	CAN	1114
C0MCTRL15	CAN0メッセージ制御レジスタ15	CAN	1114
C0MCTRL16	CAN0メッセージ制御レジスタ16	CAN	1114
C0MCTRL17	CAN0メッセージ制御レジスタ17	CAN	1114
C0MCTRL18	CAN0メッセージ制御レジスタ18	CAN	1114
C0MCTRL19	CAN0メッセージ制御レジスタ19	CAN	1114
C0MCTRL20	CAN0メッセージ制御レジスタ20	CAN	1114
C0MCTRL21	CAN0メッセージ制御レジスタ21	CAN	1114
C0MCTRL22	CAN0メッセージ制御レジスタ22	CAN	1114
C0MCTRL23	CAN0メッセージ制御レジスタ23	CAN	1114
C0MCTRL24	CAN0メッセージ制御レジスタ24	CAN	1114
C0MCTRL25	CAN0メッセージ制御レジスタ25	CAN	1114
C0MCTRL26	CAN0メッセージ制御レジスタ26	CAN	1114
C0MCTRL27	CAN0メッセージ制御レジスタ27	CAN	1114
C0MCTRL28	CAN0メッセージ制御レジスタ28	CAN	1114
C0MCTRL29	CAN0メッセージ制御レジスタ29	CAN	1114
C0MCTRL30	CAN0メッセージ制御レジスタ30	CAN	1114
C0MCTRL31	CAN0メッセージ制御レジスタ31	CAN	1114
C0MDATA000	CAN0メッセージ・データ・バイト0レジスタ00	CAN	1109
C0MDATA001	CAN0メッセージ・データ・バイト0レジスタ01	CAN	1109
C0MDATA002	CAN0メッセージ・データ・バイト0レジスタ02	CAN	1109
C0MDATA003	CAN0メッセージ・データ・バイト0レジスタ03	CAN	1109
C0MDATA004	CAN0メッセージ・データ・バイト0レジスタ04	CAN	1109
C0MDATA005	CAN0メッセージ・データ・バイト0レジスタ05	CAN	1109

(4/45)

略号	名称	ユニット	ページ
C0MDATA006	CAN0メッセージ・データ・バイト0レジスタ06	CAN	1109
C0MDATA007	CAN0メッセージ・データ・バイト0レジスタ07	CAN	1109
C0MDATA008	CAN0メッセージ・データ・バイト0レジスタ08	CAN	1109
C0MDATA009	CAN0メッセージ・データ・バイト0レジスタ09	CAN	1109
C0MDATA010	CAN0メッセージ・データ・バイト0レジスタ10	CAN	1109
C0MDATA0100	CAN0メッセージ・データ・バイト01レジスタ00	CAN	1109
C0MDATA0101	CAN0メッセージ・データ・バイト01レジスタ01	CAN	1109
C0MDATA0102	CAN0メッセージ・データ・バイト01レジスタ02	CAN	1109
C0MDATA0103	CAN0メッセージ・データ・バイト01レジスタ03	CAN	1109
C0MDATA0104	CAN0メッセージ・データ・バイト01レジスタ04	CAN	1109
C0MDATA0105	CAN0メッセージ・データ・バイト01レジスタ05	CAN	1109
C0MDATA0106	CAN0メッセージ・データ・バイト01レジスタ06	CAN	1109
C0MDATA0107	CAN0メッセージ・データ・バイト01レジスタ07	CAN	1109
C0MDATA0108	CAN0メッセージ・データ・バイト01レジスタ08	CAN	1109
C0MDATA0109	CAN0メッセージ・データ・バイト01レジスタ09	CAN	1109
C0MDATA011	CAN0メッセージ・データ・バイト0レジスタ11	CAN	1109
C0MDATA0110	CAN0メッセージ・データ・バイト01レジスタ10	CAN	1109
C0MDATA0111	CAN0メッセージ・データ・バイト01レジスタ11	CAN	1109
C0MDATA0112	CAN0メッセージ・データ・バイト01レジスタ12	CAN	1109
C0MDATA0113	CAN0メッセージ・データ・バイト01レジスタ13	CAN	1109
C0MDATA0114	CAN0メッセージ・データ・バイト01レジスタ14	CAN	1109
C0MDATA0115	CAN0メッセージ・データ・バイト01レジスタ15	CAN	1109
C0MDATA0116	CAN0メッセージ・データ・バイト01レジスタ16	CAN	1109
C0MDATA0117	CAN0メッセージ・データ・バイト01レジスタ17	CAN	1109
C0MDATA0118	CAN0メッセージ・データ・バイト01レジスタ18	CAN	1109
C0MDATA0119	CAN0メッセージ・データ・バイト01レジスタ19	CAN	1109
C0MDATA012	CAN0メッセージ・データ・バイト0レジスタ12	CAN	1109
C0MDATA0120	CAN0メッセージ・データ・バイト01レジスタ20	CAN	1109
C0MDATA0121	CAN0メッセージ・データ・バイト01レジスタ21	CAN	1109
C0MDATA0122	CAN0メッセージ・データ・バイト01レジスタ22	CAN	1109
C0MDATA0123	CAN0メッセージ・データ・バイト01レジスタ23	CAN	1109
C0MDATA0124	CAN0メッセージ・データ・バイト01レジスタ24	CAN	1109
C0MDATA0125	CAN0メッセージ・データ・バイト01レジスタ25	CAN	1109
C0MDATA0126	CAN0メッセージ・データ・バイト01レジスタ26	CAN	1109
C0MDATA0127	CAN0メッセージ・データ・バイト01レジスタ27	CAN	1109
C0MDATA0128	CAN0メッセージ・データ・バイト01レジスタ28	CAN	1109
C0MDATA0129	CAN0メッセージ・データ・バイト01レジスタ29	CAN	1109
C0MDATA013	CAN0メッセージ・データ・バイト0レジスタ13	CAN	1109
C0MDATA0130	CAN0メッセージ・データ・バイト01レジスタ30	CAN	1109
C0MDATA0131	CAN0メッセージ・データ・バイト01レジスタ31	CAN	1109
C0MDATA014	CAN0メッセージ・データ・バイト0レジスタ14	CAN	1109
C0MDATA015	CAN0メッセージ・データ・バイト0レジスタ15	CAN	1109
C0MDATA016	CAN0メッセージ・データ・バイト0レジスタ16	CAN	1109
C0MDATA017	CAN0メッセージ・データ・バイト0レジスタ17	CAN	1109
C0MDATA018	CAN0メッセージ・データ・バイト0レジスタ18	CAN	1109

(5/45)

略号	名称	ユニット	ページ
C0MDATA019	CAN0メッセージ・データ・バイト0レジスタ19	CAN	1109
C0MDATA020	CAN0メッセージ・データ・バイト0レジスタ20	CAN	1109
C0MDATA021	CAN0メッセージ・データ・バイト0レジスタ21	CAN	1109
C0MDATA022	CAN0メッセージ・データ・バイト0レジスタ22	CAN	1109
C0MDATA023	CAN0メッセージ・データ・バイト0レジスタ23	CAN	1109
C0MDATA024	CAN0メッセージ・データ・バイト0レジスタ24	CAN	1109
C0MDATA025	CAN0メッセージ・データ・バイト0レジスタ25	CAN	1109
C0MDATA026	CAN0メッセージ・データ・バイト0レジスタ26	CAN	1109
C0MDATA027	CAN0メッセージ・データ・バイト0レジスタ27	CAN	1109
C0MDATA028	CAN0メッセージ・データ・バイト0レジスタ28	CAN	1109
C0MDATA029	CAN0メッセージ・データ・バイト0レジスタ29	CAN	1109
C0MDATA030	CAN0メッセージ・データ・バイト0レジスタ30	CAN	1109
C0MDATA031	CAN0メッセージ・データ・バイト0レジスタ31	CAN	1109
C0MDATA100	CAN0メッセージ・データ・バイト1レジスタ00	CAN	1109
C0MDATA101	CAN0メッセージ・データ・バイト1レジスタ01	CAN	1109
C0MDATA102	CAN0メッセージ・データ・バイト1レジスタ02	CAN	1109
C0MDATA103	CAN0メッセージ・データ・バイト1レジスタ03	CAN	1109
C0MDATA104	CAN0メッセージ・データ・バイト1レジスタ04	CAN	1109
C0MDATA105	CAN0メッセージ・データ・バイト1レジスタ05	CAN	1109
C0MDATA106	CAN0メッセージ・データ・バイト1レジスタ06	CAN	1109
C0MDATA107	CAN0メッセージ・データ・バイト1レジスタ07	CAN	1109
C0MDATA108	CAN0メッセージ・データ・バイト1レジスタ08	CAN	1109
C0MDATA109	CAN0メッセージ・データ・バイト1レジスタ09	CAN	1109
C0MDATA110	CAN0メッセージ・データ・バイト1レジスタ10	CAN	1109
C0MDATA111	CAN0メッセージ・データ・バイト1レジスタ11	CAN	1109
C0MDATA112	CAN0メッセージ・データ・バイト1レジスタ12	CAN	1109
C0MDATA113	CAN0メッセージ・データ・バイト1レジスタ13	CAN	1109
C0MDATA114	CAN0メッセージ・データ・バイト1レジスタ14	CAN	1109
C0MDATA115	CAN0メッセージ・データ・バイト1レジスタ15	CAN	1109
C0MDATA116	CAN0メッセージ・データ・バイト1レジスタ16	CAN	1109
C0MDATA117	CAN0メッセージ・データ・バイト1レジスタ17	CAN	1109
C0MDATA118	CAN0メッセージ・データ・バイト1レジスタ18	CAN	1109
C0MDATA119	CAN0メッセージ・データ・バイト1レジスタ19	CAN	1109
C0MDATA120	CAN0メッセージ・データ・バイト1レジスタ20	CAN	1109
C0MDATA121	CAN0メッセージ・データ・バイト1レジスタ21	CAN	1109
C0MDATA122	CAN0メッセージ・データ・バイト1レジスタ22	CAN	1109
C0MDATA123	CAN0メッセージ・データ・バイト1レジスタ23	CAN	1109
C0MDATA124	CAN0メッセージ・データ・バイト1レジスタ24	CAN	1109
C0MDATA125	CAN0メッセージ・データ・バイト1レジスタ25	CAN	1109
C0MDATA126	CAN0メッセージ・データ・バイト1レジスタ26	CAN	1109
C0MDATA127	CAN0メッセージ・データ・バイト1レジスタ27	CAN	1109
C0MDATA128	CAN0メッセージ・データ・バイト1レジスタ28	CAN	1109
C0MDATA129	CAN0メッセージ・データ・バイト1レジスタ29	CAN	1109
C0MDATA130	CAN0メッセージ・データ・バイト1レジスタ30	CAN	1109
C0MDATA131	CAN0メッセージ・データ・バイト1レジスタ31	CAN	1109

(6/45)

略号	名称	ユニット	ページ
C0MDATA200	CAN0メッセージ・データ・バイト2レジスタ00	CAN	1109
C0MDATA201	CAN0メッセージ・データ・バイト2レジスタ01	CAN	1109
C0MDATA202	CAN0メッセージ・データ・バイト2レジスタ02	CAN	1109
C0MDATA203	CAN0メッセージ・データ・バイト2レジスタ03	CAN	1109
C0MDATA204	CAN0メッセージ・データ・バイト2レジスタ04	CAN	1109
C0MDATA205	CAN0メッセージ・データ・バイト2レジスタ05	CAN	1109
C0MDATA206	CAN0メッセージ・データ・バイト2レジスタ06	CAN	1109
C0MDATA207	CAN0メッセージ・データ・バイト2レジスタ07	CAN	1109
C0MDATA208	CAN0メッセージ・データ・バイト2レジスタ08	CAN	1109
C0MDATA209	CAN0メッセージ・データ・バイト2レジスタ09	CAN	1109
C0MDATA210	CAN0メッセージ・データ・バイト2レジスタ10	CAN	1109
C0MDATA211	CAN0メッセージ・データ・バイト2レジスタ11	CAN	1109
C0MDATA212	CAN0メッセージ・データ・バイト2レジスタ12	CAN	1109
C0MDATA213	CAN0メッセージ・データ・バイト2レジスタ13	CAN	1109
C0MDATA214	CAN0メッセージ・データ・バイト2レジスタ14	CAN	1109
C0MDATA215	CAN0メッセージ・データ・バイト2レジスタ15	CAN	1109
C0MDATA216	CAN0メッセージ・データ・バイト2レジスタ16	CAN	1109
C0MDATA217	CAN0メッセージ・データ・バイト2レジスタ17	CAN	1109
C0MDATA218	CAN0メッセージ・データ・バイト2レジスタ18	CAN	1109
C0MDATA219	CAN0メッセージ・データ・バイト2レジスタ19	CAN	1109
C0MDATA220	CAN0メッセージ・データ・バイト2レジスタ20	CAN	1109
C0MDATA221	CAN0メッセージ・データ・バイト2レジスタ21	CAN	1109
C0MDATA222	CAN0メッセージ・データ・バイト2レジスタ22	CAN	1109
C0MDATA223	CAN0メッセージ・データ・バイト2レジスタ23	CAN	1109
C0MDATA224	CAN0メッセージ・データ・バイト2レジスタ24	CAN	1109
C0MDATA225	CAN0メッセージ・データ・バイト2レジスタ25	CAN	1109
C0MDATA226	CAN0メッセージ・データ・バイト2レジスタ26	CAN	1109
C0MDATA227	CAN0メッセージ・データ・バイト2レジスタ27	CAN	1109
C0MDATA228	CAN0メッセージ・データ・バイト2レジスタ28	CAN	1109
C0MDATA229	CAN0メッセージ・データ・バイト2レジスタ29	CAN	1109
C0MDATA230	CAN0メッセージ・データ・バイト2レジスタ30	CAN	1109
C0MDATA231	CAN0メッセージ・データ・バイト2レジスタ31	CAN	1109
C0MDATA2300	CAN0メッセージ・データ・バイト23レジスタ00	CAN	1109
C0MDATA2301	CAN0メッセージ・データ・バイト23レジスタ01	CAN	1109
C0MDATA2302	CAN0メッセージ・データ・バイト23レジスタ02	CAN	1109
C0MDATA2303	CAN0メッセージ・データ・バイト23レジスタ03	CAN	1109
C0MDATA2304	CAN0メッセージ・データ・バイト23レジスタ04	CAN	1109
C0MDATA2305	CAN0メッセージ・データ・バイト23レジスタ05	CAN	1109
C0MDATA2306	CAN0メッセージ・データ・バイト23レジスタ06	CAN	1109
C0MDATA2307	CAN0メッセージ・データ・バイト23レジスタ07	CAN	1109
C0MDATA2308	CAN0メッセージ・データ・バイト23レジスタ08	CAN	1109
C0MDATA2309	CAN0メッセージ・データ・バイト23レジスタ09	CAN	1109
C0MDATA2310	CAN0メッセージ・データ・バイト23レジスタ10	CAN	1109
C0MDATA2311	CAN0メッセージ・データ・バイト23レジスタ11	CAN	1109
C0MDATA2312	CAN0メッセージ・データ・バイト23レジスタ12	CAN	1109

(7/45)

略号	名称	ユニット	ページ
C0MDATA2313	CAN0メッセージ・データ・バイト23レジスタ13	CAN	1109
C0MDATA2314	CAN0メッセージ・データ・バイト23レジスタ14	CAN	1109
C0MDATA2315	CAN0メッセージ・データ・バイト23レジスタ15	CAN	1109
C0MDATA2316	CAN0メッセージ・データ・バイト23レジスタ16	CAN	1109
C0MDATA2317	CAN0メッセージ・データ・バイト23レジスタ17	CAN	1109
C0MDATA2318	CAN0メッセージ・データ・バイト23レジスタ18	CAN	1109
C0MDATA2319	CAN0メッセージ・データ・バイト23レジスタ19	CAN	1109
C0MDATA2320	CAN0メッセージ・データ・バイト23レジスタ20	CAN	1109
C0MDATA2321	CAN0メッセージ・データ・バイト23レジスタ21	CAN	1109
C0MDATA2322	CAN0メッセージ・データ・バイト23レジスタ22	CAN	1109
C0MDATA2323	CAN0メッセージ・データ・バイト23レジスタ23	CAN	1109
C0MDATA2324	CAN0メッセージ・データ・バイト23レジスタ24	CAN	1109
C0MDATA2325	CAN0メッセージ・データ・バイト23レジスタ25	CAN	1109
C0MDATA2326	CAN0メッセージ・データ・バイト23レジスタ26	CAN	1109
C0MDATA2327	CAN0メッセージ・データ・バイト23レジスタ27	CAN	1109
C0MDATA2328	CAN0メッセージ・データ・バイト23レジスタ28	CAN	1109
C0MDATA2329	CAN0メッセージ・データ・バイト23レジスタ29	CAN	1109
C0MDATA2330	CAN0メッセージ・データ・バイト23レジスタ30	CAN	1109
C0MDATA2331	CAN0メッセージ・データ・バイト23レジスタ31	CAN	1109
C0MDATA300	CAN0メッセージ・データ・バイト3レジスタ00	CAN	1109
C0MDATA301	CAN0メッセージ・データ・バイト3レジスタ01	CAN	1109
C0MDATA302	CAN0メッセージ・データ・バイト3レジスタ02	CAN	1109
C0MDATA303	CAN0メッセージ・データ・バイト3レジスタ03	CAN	1109
C0MDATA304	CAN0メッセージ・データ・バイト3レジスタ04	CAN	1109
C0MDATA305	CAN0メッセージ・データ・バイト3レジスタ05	CAN	1109
C0MDATA306	CAN0メッセージ・データ・バイト3レジスタ06	CAN	1109
C0MDATA307	CAN0メッセージ・データ・バイト3レジスタ07	CAN	1109
C0MDATA308	CAN0メッセージ・データ・バイト3レジスタ08	CAN	1109
C0MDATA309	CAN0メッセージ・データ・バイト3レジスタ09	CAN	1109
C0MDATA310	CAN0メッセージ・データ・バイト3レジスタ10	CAN	1109
C0MDATA311	CAN0メッセージ・データ・バイト3レジスタ11	CAN	1109
C0MDATA312	CAN0メッセージ・データ・バイト3レジスタ12	CAN	1109
C0MDATA313	CAN0メッセージ・データ・バイト3レジスタ13	CAN	1109
C0MDATA314	CAN0メッセージ・データ・バイト3レジスタ14	CAN	1109
C0MDATA315	CAN0メッセージ・データ・バイト3レジスタ15	CAN	1109
C0MDATA316	CAN0メッセージ・データ・バイト3レジスタ16	CAN	1109
C0MDATA317	CAN0メッセージ・データ・バイト3レジスタ17	CAN	1109
C0MDATA318	CAN0メッセージ・データ・バイト3レジスタ18	CAN	1109
C0MDATA319	CAN0メッセージ・データ・バイト3レジスタ19	CAN	1109
C0MDATA320	CAN0メッセージ・データ・バイト3レジスタ20	CAN	1109
C0MDATA321	CAN0メッセージ・データ・バイト3レジスタ21	CAN	1109
C0MDATA322	CAN0メッセージ・データ・バイト3レジスタ22	CAN	1109
C0MDATA323	CAN0メッセージ・データ・バイト3レジスタ23	CAN	1109
C0MDATA324	CAN0メッセージ・データ・バイト3レジスタ24	CAN	1109
C0MDATA325	CAN0メッセージ・データ・バイト3レジスタ25	CAN	1109

(8/45)

略号	名称	ユニット	ページ
C0MDATA326	CAN0メッセージ・データ・バイト3レジスタ26	CAN	1109
C0MDATA327	CAN0メッセージ・データ・バイト3レジスタ27	CAN	1109
C0MDATA328	CAN0メッセージ・データ・バイト3レジスタ28	CAN	1109
C0MDATA329	CAN0メッセージ・データ・バイト3レジスタ29	CAN	1109
C0MDATA330	CAN0メッセージ・データ・バイト3レジスタ30	CAN	1109
C0MDATA331	CAN0メッセージ・データ・バイト3レジスタ31	CAN	1109
C0MDATA400	CAN0メッセージ・データ・バイト4レジスタ00	CAN	1109
C0MDATA401	CAN0メッセージ・データ・バイト4レジスタ01	CAN	1109
C0MDATA402	CAN0メッセージ・データ・バイト4レジスタ02	CAN	1109
C0MDATA403	CAN0メッセージ・データ・バイト4レジスタ03	CAN	1109
C0MDATA404	CAN0メッセージ・データ・バイト4レジスタ04	CAN	1109
C0MDATA405	CAN0メッセージ・データ・バイト4レジスタ05	CAN	1109
C0MDATA406	CAN0メッセージ・データ・バイト4レジスタ06	CAN	1109
C0MDATA407	CAN0メッセージ・データ・バイト4レジスタ07	CAN	1109
C0MDATA408	CAN0メッセージ・データ・バイト4レジスタ08	CAN	1109
C0MDATA409	CAN0メッセージ・データ・バイト4レジスタ09	CAN	1109
C0MDATA410	CAN0メッセージ・データ・バイト4レジスタ10	CAN	1109
C0MDATA411	CAN0メッセージ・データ・バイト4レジスタ11	CAN	1109
C0MDATA412	CAN0メッセージ・データ・バイト4レジスタ12	CAN	1109
C0MDATA413	CAN0メッセージ・データ・バイト4レジスタ13	CAN	1109
C0MDATA414	CAN0メッセージ・データ・バイト4レジスタ14	CAN	1109
C0MDATA415	CAN0メッセージ・データ・バイト4レジスタ15	CAN	1109
C0MDATA416	CAN0メッセージ・データ・バイト4レジスタ16	CAN	1109
C0MDATA417	CAN0メッセージ・データ・バイト4レジスタ17	CAN	1109
C0MDATA418	CAN0メッセージ・データ・バイト4レジスタ18	CAN	1109
C0MDATA419	CAN0メッセージ・データ・バイト4レジスタ19	CAN	1109
C0MDATA420	CAN0メッセージ・データ・バイト4レジスタ20	CAN	1109
C0MDATA421	CAN0メッセージ・データ・バイト4レジスタ21	CAN	1109
C0MDATA422	CAN0メッセージ・データ・バイト4レジスタ22	CAN	1109
C0MDATA423	CAN0メッセージ・データ・バイト4レジスタ23	CAN	1109
C0MDATA424	CAN0メッセージ・データ・バイト4レジスタ24	CAN	1109
C0MDATA425	CAN0メッセージ・データ・バイト4レジスタ25	CAN	1109
C0MDATA426	CAN0メッセージ・データ・バイト4レジスタ26	CAN	1109
C0MDATA427	CAN0メッセージ・データ・バイト4レジスタ27	CAN	1109
C0MDATA428	CAN0メッセージ・データ・バイト4レジスタ28	CAN	1109
C0MDATA429	CAN0メッセージ・データ・バイト4レジスタ29	CAN	1109
C0MDATA430	CAN0メッセージ・データ・バイト4レジスタ30	CAN	1109
C0MDATA431	CAN0メッセージ・データ・バイト4レジスタ31	CAN	1109
C0MDATA4500	CAN0メッセージ・データ・バイト45レジスタ00	CAN	1109
C0MDATA4501	CAN0メッセージ・データ・バイト45レジスタ01	CAN	1109
C0MDATA4502	CAN0メッセージ・データ・バイト45レジスタ02	CAN	1109
C0MDATA4503	CAN0メッセージ・データ・バイト45レジスタ03	CAN	1109
C0MDATA4504	CAN0メッセージ・データ・バイト45レジスタ04	CAN	1109
C0MDATA4505	CAN0メッセージ・データ・バイト45レジスタ05	CAN	1109
C0MDATA4506	CAN0メッセージ・データ・バイト45レジスタ06	CAN	1109

(9/45)

略号	名称	ユニット	ページ
C0MDATA4525	CAN0メッセージ・データ・バイト45レジスタ25	CAN	1109
C0MDATA4507	CAN0メッセージ・データ・バイト45レジスタ07	CAN	1109
C0MDATA4508	CAN0メッセージ・データ・バイト45レジスタ08	CAN	1109
C0MDATA4509	CAN0メッセージ・データ・バイト45レジスタ09	CAN	1109
C0MDATA4510	CAN0メッセージ・データ・バイト45レジスタ10	CAN	1109
C0MDATA4511	CAN0メッセージ・データ・バイト45レジスタ11	CAN	1109
C0MDATA4512	CAN0メッセージ・データ・バイト45レジスタ12	CAN	1109
C0MDATA4513	CAN0メッセージ・データ・バイト45レジスタ13	CAN	1109
C0MDATA4514	CAN0メッセージ・データ・バイト45レジスタ14	CAN	1109
C0MDATA4515	CAN0メッセージ・データ・バイト45レジスタ15	CAN	1109
C0MDATA4516	CAN0メッセージ・データ・バイト45レジスタ16	CAN	1109
C0MDATA4517	CAN0メッセージ・データ・バイト45レジスタ17	CAN	1109
C0MDATA4518	CAN0メッセージ・データ・バイト45レジスタ18	CAN	1109
C0MDATA4519	CAN0メッセージ・データ・バイト45レジスタ19	CAN	1109
C0MDATA4520	CAN0メッセージ・データ・バイト45レジスタ20	CAN	1109
C0MDATA4521	CAN0メッセージ・データ・バイト45レジスタ21	CAN	1109
C0MDATA4522	CAN0メッセージ・データ・バイト45レジスタ22	CAN	1109
C0MDATA4523	CAN0メッセージ・データ・バイト45レジスタ23	CAN	1109
C0MDATA4524	CAN0メッセージ・データ・バイト45レジスタ24	CAN	1109
C0MDATA4526	CAN0メッセージ・データ・バイト45レジスタ26	CAN	1109
C0MDATA4527	CAN0メッセージ・データ・バイト45レジスタ27	CAN	1109
C0MDATA4528	CAN0メッセージ・データ・バイト45レジスタ28	CAN	1109
C0MDATA4529	CAN0メッセージ・データ・バイト45レジスタ29	CAN	1109
C0MDATA4530	CAN0メッセージ・データ・バイト45レジスタ30	CAN	1109
C0MDATA4531	CAN0メッセージ・データ・バイト45レジスタ31	CAN	1109
C0MDATA500	CAN0メッセージ・データ・バイト5レジスタ00	CAN	1109
C0MDATA501	CAN0メッセージ・データ・バイト5レジスタ01	CAN	1109
C0MDATA502	CAN0メッセージ・データ・バイト5レジスタ02	CAN	1109
C0MDATA503	CAN0メッセージ・データ・バイト5レジスタ03	CAN	1109
C0MDATA504	CAN0メッセージ・データ・バイト5レジスタ04	CAN	1109
C0MDATA505	CAN0メッセージ・データ・バイト5レジスタ05	CAN	1109
C0MDATA506	CAN0メッセージ・データ・バイト5レジスタ06	CAN	1109
C0MDATA507	CAN0メッセージ・データ・バイト5レジスタ07	CAN	1109
C0MDATA508	CAN0メッセージ・データ・バイト5レジスタ08	CAN	1109
C0MDATA509	CAN0メッセージ・データ・バイト5レジスタ09	CAN	1109
C0MDATA510	CAN0メッセージ・データ・バイト5レジスタ10	CAN	1109
C0MDATA511	CAN0メッセージ・データ・バイト5レジスタ11	CAN	1109
C0MDATA512	CAN0メッセージ・データ・バイト5レジスタ12	CAN	1109
C0MDATA513	CAN0メッセージ・データ・バイト5レジスタ13	CAN	1109
C0MDATA514	CAN0メッセージ・データ・バイト5レジスタ14	CAN	1109
C0MDATA515	CAN0メッセージ・データ・バイト5レジスタ15	CAN	1109
C0MDATA516	CAN0メッセージ・データ・バイト5レジスタ16	CAN	1109
C0MDATA517	CAN0メッセージ・データ・バイト5レジスタ17	CAN	1109
C0MDATA518	CAN0メッセージ・データ・バイト5レジスタ18	CAN	1109
C0MDATA519	CAN0メッセージ・データ・バイト5レジスタ19	CAN	1109

(10/45)

略号	名称	ユニット	ページ
C0MDATA520	CAN0メッセージ・データ・バイト5レジスタ20	CAN	1109
C0MDATA521	CAN0メッセージ・データ・バイト5レジスタ21	CAN	1109
C0MDATA522	CAN0メッセージ・データ・バイト5レジスタ22	CAN	1109
C0MDATA523	CAN0メッセージ・データ・バイト5レジスタ23	CAN	1109
C0MDATA524	CAN0メッセージ・データ・バイト5レジスタ24	CAN	1109
C0MDATA525	CAN0メッセージ・データ・バイト5レジスタ25	CAN	1109
C0MDATA526	CAN0メッセージ・データ・バイト5レジスタ26	CAN	1109
C0MDATA527	CAN0メッセージ・データ・バイト5レジスタ27	CAN	1109
C0MDATA528	CAN0メッセージ・データ・バイト5レジスタ28	CAN	1109
C0MDATA529	CAN0メッセージ・データ・バイト5レジスタ29	CAN	1109
C0MDATA530	CAN0メッセージ・データ・バイト5レジスタ30	CAN	1109
C0MDATA531	CAN0メッセージ・データ・バイト5レジスタ31	CAN	1109
C0MDATA600	CAN0メッセージ・データ・バイト6レジスタ00	CAN	1109
C0MDATA601	CAN0メッセージ・データ・バイト6レジスタ01	CAN	1109
C0MDATA602	CAN0メッセージ・データ・バイト6レジスタ02	CAN	1109
C0MDATA603	CAN0メッセージ・データ・バイト6レジスタ03	CAN	1109
C0MDATA604	CAN0メッセージ・データ・バイト6レジスタ04	CAN	1109
C0MDATA605	CAN0メッセージ・データ・バイト6レジスタ05	CAN	1109
C0MDATA606	CAN0メッセージ・データ・バイト6レジスタ06	CAN	1109
C0MDATA607	CAN0メッセージ・データ・バイト6レジスタ07	CAN	1109
C0MDATA608	CAN0メッセージ・データ・バイト6レジスタ08	CAN	1109
C0MDATA609	CAN0メッセージ・データ・バイト6レジスタ09	CAN	1109
C0MDATA610	CAN0メッセージ・データ・バイト6レジスタ10	CAN	1109
C0MDATA611	CAN0メッセージ・データ・バイト6レジスタ11	CAN	1109
C0MDATA612	CAN0メッセージ・データ・バイト6レジスタ12	CAN	1109
C0MDATA613	CAN0メッセージ・データ・バイト6レジスタ13	CAN	1109
C0MDATA614	CAN0メッセージ・データ・バイト6レジスタ14	CAN	1109
C0MDATA615	CAN0メッセージ・データ・バイト6レジスタ15	CAN	1109
C0MDATA616	CAN0メッセージ・データ・バイト6レジスタ16	CAN	1109
C0MDATA617	CAN0メッセージ・データ・バイト6レジスタ17	CAN	1109
C0MDATA618	CAN0メッセージ・データ・バイト6レジスタ18	CAN	1109
C0MDATA619	CAN0メッセージ・データ・バイト6レジスタ19	CAN	1109
C0MDATA620	CAN0メッセージ・データ・バイト6レジスタ20	CAN	1109
C0MDATA621	CAN0メッセージ・データ・バイト6レジスタ21	CAN	1109
C0MDATA622	CAN0メッセージ・データ・バイト6レジスタ22	CAN	1109
C0MDATA623	CAN0メッセージ・データ・バイト6レジスタ23	CAN	1109
C0MDATA624	CAN0メッセージ・データ・バイト6レジスタ24	CAN	1109
C0MDATA625	CAN0メッセージ・データ・バイト6レジスタ25	CAN	1109
C0MDATA626	CAN0メッセージ・データ・バイト6レジスタ26	CAN	1109
C0MDATA627	CAN0メッセージ・データ・バイト6レジスタ27	CAN	1109
C0MDATA628	CAN0メッセージ・データ・バイト6レジスタ28	CAN	1109
C0MDATA629	CAN0メッセージ・データ・バイト6レジスタ29	CAN	1109
C0MDATA630	CAN0メッセージ・データ・バイト6レジスタ30	CAN	1109
C0MDATA631	CAN0メッセージ・データ・バイト6レジスタ31	CAN	1109
C0MDATA6700	CAN0メッセージ・データ・バイト67レジスタ00	CAN	1109

(11/45)

略号	名称	ユニット	ページ
C0MDATA6701	CAN0メッセージ・データ・バイト67レジスタ01	CAN	1109
C0MDATA6702	CAN0メッセージ・データ・バイト67レジスタ02	CAN	1109
C0MDATA6703	CAN0メッセージ・データ・バイト67レジスタ03	CAN	1109
C0MDATA6704	CAN0メッセージ・データ・バイト67レジスタ04	CAN	1109
C0MDATA6705	CAN0メッセージ・データ・バイト67レジスタ05	CAN	1109
C0MDATA6706	CAN0メッセージ・データ・バイト67レジスタ06	CAN	1109
C0MDATA6707	CAN0メッセージ・データ・バイト67レジスタ07	CAN	1109
C0MDATA6708	CAN0メッセージ・データ・バイト67レジスタ08	CAN	1109
C0MDATA6709	CAN0メッセージ・データ・バイト67レジスタ09	CAN	1109
C0MDATA6710	CAN0メッセージ・データ・バイト67レジスタ10	CAN	1109
C0MDATA6711	CAN0メッセージ・データ・バイト67レジスタ11	CAN	1109
C0MDATA6712	CAN0メッセージ・データ・バイト67レジスタ12	CAN	1109
C0MDATA6713	CAN0メッセージ・データ・バイト67レジスタ13	CAN	1109
C0MDATA6714	CAN0メッセージ・データ・バイト67レジスタ14	CAN	1109
C0MDATA6715	CAN0メッセージ・データ・バイト67レジスタ15	CAN	1109
C0MDATA6716	CAN0メッセージ・データ・バイト67レジスタ16	CAN	1109
C0MDATA6717	CAN0メッセージ・データ・バイト67レジスタ17	CAN	1109
C0MDATA6718	CAN0メッセージ・データ・バイト67レジスタ18	CAN	1109
C0MDATA6719	CAN0メッセージ・データ・バイト67レジスタ19	CAN	1109
C0MDATA6720	CAN0メッセージ・データ・バイト67レジスタ20	CAN	1109
C0MDATA6721	CAN0メッセージ・データ・バイト67レジスタ21	CAN	1109
C0MDATA6722	CAN0メッセージ・データ・バイト67レジスタ22	CAN	1109
C0MDATA6723	CAN0メッセージ・データ・バイト67レジスタ23	CAN	1109
C0MDATA6724	CAN0メッセージ・データ・バイト67レジスタ24	CAN	1109
C0MDATA6725	CAN0メッセージ・データ・バイト67レジスタ25	CAN	1109
C0MDATA6726	CAN0メッセージ・データ・バイト67レジスタ26	CAN	1109
C0MDATA6727	CAN0メッセージ・データ・バイト67レジスタ27	CAN	1109
C0MDATA6728	CAN0メッセージ・データ・バイト67レジスタ28	CAN	1109
C0MDATA6729	CAN0メッセージ・データ・バイト67レジスタ29	CAN	1109
C0MDATA6730	CAN0メッセージ・データ・バイト67レジスタ30	CAN	1109
C0MDATA6731	CAN0メッセージ・データ・バイト67レジスタ31	CAN	1109
C0MDATA700	CAN0メッセージ・データ・バイト7レジスタ00	CAN	1109
C0MDATA701	CAN0メッセージ・データ・バイト7レジスタ01	CAN	1109
C0MDATA702	CAN0メッセージ・データ・バイト7レジスタ02	CAN	1109
C0MDATA703	CAN0メッセージ・データ・バイト7レジスタ03	CAN	1109
C0MDATA704	CAN0メッセージ・データ・バイト7レジスタ04	CAN	1109
C0MDATA705	CAN0メッセージ・データ・バイト7レジスタ05	CAN	1109
C0MDATA706	CAN0メッセージ・データ・バイト7レジスタ06	CAN	1109
C0MDATA707	CAN0メッセージ・データ・バイト7レジスタ07	CAN	1109
C0MDATA708	CAN0メッセージ・データ・バイト7レジスタ08	CAN	1109
C0MDATA709	CAN0メッセージ・データ・バイト7レジスタ09	CAN	1109
C0MDATA710	CAN0メッセージ・データ・バイト7レジスタ10	CAN	1109
C0MDATA711	CAN0メッセージ・データ・バイト7レジスタ11	CAN	1109
C0MDATA712	CAN0メッセージ・データ・バイト7レジスタ12	CAN	1109
C0MDATA713	CAN0メッセージ・データ・バイト7レジスタ13	CAN	1109

(12/45)

略号	名称	ユニット	ページ
C0MDATA714	CAN0メッセージ・データ・バイト7レジスタ14	CAN	1109
C0MDATA715	CAN0メッセージ・データ・バイト7レジスタ15	CAN	1109
C0MDATA716	CAN0メッセージ・データ・バイト7レジスタ16	CAN	1109
C0MDATA717	CAN0メッセージ・データ・バイト7レジスタ17	CAN	1109
C0MDATA718	CAN0メッセージ・データ・バイト7レジスタ18	CAN	1109
C0MDATA719	CAN0メッセージ・データ・バイト7レジスタ19	CAN	1109
C0MDATA720	CAN0メッセージ・データ・バイト7レジスタ20	CAN	1109
C0MDATA721	CAN0メッセージ・データ・バイト7レジスタ21	CAN	1109
C0MDATA722	CAN0メッセージ・データ・バイト7レジスタ22	CAN	1109
C0MDATA723	CAN0メッセージ・データ・バイト7レジスタ23	CAN	1109
C0MDATA724	CAN0メッセージ・データ・バイト7レジスタ24	CAN	1109
C0MDATA725	CAN0メッセージ・データ・バイト7レジスタ25	CAN	1109
C0MDATA726	CAN0メッセージ・データ・バイト7レジスタ26	CAN	1109
C0MDATA727	CAN0メッセージ・データ・バイト7レジスタ27	CAN	1109
C0MDATA728	CAN0メッセージ・データ・バイト7レジスタ28	CAN	1109
C0MDATA729	CAN0メッセージ・データ・バイト7レジスタ29	CAN	1109
C0MDATA730	CAN0メッセージ・データ・バイト7レジスタ30	CAN	1109
C0MDATA731	CAN0メッセージ・データ・バイト7レジスタ31	CAN	1109
C0MDLC00	CAN0メッセージ・データ長レジスタ00	CAN	1111
C0MDLC01	CAN0メッセージ・データ長レジスタ01	CAN	1111
C0MDLC02	CAN0メッセージ・データ長レジスタ02	CAN	1111
C0MDLC03	CAN0メッセージ・データ長レジスタ03	CAN	1111
C0MDLC04	CAN0メッセージ・データ長レジスタ04	CAN	1111
C0MDLC05	CAN0メッセージ・データ長レジスタ05	CAN	1111
C0MDLC06	CAN0メッセージ・データ長レジスタ06	CAN	1111
C0MDLC07	CAN0メッセージ・データ長レジスタ07	CAN	1111
C0MDLC08	CAN0メッセージ・データ長レジスタ08	CAN	1111
C0MDLC09	CAN0メッセージ・データ長レジスタ09	CAN	1111
C0MDLC10	CAN0メッセージ・データ長レジスタ10	CAN	1111
C0MDLC11	CAN0メッセージ・データ長レジスタ11	CAN	1111
C0MDLC12	CAN0メッセージ・データ長レジスタ12	CAN	1111
C0MDLC13	CAN0メッセージ・データ長レジスタ13	CAN	1111
C0MDLC14	CAN0メッセージ・データ長レジスタ14	CAN	1111
C0MDLC15	CAN0メッセージ・データ長レジスタ15	CAN	1111
C0MDLC16	CAN0メッセージ・データ長レジスタ16	CAN	1111
C0MDLC17	CAN0メッセージ・データ長レジスタ17	CAN	1111
C0MDLC18	CAN0メッセージ・データ長レジスタ18	CAN	1111
C0MDLC19	CAN0メッセージ・データ長レジスタ19	CAN	1111
C0MDLC20	CAN0メッセージ・データ長レジスタ20	CAN	1111
C0MDLC21	CAN0メッセージ・データ長レジスタ21	CAN	1111
C0MDLC22	CAN0メッセージ・データ長レジスタ22	CAN	1111
C0MDLC23	CAN0メッセージ・データ長レジスタ23	CAN	1111
C0MDLC24	CAN0メッセージ・データ長レジスタ24	CAN	1111
C0MDLC25	CAN0メッセージ・データ長レジスタ25	CAN	1111
C0MDLC26	CAN0メッセージ・データ長レジスタ26	CAN	1111

(13/45)

略号	名称	ユニット	ページ
C0MDLC27	CAN0メッセージ・データ長レジスタ27	CAN	1111
C0MDLC28	CAN0メッセージ・データ長レジスタ28	CAN	1111
C0MDLC29	CAN0メッセージ・データ長レジスタ29	CAN	1111
C0MDLC30	CAN0メッセージ・データ長レジスタ30	CAN	1111
C0MDLC31	CAN0メッセージ・データ長レジスタ31	CAN	1111
C0MIDH00	CAN0メッセージIDレジスタ00	CAN	1113
C0MIDH01	CAN0メッセージIDレジスタ01	CAN	1113
C0MIDH02	CAN0メッセージIDレジスタ02	CAN	1113
C0MIDH03	CAN0メッセージIDレジスタ03	CAN	1113
C0MIDH04	CAN0メッセージIDレジスタ04	CAN	1113
C0MIDH05	CAN0メッセージIDレジスタ05	CAN	1113
C0MIDH06	CAN0メッセージIDレジスタ06	CAN	1113
C0MIDH07	CAN0メッセージIDレジスタ07	CAN	1113
C0MIDH08	CAN0メッセージIDレジスタ08	CAN	1113
C0MIDH09	CAN0メッセージIDレジスタ09	CAN	1113
C0MIDH10	CAN0メッセージIDレジスタ10	CAN	1113
C0MIDH11	CAN0メッセージIDレジスタ11	CAN	1113
C0MIDH12	CAN0メッセージIDレジスタ12	CAN	1113
C0MIDH13	CAN0メッセージIDレジスタ13	CAN	1113
C0MIDH14	CAN0メッセージIDレジスタ14	CAN	1113
C0MIDH15	CAN0メッセージIDレジスタ15	CAN	1113
C0MIDH16	CAN0メッセージIDレジスタ16	CAN	1113
C0MIDH17	CAN0メッセージIDレジスタ17	CAN	1113
C0MIDH18	CAN0メッセージIDレジスタ18	CAN	1113
C0MIDH19	CAN0メッセージIDレジスタ19	CAN	1113
C0MIDH20	CAN0メッセージIDレジスタ20	CAN	1113
C0MIDH21	CAN0メッセージIDレジスタ21	CAN	1113
C0MIDH22	CAN0メッセージIDレジスタ22	CAN	1113
C0MIDH23	CAN0メッセージIDレジスタ23	CAN	1113
C0MIDH24	CAN0メッセージIDレジスタ24	CAN	1113
C0MIDH25	CAN0メッセージIDレジスタ25	CAN	1113
C0MIDH26	CAN0メッセージIDレジスタ26	CAN	1113
C0MIDH27	CAN0メッセージIDレジスタ27	CAN	1113
C0MIDH28	CAN0メッセージIDレジスタ28	CAN	1113
C0MIDH29	CAN0メッセージIDレジスタ29	CAN	1113
C0MIDH30	CAN0メッセージIDレジスタ30	CAN	1113
C0MIDH31	CAN0メッセージIDレジスタ31	CAN	1113
C0MIDL00	CAN0メッセージIDレジスタ00	CAN	1113
C0MIDL01	CAN0メッセージIDレジスタ01	CAN	1113
C0MIDL02	CAN0メッセージIDレジスタ02	CAN	1113
C0MIDL03	CAN0メッセージIDレジスタ03	CAN	1113
C0MIDL04	CAN0メッセージIDレジスタ04	CAN	1113
C0MIDL05	CAN0メッセージIDレジスタ05	CAN	1113
C0MIDL06	CAN0メッセージIDレジスタ06	CAN	1113

(14/45)

略号	名称	ユニット	ページ
C0MIDL09	CAN0メッセージIDレジスタ09	CAN	1113
C0MIDL10	CAN0メッセージIDレジスタ10	CAN	1113
C0MIDL11	CAN0メッセージIDレジスタ11	CAN	1113
C0MIDL12	CAN0メッセージIDレジスタ12	CAN	1113
C0MIDL13	CAN0メッセージIDレジスタ13	CAN	1113
C0MIDL14	CAN0メッセージIDレジスタ14	CAN	1113
C0MIDL15	CAN0メッセージIDレジスタ15	CAN	1113
C0MIDL16	CAN0メッセージIDレジスタ16	CAN	1113
C0MIDL17	CAN0メッセージIDレジスタ17	CAN	1113
C0MIDL18	CAN0メッセージIDレジスタ18	CAN	1113
C0MIDL19	CAN0メッセージIDレジスタ19	CAN	1113
C0MIDL20	CAN0メッセージIDレジスタ20	CAN	1113
C0MIDL21	CAN0メッセージIDレジスタ21	CAN	1113
C0MIDL22	CAN0メッセージIDレジスタ22	CAN	1113
C0MIDL23	CAN0メッセージIDレジスタ23	CAN	1113
C0MIDL24	CAN0メッセージIDレジスタ24	CAN	1113
C0MIDL25	CAN0メッセージIDレジスタ25	CAN	1113
C0MIDL26	CAN0メッセージIDレジスタ26	CAN	1113
C0MIDL27	CAN0メッセージIDレジスタ27	CAN	1113
C0MIDL28	CAN0メッセージIDレジスタ28	CAN	1113
C0MIDL29	CAN0メッセージIDレジスタ29	CAN	1113
C0MIDL30	CAN0メッセージIDレジスタ30	CAN	1113
C0MIDL31	CAN0メッセージIDレジスタ31	CAN	1113
C0RGPT	CAN0モジュール受信履歴・リスト・レジスタ	CAN	1104
C0TGPT	CAN0モジュール送信履歴・リスト・レジスタ	CAN	1106
C0TS	CAN0モジュール・タイム・スタンプ・レジスタ	CAN	1107
CAM1	キャリア・マスク・レジスタ1	Ethernet	1409
CAM2	キャリア・マスク・レジスタ2	Ethernet	1411
CAR1	キャリア・レジスタ1	Ethernet	1405
CAR2	キャリア・レジスタ2	Ethernet	1407
CCLS	CPU動作クロック・ステータス・レジスタ	CG	225
CE0CTL0	CSIE0制御レジスタ0	CSIE	851
CE0CTL1	CSIE0制御レジスタ1	CSIE	853
CE0CTL2	CSIE0制御レジスタ2	CSIE	855
CE0CTL3	CSIE0制御レジスタ3	CSIE	856
CE0RX0	CSIE0受信データ・レジスタ0	CSIE	848
CE0RX0H	CSIE0受信データ・レジスタ0H	CSIE	848
CE0RX0L	CSIE0受信データ・レジスタ0L	CSIE	848
CE0STR	CSIE0状態レジスタ	CSIE	857
CE0TIC	割り込み制御レジスタ	INTC	1577
CE0TIOFIC	割り込み制御レジスタ	INTC	1577
CE0TX0	CSIE0送信データ・レジスタ	CSIE	849
CE0TXH0	CSIE0送信データ・レジスタH	CSIE	849
CE0TXL0	CSIE0送信データ・レジスタL	CSIE	849
CE1CTL0	CSIE1制御レジスタ0	CSIE	851

(15/45)

略号	名称	ユニット	ページ
CE1CTL1	CSIE1制御レジスタ1	CSIE	853
CE1CTL2	CSIE1制御レジスタ2	CSIE	855
CE1CTL3	CSIE1制御レジスタ3	CSIE	856
CE1RX0	CSIE1受信データ・レジスタ	CSIE	848
CE1RX0H	CSIE1受信データ・レジスタH	CSIE	848
CE1RX0L	CSIE1受信データ・レジスタL	CSIE	848
CE1STR	CSIE1状態レジスタ	CSIE	857
CE1TIC	割り込み制御レジスタ	INTC	1577
CE1TIOFIC	割り込み制御レジスタ	INTC	1577
CE1TX0	CSIE1送信データ・レジスタ	CSIE	849
CE1TX0H	CSIE1送信データ・レジスタH	CSIE	849
CE1TX0L	CSIE1送信データ・レジスタL	CSIE	849
CF0CTL0	CSIF0制御レジスタ0	CSIF	903
CF0CTL1	CSIF0制御レジスタ1	CSIF	906
CF0CTL2	CSIF0制御レジスタ2	CSIF	907
CF0RIC	割り込み制御レジスタ	INTC	1577
CF0RX	CSIF0受信データ・レジスタ	CSFI	902
CF0RXL	CSIF0受信データ・レジスタL	CSFI	902
CF0STR	CSIF0状態レジスタ	CSFI	909
CF0TIC	割り込み制御レジスタ	INTC	1577
CF0TX	CSIF0送信データ・レジスタ	CSIF	902
CF0TXL	CSIF0送信データ・レジスタL	CSIF	902
CF1CTL0	CSIF1制御レジスタ0	CSIF	903
CF1CTL1	CSIF1制御レジスタ1	CSIF	906
CF1CTL2	CSIF1制御レジスタ2	CSIF	907
CF1RIC	割り込み制御レジスタ	INTC	1577
CF1RX	CSIF1受信データ・レジスタ	CSIF	902
CF1RXL	CSIF1受信データ・レジスタL	CSIF	902
CF1STR	CSIF1状態レジスタ	CSIF	909
CF1TIC	割り込み制御レジスタ	INTC	1577
CF1TX	CSIF1送信データ・レジスタ	CSIF	902
CF1TXL	CSIF1送信データ・レジスタL	CSIF	902
CF2CTL0	CSIF2制御レジスタ0	CSIF	903
CF2CTL1	CSIF2制御レジスタ1	CSIF	906
CF2CTL2	CSIF2制御レジスタ2	CSIF	907
CF2RIC	割り込み制御レジスタ	INTC	1577
CF2RX	CSIF2受信データ・レジスタ	CSIF	902
CF2RXL	CSIF2受信データ・レジスタL	CSIF	902
CF2STR	CSIF2状態レジスタ	CSIF	909
CF2TIC	割り込み制御レジスタ	INTC	1577
CF2TX	CSIF2送信データ・レジスタ	CSIF	902
CF2TXL	CSIF2送信データ・レジスタL	CSIF	902
CF3CTL0	CSIF3制御レジスタ0	CSIF	903
CF3CTL1	CSIF3制御レジスタ1	CSIF	906
CF3CTL2	CSIF3制御レジスタ2	CSIF	907

(16/45)

略号	名称	ユニット	ページ
CF3RIC	割り込み制御レジスタ	INTC	1577
CF3RX	CSIF3受信データ・レジスタ	CSIF	902
CF3RXL	CSIF3受信データ・レジスタL	CSIF	902
CF3STR	CSIF3状態レジスタ	CSIF	909
CF3TIC	割り込み制御レジスタ	INTC	1577
CF3TX	CSIF3送信データ・レジスタ	CSIF	902
CF3TXL	CSIF3送信データ・レジスタL	CSIF	902
CF4CTL0	CSIF4制御レジスタ0	CSIF	903
CF4CTL1	CSIF4制御レジスタ1	CSIF	906
CF4CTL2	CSIF4制御レジスタ2	CSIF	907
CF4RIC	割り込み制御レジスタ	INTC	1577
CF4RX	CSIF4受信データ・レジスタ	CSIF	902
CF4RXL	CSIF4受信データ・レジスタL	CSIF	902
CF4STR	CSIF4状態レジスタ	CSIF	909
CF4TIC/	割り込み制御レジスタ	INTC	1577
CF4TX	CSIF4送信データ・レジスタ	CSIF	902
CF4TXL	CSIF4送信データ・レジスタL	CSIF	902
CF5CTL0	CSIF5制御レジスタ0	CSIF	903
CF5CTL1	CSIF5制御レジスタ1	CSIF	906
CF5CTL2	CSIF5制御レジスタ2	CSIF	907
CF5RIC	割り込み制御レジスタ	INTC	1577
CF5RX	CSIF5受信データ・レジスタ	CSIF	902
CF5RXL	CSIF5受信データ・レジスタL	CSIF	902
CF5STR	CSIF5状態レジスタ	CSIF	909
CF5TIC	割り込み制御レジスタ	INTC	1577
CF5TX	CSIF5送信データ・レジスタ	CSIF	902
CF5TXL	CSIF5送信データ・レジスタL	CSIF	902
CF6CTL0	CSIF6制御レジスタ0	CSIF	903
CF6CTL1	CSIF6制御レジスタ1	CSIF	906
CF6CTL2	CSIF6制御レジスタ2	CSIF	907
CF6RIC	割り込み制御レジスタ	INTC	1577
CF6RX	CSIF6受信データ・レジスタ	CSIF	902
CF6RXL	CSIF6受信データ・レジスタL	CSIF	902
CF6STR	CSIF6状態レジスタ	CSIF	909
CF6TIC	割り込み制御レジスタ	INTC	1577
CF6TX	CSIF6送信データ・レジスタ	CSIF	902
CF6TXL	CSIF6送信データ・レジスタL	CSIF	902
CKC	クロック・コントロール・レジスタ	CG	228
CLM	クロック・モニタ・モード・レジスタ	CLM	1640
CLRT	コリジョン・レジスタ	Ethernet	1390
CPUBCTL	CPU I/F バス・コントロール・レジスタ	USBF	1315
CRCD	CRCデータ・レジスタ	CRC	1651
CRCIN	CRCインプット・レジスタ	CRC	1651
CTBP	CALLTベース・ポインタ	CPU	65
CTPC	CALLT実行時状態退避レジスタ	CPU	64

(17/45)

略号	名称	ユニット	ページ
CTPSW	CALLT実行時状態退避レジスタ	CPU	64
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	1532
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	1532
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	1532
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	1532
DBC0	DMA転送カウント・レジスタ0	DMAC	1531
DBC1	DMA転送カウント・レジスタ1	DMAC	1531
DBC2	DMA転送カウント・レジスタ2	DMAC	1531
DBC3	DMA転送カウント・レジスタ3	DMAC	1531
DBPC	例外/デバッグ・トラップ時状態退避レジスタ	CPU	65
DBPSW	例外/デバッグ・トラップ時状態退避レジスタ	CPU	65
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	1533
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	1533
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	1533
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	1533
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	1530
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	1530
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	1530
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	1530
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	1530
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	1530
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	1530
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	1530
DMACM	DMAコントローラ・モード制御レジスタ	Ethernet	1470
DMAIC0	割り込み制御レジスタ	INTC	1577
DMAIC1	割り込み制御レジスタ	INTC	1577
DMAIC2	割り込み制御レジスタ	INTC	1577
DMAIC3	割り込み制御レジスタ	INTC	1577
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	1529
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	1529
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	1529
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	1529
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	1529
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	1529
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	1529
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	1529
DTFR0	DMAトリガ要因レジスタ0	DMAC	1534
DTFR1	DMAトリガ要因レジスタ1	DMAC	1534
DTFR2	DMAトリガ要因レジスタ2	DMAC	1534
DTFR3	DMAトリガ要因レジスタ3	DMAC	1534
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	207
ECR	割り込み要因レジスタ	CPU	62
EIPC	割り込み時状態退避レジスタ	CPU	61
EIPSW	割り込み時状態退避レジスタ	CPU	61
EPCCLT	EPCマクロ・コントロール・レジスタ	USBF	1314

(18/45)

略号	名称	ユニット	ページ
ERRIC0	割り込み制御レジスタ	INTC	1577
ETHMODE	コア・ファンクション制御レジスタ	Ethernet	1465
EXDRQEN	外部DMAリクエスト・イネーブル・レジスタ	DMAC	1537
FEPIC	NMI時状態退避レジスタ	CPU	62
FEPISW	NMI時状態退避レジスタ	CPU	62
FLOWTHRESH	フロー制御閾値レジスタ	Ethernet	1441
FSTATUS	FIFOステータス割り込みレジスタ	Ethernet	1454
FSTATUS_MASK	FIFOステータス割り込みマスク・レジスタ	Ethernet	1456
HT1	HASHテーブル・レジスタ1	Ethernet	1403
HT2	HASHテーブル・レジスタ2	Ethernet	1404
HZA0CTL0	ハイ・インピーダンス出力制御レジスタ0	モータ	606
HZA0CTL1	ハイ・インピーダンス出力制御レジスタ1	モータ	606
IIC0	IICシフト・レジスタ0	I ² C	970
IIC1	IICシフト・レジスタ1	I ² C	970
IIC2	IICシフト・レジスタ2	I ² C	970
IIC3	IICシフト・レジスタ3	I ² C	970
IIC4	IICシフト・レジスタ4	I ² C	970
IICC0	IICコントロール・レジスタ0	I ² C	957
IICC1	IICコントロール・レジスタ1	I ² C	957
IICC2	IICコントロール・レジスタ2	I ² C	957
IICC3	IICコントロール・レジスタ3	I ² C	957
IICC4	IICコントロール・レジスタ4	I ² C	957
IICCL0	IICクロック選択レジスタ0	I ² C	967
IICCL1	IICクロック選択レジスタ1	I ² C	967
IICCL2	IICクロック選択レジスタ2	I ² C	967
IICCL3	IICクロック選択レジスタ3	I ² C	967
IICCL4	IICクロック選択レジスタ4	I ² C	967
IICF0	IICフラグ・レジスタ0	I ² C	965
IICF1	IICフラグ・レジスタ1	I ² C	965
IICF2	IICフラグ・レジスタ2	I ² C	965
IICF3	IICフラグ・レジスタ3	I ² C	965
IICF4	IICフラグ・レジスタ4	I ² C	965
IICIC0	割り込み制御レジスタ	INTC	1577
IICIC1	割り込み制御レジスタ	INTC	1577
IICIC2	割り込み制御レジスタ	INTC	1577
IICIC3	割り込み制御レジスタ	INTC	1577
IICIC4	割り込み制御レジスタ	INTC	1577
IICS0	IIC状態レジスタ0	I ² C	962
IICS1	IIC状態レジスタ1	I ² C	962
IICS2	IIC状態レジスタ2	I ² C	962
IICS3	IIC状態レジスタ3	I ² C	962
IICS4	IIC状態レジスタ4	I ² C	962
IICX0	IIC機能拡張レジスタ0	I ² C	968
IICX1	IIC機能拡張レジスタ1	I ² C	968
IICX2	IIC機能拡張レジスタ2	I ² C	968

(19/45)

略号	名称	ユニット	ページ
IICX3	IIC機能拡張レジスタ3	I ² C	968
IICX4	IIC機能拡張レジスタ4	I ² C	968
IMR0	割り込みマスク・レジスタ0	INTC	1582
IMR0H	割り込みマスク・レジスタ0H	INTC	1582
IMR0L	割り込みマスク・レジスタ0L	INTC	1582
IMR1	割り込みマスク・レジスタ1	INTC	1582
IMR1H	割り込みマスク・レジスタ1H	INTC	1582
IMR1L	割り込みマスク・レジスタ1L	INTC	1582
IMR2	割り込みマスク・レジスタ2	INTC	1582
IMR2H	割り込みマスク・レジスタ2H	INTC	1582
IMR2L	割り込みマスク・レジスタ2L	INTC	1582
IMR3	割り込みマスク・レジスタ3	INTC	1582
IMR3H	割り込みマスク・レジスタ3H	INTC	1582
IMR3L	割り込みマスク・レジスタ3L	INTC	1582
IMR4	割り込みマスク・レジスタ4	INTC	1582
IMR4H	割り込みマスク・レジスタ4H	INTC	1582
IMR4L	割り込みマスク・レジスタ4L	INTC	1582
IMR5	割り込みマスク・レジスタ5	INTC	1582
IMR5H	割り込みマスク・レジスタ5H	INTC	1582
IMR5L	割り込みマスク・レジスタ5L	INTC	1582
IMR6	割り込みマスク・レジスタ6	INTC	1582
IMR6H	割り込みマスク・レジスタ6H	INTC	1582
IMR6L	割り込みマスク・レジスタ6L	INTC	1582
IMR7	割り込みマスク・レジスタ7	INTC	1582
IMR7L	割り込みマスク・レジスタ7L	INTC	1582
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	1594
INTF2	外部割り込み立ち下がりエッジ指定レジスタ2	INTC	1595
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	1596
INTF4	外部割り込み立ち下がりエッジ指定レジスタ4	INTC	1597
INTF5	外部割り込み立ち下がりエッジ指定レジスタ5	INTC	1598
INTF5H	外部割り込み立ち下がりエッジ指定レジスタ5H	INTC	1598
INTF5L	外部割り込み立ち下がりエッジ指定レジスタ5L	INTC	1598
INTF9	外部割り込み立ち下がりエッジ指定レジスタ9	INTC	1599
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	1599
INTF9L	外部割り込み立ち下がりエッジ指定レジスタ9L	INTC	1599
INTMS	割り込み制御レジスタ	Ethernet	1466
INTNFC	ノイズ除去制御レジスタ	INTC	1600
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	1594
INTR2	外部割り込み立ち上がりエッジ指定レジスタ2	INTC	1595
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	1596
INTR4	外部割り込み立ち上がりエッジ指定レジスタ4	INTC	1597
INTR5	外部割り込み立ち上がりエッジ指定レジスタ5	INTC	1598
INTR5H	外部割り込み立ち上がりエッジ指定レジスタ5H	INTC	1598
INTR5L	外部割り込み立ち上がりエッジ指定レジスタ5L	INTC	1598
INTR9	外部割り込み立ち上がりエッジ指定レジスタ9	INTC	1599

(20/45)

略号	名称	ユニット	ページ
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	1599
INTR9L	外部割り込み立ち上がりエッジ指定レジスタ9L	INTC	1599
IPGR	NON Back-to-Back IPGレジスタ	Ethernet	1389
IPGT	Back-to-Back IPGレジスタ	Ethernet	1388
ISPR	インサースビス・プライオリティ・レジスタ	INTC	1584
KRIC	割り込み制御レジスタ	INTC	1577
KRM	キー・リターン・モード・レジスタ	KR	1604
LMAX	最大パケット長レジスタ	Ethernet	1391
LOCKR	ロック・レジスタ	CG	229
LSA1	ステーション・アドレス・レジスタ1	Ethernet	1392
LSA2	ステーション・アドレス・レジスタ2	Ethernet	1393
LSTRXDP	最終受信ディスクリプタ・ポインタ・レジスタ	Ethernet	1472
LSTTXDP	最終送信ディスクリプタ・ポインタ・レジスタ	Ethernet	1474
LVIIC	割り込み制御レジスタ	INTC	1577
LVIM	低電圧検出レジスタ	LVI	1645
MACC1	MAC設定レジスタ1	Ethernet	1385
MACC2	MAC設定レジスタ2	Ethernet	1387
MADR	MIIアドレス・レジスタ	Ethernet	1398
MCMD	MIIコマンド・レジスタ	Ethernet	1397
MFFCONT	FIFOコントローラ・コントロール・レジスタ	Ethernet	1438
MIIC	MIIコンフィギュレーションレジスタ	Ethernet	1396
MIICTL	イーサネット・コントロール・レジスタ	Ethernet	1381
MIND	MIIインジケータ・レジスタ	Ethernet	1401
MRDD	MIIリード・データ・レジスタ	Ethernet	1400
MWTD	MIIライト・データ・レジスタ	Ethernet	1399
OCDM	オンチップ・デバッグ・モード・レジスタ	DCU	1691
OCKS0	IIC分周クロック選択レジスタ0	I ² C	970
OCKS1	IIC分周クロック選択レジスタ1	I ² C	970
OCKS2	IIC分周クロック選択レジスタ2	I ² C	970
OSTS	発振安定時間選択レジスタ	スタンバイ	1609
P0	ポート0レジスタ	ポート	116
P2	ポート2レジスタ	ポート	119
P3	ポート3レジスタ	ポート	126
P4	ポート4レジスタ	ポート	132
P4H	ポート4レジスタH	ポート	132
P4L	ポート4レジスタL	ポート	132
P5	ポート5レジスタ	ポート	141
P5H	ポート5レジスタH	ポート	141
P5L	ポート5レジスタL	ポート	141
P7H	ポート7レジスタH	ポート	148
P7L	ポート7レジスタL	ポート	148
P9	ポート9レジスタ	ポート	151
P9H	ポート9レジスタH	ポート	151
P9L	ポート9レジスタL	ポート	151

(21/45)

略号	名称	ユニット	ページ
PAUSETM	ポーズ・タイム値レジスタ	Ethernet	1442
PC	プログラム・カウンタ	CPU	59
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	221
PCM	ポートCMレジスタ	ポート	159
PCS	ポートCSレジスタ	ポート	162
PCT	ポートCTレジスタ	ポート	165
PDH	ポートDHレジスタ	ポート	168
PDL	ポートDLレジスタ	ポート	175
PDLH	ポートDLレジスタH	ポート	175
PDLL	ポートDLレジスタL	ポート	175
PF0	ポート0ファンクション・レジスタ	ポート	118
PF2	ポート2ファンクション・レジスタ	ポート	125
PF3	ポート3ファンクション・レジスタ	ポート	130
PF4	ポート4ファンクション・レジスタ	ポート	139
PF4H	ポート4ファンクション・レジスタH	ポート	139
PF4L	ポート4ファンクション・レジスタL	ポート	139
PF5	ポート5ファンクション・レジスタ	ポート	146
PF5H	ポート5ファンクション・レジスタH	ポート	146
PF5L	ポート5ファンクション・レジスタL	ポート	146
PF9	ポート9ファンクション・レジスタ	ポート	158
PF9H	ポート9ファンクション・レジスタH	ポート	158
PF9L	ポート9ファンクション・レジスタL	ポート	158
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	117
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	123
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	128
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	136
PFC4H	ポート4ファンクション・コントロール・レジスタH	ポート	136
PFC4L	ポート4ファンクション・コントロール・レジスタL	ポート	136
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	145
PFC5H	ポート5ファンクション・コントロール・レジスタH	ポート	145
PFC5L	ポート5ファンクション・コントロール・レジスタL	ポート	145
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	154
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	154
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	154
PFCDH	ポートDHファンクション・コントロール・レジスタ	ポート	172
PFCE0	ポート0ファンクション・コントロール拡張レジスタ	ポート	117
PFCE2	ポート2ファンクション・コントロール拡張レジスタ	ポート	123
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	128
PFCE4L	ポート4ファンクション・コントロール拡張レジスタL	ポート	136
PFCE5L	ポート5ファンクション・コントロール拡張レジスタL	ポート	145
PFCE9	ポート9ファンクション・コントロール拡張レジスタ	ポート	154
PFCE9H	ポート9ファンクション・コントロール拡張レジスタH	ポート	154
PFCE9L	ポート9ファンクション・コントロール拡張レジスタL	ポート	154
PFCEDH	ポートDHファンクション・コントロール拡張レジスタ	ポート	172
PIC00	割り込み制御レジスタ	INTC	1577

(22/45)

略号	名称	ユニット	ページ
PIC01	割り込み制御レジスタ	INTC	1577
PIC02	割り込み制御レジスタ	INTC	1577
PIC03	割り込み制御レジスタ	INTC	1577
PIC04	割り込み制御レジスタ	INTC	1577
PIC05	割り込み制御レジスタ	INTC	1577
PIC06	割り込み制御レジスタ	INTC	1577
PIC07	割り込み制御レジスタ	INTC	1577
PIC08	割り込み制御レジスタ	INTC	1577
PIC09	割り込み制御レジスタ	INTC	1577
PIC10	割り込み制御レジスタ	INTC	1577
PIC11	割り込み制御レジスタ	INTC	1577
PIC12	割り込み制御レジスタ	INTC	1577
PIC13	割り込み制御レジスタ	INTC	1577
PIC14	割り込み制御レジスタ	INTC	1577
PIC15	割り込み制御レジスタ	INTC	1577
PIC16	割り込み制御レジスタ	INTC	1577
PIC17	割り込み制御レジスタ	INTC	1577
PIC18	割り込み制御レジスタ	INTC	1577
PIC19	割り込み制御レジスタ	INTC	1577
PIC20	割り込み制御レジスタ	INTC	1577
PIC21	割り込み制御レジスタ	INTC	1577
PIC22	割り込み制御レジスタ	INTC	1577
PIC23	割り込み制御レジスタ	INTC	1577
PIC24	割り込み制御レジスタ	INTC	1577
PIC25	割り込み制御レジスタ	INTC	1577
PLLCTL	PLLコントロール・レジスタ	CG	227
PLLS	PLLロックアップ時間指定レジスタ	CG	230
PM0	ポート0モード・レジスタ	ポート	116
PM2	ポート2モード・レジスタ	ポート	120
PM3	ポート3モード・レジスタ	ポート	126
PM4	ポート4モード・レジスタ	ポート	133
PM4H	ポート4モード・レジスタH	ポート	133
PM4L	ポート4モード・レジスタL	ポート	133
PM5	ポート5モード・レジスタ	ポート	142
PM5H	ポート5モード・レジスタH	ポート	142
PM5L	ポート5モード・レジスタL	ポート	142
PM7H	ポート7モード・レジスタH	ポート	149
PM7L	ポート7モード・レジスタL	ポート	149
PM9	ポート9モード・レジスタ	ポート	151
PM9H	ポート9モード・レジスタH	ポート	151
PM9L	ポート9モード・レジスタL	ポート	151
PMC0	ポート0モード・コントロール・レジスタ	ポート	117
PMC2	ポート2モード・コントロール・レジスタ	ポート	121
PMC3	ポート3モード・コントロール・レジスタ	ポート	127
PMC4	ポート4モード・コントロール・レジスタ	ポート	134

(23/45)

略号	名称	ユニット	ページ
PMC4H	ポート4モード・コントロール・レジスタH	ポート	134
PMC4L	ポート4モード・コントロール・レジスタL	ポート	134
PMC5	ポート5モード・コントロール・レジスタ	ポート	143
PMC5H	ポート5モード・コントロール・レジスタH	ポート	143
PMC5L	ポート5モード・コントロール・レジスタL	ポート	143
PMC9	ポート9モード・コントロール・レジスタ	ポート	152
PMC9H	ポート9モード・コントロール・レジスタH	ポート	152
PMC9L	ポート9モード・コントロール・レジスタL	ポート	152
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	161
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	164
PMCT	ポートCTモード・コントロール・レジスタ	ポート	166
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	170
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	176
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	176
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	176
PMCM	ポートCMモード・レジスタ	ポート	160
PMCS	ポートCSモード・レジスタ	ポート	163
PMCT	ポートCTモード・レジスタ	ポート	165
PMDH	ポートDHモード・レジスタ	ポート	169
PMDL	ポートDLモード・レジスタ	ポート	175
PMDLH	ポートDLモード・レジスタH	ポート	175
PMDLL	ポートDLモード・レジスタL	ポート	175
PRCMD	コマンド・レジスタ	CPU	101
PRSCM0	プリスケラ・コンペア・レジスタ0	BRG	675
PRSCM1	プリスケラ・コンペア・レジスタ1	BRG	946
PRSCM2	プリスケラ・コンペア・レジスタ2	BRG	946
PRSCM3	プリスケラ・コンペア・レジスタ3	BRG	946
PRSCM4	プリスケラ・コンペア・レジスタ4	BRG	946
PRSM0	プリスケラ・モード・レジスタ0	BRG	674
PRSM1	プリスケラ・モード・レジスタ1	BRG	945
PRSM2	プリスケラ・モード・レジスタ2	BRG	945
PRSM3	プリスケラ・モード・レジスタ3	BRG	945
PRSM4	プリスケラ・モード・レジスタ4	BRG	945
PSC	パワー・セーブ・コントロール・レジスタ	CG	1607
PSMR	パワー・セーブ・モード・レジスタ	CG	1608
PSW	プログラム・ステータス・ワード	CPU	63
PTVR	ポーズ・タイマ値リード・レジスタ	Ethernet	1394
r0-r31	汎用レジスタ	CPU	59
R127	受信65-127バイト・フレーム・カウンタ	Ethernet	1426
R1K	受信512-1023バイト・フレーム・カウンタ	Ethernet	1428
R255	受信128-255バイト・フレーム・カウンタ	Ethernet	1427
R511	受信256-511バイト・フレーム・カウンタ	Ethernet	1427
R64	受信64バイト・フレーム・カウンタ	Ethernet	1426
RALN	受信アライメント・エラー・カウンタ	Ethernet	1419
RAMS	内蔵RAMデータ・ステータス・レジスタ	LVI	1646

(24/45)

略号	名称	ユニット	ページ
RBCA	受信ブロードキャスト・パケット・カウンタ	Ethernet	1417
RBYT	受信バイト・カウンタ	Ethernet	1413
RC1ALH	アラーム時設定レジスタ	RTC	672
RC1ALM	アラーム分設定レジスタ	RTC	672
RC1ALW	アラーム曜日設定レジスタ	RTC	673
RC1CC0	RTCコントロール・レジスタ0	RTC	661
RC1CC1	RTCコントロール・レジスタ1	RTC	661
RC1CC2	RTCコントロール・レジスタ2	RTC	663
RC1CC3	RTCコントロール・レジスタ3	RTC	664
RC1DAY	日カウント・レジスタ	RTC	668
RC1HOUR	時カウント・レジスタ	RTC	666
RC1MIN	分カウント・レジスタ	RTC	666
RC1MONTH	月カウント・レジスタ	RTC	670
RC1SEC	秒カウント・レジスタ	RTC	665
RC1SUBC	サブ・カウント・レジスタ	RTC	665
RC1SUBU	時間誤差補正レジスタ	RTC	671
RC1WEEK	曜日カウント・レジスタ	RTC	669
RC1YEAR	年カウント・レジスタ	RTC	670
RCDE	受信コード・エラー・カウンタ	Ethernet	1421
RCM	内蔵発振モード・レジスタ	CG	225
RECIC0	割り込み制御レジスタ	INTC	1577
RESF	リセット要因フラグ・レジスタ	リセット	1629
RFCR	受信False Carrier カウンタ	Ethernet	1421
RFCS	受信FCSエラー・フレーム・カウンタ	Ethernet	1415
RFLR	受信フレーム長エラー・カウンタ	Ethernet	1420
RFRG	受信フラグメント・カウンタ	Ethernet	1424
RJBR	受信ジャババー・カウンタ	Ethernet	1425
RMAX	受信1024-RMAXバイト・フレーム・カウンタ	Ethernet	1428
RMCA	受信マルチキャスト・パケット・カウンタ	Ethernet	1416
ROVR	受信オーバーサイズ・パケット・カウンタ	Ethernet	1423
RPKT	受信パケット・カウンタ	Ethernet	1414
RSTCNT	ソフト・リセット制御レジスタ	Ethernet	1440
RTBH0	リアルタイム出力バッファ・レジスタ0H	RTO	695
RTBL0	リアルタイム出力バッファ・レジスタ0L	RTO	695
RTC0IC	割り込み制御レジスタ	INTC	1577
RTC1IC	割り込み制御レジスタ	INTC	1577
RTC2IC	割り込み制御レジスタ	INTC	1577
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTO	697
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTO	696
RUND	受信アンダサイズ・パケット・カウンタ	Ethernet	1422
RVBT	受信有効バイト・カウンタ	Ethernet	1429
RXABTCNT	受信アポート・カウンタ	Ethernet	1464
RXCF	受信コントロール・フレーム・パケット・カウンタ	Ethernet	1417
RXDP	受信ディスクリプタ・ポインタ・レジスタ	Ethernet	1471
RXERSEL	受信エラー選択レジスタ	Ethernet	1443

(25/45)

略号	名称	ユニット	ページ
RXFINF1	受信ステータス1レジスタ	Ethernet	1451
RXFINF2	受信ステータス2レジスタ	Ethernet	1452
RXFINF3	受信ステータス3レジスタ	Ethernet	1453
RXPF	受信ポーズ・フレーム・パケット・カウンタ	Ethernet	1418
RXSTATUS	受信ステータス割り込みレジスタ	Ethernet	1459
RXSTATUS_MASK	受信ステータス割り込みマスク・レジスタ	Ethernet	1461
RXSTMONI	受信ステータス・モニタ・レジスタ	Ethernet	1449
RXUO	受信未定義コントロール・パケット・カウンタ	Ethernet	1418
SELCNT0	セレクト動作制御レジスタ0	タイマ	347
SFTRST	ソフトウェア・リセット制御レジスタ	Ethernet	1469
SVA0	スレーブ・アドレス・レジスタ0	I ² C	971
SVA1	スレーブ・アドレス・レジスタ1	I ² C	971
SVA2	スレーブ・アドレス・レジスタ2	I ² C	971
SVA3	スレーブ・アドレス・レジスタ3	I ² C	971
SVA4	スレーブ・アドレス・レジスタ4	I ² C	971
SYS	システム・ステータス・レジスタ	I ² C	102
TAA0CCIC0	割り込み制御レジスタ	INTC	1577
TAA0CCIC1	割り込み制御レジスタ	INTC	1577
TAA0CCR0	TAA0キャプチャ/コンペア・レジスタ0	タイマ	246
TAA0CCR1	TAA0キャプチャ/コンペア・レジスタ1	タイマ	248
TAA0CNT	TAA0カウンタ・リード・バッファ・レジスタ	タイマ	250
TAA0CTL0	TAA0制御レジスタ0	タイマ	237
TAA0CTL1	TAA0制御レジスタ1	タイマ	238
TAA0IOC0	TAA0I/O制御レジスタ0	タイマ	240
TAA0IOC1	TAA0I/O制御レジスタ1	タイマ	241
TAA0IOC2	TAA0I/O制御レジスタ2	タイマ	242
TAA0IOC4	TAA0I/O制御レジスタ4	タイマ	243
TAA0OPT0	TAA0オプション・レジスタ0	タイマ	244
TAA0OPT1	TAA0オプション・レジスタ1	タイマ	245
TAA0OVIC	割り込み制御レジスタ	INTC	1577
TAA1CCIC0	割り込み制御レジスタ	INTC	1577
TAA1CCIC1	割り込み制御レジスタ	INTC	1577
TAA1CCR0	TAA1キャプチャ/コンペア・レジスタ0	タイマ	246
TAA1CCR1	TAA1キャプチャ/コンペア・レジスタ1	タイマ	248
TAA1CNT	TAA1カウンタ・リード・バッファ・レジスタ	タイマ	250
TAA1CTL0	TAA1制御レジスタ0	タイマ	237
TAA1CTL1	TAA1制御レジスタ1	タイマ	238
TAA1IOC0	TAA1I/O制御レジスタ0	タイマ	240
TAA1IOC1	TAA1I/O制御レジスタ1	タイマ	241
TAA1IOC2	TAA1I/O制御レジスタ2	タイマ	242
TAA1IOC4	TAA1I/O制御レジスタ4	タイマ	243
TAA1OPT0	TAA1オプション・レジスタ0	タイマ	244
TAA1OVIC	割り込み制御レジスタ	INTC	1577
TAA2CCIC0	割り込み制御レジスタ	INTC	1577
TAA2CCIC1	割り込み制御レジスタ	INTC	1577

(26/45)

略号	名称	ユニット	ページ
TAA2CCR0	TAA2キャプチャ/コンペア・レジスタ0	タイマ	246
TAA2CCR1	TAA2キャプチャ/コンペア・レジスタ1	タイマ	248
TAA2CNT	TAA2カウンタ・リード・バッファ・レジスタ	タイマ	250
TAA2CTL0	TAA2制御レジスタ0	タイマ	237
TAA2CTL1	TAA2制御レジスタ1	タイマ	238
TAA2IOC0	TAA2I/O制御レジスタ0	タイマ	240
TAA2IOC1	TAA2I/O制御レジスタ1	タイマ	241
TAA2IOC2	TAA2I/O制御レジスタ2	タイマ	242
TAA2IOC4	TAA2I/O制御レジスタ4	タイマ	243
TAA2OPT0	TAA2オプション・レジスタ0	タイマ	244
TAA2OPT1	TAA2オプション・レジスタ1	タイマ	245
TAA2OVIC	割り込み制御レジスタ	INTC	1577
TAA3CCIC0	割り込み制御レジスタ	INTC	1577
TAA3CCIC1	割り込み制御レジスタ	INTC	1577
TAA3CCR0	TAA3キャプチャ/コンペア・レジスタ0	タイマ	246
TAA3CCR1	TAA3キャプチャ/コンペア・レジスタ1	タイマ	248
TAA3CNT	TAA3カウンタ・リード・バッファ・レジスタ	タイマ	250
TAA3CTL0	TAA3制御レジスタ0	タイマ	237
TAA3CTL1	TAA3制御レジスタ1	タイマ	238
TAA3IOC0	TAA3I/O制御レジスタ0	タイマ	240
TAA3IOC1	TAA3I/O制御レジスタ1	タイマ	241
TAA3IOC2	TAA3I/O制御レジスタ2	タイマ	242
TAA3IOC4	TAA3I/O制御レジスタ4	タイマ	243
TAA3OPT0	TAA3オプション・レジスタ0	タイマ	244
TAA3OVIC	割り込み制御レジスタ	INTC	1577
TAA4CCIC0	割り込み制御レジスタ	INTC	1577
TAA4CCIC1	割り込み制御レジスタ	INTC	1577
TAA4CCR0	TAA4キャプチャ/コンペア・レジスタ0	タイマ	246
TAA4CCR1	TAA4キャプチャ/コンペア・レジスタ1	タイマ	248
TAA4CNT	TAA4カウンタ・リード・バッファ・レジスタ	タイマ	250
TAA4CTL0	TAA4制御レジスタ0	タイマ	237
TAA4CTL1	TAA4制御レジスタ1	タイマ	238
TAA4IOC0	TAA4I/O制御レジスタ0	タイマ	240
TAA4IOC1	TAA4I/O制御レジスタ1	タイマ	241
TAA4IOC2	TAA4I/O制御レジスタ2	タイマ	242
TAA4IOC4	TAA4I/O制御レジスタ4	タイマ	243
TAA4OPT0	TAA4オプション・レジスタ0	タイマ	244
TAA4OVIC	割り込み制御レジスタ	INTC	1577
TAA5CCIC0	割り込み制御レジスタ	INTC	1577
TAA5CCIC1	割り込み制御レジスタ	INTC	1577
TAA5CCR0	TAA5キャプチャ/コンペア・レジスタ0	タイマ	246
TAA5CCR1	TAA5キャプチャ/コンペア・レジスタ1	タイマ	248
TAA5CNT	TAA5カウンタ・リード・バッファ・レジスタ	タイマ	250
TAA5CTL0	TAA5制御レジスタ0	タイマ	237
TAA5CTL1	TAA5制御レジスタ1	タイマ	238

(27/45)

略号	名称	ユニット	ページ
TAA5IOC0	TAA5I/O制御レジスタ0	タイマ	240
TAA5IOC1	TAA5I/O制御レジスタ1	タイマ	241
TAA5IOC2	TAA5I/O制御レジスタ2	タイマ	242
TAA5IOC4	TAA5I/O制御レジスタ4	タイマ	243
TAA5OPT0	TAA5オプション・レジスタ0	タイマ	244
TAA5OVIC	割り込み制御レジスタ	INTC	1577
TAB0CCIC0	割り込み制御レジスタ	INTC	1577
TAB0CCIC1	割り込み制御レジスタ	INTC	1577
TAB0CCIC2	割り込み制御レジスタ	INTC	1577
TAB0CCIC3	割り込み制御レジスタ	INTC	1577
TAB0CCR0	TAB0キャプチャ/コンペア・レジスタ0	タイマ	362
TAB0CCR1	TAB0キャプチャ/コンペア・レジスタ1	タイマ	364
TAB0CCR2	TAB0キャプチャ/コンペア・レジスタ2	タイマ	365
TAB0CCR3	TAB0キャプチャ/コンペア・レジスタ3	タイマ	368
TAB0CNT	TAB0カウンタ・リード・バッファ・レジスタ	タイマ	370
TAB0CTL0	TAB0制御レジスタ0	タイマ	355
TAB0CTL1	TAB0制御レジスタ1	タイマ	356
TAB0IOC0	TAB0I/O制御レジスタ0	タイマ	357
TAB0IOC1	TAB0I/O制御レジスタ1	タイマ	358
TAB0IOC2	TAB0I/O制御レジスタ2	タイマ	359
TAB0IOC4	TAB0I/O制御レジスタ4	タイマ	360
TAB0OPT0	TAB0オプション・レジスタ0	タイマ	361
TAB0OVIC	割り込み制御レジスタ	INTC	1577
TAB1CCIC0	割り込み制御レジスタ	INTC	1577
TAB1CCIC1	割り込み制御レジスタ	INTC	1577
TAB1CCIC2	割り込み制御レジスタ	INTC	1577
TAB1CCIC3	割り込み制御レジスタ	INTC	1577
TAB1CCR0	TAB1キャプチャ/コンペア・レジスタ0	タイマ	362
TAB1CCR1	TAB1キャプチャ/コンペア・レジスタ1	タイマ	364
TAB1CCR2	TAB1キャプチャ/コンペア・レジスタ2	タイマ	366
TAB1CCR3	TAB1キャプチャ/コンペア・レジスタ3	タイマ	368
TAB1CNT	TAB1カウンタ・リード・バッファ・レジスタ	タイマ	370
TAB1CTL0	TAB1制御レジスタ0	タイマ	355
TAB1CTL1	TAB1制御レジスタ1	タイマ	356
TAB1DTC	TAB1デッドタイム・コンペア・レジスタ1	タイマ	599
TAB1IOC0	TAB1I/O制御レジスタ0	タイマ	357
TAB1IOC1	TAB1I/O制御レジスタ1	タイマ	358
TAB1IOC2	TAB1I/O制御レジスタ2	タイマ	359
TAB1IOC3	TAB1I/O制御レジスタ3	タイマ	603
TAB1IOC4	TAB1I/O制御レジスタ4	タイマ	360
TAB1OPT0	TAB1オプション・レジスタ0	タイマ	361
TAB1OPT1	TAB1オプション・レジスタ1	タイマ	600
TAB1OPT2	TAB1オプション・レジスタ2	タイマ	601
TAB1OVIC	割り込み制御レジスタ	INTC	1577
TANFC0	TAA0ノイズ除去制御レジスタ	タイマ	251

(28/45)

略号	名称	ユニット	ページ
TANFC1	TAA1ノイズ除去制御レジスタ	タイマ	251
TANFC2	TAA2ノイズ除去制御レジスタ	タイマ	251
TANFC3	TAA3ノイズ除去制御レジスタ	タイマ	251
TANFC4	TAA4ノイズ除去制御レジスタ	タイマ	251
TANFC5	TAA5ノイズ除去制御レジスタ	タイマ	251
TBCA	送信ブロードキャスト・パケット・カウンタ	Ethernet	1431
TBYT	送信バイト・カウンタ	Ethernet	1429
TCSE	送信キャリア・センス・エラー・カウンタ	Ethernet	1436
TDFR	送信遅延パケット・カウンタ	Ethernet	1433
TFCS	送信FCSエラー・フレーム・カウンタ	Ethernet	1430
TIME	MAC内部エラー・カウンタ	Ethernet	1437
TLCL	送信レイト・コリジョン・パケット・カウンタ	Ethernet	1435
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	587
TM0CTL0	TMM0制御レジスタ0	タイマ	588
TM0EQIC0	割り込み制御レジスタ	INTC	1577
TM1CMP0	TMM1コンペア・レジスタ0	タイマ	587
TM1CTL0	TMM1制御レジスタ0	タイマ	588
TM1EQIC0	割り込み制御レジスタ	INTC	1577
TM2CMP0	TMM2コンペア・レジスタ0	タイマ	587
TM2CTL0	TMM2制御レジスタ0	タイマ	588
TM2EQIC0	割り込み制御レジスタ	INTC	1577
TM3CMP0	TMM3コンペア・レジスタ0	タイマ	587
TM3CTL0	TMM3制御レジスタ0	タイマ	588
TM3EQIC0	割り込み制御レジスタ	INTC	1577
TMCA	送信マルチキャスト・パケット・カウンタ	Ethernet	1431
TMCL	送信マルチプル・コリジョン・パケット・カウンタ	Ethernet	1434
TNCL	送信トータル・コリジョン・カウンタ	Ethernet	1436
TPKT	送信パケット・カウンタ	Ethernet	1430
TRANSCTL	送信制御レジスタ	Ethernet	1468
TRXIC0	割り込み制御レジスタ	INTC	1577
TSCL	送信シングル・コリジョン・パケット・カウンタ	Ethernet	1434
TT0CCIC0	割り込み制御レジスタ	INTC	1577
TT0CCIC1	割り込み制御レジスタ	INTC	1577
TT0CCR0	TMT0キャプチャ/コンペア・レジスタ0	タイマ	472
TT0CCR1	TMT0キャプチャ/コンペア・レジスタ1	タイマ	474
TT0CNT	TMT0カウンタ・リード・バッファ・レジスタ	タイマ	476
TT0CTL0	TMT0制御レジスタ0	タイマ	459
TT0CTL1	TMT0制御レジスタ1	タイマ	460
TT0CTL2	TMT0制御レジスタ2	タイマ	462
TT0IECIC	割り込み制御レジスタ	INTC	1577
TT0IOC0	TMT0I/O制御レジスタ0	タイマ	464
TT0IOC1	TMT0I/O制御レジスタ1	タイマ	465
TT0IOC2	TMT0I/O制御レジスタ2	タイマ	466
TT0IOC3	TMT0I/O制御レジスタ3	タイマ	467
TT0OPT0	TMT0オプション・レジスタ0	タイマ	469

(29/45)

略号	名称	ユニット	ページ
TT0OPT1	TMT0オプション・レジスタ1	タイマ	470
TT0OVIC	割り込み制御レジスタ	INTC	1577
TT0TCW	TMT0カウンタ・ライト・レジスタ	タイマ	476
TTNFC	TMTノイズ除去制御レジスタ	タイマ	477
TUCA	送信ユニキャスト・パケット・カウンタ	Ethernet	1432
TXABTCNT	送信アポート・カウンタ	Ethernet	1463
TXCL	送信過剰コリジョン・パケット・カウンタ	Ethernet	1435
TXDF	送信過剰遅延パケット・カウンタ	Ethernet	1433
TXDP	送信ディスクリプタ・ポインタ・レジスタ	Ethernet	1473
TXFINF1	送信ステータス1レジスタ	Ethernet	1447
TXFINF2	送信ステータス2レジスタ	Ethernet	1448
TXPF	送信ポーズ・コントロール・フレーム・カウンタ	Ethernet	1432
TXSTATUS	送信ステータス割り込みレジスタ	Ethernet	1457
TXSTATUS_MASK	送信ステータス割り込みマスク・レジスタ	Ethernet	1458
TXSTMONI1	送信ステータス・モニタ1レジスタ	Ethernet	1445
TXSTMONI2	送信ステータス・モニタ2レジスタ	Ethernet	1446
UB0CTL0	UARTB0制御レジスタ0	UARTB	744
UB0CTL2	UARTB0制御レジスタ2	UARTB	749
UB0FIC0	UARTB0FIFO制御レジスタ0	UARTB	753
UB0FIC1	UARTB0FIFO制御レジスタ1	UARTB	755
UB0FIC2	UARTB0FIFO制御レジスタ2	UARTB	756
UB0FIC2H	UARTB0FIFO制御レジスタ2H	UARTB	756
UB0FIC2L	UARTB0FIFO制御レジスタ2L	UARTB	756
UB0FIS0	UARTB0状態レジスタ0	UARTB	758
UB0FIS1	UARTB0状態レジスタ1	UARTB	759
UB0RX	UARTB0受信データ・レジスタ	UARTB	751
UB0RXAP	UARTB0受信データ・レジスタAP	UARTB	751
UB0STR	UARTB0状態レジスタ	UARTB	747
UB0TIFIC	割り込み制御レジスタ	INTC	1577
UB0TIREIC	割り込み制御レジスタ	INTC	1577
UB0TIRIC	割り込み制御レジスタ	INTC	1577
UB0TITIC	割り込み制御レジスタ	INTC	1577
UB0TIOIC	割り込み制御レジスタ	INTC	1577
UB0TX	UARTB0送信データ・レジスタ	UARTB	750
UB1CTL0	UARTB1御レジスタ0	UARTB	744
UB1CTL2	UARTB1御レジスタ2	UARTB	749
UB1FIC0	UARTB1FIFO制御レジスタ0	UARTB	753
UB1FIC1	UARTB1FIFO制御レジスタ1	UARTB	755
UB1FIC2	UARTB1FIFO制御レジスタ2	UARTB	756
UB1FIC2H	UARTB1FIFO制御レジスタ2H	UARTB	756
UB1FIC2L	UARTB1FIFO制御レジスタ2L	UARTB	756
UB1FIS0	UARTB1状態レジスタ0	UARTB	758
UB1FIS1	UARTB1状態レジスタ1	UARTB	759
UB1RX	UARTB1受信データ・レジスタ	UARTB	751
UB1RXAP	UARTB1受信データ・レジスタAP	UARTB	751

(30/45)

略号	名称	ユニット	ページ
UB1STR	UARTB1状態レジスタ	UARTB	747
UB1TIFIC	割り込み制御レジスタ	INTC	1577
UB1TIREIC	割り込み制御レジスタ	INTC	1577
UB1TIRIC	割り込み制御レジスタ	INTC	1577
UB1TITIC	割り込み制御レジスタ	INTC	1577
UB1TITOIC	割り込み制御レジスタ	INTC	1577
UB1TX	UARTB1送信データ・レジスタ	UARTB	750
UC0CTL0	UARTC0制御レジスタ0	UARTC	808
UC0CTL1	UARTC0制御レジスタ1	UARTC	835
UC0CTL2	UARTC0制御レジスタ2	UARTC	836
UC0OPT0	UARTC0オプション制御レジスタ0	UARTC	810
UC0OPT1	UARTC0オプション制御レジスタ1	UARTC	812
UC0RIC	割り込み制御レジスタ	INTC	1577
UC0RIC	割り込み制御レジスタ	INTC	1577
UC0RX	UARTC0受信データ・レジスタ	UARTC	816
UC0RXL	UARTC0受信データ・レジスタL	UARTC	816
UC0STR	UARTC0状態レジスタ	UARTC	814
UC0TX	UARTC0送信データ・レジスタ	UARTC	817
UC0TXL	UARTC0送信データ・レジスタL	UARTC	817
UC1CTL0	UARTC1制御レジスタ0	UARTC	808
UC1CTL1	UARTC1制御レジスタ1	UARTC	835
UC1CTL2	UARTC1制御レジスタ2	UARTC	836
UC1OPT0	UARTC1オプション制御レジスタ0	UARTC	810
UC1OPT1	UARTC1オプション制御レジスタ1	UARTC	812
UC1RIC	割り込み制御レジスタ	INTC	1577
UC1RX	UARTC1受信データ・レジスタ	UARTC	816
UC1RXL	UARTC1受信データ・レジスタL	UARTC	816
UC1STR	UARTC1状態レジスタ	UARTC	814
UC1TIC	割り込み制御レジスタ	INTC	1577
UC1TX	UARTC1送信データ・レジスタ	UARTC	817
UC1TXL	UARTC1送信データ・レジスタL	UARTC	817
UC2CTL0	UARTC2制御レジスタ0	UARTC	808
UC2CTL1	UARTC2制御レジスタ1	UARTC	835
UC2CTL2	UARTC2制御レジスタ2	UARTC	836
UC2OPT0	UARTC2オプション制御レジスタ0	UARTC	810
UC2OPT1	UARTC2オプション制御レジスタ1	UARTC	812
UC2RIC	割り込み制御レジスタ	INTC	1577
UC2RX	UARTC2受信データ・レジスタ	UARTC	816
UC2RXL	UARTC2受信データ・レジスタL	UARTC	816
UC2STR	UARTC2状態レジスタ	UARTC	814
UC2TIC	割り込み制御レジスタ	INTC	1577
UC2TX	UARTC2送信データ・レジスタ	UARTC	817
UC2TXL	UARTC2送信データ・レジスタL	UARTC	817
UC3CTL0	UARTC3制御レジスタ0	UARTC	808
UC3CTL1	UARTC3制御レジスタ1	UARTC	835

(31/45)

略号	名称	ユニット	ページ
UC3CTL2	UARTC3制御レジスタ2	UARTC	836
UC3OPT0	UARTC3オプション制御レジスタ0	UARTC	810
UC3OPT1	UARTC3オプション制御レジスタ1	UARTC	812
UC3RIC	割り込み制御レジスタ	INTC	1577
UC3RX	UARTC3受信データ・レジスタ	UARTC	816
UC3RXL	UARTC3受信データ・レジスタL	UARTC	816
UC3STR	UARTC3状態レジスタ	UARTC	814
UC3TIC	割り込み制御レジスタ	INTC	1577
UC3TX	UARTC3送信データ・レジスタ	UARTC	817
UC3TXL	UARTC3送信データ・レジスタL	UARTC	817
UC4CTL0	UARTC4制御レジスタ0	UARTC	808
UC4CTL1	UARTC4制御レジスタ1	UARTC	835
UC4CTL2	UARTC4制御レジスタ2	UARTC	836
UC4OPT0	UARTC4オプション制御レジスタ0	UARTC	810
UC4OPT1	UARTC4オプション制御レジスタ1	UARTC	812
UC4RIC	割り込み制御レジスタ	INTC	1577
UC4RX	UARTC4受信データ・レジスタ	UARTC	816
UC4RXL	UARTC4受信データ・レジスタL	UARTC	816
UC4STR	UARTC4状態レジスタ	UARTC	814
UC4TIC	割り込み制御レジスタ	INTC	1577
UC4TX	UARTC4送信データ・レジスタ	UARTC	817
UC4TXL	UARTC4送信データ・レジスタL	UARTC	817
UC5CTL0	UARTC5制御レジスタ0	UARTC	808
UC5CTL1	UARTC5制御レジスタ1	UARTC	835
UC5CTL2	UARTC5制御レジスタ2	UARTC	836
UC5OPT0	UARTC5オプション制御レジスタ0	UARTC	810
UC5OPT1	UARTC5オプション制御レジスタ1	UARTC	812
UC5RIC	割り込み制御レジスタ	INTC	1577
UC5RX	UARTC5受信データ・レジスタ	UARTC	816
UC5RXL	UARTC5受信データ・レジスタL	UARTC	816
UC5STR	UARTC5状態レジスタ	UARTC	814
UC5TIC	割り込み制御レジスタ	INTC	1577
UC5TX	UARTC5送信データ・レジスタ	UARTC	817
UC5TXL	UARTC5送信データ・レジスタL	UARTC	817
UC6CTL0	UARTC6制御レジスタ0	UARTC	808
UC6CTL1	UARTC6制御レジスタ1	UARTC	835
UC6CTL2	UARTC6制御レジスタ2	UARTC	836
UC6OPT0	UARTC6オプション制御レジスタ0	UARTC	810
UC6OPT1	UARTC6オプション制御レジスタ1	UARTC	812
UC6RIC	割り込み制御レジスタ	INTC	1577
UC6RX	UARTC6受信データ・レジスタ	UARTC	816
UC6RXL	UARTC6受信データ・レジスタL	UARTC	816
UC6STR	UARTC6状態レジスタ	UARTC	814
UC6TIC	割り込み制御レジスタ	INTC	1577
UC6TX	UARTC6送信データ・レジスタ	UARTC	817

(32/45)

略号	名称	ユニット	ページ
UC6TXL	UARTC6送信データ・レジスタL	UARTC	817
UC7CTL0	UARTC7制御レジスタ0	UARTC	808
UC7CTL1	UARTC7制御レジスタ1	UARTC	835
UC7CTL2	UARTC7制御レジスタ2	UARTC	836
UC7OPT0	UARTC7オプション・レジスタ	UARTC	810
UC7OPT1	UARTC7オプション制御レジスタ1	UARTC	812
UC7RIC	割り込み制御レジスタ	INTC	1577
UC7RX	UARTC7受信データ・レジスタ	UARTC	816
UC7RXL	UARTC7受信データ・レジスタL	UARTC	816
UC7STR	UARTC7状態レジスタ	UARTC	814
UC7TIC	割り込み制御レジスタ	INTC	1577
UC7TX	UARTC7送信データ・レジスタ	UARTC	817
UC7TXL	UARTC7送信データ・レジスタL	UARTC	817
UCKSEL	USBクロック選択レジスタ	USBF	1200
UF0AAS	UF0アクティブ・オルタナティブ・セッティング・レジスタ	USBF	1262
UF0ADRS	UF0アドレス・レジスタ	USBF	1304
UF0AIFN	UF0アクティブ・インタフェース・ナンバー・レジスタ	USBF	1261
UF0ASS	UF0オルタナティブ・セッティング・ステータス・レジスタ	USBF	1263
UF0BI1	UF0バルク・イン1レジスタ	USBF	1287
UF0BI2	UF0バルク・イン2レジスタ	USBF	1291
UF0BO1	UF0バルク・アウト1レジスタ	USBF	1280
UF0BO1L	UF0バルク・アウト1レングス・レジスタ	USBF	1283
UF0BO2	UF0バルク・アウト2レジスタ	USBF	1284
UF0BO2L	UF0バルク・アウト2レングス・レジスタ	USBF	1286
UF0CIE0	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ0	USBF	1310
UF0CIE1	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ1	USBF	1310
UF0CIE10	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ10	USBF	1310
UF0CIE100	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ100	USBF	1310
UF0CIE101	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ101	USBF	1310
UF0CIE102	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ102	USBF	1310
UF0CIE103	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ103	USBF	1310
UF0CIE104	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ104	USBF	1310
UF0CIE105	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ105	USBF	1310
UF0CIE106	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ106	USBF	1310

(33/45)

略号	名称	ユニット	ページ
UF0CIE107	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ107	USBF	1310
UF0CIE108	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ108	USBF	1310
UF0CIE109	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ109	USBF	1310
UF0CIE11	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ11	USBF	1310
UF0CIE110	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ110	USBF	1310
UF0CIE111	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ111	USBF	1310
UF0CIE112	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ112	USBF	1310
UF0CIE113	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ113	USBF	1310
UF0CIE114	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ114	USBF	1310
UF0CIE115	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ115	USBF	1310
UF0CIE116	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ116	USBF	1310
UF0CIE117	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ117	USBF	1310
UF0CIE118	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ118	USBF	1310
UF0CIE119	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ119	USBF	1310
UF0CIE12	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ12	USBF	1310
UF0CIE120	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ120	USBF	1310
UF0CIE121	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ121	USBF	1310
UF0CIE122	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ122	USBF	1310
UF0CIE123	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ123	USBF	1310
UF0CIE124	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ124	USBF	1310
UF0CIE125	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ125	USBF	1310
UF0CIE126	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ126	USBF	1310
UF0CIE127	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ127	USBF	1310

略号	名称	ユニット	ページ
UF0CIE128	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ128	USBF	1310
UF0CIE129	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ129	USBF	1310
UF0CIE13	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ13	USBF	1310
UF0CIE130	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ130	USBF	1310
UF0CIE131	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ131	USBF	1310
UF0CIE132	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ132	USBF	1310
UF0CIE133	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ133	USBF	1310
UF0CIE134	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ134	USBF	1310
UF0CIE135	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ135	USBF	1310
UF0CIE136	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ136	USBF	1310
UF0CIE137	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ137	USBF	1310
UF0CIE138	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ138	USBF	1310
UF0CIE139	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ139	USBF	1310
UF0CIE14	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ14	USBF	1310
UF0CIE140	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ140	USBF	1310
UF0CIE141	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ141	USBF	1310
UF0CIE142	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ142	USBF	1310
UF0CIE143	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ143	USBF	1310
UF0CIE144	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ144	USBF	1310
UF0CIE145	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ145	USBF	1310
UF0CIE146	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ146	USBF	1310
UF0CIE147	UF0コンフィギュレーション / インタフェース / エンドポイント・ディ スクリプタ・レジスタ147	USBF	1310

略号	名称	ユニット	ページ
UF0CIE148	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ148	USBF	1310
UF0CIE149	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ149	USBF	1310
UF0CIE15	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ15	USBF	1310
UF0CIE150	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ150	USBF	1310
UF0CIE151	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ151	USBF	1310
UF0CIE152	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ152	USBF	1310
UF0CIE153	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ153	USBF	1310
UF0CIE154	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ154	USBF	1310
UF0CIE155	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ155	USBF	1310
UF0CIE156	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ156	USBF	1310
UF0CIE157	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ157	USBF	1310
UF0CIE158	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ158	USBF	1310
UF0CIE159	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ159	USBF	1310
UF0CIE16	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ16	USBF	1310
UF0CIE160	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ160	USBF	1310
UF0CIE161	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ161	USBF	1310
UF0CIE162	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ162	USBF	1310
UF0CIE163	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ163	USBF	1310
UF0CIE164	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ164	USBF	1310
UF0CIE165	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ165	USBF	1310
UF0CIE166	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ166	USBF	1310
UF0CIE167	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ167	USBF	1310
UF0CIE168	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ168	USBF	1310

略号	名称	ユニット	ページ
UF0CIE169	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ169	USBF	1310
UF0CIE17	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ17	USBF	1310
UF0CIE170	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ170	USBF	1310
UF0CIE171	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ171	USBF	1310
UF0CIE172	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ172	USBF	1310
UF0CIE173	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ173	USBF	1310
UF0CIE174	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ174	USBF	1310
UF0CIE175	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ175	USBF	1310
UF0CIE176	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ176	USBF	1310
UF0CIE177	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ177	USBF	1310
UF0CIE178	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ178	USBF	1310
UF0CIE179	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ179	USBF	1310
UF0CIE18	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ18	USBF	1310
UF0CIE180	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ180	USBF	1310
UF0CIE181	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ181	USBF	1310
UF0CIE182	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ182	USBF	1310
UF0CIE183	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ183	USBF	1310
UF0CIE184	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ184	USBF	1310
UF0CIE185	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ185	USBF	1310
UF0CIE186	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ186	USBF	1310
UF0CIE187	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ187	USBF	1310
UF0CIE188	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ188	USBF	1310
UF0CIE189	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ189	USBF	1310

(37/45)

略号	名称	ユニット	ページ
UF0CIE19	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ19	USBF	1310
UF0CIE190	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ190	USBF	1310
UF0CIE191	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ191	USBF	1310
UF0CIE192	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ192	USBF	1310
UF0CIE193	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ193	USBF	1310
UF0CIE194	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ194	USBF	1310
UF0CIE195	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ195	USBF	1310
UF0CIE196	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ196	USBF	1310
UF0CIE197	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ197	USBF	1310
UF0CIE198	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ198	USBF	1310
UF0CIE199	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ199	USBF	1310
UF0CIE2	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ2	USBF	1310
UF0CIE20	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ20	USBF	1310
UF0CIE200	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ200	USBF	1310
UF0CIE201	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ201	USBF	1310
UF0CIE202	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ202	USBF	1310
UF0CIE203	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ203	USBF	1310
UF0CIE204	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ204	USBF	1310
UF0CIE205	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ205	USBF	1310
UF0CIE206	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ206	USBF	1310
UF0CIE207	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ207	USBF	1310
UF0CIE208	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ208	USBF	1310
UF0CIE209	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ209	USBF	1310

略号	名称	ユニット	ページ
UF0CIE21	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ21	USBF	1310
UF0CIE210	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ210	USBF	1310
UF0CIE211	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ211	USBF	1310
UF0CIE212	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ212	USBF	1310
UF0CIE213	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ213	USBF	1310
UF0CIE214	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ214	USBF	1310
UF0CIE215	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ215	USBF	1310
UF0CIE216	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ216	USBF	1310
UF0CIE217	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ217	USBF	1310
UF0CIE218	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ218	USBF	1310
UF0CIE219	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ219	USBF	1310
UF0CIE22	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ22	USBF	1310
UF0CIE220	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ220	USBF	1310
UF0CIE221	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ221	USBF	1310
UF0CIE222	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ222	USBF	1310
UF0CIE223	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ223	USBF	1310
UF0CIE224	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ224	USBF	1310
UF0CIE225	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ225	USBF	1310
UF0CIE226	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ226	USBF	1310
UF0CIE227	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ227	USBF	1310
UF0CIE228	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ228	USBF	1310
UF0CIE229	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ229	USBF	1310
UF0CIE23	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ23	USBF	1310

(39/45)

略号	名称	ユニット	ページ
UF0CIE230	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ230	USBF	1310
UF0CIE231	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ231	USBF	1310
UF0CIE232	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ232	USBF	1310
UF0CIE233	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ233	USBF	1310
UF0CIE234	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ234	USBF	1310
UF0CIE235	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ235	USBF	1310
UF0CIE236	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ236	USBF	1310
UF0CIE237	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ237	USBF	1310
UF0CIE238	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ238	USBF	1310
UF0CIE239	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ239	USBF	1310
UF0CIE24	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ24	USBF	1310
UF0CIE240	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ240	USBF	1310
UF0CIE241	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ241	USBF	1310
UF0CIE242	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ242	USBF	1310
UF0CIE243	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ243	USBF	1310
UF0CIE244	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ244	USBF	1310
UF0CIE245	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ245	USBF	1310
UF0CIE246	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ246	USBF	1310
UF0CIE247	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ247	USBF	1310
UF0CIE248	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ248	USBF	1310
UF0CIE249	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ249	USBF	1310
UF0CIE25	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ25	USBF	1310
UF0CIE250	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ250	USBF	1310

略号	名称	ユニット	ページ
UF0CIE251	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ251	USBF	1310
UF0CIE252	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ252	USBF	1310
UF0CIE253	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ253	USBF	1310
UF0CIE254	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ254	USBF	1310
UF0CIE255	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ255	USBF	1310
UF0CIE26	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ26	USBF	1310
UF0CIE27	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ27	USBF	1310
UF0CIE28	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ28	USBF	1310
UF0CIE29	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ29	USBF	1310
UF0CIE3	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ3	USBF	1310
UF0CIE30	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ30	USBF	1310
UF0CIE31	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ31	USBF	1310
UF0CIE32	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ32	USBF	1310
UF0CIE33	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ33	USBF	1310
UF0CIE34	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ34	USBF	1310
UF0CIE35	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ35	USBF	1310
UF0CIE36	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ36	USBF	1310
UF0CIE37	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ37	USBF	1310
UF0CIE38	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ38	USBF	1310
UF0CIE39	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ39	USBF	1310
UF0CIE4	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ4	USBF	1310
UF0CIE40	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ40	USBF	1310
UF0CIE41	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ41	USBF	1310

(41/45)

略号	名称	ユニット	ページ
UF0CIE42	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ42	USBF	1310
UF0CIE43	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ43	USBF	1310
UF0CIE44	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ44	USBF	1310
UF0CIE45	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ45	USBF	1310
UF0CIE46	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ46	USBF	1310
UF0CIE47	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ47	USBF	1310
UF0CIE48	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ48	USBF	1310
UF0CIE49	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ49	USBF	1310
UF0CIE5	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ5	USBF	1310
UF0CIE50	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ50	USBF	1310
UF0CIE51	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ51	USBF	1310
UF0CIE52	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ52	USBF	1310
UF0CIE53	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ53	USBF	1310
UF0CIE54	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ54	USBF	1310
UF0CIE55	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ55	USBF	1310
UF0CIE56	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ56	USBF	1310
UF0CIE57	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ57	USBF	1310
UF0CIE58	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ58	USBF	1310
UF0CIE59	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ59	USBF	1310
UF0CIE6	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ6	USBF	1310
UF0CIE60	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ60	USBF	1310
UF0CIE61	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ61	USBF	1310
UF0CIE62	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ62	USBF	1310

略号	名称	ユニット	ページ
UF0CIE63	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ63	USBF	1310
UF0CIE64	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ64	USBF	1310
UF0CIE65	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ65	USBF	1310
UF0CIE66	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ66	USBF	1310
UF0CIE67	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ67	USBF	1310
UF0CIE68	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ68	USBF	1310
UF0CIE69	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ69	USBF	1310
UF0CIE7	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ7	USBF	1310
UF0CIE70	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ70	USBF	1310
UF0CIE71	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ71	USBF	1310
UF0CIE72	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ72	USBF	1310
UF0CIE73	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ73	USBF	1310
UF0CIE74	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ74	USBF	1310
UF0CIE75	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ75	USBF	1310
UF0CIE76	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ76	USBF	1310
UF0CIE77	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ77	USBF	1310
UF0CIE78	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ78	USBF	1310
UF0CIE79	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ79	USBF	1310
UF0CIE8	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ8	USBF	1310
UF0CIE80	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ80	USBF	1310
UF0CIE81	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ81	USBF	1310
UF0CIE82	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ82	USBF	1310
UF0CIE83	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ83	USBF	1310

(43/45)

略号	名称	ユニット	ページ
UF0CIE84	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ84	USBF	1310
UF0CIE85	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ85	USBF	1310
UF0CIE86	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ86	USBF	1310
UF0CIE87	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ87	USBF	1310
UF0CIE88	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ88	USBF	1310
UF0CIE89	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ89	USBF	1310
UF0CIE9	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ9	USBF	1310
UF0CIE90	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ90	USBF	1310
UF0CIE91	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ91	USBF	1310
UF0CIE92	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ92	USBF	1310
UF0CIE93	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ93	USBF	1310
UF0CIE94	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ94	USBF	1310
UF0CIE95	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ95	USBF	1310
UF0CIE96	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ96	USBF	1310
UF0CIE97	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ97	USBF	1310
UF0CIE98	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ98	USBF	1310
UF0CIE99	UF0コンフィギュレーション/インタフェース/エンドポイント・ディ スクリプタ・レジスタ99	USBF	1310
UF0CLR	UF0 CLRリクエスト・レジスタ	USBF	1226
UF0CNF	UF0コンフィギュレーション・レジスタ	USBF	1305
UF0DD0	UF0デバイス・ディスクリプタ・レジスタ0	USBF	1309
UF0DD1	UF0デバイス・ディスクリプタ・レジスタ1	USBF	1309
UF0DD10	UF0デバイス・ディスクリプタ・レジスタ10	USBF	1309
UF0DD11	UF0デバイス・ディスクリプタ・レジスタ11	USBF	1309
UF0DD12	UF0デバイス・ディスクリプタ・レジスタ12	USBF	1309
UF0DD13	UF0デバイス・ディスクリプタ・レジスタ13	USBF	1309
UF0DD14	UF0デバイス・ディスクリプタ・レジスタ14	USBF	1309
UF0DD15	UF0デバイス・ディスクリプタ・レジスタ15	USBF	1309
UF0DD16	UF0デバイス・ディスクリプタ・レジスタ16	USBF	1309
UF0DD17	UF0デバイス・ディスクリプタ・レジスタ17	USBF	1309

(44/45)

略号	名称	ユニット	ページ
UF0DD2	UF0デバイス・ディスクリプタ・レジスタ2	USBF	1309
UF0DD3	UF0デバイス・ディスクリプタ・レジスタ3	USBF	1309
UF0DD4	UF0デバイス・ディスクリプタ・レジスタ4	USBF	1309
UF0DD5	UF0デバイス・ディスクリプタ・レジスタ5	USBF	1309
UF0DD6	UF0デバイス・ディスクリプタ・レジスタ6	USBF	1309
UF0DD7	UF0デバイス・ディスクリプタ・レジスタ7	USBF	1309
UF0DD8	UF0デバイス・ディスクリプタ・レジスタ8	USBF	1309
UF0DD9	UF0デバイス・ディスクリプタ・レジスタ9	USBF	1309
UF0DEND	UF0データ・エンド・レジスタ	USBF	1256
UF0DMS0	UF0 DMAステータス0レジスタ	USBF	1252
UF0DMS1	UF0 DMAステータス1レジスタ	USBF	1253
UF0DSCL	UF0ディスクリプタ・レンジ・レジスタ	USBF	1308
UF0DSTL	UF0デバイス・ステータス・レジスタL	USBF	1297
UF0E0L	UF0 EP0レンジ・レジスタ	USBF	1275
UF0E0N	UF0 EP0NAKレジスタ	USBF	1217
UF0E0NA	UF0 EP0NAKALLレジスタ	USBF	1219
UF0E0R	UF0 EP0リード・レジスタ	USBF	1274
UF0E0SL	UF0 EP0ステータス・レジスタL	USBF	1298
UF0E0ST	UF0 EP0セットアップ・レジスタ	USBF	1276
UF0E0W	UF0 EP0ライト・レジスタ	USBF	1278
UF0E1DC1	EP1 DMAコントロール・レジスタ1	USBF	1316
UF0E1DC2	EP1 DMAコントロール・レジスタ2	USBF	1318
UF0E1IM	UF0エンドポイント1インタフェース・マッピング・レジスタ	USBF	1264
UF0E1SL	UF0 EP1ステータス・レジスタL	USBF	1299
UF0E2DC1	EP2 DMAコントロール・レジスタ1	USBF	1316
UF0E2DC2	EP2 DMAコントロール・レジスタ2	USBF	1318
UF0E2IM	UF0エンドポイント2インタフェース・マッピング・レジスタ	USBF	1266
UF0E2SL	UF0 EP2ステータス・レジスタL	USBF	1300
UF0E3DC1	EP3 DMAコントロール・レジスタ1	USBF	1316
UF0E3DC2	EP3 DMAコントロール・レジスタ2	USBF	1318
UF0E3IM	UF0エンドポイント3インタフェース・マッピング・レジスタ	USBF	1268
UF0E3SL	UF0 EP3ステータス・レジスタL	USBF	1301
UF0E4DC1	EP4 DMAコントロール・レジスタ1	USBF	1316
UF0E4DC2	EP4 DMAコントロール・レジスタ2	USBF	1318
UF0E4IM	UF0エンドポイント4インタフェース・マッピング・レジスタ	USBF	1270
UF0E4SL	UF0 EP4ステータス・レジスタL	USBF	1302
UF0E7IM	UF0エンドポイント7インタフェース・マッピング・レジスタ	USBF	1272
UF0E7SL	UF0 EP7ステータス・レジスタL	USBF	1303
UF0EN	UF0 EPNAKレジスタ	USBF	1220
UF0ENM	UF0 EPNAKマスク・レジスタ	USBF	1224
UF0EPS0	UF0 EPステータス0レジスタ	USBF	1228
UF0EPS1	UF0 EPステータス1レジスタ	USBF	1230
UF0EPS2	UF0 EPステータス2レジスタ	USBF	1231
UF0FIC0	UF0 FIFOクリア0レジスタ	USBF	1254
UF0FIC1	UF0 FIFOクリア1レジスタ	USBF	1255

(45/45)

略号	名称	ユニット	ページ
UF0GPR	UF0 GPRレジスタ	USBF	1258
UF0IC0	UF0 INTクリア0レジスタ	USBF	1245
UF0IC1	UF0 INTクリア1レジスタ	USBF	1246
UF0IC2	UF0 INTクリア2レジスタ	USBF	1247
UF0IC3	UF0 INTクリア3レジスタ	USBF	1248
UF0IC4	UF0 INTクリア4レジスタ	USBF	1249
UF0IDR	UF0 INT & DMARQレジスタ	USBF	1250
UF0IF0	UF0インタフェース0レジスタ	USBF	1306
UF0IF1	UF0インタフェース1レジスタ	USBF	1307
UF0IF2	UF0インタフェース2レジスタ	USBF	1307
UF0IF3	UF0インタフェース3レジスタ	USBF	1307
UF0IF4	UF0インタフェース4レジスタ	USBF	1307
UF0IM0	UF0 INTマスク0レジスタ	USBF	1240
UF0IM1	UF0 INTマスク1レジスタ	USBF	1241
UF0IM2	UF0 INTマスク2レジスタ	USBF	1242
UF0IM3	UF0 INTマスク3レジスタ	USBF	1243
UF0IM4	UF0 INTマスク4レジスタ	USBF	1244
UF0INT1	UF0インタラプト1レジスタ	USBF	1295
UF0IS0	UF0 INTステータス0レジスタ	USBF	1232
UF0IS1	UF0 INTステータス1レジスタ	USBF	1234
UF0IS2	UF0 INTステータス2レジスタ	USBF	1236
UF0IS3	UF0 INTステータス3レジスタ	USBF	1237
UF0IS4	UF0 INTステータス4レジスタ	USBF	1239
UF0MODC	UF0モード・コントロール・レジスタ	USBF	1259
UF0MODS	UF0モード・ステータス・レジスタ	USBF	1260
UF0SDS	UF0 SNDSIE レジスタ	USBF	1225
UF0SET	UF0 SETリクエスト・レジスタ	USBF	1227
UFCKMSK	USBファンクション制御レジスタ	USBF	1200
UFDRQEN	USBF DMAリクエスト・イネーブル・レジスタ	USBF	1320
UFIC0	割り込み制御レジスタ	INTC	1577
UFIC1	割り込み制御レジスタ	INTC	1577
VLTP	VLANタイプ・レジスタ	Ethernet	1395
VSWC	システム・ウエイト・コントロール・レジスタ	CPU	103
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	692
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	690
WUPIC0	割り込み制御レジスタ	INTC	1577

付録D 命令セット一覧

D.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果, n 7FFFFFFFHとなった場合, n = 7FFFFFFFHとする。 nが計算の結果, n 80000000Hとなった場合, n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説明
0000	$OV = 1$	Overflow
1000	$OV = 0$	No overflow
0001	$CY = 1$	Carry Lower (Less than)
1001	$CY = 0$	No carry No lower (Greater than or equal)
0010	$Z = 1$	Zero
1010	$Z = 0$	Not zero
0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
0100	$S = 1$	Negative
1100	$S = 0$	Positive
0101	-	Always (無条件)
1101	$SAT = 1$	Saturated
0110	$(S \text{ xor } OV) = 1$	Less than signed
1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

D.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x		
Bcond	disp9	dddd1011ddcccc 注	if conditions are satisfied	条件成立時	2	2	2					
			then PC PC + sign-extend (disp9)	注2 注2 注2								
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 wwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 wwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr, Half-word))	4	4	4						
CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x		
	reg2, [reg1]	rrrrr11111RRRRR 000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x		
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

(2/5)

二モニツク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		000001111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr1111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2					
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	3	3	3					
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1				
				regID = PSW	1	1	1	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11					

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1						
MUL	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ²⁶ × GR[reg1] ²⁶	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ²⁶ × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ²⁶ × imm16	1	1	2						
MULU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	x	x		
NOT1	bit#3,	01bbb11110RRRRR	adr GR[reg1] + sign-extend (disp16)	3	3	3					x	
	disp16[reg1]	ddddddddddddddd	Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	注3	注3	注3						
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4						

(4/5)

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep], reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep], reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep], reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	0000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FHのとき) 0000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3					x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	0000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	0000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニク記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. 汎用レジスタreg1と汎用レジスタreg3に, 同じレジスタを指定しないでください。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビットです。

付録E 改版履歴

E. 1 本版で改訂された主な箇所

箇所	内容
p.70	図3 - 3 CS1空間のメモリ・マップ 変更
p.71	図3 - 4 プログラム・メモリ・マップ 変更
p.79	図3 - 12 推奨メモリ・マップ 変更

E.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版数	内容	適用箇所
2版	5.5.1 (1) データ・ウェイト・コントロール・レジスタ0 (DWC0) 注2追加	第5章 バス制御機能
	5.5.4 (1) アドレス・ウェイト・コントロール・レジスタ (AWC) 注2追加	
	5.6 (1) バス・サイクル・コントロール・レジスタ (BCC) 注2追加	
	第21章 CANコントローラ 注意2追加	第21章 CANコントローラ
	22.1 概要 注意追加	第22章 USBファンクション・コントローラ (USBF)
	図22-3 USBファンクション・コントローラ接続例 変更	
	22.4 (2) USBクロック停止 変更	
	22.6.1 (2) USBファンクション制御レジスタ (UFCKMSK) 変更	
	22.9.6 DMAモードによるバルク転送 (OUT) のデータ受信方法 注意2追加	
	22.9.6 (1) バルク転送 (OUT: EP2, EP4) の初期設定 追加	
	図22-32 バルク転送 (OUT) によるDMA処理 追加	
	22.9.7 (1) バルク転送 (IN: EP1, EP3) の初期設定 追加	
	第23章 イーサネット・コントローラ 変更	第23章 イーサネット・コントローラ
	33.6 書き込み済み品発注ROMコードの作成方法 追加	第33章 フラッシュ・メモリ
第35章 電気的特性 追加	第35章 電気的特性	
第37章 半田付け推奨条件 追加	第37章 半田付け推奨条件	
3版	2.1 (1) ポート端子 変更	第2章 端子機能
	2.1 (2) ポート以外の端子 変更	
	24.3 (6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注意4 追加	第24章 DMA機能 (DMAコントローラ)
	図33-5 専用フラッシュ・プログラマとの通信 (CSIF0+HS, CSIF3+HS) 変更	第33章 フラッシュ・メモリ
	表33-5 専用フラッシュ・プログラマ (PG-FP5) の信号接続一覧 変更	

V850ES/JH3-E, V850ES/JJ3-E ユーザーズマニュアル ハードウェア編

発行年月日 2014年3月25日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

V850ES/JH3-E, V850ES/JJ3-E