

V850E/IG4-H, V850E/IH4-H

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

V850E/Ix4-H マイクロコントローラ

V850E/IG4-H :

μPD70F3919

μPD70F3920

μPD70F3921

V850E/IH4-H :

μPD70F3922

μPD70F3923

μPD70F3924

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

目次要約

第1章	イントロダクション	...	21
第2章	端子機能	...	37
第3章	CPU機能	...	54
第4章	ポート機能	...	95
第5章	クロック・ジェネレータ	...	186
第6章	16ビット・タイマ/イベント・カウンタAA (TAA)	...	202
第7章	16ビット・タイマ/イベント・カウンタAB (TAB)	...	310
第8章	16ビット・タイマ/イベント・カウンタT (TMT)	...	426
第9章	16ビット・インターバル・タイマM (TMM)	...	574
第10章	モータ制御機能	...	583
第11章	ウォッチドッグ・タイマ機能	...	654
第12章	A/Dコンバータ0,1	...	658
第13章	A/Dコンバータ2	...	734
第14章	アシンクロナス・シリアル・インタフェースA (UARTA)	...	766
第15章	アシンクロナス・シリアル・インタフェースB (UARTB)	...	797
第16章	クロック同期式シリアル・インタフェースF (CSIF)	...	856
第17章	I ² Cバス	...	905
第18章	USBファンクション・コントローラ (USBF)	...	983
第19章	バス制御機能	...	1154
第20章	DMA機能 (DMAコントローラ)	...	1186
第21章	割り込み/例外処理機能	...	1222
第22章	スタンバイ機能	...	1268
第23章	リセット機能	...	1278
第24章	低電圧検出回路	...	1284
第25章	パワーオン・クリア回路	...	1291
第26章	オンチップ・デバッグ機能	...	1294
第27章	フラッシュ・メモリ	...	1321
第28章	電気的特性	...	1352
第29章	外形図	...	1420
第30章	半田付け推奨条件	...	1422
付録A	注意事項	...	1423
付録B	レジスタ索引	...	1424
付録C	命令セット一覧	...	1448
付録D	改版履歴	...	1457

このマニュアルの使い方

対象者 このマニュアルは、V850E/IG4-H(μ PD70F3919, 70F3920, 70F3921) , V850E/IH4-H(μ PD70F3922, 70F3923, 70F3924) の機能を理解し、それをういた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。

構成 V850E/IG4-H, V850E/IH4-Hのユーザーズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850E1 ユーザーズ・マニュアル アーキテクチャ編)の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通りV850E/IG4-H, V850E/IH4-Hの機能を理解しようとするとき
目次に従ってお読みください。

レジスタ名が分かっている、レジスタの詳細を確認するとき
付録B レジスタ索引を利用してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるビットは、そのビット名称がデバイス・ファイルで予約語として定義されています。

命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

V850E/IG4-H, V850E/IH4-Hの電気的特性を知りたいとき

第28章 電気的特性を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラでは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この “ ” をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
 - アクティブ・ロウの表記：xxx（端子，信号名称に上線）
 - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
 - 注：本文中に付けた注の説明
 - 注意：気を付けて読んでいただきたい内容
 - 備考：本文の補足説明
 - 数の表記：2進数 ... xxxxまたはxxxxB
 - 10進数 ... xxxx
 - 16進数 ... xxxxH
 - 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
 - K（キロ）... $2^{10} = 1024$
 - M（メガ）... $2^{20} = 1024^2$
 - G（ギガ）... $2^{30} = 1024^3$
 - データ・タイプ：ワード ... 32ビット
 - ハーフワード ... 16ビット
 - バイト ... 8ビット

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850E/IG4-H, V850E/IH4-Hに関する資料

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/IG4-H, V850E/IH4-H ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料(ユーザーズ・マニュアル)

資料名	資料番号	
QB-V850MINI オンチップ・デバッグ・エミュレータ	U17638J	
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	
QB-Programmer プログラミングGUI	操作編 U18527J	
CA850 Ver.3.20 Cコンパイラ・パッケージ	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	
ID850QB Ver.3.40 統合デバッガ	操作編 U18604J	
TW850 Ver.2.00 性能解析チューニング・ツール	U17241J	
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	内部構造編	U18164J
	タスク・デバッガ編	U17422J
RX-NET TCP/IPライブラリ	U15083J	
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	

備考 インサーキット・エミュレータは、株式会社マイダス・ラボ製です。
詳細については、株式会社マイダス・ラボにお問い合わせください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

<http://japan.renesas.com/prod/package/manual/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

注意：本製品は、Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROM, MINICUBEは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

目 次

第1章 イン트로ダクション ... 21

- 1.1 概 説 ... 21
- 1.2 特 徴 ... 23
- 1.3 応用分野 ... 26
- 1.4 オーダ情報 ... 26
 - 1.4.1 V850E/IG4-H ... 26
 - 1.4.2 V850E/IH4-H ... 26
- 1.5 端子接続図 ... 27
 - 1.5.1 V850E/IG4-H ... 27
 - 1.5.2 V850E/IH4-H ... 29
- 1.6 機能ブロック構成 ... 32
 - 1.6.1 内部ブロック図 ... 32
 - 1.6.2 内部ユニット ... 34

第2章 端子機能 ... 37

- 2.1 端子機能一覧 ... 37
- 2.2 端子の入出力回路タイプと未使用時の処理 ... 49
- 2.3 端子の入出力回路 ... 53

第3章 CPU機能 ... 54

- 3.1 特 徴 ... 54
- 3.2 CPUレジスタ・セット ... 55
 - 3.2.1 プログラム・レジスタ・セット ... 56
 - 3.2.2 システム・レジスタ・セット ... 57
- 3.3 動作モード ... 63
 - 3.3.1 動作モード ... 63
 - 3.3.2 動作モード指定 ... 63
- 3.4 アドレス空間 ... 64
 - 3.4.1 CPUアドレス空間 ... 64
 - 3.4.2 イメージ ... 65
 - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 66
 - 3.4.4 メモリ・マップ ... 67
 - 3.4.5 領 域 ... 68
 - 3.4.6 アドレス空間の推奨使用方法 ... 71
 - 3.4.7 内蔵周辺I/Oレジスタ ... 73
 - 3.4.8 特定レジスタ ... 90
 - 3.4.9 システム・ウエイト・コントロール・レジスタ (VSWC) ... 94
 - 3.4.10 DMAウエイト・コントロール・レジスタ0, 1 (DMAWC0, DMAWC1) ... 94

第4章 ポート機能 ... 95

- 4.1 特 徴 ... 95

4.1.1	V850E/IG4-H	...	95
4.1.2	V850E/IH4-H	...	95
4.2	ポートの基本構成	...	96
4.2.1	V850E/IG4-H	...	96
4.2.2	V850E/IH4-H	...	97
4.3	ポートの構成	...	98
4.3.1	ポート0	...	104
4.3.2	ポート1	...	110
4.3.3	ポート2	...	116
4.3.4	ポート3	...	122
4.3.5	ポート4	...	128
4.3.6	ポート5	...	134
4.3.7	ポート7	...	139
4.3.8	ポート9 (V850E/IH4-Hのみ)	...	141
4.3.9	ポートDL	...	145
4.4	各設定時の出力データとポート・リード値	...	151
4.5	兼用機能使用時のポートのレジスタ設定	...	164
4.6	ノイズ除去回路	...	173
4.7	注意事項	...	184
4.7.1	ポート端子設定上の注意事項	...	184
4.7.2	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	...	185

第5章 クロック・ジェネレータ ... 186

5.1	概要	...	186
5.2	構成	...	187
5.3	制御レジスタ	...	190
5.4	PLL機能	...	196
5.4.1	概要	...	196
5.4.2	PLLモード	...	196
5.4.3	クロック・スルー・モード	...	196
5.5	動作	...	197
5.5.1	各クロックの動作	...	197
5.5.2	クロック出力機能	...	197
5.5.3	動作タイミング	...	198
5.6	クロック・モニタ	...	201

第6章 16ビット・タイマ/イベント・カウンタAA (TAA) ... 202

6.1	概要	...	202
6.2	機能	...	203
6.3	構成	...	203
6.4	レジスタ	...	208
6.5	タイマ出力動作説明	...	220
6.6	動作	...	221
6.6.1	インターバル・タイマ・モード (TAA _n MD2-TAA _n MD0ビット = 000)	...	230
6.6.2	外部イベント・カウント・モード (TAA ₂ MD2-TAA ₂ MD0ビット = 001)	...	242
6.6.3	外部トリガ・パルス出力モード (TAA _n MD2-TAA _n MD0ビット = 010)	...	253
6.6.4	ワンショット・パルス出力モード (TAA _n MD2-TAA _n MD0ビット = 011)	...	267
6.6.5	PWM出力モード (TAA _n MD2-TAA _n MD0ビット = 100)	...	276
6.6.6	フリー・ランニング・タイマ・モード (TAA _n MD2-TAA _n MD0ビット = 101)	...	286

6.6.7	パルス幅測定モード (TAA2MD2-TAA2MD0ビット = 110)	...	304
-------	--------------------------------------	-----	-----

第7章 16ビット・タイマ/イベント・カウンタAB (TAB) ... 310

7.1	概要	...	310
7.1.1	V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1	...	310
7.1.2	V850E/IG4-HのTAB1	...	310
7.2	機能	...	311
7.2.1	V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1	...	311
7.2.2	V850E/IG4-HのTAB1	...	311
7.3	構成	...	312
7.3.1	V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1	...	312
7.3.2	V850E/IG4-HのTAB1	...	316
7.4	レジスタ	...	320
7.5	タイマ出力動作説明	...	334
7.6	動作	...	335
7.6.1	インターバル・タイマ・モード (TABnMD2-TABnMD0ビット = 000)	...	343
7.6.2	外部イベント・カウント・モード (TABnMD2-TABnMD0ビット = 001)	...	355
7.6.3	外部トリガ・パルス出力モード (TABnMD2-TABnMD0ビット = 010)	...	367
7.6.4	ワンショット・パルス出力モード (TABnMD2-TABnMD0ビット = 011)	...	380
7.6.5	PWM出力モード (TABnMD2-TABnMD0ビット = 100)	...	389
7.6.6	フリー・ランニング・タイマ・モード (TABnMD2-TABnMD0ビット = 101)	...	400
7.6.7	パルス幅測定モード (TABnMD2-TABnMD0ビット = 110)	...	420

第8章 16ビット・タイマ/イベント・カウンタT (TMT) ... 426

8.1	概要	...	426
8.1.1	TMT0, TMT1	...	426
8.1.2	TMT2, TMT3	...	426
8.2	機能	...	427
8.2.1	TMT0, TMT1	...	427
8.2.2	TMT2, TMT3	...	427
8.3	構成	...	428
8.3.1	TMT0, TMT1	...	428
8.3.2	TMT2, TMT3	...	431
8.4	レジスタ	...	434
8.5	タイマ出力動作説明	...	454
8.6	動作	...	455
8.6.1	インターバル・タイマ・モード (TTnMD3-TTnMD0ビット = 0000)	...	466
8.6.2	外部イベント・カウント・モード (TTnMD3-TTnMD0ビット = 0001)	...	476
8.6.3	外部トリガ・パルス出力モード (TTnMD3-TTnMD0ビット = 0010)	...	487
8.6.4	ワンショット・パルス出力モード (TTnMD3-TTnMD0ビット = 0011)	...	501
8.6.5	PWM出力モード (TTnMD3-TTnMD0ビット = 0100)	...	510
8.6.6	フリー・ランニング・タイマ・モード (TTnMD3-TTnMD0ビット = 0101)	...	520
8.6.7	パルス幅測定モード (TTnMD3-TTnMD0ビット = 0110)	...	539
8.6.8	三角波PWM出力モード (TTnMD3-TTnMD0ビット = 0111)	...	546
8.6.9	エンコーダ・カウント機能	...	550
8.6.10	エンコーダ・コンペア・モード (TTnMD3-TTnMD0ビット = 1000)	...	566

第9章 16ビット・インターバル・タイマM (TMM) ... 574

- 9.1 概 要 ... 574
- 9.2 構 成 ... 575
- 9.3 制御レジスタ ... 577
- 9.4 動 作 ... 578
 - 9.4.1 インターバル・タイマ・モード ... 578
- 9.5 注意事項 ... 582

第10章 モータ制御機能 ... 583

- 10.1 機能概要 ... 583
- 10.2 構 成 ... 584
- 10.3 制御レジスタ ... 588
- 10.4 動 作 ... 608
 - 10.4.1 システム概要説明 ... 608
 - 10.4.2 デッド・タイム制御 (逆相波信号の生成) ... 613
 - 10.4.3 割り込み間引き機能 ... 620
 - 10.4.4 転送機能付きレジスタの書き換え操作 ... 627
 - 10.4.5 A/D変換開始トリガ信号出力用TAAAnの同調動作 ... 645
 - 10.4.6 A/D変換開始トリガ出力機能 ... 649

第11章 ウォッチドッグ・タイマ機能 ... 654

- 11.1 機 能 ... 654
- 11.2 構 成 ... 655
- 11.3 制御レジスタ ... 656
- 11.4 動 作 ... 657
- 11.5 注意事項 ... 657

第12章 A/Dコンバータ0, 1 ... 658

- 12.1 特 徴 ... 658
- 12.2 構 成 ... 660
- 12.3 制御レジスタ ... 671
- 12.4 動 作 ... 704
 - 12.4.1 基本動作 ... 704
 - 12.4.2 入力電圧と変換結果 ... 706
 - 12.4.3 動作モード ... 708
 - 12.4.4 動作設定 ... 708
 - 12.4.5 1チャンネル変換の動作 ... 709
 - 12.4.6 複数チャンネル変換の動作 ... 710
 - 12.4.7 A/Dトリガ・モード (通常動作モード) ... 712
 - 12.4.8 A/Dトリガ・ポーリング・モード (通常動作モード) ... 714
 - 12.4.9 ハードウェア・トリガ・モード (通常動作モード) ... 716
 - 12.4.10 変換チャンネル指定モード (拡張動作モード) ... 718
 - 12.4.11 拡張バッファ・モード (拡張動作モード) ... 720
- 12.5 内部等価回路 ... 726
- 12.6 注意事項 ... 727
 - 12.6.1 変換動作の停止 ... 727

- 12. 6. 2 ハードウェア・トリガ・モード，変換チャンネル指定モード，拡張バッファ・モード時の変換動作中のトリガのインターバル ... 727
- 12. 6. 3 ADnSCMレジスタへの書き込み ... 727
- 12. 6. 4 A/D変換開始タイミング ... 728
- 12. 6. 5 スタンバイ・モード時の動作 ... 728
- 12. 6. 6 変換チャンネル指定モード，拡張バッファ・モード時のトリガの受け付けタイミング ... 728
- 12. 6. 7 A/D変換結果のばらつき ... 728
- 12. 6. 8 A/D変換のヒステリシス特性 ... 729
- 12. 6. 9 連続変換時のA/D変換トリガ間隔 ... 729
- 12. 7 A/Dコンバータ特性表の読み方 ... 730

第13章 A/Dコンバータ2 ... 734

- 13. 1 特 徴 ... 734
- 13. 2 構 成 ... 735
- 13. 3 制御レジスタ ... 739
- 13. 4 動 作 ... 745
 - 13. 4. 1 基本動作 ... 745
 - 13. 4. 2 トリガ・モード ... 747
 - 13. 4. 3 動作モード ... 748
- 13. 5 ソフトウェア・トリガ・モード時の動作 ... 756
- 13. 6 内部等価回路 ... 761
- 13. 7 注意事項 ... 762
- 13. 8 A/Dコンバータ特性表の読み方 ... 765

第14章 アシンクロナス・シリアル・インタフェースA (UARTA) ... 766

- 14. 1 特 徴 ... 766
- 14. 2 構 成 ... 767
 - 14. 2. 1 各チャンネルの端子機能について ... 769
- 14. 3 UARTAとほかのシリアル・インタフェースのモード切り替え ... 770
 - 14. 3. 1 UARTA0とCSIF0のモード切り替え ... 770
 - 14. 3. 2 UARTA1と²Cのモード切り替え ... 771
 - 14. 3. 3 UARTA2とCSIF1のモード切り替え ... 772
- 14. 4 制御レジスタ ... 773
- 14. 5 割り込み要求信号 ... 779
- 14. 6 動 作 ... 780
 - 14. 6. 1 データ・フォーマット ... 780
 - 14. 6. 2 UART送信 ... 782
 - 14. 6. 3 連続送信の手順説明 ... 783
 - 14. 6. 4 UART受信 ... 785
 - 14. 6. 5 受信エラー ... 786
 - 14. 6. 6 パリティの種類と動作 ... 787
 - 14. 6. 7 受信データのノイズ・フィルタ ... 788
- 14. 7 専用ポー・レート・ジェネレータ ... 789
- 14. 8 注意事項 ... 796

第15章 アシンクロナス・シリアル・インタフェースB (UARTB) ... 797

- 15. 1 特 徴 ... 797

15.2	構 成	...	798
15.2.1	各チャンネルの端子機能について	...	802
15.3	UARTBとCSIF2のモード切り替え	...	803
15.4	制御レジスタ	...	804
15.5	割り込み要求信号	...	820
15.6	制御方法	...	823
15.7	動 作	...	826
15.7.1	データ・フォーマット	...	826
15.7.2	送信動作	...	827
15.7.3	連続送信動作	...	830
15.7.4	受信動作	...	831
15.7.5	受信エラー	...	834
15.7.6	パリティの種類と動作	...	835
15.7.7	受信データのノイズ・フィルタ	...	836
15.8	専用ポー・レート・ジェネレータ (BRG)	...	837
15.9	制御フロー	...	843
15.10	注意事項	...	854

第16章 クロック同期式シリアル・インタフェースF (CSIF) ... 856

16.1	特 徴	...	856
16.2	構 成	...	857
16.2.1	各チャンネルの端子機能について	...	858
16.3	CSIFとほかのシリアル・インタフェースのモード切り替え	...	859
16.3.1	CSIF0とUARTA0のモード切り替え	...	859
16.3.2	CSIF1とUARTA2のモード切り替え	...	860
16.3.3	CSIF2とUARTBのモード切り替え	...	861
16.4	レジスタ	...	862
16.5	動 作	...	871
16.5.1	シングル転送モード (マスタ・モード, 送信モード)	...	871
16.5.2	シングル転送モード (マスタ・モード, 受信モード)	...	873
16.5.3	シングル転送モード (マスタ・モード, 送受信モード)	...	875
16.5.4	シングル転送モード (スレーブ・モード, 送信モード)	...	877
16.5.5	シングル転送モード (スレーブ・モード, 受信モード)	...	879
16.5.6	シングル転送モード (スレーブ・モード, 送受信モード)	...	881
16.5.7	連続転送モード (マスタ・モード, 送信モード)	...	883
16.5.8	連続転送モード (マスタ・モード, 受信モード)	...	885
16.5.9	連続転送モード (マスタ・モード, 送受信モード)	...	888
16.5.10	連続転送モード (スレーブ・モード, 送信モード)	...	892
16.5.11	連続転送モード (スレーブ・モード, 受信モード)	...	894
16.5.12	連続転送モード (スレーブ・モード, 送受信モード)	...	897
16.5.13	受信エラー	...	901
16.5.14	クロック・タイミング	...	902
16.6	出力端子	...	904

第17章 I²Cバス ... 905

17.1	特 徴	...	905
17.2	構 成	...	906
17.2.1	各チャンネルの端子機能について	...	910
17.3	I ² CとUARTA1のモード切り替え	...	911

17.4	レジスタ	...	912
17.5	機能	...	926
17.5.1	端子構成	...	926
17.6	I ² Cバスの定義および制御方法	...	927
17.6.1	スタート・コンディション	...	927
17.6.2	アドレス	...	928
17.6.3	転送方向指定	...	929
17.6.4	アクノリッジ (ACK)	...	930
17.6.5	ストップ・コンディション	...	931
17.6.6	ウェイト	...	932
17.6.7	ウェイト解除方法	...	934
17.7	I ² C割り込み要求信号 (INTIIC)	...	935
17.7.1	マスタ動作	...	936
17.7.2	スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致))	...	939
17.7.3	スレーブ動作 (拡張コード受信時)	...	943
17.7.4	通信不参加の動作	...	947
17.7.5	アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)	...	948
17.7.6	アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)	...	950
17.8	割り込み要求信号 (INTIIC) 発生タイミングおよびウェイト制御	...	957
17.9	アドレスの一致検出方法	...	958
17.10	エラーの検出	...	958
17.11	拡張コード	...	959
17.12	アービトレーション	...	960
17.13	ウエイク・アップ機能	...	961
17.14	通信予約	...	962
17.14.1	通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0)	...	962
17.14.2	通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1)	...	965
17.15	注意事項	...	966
17.16	通信動作	...	967
17.16.1	シングルマスタ・システムでのマスタ動作	...	968
17.16.2	マルチマスタ・システムでのマスタ動作	...	969
17.16.3	スレーブ動作	...	972
17.17	データ通信のタイミング	...	976

第18章 USBファンクション・コントローラ (USBF) ... 983

18.1	概要	...	983
18.2	構成	...	984
18.2.1	ブロック図	...	984
18.2.2	USBメモリ・マップ	...	985
18.3	外部回路構成	...	986
18.3.1	概要	...	986
18.3.2	接続構成	...	987
18.4	注意事項	...	989
18.5	リクエスト	...	990
18.5.1	自動リクエスト	...	990
18.5.2	その他のリクエスト	...	998
18.6	レジスタ構成	...	999
18.6.1	USB制御レジスタ	...	999
18.6.2	USBファンクション・コントローラ・レジスタ一覧	...	1000

18.6.3	EPC制御レジスタ	...	1016
18.6.4	データ保持レジスタ	...	1068
18.6.5	EPCリクエスト・データ・レジスタ	...	1091
18.6.6	ブリッジ・レジスタ	...	1106
18.7	STALLハンドシェークまたはノー・ハンドシェーク	...	1112
18.8	特定状態でのレジスタ値	...	1113
18.9	FW処理	...	1115
18.9.1	初期化处理	...	1117
18.9.2	割り込み処理	...	1120
18.9.3	USBメイン処理	...	1121
18.9.4	Suspend/Resume処理	...	1148
18.9.5	電源投入後の処理	...	1151

第19章 バス制御機能 ... 1154

19.1	特 徴	...	1154
19.2	バス制御端子	...	1155
19.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	...	1155
19.3	メモリ・ブロック機能	...	1156
19.3.1	チップ・セレクト制御機能	...	1157
19.4	バス・サイクル・タイプ制御機能	...	1157
19.5	バス・アクセス	...	1158
19.5.1	アクセス・クロック数	...	1158
19.5.2	バス・サイジング機能	...	1159
19.5.3	エンディアン機能	...	1160
19.5.4	バス幅	...	1160
19.6	ウェイト機能	...	1167
19.6.1	プログラマブル・ウェイト機能	...	1167
19.6.2	外部ウェイト機能	...	1170
19.6.3	プログラマブル・ウェイトと外部ウェイトの関係	...	1170
19.6.4	ウェイト機能が有効なバス・サイクル	...	1171
19.7	アイドル・ステート挿入機能	...	1172
19.8	バス・タイミング	...	1175
19.9	バスの優先順位	...	1185
19.10	境界動作条件	...	1185
19.10.1	プログラム空間	...	1185
19.10.2	データ空間	...	1185

第20章 DMA機能 (DMAコントローラ) ... 1186

20.1	特 徴	...	1186
20.2	構 成	...	1187
20.2.1	DMAの構成	...	1187
20.2.2	動作概要	...	1188
20.2.3	DMA転送クロック数	...	1188
20.3	制御レジスタ	...	1189
20.3.1	DMA転送先アドレス指定レジスタ0-6 (DDAR0-DDAR6)	...	1189
20.3.2	DMA転送元アドレス指定レジスタ0-6 (DSAR0-DSAR6)	...	1192
20.3.3	DMA転送回数指定レジスタ0-6 (DTCR0-DTCR6)	...	1195
20.3.4	DMAアドレッシング・コントロール・レジスタ0-6 (DADC0-DADC6)	...	1196
20.3.5	DMAチャンネル・コントロール・レジスタ0-6 (DCHC0-DCHC6)	...	1197

20.3.6	DMAステータス・レジスタ (DMAS)	...	1200
20.3.7	DMAイネーブル・レジスタ (DEN)	...	1201
20.3.8	DMAストップ・レジスタ (DMSTP)	...	1202
20.3.9	DMAトリガ要因レジスタn (DTFRn)	...	1203
20.4	転送モード	...	1208
20.4.1	シングル転送モード	...	1208
20.4.2	シングルステップ転送モード	...	1211
20.5	転送タイプ	...	1214
20.6	転送対象	...	1214
20.7	DMAチャンネルの優先順位	...	1214
20.8	ネクスト・アドレス設定機能	...	1215
20.9	バッファ・レジスタ構成	...	1216
20.10	DMA転送の起動要因	...	1217
20.11	中 断	...	1218
20.12	DMA転送の終了	...	1219
20.13	強制終了	...	1219
20.14	注意事項	...	1220

第21章 割り込み / 例外処理機能 ... 1222

21.1	特 徴	...	1222
21.2	ノンマスカブル割り込み	...	1228
21.2.1	動 作	...	1229
21.2.2	復 帰	...	1231
21.2.3	ノンマスカブル割り込みステータス・フラグ (NP)	...	1232
21.3	マスカブル割り込み	...	1233
21.3.1	動 作	...	1233
21.3.2	復 帰	...	1235
21.3.3	マスカブル割り込みの優先順位	...	1236
21.3.4	割り込み制御レジスタ (xxICn)	...	1240
21.3.5	割り込みマスク・レジスタ0-6 (IMR0-IMR6)	...	1245
21.3.6	インサースビス・プライオリティ・レジスタ (ISPR)	...	1248
21.3.7	マスカブル割り込みステータス・フラグ (ID)	...	1249
21.4	外部割り込み要求入力端子 (INTP00-INTP19, INTADT0, INTADT1)	...	1250
21.4.1	ノイズ除去	...	1250
21.4.2	エッジ検出	...	1250
21.5	ソフトウェア例外	...	1256
21.5.1	動 作	...	1256
21.5.2	復 帰	...	1257
21.5.3	例外ステータス・フラグ (EP)	...	1258
21.6	例外トラップ	...	1259
21.6.1	不正命令コード	...	1259
21.6.2	デバッグ・トラップ	...	1261
21.7	多重割り込み処理制御	...	1263
21.8	CPUの割り込み応答時間	...	1265
21.9	CPUが割り込みを受け付けない期間	...	1267
21.10	注意事項	...	1267

第22章 スタンバイ機能 ... 1268

22.1	概 要	...	1268
------	------------	-----	------

22.2	制御レジスタ	...	1270
22.3	HALTモード	...	1271
22.3.1	設定および動作状態	...	1271
22.3.2	HALTモードの解除	...	1271
22.4	IDLEモード	...	1273
22.4.1	設定および動作状態	...	1273
22.4.2	IDLEモードの解除	...	1273
22.5	STOPモード	...	1275
22.5.1	設定および動作状態	...	1275
22.5.2	STOPモードの解除	...	1275
22.6	発振安定時間の確保	...	1277
第23章	リセット機能	...	1278
23.1	概 要	...	1278
23.2	制御レジスタ	...	1279
23.3	動 作	...	1281
第24章	低電圧検出回路	...	1284
24.1	機 能	...	1284
24.2	構 成	...	1285
24.3	制御レジスタ	...	1286
24.4	動 作	...	1288
24.4.1	内部リセット信号として使用する場合	...	1288
24.4.2	割り込みとして使用する場合	...	1290
第25章	パワーオン・クリア回路	...	1291
25.1	機 能	...	1291
25.2	構 成	...	1292
25.3	動 作	...	1293
第26章	オンチップ・デバッグ機能	...	1294
26.1	DCUを使用する方法（トレース機能あり）	...	1295
26.1.1	機能概要	...	1295
26.1.2	パートナー製オンチップ・デバッグ・エミュレータとの接続	...	1298
26.2	DCUを使用する方法（トレース機能なし）	...	1301
26.2.1	接続回路例	...	1301
26.2.2	インタフェース信号	...	1305
26.2.3	マスク機能	...	1306
26.2.4	注意事項	...	1307
26.3	DCUを使用しない方法	...	1308
26.3.1	接続回路例	...	1308
26.3.2	マスク機能	...	1311
26.3.3	ユーザ資源の確保	...	1311
26.3.4	注意事項	...	1318
26.4	ROMセキュリティ機能	...	1319
26.4.1	セキュリティID	...	1319
26.4.2	設定方法	...	1320

第27章 フラッシュ・メモリ ... 1321

- 27.1 特 徴 ... 1321
- 27.2 メモリ構成 ... 1322
- 27.3 機能概要 ... 1323
 - 27.3.1 消去単位 ... 1325
 - 27.3.2 セキュリティ機能 ... 1325
- 27.4 フラッシュ・メモリ・プログラマによる書き込み方法 ... 1326
- 27.5 フラッシュ・メモリ・プログラミング環境 ... 1327
- 27.6 フラッシュ・メモリ・プログラミングの通信方式 ... 1328
- 27.7 フラッシュ・メモリ・プログラミング時の端子処理 ... 1337
 - 27.7.1 電 源 ... 1337
 - 27.7.2 使用端子 ... 1337
 - 27.7.3 RESET端子 ... 1340
 - 27.7.4 FLMD0, FLMD1端子 ... 1340
 - 27.7.5 ポート端子 ... 1341
 - 27.7.6 その他の信号端子 ... 1341
- 27.8 フラッシュ・メモリ・プログラミング方法 ... 1342
 - 27.8.1 フラッシュ・メモリ制御 ... 1342
 - 27.8.2 通信方式の選択 ... 1343
 - 27.8.3 通信コマンド ... 1344
- 27.9 セルフ・プログラミングによる書き換え ... 1346
 - 27.9.1 概 要 ... 1346
 - 27.9.2 特 徴 ... 1347
 - 27.9.3 標準セルフ・プログラミング・フロー ... 1348
 - 27.9.4 フラッシュ関数一覧 ... 1349
 - 27.9.5 端子処理 ... 1350
 - 27.9.6 使用する内部資源 ... 1351

第28章 電気的特性 ... 1352

- 28.1 V850E/IG4-H ... 1352
 - 28.1.1 絶対最大定格 ... 1352
 - 28.1.2 容 量 ... 1353
 - 28.1.3 動作条件 ... 1353
 - 28.1.4 クロック発振回路特性 ... 1353
 - 28.1.5 DC特性 ... 1354
 - 28.1.6 データ保持特性 ... 1356
 - 28.1.7 AC特性 ... 1357
 - 28.1.8 A/Dコンバータ0,1特性 ... 1375
 - 28.1.9 A/Dコンバータ2特性 ... 1376
 - 28.1.10 オペアンプ特性 ... 1377
 - 28.1.11 コンパレータ特性 ... 1378
 - 28.1.12 パワーオン・クリア回路 (POC) ... 1379
 - 28.1.13 低電圧検出回路 (LVI) ... 1380
 - 28.1.14 電源電圧投入/切断タイミング ... 1381
 - 28.1.15 フラッシュ・メモリ・プログラミング特性 ... 1383
- 28.2 V850E/IH4-H ... 1384
 - 28.2.1 絶対最大定格 ... 1384
 - 28.2.2 容 量 ... 1385

28.2.3	動作条件	...	1385
28.2.4	クロック発振回路特性	...	1385
28.2.5	DC特性	...	1386
28.2.6	データ保持特性	...	1388
28.2.7	AC特性	...	1389
28.2.8	A/Dコンバータ0,1特性	...	1411
28.2.9	A/Dコンバータ2特性	...	1412
28.2.10	オペアンプ特性	...	1413
28.2.11	コンパレータ特性	...	1414
28.2.12	パワーオン・クリア回路 (POC)	...	1415
28.2.13	低電圧検出回路 (LVI)	...	1416
28.2.14	電源電圧投入/切断タイミング	...	1417
28.2.15	フラッシュ・メモリ・プログラミング特性	...	1419

第29章 外形図 ... 1420

第30章 半田付け推奨条件 ... 1422

付録A 注意事項 ... 1423

A.1	sld命令と割り込み競合に関する制限事項	...	1423
A.1.1	内容	...	1423
A.1.2	回避策	...	1423

付録B レジスタ索引 ... 1424

付録C 命令セット一覧 ... 1448

C.1	凡例	...	1448
C.2	インストラクション・セット (アルファベット順)	...	1451

付録D 改版履歴 ... 1457

D.1	本版で改訂された主な箇所	...	1457
D.2	前版までの改版履歴	...	1458

第1章 イン트로ダクション

V850E/IG4-H, V850E/IH4-Hは、ルネサス エレクトロニクス シングルチップ・マイクロコントローラ「V850マイコン」の1製品です。この章では、V850E/IG4-H, V850E/IH4-Hの概要を説明します。

1.1 概 説

V850E/IG4-H, V850E/IH4-Hは、V850E1 CPUコアを使用し、ROM/RAM、DMAコントローラ、タイマ/カウンタ、ウォッチドッグ・タイマ、シリアル・インタフェース、USBファンクション・コントローラ、A/Dコンバータ、オンチップ・デバッグなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850E/IG4-H, V850E/IH4-Hは、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、モータのインバータ制御などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

表1 - 1にV850E/IG4-H, V850E/IH4-Hの製品一覧について示します。

表1 - 1 V850E/IG4-H, V850E/IH4-Hの製品一覧

製品名	機能	パッケージ	ROM		RAM サイズ	動作周波数 (MAX.)	マスクابل割り込み		ノンマスクابل 割り込み
			種類	サイズ			外部	内部	
V850E/IG4-H	μ PD70F3919	100GC	フラッシュ・ メモリ	256 Kバイト	24 Kバイト	100 MHz	22本	83本	1本
	μ PD70F3920			384 Kバイト					
	μ PD70F3921			480 Kバイト					
V850E/IH4-H	μ PD70F3922	128GF		256 Kバイト					
	μ PD70F3923			384 Kバイト					
	μ PD70F3924			480 Kバイト					

備考 100GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

128GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

表1 - 2にV850E/IG4-HとV850E/IH4-Hの機能の違いを示します。

表1 - 2 V850E/IG4-HとV850E/IH4-Hの機能の違い

項 目		V850E/IG4-H	V850E/IH4-H
ポート機能	入出力	51本	68本
	入力	12本	12本
	内蔵プルアップ抵抗	51本	68本
外部バス機能	セパレート・バス・モード	なし	あり
タイマAB0, タイマAB1	入力端子	TIB00-TIB03	TIB00-TIB03 TIB10-TIB13
	出力端子	TOB00-TOB03 TOB10	TOB00-TOB03 TOB10-TOB13
モータ制御機能	6相PWM出力モード 用出力端子	TOB0B1-TOB0B3 TOB1B3 TOB0T1-TOB0T3 TOB1T3	TOB0B1-TOB0B3 TOB1B1-TOB1B3 TOB0T1-TOB0T3 TOB1T1-TOB1T3
	6相PWM出力モード	TAB0 + TMQOP0 (+ TAA0)	TAB0 + TMQOP0 (+ TAA0) TAB1 + TMQOP1 (+ TAA1)
A/Dコンバータ1	アナログ入力	3 ch	4 ch
オンチップ・デバッグ機能	トレース機能	なし	あり
電源		EV _{DD0} -EV _{DD2} EV _{SS0} -EV _{SS2} , EV _{SS4} V _{DD0} -V _{DD2} V _{SS0} -V _{SS2} AV _{DD0} -AV _{DD2} AV _{SS0} -AV _{SS2}	EV _{DD0} -EV _{DD3} EV _{SS0} -EV _{SS4} V _{DD0} -V _{DD2} V _{SS0} -V _{SS2} AV _{DD0} -AV _{DD2} AV _{SS0} -AV _{SS2} FV _{DD}
パッケージ		100ピン・プラスチックLQFP (14 × 14)	128ピン・プラスチックLQFP (14 × 20)

1.2 特 徴

最小命令実行時間	10 ns (内部100 MHz動作時)
汎用レジスタ	32ビット×32本
CPUの特徴	符号付き乗算 (16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット) : 1-2クロック 飽和演算命令 (オーバフロー/アンダフロー検出機能付き) 32ビット・シフト命令 : 1クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令 符号付きロード命令

メモリ空間	256 Mバイト・リニア・アドレス空間 (プログラム/データ共有) チップ・セレクト出力機能 : 3空間 [※]
-------	--

注 $\overline{CS2}$ はV850E/IG4-H, V850E/IH4-Hの外部信号としては存在しません。
V850E/IG4-H, V850E/IH4-H内部でUSBファンクション領域に対するチップ・セレクト信号として使用しています。

メモリ・ブロック分割機能 : 2 Mバイト/ブロック

・外部バス・インタフェース

バス・モード

- ・V850E/IG4-H : マルチプレクス・バス・モード
- ・V850E/IH4-H : マルチプレクス・バス・モード/セパレート・バス・モード

8/16ビット・データ・バス・サイジング機能

外部バス・クロック周波数 (f_{BUS}) = $f_{CLK}/4$

ウェイト機能

- ・プログラマブル・ウェイト機能
- ・外部ウェイト機能

アイドル・ステート機能

アドレス・セットアップ・ウェイト機能

内蔵メモリ	RAM	: 24 Kバイト (表1 - 1参照)
	フラッシュ・メモリ	: 256/384/480 Kバイト (表1 - 1参照)

オンチップ・デバッグ機能 MINICUBE[®], MINICUBE2に対応

割り込み / 例外

ノンマスカブル割り込み	: 1要因 (内部: 1要因, 外部: なし)
マスカブル割り込み	: 105要因 (外部: 22要因, 内部: 83要因)
ソフトウェア例外	: 32要因
例外トラップ	: 2要因

DMAコントローラ

7チャンネル構成	
転送単位	: 8ビット / 16ビット / 32ビット
最大転送回数	: 4096 (2^{12}) 回
転送タイプ	: 2サイクル転送
転送モード	: シングル転送 / シングルステップ転送
転送対象	: 内蔵周辺I/O 内蔵RAM
転送要求	: 内蔵周辺I/O / ソフトウェア
ネクスト・アドレス設定機能	

I/Oライン

V850E/IG4-H	: 合計63 (入力専用ポート: 12, 入出力ポート: 51)
V850E/IH4-H	: 合計80 (入力専用ポート: 12, 入出力ポート: 68)

タイマ / カウンタ機能

16ビット・インターバル・タイマM (TMM)	: 4 ch
16ビット・タイマ / イベント・カウンタAA (TAA)	: 3 ch
16ビット・タイマ / イベント・カウンタAB (TAB)	: 2 ch
16ビット・タイマ / イベント・カウンタT (TMT)	: 4 ch
モータ制御機能	
(V850E/IG4-Hの使用タイマ TAB: 1 ch (TAB0), TAA: 1 ch (TAA0))	
(V850E/IH4-Hの使用タイマ TAB: 2 ch (TAB0, TAB1), TAA: 2 ch (TAA0, TAA1))	
16ビット精度のデッド・タイム付き6相PWM機能	
V850E/IG4-H	: 1 ch
V850E/IH4-H	: 2 ch
ハイ・インピーダンス出力制御機能	
タイマ同調動作機能によるA/Dトリガ生成	
任意の周期設定機能	
任意のデッド・タイム設定機能	
ウォッチドッグ・タイマ	: 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)
 アシンクロナス・シリアル・インタフェースB (UARTB)
 クロック同期式シリアル・インタフェースF (CSIF)
 I²Cバス・インタフェース (I²C)
 USBファンクション・コントローラ (USBF)

UARTA0/CSIF0 : 1 ch
 UARTA1/I²C : 1 ch
 UARTA2/CSIF1 : 1 ch
 UARTB/CSIF2 : 1 ch
 USBF : 1 ch

A/Dコンバータ

- ・ 12ビット分解能A/Dコンバータ (A/Dコンバータ0, 1)
 V850E/IG4-H : 4 ch + 3 ch (2ユニット)
 V850E/IH4-H : 4 ch + 4 ch (2ユニット)
 A/Dコンバータ0の3 ch, A/Dコンバータ1の3 chには入力レベル増幅用オペアンプと過電圧検出用コンパレータを内蔵
- ・ 10ビット分解能A/Dコンバータ (A/Dコンバータ2) : 12 ch (1ユニット)

クロック・ジェネレータ

10 ~ 12.5 MHzの発振子を接続可能 (外部クロック入力禁止)
 PLLクロック・シンセサイザによる通倍機能 (8通倍固定, $f_{xx} = 80 \sim 100$ MHz)
 CPUクロック分周機能 ($f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8$)

パワー・セーブ機能 HALT/IDLE/STOPモード

パワーオン・クリア機能

低電圧検出機能

パッケージ

- ・ V850E/IG4-H : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)
- ・ V850E/IH4-H : 128ピン・プラスチックLQFP (ファインピッチ) (14 × 20)

動作電源電圧

A/Dコンバータ0-2動作時:
 $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65$ V
 FV_{DD} (V850E/IH4-Hのみ) = 4.0 ~ 5.5 V
 $EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3}$ (V850E/IH4-Hのみ) = $AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5$ V
 A/Dコンバータ0-2非動作時:
 $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65$ V
 FV_{DD} (V850E/IH4-Hのみ) = 4.0 ~ 5.5 V
 $EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3}$ (V850E/IH4-Hのみ) = $AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5$ V

1.3 応用分野

- ・民生機器（インバータ・エアコン，洗濯機，洗濯乾燥機，冷蔵庫など）
- ・産業機器（モータ制御，汎用インバータなど）

1.4 オーダ情報

1.4.1 V850E/IG4-H

品名	パッケージ	内蔵ROM（フラッシュ・メモリ）
μ PD70F3919GC-UEU-AX	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	256 Kバイト
μ PD70F3920GC-UEU-AX		384 Kバイト
μ PD70F3921GC-UEU-AX		480 Kバイト

備考 V850E/IG4-Hは，鉛フリー製品です。

1.4.2 V850E/IH4-H

品名	パッケージ	内蔵ROM（フラッシュ・メモリ）
μ PD70F3922GF-GAT-AX	128ピン・プラスチックLQFP（ファインピッチ）（14×20）	256 Kバイト
μ PD70F3923GF-GAT-AX		384 Kバイト
μ PD70F3924GF-GAT-AX		480 Kバイト

備考 V850E/IH4-Hは，鉛フリー製品です。

1.5 端子接続図

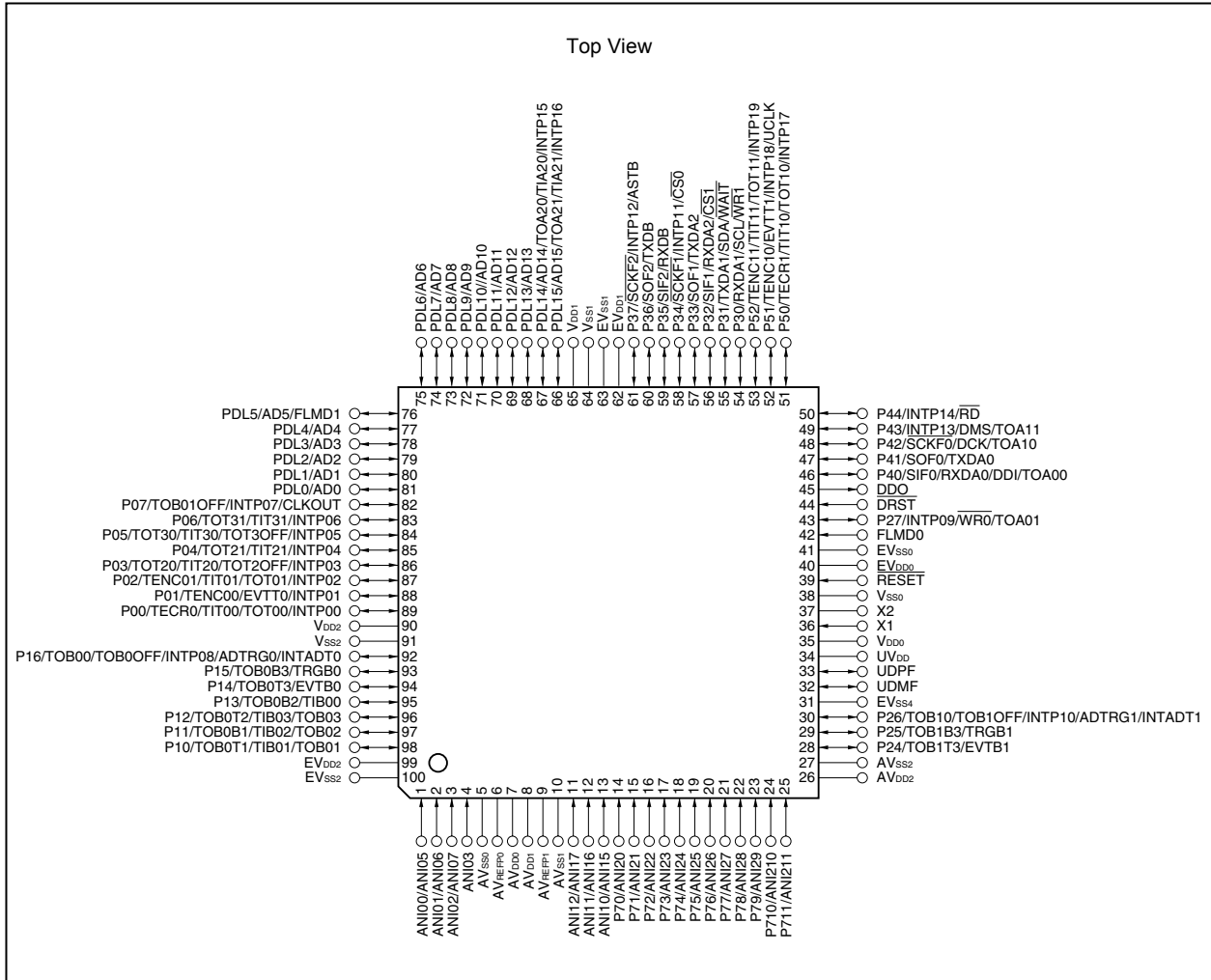
1.5.1 V850E/IG4-H

- ・ 100ピン・プラスチックLQFP（ファインピッチ）（14×14）

μ PD70F3919GC-UEU-AX

μ PD70F3920GC-UEU-AX

μ PD70F3921GC-UEU-AX



端子名称

AD0-AD15	: Address/Data Bus	SDA	: Serial Data
ADTRG0, ADTRG1	: A/D Trigger Input	SIF0-SIF2	: Serial Input
ANI00-ANI07,	: Analog Input	SOF0-SOF2	: Serial Output
ANI10-ANI12,		TECR0, TECR1	: Timer Encoder Clear Input
ANI15-ANI17,		TENC00, TENC01,	: Timer Encoder Input
ANI20-ANI211		TENC10, TENC11	
ASTB	: Address Strobe	TIA20, TIA21,	: Timer Trigger Input
AV _{DD0} -AV _{DD2}	: Analog Power Supply	TIB00-TIB03,	
AV _{REFP0} , AV _{REFP1}	: Analog Reference Voltage	TIT00, TIT01,	
AV _{SS0} -AV _{SS2}	: Analog Ground	TIT10, TIT11,	
CLKOUT	: Clock Output	TIT20, TIT21,	
$\overline{CS0}$, $\overline{CS1}$: Chip Select	TIT30, TIT31	
DCK	: Debug Clock	TOA00, TOA01,	: Timer Output
DDI	: Debug Data Input	TOA10, TOA11,	
DDO	: Debug Data Output	TOA20, TOA21,	
DMS	: Debug Mode Select	TOB00-TOB03,	
\overline{DRST}	: Debug Reset	TOB0B1-TOB0B3,	
EV _{DD0} -EV _{DD2}	: Power Supply for Port	TOB0T1-TOB0T3,	
EV _{SS0} -EV _{SS2} ,	: Ground for Port	TOB10, TOB1B3,	
EV _{SS4}		TOB1T3,	
EVTB0, EVTB1,	: Timer Event Count Input	TOT00, TOT01,	
EVTT0, EVT11		TOT10, TOT11,	
FLMD0, FLMD1	: Flash Programming Mode	TOT20, TOT21,	
INTADT0, INTADT1,	: External Interrupt Input	TOT30, TOT31	
INTP00-INTP19		TOB01OFF,	: Timer Output Off
P00-P07	: Port 0	TOB0OFF, TOB1OFF,	
P10-P16	: Port 1	TOT2OFF, TOT3OFF	
P24-P27	: Port 2	TRGB0, TRGB1	: Timer Trigger Input
P30-P37	: Port 3	TXDA0-TXDA2,	: Transmit Data
P40-P44	: Port 4	TXDB	
P50-P52	: Port 5	UCLK	: USB Clock
P70-P711	: Port 7	UDMF	: USB Data I/O (-) Function
PDL0-PDL15	: Port DL	UDPF	: USB Data I/O (+) Function
\overline{RD}	: Read Strobe	UV _{DD}	: Power Supply for USB
\overline{RESET}	: Reset	V _{DD0} -V _{DD2}	: Power Supply
RXDA0-RXDA2,	: Receive Data	V _{SS0} -V _{SS2}	: Ground
RXDB		\overline{WAIT}	: Wait
$\overline{SCKF0}$ - $\overline{SCKF2}$: Serial Clock	$\overline{WR0}$, $\overline{WR1}$: Write Strobe
SCL	: Serial Clock	X1, X2	: Clock Oscillator Pin

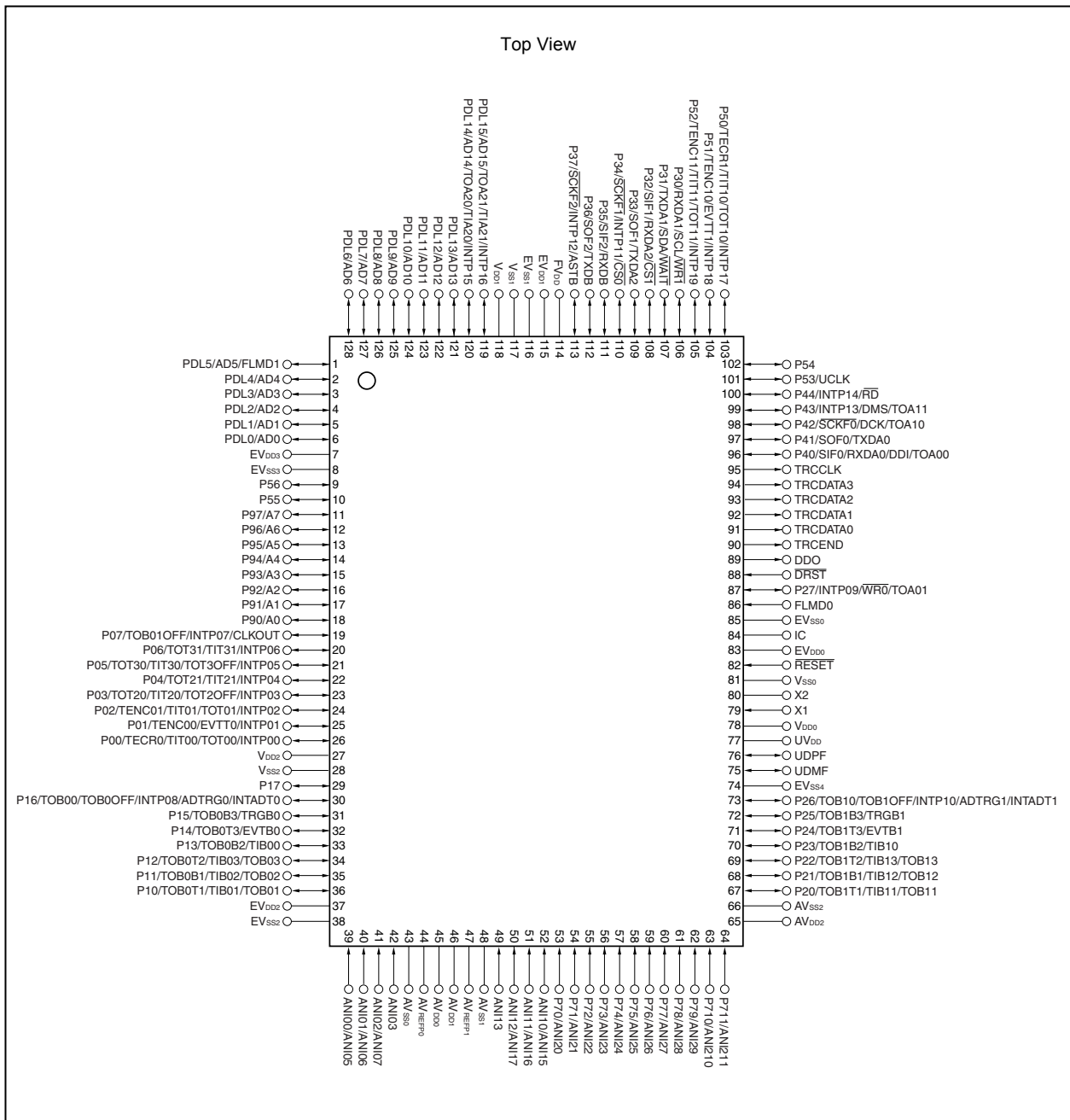
1.5.2 V850E/IH4-H

・ 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

μPD70F3922GF-GAT-AX

μPD70F3923GF-GAT-AX

μPD70F3924GF-GAT-AX



端子名称

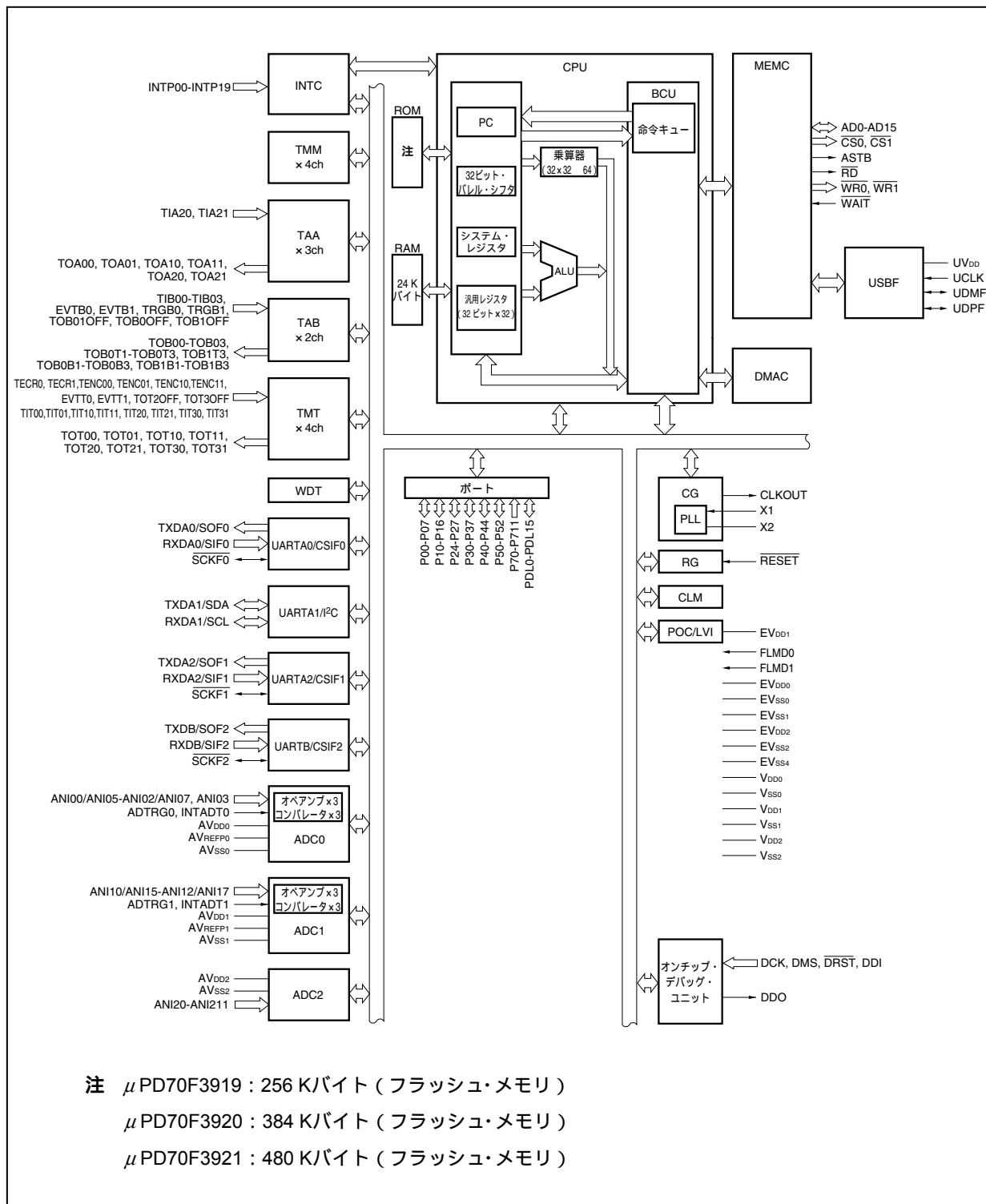
A0-A7	: Address Bus	SDA	: Serial Data
AD0-AD15	: Address/Data Bus	SIF0-SIF2	: Serial Input
ADTRG0, ADTRG1	: A/D Trigger Input	SOF0-SOF2	: Serial Output
ANI00-ANI07,	: Analog Input	TECR0, TECR1	: Timer Encoder Clear Input
ANI10-ANI17,		TENC00, TENC01,	: Timer Encoder Input
ANI20-ANI211		TENC10, TENC11	
ASTB	: Address Strobe	TIA20, TIA21,	: Timer Trigger Input
AV _{DD0} -AV _{DD2}	: Analog Power Supply	TIB00-TIB03,	
AV _{REFP0} , AV _{REFP1}	: Analog Reference Voltage	TIB10-TIB13,	
AV _{SS0} -AV _{SS2}	: Analog Ground	TIT00, TIT01,	
CLKOUT	: Clock Output	TIT10, TIT11,	
$\overline{CS0}$, $\overline{CS1}$: Chip Select	TIT20, TIT21,	
DCK	: Debug Clock	TIT30, TIT31	
DDI	: Debug Data Input	TOA00, TOA01,	: Timer Output
DDO	: Debug Data Output	TOA10, TOA11,	
DMS	: Debug Mode Select	TOA20, TOA21,	
\overline{DRST}	: Debug Reset	TOB00-TOB03,	
EV _{DD0} -EV _{DD3}	: Power Supply for Port	TOB0B1-TOB0B3,	
EV _{SS0} -EV _{SS4}	: Ground for Port	TOB0T1-TOB0T3,	
EVTB0, EVTB1,	: Timer Event Count Input	TOB10-TOB13,	
EVTT0, EVT11		TOB1B1-TOB1B3,	
FLMD0, FLMD1	: Flash Programming Mode	TOB1T1-TOB1T3,	
FV _{DD}	: Power Supply for Flash Memory	TOT00, TOT01,	
IC	: Internally Connected	TOT10, TOT11,	
INTADT0, INTADT1,	: External Interrupt Input	TOT20, TOT21,	
INTP00-INTP19		TOT30, TOT31	
P00-P07	: Port 0	TOB01OFF,	: Timer Output Off
P10-P17	: Port 1	TOB0OFF, TOB1OFF,	
P20-P27	: Port 2	TOT2OFF, TOT3OFF	
P30-P37	: Port 3	TRCCLK	: Trace Clock
P40-P44	: Port 4	TRCDATA0-	: Trace Data Output
P50-P56	: Port 5	TRCDATA3	
P70-P711	: Port 7	TRCEND	: Trace End Status Output
P90-P97	: Port 9	TRGB0, TRGB1	: Timer Trigger Input
PDL0-PDL15	: Port DL	TXDA0-TXDA2,	: Transmit Data
\overline{RD}	: Read Strobe	TXDB	
\overline{RESET}	: Reset	UCLK	: USB Clock
RXDA0-RXDA2,	: Receive Data	UDMF	: USB Data I/O (-) Function
RXDB		UDPF	: USB Data I/O (+) Function
SCKF0-SCKF2	: Serial Clock	UV _{DD}	: Power Supply for USB
SCL	: Serial Clock	V _{DD0} -V _{DD2}	: Power Supply

V_{SS0}-V_{SS2} : Ground
 $\overline{\text{WAIT}}$: Wait
 $\overline{\text{WR0}}$, $\overline{\text{WR1}}$: Write Strobe
X1, X2 : Clock Oscillator Pin

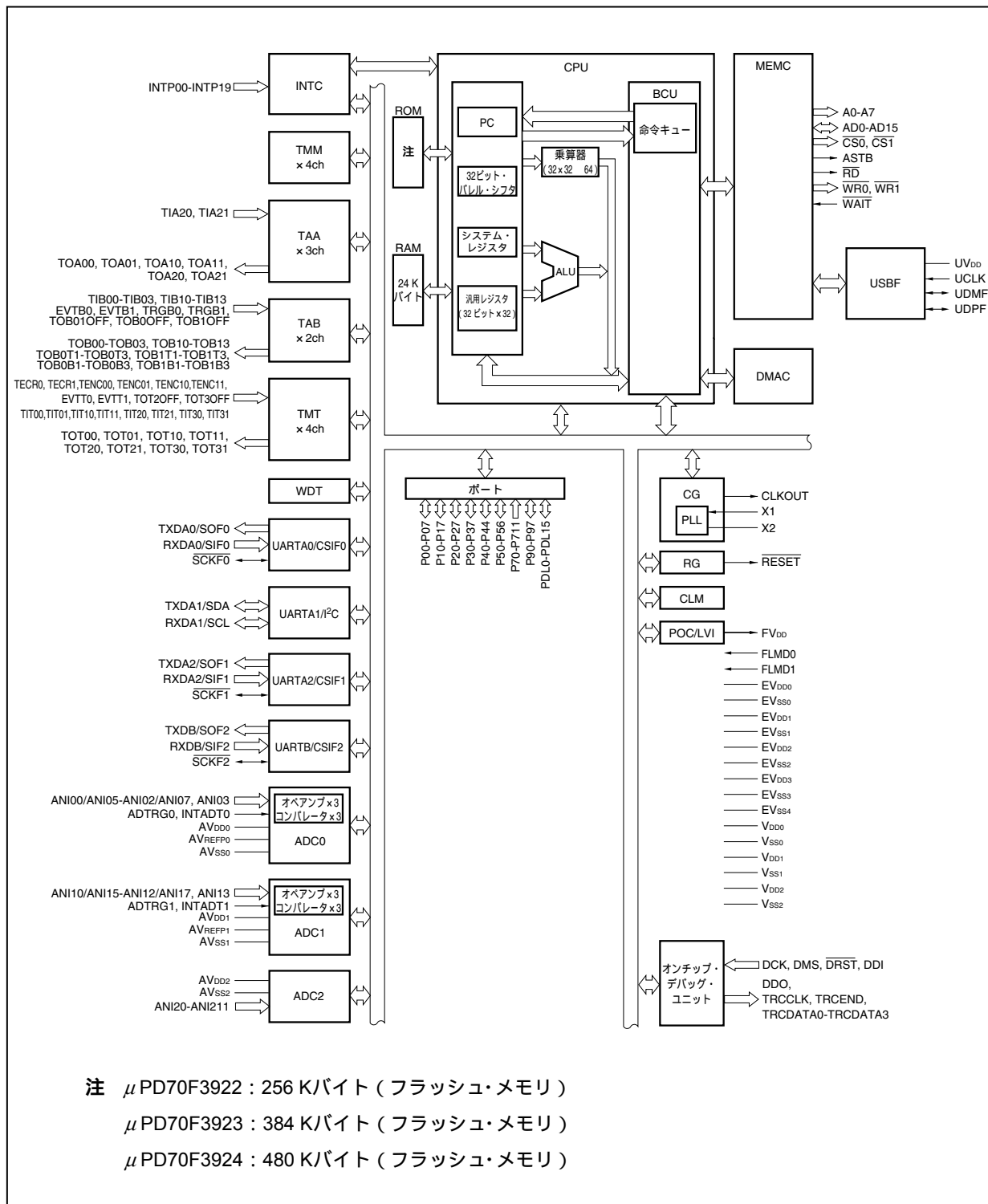
1.6 機能ブロック構成

1.6.1 内部ブロック図

(1) V850E/IG4-H



(2) V850E/IH4-H



1.6.2 内部ユニット

(1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器 (32ビット×32ビット 64ビット), バレル・シフタ (32ビット) などの専用ハードウェアを内蔵し, 複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, CPU内部の命令キューに取り込まれます。

BCUは, メモリ・コントローラ (MEMC) を制御し, 外部メモリへのアクセスを行います。

(a) メモリ・コントローラ (MEMC)

SRAM, 外部ROM, 外部I/Oのアクセス制御を行います。

(b) DMAコントローラ (DMAC)

CPUの代わりに, 内蔵周辺I/O 内蔵RAM間でのデータの転送を行います。

転送タイプには, 2サイクル転送があります。転送モードには, シングル転送, シングルステップ転送の2種類があります。

(3) ROM

0000000H-0077FFFH/0000000H-005FFFFH/0000000H-003FFFFH 番地にマッピングされる480/384/256 Kバイトのフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

FFF9000H-FFFEFFFH番地にマッピングされる24 KバイトのRAMです。

命令フェッチ時, データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア, および外部からのハードウェア割り込み要求 (INTP00-INTP19, INTADT0, INTADT1) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位が指定でき, 多重処理制御ができます。

(6) クロック・ジェネレータ (CG)

クロック・ジェネレータの基本動作として, PLLモード (8通倍固定) とクロック・スルー・モードの2種類を備えています。4種類 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8) のクロックを生成して, そのうちの1つをCPUの動作クロック (f_{CPU}) として供給します。

(7) タイマ/カウンタ

16ビット・インターバル・タイマM (TMM) を4チャンネル, 16ビット・タイマ/イベント・カウンタAA (TAA) を3チャンネル, 16ビット・タイマ/イベント・カウンタAB (TAB) を2チャンネル, 16ビット・タイマ/イベント・カウンタT (TMT) を4チャンネル内蔵しています。パルス間隔や周波数の計測, モータ制御用インバータ機能, プログラマブルなパルスの出力ができます。

(8) ウォッチドッグ・タイマ (WDT)

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。オーバフローでノンマスカブル割り込み要求信号 (INTWDT) か内部リセット信号 (WDTRES) を発生します。

(9) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA) を3チャンネル, アシンクロナス・シリアル・インタフェースB (UARTB) を1チャンネル, クロック同期式シリアル・インタフェースF (CSIF) を3チャンネル, I²Cバス・インタフェース (I²C) を1チャンネル内蔵しています。このうちUARTA0とCSIF0, UARTA1とI²C, UARTA2とCSIF1, UARTBとCSIF2は, 端子を兼用しています。

UARTAは, TXDAn, RXDAn端子によりデータ転送を行います (n = 0-2)。

UARTBは, TXDB, RXDB端子によりデータ転送を行います。

CSIFは, SOFn, SIFn, $\overline{\text{SCKFn}}$ 端子によりデータ転送を行います (n = 0-2)。

I²Cは, SCL, SDA端子によりデータ転送を行います。

USBFは, UDMF, UDPF端子によりデータ転送を行います。

(10) A/Dコンバータ (ADC)

V850E/IG4-Hの場合は4 ch, 3 ch, V850E/IH4-Hの場合は4 ch, 4 chのアナログ入力端子を持つ高速, 高分解能の12ビットA/Dコンバータ (ADC0, ADC1) を2ユニット, 12 chのアナログ入力端子を持つ10ビットA/Dコンバータ (ADC2) を1ユニット内蔵しています。

ADC0, ADC1にはそれぞれオペアンプとコンパレータを, 3回路ずつ内蔵しており, アナログ入力電圧の増幅と過電圧入力の検出が可能です。

(11) オンチップ・デバッグ機能

MINICUBE, MINICUBE2に対応したオンチップ・デバッグ機能が実現できます。それにより簡単で安価なデバッグ環境が構築できます。

(12) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
ポート0	8ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力, 外部バス・インタフェース制御信号出力
ポート1	7ビット入出力 (V850E/IG4-H) 8ビット入出力 (V850E/IH4-H)	タイマ/カウンタ入出力, A/Dコンバータ0の外部トリガ入力, 外部割り込み入力
ポート2	4ビット入出力 (V850E/IG4-H) 8ビット入出力 (V850E/IH4-H)	タイマ/カウンタ入出力, A/Dコンバータ1の外部トリガ入力, 外部割り込み入力, 外部バス・インタフェース制御信号出力
ポート3	8ビット入出力	シリアル・インタフェース入出力, 外部割り込み入力, 外部バス・インタフェース制御信号入出力
ポート4	5ビット入出力	シリアル・インタフェース入出力, タイマ/カウンタ出力, デバッグ入力, 外部割り込み入力, 外部バス・インタフェース制御信号出力
ポート5	3ビット入出力 (V850E/IG4-H) 7ビット入出力 (V850E/IH4-H)	タイマ/カウンタ入出力, 外部割り込み入力, シリアル・インタフェース入力
ポート7	12ビット入力	A/Dコンバータ2入力
ポート9 ^注	8ビット入出力 (V850E/IH4-H)	外部バス・インタフェース制御信号出力
ポートDL	16ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力, フラッシュ・メモリ・プログラミング・モード入力信号, 外部バス・インタフェース制御信号入出力

注 V850E/IH4-Hのみ

第2章 端子機能

V850E/IG4-H, V850E/IH4-Hの端子の機能を次に示します。これらの端子は、機能別にポート機能とそれ以外の機能に分けることができます。

2.1 端子機能一覧

端子の入出力バッファ電源には、 AV_{DD2} 、 EV_{DD0} 、 EV_{DD1} 、 EV_{DD2} 、 EV_{DD3} (V850E/IH4-Hのみ)、 UV_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

(a) V850E/IG4-Hの場合

電源	対応する端子
AV_{DD2}	P70-P711
EV_{DD0} , EV_{DD1} , EV_{DD2}	P00-P07, P10-P16, P24-P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15, \overline{RESET} , DCK, DDI, DDO, DMS, \overline{DRST}
UV_{DD}	UDMF, UDPF

(b) V850E/IH4-Hの場合

電源	対応する端子
AV_{DD2}	P70-P711
EV_{DD0} , EV_{DD1} , EV_{DD2} , EV_{DD3}	P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P56, P90-P97, PDL0-PDL15, \overline{RESET} , DCK, DDI, DDO, DMS, \overline{DRST} , TRCCLK, TRCDATA0-TRCDATA3, TRCEND
UV_{DD}	UDMF, UDPF

(1) ポート機能

(1/4)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
P00	89	26	入出力	ポート0 (4.3.1参照) 8ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合, 兼用機能時に出力端子であるTOT21, TOT31端子がハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TECR0/TIT00/TOT00/INTP00
P01	88	25			TENC00/EVTT0/INTP01
P02	87	24			TENC01/TIT01/TOT01/INTP02
P03	86	23			TOT20/TIT20/TOT2OFF/INTP03
P04	85	22			TOT21/TIT21/INTP04
P05	84	21			TOT30/TIT30/TOT3OFF/INTP05
P06	83	20			TOT31/TIT31/INTP06
P07	82	19			TOB01OFF/INTP07/CLKOUT
P10	98	36	入出力	ポート1 (4.3.2参照) V850E/IG4-H: 7ビット入出力ポート V850E/IH4-H: 8ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合, 兼用機能時に出力端子である TOB0B1-TOB0B3, TOB0T1-TOB0T3端子がハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TOB0T1/TIB01/TOB01
P11	97	35			TOB0B1/TIB02/TOB02
P12	96	34			TOB0T2/TIB03/TOB03
P13	95	33			TOB0B2/TIB00
P14	94	32			TOB0T3/EVTB0
P15	93	31			TOB0B3/TRGB0
P16	92	30			TOB00/TOB0OFF/INTP08/ADTRG0/INTADT0
P17 ^注	-	29			-
P20 ^注	-	67	入出力	ポート2 (4.3.3参照) V850E/IG4-H: 4ビット入出力ポート V850E/IH4-H: 8ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合, 兼用機能時に出力端子である TOB1B1 (V850E/IH4-Hのみ), TOB1B2 (V850E/IH4-Hのみ), TOB1B3, TOB1T1 (V850E/IH4-Hのみ), TOB1T2 (V850E/IH4-Hのみ), TOB1T3端子がハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TOB1T1 ^注 /TIB11 ^注 /TOB11 ^注
P21 ^注	-	68			TOB1B1 ^注 /TIB12 ^注 /TOB12 ^注
P22 ^注	-	69			TOB1T2 ^注 /TIB13 ^注 /TOB13 ^注
P23 ^注	-	70			TOB1B2 ^注 /TIB10 ^注
P24	28	71			TOB1T3/EVTB1
P25	29	72			TOB1B3/TRGB1
P26	30	73			TOB10/TOB1OFF/INTP10/ADTRG1/INTADT1
P27	43	87			INTP09/WR0/TOA01

注 V850E/IH4-Hのみ

備考 IG4-H: V850E/IG4-H

IH4-H: V850E/IH4-H

GC (V850E/IG4-H): 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H): 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(2/4)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
P30	54	106	入出力	ポート3 (4.3.4参照) 8ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, および兼用機能時に入力端子の場合 (SCKF1, SCKF2端子のスレープ・モード時も含む) のみ内蔵プルアップ抵抗の接続が可能) 兼用機能時にSCL, SDA端子を選択した場合はN-chオープン・ドレイン出力指定可能	RXDA1/SCL/WR1
P31	55	107			TXDA1/SDA/WAIT
P32	56	108			SIF1/RXDA2/CS1
P33	57	109			SOF1/TXDA2
P34	58	110			SCKF1/INTP11/CS0
P35	59	111			SIF2/RXDB
P36	60	112			SOF2/TXDB
P37	61	113			SCKF2/INTP12/ASTB
P40	46	96	入出力	ポート4 (4.3.5参照) 5ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, および兼用機能時に入力端子の場合 (SCKF0端子のスレープ・モード時も含む) のみ内蔵プルアップ抵抗の接続が可能)	SIF0/RXDA0/DDI/TOA00
P41	47	97			SOF0/TXDA0
P42	48	98			SCKF0/DCK/TOA10
P43	49	99			INTP13/DMS/TOA11
P44	50	100			INTP14/RD
P50	51	103	入出力	ポート5 (4.3.6参照) V850E/IG4-H : 3ビット入出力ポート V850E/IH4-H : 7ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合のみ内蔵プルアップ抵抗の接続が可能)	TECR1/TIT10/TOT10/INTP17
P51	52	104			TENC10/EVTT1/INTP18/UCLK ^{注2}
P52	53	105			TENC11/TIT11/TOT11/INTP19
P53 ^{注1}	-	101			UCLK ^{注1}
P54 ^{注1}	-	102			-
P55 ^{注1}	-	10			-
P56 ^{注1}	-	9			-

注1. V850E/IH4-Hのみ

2. V850E/IG4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(3/4)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
P70	14	53	入力	ポート7 (4. 3. 7参照) 12ビット入力ポート	ANI20
P71	15	54			ANI21
P72	16	55			ANI22
P73	17	56			ANI23
P74	18	57			ANI24
P75	19	58			ANI25
P76	20	59			ANI26
P77	21	60			ANI27
P78	22	61			ANI28
P79	23	62			ANI29
P710	24	63			ANI210
P711	25	64			ANI211
P90 ^注	-	18	入出力	ポート9 (V850E/IH4-Hのみ) (4. 3. 8参照) 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合のみ内蔵プルアップ抵抗の接続が可能)	A0 ^注
P91 ^注	-	17			A1 ^注
P92 ^注	-	16			A2 ^注
P93 ^注	-	15			A3 ^注
P94 ^注	-	14			A4 ^注
P95 ^注	-	13			A5 ^注
P96 ^注	-	12			A6 ^注
P97 ^注	-	11			A7 ^注

注 V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14 × 20)

(4/4)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
PDL0	81	6	入出力	ポートDL (4.3.9参照) 16ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合のみ内蔵プルアップ抵抗の接続が可能)	AD0
PDL1	80	5			AD1
PDL2	79	4			AD2
PDL3	78	3			AD3
PDL4	77	2			AD4
PDL5	76	1			AD5/FLMD1
PDL6	75	128			AD6
PDL7	74	127			AD7
PDL8	73	126			AD8
PDL9	72	125			AD9
PDL10	71	124			AD10
PDL11	70	123			AD11
PDL12	69	122			AD12
PDL13	68	121			AD13
PDL14	67	120			AD14/TOA20/TIA20/INTP15
PDL15	66	119			AD15/TOA21/TIA21/INTP16

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(2) ポート以外の端子

(1/7)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
A0 ^注	-	18	出力	外部メモリに対する8ビット・アドレス・バス	P90 ^注
A1 ^注	-	17			P91 ^注
A2 ^注	-	16			P92 ^注
A3 ^注	-	15			P93 ^注
A4 ^注	-	14			P94 ^注
A5 ^注	-	13			P95 ^注
A6 ^注	-	12			P96 ^注
A7 ^注	-	11			P97 ^注
AD0	81	6	入出力	外部メモリに対する16ビット・アドレス/データ・バス	PDL0
AD1	80	5			PDL1
AD2	79	4			PDL2
AD3	78	3			PDL3
AD4	77	2			PDL4
AD5	76	1			PDL5/FLMD1
AD6	75	128			PDL6
AD7	74	127			PDL7
AD8	73	126			PDL8
AD9	72	125			PDL9
AD10	71	124			PDL10
AD11	70	123			PDL11
AD12	69	122			PDL12
AD13	68	121			PDL13
AD14	67	120			PDL14/TOA20/TIA20/INTP15
AD15	66	119			PDL15/TOA21/TIA21/INTP16
ADTRG0	92	30	入力	A/Dコンバータ0への外部トリガ入力	P16/TOB00/TOB0OFF/INTP08/INTADT0
ADTRG1	30	73	入力	A/Dコンバータ1への外部トリガ入力	P26/TOB10/TOB1OFF/INTP10/INTADT1
ANI00	1	39	入力	A/Dコンバータ0へのアナログ入力	ANI05
ANI01	2	40			ANI06
ANI02	3	41			ANI07
ANI03	4	42			-
ANI05	1	39			ANI00
ANI06	2	40			ANI01
ANI07	3	41			ANI02

注 V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(2/7)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
ANI10	13	52	入力	A/Dコンバータ1へのアナログ入力	ANI15
ANI11	12	51			ANI16
ANI12	11	50			ANI17
ANI13 ^注	-	49			-
ANI15	13	52			ANI10
ANI16	12	51			ANI11
ANI17	11	50			ANI12
ANI20	14	53	入力	A/Dコンバータ2へのアナログ入力	P70
ANI21	15	54			P71
ANI22	16	55			P72
ANI23	17	56			P73
ANI24	18	57			P74
ANI25	19	58			P75
ANI26	20	59			P76
ANI27	21	60			P77
ANI28	22	61			P78
ANI29	23	62			P79
ANI210	24	63			P710
ANI211	25	64	P711		
ASTB	61	113	出力	外部データ・バスのアドレス・ストロブ出力	P37/SCKF2/INTP12
AV _{DD0}	7	45	-	A/Dコンバータ0用正電源供給	-
AV _{DD1}	8	46	-	A/Dコンバータ1用正電源供給	-
AV _{DD2}	26	65	-	A/Dコンバータ2用正電源供給	-
AV _{REFP0}	6	44	-	A/Dコンバータ0用基準電圧入力	-
AV _{REFP1}	9	47	-	A/Dコンバータ1用基準電圧入力	-
AV _{SS0}	5	43	-	A/Dコンバータ0用グランド電位	-
AV _{SS1}	10	48	-	A/Dコンバータ1用グランド電位	-
AV _{SS2}	27	66	-	A/Dコンバータ2用グランド電位	-
CLKOUT	82	19	出力	外部バス・クロック出力	P07/TOB01OFF/INTP07
CS ₀	58	110	出力	チップ・セレクト出力	P34/SCKF1/INTP11
CS ₁	56	108			P32/SIF1/RXDA2
DCK	48	98	入力	オンチップ・デバッグ・エミュレータ用デバッグ・クロック入力	P42/SCKF0/TOA10
DDI	46	96	入力	オンチップ・デバッグ・エミュレータ用デバッグ・データ入力	P40/SIF0/RXDA0/TOA00

注 V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(3/7)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
DDO	45	89	出力	オンチップ・デバッグ・エミュレータ用デバッグ・データ出力	-
DMS	49	99	入力	オンチップ・デバッグ・エミュレータ用デバッグ・モード・セレクト	P43/INTP13/TOA11
DRST	44	88	入力	オンチップ・デバッグ・エミュレータ用デバッグ・リセット入力	-
EV _{DD0}	40	83	-	外部端子用正電源供給	-
EV _{DD1}	62	115			-
EV _{DD2}	99	37			-
EV _{DD3} ^{注1}	-	7			-
EV _{SS0}	41	85	-	外部端子用グランド電位	-
EV _{SS1}	63	116			-
EV _{SS2}	100	38			-
EV _{SS3} ^{注1}	-	8			-
EV _{SS4}	31	74			-
EVTB0	94	32	入力	TAB0, TAB1の外部イベント・カウント入力	P14/TOB0T3
EVTB1	28	71			P24/TOB1T3
EVTT0	88	25	入力	TMT0, TMT1の外部イベント・カウント入力 / 外部トリガ入力	P01/TENC00/INTP01
EVTT1	52	104			P51/TENC10/INTP18/UCLK ^{注2}
FLMD0	42	86	入力	フラッシュ・メモリ・プログラミング・モード 引き込み用端子	-
FLMD1	76	1			PDL5/AD5
FV _{DD} ^{注1}	-	114	-	フラッシュ・メモリ用正電源供給	-
IC ^{注1}	-	84	-	内部接続端子	-
INTADT0	92	30	入力	外部マスカブル割り込み要求入力	P16/TOB00/TOB0OFF/INTP08/ADTRG0
INTADT1	30	73			P26/TOB10/TOB1OFF/INTP10/ADTRG1
INTP00	89	26			P00/TECR0/TIT00/TOT00
INTP01	88	25			P01/TENC00/EVTT0
INTP02	87	24			P02/TENC01/TIT01/TOT01
INTP03	86	23			P03/TOT20/TIT20/TOT20OFF
INTP04	85	22			P04/TOT21/TIT21
INTP05	84	21			P05/TOT30/TIT30/TOT30OFF
INTP06	83	20			P06/TOT31/TIT31
INTP07	82	19			P07/TOB01OFF/CLKOUT
INTP08	92	30			P16/TOB00/TOB0OFF/ADTRG0/INTADT0

注1. V850E/IH4-Hのみ

2. V850E/IG4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(4/7)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
INTP09	43	87	入力	外部マスカブル割り込み要求入力	P27/ $\overline{\text{WR0}}$ /TOA01
INTP10	30	73			P26/TOB10/TOB10OFF/ADTRG1/INTADT1
INTP11	58	110			P34/ $\overline{\text{SCKF1}}$ / $\overline{\text{CS0}}$
INTP12	61	113			P37/ $\overline{\text{SCKF2}}$ /ASTB
INTP13	49	99			P43/DMS/TOA11
INTP14	50	100			P44/ $\overline{\text{RD}}$
INTP15	67	120			PDL14/AD14/TOA20/TIA20
INTP16	66	119			PDL15/AD15/TOA21/TIA21
INTP17	51	103			P50/TECR1/TIT10/TOT10
INTP18	52	104			P51/TENC10/EVTT1/UCLK ^注
INTP19	53	105			P52/TENC11/TIT11/TOT11
RD	50	100	出力	外部データ・バスのリード・ストロブ出力	P44/INTP14
$\overline{\text{RESET}}$	39	82	入力	システム・リセット入力	-
RXDA0	46	96	入力	UARTA0-UARTA2のシリアル受信データ入力	P40/SIF0/DDI/TOA00
RXDA1	54	106			P30/ $\overline{\text{SCL}}$ / $\overline{\text{WR1}}$
RXDA2	56	108			P32/SIF1/ $\overline{\text{CS1}}$
RXDB	59	111	入力	UARTB0のシリアル受信データ入力	P35/SIF2
$\overline{\text{SCKF0}}$	48	98	入出力	CSIF0-CSIF2のシリアル・クロック入出力	P42/DCK/TOA10
$\overline{\text{SCKF1}}$	58	110			P34/INTP11/ $\overline{\text{CS0}}$
$\overline{\text{SCKF2}}$	61	113			P37/INTP12/ASTB
SCL	54	106	入出力	シリアル・クロック入出力	P30/RXDA1/ $\overline{\text{WR1}}$
SDA	55	107	入出力	シリアル送受信データ入出力	P31/TXDA1/ $\overline{\text{WAIT}}$
SIF0	46	96	入力	CSIF0-CSIF2のシリアル受信データ入力	P40/RXDA0/DDI/TOA00
SIF1	56	108			P32/RXDA2/ $\overline{\text{CS1}}$
SIF2	59	111			P35/RXDB
SOF0	47	97	出力	CSIF0-CSIF2のシリアル送信データ出力	P41/TXDA0
SOF1	57	109			P33/TXDA2
SOF2	60	112			P36/TXDB
TECR0	89	26	入力	TMT0, TMT1のエンコーダ・クリア入力	P00/TIT00/TOT00/INTP00
TECR1	51	103			P50/TIT10/TOT10/INTP17
TENC00	88	25	入力	TMT0, TMT1のエンコーダ入力	P01/EVTT0/INTP01
TENC01	87	24			P02/TIT01/TOT01/INTP02
TENC10	52	104			P51/EVTT1/INTP18/UCLK ^注
TENC11	53	105			P52/TIT11/TOT11/INTP19

注 V850E/IG4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(5/7)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
TIA20	67	120	入力	TAA2の外部イベント・カウント入力/ 外部トリガ入力/キャプチャ・トリガ入力	PDL14/AD14/TOA20/INTP15
TIA21	66	119	入力	TAA2のキャプチャ・トリガ入力	PDL15/AD15/TOA21/INTP16
TIB00	95	33	入力	TAB0, TAB1のキャプチャ・トリガ入力	P13/TOB0B2
TIB01	98	36			P10/TOB0T1/TOB01
TIB02	97	35			P11/TOB0B1/TOB02
TIB03	96	34			P12/TOB0T2/TOB03
TIB10 ^注	-	70			P23 ^注 /TOB1B2 ^注
TIB11 ^注	-	67			P20 ^注 /TOB1T1 ^注 /TOB11 ^注
TIB12 ^注	-	68			P21 ^注 /TOB1B1 ^注 /TOB12 ^注
TIB13 ^注	-	69			P22 ^注 /TOB1T2 ^注 /TOB13 ^注
TIT00	89	26			入力
TIT01	87	24	P02/TENC01/TOT01/INTP02		
TIT10	51	103	P50/TECR1/TOT10/INTP17		
TIT11	53	105	P52/TENC11/TOT11/INTP19		
TIT20	86	23	入力	TMT2の外部イベント・カウント入力/ 外部トリガ入力/キャプチャ・トリガ入力	P03/TOT20/TOT2OFF/INTP03
TIT21	85	22	入力	TMT2のキャプチャ・トリガ入力	P04/TOT21/INTP04
TIT30	84	21	入力	TMT3の外部イベント・カウント入力/ 外部トリガ入力/キャプチャ・トリガ入力	P05/TOT30/TOT3OFF/INTP05
TIT31	83	20	入力	TMT3のキャプチャ・トリガ入力	P06/TOT31/INTP06
TOA00	46	96	出力	TAA0-TAA2のタイマ出力	P40/SIF0/RXDA0/DDI
TOA01	43	87			P27/INTP09/WR0
TOA10	48	98			P42/SCKF0/DCK
TOA11	49	99			P43/INTP13/DMS
TOA20	67	120			PDL14/AD14/TIA20/INTP15
TOA21	66	119			PDL15/AD15/TIA21/INTP16
TOB00	92	30	出力	TAB0のタイマ出力	P16/TOB0OFF/INTP08/ADTRG0/INTADT0
TOB01	98	36			P10/TOB0T1/TIB01
TOB01OFF	82	19	入力	ハイ・インピーダンス出力制御信号入力	P07/INTP07/CLKOUT
TOB02	97	35	出力	TAB0のタイマ出力	P11/TOB0B1/TIB02
TOB03	96	34			P12/TOB0T2/TIB03
TOB0B1	97	35	出力	TAB0の6相PWM口ウ・アーム用パルス信号出力	P11/TIB02/TOB02
TOB0B2	95	33			P13/TIB00
TOB0B3	93	31			P15/TRGB0
TOB0OFF	92	30			入力

注 V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(6/7)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
TOB0T1	98	36	出力	TAB0の6相PWMハイ・アーム用パルス信号出力	P10/TIB01/TOB01
TOB0T2	96	34			P12/TIB03/TOB03
TOB0T3	94	32			P14/EVTB0
TOB10	30	73	出力	TAB1のタイマ出力	P26/TOB1OFF/INTP10/ADTRG1/INTADT1
TOB11 ^注	-	67			P20 ^注 /TOB1T1 ^注 /TIB11 ^注
TOB12 ^注	-	68			P21 ^注 /TOB1B1 ^注 /TIB12 ^注
TOB13 ^注	-	69			P22 ^注 /TOB1T2 ^注 /TIB13 ^注
TOB1B1 ^注	-	68	出力	TAB1の6相PWMロウ・アーム用パルス信号出力	P21 ^注 /TIB12 ^注 /TOB12 ^注
TOB1B2 ^注	-	70			P23 ^注 /TIB10 ^注
TOB1B3	29	72			P25/TRGB1
TOB1OFF	30	73	入力	ハイ・インピーダンス出力制御信号入力	P26/TOB10/INTP10/ADTRG1/INTADT1
TOB1T1 ^注	-	67	出力	TAB1の6相PWMハイ・アーム用パルス信号出力	P20 ^注 /TIB11 ^注 /TOB11 ^注
TOB1T2 ^注	-	69			P22 ^注 /TIB13 ^注 /TOB13 ^注
TOB1T3	28	71			P24/EVTB1
TOT00	89	26	出力	TMT0-TMT2のタイマ出力	P00/TECR0/TIT00/INTP00
TOT01	87	24			P02/TENC01/TIT01/INTP02
TOT10	51	103			P50/TECR1/TIT10/INTP17
TOT11	53	105			P52/TENC11/TIT11/INTP19
TOT20	86	23			P03/TIT20/TOT2OFF/INTP03
TOT21	85	22			P04/TIT21/INTP04
TOT2OFF	86	23	入力	ハイ・インピーダンス出力制御信号入力	P03/TOT20/TIT20/INTP03
TOT30	84	21	出力	TMT3のタイマ出力	P05/TIT30/TOT3OFF/INTP05
TOT31	83	20			P06/TIT31/INTP06
TOT3OFF	84	21	入力	ハイ・インピーダンス出力制御信号入力	P05/TOT30/TIT30/INTP05
TRCLK ^注	-	95	出力	トレース・クロック出力	-
TRCDATA0 ^注	-	91	出力	トレース・データ出力 (D0-D3)	-
TRCDATA1 ^注	-	92			-
TRCDATA2 ^注	-	93			-
TRCDATA3 ^注	-	94			-
TRCEND ^注	-	90	出力	トレース・エンド・ステータス出力	-
TRGB0	93	31	入力	TAB0, TAB1の外部トリガ入力	P15/TOB0B3
TRGB1	29	72			P25/TOB1B3
TXDA0	47	97	出力	UARTA0-UARTA2のシリアル送信データ出力	P41/SOF0
TXDA1	55	107			P31/SDA $\overline{\text{WAIT}}$
TXDA2	57	109			P33/SOF1

注 V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(7/7)

機能 名称	ピン番号		入出力	機 能	兼用機能
	IG4-H	IH4-H			
	GC	GF			
TXDB	60	112	出力	UARTB0のシリアル送信データ出力	P36/SOF2
UCLK	52	-	入力	USBクロック信号入力	P51/TENC10/EVTT1/INTP18
	-	101			P53 ^注
UDMF	32	75	入出力	USBデータ入出力(-)ファンクション	-
UDPF	33	76		USBデータ入出力(+)ファンクション	-
UV _{DD}	34	77	-	USB用3.3V正電源供給	-
V _{DD0}	35	78	-	内部ユニット用正電源供給	-
V _{DD1}	65	118			-
V _{DD2}	90	27			-
V _{SS0}	38	81	-	内部ユニット用グランド電位	-
V _{SS1}	64	117			-
V _{SS2}	91	28			-
$\overline{\text{WAIT}}$	55	107	入力	外部ウエイト要求入力	P31/TXDA1/SDA
$\overline{\text{WR0}}$	43	87	出力	外部データ・バスのライト・ストロープ出力	P27/INTP09/TOA01
$\overline{\text{WR1}}$	54	106			P30/RXDA1/SCL
X1	36	79	入力	システム・クロック用発振子接続端子	-
X2	37	80	-		-

注 V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

2.2 端子の入出力回路タイプと未使用時の処理

抵抗を介してAV_{SS2}, EV_{DD0}, EV_{DD1}, EV_{DD2}, EV_{DD3}(V850E/IH4-Hのみ), EV_{SS0}, EV_{SS1}, EV_{SS2}, EV_{SS3}(V850E/IH4-Hのみ), EV_{SS4}またはV_{SS0}, V_{SS1}, V_{SS2}に接続する場合, 1 ~ 10 kΩの抵抗を接続することをお勧めします。

(1/4)

機能	兼用機能名	ピン番号		入出力回路タイプ	未使用時の推奨接続方法
		IG4-H	IH4-H		
		GC	GF		
P00	TECR0/TIT00/TOT00/INTP00	89	26	5-AH	入力状態：個別に抵抗を介してEV _{DD0} , EV _{DD1} , EV _{DD2} , EV _{DD3} ^注 またはEV _{SS0} , EV _{SS1} , EV _{SS2} , EV _{SS3} ^注 , EV _{SS4} に接続してください。 出力状態：オープンにしてください。
P01	TENC00/EVTT0/INTP01	88	25		
P02	TENC01/TIT01/TOT01/INTP02	87	24		
P03	TOT20/TIT20/TOT2OFF/INTP03	86	23		
P04	TOT21/TIT21/INTP04	85	22		
P05	TOT30/TIT30/TOT3OFF/INTP05	84	21		
P06	TOT31/TIT31/INTP06	83	20		
P07	TOB01OFF/INTP07/CLKOUT	82	19		
P10	TOB0T1/TIB01/TOB01	98	36		
P11	TOB0B1/TIB02/TOB02	97	35		
P12	TOB0T2/TIB03/TOB03	96	34		
P13	TOB0B2/TIB00	95	33		
P14	TOB0T3/EVVB0	94	32		
P15	TOB0B3/TRGB0	93	31		
P16	TOB00/TOB0OFF/INTP08/ADTRG0/INTADT0	92	30		
P17 ^注	-	-	29		
P20 ^注	TOB1T1 ^注 /TIB11 ^注 /TOB11 ^注	-	67	5-AH	
P21 ^注	TOB1B1 ^注 /TIB12 ^注 /TOB12 ^注	-	68		
P22 ^注	TOB1T2 ^注 /TIB13 ^注 /TOB13 ^注	-	69		
P23 ^注	TOB1B2 ^注 /TIB10 ^注	-	70		
P24	TOB1T3/EVVB1	28	71		
P25	TOB1B3/TRGB1	29	72		
P26	TOB10/TOB1OFF/INTP10/ADTRG1/INTADT1	30	73		
P27	INTP09/WR0/TOA01	43	87		
P30	RXDA1/SCL/WR1	54	106		
P31	TXDA1/SDA/WAIT	55	107		
P32	SIF1/RXDA2/CS1	56	108		
P33	SOF1/TXDA2	57	109	5-AG	

注 V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(2/4)

機能	兼用機能名	ピン番号		入出力 回路 タイプ	未使用時の推奨接続方法
		IG4-H	IH4-H		
		GC	GF		
P34	$\overline{\text{SCKF1}}/\text{INTP11}/\overline{\text{CS0}}$	58	110	5-AH	入力状態：個別に抵抗を介して EV_{DD0} , EV_{DD1} , EV_{DD2} , EV_{DD3} ^{注1} または EV_{SS0} , EV_{SS1} , EV_{SS2} , EV_{SS3} ^{注1} , EV_{SS4} に接 続してください。 出力状態：オープンにしてくださ います。
P35	SIF2/RXDB	59	111		
P36	SOF2/TXDB	60	112	5-AG	
P37	$\overline{\text{SCKF2}}/\text{INTP12}/\text{ASTB}$	61	113	5-AH	
P40	SIF0/RXDA0/DDI/TOA00	46	96		
P41	SOF0/TXDA0	47	97	5-AG	
P42	$\overline{\text{SCKF0}}/\text{DCK}/\text{TOA10}$	48	98	5-AH	
P43	INTP13/DMS/TOA11	49	99		
P44	INTP14/ $\overline{\text{RD}}$	50	100		
P50	TECR1/TIT10/TOT10/INTP17	51	103		
P51	TENC10/EVTT1/INTP18/UCLK ^{注2}	52	104		
P52	TENC11/TIT11/TOT11/INTP19	53	105		
P53 ^{注1}	UCLK ^{注1}	-	101		
P54 ^{注1}	-	-	102	5-AG	
P55 ^{注1}	-	-	10		
P56 ^{注1}	-	-	9		
P70	ANI20	14	53	11-G	個別に抵抗を介して AV_{SS2} に接続 してください。
P71	ANI21	15	54		
P72	ANI22	16	55		
P73	ANI23	17	56		
P74	ANI24	18	57		
P75	ANI25	19	58		
P76	ANI26	20	59		
P77	ANI27	21	60		
P78	ANI28	22	61		
P79	ANI29	23	62		
P710	ANI210	24	63		
P711	ANI211	25	64		
P90 ^{注1}	A0 ^{注1}	-	18	5-AG	入力状態：個別に抵抗を介して EV_{DD0} , EV_{DD1} , EV_{DD2} , EV_{DD3} ^{注1} または EV_{SS0} , EV_{SS1} , EV_{SS2} , EV_{SS3} ^{注1} , EV_{SS4} に接 続してください。 出力状態：オープンにしてくださ います。
P91 ^{注1}	A1 ^{注1}	-	17		
P92 ^{注1}	A2 ^{注1}	-	16		
P93 ^{注1}	A3 ^{注1}	-	15		
P94 ^{注1}	A4 ^{注1}	-	14		
P95 ^{注1}	A5 ^{注1}	-	13		
P96 ^{注1}	A6 ^{注1}	-	12		
P97 ^{注1}	A7 ^{注1}	-	11		

注1. V850E/IH4-Hのみ

2. V850E/IG4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(3/4)

機 能	兼用機能名	ピン番号		入出力 回路 タイプ	未使用時の推奨接続方法
		IG4-H	IH4-H		
		GC	GF		
PDL0	AD0	81	6	5-AG	入力状態：個別に抵抗を介して EV _{DD0} , EV _{DD1} , EV _{DD2} , EV _{DD3} ^注 または EV _{SS0} , EV _{SS1} , EV _{SS2} , EV _{SS3} ^注 , EV _{SS4} に接続 してください。 出力状態：オープンにしてくだ さい。
PDL1	AD1	80	5		
PDL2	AD2	79	4		
PDL3	AD3	78	3		
PDL4	AD4	77	2		
PDL5	AD5/FLMD1	76	1		
PDL6	AD6	75	128		
PDL7	AD7	74	127		
PDL8	AD8	73	126		
PDL9	AD9	72	125		
PDL10	AD10	71	124		
PDL11	AD11	70	123		
PDL12	AD12	69	122		
PDL13	AD13	68	121		
PDL14	AD14/TOA20/TIA20/INTP15	67	120		
PDL15	AD15/TOA21/TIA21/INTP16	66	119		
ANI00	ANI05	1	39	7-C	AV _{SS0} , AV _{SS1} に接続してくだ さい。
ANI01	ANI06	2	40		
ANI02	ANI07	3	41		
ANI03	-	4	42		
ANI10	ANI15	13	52		
ANI11	ANI16	12	51		
ANI12	ANI17	11	50		
ANI13 ^注	-	-	49		
DDO	-	45	89	3-C	オープンにしてください（ $\overline{\text{DRST}}$ がハイ・レベルのとき，出力）。
$\overline{\text{DRST}}$	-	44	88	2-M	オープンにしてください（プルダ ウン抵抗内蔵）
FLMD0	-	42	86	2	-
IC ^注	-	-	84	2	常にV _{SS0} , V _{SS1} , V _{SS2} に接続してく ださい。

注 V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(4/4)

機能	兼用機能名	ピン番号		入出力回路タイプ	未使用時の推奨接続方法
		IG4-H	IH4-H		
		GC	GF		
RESET	-	39	82	2	パワーオン・クリア回路(POC)を使用する場合はプルアップしてください。
TRCCLK ^注	-	-	95	3-C	オープンにしてください。
TRCDATA0 ^注	-	-	91		
TRCDATA1 ^注	-	-	92		
TRCDATA2 ^注	-	-	93		
TRCDATA3 ^注	-	-	94		
TRCEND ^注	-	-	90		
UDMF	-	32	75	-	常にV _{SS0} , V _{SS1} , V _{SS2} に接続してください(スタンバイ・モード時も同様)。
UDPF	-	33	76	-	常にV _{DD0} , V _{DD1} , V _{DD2} に接続してください(スタンバイ・モード時も同様)。
UV _{DD}	-	34	77	-	常にV _{DD0} , V _{DD1} , V _{DD2} に接続してください(スタンバイ・モード時も同様)。

注 V850E/IH4-Hのみ

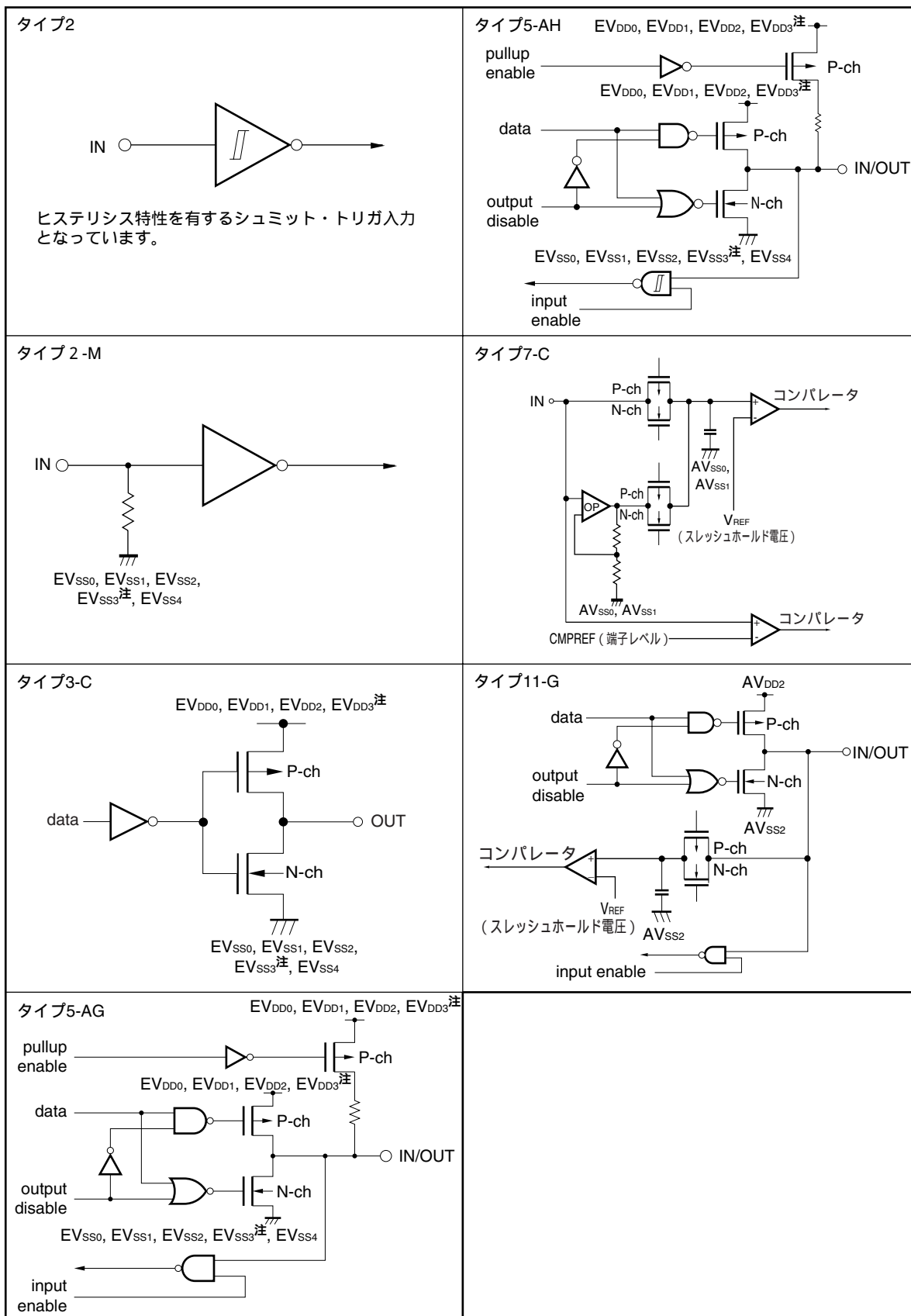
備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

2.3 端子の入出力回路



注 V850E/IH4-Hのみ

第3章 CPU機能

V850E/IG4-H, V850E/IH4-HのCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間：10 ns（内部100 MHz動作時）

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

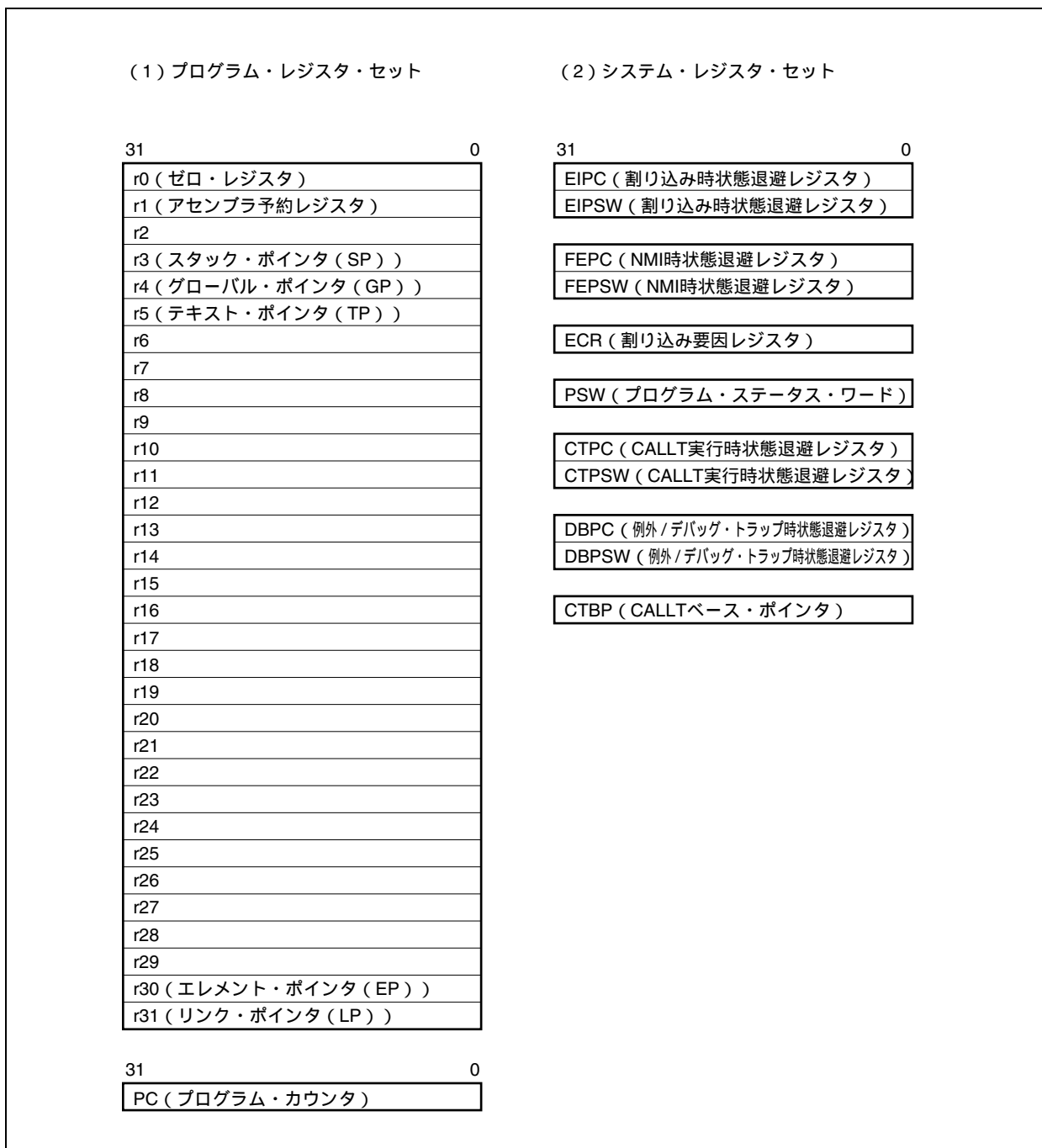
- ・SET1
- ・CLR1
- ・NOT1
- ・TST1

3.2 CPUレジスタ・セット

V850E/IG4-H, V850E/IH4-Hのレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 **ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

図3-1 CPUレジスタ・セット



3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

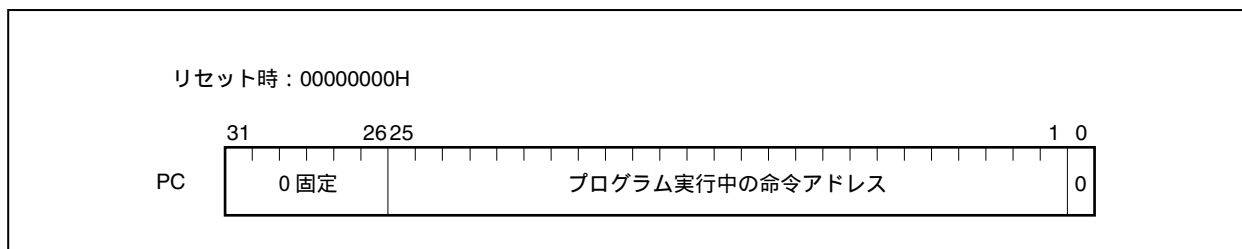
表3 - 1 汎用レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. このレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC,またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC, FEPC, CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

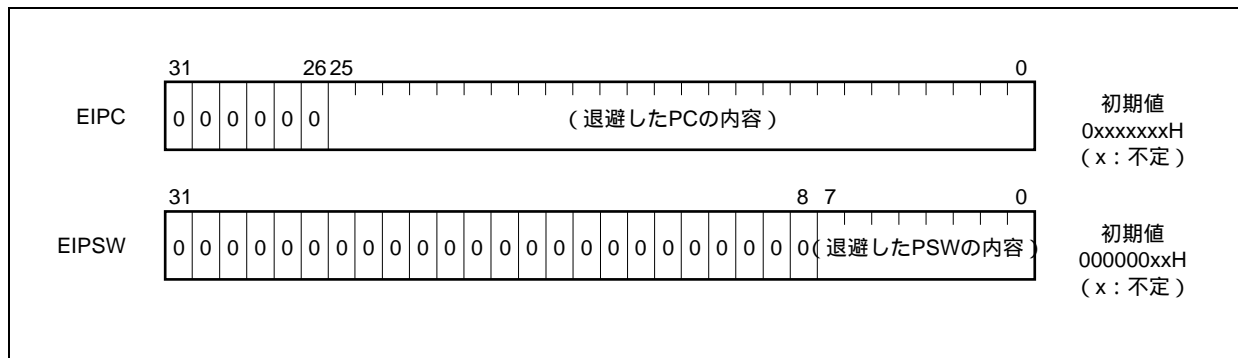
EIPCには、一部の命令 (21.9 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスカブル割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

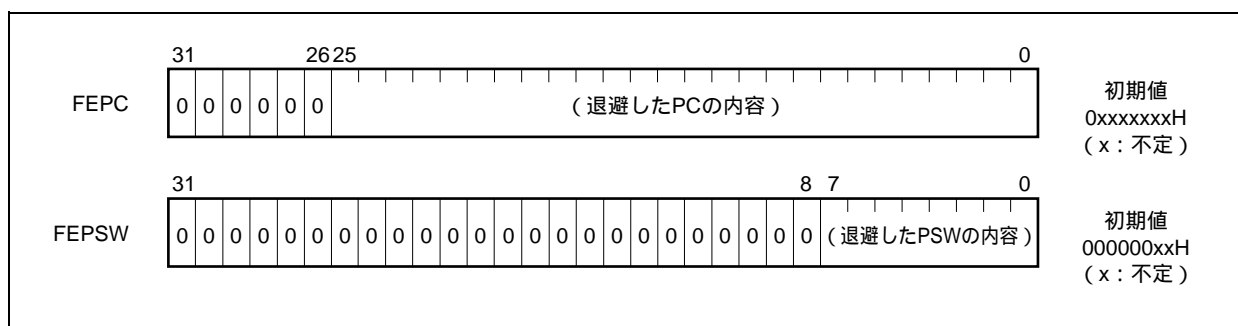
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

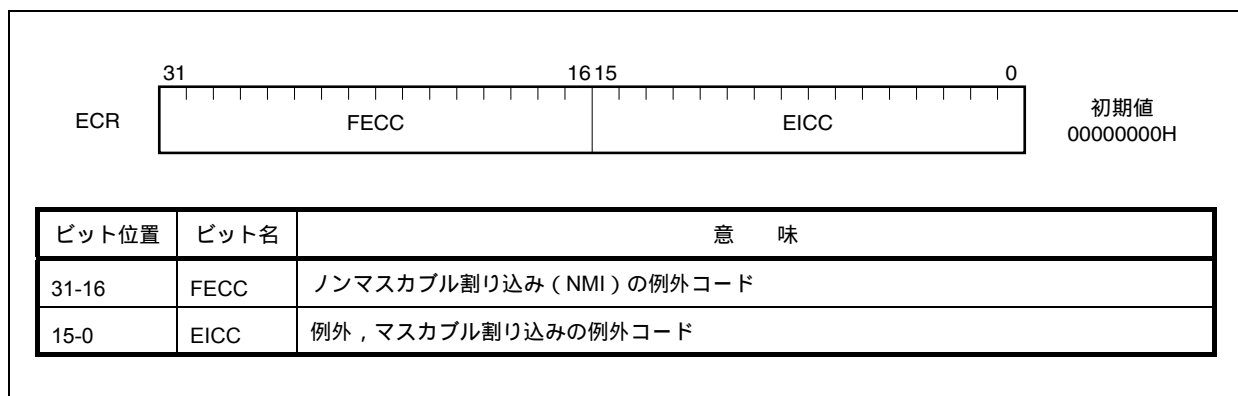
NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。

**(3) 割り込み要因レジスタ (ECR)**

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)

ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み許可 (EI) 1: 割り込み禁止 (DI)
4	SAT ^注	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバフローが発生したかどうかを示します。 0: オーバフローは発生していない。 1: オーバフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

備考 注の説明は次ページに記載しています。

(2/2)

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)

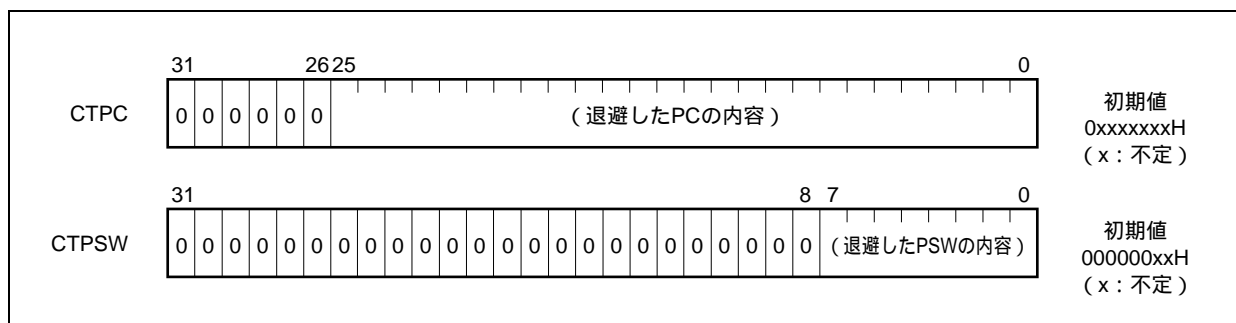
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外/デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外/デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると,プログラム・カウンタ(PC)の内容がDBPCに,プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

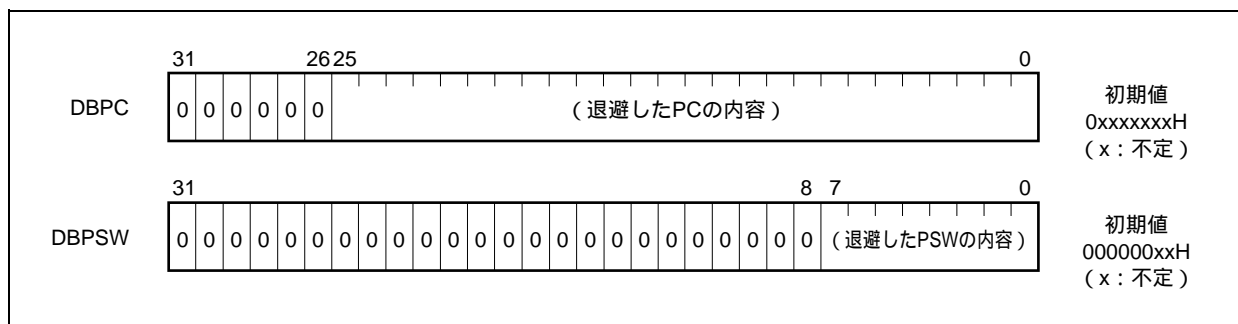
DBPCに退避される内容は,例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには,現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは,DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

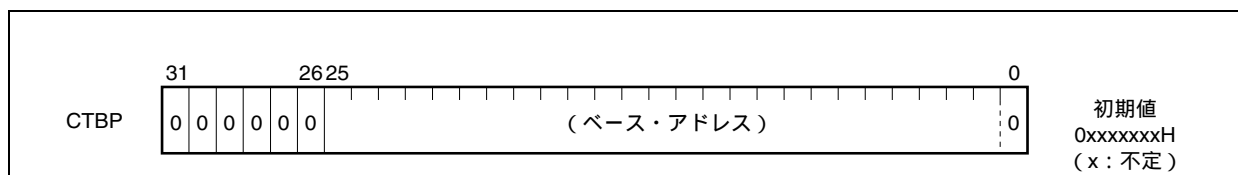
なお,DBPCのビット31-26とDBPSWのビット31-8は,将来の機能拡張のために予約されています(“0”に固定)。

DBRET命令により,DBPCの値はPCへ,DBPSWの値はPSWへ復帰します。

**(7) CALLTベース・ポインタ (CTBP)**

CALLTベース・ポインタ (CTBP) は,テーブル・アドレスの指定,ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお,ビット31-26は,将来の機能拡張のために予約されています(“0”に固定)。



3.3 動作モード

3.3.1 動作モード

V850E/IG4-H, V850E/IH4-Hは次に示す動作モードを備えます。モードの指定はFLMD0, FLMD1端子により行います。

(1) 通常動作モード

このモードでは、システム・リセット解除後、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると、フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラミングが可能になります。

3.3.2 動作モード指定

FLMD0, FLMD1端子の状態（入力レベル）により、動作モードを指定します。

通常動作モード時は、リセット時にFLMD0端子がロウ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は、フラッシュ・メモリ・プログラマ接続時はフラッシュ・メモリ・プログラマから行いますが、セルフ・プログラミング時は外部回路で行ってください。

これらの端子の指定はセルフ・プログラミング時以外は固定とし、動作中に変更しないでください。

FLMD1	FLMD0	動作モード	備考
x	L	通常動作モード	内蔵ROM領域を000000Hから配置
L	H	フラッシュ・メモリ・プログラミング・モード	-
H	H	設定禁止	

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

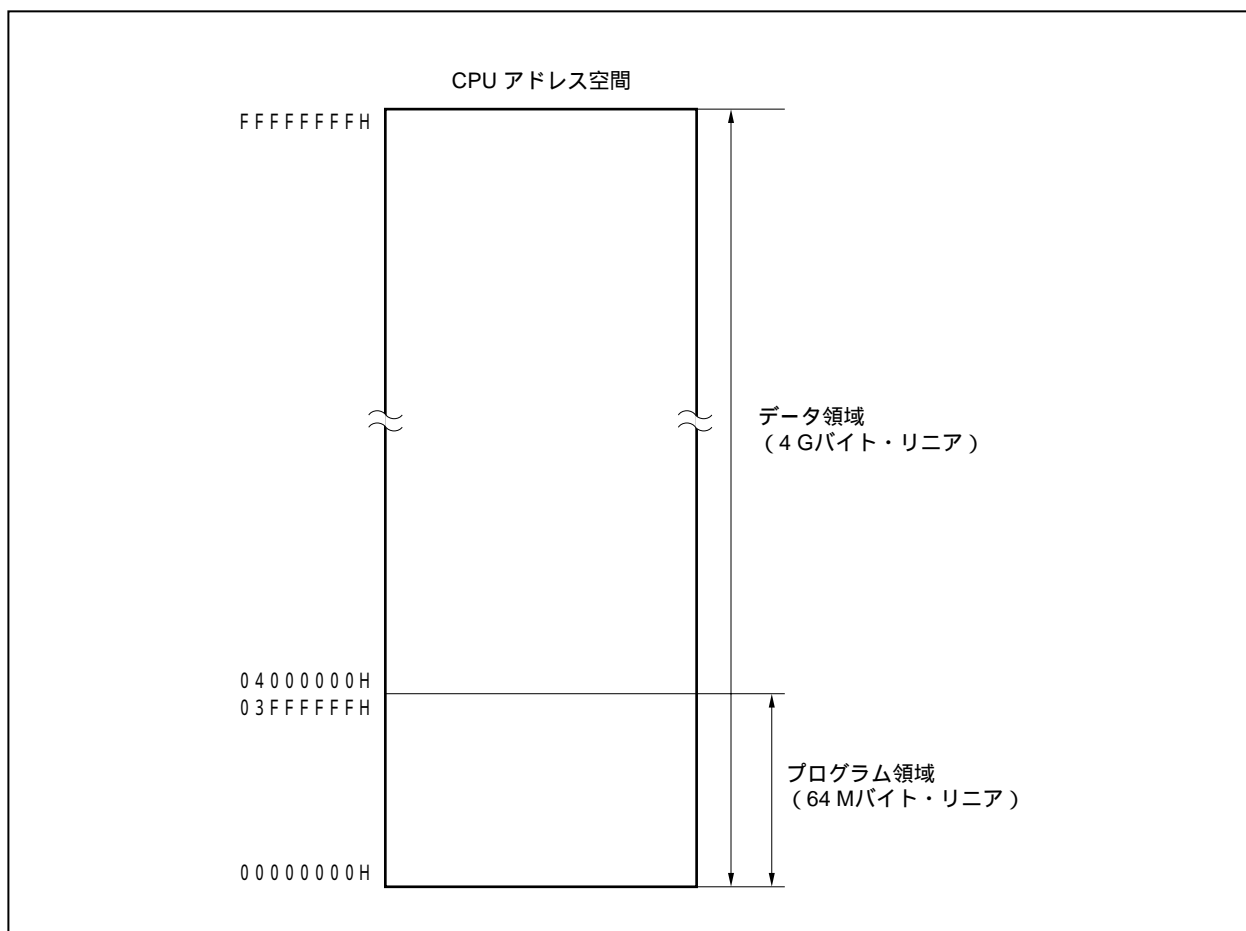
3.4 アドレス空間

3.4.1 CPUアドレス空間

V850E/IG4-H, V850E/IH4-HのCPUは、32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3 - 2にCPUアドレス空間を示します。

図3 - 2 CPUアドレス空間

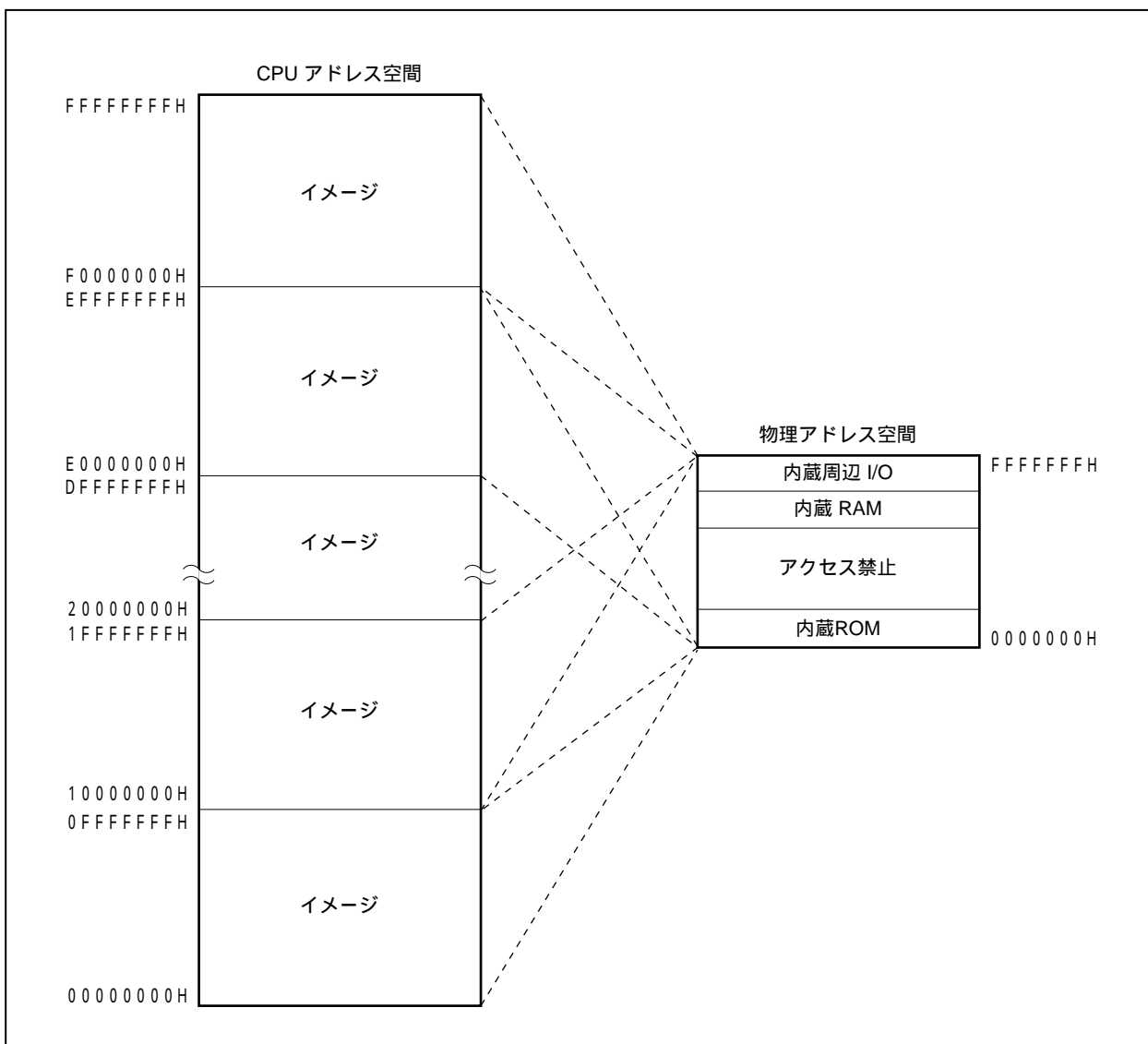


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット28がどのような値でも、同じ256 Mバイトの物理アドレス空間をアクセスします。図3 - 3にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が、CPUアドレスの00000000H番地のほかに、10000000H番地、20000000H番地、...、E0000000H番地、F0000000H番地に見えます。

図3 - 3 アドレス空間上のイメージ



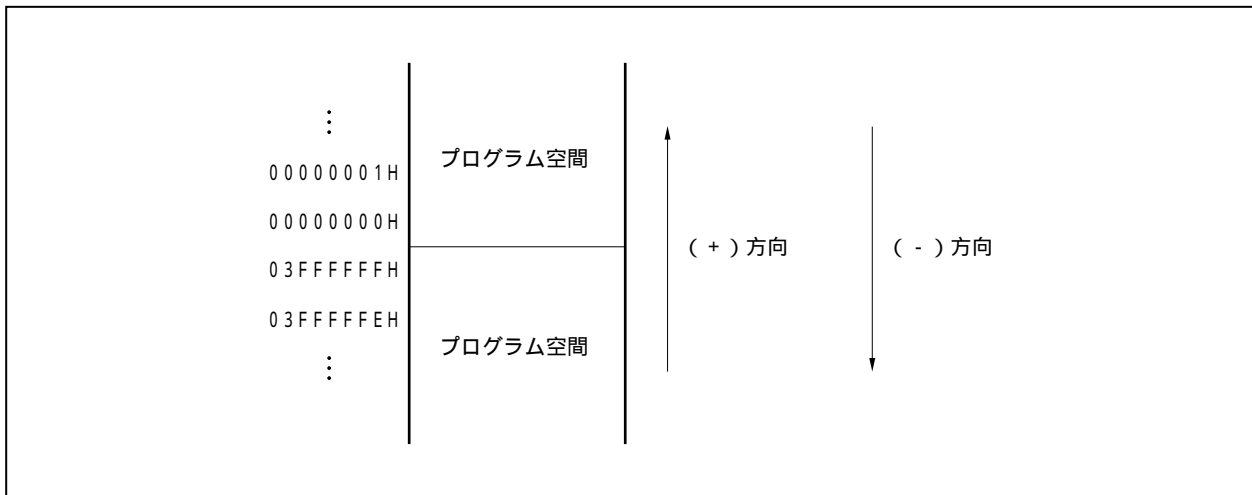
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはポローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限の03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

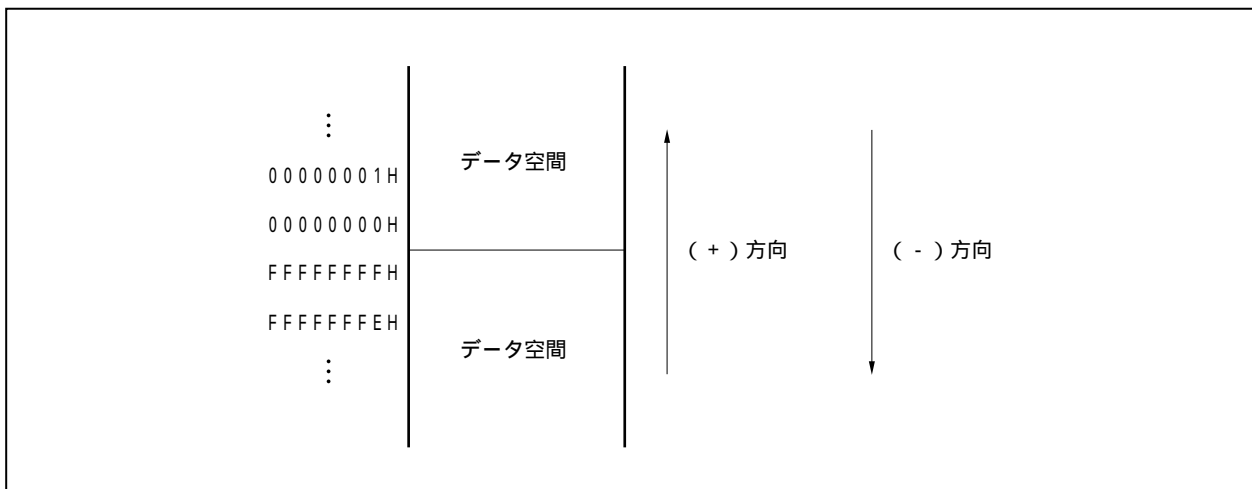
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、0FFFFFF00H-0FFFFFFFHのイメージが見えません。この領域はアクセス禁止です。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

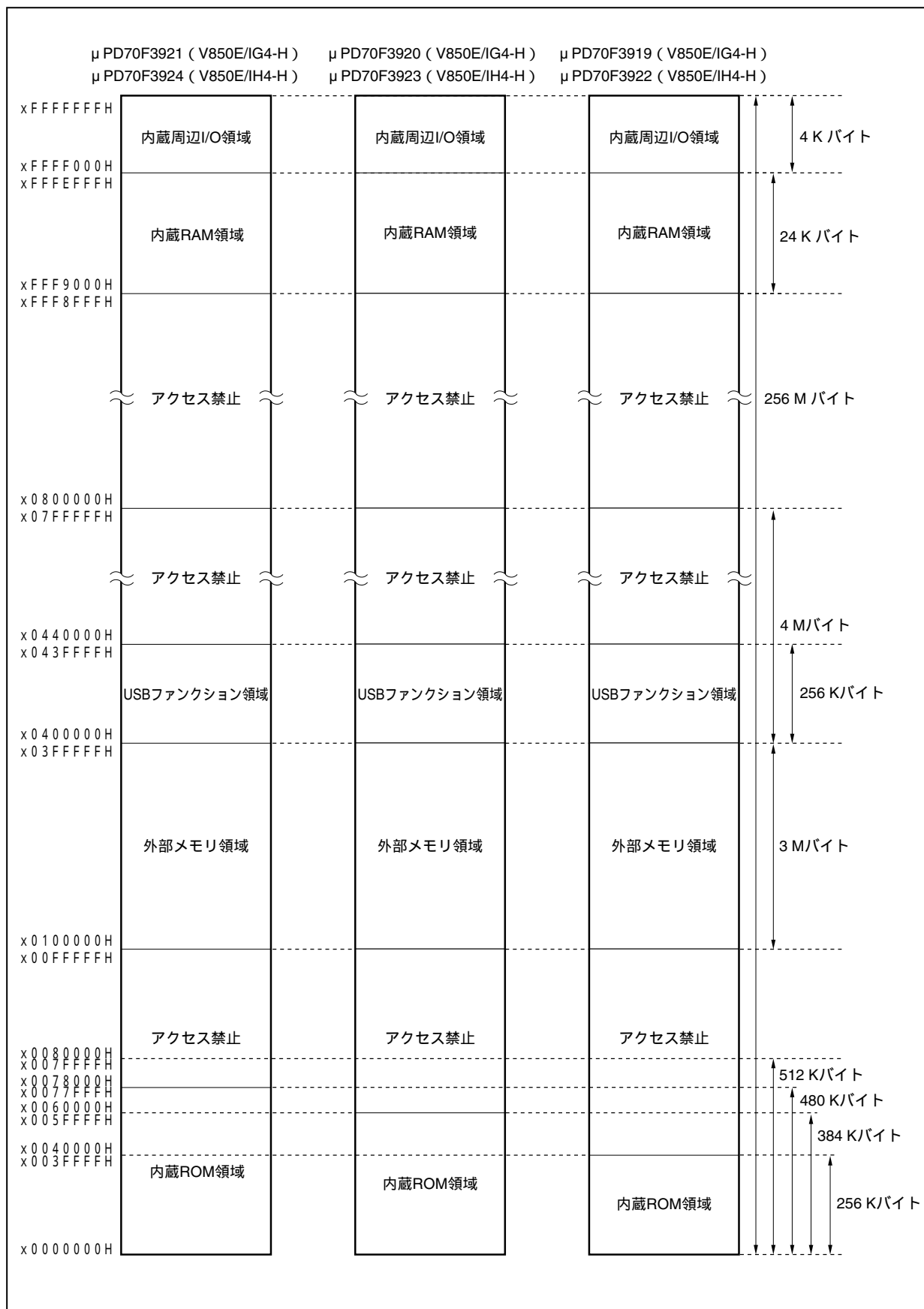
したがって、データ空間の上限のFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.4 メモリ・マップ

V850E/IG4-H, V850E/IH4-Hでは, 図3 - 4に示すように各領域を予約しています。

図3 - 4 メモリ・マップ



3.4.5 領域

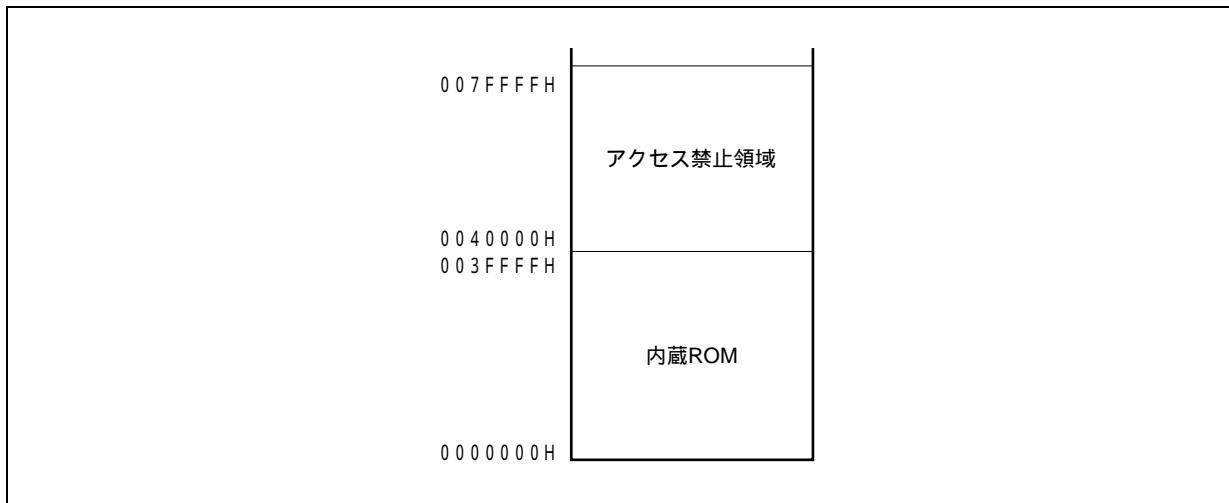
(1) 内蔵ROM領域

内蔵ROM領域としては、00000H-7FFFFFFH番地の512 Kバイトが予約されています。

(a) μ PD70F3919 (V850E/IG4-H) , μ PD70F3922 (V850E/IH4-H)

物理内蔵ROMとして000000H-03FFFFFFH番地に256 Kバイトを実装しています。

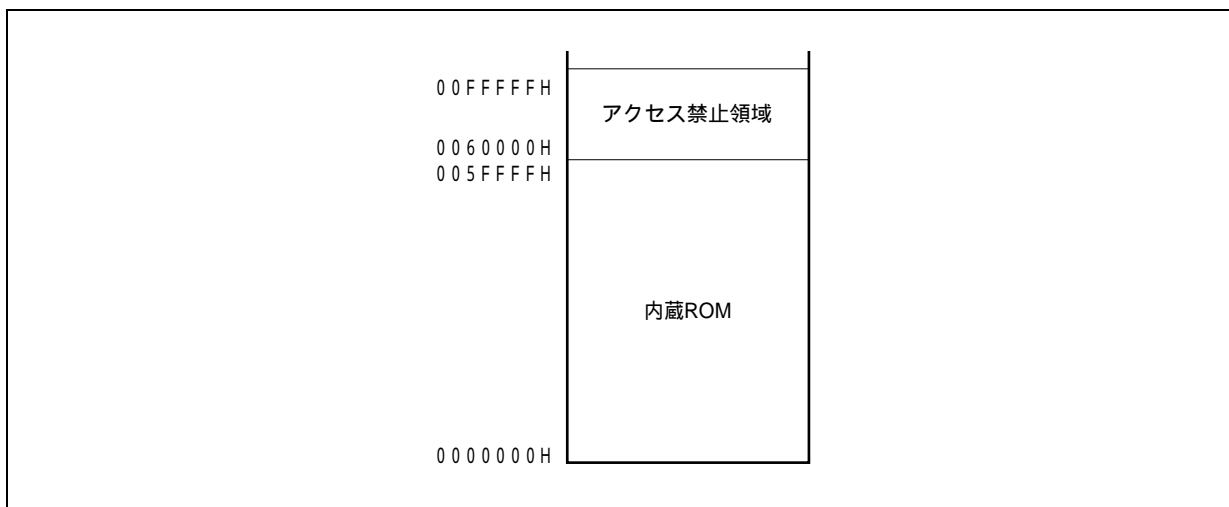
図3 - 5 内蔵ROM領域 (256 Kバイト)



(b) μ PD70F3920 (V850E/IG4-H) , μ PD70F3923 (V850E/IH4-H)

物理内蔵ROMとして000000H-05FFFFFFH番地に384 Kバイトを実装しています。

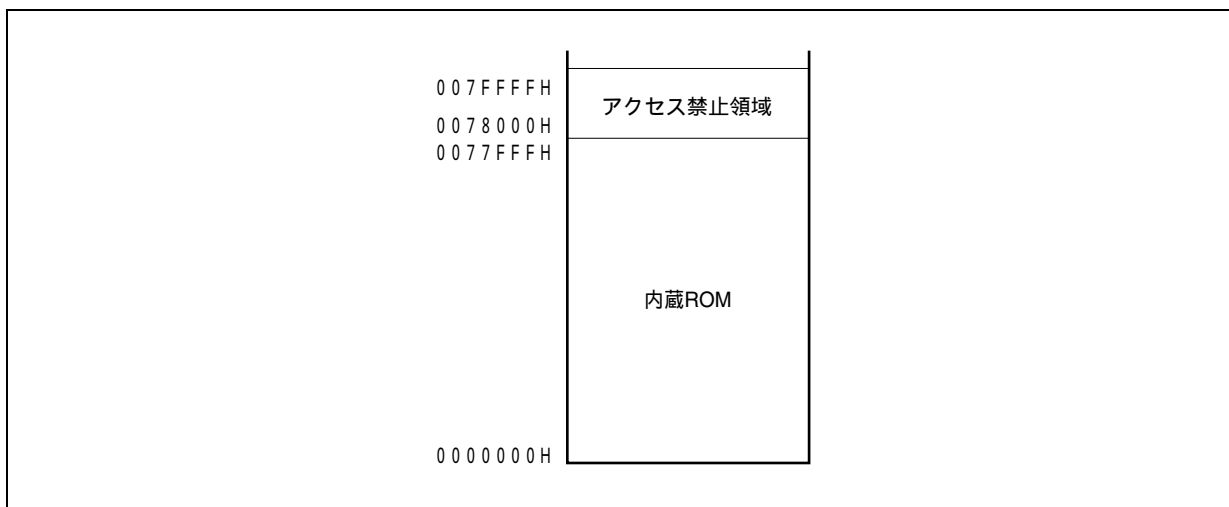
図3 - 6 内蔵ROM領域 (384 Kバイト)



(c) μ PD70F3921 (V850E/IG4-H) , μ PD70F3924 (V850E/IH4-H)

物理内蔵ROMとして000000H-077FFFH番地に480 Kバイトを実装しています。

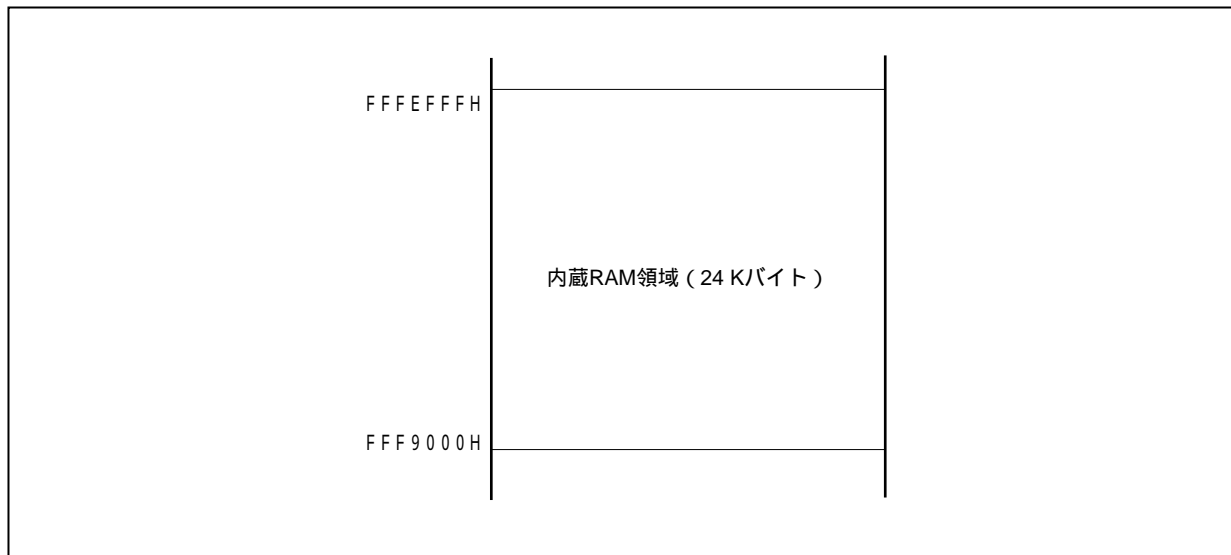
図3 - 7 内蔵ROM領域 (480 Kバイト)



(2) 内蔵RAM領域

内蔵RAM領域は、FFF9000H-FFFEFFFH番地の24 Kバイトを実装しています。

図3 - 8 内蔵RAM領域 (24 Kバイト)

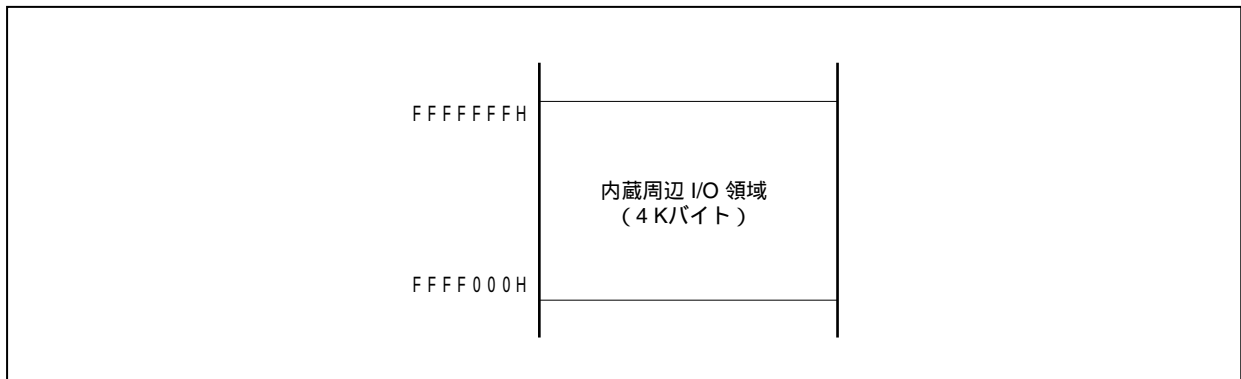


(3) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFFFFFF00H-FFFFFFFH番地の4 Kバイトを実装しています。
3FFF000H-3FFFFFFFH番地^注には、FFFFFF00H-FFFFFFFH番地のイメージが見えます。

注 3FFF000H-3FFFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには
FFFFFF00H-FFFFFFFH番地を指定してください。

図3 - 9 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** V850E/IG4-H, V850E/IH4-Hでは、レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
 3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
- DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。
転送元、転送先のアドレスには、必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。

(4) 外部メモリ領域

外部メモリ領域として3 Mバイト (0100000H-03FFFFFFH) あります。詳細については、**第19章 バス制御機能**を参照してください。

3.4.6 アドレス空間の推奨使用方法

V850E/IG4-H, V850E/IH4-Hのアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトの領域には、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

プログラム・カウンタ(PC)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

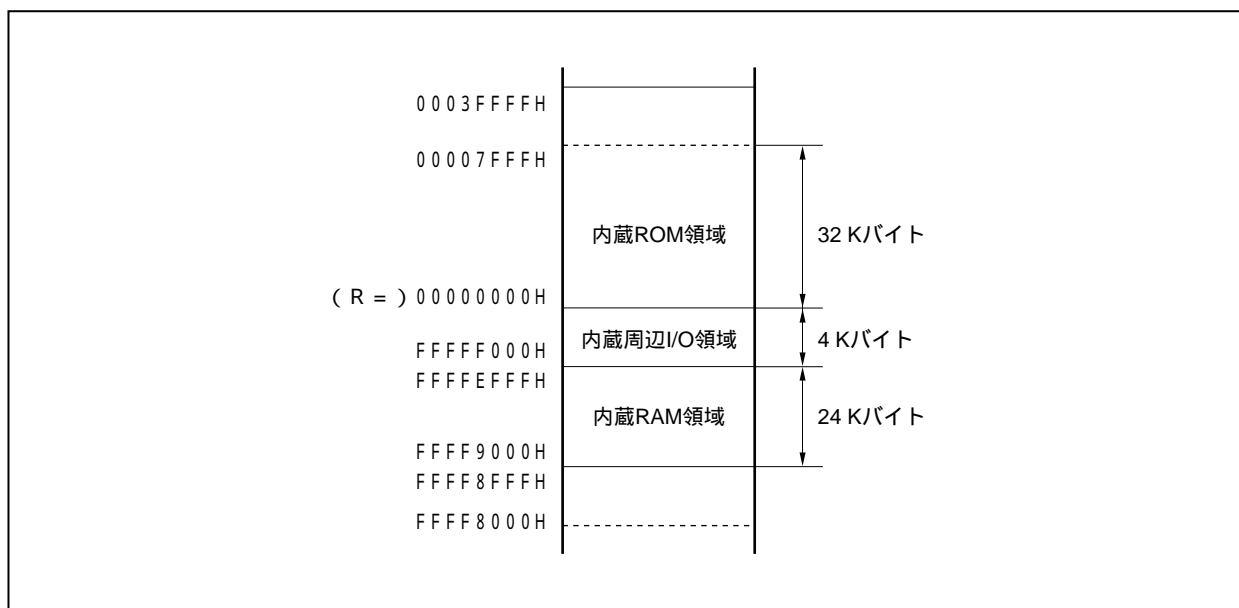
V850E/IG4-H, V850E/IH4-Hでは、4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μ PD70F3919 (V850E/IG4-H) の場合



3.4.7 内蔵周辺I/Oレジスタ

(1/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFF004H	ポートDLレジスタ	PDL	R/W					不定
FFFFF004H	ポートDLLレジスタ	PDLL						不定
FFFFF005H	ポートDLHレジスタ	PDLH						不定
FFFFF024H	ポートDLモード・レジスタ	PMDL						FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL						FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH						FFH
FFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL						0000H
FFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL						00H
FFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH						00H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC						5555H
FFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC						77H
FFFFF080H	DMAトリガ要因レジスタ0	DTFR0						0000H
FFFFF080H	DMAトリガ要因レジスタ0L	DTFR0L						00H
FFFFF081H	DMAトリガ要因レジスタ0H	DTFR0H						00H
FFFFF082H	DMAアドレッシング・コントロール・レジスタ0	DADC0						0000H
FFFFF084H	DMA転送回数指定レジスタ0	DTCR0						不定
FFFFF086H	DMA転送先アドレス指定レジスタ0	DDAR0						不定
FFFFF086H	DMA転送先アドレス指定レジスタ0L	DDAR0L						不定
FFFFF088H	DMA転送先アドレス指定レジスタ0H	DDAR0H						不定
FFFFF08AH	DMA転送元アドレス指定レジスタ0	DSAR0						不定
FFFFF08AH	DMA転送元アドレス指定レジスタ0L	DSAR0L						不定
FFFFF08CH	DMA転送元アドレス指定レジスタ0H	DSAR0H						不定
FFFFF08EH	DMAチャンネル・コントロール・レジスタ0	DCHC0						0000H
FFFFF090H	DMAトリガ要因レジスタ1	DTFR1						0000H
FFFFF090H	DMAトリガ要因レジスタ1L	DTFR1L						00H
FFFFF091H	DMAトリガ要因レジスタ1H	DTFR1H						00H
FFFFF092H	DMAアドレッシング・コントロール・レジスタ1	DADC1						0000H
FFFFF094H	DMA転送回数指定レジスタ1	DTCR1						不定
FFFFF096H	DMA転送先アドレス指定レジスタ1	DDAR1						不定
FFFFF096H	DMA転送先アドレス指定レジスタ1L	DDAR1L						不定
FFFFF098H	DMA転送先アドレス指定レジスタ1H	DDAR1H						不定
FFFFF09AH	DMA転送元アドレス指定レジスタ1	DSAR1						不定
FFFFF09AH	DMA転送元アドレス指定レジスタ1L	DSAR1L						不定
FFFFF09CH	DMA転送元アドレス指定レジスタ1H	DSAR1H						不定
FFFFF09EH	DMAチャンネル・コントロール・レジスタ1	DCHC1						0000H
FFFFF0A0H	DMAトリガ要因レジスタ2	DTFR2						0000H
FFFFF0A0H	DMAトリガ要因レジスタ2L	DTFR2L						00H
FFFFF0A1H	DMAトリガ要因レジスタ2H	DTFR2H						00H
FFFFF0A2H	DMAアドレッシング・コントロール・レジスタ2	DADC2						0000H
FFFFF0A4H	DMA転送回数指定レジスタ2	DTCR2						不定

(2/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFF0A6H	DMA転送先アドレス指定レジスタ2	DDAR2	R/W					不定
FFFFF0A6H	DMA転送先アドレス指定レジスタ2L	DDAR2L						不定
FFFFF0A8H	DMA転送先アドレス指定レジスタ2H	DDAR2H						不定
FFFFF0AAH	DMA転送元アドレス指定レジスタ2	DSAR2						不定
FFFFF0AAH	DMA転送元アドレス指定レジスタ2L	DSAR2L						不定
FFFFF0ACH	DMA転送元アドレス指定レジスタ2H	DSAR2H						不定
FFFFF0AEH	DMAチャンネル・コントロール・レジスタ2	DCHC2						0000H
FFFFF0B0H	DMAトリガ要因レジスタ3	DTFR3						0000H
FFFFF0B0H	DMAトリガ要因レジスタ3L	DTFR3L						00H
FFFFF0B1H	DMAトリガ要因レジスタ3H	DTFR3H						00H
FFFFF0B2H	DMAアドレッシング・コントロール・レジスタ3	DADC3						0000H
FFFFF0B4H	DMA転送回数指定レジスタ3	DTCR3						不定
FFFFF0B6H	DMA転送先アドレス指定レジスタ3	DDAR3						不定
FFFFF0B6H	DMA転送先アドレス指定レジスタ3L	DDAR3L						不定
FFFFF0B8H	DMA転送先アドレス指定レジスタ3H	DDAR3H						不定
FFFFF0BAH	DMA転送元アドレス指定レジスタ3	DSAR3						不定
FFFFF0BAH	DMA転送元アドレス指定レジスタ3L	DSAR3L						不定
FFFFF0BCH	DMA転送元アドレス指定レジスタ3H	DSAR3H						不定
FFFFF0BEH	DMAチャンネル・コントロール・レジスタ3	DCHC3						0000H
FFFFF0C0H	DMAトリガ要因レジスタ4	DTFR4						0000H
FFFFF0C0H	DMAトリガ要因レジスタ4L	DTFR4L						00H
FFFFF0C1H	DMAトリガ要因レジスタ4H	DTFR4H						00H
FFFFF0C2H	DMAアドレッシング・コントロール・レジスタ4	DADC4						0000H
FFFFF0C4H	DMA転送回数指定レジスタ4	DTCR4						不定
FFFFF0C6H	DMA転送先アドレス指定レジスタ4	DDAR4						不定
FFFFF0C6H	DMA転送先アドレス指定レジスタ4L	DDAR4L						不定
FFFFF0C8H	DMA転送先アドレス指定レジスタ4H	DDAR4H						不定
FFFFF0CAH	DMA転送元アドレス指定レジスタ4	DSAR4						不定
FFFFF0CAH	DMA転送元アドレス指定レジスタ4L	DSAR4L						不定
FFFFF0CCH	DMA転送元アドレス指定レジスタ4H	DSAR4H						不定
FFFFF0CEH	DMAチャンネル・コントロール・レジスタ4	DCHC4					0000H	
FFFFF0D0H	DMAトリガ要因レジスタ5	DTFR5					0000H	
FFFFF0D0H	DMAトリガ要因レジスタ5L	DTFR5L					00H	
FFFFF0D1H	DMAトリガ要因レジスタ5H	DTFR5H					00H	
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ5	DADC5					0000H	
FFFFF0D4H	DMA転送回数指定レジスタ5	DTCR5					不定	
FFFFF0D6H	DMA転送先アドレス指定レジスタ5	DDAR5					不定	
FFFFF0D6H	DMA転送先アドレス指定レジスタ5L	DDAR5L					不定	
FFFFF0D8H	DMA転送先アドレス指定レジスタ5H	DDAR5H					不定	
FFFFF0DAH	DMA転送元アドレス指定レジスタ5	DSAR5					不定	
FFFFF0DAH	DMA転送元アドレス指定レジスタ5L	DSAR5L					不定	
FFFFF0DCH	DMA転送元アドレス指定レジスタ5H	DSAR5H					不定	

(3/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFF0DEH	DMAチャンネル・コントロール・レジスタ5	DCHC5	R/W					0000H
FFFFF0E0H	DMAトリガ要因レジスタ6	DTFR6						0000H
FFFFF0E0H	DMAトリガ要因レジスタ6L	DTFR6L						00H
FFFFF0E1H	DMAトリガ要因レジスタ6H	DTFR6H						00H
FFFFF0E2H	DMAアドレッシング・コントロール・レジスタ6	DADC6						0000H
FFFFF0E4H	DMA転送回数指定レジスタ6	DTCR6						不定
FFFFF0E6H	DMA転送先アドレス指定レジスタ6	DDAR6						不定
FFFFF0E6H	DMA転送先アドレス指定レジスタ6L	DDAR6L						不定
FFFFF0E8H	DMA転送先アドレス指定レジスタ6H	DDAR6H						不定
FFFFF0EAH	DMA転送元アドレス指定レジスタ6	DSAR6						不定
FFFFF0EAH	DMA転送元アドレス指定レジスタ6L	DSAR6L						不定
FFFFF0ECH	DMA転送元アドレス指定レジスタ6H	DSAR6H						不定
FFFFF0EEH	DMAチャンネル・コントロール・レジスタ6	DCHC6						0000H
FFFFF0F0H	DMAステータス・レジスタ	DMAS						00H
FFFFF0F2H	DMAイネーブル・レジスタ	DEN						00H
FFFFF0F4H	DMAストップ・レジスタ	DMSTP						00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0						FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L						FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H						FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1						FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L						FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H						FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2						FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L						FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H						FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3						FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L						FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H						FFH
FFFFF108H	割り込みマスク・レジスタ4	IMR4						FFFFH
FFFFF108H	割り込みマスク・レジスタ4L	IMR4L						FFH
FFFFF109H	割り込みマスク・レジスタ4H	IMR4H						FFH
FFFFF10AH	割り込みマスク・レジスタ5	IMR5						FFFFH
FFFFF10AH	割り込みマスク・レジスタ5L	IMR5L						FFH
FFFFF10BH	割り込みマスク・レジスタ5H	IMR5H						FFH
FFFFF10CH	割り込みマスク・レジスタ6	IMR6						FFFFH
FFFFF10CH	割り込みマスク・レジスタ6L	IMR6L						FFH
FFFFF10DH	割り込みマスク・レジスタ6H	IMR6H						FFH
FFFFF110H	割り込み制御レジスタ	LVILIC						47H
FFFFF112H	割り込み制御レジスタ	LVIHIC						47H
FFFFF114H	割り込み制御レジスタ	PIC00						47H
FFFFF116H	割り込み制御レジスタ	PIC01						47H
FFFFF118H	割り込み制御レジスタ	PIC02						47H
FFFFF11AH	割り込み制御レジスタ	PIC03					47H	

(4/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF11CH	割り込み制御レジスタ	PIC04	R/W				47H
FFFFFF11EH	割り込み制御レジスタ	PIC05					47H
FFFFFF120H	割り込み制御レジスタ	PIC06					47H
FFFFFF122H	割り込み制御レジスタ	PIC07					47H
FFFFFF124H	割り込み制御レジスタ	PIC08					47H
FFFFFF126H	割り込み制御レジスタ	PIC09					47H
FFFFFF128H	割り込み制御レジスタ	PIC10					47H
FFFFFF12AH	割り込み制御レジスタ	PIC11					47H
FFFFFF12CH	割り込み制御レジスタ	PIC12					47H
FFFFFF12EH	割り込み制御レジスタ	PIC13					47H
FFFFFF130H	割り込み制御レジスタ	PIC14					47H
FFFFFF132H	割り込み制御レジスタ	PIC15					47H
FFFFFF134H	割り込み制御レジスタ	PIC16					47H
FFFFFF136H	割り込み制御レジスタ	PIC17					47H
FFFFFF138H	割り込み制御レジスタ	PIC18					47H
FFFFFF13AH	割り込み制御レジスタ	PIC19					47H
FFFFFF13CH	割り込み制御レジスタ	CMPIC0L					47H
FFFFFF13EH	割り込み制御レジスタ	CMPIC0F					47H
FFFFFF140H	割り込み制御レジスタ	CMPIC1L					47H
FFFFFF142H	割り込み制御レジスタ	CMPIC1F					47H
FFFFFF144H	割り込み制御レジスタ	TB0OVIC					47H
FFFFFF146H	割り込み制御レジスタ	TB0CCIC0					47H
FFFFFF148H	割り込み制御レジスタ	TB0CCIC1					47H
FFFFFF14AH	割り込み制御レジスタ	TB0CCIC2					47H
FFFFFF14CH	割り込み制御レジスタ	TB0CCIC3					47H
FFFFFF14EH	割り込み制御レジスタ	TB1OVIC					47H
FFFFFF150H	割り込み制御レジスタ	TB1CCIC0					47H
FFFFFF152H	割り込み制御レジスタ	TB1CCIC1					47H
FFFFFF154H	割り込み制御レジスタ	TB1CCIC2					47H
FFFFFF156H	割り込み制御レジスタ	TB1CCIC3					47H
FFFFFF158H	割り込み制御レジスタ	TT0OVIC					47H
FFFFFF15AH	割り込み制御レジスタ	TT0CCIC0					47H
FFFFFF15CH	割り込み制御レジスタ	TT0CCIC1					47H
FFFFFF15EH	割り込み制御レジスタ	TT0IECIC					47H
FFFFFF160H	割り込み制御レジスタ	TT1OVIC					47H
FFFFFF162H	割り込み制御レジスタ	TT1CCIC0					47H
FFFFFF164H	割り込み制御レジスタ	TT1CCIC1					47H
FFFFFF166H	割り込み制御レジスタ	TT1IECIC					47H
FFFFFF168H	割り込み制御レジスタ	TT2OVIC					47H
FFFFFF16AH	割り込み制御レジスタ	TT2CCIC0					47H
FFFFFF16CH	割り込み制御レジスタ	TT2CCIC1				47H	
FFFFFF16EH	割り込み制御レジスタ	TT3OVIC				47H	
FFFFFF170H	割り込み制御レジスタ	TT3CCIC0				47H	

(5/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF172H	割り込み制御レジスタ	TT3CCIC1	R/W				47H
FFFFFF174H	割り込み制御レジスタ	TA0OVIC					47H
FFFFFF176H	割り込み制御レジスタ	TA0CCIC0					47H
FFFFFF178H	割り込み制御レジスタ	TA0CCIC1					47H
FFFFFF17AH	割り込み制御レジスタ	TA1OVIC					47H
FFFFFF17CH	割り込み制御レジスタ	TA1CCIC0					47H
FFFFFF17EH	割り込み制御レジスタ	TA1CCIC1					47H
FFFFFF180H	割り込み制御レジスタ	TA2OVIC					47H
FFFFFF182H	割り込み制御レジスタ	TA2CCIC0					47H
FFFFFF184H	割り込み制御レジスタ	TA2CCIC1					47H
FFFFFF186H	割り込み制御レジスタ	DMAIC0					47H
FFFFFF188H	割り込み制御レジスタ	DMAIC1					47H
FFFFFF18AH	割り込み制御レジスタ	DMAIC2					47H
FFFFFF18CH	割り込み制御レジスタ	DMAIC3					47H
FFFFFF18EH	割り込み制御レジスタ	DMAIC4					47H
FFFFFF190H	割り込み制御レジスタ	DMAIC5					47H
FFFFFF192H	割り込み制御レジスタ	UREIC					47H
FFFFFF194H	割り込み制御レジスタ	URIC					47H
FFFFFF196H	割り込み制御レジスタ	UTIC					47H
FFFFFF198H	割り込み制御レジスタ	UIFIC					47H
FFFFFF19AH	割り込み制御レジスタ	UTOIC					47H
FFFFFF19CH	割り込み制御レジスタ	UA0REIC					47H
FFFFFF19EH	割り込み制御レジスタ	UA0RIC					47H
FFFFFF1A0H	割り込み制御レジスタ	UA0TIC					47H
FFFFFF1A2H	割り込み制御レジスタ	CF0REIC					47H
FFFFFF1A4H	割り込み制御レジスタ	CF0RIC					47H
FFFFFF1A6H	割り込み制御レジスタ	CF0TIC					47H
FFFFFF1A8H	割り込み制御レジスタ	UA1REIC					47H
FFFFFF1AAH	割り込み制御レジスタ	UA1RIC					47H
FFFFFF1ACH	割り込み制御レジスタ	UA1TIC					47H
FFFFFF1AEH	割り込み制御レジスタ	CF1REIC					47H
FFFFFF1B0H	割り込み制御レジスタ	CF1RIC					47H
FFFFFF1B2H	割り込み制御レジスタ	CF1TIC					47H
FFFFFF1B4H	割り込み制御レジスタ	UA2REIC					47H
FFFFFF1B6H	割り込み制御レジスタ	UA2RIC					47H
FFFFFF1B8H	割り込み制御レジスタ	UA2TIC					47H
FFFFFF1BAH	割り込み制御レジスタ	CF2REIC					47H
FFFFFF1BCH	割り込み制御レジスタ	CF2RIC					47H
FFFFFF1BEH	割り込み制御レジスタ	CF2TIC					47H
FFFFFF1C0H	割り込み制御レジスタ	IICIC					47H
FFFFFF1C2H	割り込み制御レジスタ	AD0IC				47H	
FFFFFF1C4H	割り込み制御レジスタ	AD1IC				47H	
FFFFFF1C6H	割り込み制御レジスタ	AD2IC				47H	

(6/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFF1C8H	割り込み制御レジスタ	TM0EQIC0	R/W				47H
FFFF1CAH	割り込み制御レジスタ	TM1EQIC0					47H
FFFF1CCH	割り込み制御レジスタ	TM2EQIC0					47H
FFFF1CEH	割り込み制御レジスタ	TM3EQIC0					47H
FFFF1D0H	割り込み制御レジスタ	ADT0IC					47H
FFFF1D2H	割り込み制御レジスタ	ADT1IC					47H
FFFF1D4H	割り込み制御レジスタ	UFIC0					47H
FFFF1D6H	割り込み制御レジスタ	UFIC1					47H
FFFF1D8H	割り込み制御レジスタ	DMAIC6					47H
FFFF1DAH	割り込み制御レジスタ	TB0OVVIC					47H
FFFF1DCH	割り込み制御レジスタ	TB0CCVIC0					47H
FFFF1DEH	割り込み制御レジスタ	TB1OVVIC					47H
FFFF1E0H	割り込み制御レジスタ	TB1CCVIC0					47H
FFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R				00H
FFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFF200H	A/D0変換結果レジスタ0	AD0CR0	R				0000H
FFFF201H	A/D0変換結果レジスタ0H	AD0CR0H					00H
FFFF202H	A/D0変換結果レジスタ1	AD0CR1					0000H
FFFF203H	A/D0変換結果レジスタ1H	AD0CR1H					00H
FFFF204H	A/D0変換結果レジスタ2	AD0CR2					0000H
FFFF205H	A/D0変換結果レジスタ2H	AD0CR2H					00H
FFFF206H	A/D0変換結果レジスタ3	AD0CR3					0000H
FFFF207H	A/D0変換結果レジスタ3H	AD0CR3H					00H
FFFF208H	A/D0変換結果レジスタ4	AD0CR4					0000H
FFFF209H	A/D0変換結果レジスタ4H	AD0CR4H					00H
FFFF20AH	A/D0変換結果レジスタ5	AD0CR5					0000H
FFFF20BH	A/D0変換結果レジスタ5H	AD0CR5H					00H
FFFF20CH	A/D0変換結果レジスタ6	AD0CR6					0000H
FFFF20DH	A/D0変換結果レジスタ6H	AD0CR6H					00H
FFFF20EH	A/D0変換結果レジスタ7	AD0CR7					0000H
FFFF20FH	A/D0変換結果レジスタ7H	AD0CR7H					00H
FFFF210H	A/D0変換結果レジスタ8	AD0CR8					0000H
FFFF211H	A/D0変換結果レジスタ8H	AD0CR8H					00H
FFFF212H	A/D0変換結果レジスタ9	AD0CR9					0000H
FFFF213H	A/D0変換結果レジスタ9H	AD0CR9H					00H
FFFF214H	A/D0変換結果レジスタ10	AD0CR10					0000H
FFFF215H	A/D0変換結果レジスタ10H	AD0CR10H					00H
FFFF216H	A/D0変換結果レジスタ11	AD0CR11					0000H
FFFF217H	A/D0変換結果レジスタ11H	AD0CR11H					00H
FFFF218H	A/D0変換結果レジスタ12	AD0CR12					0000H
FFFF219H	A/D0変換結果レジスタ12H	AD0CR12H					00H

(7/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF21AH	A/D0変換結果レジスタ13	AD0CR13	R				0000H
FFFFFF21BH	A/D0変換結果レジスタ13H	AD0CR13H					00H
FFFFFF21CH	A/D0変換結果レジスタ14	AD0CR14					0000H
FFFFFF21DH	A/D0変換結果レジスタ14H	AD0CR14H					00H
FFFFFF21EH	A/D0変換結果レジスタ15	AD0CR15					0000H
FFFFFF21FH	A/D0変換結果レジスタ15H	AD0CR15H					00H
FFFFFF220H	A/Dコンバータ0スキャン・モード・レジスタ	AD0SCM	R/W				0000H
FFFFFF220H	A/Dコンバータ0スキャン・モード・レジスタL	AD0SCML					00H
FFFFFF221H	A/Dコンバータ0スキャン・モード・レジスタH	AD0SCMH					00H
FFFFFF222H	A/Dコンバータ0変換時間制御レジスタ	AD0CTC					00H
FFFFFF224H	A/Dコンバータ0変換チャンネル指定レジスタ	AD0CHEN					0000H
FFFFFF224H	A/Dコンバータ0変換チャンネル指定レジスタL	AD0CHENL					00H
FFFFFF225H	A/Dコンバータ0変換チャンネル指定レジスタH	AD0CHENH				00H	
FFFFFF230H	A/Dコンバータ0制御レジスタ	AD0CTL0					00H
FFFFFF231H	A/Dコンバータ0トリガ選択レジスタ	AD0TSEL					10H
FFFFFF232H	A/Dコンバータ0チャンネル指定レジスタ1	AD0CH1					00H
FFFFFF233H	A/Dコンバータ0チャンネル指定レジスタ2	AD0CH2				00H	
FFFFFF240H	A/D0変換結果拡張レジスタ0	AD0ECR0	R				0000H
FFFFFF241H	A/D0変換結果拡張レジスタ0H	AD0ECR0H					00H
FFFFFF242H	A/D0変換結果拡張レジスタ1	AD0ECR1					0000H
FFFFFF243H	A/D0変換結果拡張レジスタ1H	AD0ECR1H					00H
FFFFFF244H	A/D0変換結果拡張レジスタ2	AD0ECR2					0000H
FFFFFF245H	A/D0変換結果拡張レジスタ2H	AD0ECR2H					00H
FFFFFF246H	A/D0変換結果拡張レジスタ3	AD0ECR3					0000H
FFFFFF247H	A/D0変換結果拡張レジスタ3H	AD0ECR3H					00H
FFFFFF248H	A/D0変換結果拡張レジスタ4	AD0ECR4					0000H
FFFFFF249H	A/D0変換結果拡張レジスタ4H	AD0ECR4H					00H
FFFFFF254H	A/Dコンバータ0フラグ・レジスタ	AD0FLG					00H
FFFFFF255H	A/Dコンバータ0フラグ・バッファ・レジスタ	AD0FLGB					00H
FFFFFF260H	オペアンプ0制御レジスタ0	OP0CTL0	R/W				00H
FFFFFF261H	コンパレータ0制御レジスタ0	CMPOCTL0					00H
FFFFFF262H	コンパレータ0制御レジスタ1	CMPOCTL1	R				00H
FFFFFF263H	コンパレータ0制御レジスタ2	CMPOCTL2	R/W				00H
FFFFFF264H	コンパレータ0制御レジスタ3	CMPOCTL3					00H
FFFFFF270H	A/Dコンバータ0クロック選択レジスタ	AD0OCKS					00H
FFFFFF274H	A/Dコンバータ1クロック選択レジスタ	AD1OCKS				00H	
FFFFFF278H	コンパレータ出力デジタル・ノイズ除去レジスタ0L	CMPNFC0L					00H
FFFFFF27AH	コンパレータ出力デジタル・ノイズ除去レジスタ0F	CMPNFC0F					00H
FFFFFF27CH	コンパレータ出力デジタル・ノイズ除去レジスタ1L	CMPNFC1L					00H
FFFFFF27EH	コンパレータ出力デジタル・ノイズ除去レジスタ1F	CMPNFC1F					00H
FFFFFF280H	A/D1変換結果レジスタ0	AD1CR0	R				0000H
FFFFFF281H	A/D1変換結果レジスタ0H	AD1CR0H					00H

(8/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF282H	A/D1変換結果レジスタ1	AD1CR1	R				0000H
FFFFFF283H	A/D1変換結果レジスタ1H	AD1CR1H					00H
FFFFFF284H	A/D1変換結果レジスタ2	AD1CR2					0000H
FFFFFF285H	A/D1変換結果レジスタ2H	AD1CR2H					00H
FFFFFF286H	A/D1変換結果レジスタ3	AD1CR3					0000H
FFFFFF287H	A/D1変換結果レジスタ3H	AD1CR3H					00H
FFFFFF288H	A/D1変換結果レジスタ4	AD1CR4					0000H
FFFFFF289H	A/D1変換結果レジスタ4H	AD1CR4H					00H
FFFFFF28AH	A/D1変換結果レジスタ5	AD1CR5					0000H
FFFFFF28BH	A/D1変換結果レジスタ5H	AD1CR5H					00H
FFFFFF28CH	A/D1変換結果レジスタ6	AD1CR6					0000H
FFFFFF28DH	A/D1変換結果レジスタ6H	AD1CR6H					00H
FFFFFF28EH	A/D1変換結果レジスタ7	AD1CR7					0000H
FFFFFF28FH	A/D1変換結果レジスタ7H	AD1CR7H					00H
FFFFFF290H	A/D1変換結果レジスタ8	AD1CR8					0000H
FFFFFF291H	A/D1変換結果レジスタ8H	AD1CR8H					00H
FFFFFF292H	A/D1変換結果レジスタ9	AD1CR9					0000H
FFFFFF293H	A/D1変換結果レジスタ9H	AD1CR9H					00H
FFFFFF294H	A/D1変換結果レジスタ10	AD1CR10					0000H
FFFFFF295H	A/D1変換結果レジスタ10H	AD1CR10H					00H
FFFFFF296H	A/D1変換結果レジスタ11	AD1CR11					0000H
FFFFFF297H	A/D1変換結果レジスタ11H	AD1CR11H					00H
FFFFFF298H	A/D1変換結果レジスタ12	AD1CR12					0000H
FFFFFF299H	A/D1変換結果レジスタ12H	AD1CR12H					00H
FFFFFF29AH	A/D1変換結果レジスタ13	AD1CR13					0000H
FFFFFF29BH	A/D1変換結果レジスタ13H	AD1CR13H					00H
FFFFFF29CH	A/D1変換結果レジスタ14	AD1CR14					0000H
FFFFFF29DH	A/D1変換結果レジスタ14H	AD1CR14H					00H
FFFFFF29EH	A/D1変換結果レジスタ15	AD1CR15					0000H
FFFFFF29FH	A/D1変換結果レジスタ15H	AD1CR15H					00H
FFFFFF2A0H	A/Dコンバータ1スキャン・モード・レジスタ	AD1SCM	R/W				0000H
FFFFFF2A0H	A/Dコンバータ1スキャン・モード・レジスタL	AD1SCML					00H
FFFFFF2A1H	A/Dコンバータ1スキャン・モード・レジスタH	AD1SCMH					00H
FFFFFF2A2H	A/Dコンバータ1変換時間制御レジスタ	AD1CTC					00H
FFFFFF2A4H	A/Dコンバータ1変換チャンネル指定レジスタ	AD1CHEN					0000H
FFFFFF2A4H	A/Dコンバータ1変換チャンネル指定レジスタL	AD1CHENL					00H
FFFFFF2A5H	A/Dコンバータ1変換チャンネル指定レジスタH	AD1CHENH					00H
FFFFFF2B0H	A/Dコンバータ1制御レジスタ	AD1CTL0					00H
FFFFFF2B1H	A/Dコンバータ1トリガ選択レジスタ	AD1TSEL					10H
FFFFFF2B2H	A/Dコンバータ1チャンネル指定レジスタ1	AD1CH1					00H
FFFFFF2B3H	A/Dコンバータ1チャンネル指定レジスタ2	AD1CH2					00H

(9/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF2C0H	A/D1変換結果拡張レジスタ0	AD1ECR0	R				0000H
FFFFF2C1H	A/D1変換結果拡張レジスタ0H	AD1ECR0H					00H
FFFFF2C2H	A/D1変換結果拡張レジスタ1	AD1ECR1					0000H
FFFFF2C3H	A/D1変換結果拡張レジスタ1H	AD1ECR1H					00H
FFFFF2C4H	A/D1変換結果拡張レジスタ2	AD1ECR2					0000H
FFFFF2C5H	A/D1変換結果拡張レジスタ2H	AD1ECR2H					00H
FFFFF2C6H	A/D1変換結果拡張レジスタ3	AD1ECR3					0000H
FFFFF2C7H	A/D1変換結果拡張レジスタ3H	AD1ECR3H					00H
FFFFF2C8H	A/D1変換結果拡張レジスタ4	AD1ECR4					0000H
FFFFF2C9H	A/D1変換結果拡張レジスタ4H	AD1ECR4H					00H
FFFFF2D4H	A/Dコンバータ1フラグ・レジスタ	AD1FLG					00H
FFFFF2D5H	A/Dコンバータ1フラグ・バッファ・レジスタ	AD1FLGB					00H
FFFFF2E0H	オペアンプ1制御レジスタ0	OP1CTL0	R/W				00H
FFFFF2E1H	コンパレータ1制御レジスタ0	CMP1CTL0	R				00H
FFFFF2E2H	コンパレータ1制御レジスタ1	CMP1CTL1					00H
FFFFF2E3H	コンパレータ1制御レジスタ2	CMP1CTL2	R/W				00H
FFFFF2E4H	コンパレータ1制御レジスタ3	CMP1CTL3					00H
FFFFF2F0H	A/Dトリガ立ち下がりエッジ指定レジスタ	ADTF					00H
FFFFF2F2H	A/Dトリガ立ち上がりエッジ指定レジスタ	ADTR					00H
FFFFF2F4H	コンパレータ出力割り込み立ち下がりエッジ指定レジスタ	CMPOF					00H
FFFFF2F6H	コンパレータ出力割り込み立ち上がりエッジ指定レジスタ	CMPOR					00H
FFFFF2F8H	A/DLDTRG1入力選択レジスタ	ADLTS1					00H
FFFFF2FAH	A/DLDTRG2入力選択レジスタ	ADLTS2					00H
FFFFF310H	デジタル・ノイズ除去0制御レジスタ00	INTNFC00					00H
FFFFF312H	デジタル・ノイズ除去0制御レジスタ01	INTNFC01					00H
FFFFF314H	デジタル・ノイズ除去0制御レジスタ02	INTNFC02					00H
FFFFF318H	デジタル・ノイズ除去0制御レジスタ17	INTNFC17					00H
FFFFF31AH	デジタル・ノイズ除去0制御レジスタ18	INTNFC18					00H
FFFFF31CH	デジタル・ノイズ除去0制御レジスタ19	INTNFC19					00H
FFFFF340H	DMAウエイト・コントロール・レジスタ0	DMAWC0					37H
FFFFF342H	DMAウエイト・コントロール・レジスタ1	DMAWC1					07H
FFFFF3A0H	ポートDLファンクション・コントロール・レジスタ	PFCDL					0000H
FFFFF3A0H	ポートDLファンクション・コントロール・レジスタL	PFCDLL					00H
FFFFF3A1H	ポートDLファンクション・コントロール・レジスタH	PFCDLH					00H
FFFFF3C0H	ポートDLファンクション・コントロール拡張レジスタ	PFCEDL					0000H
FFFFF3C0H	ポートDLファンクション・コントロール拡張レジスタL	PFCEDLL					00H
FFFFF3C1H	ポートDLファンクション・コントロール拡張レジスタH	PFCEDLH				00H	
FFFFF400H	ポート0レジスタ	P0					不定
FFFFF402H	ポート1レジスタ	P1					不定
FFFFF404H	ポート2レジスタ	P2					不定
FFFFF406H	ポート3レジスタ	P3					不定
FFFFF408H	ポート4レジスタ	P4					不定
FFFFF40AH	ポート5レジスタ	P5					不定

(10/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF412H	ポート9レジスタ	Pg ^注	R/W				不定
FFFFF420H	ポート0モード・レジスタ	PM0					FFH
FFFFF422H	ポート1モード・レジスタ	PM1					FFH
FFFFF424H	ポート2モード・レジスタ	PM2					FFH
FFFFF426H	ポート3モード・レジスタ	PM3					FFH
FFFFF428H	ポート4モード・レジスタ	PM4					FFH
FFFFF42AH	ポート5モード・レジスタ	PM5					FFH
FFFFF432H	ポート9モード・レジスタ	PM9 ^注					FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0					00H
FFFFF442H	ポート1モード・コントロール・レジスタ	PMC1					00H
FFFFF444H	ポート2モード・コントロール・レジスタ	PMC2					00H
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					00H
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5					00H
FFFFF452H	ポート9モード・コントロール・レジスタ	PMC9 ^注					00H
FFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0					00H
FFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1					00H
FFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2					00H
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3					00H
FFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4					00H
FFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5					00H
FFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0					CCCCH
FFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0					7777H
FFFFF488H	アドレス・ウェイト・コントロール・レジスタ	AWC					FFFFH
FFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC					AAAAH
FFFFF48EH	バス・クロック分周制御レジスタ	DVC					83H
FFFFF540H	TMM0制御レジスタ0	TM0CTL0					00H
FFFFF544H	TMM0コンペア・レジスタ0	TM0CMP0					0000H
FFFFF550H	TMM1制御レジスタ0	TM1CTL0					00H
FFFFF554H	TMM1コンペア・レジスタ0	TM1CMP0					0000H
FFFFF560H	TMM2制御レジスタ0	TM2CTL0					00H
FFFFF564H	TMM2コンペア・レジスタ0	TM2CMP0					0000H
FFFFF570H	TMM3制御レジスタ0	TM3CTL0					00H
FFFFF574H	TMM3コンペア・レジスタ0	TM3CMP0					0000H
FFFFF580H	TMT0制御レジスタ0	TT0CTL0					00H
FFFFF581H	TMT0制御レジスタ1	TT0CTL1					00H
FFFFF582H	TMT0制御レジスタ2	TT0CTL2					00H
FFFFF583H	TMT0I/O制御レジスタ0	TT0IOC0					00H
FFFFF584H	TMT0I/O制御レジスタ1	TT0IOC1					00H
FFFFF585H	TMT0I/O制御レジスタ2	TT0IOC2					00H
FFFFF586H	TMT0I/O制御レジスタ3	TT0IOC3					00H
FFFFF587H	TMT0オプション・レジスタ0	TT0OPT0					00H

注 V850E/IH4-Hのみ

(11/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF588H	TMT0オプション・レジスタ1	TT0OPT1	R/W				00H
FFFFFF58AH	TMT0キャプチャ/コンペア・レジスタ0	TT0CCR0					0000H
FFFFFF58CH	TMT0キャプチャ/コンペア・レジスタ1	TT0CCR1					0000H
FFFFFF58EH	TMT0カウンタ・リード・バッファ・レジスタ	TT0CNT	R				0000H
FFFFFF590H	TMT0カウンタ・ライト・レジスタ	TT0TCW	R/W				0000H
FFFFFF5A0H	デジタル・ノイズ除去2制御レジスタ0	TTNFC0					00H
FFFFFF5A2H	デジタル・ノイズ除去2制御レジスタ1	TTNFC1					00H
FFFFFF5A4H	TMT0キャプチャ入力選択レジスタ	TTISL0					不定
FFFFFF5A6H	TMT1キャプチャ入力選択レジスタ	TTISL1					不定
FFFFFF5C0H	TMT1制御レジスタ0	TT1CTL0					00H
FFFFFF5C1H	TMT1制御レジスタ1	TT1CTL1					00H
FFFFFF5C2H	TMT1制御レジスタ2	TT1CTL2					00H
FFFFFF5C3H	TMT1I/O制御レジスタ0	TT1IOC0					00H
FFFFFF5C4H	TMT1I/O制御レジスタ1	TT1IOC1					00H
FFFFFF5C5H	TMT1I/O制御レジスタ2	TT1IOC2					00H
FFFFFF5C6H	TMT1I/O制御レジスタ3	TT1IOC3					00H
FFFFFF5C7H	TMT1オプション・レジスタ0	TT1OPT0					00H
FFFFFF5C8H	TMT1オプション・レジスタ1	TT1OPT1					00H
FFFFFF5CAH	TMT1キャプチャ/コンペア・レジスタ0	TT1CCR0					0000H
FFFFFF5CCH	TMT1キャプチャ/コンペア・レジスタ1	TT1CCR1					0000H
FFFFFF5CEH	TMT1カウンタ・リード・バッファ・レジスタ	TT1CNT	R				0000H
FFFFFF5D0H	TMT1カウンタ・ライト・レジスタ	TT1TCW	R/W				0000H
FFFFFF5E0H	TAB0制御レジスタ0	TAB0CTL0					00H
FFFFFF5E1H	TAB0制御レジスタ1	TAB0CTL1					00H
FFFFFF5E2H	TAB0I/O制御レジスタ0	TAB0IOC0					00H
FFFFFF5E3H	TAB0I/O制御レジスタ1	TAB0IOC1					00H
FFFFFF5E4H	TAB0I/O制御レジスタ2	TAB0IOC2					00H
FFFFFF5E5H	TAB0オプション・レジスタ0	TAB0OPT0					00H
FFFFFF5E6H	TAB0キャプチャ/コンペア・レジスタ0	TAB0CCR0					0000H
FFFFFF5E8H	TAB0キャプチャ/コンペア・レジスタ1	TAB0CCR1					0000H
FFFFFF5EAH	TAB0キャプチャ/コンペア・レジスタ2	TAB0CCR2					0000H
FFFFFF5ECH	TAB0キャプチャ/コンペア・レジスタ3	TAB0CCR3					0000H
FFFFFF5EEH	TAB0カウンタ・リード・バッファ・レジスタ	TAB0CNT	R				0000H
FFFFFF600H	TAB0オプション・レジスタ1	TAB0OPT1	R/W				00H
FFFFFF601H	TAB0オプション・レジスタ2	TAB0OPT2					00H
FFFFFF602H	TAB0I/O制御レジスタ3	TAB0IOC3					A8H
FFFFFF603H	TAB0オプション・レジスタ3	TAB0OPT3					00H
FFFFFF604H	TAB0デッド・タイム・コンペア・レジスタ	TAB0DTC					0000H
FFFFFF610H	ハイ・インピーダンス出力制御レジスタ00	HZA0CTL0					00H
FFFFFF611H	ハイ・インピーダンス出力制御レジスタ01	HZA0CTL1					00H
FFFFFF618H	ハイ・インピーダンス出力制御レジスタ10	HZA1CTL0 ^注					00H
FFFFFF619H	ハイ・インピーダンス出力制御レジスタ11	HZA1CTL1 ^注					00H

注 V850E/IH4-Hのみ

(12/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFF620H	TAB1制御レジスタ0	TAB1CTL0	R/W				00H	
FFFFF621H	TAB1制御レジスタ1	TAB1CTL1					00H	
FFFFF622H	TAB1I/O制御レジスタ0	TAB1IOC0					00H	
FFFFF623H	TAB1I/O制御レジスタ1	TAB1IOC1 ^注					00H	
FFFFF624H	TAB1I/O制御レジスタ2	TAB1IOC2					00H	
FFFFF625H	TAB1オプション・レジスタ0	TAB1OPT0					00H	
FFFFF626H	TAB1キャプチャ/コンペア・レジスタ0	TAB1CCR0					0000H	
FFFFF628H	TAB1キャプチャ/コンペア・レジスタ1	TAB1CCR1					0000H	
FFFFF62AH	TAB1キャプチャ/コンペア・レジスタ2	TAB1CCR2					0000H	
FFFFF62CH	TAB1キャプチャ/コンペア・レジスタ3	TAB1CCR3					0000H	
FFFFF62EH	TAB1カウンタ・リード・パッファ・レジスタ	TAB1CNT	R				0000H	
FFFFF640H	TAB1オプション・レジスタ1	TAB1OPT1 ^注	R/W				00H	
FFFFF641H	TAB1オプション・レジスタ2	TAB1OPT2 ^注					00H	
FFFFF642H	TAB1I/O制御レジスタ3	TAB1IOC3 ^注					A8H	
FFFFF643H	TAB1オプション・レジスタ3	TAB1OPT3 ^注					00H	
FFFFF644H	TAB1デッド・タイム・コンペア・レジスタ	TAB1DTC ^注					0000H	
FFFFF650H	ハイ・インピーダンス出力制御レジスタ20	HZA2CTL0					00H	
FFFFF651H	ハイ・インピーダンス出力制御レジスタ21	HZA2CTL1					00H	
FFFFF658H	ハイ・インピーダンス出力制御レジスタ30	HZA3CTL0 ^注					00H	
FFFFF659H	ハイ・インピーダンス出力制御レジスタ31	HZA3CTL1 ^注					00H	
FFFFF660H	TAA0制御レジスタ0	TAA0CTL0					00H	
FFFFF661H	TAA0制御レジスタ1	TAA0CTL1				00H		
FFFFF662H	TAA0I/O制御レジスタ0	TAA0IOC0				00H		
FFFFF665H	TAA0オプション・レジスタ0	TAA0OPT0				00H		
FFFFF666H	TAA0キャプチャ/コンペア・レジスタ0	TAA0CCR0				0000H		
FFFFF668H	TAA0キャプチャ/コンペア・レジスタ1	TAA0CCR1				0000H		
FFFFF66AH	TAA0カウンタ・リード・パッファ・レジスタ	TAA0CNT	R				0000H	
FFFFF680H	TAA1制御レジスタ0	TAA1CTL0	R/W				00H	
FFFFF681H	TAA1制御レジスタ1	TAA1CTL1					00H	
FFFFF682H	TAA1I/O制御レジスタ0	TAA1IOC0					00H	
FFFFF685H	TAA1オプション・レジスタ0	TAA1OPT0					00H	
FFFFF686H	TAA1キャプチャ/コンペア・レジスタ0	TAA1CCR0					0000H	
FFFFF688H	TAA1キャプチャ/コンペア・レジスタ1	TAA1CCR1					0000H	
FFFFF68AH	TAA1カウンタ・リード・パッファ・レジスタ	TAA1CNT		R				0000H
FFFFF6A0H	TAA2制御レジスタ0	TAA2CTL0		R/W				00H
FFFFF6A1H	TAA2制御レジスタ1	TAA2CTL1						00H
FFFFF6A2H	TAA2I/O制御レジスタ0	TAA2IOC0						00H
FFFFF6A3H	TAA2I/O制御レジスタ1	TAA2IOC1					00H	
FFFFF6A4H	TAA2I/O制御レジスタ2	TAA2IOC2					00H	
FFFFF6A5H	TAA2オプション・レジスタ0	TAA2OPT0					00H	
FFFFF6A6H	TAA2キャプチャ/コンペア・レジスタ0	TAA2CCR0					0000H	
FFFFF6A8H	TAA2キャプチャ/コンペア・レジスタ1	TAA2CCR1					0000H	

注 V850E/IH4-Hのみ

(13/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFF6AAH	TAA2カウンタ・リード・バッファ・レジスタ	TAA2CNT	R				0000H	
FFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W				05H	
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					67H	
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE					1AH	
FFFFF700H	ポート0ファンクション・コントロール拡張レジスタ	PFCE0					00H	
FFFFF702H	ポート1ファンクション・コントロール拡張レジスタ	PFCE1					00H	
FFFFF704H	ポート2ファンクション・コントロール拡張レジスタ	PFCE2					00H	
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3					00H	
FFFFF708H	ポート4ファンクション・コントロール拡張レジスタ	PFCE4					00H	
FFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5					00H	
FFFFF780H	TMT2制御レジスタ0	TT2CTL0					00H	
FFFFF781H	TMT2制御レジスタ1	TT2CTL1					00H	
FFFFF783H	TMT2I/O制御レジスタ0	TT2IOC0					00H	
FFFFF784H	TMT2I/O制御レジスタ1	TT2IOC1					00H	
FFFFF785H	TMT2I/O制御レジスタ2	TT2IOC2					00H	
FFFFF787H	TMT2オプション・レジスタ0	TT2OPT0					00H	
FFFFF78AH	TMT2キャプチャ/コンペア・レジスタ0	TT2CCR0					0000H	
FFFFF78CH	TMT2キャプチャ/コンペア・レジスタ1	TT2CCR1					0000H	
FFFFF78EH	TMT2カウンタ・リード・バッファ・レジスタ	TT2CNT	R			0000H		
FFFFF7A0H	デジタル・ノイズ除去3制御レジスタ2	TTNFC2	R/W				00H	
FFFFF7A2H	デジタル・ノイズ除去3制御レジスタ3	TTNFC3					00H	
FFFFF7C0H	TMT3制御レジスタ0	TT3CTL0					00H	
FFFFF7C1H	TMT3制御レジスタ1	TT3CTL1					00H	
FFFFF7C3H	TMT3I/O制御レジスタ0	TT3IOC0					00H	
FFFFF7C4H	TMT3I/O制御レジスタ1	TT3IOC1					00H	
FFFFF7C5H	TMT3I/O制御レジスタ2	TT3IOC2					00H	
FFFFF7C7H	TMT3オプション・レジスタ0	TT3OPT0					00H	
FFFFF7CAH	TMT3キャプチャ/コンペア・レジスタ0	TT3CCR0					0000H	
FFFFF7CCH	TMT3キャプチャ/コンペア・レジスタ1	TT3CCR1					0000H	
FFFFF7CEH	TMT3カウンタ・リード・バッファ・レジスタ	TT3CNT		R			0000H	
FFFFF802H	システム・ステータス・レジスタ	SYS		R/W				00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR						00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC						03H
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL						01H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM						00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF						00H/10H/01H
FFFFF890H	低電圧検出レジスタ	LVIM					00H	
FFFFF891H	低電圧検出レベル選択レジスタ	LVIS					00H	
FFFFFA00H	UARTA0制御レジスタ0	UA0CTL0					10H	
FFFFFA01H	UARTA0制御レジスタ1	UA0CTL1					00H	
FFFFFA02H	UARTA0制御レジスタ2	UA0CTL2					FFH	
FFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0					14H	
FFFFFA04H	UARTA0状態レジスタ	UA0STR					00H	

(14/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R				FFH
FFFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W				FFH
FFFFFFA10H	UARTA1制御レジスタ0	UA1CTL0					10H
FFFFFFA11H	UARTA1制御レジスタ1	UA1CTL1					00H
FFFFFFA12H	UARTA1制御レジスタ2	UA1CTL2					FFH
FFFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0					14H
FFFFFFA14H	UARTA1状態レジスタ	UA1STR					00H
FFFFFFA16H	UARTA1受信データ・レジスタ	UA1RX		R			
FFFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W				FFH
FFFFFFA20H	UARTA2制御レジスタ0	UA2CTL0					10H
FFFFFFA21H	UARTA2制御レジスタ1	UA2CTL1					00H
FFFFFFA22H	UARTA2制御レジスタ2	UA2CTL2					FFH
FFFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0					14H
FFFFFFA24H	UARTA2状態レジスタ	UA2STR					00H
FFFFFFA26H	UARTA2受信データ・レジスタ	UA2RX		R			
FFFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W				FFH
FFFFFFA40H	UARTB制御レジスタ0	UBCTL0					10H
FFFFFFA42H	UARTB制御レジスタ2	UBCTL2					FFFFH
FFFFFFA44H	UARTB状態レジスタ	UBSTR					00H
FFFFFFA46H	UARTB受信データ・レジスタAP	UBRXAP	R				00FFH
FFFFFFA46H	UARTB受信データ・レジスタ	UBRX					FFH
FFFFFFA48H	UARTB送信データ・レジスタ	UBTX	W				FFH
FFFFFFA4AH	UARTBFIFO制御レジスタ0	UBFIC0	R/W				00H
FFFFFFA4BH	UARTBFIFO制御レジスタ1	UBFIC1					00H
FFFFFFA4CH	UARTBFIFO制御レジスタ2	UBFIC2					0000H
FFFFFFA4CH	UARTBFIFO制御レジスタ2L	UBFIC2L					00H
FFFFFFA4DH	UARTBFIFO制御レジスタ2H	UBFIC2H					00H
FFFFFFA4EH	UARTBFIFO状態レジスタ0	UBFIS0	R				00H
FFFFFFA4FH	UARTBFIFO状態レジスタ1	UBFIS1					10H
FFFFFFB00H	D/Aコンバータ0変換値設定レジスタ0	DA0CS0	R/W				00H
FFFFFFB01H	D/Aコンバータ0変換値設定レジスタ1	DA0CS1					00H
FFFFFFB02H	D/Aコンバータ0モード・レジスタ	DA0M					00H
FFFFFFB10H	D/Aコンバータ1変換値設定レジスタ0	DA1CS0					00H
FFFFFFB11H	D/Aコンバータ1変換値設定レジスタ1	DA1CS1					00H
FFFFFFB12H	D/Aコンバータ1モード・レジスタ	DA1M					00H
FFFFFFB40H	デジタル・ノイズ除去1制御レジスタ2	TANFC2					00H
FFFFFFB80H	A/Dコンバータ2モード・レジスタ0	AD2M0					00H
FFFFFFB81H	A/Dコンバータ2モード・レジスタ1	AD2M1					00H
FFFFFFB82H	A/Dコンバータ2チャンネル指定レジスタ	AD2S					00H

(15/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFB90H	A/D2変換結果レジスタ0	AD2CR0	R				0000H
FFFFFB91H	A/D2変換結果レジスタ0H	AD2CR0H					00H
FFFFFB92H	A/D2変換結果レジスタ1	AD2CR1					0000H
FFFFFB93H	A/D2変換結果レジスタ1H	AD2CR1H					00H
FFFFFB94H	A/D2変換結果レジスタ2	AD2CR2					0000H
FFFFFB95H	A/D2変換結果レジスタ2H	AD2CR2H					00H
FFFFFB96H	A/D2変換結果レジスタ3	AD2CR3					0000H
FFFFFB97H	A/D2変換結果レジスタ3H	AD2CR3H					00H
FFFFFB98H	A/D2変換結果レジスタ4	AD2CR4					0000H
FFFFFB99H	A/D2変換結果レジスタ4H	AD2CR4H					00H
FFFFFB9AH	A/D2変換結果レジスタ5	AD2CR5					0000H
FFFFFB9BH	A/D2変換結果レジスタ5H	AD2CR5H					00H
FFFFFB9CH	A/D2変換結果レジスタ6	AD2CR6					0000H
FFFFFB9DH	A/D2変換結果レジスタ6H	AD2CR6H					00H
FFFFFB9EH	A/D2変換結果レジスタ7	AD2CR7					0000H
FFFFFB9FH	A/D2変換結果レジスタ7H	AD2CR7H					00H
FFFFFBA0H	A/D2変換結果レジスタ8	AD2CR8					0000H
FFFFFBA1H	A/D2変換結果レジスタ8H	AD2CR8H					00H
FFFFFBA2H	A/D2変換結果レジスタ9	AD2CR9					0000H
FFFFFBA3H	A/D2変換結果レジスタ9H	AD2CR9H					00H
FFFFFBA4H	A/D2変換結果レジスタ10	AD2CR10					0000H
FFFFFBA5H	A/D2変換結果レジスタ10H	AD2CR10H					00H
FFFFFBA6H	A/D2変換結果レジスタ11	AD2CR11					0000H
FFFFFBA7H	A/D2変換結果レジスタ11H	AD2CR11H					00H
FFFFFB0H	ポート7レジスタL	P7L	R				不定
FFFFFB1H	ポート7レジスタH	P7H					不定
FFFFFB8H	ポート7モード・コントロール・レジスタL	PMC7L	R/W				00H
FFFFFB9H	ポート7モード・コントロール・レジスタH	PMC7H					00H
FFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H
FFFFC02H	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1					00H
FFFFC04H	外部割り込み立ち下がりエッジ指定レジスタ2	INTF2					00H
FFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3					00H
FFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H
FFFFC22H	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1					00H
FFFFC24H	外部割り込み立ち上がりエッジ指定レジスタ2	INTR2					00H
FFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3					00H
FFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0					00H
FFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1					00H
FFFFC44H	プルアップ抵抗オプション・レジスタ2	PU2					00H
FFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3					00H
FFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4					00H
FFFFC4AH	プルアップ抵抗オプション・レジスタ5	PU5					00H

(16/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFC52H	ブルアップ抵抗オプション・レジスタ9	PU9 ^注	R/W				00H
FFFFFC66H	ポート3ファンクション・レジスタ	PF3					00H
FFFFFD00H	CSIF0制御レジスタ0	CF0CTL0					01H
FFFFFD01H	CSIF0制御レジスタ1	CF0CTL1					00H
FFFFFD02H	CSIF0制御レジスタ2	CF0CTL2					00H
FFFFFD03H	CSIF0状態レジスタ	CF0STR					00H
FFFFFD04H	CSIF0受信データ・レジスタ	CF0RX	R				0000H
FFFFFD04H	CSIF0受信データ・レジスタL	CF0RXL					00H
FFFFFD06H	CSIF0送信データ・レジスタ	CF0TX	R/W				0000H
FFFFFD06H	CSIF0送信データ・レジスタL	CF0TXL					00H
FFFFFD10H	CSIF1制御レジスタ0	CF1CTL0					01H
FFFFFD11H	CSIF1制御レジスタ1	CF1CTL1					00H
FFFFFD12H	CSIF1制御レジスタ2	CF1CTL2					00H
FFFFFD13H	CSIF1状態レジスタ	CF1STR					00H
FFFFFD14H	CSIF1受信データ・レジスタ	CF1RX	R				0000H
FFFFFD14H	CSIF1受信データ・レジスタL	CF1RXL					00H
FFFFFD16H	CSIF1送信データ・レジスタ	CF1TX	R/W				0000H
FFFFFD16H	CSIF1送信データ・レジスタL	CF1TXL					00H
FFFFFD20H	CSIF2制御レジスタ0	CF2CTL0					01H
FFFFFD21H	CSIF2制御レジスタ1	CF2CTL1					00H
FFFFFD22H	CSIF2制御レジスタ2	CF2CTL2					00H
FFFFFD23H	CSIF2状態レジスタ	CF2STR					00H
FFFFFD24H	CSIF2受信データ・レジスタ	CF2RX	R				0000H
FFFFFD24H	CSIF2受信データ・レジスタL	CF2RXL					00H
FFFFFD26H	CSIF2送信データ・レジスタ	CF2TX	R/W				0000H
FFFFFD26H	CSIF2送信データ・レジスタL	CF2TXL					00H
FFFFFD80H	IICシフト・レジスタ0	IIC0					00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0					00H
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0					00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0					00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0					00H
FFFFFD86H	IIC状態レジスタ0	IICCS0	R				00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W				00H
FFFFFD90H	IICOPSクロック選択レジスタ	IICOCKS					00H
FFFFFE00H	ハイ・インピーダンス出力制御レジスタ40	HZA4CTL0					00H
FFFFFE01H	ハイ・インピーダンス出力制御レジスタ41	HZA4CTL1 ^注					00H
FFFFFE08H	ハイ・インピーダンス出力制御レジスタ50	HZA5CTL0					00H
FFFFFE09H	ハイ・インピーダンス出力制御レジスタ51	HZA5CTL1 ^注					00H
FFFFFE10H	ハイ・インピーダンス出力制御レジスタ60	HZA6CTL0					00H
FFFFFE11H	ハイ・インピーダンス出力制御レジスタ61	HZA6CTL1					00H
FFFFFE18H	ハイ・インピーダンス出力制御レジスタ70	HZA7CTL0 ^注					00H
FFFFFE19H	ハイ・インピーダンス出力制御レジスタ71	HZA7CTL1 ^注					00H

注 V850E/IH4-Hのみ

(17/17)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFE20H	ハイ・インピーダンス出力制御レジスタ80	HZA8CTL0	R/W				00H
FFFFFFE21H	ハイ・インピーダンス出力制御レジスタ81	HZA8CTL1 ^注					00H
FFFFFFE28H	ハイ・インピーダンス出力制御レジスタ90	HZA9CTL0					00H
FFFFFFE29H	ハイ・インピーダンス出力制御レジスタ91	HZA9CTL1 ^注					00H
FFFFFFE30H	ハイ・インピーダンス出力制御レジスタ100	HZA10CTL0					00H
FFFFFFE31H	ハイ・インピーダンス出力制御レジスタ101	HZA10CTL1					00H
FFFFFFE38H	ハイ・インピーダンス出力制御レジスタ110	HZA11CTL0 ^注					00H
FFFFFFE39H	ハイ・インピーダンス出力制御レジスタ111	HZA11CTL1 ^注					00H
FFFFFFE40H	ハイ・インピーダンス出力制御レジスタ120	HZA12CTL0					00H
FFFFFFE41H	ハイ・インピーダンス出力制御レジスタ121	HZA12CTL1 ^注					00H
FFFFFF44H	ブルアップ抵抗オプション・レジスタDL	PUDL					0000H
FFFFFF44H	ブルアップ抵抗オプション・レジスタDLL	PUDLL					00H
FFFFFF45H	ブルアップ抵抗オプション・レジスタDLH	PUDLH					00H
FFFFFF80H	USBクロック選択レジスタ	UCKSEL					00H
FFFFFF81H	USBファンクション制御レジスタ	UFCTL				03H	

注 V850E/IH4-Hのみ

3.4.8 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/IG4-H, V850E/IH4-Hには次の5つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・リセット要因フラグ・レジスタ (RESF)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・低電圧検出レジスタ (LVIM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタ (PRCMD) があり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はシステム・ステータス・レジスタ (SYS) に報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

コマンド・レジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）[※]

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR[r0] ;PSMRレジスタ設定（IDLE, STOPモードの設定）
```

```
MOV 0x02, r10
```

```
ST.B r10, PRCMD[r0] ;PRCMDレジスタ書き込み
```

```
ST.B r10, PSC[r0] ;PSCレジスタ設定
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

（next instruction）

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注 IDLE, STOPモードに移行する場合（PSC.STBビット = 1）には、直後にNOP命令を5命令以上挿入する必要があります。

注意1. コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記 `MOV` を連続したストア命令で行うことを前提としているためです。 `MOV` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります。

2. コマンド・レジスタへ書き込むデータはダミーですが、ストア命令により特定レジスタへの設定（例 `ST.B r10, PSC[r0]`）で使用する汎用レジスタと同じレジスタをコマンド・レジスタ書き込み（例 `MOV r10, r10`）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。また、ビット操作命令により特定レジスタへの設定（例 `CLR1 4, RESF[r0]`）の場合の例を次に示します。

```
CLR1 4, RESF[r0]
```

3. この処理を行う前に、すべてのDMA転送を終了させてください。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

特定レジスタへの不正な書き込み動作の発生は、SYS.PRERRビットでチェックできます。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

リセット時：不定 W アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

PRCMDレジスタへのアクセスを含む正しいシーケンスで書き込みをしなかった場合に、対象レジスタへの書き込みが行なわれず、プロテクション・エラーが発生し、PRERRフラグがセットされます。CPUからの命令により“0”をライトすることでクリアされます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H								
SYS	7	6	5	4	3	2	1	①									
	0	0	0	0	0	0	0	PRERR									
PRERR									プロテクション・エラーの検出								
0									プロテクション・エラーは発生していない								
1									プロテクション・エラーが発生している								

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- ・PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.8(1) **特定レジスタへのデータ設定**で示す を行わずに を行なったとき)。
- ・PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作(ビット操作命令を含む)を行なったとき (3.4.8(1) **特定レジスタへのデータ設定**で示す が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作(ビット操作命令を除く)など(内蔵RAMへのアクセスなど)を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) SYS.PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYS.PRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります(ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.9 システム・ウエイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

V850E1 CPUコアの内蔵周辺I/Oレジスタへのアクセスは基本的に3クロックですが、V850E/IG4-H, V850E/IH4-Hではその3クロックに加えてVSWCレジスタで設定したウエイトが必要です。VSWCには12H (ウエイトを3クロック設定) を設定してください。

8ビット単位でリード/ライト可能です (アドレス : FFFFF06EH, 初期値 : 77H)。

CPUクロック周波数 (f _{CPU})	VSWCの設定値
1.25 MHz f _{CPU} 100 MHz	12H

注意 V850E/IG4-H, V850E/IH4-Hを使用する際には、必ず最初にVSWCレジスタを設定してください。

VSWCレジスタを設定後、必要に応じてその他の各レジスタを設定してください。

備考 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ (UAnSTRなど) やタイマのカウント値を示すレジスタ (TAAncNTなど) などへのアクセスにおいてフラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

3.4.10 DMAウエイト・コントロール・レジスタ0, 1 (DMAWC0, DMAWC1)

DMAWCnレジスタには、次に示す値を設定してください。

DMAWC0レジスタの設定値 : 12H

DMAWC1レジスタの設定値 : 00H

8ビット単位でリード/ライト可能です。

レジスタ名	アドレス	初期値
DMAWC0レジスタ	FFFFFF340H	37H
DMAWC1レジスタ	FFFFFF342H	07H

第4章 ポート機能

4.1 特 徴

4.1.1 V850E/IG4-H

入力専用ポート : 12本

入出力ポート : 51本

1ビット単位で入力データのリード/出力データのライトが可能

1ビット単位で内蔵プルアップ抵抗の接続指定が可能 (ポート0-5, DLのみ)

ただし, ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に内蔵プルアップ抵抗の接続が可能です。さらに, 兼用機能時に出力端子であるTOT21, TOT31, TOB0T1-TOB0T3, TOB0B1-TOB0B3, TOB1T3, TOB1B3端子は, TOT2OFF, TOT3OFF, TOB0OFF, TOB1OFF, TOB01OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に, 内蔵プルアップ抵抗の接続が可能です。

4.1.2 V850E/IH4-H

入力専用ポート : 12本

入出力ポート : 68本

1ビット単位で入力データのリード/出力データのライトが可能

1ビット単位で内蔵プルアップ抵抗の接続指定が可能 (ポート0-5, 9, DLのみ)

ただし, ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に内蔵プルアップ抵抗の接続が可能です。さらに, 兼用機能時に出力端子であるTOT21, TOT31, TOB0T1-TOB0T3, TOB0B1-TOB0B3, TOB1T1-TOB1T3, TOB1B1-TOB1B3端子は, TOT2OFF, TOT3OFF, TOB0OFF, TOB1OFF, TOB01OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に, 内蔵プルアップ抵抗の接続が可能です。

4.2 ポートの基本構成

4.2.1 V850E/IG4-H

V850E/IG4-Hは、ポート0-5, 7, DLの合計63本の入力/出力ポート（うち12本は入力専用ポート）を内蔵しています。ポートの構成を図4-1に示します。

端子の入出力バッファ電源には、 AV_{DD2} 、 EV_{DD0} 、 EV_{DD1} 、 EV_{DD2} 、 UV_{DD} の3系統があります。それぞれの電源と端子の関係を表4-1に示します。

図4-1 ポートの構成図

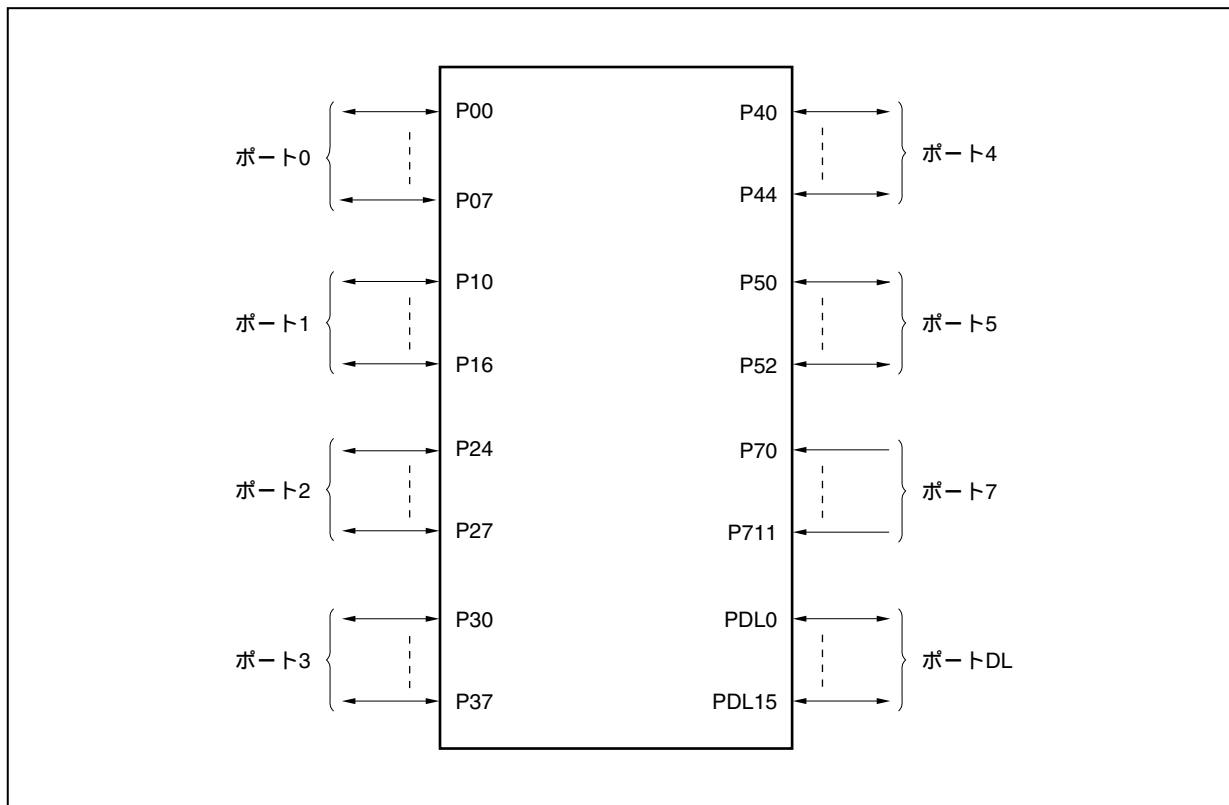


表4-1 各端子の入出力バッファ電源

電源	対応する端子
AV_{DD2}	P70-P711
EV_{DD0} , EV_{DD1} , EV_{DD2}	P00-P07, P10-P16, P24-P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15, \overline{RESET} , DCK, DDI, DDO, DMS, \overline{DRST}
UV_{DD}	UDMF, UDPF

4.2.2 V850E/IH4-H

V850E/IH4-Hは、ポート0-5, 7, 9, DLの合計80本の入力/出力ポート（うち12本は入力専用ポート）を内蔵しています。ポートの構成を図4-2に示します。

端子の入出力バッファ電源には、 AV_{DD2} 、 EV_{DD0} 、 EV_{DD1} 、 EV_{DD2} 、 EV_{DD3} 、 UV_{DD} の3系統があります。それぞれの電源と端子の関係を表4-2に示します。

図4-2 ポートの構成図

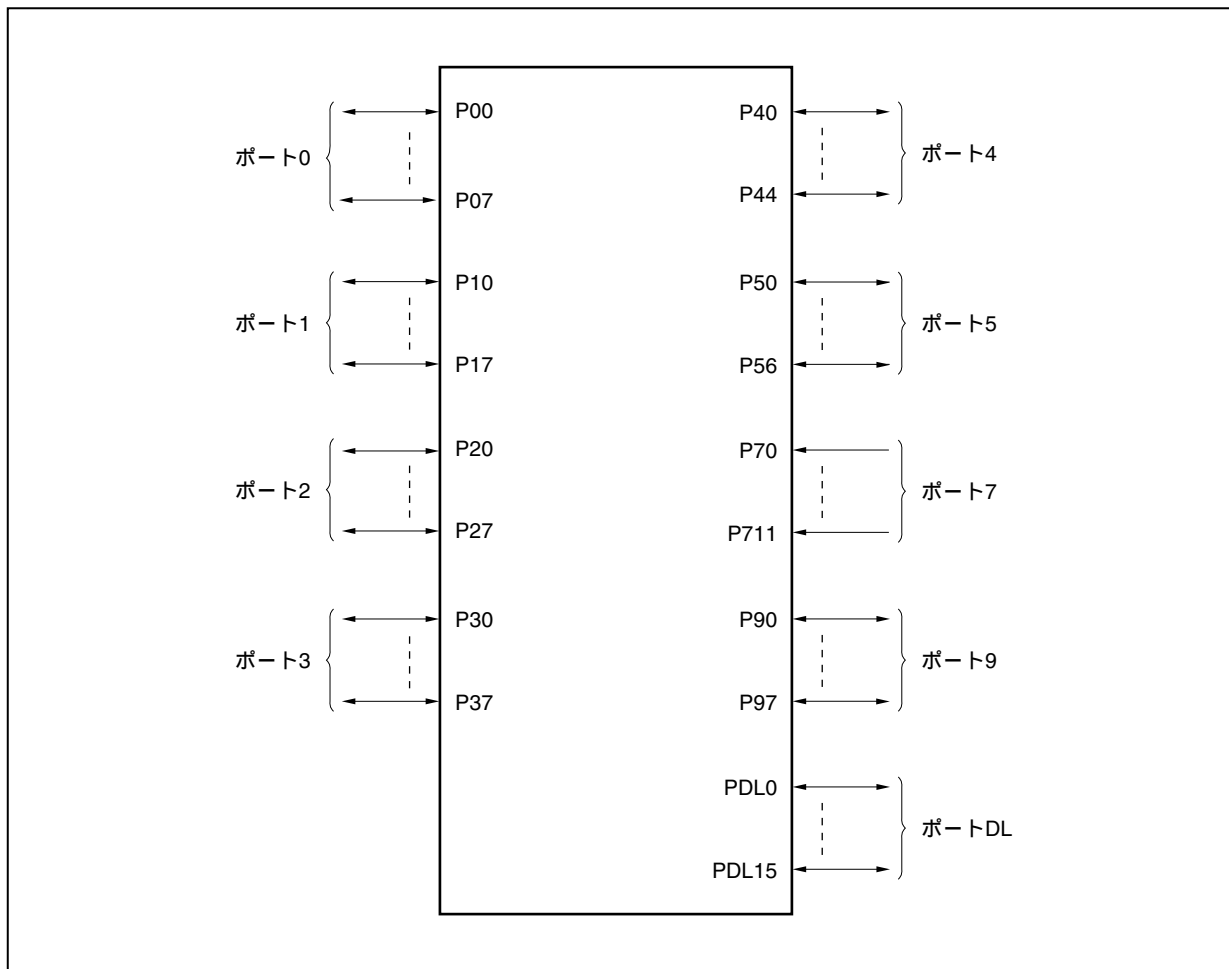


表4-2 各端子の入出力バッファ電源

電源	対応する端子
AV_{DD2}	P70-P711
EV_{DD0} , EV_{DD1} , EV_{DD2} , EV_{DD3}	P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P56, P90-P97, PDL0-PDL15, \overline{RESET} , DCK, DDI, DDO, DMS, \overline{DRST} , TRCCLK, TRCDATA0-TRCDATA3, TRCEND
UV_{DD}	UDMF, UDPF

4.3 ポートの構成

表4-3 ポートの構成 (V850E/IG4-H)

項目	構成
制御レジスタ	ポートnレジスタ (Pn : n = 0-5, 7, DL) ポートnモード・レジスタ (PMn : n = 0-5, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0-5, 7, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0-5, DL) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0-5, DL) ブルアップ抵抗オプション・レジスタ (PUn : n = 0-5, DL) ポート3ファンクション・レジスタ (PF3)
ポート	入力専用 : 12本, 入出力 : 51本
ブルアップ抵抗	ソフトウェア制御 : 51本

表4-4 ポートの構成 (V850E/IH4-H)

項目	構成
制御レジスタ	ポートnレジスタ (Pn : n = 0-5, 7, 9, DL) ポートnモード・レジスタ (PMn : n = 0-5, 9, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0-5, 7, 9, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0-5, DL) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0-5, DL) ブルアップ抵抗オプション・レジスタ (PUn : n = 0-5, 9, DL) ポート3ファンクション・レジスタ (PF3)
ポート	入力専用 : 12本, 入出力 : 68本
ブルアップ抵抗	ソフトウェア制御 : 68本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時：不定 R/W								
	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
	出力データの制御 (出力モード時)							
Pnm	0を出力							
	1を出力							

PMCnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-5 Pnレジスタへの書き込み/読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^{注1} 。 ポート・モード (PMCn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します ^{注2} 。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^{注1} 。	端子状態を読み出します ^{注3} 。

- 注1. 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。
- 注2. 兼用機能時に、PMnレジスタが出力モードの場合もPnレジスタの値を読み出します。
- 注3. 兼用機能時に、PMnレジスタが入力モードの場合、兼用機能が入力か出力かにかかわらず、そのときの端子状態を読み出します。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H R/W								
	7	6	5	4	3	2	1	0
PMcn	PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定							
0	ポート・モード							
1	兼用機能							

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	兼用機能の指定							
	0	兼用機能1						
	1	兼用機能2						

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	PFCEnm	PFCnm	兼用機能の指定					
	0	0	兼用機能1					
	0	1	兼用機能2					
	1	0	兼用機能3					
	1	1	兼用機能4					

(6) プルアップ抵抗オプション・レジスタ (PUn)

内蔵プルアップ抵抗の接続を指定するレジスタです。

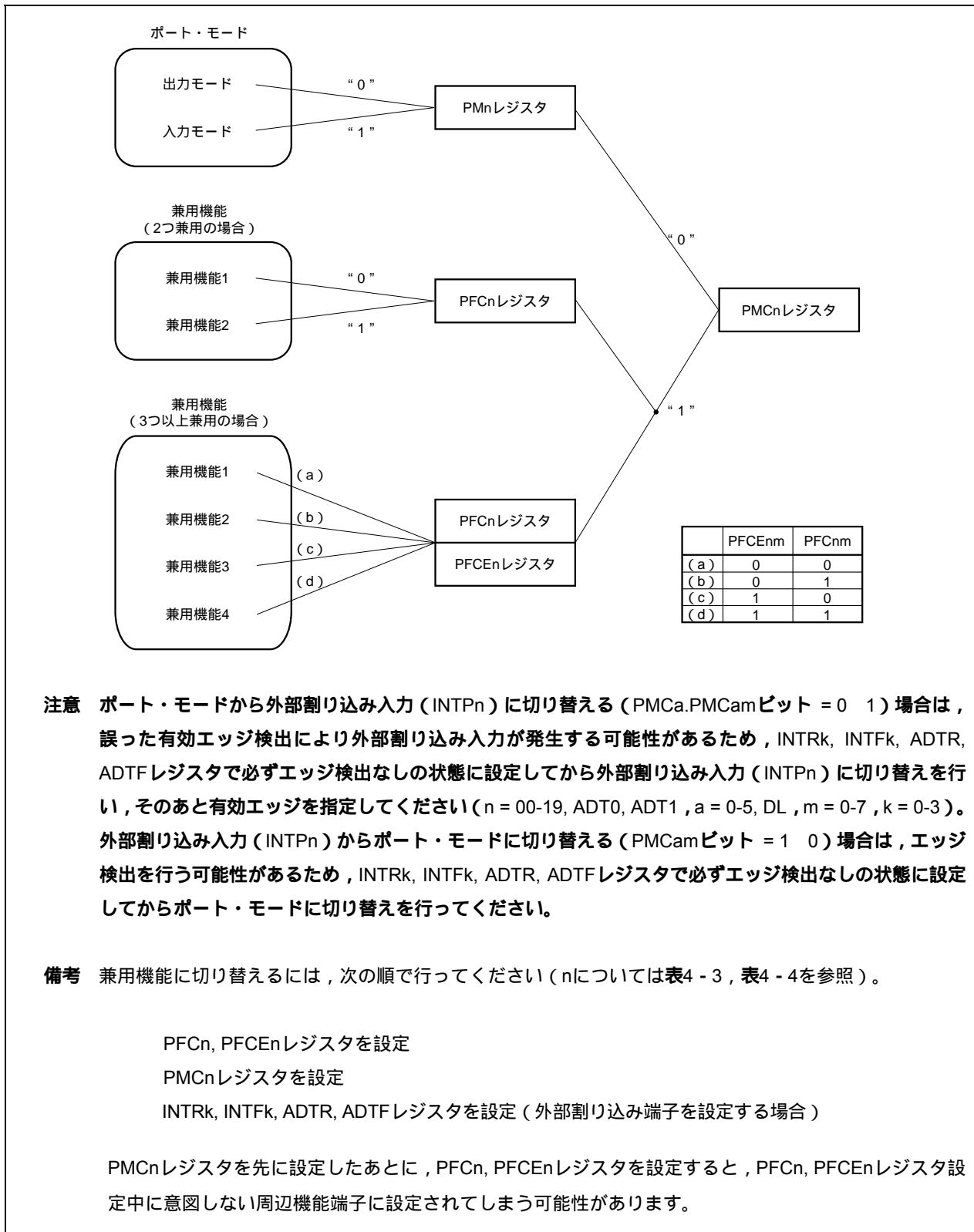
プルアップ抵抗オプション・レジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H		R/W						
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
PUnm	内蔵プルアップ抵抗接続制御							
0	接続しない							
1	接続する							

(7) ポートの設定

ポートの設定は、次のように設定してください。

図4-3 各レジスタの設定と端子の機能



注意 ポート・モードから外部割り込み入力 (INTPn) に切り替える (PMCa.PMCamビット = 0 1) 場合は、誤った有効エッジ検出により外部割り込み入力が発生する可能性があるため、INTRk, INTFk, ADTR, ADTFレジスタで必ずエッジ検出なしの状態に設定してから外部割り込み入力 (INTPn) に切り替えを行い、そのあと有効エッジを指定してください (n = 00-19, ADT0, ADT1, a = 0-5, DL, m = 0-7, k = 0-3)。外部割り込み入力 (INTPn) からポート・モードに切り替える (PMCamビット = 1 0) 場合は、エッジ検出を行う可能性があるため、INTRk, INTFk, ADTR, ADTFレジスタで必ずエッジ検出なしの状態に設定してからポート・モードに切り替えを行ってください。

備考 兼用機能に切り替えるには、次の順で行ってください (nについては表4-3, 表4-4を参照)。

PFCn, PFCEnレジスタを設定

PMcNレジスタを設定

INTRk, INTFk, ADTR, ADTFレジスタを設定 (外部割り込み端子を設定する場合)

PMcNレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

4.3.1 ポート0

ポート0は、1ビット単位で入出力を制御できます。

ポート0は、次に示す端子と兼用しています。

表4-6 ポート0の兼用端子

端子名	ピン番号		兼用端子名	入出力	ブルアップ ^注
	IG4-H	IH4-H			
	GC	GF			
P00	89	26	TECR0/TIT00/TOT00/INTP00	入出力	あり
P01	88	25	TENC00/EVTT0/INTP01	入力	
P02	87	24	TENC01/TIT01/TOT01/INTP02	入出力	
P03	86	23	TOT20/TIT20/TOT2OFF/INTP03	入出力	
P04	85	22	TOT21/TIT21/INTP04	入出力	
P05	84	21	TOT30/TIT30/TOT3OFF/INTP05	入出力	
P06	83	20	TOT31/TIT31/INTP06	入出力	
P07	82	19	TOB01OFF/INTP07/CLKOUT	入出力	

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

注 ソフトウェア・ブルアップ機能

注意1. モータ制御用タイマのハイ・インピーダンス出力制御を行う場合は、誤った有効エッジ検出によりモータ制御用タイマ出力をハイ・インピーダンス状態にする可能性があるため、必ずPMC0.PMC0nビット = 1を設定してから、ハイ・インピーダンス出力制御回路のエッジ検出指定と動作許可を行ってください (n = 3, 5)。

2. P04, P06をTOT21, TOT31として使用している場合は、次の信号のアクティブ入力によりハイ・インピーダンスになります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

3. ポート・モードから外部割り込み入力 (INTP0n) に切り替える (PMC0.PMC0nビット = 0 1) 場合は、誤った有効エッジ検出により外部割り込み入力が発生する可能性があるため、必ずエッジ検出なしの状態 (INTF0.INTF0nビット = 0, INTR0.INTR0nビット = 0) に設定してから外部割り込み入力 (INTP0n) に切り替えを行い、そのあと有効エッジを指定してください (n = 0-7)。外部割り込み入力 (INTP0n) からポート・モードに切り替える (PMC0nビット = 1 0) 場合は、エッジ検出を行う可能性があるため、必ずエッジ検出なしの状態 (INTF0nビット = 0, INTR0nビット = 0) に設定してからポート・モードに切り替えを行ってください。

4. 外部割り込み機能およびモータ出力制御機能のハイ・インピーダンス出力制御を行う場合は、PMC0nビットをセット (1) してください (n = 0-7)。

(1) レジスタ

(a) ポート0レジスタ (P0)

リセット時：不定 R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート0モード・レジスタ (PM0)

リセット時：FFH R/W アドレス：FFFFFF420H

	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート0モード・コントロール・レジスタ (PMC0)

リセット時 : 00H R/W アドレス : FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00
	P07端子の動作モードの指定							
	0	入出力ポート						
	1	TOB01OFF入力 / INTP07入力 / CLKOUT出力						
	P06端子の動作モードの指定							
	0	入出力ポート						
	1	TOT31出力 / TIT31入力 / INTP06入力						
	P05端子の動作モードの指定							
	0	入出力ポート						
	1	TOT30出力 / TIT30入力 / TOT3OFF入力 / INTP05入力						
	P04端子の動作モードの指定							
	0	入出力ポート						
	1	TOT21出力 / TIT21入力 / INTP04入力						
	P03端子の動作モードの指定							
	0	入出力ポート						
	1	TOT20出力 / TIT20入力 / TOT2OFF入力 / INTP03入力						
	P02端子の動作モードの指定							
	0	入出力ポート						
	1	TENC01入力 / TIT01入力 / TOT01出力 / INTP02入力						
	P01端子の動作モードの指定							
	0	入出力ポート						
	1	TENC00入力 / EVTT0入力 / INTP01入力						
	P00端子の動作モードの指定							
	0	入出力ポート						
	1	TECR0入力 / TIT00入力 / TOT00出力 / INTP00入力						

(d) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時：00H R/W アドレス：FFFFFF460H

	7	6	5	4	3	2	1	0
PFC0	PFC07	PFC06	PFC05	PFC04	PFC03	PFC02	PFC01	PFC00

備考 兼用機能の指定については、4.3.1(1)(f) ポート0の兼用機能の設定を参照してください。

(e) ポート0ファンクション・コントロール拡張レジスタ (PFCE0)

リセット時：00H R/W アドレス：FFFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	PFCE06	PFCE05	PFCE04	PFCE03	PFCE02	PFCE01	PFCE00

備考 兼用機能の指定については、4.3.1(1)(f) ポート0の兼用機能の設定を参照してください。

(f) ポート0の兼用機能の設定

PFC07	P07端子の兼用機能の指定
0	TOB01OFF入力 / INTP07入力 (2つの機能を兼用)
1	CLKOUT出力

PFCE06	PFC06	P06端子の兼用機能の指定
0	0	TOT31出力
0	1	TIT31入力
1	0	INTP06入力
1	1	設定禁止

PFCE05	PFC05	P05端子の兼用機能の指定
0	0	TOT30出力
0	1	TIT30入力
1	0	TOT3OFF入力 / INTP05入力 (2つの機能を兼用)
1	1	設定禁止

PFCE04	PFC04	P04端子の兼用機能の指定
0	0	TOT21出力
0	1	TIT21入力
1	0	INTP04入力
1	1	設定禁止

PFCE03	PFC03	P03端子の兼用機能の指定
0	0	TOT20出力
0	1	TIT20入力
1	0	TOT2OFF入力 / INTP03入力 (2つの機能を兼用)
1	1	設定禁止

PFCE02	PFC02	P02端子の兼用機能の指定
0	0	TENC01入力 / TIT01入力 (2つの機能を兼用)
0	1	TOT01出力
1	0	INTP02入力
1	1	設定禁止

PFCE01	PFC01	P01端子の兼用機能の指定
0	0	TENC00入力
0	1	EVTT0入力
1	0	INTP01入力
1	1	設定禁止

PFCE00	PFC00	P00端子の兼用機能の指定
0	0	TECR0入力 / TIT00入力 (2つの機能を兼用)
0	1	TOT00出力
1	0	INTP00入力
1	1	設定禁止

(g) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時：00H R/W アドレス：FFFFFFC40H

	7	6	5	4	3	2	1	0
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合、および兼用機能時に出力端子であるTOT21, TOT31端子がTOT2OFF, TOT3OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

備考 n = 0-7

4.3.2 ポート1

ポート1は、1ビット単位で入出力を制御できます。

各製品間で入出力ポート数が異なります。

愛称	入出力ポート数
V850E/IG4-H	7ビット入出力ポート
V850E/IH4-H	8ビット入出力ポート

ポート1は、次に示す端子と兼用しています。

表4-7 ポート1の兼用端子

端子名	ピン番号		兼用端子名	入出力	プルアップ ^{注1}
	IG4-H	IH4-H			
	GC	GF			
P10	98	36	TOB0T1/TIB01/TOB01	入出力	あり
P11	97	35	TOB0B1/TIB02/TOB02	入出力	
P12	96	34	TOB0T2/TIB03/TOB03	入出力	
P13	95	33	TOB0B2/TIB00	入出力	
P14	94	32	TOB0T3/EVTB0	入出力	
P15	93	31	TOB0B3/TRGB0	入出力	
P16	92	30	TOB00/TOB0OFF/INTP08/ADTRG0/INTADT0	入出力	
P17 ^{注2}	-	29	-	-	

注1. ソフトウェア・プルアップ機能

2. V850E/IH4-Hのみ

注意 P10-P15をTOB0T1-TOB0T3, TOB0B1-TOB0B3として使用している場合は、次の信号のアクティブ入力によりハイ・インピーダンスになります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(1) レジスタ

(a) ポート1レジスタ (P1)

リセット時：不定 R/W アドレス：FFFFFF402H

	7	6	5	4	3	2	1	0
P1	P17 ^注	P16	P15	P14	P13	P12	P11	P10

P1n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

注 V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは、リード時は不定です。

備考 V850E/IG4-H : n = 0-6
V850E/IH4-H : n = 0-7

(b) ポート1モード・レジスタ (PM1)

リセット時：FFH R/W アドレス：FFFFFF422H

	7	6	5	4	3	2	1	0
PM1	PM17 ^注	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

注 V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは必ず1を設定してください。

備考 V850E/IG4-H : n = 0-6
V850E/IH4-H : n = 0-7

(c) ポート1モード・コントロール・レジスタ (PMC1)

リセット時：00H R/W アドレス：FFFFFF442H

	7	6	5	4	3	2	1	0
PMC1	0	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10
PMC16	P16端子の動作モードの指定							
0	入出力ポート							
1	TOB00出力 / TOB0OFF入力 / INTP08入力 / ADTRG0入力 / INTADT0入力							
PMC15	P15端子の動作モードの指定							
0	入出力ポート							
1	TOB0B3出力 / TRGB0入力							
PMC14	P14端子の動作モードの指定							
0	入出力ポート							
1	TOB0T3出力 / EVTB0入力							
PMC13	P13端子の動作モードの指定							
0	入出力ポート							
1	TOB0B2出力 / TIB00入力							
PMC12	P12端子の動作モードの指定							
0	入出力ポート							
1	TOB0T2出力 / TIB03入力 / TOB03出力							
PMC11	P11端子の動作モードの指定							
0	入出力ポート							
1	TOB0B1出力 / TIB02入力 / TOB02出力							
PMC10	P10端子の動作モードの指定							
0	入出力ポート							
1	TOB0T1出力 / TIB01入力 / TOB01出力							

(d) ポート1ファンクション・コントロール・レジスタ (PFC1)

リセット時 : 00H R/W アドレス : FFFFF462H

	7	6	5	4	3	2	1	0
PFC1	0	PFC16	PFC15	PFC14	PFC13	PFC12	PFC11	PFC10

備考 兼用機能の指定については、4.3.2(1)(f) ポート1の兼用機能の設定を参照してください。

(e) ポート1ファンクション・コントロール拡張レジスタ (PFCE1)

リセット時 : 00H R/W アドレス : FFFFF702H

	7	6	5	4	3	2	1	0
PFCE1	0	PFCE16	0	0	0	PFCE12	PFCE11	PFCE10

備考 兼用機能の指定については、4.3.2(1)(f) ポート1の兼用機能の設定を参照してください。

(f) ポート1の兼用機能の設定

PFCE16	PFC16	P16端子の兼用機能の指定
0	0	TOB00出力
0	1	TOB0OFF入力 / INTP08入力 (2つの機能を兼用)
1	0	ADTRG0入力 / INTADT0入力 (2つの機能を兼用)
1	1	設定禁止

PFC15	P15端子の兼用機能の指定
0	TOB0B3出力
1	TRGB0入力

PFC14	P14端子の兼用機能の指定
0	TOB0T3出力
1	EVTB0入力

PFC13	P13端子の兼用機能の指定
0	TOB0B2出力
1	TIB00入力

PFCE12	PFC12	P12端子の兼用機能の指定
0	0	TOB0T2出力
0	1	TIB03入力
1	0	TOB03出力
1	1	設定禁止

PFCE11	PFC11	P11端子の兼用機能の指定
0	0	TOB0B1出力
0	1	TIB02入力
1	0	TOB02出力
1	1	設定禁止

PFCE10	PFC10	P10端子の兼用機能の指定
0	0	TOB0T1出力
0	1	TIB01入力
1	0	TOB01出力
1	1	設定禁止

(g) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時 : 00H R/W アドレス : FFFFFFFC42H

	7	6	5	4	3	2	1	0
PU1	PU17 ^{注1}	PU16	PU15	PU14	PU13	PU12	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^{注2}

注1. V850E/IH4-Hのみ有効です。

V850E/IG4-Hでは必ず0を設定してください。

2. 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合、および兼用機能時に出力端子であるTOB0T1-TOB0T3, TOB0B1-TOB0B3端子がTOB0OFF, TOB01OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

備考 V850E/IG4-H : n = 0-6

V850E/IH4-H : n = 0-7

4.3.3 ポート2

ポート2は、1ビット単位で入出力を制御できます。

各製品間で入出力ポート数が異なります。

愛称	入出力ポート数
V850E/IG4-H	4ビット入出力ポート
V850E/IH4-H	8ビット入出力ポート

ポート2は、次に示す端子と兼用しています。

表4-8 ポート2の兼用端子

端子名	ピン番号		兼用端子名	入出力	プルアップ ^{注1}
	IG4-H	IG4-H			
	GC	GF			
P20 ^{注2}	-	67	TOB1T1 ^{注2} /TIB11 ^{注2} /TOB11 ^{注2}	入出力	あり
P21 ^{注2}	-	68	TOB1B1 ^{注2} /TIB12 ^{注2} /TOB12 ^{注2}	入出力	
P22 ^{注2}	-	69	TOB1T2 ^{注2} /TIB13 ^{注2} /TOB13 ^{注2}	入出力	
P23 ^{注2}	-	70	TOB1B2 ^{注2} /TIB10 ^{注2}	入出力	
P24	28	71	TOB1T3/EVTB1	入出力	
P25	29	72	TOB1B3/TRGB1	入出力	
P26	30	73	TOB10/TOB1OFF/INTP10/ADTRG1/INTADT1	入出力	
P27	43	87	INTP09/WR0/TOA01	入出力	

注1. ソフトウェア・プルアップ機能

2. V850E/IH4-Hのみ

注意 P20-P25をTOB1T1 (V850E/IH4-Hのみ)、TOB1T2 (V850E/IH4-Hのみ)、TOB1T3、TOB1B1 (V850E/IH4-Hのみ)、TOB1B2 (V850E/IH4-Hのみ)、TOB1B3として使用している場合は、次の信号のアクティブ入力によりハイ・インピーダンスになります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14 × 20)

(1) レジスタ

(a) ポート2レジスタ (P2)

リセット時：不定 R/W アドレス：FFFFFF404H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23 ^注	P22 ^注	P21 ^注	P20 ^注

P2n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

注 V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは、リード時は不定です。

備考 V850E/IG4-H : n = 4-7
V850E/IH4-H : n = 0-7

(b) ポート2モード・レジスタ (PM2)

リセット時：FFH R/W アドレス：FFFFFF424H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23 ^注	PM22 ^注	PM21 ^注	PM20 ^注

PM2n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

注 V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは必ず1を設定してください。

備考 V850E/IG4-H : n = 4-7
V850E/IH4-H : n = 0-7

(c) ポート2モード・コントロール・レジスタ (PMC2)

リセット時：00H R/W アドレス：FFFFFF444H

	7	6	5	4	3	2	1	0
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23 ^{注1}	PMC22 ^{注1}	PMC21 ^{注1}	PMC20 ^{注1}
	P27端子の動作モードの指定							
	0	入出力ポート						
	1	INTP09入力 / $\overline{\text{WR0}}$ 出力 / TOA01出力						
	P26端子の動作モードの指定							
	0	入出力ポート						
	1	TOB10出力 / TOB1OFF入力 / INTP10入力 / ADTRG1入力 / INTADT1入力						
	P25端子の動作モードの指定							
	0	入出力ポート						
	1	TOB1B3出力 / TRGB1入力						
	P24端子の動作モードの指定							
	0	入出力ポート						
	1	TOB1T3出力 / EVTB1入力						
	P23端子 ^{注1} の動作モードの指定							
	0	入出力ポート						
	1	TOB1B2出力 ^{注2} / TIB10入力 ^{注2}						
	P22端子 ^{注1} の動作モードの指定							
	0	入出力ポート						
	1	TOB1T2出力 ^{注2} / TIB13入力 ^{注2} / TOB13出力 ^{注2}						
	P21端子 ^{注1} の動作モードの指定							
	0	入出力ポート						
	1	TOB1B1出力 ^{注2} / TIB12入力 ^{注2} / TOB12出力 ^{注2}						
	P20端子 ^{注1} の動作モードの指定							
	0	入出力ポート						
	1	TOB1T1出力 ^{注2} / TIB11入力 ^{注2} / TOB11出力 ^{注2}						

注1. V850E/IH4-Hのみ有効です。

V850E/IG4-Hでは必ず0を設定してください。

2. V850E/IH4-Hのみ

(d) ポート2ファンクション・コントロール・レジスタ (PFC2)

リセット時：00H R/W アドレス：FFFFFF464H

	7	6	5	4	3	2	1	0
PFC2	PFC27	PFC26	PFC25	PFC24	PFC23 ^注	PFC22 ^注	PFC21 ^注	PFC20 ^注

注 V850E/IH4-Hのみ有効です。

V850E/IG4-Hでは必ず0を設定してください。

備考 兼用機能の指定については、4.3.3(1)(f) **ポート2の兼用機能の設定**を参照してください。

(e) ポート2ファンクション・コントロール拡張レジスタ (PFCE2)

リセット時：00H R/W アドレス：FFFFFF704H

	7	6	5	4	3	2	1	0
PFCE2	PFCE27	PFCE26	0	0	0	PFCE22 ^注	PFCE21 ^注	PFCE20 ^注

注 V850E/IH4-Hのみ有効です。

V850E/IG4-Hでは必ず0を設定してください。

備考 兼用機能の指定については、4.3.3(1)(f) **ポート2の兼用機能の設定**を参照してください。

(f) ポート2の兼用機能の設定

PFCE27	PFC27	P27端子の兼用機能の指定
0	0	INTP09入力
0	1	WR0出力
1	0	TOA01出力
1	1	設定禁止

PFCE26	PFC26	P26端子の兼用機能の指定
0	0	TOB10出力
0	1	TOB10OFF入力 / INTP10入力 (2つの機能を兼用)
1	0	ADTRG1入力 / INTADT1入力 (2つの機能を兼用)
1	1	設定禁止

PFC25	P25端子の兼用機能の指定
0	TOB1B3出力
1	TRGB1入力

PFC24	P24端子の兼用機能の指定
0	TOB1T3出力
1	EVTB1入力

PFC23 ^{注1}	P23端子の兼用機能の指定
0	TOB1B2出力 ^{注2}
1	TIB10入力 ^{注2}

PFCE22 ^{注1}	PFC22 ^{注1}	P22端子の兼用機能の指定
0	0	TOB1T2出力 ^{注2}
0	1	TIB13入力 ^{注2}
1	0	TOB13出力 ^{注2}
1	1	設定禁止

PFCE21 ^{注1}	PFC21 ^{注1}	P21端子の兼用機能の指定
0	0	TOB1B1出力 ^{注2}
0	1	TIB12入力 ^{注2}
1	0	TOB12出力 ^{注2}
1	1	設定禁止

PFCE20 ^{注1}	PFC20 ^{注1}	P20端子の兼用機能の指定
0	0	TOB1T1出力 ^{注2}
0	1	TIB11入力 ^{注2}
1	0	TOB11出力 ^{注2}
1	1	設定禁止

- 注1. V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは必ず0を設定してください。
2. V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは設定禁止です。

(g) プルアップ抵抗オプション・レジスタ2 (PU2)

リセット時 : 00H R/W アドレス : FFFFFFFC44H

	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23 ^{注1}	PU22 ^{注1}	PU21 ^{注1}	PU20 ^{注1}

PU2n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^{注2}

注1. V850E/IH4-Hのみ有効です。

V850E/IG4-Hでは必ず0を設定してください。

- 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合、および兼用機能時に出力端子であるTOB1T1 (V850E/IH4-Hのみ)、TOB1T2 (V850E/IH4-Hのみ)、TOB1T3、TOB1B1 (V850E/IH4-Hのみ)、TOB1B2 (V850E/IH4-Hのみ)、TOB1B3端子がTOB1OFF、TOB01OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

備考 V850E/IG4-H : n = 4-7

V850E/IH4-H : n = 0-7

4.3.4 ポート3

ポート3は、1ビット単位で入出力を制御できます。

ポート3は、次に示す端子と兼用しています。

表4-9 ポート3の兼用端子

端子名	ピン番号		兼用端子名	入出力	ブルアップ ^注
	IG4-H	IH4-H			
	GC	GF			
P30	54	106	RXDA1/SCL/W \overline{R} 1	入出力	あり
P31	55	107	TXDA1/SDA/W \overline{A} IT	入出力	
P32	56	108	SIF1/RXDA2/C \overline{S} 1	入出力	
P33	57	109	SOF1/TXDA2	出力	
P34	58	110	SCKF1/INTP11/C \overline{S} 0	入出力	
P35	59	111	SIF2/RXDB	入力	
P36	60	112	SOF2/TXDB	出力	
P37	61	113	SCKF2/INTP12/ASTB	入出力	

注 ソフトウェア・ブルアップ機能

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(1) レジスタ

(a) ポート3レジスタ (P3)

リセット時：不定 R/W アドレス：FFFFFF406H

	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート3モード・レジスタ (PM3)

リセット時：FFH R/W アドレス：FFFFFF426H

	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
	PMC37	P37端子の動作モードの指定						
	0	入出力ポート						
	1	SCKF2入出力 / INTP12入力 / ASTB出力						
	PMC36	P36端子の動作モードの指定						
	0	入出力ポート						
	1	SOF2出力 / TXDB出力						
	PMC35	P35端子の動作モードの指定						
	0	入出力ポート						
	1	SIF2入力 / RXDB入力						
	PMC34	P34端子の動作モードの指定						
	0	入出力ポート						
	1	SCKF1入出力 / INTP11入力 / CS0出力						
	PMC33	P33端子の動作モードの指定						
	0	入出力ポート						
	1	SOF1出力 / TXDA2出力						
	PMC32	P32端子の動作モードの指定						
	0	入出力ポート						
	1	SIF1入力 / RXDA2入力 / CS1出力						
	PMC31	P31端子の動作モードの指定						
	0	入出力ポート						
	1	TXDA1出力 / SDA入出力 / WAIT入力						
	PMC30	P30端子の動作モードの指定						
	0	入出力ポート						
	1	RXDA1入力 / SCL入出力 / WR1出力						

(d) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

備考 兼用機能の指定については、4.3.4(1)(f)ポート3の兼用機能の設定を参照してください。

(e) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37	0	0	PFCE34	0	PFCE32	PFCE31	PFCE30

備考 兼用機能の指定については、4.3.4(1)(f)ポート3の兼用機能の設定を参照してください。

(f) ポート3の兼用機能の設定

PFCE37	PFC37	P37端子の兼用機能の指定
0	0	SCKF2入出力
0	1	INTP12入力
1	0	ASTB出力
1	1	設定禁止

PFC36	P36端子の兼用機能の指定
0	SOF2出力
1	TXDB出力

PFC35	P35端子の兼用機能の指定
0	SIF2入力
1	RXDB入力

PFCE34	PFC34	P34端子の兼用機能の指定
0	0	SCKF1入出力
0	1	INTP11入力
1	0	CS0出力
1	1	設定禁止

PFC33	P33端子の兼用機能の指定	
0	SOF1出力	
1	TXDA2出力	

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	SIF1入力
0	1	RXDA2入力
1	0	$\overline{\text{CS}}1$ 出力
1	1	設定禁止

PFCE31	PFC31	P31端子の兼用機能の指定
0	0	TXDA1出力
0	1	SDA入出力
1	0	$\overline{\text{WAIT}}1$ 入力
1	1	設定禁止

PFCE30	PFC30	P30端子の兼用機能の指定
0	0	RXDA1入力
0	1	SCL入出力
1	0	$\overline{\text{WR}}1$ 出力
1	1	設定禁止

(g) プルアップ抵抗オプション・レジスタ3 (PU3)

リセット時 : 00H R/W アドレス : FFFFC46H

	7	6	5	4	3	2	1	0
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合（SCKF1, SCKF2端子のスレーブ・モード時も含む）のみです。端子が出力状態のときは接続できません。

備考 n = 0-7

(h) ポート3ファンクション・レジスタ (PF3)

リセット時: 00H R/W アドレス: FFFFC66H

	7	6	5	4	3	2	1	0
PF3	0	0	0	0	0	0	PF31	PF30

PF3n	通常出力 / N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力 ^注

注 I²Cを使用する場合は、N-chオープン・ドレイン出力に設定してください。

備考 n = 0, 1

4.3.5 ポート4

ポート4は、1ビット単位で入出力を制御できます。

ポート4は、次に示す端子と兼用しています。

表4 - 10 ポート4の兼用端子

端子名	ピン番号		兼用端子名	入出力	プルアップ ^{注1}
	IG4-H	IH4-H			
	GC	GF			
P40	46	96	SIF0/RXDA0/DDI ^{注2} /TOA00	入出力	あり
P41	47	97	SOF0/TXDA0	出力	
P42	48	98	SCKF0/DCK ^{注2} /TOA10	入出力	
P43	49	99	INTP13/DMS ^{注2} /TOA11	入出力	
P44	50	100	INTP14/RD	入出力	

注1. ソフトウェア・プルアップ機能

- P40, P42, P43端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能（兼用機能含む）の切り替えは $\overline{\text{DRST}}$ 端子レベルで設定します。次に設定方法を示します。

ポート4の機能	
$\overline{\text{DRST}}$ 端子にロウ・レベル入力	$\overline{\text{DRST}}$ 端子にハイ・レベル入力
P40/SIF0/RXDA0/TOA00	DDI
P42/SCKF0/TOA10	DCK
P43/INTP13/TOA11	DMS

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(1) レジスタ

(a) ポート4レジスタ (P4)

リセット時：不定 R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	P44	P43	P42	P41	P40

P4n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-4

(b) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	0	0	0	PM44	PM43	PM42	PM41	PM40

PM4n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-4

(c) ポート4モード・コントロール・レジスタ (PMC4)

リセット時 : 00H R/W アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	PMC44	PMC43	PMC42	PMC41	PMC40

PMC44	P44端子の動作モードの指定
0	入出力ポート
1	INTP14入力 / \overline{RD} 出力

PMC43	P43端子の動作モードの指定
0	入出力ポート
1	INTP13入力 / TOA11出力

PMC42	P42端子の動作モードの指定
0	入出力ポート
1	$\overline{SCKF0}$ 入出力 / TOA10出力

PMC41	P41端子の動作モードの指定
0	入出力ポート
1	SOF0出力 / TXDA0出力

PMC40	P40端子の動作モードの指定
0	入出力ポート
1	SIF0入力 / RXDA0入力 / TOA00出力

(d) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時 : 00H R/W アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	PFC44	PFC43	0	PFC41	PFC40

備考 兼用機能の指定については、4.3.5(1)(f) **ポート4の兼用機能の設定**を参照してください。

(e) ポート4ファンクション・コントロール拡張レジスタ (PFCE4)

リセット時 : 00H R/W アドレス : FFFFF708H

	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	PFCE42	0	PFCE40

備考 兼用機能の指定については、4.3.5(1)(f) **ポート4の兼用機能の設定**を参照してください。

(f) ポート4の兼用機能の設定

PFC44	P44端子の兼用機能の指定
0	INTP14入力
1	RD出力

PFC43	P43端子の兼用機能の指定
0	INTP13入力
1	TOA11出力

PFCE42	P42端子の兼用機能の指定
0	SCKF0入出力
1	TOA10出力

PFC41	P41端子の兼用機能の指定
0	SOF0出力
1	TXDA0出力

PFCE40	PFC40	P40端子の兼用機能の指定
0	0	SIF0入力
0	1	RXDA0入力
1	0	設定禁止
1	1	TOA00出力

(g) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時 : 00H R/W アドレス : FFFFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	PU44	PU43	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合（SCKF0端子のスレーブ・モード時も含む）のみです。端子が出力状態のときは接続できません。

備考 n = 0-4

4.3.6 ポート5

ポート5は、1ビット単位で入出力を制御できます。

各製品間で入出力ポート数が異なります。

愛称	入出力ポート数
V850E/IG4-H	3ビット入出力ポート
V850E/IH4-H	7ビット入出力ポート

ポート5は、次に示す端子と兼用しています。

表4-11 ポート5の兼用端子

端子名	ピン番号		兼用端子名	入出力	プルアップ ^{注1}
	IG4-H	IH4-H			
	GC	GF			
P50	51	103	TECR1/TIT10/TOT10/INTP17	入出力	あり
P51	52	104	TENC10/EVTT1/INTP18/UCLK ^{注2}	入力	
P52	53	105	TENC11/TIT11/TOT11/INTP19	入出力	
P53 ^{注3}	-	101	UCLK ^{注3}	入力	
P54 ^{注3}	-	102	-	-	
P55 ^{注3}	-	10	-	-	
P56 ^{注3}	-	9	-	-	

注1. ソフトウェア・プルアップ機能

2. V850E/IG4-Hのみ
3. V850E/IH4-Hのみ

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(1) レジスタ

(a) ポート5レジスタ (P5)

リセット時：不定 R/W アドレス：FFFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	P56 ^注	P55 ^注	P54 ^注	P53 ^注	P52	P51	P50

P5n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

注 V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは、リード時は不定です。

備考 V850E/IG4-H : n = 0-2
V850E/IH4-H : n = 0-6

(b) ポート5モード・レジスタ (PM5)

リセット時：FFH R/W アドレス：FFFFFF42AH

	7	6	5	4	3	2	1	0
PM5	0	PM56 ^注	PM55 ^注	PM54 ^注	PM53 ^注	PM52	PM51	PM50

PM5n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

注 V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは必ず1を設定してください。

備考 V850E/IG4-H : n = 0-2
V850E/IH4-H : n = 0-6

(c) ポート5モード・コントロール・レジスタ (PMC5)

リセット時 : 00H R/W アドレス : FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	0	0	PMC53 ^{注1}	PMC52	PMC51	PMC50
PMC53 ^{注1}	P53端子の動作モードの指定							
0	入出力ポート							
1	UCLK入力 ^{注2}							
PMC52	P52端子の動作モードの指定							
0	入出力ポート							
1	TENC11入力 / TIT11入力 / TOT11出力 / INTP19入力							
PMC51	P51端子の動作モードの指定							
0	入出力ポート							
1	TENC10入力 / EVTT1入力 / INTP18入力 / UCLK入力 ^{注3}							
PMC50	P50端子の動作モードの指定							
0	入出力ポート							
1	TECR1入力 / TIT10入力 / TOT10出力 / INTP17入力							

- 注1. V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは必ず0を設定してください。
2. V850E/IH4-Hのみ有効です。
V850E/IG4-Hでは設定禁止です。
3. V850E/IG4-Hのみ

(d) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時 : 00H R/W アドレス : FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	0	0	0	PFC52	PFC51	PFC50

備考 兼用機能の指定については、4.3.6(1)(f) ポート5の兼用機能の設定を参照してください。

(e) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

リセット時：00H R/W アドレス：FFFFFF70AH								
	7	6	5	4	3	2	1	0
PFCE5	0	0	0	0	0	PFCE52	PFCE51	PFCE50

備考 兼用機能の指定については、4.3.6(1)(f)ポート5の兼用機能の設定を参照してください。

(f) ポート5の兼用機能の設定

PFCE52	PFC52	P52端子の兼用機能の指定
0	0	TENC11入力 / TIT11入力 (2つの機能を兼用)
0	1	TOT11出力
1	0	INTP19入力
1	1	設定禁止

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	TENC10入力
0	1	EVTT1入力
1	0	INTP18入力
1	1	UCLK入力 ^注

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	TECR1入力 / TIT10入力 (2つの機能を兼用)
0	1	TOT10出力
1	0	INTP17入力
1	1	設定禁止

注 V850E/IG4-Hのみ有効です。

V850E/IH4-Hでは設定禁止です。

(g) プルアップ抵抗オプション・レジスタ5 (PU5)

リセット時 : 00H R/W アドレス : FFFFFFFC4AH

	7	6	5	4	3	2	1	0
PU5	0	PU56 ^{注1}	PU55 ^{注1}	PU54 ^{注1}	PU53 ^{注1}	PU52	PU51	PU50

PU5n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^{注2}

注1. V850E/IH4-Hのみ有効です。

V850E/IG4-Hでは必ず0を設定してください。

2. 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合のみです。端子が出力状態のときは接続できません。

備考 V850E/IG4-H : n = 0-2

V850E/IH4-H : n = 0-6

4.3.7 ポート7

ポート7は、全端子が入力に固定の入力専用ポートです。

ポート7は、次に示す端子と兼用しています。

表4 - 12 ポート7の兼用端子

端子名	ピン番号		兼用端子名	入出力	ブルアップ ^注
	IG4-H	IH4-H			
	GC	GF			
P70	14	53	ANI20	入力	なし
P71	15	54	ANI21	入力	
P72	16	55	ANI22	入力	
P73	17	56	ANI23	入力	
P74	18	57	ANI24	入力	
P75	19	58	ANI25	入力	
P76	20	59	ANI26	入力	
P77	21	60	ANI27	入力	
P78	22	61	ANI28	入力	
P79	23	62	ANI29	入力	
P710	24	63	ANI210	入力	
P711	25	64	ANI211	入力	

注 ソフトウェア・ブルアップ機能

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(1) レジスタ

(a) ポート7レジスタH, ポート7レジスタL (P7H, P7L)

リセット時：不定 R アドレス：P7L FFFFBB0H, P7H FFFFBB1H

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	入力データの読み出し
0	ロウ・レベルを入力
1	ハイ・レベルを入力

注意 ポート入力とアナログ入力端子 (ANI2n) を混在して使用する場合には、必ずPMC7レジスタのANI2n端子として使用するビット (PMC7n) をセット(1)してください。

備考 n = 0-11

(b) ポート7モード・コントロール・レジスタH, ポート7モード・コントロール・レジスタL (PMC7H, PMC7L)

リセット時：00H R/W アドレス：PMC7L FFFFBB8H, PMC7H FFFFBB9H

	7	6	5	4	3	2	1	0
PMC7H	0	0	0	0	PMC711	PMC710	PMC79	PMC78

	7	6	5	4	3	2	1	0
PMC7L	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70

PMC7n	P7n端子の動作モードの指定
0	入力ポート (P7nのリードを許可する。リード時、入力バッファはオンする)
1	ANI2n入力 (P7nのリードを禁止する。リード時、入力バッファはオフのまま)

注意1. A/Dコンバータ2でA/D変換中の場合には、ポート・モードに変更しないでください。
2. PMC7H, PMC7Lレジスタは、P7H, P7Lレジスタのリードの許可/禁止を制御します。PMC7nビット = 1の場合、P7H, P7Lレジスタをリードしても入力バッファをオンしません。この場合、P7nビットのリード値はロウ・レベル固定となります。これはANI2n入力 (中間レベル) のリードによる貫通電流を防ぐためです。

備考 n = 0-11

4.3.8 ポート9 (V850E/IH4-Hのみ)

ポート9は、1ビット単位で入出力を制御できます。

ポート9は、次に示す端子と兼用しています。

表4 - 13 ポート9の兼用端子

端子名	ピン番号		兼用端子名	入出力	プルアップ ^注
	IG4-H	IH4-H			
	GC	GF			
P90	-	18	A0	出力	あり
P91	-	17	A1	出力	
P92	-	16	A2	出力	
P93	-	15	A3	出力	
P94	-	14	A4	出力	
P95	-	13	A5	出力	
P96	-	12	A6	出力	
P97	-	11	A7	出力	

注 ソフトウェア・プルアップ機能

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(1) レジスタ

(a) ポート9レジスタ (P9)

リセット時：不定 R/W アドレス：FFFFFF412H

	7	6	5	4	3	2	1	0
P9	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート9モード・レジスタ (PM9)

リセット時：FFH R/W アドレス：FFFFFF432H

	7	6	5	4	3	2	1	0
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート9モード・コントロール・レジスタ (PMC9)

リセット時：00H R/W アドレス：FFFFFF452H

	7	6	5	4	3	2	1	0
PMC9	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
	PMC97	P97端子の動作モードの指定						
	0	入出力ポート						
	1	A7出力						
	PMC96	P96端子の動作モードの指定						
	0	入出力ポート						
	1	A6出力						
	PMC95	P95端子の動作モードの指定						
	0	入出力ポート						
	1	A5出力						
	PMC94	P94端子の動作モードの指定						
	0	入出力ポート						
	1	A4出力						
	PMC93	P93端子の動作モードの指定						
	0	入出力ポート						
	1	A3出力						
	PMC92	P92端子の動作モードの指定						
	0	入出力ポート						
	1	A2出力						
	PMC91	P91端子の動作モードの指定						
	0	入出力ポート						
	1	A1出力						
	PMC90	P90端子の動作モードの指定						
	0	入出力ポート						
	1	A0出力						

(d) プルアップ抵抗オプション・レジスタ9 (PU9)

リセット時 : 00H R/W アドレス : FFFFFFFC52H

	7	6	5	4	3	2	1	0
PU9	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90

PU9n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合のみです。端子が出力状態のときは接続できません。

備考 n = 0-7

4.3.9 ポートDL

ポートDLは、1ビット単位で入出力を制御できます。

ポートDLは、次に示す端子と兼用しています。

表4 - 14 ポートDLの兼用端子

端子名	ピン番号		兼用端子名	入出力	ブルアップ ^{注1}
	IG4-H	IH4-H			
	GC	GF			
PDL0	81	6	AD0	入出力	あり
PDL1	80	5	AD1	入出力	
PDL2	79	4	AD2	入出力	
PDL3	78	3	AD3	入出力	
PDL4	77	2	AD4	入出力	
PDL5	76	1	AD5/FLMD1 ^{注2}	入出力	
PDL6	75	128	AD6	入出力	
PDL7	74	127	AD7	入出力	
PDL8	73	126	AD8	入出力	
PDL9	72	125	AD9	入出力	
PDL10	71	124	AD10	入出力	
PDL11	70	123	AD11	入出力	
PDL12	69	122	AD12	入出力	
PDL13	68	121	AD13	入出力	
PDL14	67	120	AD14/TOA20/TIA20/INTP15	入出力	
PDL15	66	119	AD15/TOA21/TIA21/INTP16	入出力	

注1. ソフトウェア・ブルアップ機能

- フラッシュ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第27章 **フラッシュ・メモリ**を参照してください。

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(1) レジスタ

(a) ポートDLレジスタ (PDL)

リセット時：不定		R/W	アドレス：PDL FFFFF004H PDLL FFFFF004H, PDLH FFFFF005H					
PDL (PDLH ^注)	15	14	13	12	11	10	9	8
	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
(PDLL)	7	6	5	4	3	2	1	0
	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0
PDLn	出力データの制御 (出力モード時)							
0	0を出力							
1	1を出力							

注 PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

備考1. PDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. n = 0-15

(b) ポートDLモード・レジスタ (PMDL)

リセット時 : FFFFH R/W アドレス : PMDL FFFFF024H
 PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH ^注)	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8

	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

注 PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

備考1. PMDLレジスタは、16ビット単位でリード/ライト可能です。
 ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. n = 0-15

(c) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時：0000H R/W アドレス：PMCDL FFFFF044H
PMCDLL FFFFF044H, PMCDLH FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL (PMCDLH ^注)	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
	7	6	5	4	3	2	1	0
(PMCDLL)	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0

PMCDL15	PMCDL15端子の動作モードの指定
0	入出力ポート
1	AD15入出力 / TOA21出力 / TIA21入力 / INTP16入力

PMCDL14	PMCDL14端子の動作モードの指定
0	入出力ポート
1	AD14入出力 / TOA20出力 / TIA20入力 / INTP15入力

PMCDLn	PMCDLn端子の動作モードの指定
0	入出力ポート
1	ADn入出力

注 PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

備考 n = 0-13

(d) ポートDLファンクション・コントロール・レジスタ (PFCDL)

リセット時：0000H R/W アドレス：PFCDL FFFFF3A0H
PFCDLL FFFFF3A0H, PFCDLH FFFFF3A1H

	15	14	13	12	11	10	9	8
PFCDL (PFCDLH ^注)	PFCDL15	PFCDL14	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PFCDLL)	0	0	0	0	0	0	0	0

注 PFCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFCDLHレジスタのビット0-7として指定してください。

備考 兼用機能の指定については、4.3.9(1)(f)ポートDLの兼用機能の設定を参照してください。

(e) ポートDLファンクション・コントロール拡張レジスタ (PFCEDL)

リセット時 : 0000H R/W アドレス : PFCEDL FFFF3C0H
PFCEDLL FFFF3C0H, PFCEDLH FFFF3C1H

		15	14	13	12	11	10	9	8
PFCEDL (PFCEDLH ^注)	PFCEDL15	PFCEDL14	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0	
(PFCEDLL)	0	0	0	0	0	0	0	0	0

注 PFCEDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFCEDLHレジスタのビット0-7として指定してください。

備考 兼用機能の指定については、4.3.9(1)(f) **ポートDLの兼用機能の設定**を参照してください。

(f) ポートDLの兼用機能の設定

PFCEDL15	PFCDL15	PDL15端子の兼用機能の指定
0	0	AD15入出力
0	1	TOA21出力
1	0	TIA21入力
1	1	INTP16入力

PFCEDL14	PFCDL14	PDL14端子の兼用機能の指定
0	0	AD14入出力
0	1	TOA20出力
1	0	TIA20入力
1	1	INTP15入力

(g) プルアップ抵抗オプション・レジスタDL (PUDL)

リセット時：0000H R/W アドレス：PUDL FFFFFFF44H
 PUDLL FFFFFFF44H, PUDLH FFFFFFF45H

	15	14	13	12	11	10	9	8
PUDL (PUDLH ^{注1})	PUDL15	PUDL14	PUDL13	PUDL12	PUDL11	PUDL10	PUDL9	PUDL8
	7	6	5	4	3	2	1	0
(PUDLL)	PUDL7	PUDL6	PUDL5	PUDL4	PUDL3	PUDL2	PUDL1	PUDL0
	内蔵プルアップ抵抗接続制御							
PUDLn								
0	接続しない							
1	接続する ^{注2}							

- 注1.** PUDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PUDLHレジスタのビット0-7として指定してください。
- 2.** 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合のみです。端子が出力状態のときは接続できません。

- 備考1.** PUDLレジスタは、16ビット単位でリード/ライト可能です。
 ただし、PUDLレジスタの上位8ビットをPUDLHレジスタ、下位8ビットをPUDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** n = 0-15

4.4 各設定時の出力データとポート・リード値

次に兼用端子に切り替える設定値とともに各設定時の出力データとポート・リード値を示します。なお、次の設定以外に各周辺機能の制御レジスタの設定も必要です。

表4 - 15 各設定時の出力データとポート・リード値 (1/12)

ポート名	機能	PMcmm	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P00, P02	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TECR0, TIT00, TENC01, TIT01	1	0	0	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
	TOT00, TOT01	1	0	1	0	兼用出力 (タイマ出力)	ポート・ラッチ		
1					端子レベル				
INTP00, INTP02	1	1	1	0	-	ポート・ラッチ	兼用入力 (外部割り込み入力 (有効エッジ指定が必要))		
				1		端子レベル			
P01	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TENC00	1	0	0	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
	EVTT0	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
1					端子レベル				
INTP01	1	1	0	0	-	ポート・ラッチ	兼用入力 (外部割り込み入力 (有効エッジ指定が必要))		
				1		端子レベル			
P03-P06	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOT20, TOT21, TOT30, TOT31	1	0	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIT20, TIT21, TIT30, TIT31	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
1					端子レベル				
TOT2OFF, INTP03, INTP04, TOT3OFF, INTP05, INTP06	1	1	1	0	-	ポート・ラッチ	兼用入力 (タイマ入力, 外部割り込み入力 (有効エッジ指定が必要))		
				1		端子レベル			

備考 × : 任意

表4 - 15 各設定時の出力データとポート・リード値 (2/12)

ポート名	機能	PMcMn	PFCEmn	PFCMn	PMmn	出力データ	Pmnリード値	備考	
P07	出力ポート	0	なし	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB01OFF, INTP07	1	なし	0	0	-	ポート・ラッチ		兼用入力 (タイマ入力, 外部割り込み入力 (有効エッジ指定が必要))
					1		端子レベル		
CLKOUT	1	なし	1	0	兼用出力 (バス出力)	ポート・ラッチ			
				1		端子レベル			
P10-12	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB0T1, TOB0B1, TOB0T2	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIB01-TIB03	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
1					端子レベル				
TOB01-TOB03	1	1	0	0	兼用出力2 (タイマ出力)	ポート・ラッチ			
				1		端子レベル			
P13-15	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB0B2, TOB0T3, TOB0B3	1	なし	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
TIB00, EVTB0, TRGB0	1	なし	1	0	-	ポート・ラッチ	兼用入力 (タイマ入力)		
				1		端子レベル			

備考 x : 任意

表4 - 15 各設定時の出力データとポート・リード値 (3/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P16	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB00	1	0	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TOB00OFF, INTPO8	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力, 外部割り込み入力 (有効エッジ指定が必要))
					1		端子レベル		
ADTRG0, INTADT0	1	1	0	0	-	ポート・ラッチ	兼用入力 (A/D入力, 外部割り込み入力 (有効エッジ指定が必要))		
				1		端子レベル			
P17 ^注	出力ポート	なし	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
P20-P22 ^注	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB1T1 ^注 , TOB1B1 ^注 , TOB1T2 ^注	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIB11-TIB13 ^注	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
1					端子レベル				
TOB11-TOB13 ^注	1	1	0	0	兼用出力2 (タイマ出力)	ポート・ラッチ	端子レベル		
P23 ^注 , P24, P25	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB1B2 ^注 , TOB1T3, TOB1B3	1	なし	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIB10 ^注 , EVTB1, TRGB1	1	なし	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
1					端子レベル				

注 V850E/IH4-Hのみ

備考 × : 任意

表4 - 15 各設定時の出力データとポート・リード値 (4/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P26	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB10	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TOB1OFF, INTP10	1	0	1	0	-	ポート・ラッチ		兼用入力(タイマ入力, 外部割り込み入力(有効エッジ指定が必要))
					1		端子レベル		
ADTRG1, INTADT1	1	1	0	0	兼用出力2 (バス出力)	ポート・ラッチ	兼用入力(A/D入力, 外部割り込み入力(有効エッジ指定が必要))		
				1		端子レベル			
P27	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	INTP09	1	0	0	0	-	ポート・ラッチ		兼用入力(外部割り込み入力(有効エッジ指定が必要))
					1		端子レベル		
	WR0	1	0	1	0	兼用出力1 (バス出力)	ポート・ラッチ		
					1		端子レベル		
	TOA01	1	1	0	0	兼用出力2 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		

備考 × : 任意

表4 - 15 各設定時の出力データとポート・リード値 (5/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P30	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	RXDA1	1	0	0	0	-	ポート・ラッチ	兼用入力 (シリアル入力)
					1		端子レベル	
	SCL	1	0	1	0	兼用入出力 (シリアル入出力)	ポート・ラッチ	マスタ時は出力 スレーブ時は入力
1					端子レベル			
WR1	1	1	0	0	兼用出力 (バス出力)	ポート・ラッチ		
				1		端子レベル		
P31	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TXDA1	1	0	0	0	兼用出力 (シリアル出力)	ポート・ラッチ	
					1		端子レベル	
	SDA	1	0	1	0	兼用入出力 (シリアル入出力)	ポート・ラッチ	マスタ時は出力 スレーブ時は入力
1					端子レベル			
WAIT	1	1	0	0	-	ポート・ラッチ	兼用入力 (バス入力)	
				1		端子レベル		
P32	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	SIF1	1	0	0	0	-	ポート・ラッチ	兼用入力 (シリアル入力)
					1		端子レベル	
	RXDA2	1	0	1	0	-	ポート・ラッチ	兼用入力 (シリアル入力)
1					端子レベル			
CS1	1	1	0	0	兼用出力 (バス出力)	ポート・ラッチ		
				1		端子レベル		

備考 x : 任意

表4 - 15 各設定時の出力データとポート・リード値 (6/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P33	出力ポート	0	なし	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SOF1	1	なし	0	0	兼用出力1	ポート・ラッチ		
					1	(シリアル出力)	端子レベル		
TXDA2	1	なし	1	0	兼用出力2	ポート・ラッチ			
				1	(シリアル出力)	端子レベル			
P34	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SCKF1	1	0	0	0	兼用入出力	ポート・ラッチ		マスタ時は出力
					1	(シリアル入出力)	端子レベル		スレーブ時は入力
	INTP11	1	0	1	0	-	ポート・ラッチ		兼用入力(外部割り込み入力(有効エッジ指定が必要))
					1	端子レベル			
CS0	1	1	0	0	兼用出力	ポート・ラッチ			
				1	(バス出力)	端子レベル			
P35	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SIF2	1	なし	0	0	-	ポート・ラッチ		兼用入力(シリアル入力)
					1	端子レベル			
RXDB	1	なし	1	0	-	ポート・ラッチ	兼用入力(シリアル入力)		
				1	端子レベル				

備考 x : 任意

表4 - 15 各設定時の出力データとポート・リード値 (7/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P36	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	SOF2	1	なし	0	0	兼用出力1	ポート・ラッチ	
					1	(シリアル出力)	端子レベル	
TXDB	1	なし	1	0	兼用出力2	ポート・ラッチ		
				1	(シリアル出力)	端子レベル		
P37	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	SCKF2	1	0	0	0	兼用入出力	ポート・ラッチ	
					1	(シリアル入出力)	端子レベル	
	INTP12	1	0	1	0	-	ポート・ラッチ	
					1	端子レベル		
ASTB	1	1	0	0	兼用出力	ポート・ラッチ		
				1	(バス出力)	端子レベル		

備考 × : 任意

表4 - 15 各設定時の出力データとポート・リード値 (8/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P40 ^注	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SIF0	1	0	0	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
					1		端子レベル		
	RXDA0	1	0	1	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
1					端子レベル				
TOA00	1	1	1	0	兼用出力 (タイマ出力)	ポート・ラッチ			
				1		端子レベル			
P41	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SOF0	1	なし	0	0	兼用出力1 (シリアル出力)	ポート・ラッチ		
					1		端子レベル		
	TXDA0	1	なし	1	0	兼用出力2 (シリアル出力)	ポート・ラッチ		
1					端子レベル				

注 P40端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替えはDRST端子レベルで設定します。次に設定方法を示します。

ポート4の機能	
DRST端子にロウ・レベル入力	DRST端子にハイ・レベル入力
P40/SIF0/RXDA0/TOA00	DDI

備考 × : 任意

表4 - 15 各設定時の出力データとポート・リード値 (9/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P42 ^注	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SCKF0	1	0	なし	0	兼用入出力 (シリアル入出力)	ポート・ラッチ		マスタ時は出力
					1		端子レベル		スレーブ時は入力
TOA10	1	1	なし	0	兼用出力 (タイマ出力)	ポート・ラッチ			
				1		端子レベル			
P43 ^注	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	INTP13	1	なし	0	0	-	ポート・ラッチ		兼用入力(外部割り込み入力(有効エッジ指定が必要))
					1		端子レベル		
TOA11	1	なし	1	0	兼用出力 (タイマ出力)	ポート・ラッチ			
				1		端子レベル			

注 P42, P43端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能(兼用機能含む)の切り替えは $\overline{\text{DRST}}$ 端子レベルで設定します。次に設定方法を示します。

ポート4の機能	
$\overline{\text{DRST}}$ 端子にロウ・レベル入力	$\overline{\text{DRST}}$ 端子にハイ・レベル入力
P42/SCKF0/TOA10	DCK
P43/INTP13/TOA11	DMS

備考 x : 任意

表4 - 15 各設定時の出力データとポート・リード値 (10/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P44	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	INTP14	1	なし	0	0	-	ポート・ラッチ		兼用入力(外部割り込み入力(有効エッジ指定が必要))
					1		端子レベル		
RD	1	なし	1	0	兼用出力 (バス出力)	ポート・ラッチ			
				1		端子レベル			
P50, P52	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TECR1, TIT10, TENC11, TIT11	1	0	0	0	-	ポート・ラッチ		兼用入力(タイマ入力)
					1		端子レベル		
	TOT10, TOT11	1	0	1	0	兼用出力 (タイマ出力)	ポート・ラッチ		
1					端子レベル				
INTP17, INTP19	1	1	0	0	-	ポート・ラッチ	兼用入力(外部割り込み入力(有効エッジ指定が必要))		
				1		端子レベル			
P51	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TENC10	1	0	0	0	-	ポート・ラッチ		兼用入力(タイマ入力)
					1		端子レベル		
	EVTT1	1	0	1	0	-	ポート・ラッチ		兼用入力(タイマ入力)
					1		端子レベル		
INTP18	1	1	0	0	-	ポート・ラッチ	兼用入力(外部割り込み入力(有効エッジ指定が必要))		
				1		端子レベル			
UCLK ^注	1	1	1	0	-	ポート・ラッチ	兼用入力(USBクロック入力)		
				1		端子レベル			

注 V850E/IG4-Hのみ

備考 × : 任意

表4 - 15 各設定時の出力データとポート・リード値 (11/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P53 ^{注1}	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	UCLK ^{注1}	1	×	×	0	-	ポート・ラッチ		兼用入力 (USBクロック入力)
					1		端子レベル		
P54-P56 ^{注1}	出力ポート	なし	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
P70-P711	入力ポート	0	なし	なし	なし	-	端子レベル	入力専用ポート	
	ANI20-ANI211	1				-	ロウ・レベル		
P90-P97 ^{注1}	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	A0-A7 ^{注1}	1	なし	なし	0	兼用出力 (バス出力)	ポート・ラッチ		
					1		端子レベル		
PDL0- PDL13 ^{注2}	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	AD0-AD13	1	なし	なし	0	兼用入出力 (バス入出力)	ポート・ラッチ		
	1	端子レベル							

注1. V850E/I/H4-Hのみ

2. PDL5端子はフラッシュ・プログラミング・モード時に設定する端子を兼用しています。この端子は、ポート制御用レジスタで操作する必要はありません。詳細は第27章 フラッシュ・メモリを参照してください。

表4 - 15 各設定時の出力データとポート・リード値 (12/12)

ポート名	機能	PMcMn	PFCEmn	PFCMn	PMmn	出力データ	Pmnリード値	備考
PDL14, PDL15	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	AD14, AD15	1	0	0	0	兼用入出力 (バス入出力)	ポート・ラッチ	
					1		端子レベル	
	TOA20, TOA21	1	0	1	0	兼用出力 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
	TIA20, TIA21	1	1	0	0	-	ポート・ラッチ	兼用入力(タイマ入力)
					1		端子レベル	
	INTP15, INTP16	1	1	1	0	-	ポート・ラッチ	兼用入力(外部割り込み入力(有効エッジ指定が必要))
					1		端子レベル	

4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を次に示します。

兼用端子として使用する場合は各機能を参照してください。

表4 - 16 ポート端子を兼用端子として使用する場合 (1/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	TECR0	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0	PFC00 = 0	
	TIT00	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0	PFC00 = 0	
	TOT00	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0	PFC00 = 1	
	INTP00	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 1	PFC00 = 0	INTF00 (INTF2), INTR00 (INTR2)
P01	TENC00	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 0	PFC01 = 0	
	EVTT0	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 0	PFC01 = 1	
	INTP01	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 1	PFC01 = 0	INTF01 (INTF2), INTR01 (INTR2)
P02	TENC01	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 0	PFC02 = 0	
	TIT01	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 0	PFC02 = 0	
	TOT01	出力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 0	PFC02 = 1	
	INTP02	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 1	PFC02 = 0	INTF02 (INTF2), INTR02 (INTR2)
P03	TOT20	出力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 0	
	TIT20	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 1	
	TOT2OFF	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 1	PFC03 = 0	
	INTP03	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 1	PFC03 = 0	INTF03 (INTF0), INTR03 (INTR0)
P04	TOT21	出力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 0	
	TIT21	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 1	
	INTP04	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 1	PFC04 = 0	INTF04 (INTF0), INTR04 (INTR0)
P05	TOT30	出力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 0	PFC05 = 0	
	TIT30	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 0	PFC05 = 1	
	TOT3OFF	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 1	PFC05 = 0	
	INTP05	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 1	PFC05 = 0	INTF05 (INTF0), INTR05 (INTR0)

表4 - 16 ポート端子を兼用端子として使用する場合 (2/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P06	TOT31	出力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFCE06 = 0	PFC06 = 0	
	TIT31	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFCE06 = 0	PFC06 = 1	
	INTP06	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFCE06 = 1	PFC06 = 0	INTF06 (INTF0), INTR06 (INTR0)
P07	TOB01OFF	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	-	PFC07 = 0	
	INTP07	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	-	PFC07 = 0	INTF07 (INTF0), INTR07 (INTR0)
	CLKOUT	出力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	-	PFC07 = 1	
P10	TOB0T1	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 0	
	TIB01	入力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 1	
	TOB01	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 1	PFC10 = 0	
P11	TOB0B1	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 0	
	TIB02	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 1	
	TOB02	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 1	PFC11 = 0	
P12	TOB0T2	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 0	
	TIB03	入力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 1	
	TOB03	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 1	PFC12 = 0	
P13	TOB0B2	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	-	PFC13 = 0	
	TIB00	入力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	-	PFC13 = 1	
P14	TOB0T3	出力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	-	PFC14 = 0	
	EVTB0	入力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	-	PFC14 = 1	
P15	TOB0B3	出力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	-	PFC15 = 0	
	TRGB0	入力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	-	PFC15 = 1	

表4 - 16 ポート端子を兼用端子として使用する場合 (3/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P16	TOB00	出力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 0	PFC16 = 0	
	TOB00FF	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 0	PFC16 = 1	
	INTP08	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 0	PFC16 = 1	INTF08 (INTF0), INTR08 (INTR0)
	ADTRG0	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 1	PFC16 = 0	
	INTADT0	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 1	PFC16 = 0	ADTF0 (ADTF), ADTR0 (ADTR)
P17 ^注	-	-	P17 = 設定不要	PM17 = 設定不要	-	-	-	
P20 ^注	TOB1T1 ^注	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 0	
	TIB11 ^注	入力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 1	
	TOB11 ^注	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 1	PFC20 = 0	
P21 ^注	TOB1B1 ^注	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 0	
	TIB12 ^注	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 1	
	TOB12 ^注	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 0	
P22 ^注	TOB1T2 ^注	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 0	PFC22 = 0	
	TIB13 ^注	入力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 0	PFC22 = 1	
	TOB13 ^注	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 1	PFC22 = 0	
P23 ^注	TOB1B2 ^注	出力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	-	PFC23 = 0	
	TIB10 ^注	入力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	-	PFC23 = 1	
P24	TOB1T3	出力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	-	PFC24 = 0	
	EVTB1	入力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	-	PFC24 = 1	
P25	TOB1B3	出力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	-	PFC25 = 0	
	TRGB1	入力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	-	PFC25 = 1	

注 V850E/IH4-Hのみ

表4 - 16 ポート端子を兼用端子として使用する場合 (4/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P26	TOB10	出力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 0	PFC26 = 0	
	TOB1OFF	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 0	PFC26 = 1	
	INTP10	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 0	PFC26 = 1	INTF10 (INTF0), INTR10 (INTR0)
	ADTRG1	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 1	PFC26 = 0	
	INTADT1	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 1	PFC26 = 0	ADTF1 (ADTF), ADTR1 (ADTR)
P27	INTP09	入力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 1	PFCE27 = 0	PFC27 = 0	INTF09 (INTF0), INTR09 (INTR0)
	WR0	出力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 1	PFCE27 = 0	PFC27 = 1	
	TOA01	出力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 1	PFCE27 = 1	PFC27 = 0	
P30	RXDA1	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 0	PFC30 = 0	
	SCL	入出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 0	PFC30 = 1	PF30 (PF3) = 1
	WR1	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 1	PFC30 = 0	
P31	TXDA1	出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 0	PFC31 = 0	
	SDA	入出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 0	PFC31 = 1	PF31 (PF3) = 1
	WAIT	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 1	PFC31 = 0	
P32	SIF1	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	RXDA2	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	CS1	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
P33	SOF1	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 0	
	TXDA2	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 1	
P34	SCKF1	入出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	
	INTP11	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	INTF11 (INTF1), INTR11 (INTR1)
	CS0	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	
P35	SIF2	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 0	
	RXDB	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 1	

表4 - 16 ポート端子を兼用端子として使用する場合 (5/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P36	SOF2	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	PFC36 = 0	
	TXDB	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	PFC36 = 1	
P37	SCKF2	入出力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 0	PFC37 = 0	
	INTP12	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 0	PFC37 = 1	INTF12 (INTF1), INTR12 (INTR1)
	ASTB	出力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 1	PFC37 = 0	
P40	SIF0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 0	PFC40 = 0	
	RXDA0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 0	PFC40 = 1	
	DDI ^注	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 設定不要	PFCE40 = 設定不要	PFC40 = 設定不要	
	TOA00	出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 1	PFC40 = 1	
P41	SOF0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 0	
	TXDA0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 1	
P42	SCKF0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	PFCE42 = 0	-	
	DCK ^注	入力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 設定不要	PFCE42 = 設定不要	-	
	TOA10	出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	PFCE42 = 1	-	
P43	INTP13	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	-	PFC43 = 0	INTF13 (INTF1), INTR13 (INTR1)
	DMS ^注	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 設定不要	-	PFC43 = 設定不要	
	TOA11	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	-	PFC43 = 1	

注 P40, P42, P43端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能(兼用機能含む)の切り替えはDRST端子レベルで設定します。次に設定方法を示します。

ポート4の機能	
DRST端子にロウ・レベル入力	DRST端子にハイ・レベル入力
P40/SIF0/RXDA0/TOA00	DDI
P42/SCKF0/TOA10	DCK
P43/INTP13/TOA11	DMS

表4 - 16 ポート端子を兼用端子として使用する場合 (6/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P44	INTP14	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	PFC44 = 0	INTF14 (INTF1), INTR14 (INTR1)
	R \bar{D}	出力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	PFC44 = 1	
P50	TECR1	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 0	
	TIT10	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 0	
	TOT10	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	
	INTP17	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	INTF17 (INTF3), INTR17 (INTR3)
P51	TENC10	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 0	
	EVTT1	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	
	INTP18	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0	INTF18 (INTF3), INTR18 (INTR3)
	UCLK ^{注1}	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 1	
P52	TENC11	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 0	
	TIT11	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 0	
	TOT11	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	
	INTP19	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 0	INTF19 (INTF3), INTR19 (INTR3)
P53 ^{注2}	UCLK ^{注2}	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	-	-	
P54 ^{注2}	-	-	P54 = 設定不要	PM54 = 設定不要	-	-	-	
P55 ^{注2}	-	-	P55 = 設定不要	PM55 = 設定不要	-	-	-	
P56 ^{注2}	-	-	P56 = 設定不要	PM56 = 設定不要	-	-	-	
P70	ANI20	入力	P70 = 設定不要	-	PMC70 = 1	-	-	
P71	ANI21	入力	P71 = 設定不要	-	PMC71 = 1	-	-	
P72	ANI22	入力	P72 = 設定不要	-	PMC72 = 1	-	-	
P73	ANI23	入力	P73 = 設定不要	-	PMC73 = 1	-	-	

注1. V850E/IG4-Hのみ

2. V850E/IH4-Hのみ

表4 - 16 ポート端子を兼用端子として使用する場合 (7/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P74	ANI24	入力	P74 = 設定不要	-	PMC74 = 1	-	-	
P75	ANI25	入力	P75 = 設定不要	-	PMC75 = 1	-	-	
P76	ANI26	入力	P76 = 設定不要	-	PMC76 = 1	-	-	
P77	ANI27	入力	P77 = 設定不要	-	PMC77 = 1	-	-	
P78	ANI28	入力	P78 = 設定不要	-	PMC78 = 1	-	-	
P79	ANI29	入力	P79 = 設定不要	-	PMC79 = 1	-	-	
P710	ANI210	入力	P710 = 設定不要	-	PMC710 = 1	-	-	
P711	ANI211	入力	P711 = 設定不要	-	PMC711 = 1	-	-	
P90 ^注	A0 ^注	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	-	-	
P91 ^注	A1 ^注	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	-	-	
P92 ^注	A2 ^注	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	-	-	
P93 ^注	A3 ^注	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	-	-	
P94 ^注	A4 ^注	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	-	-	
P95 ^注	A5 ^注	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	-	-	
P96 ^注	A6 ^注	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	-	-	
P97 ^注	A7 ^注	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	-	-	
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-	
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-	
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-	
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-	
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-	

注 V850E/IH4-Hのみ

表4 - 16 ポート端子を兼用端子として使用する場合 (8/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-	
	FLMD1 ^注	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	-	-	
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-	
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-	
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-	
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-	
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-	
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-	
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-	
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-	
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	PFCEDL14 = 0	PFCDL14 = 0	
	TOA20	出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	PFCEDL14 = 0	PFCDL14 = 1	
	TIA20	入力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	PFCEDL14 = 1	PFCDL14 = 0	
	INTP15	入力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	PFCEDL14 = 1	PFCDL14 = 1	INTF15 (INTF1), INTR15 (INTR1)
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	PFCEDL15 = 0	PFCDL15 = 0	
	TOA21	出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	PFCEDL15 = 0	PFCDL15 = 1	
	TIA21	入力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	PFCEDL15 = 1	PFCDL15 = 0	
	INTP16	入力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	PFCEDL15 = 1	PFCDL15 = 1	INTF16 (INTF1), INTR16 (INTR1)

注 PDL5端子はフラッシュ・プログラミング・モード時に設定する端子 (FLMD1) を兼用しています。この端子は、ポート制御用レジスタで操作する必要はありません。詳細は第27章 フラッシュ・メモリを参照してください。

4.6 ノイズ除去回路

次に示す端子には、ノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

- 注意1. マスカブル割り込み端子はスタンバイ・モードの解除に使用できます。詳細は第20章 スタンバイ機能を参照してください。
2. デジタル・フィルタはクロック・サンプリングを用いているため、周辺クロック(f_{xx})停止時(STOP, IDLEモード)には入力信号を受け付けられません。
3. ノイズ除去回路は兼用機能時だけ有効です。

表4 - 17 ノイズ除去回路 (1/2)

対象端子		フィルタ・タイプ	ノイズ除去幅	サンプリング・クロック
RESET		アナログ・フィルタ	数10 ns	-
DRST				
FLMD0				
P00/TECR0/TIT00/TOT00/INTP00	TECR0/TIT00	デジタル・フィルタ	2-3クロック	f _{xx} /2, f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64より選択可能
	INTP00	アナログ・フィルタ	数10 ns	-
		デジタル・フィルタ	2-3クロック	f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /64, f _{xx} /256, f _{xx} /1024より選択可能
P01/TENC00/EVTT0/INTP01	TENC00	デジタル・フィルタ	2-3クロック	f _{xx} /2, f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64より選択可能
	EVTT0			
	INTP01	アナログ・フィルタ	数10 ns	-
デジタル・フィルタ		2-3クロック	f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /64, f _{xx} /256, f _{xx} /1024より選択可能	
P02/TENC01/TIT01/TOT01/INTP02	TENC01/TIT01	デジタル・フィルタ	2-3クロック	f _{xx} /2, f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64より選択可能
	INTP02	アナログ・フィルタ	数10 ns	-
		デジタル・フィルタ	2-3クロック	f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /64, f _{xx} /256, f _{xx} /1024より選択可能
P03/TOT20/TIT20/TOT2OFF/INTP03	TIT20	デジタル・フィルタ	2-3クロック	f _{xx} /2, f _{xx} /8より選択可能
	TOT2OFF	アナログ・フィルタ	数10 ns	-
	INTP03			
P04/TOT21/TIT21/INTP04	TIT21	デジタル・フィルタ	2-3クロック	f _{xx} /2, f _{xx} /8より選択可能
	INTP04	アナログ・フィルタ	数10 ns	-
P05/TOT30/TIT30/TOT3OFF/INTP05	TIT30	デジタル・フィルタ	2-3クロック	f _{xx} /2, f _{xx} /8より選択可能
	TOT3OFF	アナログ・フィルタ	数10 ns	-
	INTP05			
P06/TOT31/TIT31/INTP06	TIT31	デジタル・フィルタ	2-3クロック	f _{xx} /2, f _{xx} /8より選択可能
	INTP06	アナログ・フィルタ	数10 ns	-
P07/TOB01OFF/INTP07/CLKOUT	TOB01OFF			
	INTP07			
P10/TOB0T1/TIB01/TOB01	TIB01	デジタル・フィルタ	3クロック	f _{xx} /8
P11/TOB0B1/TIB02/TOB02	TIB02			
P12/TOB0T2/TIB03/TOB03	TIB03			
P13/TOB0B2/TIB00	TIB00			
P14/TOB0T3/EVTB0	EVTB0			
P15/TOB0B3/TRGB0	TRGB0			
P16/TOB00/TOB0OFF/INTP08/ ADTRG0/INTADT0	TOB0OFF	アナログ・フィルタ	数10 ns	-
	INTP08			
	ADTRG0			
	INTADT0			

表4 - 17 ノイズ除去回路 (2/2)

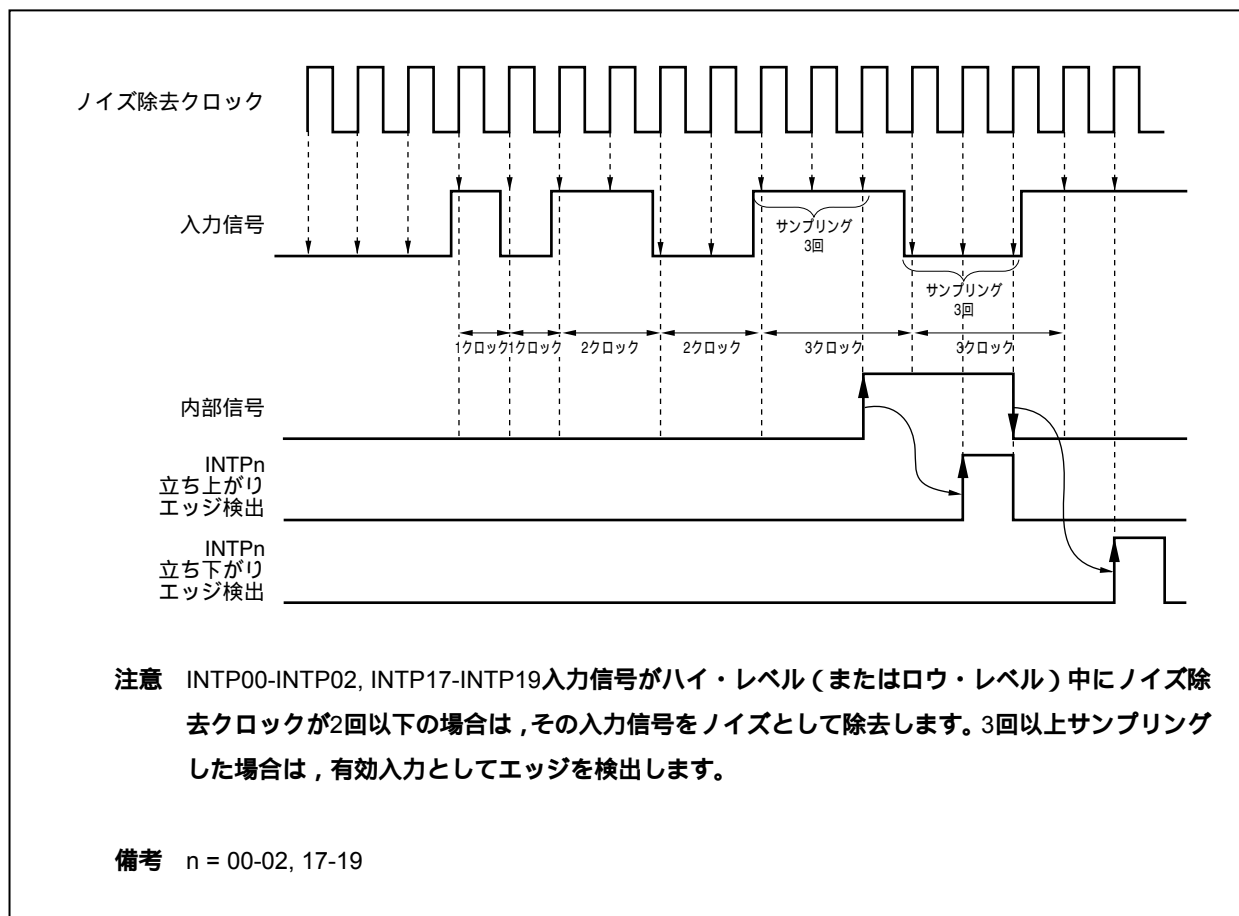
対象端子	フィルタ・タイプ	ノイズ除去幅	サンプリング・クロック	
P20 ^{注1} /TOB1T1 ^{注1} /TIB11 ^{注1} /TOB11 ^{注1}	デジタル・フィルタ	3クロック	fxx/8	
P21 ^{注1} /TOB1B1 ^{注1} /TIB12 ^{注1} /TOB12 ^{注1}				
P22 ^{注1} /TOB1T2 ^{注1} /TIB13 ^{注1} /TOB13 ^{注1}				
P23 ^{注1} /TOB1B2 ^{注1} /TIB10 ^{注1}				
P24/TOB1T3/EVTB1				
P25/TOB1B3/TRGB1				
P26/TOB10/TOB1OFF/INTP10/ ADTRG1/INTADT1	アナログ・フィルタ	数10 ns	-	
	INTP10			
	ADTRG1			
	INTADT1			
P27/INTP09/ $\overline{WR0}$ /TOA01	INTP09			
P34/ $\overline{SCKF1}$ /INTP11/ $\overline{CS0}$	INTP11			
P37/ $\overline{SCKF2}$ /INTP12/ASTB	INTP12			
P43/INTP13/DMS/TOA11	INTP13			
P44/INTP14/ \overline{RD}	INTP14			
P50/TECR1/TIT10/TOT10/INTP17	TECR1	デジタル・フィルタ	2-3クロック	fxx/2, fxx/4, fxx/8, fxx/16, fxx/32, fxx/64 より選択可能
	TIT10			
	INTP17	アナログ・フィルタ	数10 ns	-
		デジタル・フィルタ	2-3クロック	fxx/4, fxx/8, fxx/16, fxx/64, fxx/256, fxx/1024より選択可能
P51/TENC10/EVTT1/INTP18/UCLK ^{注2}	TENC10	デジタル・フィルタ	2-3クロック	fxx/2, fxx/4, fxx/8, fxx/16, fxx/32, fxx/64 より選択可能
	EVTT1			
	INTP18	アナログ・フィルタ	数10 ns	-
		デジタル・フィルタ	2-3クロック	fxx/4, fxx/8, fxx/16, fxx/64, fxx/256, fxx/1024より選択可能
P52/TENC11/TIT11/TOT11/INTP19	TENC11	デジタル・フィルタ	2-3クロック	fxx/2, fxx/4, fxx/8, fxx/16, fxx/32, fxx/64 より選択可能
	TIT11			
	INTP19	アナログ・フィルタ	数10 ns	-
		デジタル・フィルタ	2-3クロック	fxx/4, fxx/8, fxx/16, fxx/64, fxx/256, fxx/1024より選択可能
PDL14/AD14/TOA20/TIA20/INTP15	TIA20	デジタル・フィルタ	2-3クロック	fxx/2, fxx/8より選択可能
	INTP15	アナログ・フィルタ	数10 ns	-
PDL15/AD15/TOA21/TIA21/INTP16	TIA21	デジタル・フィルタ	2-3クロック	fxx/2, fxx/8より選択可能
	INTP16	アナログ・フィルタ	数10 ns	-

注1. V850E/IH4-Hのみ

2. V850E/IG4-Hのみ

次にINTP00-INTP02, INTP17-INTP19, タイマAA入力端子, タイマT入力端子のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図4-4 ノイズ除去タイミング例



次にノイズ除去回路の構成を示します。

図4-5 ノイズ除去回路の構成 (1/2)

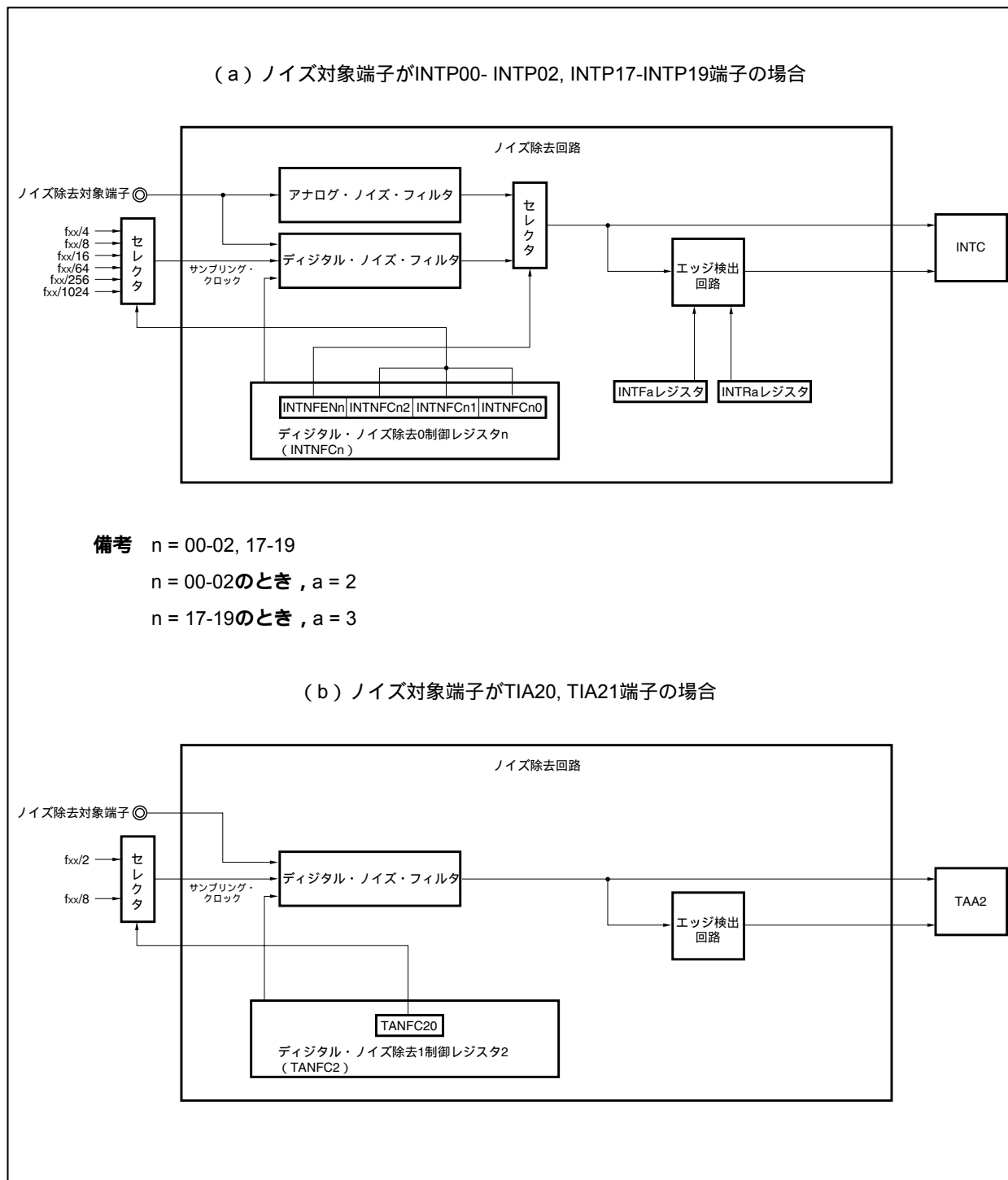
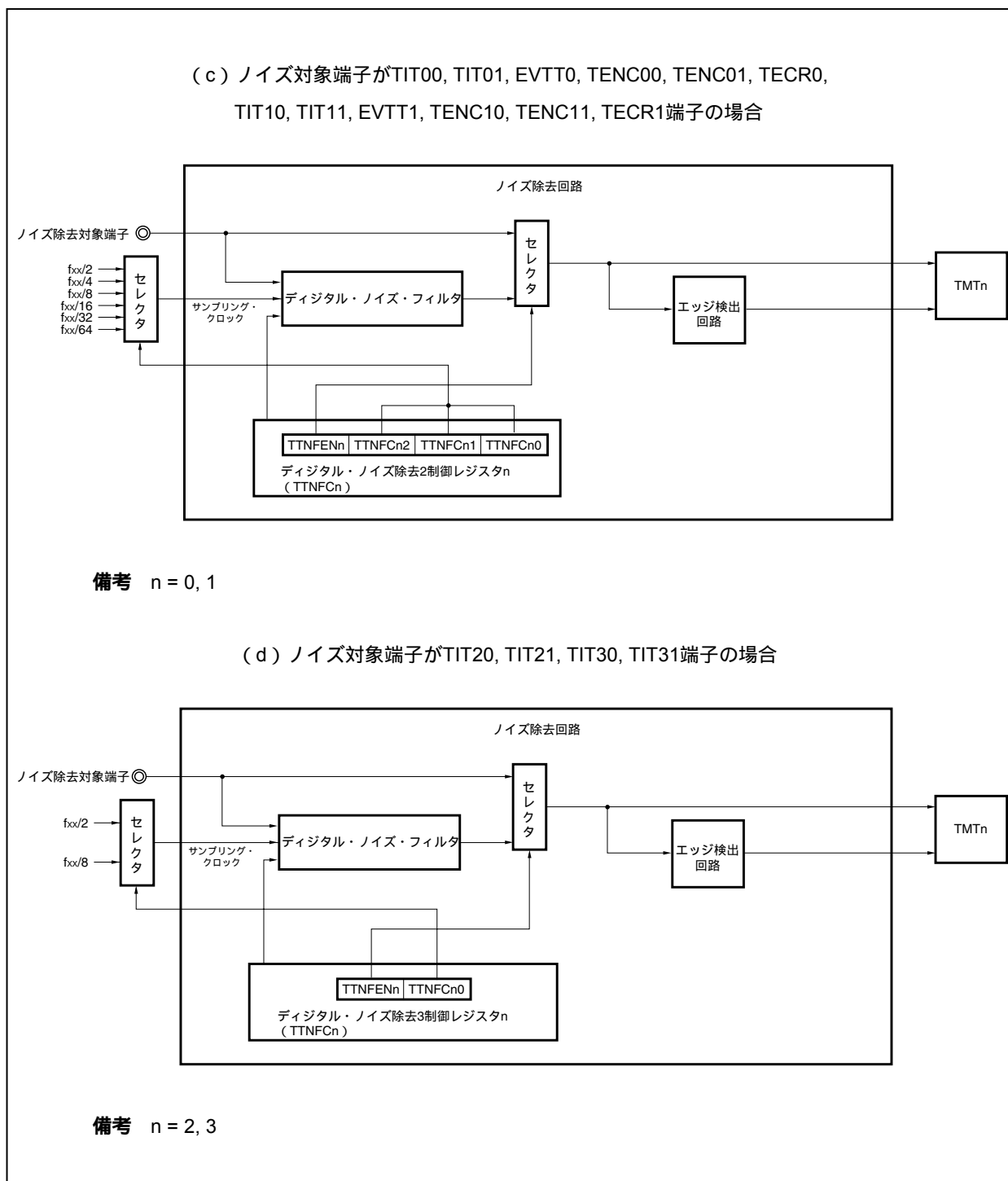


図4-5 ノイズ除去回路の構成 (2/2)



(1) デジタル・ノイズ除去制御レジスタ_n (INTNFC_n)

INTNFC_nレジスタは、INTP_n端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをINTNFC_nレジスタで選択したクロックで3回連続検出されなかった場合、その信号はノイズとして除去されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** 入力信号が2~3クロック分の場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
2. サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
3. 通常入力ポートとして使用する場合はノイズ除去を行いません。

リセット時：00H R/W アドレス：INTNFC00 FFFFF310H, INTNFC01 FFFFF312H,
INTNFC02 FFFFF314H, INTNFC17 FFFFF318H,
INTNFC18 FFFFF31AH, INTNFC19 FFFFF31CH

	7	6	5	4	3	2	1	0
INTNFC _n	INTNFEN _n	0	0	0	0	INTNFCn2	INTNFCn1	INTNFCn0
[n = 00-02, 17-19]	INTNFEN _n	デジタル・ノイズ除去の設定						
	0	アナログ・ノイズ除去許可						
	1	デジタル・ノイズ除去許可						

INTNFCn2	INTNFCn1	INTNFCn0	サンプリング・クロックの選択
0	0	0	fxx/4
0	0	1	fxx/8
0	1	0	fxx/16
0	1	1	fxx/64
1	0	0	fxx/256
1	0	1	fxx/1024
その他			設定禁止

(2) デジタル・ノイズ除去1制御レジスタ2 (TANFC2)

TANFC2レジスタは、TIA20, TIA21端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをTANFC2レジスタで選択したクロックで3回連続検出されなかった場合、その信号はノイズとして除去されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力信号が2~3クロック分の場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
2. サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
 3. 通常入力ポートとして使用する場合はノイズ除去を行いません。
 4. TAA2CTL0.TAA2CEビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

リセット時：00H	R/W	アドレス：FFFFFFB40H							
	7	6	5	4	3	2	1	0	
TANFC2	0	0	0	0	0	0	0	0	TANFC20
TANFC20	サンプリング・クロックの選択								
	0	fxx/2							
	1	fxx/8							

(3) デジタル・ノイズ除去2制御レジスタ_n (TTNFC_n)

TTNFC_nレジスタは、TITn0, TITn1, EVTTn, TENCn0, TENCn1, TECRn端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをTTNFC_nレジスタで選択したクロックで3回連続検出されなかった場合、その信号はノイズとして除去されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力信号が2~3クロック分の場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
- サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
 - 通常入力ポートとして使用する場合はノイズ除去を行いません。
 - TTnCTL0.TTnCEビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

リセット時：00H R/W アドレス：TTNFC0 FFFFF5A0H, TTNFC1 FFFFF5A2H								
	7	6	5	4	3	2	1	0
TTNFC _n (n = 0, 1)	TTNFEN _n	0	0	0	0	TTNFC _n 2	TTNFC _n 1	TTNFC _n 0
	TTNFEN _n	デジタル・ノイズ除去の設定						
	0	デジタル・ノイズ除去禁止						
	1	デジタル・ノイズ除去許可						
	TTNFC _n 2	TTNFC _n 1	TTNFC _n 0	サンプリング・クロックの選択				
	0	0	0	f _{xx} /2				
	0	0	1	f _{xx} /4				
	0	1	0	f _{xx} /8				
	0	1	1	f _{xx} /16				
	1	0	0	f _{xx} /32				
	1	0	1	f _{xx} /64				
	その他			設定禁止				

(4) デジタル・ノイズ除去3制御レジスタ_n (TTNFC_n)

TTNFC_nレジスタは、TITn0, TITn1端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをTTNFC_nレジスタで選択したクロックで3回連続検出されなかった場合、その信号はノイズとして除去されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

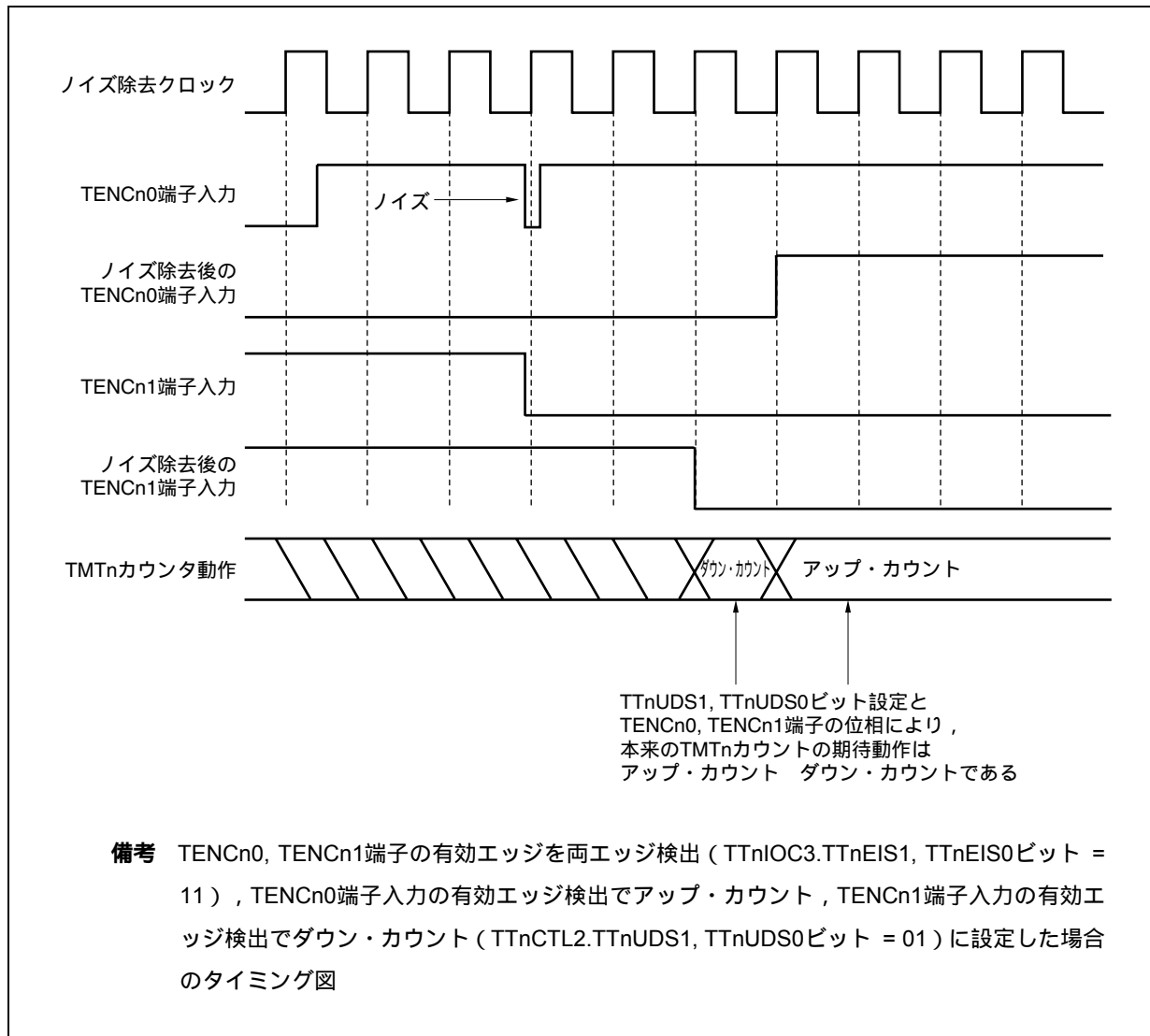
- 注意1. 入力信号が2~3クロック分の場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
- サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
 - 通常入力ポートとして使用する場合はノイズ除去を行いません。
 - TTnCTL0.TTnCEビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

リセット時：00H R/W アドレス：TTNFC2 FFFFF7A0H, TTNFC3 FFFFF7A2H								
	7	6	5	4	3	2	1	0
TTNFC _n (n = 2, 3)	TTNFEN _n	0	0	0	0	0	0	TTNFC _n 0
	TTNFEN _n	デジタル・ノイズ除去の設定						
	0	デジタル・ノイズ除去禁止						
	1	デジタル・ノイズ除去許可						
	TTNFC _n 0	サンプリング・クロックの選択						
	0	f _{xx} /2						
	1	f _{xx} /8						

(a) TENCn0, TENCn1端子のノイズ除去機能の注意事項

TENCn0, TENCn1端子がノイズ除去機能を使用する (TTNFCn.TTNFENnビット = 1) 場合, 次を示す誤動作が発生する可能性があります。

図4 - 6 TENCn0, TENCn1端子のノイズ除去機能による誤動作



4.7 注意事項

4.7.1 ポート端子設定上の注意事項

(1) ポートのレジスタ設定は、次の順番で行ってください。

PFCn, PFCEnレジスタを設定

PMCnレジスタを設定

INTFn, INTRnレジスタを設定

PMCnレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

(2) 内蔵プルアップ抵抗は、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に接続が可能です。

さらに、V850E/IG4-Hの場合は、兼用機能時に出力端子であるTOT21, TOT31, TOB0T1-TOB0T3, TOB0B1-TOB0B3, TOB1T3, TOB1B3端子は、TOT2OFF, TOT3OFF, TOB0OFF, TOB01OFF, TOB1OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に接続が可能です。

また、V850E/IH4-Hの場合は、兼用機能時に出力端子であるTOT21, TOT31, TOB0T1-TOB0T3, TOB0B1-TOB0B3, TOB1T1-TOB1T3, TOB1B1-TOB1B3端子は、TOT2OFF, TOT3OFF, TOB0OFF, TOB01OFF, TOB1OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に接続が可能です。

内蔵プルアップ抵抗の設定は、次の順番で行ってください。

PUnレジスタを設定

PMCnレジスタを設定

PMnレジスタを設定

(3) N-chオープン・ドレインの設定は、次の順番で行ってください。

・ポート・モードで使用する場合

PMCnレジスタを設定

PFnレジスタを設定

・ I^2C の兼用機能時に出力端子で使用する場合

PFCn, PFCEnレジスタを設定

PFnレジスタを設定

PMCnレジスタを設定

4.7.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P00は出力ポート、P01-P07端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P00端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル”とすると、ポート・ラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850E/IG4-H, V850E/IH4-H内部で、次の順序で行われます。

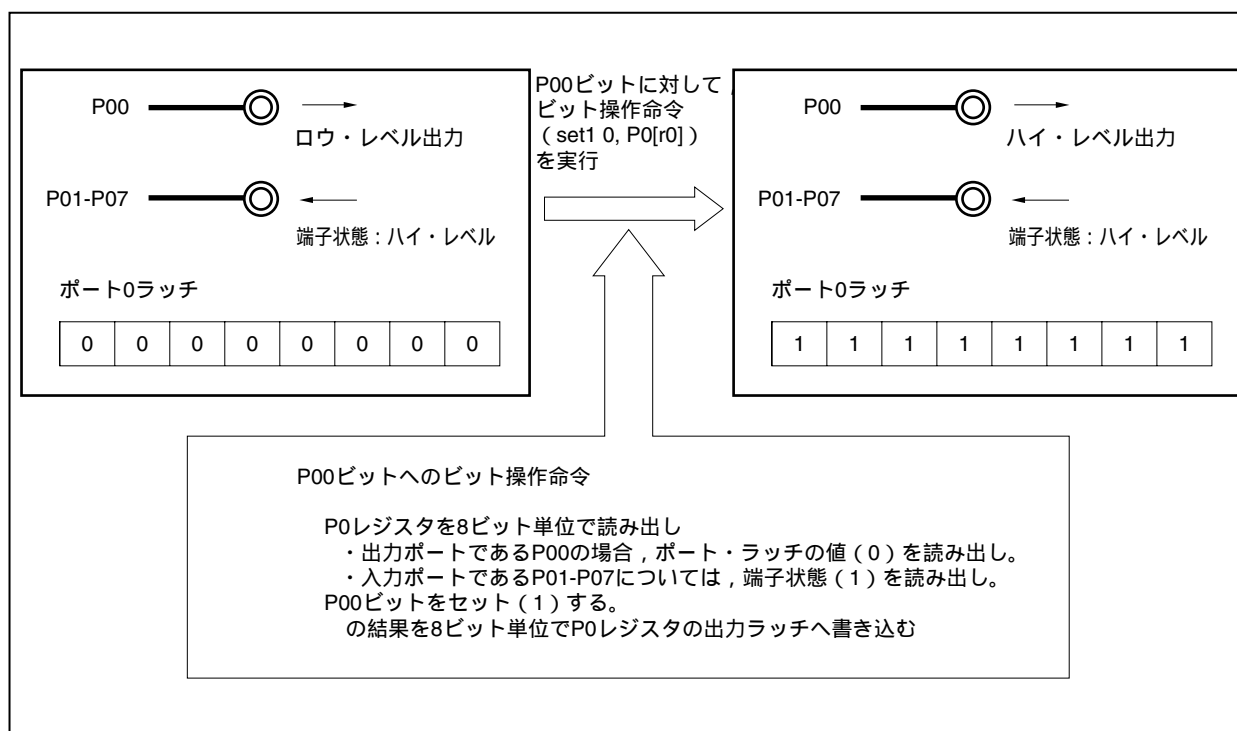
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP00端子は出力ラッチの値(0)を読み出しますが、入力ポートであるP01-P07端子は端子状態を読み出します。このときP01-P07端子の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4 - 7 ビット操作命令 (P00端子の場合)



第5章 クロック・ジェネレータ

5.1 概 要

クロック・ジェネレータの概要を次に示します。

発振回路

- ・PLLモード時 : $f_x = 10 \sim 12.5 \text{ MHz}$ ($f_{xx} = 80 \sim 100 \text{ MHz}$)
- ・クロック・スルー・モード時 : $f_x = 10 \sim 12.5 \text{ MHz}$ ($f_{xx} = 10 \sim 12.5 \text{ MHz}$)

PLL (Phase Locked Loop) による逡倍機能 (8逡倍固定)

- ・クロック・スルー・モード / PLLモード選択可能

内部システム・クロックの生成

- ・4段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$)

周辺クロックの生成

発振安定時間の選択

注意 発振保証範囲は10～12.5 MHzです。

備考 f_x : 発振周波数

f_{xx} : システム・クロック周波数

5.2 構成

図5-1 クロック発生回路

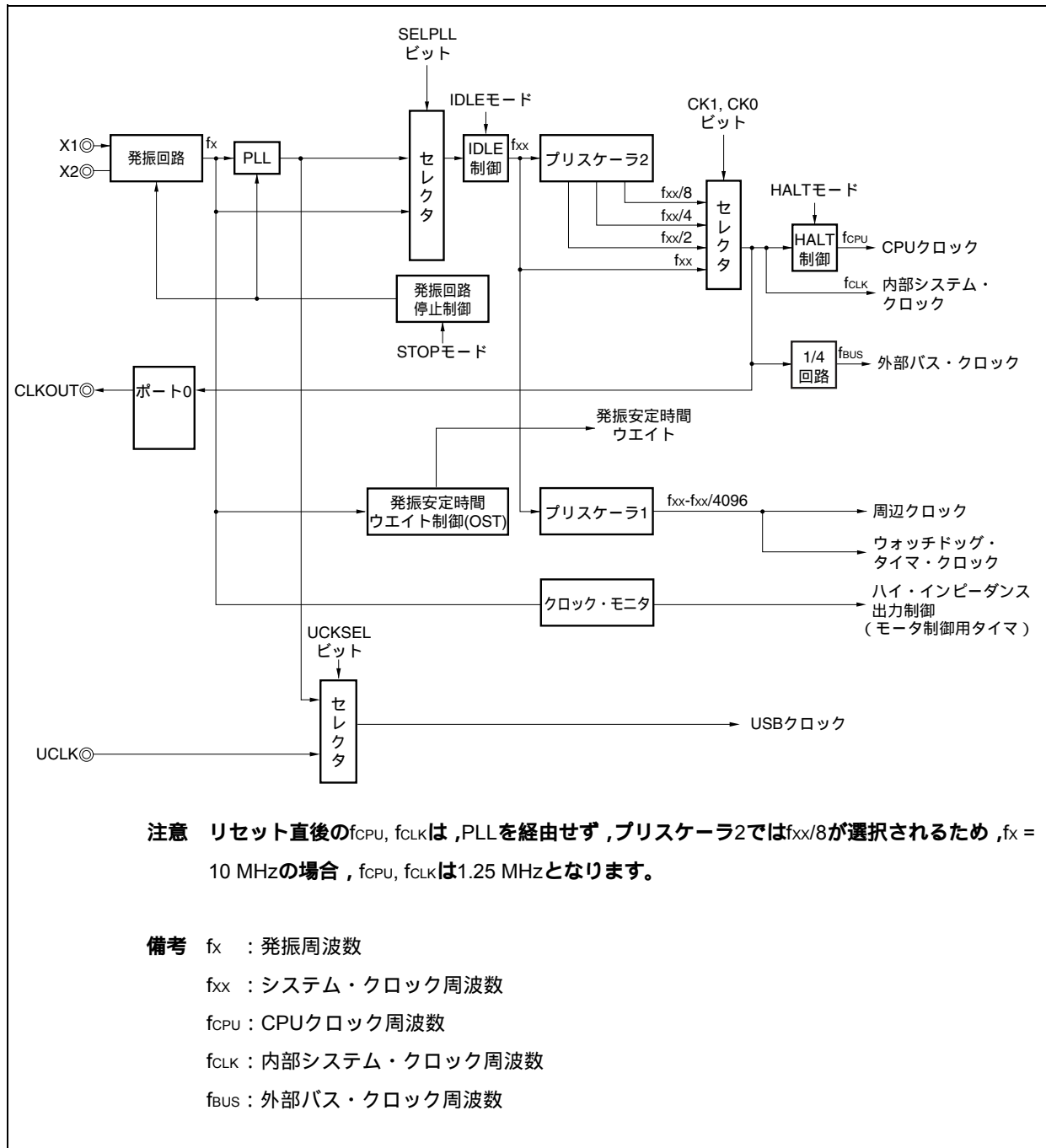


表5 - 1 各機能ブロックの動作クロック

機能ブロック	動作クロック
CPU	f_{CPU} (PCCレジスタで f_{xx} - $f_{xx}/8$ から選択)
DMA, 割り込みコントローラ	f_{CLK} (PCCレジスタで f_{xx} - $f_{xx}/8$ から選択)
TAA	$f_{xx}/2$
TAB	$f_{xx}/2$
TMT	$f_{xx}/2$
TMM	$f_{xx}/2$
ウォッチドッグ・タイマ	$f_{xx}/1024$
UARTA	f_{UCLK} (UAnCTL1レジスタで $f_{xx}/4$ - $f_{xx}/4096$ から選択)
UARTB	$f_{xx}/2$
CSIF	f_{CCLK} (CFnCTL1レジスタで $f_{xx}/16$ - $f_{xx}/512$, 外部クロックから選択)
I ² C	$f_{xx}/8$
USBファンクション	f_{USB} (UCKSELレジスタでUCLK端子の外部クロック入力, PLL出力クロック (96 MHz) の2分周クロックから選択)
バス制御機能	$f_{BUS} = f_{CLK}/4$
A/Dコンバータ0, 1	f_{AD01} (ADnOCKSレジスタで $f_{xx}/4$ - $f_{xx}/10$ から選択)
A/Dコンバータ2	$f_{AD2} = f_{xx}/2$

備考1. f_{CPU} : CPUクロック周波数

f_{xx} : 周辺クロック周波数

f_{CLK} : 内部システム・クロック周波数

f_{UCLK} : UARTA0-UARTA2の基本クロック周波数

f_{CCLK} : CSIF0-CSIF2の基本クロック周波数

f_{BUS} : 外部バス・クロック周波数

f_{AD01} : A/Dコンバータ0, 1の基本クロック周波数

f_{AD2} : A/Dコンバータ2の動作クロック周波数

2. $n = 0, 1$

(1) 発振回路

次の周波数 (f_x) を発振します。

- ・ PLLモード時 (8通倍固定) : $f_x = 10 \sim 12.5 \text{ MHz}$ ($f_{xx} = 80 \sim 100 \text{ MHz}$)
- ・ クロック・スルー・モード時 : $f_x = 10 \sim 12.5 \text{ MHz}$ ($f_{xx} = 10 \sim 12.5 \text{ MHz}$)

(2) IDLE制御

発振回路, PLL, クロック・モニタ動作, スレーブ・モード時のCSIF, 低電圧検出回路 (LVI), パワーオン・クリア回路 (POC) 以外のすべてを停止させます。

(3) HALT制御

CPUクロック (f_{CPU}) だけを停止させます。

(4) PLL

発振回路で生成するクロック (f_x) を8通倍します。

PLLコントロール・レジスタ (PLLCTL) のSELPLLビットの設定により, f_x をそのまま出力するクロック・スルー・モードと, 通倍クロックを出力するPLLモードを選択します。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx}-f_{xx}/4096$) を生成します。

(6) プリスケーラ2

システム・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU}) と内部システム・クロック (f_{CLK}) に供給するクロック ($f_{xx}-f_{xx}/8$) を生成します。

(7) 発振安定時間ウエイト制御 (OST)

発振回路で生成するクロックを入力してから発振が安定するまでの時間をカウントします。また, PLL ロックアップ時間もカウントします。 $2^{15}/f_x-2^{18}/f_x$ から選択できます。

(8) クロック・モニタ

クロック・モニタは, 内蔵発振クロックで, 発振回路で生成するクロック (f_x) のサンプリングを行います。発振停止を検出すると, モータ制御用タイマの出力をハイ・インピーダンスにします (詳細は第10章 **モータ制御機能**参照)。

5.3 制御レジスタ

クロック・ジェネレータを制御するレジスタには、次の6種類があります。

- ・PLLコントロール・レジスタ (PLLCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCG)
- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・パワー・セーブ・モード・レジスタ (PSMR)
- ・発振安定時間選択レジスタ (OSTS)
- ・クロック・モニタ・モード・レジスタ (CLM)

(1) PLLコントロール・レジスタ (PLLCTL)

CPU動作クロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF82CH

	7	6	5	4	3	2	①	0
PLLCTL	0	0	0	0	0	0	SELPLL	1

SELPLL	CPU動作クロックの選択
0	クロック・スルー・モード
1	PLLモード

注意1. ビット7-2には必ず0を、ビット0には必ず1を設定してください。

- SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態でのみ可能です。安定していないとき（アンロック中）にSELPLLビットを書き換えた場合には、0が書き込まれています。このため、PLLモードに切り替わったことを必ず確認してください。

次に参考プログラムを示します。

```

_loop:    setl    1, PLLCTL
          tstl    1, PLLCTL
          bz     _loop
(next instruction)

```

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時 : 03H R/W アドレス : FFFFFFF828H

	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	0	CK1	CK0

CK1	CK0	クロックの選択 (fCLK/fCPU)
0	0	fxx
0	1	fxx/2
1	0	fxx/4
1	1	fxx/8

注意1. ビット2-7には、必ず0を設定してください。

2. PCCレジスタ = 00Hの設定はPLLモード (PLLCTL.SELPLLビット = 1) に切り替えたあとに行ってください。

(3) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STBビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです(3.4.8 特定レジスタ参照)。特定のシーケンスの組み合わせによってだけ書き込みができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF1FEH

	7	6	5	④	3	2	①	0
PSC	0	0	0	INTM	0	0	STB	0

INTM	マスカブル割り込み要求 (INTxx ^{注1}) によるスタンバイ・モードの制御 ^{注2}
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定
0	通常モード
1	スタンバイ・モード

注1. 詳細は、表21-1 割り込み要因一覧を参照してください。

2. 設定はIDLEモードおよびSTOPモード時のみ有効です。

注意1. ビット0, 2, 3, 5-7には、必ず0を設定してください。

2. STBビット = 1によりスタンバイ・モードに移行する場合には、必ずPCCレジスタ = 03Hに設定してからSTBビットの指定をしてください。これ以外の設定では、スタンバイ・モードの移行や解除ができない場合があります。

なお、スタンバイ・モード解除後は、PCCレジスタを所望の値に変更してください。

3. IDLEモードおよびSTOPモードに設定する場合には、まずPCCレジスタ = 03H, PSMR.PSM0ビットの順序で設定してから、STBビット = 1にしてください。

(4) パワー・セーブ・モード・レジスタ (PSMR)

ソフトウェア・スタンバイ・モード時の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。

(5) 発振安定時間選択レジスタ (OSTS)

割り込み要求によりSTOPモードを解除してから、発振が安定するまでの発振安定時間を選択するレジスタです。

8ビット単位でリード/ライト可能です。

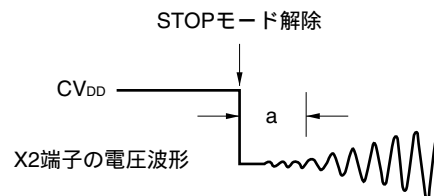
リセットにより05Hになります。

リセット時：05H R/W アドレス：FFFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	OSTS3	OSTS2	OSTS1	OSTS0

OSTS3	OSTS2	OSTS1	OSTS0	発振安定時間の選択 ($f_x = 12.5 \text{ MHz}$)
0	1	0	1	$2^{15}/f_x$ (2.62 ms)
0	1	1	0	$2^{16}/f_x$ (5.24 ms)
0	1	1	1	$2^{17}/f_x$ (10.5 ms)
1	0	0	0	$2^{18}/f_x$ (21.0 ms)
その他				設定禁止

注意1. ウェイト時間は、STOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



- OSTSレジスタは、リセット後の初期値が05Hのため、12.5 MHzの発振子を使用した場合には、発振安定時間は約2.62 msです。発振安定時間の1/2はPLLロックアップ時間のウェイト分となるため、発振子としての安定時間は1.31 ms程度です。したがって、リセット解除時にはリセットのアクティブ期間中に発振安定時間を確保してください。また、STOPモードをリセット信号（RESET端子入力、低電圧検出回路（LVI）によるリセット信号（LVIRES）発生、パワーオン・クリア回路（POC）によるリセット信号（POCRES）発生）以外の割り込み入力で解除する場合には、OSTSレジスタの設定値で発振安定時間が決定します。そのため、OSTSレジスタには、発振子の安定に必要な時間の2倍を設定してください（発振安定時間の1/2はPLLの安定時間となるため）。
- ビット4-7には、必ず0を設定してください。

備考 f_x ：発振周波数

(6) クロック・モニタ・モード・レジスタ (CLM)

クロック・モニタの動作モードの設定を行うレジスタです。CLMレジスタは特定レジスタです。特性シケンスの組み合わせによってだけ書き込みができます。(3.4.8 **特定レジスタ**参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF870H

	7	6	5	4	3	2	1	0
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作制御
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1.** CLMEビットはリセットによってのみクリア(0)されます。
- CLMEビット = 1のとき、次の条件では強制的にクロック・モニタ機能が停止します。
 - ・STOPモード～発振安定時間カウント時
 - CLMEビット = 1のとき、発振(f_x)停止を検出した場合はモータ制御用タイマの出力をハイ・インピーダンスにします。対象のタイマ出力は図10-4を参照してください。

5.4 PLL機能

5.4.1 概要

CPUおよび周辺マクロの動作クロックを、発振周波数の8逡倍出力と、クロック・スルー・モードに切り替えることができます。

PLL機能使用時 : 入力クロック (f_x) = 10 ~ 12.5 MHz, 出力クロック (f_{xx}) = 80 ~ 100 MHz
クロック・スルー・モード : 入力クロック (f_x) = 10 ~ 12.5 MHz, 出力クロック (f_{xx}) = 10 ~ 12.5 MHz

5.4.2 PLLモード

PLLモードでは、発振周波数 (f_x) をPLLにより8逡倍し、システム・クロック (f_{xx}) を生成します。

PLLモードでは、発振回路からのクロックがPLLに入力され、所定の周波数でフェーズ・ロックし安定するまでのロックアップ時間 (周波数安定時間) を経てから、安定した周波数のクロックを内部に供給する必要があります。V850E/IG4-H, V850E/IH4-Hでは、リセット解除後のロックアップ時間を自動的に確保しています。

注意 $f_x = 12.5$ MHzの発振子を使用し、その発振子の安定時間が3 ms (MAX.) 必要な場合には、リセット入力 (RESETアクティブ) 幅は、1.7 ms (MIN.) 確保してください。

5.4.3 クロック・スルー・モード

クロック・スルー・モードでは、発振周波数 (f_x) と同じ周波数のシステム・クロック (f_{xx}) を生成します。

5.5 動作

5.5.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表5-2 各クロックの動作状態

パワー・セーブ・モード	発振回路 (fx)	PLL	内部システム・クロック (fCLK)	周辺クロック (fxx-fxx/4096)	外部バス・クロック (fbus)	CPUクロック (fCPU)	USBクロック (fusb)		ウォッチドッグ・タイマ・クロック ^{注1}
							UCLK入力	PLL出力	
通常動作時									
HALTモード						x			
IDLEモード			x	x	x	x			x
STOPモードおよびSTOPモード解除後の発振安定時間カウント中	x ^{注2}	x ^{注2}	x	x	x	x		x	x
リセット入力 ^{注3} 中およびその後の発振安定時間カウント中		x		x ^{注4}	x ^{注5}			x	x

注1. ウォッチドッグ・タイマ・クロックは、周辺クロック (fxx/1024) を使用します。

- オンチップ・デバッグ中は動作を継続します。
- RESET端子入力、ウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) 発生、低電圧検出回路 (LVI) によるリセット信号 (LVIRET) 発生、パワーオン・クリア回路 (POC) によるリセット信号 (POCRET) 発生
- プリスケアラ (PRS) からの出力は行いません。
- CLKOUT端子からはクロック出力しません。

備考 : 動作

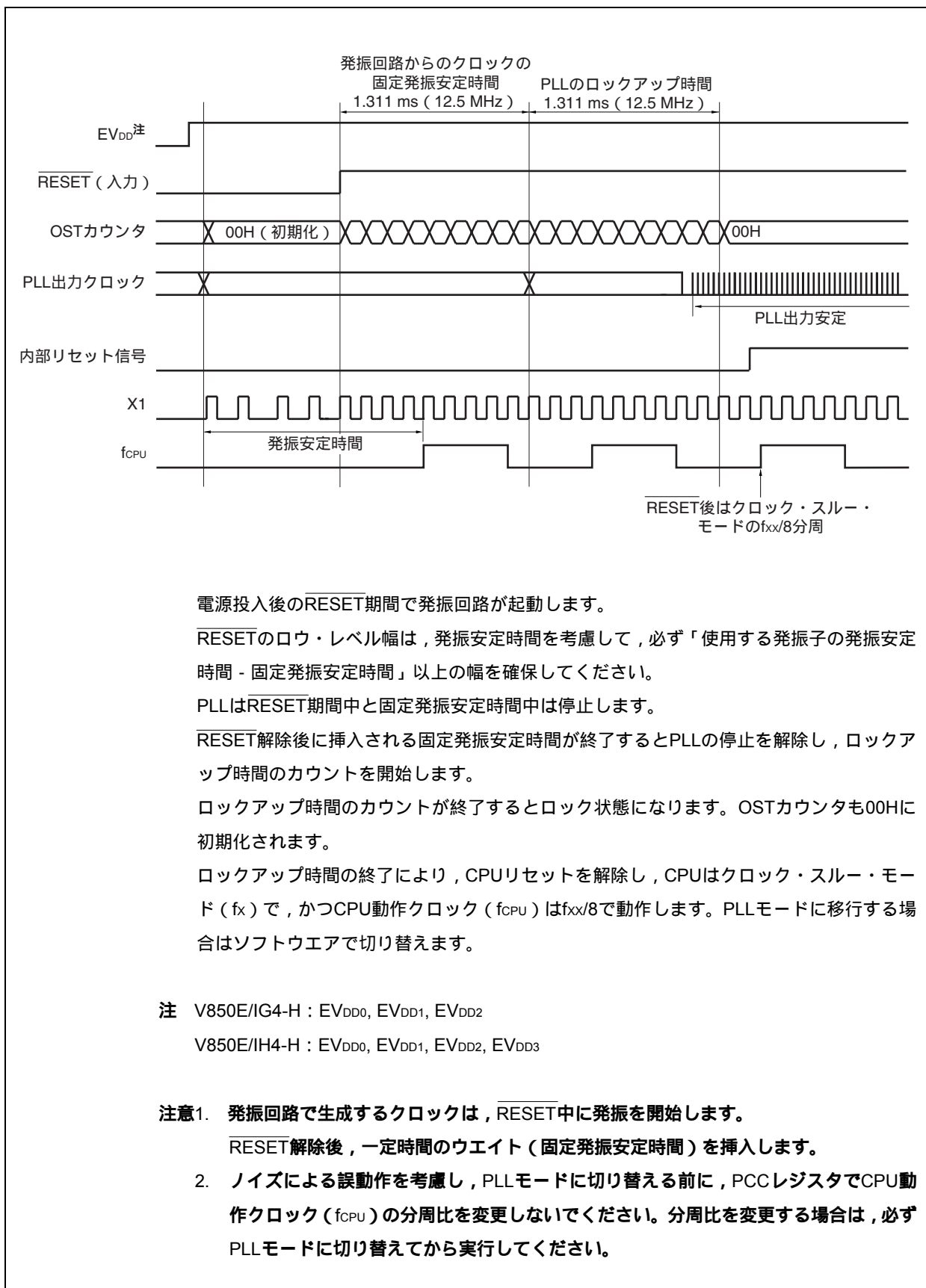
x : 停止

5.5.2 クロック出力機能

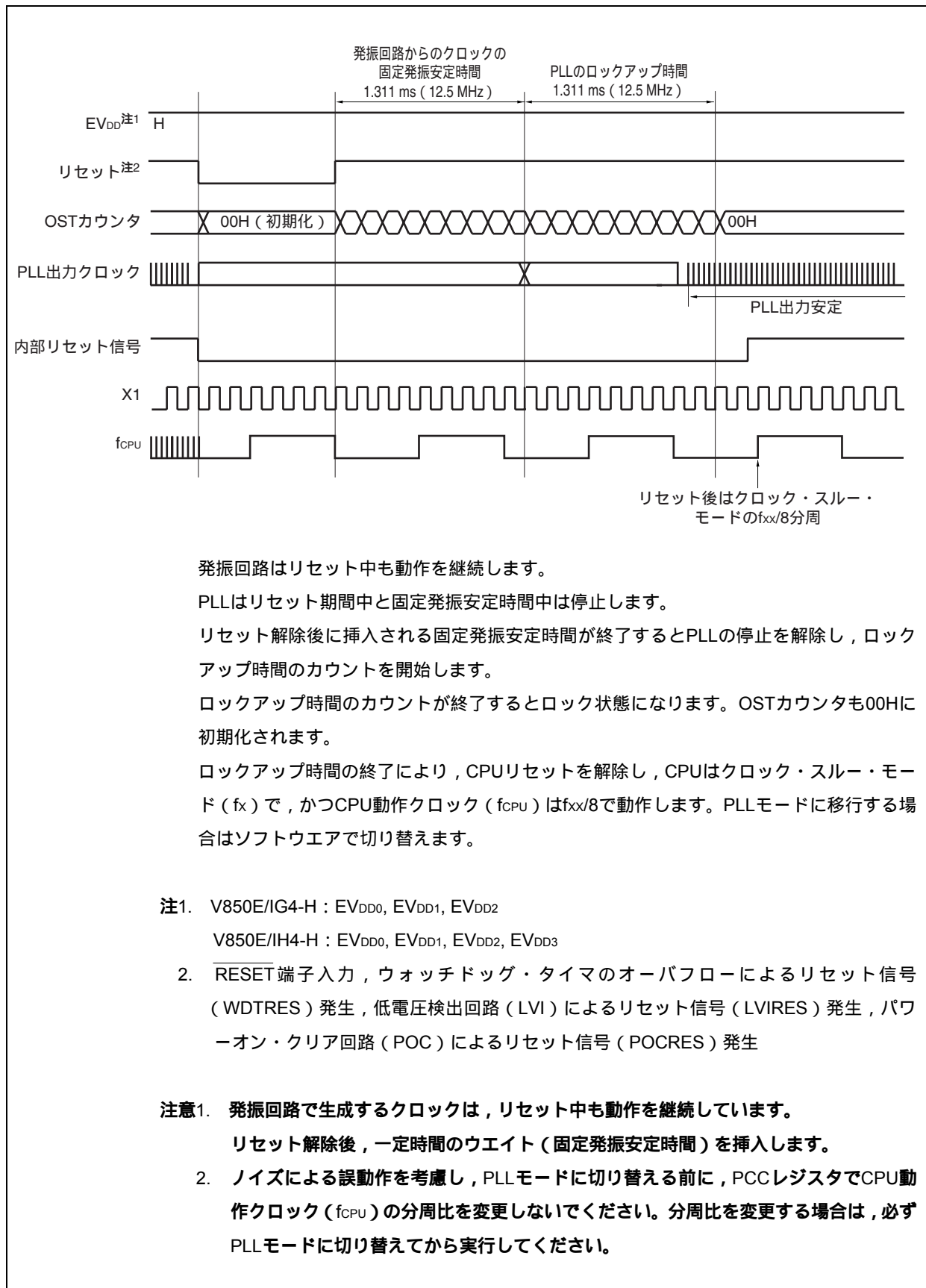
クロック出力機能は、外部バス・クロック (fbus) をCLKOUT端子から出力する機能です。このクロック出力機能は、表5-2の内部システム・クロック (fCLK) が動作可能()の場合はクロック出力可能で、動作停止(x)の場合はクロック出力を行いません。

5.5.3 動作タイミング

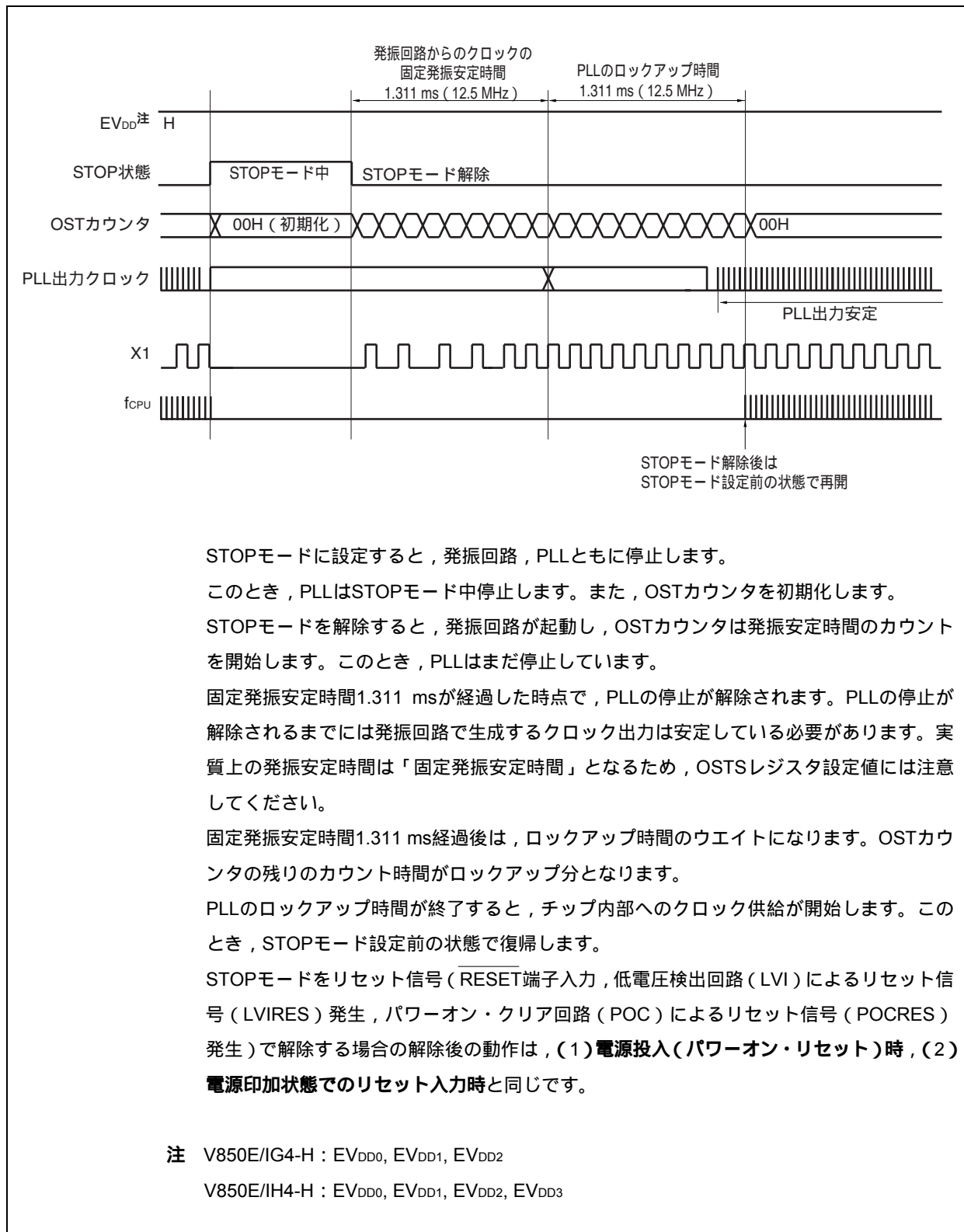
(1) 電源投入 (パワーオン・リセット) 時



(2) 電源印加状態でのリセット入力時



(3) 割り込み要求によるSTOPモード解除時



STOPモードに設定すると、発振回路、PLLともに停止します。

このとき、PLLはSTOPモード中停止します。また、OSTカウンタを初期化します。

STOPモードを解除すると、発振回路が起動し、OSTカウンタは発振安定時間のカウントを開始します。このとき、PLLはまだ停止しています。

固定発振安定時間1.311 msが経過した時点で、PLLの停止が解除されます。PLLの停止が解除されるまでには発振回路で生成するクロック出力は安定している必要があります。実質上の発振安定時間は「固定発振安定時間」となるため、OSTレジスタ設定値には注意してください。

固定発振安定時間1.311 ms経過後は、ロックアップ時間のウエイトになります。OSTカウンタの残りのカウント時間がロックアップ分となります。

PLLのロックアップ時間が終了すると、チップ内部へのクロック供給が開始します。このとき、STOPモード設定前の状態で復帰します。

STOPモードをリセット信号（RESET端子入力、低電圧検出回路（LVI）によるリセット信号（LVIRES）発生、パワーオン・クリア回路（POC）によるリセット信号（POCRES）発生）で解除する場合の解除後の動作は、(1)電源投入（パワーオン・リセット）時、(2)電源印加状態でのリセット入力時と同じです。

注 V850E/IG4-H : EV_{DD0}, EV_{DD1}, EV_{DD2}

V850E/IH4-H : EV_{DD0}, EV_{DD1}, EV_{DD2}, EV_{DD3}

5.6 クロック・モニタ

(1) クロック・モニタの機能

クロック・モニタは、内蔵発振クロックで、発振回路で生成するクロックのサンプリングを行い、発振停止を検出すると、モータ制御用タイマの出力をハイ・インピーダンスにします（詳細は第10章 **モータ制御機能**参照）。リセット信号（ $\overline{\text{RESET}}$ 端子入力、パワーオン・クリア回路（POC）によるリセット信号（POCRES）発生）によりクロック・モニタによるハイ・インピーダンスは解除され、端子状態はリセット後の状態になります。

第6章 16ビット・タイマ/イベント・カウンタAA (TAA)

タイマAA (TAA) は、16ビットのタイマ/イベント・カウンタです。

V850E/IG4-H, V850E/IH4-Hは、TAA0-TAA2を内蔵しています。

6.1 概 要

次に、TAAの概要をチャンネルごとに示します (n = 0-2)。

表6 - 1 TAAの概要

概 要	TAA0	TAA1	TAA2
クロック選択	8通り	8通り	8通り
キャプチャ・トリガ入力端子	なし	なし	2本
外部イベント・カウント入力端子	なし	なし	1本
外部トリガ入力端子	なし	なし	1本
タイマ・カウンタ	1本	1本	1本
キャプチャ/コンペア・レジスタ	2本 ^注	2本 ^注	2本
キャプチャ/コンペア一致割り込み要求信号	2本 ^注	2本 ^注	2本
オーバフロー割り込み要求信号	1本	1本	1本
タイマ出力端子	2本	2本	2本

注 コンペア機能のみ

6.2 機能

TAA_nは、チャンネルによって実現できる機能が異なります。実現できる機能を次に示します (n = 0-2)。

表6-2 TAA_nの機能

概要	TAA0	TAA1	TAA2
インターバル・タイマ			
外部イベント・カウンタ	×	×	
外部トリガ・パルス出力	注1	注1	
ワンショット・パルス出力	注1	注1	
PWM出力			
フリー・ランニング・タイマ	注2	注2	
パルス幅測定	×	×	
タイマ同調動作機能	(TAB0)	(TAB1)	×

注1. ソフトウェア・トリガによってのみ実現できます。外部トリガ入力ではできません。

2. コンペア機能のみ

6.3 構成

TAA_nは、次のハードウェアで構成されています (n = 0-2)。

表6-3 TAA_nの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ × 各1本
レジスタ	TAA _n キャプチャ/コンペア・レジスタ0, 1 (TAA _n CCR0, TAA _n CCR1) TAA _n カウンタ・リード・バッファ・レジスタ (TAA _n CNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	計2本 (TIA20, TIA21端子) 注1, 2
タイマ出力	計6本 (TOA00, TOA01, TOA10, TOA11, TOA20, TOA21端子) 注2
制御レジスタ	TAA _n 制御レジスタ0, 1 (TAA _n CTL0, TAA _n CTL1) TAA _n I/O制御レジスタ0 (TAA _n IOC0) TAA2I/O制御レジスタ1, 2 (TAA2IOC1, TAA2IOC2) TAA _n オプション・レジスタ0 (TAA _n OPT0)

注1. TAA0, TAA1にはありません。

2. TIA20端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号とタイマ出力端子 (TOA20) が兼用されています。

TIA21端子には、キャプチャ・トリガ入力信号とタイマ出力端子 (TOA21) が兼用されています。

備考 n = 0-2

図6-1 TAA0のブロック図

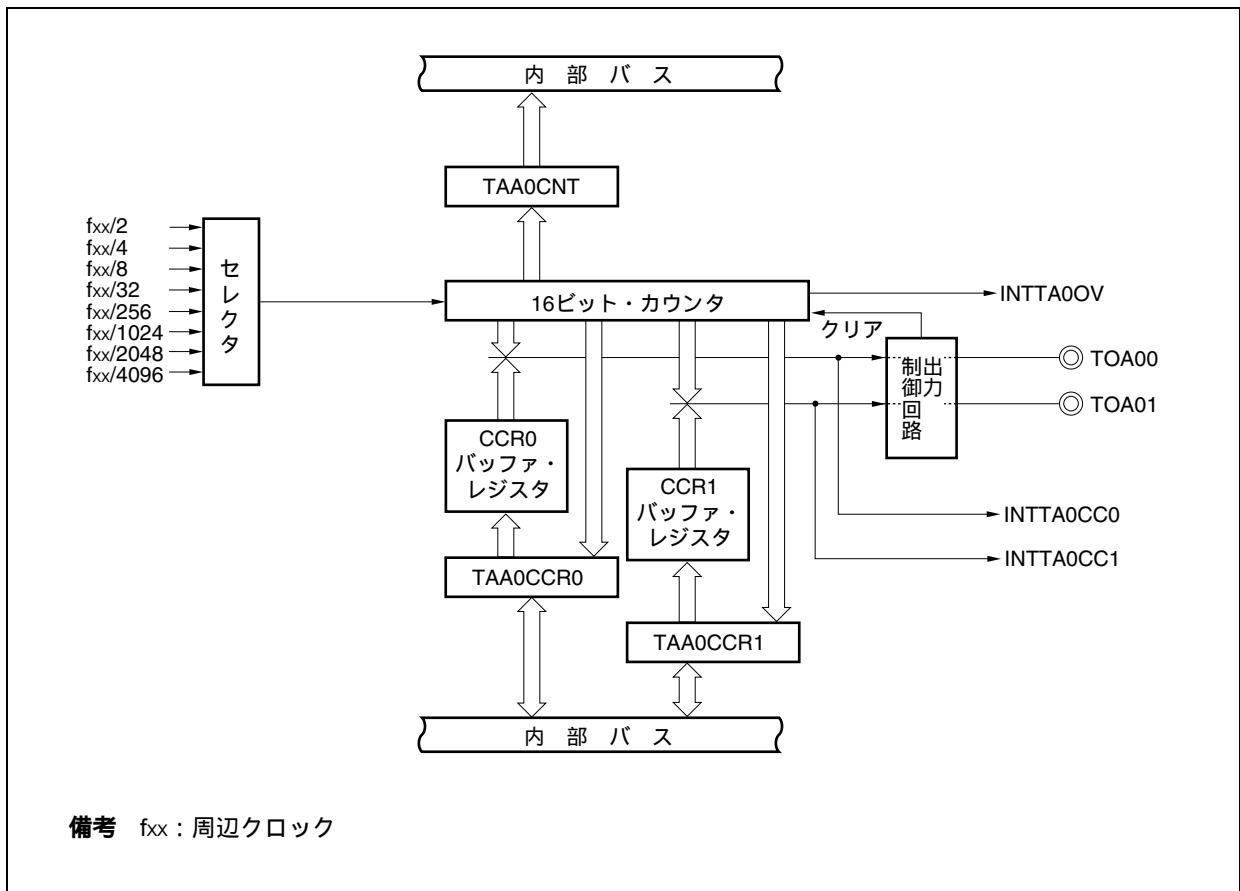


図6-2 TAA1のブロック図

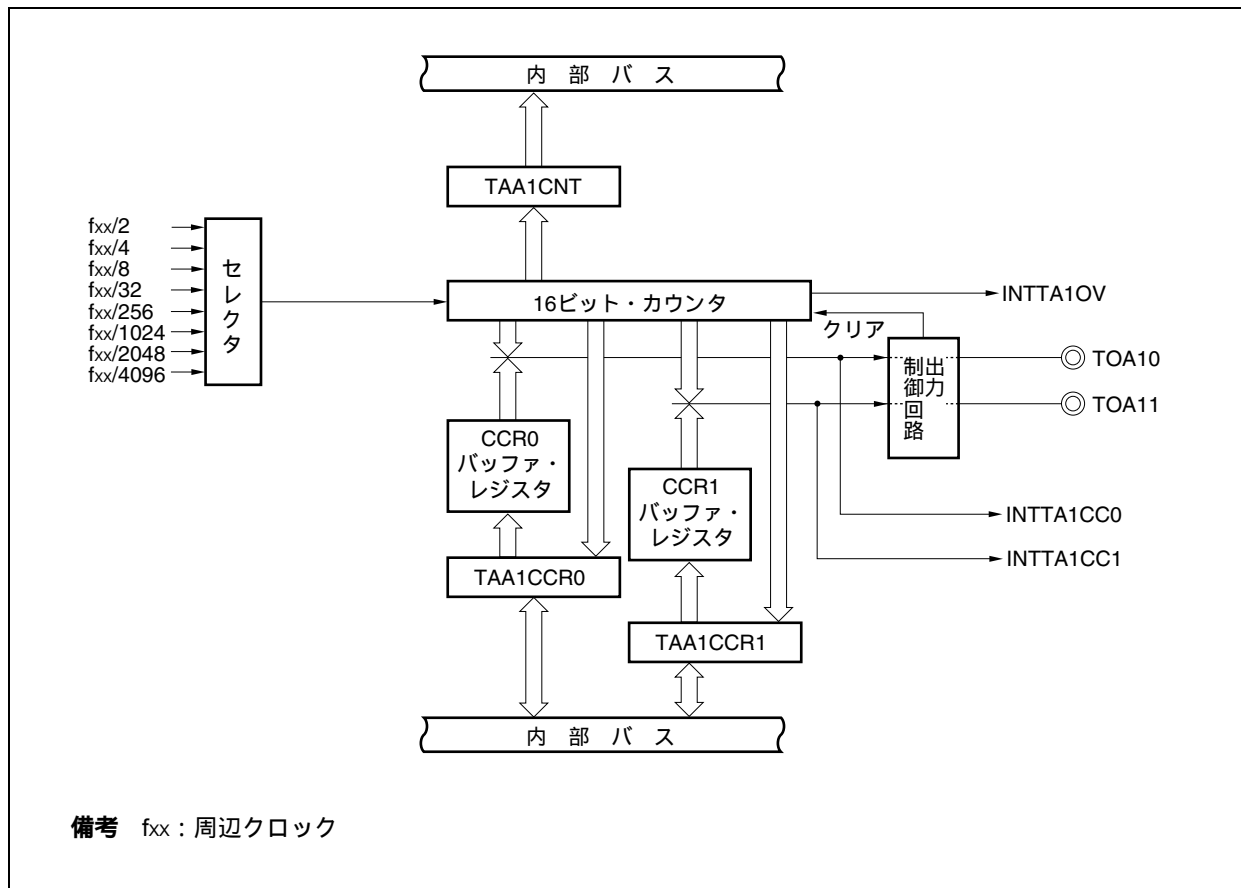
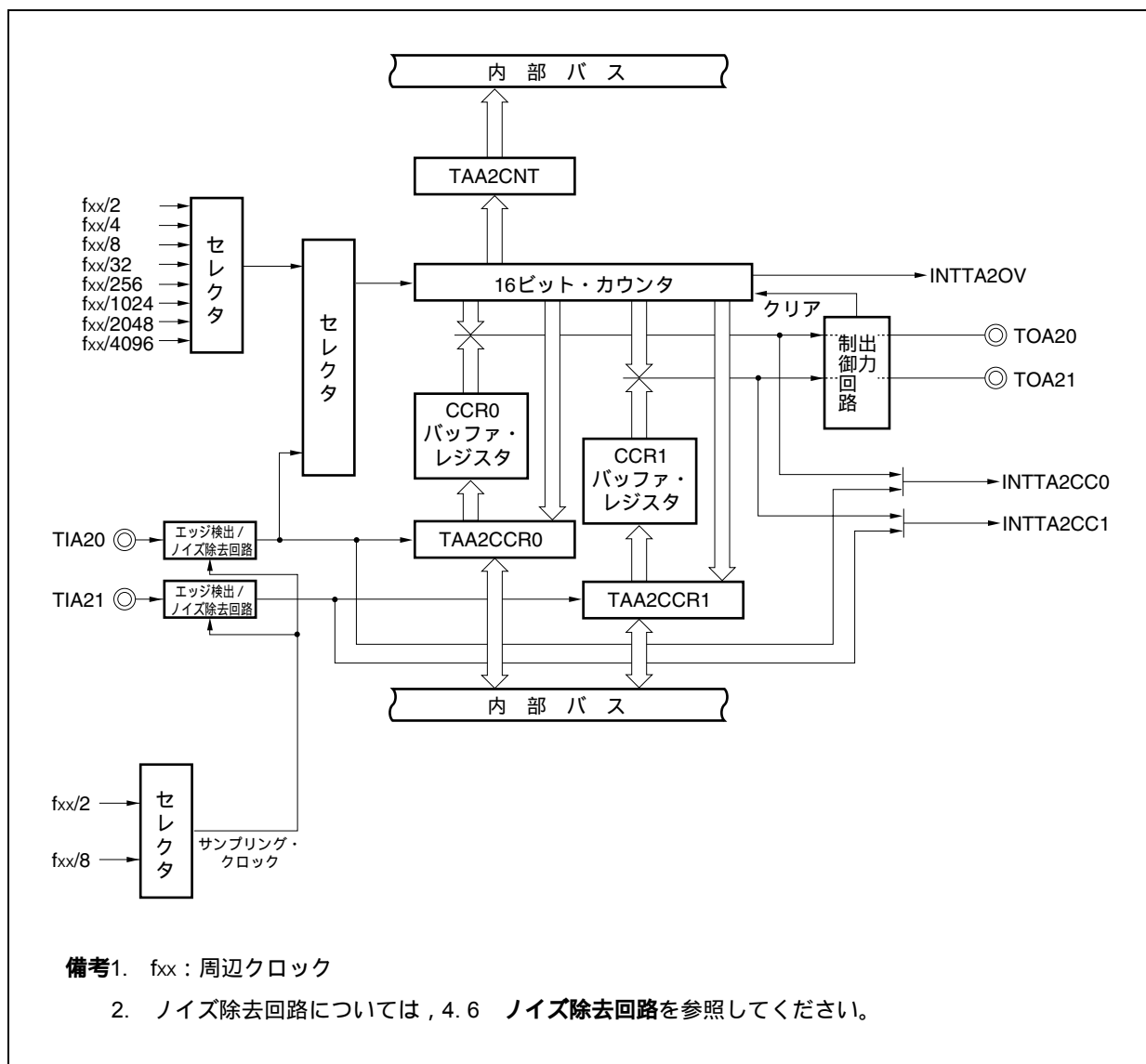


図6-3 TAA2のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TAAncNTレジスタでリードできます。

TAAncTL0.TAAncCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTAAncNTレジスタをリードすると0000Hがリードされます。

リセット時にはTAAncCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAAncCCR0レジスタをコンペア・レジスタとして使用するとき、TAAncCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAAncC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTAAncCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAAncCCR1レジスタをコンペア・レジスタとして使用するとき、TAAncCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAAncC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTAAncCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIA20, TIA21端子に入力される有効エッジを検出します。有効エッジは、TAAmIOC1, TAAmIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOA00, TOA01, TOA10, TOA11, TOA20, TOA21端子の出力をTAAmIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

6.4 レジスタ

(1) TAA制御レジスタ0 (TAACTL0)

TAACTL0レジスタは、TAAの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TAACTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAA0CTL0 FFFFF660H, TAA1CTL0 FFFFF680H,
TAA2CTL0 FFFFF6A0H

	⑦	6	5	4	3	2	1	0
TAACTL0 (n = 0-2)	TAAAnCE	0	0	0	0	TAAAnCKS2	TAAAnCKS1	TAAAnCKS0

TAAAnCE	TAAAnの動作の制御
0	TAAAn動作禁止 (TAAAnを非同期にリセット ^注)
1	TAAAn動作許可。TAAAn動作開始

TAAAnCKS2	TAAAnCKS1	TAAAnCKS0	内部カウント・クロックの選択
0	0	0	fxx/2
0	0	1	fxx/4
0	1	0	fxx/8
0	1	1	fxx/32
1	0	0	fxx/256
1	0	1	fxx/1024
1	1	0	fxx/2048
1	1	1	fxx/4096

注 TAAAnOPT0.TAAAnOVFビット，16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOAn0, TOAn1端子) も16ビット・カウンタと同時にTAAAnIOC0レジスタの設定状態にリセットされます。

注意1. TAAAnCKS2-TAAAnCKS0ビットは，TAAAnCEビット = 0のときに設定してください。

TAAAnCEビットを“0”から“1”に設定するときも，同時にTAAAnCKS2-TAAAnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TAA制御レジスタ1 (TAACTL1)

TAACTL1レジスタは、TAAの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAA0CTL1 FFFFF661H, TAA1CTL1 FFFFF681H,
TAA2CTL1 FFFFF6A1H

	7	6	5	4	3	2	1	0
TAACTL1	TAAaSYE ^{注1}	TAAaEST	TAA2EEE ^{注2}	0	0	TAAaMD2	TAAaMD1	TAAaMD0

$\left[\begin{array}{l} n = 0-2 \\ a = 0, 1 \end{array} \right]$

TAAaSYE ^{注1}	動作モードの選択
0	TAAa単体モード使用
1	同調動作モード (10.4.5参照)
同調動作時のTAAaは、A/Dコンバータ0, 1のA/D変換開始トリガ要因としてのみ使用 できます。同調動作モードは、常に、TABaと同期して動作します。	

TAAaEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TAAaESTビットへの“1”ライトをトリガとして、ワンショット・ パルスを出力 ・外部トリガ・パルス出力モード時 ：TAAaESTビットへの“1”ライトをトリガとして、PWM波形を出力
TAAaESTビットのリード値は常に0です。	

注1. TAA0, TAA1のみ設定可能です。TAA2のビット7には必ず0を設定してください。

同調動作モードの詳細は第10章 モータ制御機能を参照してください。

2. TAA2のみ設定可能です。TAA0, TAA1のビット5には必ず0を設定してください。

TAA2EEE ^{注1}	カウント・クロックの選択
0	外部イベント・カウント入力 (TIA20端子) での動作禁止 (TAA2CTL0.TAA2CKS0-TAA2CKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (TIA20端子) での動作許可 ^{注2} (外部イベント・カウント入力信号 (TIA20端子) の有効エッジごとにカウント動作を行う)

TAA2EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TAAAnMD2	TAAAnMD1	TAAAnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード ^{注3}
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード ^{注3}
1	1	1	設定禁止

注1. TAA2のみ設定可能です。TAA0, TAA1のビット5には必ず0を設定してください。

- キャプチャ・トリガ入力 (TIA20端子), 外部トリガ入力 (TIA20端子) の有効エッジの選択は, “エッジ検出なし” に設定してください。
- TAA0, TAA1では, 外部イベント・カウント・モード, パルス幅測定モードは設定禁止です。

注意1. TAAAnESTビットは, 外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは, “1” をライトしても無視されます。

- 外部イベント・カウント・モードのときは, TAA2EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
- TAAaSYE, TAA2EEE, TAAAnMD2-TAAAnMD0ビットは, TAAAnCTL0.TAAAnCEビット = 0のときに設定してください (TAAAnCEビット = 1のときの同値書き込みは可能)。TAAAnCEビット = 1のときに書き換えた場合, 動作を保証できません。誤って書き換えた場合は, TAAAnCEビットをクリア (0) してから再設定してください。
- ビット3, 4には必ず0を設定してください。

(3) TAA_nI/O制御レジスタ0 (TAA_nIOC0)

TAA_nIOC0レジスタは、タイマ出力 (TOAn0, TOAn1端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

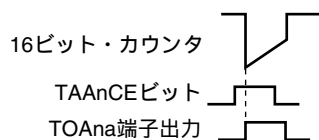
(1/2)

リセット時: 00H R/W アドレス: TAA0IOC0 FFFFF662H, TAA1IOC0 FFFFF682H,
TAA2IOC0 FFFFF6A2H

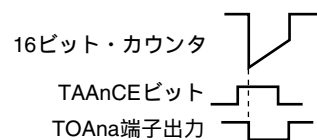
		7	6	5	4	3	②	1	①
TAA _n IOC0		0	0	0	0	TAA _n OL1	TAA _n OE1	TAA _n OL0	TAA _n OE0
[n = 0-2 a = 0, 1]	TAA _n OL1	TOAn1端子出力レベルの設定 ^注							
	0	TOAn1端子ハイ・レベル・スタート							
	1	TOAn1端子ロウ・レベル・スタート							
	TAA _n OE1	TOAn1端子出力の設定							
0	タイマ出力禁止 ・ TAA _n OL1ビット = 0のときTOAn1端子からロウ・レベルを出力 ・ TAA _n OL1ビット = 1のときTOAn1端子からハイ・レベルを出力								
1	タイマ出力許可 (TOAn1端子からパルスを出力)								
	TAA _n OL0	TOAn0端子出力レベルの設定 ^注							
0	TOAn0端子ハイ・レベル・スタート								
1	TOAn0端子ロウ・レベル・スタート								
	TAA _n OE0	TOAn0端子出力の設定							
0	タイマ出力禁止 ・ TAA _n OL0ビット = 0のときTOAn0端子からロウ・レベルを出力 ・ TAA _n OL0ビット = 1のときTOAn0端子からハイ・レベルを出力								
1	タイマ出力許可 (TOAn0端子からパルスを出力)								

注 TAA_nOLaビットの指定によるタイマ出力端子 (TOAn0, TOAn1) の出力レベルを次に示します。

・ TAA_nOLaビット = 0の場合



・ TAA_nOLaビット = 1の場合



(2/2)

- 注意1. ポート設定がTOAn0, TOAn1出力設定の場合, TAAAnIOC0レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。
2. TAAAnOL1, TAAAnOE1, TAAAnOL0, TAAAnOE0ビットは, TAAAnCTL0.TAAAnCEビット = 0のときに書き換えてください (TAAAnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TAAAnCEビットをクリア (0) してから再設定してください。
3. TAAAnCEビット = 0, TAAAnOE0ビット = 0, TAAAnOE1ビット = 0の状態において, TAAAnOL0ビット, TAAAnOL1ビットを操作した場合でも, TOAn0, TOAn1端子の出力レベルは変化します。

(4) TAA2I/O制御レジスタ1 (TAA2IOC1)

TAA2IOC1レジスタは、キャプチャ・トリガ入力信号 (TIA20, TIA21端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF6A3H

	7	6	5	4	3	2	1	0
TAA2IOC1	0	0	0	0	TAA2IS3	TAA2IS2	TAA2IS1	TAA2IS0

TAA2IS3	TAA2IS2	キャプチャ・トリガ入力信号 (TIA21端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA2IS1	TAA2IS0	キャプチャ・トリガ入力信号 (TIA20端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAA2IS3-TAA2IS0ビットは、TAA2CTL0.TAA2CEビット = 0のときに書き換えてください (TAA2CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA2CEビットをクリア(0)してから再設定してください。
- 2.** TAA2IS3-TAA2IS0ビットは、フリー・ランニング・タイマ・モード (TAA2OPT0.TAA2CCS1, TAA2CCS0ビット = 11時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

(5) TAA2I/O制御レジスタ2 (TAA2IOC2)

TAA2IOC2レジスタは、外部イベント・カウント入力信号 (TIA20端子)、外部トリガ入力信号 (TIA20端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF6A4H

	7	6	5	4	3	2	1	0
TAA2IOC2	0	0	0	0	TAA2EES1	TAA2EES0	TAA2ETS1	TAA2ETS0

TAA2EES1	TAA2EES0	外部イベント・カウント入力信号 (TIA20端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA2ETS1	TAA2ETS0	外部トリガ入力信号 (TIA20端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAA2EES1, TAA2EES0, TAA2ETS1, TAA2ETS0ビットは、TAA2CTL0.TAA2CEビット = 0のときに書き換えてください (TAA2CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA2CEビットをクリア (0) してから再設定してください。
2. TAA2EES1, TAA2EES0ビットは、TAA2CTL1.TAA2EEEビット = 1, または、外部イベント・カウント・モード (TAA2CTL1.TAA2MD2-TAA2MD0ビット = 001) に設定したときのみ有効です。
3. TAA2ETS1, TAA2ETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(6) TAA_nオプション・レジスタ0 (TAA_nOPT0)

TAA_nOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAA0OPT0 FFFFF665H, TAA1OPT0 FFFFF685H,
TAA2OPT0 FFFFF6A5H

	7	6	5	4	3	2	1	①
TAA _n OPT0 (n = 0-2)	0	0	TAA2CCS1 ^注	TAA2CCS0 ^注	0	0	0	TAA _n OVF

TAA2CCS1 ^注	TAA2CCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TAA2CTL0.TAA2CEビット = 0によりクリア)
TAA2CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TAA2CCS0 ^注	TAA2CCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TAA2CTL0.TAA2CEビット = 0によりクリア)
TAA2CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TAA _n OVF	TAA _n のオーバフロー検出フラグ
セット (1)	オーバフロー発生
リセット (0)	TAA _n OVFビットへの0書き込みまたはTAA _n CTL0.TAA _n CEビット = 0
<ul style="list-style-type: none"> ・TAA_nOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバフローするときセット (1) されます。 ・TAA_nOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTAA_nOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTAA_nOV信号は発生しません。 ・TAA_nOVFビット = 1のときにTAA_nOVFビットまたはTAA_nOPT0レジスタをリードしても、TAA_nOVFビットはクリア (0) されません。 ・INTTAA_nOV信号発生後、TAA_nOVFビットをクリア (0) する場合は、必ずTAA_nOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・TAA_nOVFビットはリード/ライト可能ですが、ソフトウェアでTAA_nOVFビットをセット (1) することはできません。1をライトしてもTAA_nの動作に影響はありません。 	

注 TAA2のみ有効です。TAA0, TAA1のビット4, 5には必ず0を設定してください。

(2/2)

- 注意1. TAA2CCS1, TAA2CCS0ビットは, TAA2CEビット = 0のときに書き換えてください(TAA2CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TAA2CEビットをクリア(0)してから再設定してください。
2. ビット1-3, 6, 7には必ず0を設定してください。

(7) TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)

TAA2CCR0レジスタは, 各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TAA_kCCR0レジスタは, コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TAA2CCR0レジスタは, フリー・ランニング・タイマ・モードの場合のみ, TAA2OPT0.TAA2CCS0ビットの設定により, キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は, キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは, コンペア・レジスタとしてのみ使用します。

TAA_nCCR0レジスタは, 動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

備考 n = 0-2, k = 0, 1

リセット時 : 0000H R/W アドレス : TAA0CCR0 FFFFF666H, TAA1CCR0 FFFFF686H,
TAA2CCR0 FFFFF6A6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAA _n CCR0 (n = 0-2)																

(a) コンペア・レジスタとしての機能

TAA_nCCR0レジスタは、TAA_nCTL0.TAA_nCEビット = 1のときでも書き換えできます。

TAA_nCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA_nCC0) を発生し、TOA_n0端子出力を許可している場合、TOA_n0端子出力を反転します。

インターバル・タイマ・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードの場合はTAA_nCCR0レジスタを、外部イベント・カウント・モードの場合はTAA2CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TAA_nCTL0.TAA_nCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA2CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIA20端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA2CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIA20端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA2CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAA2CCR0レジスタのリードが競合しても、TAA2CCR0レジスタは正しい値をリードできます。

TAA2CTL0.TAA2CEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 n = 0-2

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注2}	コンペア・レジスタ	一斉書き込み ^{注3}
ワンショット・パルス出力 ^{注2}	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^{注3}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TAA2のみ

- TAA0, TAA1では、ソフトウェア・トリガによってのみ実現できます。外部トリガ入力ではできません。
- TAA_nCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、6.6(2)随時書き込みと一斉書き込みを参照してください。

(8) TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)

TAA2CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TAA_kCCR1レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

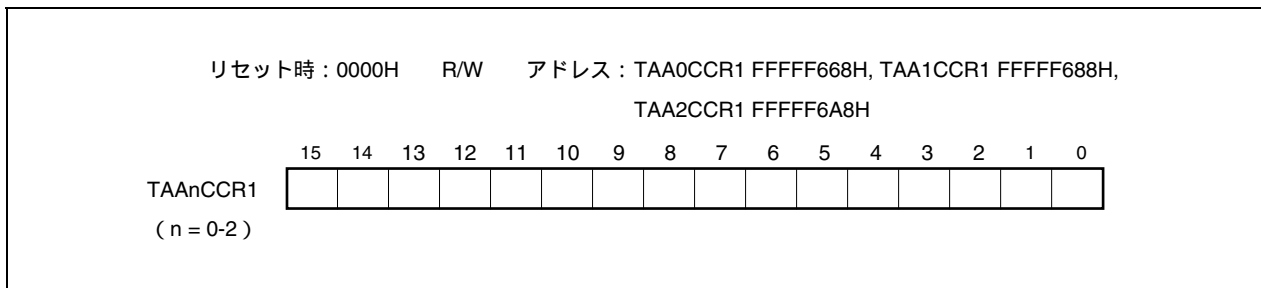
TAA2CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA2OPT0.TAA2CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TAA_nCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

備考 n = 0-2, k = 0, 1



(a) コンペア・レジスタとしての機能

TAA_nCCR1レジスタは、TAA_nCTL0.TAA_nCEビット = 1のときでも書き換えできます。

TAA_nCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA_nCC1) を発生し、TOA_n1端子出力を許可している場合、TOA_n1端子出力を反転します。

TAA_nCTL0.TAA_nCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA2CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIA21端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA2CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIA21端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA2CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAA2CCR1レジスタのリードが競合しても、TAA2CCR1レジスタは正しい値をリードできます。

TAA2CTL0.TAA2CEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 n = 0-2

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6-5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注2}	コンペア・レジスタ	一斉書き込み ^{注3}
ワンショット・パルス出力 ^{注2}	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^{注3}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TAA2のみ

- TAA0, TAA1では、ソフトウェア・トリガによってのみ実現できます。外部トリガ入力ではできません。
- TAA_nCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、6.6(2)随時書き込みと一斉書き込みを参照してください。

(9) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

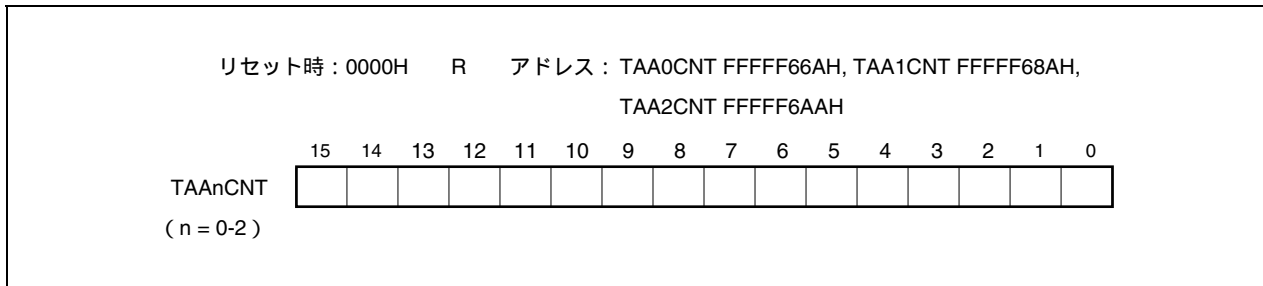
TAA_nCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TAA_nCTL0.TAA_nCEビット = 1のときにTAA_nCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TAA_nCEビット = 0のとき、TAA_nCNTレジスタは0000Hになります。このときにTAA_nCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTAA_nCEビット = 0になり、TAA_nCNTレジスタは0000Hになります。



6.5 タイマ出力動作説明

次にTOAn0, TOAn1端子の動作、および出力レベルを示します。

表6 - 6 各モードによるタイマ出力制御

動作モード	TOAn1端子	TOAn0端子
インターバル・タイマ・モード	PWM出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	PWM出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	

備考 n = 0-2

表6-7 タイマ出力制御ビットによるTOAn0, TOAn1端子の真理値表

TAAAnIOC0.TAAAnOLaビット	TAAAnIOC0.TAAAnOEaビット	TAAAnCTL0.TAAAnCEビット	TOAna端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0-2

a = 0, 1

6.6 動作

TAAa は、チャンネルによって実現できる機能が異なります。次に各チャンネルの機能を示します。

表6-8 TAA0, TAA1の各モードの仕様

動作	ソフトウェア・トリガ・ビット	外部トリガ入力	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード ^注	有効	無効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^注	有効	無効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード	なし			

備考1. TAAaにはタイマ入力端子 (TIAa0, TIAa1) はありません。16ビット・カウンタとTAAaCCR0, TAAaCCR1レジスタとの一致割り込み要求信号 (INTTAaCC0, INTTAaCC1) はあります。

2. TAAaはTAAaとの同調動作機能があります。詳細は第10章 モータ制御機能を参照してください。

3. a = 0, 1

注 外部トリガ・パルス出力モード, ワンショット・パルス出力モードを使用する場合, カウント・クロックは内部クロックを選択 (TAAaCTL1.TAAaEEEビット = 0に設定) してください。

表6-9 TAA2の各モードの仕様

動作	TAA2CTL1.TAA2ESTビット (ソフトウェア・トリガ・ビット)	TIA20端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIA20端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TAA2IOC1.TAA2IS1, TAA2IS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TAA2CTL1.TAA2EEEビット = 0に設定) してください。

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 n = 0-2

(a) カウント開始動作

・外部イベント・カウント・モード

TAA2CTL0.TAA2CEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力 (TIA20) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTAnCC0, INTTAnCC1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると、TAAAnOPT0.TAAAnOVFビットがセット (1) され、割り込み要求信号 (INTTAnOV) が発生します。なお、次の条件ではINTTAnOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号 (INTTAnOV) 発生後は、必ずオーバフロー・フラグ (TAAAnOVFビット) が“1”にセットされているのを確認してください。

(d) カウント動作中のカウンタ・リード動作

TAAAnでは、TAAAnCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできません。

TAAAnCTL0.TAAAnCEビット = 1のときは、TAAAnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TAAAnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TAAAnCNTレジスタが0000Hです。

(e) 割り込み動作

TAA_nでは、次の3種類の割り込み要求信号を発生します。

- ・ INTTAnCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号 ,およびTAA_nCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTAnCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号 ,およびTAA_nCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTAnOV割り込み : オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TAA_nでは、タイマ動作中 (TAA_nCTL0.TAA_nCEビット = 1) でもTAA_nCCR0, TAA_nCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTAA_nCCR0, TAA_nCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います。

備考 n = 0-2

図6-4 随時書き込みの基本動作フロー・チャート

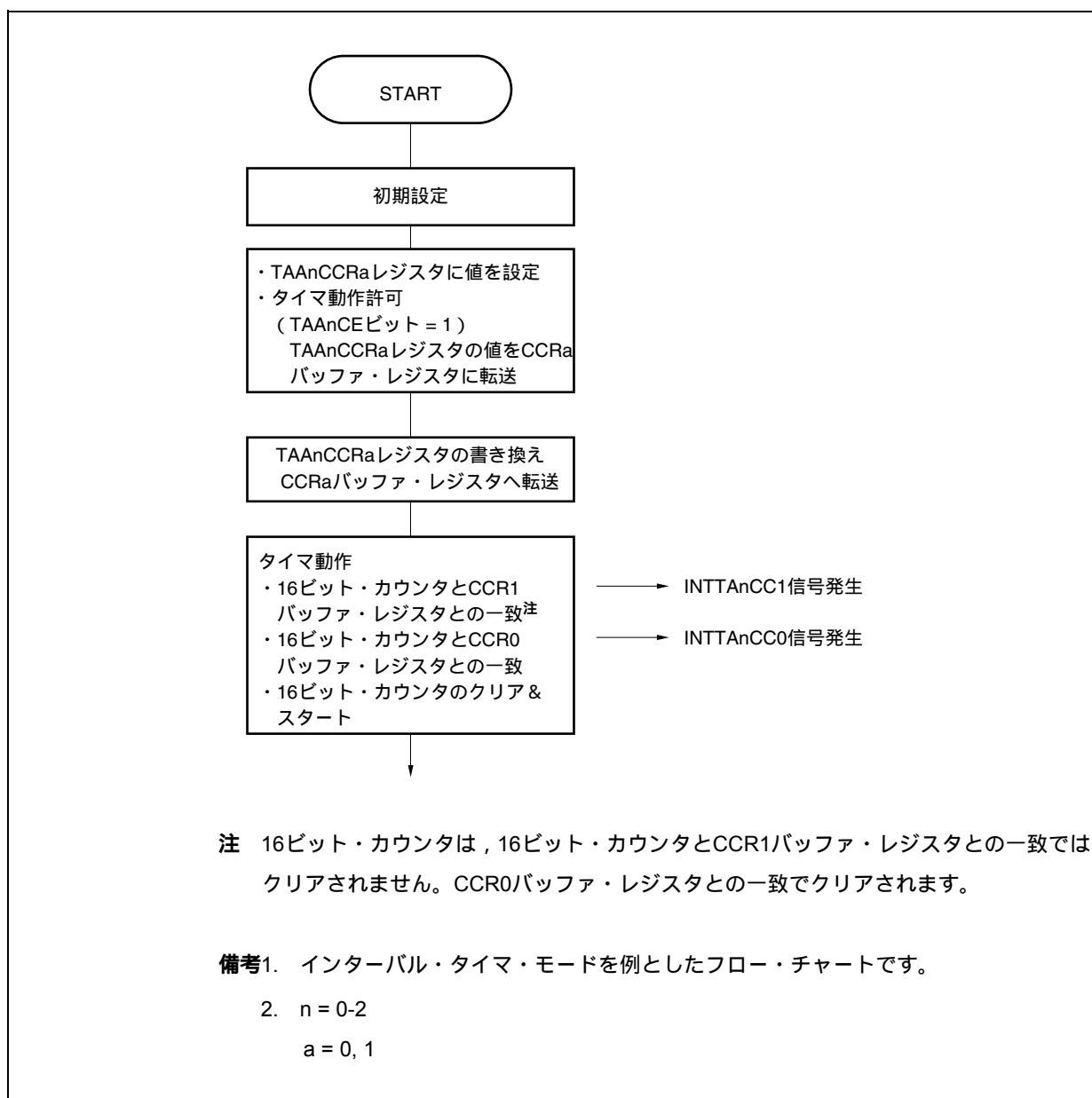
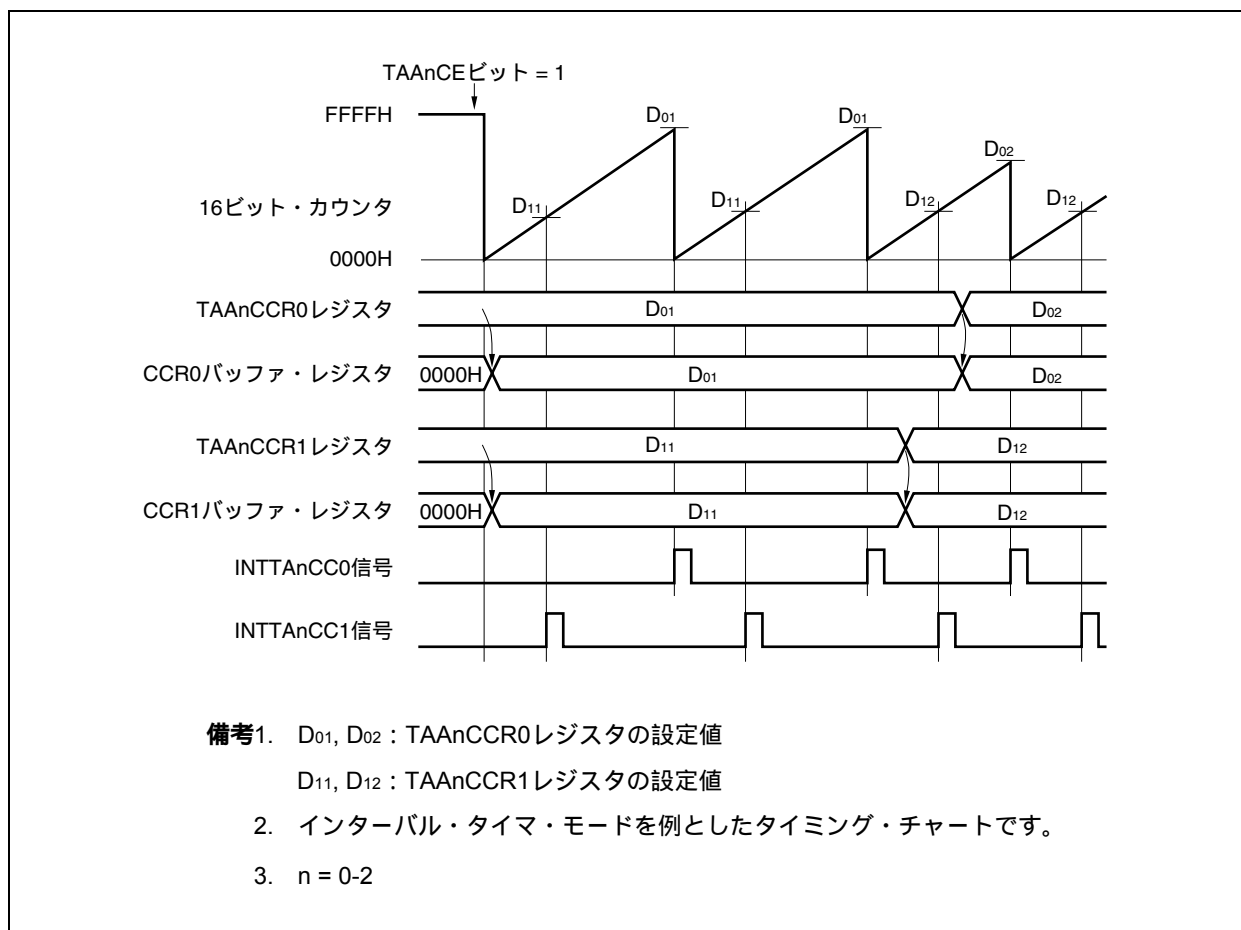


図6-5 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTAAAnCCR0, TAAAnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTAAAnCCR1レジスタへの書き込みとなります。TAAAnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TAAAnCCR0, TAAAnCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTAAAnCCR0レジスタを書き換え、次にTAAAnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TAAAnCCR0, TAAAnCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TAAAnCCR0レジスタの値だけ書き換えたい場合でも、TAAAnCCR1レジスタに同値(すでに設定したTAAAnCCR1レジスタと同じ値)を書き込んでください。

備考 n = 0-2

図6-6 一斉書き込みの基本動作フロー・チャート

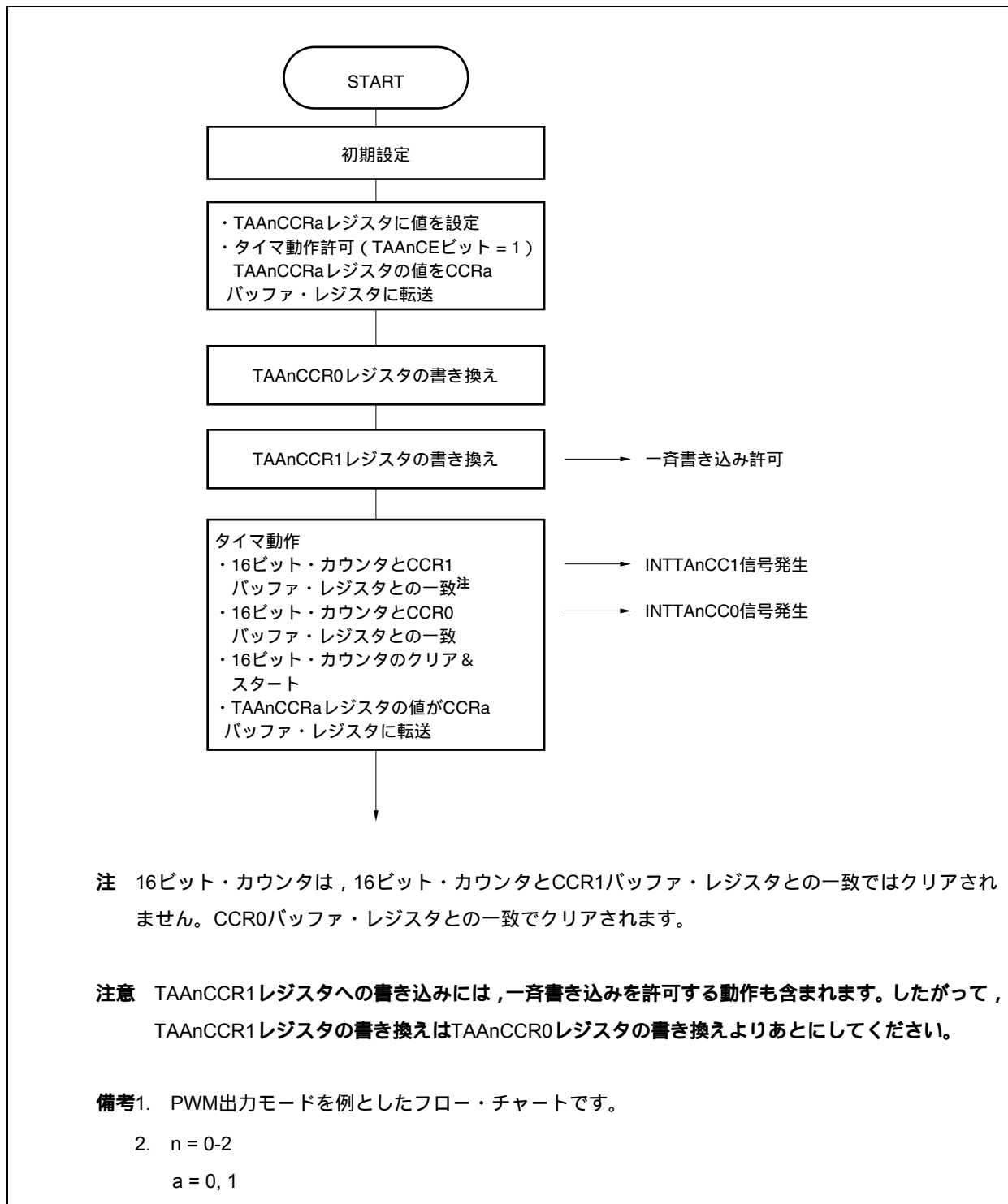
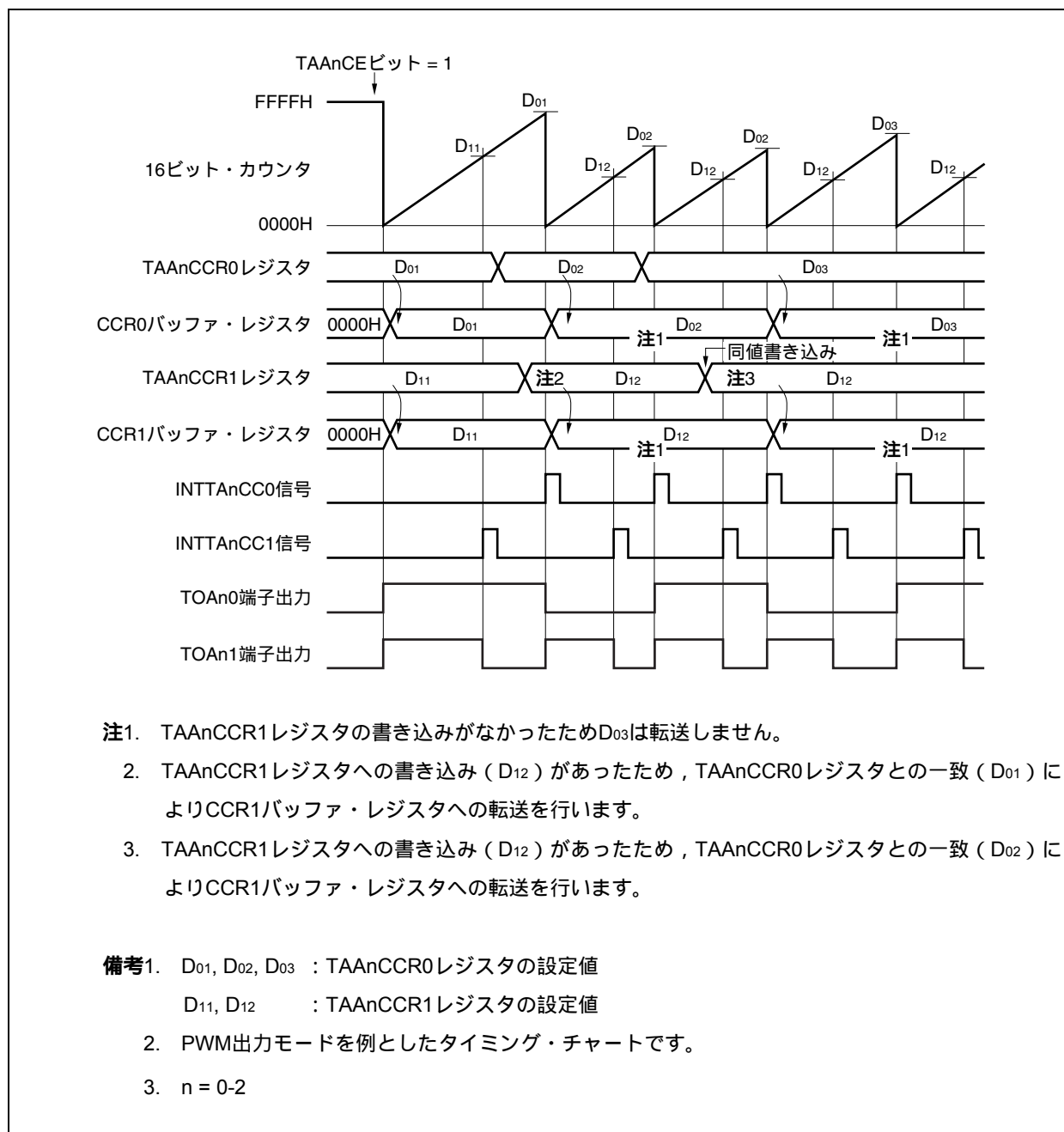


図6-7 一斉書き込みのタイミング



6.6.1 インターバル・タイマ・モード (TAA_nMD2-TAA_nMD0ビット = 000)

インターバル・タイマ・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、TAA_nCCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTAA_nCC0)を発生します。また、TOA_n0端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TAA_nCCR1レジスタを使用しません。しかし、TAA_nCCR1レジスタでは、TAA_nCCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTAA_nCC1)が発生します。また、TOA_n1端子から、INTTAA_nCC1信号の発生タイミングにより反転する50%デューティのPWM波形を出力できます。

なお、TAA_nCCR0、TAA_nCCR1レジスタのタイマ動作中の書き換えは可能です。

図6-8 インターバル・タイマの構成図

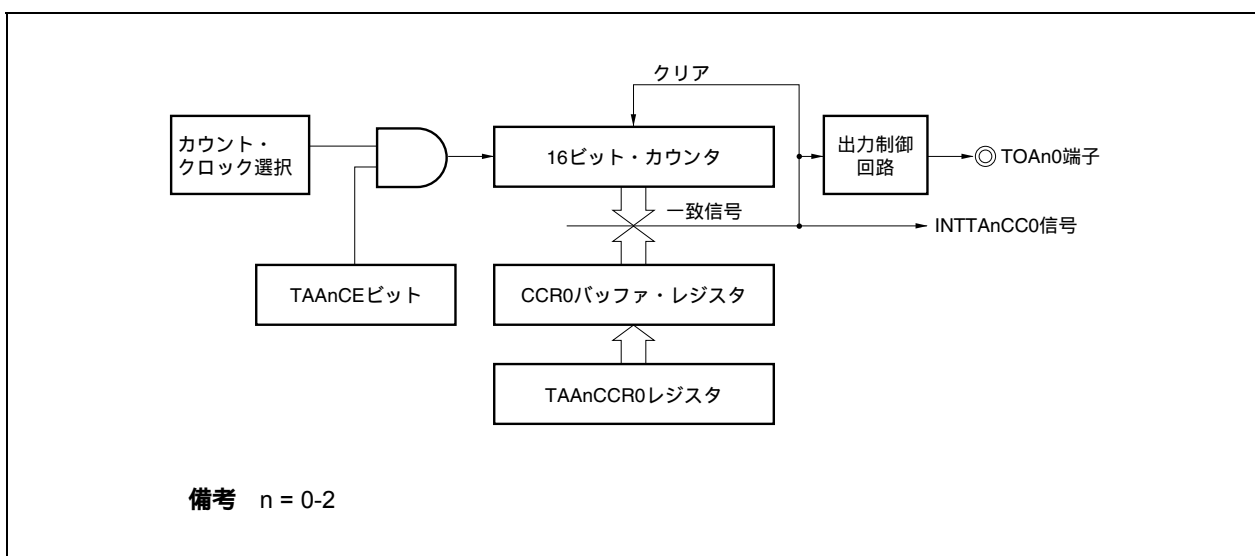
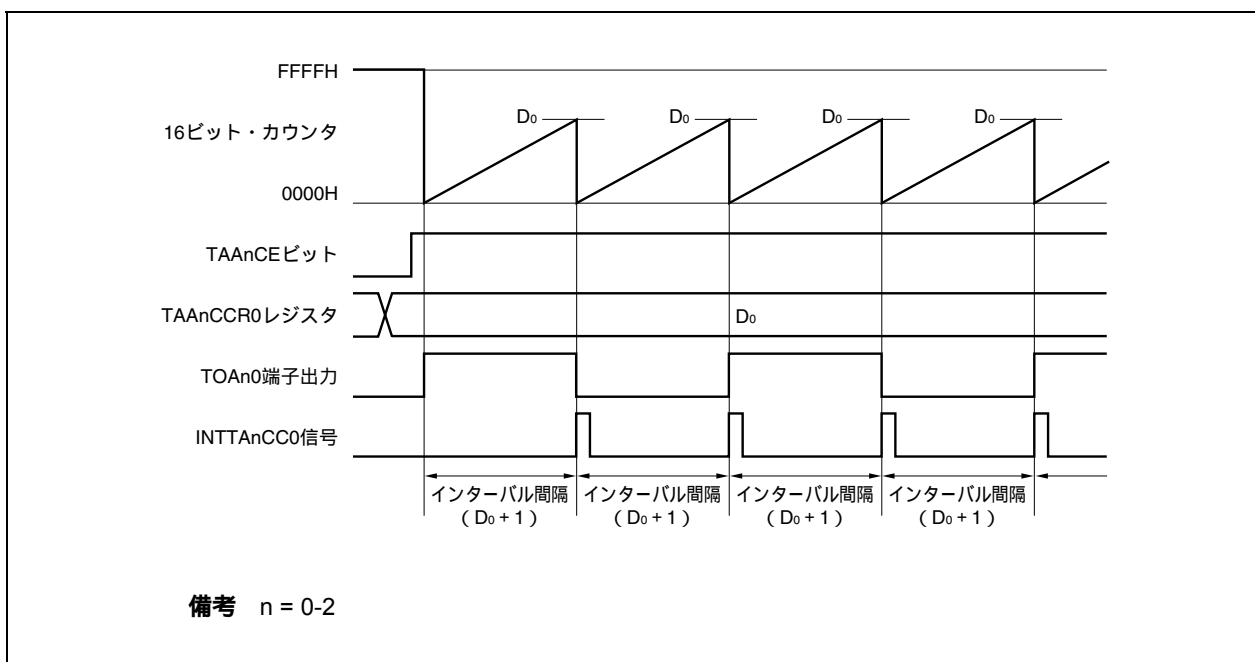


図6-9 インターバル・タイマ・モード動作の基本タイミング



TAA_nCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOA_n0端子出力を反転します。また、TAA_nCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOA_n0端子出力を反転させて、コンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TAA}_n\text{CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-2

図6 - 10 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/3)

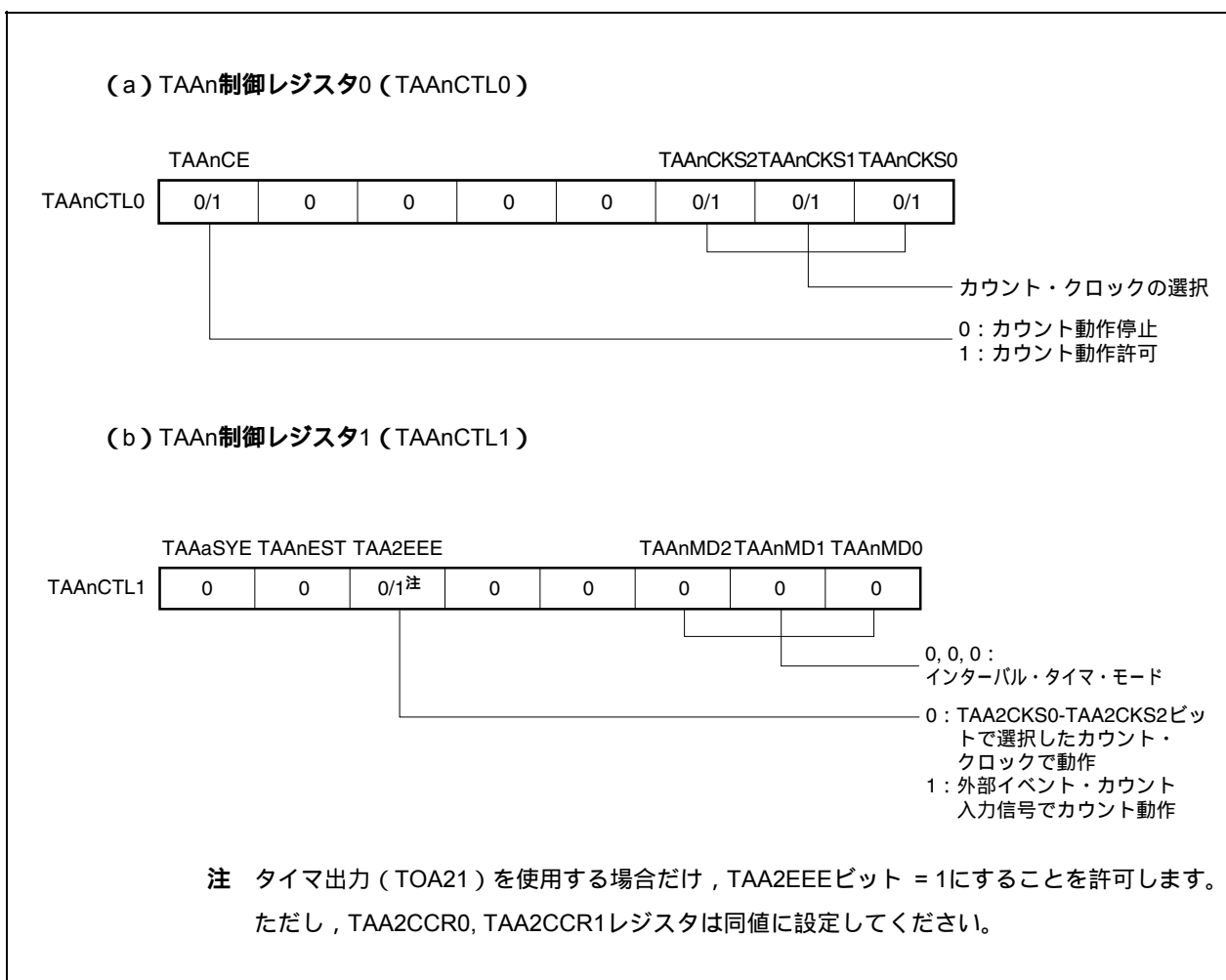
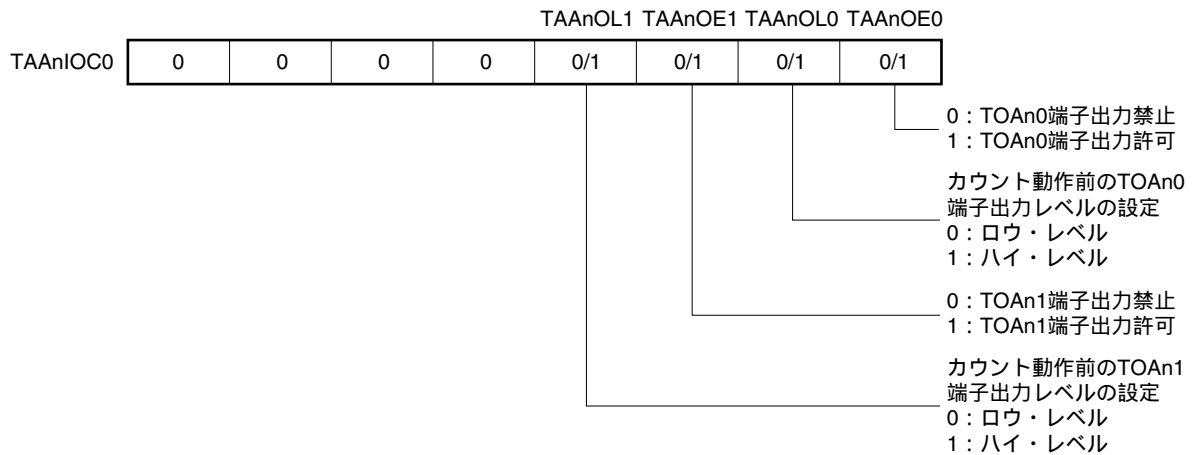
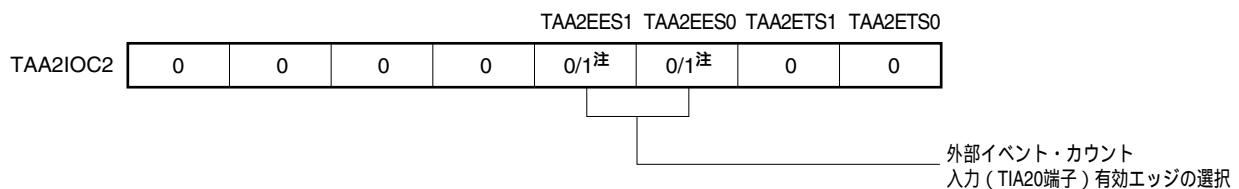


図6-10 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TAA_nI/O制御レジスタ0 (TAA_nIOC0)

(d) TAA2I/O制御レジスタ2 (TAA2IOC2)



注 タイマ出力 (TOA21) を使用する場合だけ、TAA2EES1, TAA2EES0ビットを設定することを許可します。ただし、TAA2CCR0, TAA2CCR1レジスタは同値に設定してください。

(e) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)

TAA_nCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

図6 - 10 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

(g) TAAキャプチャ/コンペア・レジスタ1 (TAAAnCCR1)

インターバル・タイマ・モードでは、TAAAnCCR1レジスタを使用しません。しかし、TAAAnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、TOAn1端子出力を反転し、コンペア一致割り込み要求信号 (INTTAAAnCC1) が発生します。

TAAAnCCR0レジスタの設定値と同じ値を設定することにより、TOAn1端子から50 %デューティのPWM波形を出力できます。

TAAAnCCR1レジスタを使用しない場合には、TAAAnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TAAAnCCIC1.TAAAnCCMK1) でマスク設定してください。

備考1. TAA2I/O制御レジスタ1 (TAA2IOC1) , TAAAnオプション・レジスタ0 (TAAAnOPT0) は、インターバル・タイマ・モードでは使用しません。

2. $n = 0-2$

$a = 0, 1$

(1) インターバル・タイマ・モード動作フロー

図6-11 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

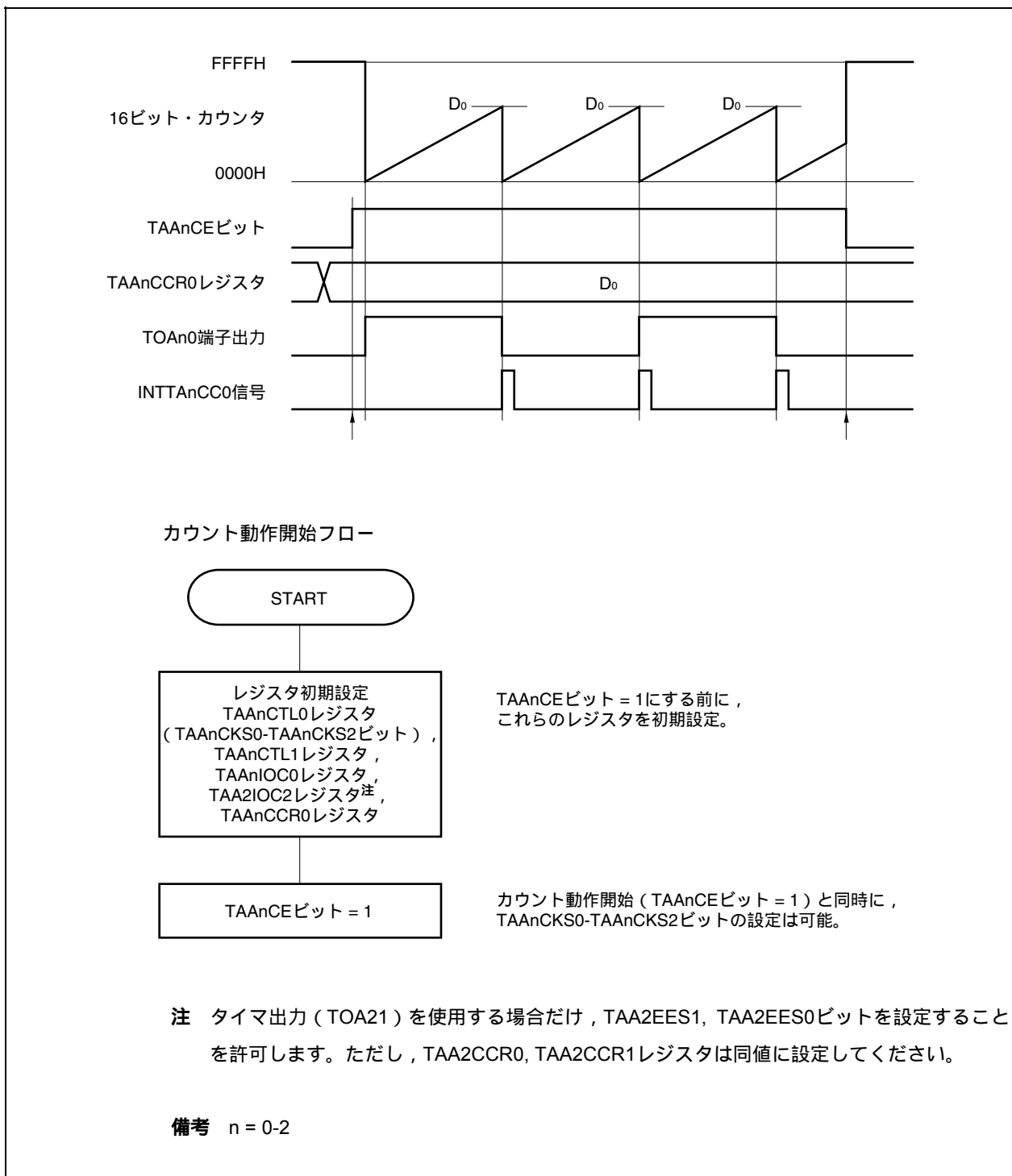
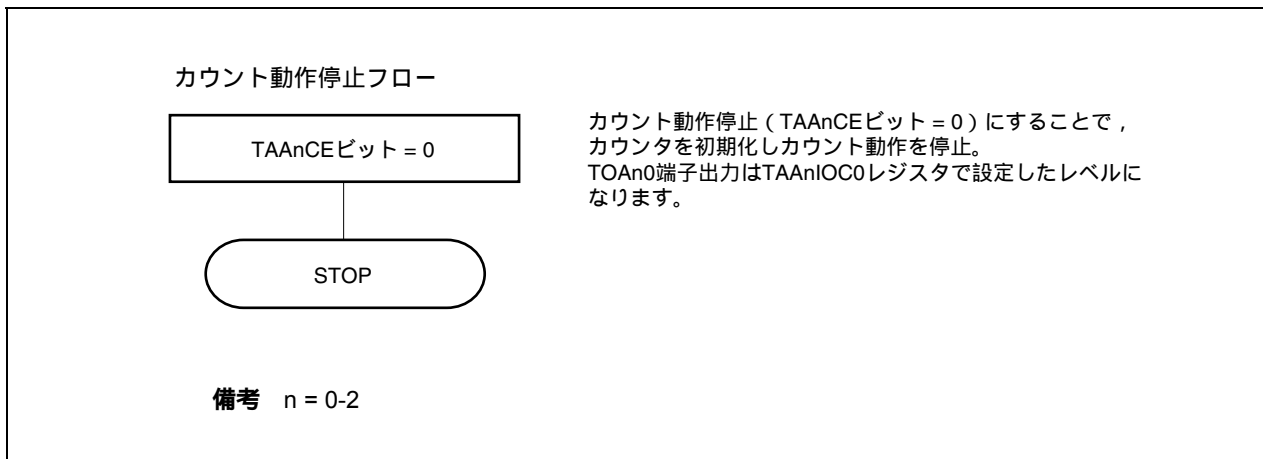


図6-11 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

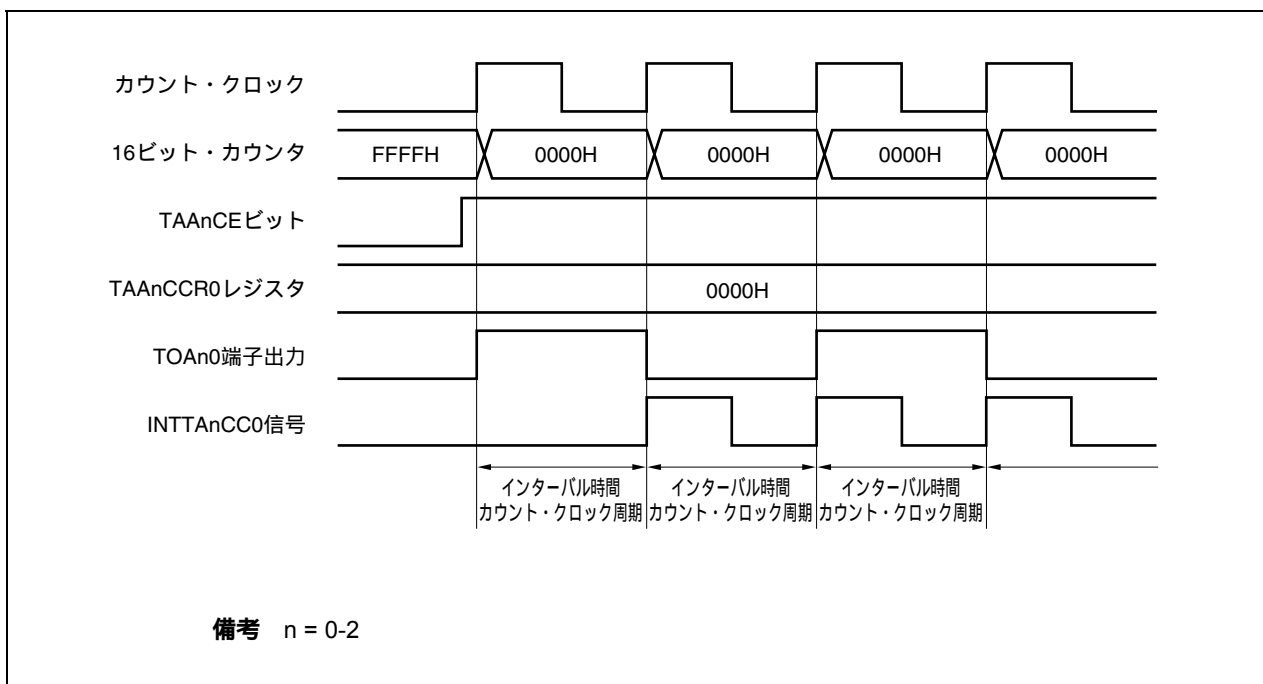


(2) インターバル・タイマ・モード動作タイミング

(a) TAAAnCCR0レジスタに0000Hを設定した場合の動作

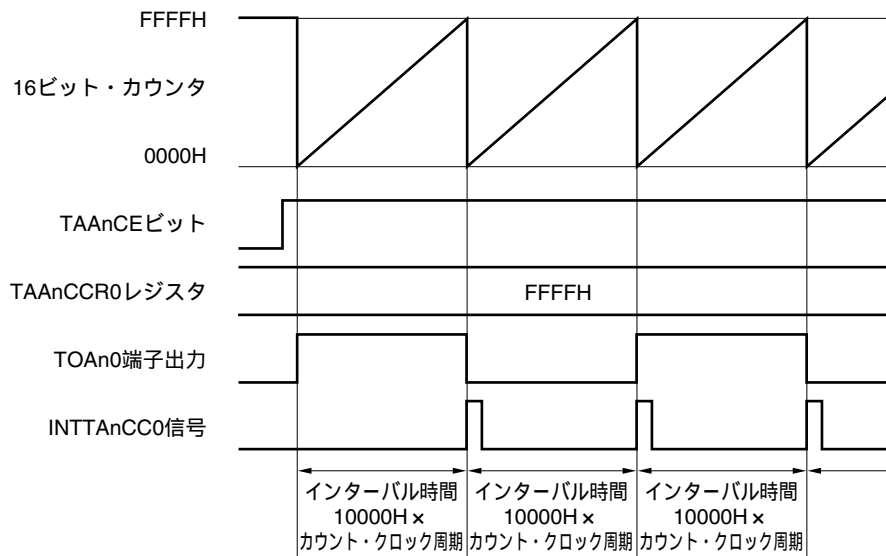
TAAAnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTAAAnCC0信号を発生し、TOAn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TAA_nCCR0レジスタにFFFFHを設定した場合の動作

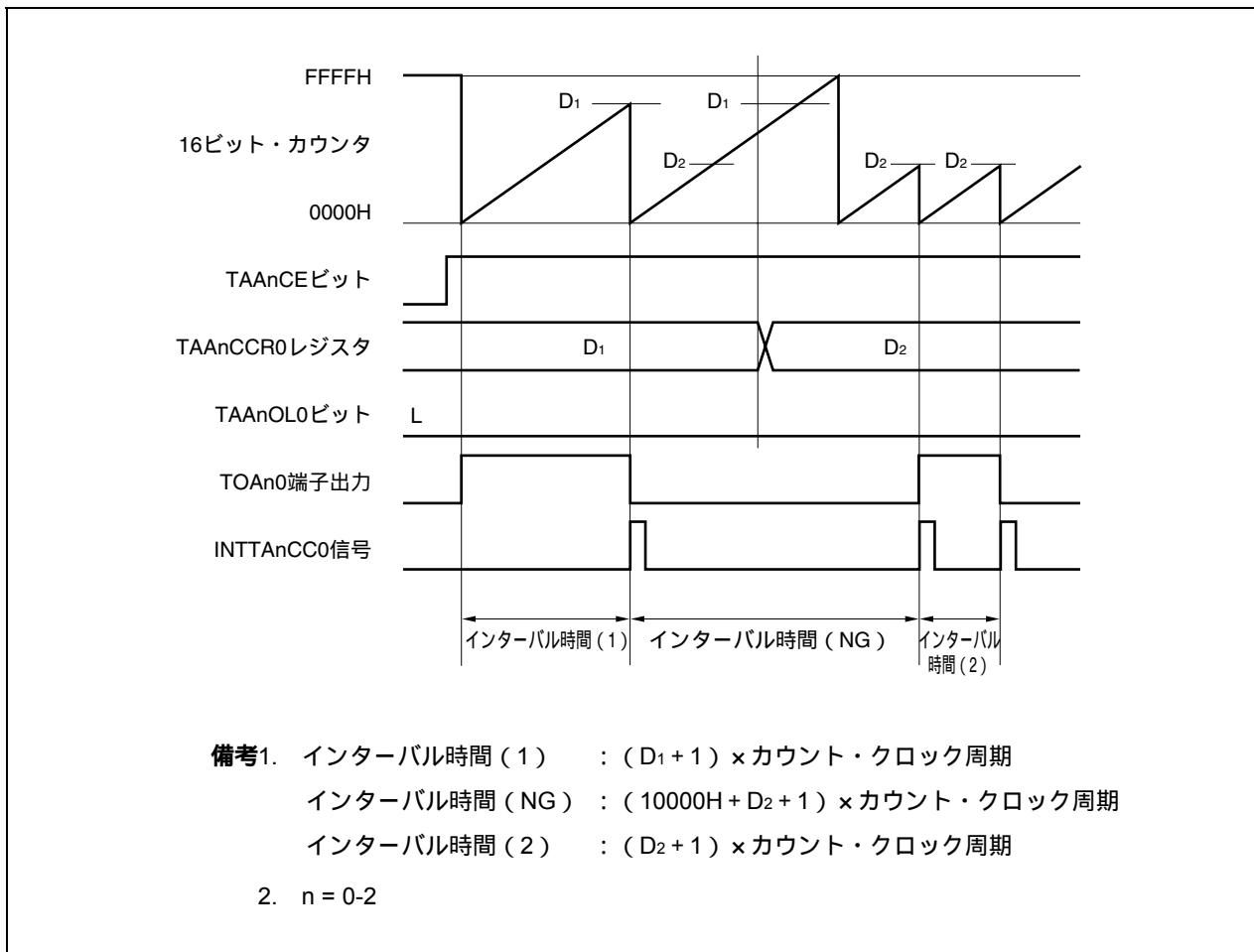
TAA_nCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTAA_nCC0信号を発生し、TOAn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTAA_nOV) は発生せず、オーバフロー・フラグ (TAA_nOPT0.TAA_nOVビット) もセット (1) されません。



備考 n = 0-2

(c) TAAAnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTAAAnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



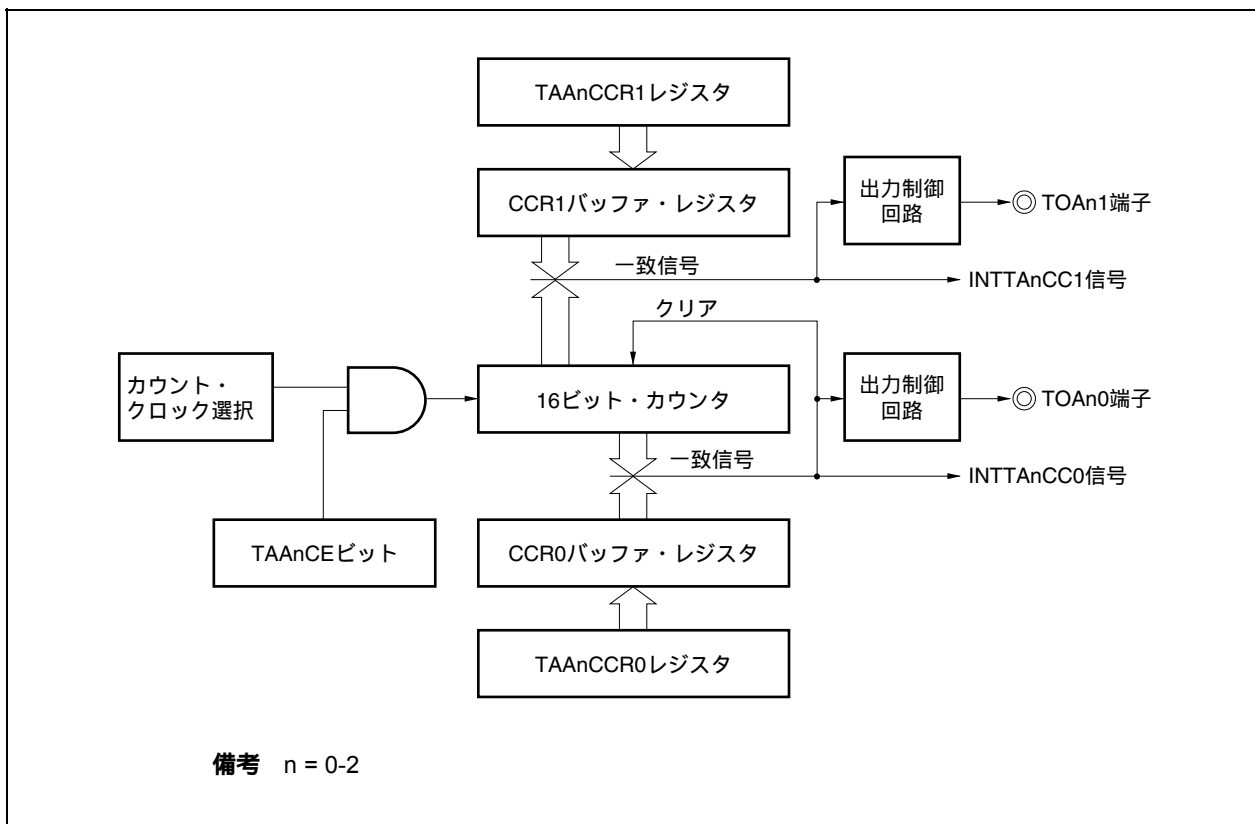
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAAAnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTAnCC0信号を発生しTOAn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTAnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTAnCC0信号が発生する場合があります。

(d) TAA_nCCR1レジスタの動作

図6 - 12 TAA_nCCR1レジスタの構成図



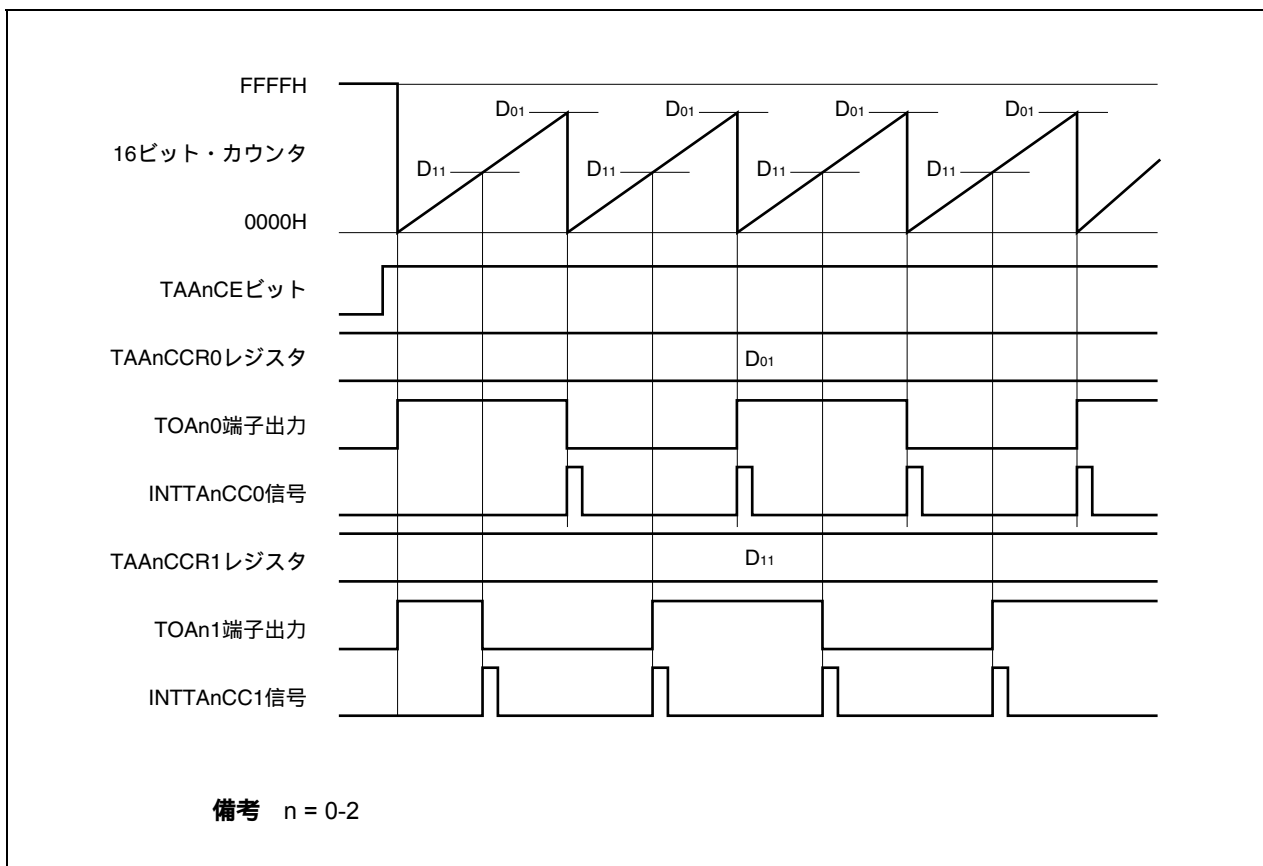
TAA_nCCR1レジスタにTAA_nCCR0レジスタの設定値と同じ値を設定すると、INTTAA_nCC0信号と同じタイミングでINTTAA_nCC1信号が発生し、TOAn1端子出力が反転します。すなわち、TOAn1端子から50 %デューティのPWM波形を出力できます。

TAA_nCCR0レジスタの設定値とは異なる値をTAA_nCCR1レジスタに設定した場合の動作を次に示します。

TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAA_nCC1信号が発生します。また、同じタイミングでTOAn1端子出力は反転します。

TOAn1端子出力は、最初に短い幅のパルスを出力したあと、50 %デューティのPWM波形を出力します。

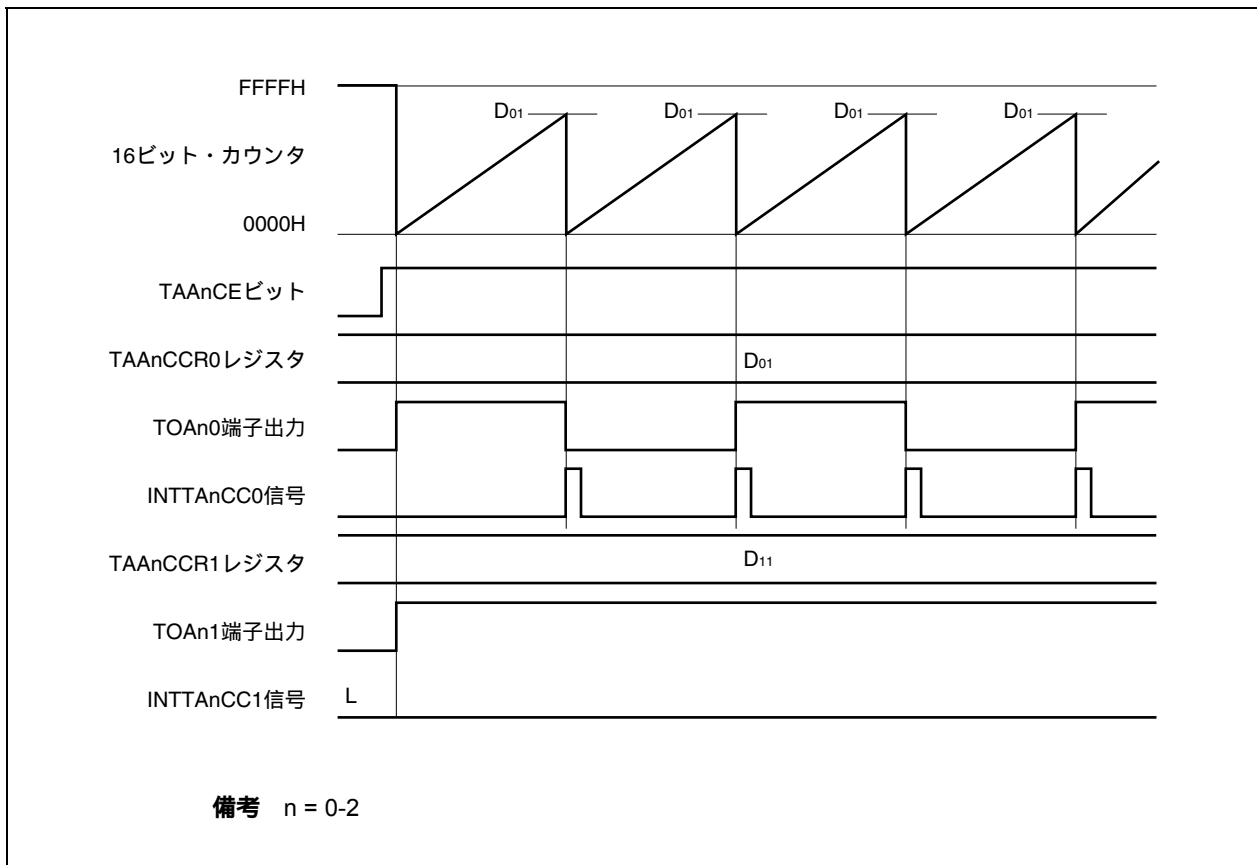
図6 - 13 D₀₁ D₁₁の場合のタイミング図



TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAA_nCCR1レジスタの値が一致しないので、INTTAA_nCC1信号は発生しません。また、TOA_n1端子出力も変化しません。

TAA_nCCR1レジスタを使用しない場合には、TAA_nCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図6 - 14 D₀₁ < D₁₁の場合のタイミング図



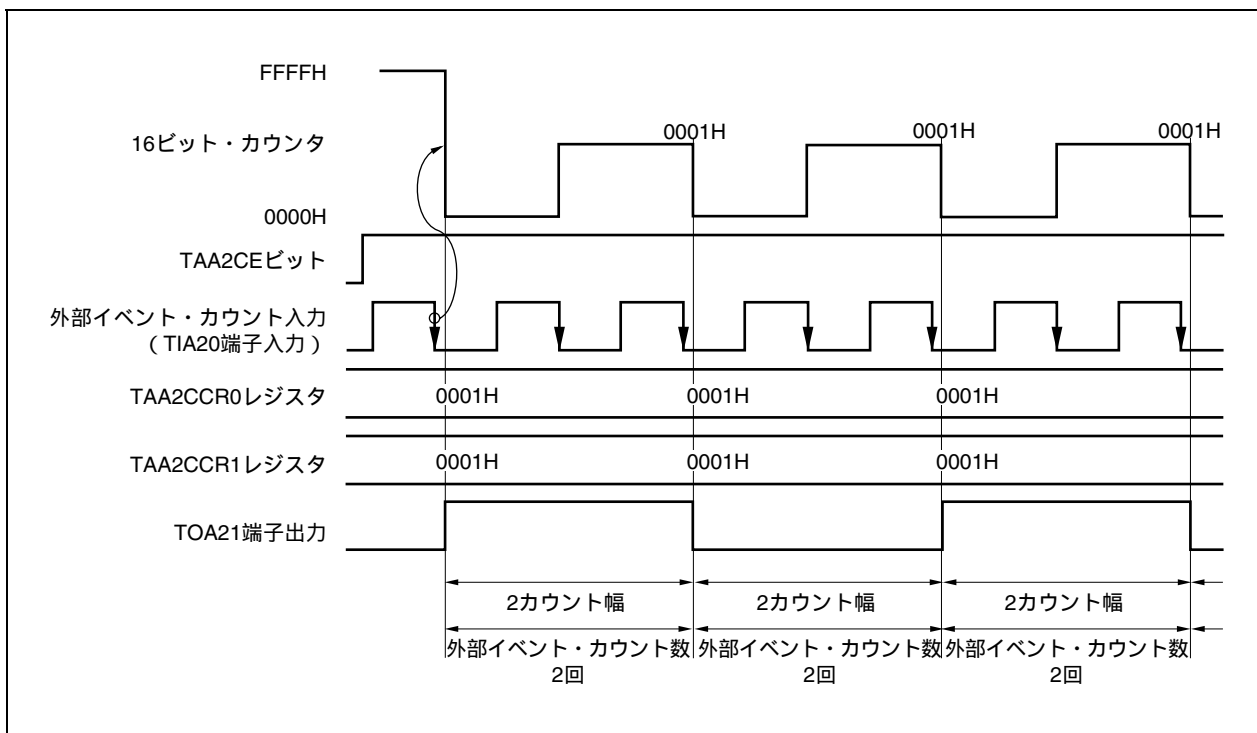
(3) 外部イベント・カウント入力 (TIA20) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (TIA20) の有効エッジで16ビット・カウンタをカウントする場合, TAA2CEビットを0から1に設定したあとの1回目の外部イベント・カウント入力の有効エッジにより, 16ビット・カウンタをFFFFHから0000Hにクリアします。

TAA2CCR0, TAA2CCR1レジスタに0001Hを設定 (同値設定) すると, 16ビット・カウンタの2カウントごとにTOA21端子の出力を反転します。

外部イベント・カウント入力でタイマ出力 (TOA21) を使用する場合だけ, インターバル・タイマ・モード時にTAA2CTL1.TAA2EEEビット = 1の設定が可能です。



6.6.2 外部イベント・カウント・モード (TAA2MD2-TAA2MD0ビット = 001)

TAA2のみ有効です。

外部イベント・カウント・モードは、TAA2CTL0.TAA2CEビットをセット(1)することで、外部イベント・カウント入力(TIA20)の有効エッジをカウントし、TAA2CCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTA2CC0)を発生します。TOA20, TOA21端子は使用できません。外部イベント・カウント入力でTOA21端子を使用する場合は、インターバル・タイマ・モード時にTAA2CTL1.TAA2EEEビット = 1に設定してください(6.6.1(3)外部イベント・カウント入力(TIA20)による動作参照)。

外部イベント・カウント・モードでは、TAA2CCR1レジスタは使用しません。

図6 - 15 外部イベント・カウント・モードの構成図

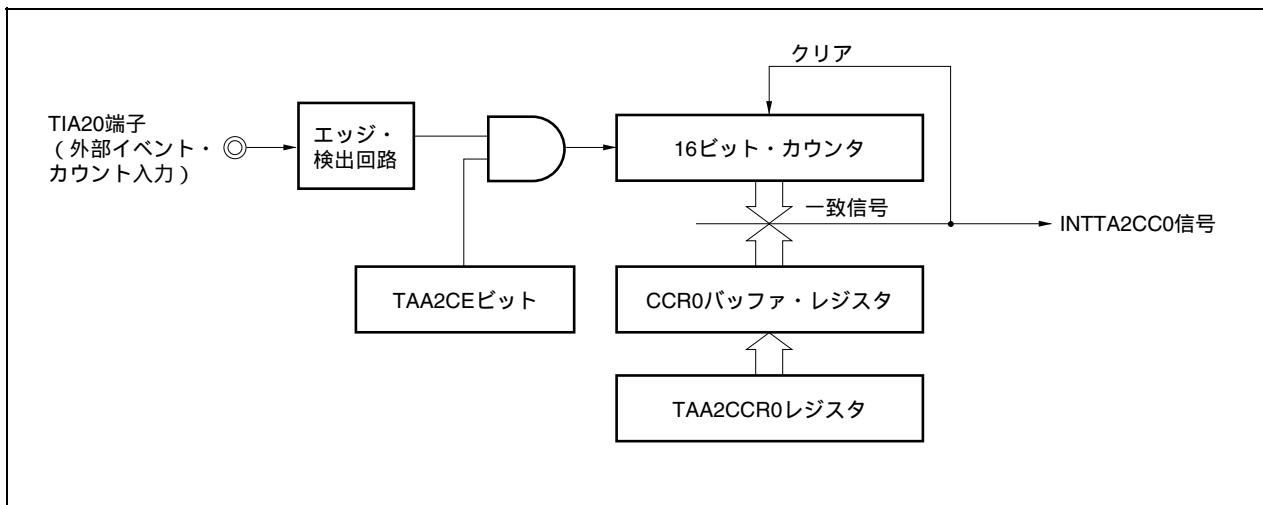
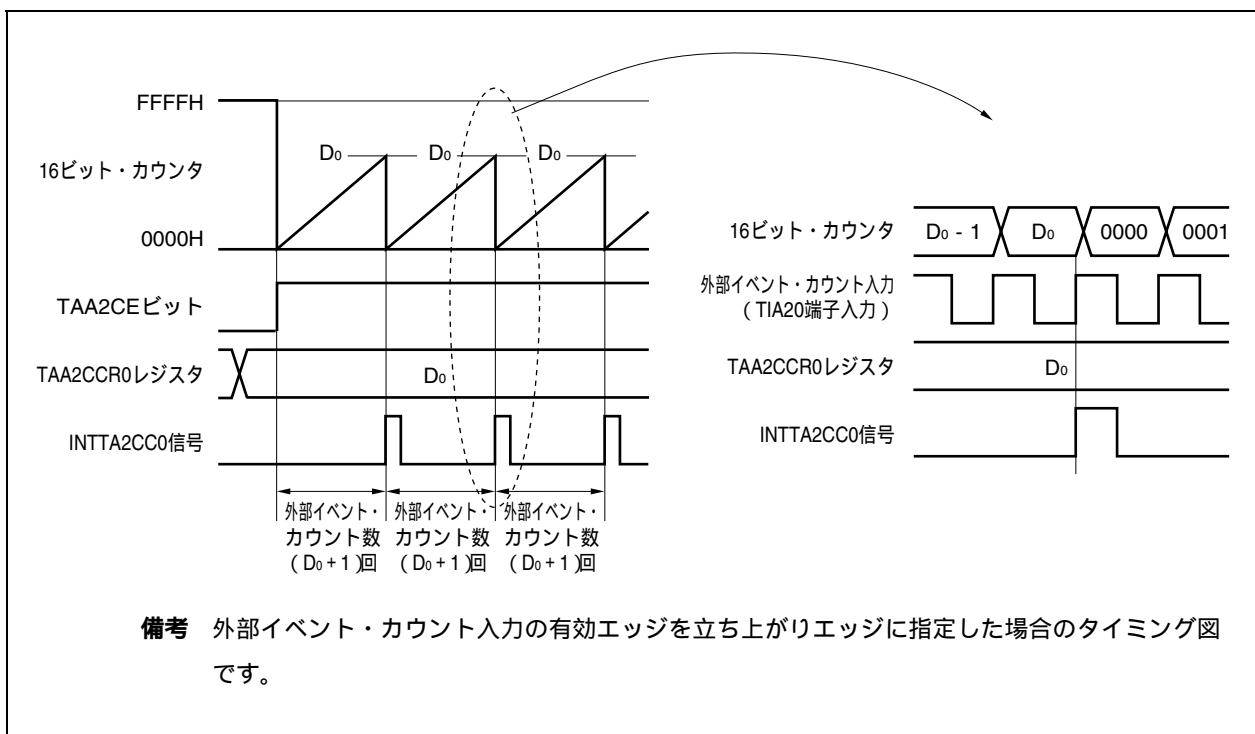


図6 - 16 外部イベント・カウント・モードの基本タイミング



TAA2CEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することによりカウント動作を行います。また、TAA2CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTA2CC0)を発生します。

INTTA2CC0信号は、外部イベント・カウント入力の有効エッジを(TAA2CCR0レジスタに設定した値+1)回検出することにより発生します。

図6-17 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

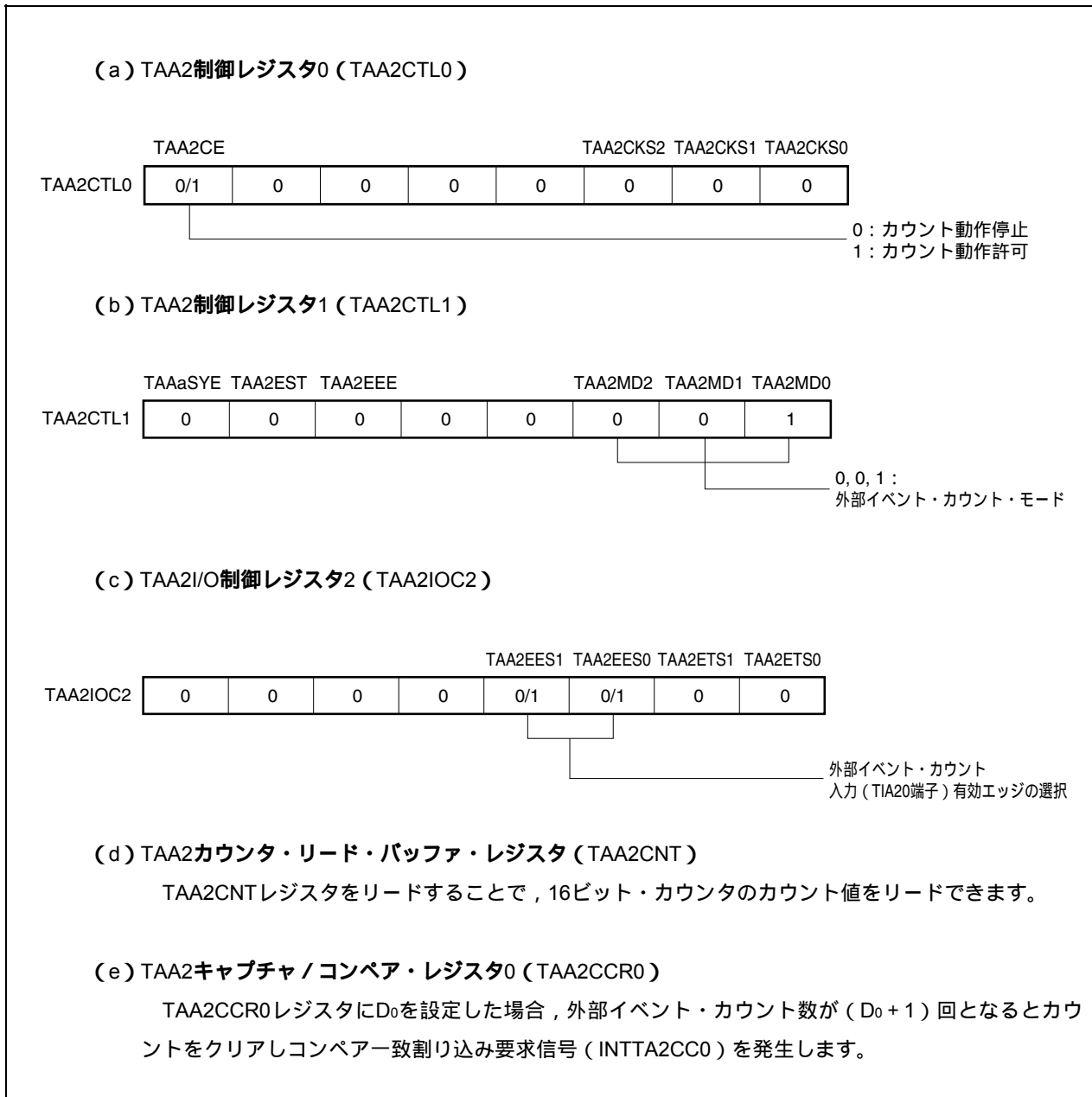


図6 - 17 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TAA2キャプチャ/コンペア・レジスタ1 (TAA2CCR1)

外部イベント・カウント・モードでは、TAA2CCR1レジスタは使用しません。しかし、TAA2CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTA2CC1) が発生します。

TAA2CCR1レジスタを使用しない場合には、TAA2CCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TAA2CCIC1.TAA2CCMK1) でマスク設定してください。

注意1. TAA2IOC0レジスタには00Hを設定してください。

2. カウント・クロックとして外部クロックを使用するときは、外部クロックはTIA20端子からのみ入力できます。

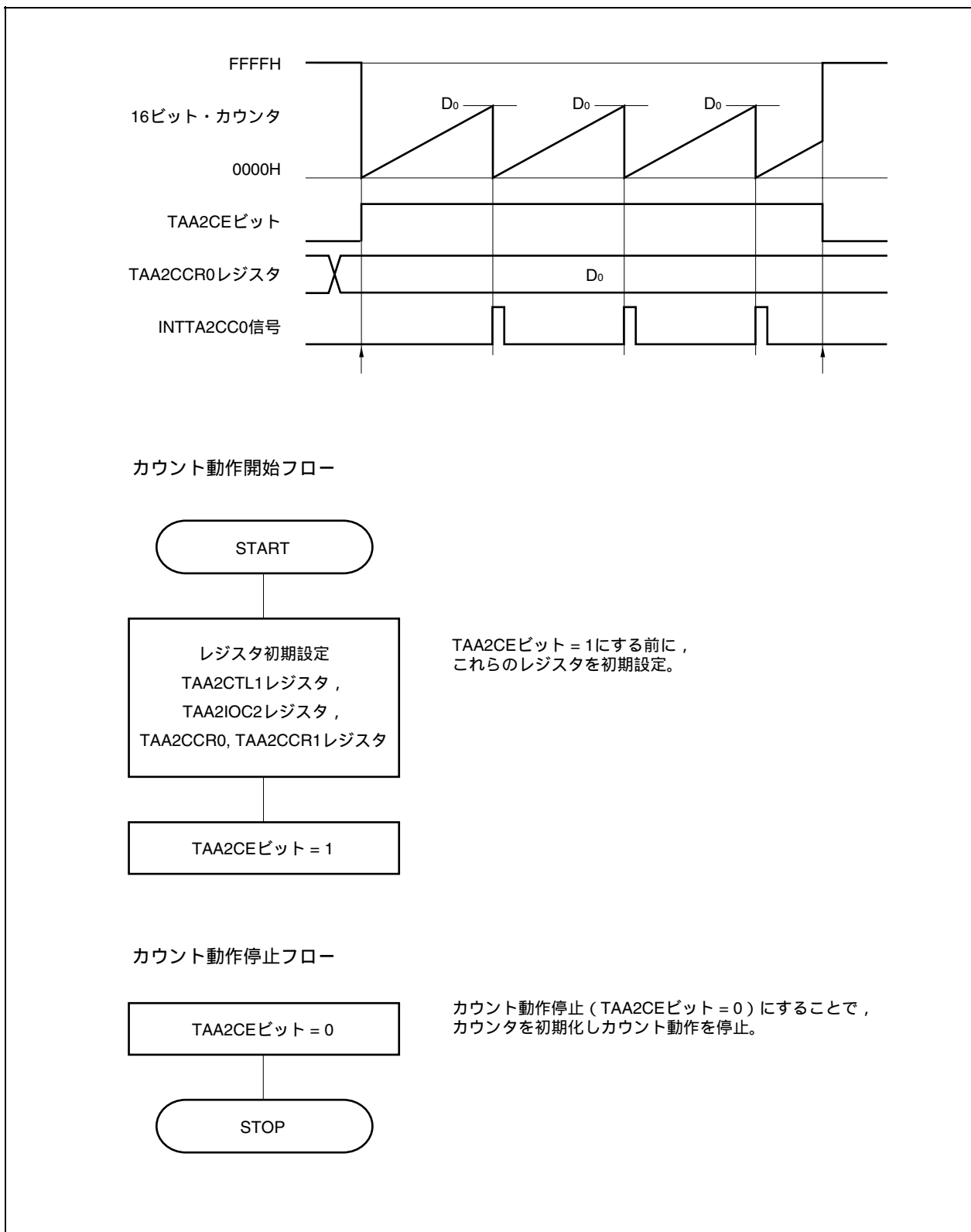
このとき、TAA2IOC1.TAA2IS1, TAA2IS0ビット = 00 (キャプチャ・トリガ入力 (TIA20端子) : エッジ検出なし) に設定してください。

備考1. TAA2I/O制御レジスタ1 (TAA2IOC1), TAA2オプション・レジスタ0 (TAA2OPT0) は、外部イベント・カウント・モードでは使用しません。

2. a = 0, 1

(1) 外部イベント・カウント・モード動作フロー

図6-18 外部イベント・カウント・モード使用時のソフトウェア処理フロー



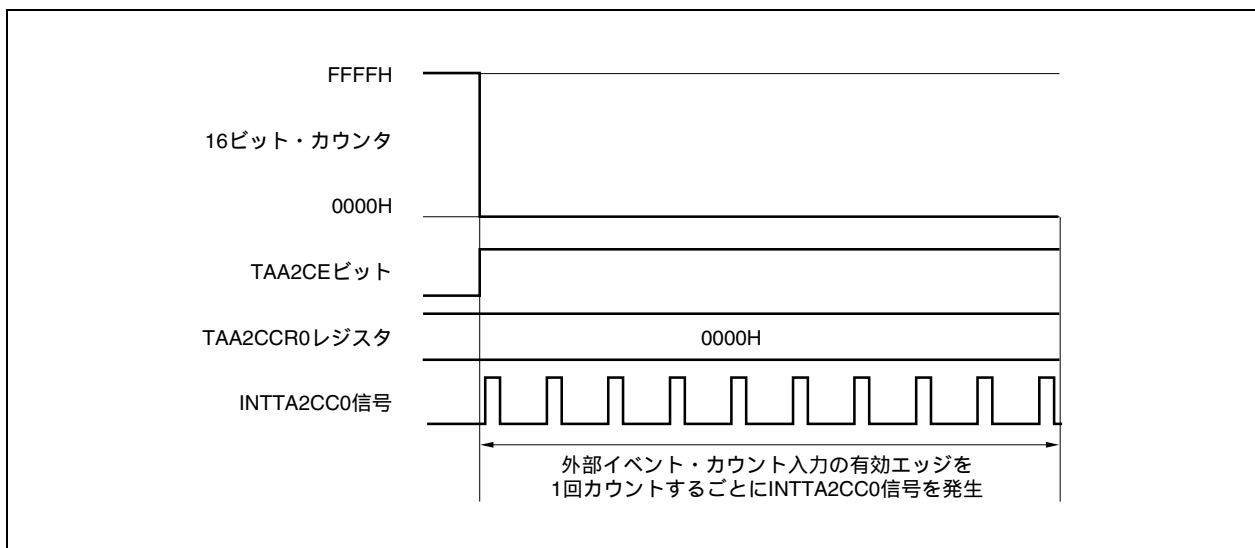
(2) 外部イベント・カウント・モード動作タイミング

注意 外部イベント・カウント・モード時、タイマ出力 (TOA20, TOA21) は使用禁止です。外部イベント・カウント入力 (TIA20) でタイマ出力 (TOA21) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TAA2CTL1. TAA2EEE ビット = 1) に設定してください (6. 6. 1 (3) 外部イベント・カウント入力 (TIA20) による動作参照)。

(a) TAA2CCR0レジスタに0000Hを設定した場合の動作

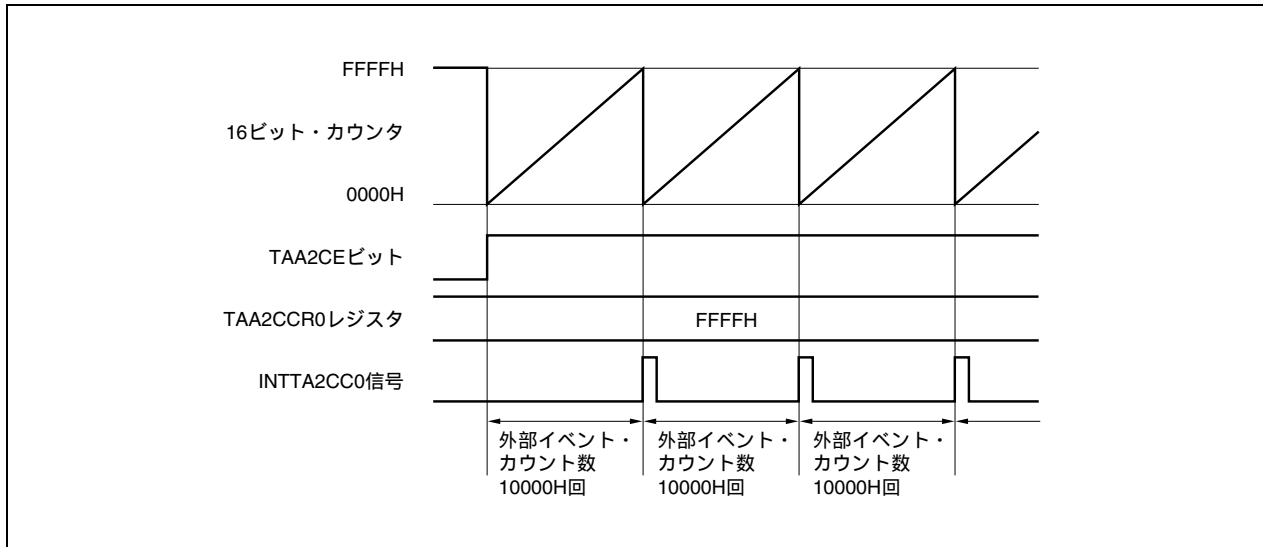
TAA2CCR0レジスタに0000Hを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにCCR0バッファ・レジスタの値との一致で、16ビット・カウンタを0000Hにクリアし続けて、INTTA2CC0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TAA2CCR0レジスタにFFFFHを設定した場合の動作

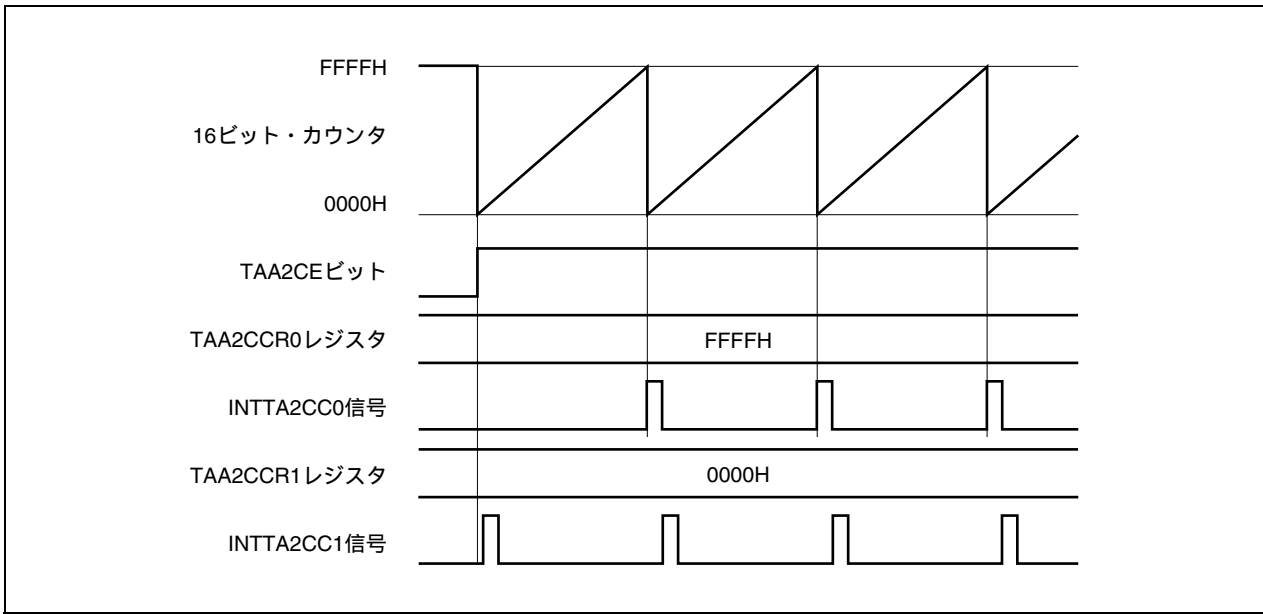
TAA2CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTA2CC0信号を発生します。このとき、TAA2OPT0.TAA2OVFビットはセットされません。



(c) TAA2CCR0レジスタにFFFFH, TAA2CCR1レジスタに0000Hを設定した場合の動作

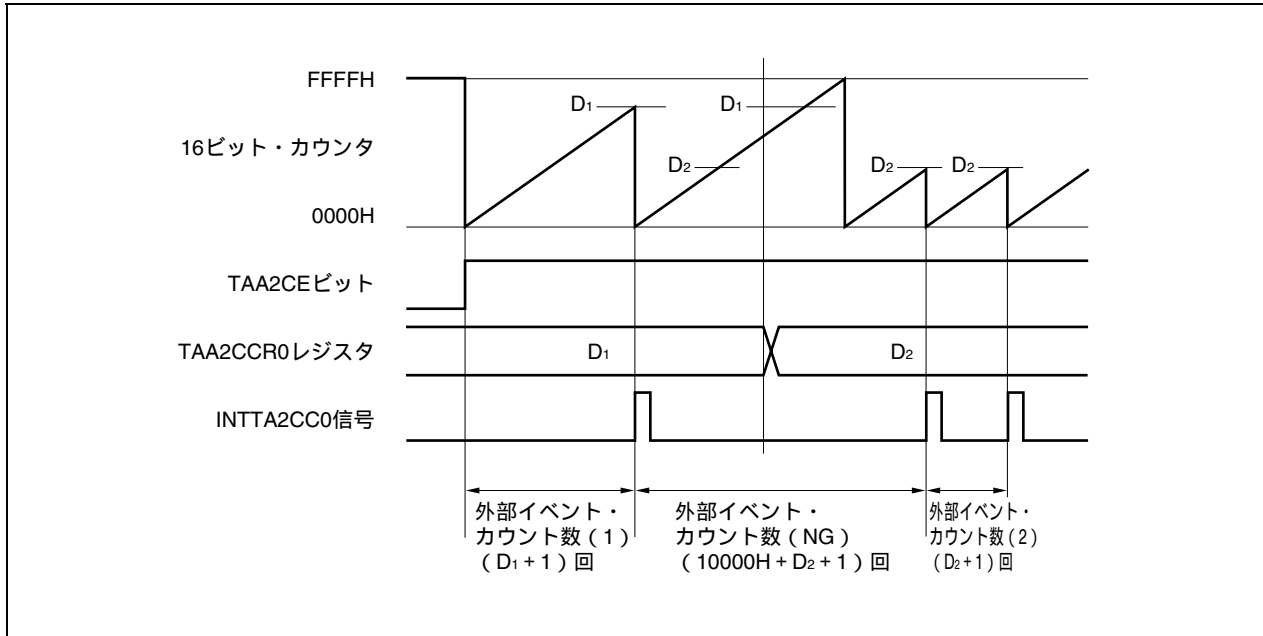
TAA2CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTA2CC0信号を発生します。このとき、TAA2OPT0.TAA2OVFビットはセットされません。

TAA2CCR1レジスタに0000Hを設定した場合、16ビット・カウンタが0000HにクリアされたタイミングでINTTA2CC1信号が発生します。



(d) TAA2CCR0レジスタの書き換えに関する注意事項

カウント動作中にTAA2CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



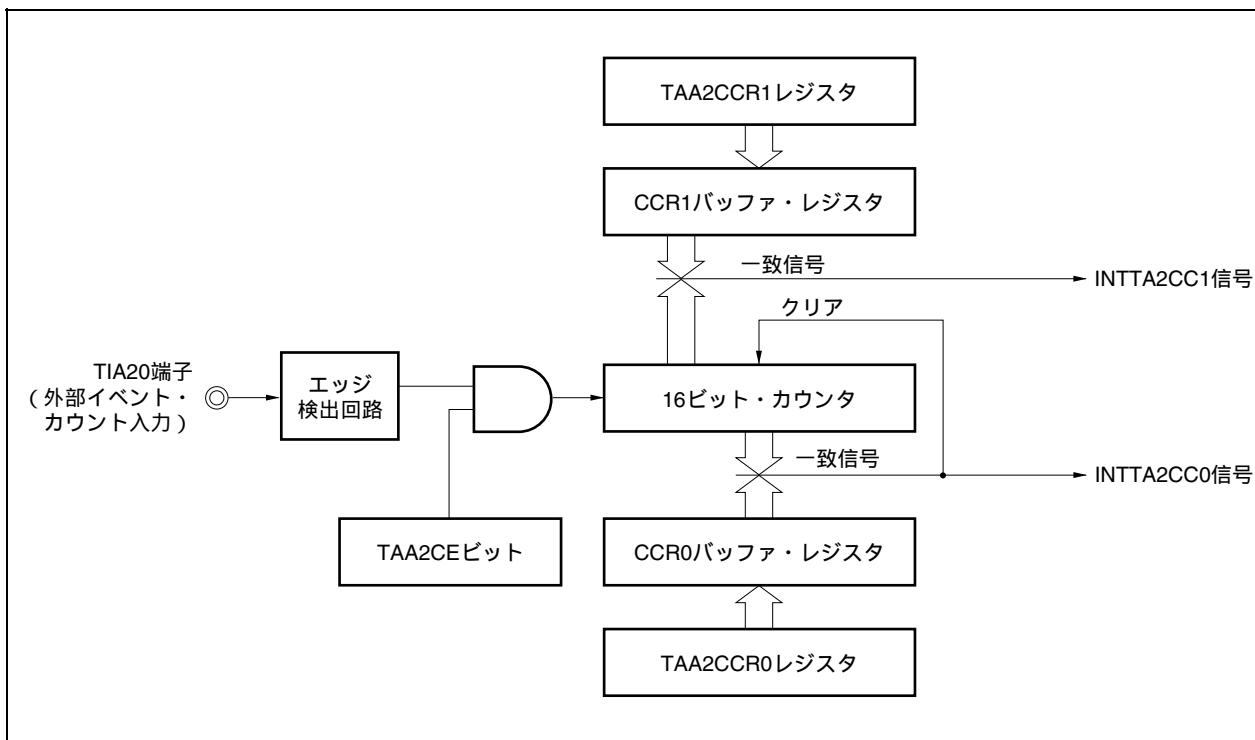
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAA2CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTA2CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTA2CC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTA2CC0信号が発生する場合があります。

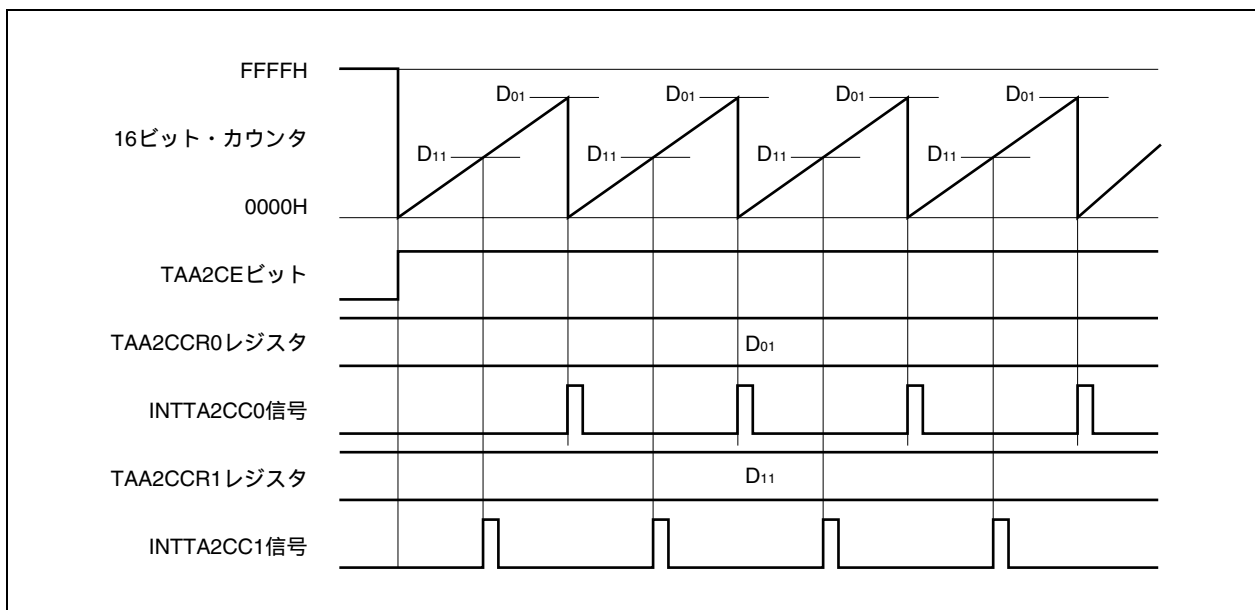
(e) TAA2CCR1レジスタの動作

図6 - 19 TAA2CCR1レジスタの構成図



TAA2CCR1レジスタの設定値がTAA2CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTA2CC1信号が発生します。

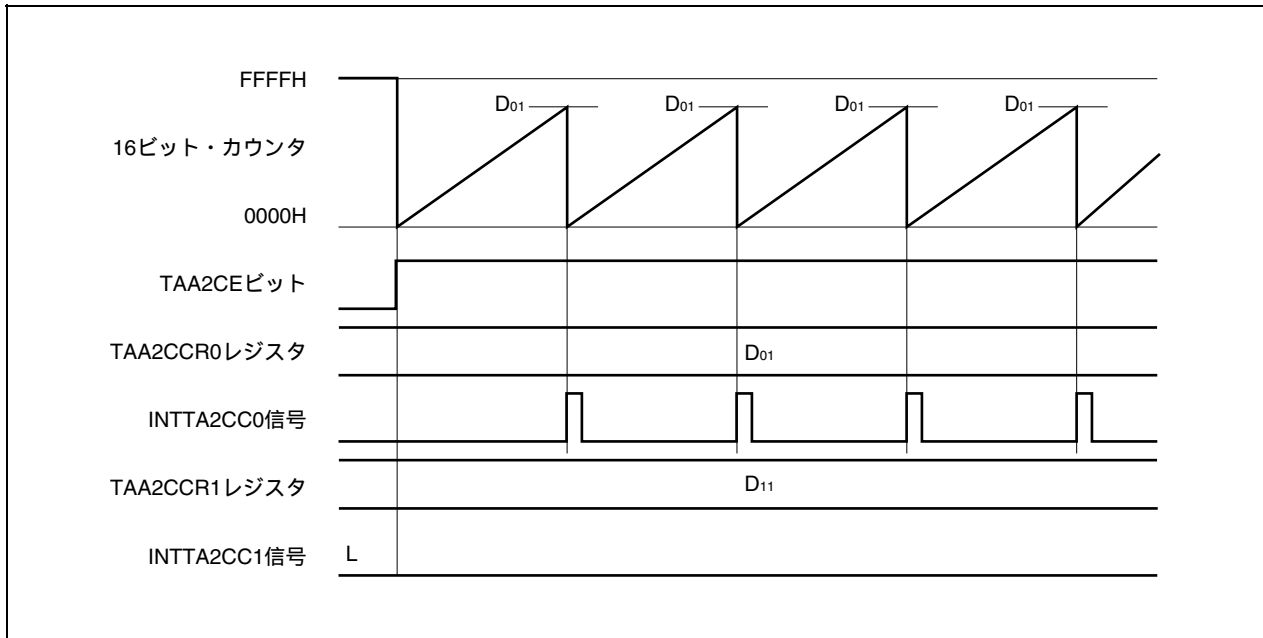
図6 - 20 D01 D11の場合のタイミング図



TAA2CCR1レジスタの設定値がTAA2CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAA2CCR1レジスタの値が一致しないので、INTTA2CC1信号は発生しません。

TAA2CCR1レジスタを使用しない場合には、TAA2CCR1レジスタの設定値をFFFFHに設定することを推奨します。

図6 - 21 D₀₁ < D₁₁の場合のタイミング図



6.6.3 外部トリガ・パルス出力モード (TAA_nMD2-TAA_nMD0ビット = 010)

外部トリガ・パルス出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでトリガ待ち状態となります。

TAA0, TAA1の場合、ソフトウェア・トリガを検出すると、カウント動作を開始し、TOA_k1端子からPWM波形を出力します。また、TOA_k0端子から、TAA_kCCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力できます。

TAA2の場合、外部トリガ入力(TIA20)の有効エッジを検出すると、カウント動作を開始し、TOA21端子からPWM波形を出力します。外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOA20端子から、TAA2CCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力できます。

図6-22 TAA0, TAA1の外部トリガ・パルス出力モードの構成図

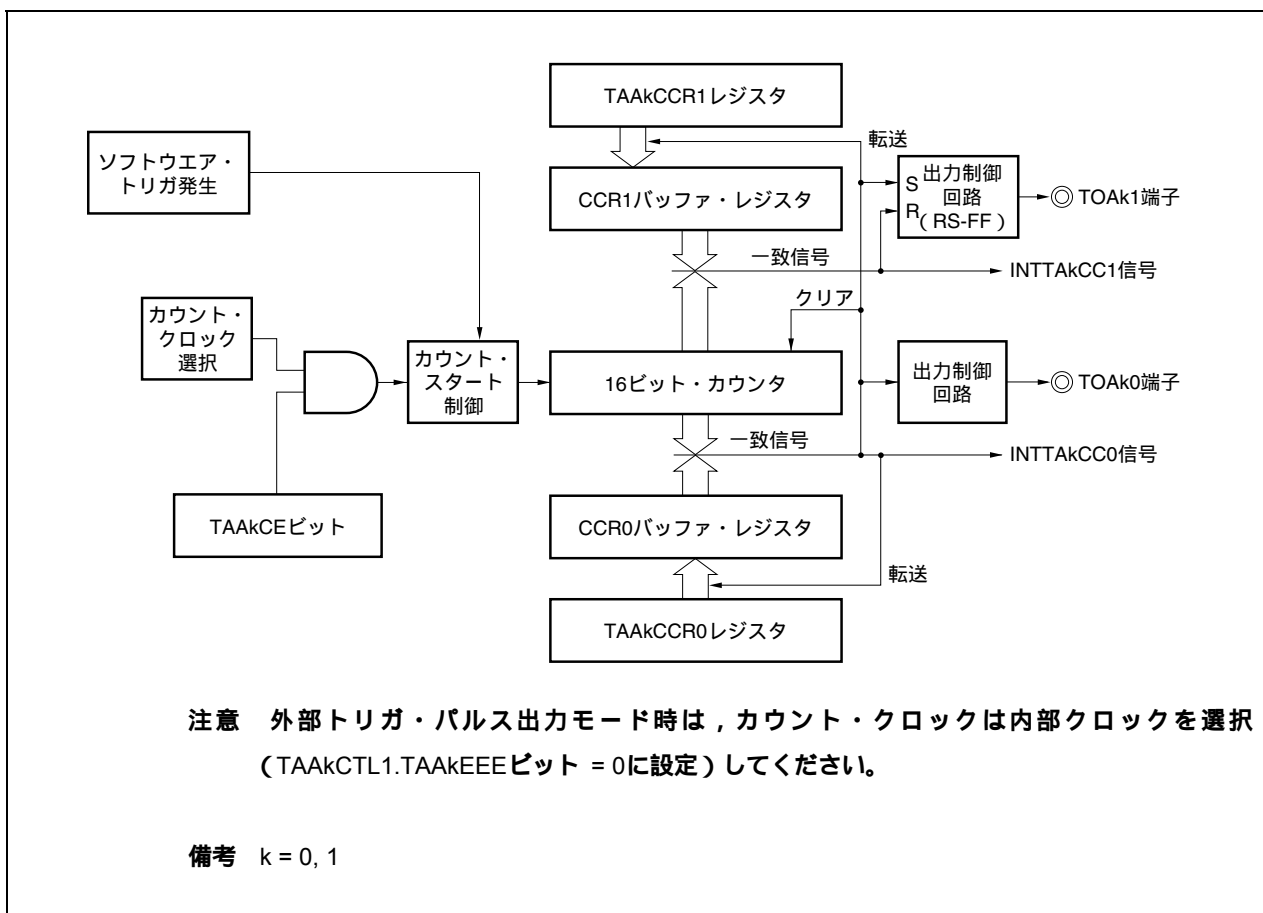


図6 - 23 TAA2の外部トリガ・パルス出力モードの構成図

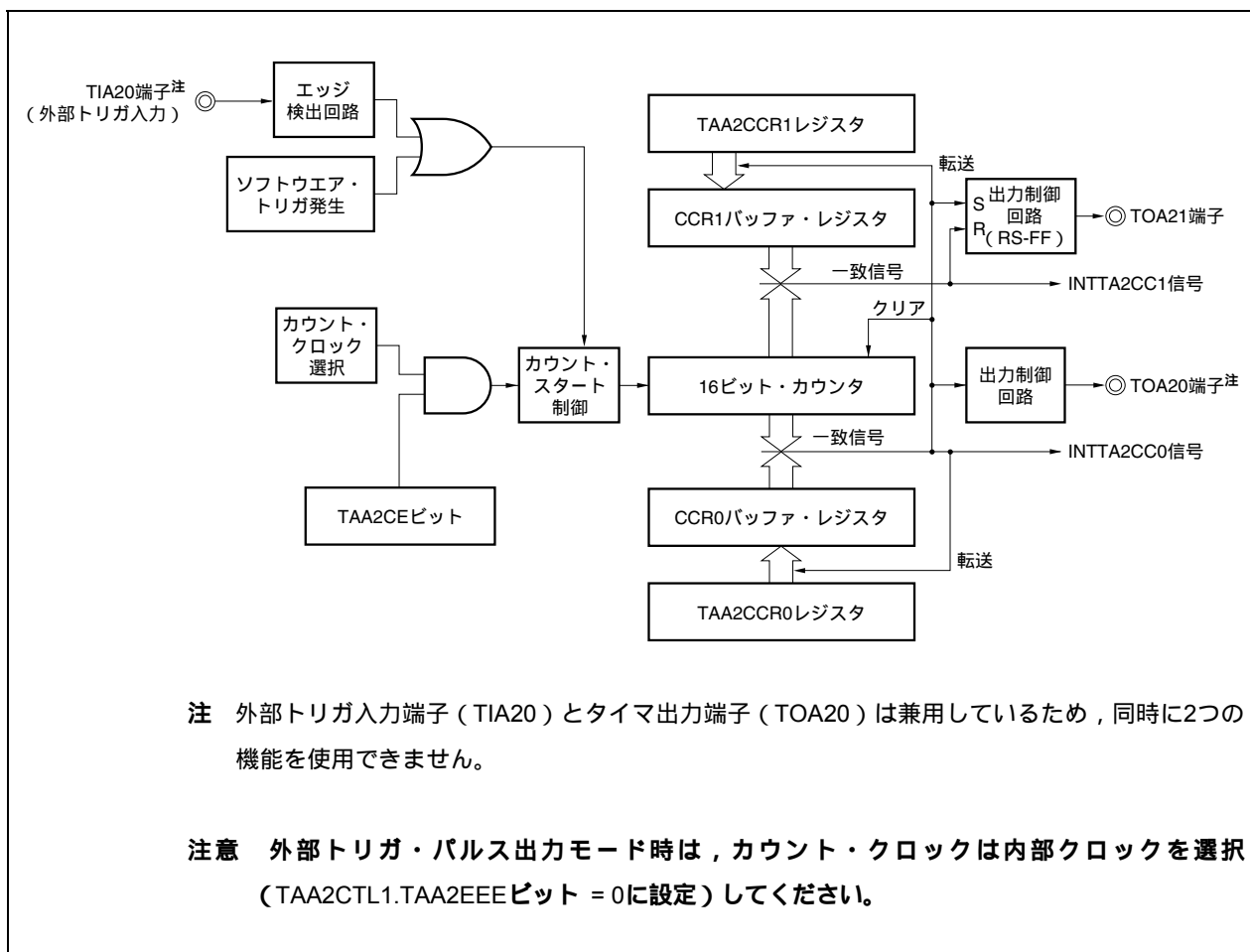
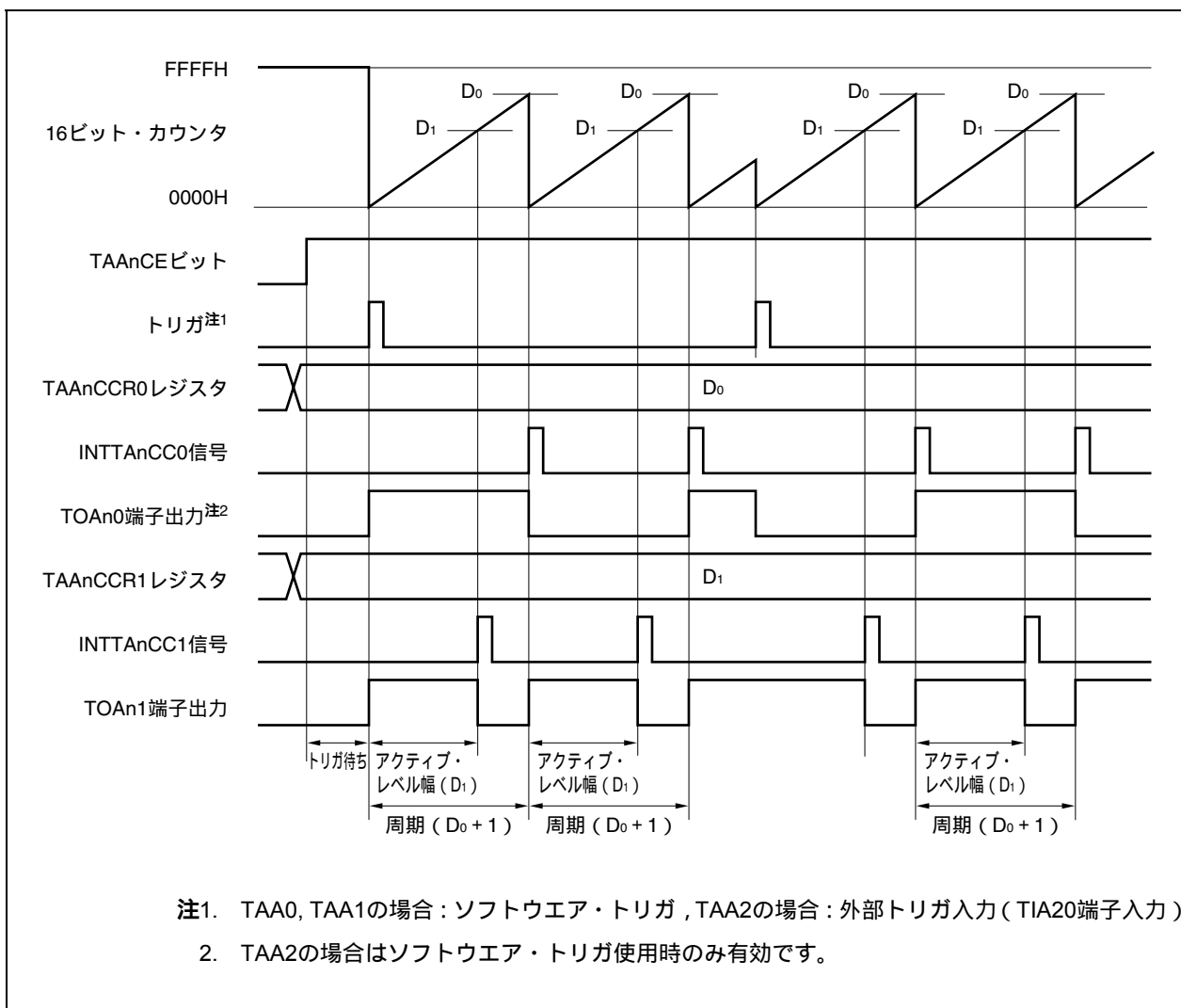


図6-24 外部トリガ・パルス出力モードの基本タイミング



TAA_nCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOAn0端子出力は反転します。TOAn1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TAA_nCCR1レジスタの設定値) × カウント・クロック周期

周期 = (TAA_nCCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TAA_nCCR1レジスタの設定値) / (TAA_nCCR0レジスタの設定値 + 1)

コンペアー一致割り込み要求信号(INTTAA_nCC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号(INTTAA_nCC1)は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAA_nCCR_aレジスタに設定した値は、16ビット・カウンタのカウント値とCCR_aバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR_aバッファ・レジスタに転送されます。

トリガには、外部トリガ入力(TIA20)の有効エッジ、またはソフトウェア・トリガ(TAA_nCTL1.TAA_nESTビット)のセット(1)があります。

備考 n = 0-2

a = 0, 1

図6 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

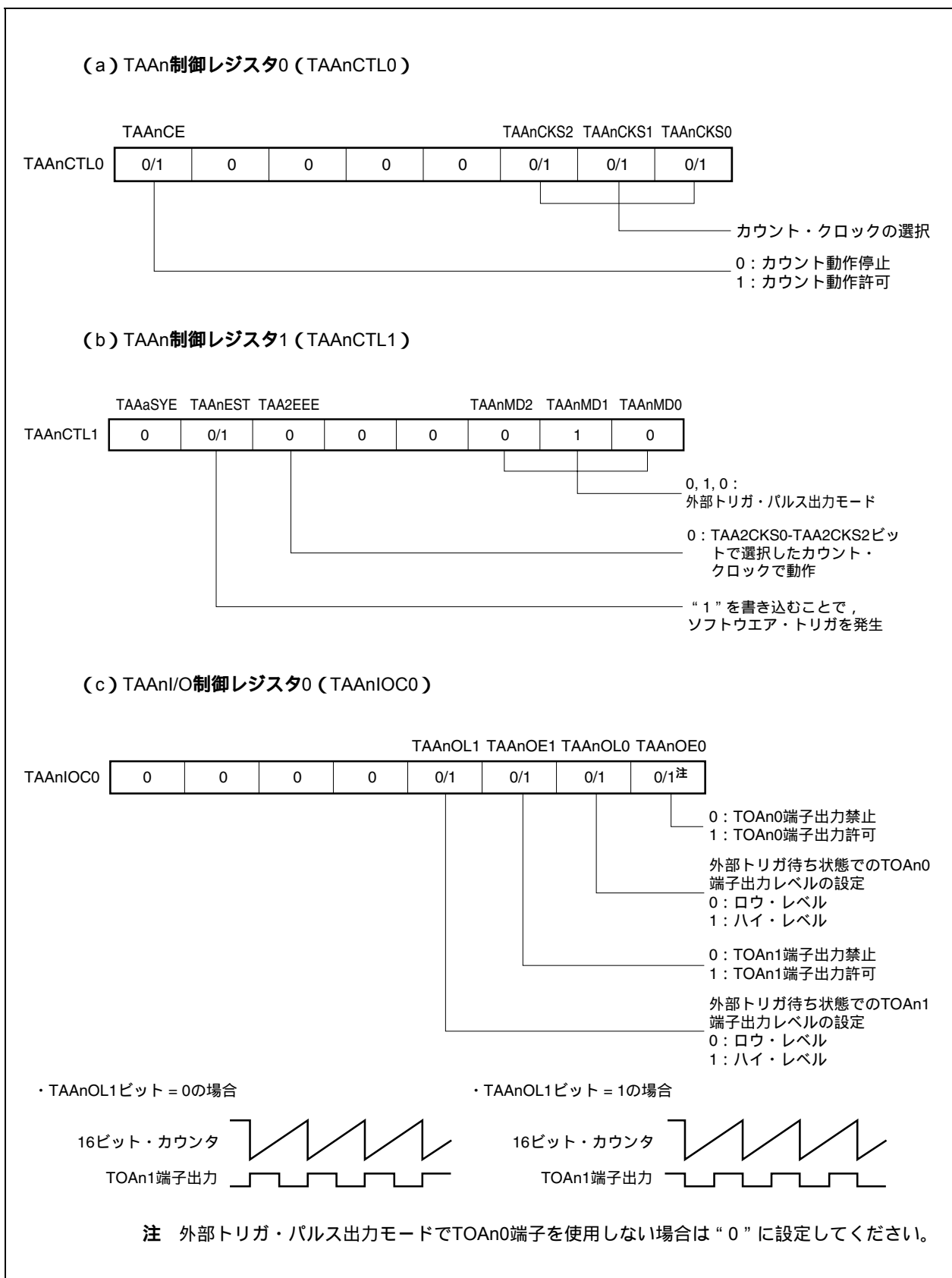
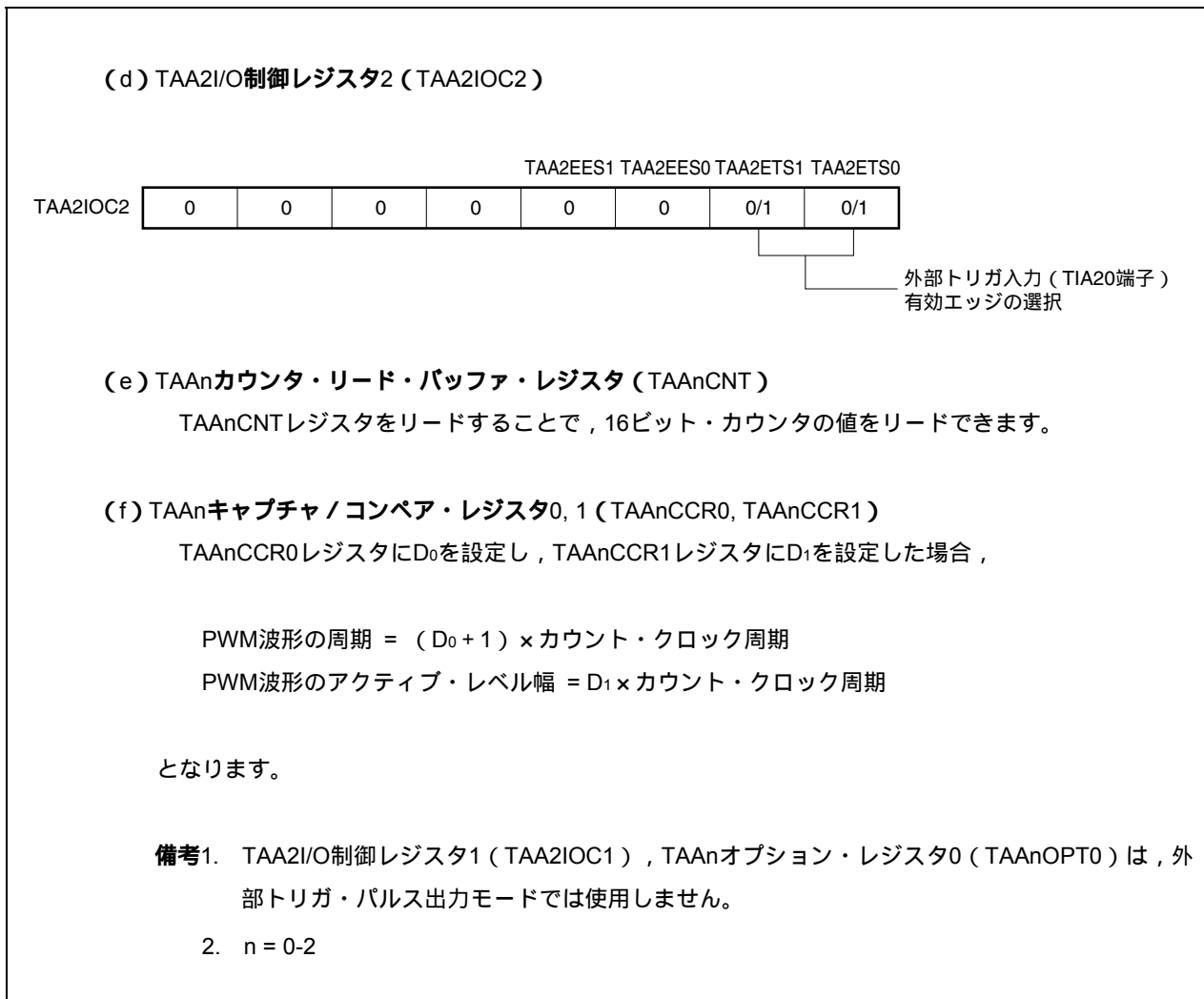


図6 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図6-26 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

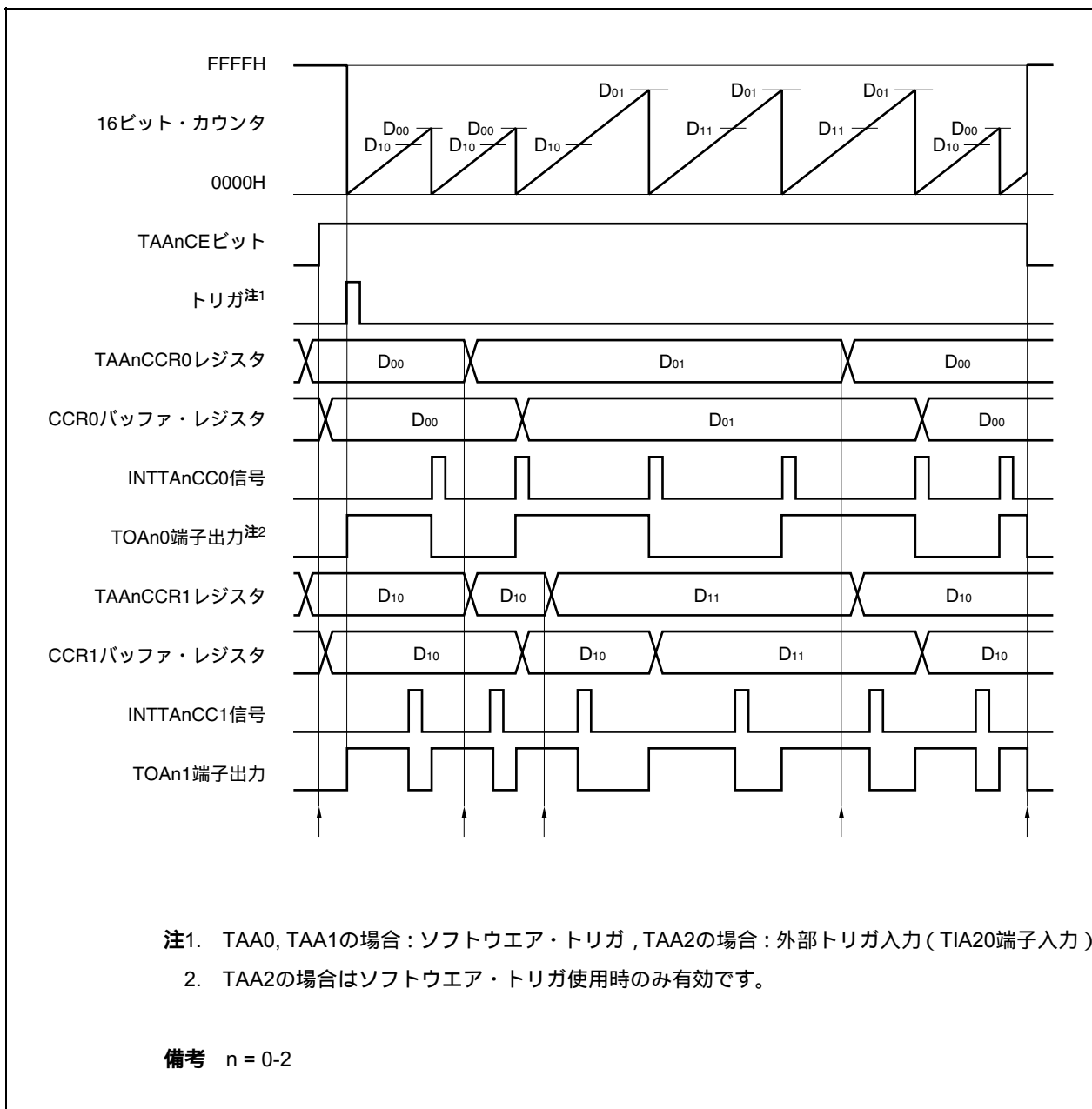
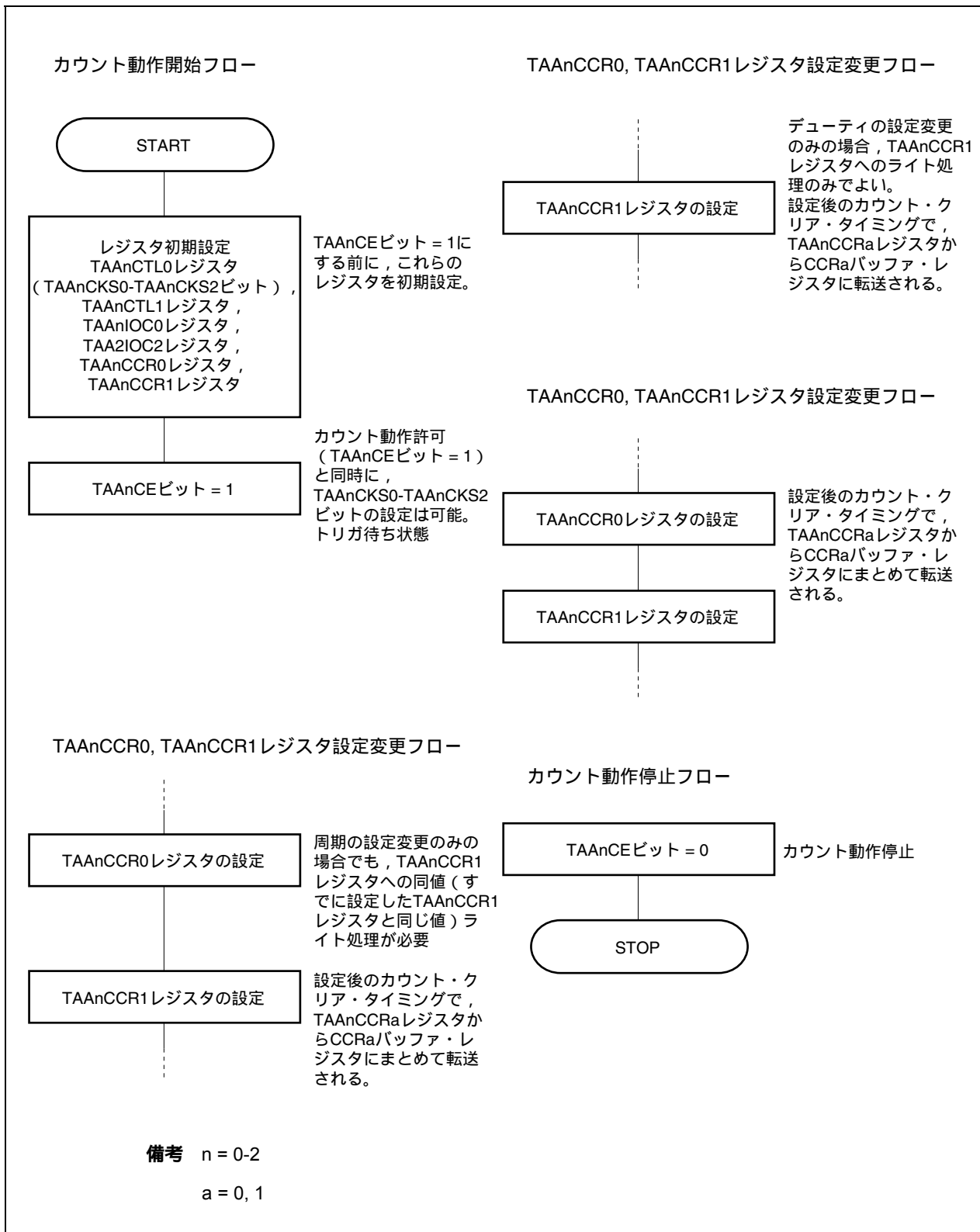


図6 - 26 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

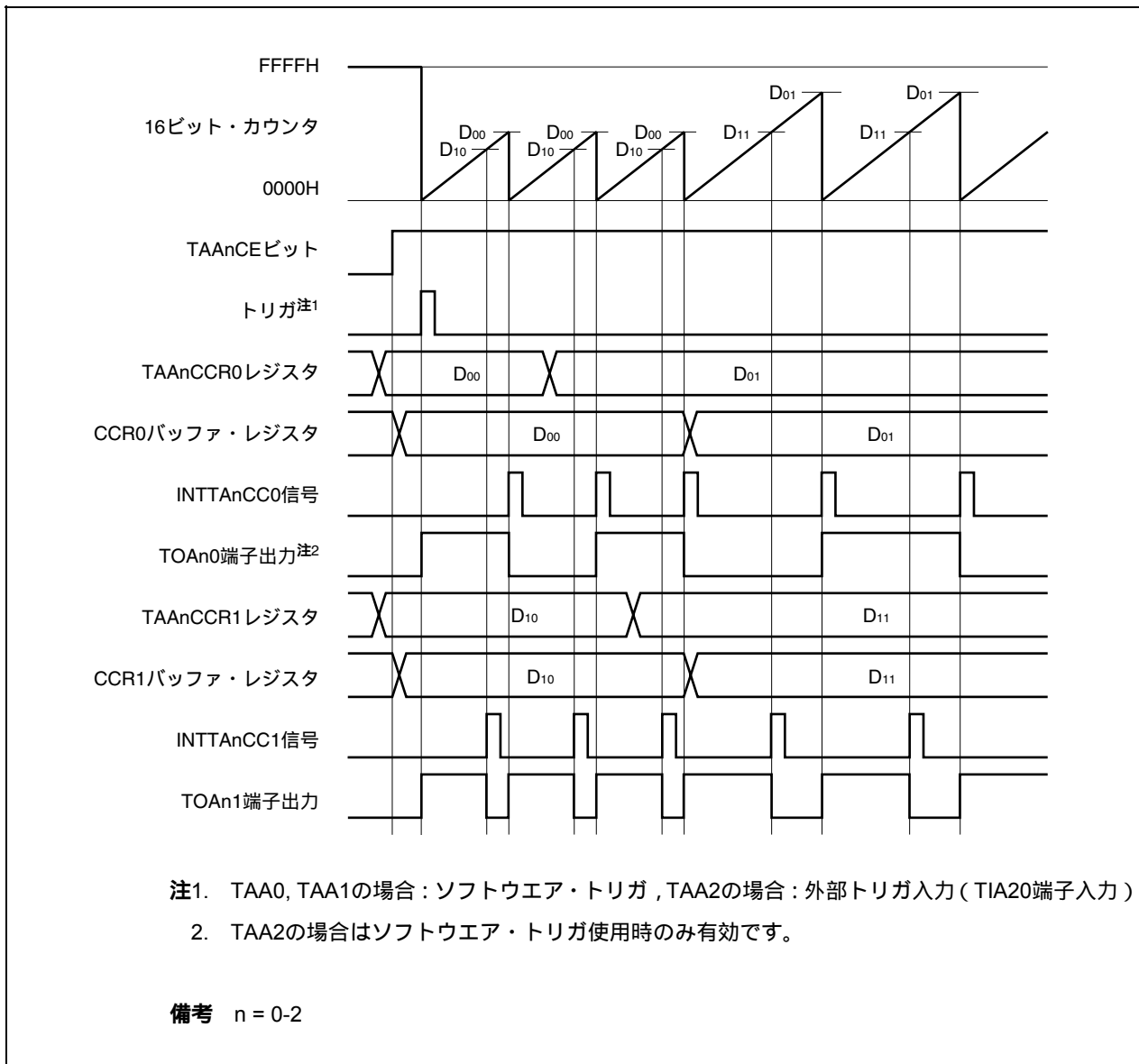


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTAAAnCCR1レジスタにライトしてください。

TAAAnCCR1レジスタにライト後、再度TAAAnCCRnレジスタの書き換えを行う場合には、INTTAAAnCC0信号を検出後に書き換えてください。



TAAAnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタに同値（すでに設定したTAAAnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1レジスタのみの設定でかまいません。

TAAAnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

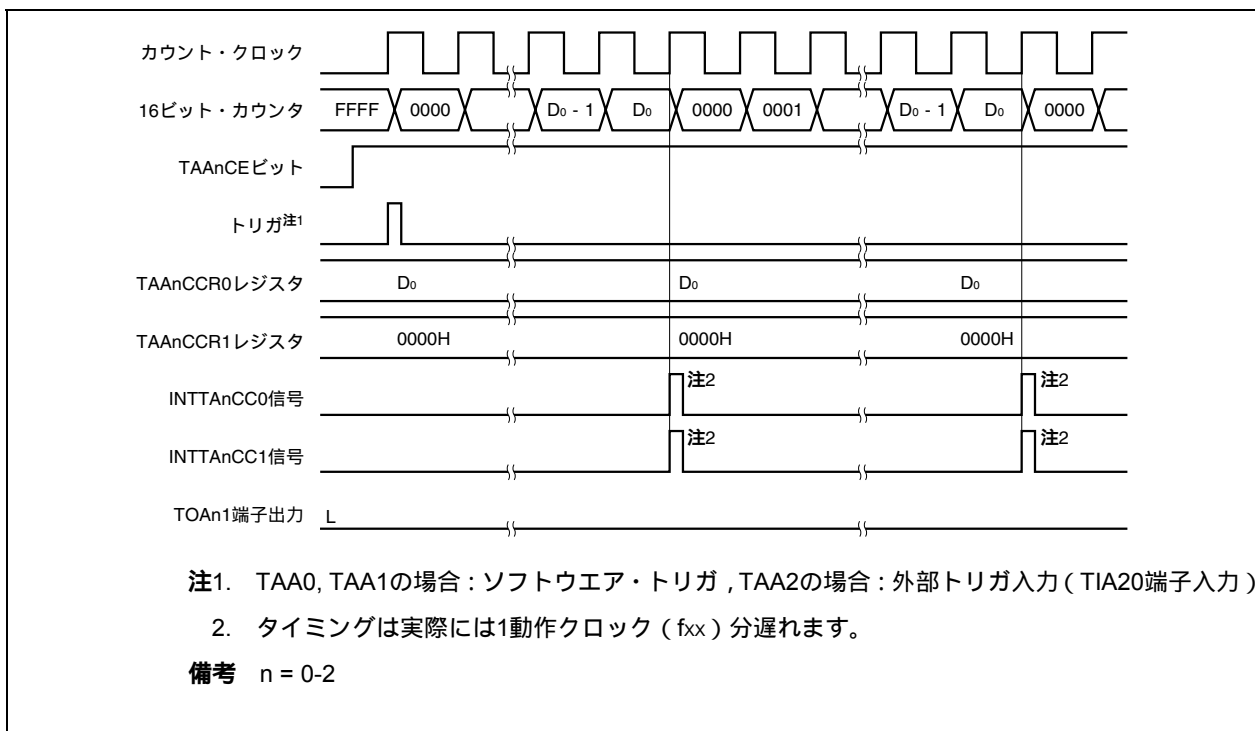
また、一度TAAAnCCR1レジスタにライトしたあとで、再度TAAAnCCR0、またはTAAAnCCR1レジスタへのライトを行う場合は、INTTAAAnCC0信号の発生後に行ってください。これを守れない場合には、TAAAnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TAAAnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-2

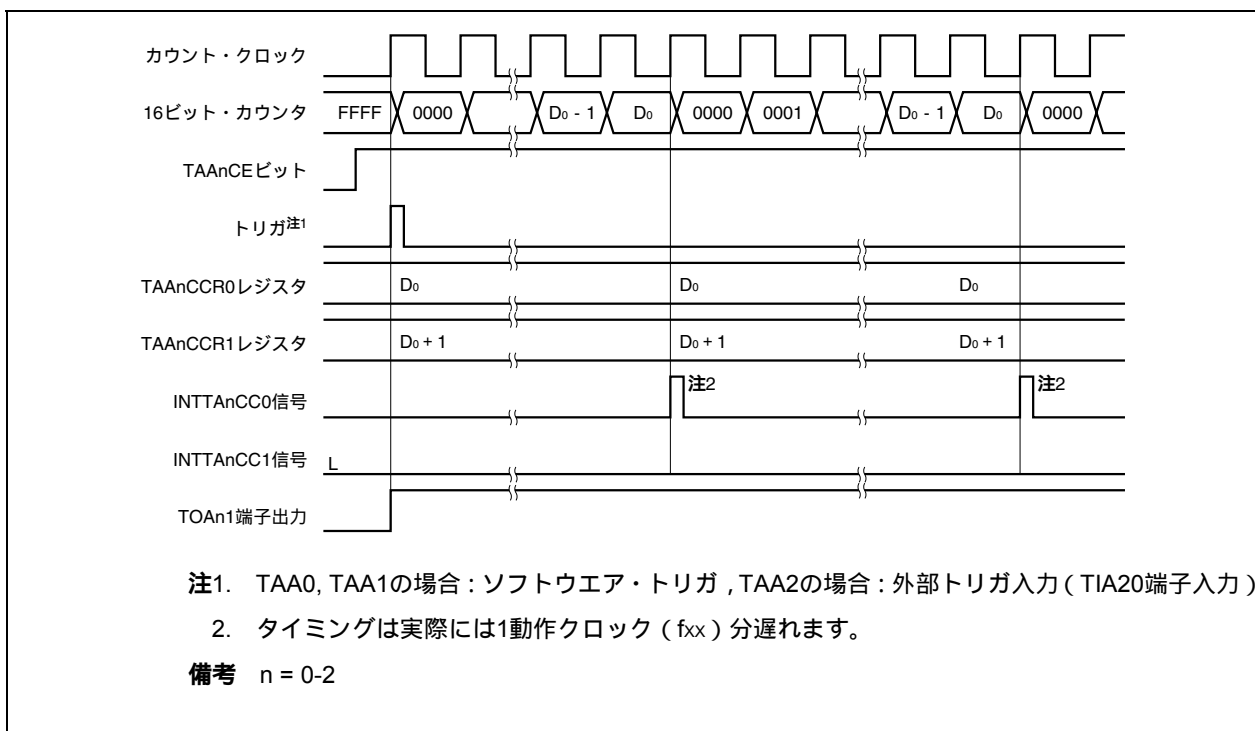
a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TAA_nCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTAA_nCC0信号とINTTAA_nCC1信号が発生します。

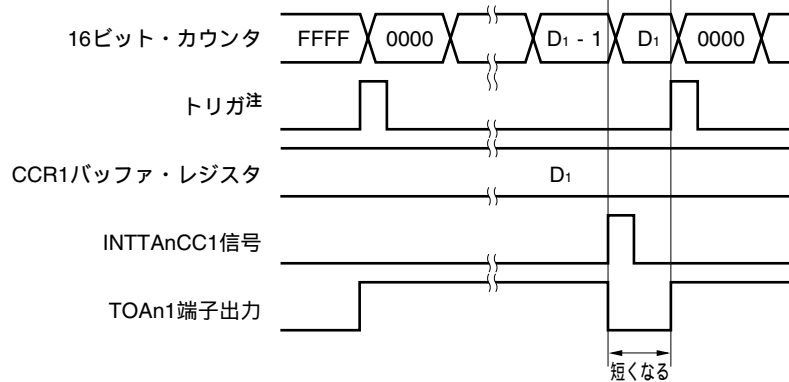


100 % 波形を出力するためには、TAA_nCCR1レジスタに対して (TAA_nCCR0レジスタの設定値 + 1) の値を設定してください。TAA_nCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

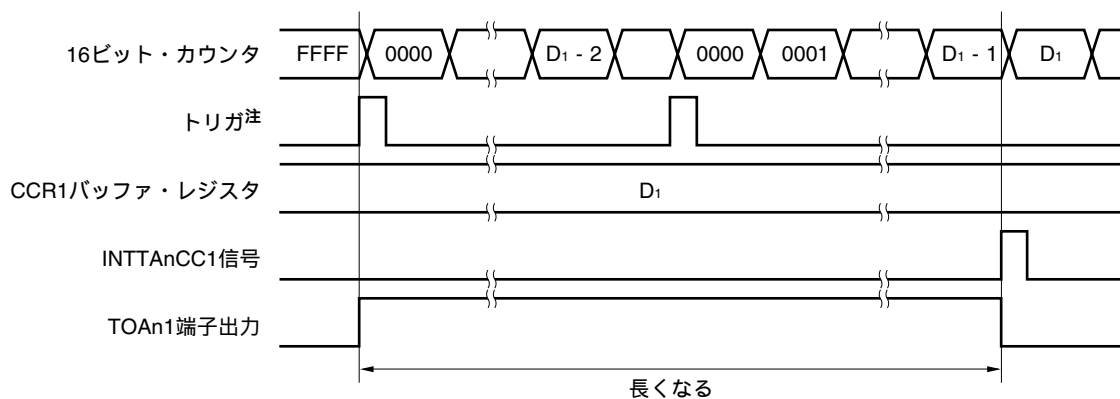
INTTAnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOAn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。



注 TAA0, TAA1の場合：ソフトウェア・トリガ，TAA2の場合：外部トリガ入力（TIA20端子入力）

備考 n = 0-2

INTTAnCC1信号発生直前にトリガを検出した場合には、INTTAnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOAn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

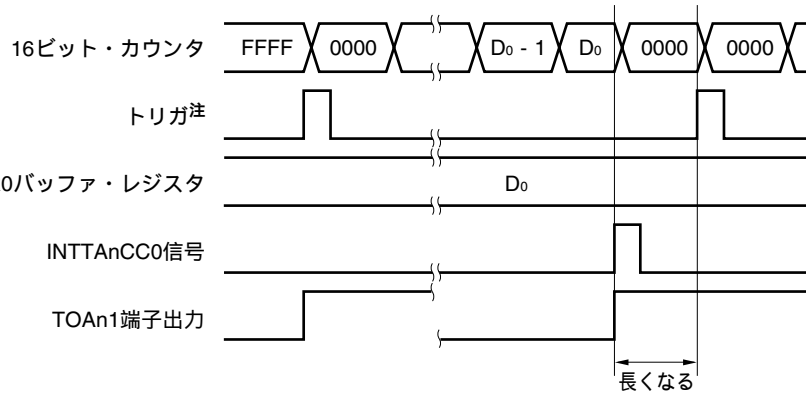


注 TAA0, TAA1の場合：ソフトウェア・トリガ，TAA2の場合：外部トリガ入力（TIA20端子入力）

備考 n = 0-2

(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

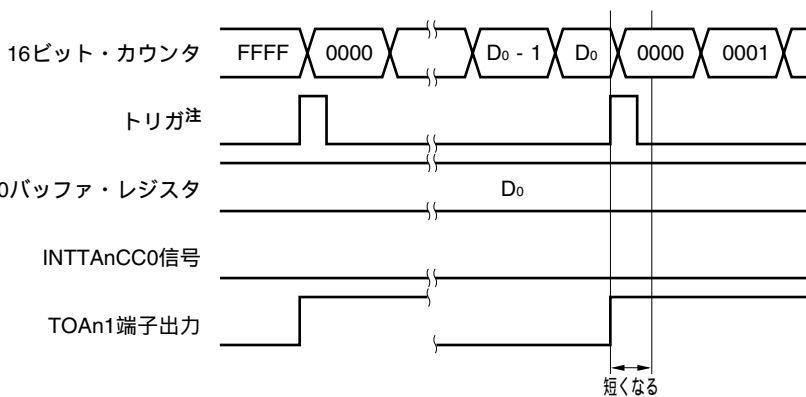
INTTAnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOAn1端子出力のアクティブ期間が、INTTAnCC0信号発生からトリガ検出までの分だけ長くなります。



注 TAA0, TAA1の場合：ソフトウェア・トリガ，TAA2の場合：外部トリガ入力（TIA20端子入力）

備考 n = 0-2

INTTAnCC0信号発生直前にトリガを検出した場合、INTTAnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOAn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。

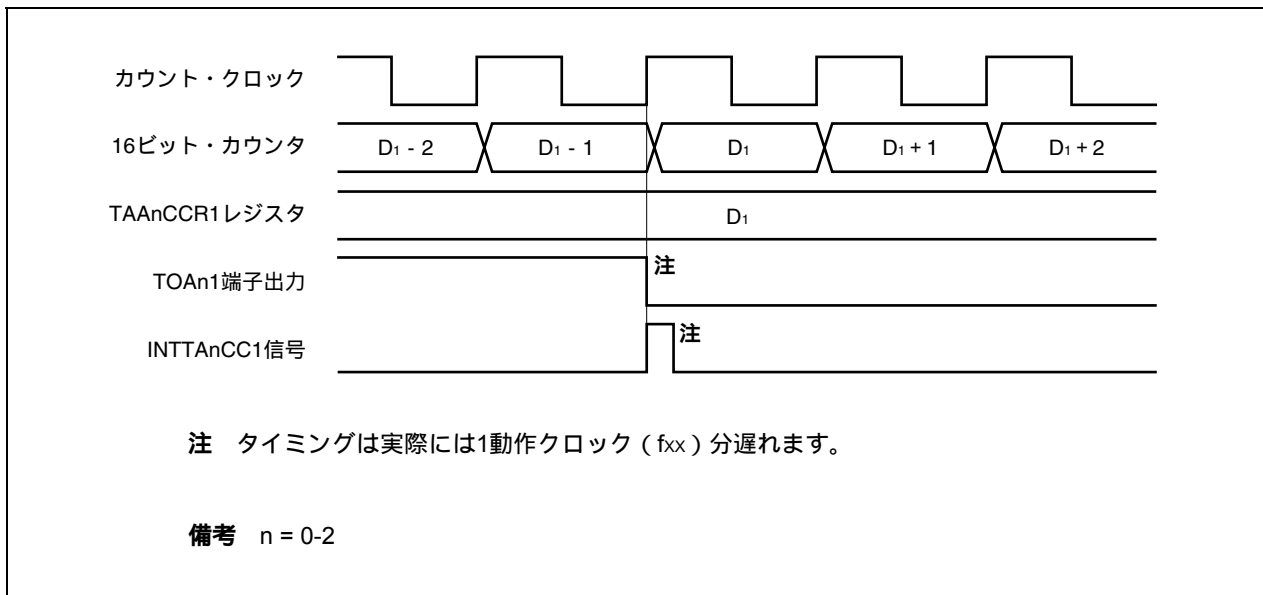


注 TAA0, TAA1の場合：ソフトウェア・トリガ，TAA2の場合：外部トリガ入力（TIA20端子入力）

備考 n = 0-2

(e) コンペアー一致割り込み要求信号 (INTTAnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTAnCC1信号の発生タイミングは、ほかのモードのINTTAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.6.4 ワンショット・パルス出力モード (TAA_nMD2-TAA_nMD0ビット = 011)

ワンショット・パルス出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでトリガ待ち状態となります。

TAA0, TAA1の場合、ソフトウェア・トリガを検出すると、カウント動作を開始し、TOAk1端子からワンショット・パルスを出力します。また、TOAk0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

TAA2の場合、外部トリガ入力(TIA20)の有効エッジを検出すると、カウント動作を開始し、TOA21端子からワンショット・パルスを出力します。外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOA20端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図6-27 TAA0, TAA1のワンショット・パルス出力モードの構成図

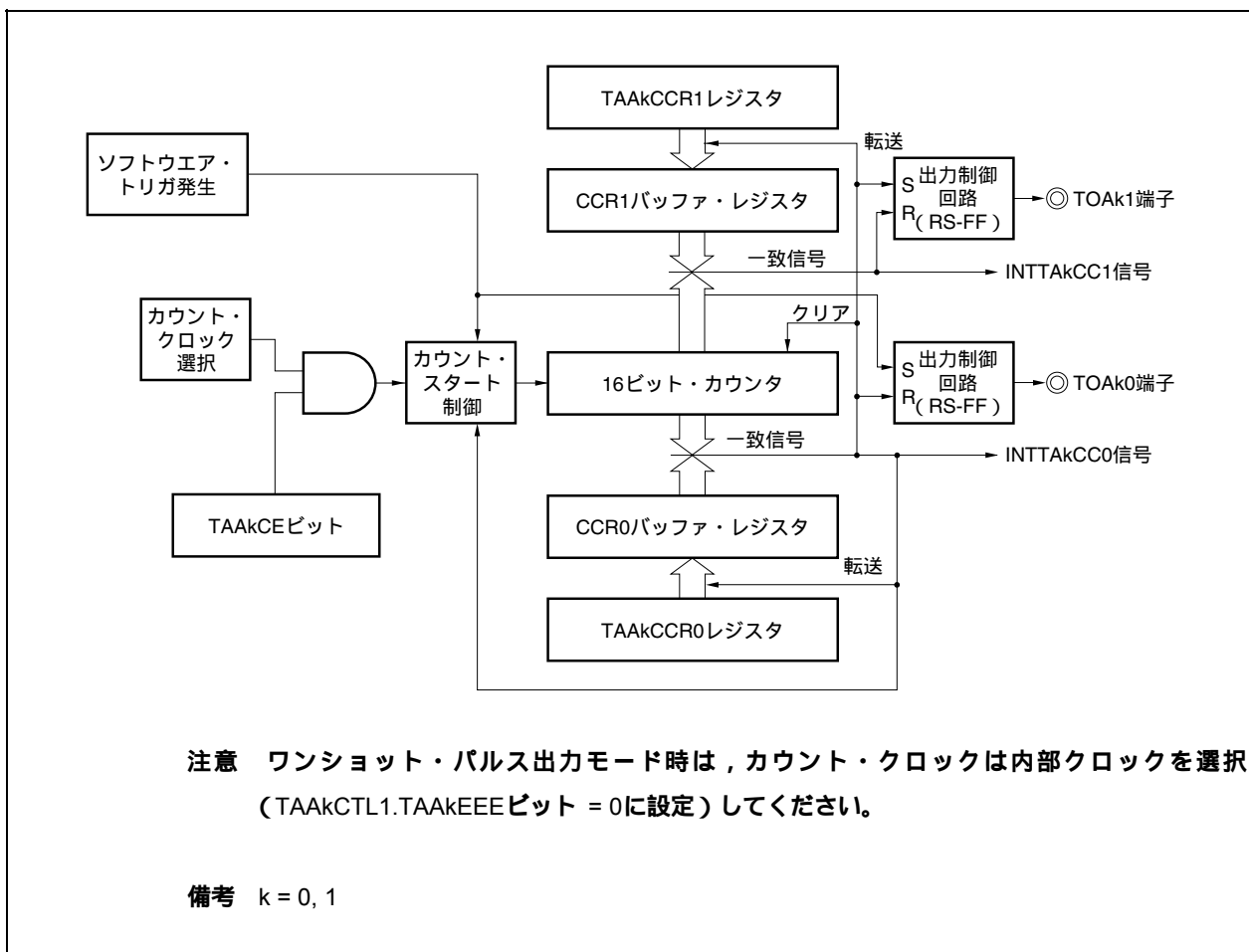


図6-28 TAA2のワンショット・パルス出力モードの構成図

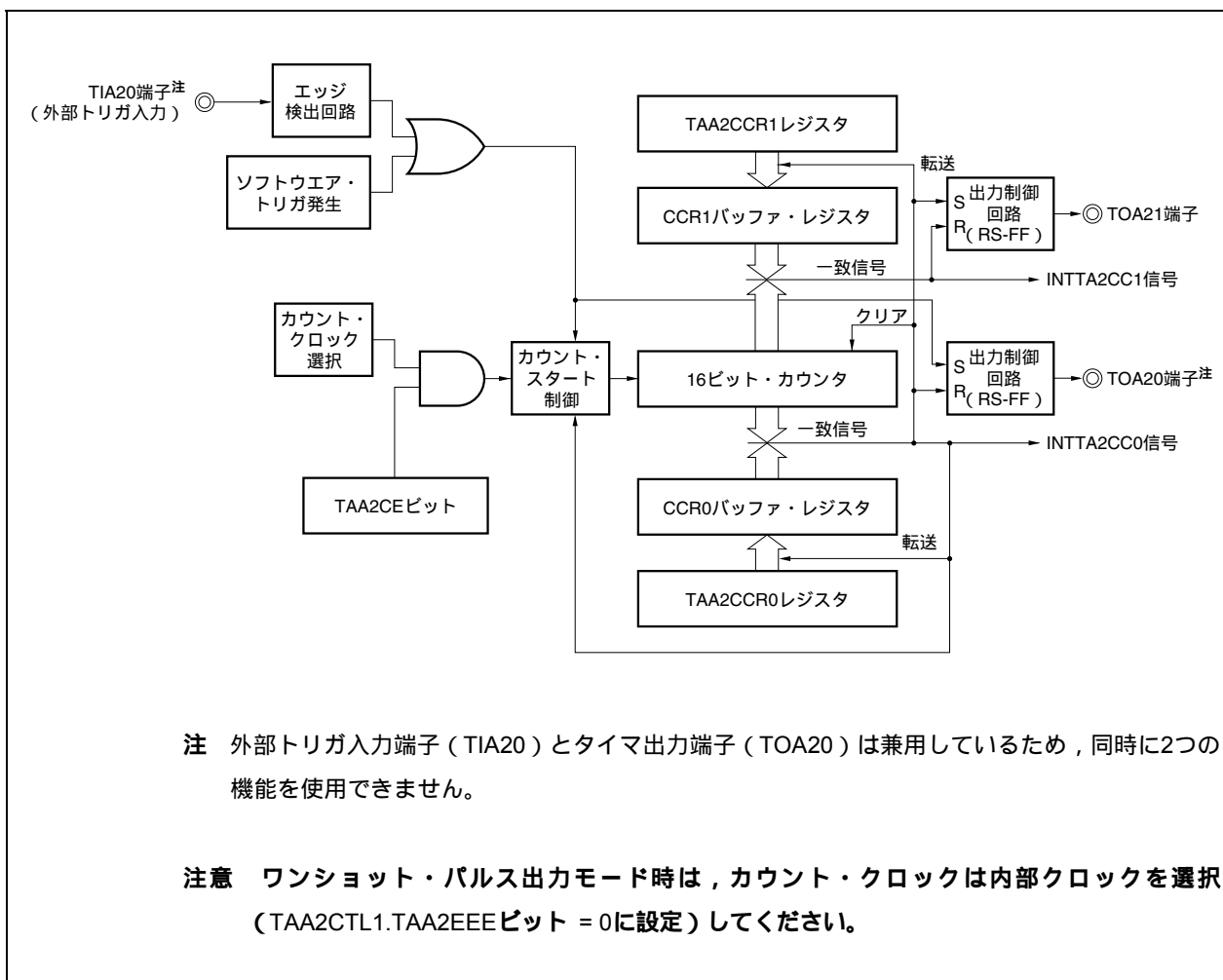
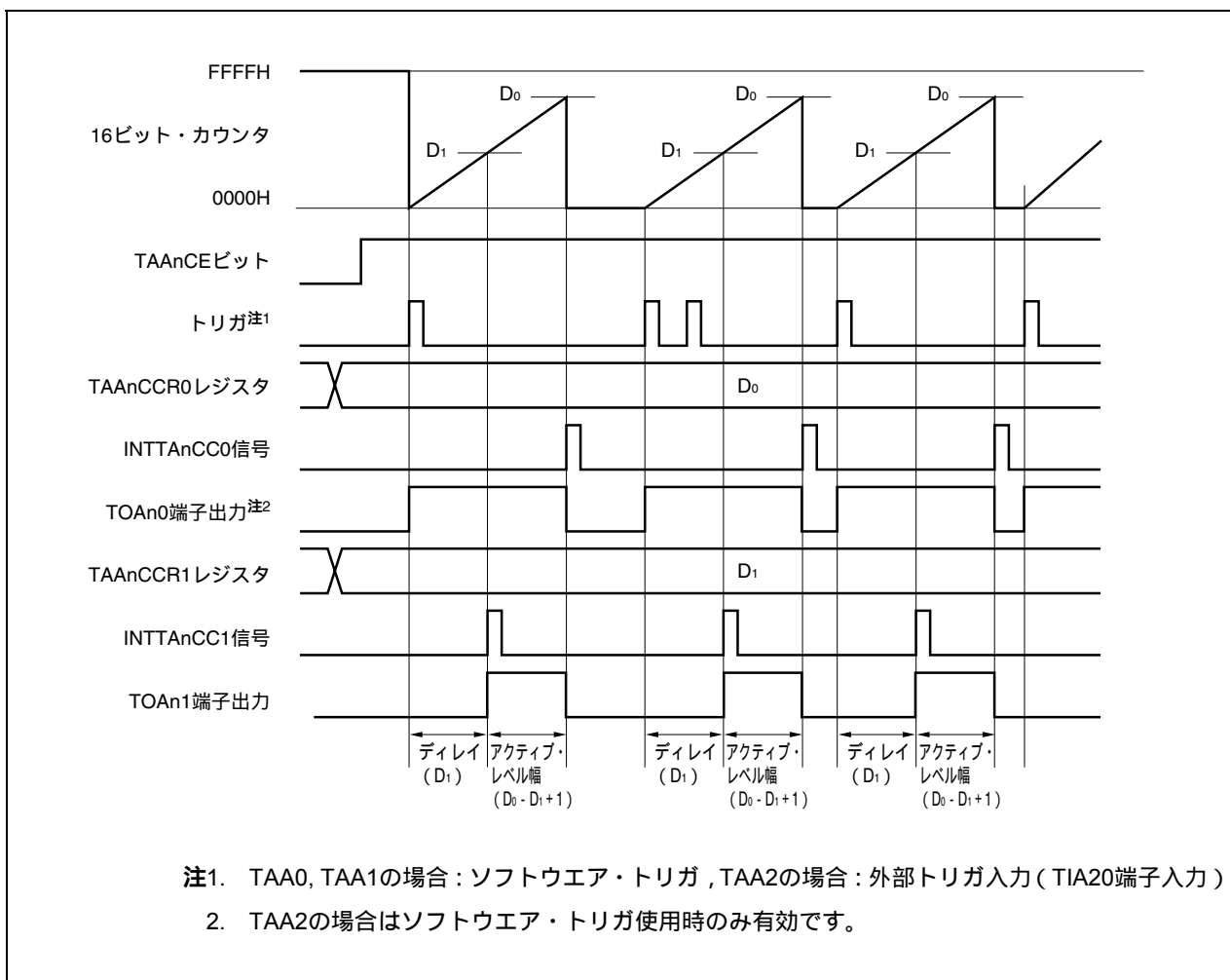


図6 - 29 ワンショット・パルス出力モードの基本タイミング



TAAAnCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOAn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウンタ動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウンタ動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR0レジスタの設定値} - \text{TAAAnCCR1レジスタの設定値} + 1) \\ \times \text{カウンタ・クロック周期}$$

コンパレー一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生します。コンパレー一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TIA20端子) の有効エッジ、またはソフトウェア・トリガ (TAAAnCTL1.TAAAnESTビット) のセット (1) があります。

備考 n = 0-2

図6 - 30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

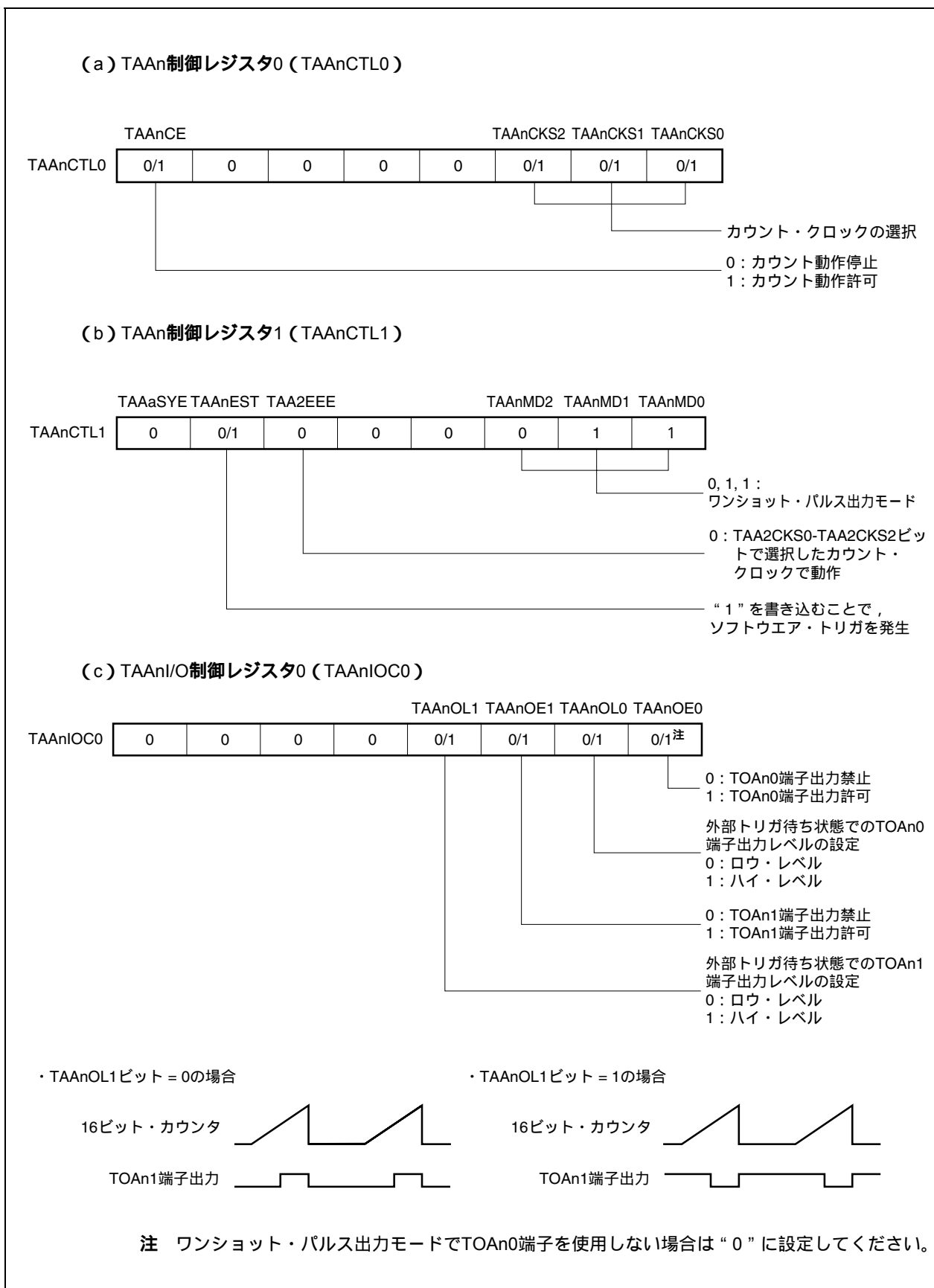
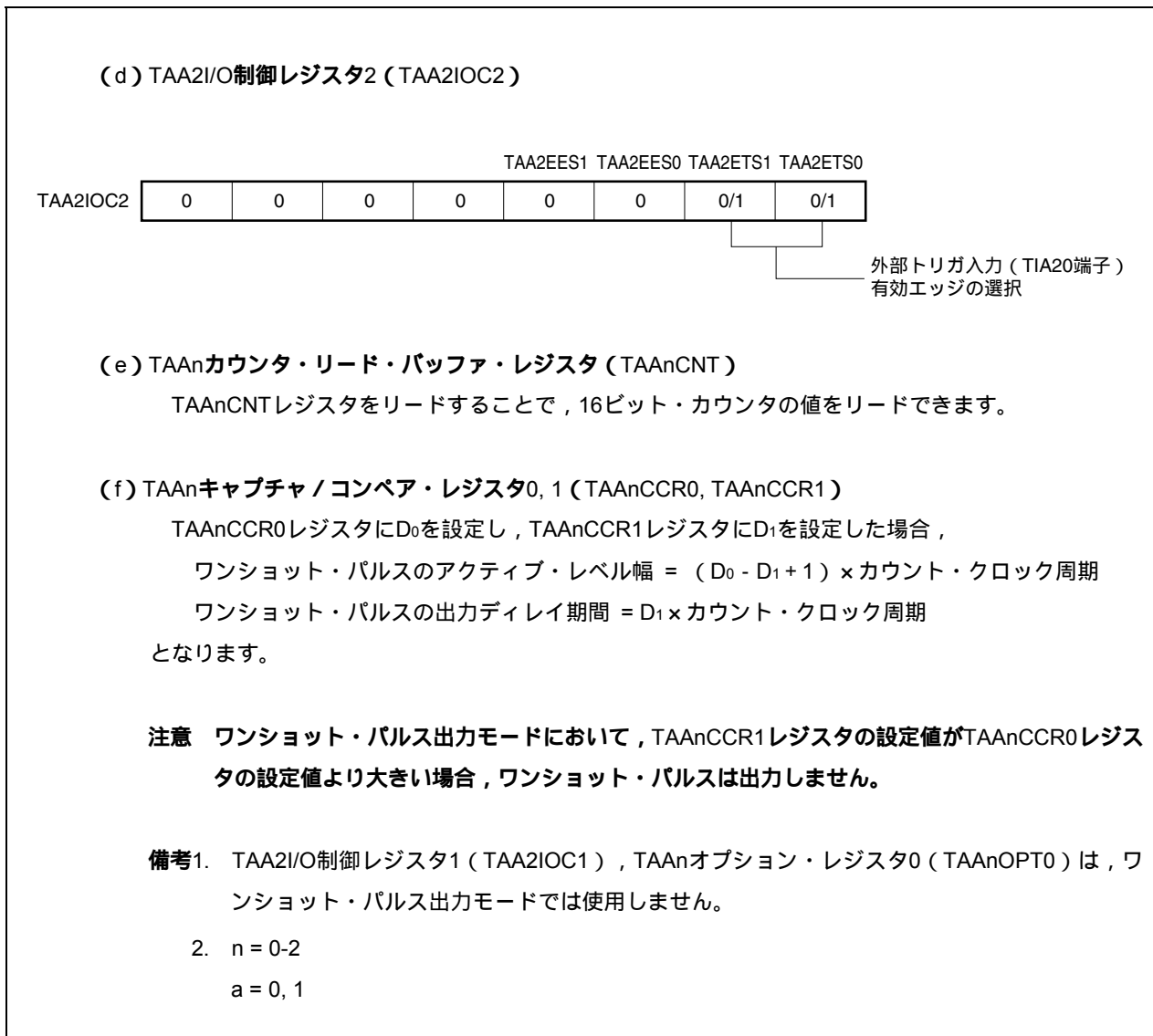


図6 - 30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

図6 - 31 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

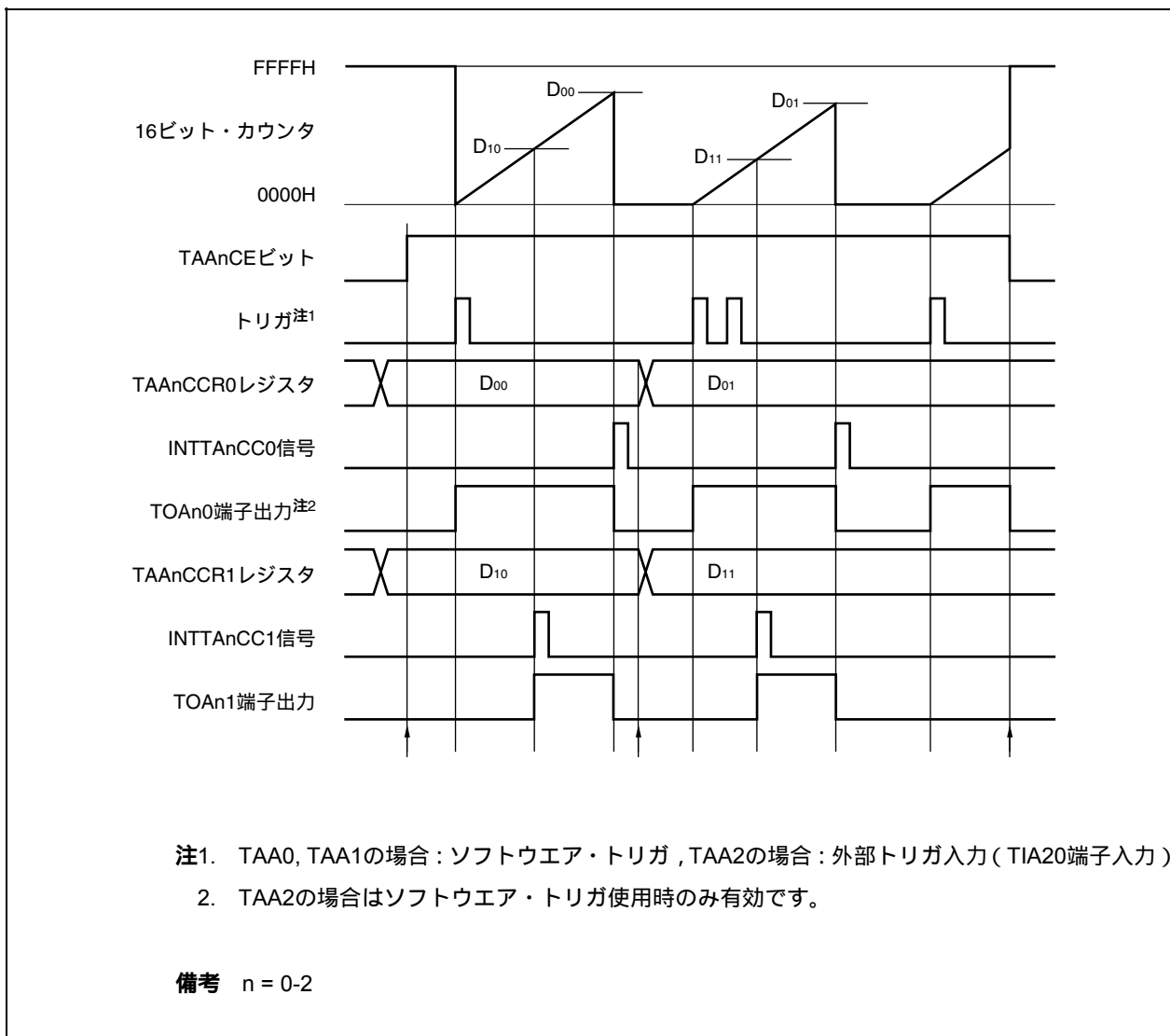
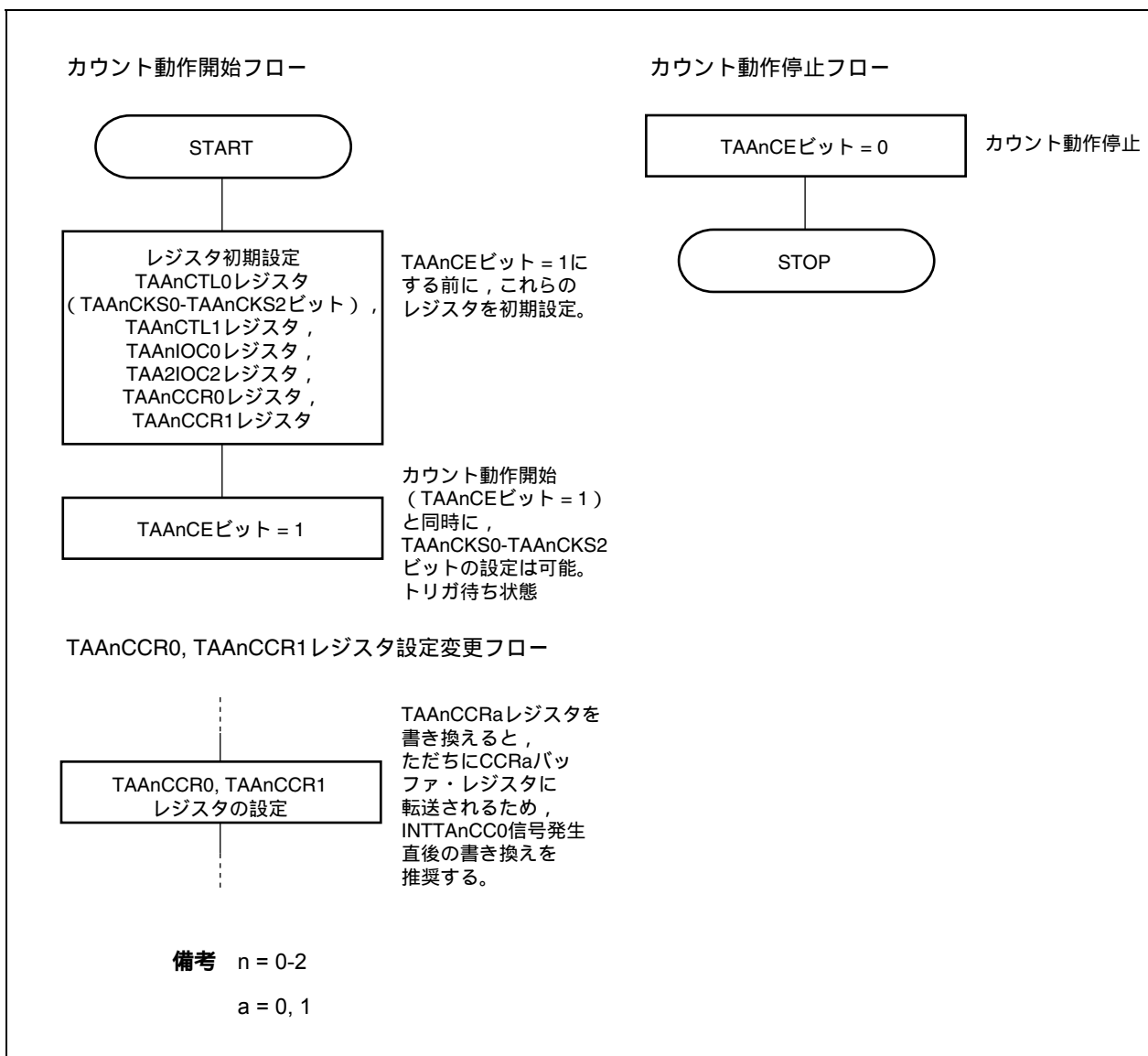


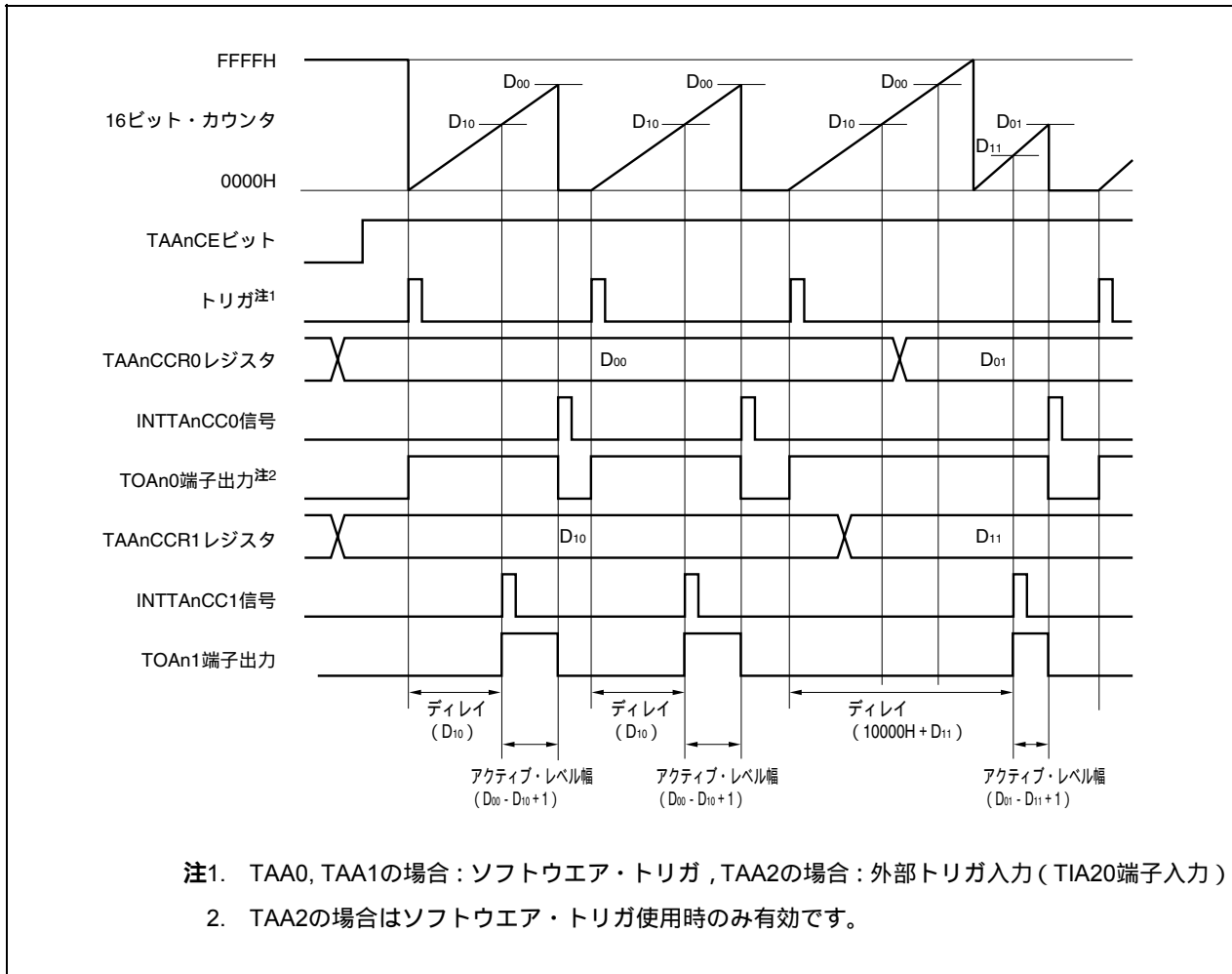
図6 - 31 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) ワンショット・パルス出力モード動作タイミング

(a) TAAAnCCRaレジスタの書き換えに関する注意事項

カウント動作中にTAAAnCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TAAAnCCR0レジスタをD₀₀からD₀₁に, TAAAnCCR1レジスタをD₁₀からD₁₁に書き換える場合において, D₀₀ > D₀₁, D₁₀ > D₁₁の状態では、16ビット・カウンタのカウンタ値がD₁₁よりも大きくD₁₀よりも小さい状態のときTAAAnCCR1レジスタを書き換え、カウンタ値がD₀₁よりも大きくD₀₀よりも小さい状態でTAAAnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D₁₁との一致でINTTAnCC1信号を発生してTOAn1端子出力をアクティブ・レベルにし、D₀₁との一致でINTTAnCC0信号を発生してTOAn1端子出力をインアクティブにしてカウント動作を停止します。

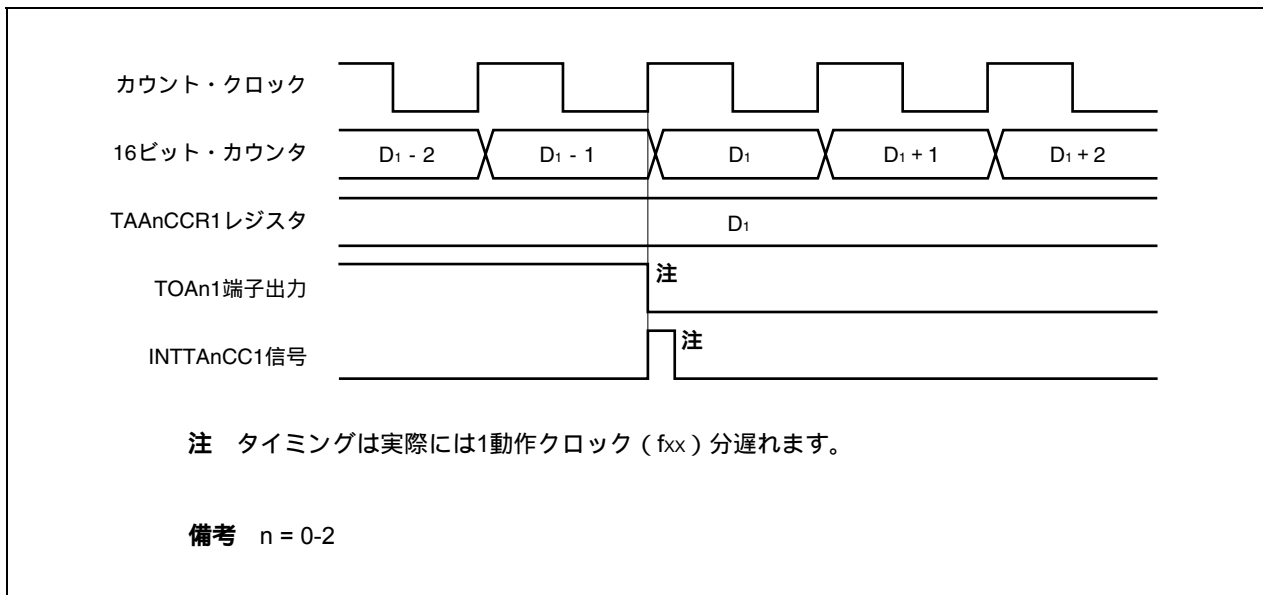
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-2

a = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTAnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTAnCC1信号の発生タイミングは、ほかのモードのINTTAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.6.5 PWM出力モード (TAA_nMD2-TAA_nMD0ビット = 100)

PWM出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、TOA_n1端子からPWM波形を出力します。

また、TOA_n0端子から、TAA_nCCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力します。

図6-32 TAA0, TAA1のPWM出力モードの構成図

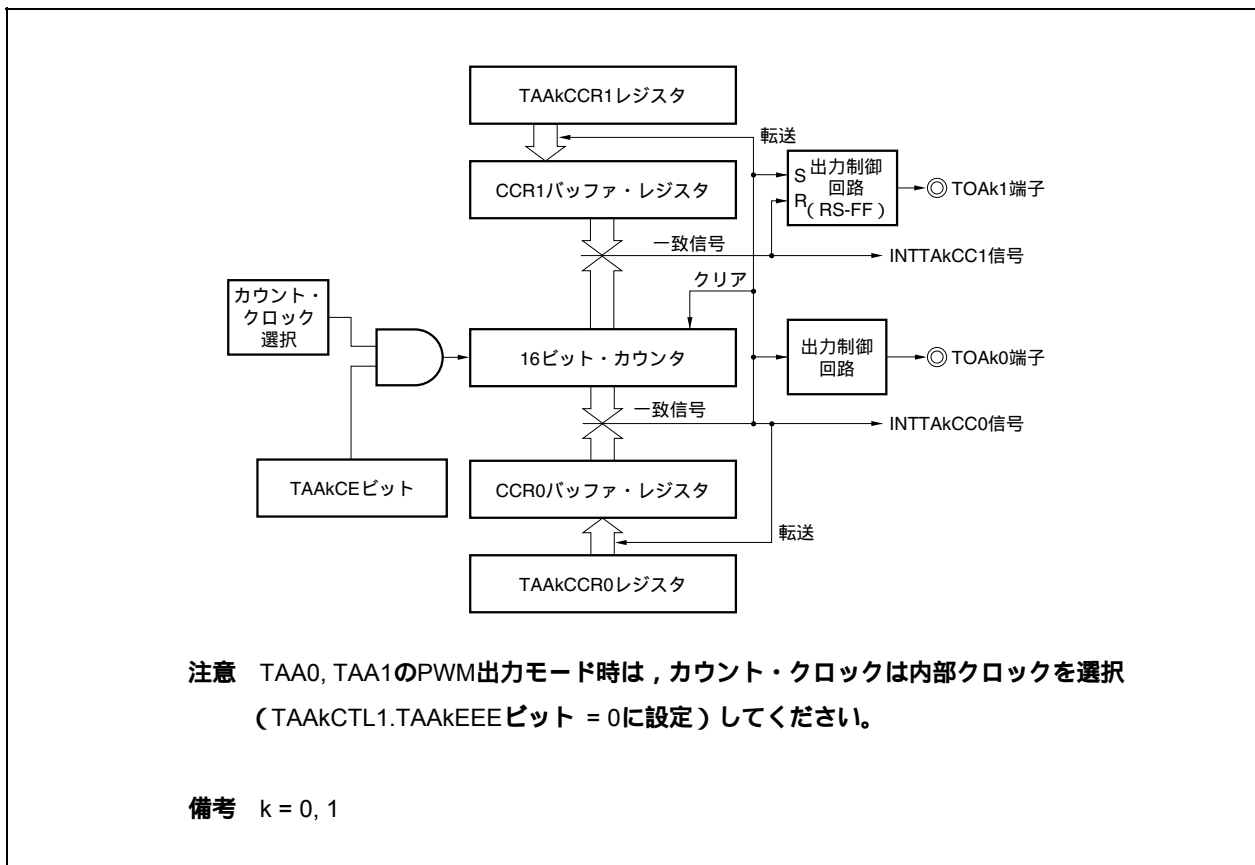


図6 - 33 TAA2のPWM出力モードの構成図

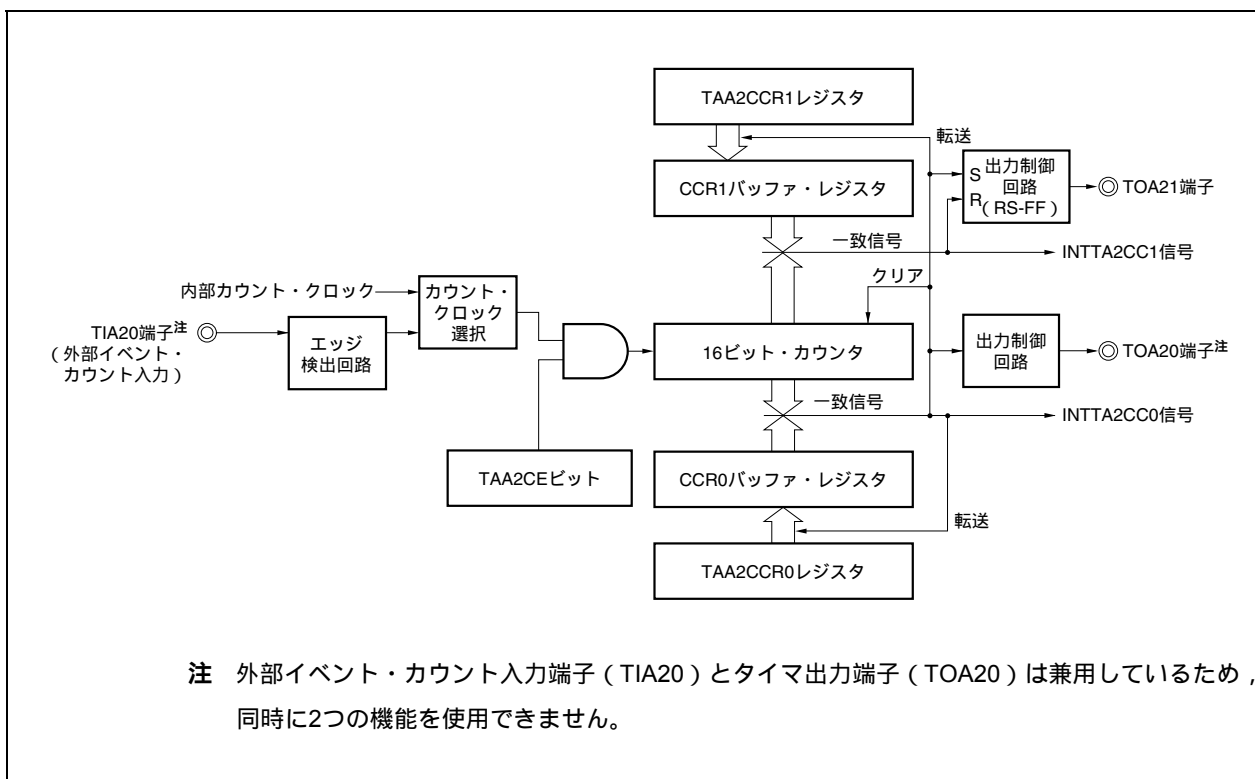
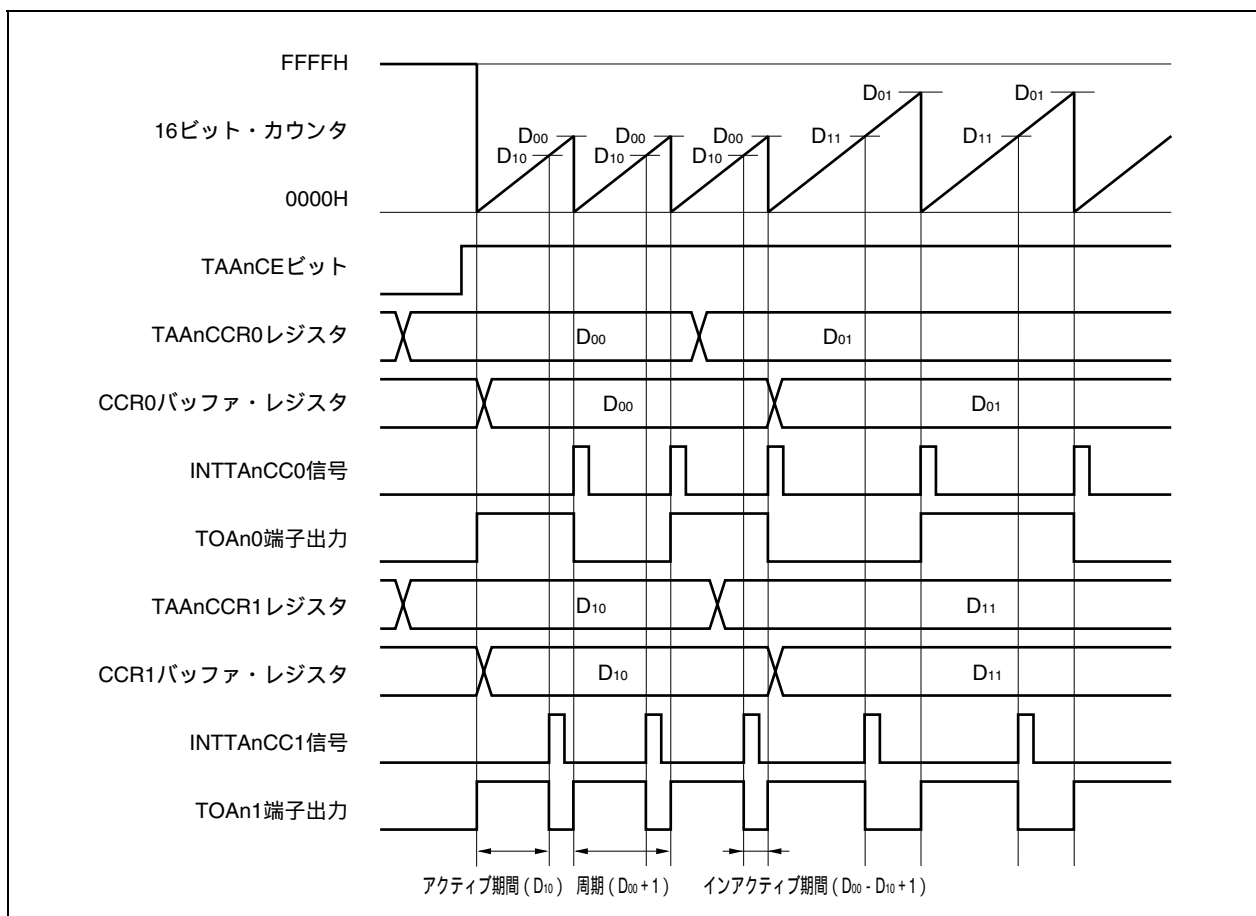


図6-34 PWM出力モードの基本タイミング



TAAAnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOAn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TAAAnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TAAAnCCR1レジスタの設定値}) / (\text{TAAAnCCR0レジスタの設定値} + 1)$$

動作中にTAAAnCCR_aレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパア一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパア一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCR_aレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCR_aバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR_aバッファ・レジスタに転送されます。

備考 n = 0-2

a = 0, 1

図6 - 35 PWM出力モード動作時のレジスタ設定内容 (1/2)

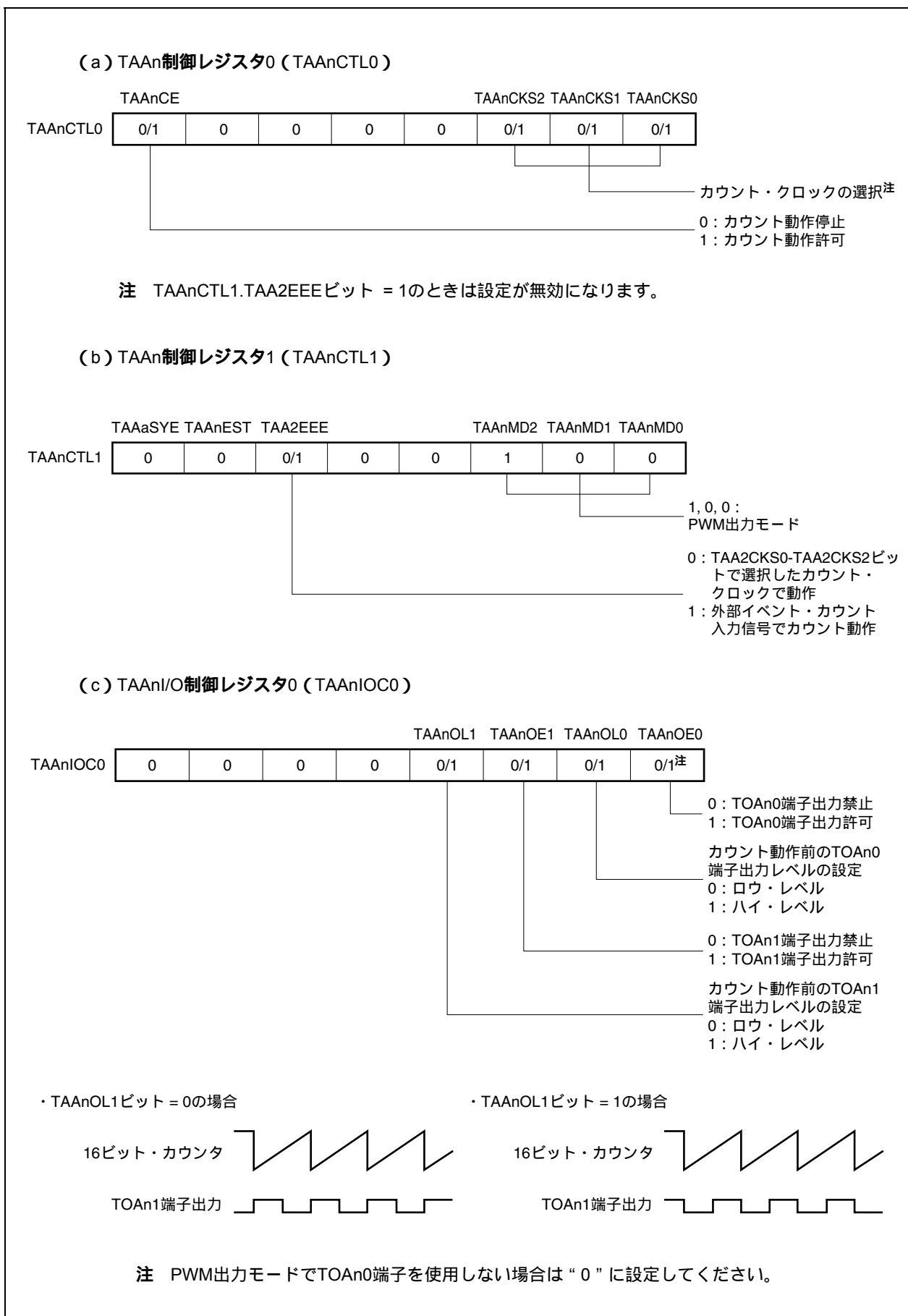
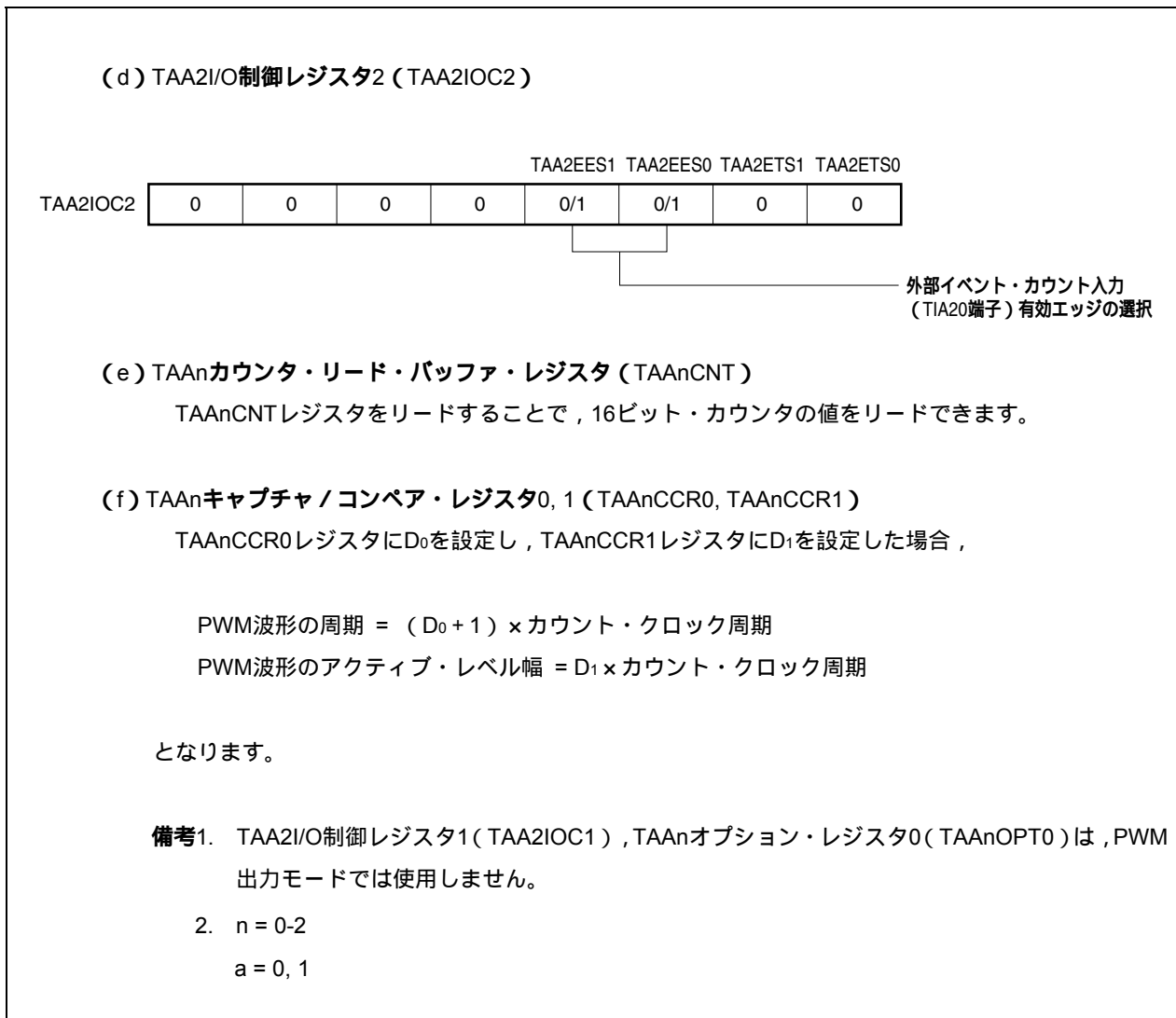


図6 - 35 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図6 - 36 PWM出力モード使用時のソフトウェア処理フロー (1/2)

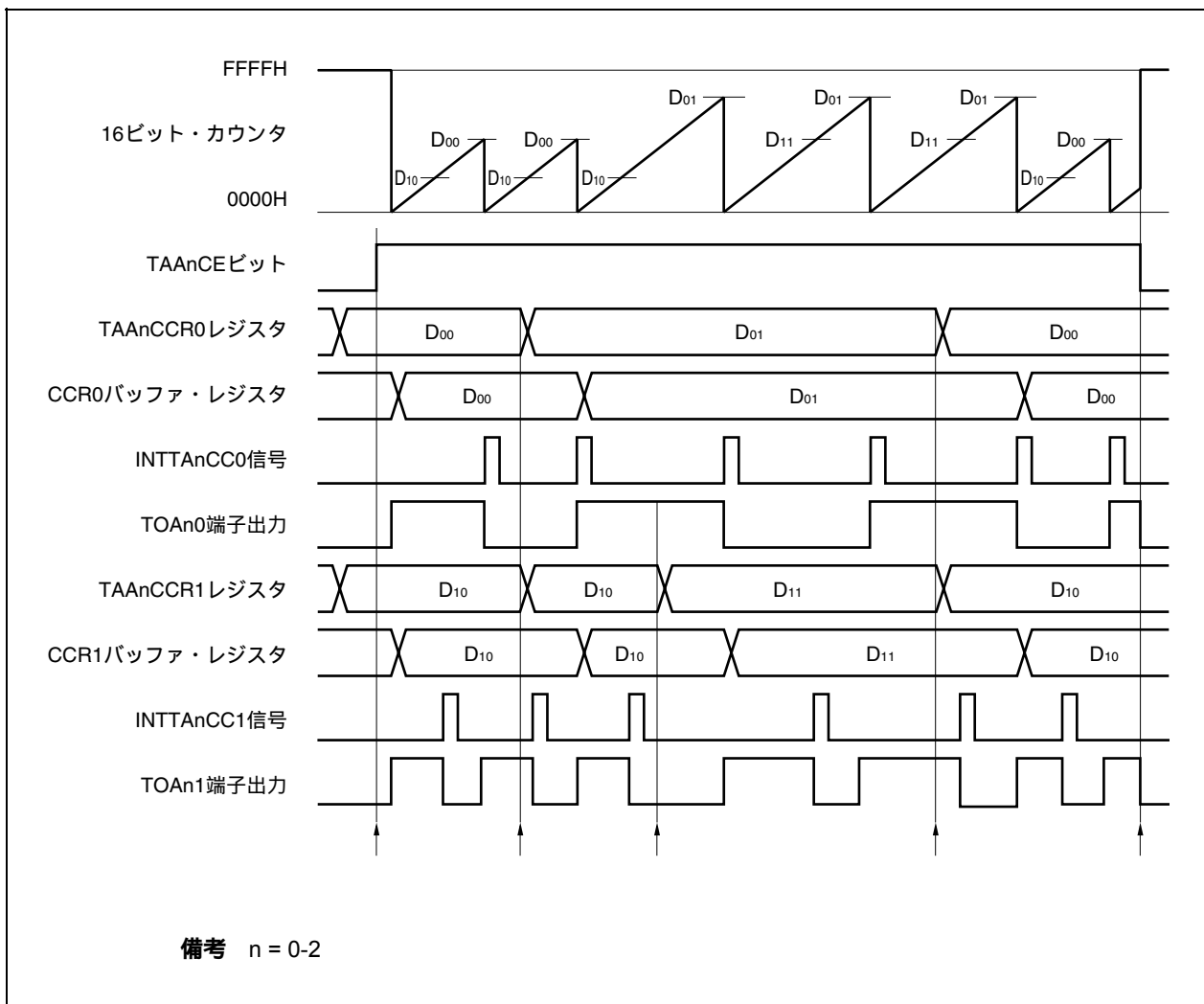
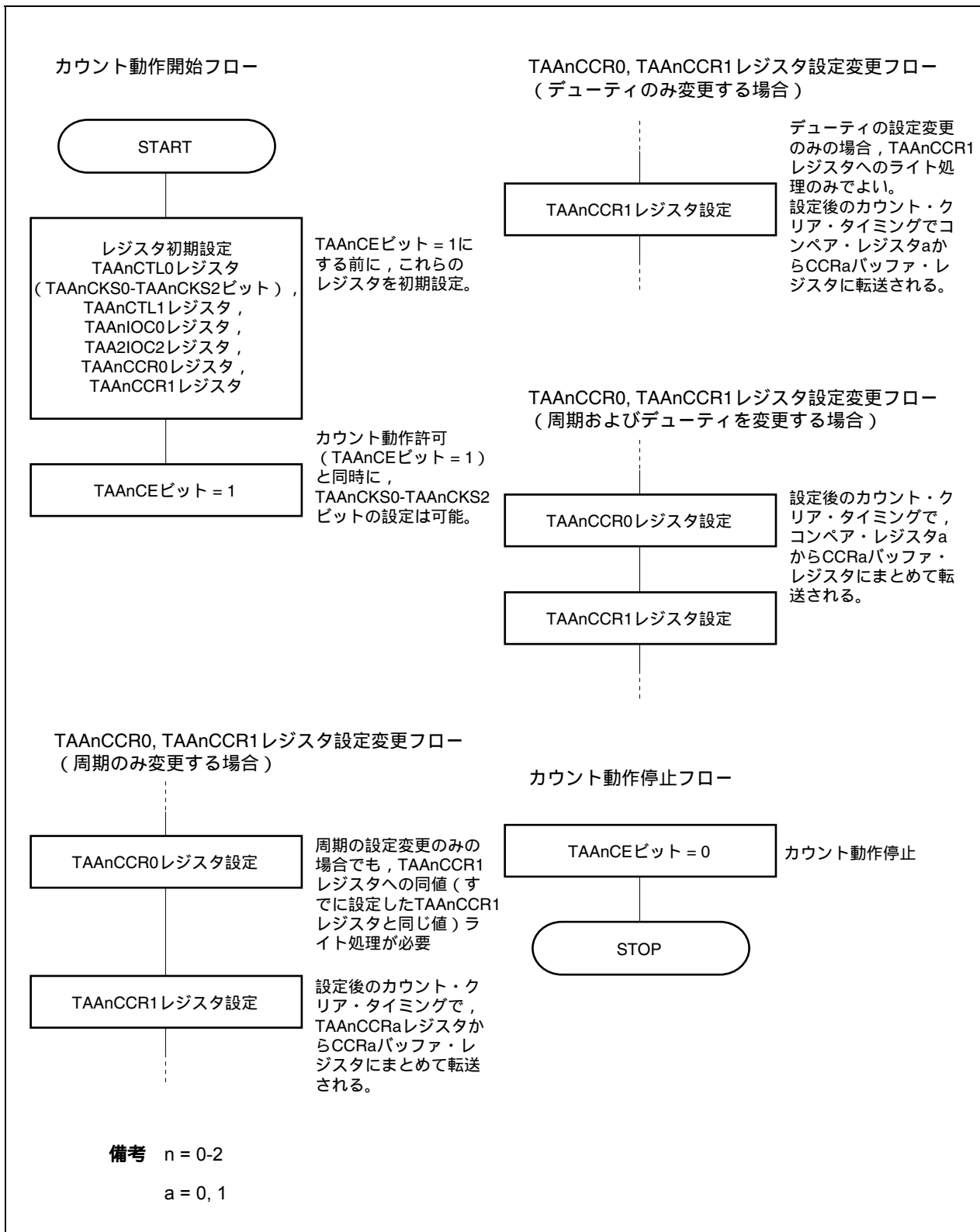


図6 - 36 PWM出力モード使用時のソフトウェア処理フロー (2/2)

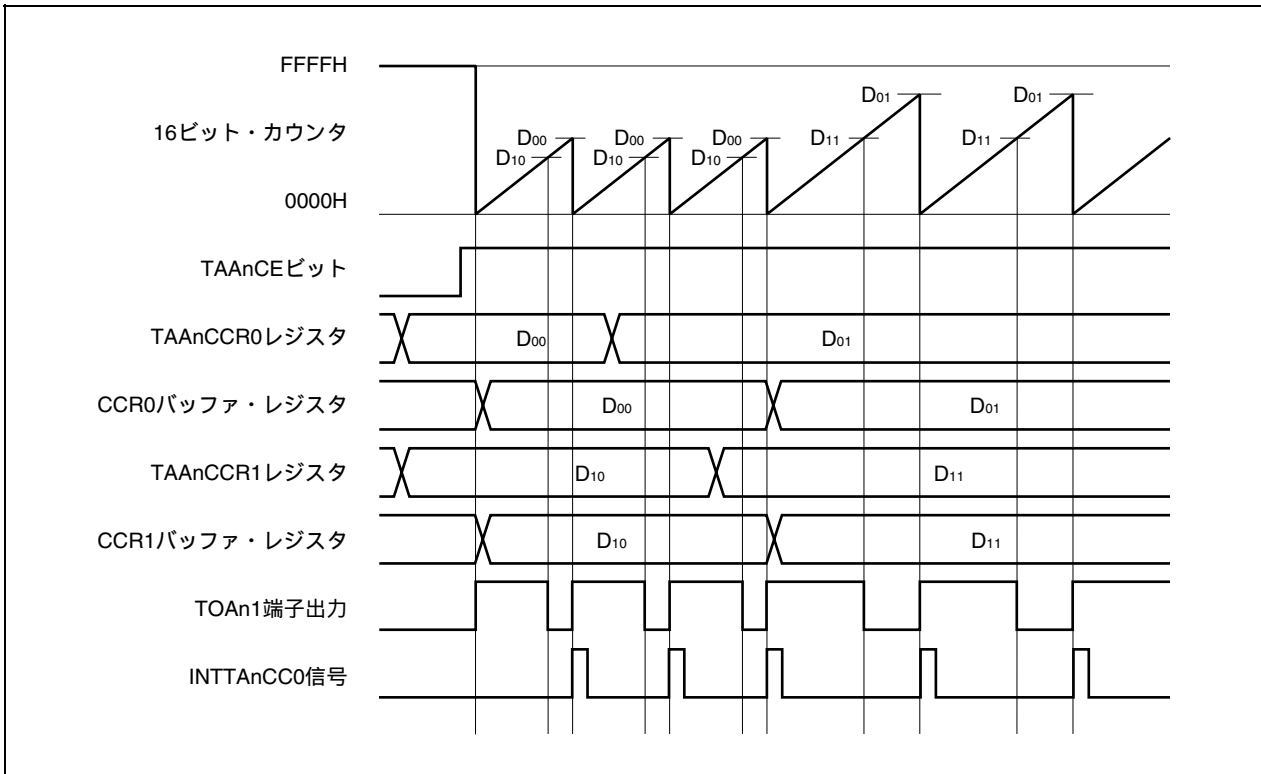


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTAAAnCCR1レジスタにライトしてください。

TAAAnCCR1レジスタにライト後、再度TAAAnCCRaレジスタの書き換えを行う場合には、INTTAAAnCC0信号を検出後に書き換えてください。



TAAAnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタに同値（すでに設定したTAAAnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1レジスタのみの設定でかまいません。

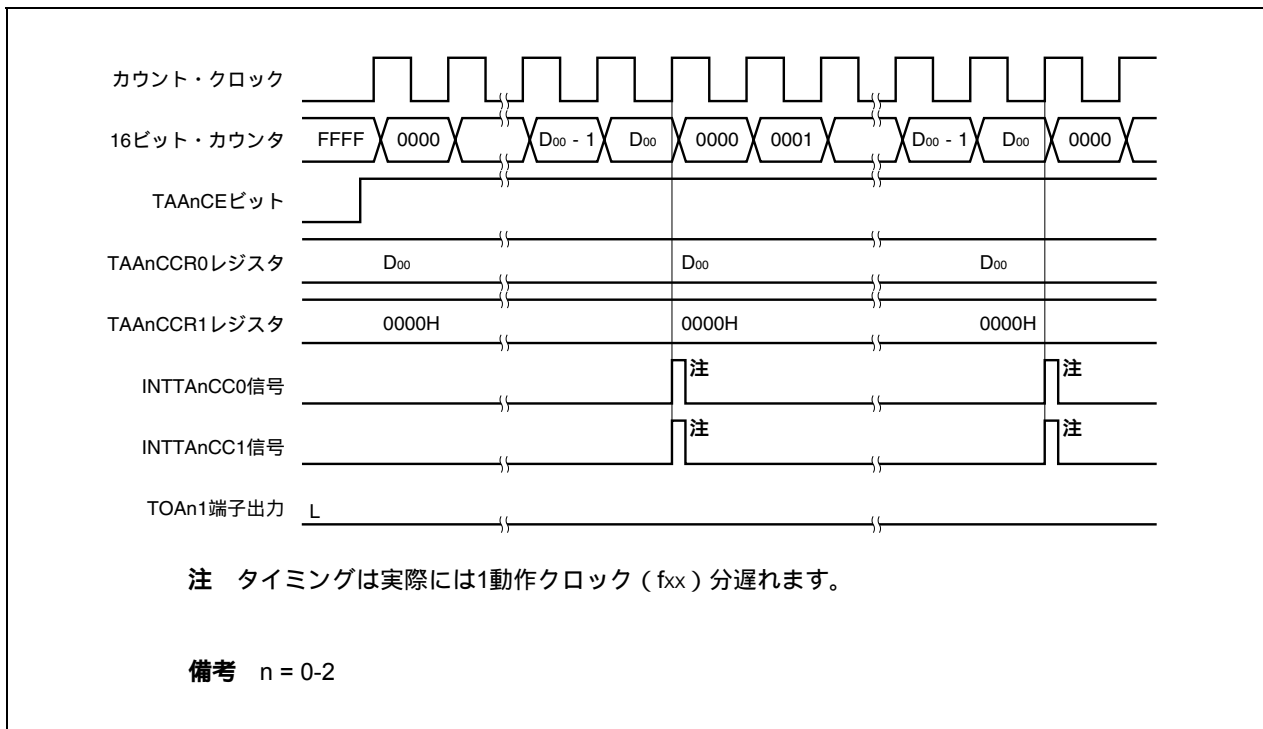
TAAAnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TAAAnCCR1レジスタにライトしたあとで、再度TAAAnCCR0、またはTAAAnCCR1レジスタへのライトを行う場合は、INTTAAAnCC0信号の発生後に行ってください。これを守れない場合には、TAAAnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TAAAnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

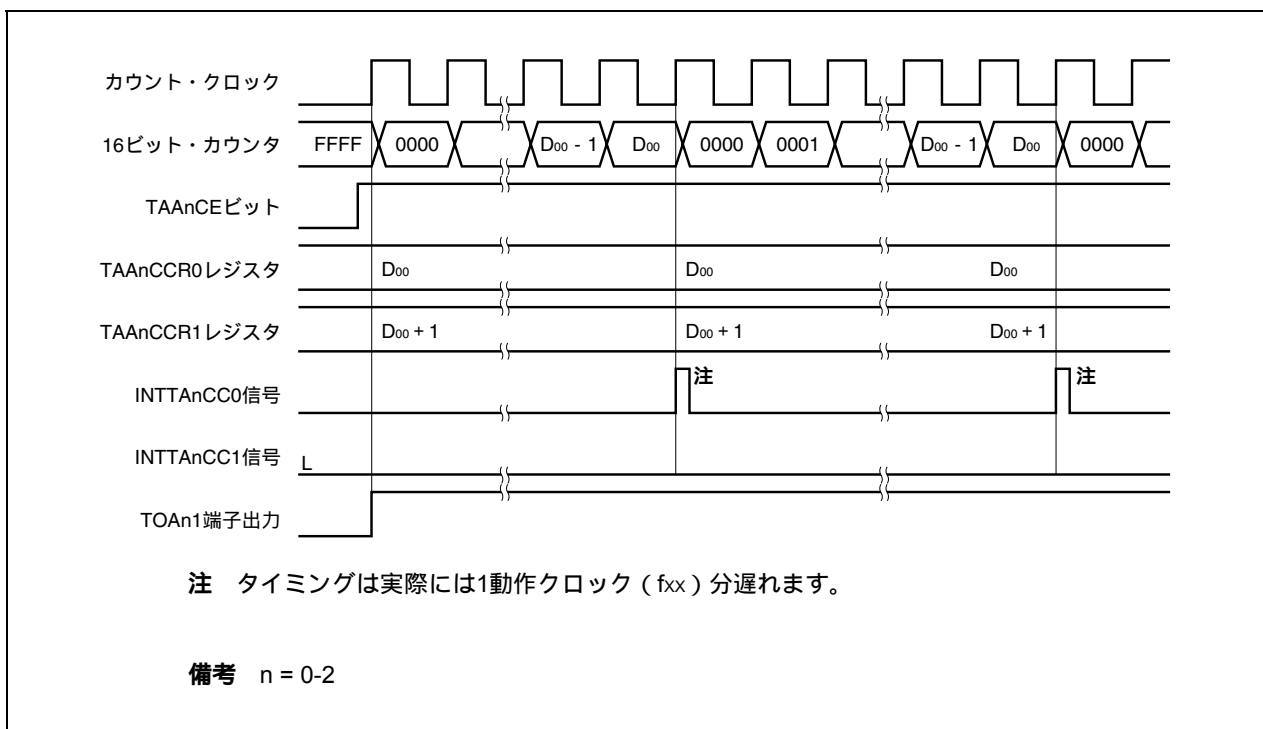
備考 $n = 0-2, a = 0, 1$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TAAAnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTAnCC0信号とINTTAnCC1信号が発生します。

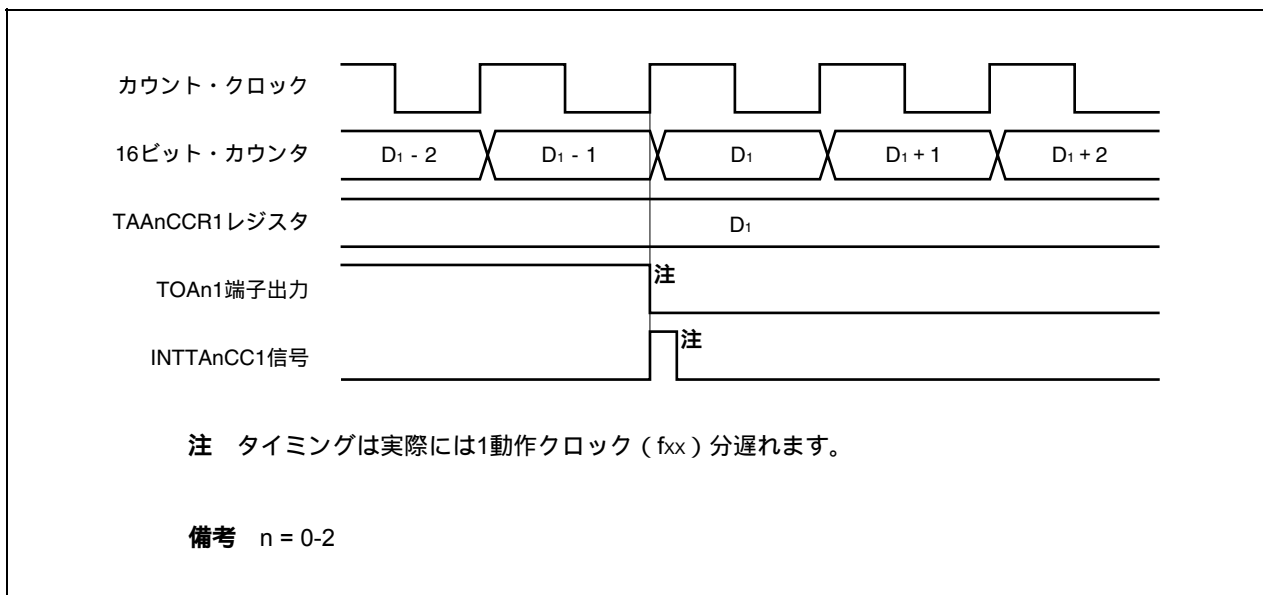


100 % 波形を出力するためには、TAAAnCCR1レジスタに対して (TAAAnCCR0レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTAnCC1) の発生タイミング

PWM出力モードにおけるINTTAnCC1信号の発生タイミングは、ほかのモードのINTTAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.6.6 フリー・ランニング・タイマ・モード (TAA_nMD2-TAA_nMD0ビット = 101)

コンペア機能はTAA0-TAA2すべて有効です。キャプチャ機能はTAA2のみ有効です。

フリー・ランニング・タイマ・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでカウント動作を開始します。このときのTAA2CCR0, TAA2CCR1レジスタの動作は、TAA2OPT0.TAA2CCS0, TAA2CCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図6 - 37 TAA0, TAA1のフリー・ランニング・タイマ・モードの構成図

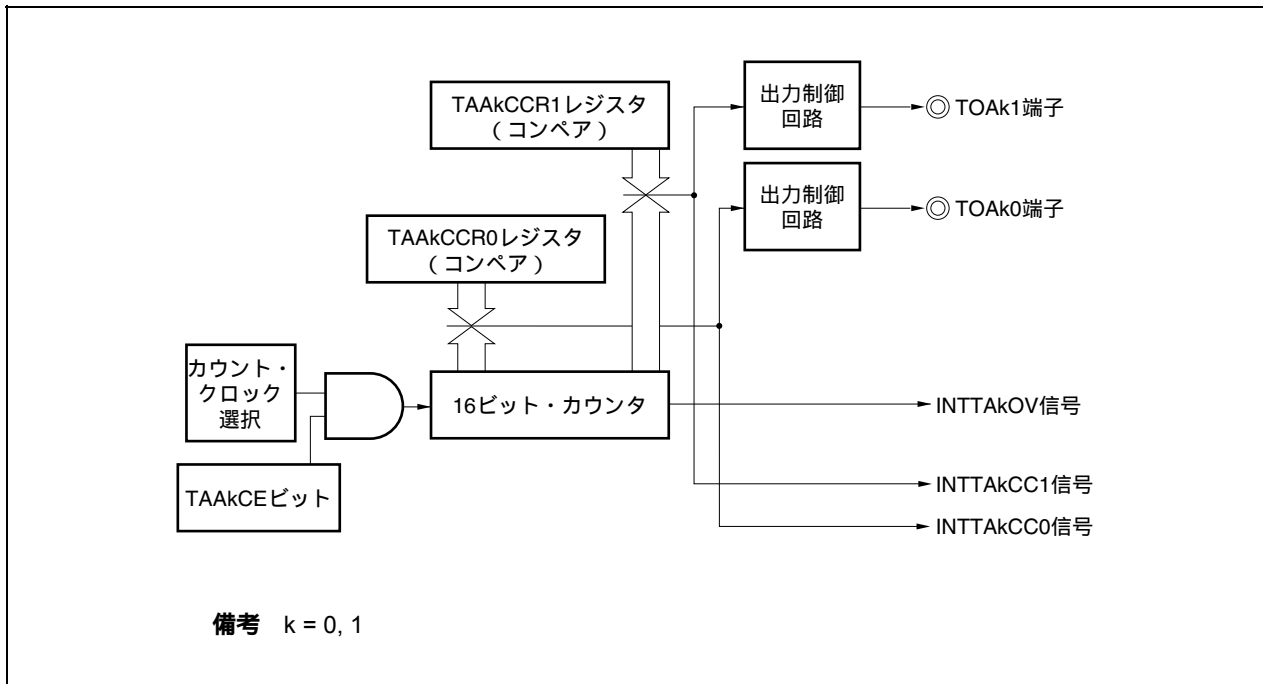
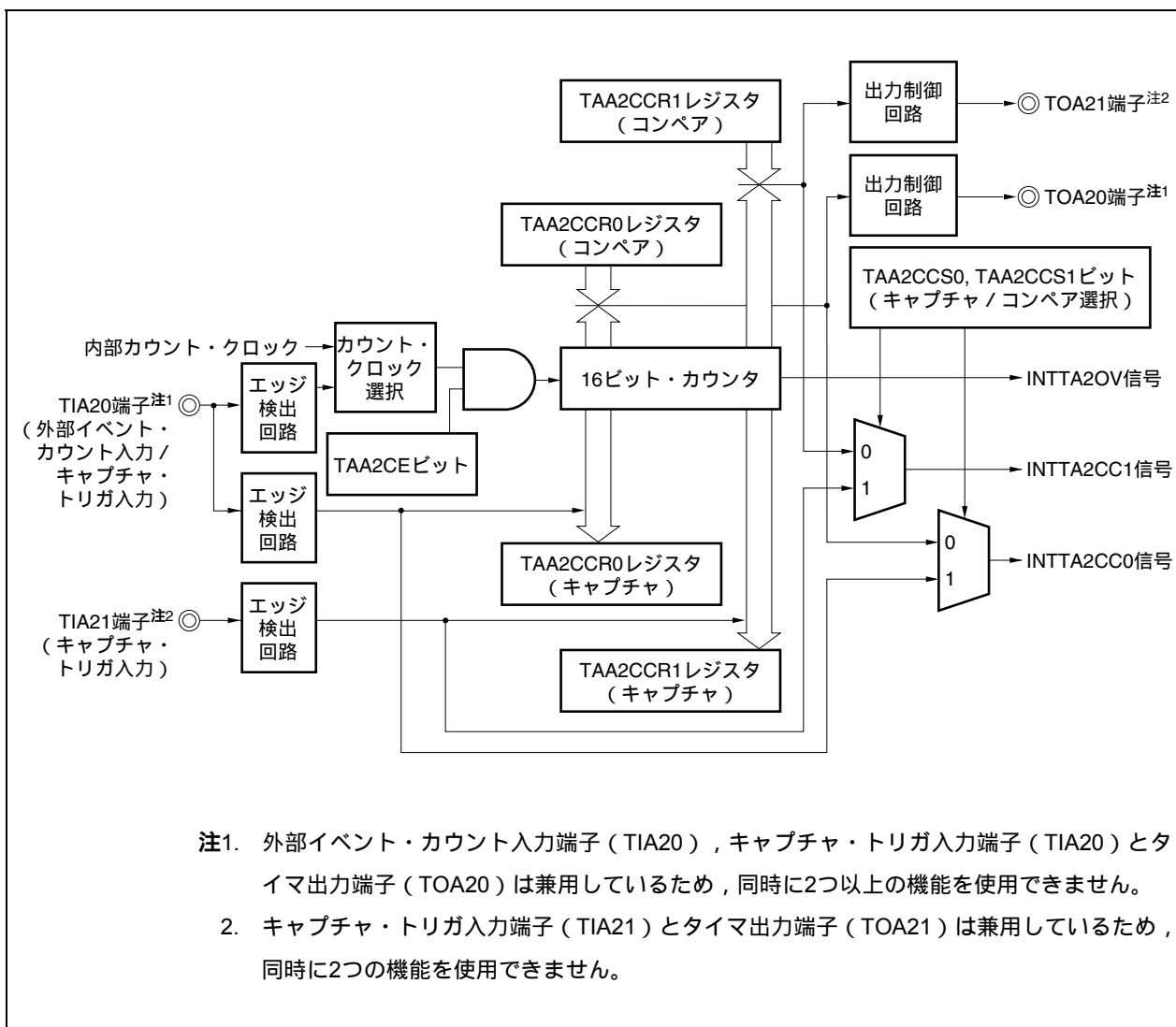


図6-38 TAA2のフリー・ランニング・タイマ・モードの構成図



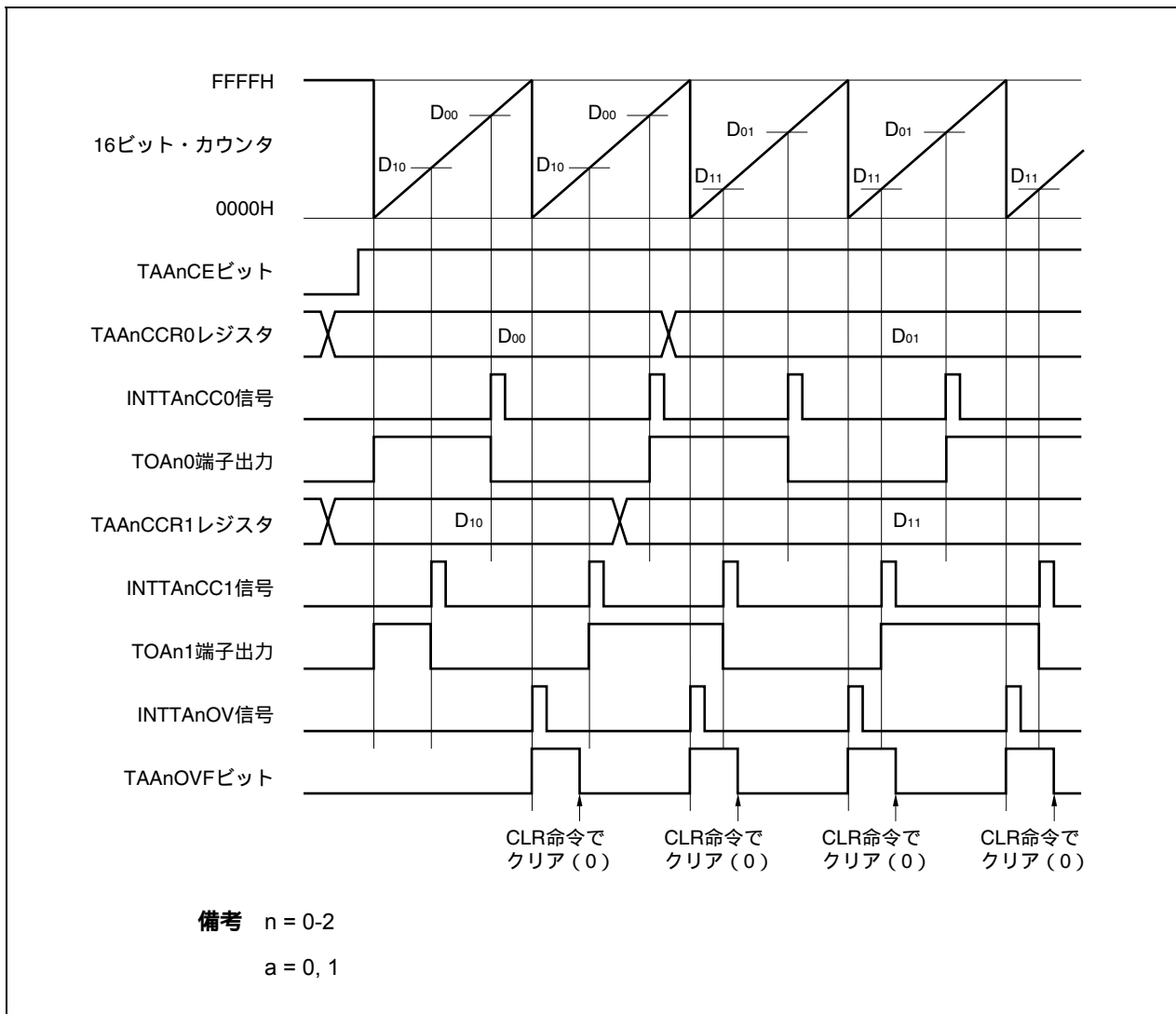
・コンペア動作

TAA_nCEビットをセット(1)することで、カウント動作を開始し、TOA_n端子出力を反転します。その後、16ビット・カウンタのカウント値とTAA_nCCR_aレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTAA_nCC_a)を発生し、TOA_n端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTAA_nOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TAA_nOPT0.TAA_nOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

TAA_nCCR_aレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図6 - 39 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TAA2CEビットをセット(1)することで、カウント動作を開始します。その後、TIA2a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAA2CCR_aレジスタに格納し、キャプチャ割り込み要求信号(INTTA2CC_a)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTA2OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TAA2OPT0.TAA2OVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されていることを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

図6-40 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

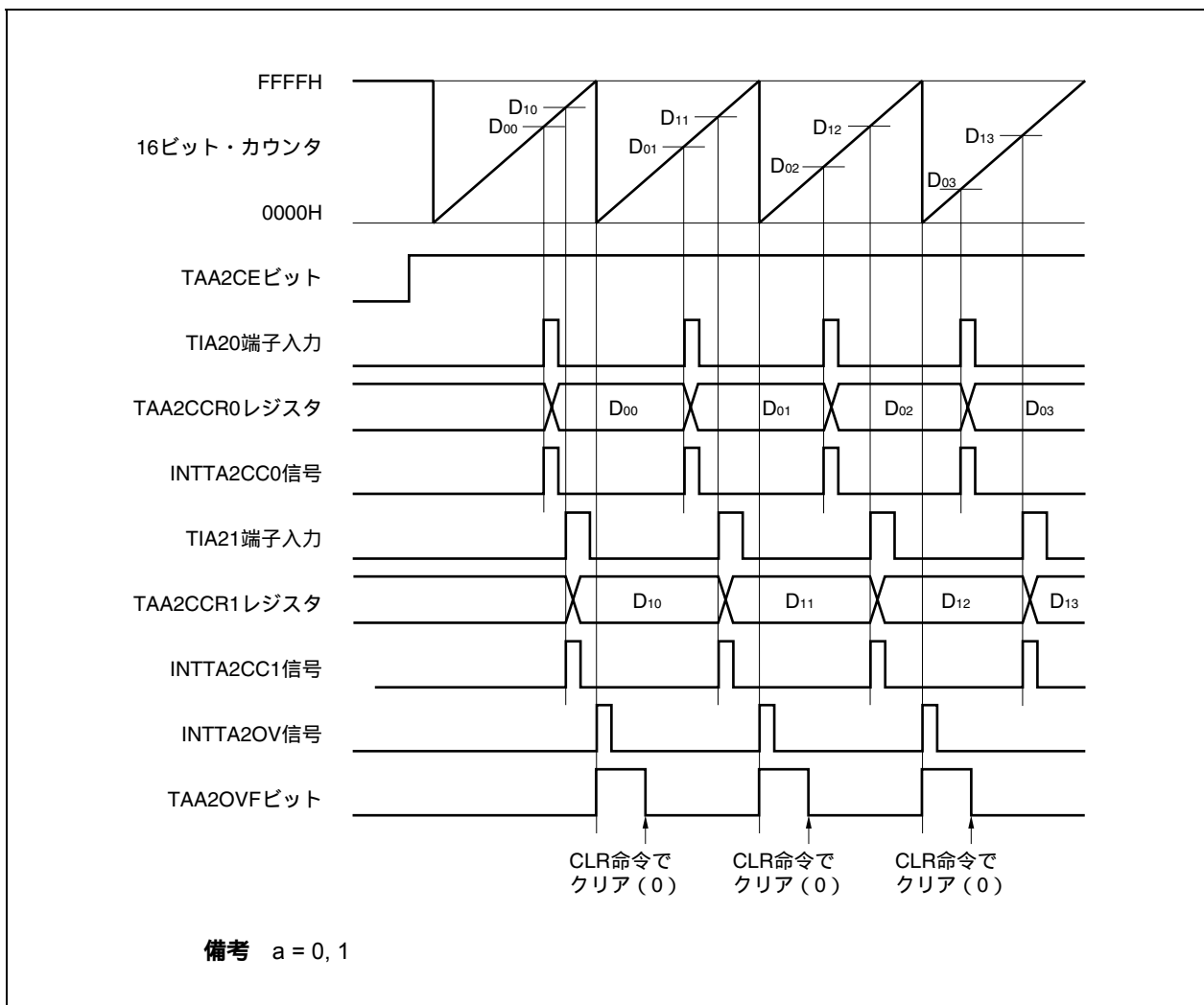


図6 - 41 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

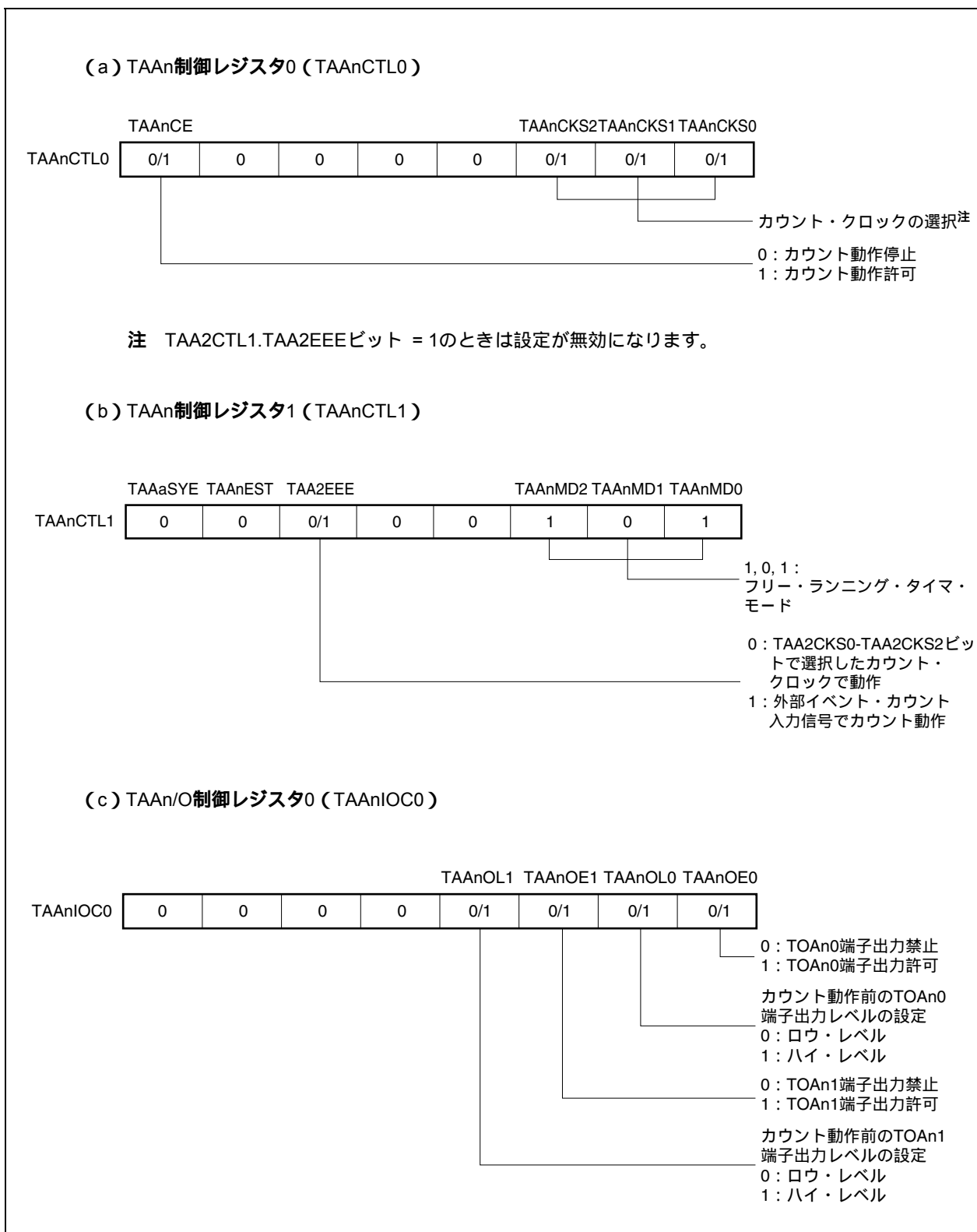
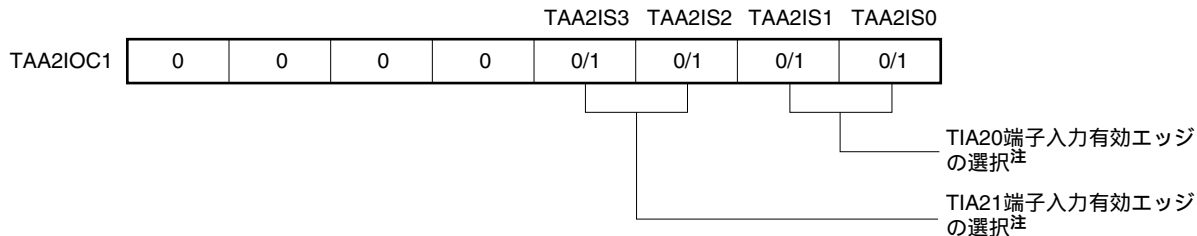


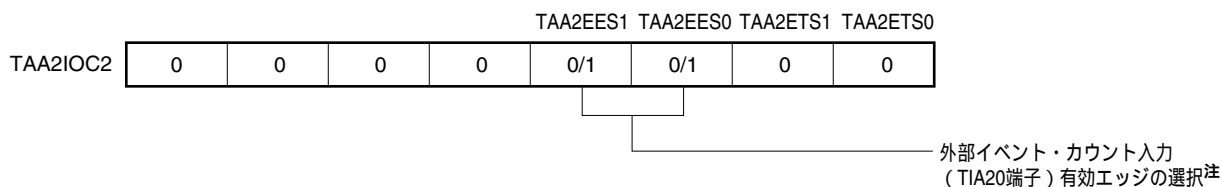
図6 - 41 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

(d) TAA2I/O制御レジスタ1 (TAA2IOC1)

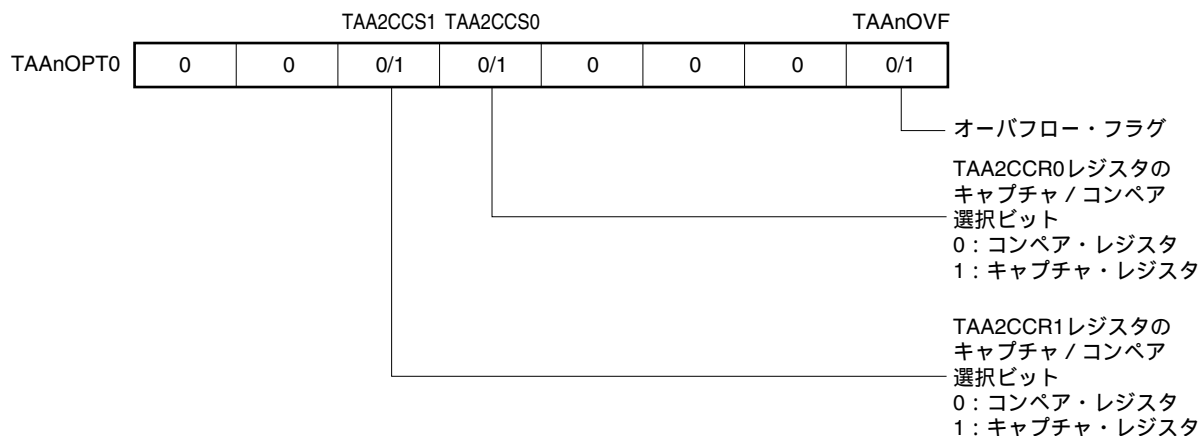


注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(e) TAA2I/O制御レジスタ2 (TAA2IOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(f) TAA_nオプション・レジスタ0 (TAA_nOPT0)(g) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

図6 - 41 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TAA_nキャプチャ/コンペア・レジスタ0, 1 (TAA_nCCR0, TAA_nCCR1)

TAA2OPT0.TAA2CCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には, TIA2a端子入力の有効エッジ検出により, 16ビット・カウンタのカウンタ値を格納します。

コンペア・レジスタとして動作する場合には, TAA_nCCR_aレジスタにD_aを設定した場合, カウンタが(D_a + 1)になるタイミングでINTTAA_nCC_a信号を発生し, TOAn0, TOAn1端子出力を反転します。

備考 n = 0-2

a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図6-42 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

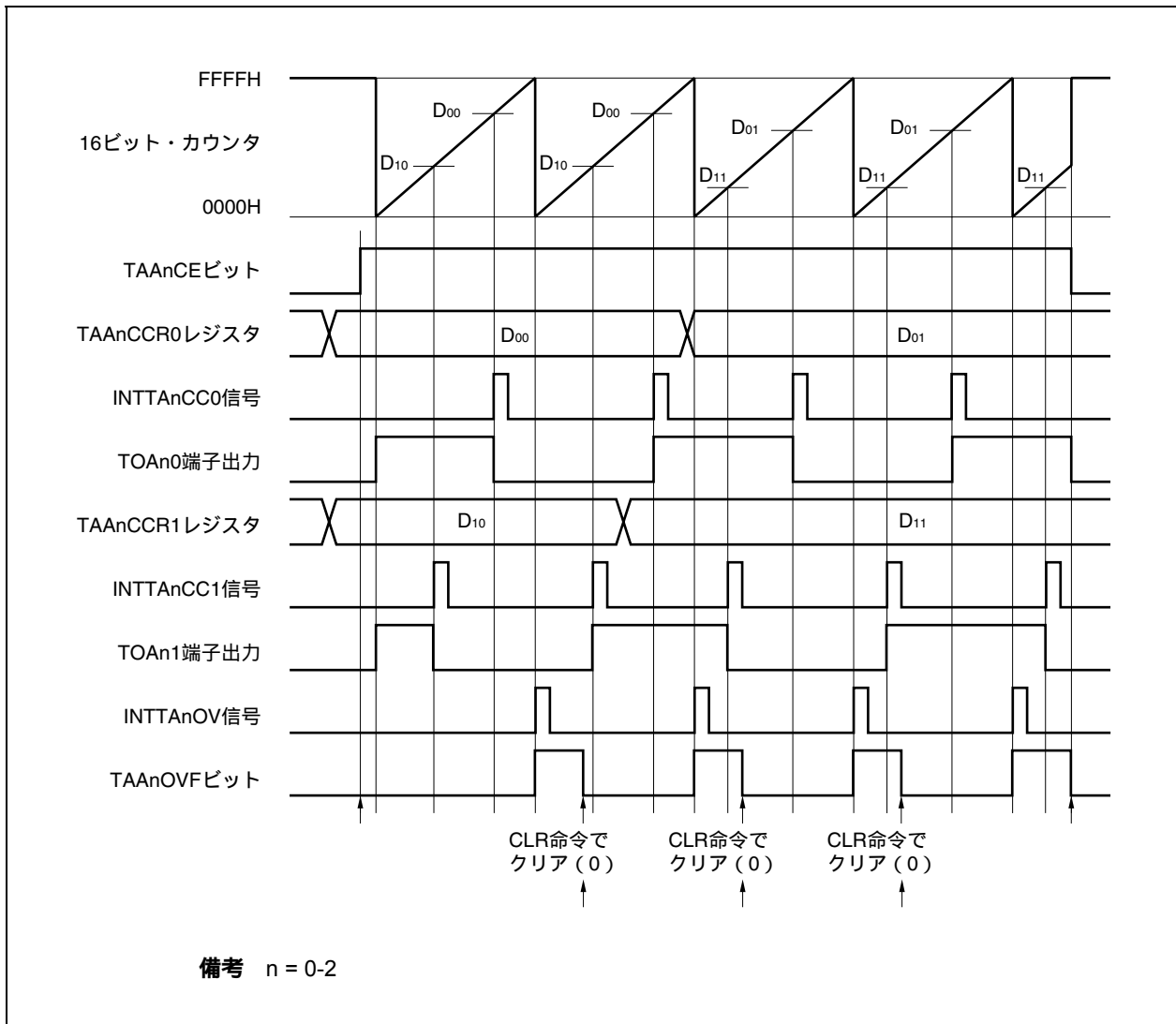
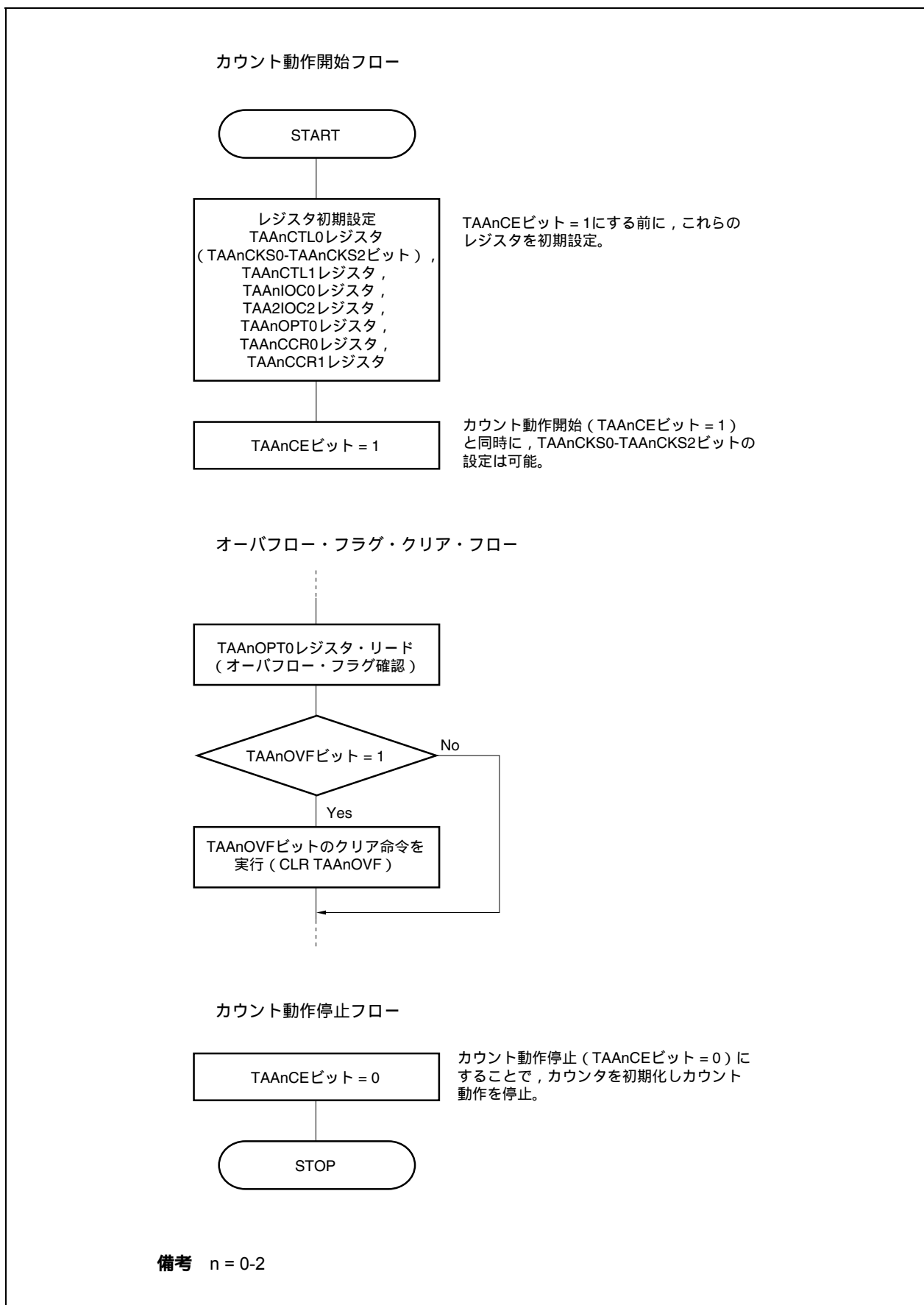


図6 - 42 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図6 - 43 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

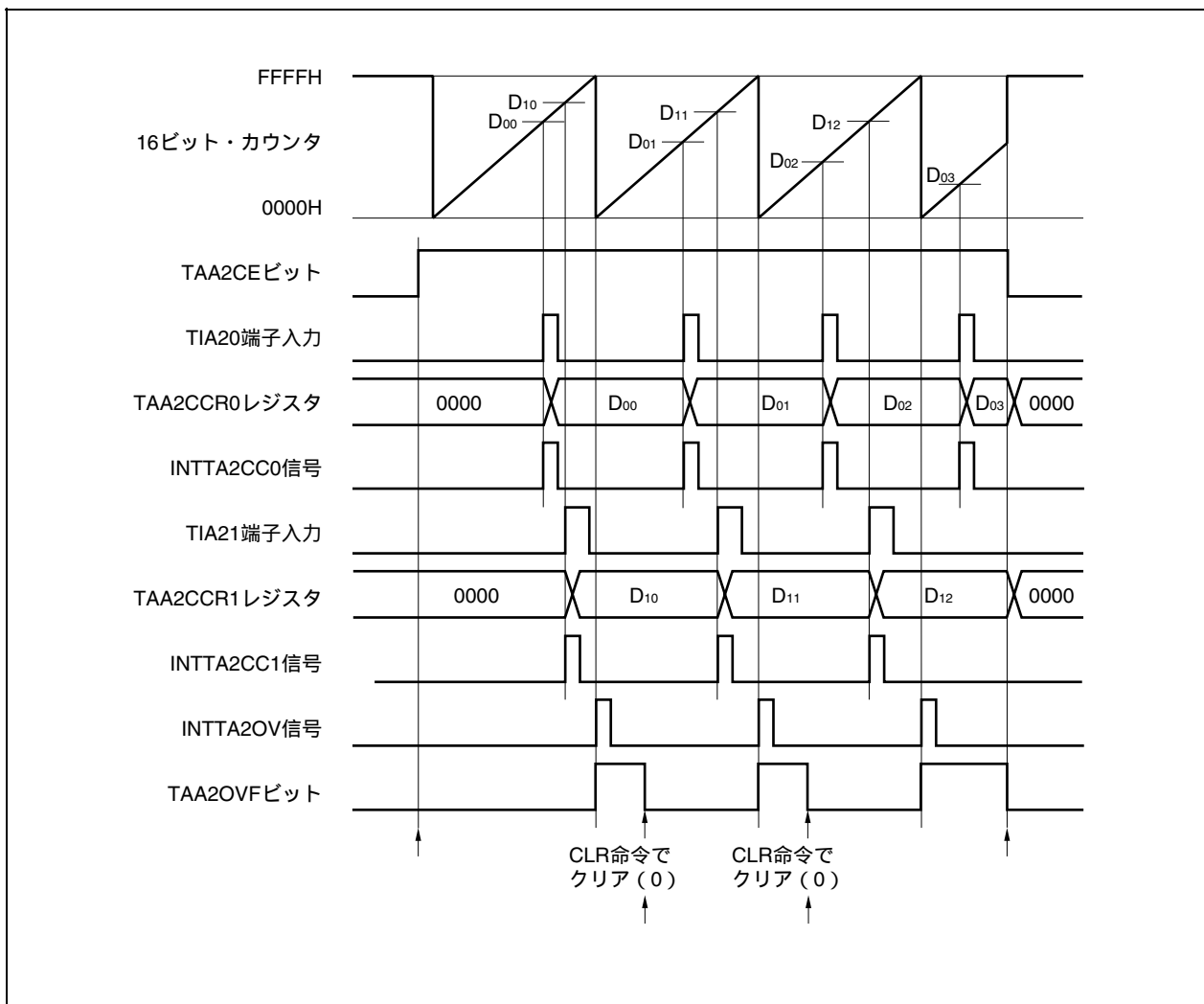
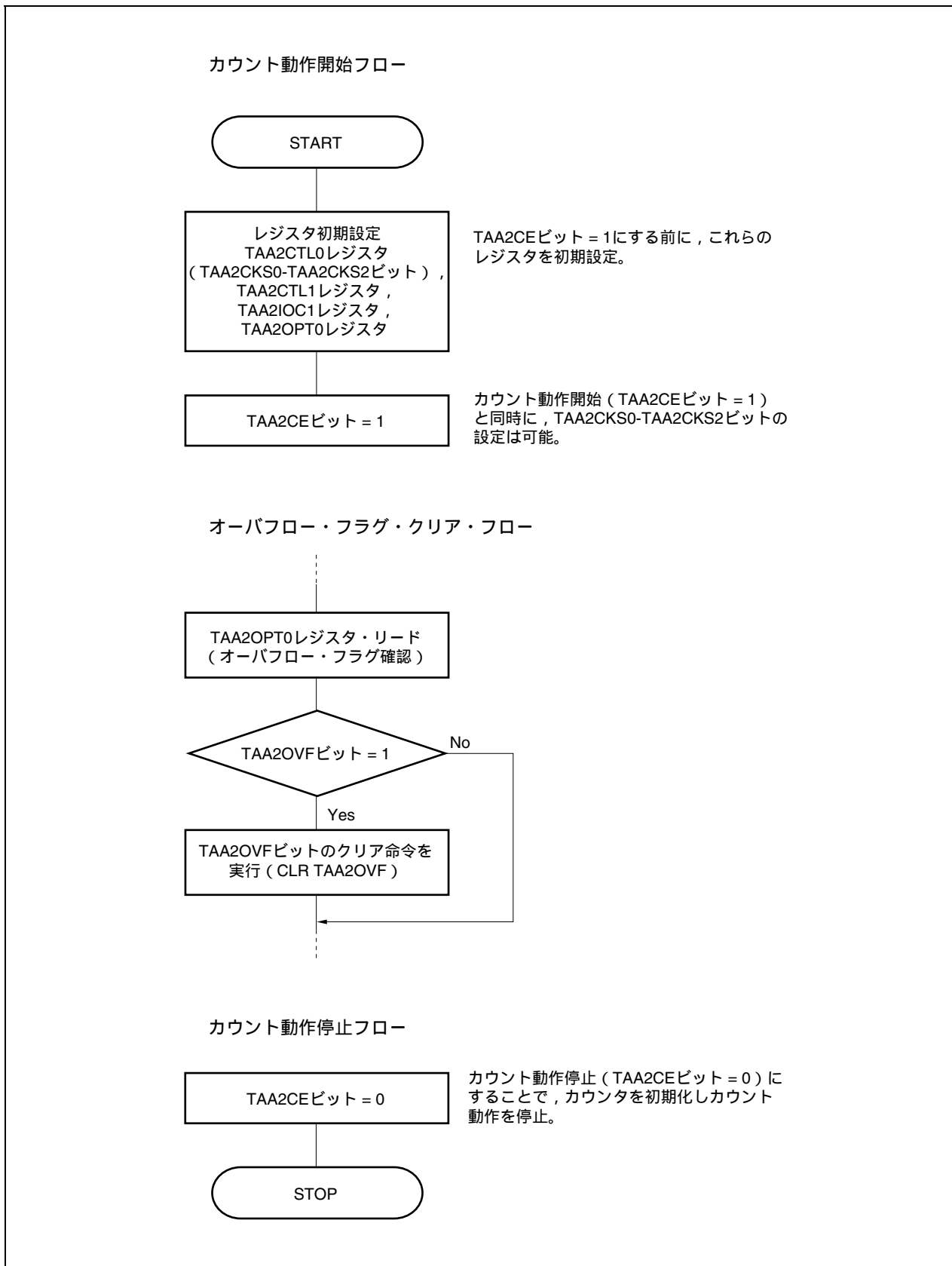


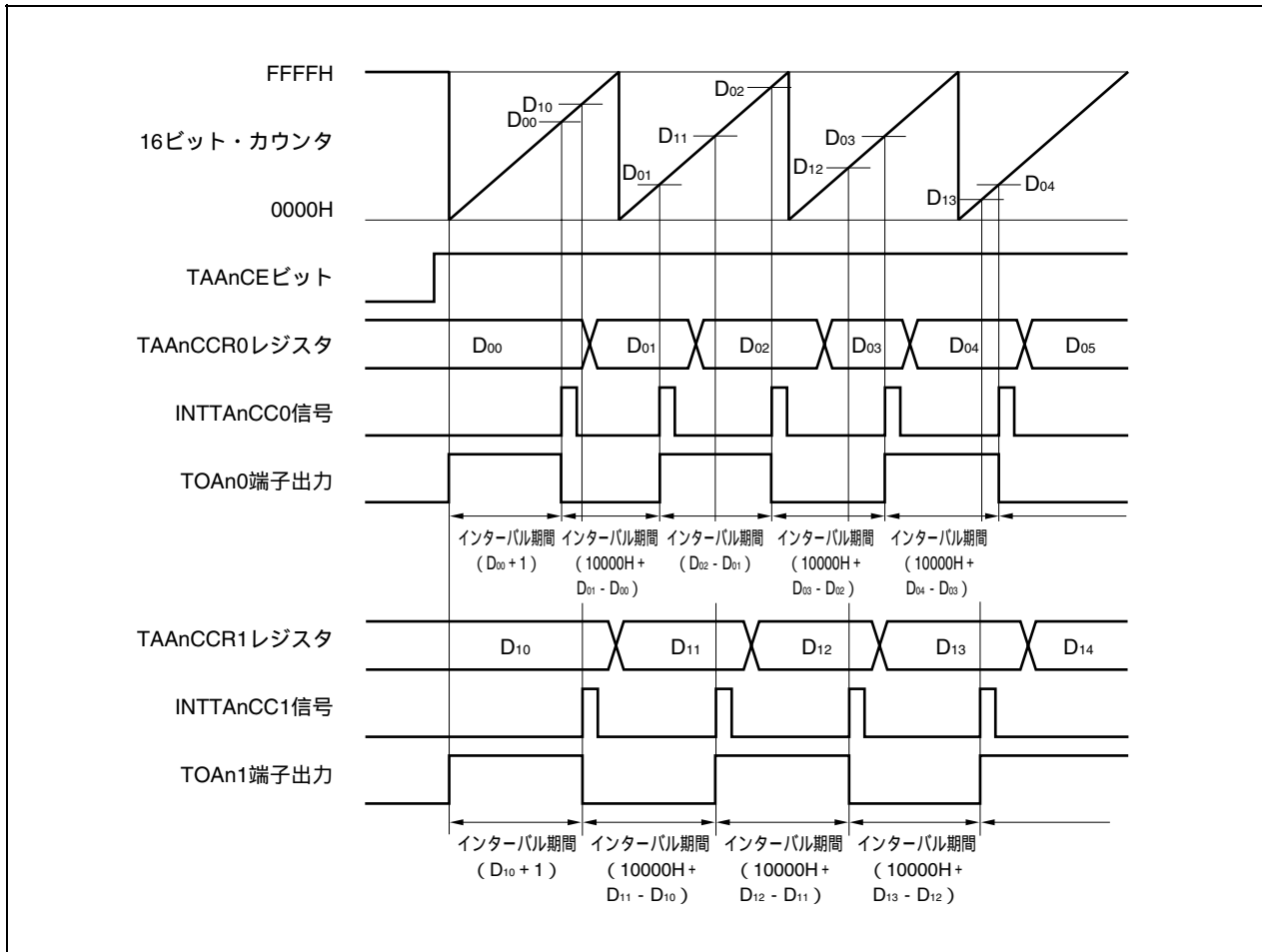
図6 - 43 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TAAAnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTAnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTAnCCa信号を検出したときの割り込み処理中に、対応するTAAAnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ”とすると、次のように求められます。

コンペア・レジスタ初期値 : $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

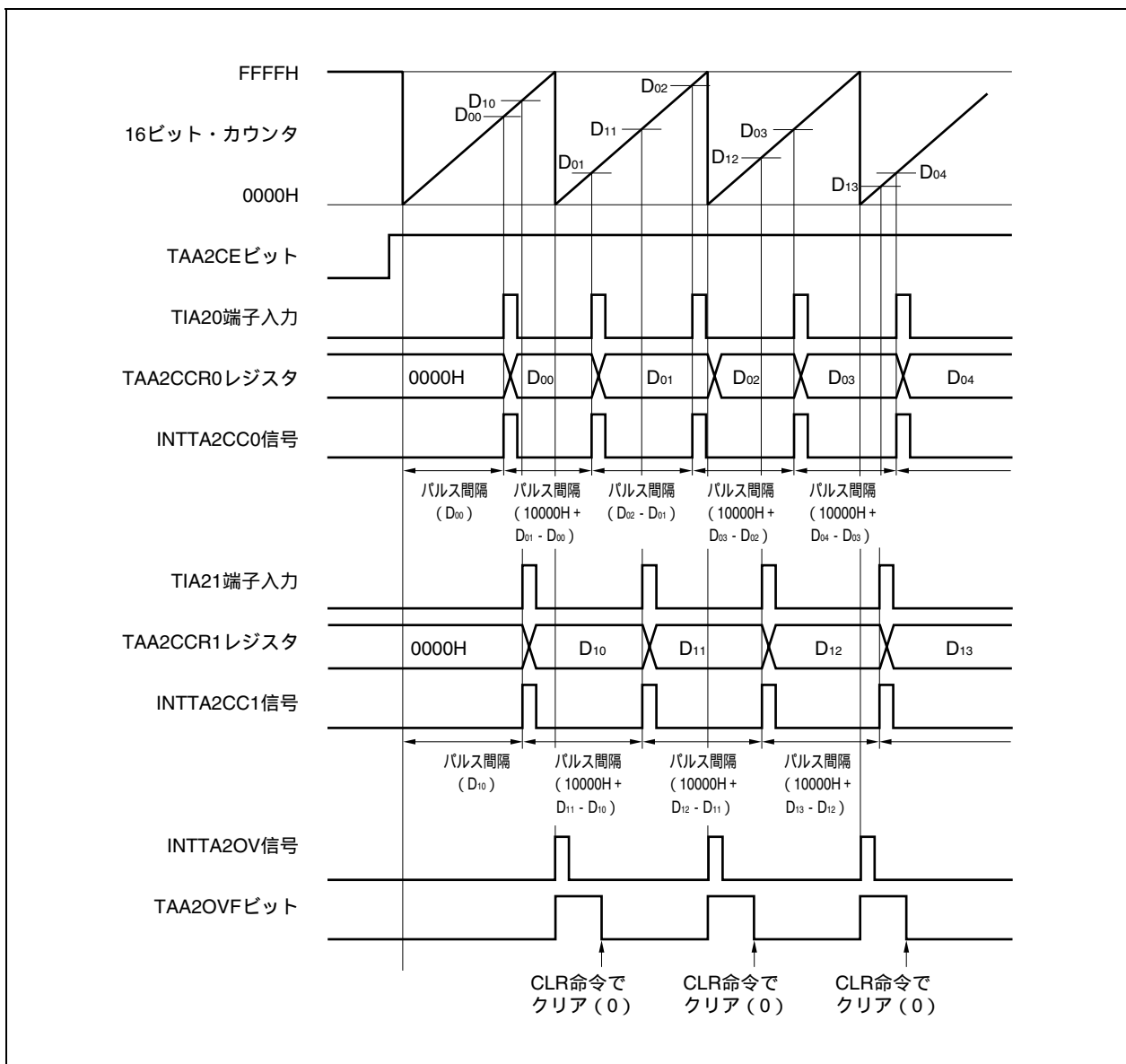
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0-2

a = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TAA2CCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTA2CCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

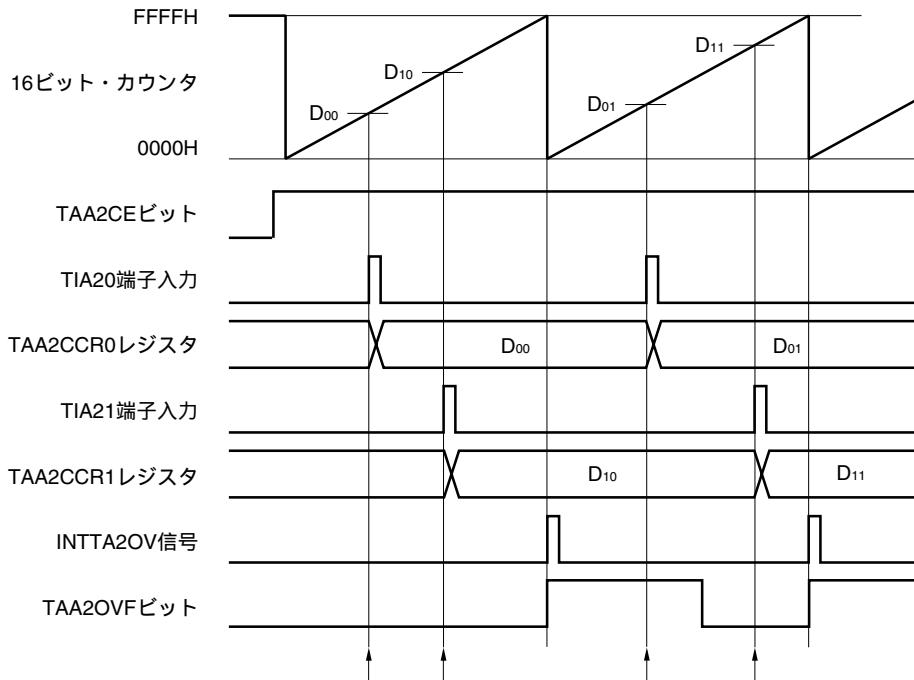
パルス幅測定を行う場合、INTTA2CCa信号に同期してTAA2CCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 a = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TAA2CCR0レジスタをリードする (TIA20端子入力の初期値設定)。

TAA2CCR1レジスタをリードする (TIA21端子入力の初期値設定)。

TAA2CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TAA2CCR1レジスタをリードする。

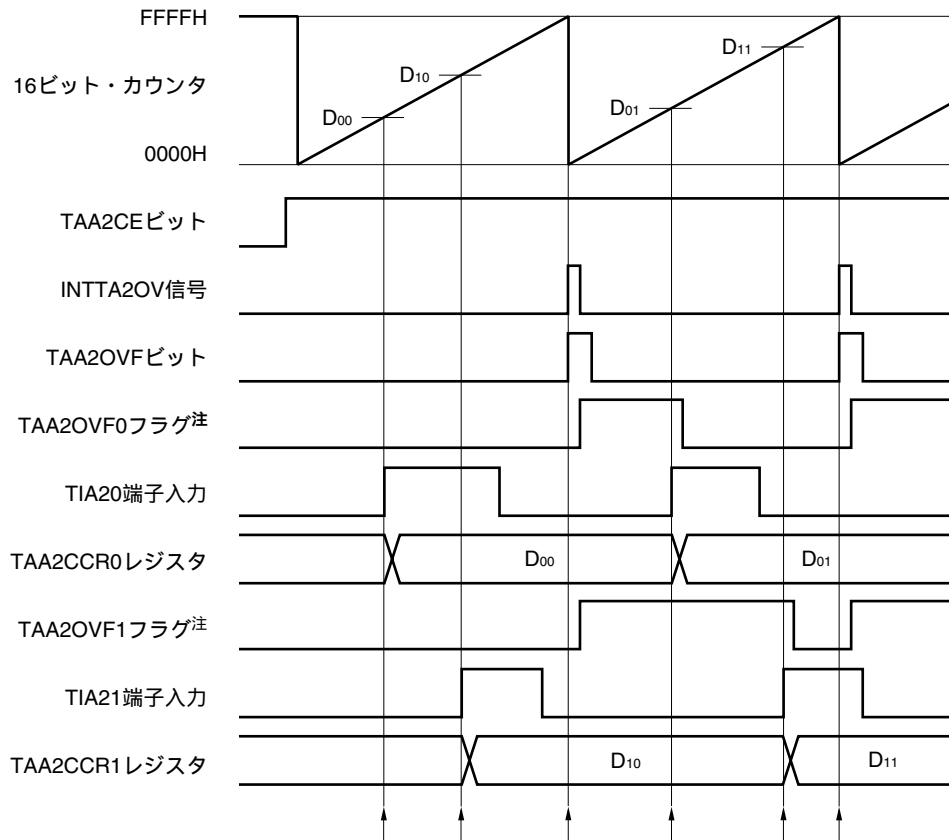
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TAA2OVF0, TAA2OVF1フラグは,ソフトウェアにより,内蔵RAM上に任意に設定したものです。

TAA2CCR0レジスタをリードする (TIA20端子入力の初期値設定)。

TAA2CCR1レジスタをリードする (TIA21端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で, TAA2OVF0, TAA2OVF1フラグをセット (1) し, オーバーフロー・フラグをクリア (0) する。

TAA2CCR0レジスタをリードする。

TAA2OVF0フラグをリードする。 TAA2OVF0フラグが“1”だった場合, クリア (0) する。

TAA2OVF0フラグが“1”なので, パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

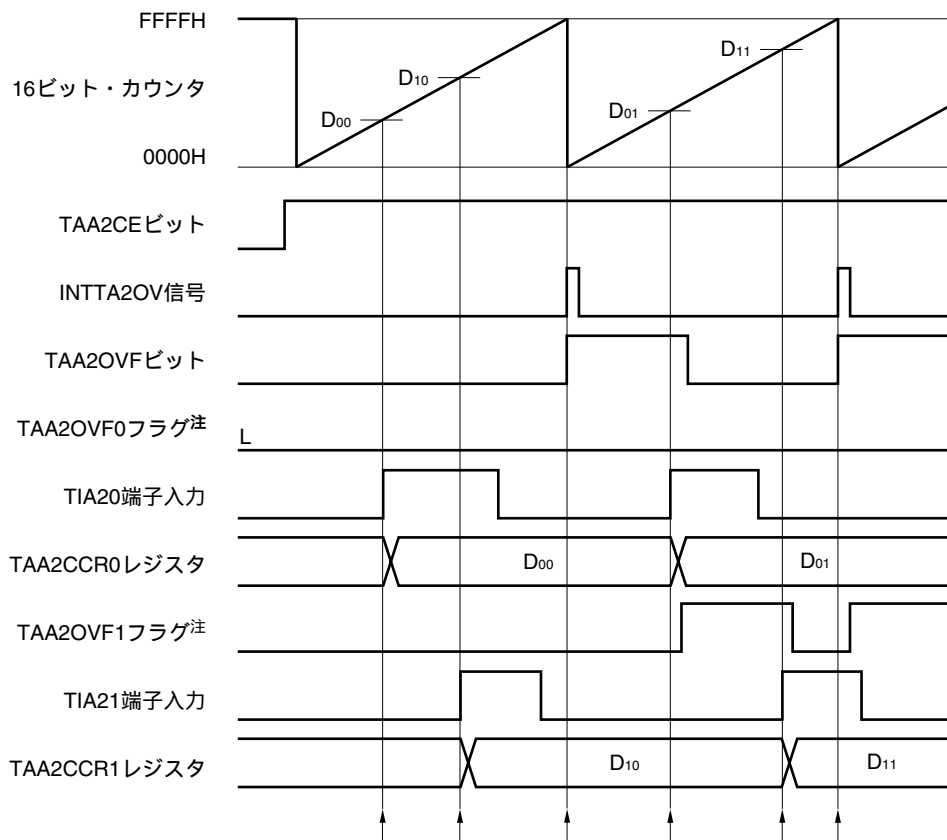
TAA2CCR1レジスタをリードする。

TAA2OVF1フラグをリードする。 TAA2OVF1フラグが“1”だった場合, クリア (0) する (でクリア (0) されたのはTAA2OVF0フラグであり, TAA2OVF1フラグは“1”のまま)。

TAA2OVF1フラグが“1”なので, パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TAA2OVF0, TAA2OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAA2CCR0レジスタをリードする（TIA20端子入力の初期値設定）。

TAA2CCR1レジスタをリードする（TIA21端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TAA2CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TAA2OVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TAA2CCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

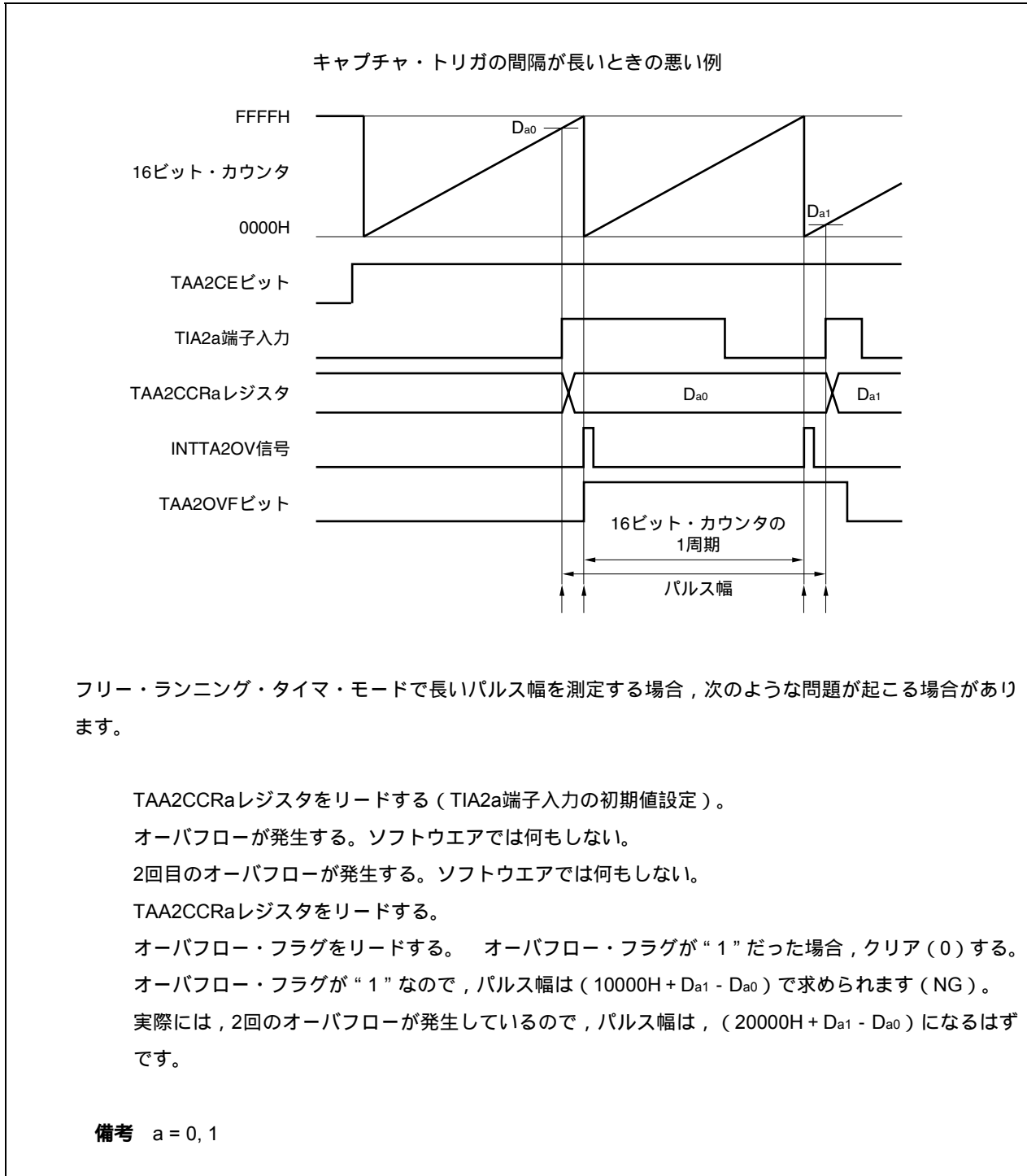
TAA2OVF1フラグをリードする。TAA2OVF1フラグが“1”だった場合、クリア（0）する。

TAA2OVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

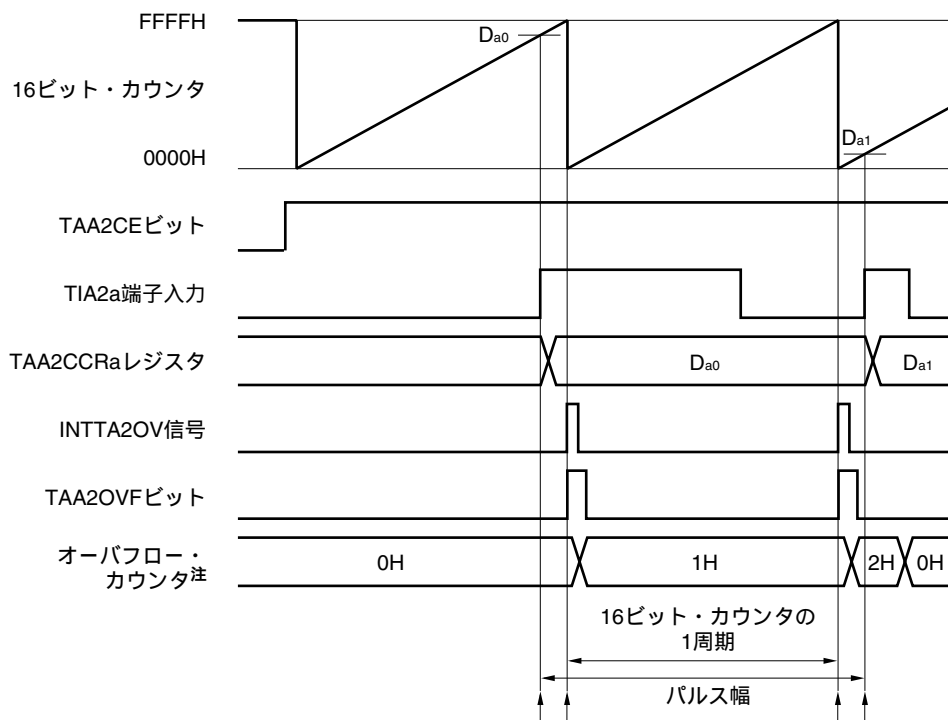
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAA2CCRaレジスタをリードする (TIA2a端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TAA2CCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 a = 0, 1

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TAA2OVFビット = 1をリードしたあとにTAA2OVFビットをCLR命令でクリア (0) する方法と、TAA2OVFビット = 1をリードしたあとにTAA2OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

6.6.7 パルス幅測定モード (TAA2MD2-TAA2MD0ビット = 110)

TAA2のみ有効です。

パルス幅測定モードは、TAA2CTL0.TAA2CEビットをセット(1)することでカウント動作を開始し、TIA2a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAA2CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTA2CCa)が発生したあと、TAA2CCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図6-45のような場合は、キャプチャ・トリガ入力端子としてTIA20, TIA21端子のいずれか1本を使用し、使用しない端子はTAA2IOC1レジスタで“エッジ検出なし”に設定してください。

図6-44 パルス幅測定モードの構成図

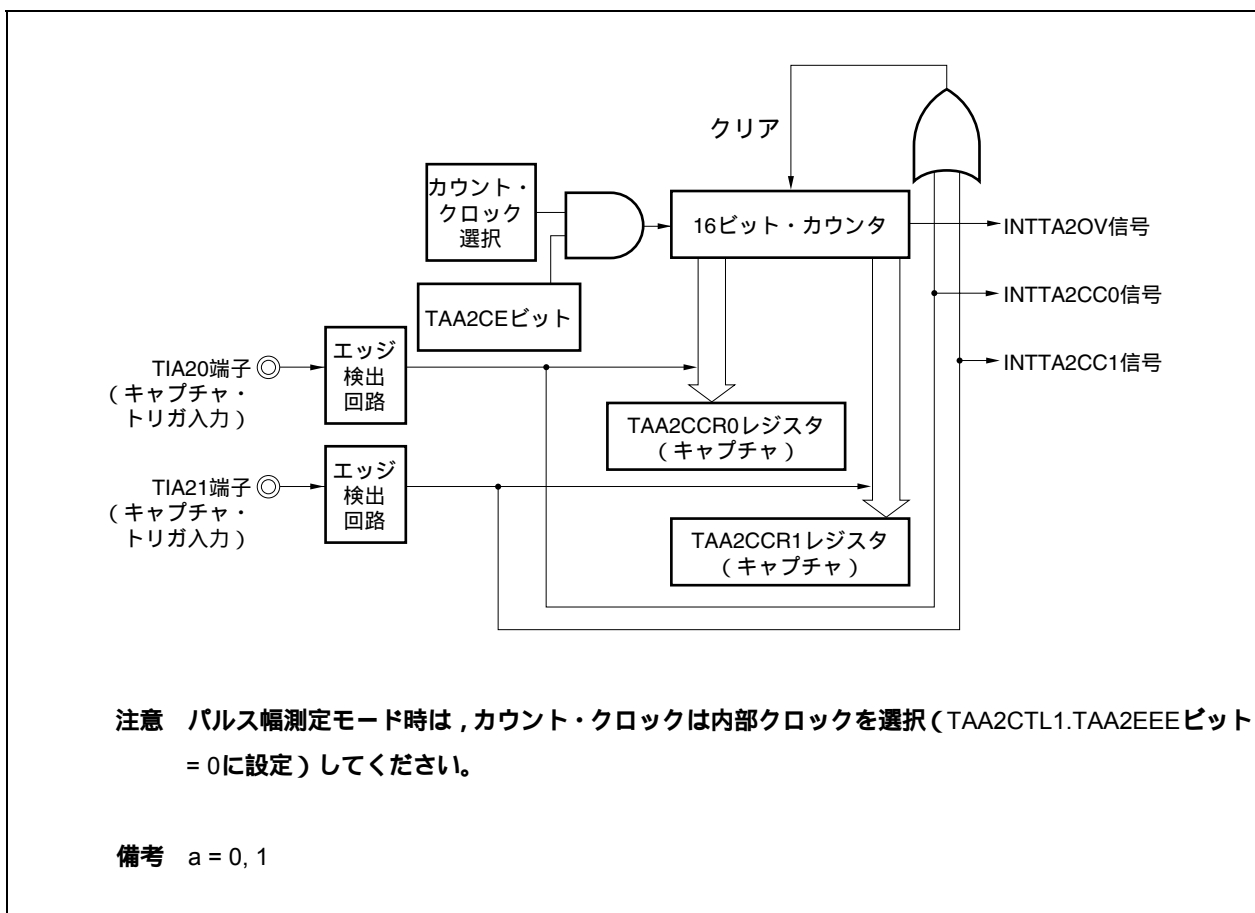
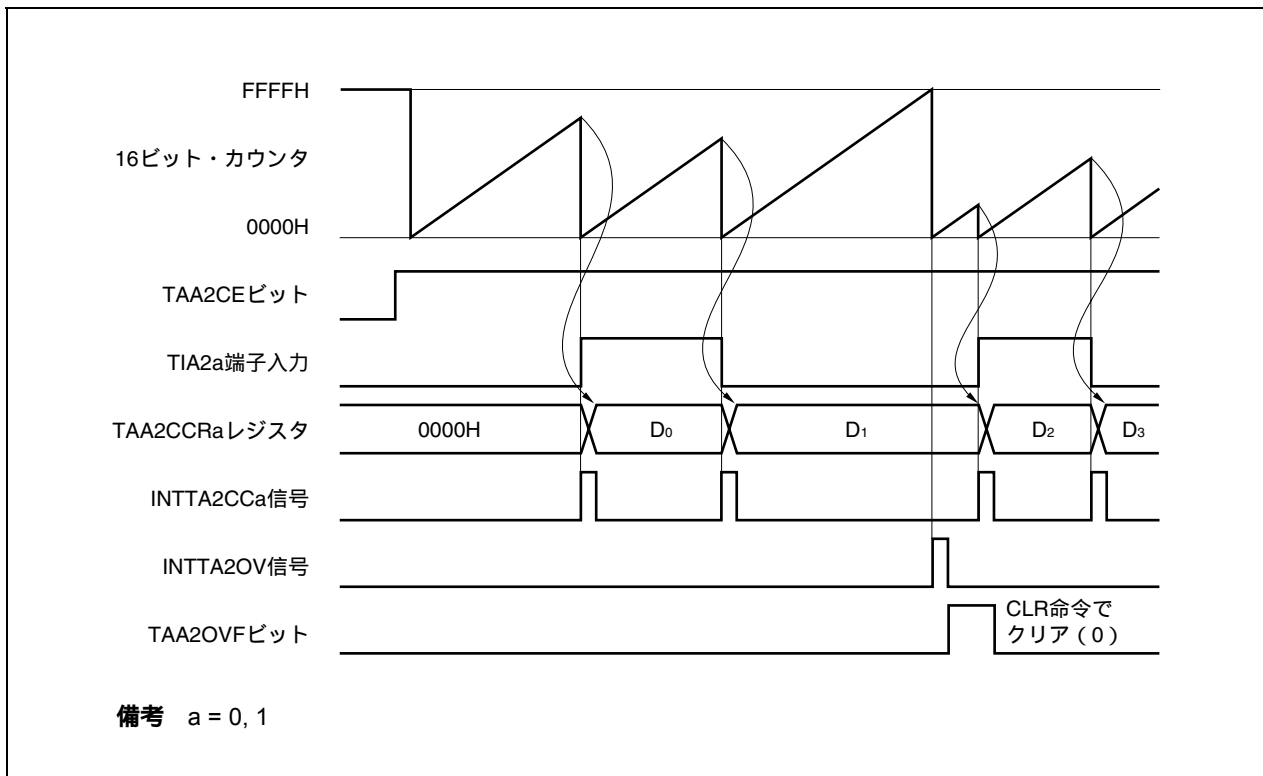


図6 - 45 パルス幅測定モードの基本タイミング



TAA2CEビットをセット（1）することで、カウント動作を開始します。その後、TIA2a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAA2CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号（INTTA2CCa）を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号（INTTA2OV）を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ（TAA2OPT0.TAA2OVFビット）もセット（1）されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア（0）してください。

オーバフロー・フラグがセット（1）された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TAA2OVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 a = 0, 1

図6 - 46 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

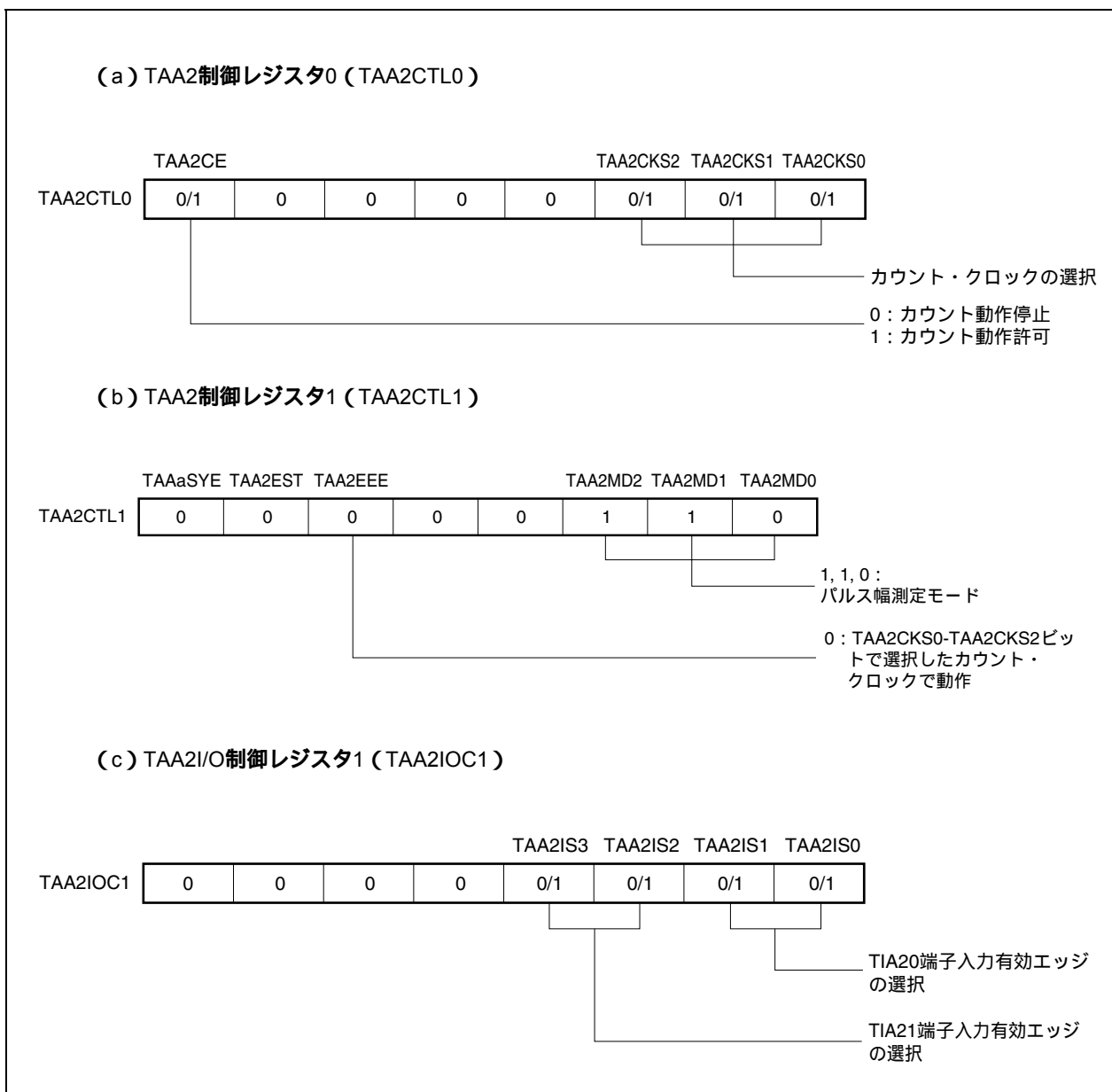
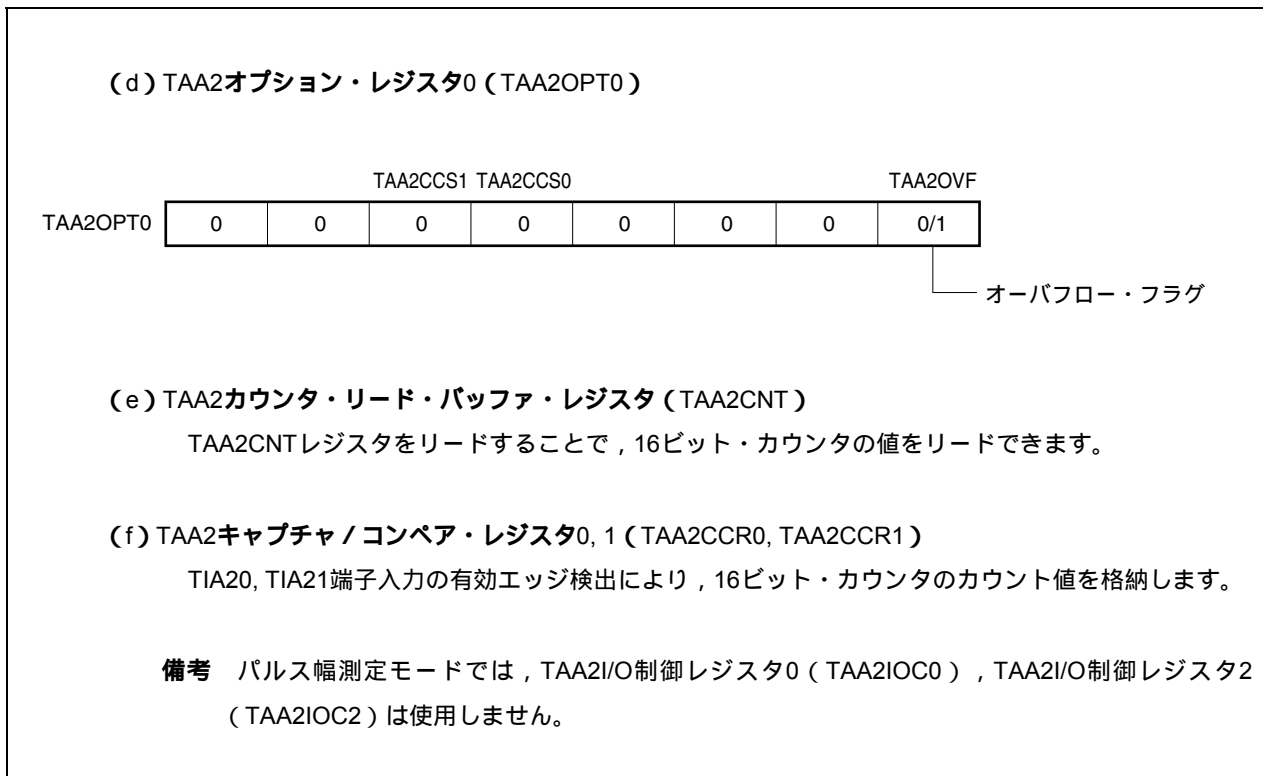
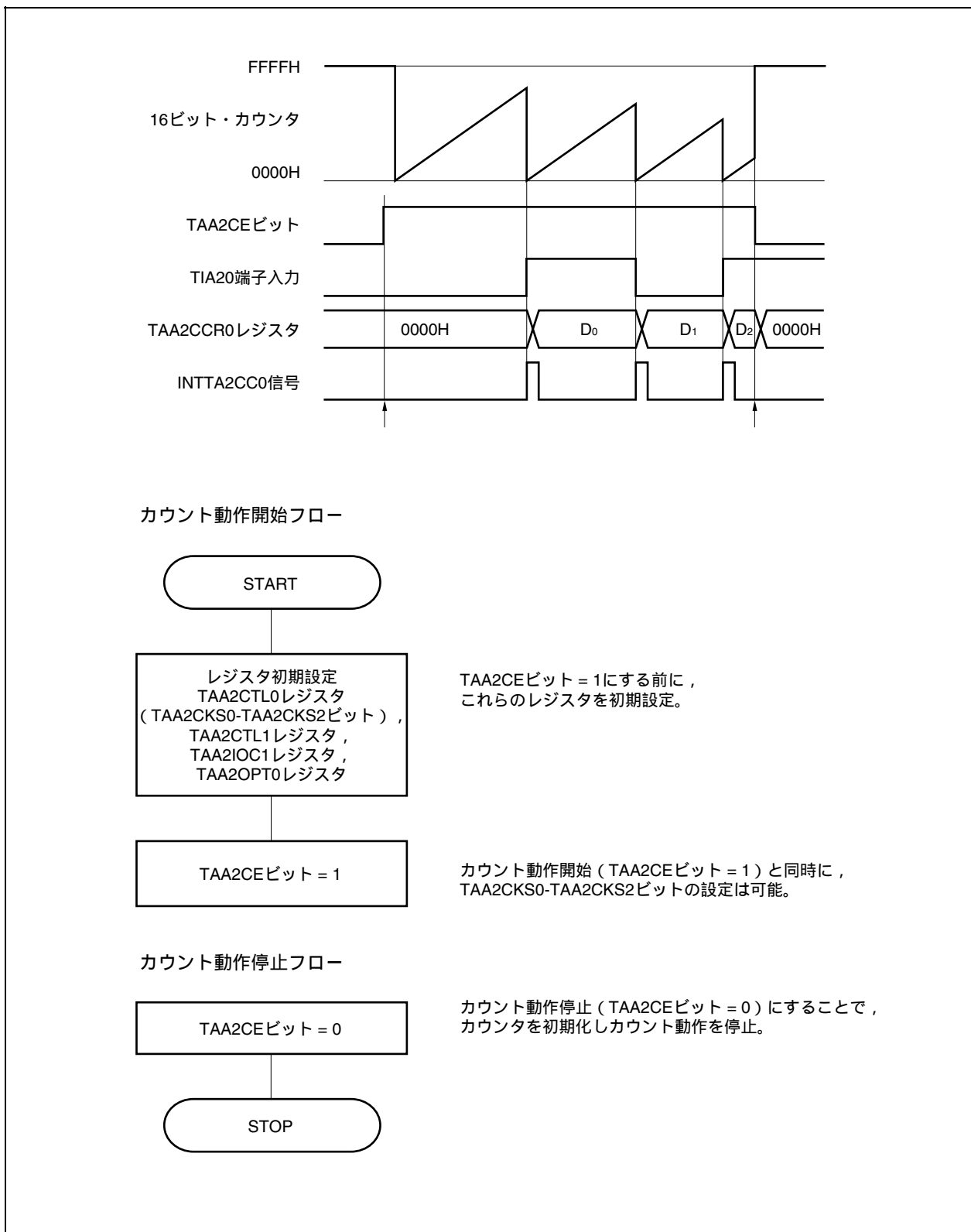


図6 - 46 パルス幅測定モード動作時のレジスタ設定内容 (2/2)



(1) パルス幅測定モード動作フロー

図6 - 47 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TAA2OVFビット = 1をリードしたあとにTAA2OVFビットをCLR命令でクリア(0)する方法と、TAA2OVFビット = 1をリードしたあとにTAA2OPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

第7章 16ビット・タイマ/イベント・カウンタAB (TAB)

タイマAB (TAB) は、16ビットのタイマ/イベント・カウンタです。

V850E/IG4-H, V850E/IH4-Hでは、TAB0, TAB1を内蔵しています。

7.1 概 要

7.1.1 V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1

V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 4本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペア一致割り込み要求信号	: 4本
・オーバフロー割り込み要求信号	: 1本
・タイマ出力端子 ^注	: 4本

注 TABnの出力端子数です。TMQOPnの出力端子は含みません。TMQOPnの出力端子についての詳細は、**第10章 モータ制御機能**を参照してください。

7.1.2 V850E/IG4-HのTAB1

V850E/IG4-HのTAB1の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: なし
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペア一致割り込み要求信号	: 4本
・オーバフロー割り込み要求信号	: 1本
・タイマ出力端子 ^注	: 1本

注 TAB1の出力端子数です。

7.2 機能

7.2.1 V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1

V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1の機能を次に示します。

- ・6相PWM出力^注
- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

注 TMQOPnと接続して使用します。詳細は、**第10章 モータ制御機能**を参照してください。

7.2.2 V850E/IG4-HのTAB1

V850E/IG4-HのTAB1の機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ (コンペア機能のみ)

7.3 構成

7.3.1 V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1

V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1は、次のハードウェアで構成されています。

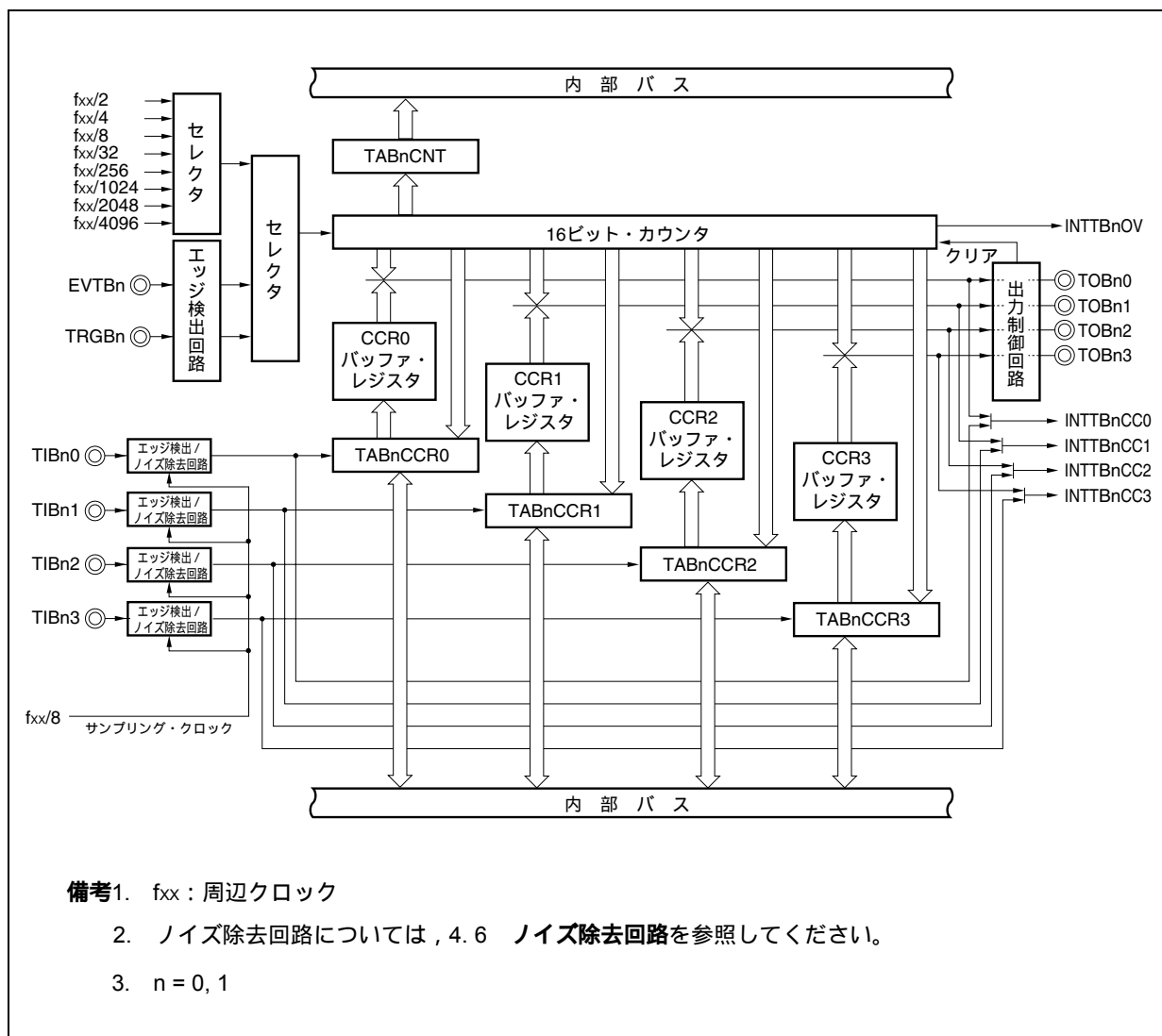
表7 - 1 V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TABnカウンタ・リード・バッファ・レジスタ (TABnCNT) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3) CCR0-CCR3/バッファ・レジスタ
タイマ入力	計12本 (TIB00-TIB03, TIB10-TIB13, EVTB0, EVTB1, TRGB0, TRGB1端子) ^注
タイマ出力	計8本 (TOB00-TOB03, TOB10-TOB13端子) ^注
制御レジスタ	TABn制御レジスタ0, 1 (TABnCTL0, TABnCTL1) TABn/O制御レジスタ0-2 (TABnIOC0-TABnIOC2) TABnオプション・レジスタ0 (TABnOPT0)

注 TIBn1-TIBn3端子には、タイマ出力端子 (TOBn1-TOBn3) が兼用されています。

備考 n = 0, 1

図7-1 V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TABnCNTレジスタでリードできます。

TABnCTL0.TABnCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTABnCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTABnCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR0レジスタをコンペア・レジスタとして使用するとき、TABnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTBnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTABnCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR1レジスタをコンペア・レジスタとして使用するとき、TABnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTBnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTABnCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR2レジスタをコンペア・レジスタとして使用するとき、TABnCCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTBnCC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTABnCCR2レジスタが0000Hになり、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR3レジスタをコンペア・レジスタとして使用するとき、TABnCCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTBnCC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTABnCCR3レジスタが0000Hになり、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIBn0-TIBn3, EVTbn, TRGBn端子に入力される有効エッジを検出します。有効エッジは、TABnIOC1, TABnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOBn0-TOBn3端子の出力をTABnIOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

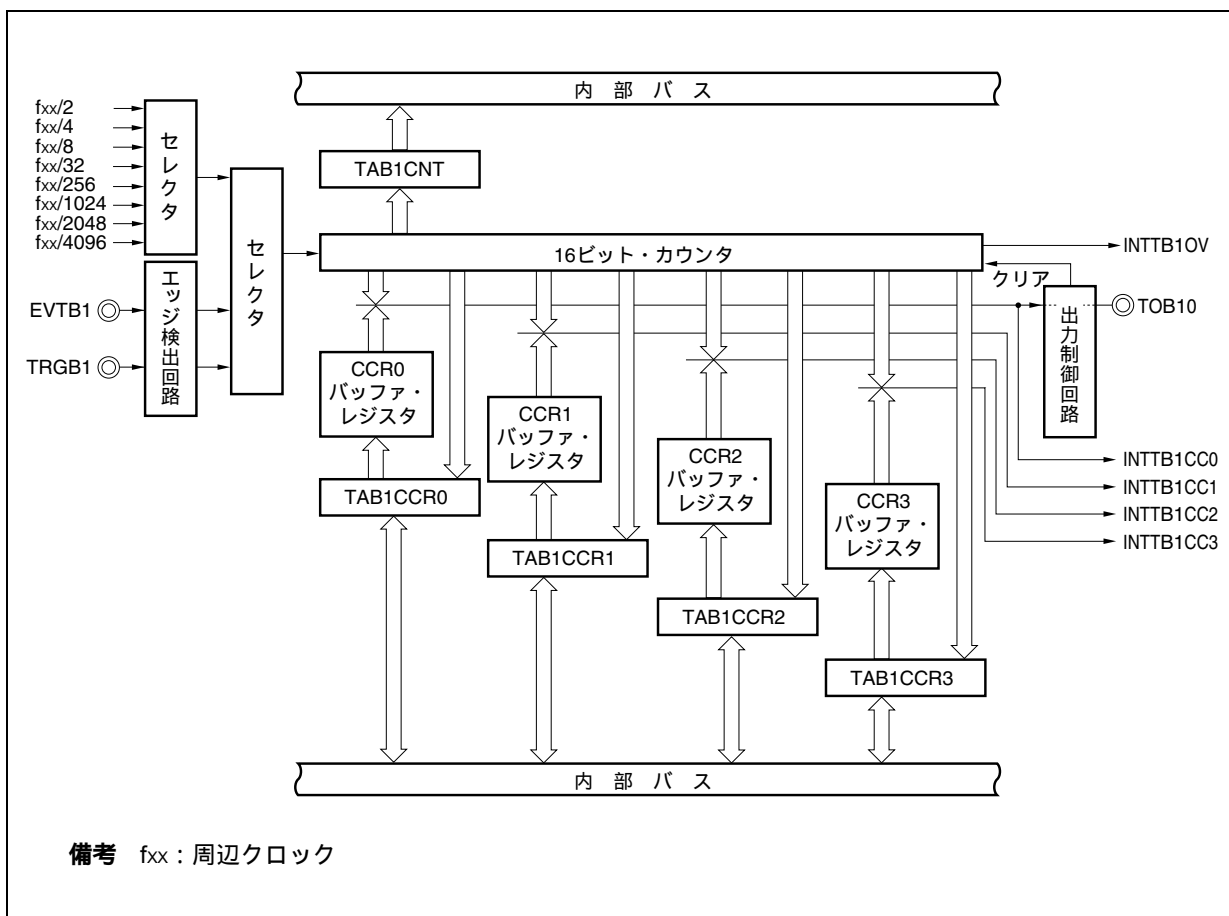
7.3.2 V850E/IG4-HのTAB1

V850E/IG4-HのTAB1は、次のハードウェアで構成されています。

表7-2 V850E/IG4-HのTAB1の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TAB1カウンタ・リード・バッファ・レジスタ (TAB1CNT) TAB1キャプチャ/コンペア・レジスタ0-3 (TAB1CCR0-TAB1CCR3) CCR0-CCR3バッファ・レジスタ
タイマ入力	計4本 (EVTB0, EVTB1, TRGB0, TRGB1端子)
タイマ出力	計1本 (TOB10端子)
制御レジスタ	TAB1制御レジスタ0, 1 (TAB1CTL0, TAB1CTL1) TAB1I/O制御レジスタ0-2 (TAB1IOC0-TAB1IOC2) TAB1オプション・レジスタ0 (TAB1OPT0)

図7-2 V850E/IG4-HのTAB1のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TAB1CNTレジスタでリードできます。

TAB1CTL0.TAB1CEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTAB1CNTレジスタをリードすると0000Hがリードされます。

リセット時にはTAB1CEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAB1CCR0レジスタをコンペア・レジスタとして使用するとき、TAB1CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTB1CC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTAB1CCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAB1CCR1レジスタをコンペア・レジスタとして使用するとき、TAB1CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTB1CC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTAB1CCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAB1CCR2レジスタをコンペア・レジスタとして使用するとき、TAB1CCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTB1CC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTAB1CCR2レジスタが0000Hになり、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAB1CCR3レジスタをコンペア・レジスタとして使用するとき、TAB1CCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTB1CC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTAB1CCR3レジスタが0000Hになり、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

EVTB1, TRGB1端子に入力される有効エッジを検出します。有効エッジは、TAB1IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOB10端子の出力をTAB1IOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.4 レジスタ

(1) TABn制御レジスタ0 (TABnCTL0)

TABnCTL0レジスタは、TABnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TABnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

		リセット時：00H R/W アドレス：TAB0CTL0 FFFFF5E0H, TAB1CTL0 FFFFF620H							
		⑦	6	5	4	3	2	1	0
TABnCTL0	TABnCE	0	0	0	0	TABnCKs2	TABnCKs1	TABnCKs0	
V850E/IG4-H n = 0, 1 m = 0	TABnCE	TABnの動作の制御							
		0	TABn動作禁止 (TABnを非同期にリセット ^注)						
V850E/IH4-H n = 0, 1 m = 0, 1		1	TABn動作許可。TABn動作開始						
	TABnCKs2	TABnCKs1	TABnCKs0	内部カウント・クロックの選択					
	0	0	0	fxx/2					
	0	0	1	fxx/4					
	0	1	0	fxx/8					
	0	1	1	fxx/32					
	1	0	0	fxx/256					
	1	0	1	fxx/1024					
	1	1	0	fxx/2048					
	1	1	1	fxx/4096					

注 TABnOPT0.TABnOVfビット, 16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOBn0, TOBm1-TOBm3端子) も16ビット・カウンタと同時にTABnIOC0レジスタの設定状態にリセットされます。

注意1. TABnCKs2-TABnCKs0ビットは、TABnCEビット = 0のときに設定してください。
TABnCEビットを“0”から“1”に設定するときも、同時にTABnCKs2-TABnCKs0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TABn制御レジスタ1 (TABnCTL1)

TABnCTL1レジスタは、TABnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0CTL1 FFFFF5E1H, TAB1CTL1 FFFFF621H

	7	6	5	4	3	2	1	0
TABnCTL1	0	TABnEST	TABnEEE	0	0	TABnMD2	TABnMD1	TABnMD0

(n = 0, 1)

TABnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TABnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TABnESTビットへの“1”ライトをトリガとして、PWM波形を出力
TABnESTビットのリード値は常に0です。	

TABnEEE	カウント・クロックの選択
0	外部イベント・カウント入力 (EVTBn端子) での動作禁止 (TABnCTL0.TABnCKS0-TABnCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (EVTBn端子) での動作許可 (外部イベント・カウント入力信号 (EVTBn端子) の有効エッジごとにカウント動作を行う)
TABnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TABnMD2	TABnMD1	TABnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード ^{注1}
1	1	1	6相PWM出力モード ^{注1, 2}

注1. V850E/IG4-Hは、TAB0のみ設定可能です。TAB1では設定禁止です。

2. 6相PWM出力モードはTABn単体では使用できません。詳細は第10章モータ制御機能を参照してください。

注意1. TABnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。

2. 外部イベント・カウント・モードのときは、TABnEEEビットの値にかかわらず外部イベント・カウント入力が選択されます。

3. TABnEEE, TABnMD2-TABnMD0ビットは、TABnCTL0.TABnCEビット = 0のときに設定してください (TABnCEビット = 1のときの同値書き込みは可能)。TABnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

4. ビット3, 4, 7は必ず0を設定してください。

(3) TABnI/O制御レジスタ0 (TABnIOC0)

TABnIOC0レジスタは、タイマ出力 (TOBn0-TOBn3, TOBnT1-TOBnT3端子 (TOB11-TOB13, TOB1T1, TOB1T2端子はV850E/IH4-Hのみ)) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(a) V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1の場合

リセット時: 00H R/W アドレス: TAB0IOC0 FFFF5E2H, TAB1IOC0 FFFF622H

	7	⑥	5	④	3	②	1	①
TABnIOC0	TABnOL3	TABnOE3	TABnOL2	TABnOE2	TABnOL1	TABnOE1	TABnOL0	TABnOE0

$n = 0, 1$
 $a = 0-3$
 $b = 1-3$

TABnOLa	TOBna, TOBnTb端子出力レベルの設定 ^注
0	TOBna, TOBnTb端子ハイ・レベル・スタート
1	TOBna, TOBnTb端子ロウ・レベル・スタート

TABnOEa	TOBna, TOBnTb端子出力の設定
0	タイマ出力禁止 ・TABnOLaビット = 0のときTOBna, TOBnTb端子からロウ・レベルを出力 ・TABnOLaビット = 1のときTOBna, TOBnTb端子からハイ・レベルを出力
1	タイマ出力許可 (TOBna, TOBnTb端子からパルスを出力)

注 TABnOLaビットの指定によるタイマ出力端子 (TOBna, TOBnTb) の出力レベルを次に示します。

・TABnOLaビット = 0の場合 ・TABnOLaビット = 1の場合

16ビット・カウンタ

TABnCEビット

TOBna, TOBnTb端子出力

16ビット・カウンタ

TABnCEビット

TOBna, TOBnTb端子出力

注意1. ポート設定がTOBna, TOBnTb出力設定の場合、TABnIOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。

- TABnOLa, TABnOEaビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
- TABnCEビット = 0, TABnOEaビット = 0の状態において、TABnOLaビットを操作した場合でも、TOBna, TOBnTb端子の出力レベルは変化しません。
- 6相PWM出力モード時にTOBnTb端子出力およびA/Dコンバータ0, 1のA/D変換開始トリガ信号を発生させる場合には、必ずTABnIOC0レジスタでTOBnTb端子出力モードの設定をしてください。ただし、TABnOL0, TABnOE0ビットは必ずTABnOL0ビット = 0, TABnOE0ビット = 1に設定してください。

(b) V850E/IG4-HのTAB1の場合

リセット時：00H R/W アドレス：FFFFFF622H

	7	6	5	4	3	2	1	①
TAB1IOC0	0	0	0	0	0	0	TAB1OL0	TAB1OE0

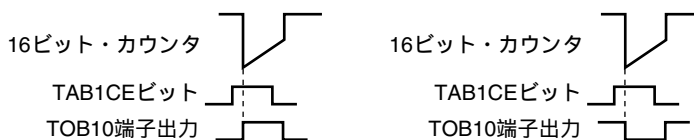
TAB1OL0	TOB10端子出力レベルの設定 ^注
0	TOB10端子ハイ・レベル・スタート
1	TOB10端子ロウ・レベル・スタート

TAB1OE0	TOB10端子出力の設定
0	タイマ出力禁止 ・TAB1OL0ビット = 0のときTOB10端子からロウ・レベルを出力 ・TAB1OL0ビット = 1のときTOB10端子からハイ・レベルを出力
1	タイマ出力許可 (TOB10端子からパルスを出力)

注 TAB1OL0ビットの指定によるタイマ出力端子 (TOB10) の出力レベルを次に示します。

・TAB1OL0ビット = 0の場合

・TAB1OL0ビット = 1の場合



- 注意1. ポート設定がTOB10出力設定の場合, TAB1IOC0レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。
2. TAB1OL0, TAB1OE0ビットは, TAB1CTL0.TAB1CEビット = 0のときに書き換えてください (TAB1CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TAB1CEビットをクリア(0)してから再設定してください。
3. TAB1CEビット = 0, TAB1OE0ビット = 0の状態において, TAB1OL0ビットを操作した場合でも, TOB10端子の出力レベルは変化します。

(4) TABmI/O制御レジスタ1 (TABmIOC1)

TABmIOC1レジスタは、キャプチャ・トリガ入力信号 (TIBm0-TIBm3端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: TAB0IOC1 FFFFF5E3H, TAB1IOC1 FFFFF623H^注

		7	6	5	4	3	2	1	0
TABmIOC1		TABmIS7	TABmIS6	TABmIS5	TABmIS4	TABmIS3	TABmIS2	TABmIS1	TABmIS0
〔V850E/IG4-H〕 m = 0	TABmIS7	TABmIS6	キャプチャ・トリガ入力信号 (TIBm3端子) の有効エッジの設定						
	0	0	エッジ検出なし (キャプチャ動作無効)						
〔V850E/IH4-H〕 m = 0, 1	0	1	立ち上がりエッジを検出						
	1	0	立ち下がりエッジを検出						
	1	1	両エッジを検出						
			TABmIS5	TABmIS4	キャプチャ・トリガ入力信号 (TIBm2端子) の有効エッジの設定				
		0	0	エッジ検出なし (キャプチャ動作無効)					
		0	1	立ち上がりエッジを検出					
		1	0	立ち下がりエッジを検出					
		1	1	両エッジを検出					
		TABmIS3	TABmIS2	キャプチャ・トリガ入力信号 (TIBm1端子) の有効エッジの設定					
		0	0	エッジ検出なし (キャプチャ動作無効)					
		0	1	立ち上がりエッジを検出					
		1	0	立ち下がりエッジを検出					
		1	1	両エッジを検出					
		TABmIS1	TABmIS0	キャプチャ・トリガ入力信号 (TIBm0端子) の有効エッジの設定					
		0	0	エッジ検出なし (キャプチャ動作無効)					
		0	1	立ち上がりエッジを検出					
		1	0	立ち下がりエッジを検出					
		1	1	両エッジを検出					

注 V850E/IH4-Hのみ

- 注意1. TABmIS7-TABmIS0ビットは、TABmCTL0.TABmCEビット = 0のときに書き換えてください (TABmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABmCEビットをクリア(0)してから再設定してください。
2. TABmIS7-TABmIS0ビットは、フリー・ランニング・タイマ・モード (TABmOPT0.TABmCCSaビット = 1時) と、パルス幅測定モードのときのみ有効です (a = 0-3)。それ以外のモードではキャプチャ動作は行われません。

(5) TABnI/O制御レジスタ2 (TABnIOC2)

TABnIOC2レジスタは、外部イベント・カウント入力信号 (EVTBn端子)、外部トリガ入力信号 (TRGBn端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0IOC2 FFFFF5E4H, TAB1IOC2 FFFFF624H

	7	6	5	4	3	2	1	0
TABnIOC2	0	0	0	0	TABnEES1	TABnEES0	TABnETS1	TABnETS0

(n = 0, 1)

TABnEES1	TABnEES0	外部イベント・カウント入力信号 (EVTBn端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnETS1	TABnETS0	外部トリガ入力信号 (TRGBn端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TABnEES1, TABnEES0, TABnETS1, TABnETS0ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
2. TABnEES1, TABnEES0ビットは、TABnCTL1.TABnEEEビット = 1、または、外部イベント・カウント・モード (TABnCTL1.TABnMD2-TABnMD0ビット = 001) に設定したときのみ有効です。
3. TABnETS1, TABnETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(6) TABnオプション・レジスタ0 (TABnOPT0)

TABnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0OPT0 FFFFF5E5H, TAB1OPT0 FFFFF625H

		⑦	⑥	⑤	④	3	②	①	①	
TABnOPT0		TABmCCS3 ^{注1}	TABmCCS2 ^{注1}	TABmCCS1 ^{注1}	TABmCCS0 ^{注1}	0	TABnCMS ^{注2}	TABnCUF ^{注2}	TABnOVF	
V850E/IG4-H n = 0, 1 m = 0 a = 0-3	TABmCCSa ^{注1}	TABmCCRaレジスタのキャプチャ/コンペア選択								
		0	コンペア・レジスタに選択							
V850E/IH4-H n = 0, 1 m = 0, 1 a = 0-3		1	キャプチャ・レジスタに選択 (TABmCTL0.TABmCEビット = 0によりクリア)							
	TABmCCSaビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。									

TABnOVF	TABnのオーバフロー・フラグ
セット (1)	オーバフロー発生
リセット (0)	TABnOVFビットへの0書き込みまたはTABnCTL0.TABnCEビット = 0
<ul style="list-style-type: none"> ・TABnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード^{注3}時に、16ビット・カウンタの値がFFFFHから0000Hにオーバフローするときセット (1) されます。 ・TABnOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTBnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード^{注3}以外では、INTTBnOV信号は発生しません。 ・TABnOVFビット = 1のときにTABnOVFビットまたはTABnOPT0レジスタをリードしても、TABnOVFビットはクリア (0) されません。 ・INTTBnOV信号発生後、TABnOVFビットをクリア (0) する場合は、必ずTABnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・TABnOVFビットは、リード/ライト可能ですが、ソフトウェアでTABnOVFビットをセット (1) することはできません。1をライトしてもTABnの動作に影響はありません。 	

注1. V850E/IG4-Hは、TAB0のみ設定可能です。

TAB1のビット4-7には必ず0を設定してください。

- V850E/IG4-Hでは、TAB1のビット1, 2には必ず0を設定してください。TABnCMS, TABnCUFビットの詳細は、第10章 モータ制御機能を参照してください。
- TAB0, TAB1 (V850E/IH4-Hのみ) のみ有効です。

注意1. TABmCCS3-TABmCCS0ビットは、TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

- ビット3には必ず0を設定してください。

(7) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABmCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。V850E/IG4-HのTAB1CCR0レジスタはコンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TABmCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABmOPT0.TABmCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TABnCCR0レジスタは、動作中のリード/ライトを許可します。

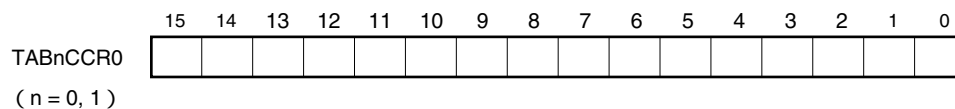
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

リセット時 : 0000H R/W アドレス : TAB0CCR0 FFFFFFF5E6H, TAB1CCR0 FFFFF626H



(a) コンペア・レジスタとしての機能

TABnCCR0レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTBnCC0) を発生し、TOBn0端子出力を許可している場合、TOBn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TABnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TABnCTL0.TABnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABmCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIBm0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABmCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIBm0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABmCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABmCCR0レジスタのリードが競合しても、TABmCCR0レジスタは正しい値をリードできます。

TABmCTL0.TABmCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ ^{注1} /コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TAB0, TAB1 (V850E/IH4-Hのみ) のみ

2. TABnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2) **随時書き込みと一斉書き込み**を参照してください。

(8) TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1)

TABmCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。V850E/IG4-HのTAB1CCR1レジスタはコンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TABmCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

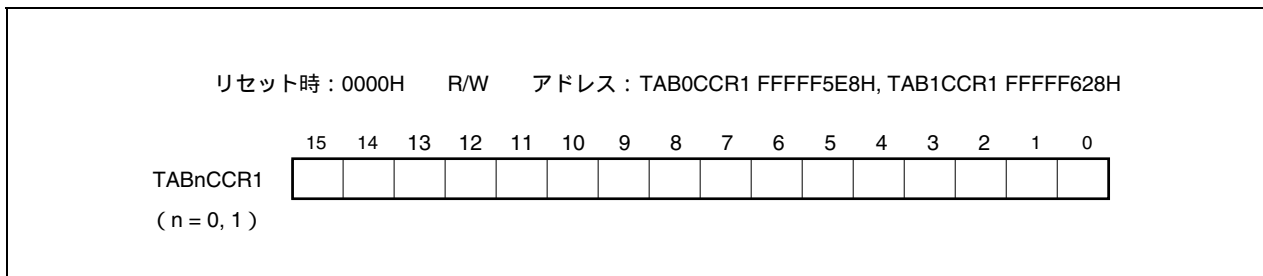
TABnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

**(a) コンペア・レジスタとしての機能**

TABnCCR1レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTBnCC1) を発生し、TOBm1端子出力を許可している場合、TOBm1端子出力を反転します。

TABnCTL0.TABnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABmCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIBm1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABmCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIBm1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABmCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABmCCR1レジスタのリードが競合しても、TABmCCR1レジスタは正しい値をリードできます。

TABmCTL0.TABmCEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ ^{注1} /コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TAB0, TAB1 (V850E/IH4-Hのみ) のみ

2. TABnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては，7.6(2) **随時書き込みと一斉書き込み**を参照してください。

(9) TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2)

TABmCCR2レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。V850E/IG4-HのTAB1CCR2レジスタはコンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TABmCCR2レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TABmOPT0.TABmCCS2ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TABnCCR2レジスタは，動作中のリード/ライトを許可します。

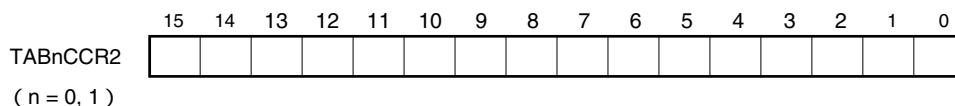
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

リセット時：0000H R/W アドレス：TAB0CCR2 FFFFF5EAH, TAB1CCR2 FFFFF62AH



(a) コンペア・レジスタとしての機能

TABnCCR2レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTBnCC2) を発生し、TOBm2端子出力を許可している場合、TOBm2端子出力を反転します。

TABnCTL0.TABnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABmCCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIBm2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABmCCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIBm2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABmCCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABmCCR2レジスタのリードが競合しても、TABmCCR2レジスタは正しい値をリードできます。

TABmCTL0.TABmCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ ^{注1} /コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TAB0, TAB1 (V850E/IH4-Hのみ) のみ

2. TABnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2) **随時書き込みと一斉書き込み**を参照してください。

(10) TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3)

TABmCCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。V850E/IG4-HのTAB1CCR3レジスタはコンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TABmCCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABmOPT0.TABmCCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

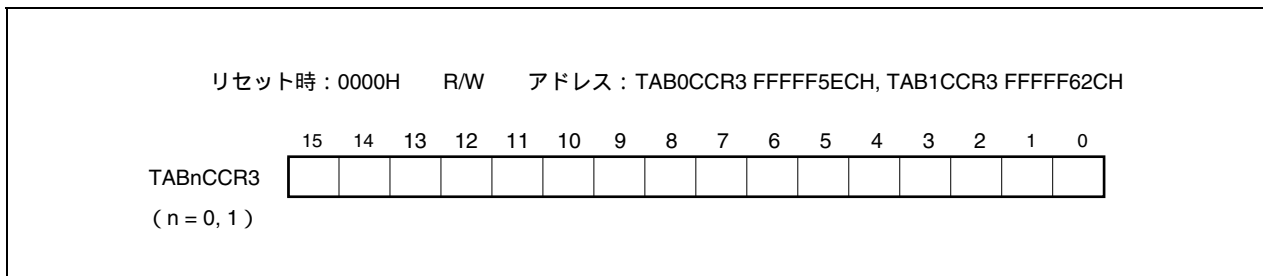
TABnCCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

**(a) コンペア・レジスタとしての機能**

TABnCCR3レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTBnCC3) を発生し、TOBm3端子出力を許可している場合、TOBm3端子出力を反転します。

TABnCTL0.TABnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABmCCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIBm3端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABmCCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIBm3端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABmCCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABmCCR3レジスタのリードが競合しても、TABmCCR3レジスタは正しい値をリードできます。

TABmCTL0.TABmCEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-6 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ ^{注1} /コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TAB0, TAB1 (V850E/IH4-Hのみ) のみ

2. TABnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては，7.6(2) **随時書き込みと一斉書き込み**を参照してください。

(11) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタは，16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TABnCTL0.TABnCEビット = 1のときにTABnCNTレジスタをリードすると，16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TABnCEビット = 0のとき，TABnCNTレジスタは0000Hになります。このときにTABnCNTレジスタをリードすると，16ビット・カウンタの値 (FFFFH) ではなく，そのまま0000Hがリードされます。

リセットによりTABnCEビット = 0になり，TABnCNTレジスタは0000Hになります。

リセット時：0000H R アドレス：TAB0CNT FFFFF5EEH, TAB1CNT FFFFF62EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TABnCNT (n = 0, 1)																

7.5 タイマ出力動作説明

次にTOBn0, TOBm1-TOBm3端子の動作, および出力レベルを示します。

表7-7 各モードによるタイマ出力制御

(a) V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1の場合

動作モード	TOBn0端子	TOBn1端子	TOBn2端子	TOBn3端子
インターバル・タイマ・モード	PWM出力			
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード	PWM出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)			
パルス幅測定モード	なし			

(b) V850E/IG4-HのTAB1の場合

動作モード	TOB10端子
インターバル・タイマ・モード	PWM出力
外部イベント・カウント・モード	なし
外部トリガ・パルス出力モード	PWM出力
ワンショット・パルス出力モード	
PWM出力モード	
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)
パルス幅測定モード	なし

備考 n = 0, 1

表7-8 タイマ出力制御ビットによるTOBna端子の真理値表

TABnIOC0.TABnOLaビット	TABnIOC0.TABnOEaビット	TABnCTL0.TABnCEビット	TOBna端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 V850E/IG4-H : n = 0のとき, a = 0-3

n = 1のとき, a = 0

V850E/IH4-H : n = 0, 1

a = 0-3

7.6 動作

TABnには次のような機能があります。

表7-9 TABnの各モードの仕様

(a) V850E/IG4-HのTAB0, V850E/IH4-HのTAB0, TAB1の場合

動作	TABnCTL1.TABnESTビット (ソフトウェア・トリガ・ビット)	TRGBn端子 (外部トリガ 入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外

(b) V850E/IG4-HのTAB1の場合

動作	TAB1CTL1.TAB1ESTビット (ソフトウェア・トリガ・ビット)	TRGB1端子 (外部トリガ 入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード	なし			

備考1. TABnはTAAnとの同調動作機能があります。詳細は、第10章 モータ制御機能を参照してください。

2. n = 0, 1

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 n = 0, 1

a = 0-3

(a) カウント開始動作

- ・外部イベント・カウント・モード

TABnCTL0.TABnCEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力 (EVTBn) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

- ・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウントはクリア動作ではありません。したがって、INTTBnCCa割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバーフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード (TAB0, TAB1 (V850E/IH4-Hのみ) のみ) 時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバーフローが発生すると、TABnOPT0.TABnOVFビットがセット(1)され、割り込み要求信号 (INTTBnOV) が発生します。なお、次の条件ではINTTBnOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号 (INTTBnOV) 発生後は、必ずオーバーフロー・フラグ (TABnOVFビット) が " 1 " にセットされているのを確認してください。

(d) カウンタ動作中のカウンタ・リード動作

TABnでは、TABnCNTレジスタにより、カウンタ動作中の16ビット・カウンタの値をリードできます。

TABnCTL0.TABnCEビット = 1のときは、TABnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TABnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TABnCNTレジスタが0000Hです。

(e) 割り込み動作

TABnでは、次の5種類の割り込み要求信号を発生します。

- ・ INTTBnCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号, およびTABmCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTBnCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号, およびTABmCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTBnCC2割り込み : CCR2バッファ・レジスタの一致割り込み要求信号, およびTABmCCR2レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTBnCC3割り込み : CCR3バッファ・レジスタの一致割り込み要求信号, およびTABmCCR3レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTBnOV割り込み : オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TABnでは、タイマ動作中 (TABnCTL0.TABnCEビット = 1) でもTABnCCR0-TABnCCR3レジスタの書き換えを許可していますが、モードによってCCR0-CCR3バッファ・レジスタへの書き込み方法 (随時書き込み、一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTABnCCR0-TABnCCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を随時行います。

図7-3 随時書き込みの基本動作フロー・チャート

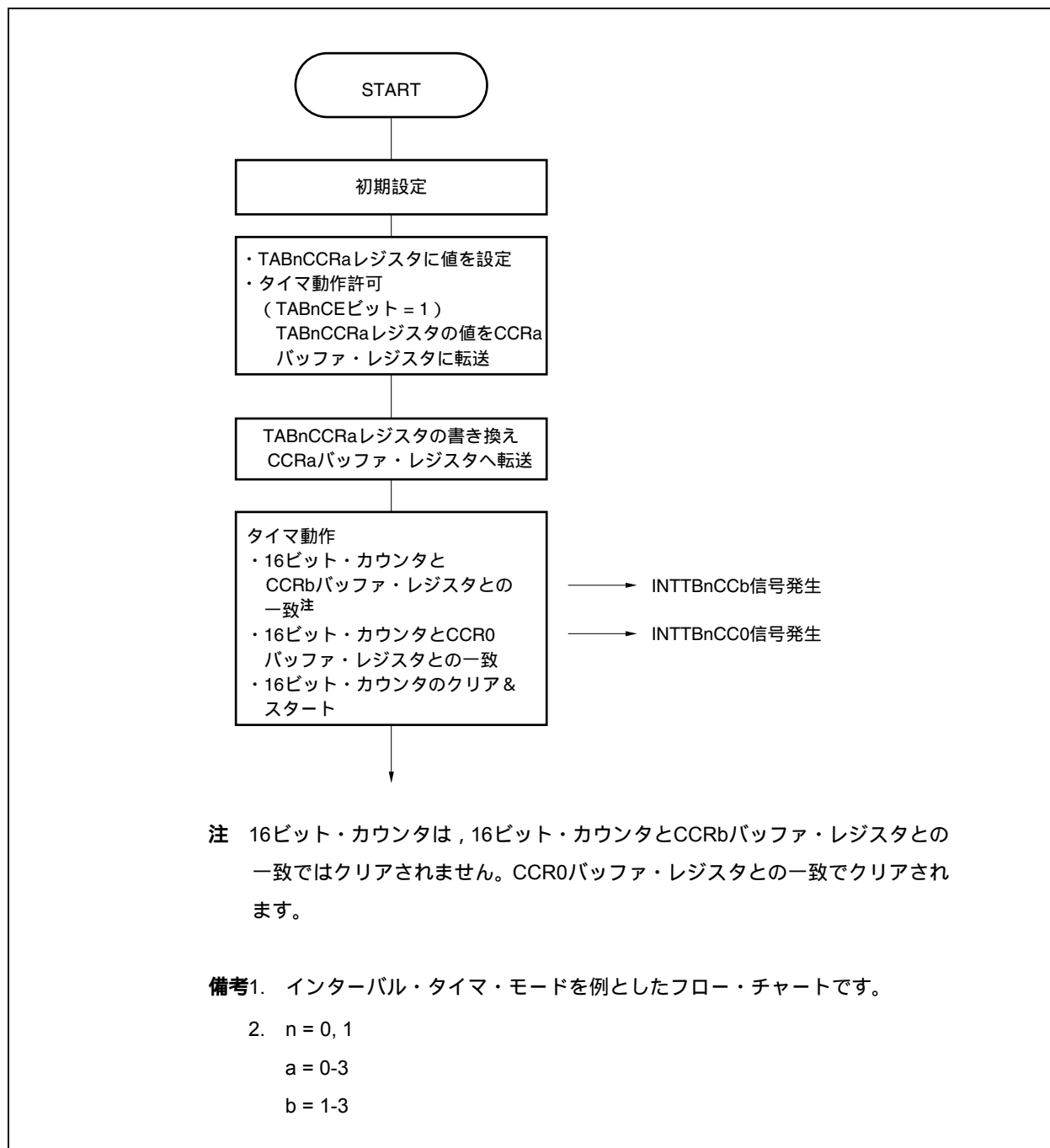
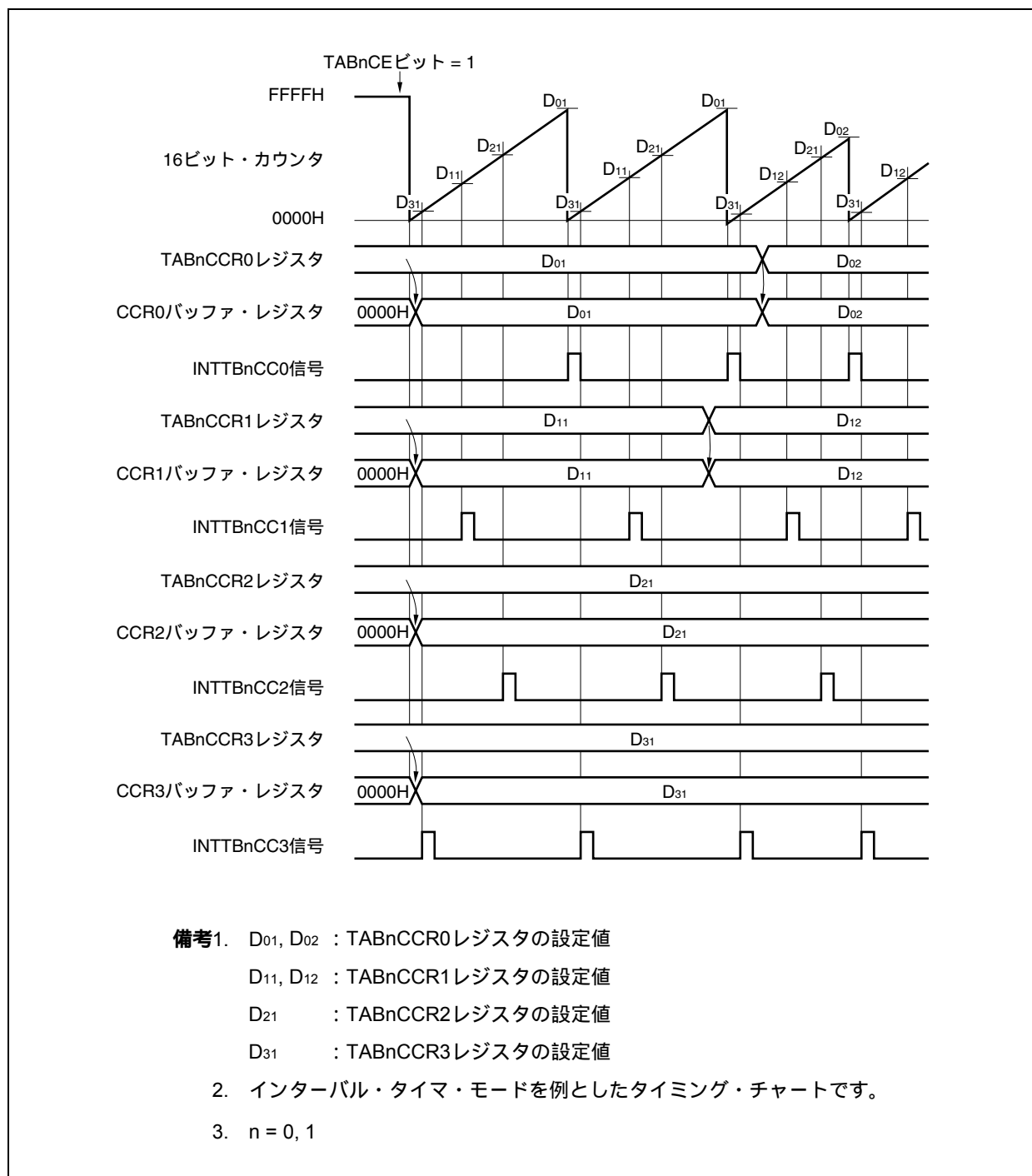


図7-4 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTABnCCR0-TABnCCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTABnCCR1レジスタへの書き込みとなります。TABnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TABnCCR0-TABnCCR3レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする（CCR0-CCR3バッファ・レジスタに転送される）には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTABnCCR0レジスタを書き換え、最後にTABnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TABnCCR0-TABnCCR3レジスタの値はCCR0-CCR3バッファ・レジスタに転送されます。なお、TABnCCR0、TABnCCR2、TABnCCR3レジスタのいずれかの値だけ書き換えたい場合でも、TABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）を書き込んでください。

図7-5 一斉書き込みの基本動作フロー・チャート

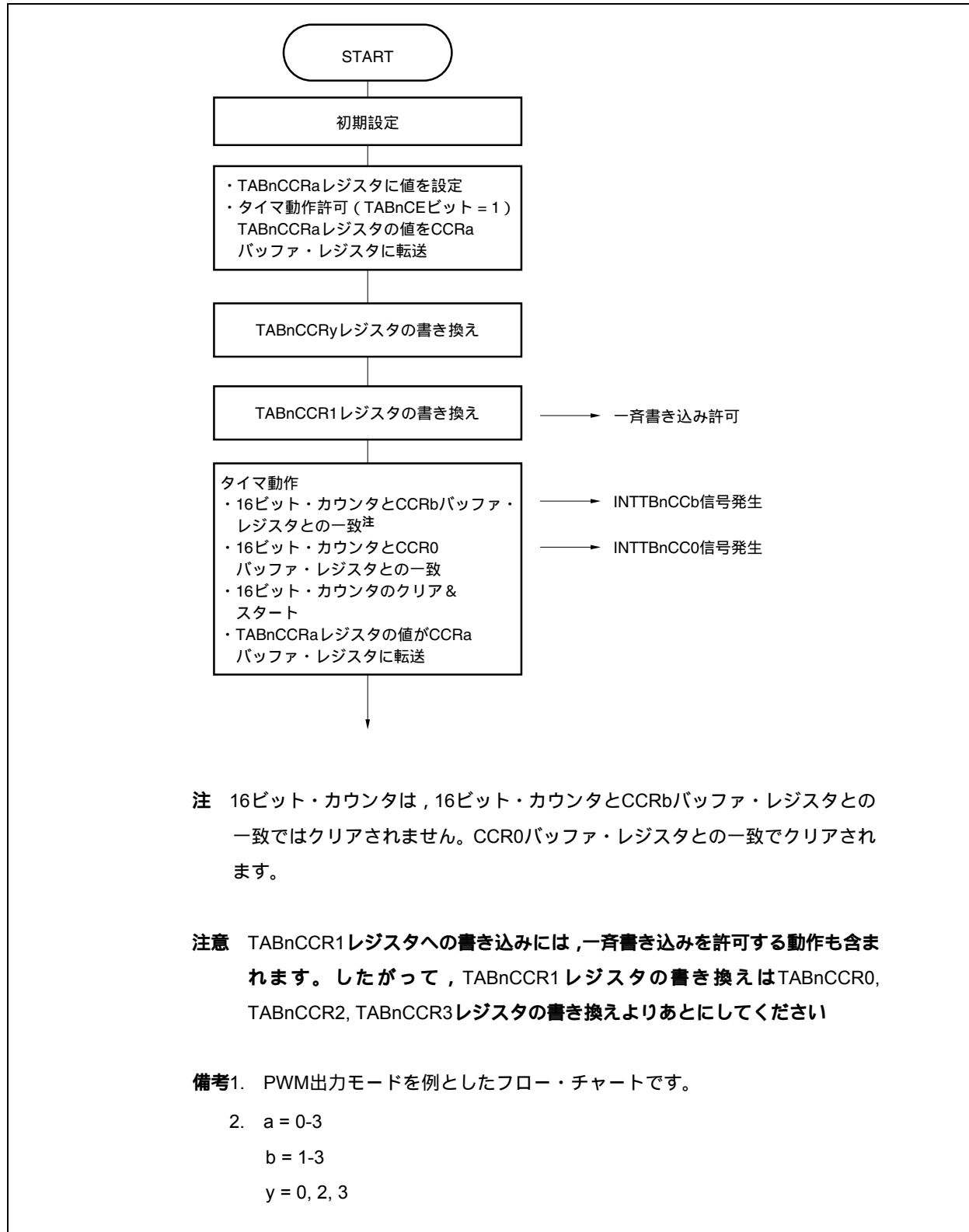
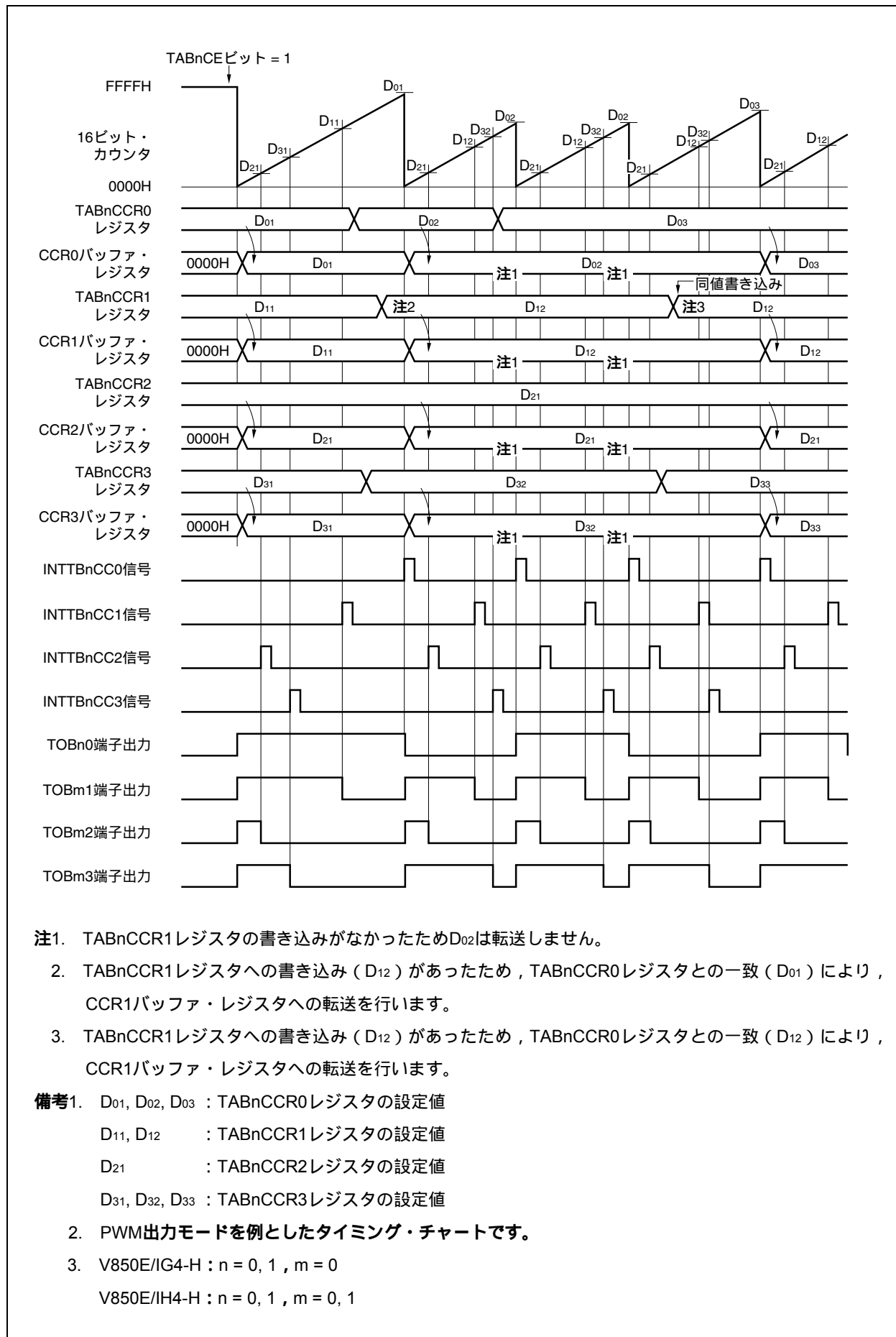


図7-6 一斉書き込みのタイミング



7.6.1 インターバル・タイマ・モード (TABnMD2-TABnMD0ビット = 000)

インターバル・タイマ・モードは、TABnCTL0.TABnCEビットをセット(1)することで、TABnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTBnCC0)を発生します。また、TOBn0端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TABnCCR1-TABnCCR3レジスタを使用しません。しかし、TABnCCR1-TABnCCR3レジスタでは、TABnCCR1-TABnCCR3レジスタの設定値がCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンパレー一致割り込み要求信号(INTTBnCC1-INTTBnCC3)が発生します。また、TOBm1-TOBm3端子から、INTTBmCC1-INTTBmCC3信号の発生タイミングで反転する50%デューティのPWM波形を出力できます。

なお、TABnCCR1-TABnCCR3レジスタのタイマ動作中の書き換えは可能です。

備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

図7-7 インターバル・タイマの構成図

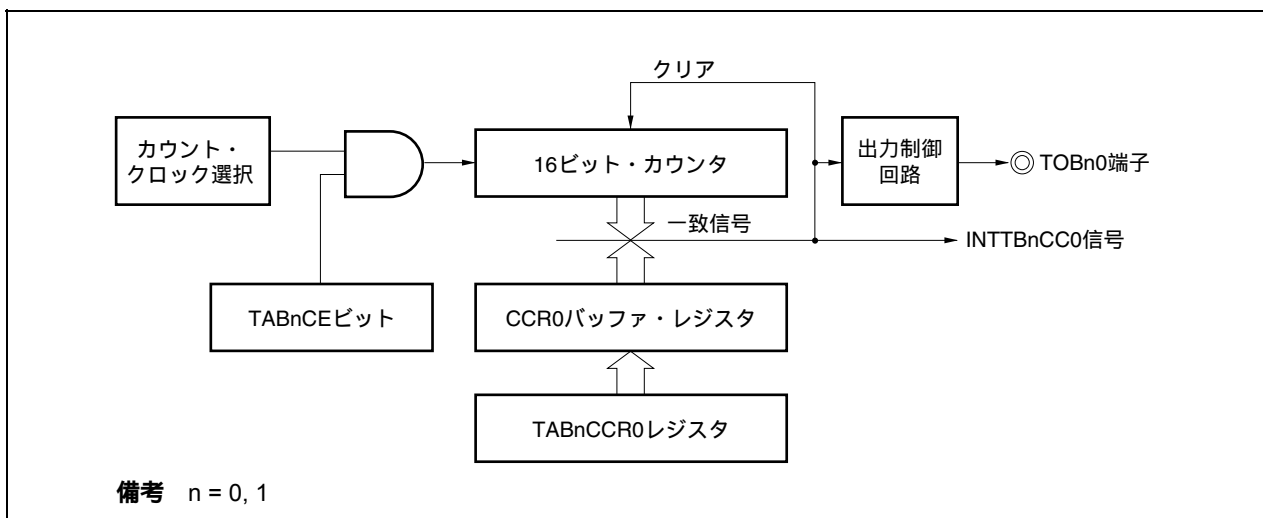
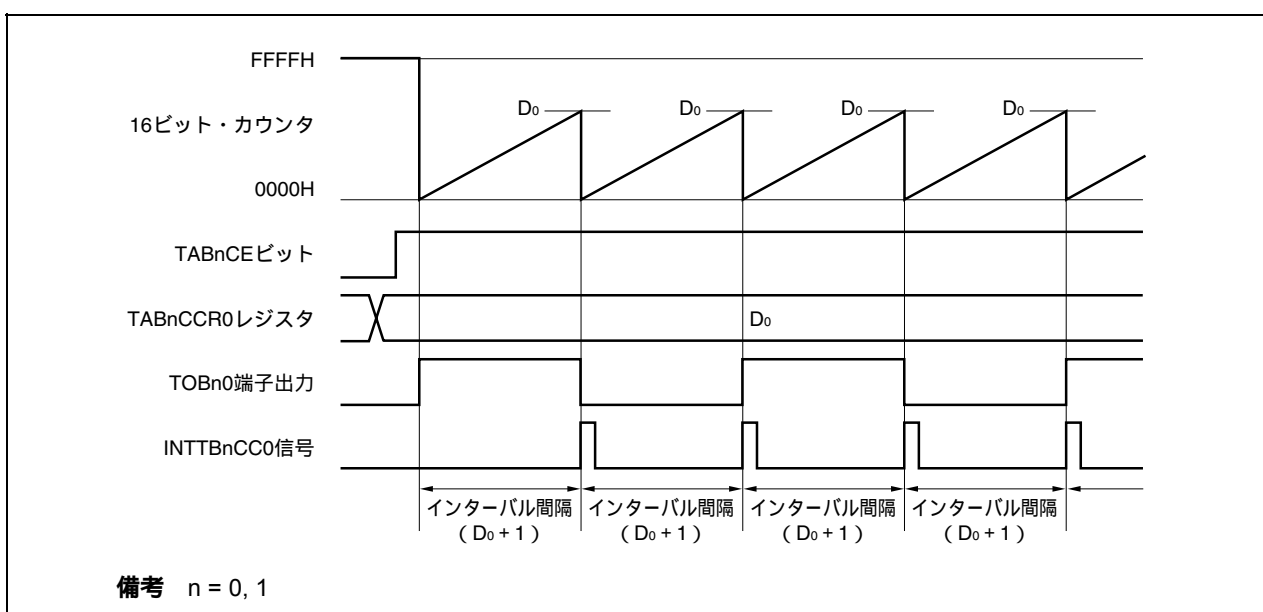


図7-8 インターバル・タイマ・モード動作の基本タイミング



TABnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOBn0端子出力を反転します。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOBn0端子出力を反転させて、コンペア一致割り込み要求信号(INTTBnCC0)を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TABnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0, 1

図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容(1/3)

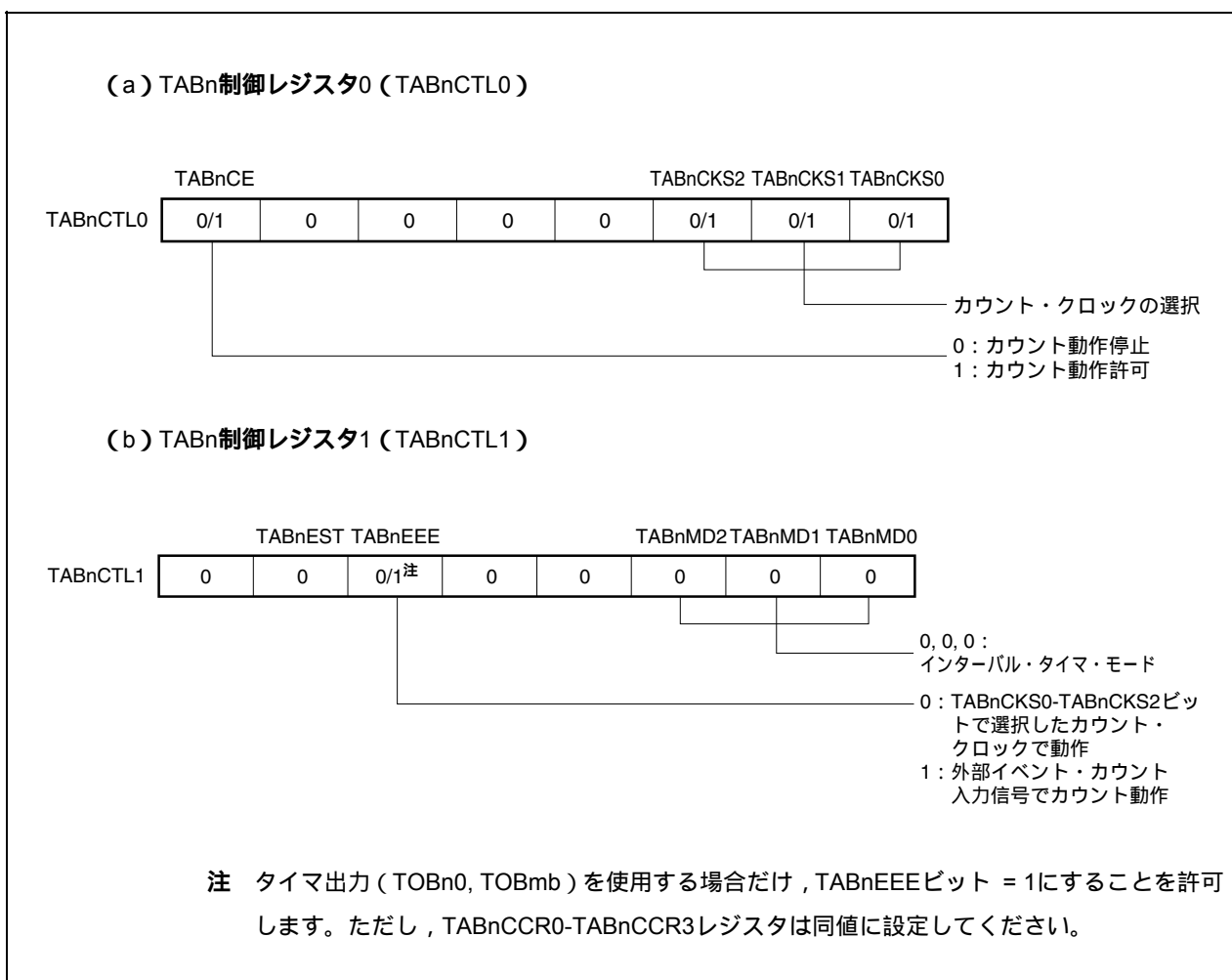
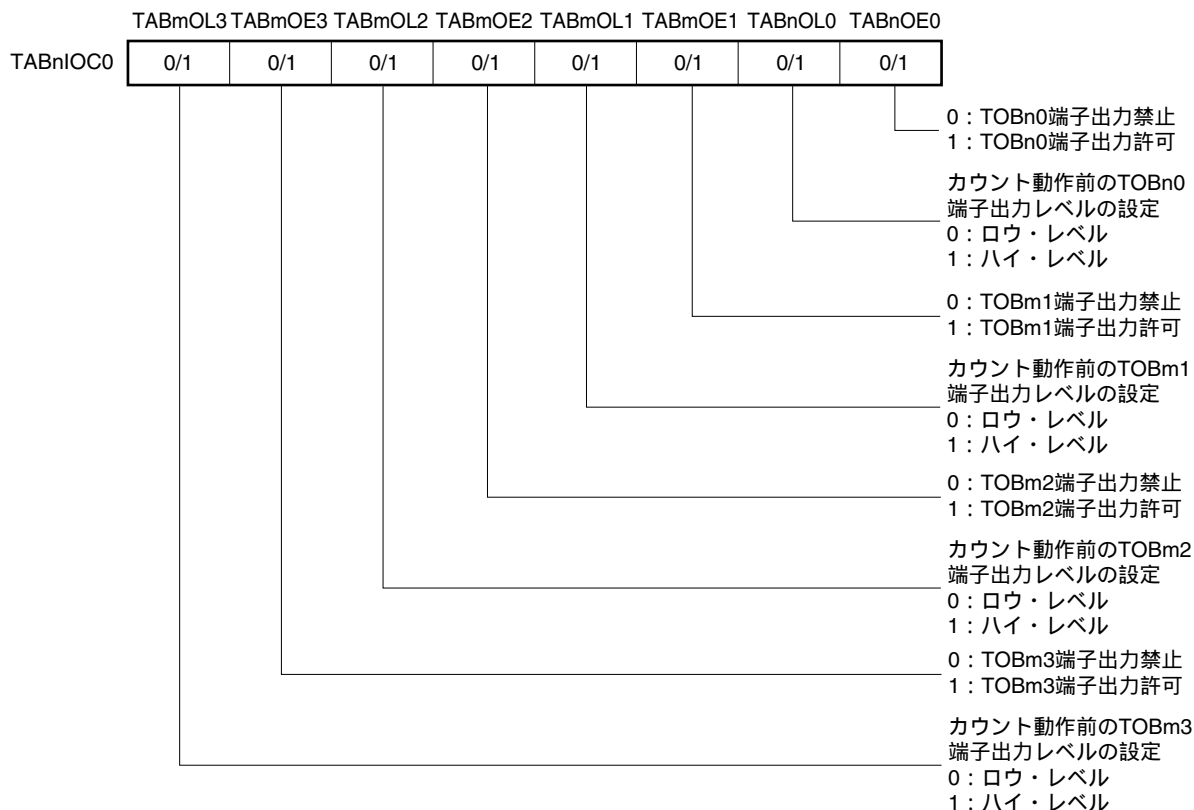
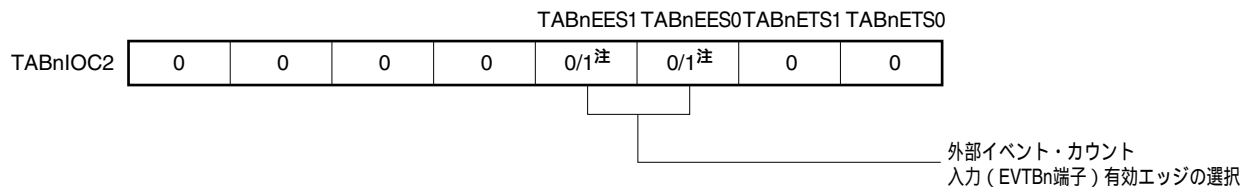


図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TABnI/O制御レジスタ0 (TABnIOC0)



(d) TABnI/O制御レジスタ2 (TABnIOC2)



注 タイマ出力 (TOBn0, TOBm1-TOBm3) を使用する場合だけ, TABnEES1, TABnEES0ビットを設定することを許可します。ただし, TABnCCR0-TABnCCR3レジスタは同値に設定してください。

(e) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで, 16ビット・カウンタのカウンタ値をリードできます。

(f) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABnCCR0レジスタにD₀を設定した場合,

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

(g) TABnキャプチャ/コンペア・レジスタ1-3 (TABnCCR1-TABnCCR3)

インターバル・タイマ・モードでは、TABnCCR1-TABnCCR3レジスタを使用しません。しかし、TABnCCR1-TABnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致すると、TOBm1-TOBm3端子出力を反転し、コンペア一致割り込み要求信号 (INTTBnCC1-INTTBnCC3) が発生します。

TABnCCR1-TABnCCR3レジスタを使用しない場合には、TABnCCR1-TABnCCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TABnCCIC1.TABnCCMK1-TABnCCIC3.TABnCCMK3) でマスク設定してください。

- 備考1.** TABmI/O制御レジスタ1 (TABmIOC1), TABnオプション・レジスタ0 (TABnOPT0) は、インターバル・タイマ・モードでは使用しません。
2. V850E/IG4-H : n = 0, 1, m = 0
V850E/IH4-H : n = 0, 1, m = 0, 1

(1) インターバル・タイマ・モード動作フロー

図7-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

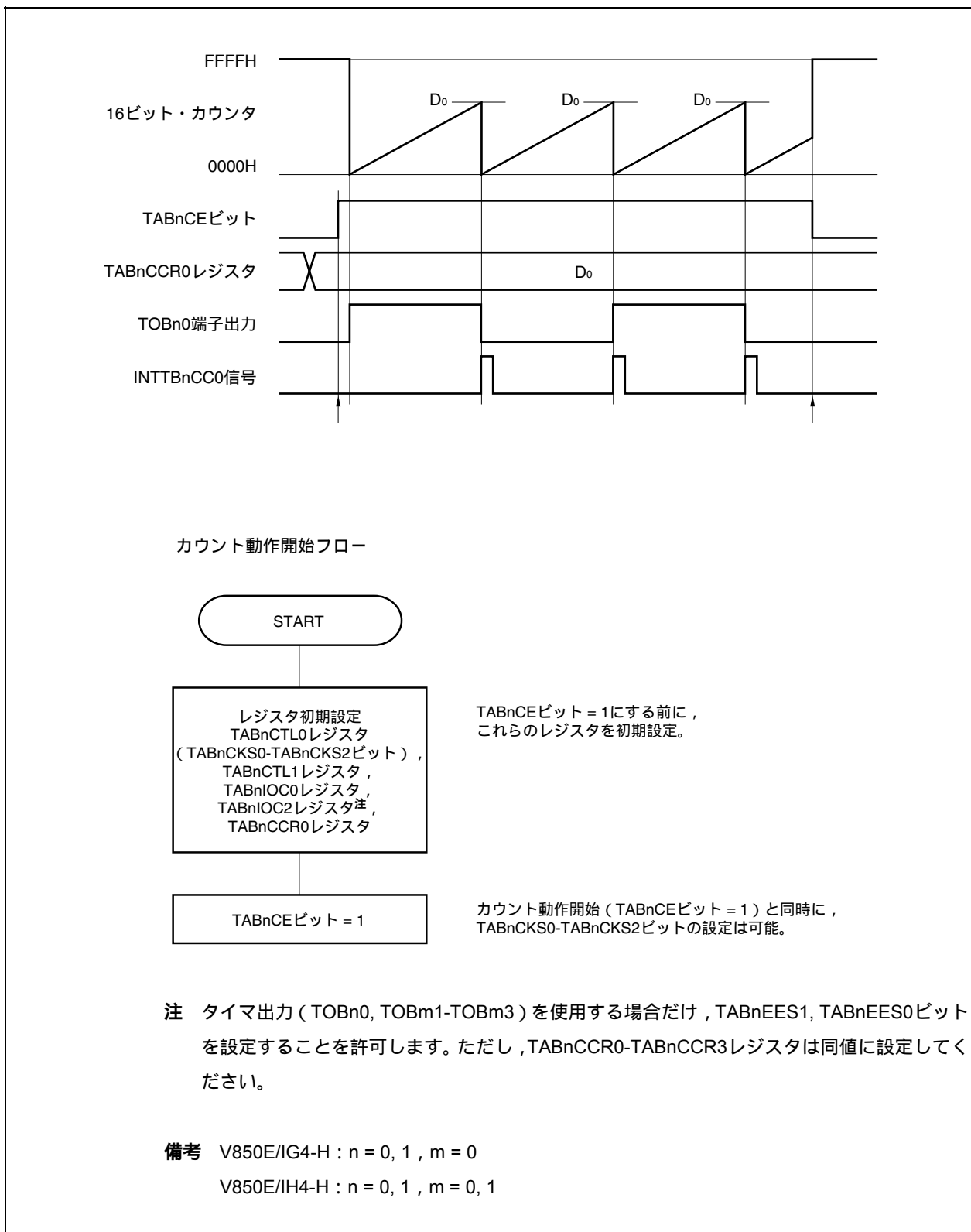
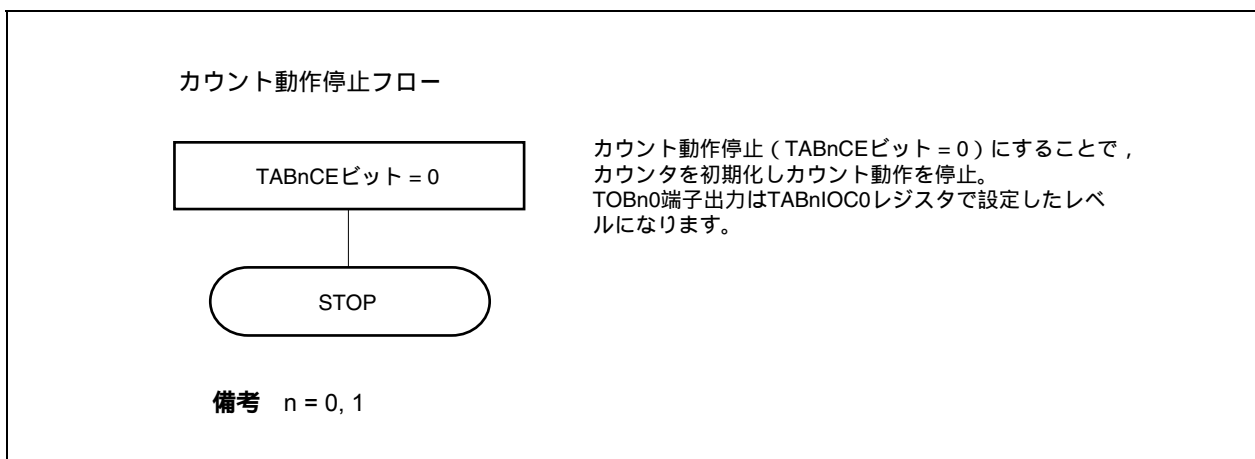


図7-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

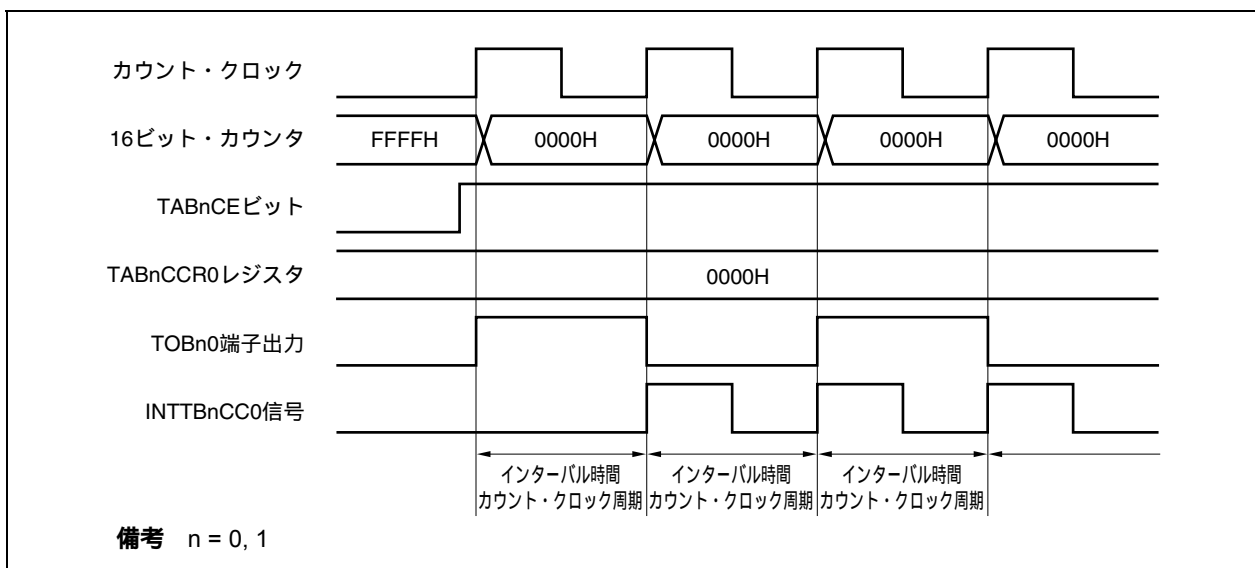


(2) インターバル・タイマ・モード動作タイミング

(a) TABnCCR0レジスタに0000Hを設定した場合の動作

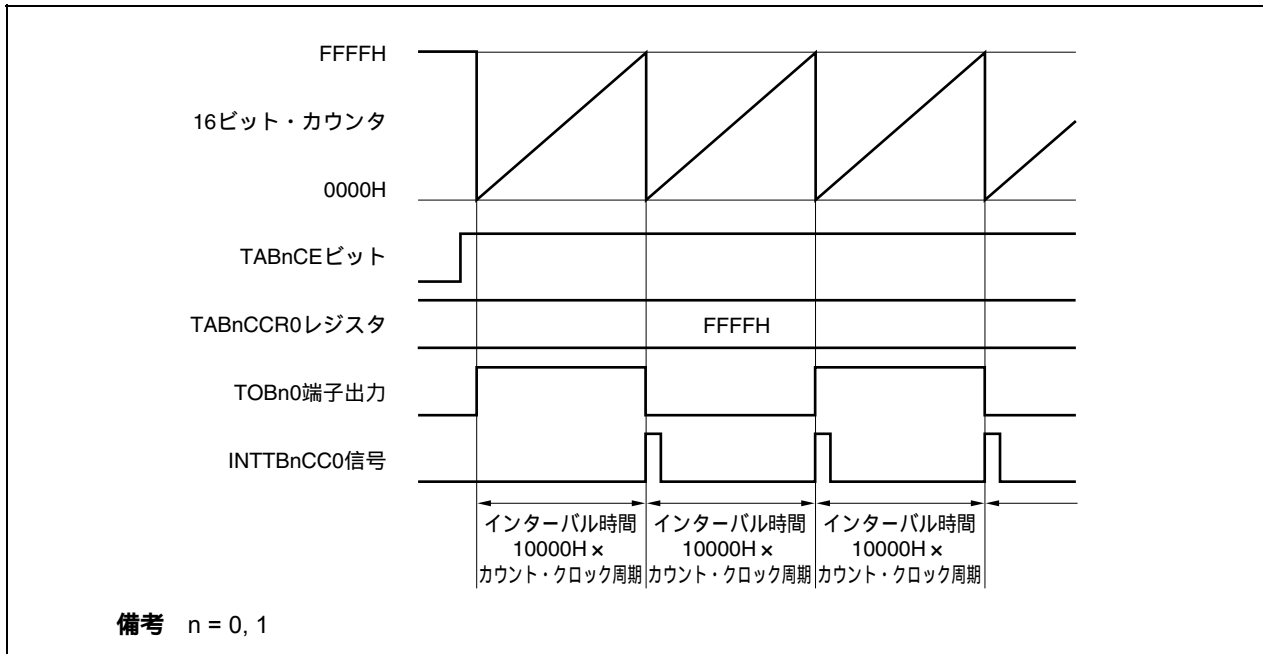
TABnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTBnCC0信号を発生し、TOBn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



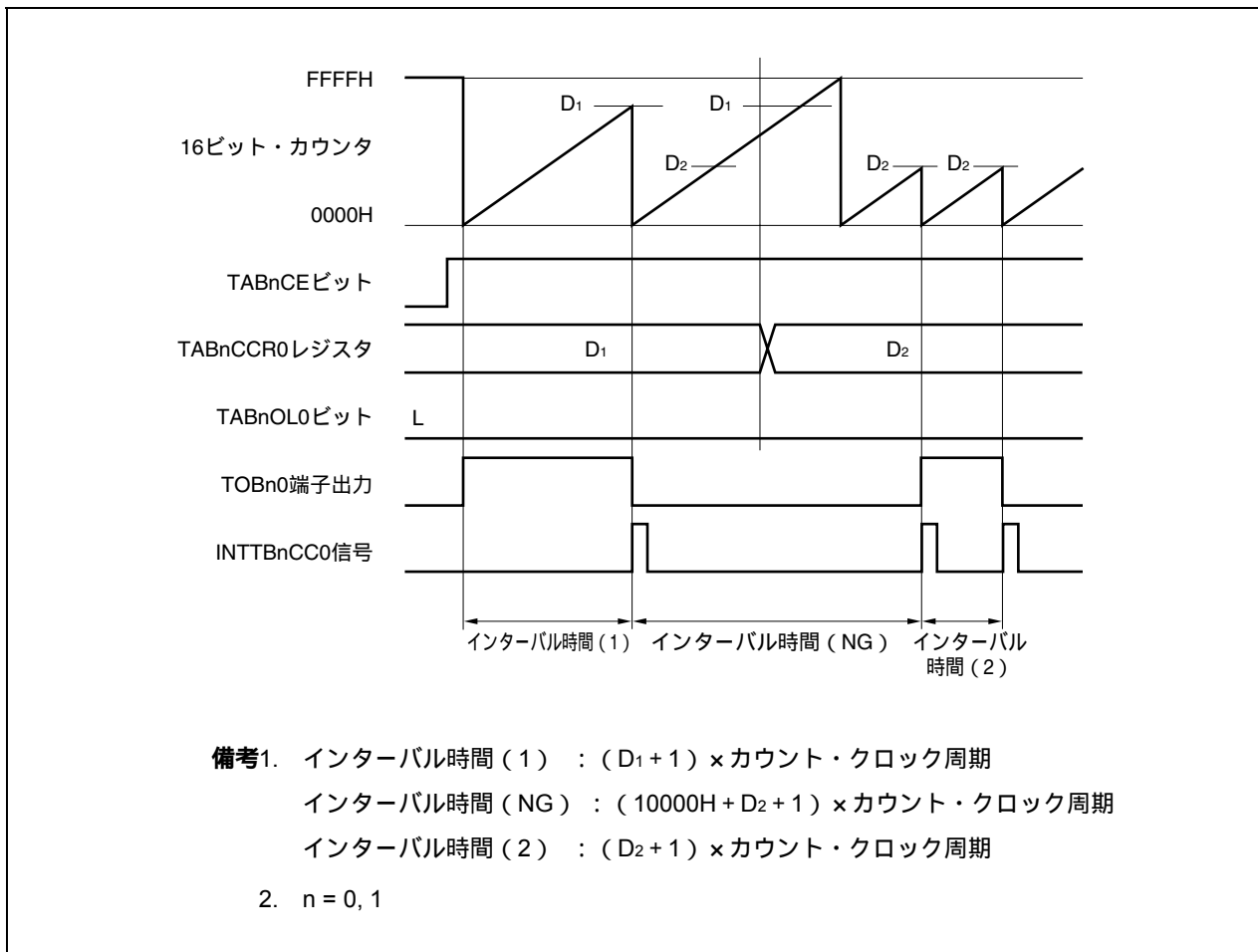
(b) TABnCCR0レジスタにFFFFHを設定した場合の動作

TABnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTBnCC0信号を発生し、TOBn0端子の出力を反転します。このとき、オーバーフロー割り込み要求信号 (INTTBnOV) は発生せず、オーバーフロー・フラグ (TABnOPT0.TABnOVFビット) もセット (1) されません。



(c) TABnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



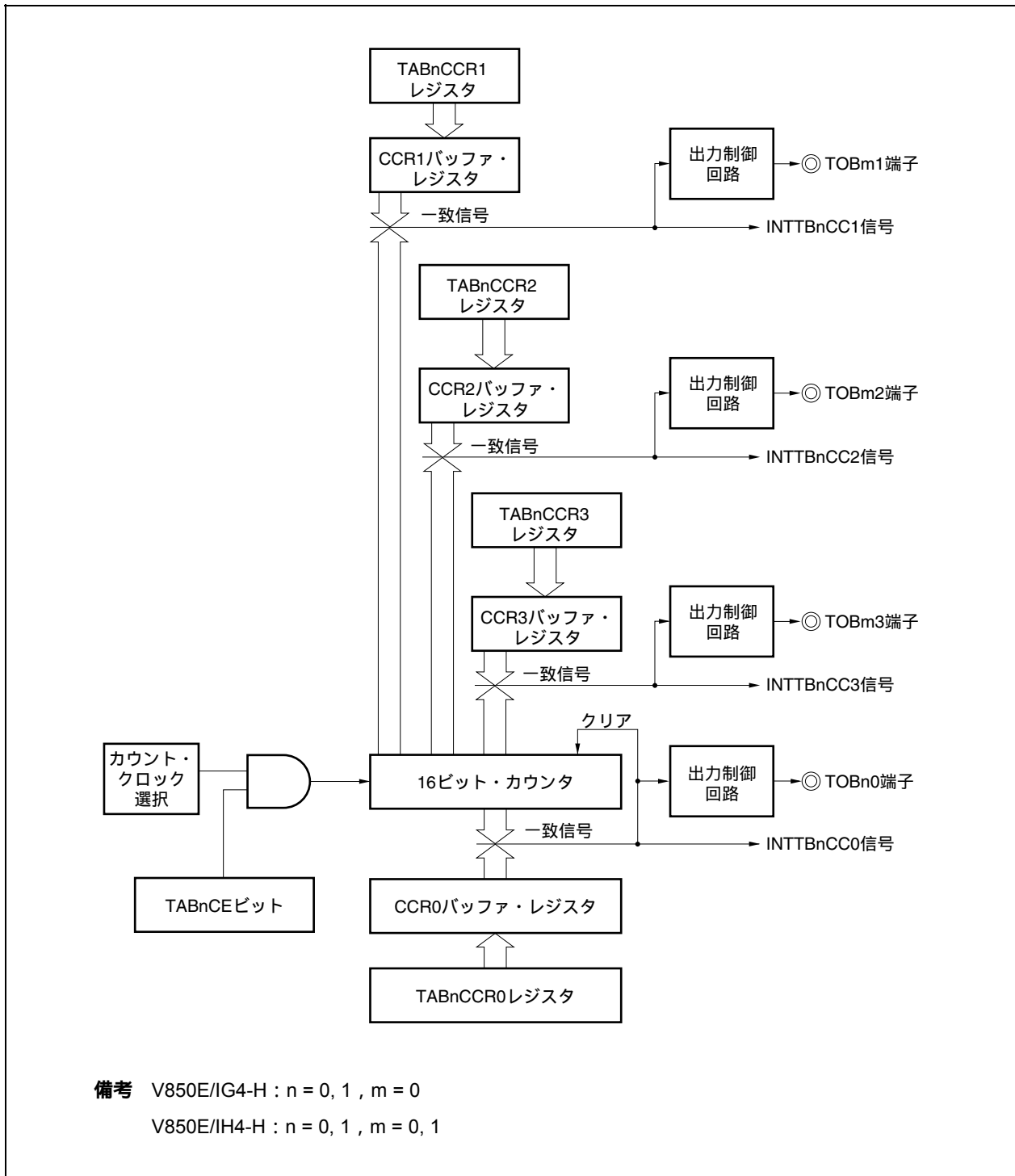
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TABnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTBnCC0信号を発生しTOBn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTBnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTBnCC0信号が発生する場合があります。

(d) TABnCCR1-TABnCCR3レジスタの動作

図7 - 11 TABnCCR1-TABnCCR3レジスタの構成図



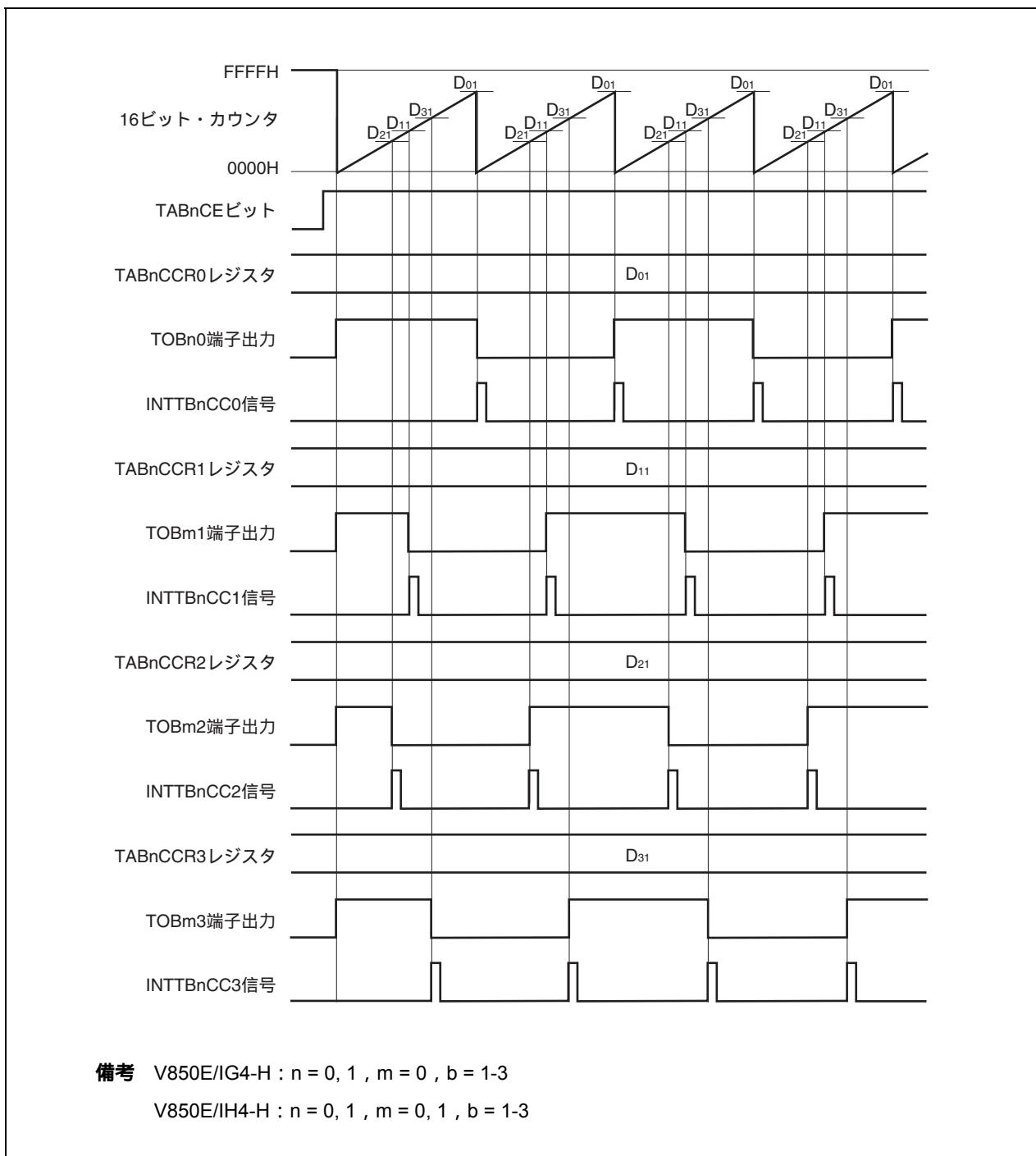
TABnCCRbレジスタにTABnCCR0レジスタの設定値と同じ値を設定すると、INTTBnCC0信号と同じタイミングでINTTBnCCb信号が発生し、TOBmb端子出力が反転します。すなわち、TOBmb端子から50 %デューティのPWM波形を出力できます。

TABnCCR0レジスタの設定値とは異なる値をTABnCCRbレジスタに設定した場合の動作を次に示します。

TABnCCRbレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTBnCCb信号が発生します。また、同じタイミングでTOBmb端子出力は反転します。

TOBmb端子出力は、最初に短い幅のパルスを出力したあと、50 %デューティのPWM波形を出力します。

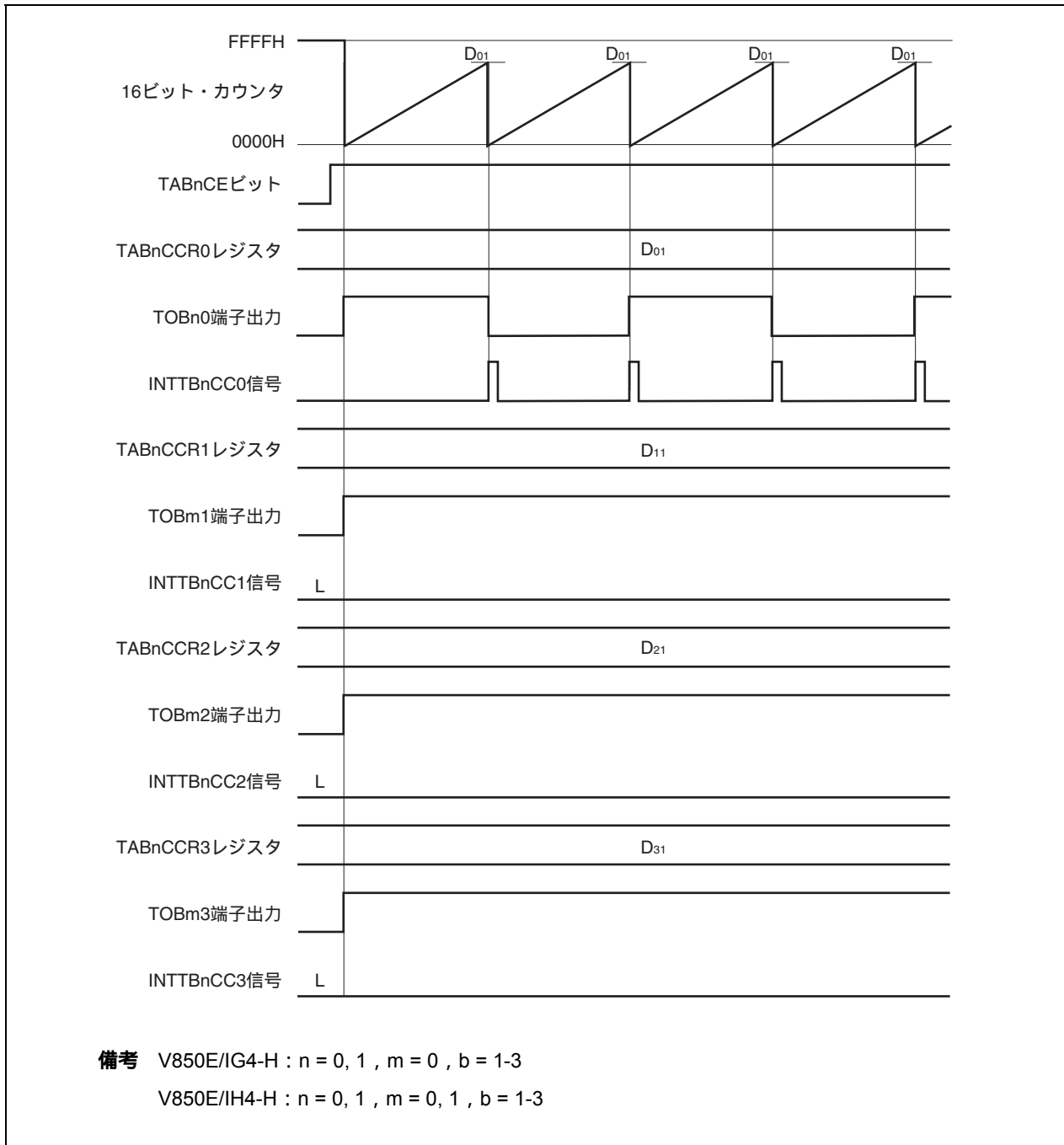
図7 - 12 D₀₁ D_{b1}の場合のタイミング図



TABnCCRbレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値が一致しないので、INTTBnCCb信号は発生しません。また、TOBmb端子出力も変化しません。

TABnCCRbレジスタを使用しない場合には、TABnCCRbレジスタの設定値をFFFFHに設定することを推奨します。

図7 - 13 D₀₁ < D_{b1}の場合のタイミング図



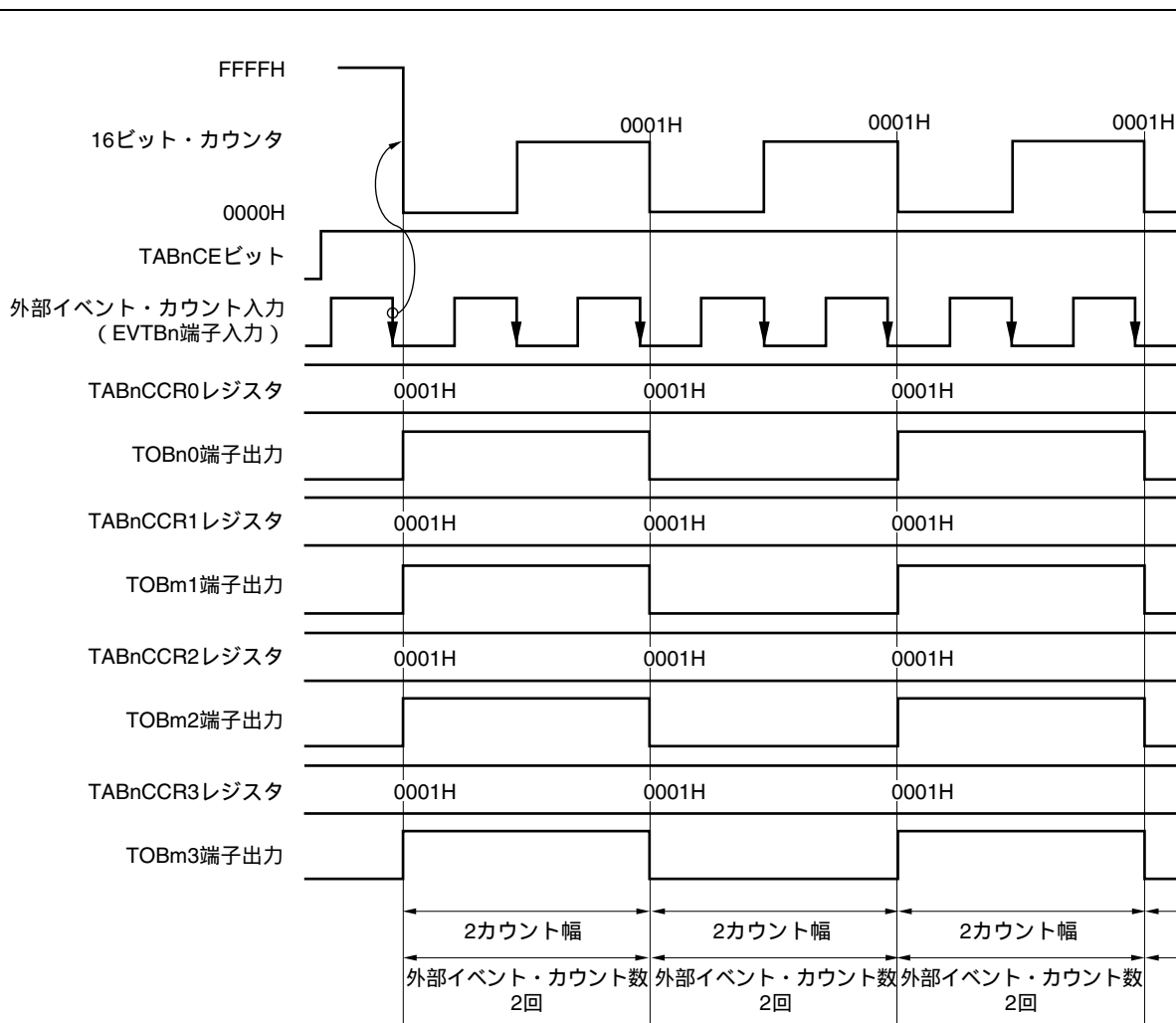
(3) 外部イベント・カウント入力 (EVTBn) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (EVTBn) の有効エッジで16ビット・カウンタをカウントする場合、TABnCEビットを0から1に設定したあとの1回目の外部イベント・カウント入力の有効エッジにより、16ビット・カウンタをFFFFHから0000Hにクリアします。

TABnCCR0, TABnCCRbレジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOBn0, TOBmb端子の出力を反転します (b = 1-3)。

外部イベント・カウント入力でタイマ出力 (TOBn0, TOBmb) を使用する場合だけ、インターバル・タイマ・モード時にTABnCTL1. TABnEEEビット = 1の設定が可能です。



備考 V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

7.6.2 外部イベント・カウント・モード (TABnMD2-TABnMD0ビット = 001)

外部イベント・カウント・モードは、TABnCTL0.TABnCEビットをセット(1)することで、外部イベント・カウント入力 (EVTBn) の有効エッジをカウントし、TABnCCR0レジスタで設定したカウント数をカウントすることに割り込み要求信号 (INTTBnCC0) を発生します。また、TOBn0, TOBm1-TOBm3端子は使用できません。外部イベント・カウント入力でTOBn0, TOBm1-TOBm3端子を使用する場合は、インターバル・タイマ・モード時にTABnCTL1.TABnEEEビット = 1に設定してください(7.6.1(3)外部イベント・カウント入力 (EVTBn) による動作参照)。

外部イベント・カウント・モードでは、TABnCCR1-TABnCCR3レジスタは使用しません。

備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

図7-14 外部イベント・カウント・モードの構成図

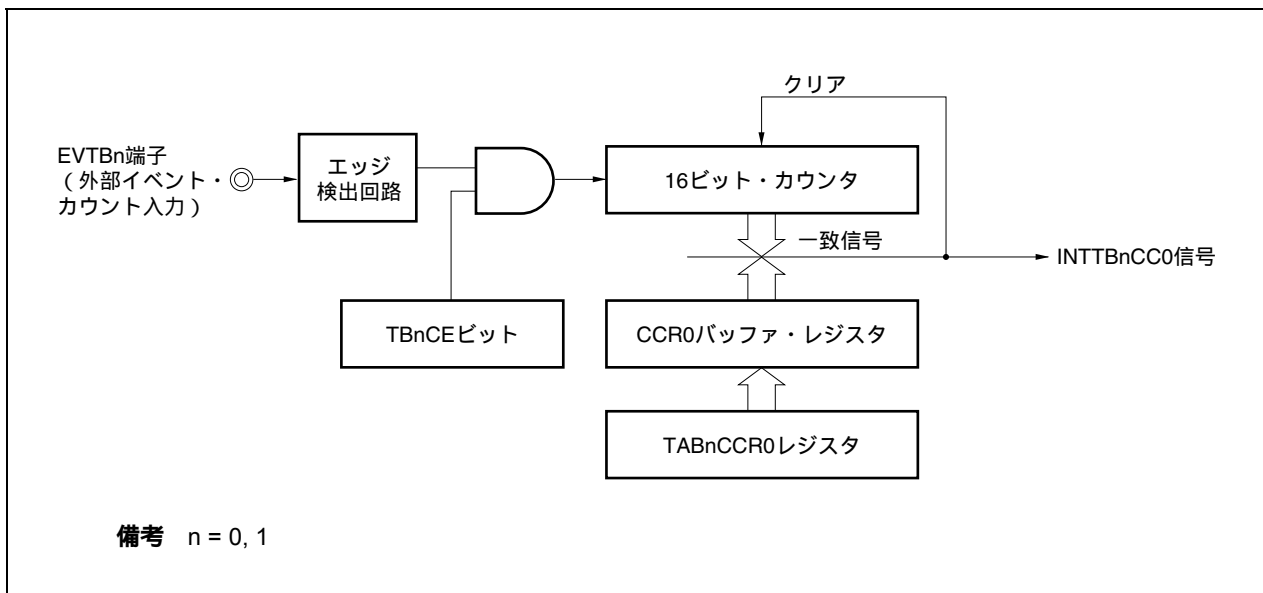
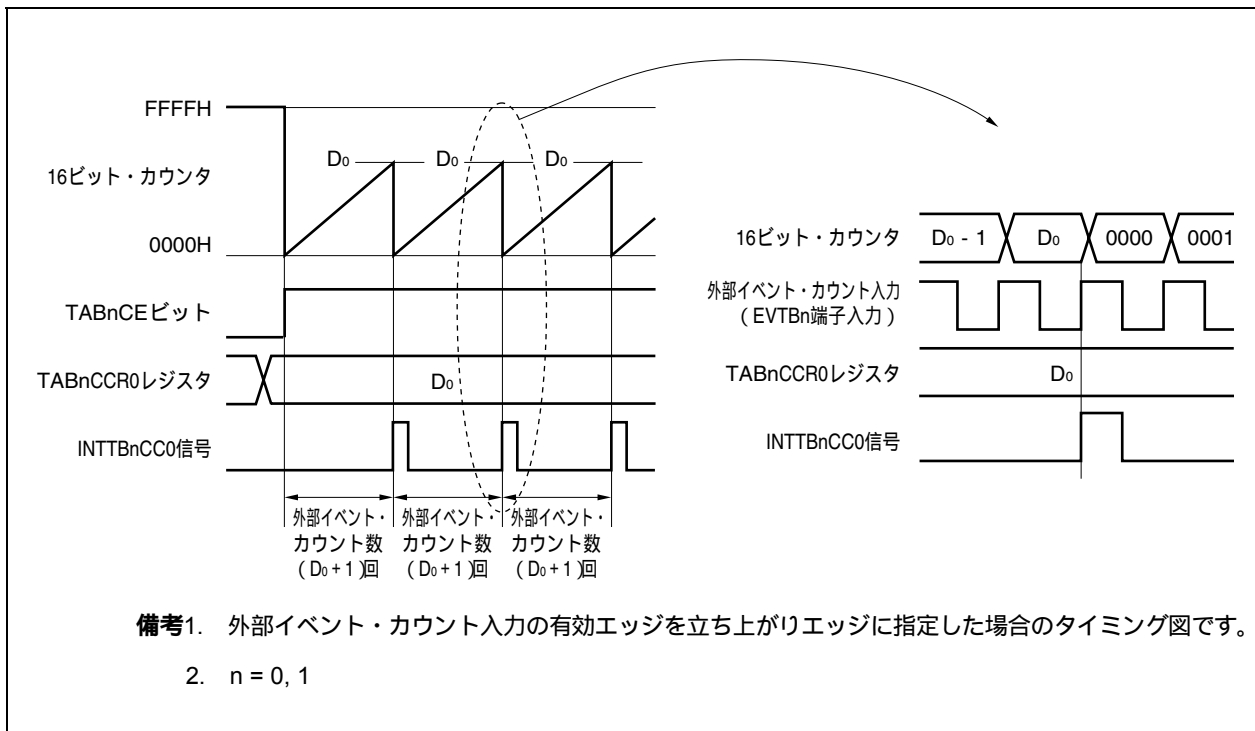


図7-15 外部イベント・カウント・モードの基本タイミング



TABnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウンタ動作を行います。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTBnCC0)を発生します。

INTTBnCC0信号は、外部イベント・カウント入力の有効エッジを(TABnCCR0レジスタに設定した値+1)回検出することに発生します。

図7-16 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

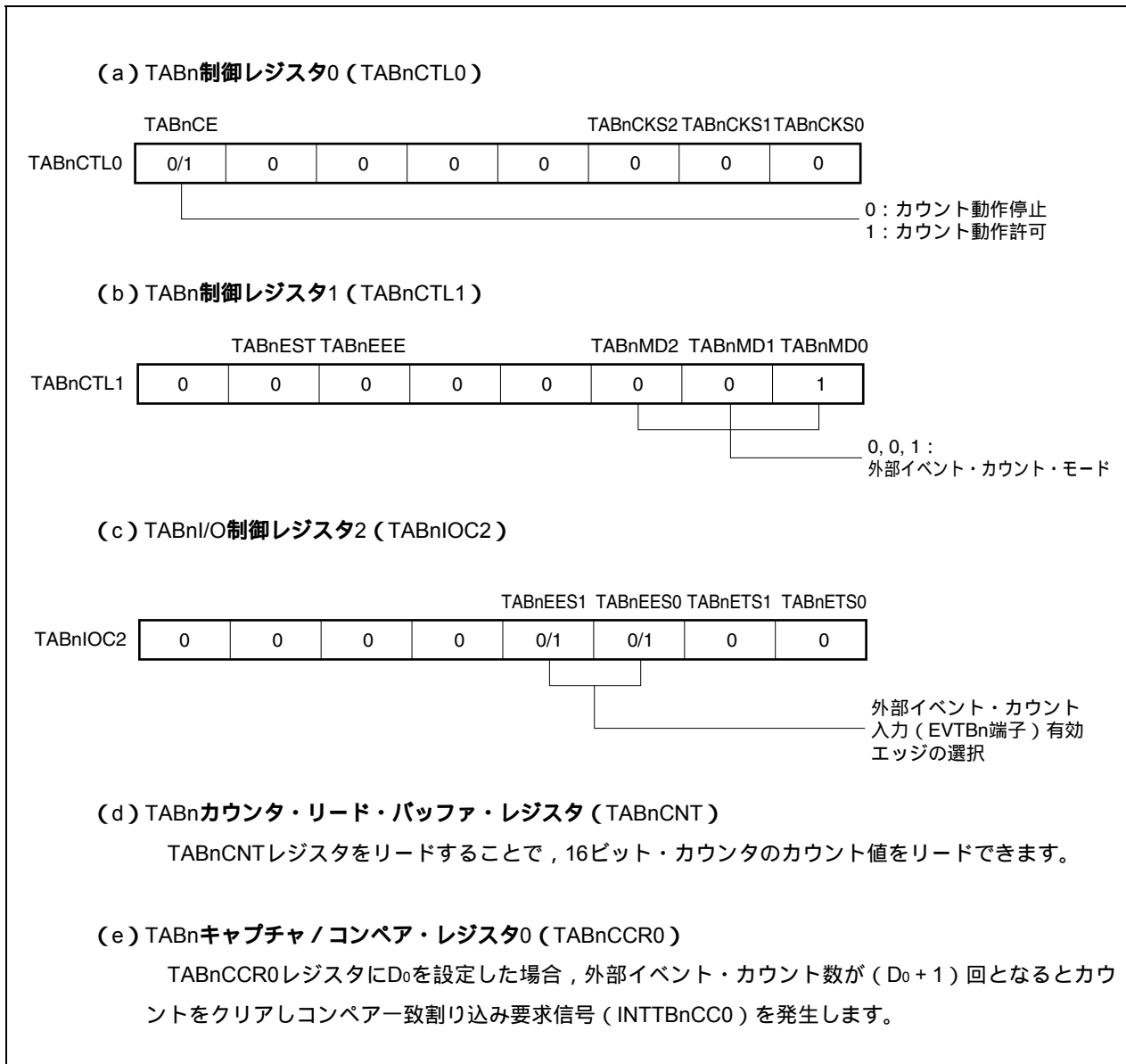


図7 - 16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TABnキャプチャ/コンペア・レジスタ1-3 (TABnCCR1-TABnCCR3)

外部イベント・カウント・モードでは、TABnCCR1-TABnCCR3レジスタは使用しません。しかし、TABnCCR1-TABnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTBnCC1-INTTBnCC3) が発生します。

TABnCCR1-TABnCCR3レジスタを使用しない場合には、TABnCCR1-TABnCCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TABnCCIC1.TABnCCMK1-TABnCCIC3.TABnCCMK3) でマスク設定してください。

注意 TABnIOC0レジスタには00Hを設定してください。

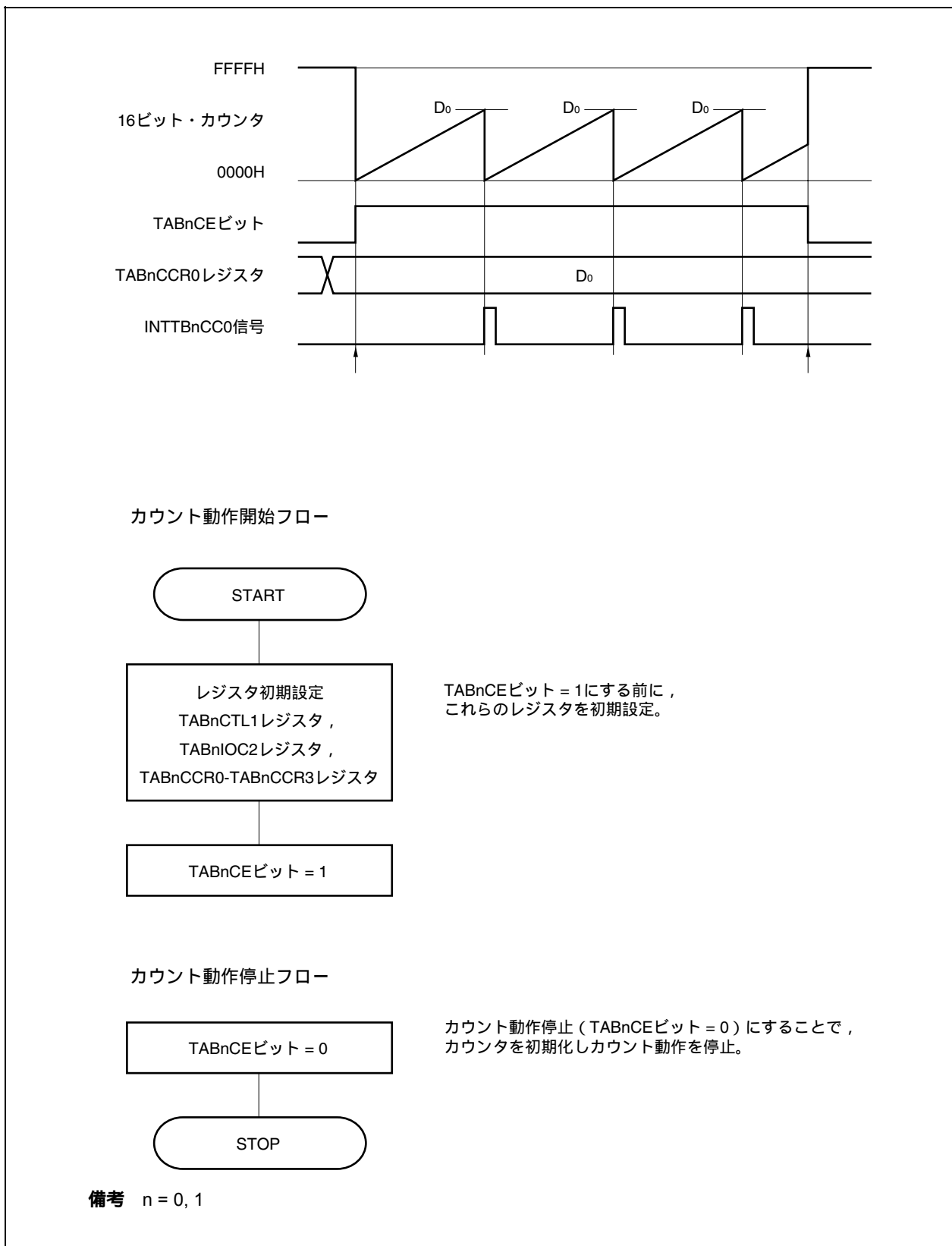
備考1. TABmI/O制御レジスタ1 (TABmIOC1) , TABnオプション・レジスタ0 (TABnOPT0) は、外部イベント・カウント・モードでは使用しません。

2. V850E/IG4-H : n = 0, 1 , m = 0

V850E/IH4-H : n = 0, 1 , m = 0, 1

(1) 外部イベント・カウント・モード動作フロー

図7-17 外部イベント・カウント・モード使用時のソフトウェア処理フロー



(2) 外部イベント・カウント・モード動作タイミング

注意 外部イベント・カウント・モード時、タイマ出力 (TOBn0, TOBm1-TOBm3) は使用禁止です。

外部イ

ベント・カウント入力 (EVTBn) でタイマ出力 (TOBn0, TOBm1-TOBm3) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力の動作許可

(TABnCTL1.TABnEEEビット = 1) に設定してください (7.6.1 (3) 外部イベント・カウント入力 (EVTBn) による動作参照)。

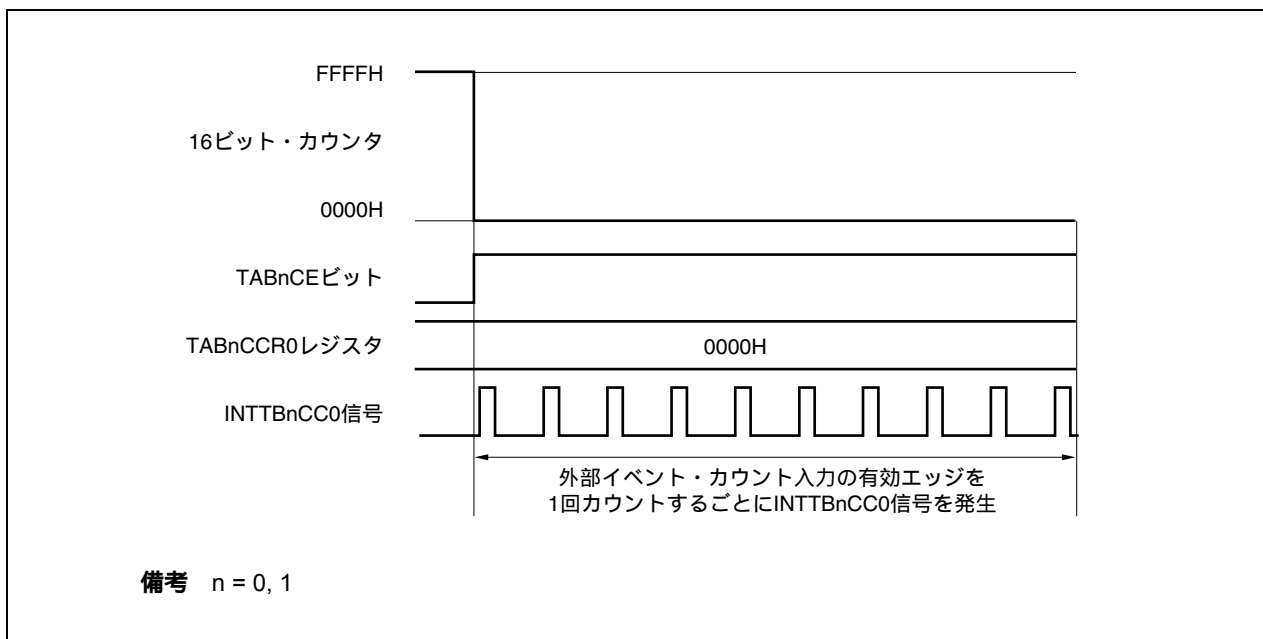
備考 V850E/IG4-H : n = 0, 1, m = 0

V850E/IH4-H : n = 0, 1, m = 0, 1

(a) TABnCCR0レジスタに0000Hを設定した場合の動作

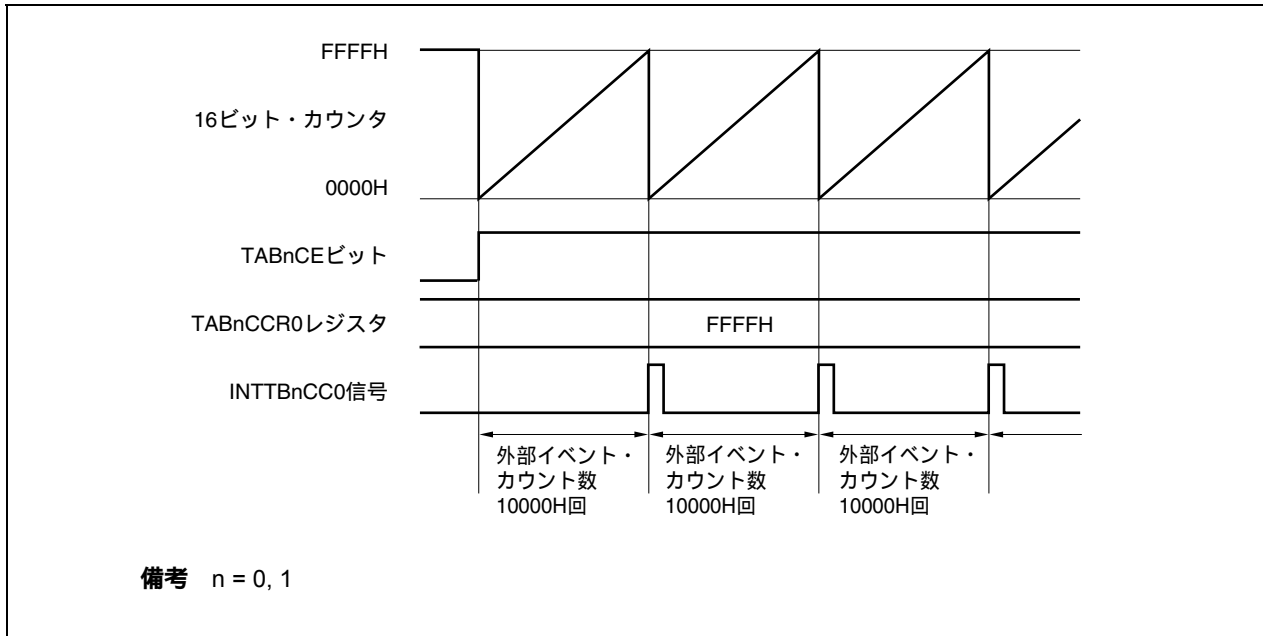
TABnCCR0レジスタに0000Hを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出することにCCR0バッファ・レジスタの値との一致で、16ビット・カウンタを0000Hにクリアし続けて、INTTBnCC0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TABnCCR0レジスタにFFFFHを設定した場合の動作

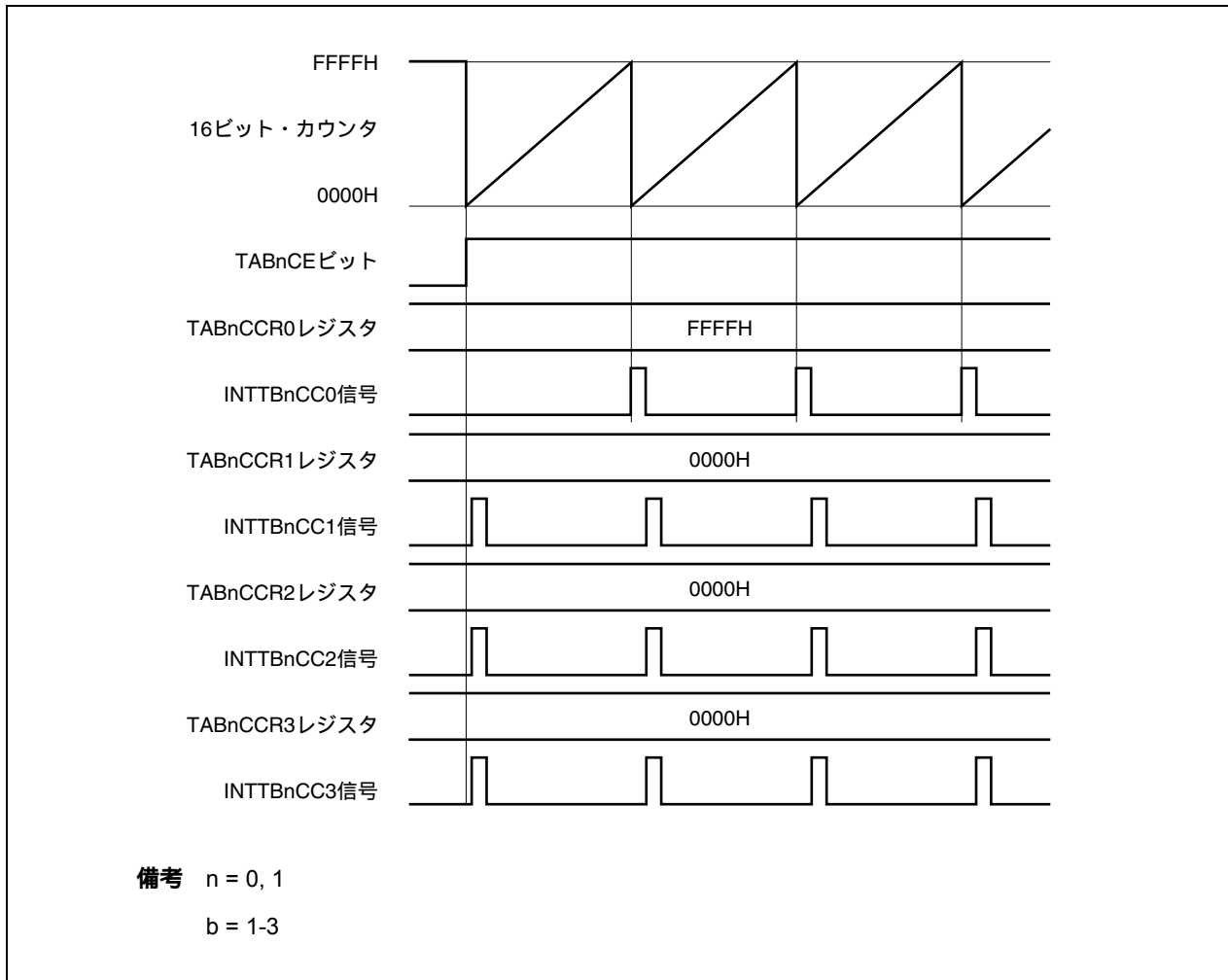
TABnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTBnCC0信号を発生します。このとき、TABnOPT0.TABnOVFビットはセットされません。



(c) TABnCCR0レジスタにFFFFH, TABnCCRbレジスタに0000Hを設定した場合の動作

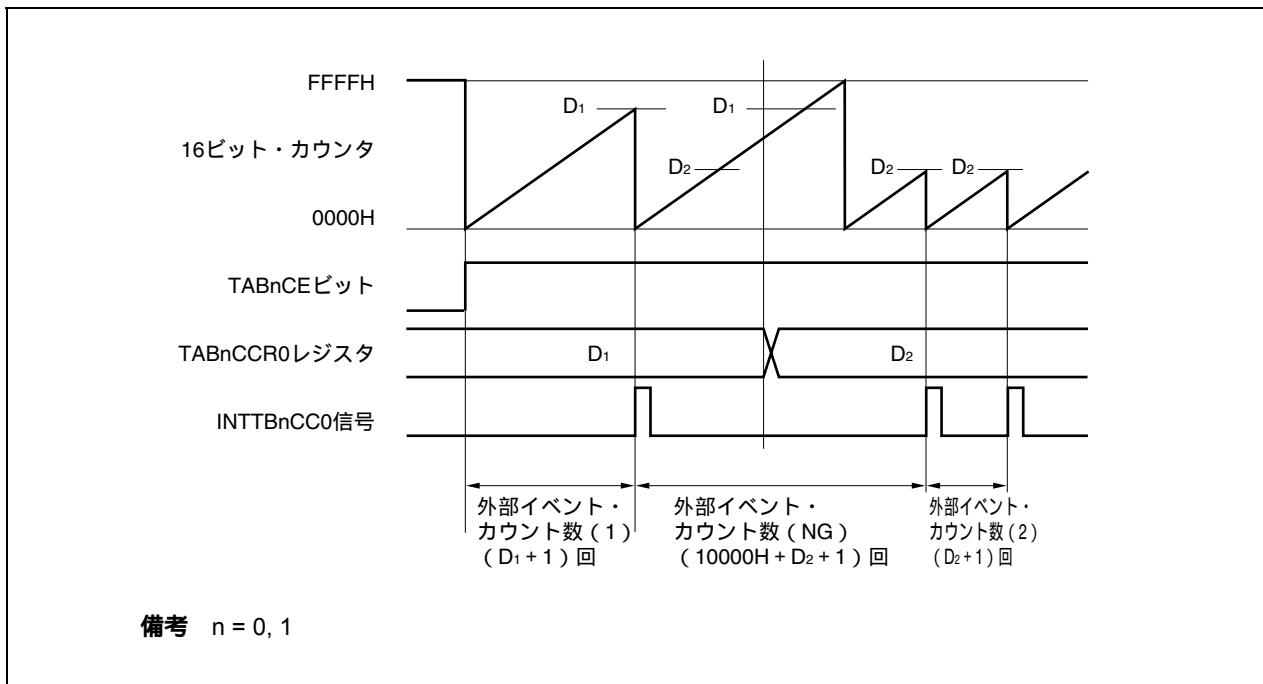
TABnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTBnCC0信号を発生します。このとき, TABnOPT0.TABnOVFビットはセットされません。

TABnCCRbレジスタに0000Hを設定した場合, 16ビット・カウンタが0000HにクリアされたタイミングでINTTBnCCb信号が発生します。



(d) TABnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



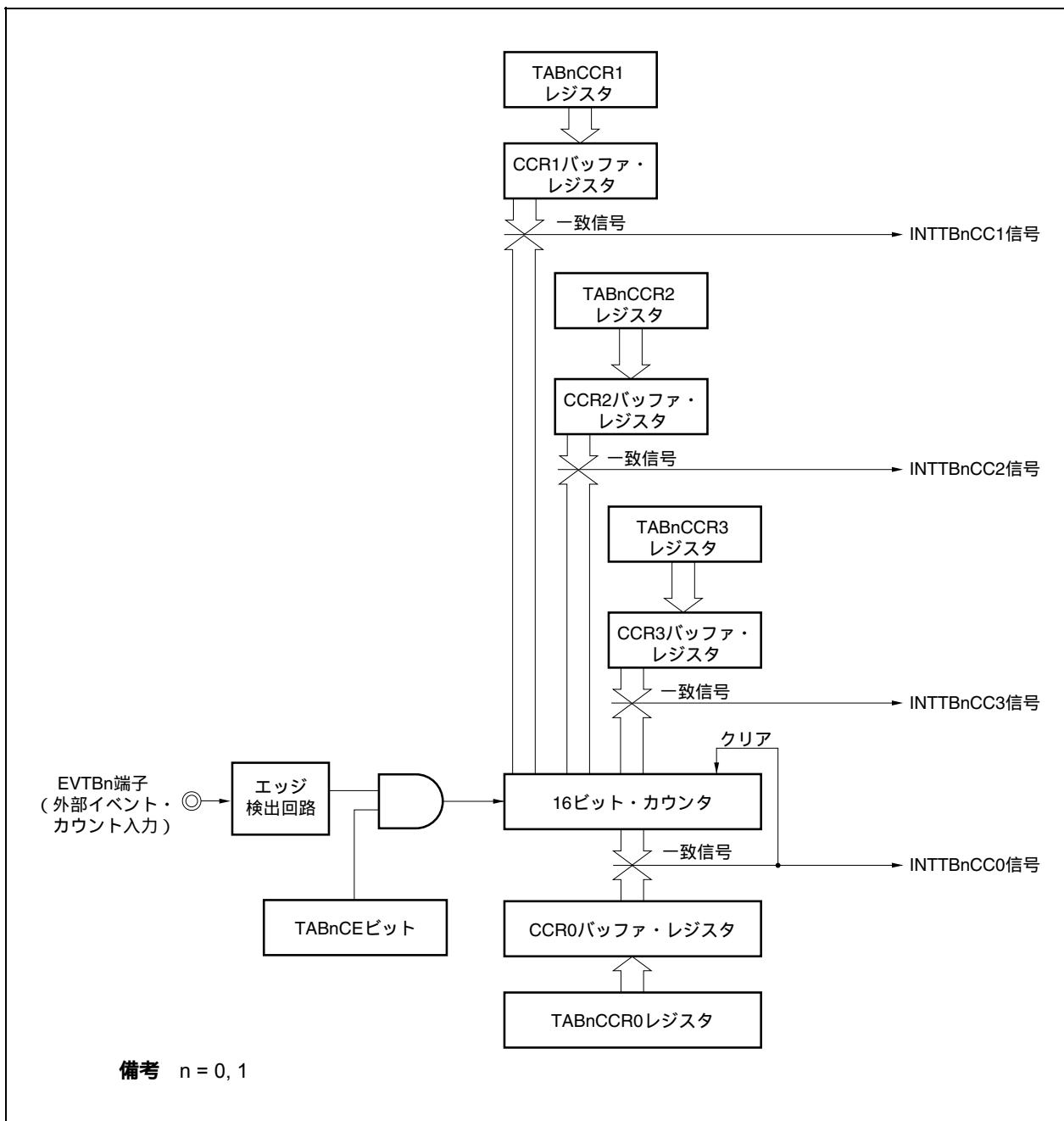
カウント値がD₂よりも大きくD₁よりも小さい状態において、TABnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTBnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTBnCC0信号は発生せずに、「(10000H + D₂ + 1)回」の有効エッジ数でINTTBnCC0信号が発生する場合があります。

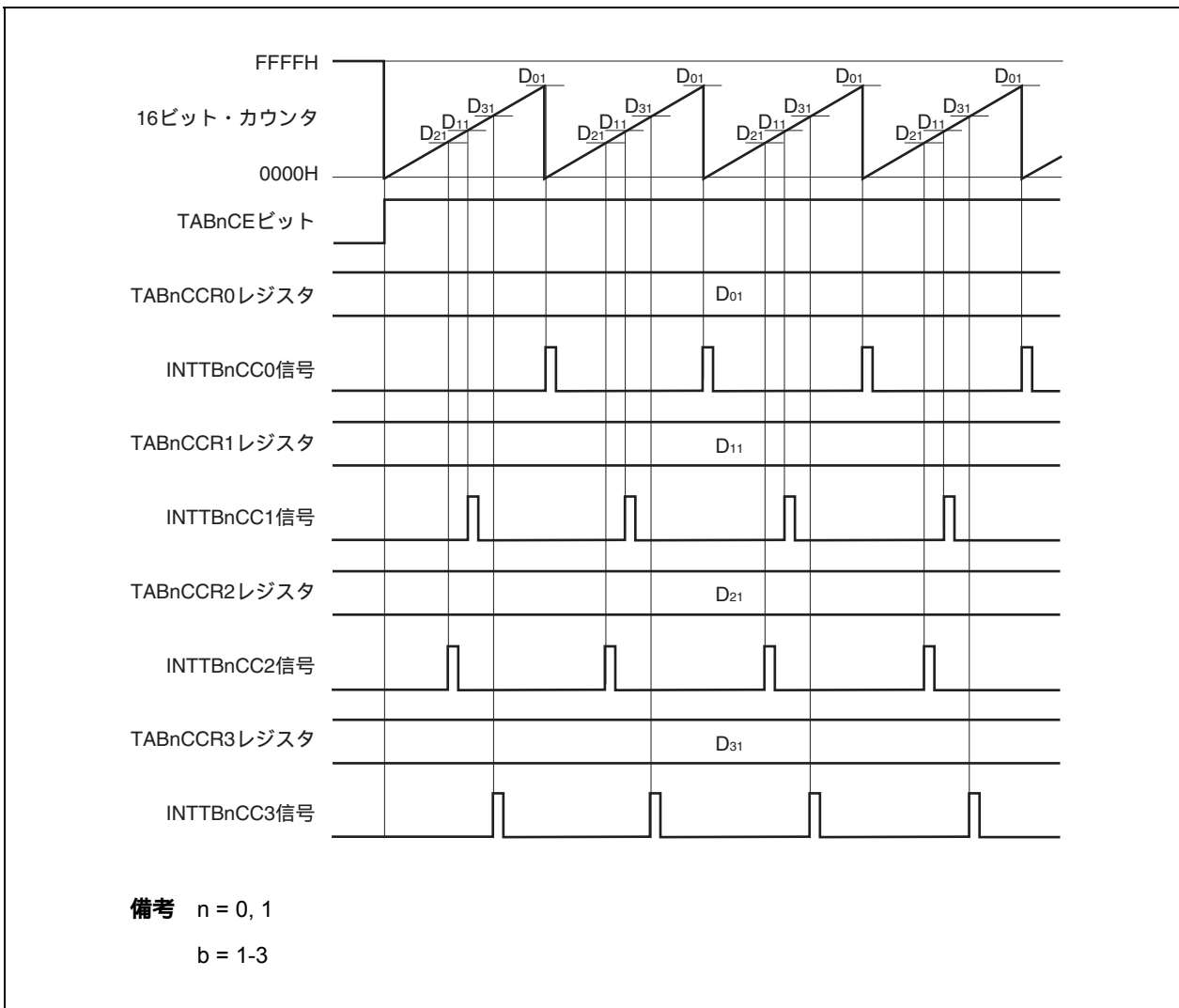
(e) TABnCCR1-TABnCCR3レジスタの動作

図7 - 18 TABnCCR1-TABnCCR3レジスタの構成図



TABnCCRbレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には,1周期に1回のINTTBnCCb信号が発生します。

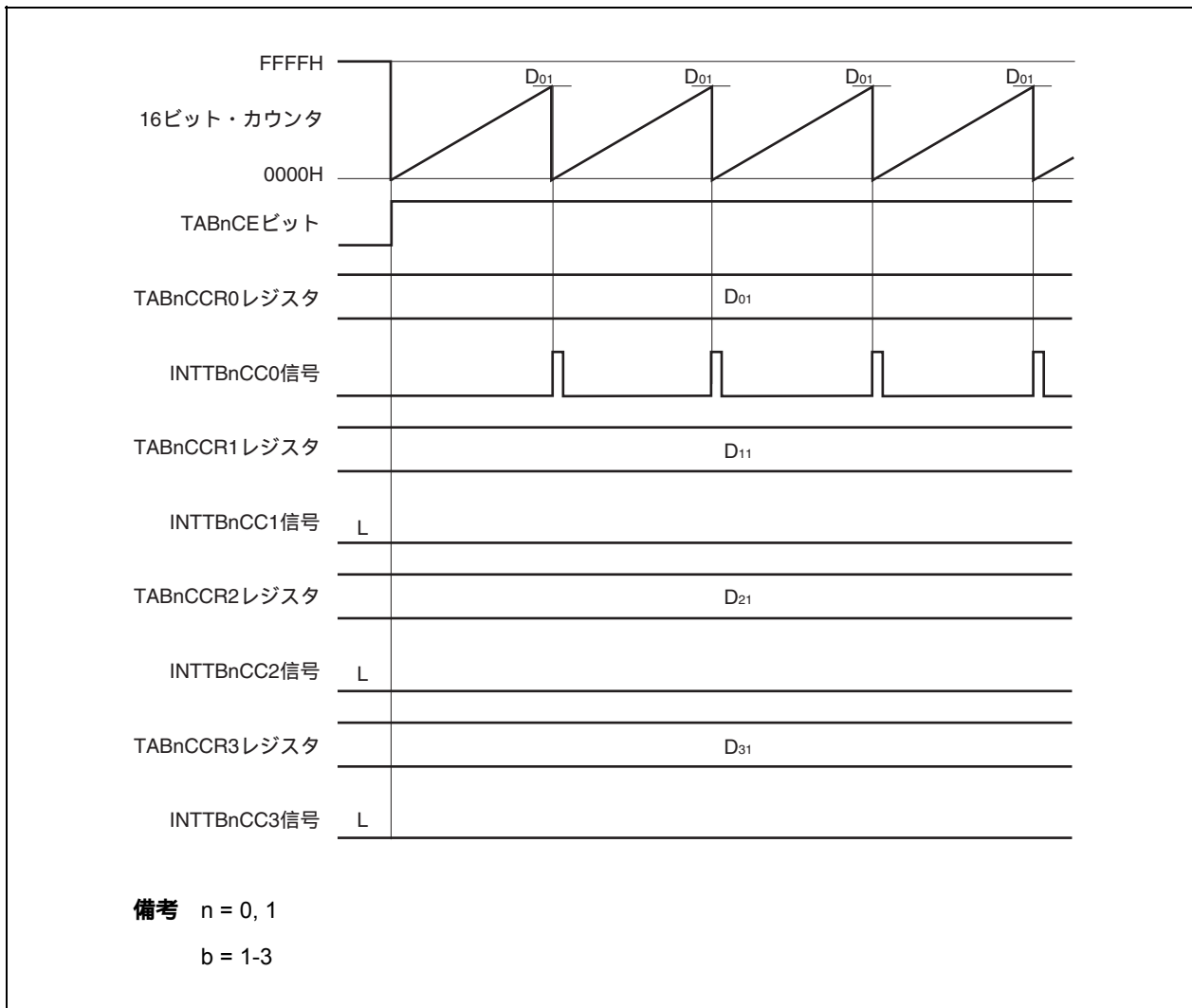
図7 - 19 D₀₁ D_{b1}の場合のタイミング図



TABnCCRbレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値が一致しないので、INTTBnCCb信号は発生しません。

TABnCCRbレジスタを使用しない場合には、TABnCCRbレジスタの設定値をFFFFHに設定することを推奨します。

図7 - 20 $D_{01} < D_{b1}$ の場合のタイミング図



7.6.3 外部トリガ・パルス出力モード (TABnMD2-TABnMD0ビット = 010)

外部トリガ・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TRGBn) の有効エッジを検出すると、カウント動作を開始し、TOBm1-TOBm3端子から最大3相のPWM波形を出力します。また、TOBn0端子から、TABnCCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力できます。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

注意 V850E/IG4-HのTAB1の出力は、50%デューティのPWM出力が1本のみです。

図7-21 外部トリガ・パルス出力モードの構成図

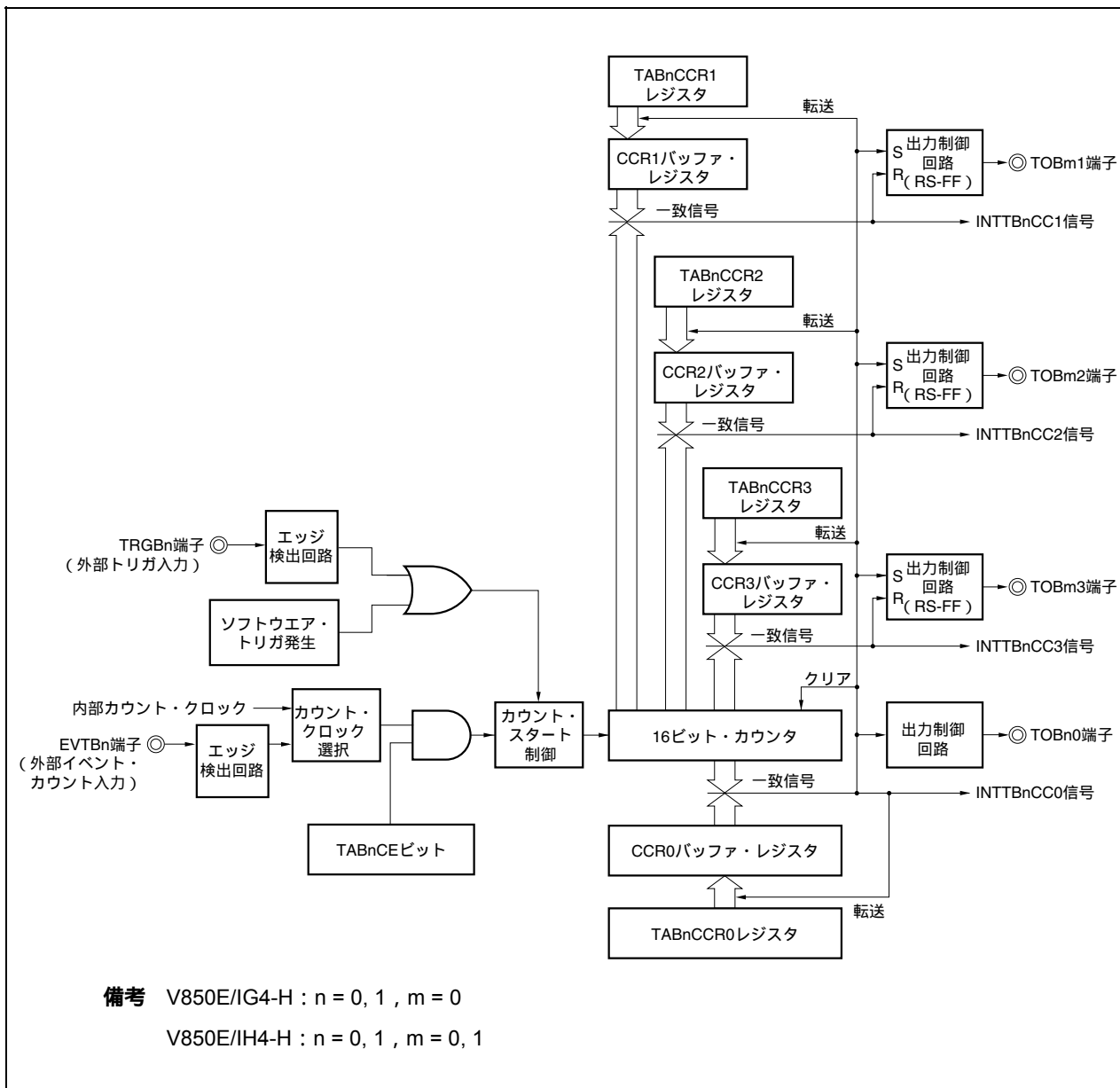
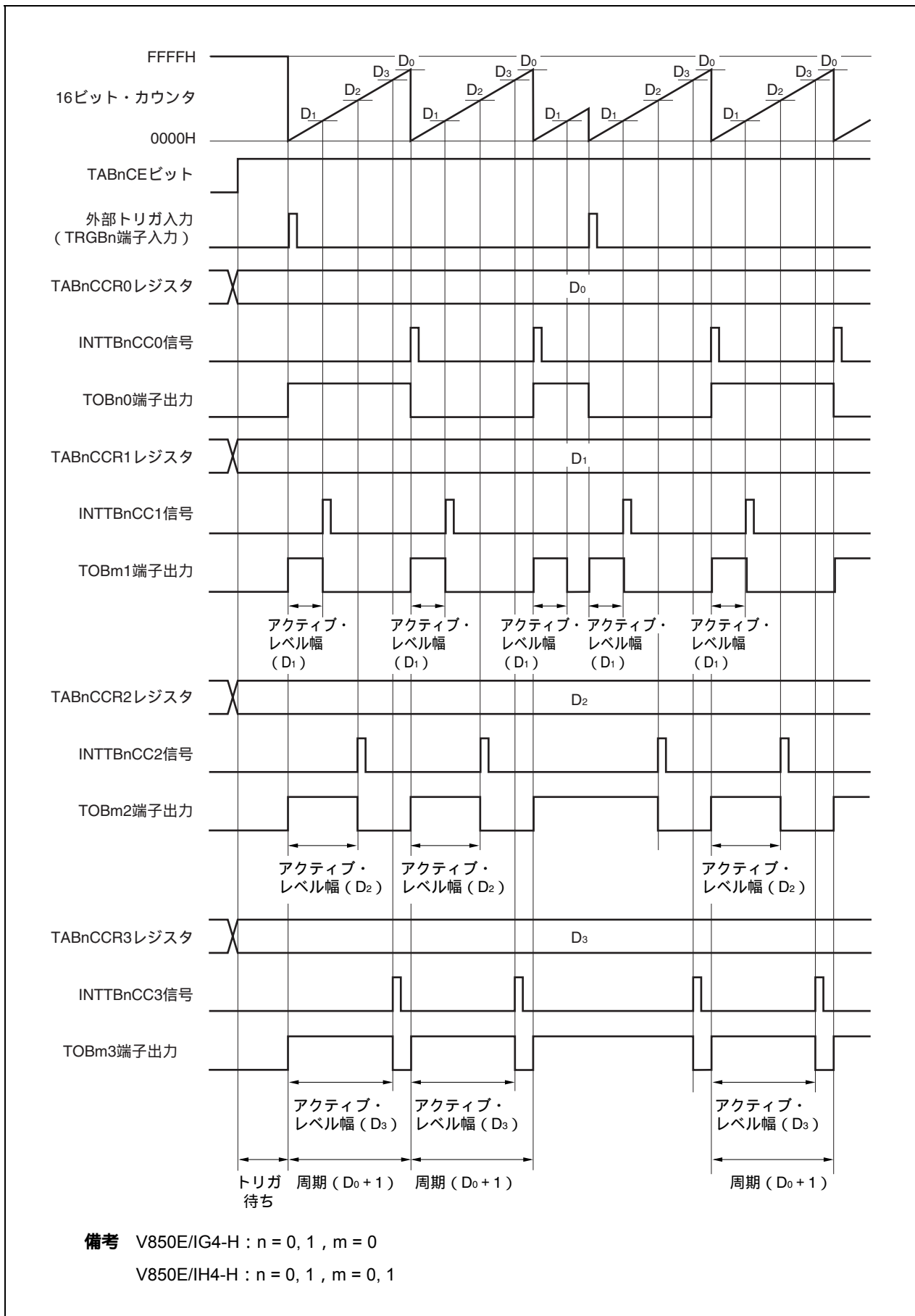


図7-22 外部トリガ・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOBmb端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOBn0端子出力は反転します。TOBmb端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TABnCCRbレジスタの設定値) × カウント・クロック周期

周期 = (TABnCCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TABnCCRbレジスタの設定値) / (TABnCCR0レジスタの設定値 + 1)

コンペアー一致割り込み要求信号 (INTTBnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTBnCCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

TABnCCRaレジスタに設定した値は、16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

トリガには、外部トリガ入力 (TRGBn) の有効エッジ、またはソフトウェア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 V850E/IG4-H : n = 0, 1, m = 0, a = 0-3, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, a = 0-3, b = 1-3

図7 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

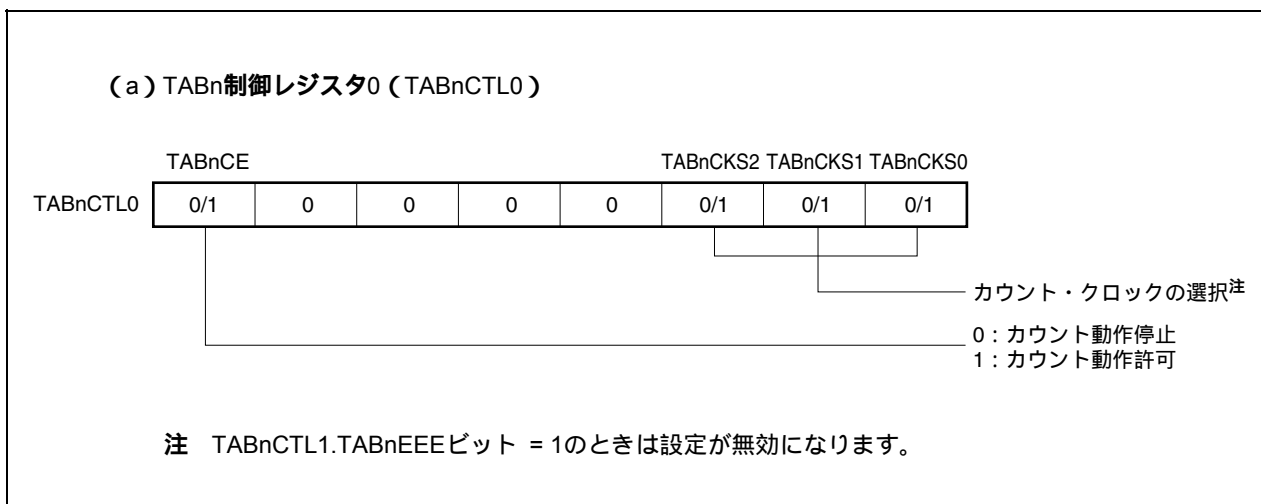


図7-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

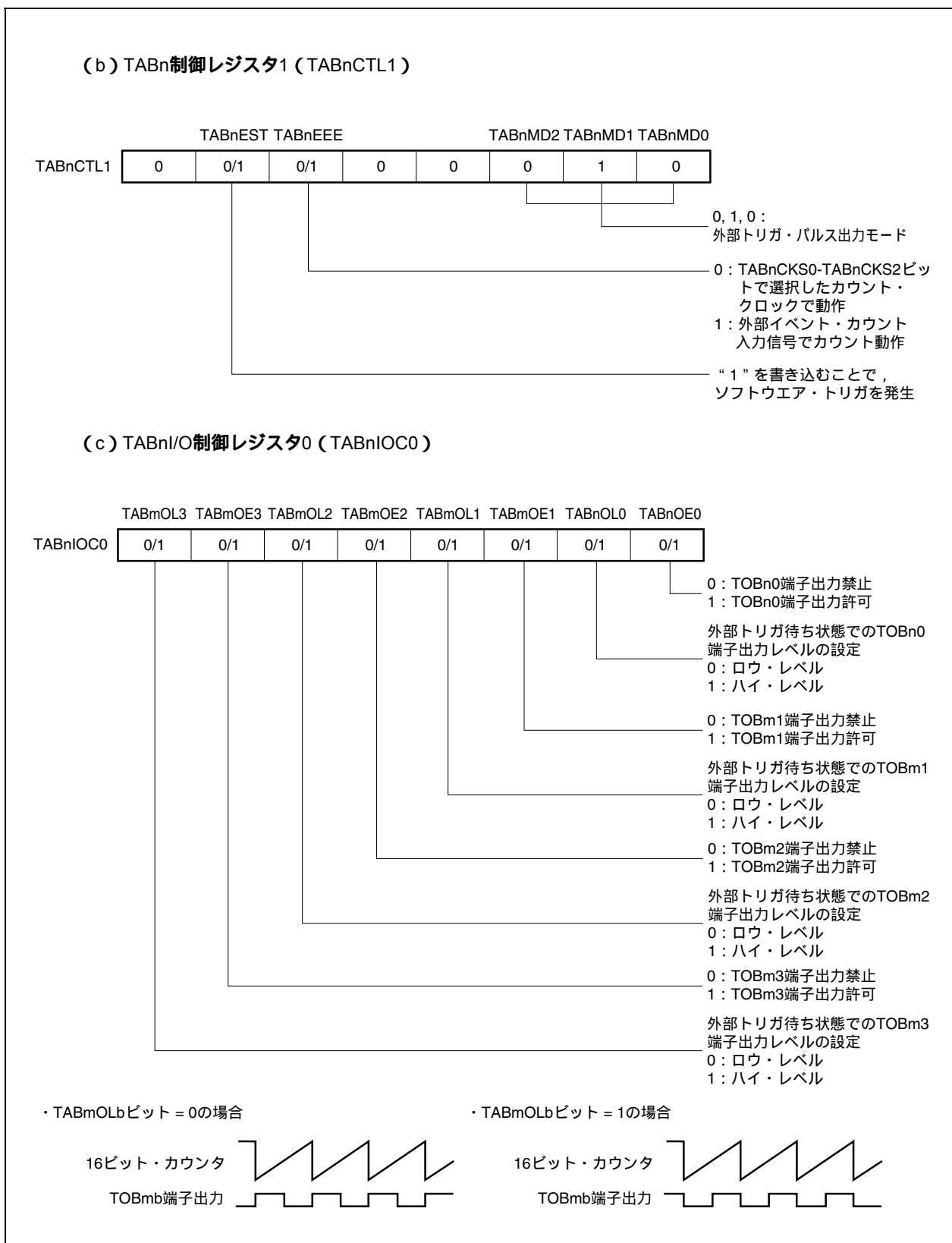
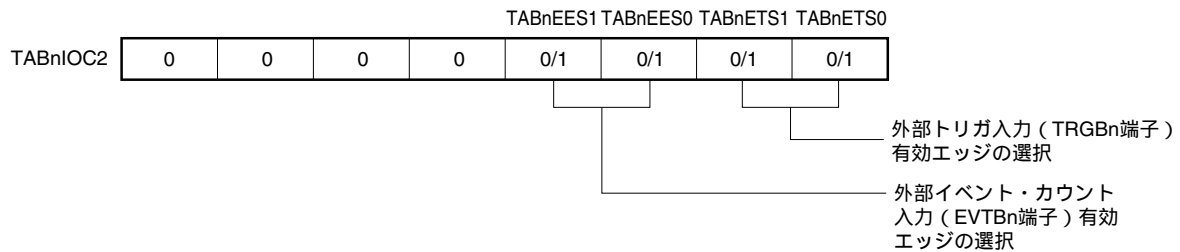


図7-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

(d) TABnI/O制御レジスタ2 (TABnIOC2)



(e) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD₀を設定し、TABnCCR1レジスタにD₁を、TABnCCR2レジスタにD₂を、TABnCCR3レジスタにD₃を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOBm1端子からのPWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOBm2端子からのPWM波形のアクティブ・レベル幅} = D_2 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOBm3端子からのPWM波形のアクティブ・レベル幅} = D_3 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考1. TABmI/O制御レジスタ1 (TABmIOC1)、TABnオプション・レジスタ0 (TABnOPT0) は、外部トリガ・パルス出力モードでは使用しません。

2. V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

(1) 外部トリガ・パルス出力モード動作フロー

図7-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

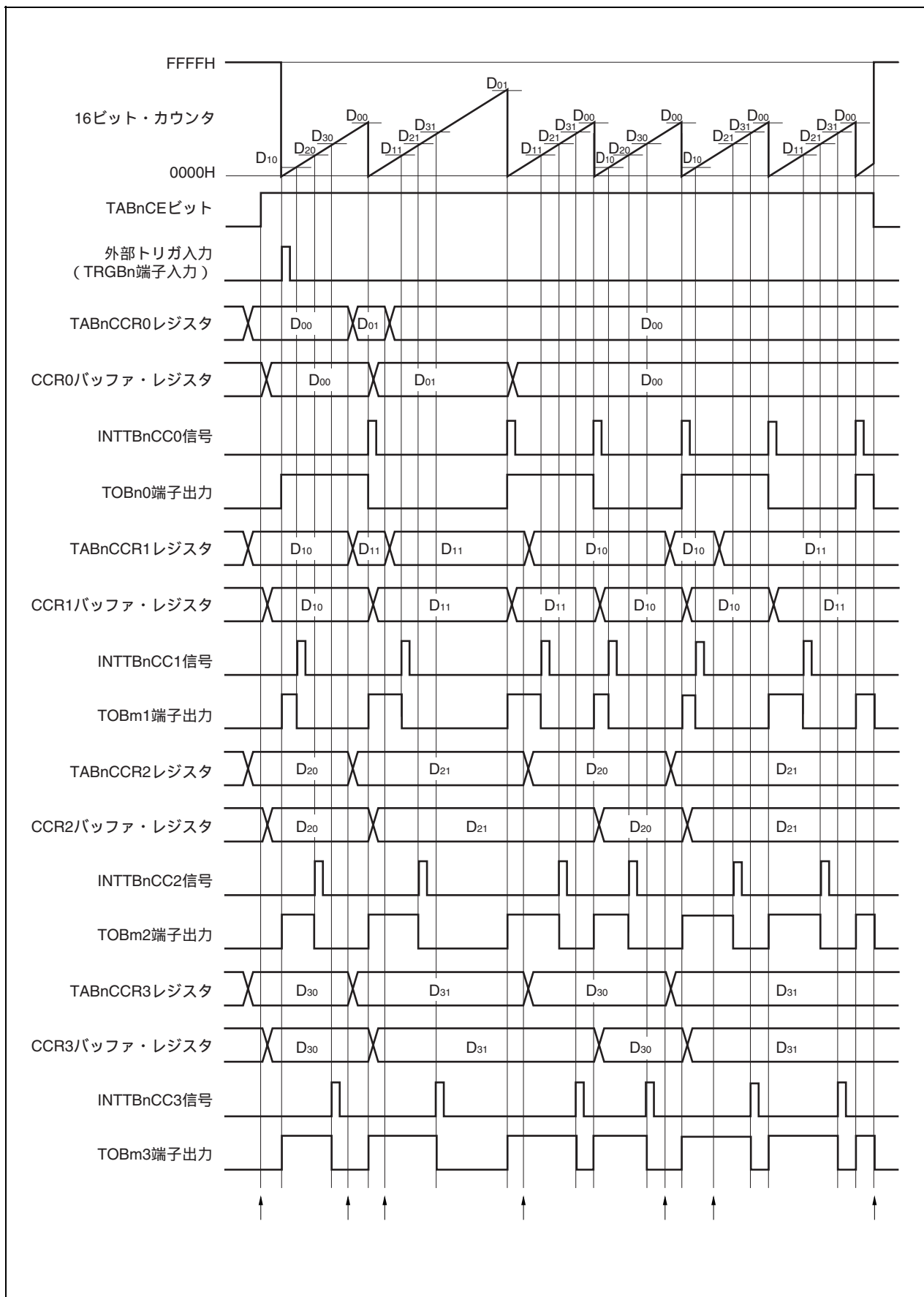
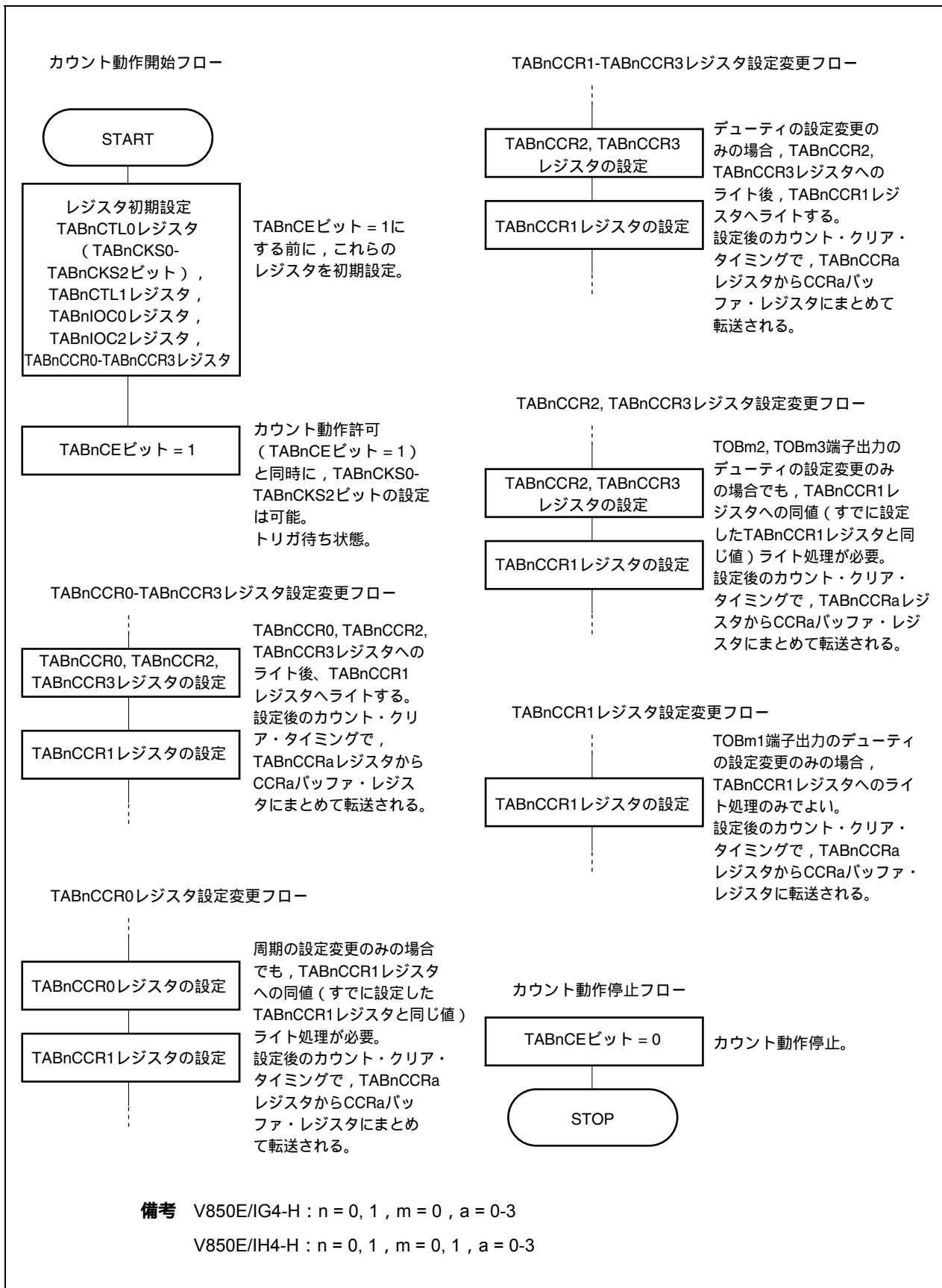


図7-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) 外部トリガ・パルス出力モード動作タイミング

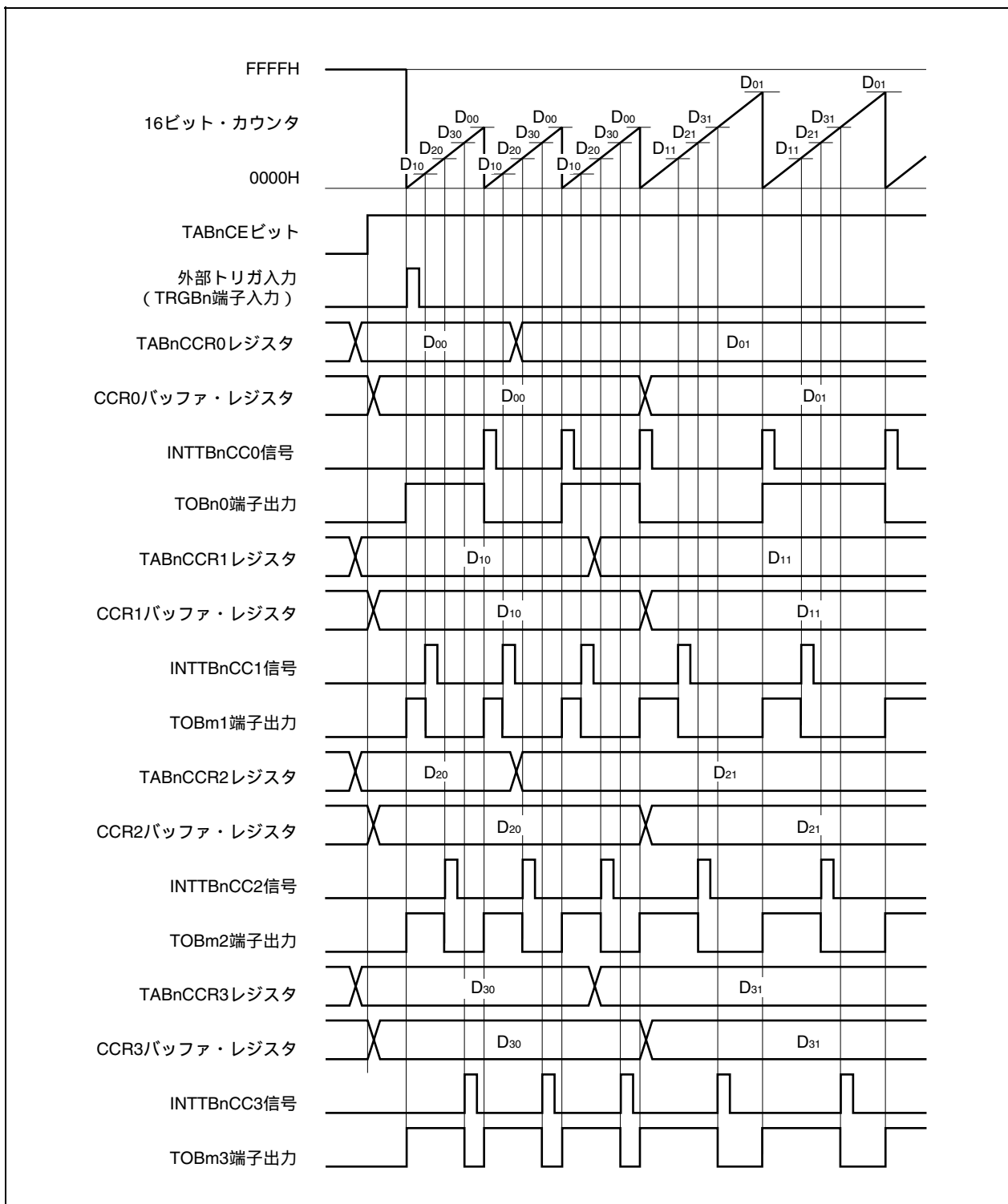
(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRbレジスタの書き換えを行う場合には、INTTBnCC0信号を検出後に書き換えてください。

備考 V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3



TABnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOBm1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOBm2、TOBm3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）をライトしてください。

TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

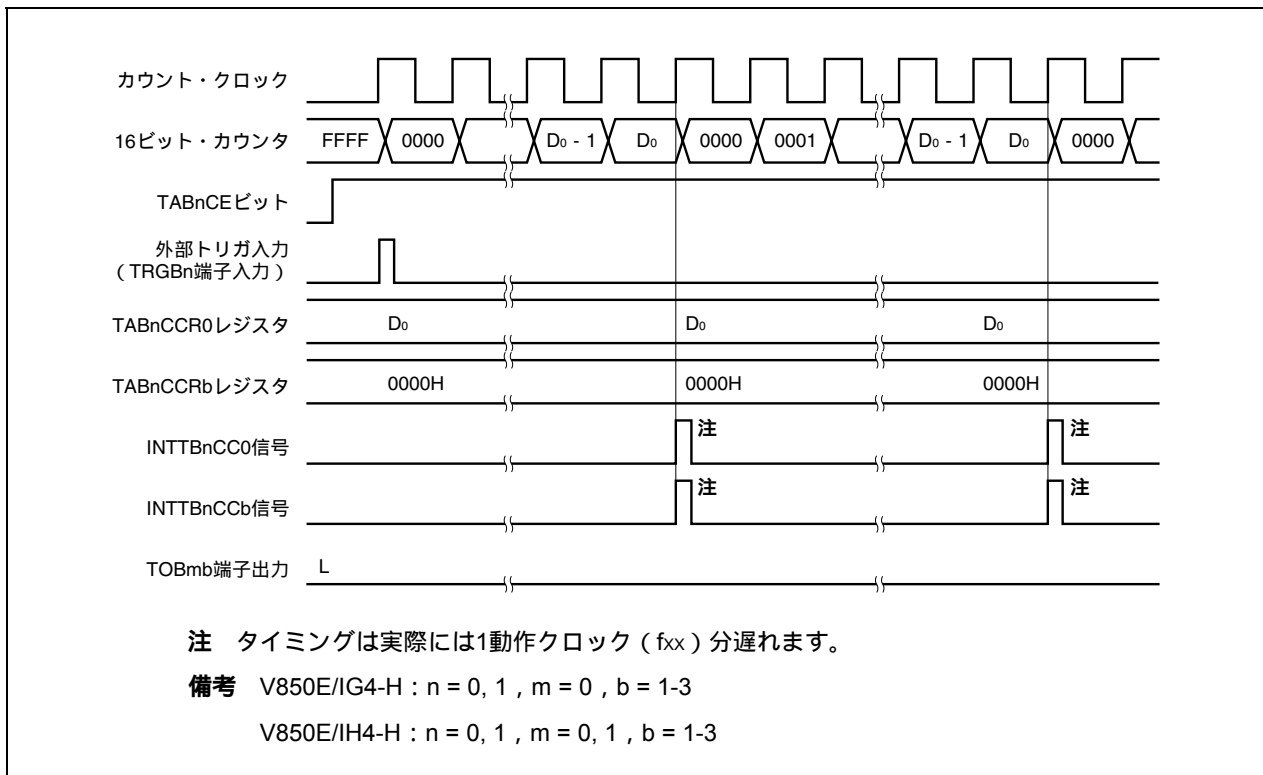
また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTBnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TABnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

備考 V850E/IG4-H : $n = 0, 1, m = 0, a = 0-3$

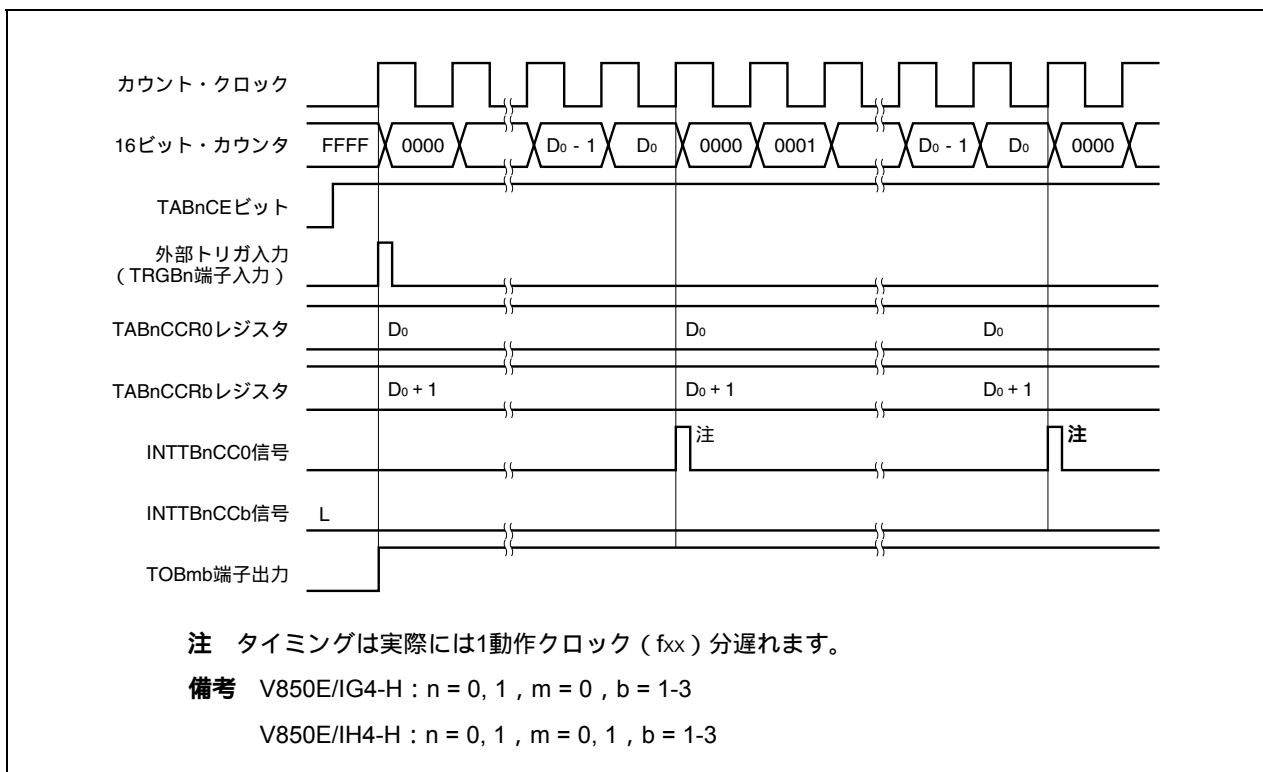
V850E/IH4-H : $n = 0, 1, m = 0, 1, a = 0-3$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TABnCCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTBnCC0信号とINTTBnCCb信号が発生します。

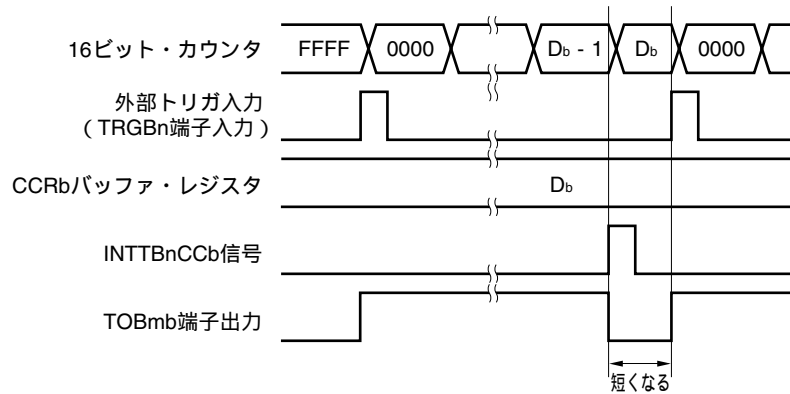


100 % 波形を出力するためには、TABnCCRbレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) トリガ検出とCCRbバッファ・レジスタとの一致の競合

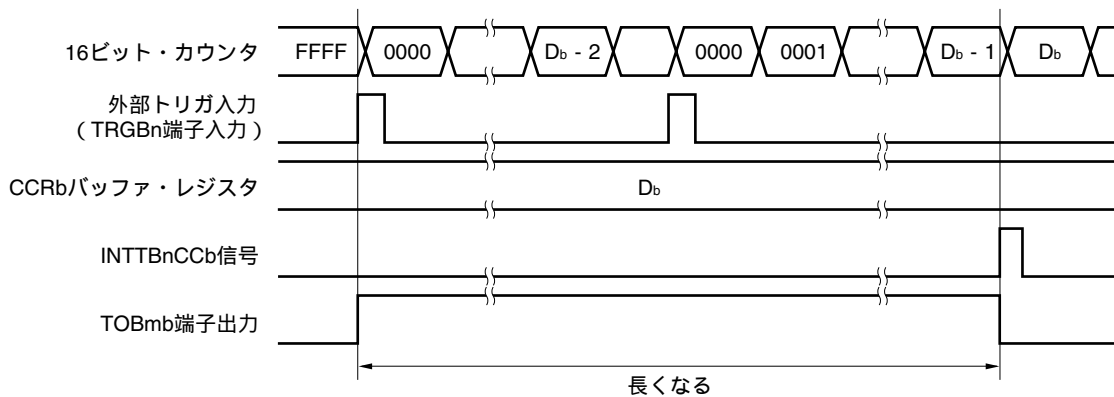
INTTBnCCb信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOBmb端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。



備考 V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

INTTBnCCb信号発生直前にトリガを検出した場合には、INTTBnCCb信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を続けます。TOBmb端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

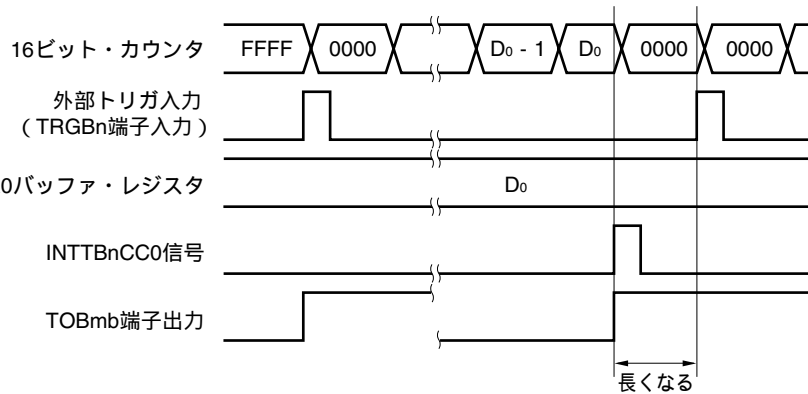


備考 V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

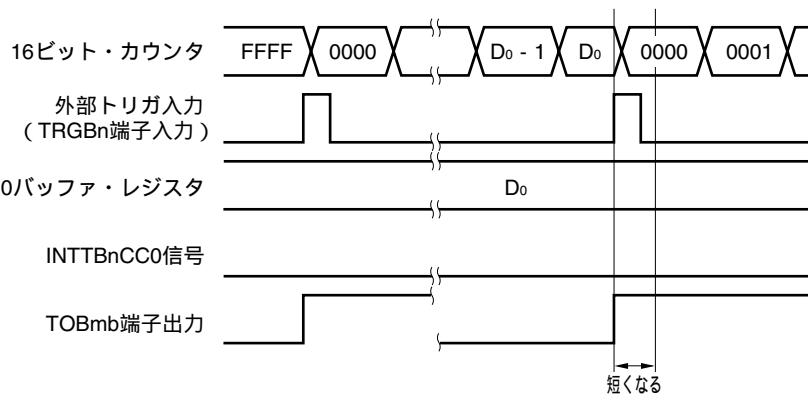
INTTBnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOBnb端子出力のアクティブ期間が、INTTBnCC0信号発生からトリガ検出までの分だけ長くなります。



備考 V850E/IG4-H : $n = 0, 1, m = 0, b = 1-3$

V850E/IH4-H : $n = 0, 1, m = 0, 1, b = 1-3$

INTTBnCC0信号発生直前にトリガを検出した場合、INTTBnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOBnb端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。

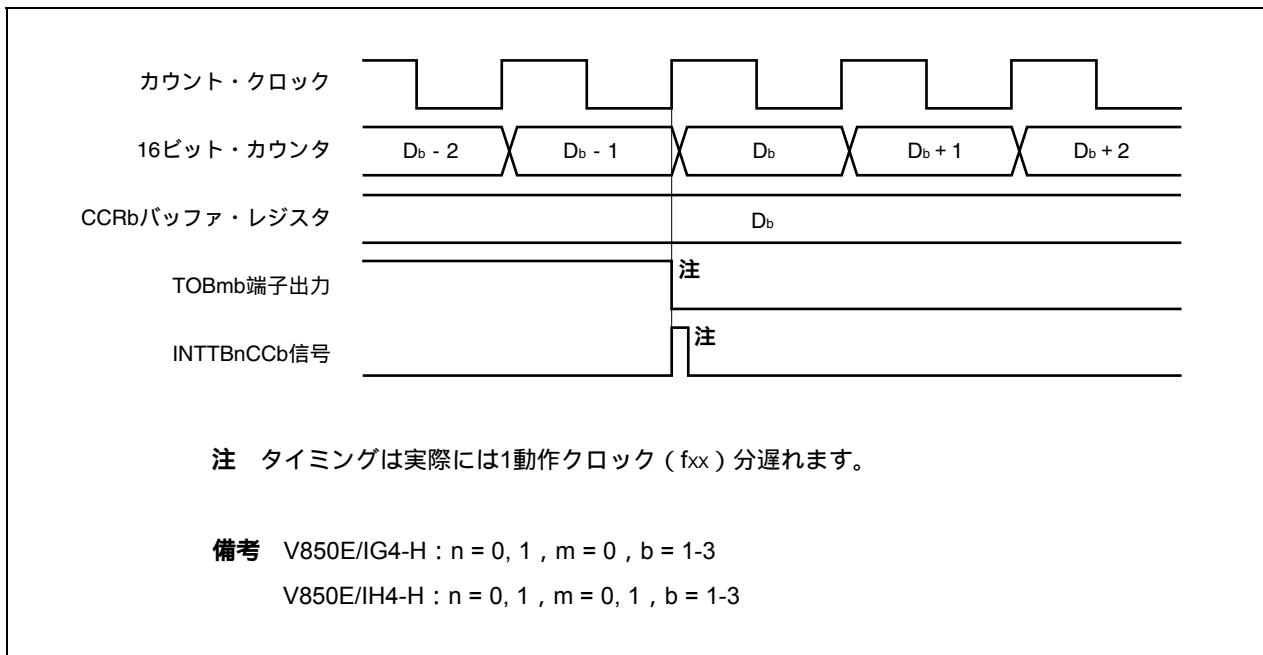


備考 V850E/IG4-H : $n = 0, 1, m = 0, b = 1-3$

V850E/IH4-H : $n = 0, 1, m = 0, 1, b = 1-3$

(e) コンペアー一致割り込み要求信号 (INTTBnCCb) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTBnCCb信号の発生タイミングは、ほかのモードのINTTBnCCb信号と異なり、16ビット・カウンタのカウンタ値とCCRbバッファ・レジスタの値との一致と同時に発生します。



通常、INTTBnCCb信号は、16ビット・カウンタのカウンタ値とCCRbバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOBmb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.6.4 ワンショット・パルス出力モード (TABnMD2-TABnMD0ビット = 011)

ワンショット・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TRGBn) の有効エッジを検出すると、カウント動作を開始し、TOBm1-TOBm3端子からワンショット・パルスを出力します。TOBn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

注意 V850E/IG4-HのTAB1の出力は、PWM出力が1本のみです。

図7-25 ワンショット・パルス出力モードの構成図

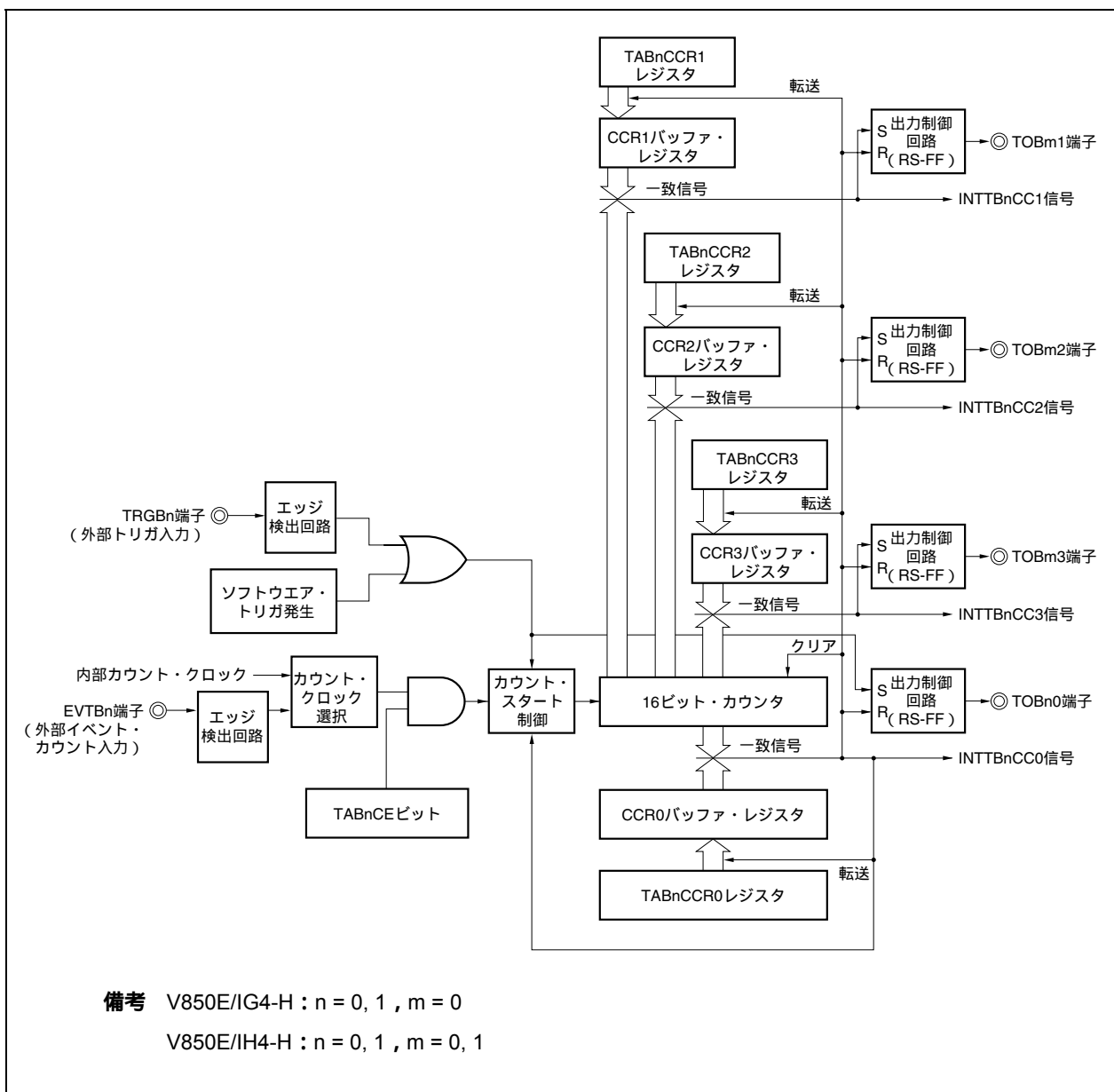
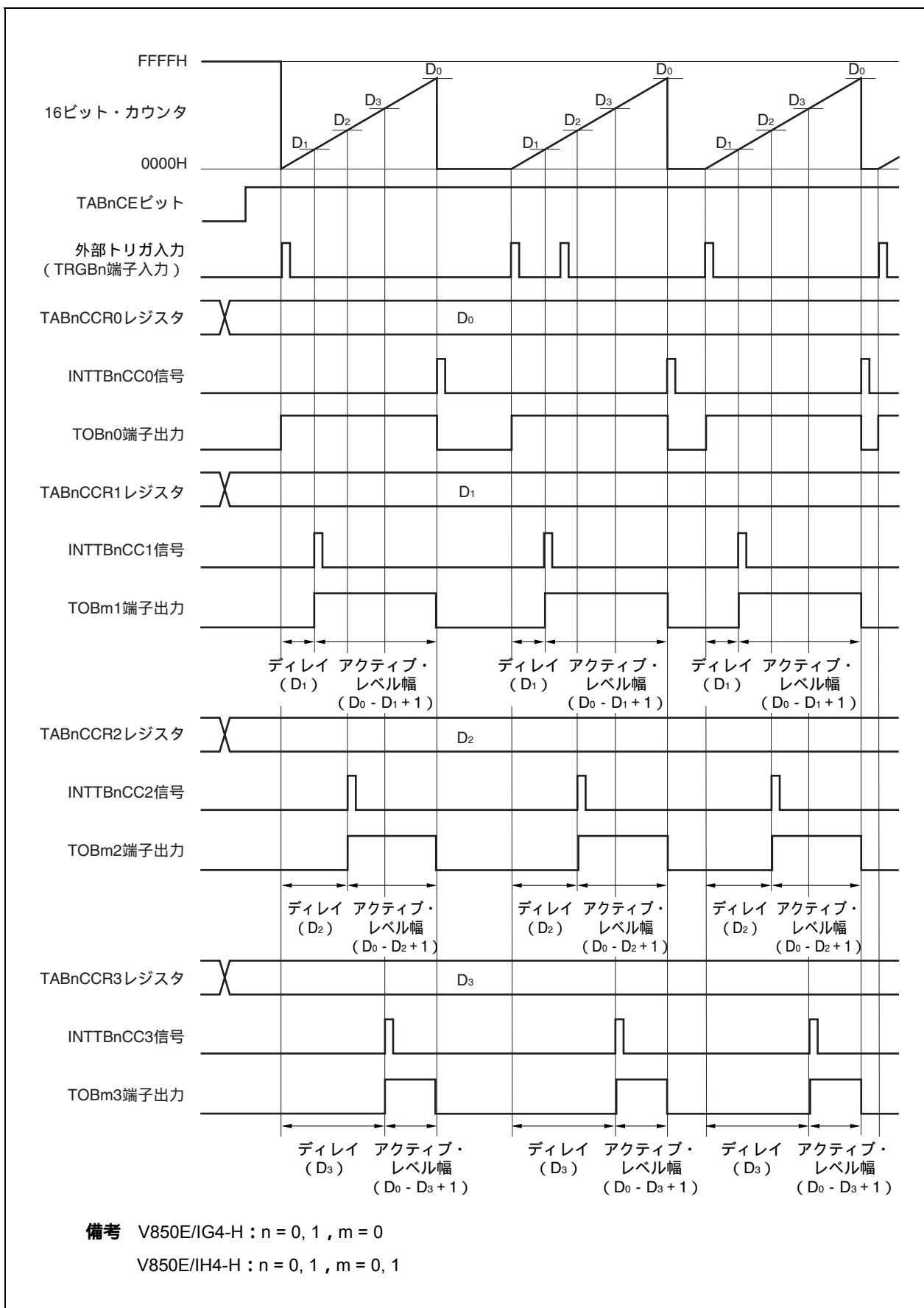


図7-26 ワンショット・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOBmb端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hよりカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TABnCCRbレジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TABnCCR0レジスタの設定値 - TABnCCRbレジスタの設定値 + 1)
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTBnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTBnCCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TRGBn) の有効エッジ、またはソフトウェア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

図7 - 27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

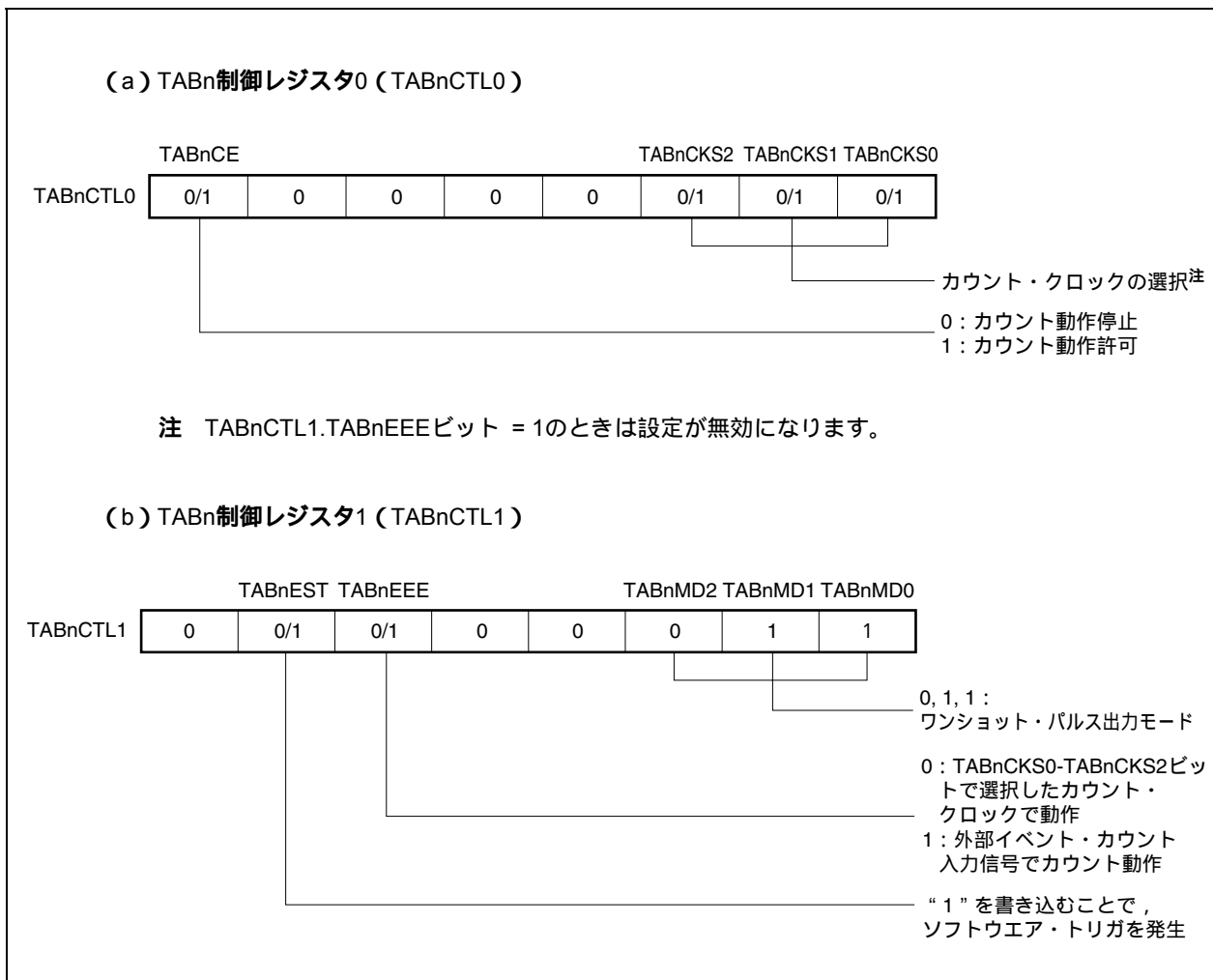


図7-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

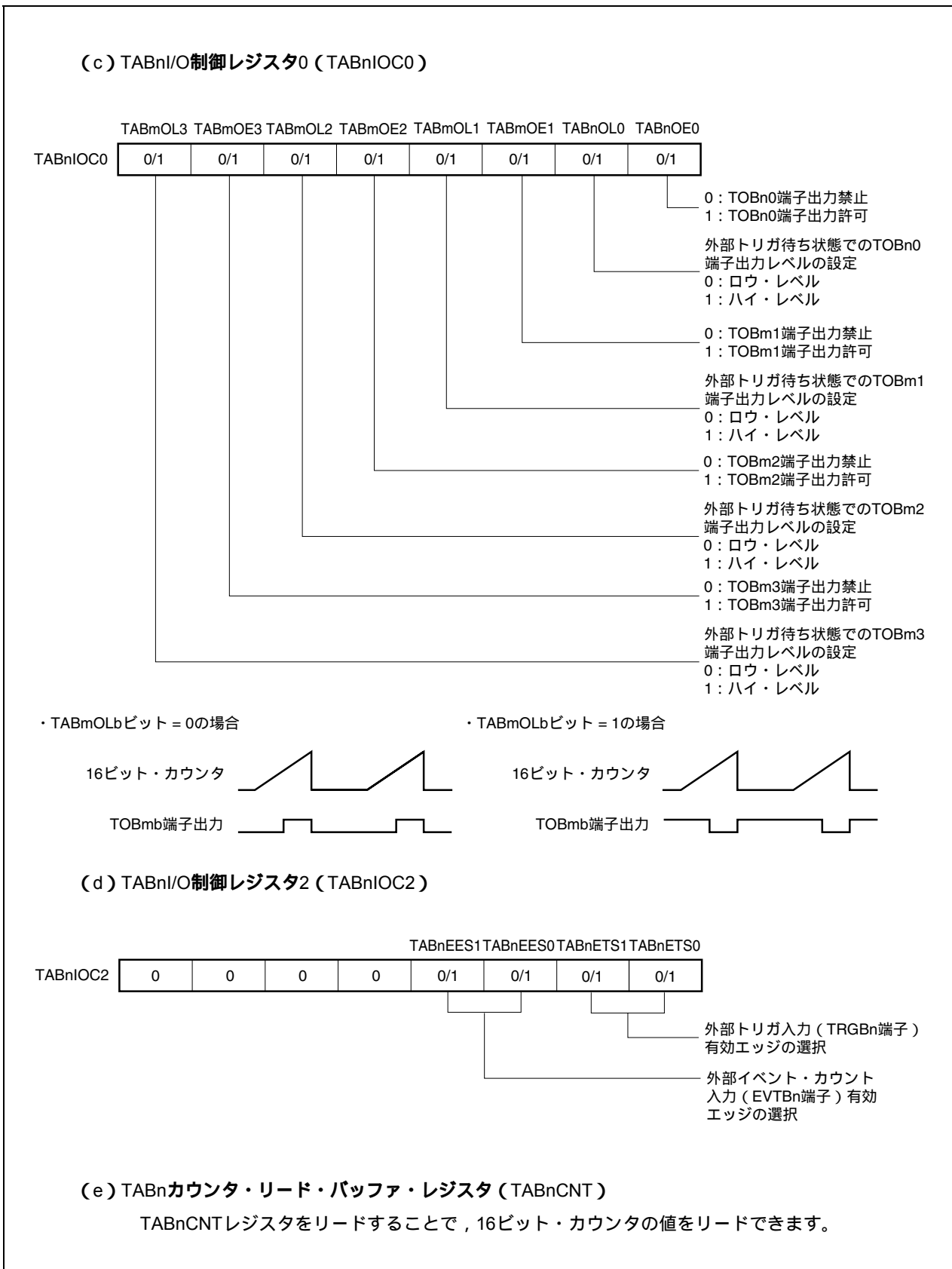


図7-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD₀を設定し, TABnCCRbレジスタにD_bを設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D_b + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D_b × カウント・クロック周期

となります。

注意 ワンショット・パルス出力モードにおいて, TABnCCRbレジスタの設定値が, TABnCCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

備考1. TABmI/O制御レジスタ1 (TABmIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, ワンショット・パルス出力モードでは使用しません。

2. V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

(1) ワンショット・パルス出力モード動作フロー

図7-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

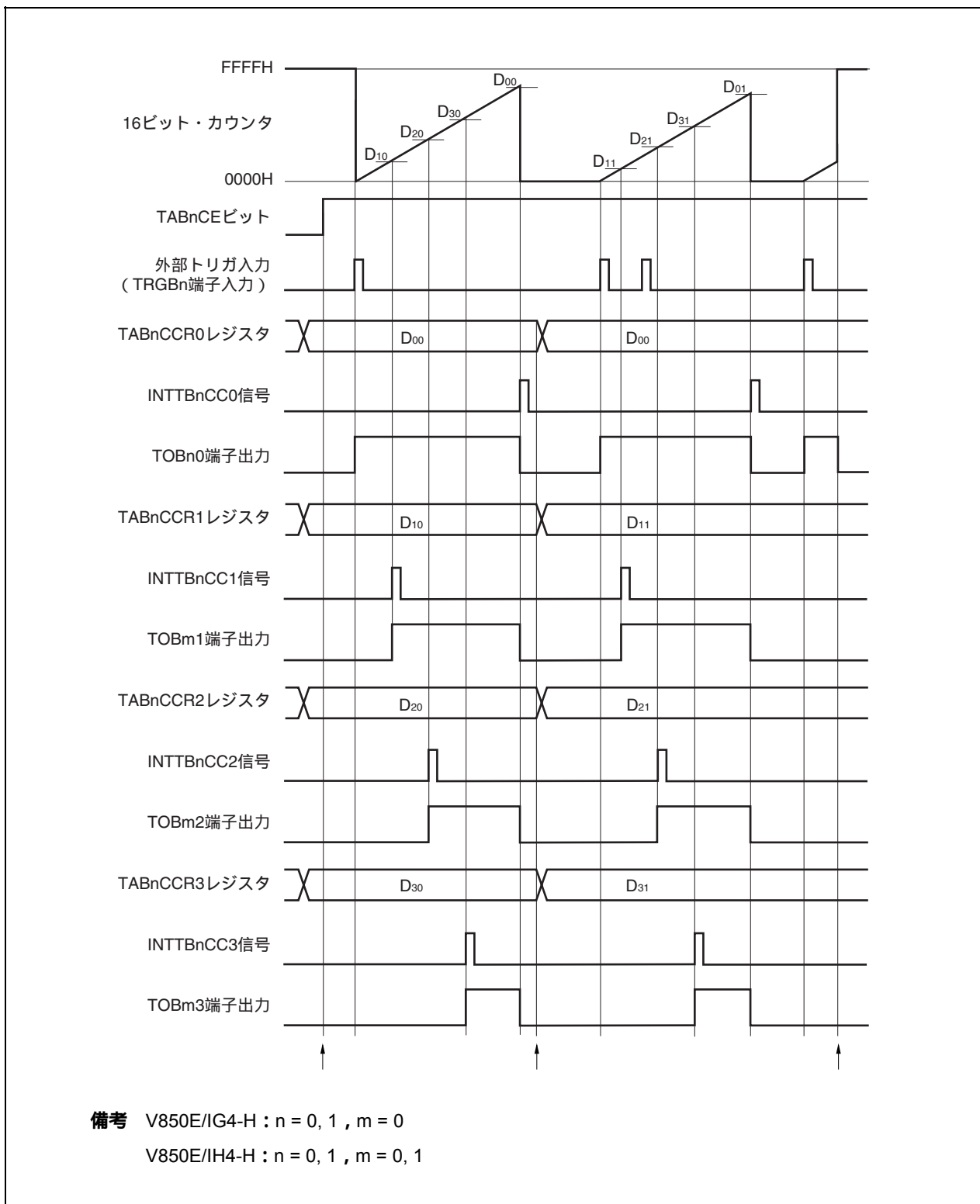
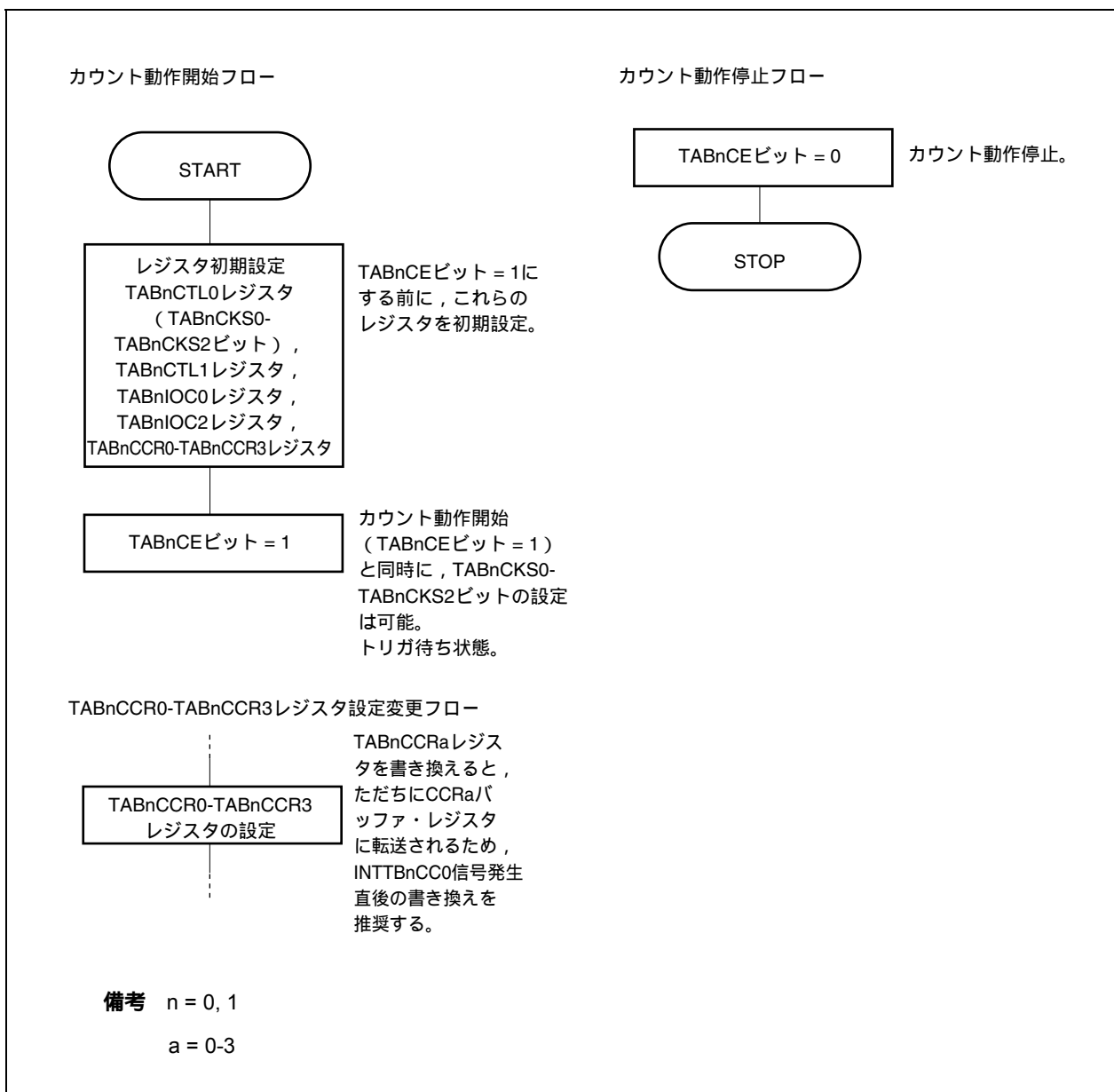


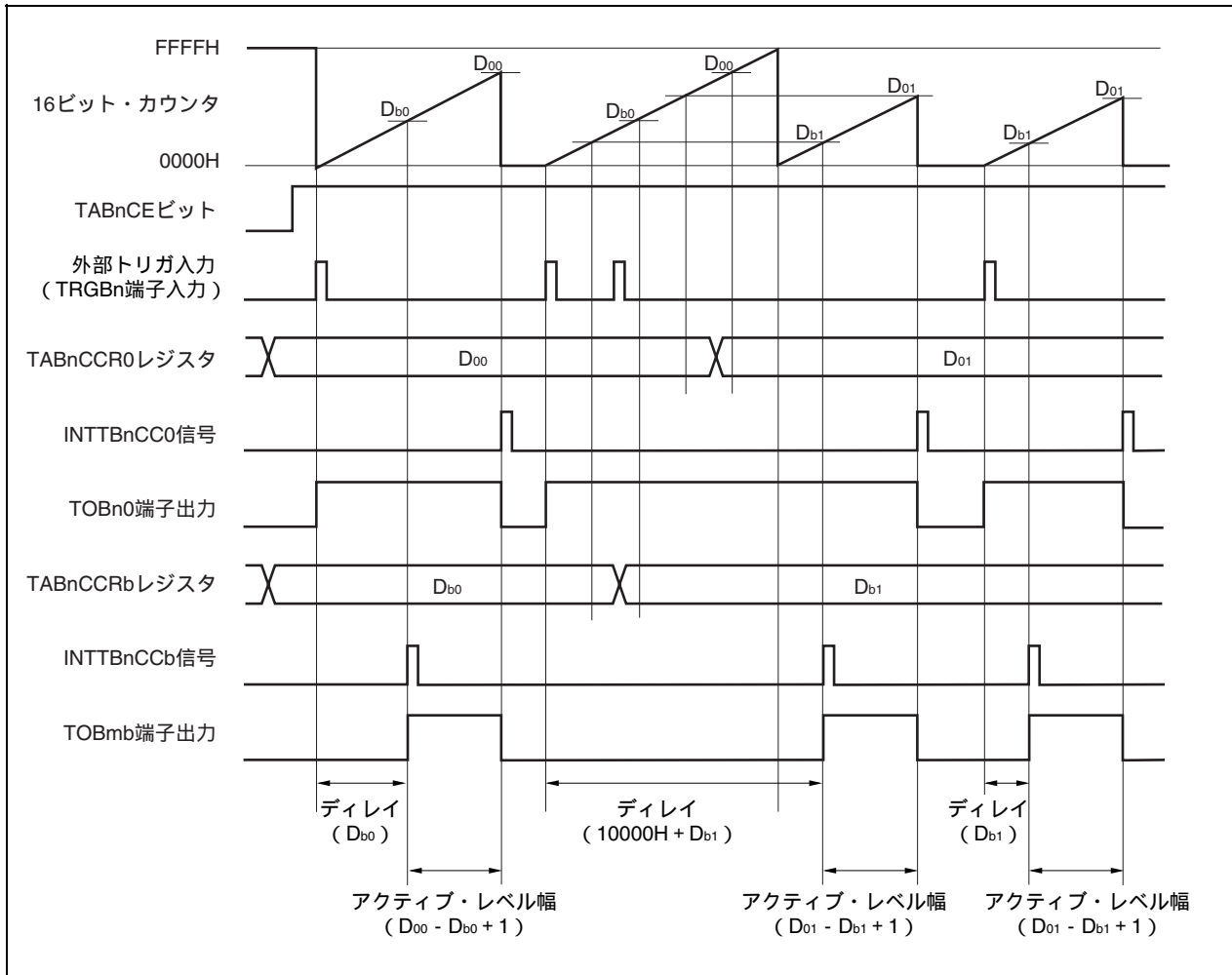
図7-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) ワンショット・パルス出力モード動作タイミング

(a) TABnCCRaレジスタの書き換えに関する注意事項

カウント動作中にTABnCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TABnCCR0レジスタを D_{00} から D_{01} に、TABnCCRbレジスタを D_{b0} から D_{b1} に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{b0} > D_{b1}$ の状態では、16ビット・カウンタのカウント値が D_{b1} よりも大きく D_{b0} よりも小さい状態のときTABnCCRbレジスタを書き換え、カウント値が D_{01} よりも大きく D_{00} よりも小さい状態でTABnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、 D_{b1} との一致でINTTBnCCb信号を発生してTOBmb端子出力をアクティブ・レベルにし、 D_{01} との一致でINTTBnCC0信号を発生してTOBmb端子出力をインアクティブにしてカウント動作を停止します。

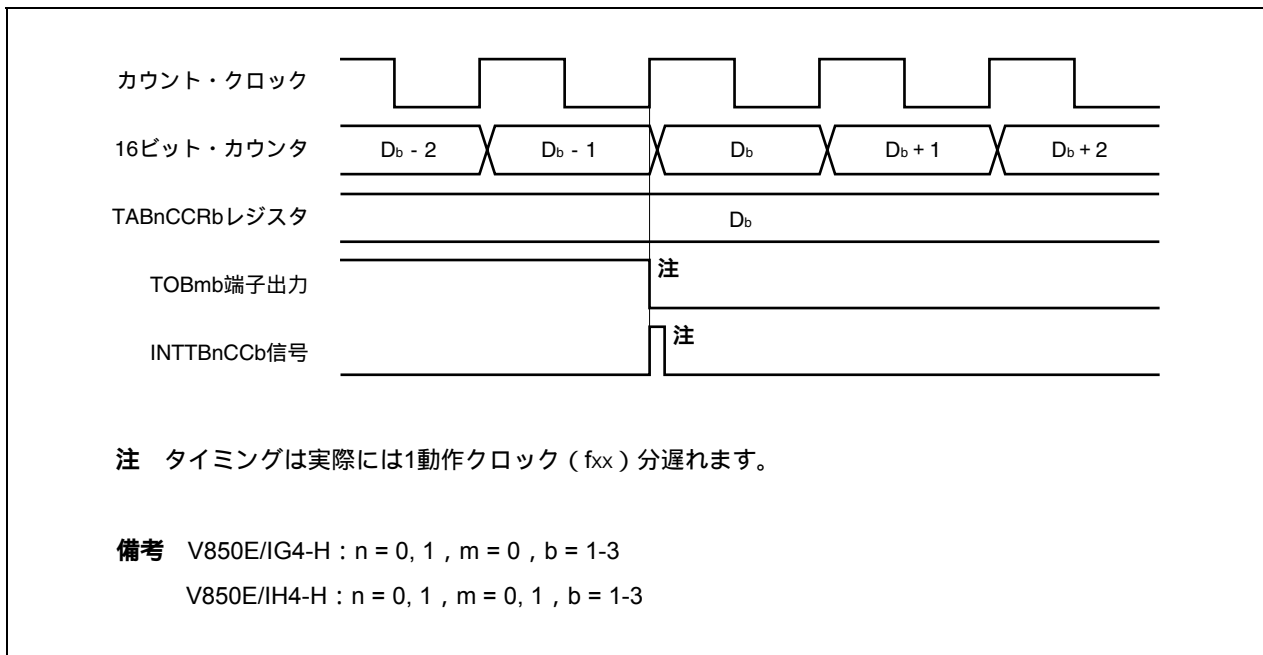
したがって、本来期待しているワンショット・パルス出力に対し、遅延期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 V850E/IG4-H : $n = 0, 1, m = 0, a = 0-3, b = 1-3$

V850E/IH4-H : $n = 0, 1, m = 0, 1, a = 0-3, b = 1-3$

(b) コンペアー一致割り込み要求信号 (INTTBnCCb) の発生タイミング

ワンショット・パルス出力モードにおけるINTTBnCCb信号の発生タイミングは、ほかのモードのINTTBnCCb信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値との一致と同時に発生します。



通常、INTTBnCCb信号は、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOBmb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.6.5 PWM出力モード (TABnMD2-TABnMD0ビット = 100)

PWM出力モードは、TABnCTL0.TABnCEビットをセット(1)することで、TOBm1-TOBm3端子からPWM波形を出力します。

また、TOBn0端子から、TABnCCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力します。

注意 V850E/IG4-HのTAB1の出力は、50%デューティのPWM出力が1本のみです。

図7-29 PWM出力モードの構成図

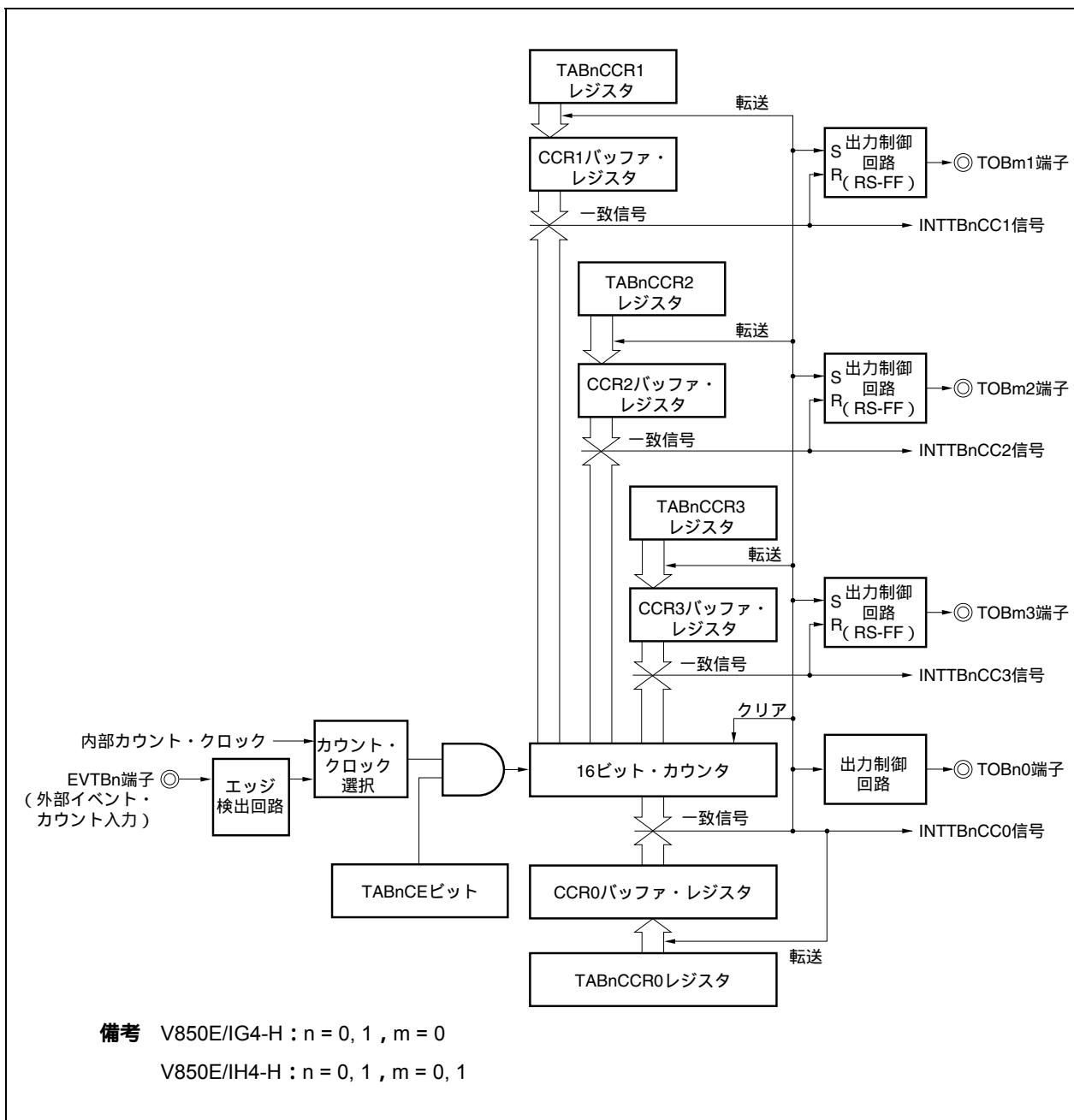
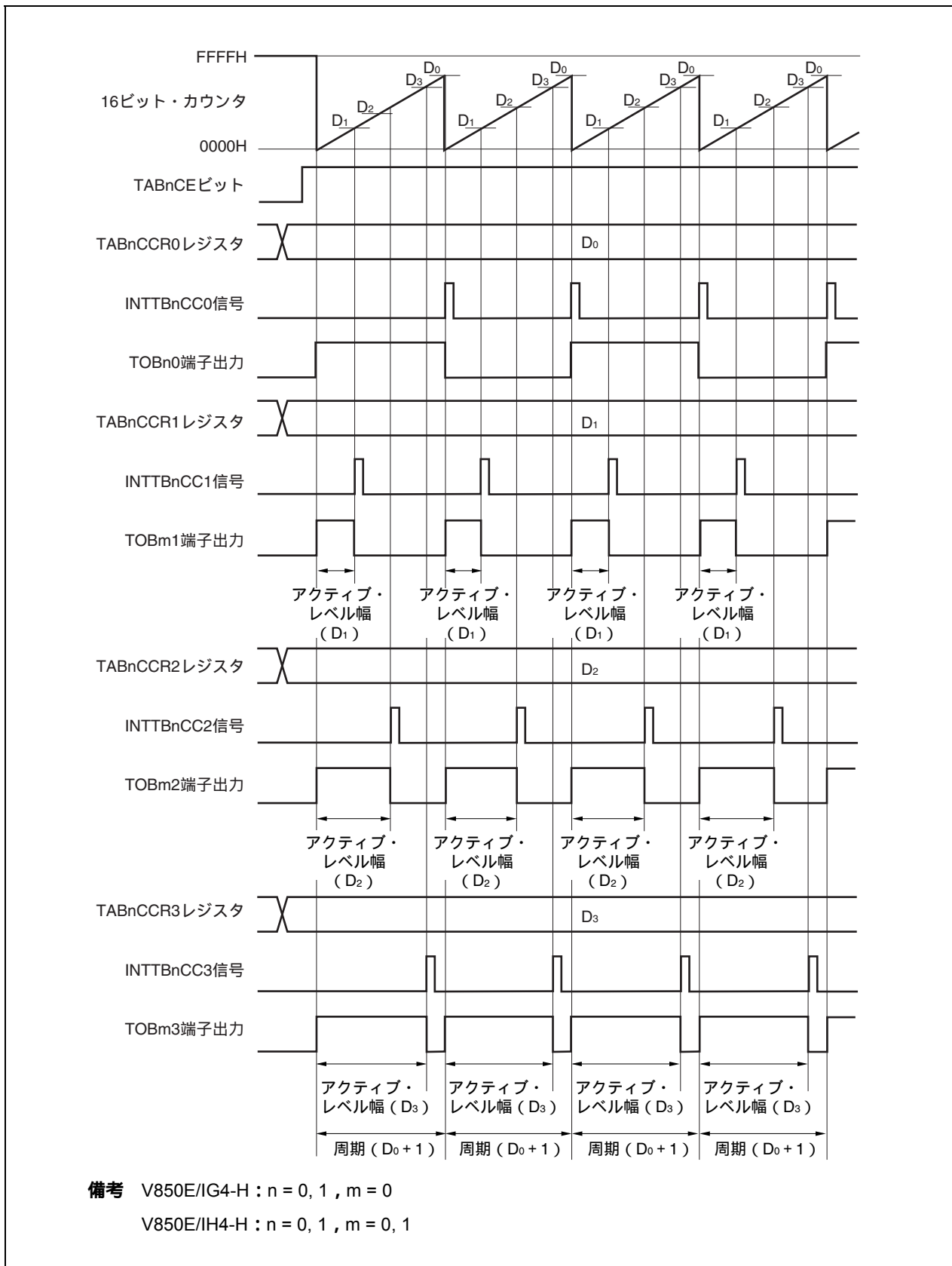


図7-30 PWM出力モードの基本タイミング



TABnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOBmb端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

アクティブ・レベル幅 = (TABnCCRbレジスタの設定値) × カウント・クロック周期

周期 = (TABnCCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TABnCCRbレジスタの設定値) / (TABnCCR0レジスタの設定値 + 1)

動作中にTABnCCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTBnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTBnCCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

備考 V850E/IG4-H : n = 0, 1, m = 0, a = 0-3, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, a = 0-3, b = 1-3

図7-31 PWM出力モード動作時のレジスタ設定内容 (1/3)

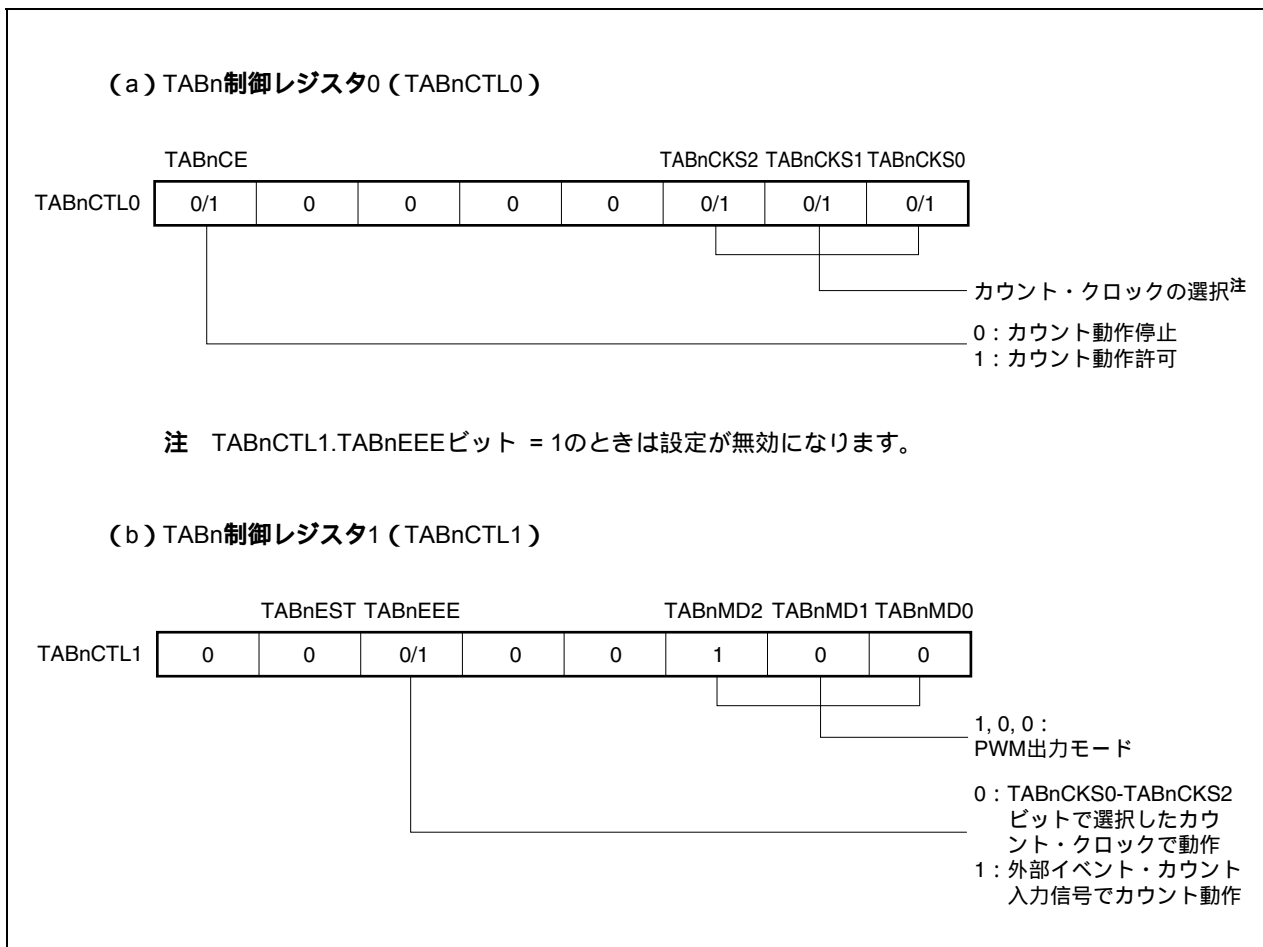


図7 - 31 PWM出力モード動作時のレジスタ設定内容 (2/3)

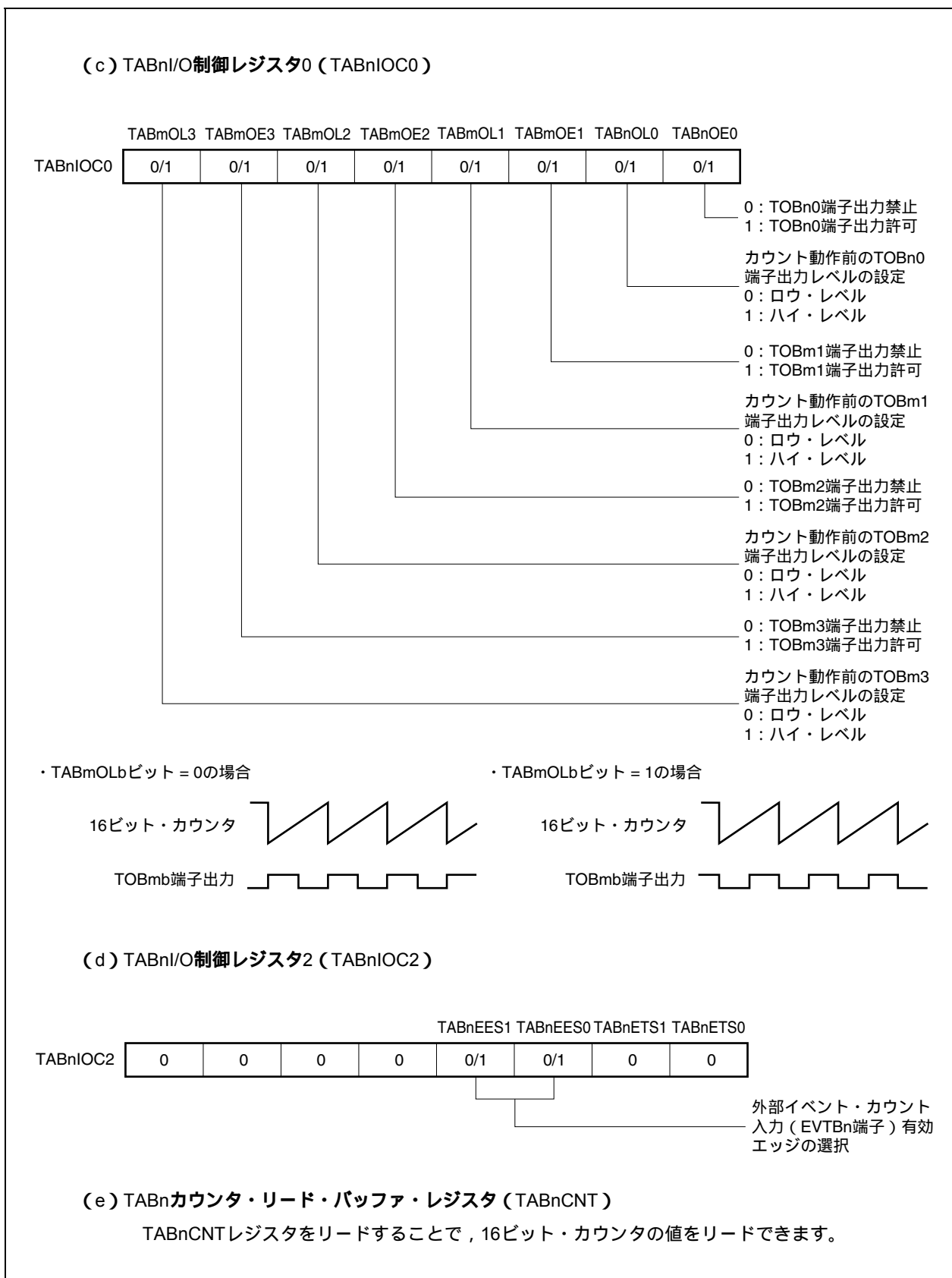


図7 - 31 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD₀を設定し, TABnCCRbレジスタにD_bを設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_b \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考1. TABmI/O制御レジスタ1 (TABmIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, PWM出力モードでは使用しません。

2. V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

(1) PWM出力モード動作フロー

図7 - 32 PWM出力モード使用時のソフトウェア処理フロー (1/2)

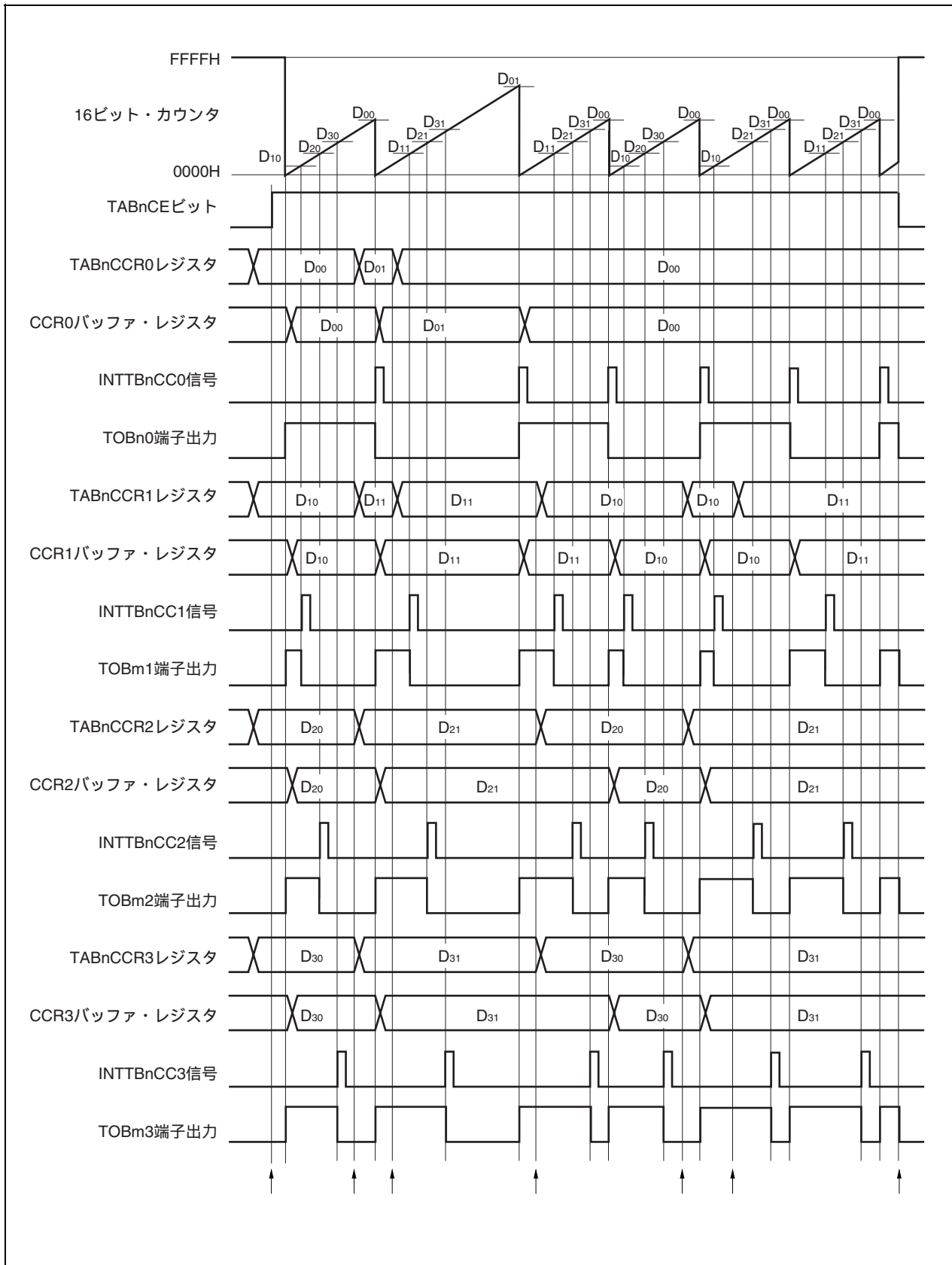
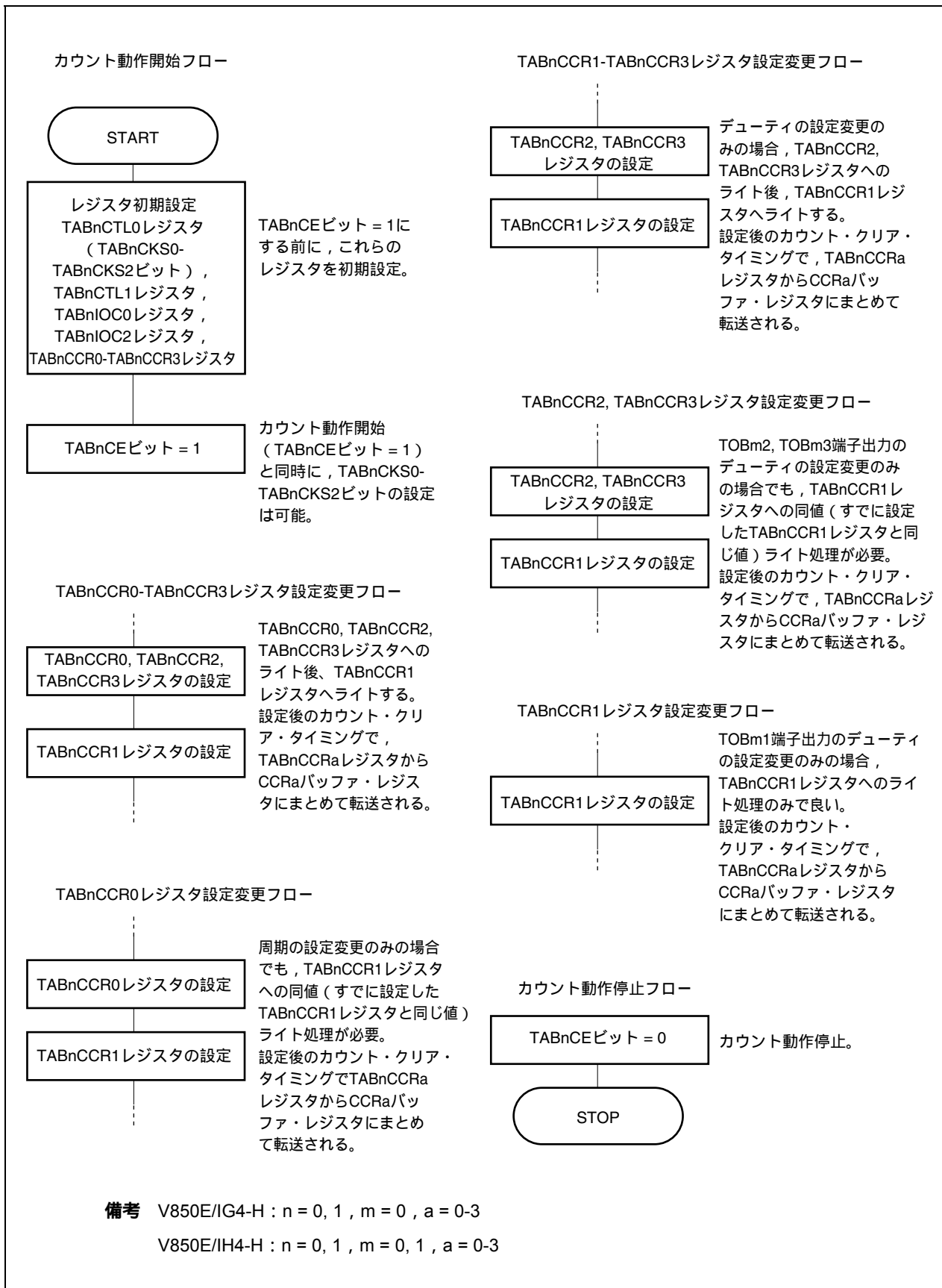


図7-32 PWM出力モード使用時のソフトウェア処理フロー (2/2)

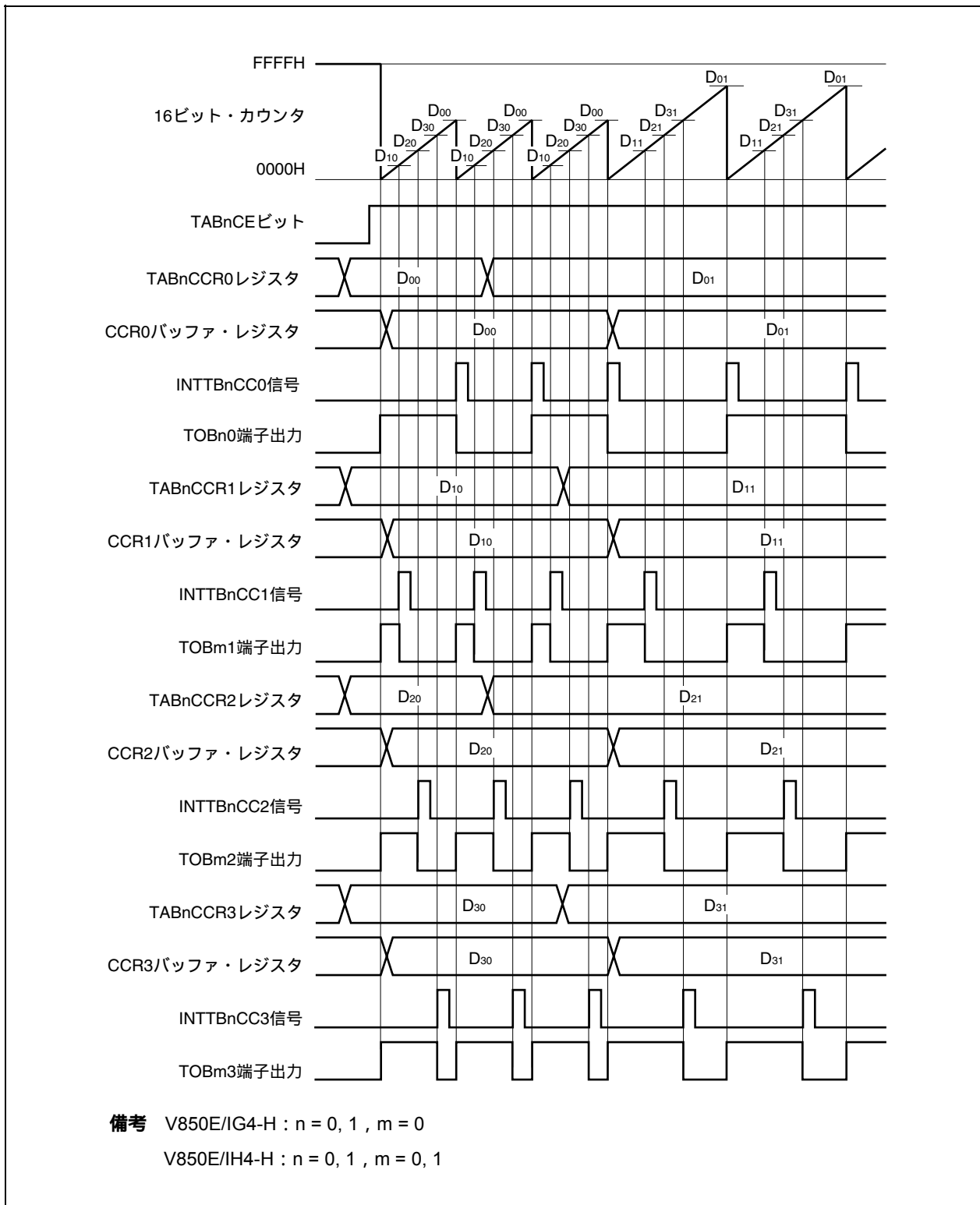


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRaレジスタの書き換えを行う場合には、INTTBnCC0信号を検出後に書き換えてください。



TABnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOBm1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOBm2、TOBm3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）をライトしてください。

TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

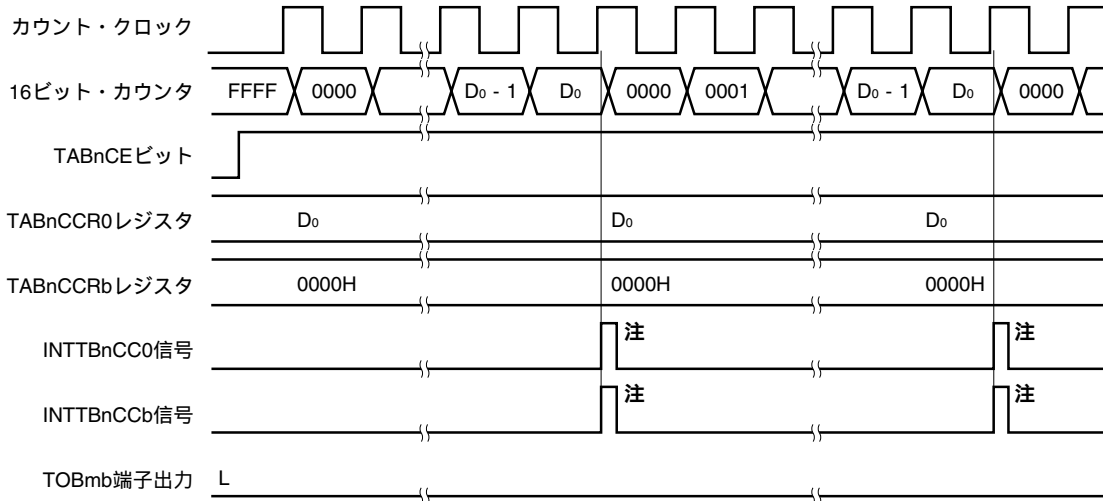
また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTBnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TABnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

備考 V850E/IG4-H : $n = 0, 1, m = 0, a = 0-3$

V850E/IH4-H : $n = 0, 1, m = 0, 1, a = 0-3$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TABnCCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTBnCC0信号とINTTBnCCb信号が発生します。

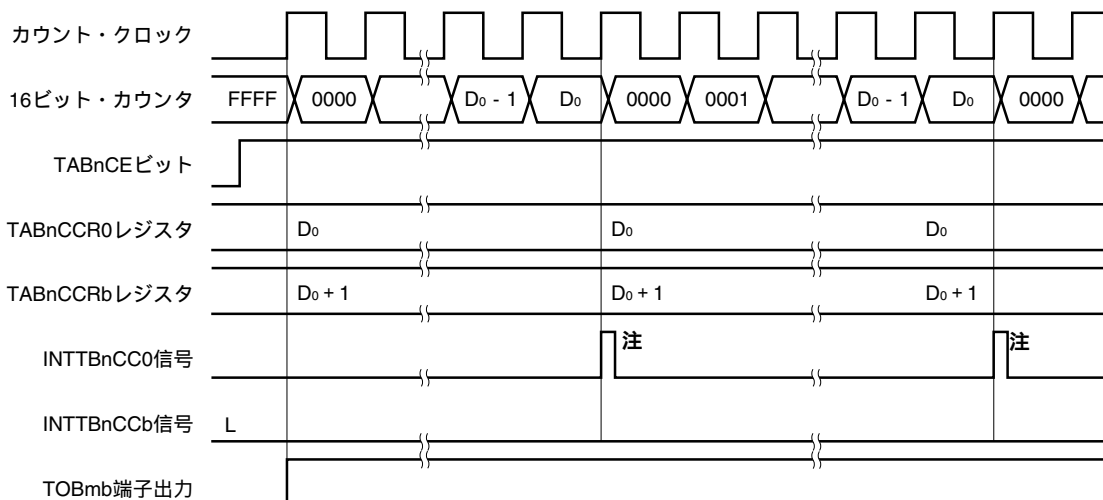


注 タイミングは実際には1動作クロック (f_{xx}) 分遅れます。

備考 V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

100 % 波形を出力するためには、TABnCCRbレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



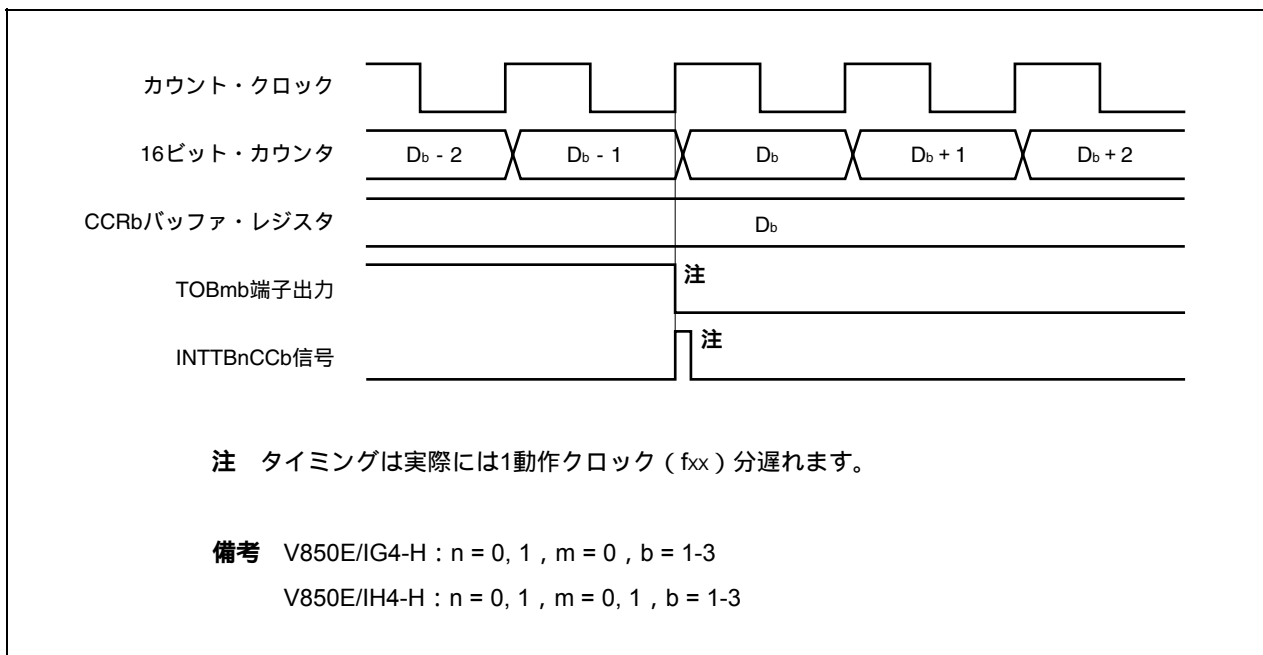
注 タイミングは実際には1動作クロック (f_{xx}) 分遅れます。

備考 V850E/IG4-H : n = 0, 1, m = 0, b = 1-3

V850E/IH4-H : n = 0, 1, m = 0, 1, b = 1-3

(c) コンペアー一致割り込み要求信号 (INTTBnCCb) の発生タイミング

PWM出力モードにおけるINTTBnCCb信号の発生タイミングは、ほかのモードのINTTBnCCb信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値との一致と同時に発生します。



通常、INTTBnCCb信号は、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値との一致後、次のカウント・アップに同期して発生します。

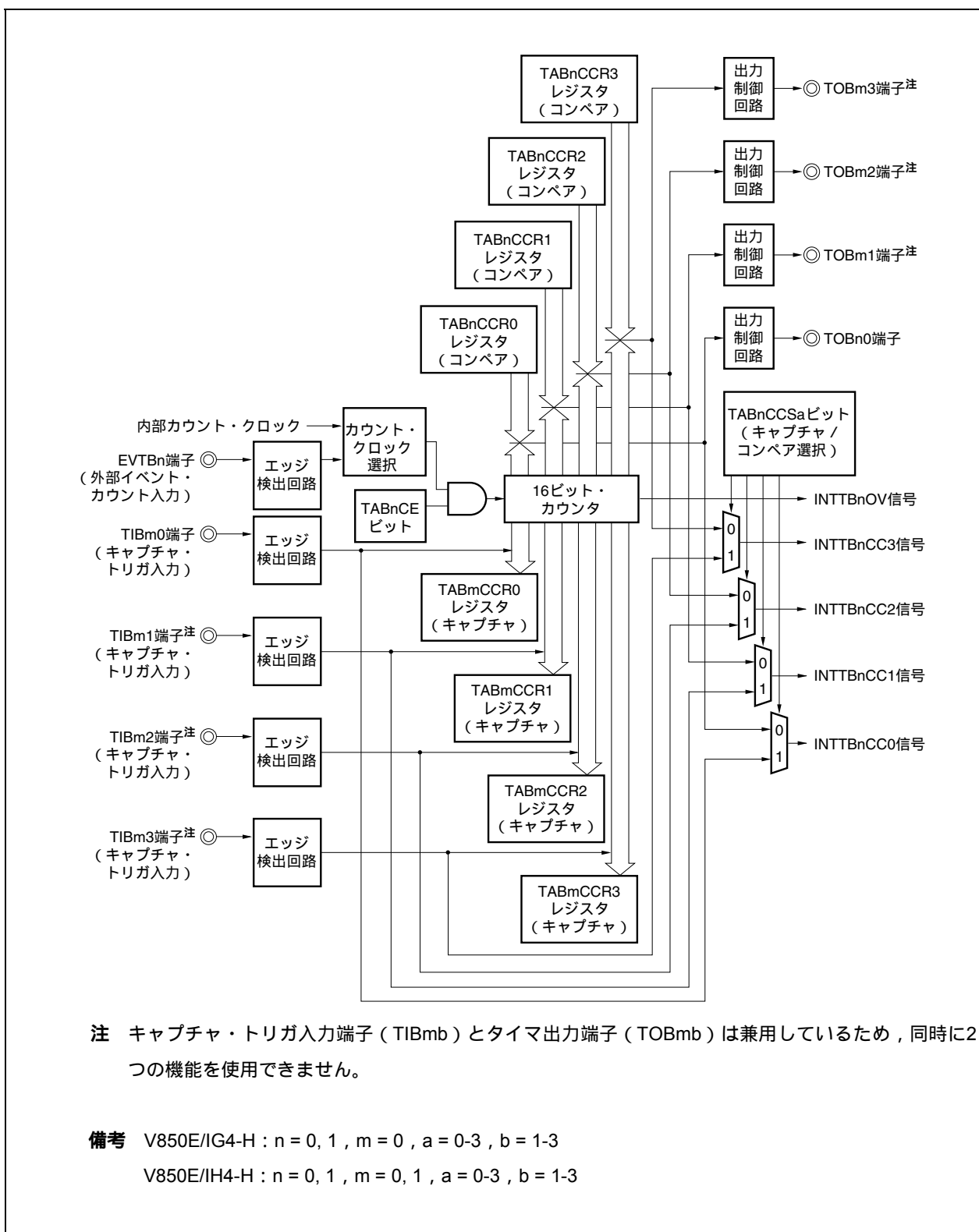
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOBmb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.6.6 フリー・ランニング・タイマ・モード (TABnMD2-TABnMD0ビット = 101)

コンペア機能はTAB0, TAB1すべて有効です。キャプチャ機能はTAB0, TAB1 (V850E/IH4-Hのみ) のみ有効です。

フリー・ランニング・タイマ・モードは, TABnCTL0.TABnCEビットをセット(1)することでカウント動作を開始します。このときのTABmCCRaレジスタの動作は, TABmOPT0.TABmCCSaビットの設定により, コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-33 フリー・ランニング・タイマ・モードの構成図



・コンペア動作

TABnCEビットをセット(1)することで、カウント動作を開始し、TOBn0, TOBm1-TOBm3端子出力を反転します。その後、16ビット・カウンタのカウント値とTABnCCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTBnCCa)を発生し、TOBn0, TOBm1-TOBm3端子出力を反転します。

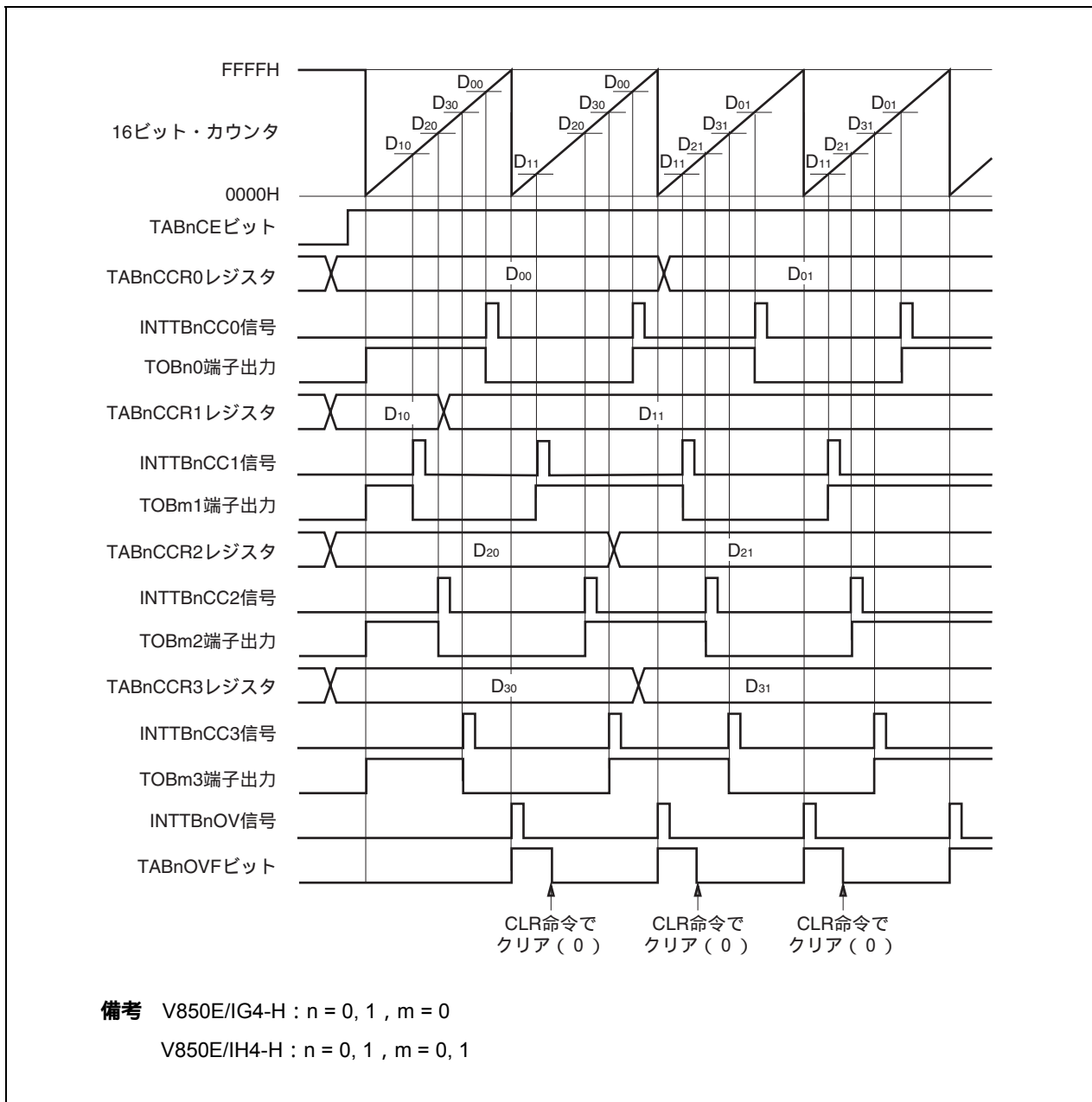
16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTBnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TABnOPT0.TABnOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

TABnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

備考 V850E/IG4-H : n = 0, 1, m = 0, a = 0-3

V850E/IH4-H : n = 0, 1, m = 0, 1, a = 0-3

図7-34 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TABmCEビットをセット(1)することで、カウント動作を開始します。その後、TIBma端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABmCCRaレジスタに格納し、キャプチャ割り込み要求信号(INTTBmCCa)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号(INTTBmOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TABmOPT0.TABmOVFビット)もセット(1)されます。オーバフロー・フラグがセット(1)されていることを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-35 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

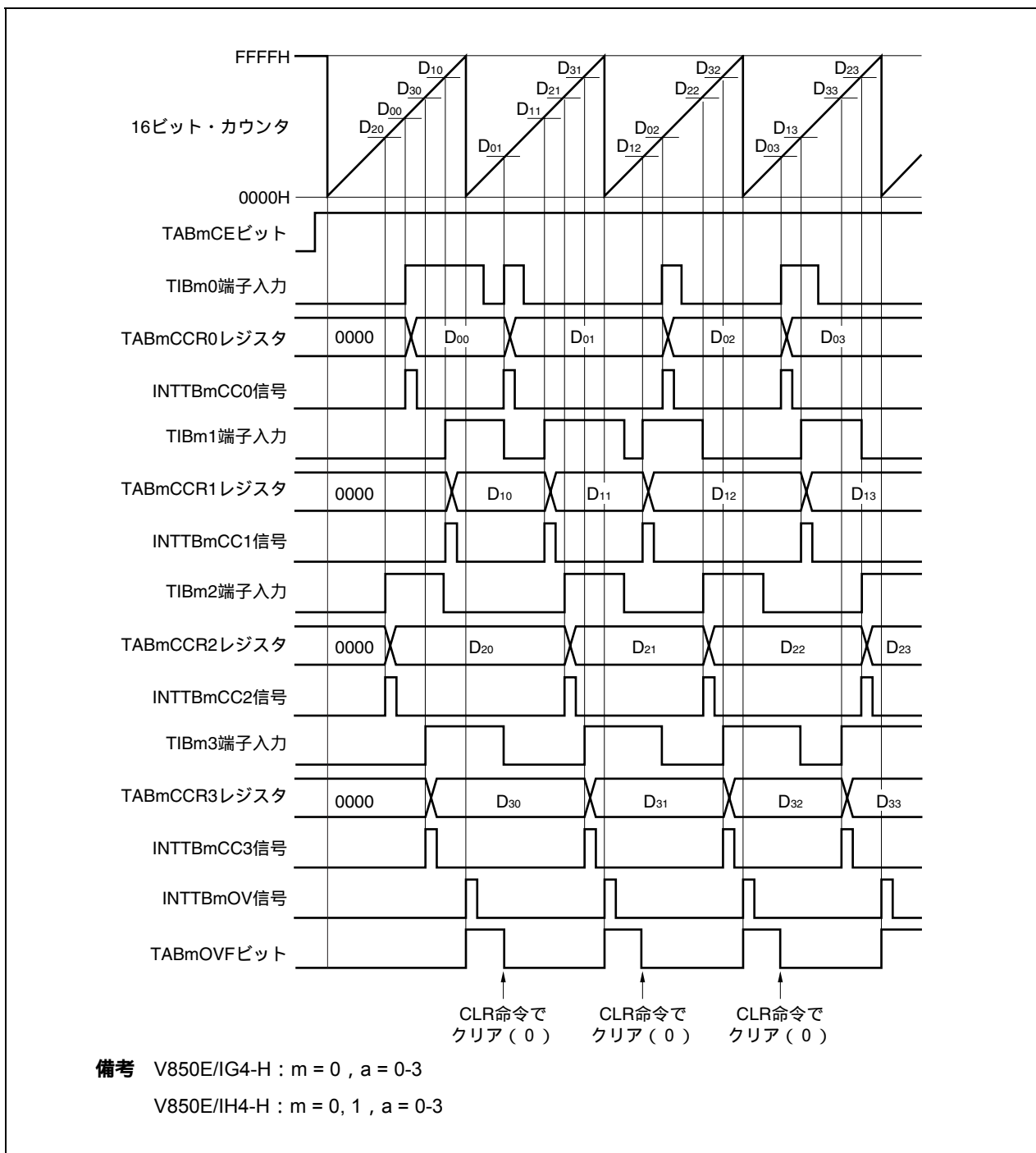


図7 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

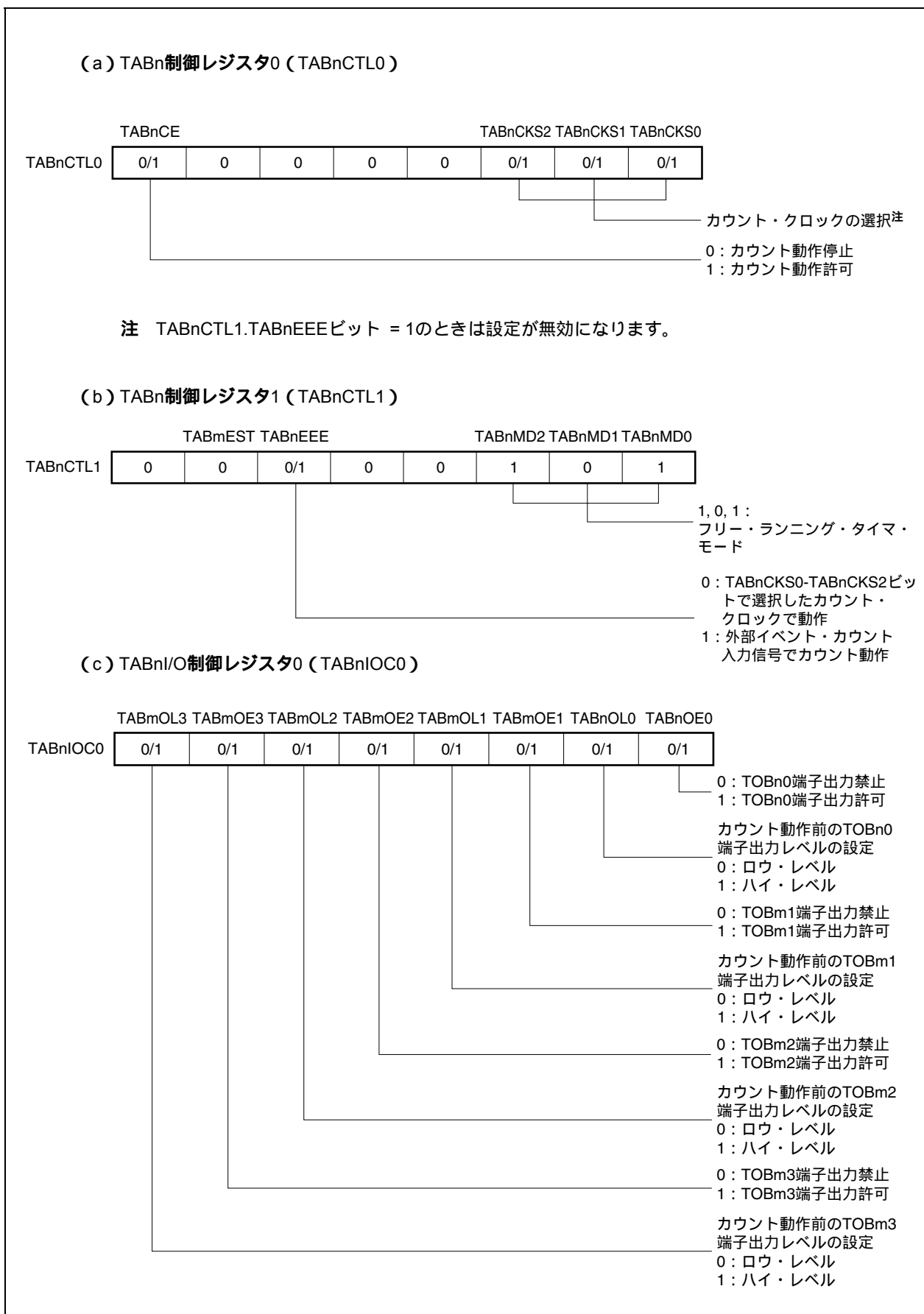


図7 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

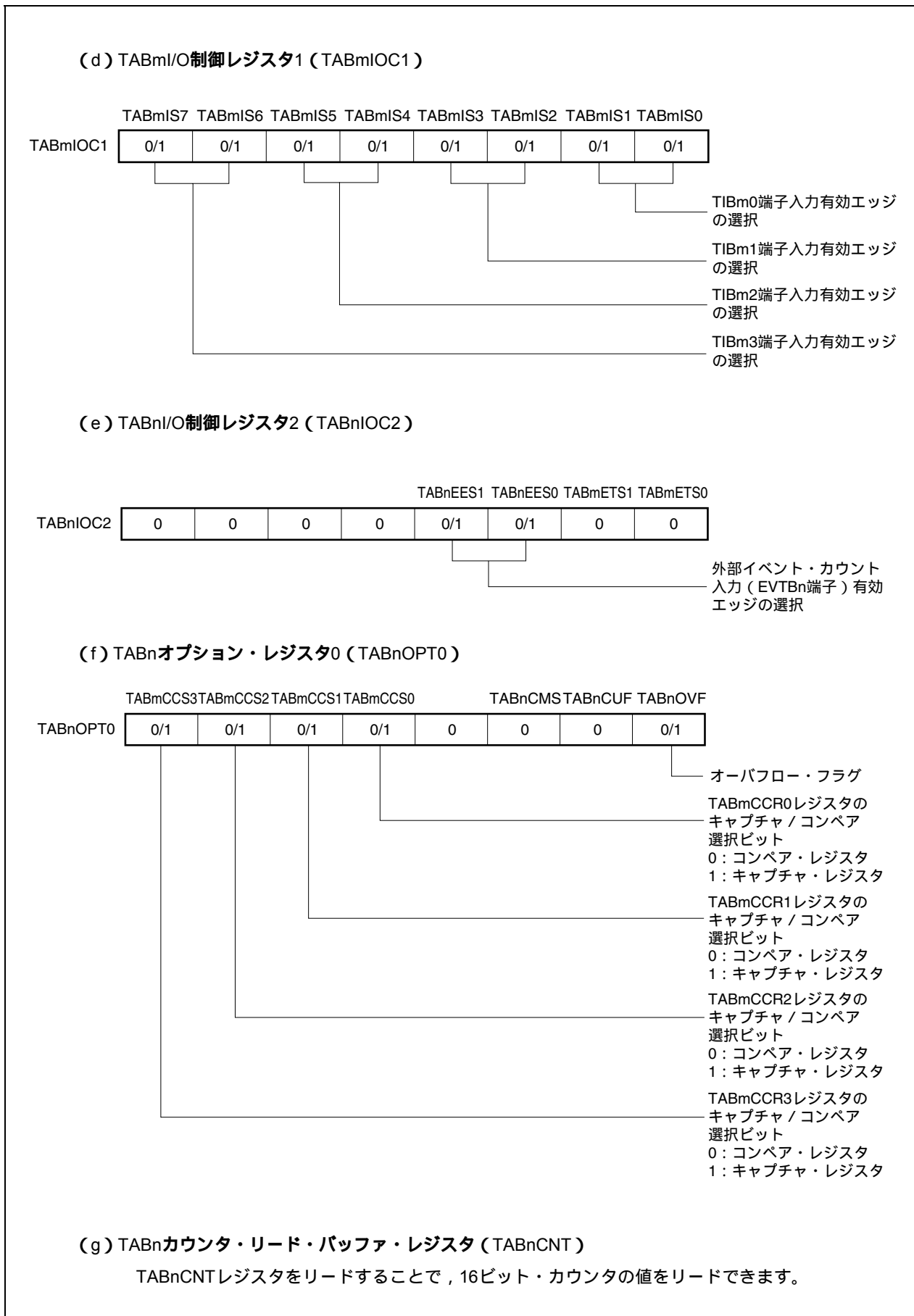


図7 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABmOPT0.TABmCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIBma端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TABnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTBnCCa信号を発生し、TOBn0, TOBm1-TOBm3端子出力を反転します。

備考 V850E/IG4-H : n = 0, 1, m = 0, a = 0-3

V850E/IH4-H : n = 0, 1, m = 0, 1, a = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

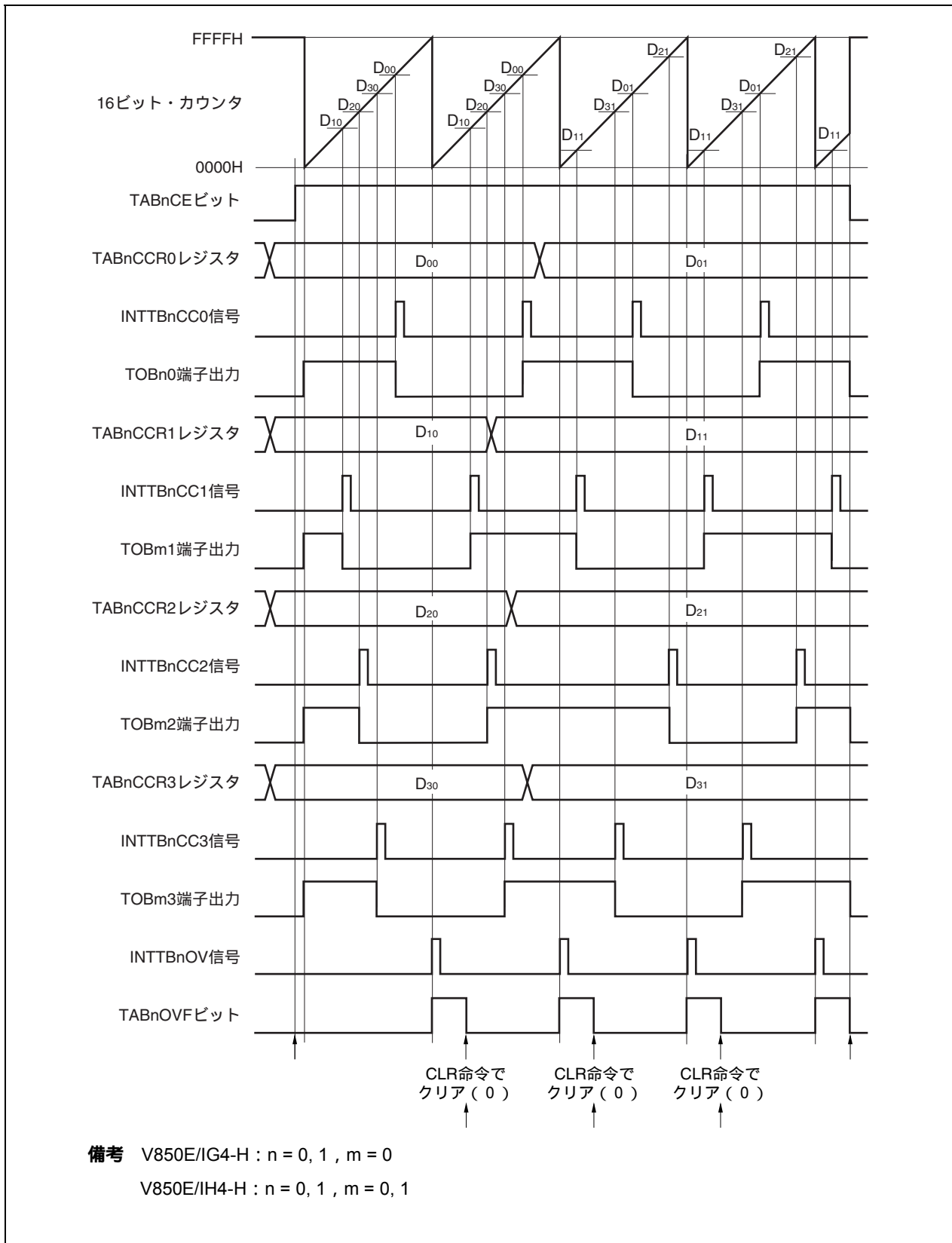
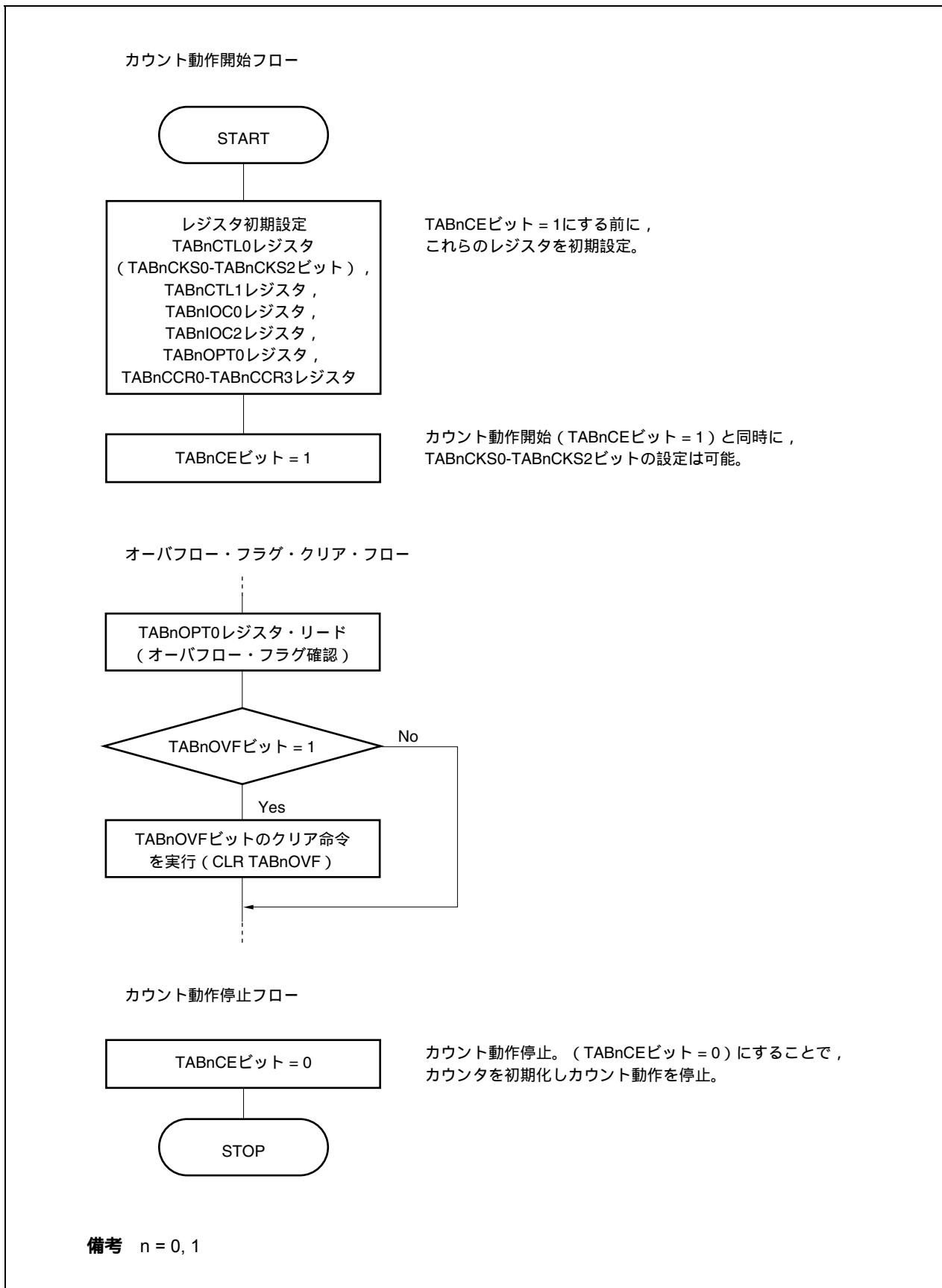


図7-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (1/2)

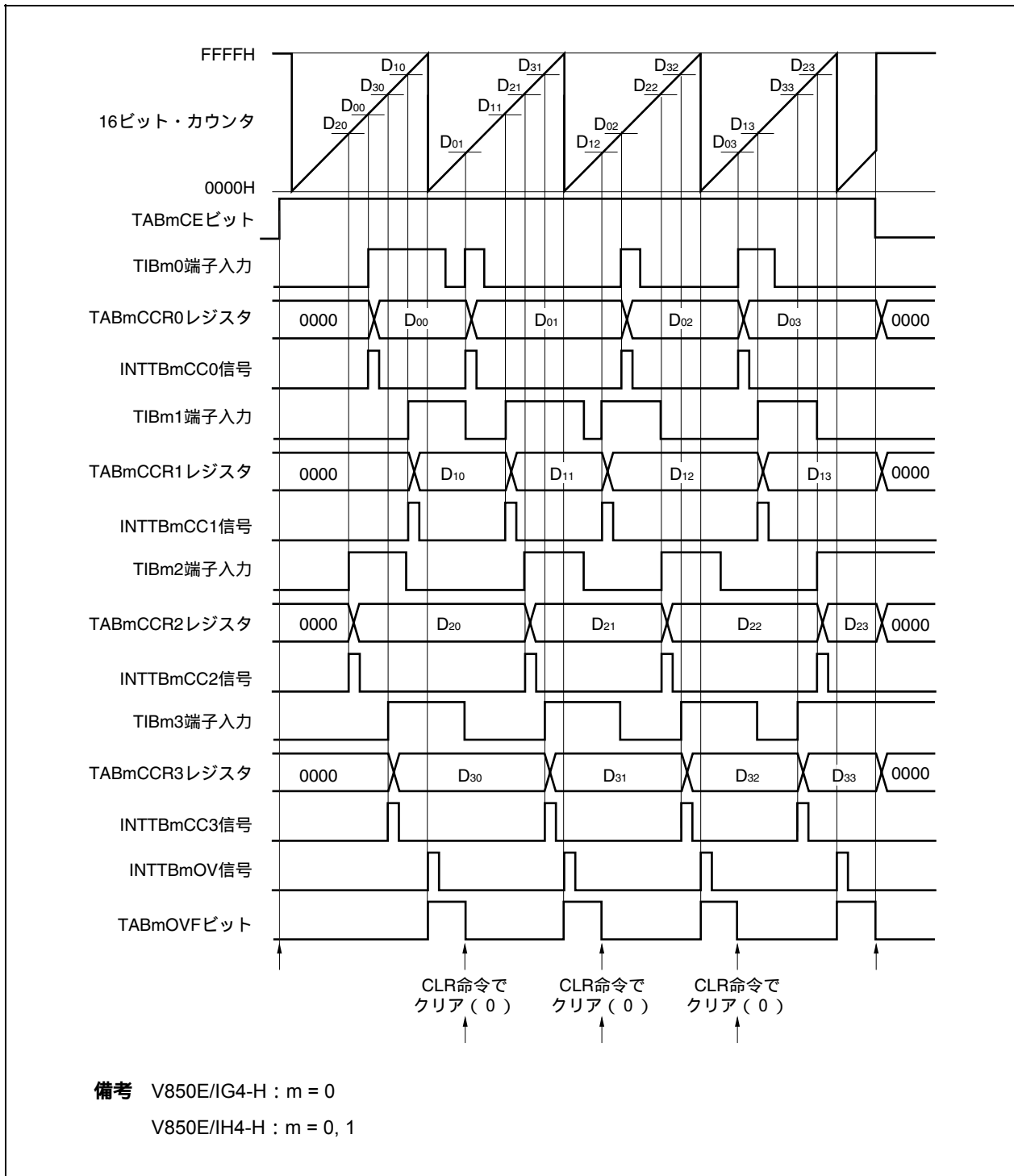
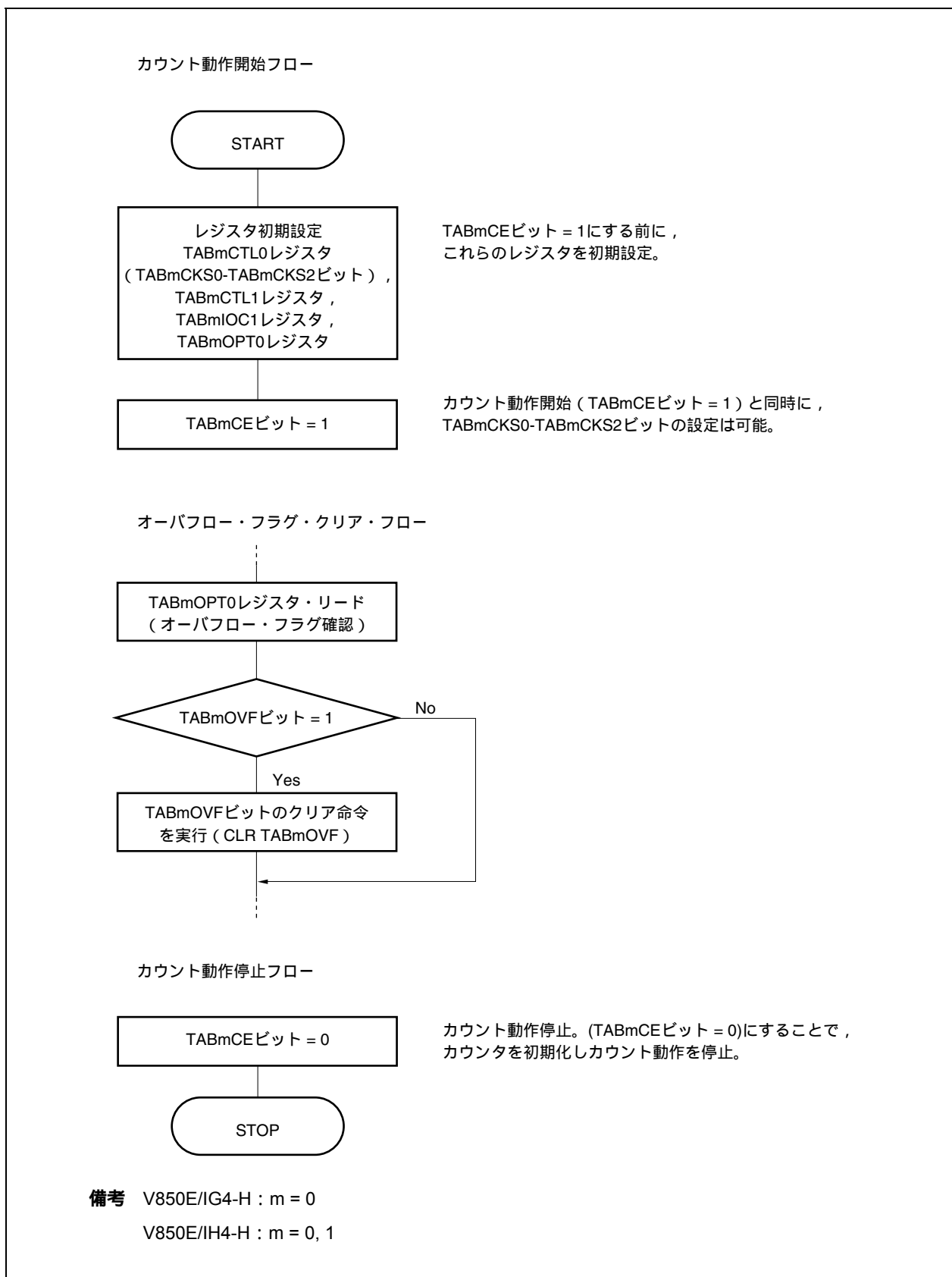


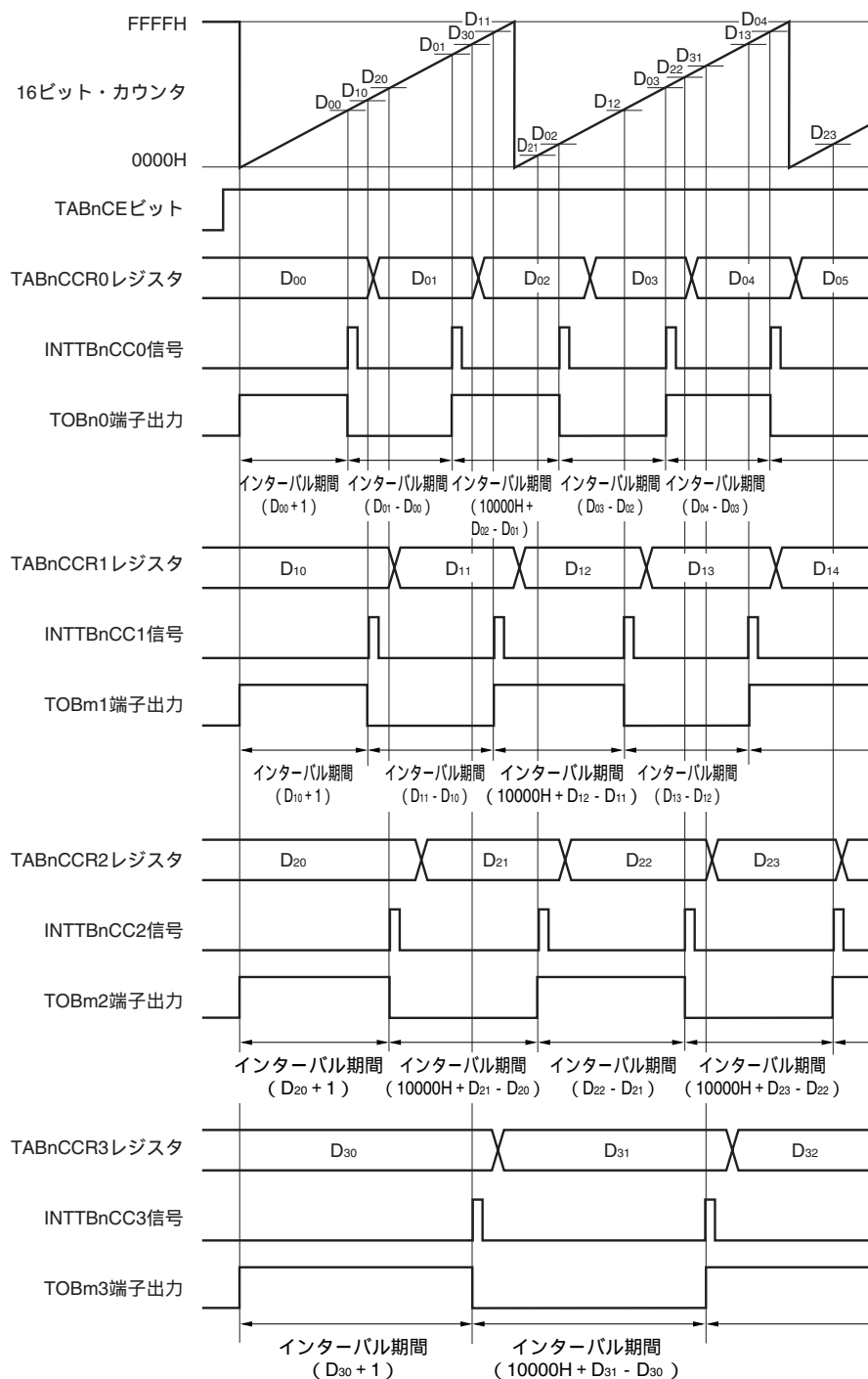
図7 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (2/2)



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TABnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTBnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



備考 V850E/IG4-H : n = 0, 1, m = 0, a = 0-3

V850E/IH4-H : n = 0, 1, m = 0, 1, a = 0-3

フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTBnCCa信号を検出したときの割り込み処理中に、対応するTABnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“Da” とすると、次のように求められます。

コンペア・レジスタ初期値 : $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

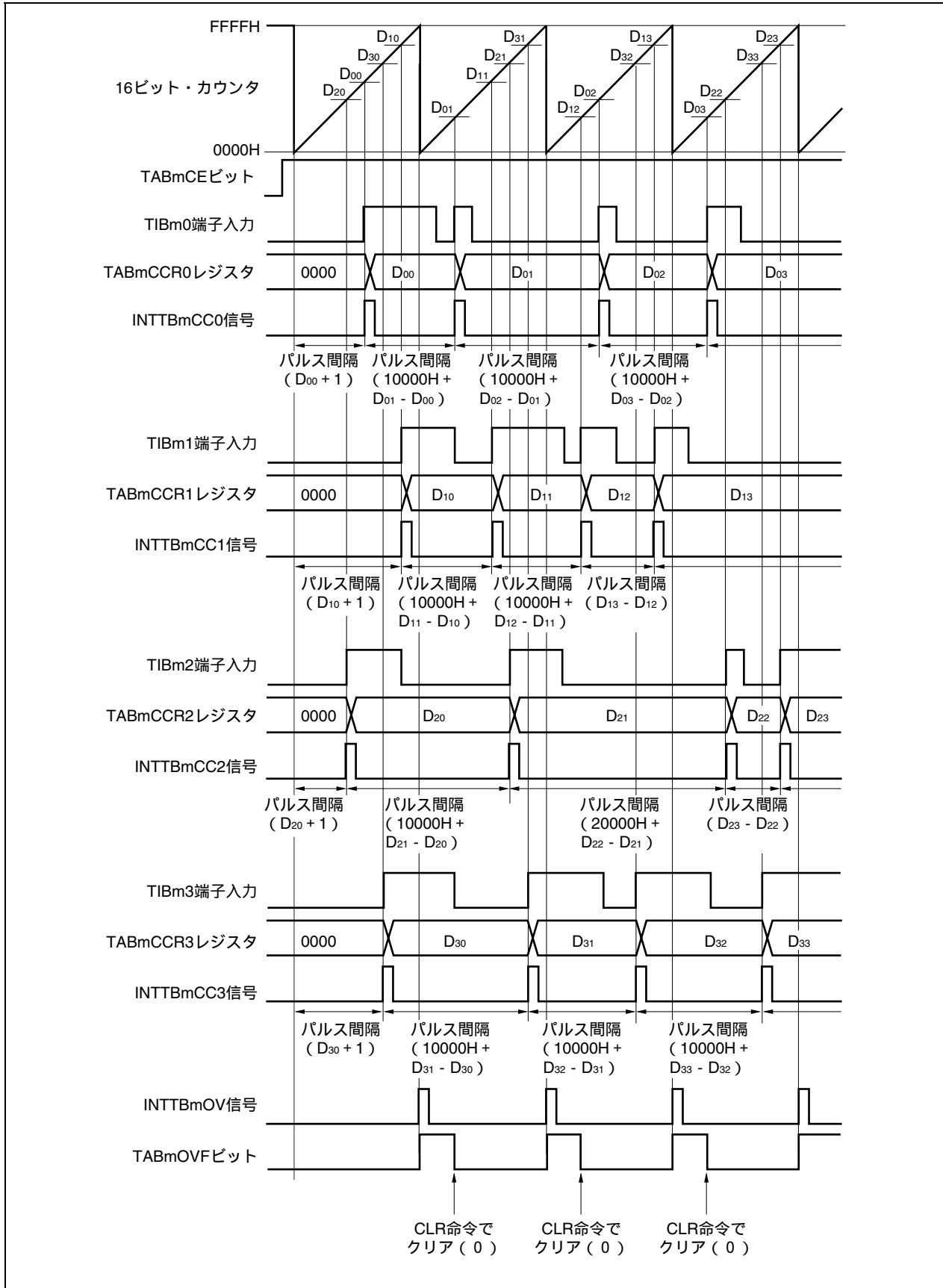
(演算結果がFFFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 n = 0, 1

a = 0-3

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TABmCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTBmCCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで4つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTBmCCa信号に同期してTABmCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前回のリード・データとの差分を求めることでパルス幅を算出できます。

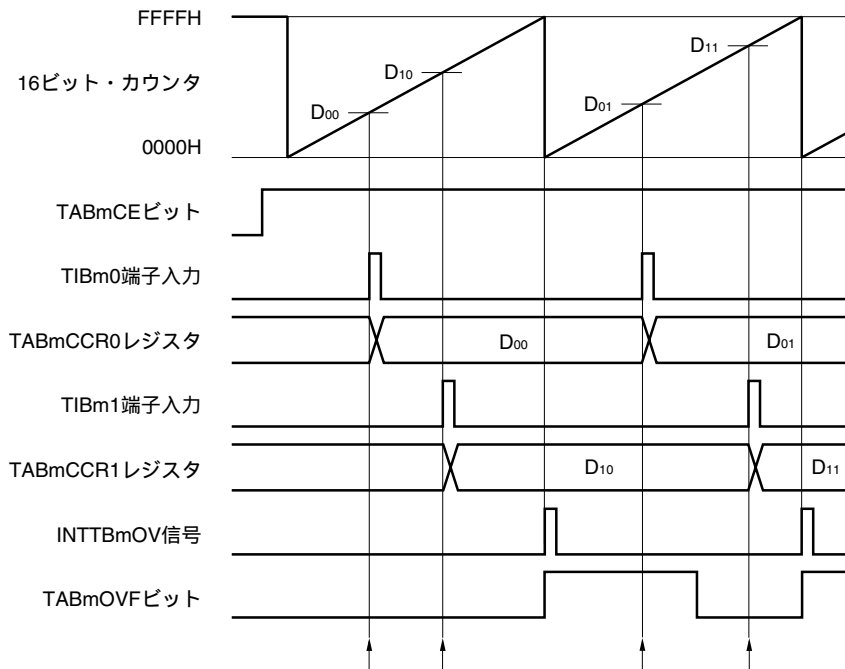
備考 V850E/IG4-H : $m = 0$, $a = 0-3$

V850E/IH4-H : $m = 0, 1$, $a = 0-3$

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TABmCCR0レジスタをリードする (TIBm0端子入力の初期値設定)。

TABmCCR1レジスタをリードする (TIBm1端子入力の初期値設定)。

TABmCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TABmCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

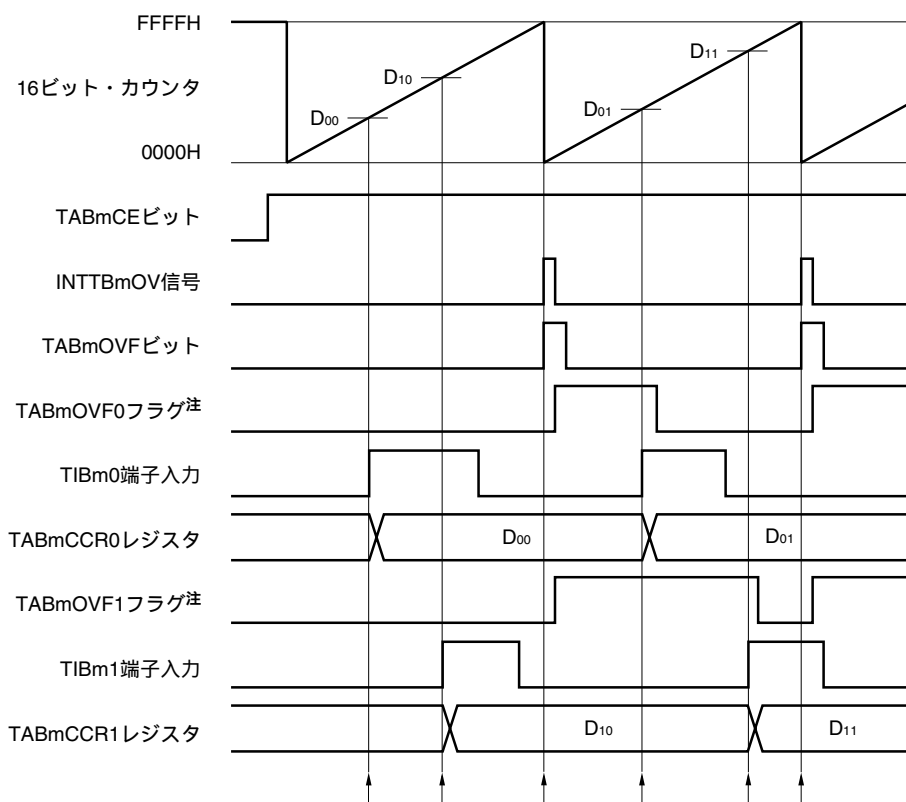
備考 V850E/IG4-H : m = 0

V850E/IH4-H : m = 0, 1

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TABmOVF0, TABmOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABmCCR0レジスタをリードする (TIBm0端子入力の初期値設定)。

TABmCCR1レジスタをリードする (TIBm1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TABmOVF0, TABmOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TABmCCR0レジスタをリードする。

TABmOVF0フラグをリードする。TABmOVF0フラグが“1”だった場合、クリア (0) する。

TABmOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TABmCCR1レジスタをリードする。

TABmOVF1フラグをリードする。TABmOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTABmOVF0フラグであり、TABmOVF1フラグは“1”のまま)。

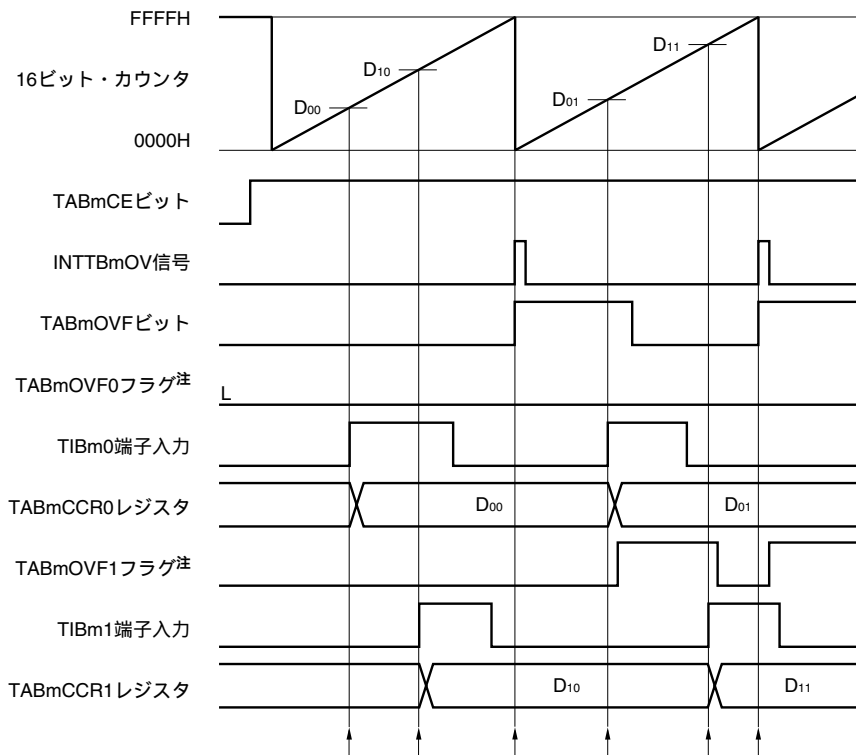
TABmOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

備考 V850E/IG4-H : m = 0

V850E/IH4-H : m = 0, 1

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TABmOVF0, TABmOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABmCCR0レジスタをリードする (TIBm0端子入力の初期値設定)。

TABmCCR1レジスタをリードする (TIBm1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TABmCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TABmOVF1フラグのみをセット(1)し、オーバーフロー・フラグをクリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TABmCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア(0)されているので“0”がリードされる。

TABmOVF1フラグをリードする。TABmOVF1フラグが“1”だった場合、クリア(0)する。

TABmOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

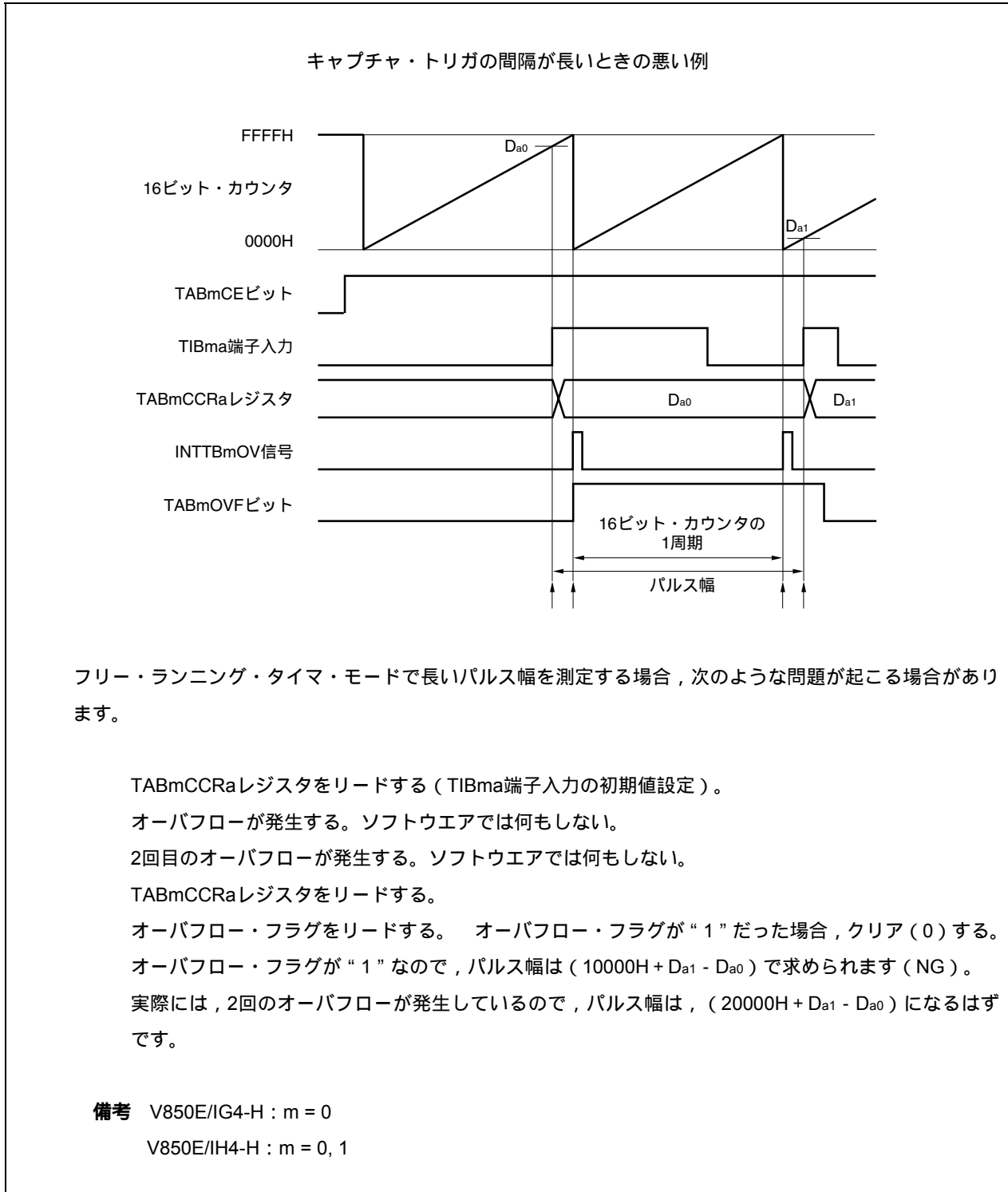
と同じです。

備考 V850E/IG4-H : m = 0

V850E/IH4-H : m = 0, 1

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

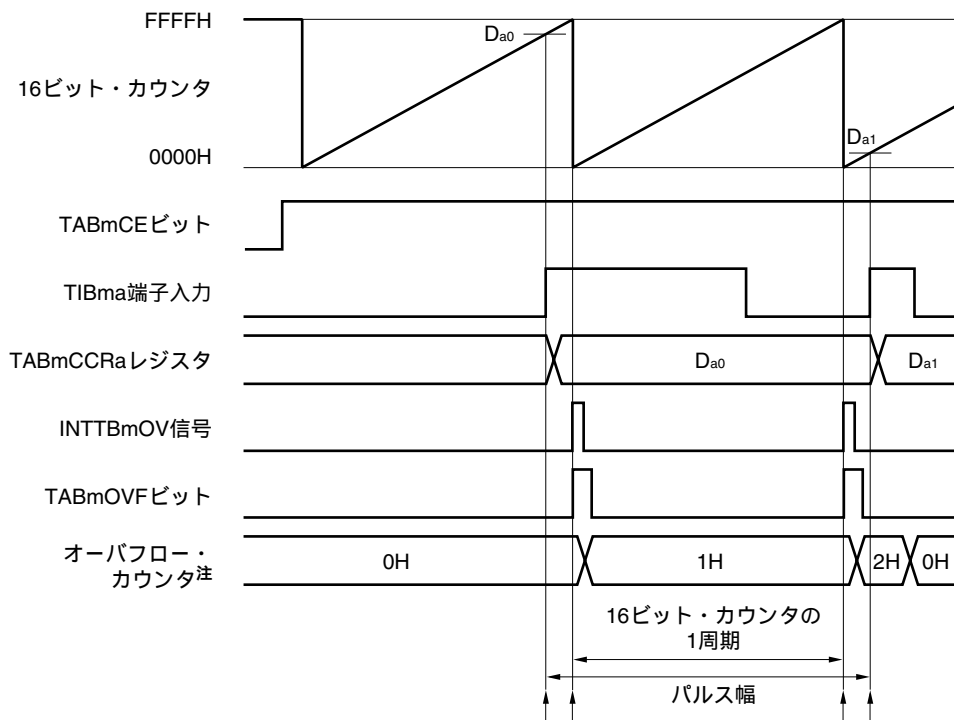
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABmCCRaレジスタをリードする (TIBma端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TABmCCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 V850E/IG4-H : m = 0, a = 0-3

V850E/IH4-H : m = 0, 1, a = 0-3

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TABmOVFビット = 1をリードしたあとにTABmOVFビットをCLR命令でクリア (0) する方法と、TABmOVFビット = 1をリードしたあとにTABmOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

7.6.7 パルス幅測定モード (TABmMD2-TABmMD0ビット = 110)

TAB0, TAB1 (V850E/IH4-Hのみ) のみ有効です。

パルス幅測定モードは, TABmCTL0.TABmCEビットをセット(1)することでカウント動作を開始し, TIBma端子入力の有効エッジを検出するごとに, 16ビット・カウンタのカウント値をTABmCCRaレジスタに格納し, 16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTBmCCa) が発生したあと, TABmCCRaレジスタをリードすることにより, 有効エッジ間隔を測定できます。

たとえば図7-40のような場合は, キャプチャ・トリガ入力端子としてTIBm0-TIBm3端子のいずれか1本を使用し, 使用しない端子はTABmIOC1レジスタで“エッジ検出なし”に設定してください。

図7-39 パルス幅測定モードの構成図

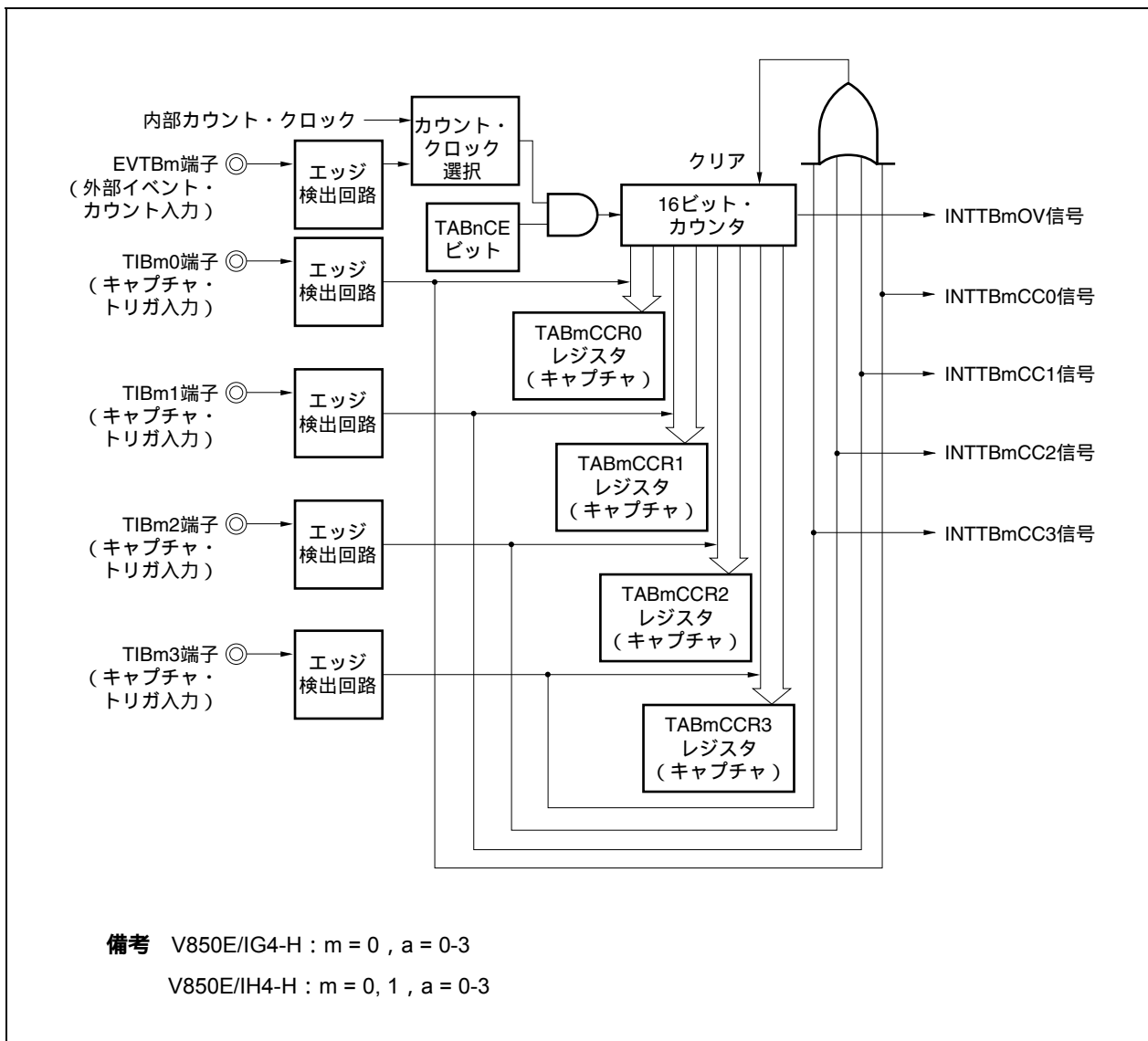
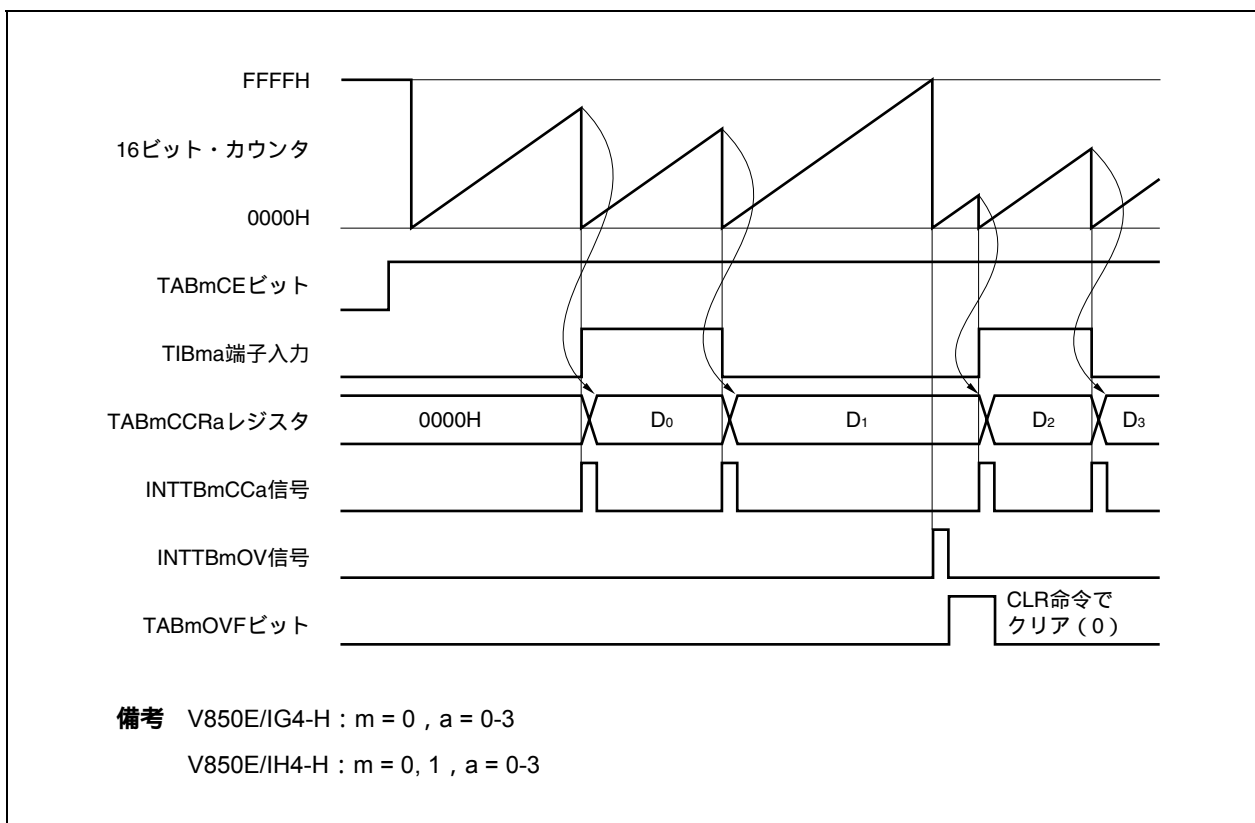


図7-40 パルス幅測定モードの基本タイミング



TABmCEビットをセット(1)することで、カウント動作を開始します。その後、TIBma端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABmCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTBmCCa)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTBmOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TABmOPT0.TABmOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TABmOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 V850E/IG4-H : m = 0 , a = 0-3

V850E/IH4-H : m = 0, 1 , a = 0-3

図7-41 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

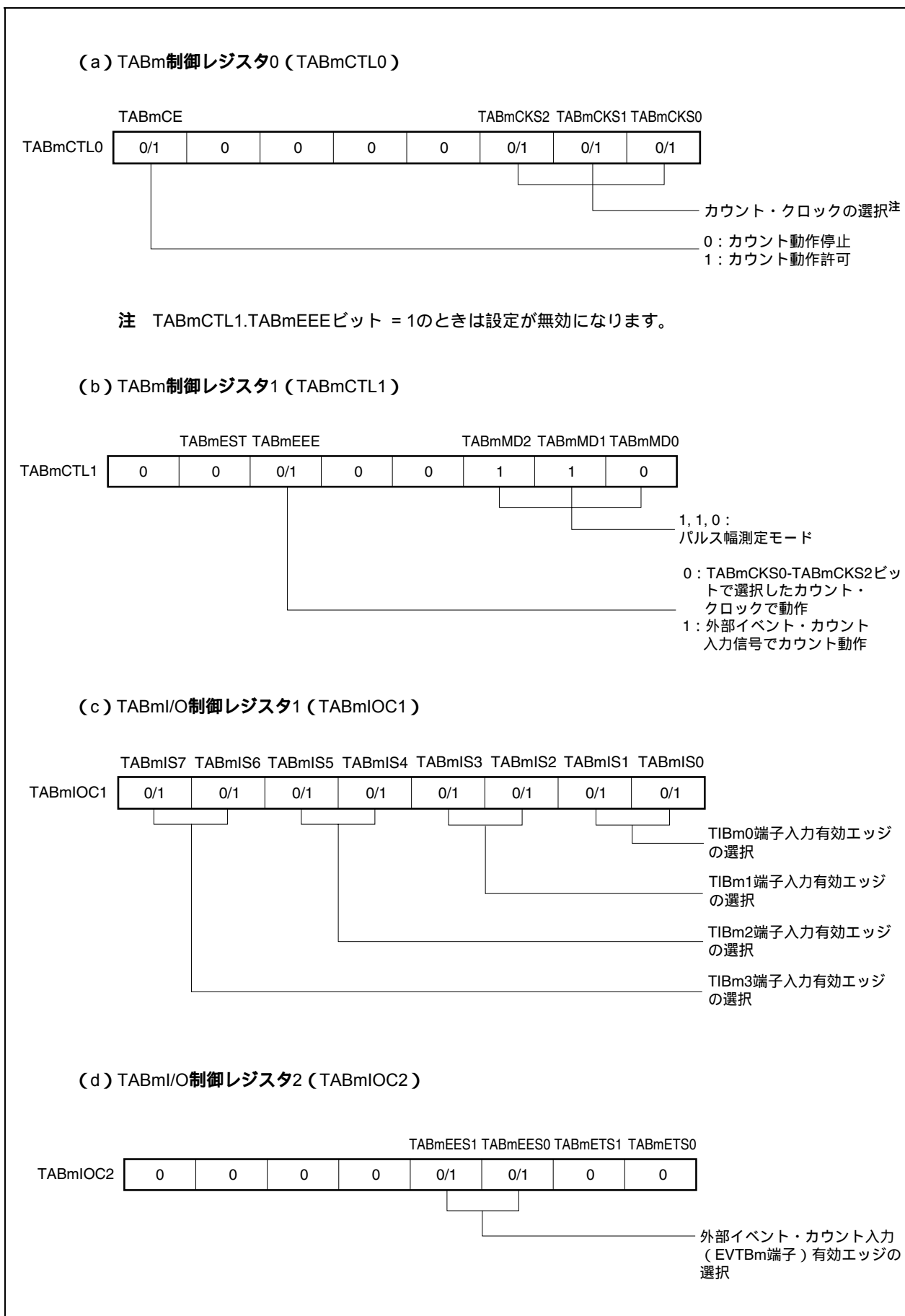


図7-41 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TABmオプション・レジスタ0 (TABmOPT0)

	TABmCCS3	TABmCCS2	TABmCCS1	TABmCCS0	TABmCMS	TABmCUF	TABmOVF
TABmOPT0	0	0	0	0	0	0	0/1

└─ オーバフロー・フラグ

(f) TABmカウンタ・リード・バッファ・レジスタ (TABmCNT)

TABmCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TABmキャプチャ/コンペア・レジスタ0-3 (TABmCCR0-TABmCCR3)

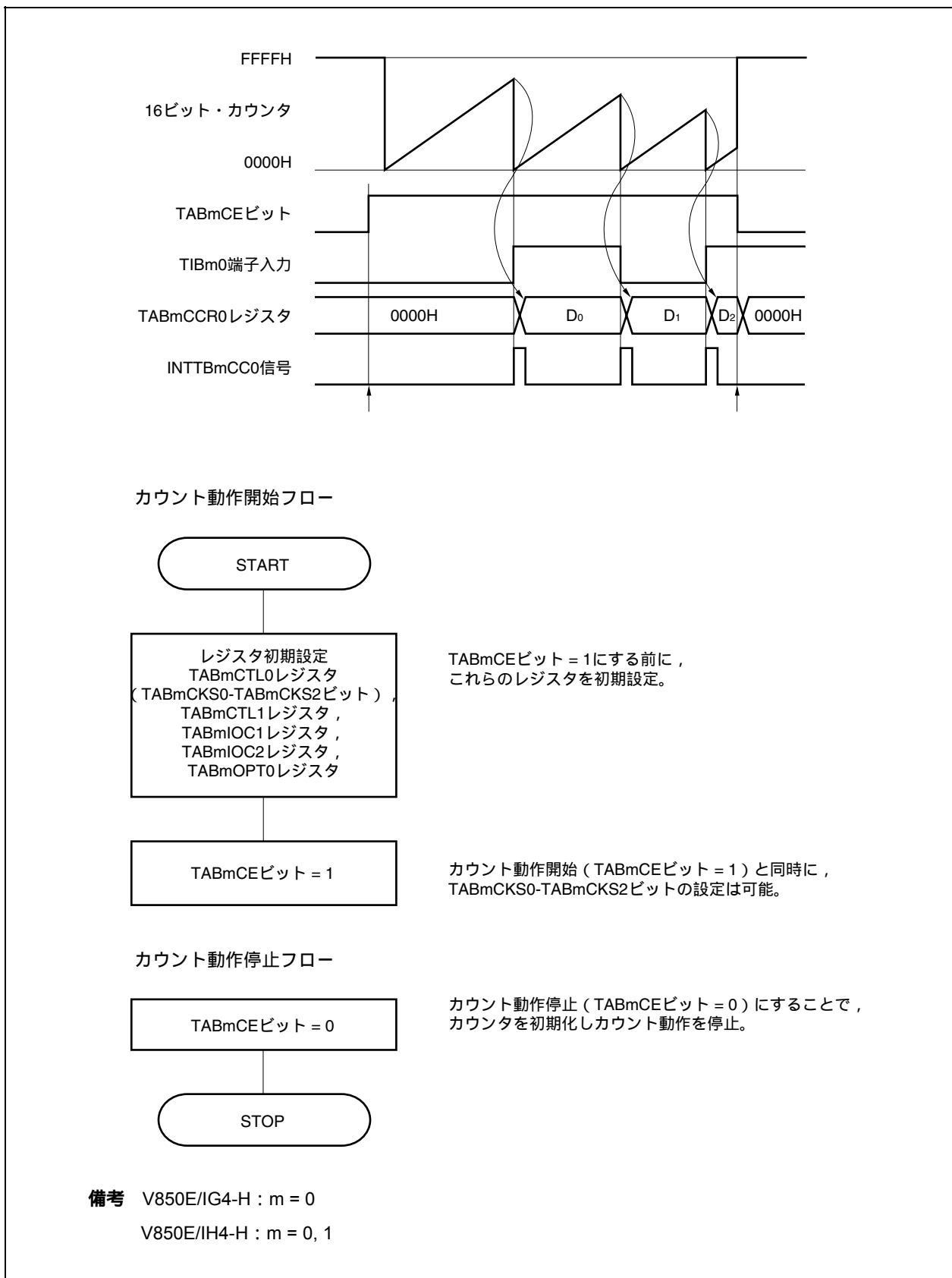
TIBma端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

備考1. パルス幅測定モードでは、TABmI/O制御レジスタ0 (TABmIOC0) は使用しません。

2. V850E/IG4-H : m = 0, a = 0-3
V850E/IH4-H : m = 0, 1, a = 0-3

(1) パルス幅測定モード動作フロー

図7-42 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TABmOVFビット = 1をリードしたあとにTABmOVFビットをCLR命令でクリア(0)する方法と、TABmOVFビット = 1をリードしたあとにTABmOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

第8章 16ビット・タイマ/イベント・カウンタT (TMT)

タイマT (TMT) は、16ビットのタイマ/イベント・カウンタです。

タイマAA (TAA) にエンコーダ・カウント機能などを追加しています。ただし、インターバル・タイマ・モード時の外部イベント・カウント入力による動作はありません。

V850E/IG4-H, V850E/IH4-Hは、TMT0-TMT3を内蔵しています。

8.1 概要

8.1.1 TMT0, TMT1

TMT0, TMT1の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・エンコーダ入力端子	: 2本
・エンコーダ・クリア入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・オーバフロー割り込み要求信号	: 1本
・エンコーダ・クリア割り込み要求信号	: 1本
・タイマ出力端子	: 2本

8.1.2 TMT2, TMT3

TMT2, TMT3の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・オーバフロー割り込み要求信号	: 1本
・タイマ出力端子	: 2本

8.2 機能

8.2.1 TMT0, TMT1

TMT0, TMT1の機能を次に示します。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 外部トリガ・パルス出力
- ・ ワンショット・パルス出力
- ・ PWM出力
- ・ フリー・ランニング・タイマ
- ・ パルス幅測定
- ・ 三角波PWM出力モード
- ・ エンコーダ・カウント機能

8.2.2 TMT2, TMT3

TMT2, TMT3の機能を次に示します。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 外部トリガ・パルス出力
- ・ ワンショット・パルス出力
- ・ PWM出力
- ・ フリー・ランニング・タイマ
- ・ パルス幅測定
- ・ 三角波PWM出力モード

8.3 構成

8.3.1 TMT0, TMT1

TMT0, TMT1は、次のハードウェアで構成されています。

表8-1 TMT0, TMT1の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMTmキャプチャ/コンペア・レジスタ0, 1 (TTmCCR0, TTmCCR1) TMTmカウンタ・リード・バッファ・レジスタ (TTmCNT) TMTmカウンタ・ライト・レジスタ (TTmTCW) CCR0, CCR1バッファ・レジスタ
タイマ入力	6本 (TITm0, TITm1, EVTTm, TENCm0, TENCm1, TECRm端子) ^注
タイマ出力	2本 (TOTm0, TOTm1端子) ^注
制御レジスタ	TMTm制御レジスタ0-2 (TTmCTL0-TTmCTL2) TMTm/I/O制御レジスタ0-3 (TTmIOC0-TTmIOC3) TMTmオプション・レジスタ0, 1 (TTmOPT0, TTmOPT1) TMTmキャプチャ入力選択レジスタ (TTISLm)

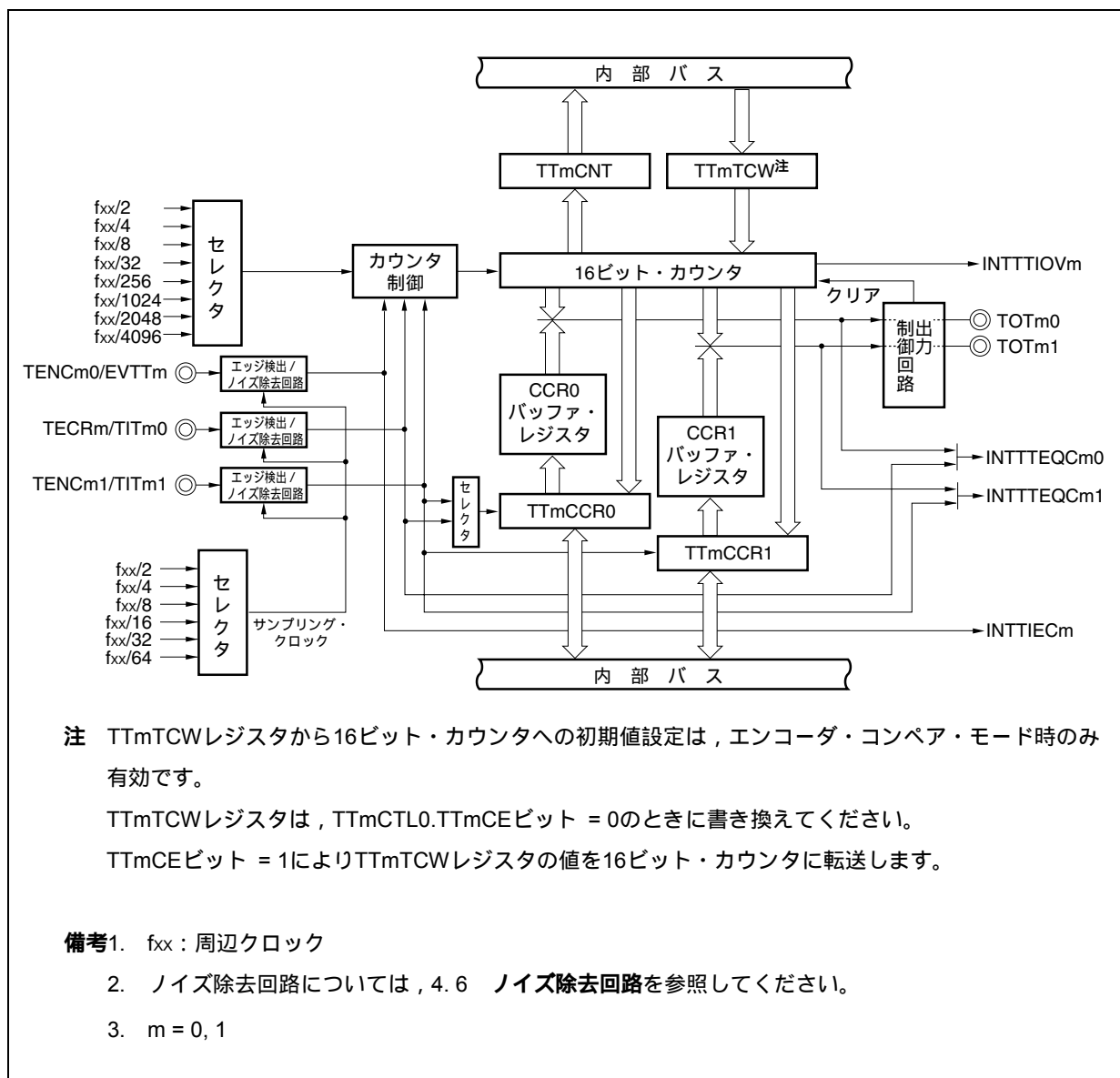
注 TITm0/TECRm端子には、キャプチャ・トリガ入力端子 (TITm0)、エンコーダ・クリア入力端子 (TECRm) とタイマ出力端子 (TOTm0) が兼用されています。

TENCm0/EVTTm端子には、エンコーダ入力端子 (TENCm0)、外部イベント・カウント入力端子 (EVTTm)、外部トリガ入力端子 (EVTTm) が兼用されています。

TITm1/TENCm1端子には、キャプチャ・トリガ入力端子 (TITm1)、エンコーダ入力端子 (TENCm1) とタイマ出力端子 (TOTm1) が兼用されています。

備考 m = 0, 1

図8 - 1 TMT0, TMT1のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TTmCNTレジスタでリードできます。

TTmCTL0.TTmCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTTmCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTTmCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TTmCCR0レジスタをコンペア・レジスタとして使用するとき、TTmCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCm0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTTmCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TTmCCR1レジスタをコンペア・レジスタとして使用するとき、TTmCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCm1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTTmCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TITm0, TITm1, EVTTm, TENCm0, TENCm1, TECRm端子に入力される有効エッジを検出します。有効エッジは、TTmIOC1, TTmIOC2, TTmIOC3レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOTm0, TOTm1端子の出力をTTmIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

(7) カウンタ制御

TTmCTL1レジスタで選択したタイマ・モードにより、カウント動作を制御します。

8.3.2 TMT2, TMT3

TMT2, TMT3は、次のハードウェアで構成されています。

表8-2 TMT2, TMT3の構成

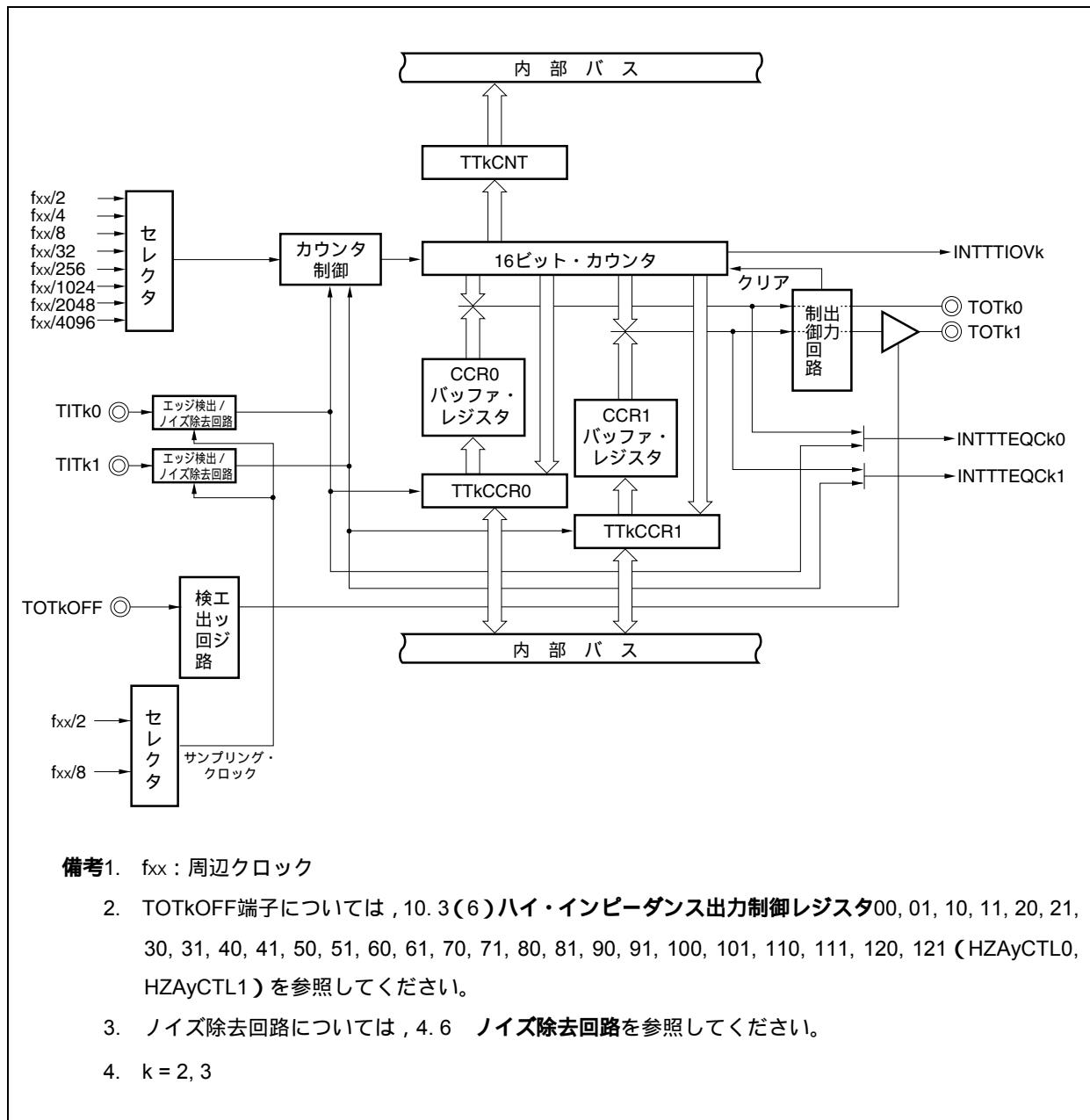
項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMTkキャプチャ/コンペア・レジスタ0, 1 (TTkCCR0, TTkCCR1) TMTkカウンタ・リード・バッファ・レジスタ (TTkCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	2本 (TITk0, TITk1端子) ^注
タイマ出力	2本 (TOTk0, TOTk1端子) ^注
制御レジスタ	TMTk制御レジスタ0, 1 (TTkCTL0, TTkCTL1) TMTkI/O制御レジスタ0-2 (TTkIOC0-TTkIOC2) TMTkオプション・レジスタ0 (TTkOPT0)

注 TITk0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号とタイマ出力端子 (TOTk0) が兼用されています。

TITk1端子には、キャプチャ・トリガ入力信号とタイマ出力端子 (TOTk1) が兼用されています。

備考 k = 2, 3

図8-2 TMT2, TMT3のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TTkCNTレジスタでリードできます。

TTkCTL0.TTkCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTTkCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTTkCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TTkCCR0レジスタをコンペア・レジスタとして使用するとき、TTkCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQck0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTTkCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TTkCCR1レジスタをコンペア・レジスタとして使用するとき、TTkCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQck1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTTkCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TITk0, TITk1端子に入力される有効エッジを検出します。有効エッジは、TTkiOC1, TTkiOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOTk0, TOTk1端子の出力をTTkiOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

(7) カウンタ制御

TTkCTL1レジスタで選択したタイマ・モードにより、カウント動作を制御します。

8.4 レジスタ

(1) TMTn制御レジスタ0 (TTnCTL0)

TTnCTL0レジスタは、TMTnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TTnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TT0CTL0 FFFFF580H, TT1CTL0 FFFFF5C0H,
TT2CTL0 FFFFF780H, TT3CTL0 FFFFF7C0H

TTnCTL0	⑦	6	5	4	3	2	1	0
(n = 0-3)	TTnCE	0	0	0	0	TTnCKS2	TTnCKS1	TTnCKS0

TTnCE	TMTnの動作の制御
0	TMTn動作禁止 (TMTnを非同期にリセット ^注)
1	TMTn動作許可。TMTn動作開始

TTnCKS2	TTnCKS1	TTnCKS0	内部カウント・クロックの選択
0	0	0	fxx/2
0	0	1	fxx/4
0	1	0	fxx/8
0	1	1	fxx/32
1	0	0	fxx/256
1	0	1	fxx/1024
1	1	0	fxx/2048
1	1	1	fxx/4096

注 TTnOPT0.TTnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOTn0, TOTn1端子) も16ビット・カウンタと同時にTTnIOC0レジスタの設定状態にリセットされます。

注意1. TTnCKS2-TTnCKS0ビットは、TTnCEビット = 0のときに設定してください。

TTnCEビットを“0”から“1”に設定するときも、同時にTTnCKS2-TTnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TMTn制御レジスタ1 (TTnCTL1)

TTnCTL1レジスタは、TMTnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TT0CTL1 FFFFFFF581H, TT1CTL1 FFFFFFF5C1H, TT2CTL1 FFFFFFF781H, TT3CTL1 FFFFFFF7C1H							
7	6	5	4	3	2	1	0
0	TTnEST	TTnEEE	0	TTnMD3	TTnMD2	TTnMD1	TTnMD0
TTnCTL1 (n=0-3)							
TTnEST	ソフトウェア・トリガ制御						
0	-						
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TTnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TTnESTビットへの“1”ライトをトリガとして、PWM波形を出力						
TTnESTビットのリード値は常に0です。							
TTnEEE	カウント・クロックの選択						
0	外部イベント・カウント入力 ^{注1} での動作禁止 (TTnCTL0.TTnCKS0-TTnCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)						
1	外部イベント・カウント入力 ^{注1} での動作許可 (外部イベント・カウント入力信号 ^{注1} の有効エッジごとにカウント動作を行う)						
TTnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。							
TTnMD3	TTnMD2	TTnMD1	TTnMD0	タイマ・モードの選択			
0	0	0	0	インターバル・タイマ・モード			
0	0	0	1	外部イベント・カウント・モード			
0	0	1	0	外部トリガ・パルス出力モード			
0	0	1	1	ワンショット・パルス出力モード			
0	1	0	0	PWM出力モード			
0	1	0	1	フリー・ランニング・タイマ・モード			
0	1	1	0	パルス幅測定モード			
0	1	1	1	三角波PWM出力モード			
1	0	0	0	エンコーダ・コンペア・モード ^{注2}			
上記以外				設定禁止			

注1. TMT0, TMT1の場合：EVTTm端子, TMT2, TMT3の場合：TITk0端子
注2. TMT2, TMT3では、エンコーダ・コンペア・モードは設定禁止です。

- 注意1. TTnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. TTnEEEビットは、インターバル・タイマ・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、フリー・ランニング・タイマ・モード、パルス幅測定モード、三角波PWM出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
3. 外部イベント・カウント・モード、エンコーダ・コンペア・モード (TMT2, TMT3のみ)のときは、TTnEEEビットの値にかかわらず外部イベント・カウント入力 (TMT0, TMT1の場合: EVTTm, TMT2, TMT3の場合: TITk0)、エンコーダ入力 (TENCm0, TENCm1) が選択されます (m = 0, 1, k = 2, 3)。
4. TTnEEE, TTnMD3-TTnMD0ビットは、TTnCTL0.TTnCEビット = 0のときに設定してください (TTnCEビット = 1のときの同値書き込みは可能)。TTnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TTnCEビットをクリア (0) してから再設定してください。
5. ビット4, 7には必ず0を設定してください。

(3) TMTm制御レジスタ2 (TTmCTL2)

TTmCTL2レジスタは、エンコーダ・カウンタ機能の動作を制御する8ビットのレジスタです。

TTmCTL2レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 TTmCTL2レジスタの各ビットの詳細については、8.6.9(5) TTmCTL2レジスタのビット制御を参照してください。

(1/2)

リセット時 : 00H		R/W	アドレス : TT0CTL2 FFFFF582H, TT1CTL2 FFFFF5C2H							
			7	6	5	4	3	2	1	0
TTmCTL2	TTmECC	0	0	0	TTmLDE	TTmECM1	TTmECM0	TTmUDS1	TTmUDS0	
(m = 0, 1)										
TTmECC	エンコーダ・カウンタ制御									
0	通常動作									
1	TTmCTL0.TTmCEビット = 0時、16ビット・カウンタのカウンタ値を保持									
TTmLDE	16ビット・カウンタへの転送設定									
0	アンダフロー発生時、16ビット・カウンタへTTmCCR0設定値の転送禁止									
1	アンダフロー発生時、16ビット・カウンタへTTmCCR0設定値の転送許可									
TTmECM1	エンコーダ・クリア動作1の制御									
0	16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致ではカウンタを0000Hにクリアしない									
1	16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致で次のカウンタがダウン・カウントの場合、カウンタを0000Hにクリアする									
TTmECM0	エンコーダ・クリア動作0の制御									
0	16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致ではカウンタを0000Hにクリアしない									
1	16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致で次のカウンタがアップ・カウントの場合、カウンタを0000Hにクリアする									

(2/2)

TTmUDS1	TTmUDS0	アップ/ダウン・カウントの選択
0	0	TENCM0入力の有効エッジ検出時, TENCM1 = ハイ・レベルのとき, ダウン・カウント TENCM1 = ロウ・レベルのとき, アップ・カウント
0	1	TENCM0入力の有効エッジ検出でアップ・カウント TENCM1入力の有効エッジ検出でダウン・カウント
1	0	TENCM0入力の立ち上がりエッジ検出でダウン・カウント TENCM0入力の立ち下がりエッジ検出でアップ・カウント ただし, TENCM1 = ロウ・レベルのときのみカウント動作
1	1	TENCM0, TENCM1入力の立ち上がり/立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウント動作を自動判別。

- 注意1.** TTmECCビットは、エンコーダ・コンペア・モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- TTmECCビット = 1のときTTmCTL0.TTmCEビット = 0にすると、タイマ・カウンタ、キャプチャ・レジスタ(TTmCCR0, TTmCCR1)、TTmOPT1, TTmEUF, TTmEOF, TTmESFフラグの値は保持されません。
- TTmECCビット = 1のときTTmCEビットを0 1にすると、TTmTCWレジスタの値を16ビット・カウンタに転送しません。
- TTmLDEビットは、TTmECM1, TTmECM0ビット = 00, 01時のみ有効です。TTmECM1, TTmECM0ビット = 10, 11のときに“1”をライトしても無視されます。
 - TTmUDS1, TTmUDS0ビット = 10, 11のとき、TTmIOC3.TTmEIS1, TTmEIS0ビットで設定したTENCM0, TENCM1入力のエッジ検出は無効となり、立ち上がり/立ち下がり両エッジ固定となります。
 - TTmLDE, TTmECM1, TTmECM0, TTmUDS1, TTmUDS0ビットは、TTmCTL0.TTmCEビット = 0のときに設定してください(TTmCEビット = 1のときの同値書き込みは可能)。TTmCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TTmCEビットをクリア(0)してから再設定してください。
 - ビット5, 6は必ず0を設定してください。

(4) TMTn/O制御レジスタ0 (TTnIOC0)

TTnIOC0レジスタは、タイマ出力 (TOTn0, TOTn1端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TT0IOC0 FFFFF583H, TT1IOC0 FFFFF5C3H,
TT2IOC0 FFFFF783H, TT3IOC0 FFFFF7C3H

	7	6	5	4	3	②	1	①
TTnIOC0 (n = 0-3)	0	0	0	0	TTnOL1	TTnOE1	TTnOL0	TTnOE0

TTnOL1	TOTn1端子出力レベルの設定 ^注
0	TOTn1端子ハイ・レベル・スタート
1	TOTn1端子ロウ・レベル・スタート

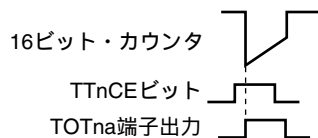
TTnOE1	TOTn1端子出力の設定
0	タイマ出力禁止 ・ TTnOL1ビット = 0のときTOTn1端子からロウ・レベルを出力 ・ TTnOL1ビット = 1のときTOTn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOTn1端子からパルスを出力)

TTnOL0	TOTn0端子出力レベルの設定 ^注
0	TOTn0端子ハイ・レベル・スタート
1	TOTn0端子ロウ・レベル・スタート

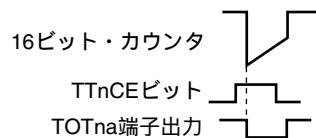
TTnOE0	TOTn0端子出力の設定
0	タイマ出力禁止 ・ TTnOL0ビット = 0のときTOTn0端子からロウ・レベルを出力 ・ TTnOL0ビット = 1のときTOTn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOTn0端子からパルスを出力)

注 三角波PWM出力モード以外のモードでのTTnOLaビットの指定によるタイマ出力端子 (TOTn0, TOTn1) の出力レベルを次に示します (a = 0, 1)。

・ TTnOLaビット = 0の場合



・ TTnOLaビット = 1の場合



三角波PWM出力モード時の出力レベルは、**図8-51 三角波PWM出力モードの基本タイミング**で確認してください。

- 注意1.** ポート設定がTOTn0, TOTn1出力設定の場合、TTnIOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。
- TTnOL1, TTnOE1, TTnOL0, TTnOE0ビットは、TTnCTL0.TTnCEビット = 0のときに書き換えてください (TTnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCEビットをクリア (0) してから再設定してください。
 - TTnCEビット = 0, TTnOE0ビット = 0, TTnOE1ビット = 0の状態において、TTnOL0ビット, TTnOL1ビットを操作した場合でも、TOTn0, TOTn1端子の出力レベルは変化します。

(5) TMTnI/O制御レジスタ1 (TTnIOC1)

TTnIOC1レジスタは、キャプチャ・トリガ入力信号 (TITn0, TITn1端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TT0IOC1 FFFFFFF584H, TT1IOC1 FFFFFFF5C4H,
TT2IOC1 FFFFFFF784H, TT3IOC1 FFFFFFF7C4H

	7	6	5	4	3	2	1	0
TTnIOC1 (n = 0-3)	0	0	0	0	TTnIS3	TTnIS2	TTnIS1	TTnIS0

TTnIS3	TTnIS2	キャプチャ・トリガ入力信号 (TITn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TTnIS1	TTnIS0	キャプチャ・トリガ入力信号 (TITn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1. TTnIS3-TTnIS0ビットは、TTnCTL0.TTnCEビット = 0のときに書き換えてください (TTnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCEビットをクリア (0) してから再設定してください。

2. TTnIS3, TTnIS2ビットは、フリー・ランニング・タイマ・モード (TTnOPT0.TTnCCS1ビット = 1時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

TTnIS1, TTnIS0ビットは、フリー・ランニング・タイマ・モード (TTnOPT0.TTnCCS0ビット = 1時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

(6) TMTn/O制御レジスタ2 (TTnIOC2)

TTnIOC2レジスタは、外部イベント・カウント入力信号 (TMT0, TMT1の場合: EVTTm端子, TMT2, TMT3の場合: TITk0端子)、外部トリガ入力信号 (TMT0, TMT1の場合: EVTTm端子, TMT2, TMT3の場合: TITk0端子) に対する有効エッジを制御する8ビットのレジスタです (m = 0, 1, k = 2, 3)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: TT0IOC2 FFFFFFF585H, TT1IOC2 FFFFFFF5C5H,
TT2IOC2 FFFFFFF785H, TT3IOC2 FFFFFFF7C5H

TTnIOC2	7	6	5	4	3	2	1	0
(n = 0-3)	0	0	0	0	TTnEES1	TTnEES0	TTnETS1	TTnETS0

TTnEES1	TTnEES0	外部イベント・カウント入力信号 ^注 の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TTnETS1	TTnETS0	外部トリガ入力信号 ^注 の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注 TMT0, TMT1の場合: EVTTm端子
TMT2, TMT3の場合: TITk0端子

- 注意1. TTnEES1, TTnEES0, TTnETS1, TTnETS0ビットは、
TTnCTL0.TTnCEビット = 0のときに書き換えてください (TTnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCEビットをクリア (0) してから再設定してください。
2. TTnEES1, TTnEES0ビットは、TTnCTL1.TTnEEEビット = 1、または、外部イベント・カウント・モード (TTnCTL1.TTnMD3-TTnMD0ビット = 0001) に設定したときのみ有効です。
3. TTnETS1, TTnETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(7) TMTmI/O制御レジスタ3 (TTmIOC3)

TTmIOC3レジスタは、エンコーダ・クリアを制御する8ビットのレジスタです。

TTmIOC3レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : TT0IOC3 FFFFF586H, TT1IOC3 FFFFF5C6H

	7	6	5	4	3	2	1	0
TTmIOC3 (m = 0, 1)	TTmSCE	TTmZCL	TTmBCL	TTmACL	TTmECS1	TTmECS0	TTmEIS1	TTmEIS0

TTmSCE	エンコーダ・クリア選択
0	エンコーダ・クリア信号 (TECRm端子) のエッジ検出クリア
1	TENCM0, TENCM1, TECRM端子のクリア・レベル条件検出クリア
<ul style="list-style-type: none"> TTmSCEビット = 0のとき, TTmECS1, TTmECS0ビットで指定したTECRM端子の有効エッジ検出により, 16ビット・カウンタを0000Hにクリアします。 TTmSCEビット = 1のとき, TTmZCL, TTmBCL, TTmACLビットのクリア・レベル条件と, TECRM, TENCM1, TENCM0端子の入力レベルが一致すると16ビット・カウンタを0000Hにクリアします。 TTmSCEビット = 1のとき, TTmZCL, TTmBCL, TTmACLビットの設定が有効となり, TTmECS1, TTmECS0ビットの設定は無効となります。 エンコーダ・クリア割り込み要求信号 (INTTIECm) は発生しません。 TTmSCEビット = 0のとき, TTmZCL, TTmBCL, TTmACLビットの設定が無効となり, TTmECS1, TTmECS0ビットの設定は有効となります。 TTmSCEビット = 1の設定をするときには, 必ずTTmCTL2.TTmUDS1, TTmUDS0ビット = 10または11に設定してください。 TTmUDS1, TTmUDS0ビット = 00または01に設定し, TTmSCEビット = 1とした場合の動作は保証しません。 	

TTmZCL	エンコーダ・クリア信号 (TECRM端子) のクリア・レベル選択
0	TECRM端子ロウ・レベル・クリア
1	TECRM端子ハイ・レベル・クリア
TTmZCLビットの設定はTTmSCEビット = 1のときのみ有効になります。	

TTmBCL	エンコーダ入力信号 (TENCM1端子) のクリア・レベル選択
0	TENCM1端子ロウ・レベル・クリア
1	TENCM1端子ハイ・レベル・クリア
TTmBCLビットの設定はTTmSCEビット = 1のときのみ有効になります。	

TTmACL	エンコーダ入力信号 (TENCM0端子) のクリア・レベル選択
0	TENCM0端子ロウ・レベル・クリア
1	TENCM0端子ハイ・レベル・クリア
TTmACLビットの設定はTTmSCEビット = 1のときのみ有効になります。	

(2/2)

TTmECS1	TTmECS0	エンコーダ・クリア入力信号 (TECRm端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ・クリア無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TTmEIS1	TTmEIS0	エンコーダ入力信号 (TENCm0, TENCm1端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ入力無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TTmSCE, TTmZCL, TTmBCL, TTmACL, TTmECS1, TTmECS0, TTmEIS1, TTmEIS0ビットは, TTmCTL0.TTmCEビット = 0のときに書き換えてください (TTmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TTmCEビットをクリア (0) してから再設定してください。
- TTmECS1, TTmECS0ビットは, TTmSCEビット = 0, かつエンコーダ・コンペア・モード時のみ有効です。
 - TTmEIS1, TTmEIS0ビットは, TTmCTL2.TTmUDS1, TTmUDS0ビット = 00または01時のみ有効です。

(8) TMTnオプション・レジスタ0 (TTnOPT0)

TTnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TT0OPT0 FFFFF587H, TT1OPT0 FFFFF5C7H,
TT2OPT0 FFFFF787H, TT3OPT0 FFFFF7C7H

	7	6	5	4	3	2	1	①
TTnOPT0 (n = 0-3)	0	0	TTnCCS1	TTnCCS0	0	0	0	TTnOVF

TTnCCS1	TTnCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TTnCTL0.TTnCEビット = 0によりクリア)
TTnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TTnCCS0	TTnCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TTnCTL0.TTnCEビット = 0によりクリア)
TTnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TTnOVF	TMTnのオーバフロー検出フラグ
セット (1)	オーバフロー発生
リセット (0)	TTnOVFビットへの0書き込みまたはTTnCTL0.TTnCEビット = 0
<ul style="list-style-type: none"> TTnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバフローするときセット (1) されます。 TTnOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTTIOVn) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTTIOVn信号は発生しません。 TTnOVFビット = 1のときにTTnOVFビットまたはTTnOPT0レジスタをリードしても、TTnOVFビットはクリア (0) されません。 INTTTIOVn信号発生後、TTnOVFビットをクリア (0) する場合は、必ずTTnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 TTnOVFビットはリード/ライト可能ですが、ソフトウェアでTTnOVFビットをセット (1) することはできません。1をライトしてもTMTnの動作に影響はありません。 	

注意1. TTnCCS1, TTnCCS0ビットは、TTnCEビット = 0のときに書き換えてください (TTnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TTnCEビットをクリア (0) してから再設定してください。

2. ビット1-3, 6, 7には必ず0を設定してください。

(9) TMTmオプション・レジスタ1 (TTmOPT1)

TTmOPT1レジスタは、エンコーダ・カウント機能のアンダフロー、オーバフロー、アップ/ダウン・カウント動作の状態を検出する8ビットのレジスタです。

TTmOPT1レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TTmOPT1レジスタは、TTmCTL0.TTmCEビット = 1のときでも書き換えできます。

(1/2)

リセット時 : 00H								R/W	アドレス : TT0OPT1 FFFFF588H, TT1OPT1 FFFFF5C8H							
		7	6	5	4	3	②	①	①							
TTmOPT1		0	0	0	0	0	TTmEUF	TTmEOF	TTmESF							
(m = 0, 1)																
TTmEUF	TMTmのアンダフロー検出フラグ															
セット (1)	アンダフロー発生															
リセット (0)	TTmEUFビットへの0書き込みまたはTTmCTL0.TTmCEビット = 0によりクリア															
<ul style="list-style-type: none"> ・ TTmEUFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値が0000HからFFFFHにアンダフローするときにセット (1) されます。 ・ TTmCTL2.TTmLDEビット = 1のときは、アンダフロー発生により16ビット・カウンタの値が0000HからTTmCCR0レジスタの設定値へ書き換わると、TTmEUFビットがセット (1) されます。 ・ TTmEUFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTIOVm) が発生します。 ・ TTmEUFビット = 1のときにTTmEUFビットまたはTTmOPT1レジスタをリードしても、TTmEUFビットはクリア (0) されません。 ・ TTmCTL2.TTmECCビット = 1時にTTmCTL0.TTmCEビット = 0にしてもTTmEUFビットの状態は保持されます。 ・ INTTIOVm信号発生後、TTmEUFビットをクリア (0) する場合は、必ずTTmEUFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・ TTmEUFビットはリード/ライト可能ですが、ソフトウェアでTTmEUFビットをセット (1) することはできません。1をライトしてもTMTmの動作に影響はありません。 																

TTmEOF	TMTmのエンコーダ機能用オーバーフロー検出フラグ
セット (1)	オーバーフロー発生
リセット (0)	TTmEOFビットへの0書き込みまたはTTmCTL0.TTmCEビット = 0によりクリア)
	<ul style="list-style-type: none"> ・ TTmEOFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値が FFFFHから0000Hにオーバーフローするときにセット (1) されます。 ・ TTmEOFビットがセット (1) されると同時に、オーバーフロー割り込み要求信号 (INTTTIOVm) が発生します。このとき、TTmOPT0.TTmOVFビットはセット (1) されません。 ・ TTmEOFビット = 1のときにTTmEOFビットまたはTTmOPT1レジスタをリードしても、TTmEOFビットはクリア (0) されません。 ・ TTmCTL2.TTmECCビット = 1時にTTmCTL0.TTmCEビット = 0にしてもTTmEOFビットの状態は保持されます。 ・ INTTTIOVm信号発生後、TTmEOFビットをクリア (0) する場合は、必ずTTmEOFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・ TTmEOFビットはリード/ライト可能ですが、ソフトウェアでTTmEOFビットをセット (1) することはできません。1をライトしてもTMTmの動作に影響はありません。

TTmESF	TMTmのアップ/ダウン・カウント動作状態検出フラグ
0	TMTmのアップ・カウント動作中
1	TMTmのダウン・カウント動作中
	<ul style="list-style-type: none"> ・ TTmCTL2.TTmECCビット = 0時にTTmCTL0.TTmCEビット = 0によりクリア (0) されます。 ・ TTmECCビット = 1時にTTmCEビット = 0にしてもTTmESFビットの状態は保持されます。

注意 ビット3-7には必ず0を設定してください。

(10) TMTmキャプチャ入力選択レジスタ (TTISLm)

TTISLmレジスタは、TTmCCR0レジスタをキャプチャ・レジスタとして使用したとき、キャプチャ・トリガ入力信号としてTITm0端子とTITm1端子のどちらを使用するか選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより不定になります。

リセット時：不定		R/W	アドレス：TTISL0 FFFFF5A4H, TTISL1 FFFFF5A6H							
			7	6	5	4	3	2	1	0
TTISLm			0	0	0	0	0	0	0	TTISLm
(m = 0, 1)										
TTISLm	TTmCCR0レジスタのキャプチャ・トリガ入力信号の選択									
0	TITm0入力									
1	TITm1入力									

(11) TMTnキャプチャ/コンペア・レジスタ0 (TTnCCR0)

TTnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

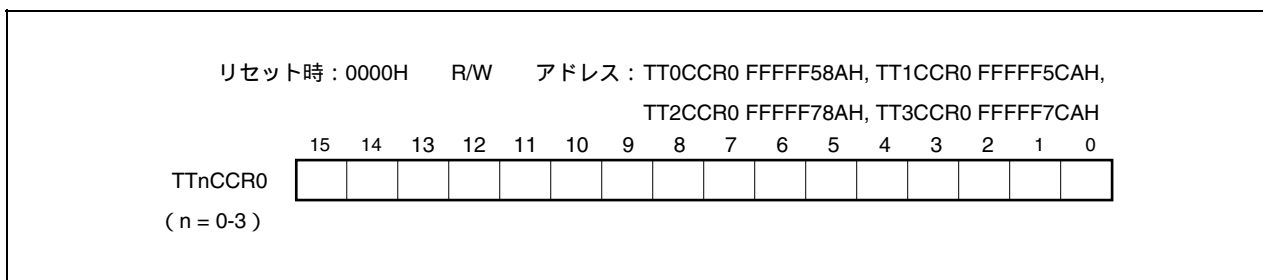
TTnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TTnOPT0.TTnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TTnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

備考 n = 0-3



(a) コンペア・レジスタとしての機能

TTnCCR0レジスタは、TTnCTL0.TTnCEビット = 1のときでも書き換えできます。

TTnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTTEQCn0) を発生し、TOTn0端子出力を許可している場合、TOTn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、三角波PWM出力モードの場合はTTnCCR0レジスタを、エンコーダ・コンペア・モードの場合はTTmCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TTnCTL0.TTnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TTnCCR0レジスタをキャプチャ・レジスタとして使用する) の場合は、キャプチャ・トリガ入力 (TITn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTTnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TITn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTTnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTTnCCR0レジスタのリードが競合しても、TTnCCR0レジスタは正しい値をリードできます。

TTnCTL0.TTnCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 n = 0-3

m = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波PWM出力	コンペア・レジスタ	一斉書き込み ^{注2}
エンコーダ・コンペア ^{注1}	コンペア・レジスタ	随時書き込み

注1. TMT0, TMT1のみ

2. TTnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(3)随時書き込みと一斉書き込みを参照してください。

(12) TMTnキャプチャ/コンペア・レジスタ1 (TTnCCR1)

TTnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

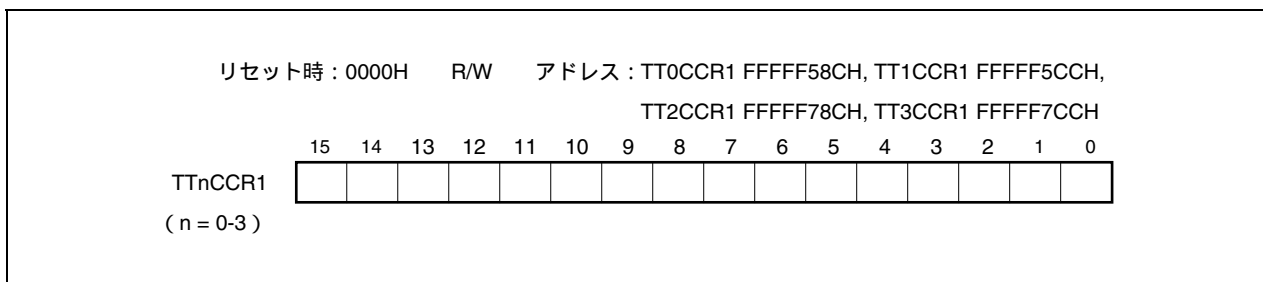
TTnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TTnOPT0.TTnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TTnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

備考 n = 0-3



(a) コンペア・レジスタとしての機能

TTnCCR1レジスタは、TTnCTL0.TTnCEビット = 1のときでも書き換えできます。

TTnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTTEQCn1) を発生し、TOTn1端子出力を許可している場合、TOTn1端子出力を反転します。

TTnCTL0.TTnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TTnCCR1レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TITn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTTnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TITn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTTnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTTnCCR1レジスタのリードが競合しても、TTnCCR1レジスタは正しい値をリードできます。

TTnCTL0.TTnCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 n = 0-3

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波PWM出力	コンペア・レジスタ	一斉書き込み ^{注2}
エンコーダ・コンペア ^{注1}	コンペア・レジスタ	随時書き込み

注1. TMT0, TMT1のみ

2. TTnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(3)随時書き込みと一斉書き込みを参照してください。

(13) TMTmカウンタ・ライト・レジスタ (TTmTCW)

TTmTCWレジスタは、16ビット・カウンタの初期値を設定するレジスタです。

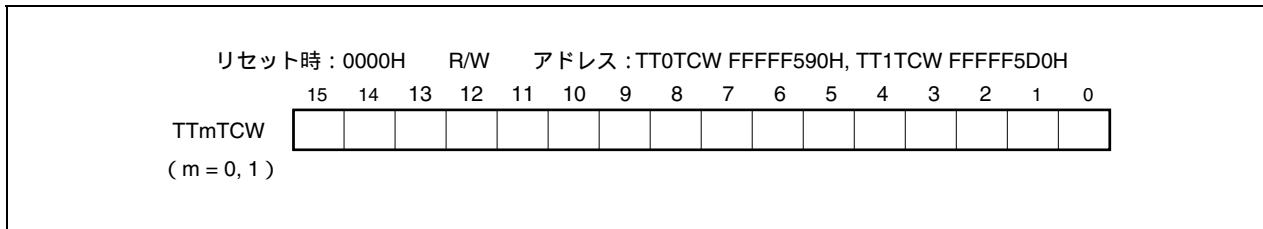
TTmTCWレジスタは、エンコーダ・コンペア・モード時のみ有効です。

16ビット単位でリード/ライト可能です。

TTmTCWレジスタは、TTmCTL0.TTmCEビット = 0のときに書き換えてください。

TTmCEビットをセット (1) するとTTmTCWレジスタの値を16ビット・カウンタに転送します。

リセットにより0000Hになります。



(14) TMTnカウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

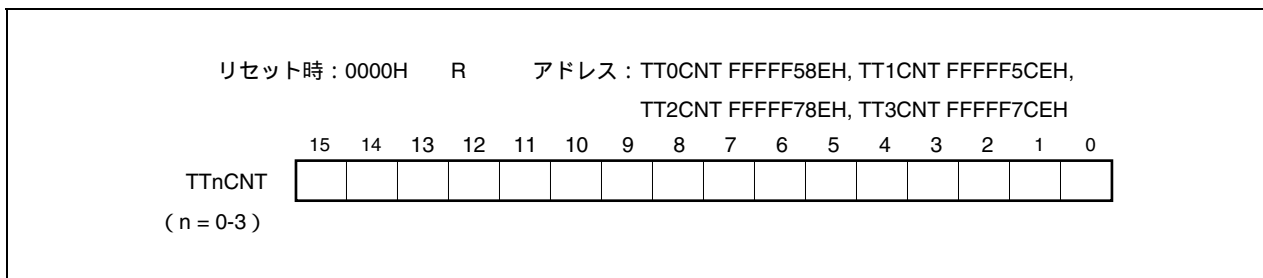
TTnCTL0.TTnCEビット = 1のときにTTnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TTmCTL2.TTmECCビット = 0かつTTmCEビット = 0のとき、TTmCNTレジスタは0000Hになります。

このときにTTmCNTレジスタをリードすると、16ビット・カウンタの値(FFFFH)ではなく、そのまま0000Hがリードされます。TTmECCビット = 1かつTTmCEビット = 0のとき、TTmCNTレジスタは0000Hとならずに直前の値がリードされます。

リセットによりTTmECCビット = 0かつTTmCEビット = 0になり、TTmCNTレジスタは0000Hになります。



8.5 タイマ出力動作説明

次にTOTn0, TOTn1端子の動作, および出力レベルを示します。

表8-5 各モードによるタイマ出力制御

動作モード	TOTn1端子	TOTn0端子
インターバル・タイマ・モード	PWM出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	PWM出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	
三角波PWM出力モード	三角波PWM出力	
エンコーダ・コンペア・モード ^注	なし	

注 TMT0, TMT1のみ

備考 n = 0-3

表8-6 タイマ出力制御ビットによるTOTn0, TOTn1端子の真理値表

TTnIOC0.TTnOLaビット	TTnIOC0.TTnOEaビット	TTnCTL0.TTnCEビット	TOTna端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0, 1,

a = 0, 1

8.6 動作

TMTn は、チャンネルによって実現できる機能が異なります。次に各チャンネルの機能を示します (n = 0-3)。

表8-7 TMT0, TMT1の各モードの仕様

動作	TTmCTL1.TTmESTビット (ソフトウェア・トリガ・ビット)	EVTTm端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外
三角波PWM出力モード	無効	無効	コンペア専用	一斉書き込み
エンコーダ・コンペア・モード	無効	無効	コンペア専用	随時書き込み

備考 m = 0, 1

表8-8 TMT2, TMT3の各モードの仕様

動作	TTkCTL1.TTkESTビット (ソフトウェア・トリガ・ビット)	TITk0端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外
三角波PWM出力モード	無効	無効	コンペア専用	一斉書き込み

備考 k = 2, 3

(1) TMT0, TMT1の場合のカウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 m = 0, 1

(a) カウント開始動作**・外部イベント・カウント・モード**

TTmCTL0.TTmCEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。

その後は、外部イベント・カウント入力 (EVTTm) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

・エンコーダ・コンペア・モード

TENCm0, TENCm1の位相によりカウント動作を制御します。

TTmTCWレジスタ設定値を16ビット・カウンタに転送することでカウンタの初期設定を行い、カウント動作を開始します (TTmTCWレジスタ設定値は、TTmCTL2.TTmECCビット = 0時にTTmCTL0.TTmCEビット = 0 1となるタイミングで16ビット・カウンタに転送されます)。

・三角波PWM出力モード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

アップ・カウント後、16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致でダウン・カウントします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリア、16ビット・カウンタの値のキャプチャ&クリア、エンコーダ・クリア信号のエッジ検出クリア、TENCm0, TENCm1, TECRm端子のクリア・レベル条件検出クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTTEQCn0, INTTTEQCn1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・モード、パルス幅測定モード、エンコーダ・コンペア・モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。

フリー・ランニング・モード、パルス幅測定モード時は、オーバフローが発生すると、TTmOPT0.TTmOVFビットがセット(1)され、割り込み要求信号(INTTTIOVm)が発生します。

エンコーダ・コンペア・モード時は、オーバフローが発生すると、TTmOPT1.TTmEOFビットがセット(1)され、割り込み要求信号(INTTTIOVm)が発生します。

なお、次の条件ではINTTTIOVm信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号(INTTTIOVm)発生後は、必ずオーバフロー・フラグ(TTmOVF,TTmEOFビット)が“1”にセットされているのを確認してください。

(d) カウントの保持動作

エンコーダ・コンペア・モード時に、TTmCTL2.TTmECCビットにより16ビット・カウンタの値の保持制御を行います。TTmECCビット = 0かつTTmCTL0.TTmCEビット = 0の場合は、16ビット・カウンタの値はFFFFHにリセットされ、次のTTmCEビット = 1でTTmTCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を行います。

TTmECCビット = 1かつTTmCEビット = 0の場合は、16ビット・カウンタの値は保持され、次にTTmCEビット = 1にすると保持していた値からカウント動作を再開します。

(e) カウント動作中のカウンタ・リード動作

TMTmでは、TTmCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできません。

TTmCTL0.TTmCEビット = 1のときは、TTmCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TTmCTL2.TTmECCビット = 0かつTTmCEビット = 0のときにTTmCNTレジスタをリードすると0000Hです。TTmECCビット = 1かつTTmCEビット = 0のときにTTmCNTレジスタをリードすると保持していた値となります。

(f) アンダフロー動作

16ビット・カウンタのアンダフローは、エンコーダ・コンペア・モード時に、0000HからFFFFHになるタイミングで発生します。アンダフローが発生すると、TTmOPT1.TTmEUFビットがセット(1)され、割り込み要求信号(INTTTIOVm)が発生します。

(g) 割り込み動作

TMTmでは、次の4種類の割り込み要求信号を発生します。

- ・ INTTTEQCm0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号 ,およびTTmCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTTEQCm1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号 ,およびTTmCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTTIOVm割り込み : オーバフロー割り込み要求信号として機能します。
- ・ INTTIECm割り込み : エンコーダ・クリア入力 (TECRm端子) の有効エッジ検出割り込み要求信号として機能します。

(2) TMT2, TMT3の場合のカウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 k = 2, 3

(a) カウント開始動作**・外部イベント・カウント・モード**

TTkCTL0.TTkCEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。

その後は、外部イベント・カウント入力 (TITk0) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

・三角波PWM出力モード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

アップ・カウント後、16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致でダウン・カウントします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリア、16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTTEQCK0, INTTTEQCK1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると、TTkOPT0.TTkOVFビットがセット(1)され、割り込み要求信号(INTTTIOV_k)が発生します。

なお、次の条件ではINTTTIOV_k信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値がFFFFHで一致&クリアされた場合
- ・ パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号(INTTTIOV_k)発生後は、必ずオーバフロー・フラグ(TTkOVFビット)が“1”にセットされているのを確認してください。

(d) カウント動作中のカウンタ・リード動作

TMT_kでは、TTkCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。TTkCTL0.TTkCEビット = 1のときは、TTkCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TTkCEビット = 0のときは、16ビット・カウンタがFFFFHで、TTkCNTレジスタが0000Hです。

(e) 割り込み動作

TMT_kでは、次の3種類の割り込み要求信号が発生します。

- ・ INTTTEQck0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTTkCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTTEQck1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号、およびTTkCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTTIOV_k割り込み : オーバフロー割り込み要求信号として機能します。

(3) 随時書き込みと一斉書き込み

TMTnでは、タイマ動作中 (TTnCTL0.TTnCEビット = 1) でもTTnCCR0, TTnCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTTnCCR0, TTnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います (n = 0-3)。

図8-3 随時書き込みの基本動作フロー・チャート

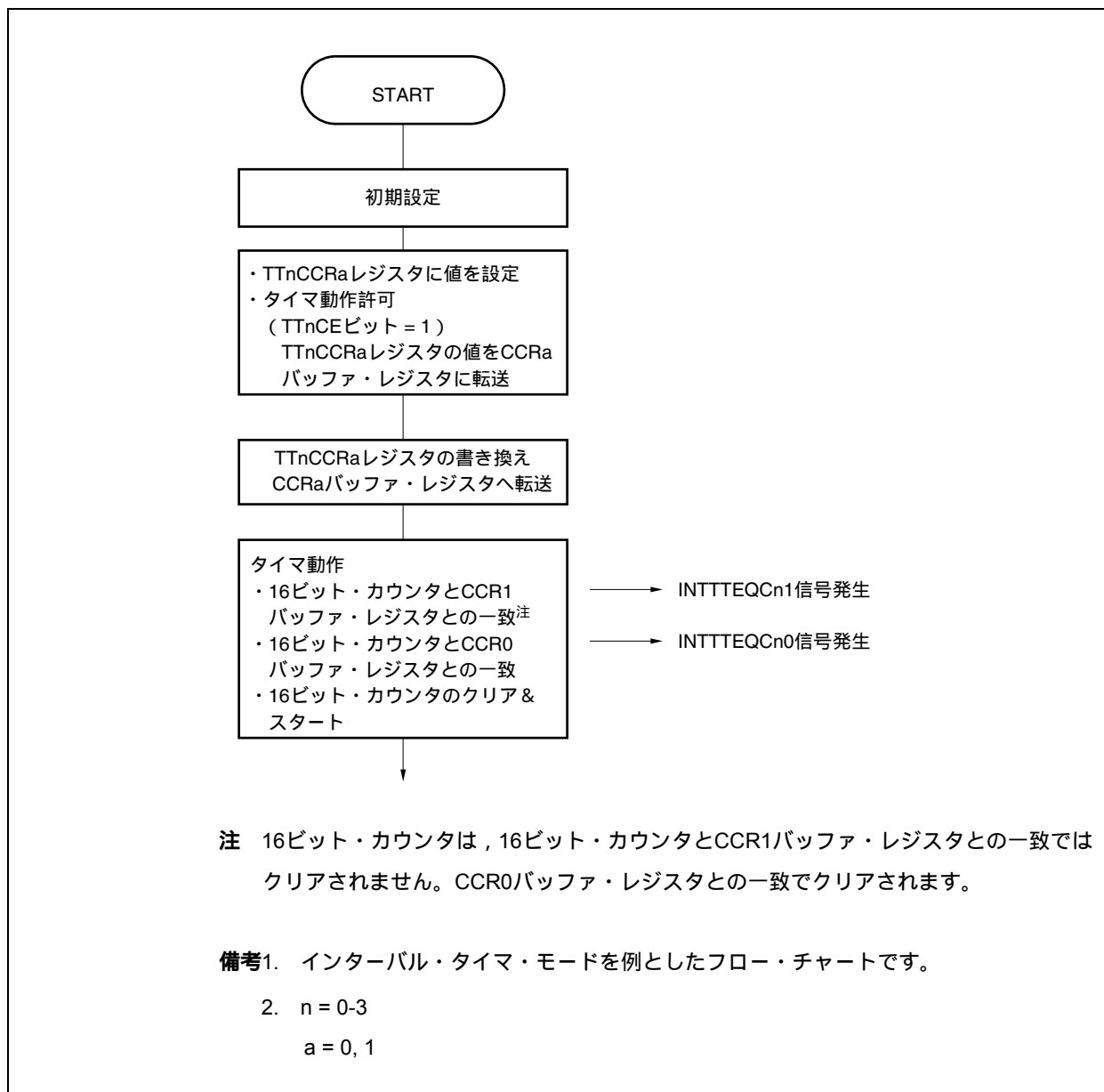
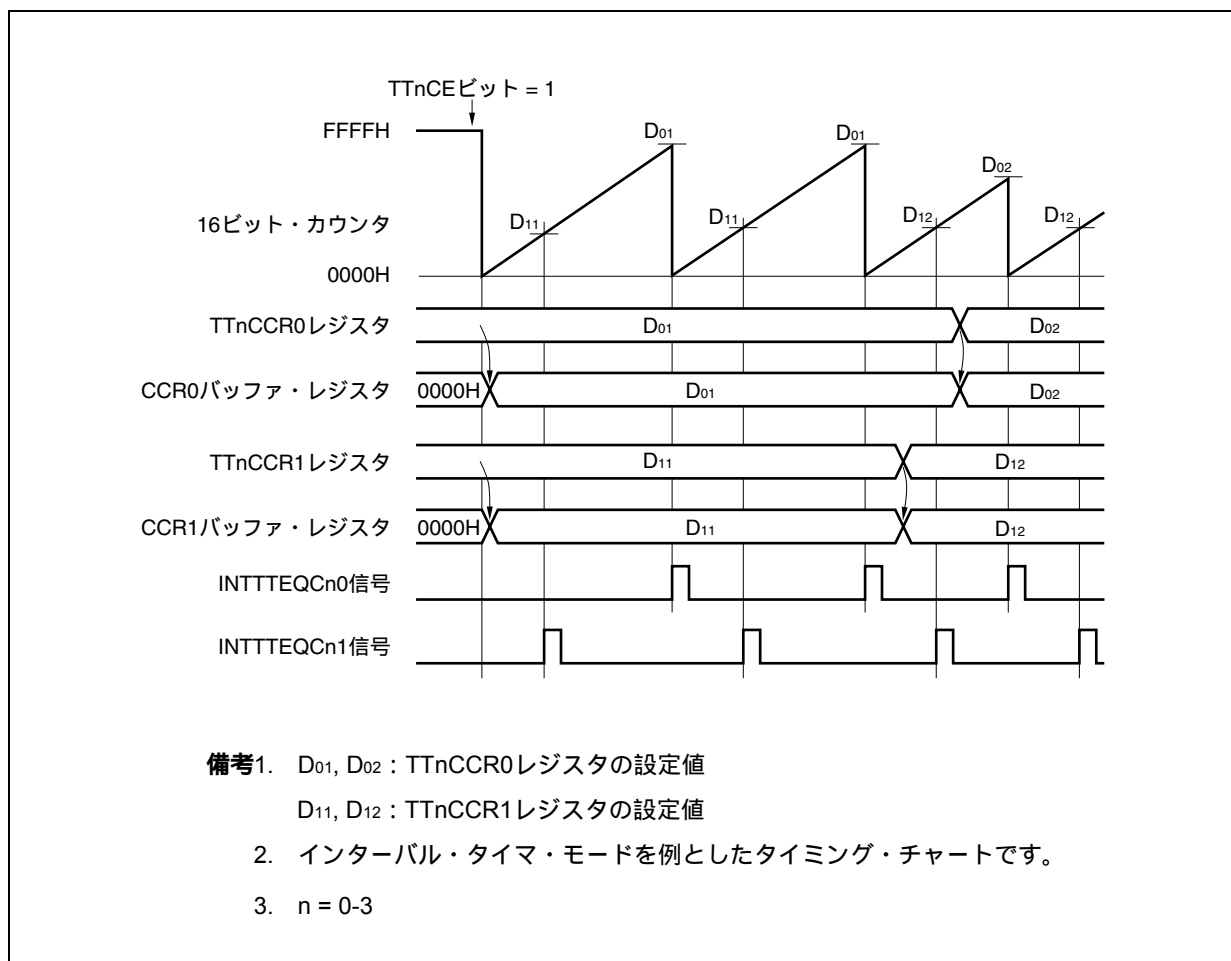


図8 - 4 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中に TTnCCR0, TTnCCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を一斉に行います。その転送タイミングは CCR0 バッファ・レジスタと 16 ビット・カウンタの一致時で、転送許可は TTnCCR1 レジスタへの書き込みとなります。TTnCCR1 レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TTnCCR0, TTnCCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタのコンペア値とする (CCR0, CCR1 バッファ・レジスタに転送される) には、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致する前に TTnCCR0 レジスタを書き換え、次に TTnCCR1 レジスタを書き込む必要があります。これにより、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値との一致タイミングで、TTnCCR0, TTnCCR1 レジスタの値は CCR0, CCR1 バッファ・レジスタに転送されます。なお、TTnCCR0 レジスタの値だけ書き換えたい場合でも、TTnCCR1 レジスタに同値 (すでに設定した TTnCCR1 レジスタと同じ値) を書き込んでください。

備考 n = 0-3

図8 - 5 一斉書き込みの基本動作フロー・チャート

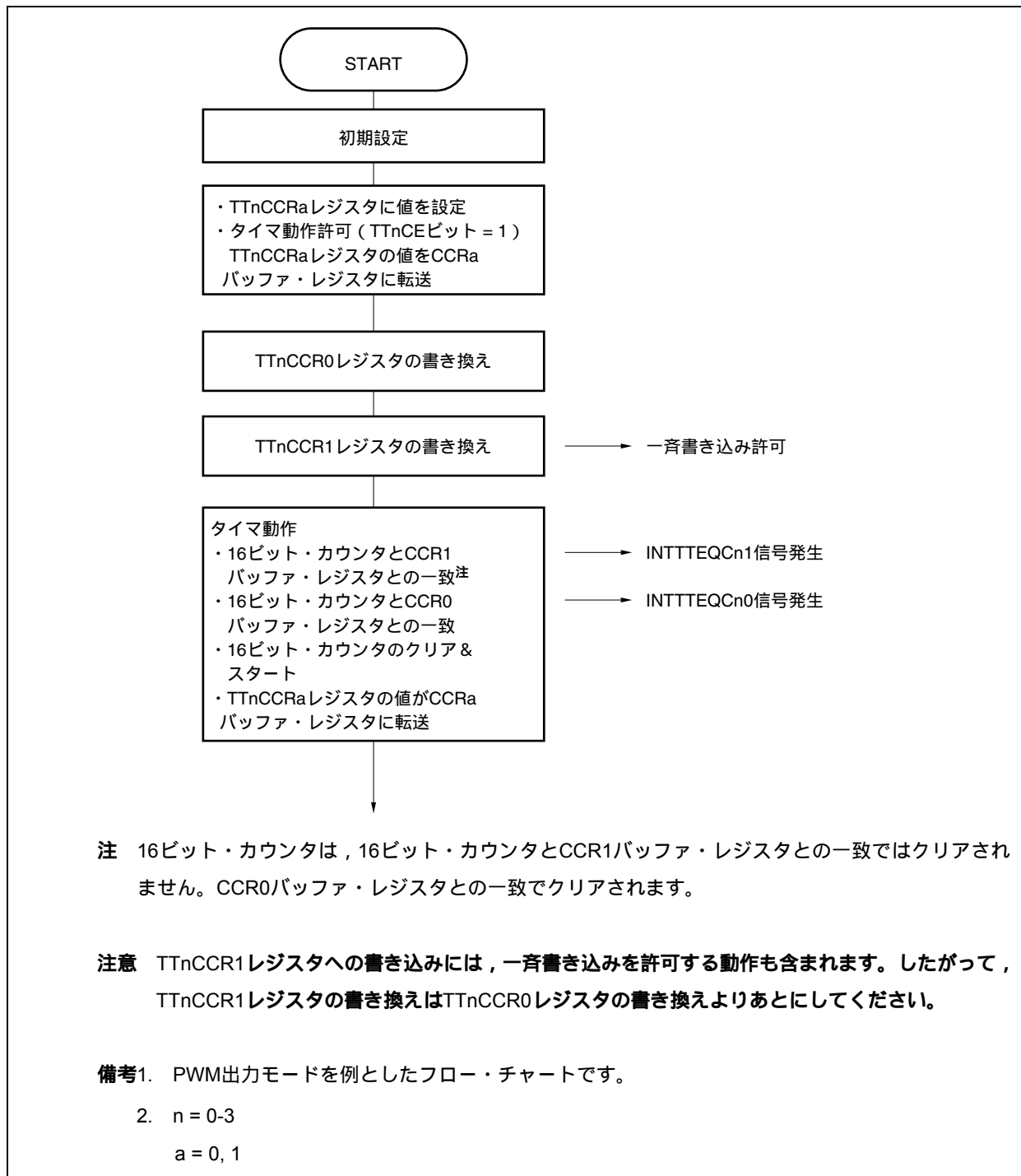
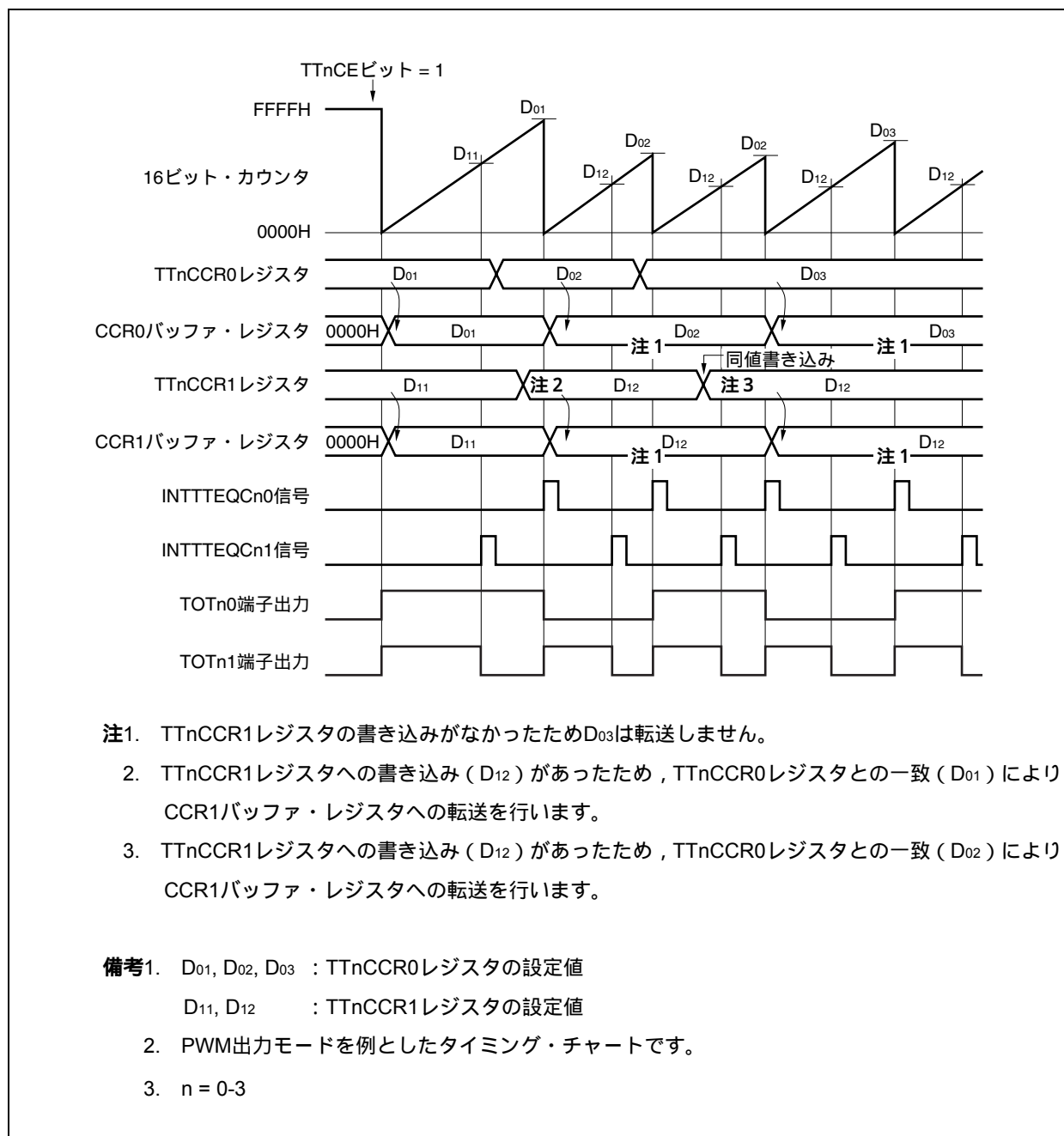


図8-6 一斉書き込みのタイミング



8.6.1 インターバル・タイマ・モード (TTnMD3-TTnMD0ビット = 0000)

インターバル・タイマ・モードは、TTnCTL0.TTnCEビットをセット(1)することで、TTnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTTEQCn0) を発生します。また、TOTn0端子から、インターバル間隔を半周期とする50 %デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TTnCCR1レジスタを使用しません。しかし、TTnCCR1レジスタでは、TTnCCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。また、TOTn1端子から、INTTTEQCn1信号の発生タイミングにより反転する50 %デューティのPWM波形を出力できます。

なお、TTnCCR0, TTnCCR1レジスタのタイマ動作中の書き換えは可能です。

図8-7 インターバル・タイマの構成図

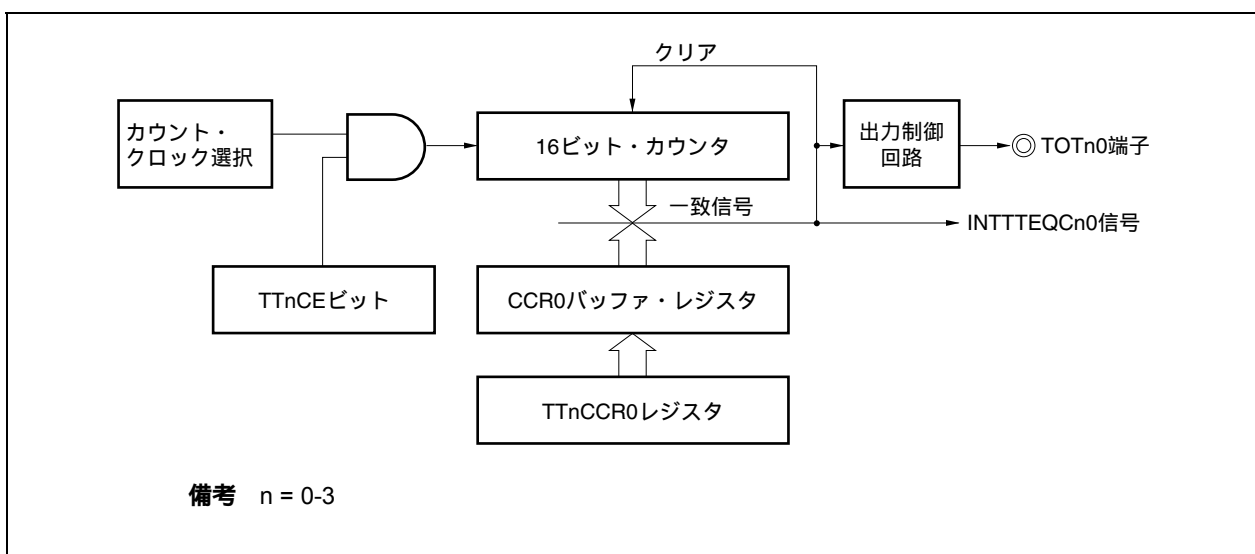
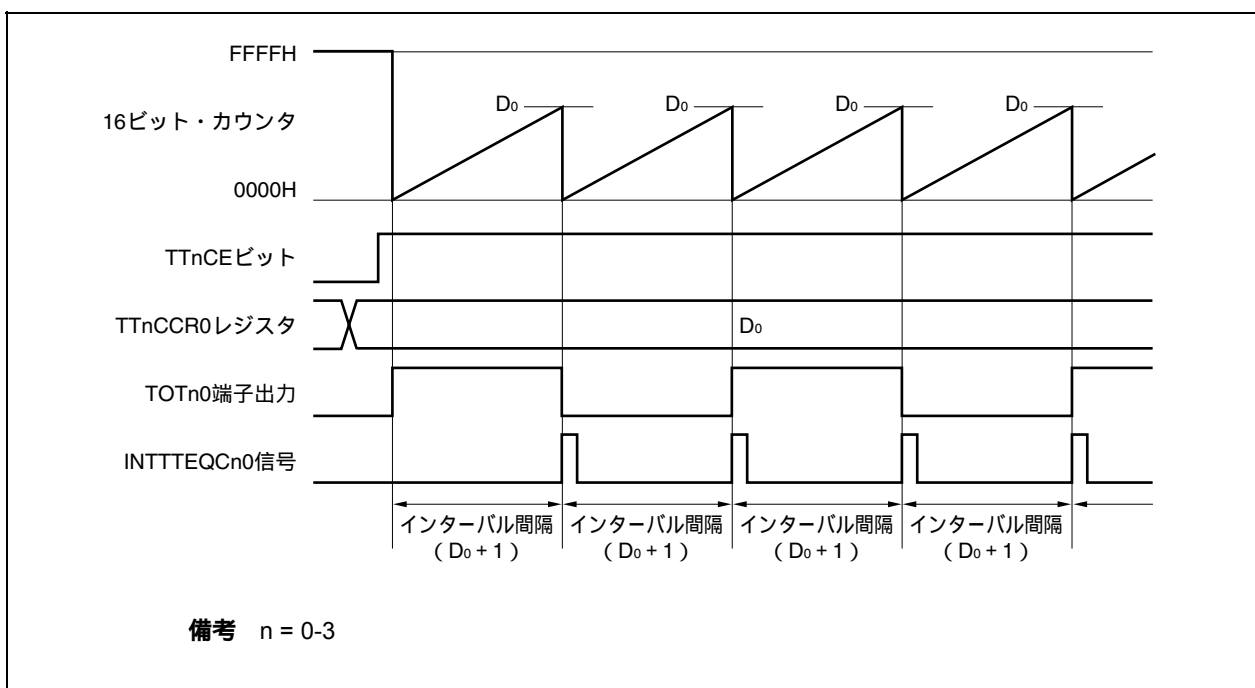


図8-8 インターバル・タイマ・モード動作の基本タイミング



TTnCEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOTn0端子出力を反転します。また、TTnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOTn0端子出力を反転させて、コンペア一致割り込み要求信号 (INTTTEQCn0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TTnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-3

図8 - 9 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

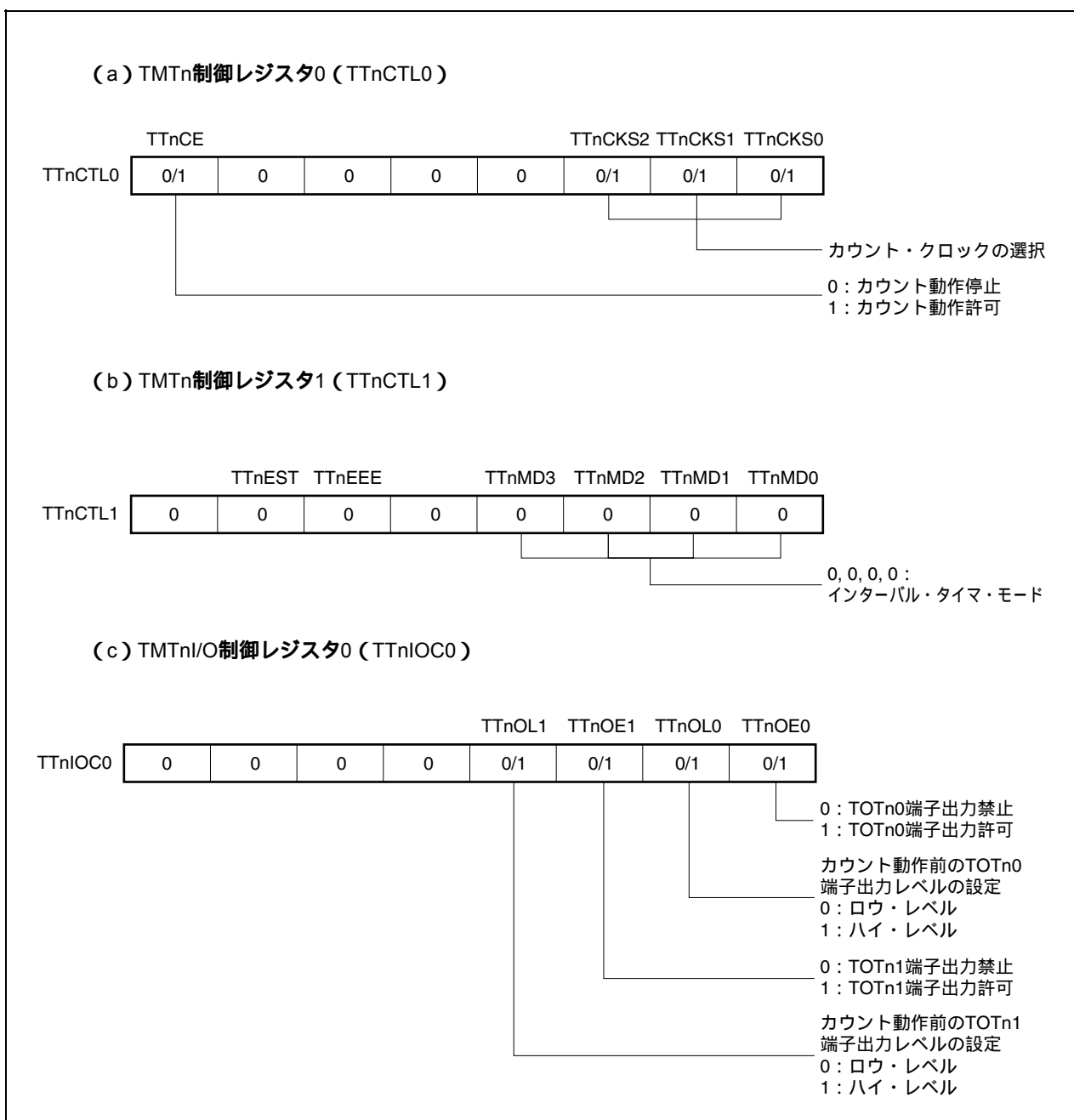


図8-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(d) TMTnカウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(e) TMTnキャプチャ/コンペア・レジスタ0 (TTnCCR0)

TTnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

(f) TMTnキャプチャ/コンペア・レジスタ1 (TTnCCR1)

インターバル・タイマ・モードでは、TTnCCR1レジスタを使用しません。しかし、TTnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致すると、TOTn1端子出力を反転し、コンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。

TTnCCR0レジスタの設定値と同じ値を設定することにより、TOTn1端子から50%デューティのPWM波形を出力できます。

TTnCCR1レジスタを使用しない場合には、TTnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TTnCCIC1.TTnCCMK1) でマスク設定してください。

備考1. TMTm制御レジスタ2 (TTmCTL2)、TMTnI/O制御レジスタ1 (TTnIOC1)、TMTnI/O制御レジスタ2 (TTnIOC2)、TMTmI/O制御レジスタ3 (TTmIOC3)、TMTnオプション・レジスタ0 (TTnOPT0)、TMTmオプション・レジスタ1 (TTmOPT1)、TMTmキャプチャ入力選択レジスタ (TTISLm)、TMTmカウンタ・ライト・レジスタ (TTmTCW) は、インターバル・タイマ・モードでは使用しません。

2. n = 0-3
m = 0, 1

(1) インターバル・タイマ・モード動作フロー

図8 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

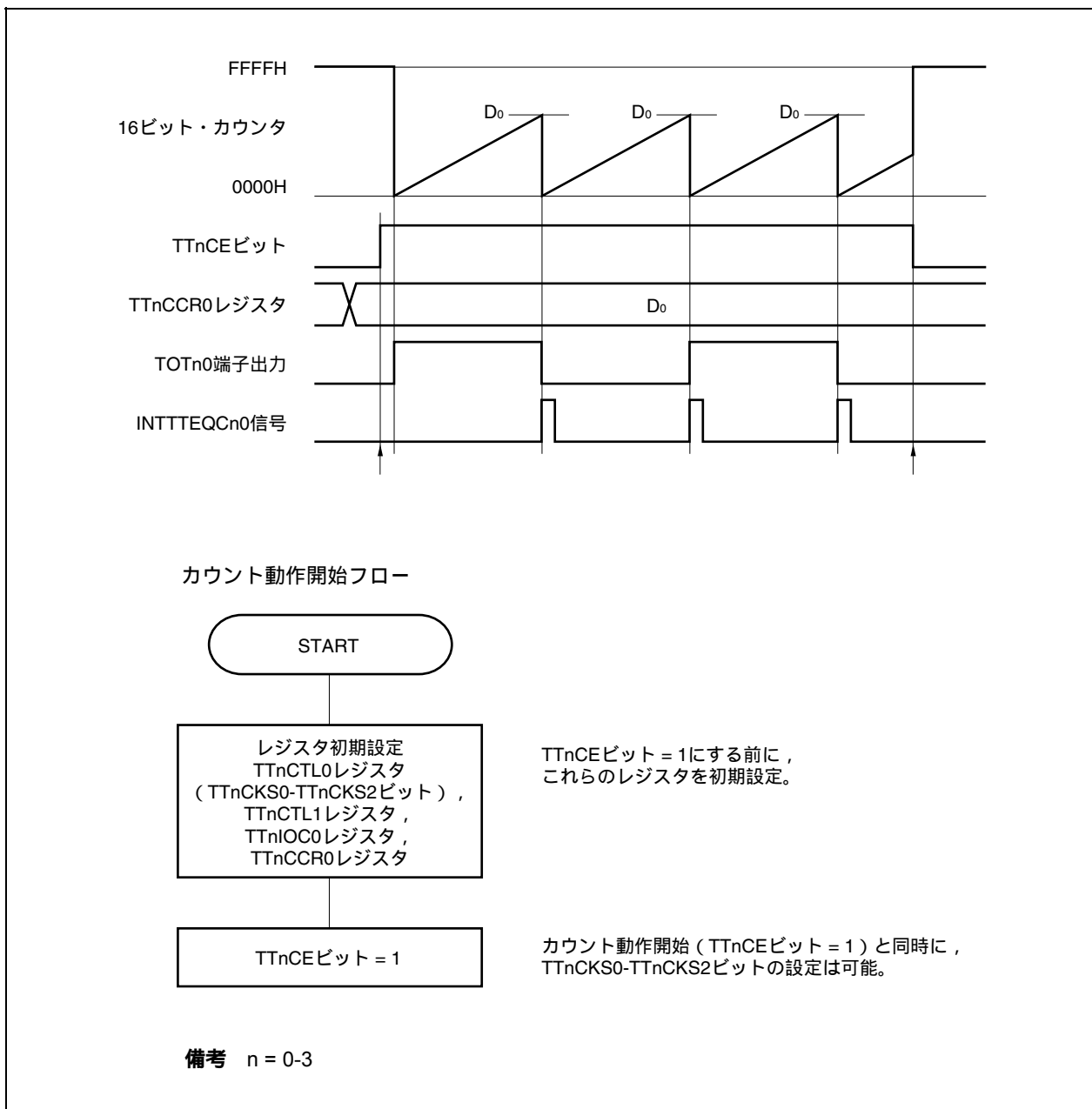
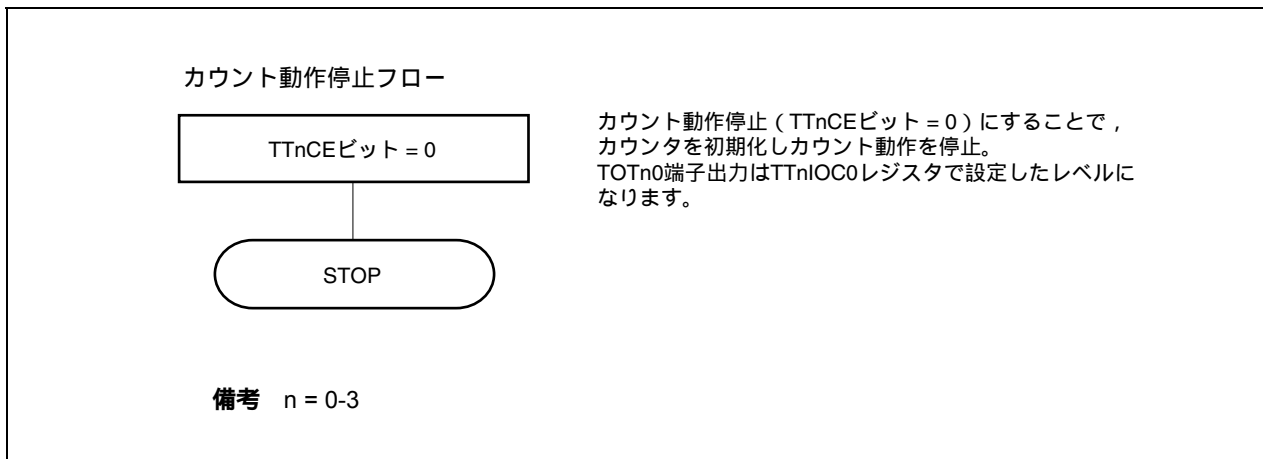


図8 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

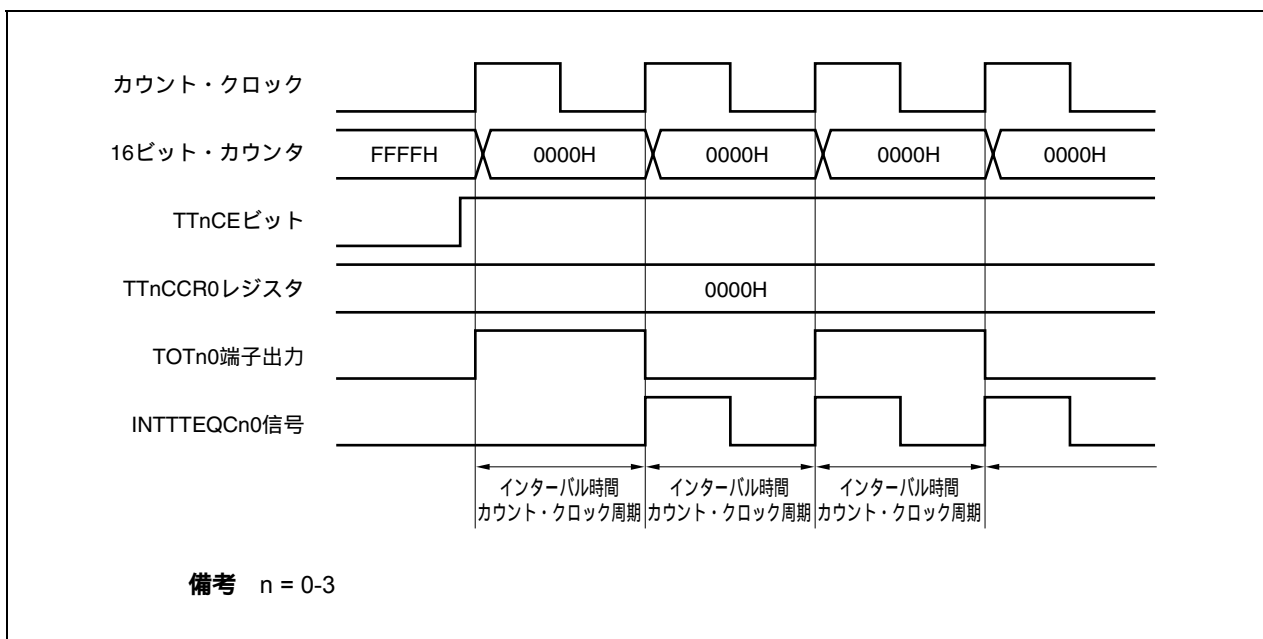


(2) インターバル・タイマ・モード動作タイミング

(a) TTnCCR0レジスタに0000Hを設定した場合の動作

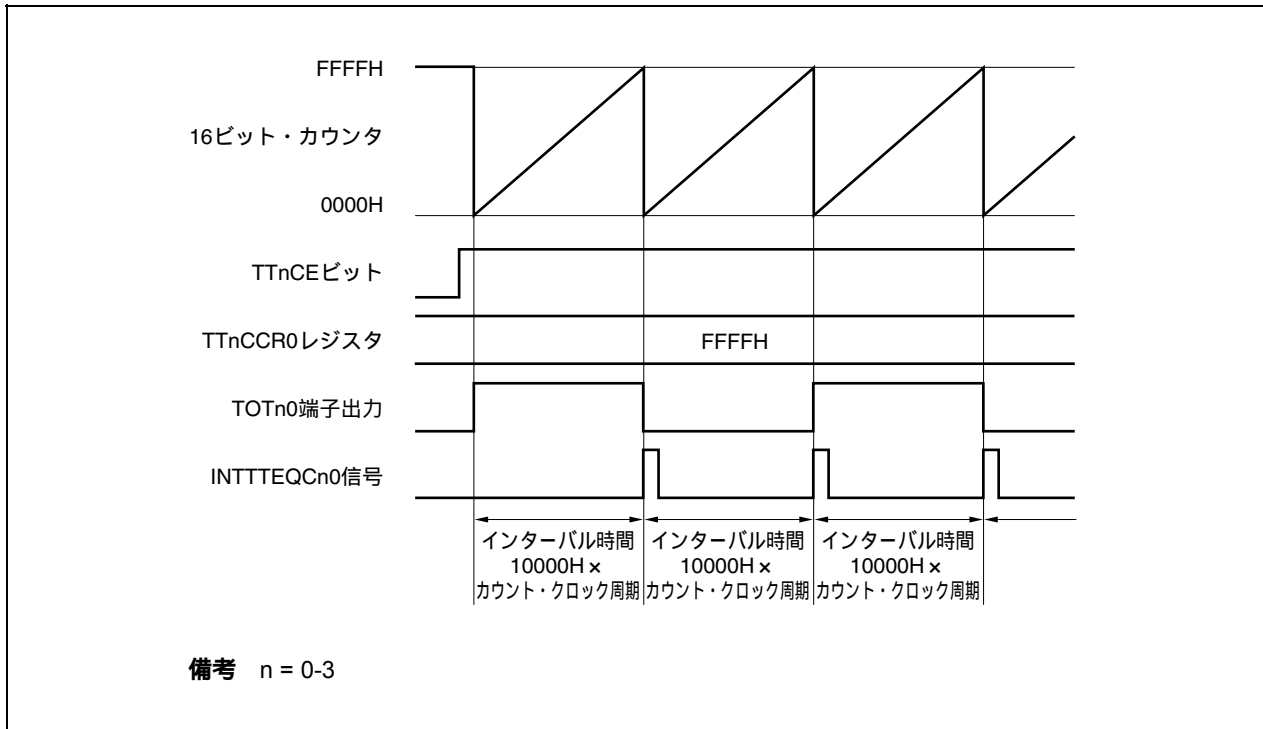
TTnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTTEQCn0信号を発生し、TOTn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



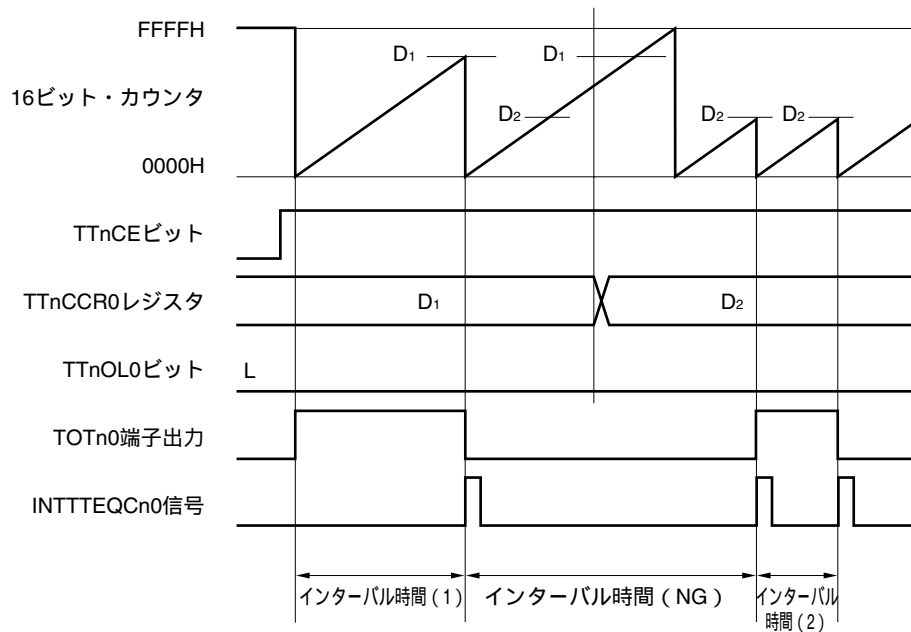
(b) TTnCCR0レジスタにFFFFHを設定した場合の動作

TTnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTTEQCn0信号を発生し、TOTn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTIOVn) は発生せず、オーバフロー・フラグ (TTnOPT0.TTnOVFビット) もセット (1) されません。



(c) TTnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTTnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考1.** インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0-3$

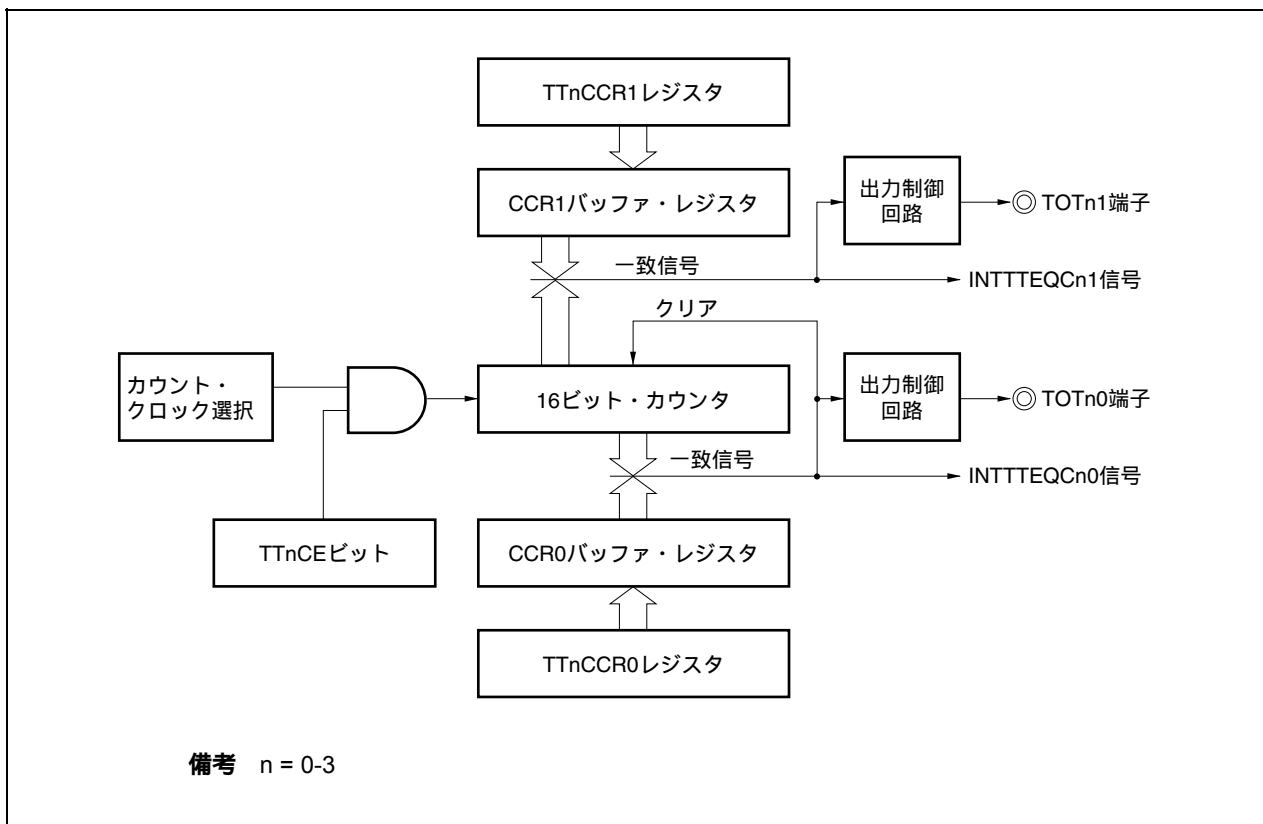
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TTnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTTEQCn0信号を発生しTOTn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTTEQCn0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTTEQCn0信号が発生する場合があります。

(d) TTnCCR1レジスタの動作

図8 - 11 TTnCCR1レジスタの構成図



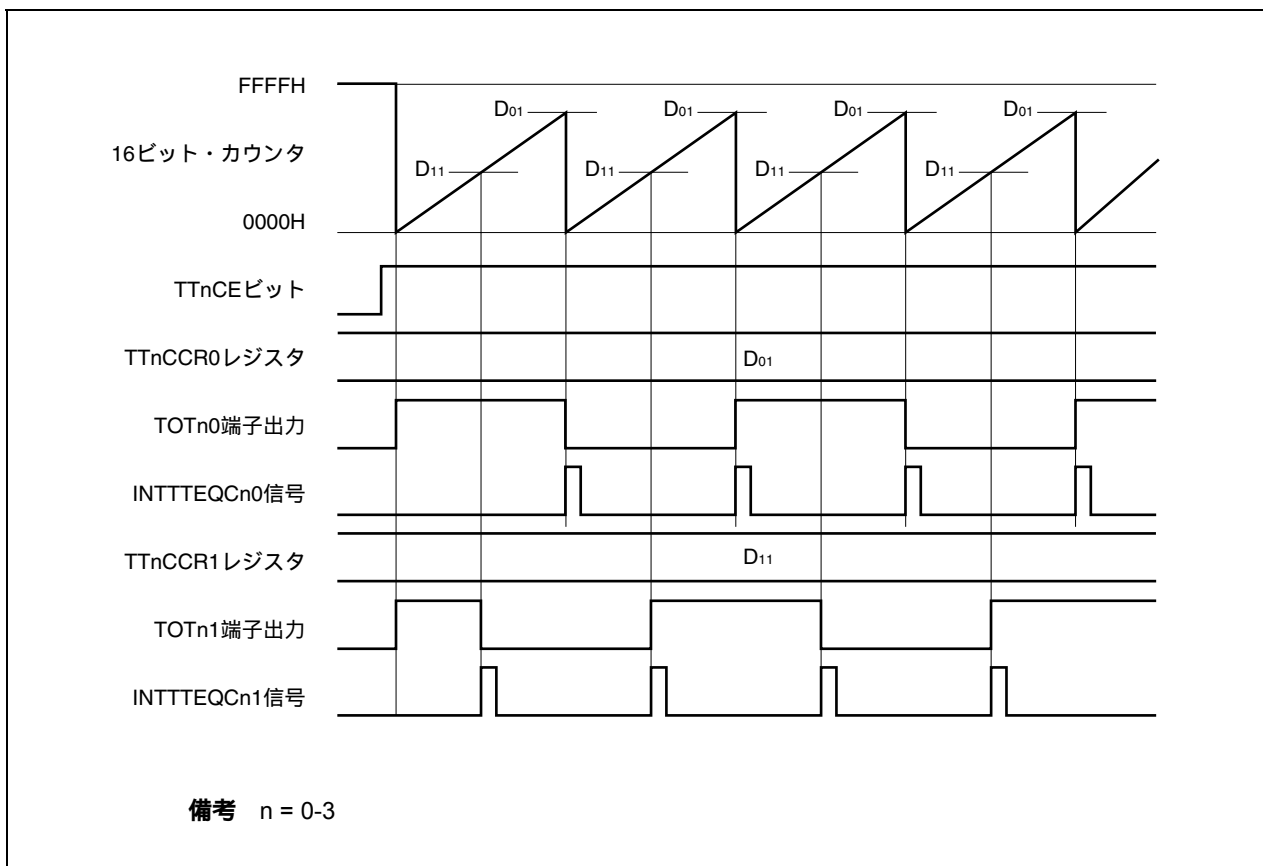
TTnCCR1レジスタにTTnCCR0レジスタの設定値と同じ値を設定すると、INTTTEQCn0信号と同じタイミングでINTTTEQCn1信号が発生し、TOTn1端子出力が反転します。すなわち、TOTn1端子から50 %デューティのPWM波形を出力できます。

TTnCCR0レジスタの設定値とは異なる値をTTnCCR1レジスタに設定した場合の動作を次に示します。

TTnCCR1レジスタの設定値がTTnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTTEQCn1信号が発生します。また、同じタイミングでTOTn1端子出力は反転します。

TOTn1端子出力は、最初に短い幅のパルスを出力したあと、50 %デューティのPWM波形を出力します。

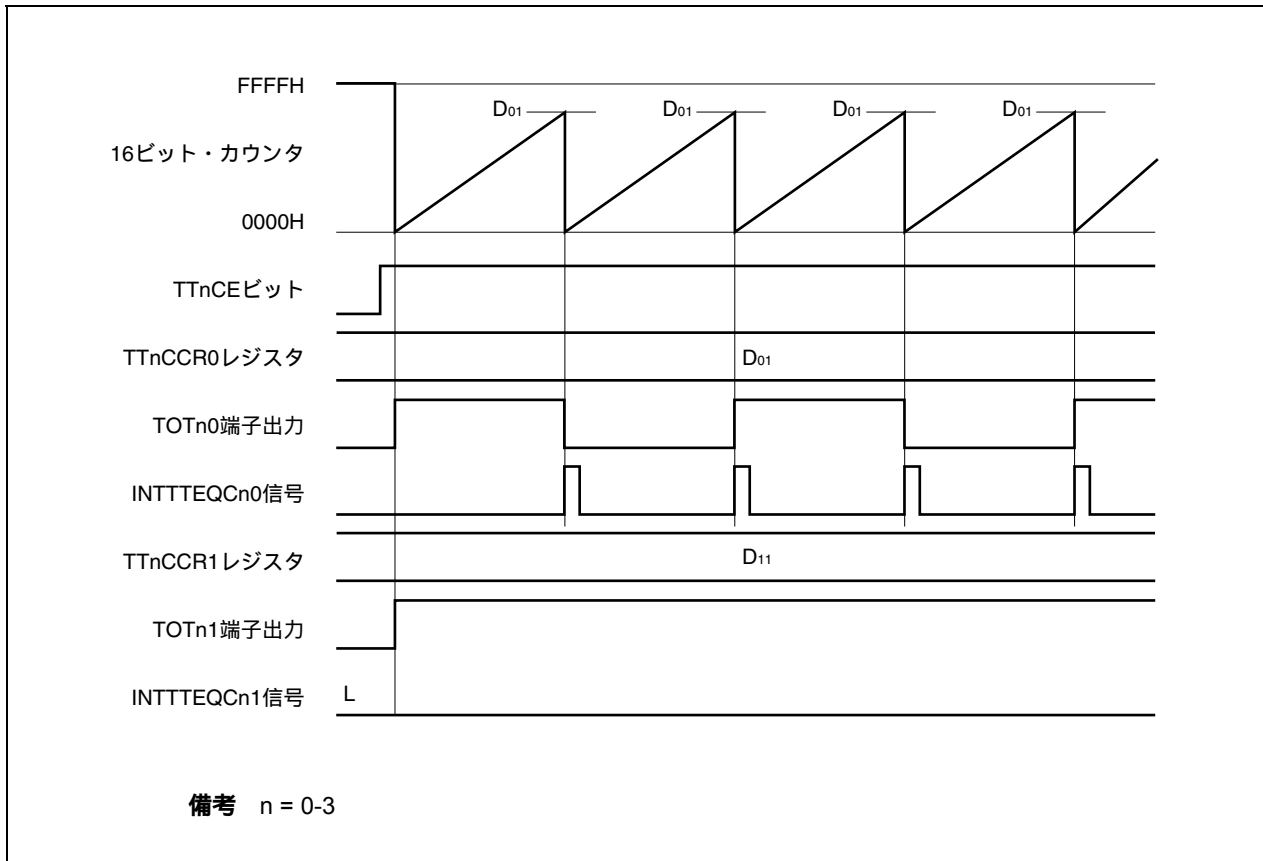
図8 - 12 D₀₁ D₁₁の場合のタイミング図



TTnCCR1レジスタの設定値がTTnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTTnCCR1レジスタの値が一致しないので、INTTTEQCn1信号は発生しません。また、TOTn1端子出力も変化しません。

TTnCCR1レジスタを使用しない場合には、TTnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図8 - 13 D₀₁ < D₁₁の場合のタイミング図



8.6.2 外部イベント・カウント・モード (TTnMD3-TTnMD0ビット = 0001)

外部イベント・カウント・モードは、TTnCTL0.TTnCEビットをセット (1) することで、外部イベント・カウント入力 (TMT0, TMT1の場合: EVTTm, TMT2, TMT3の場合: TITk0)の有効エッジをカウントし、TTnCCR0レジスタで設定したカウント数をカウントすることに割り込み要求信号 (INTTTEQCn0)を発生します。TOTn0, TOTn1端子は使用できません。

外部イベント・カウント・モードでは、TTnCCR1レジスタは使用しません。

図8 - 14 TMT0, TMT1の外部イベント・カウント・モードの構成図

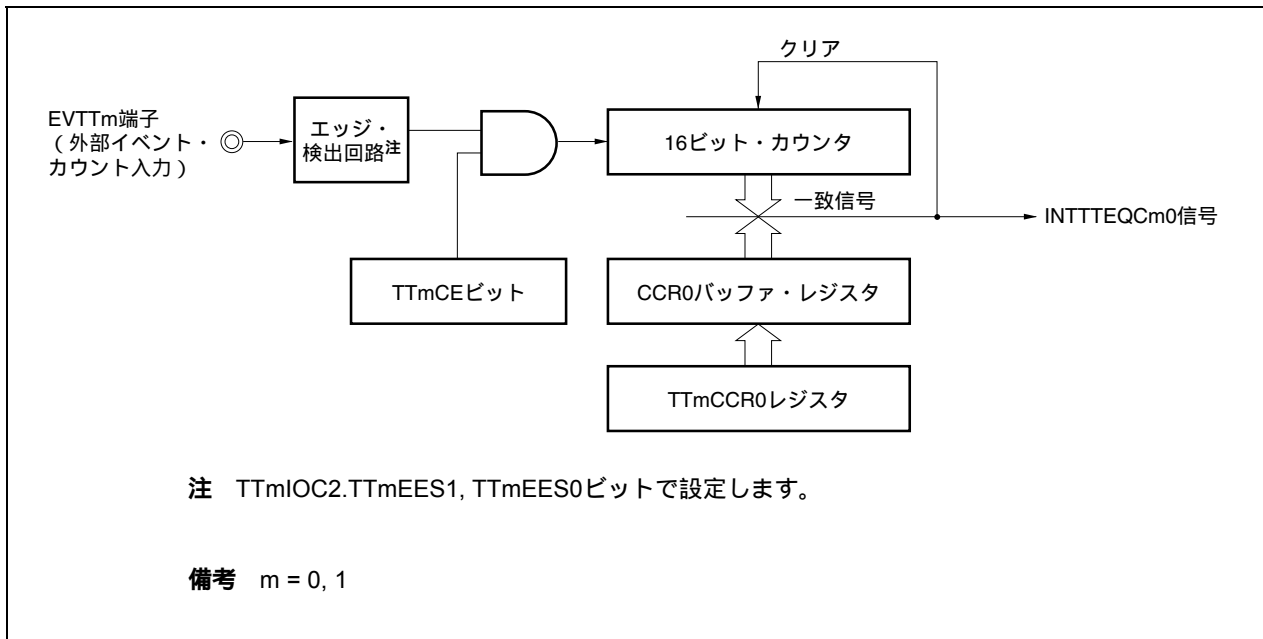


図8 - 15 TMT2, TMT3の外部イベント・カウント・モードの構成図

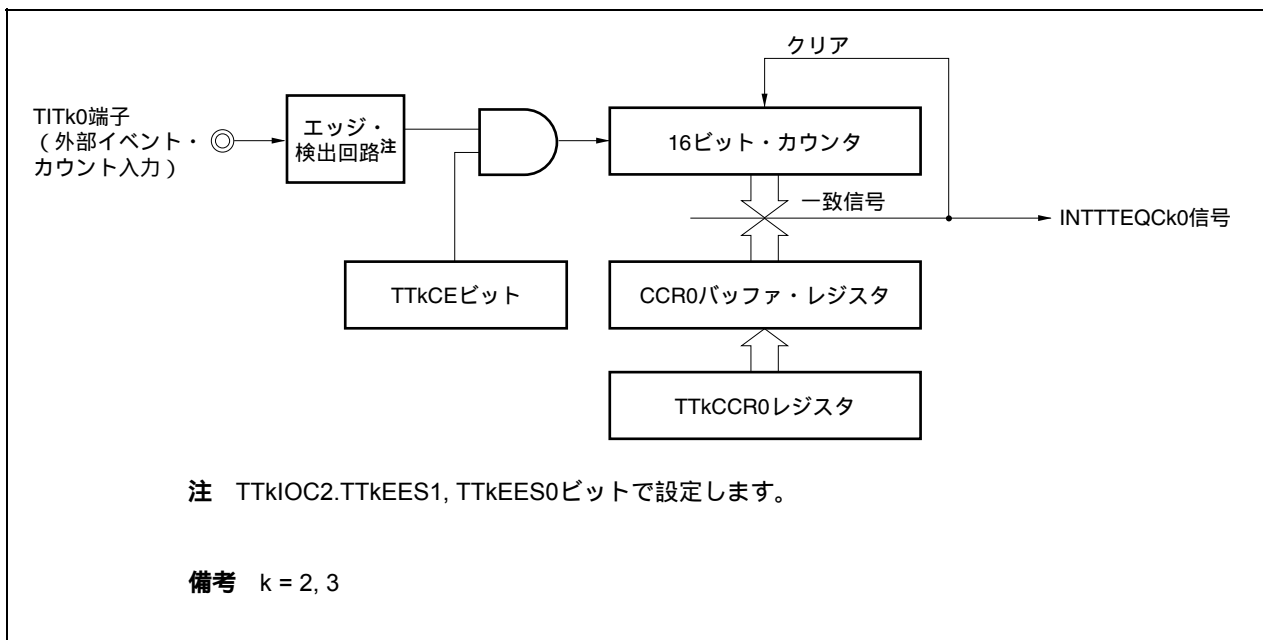
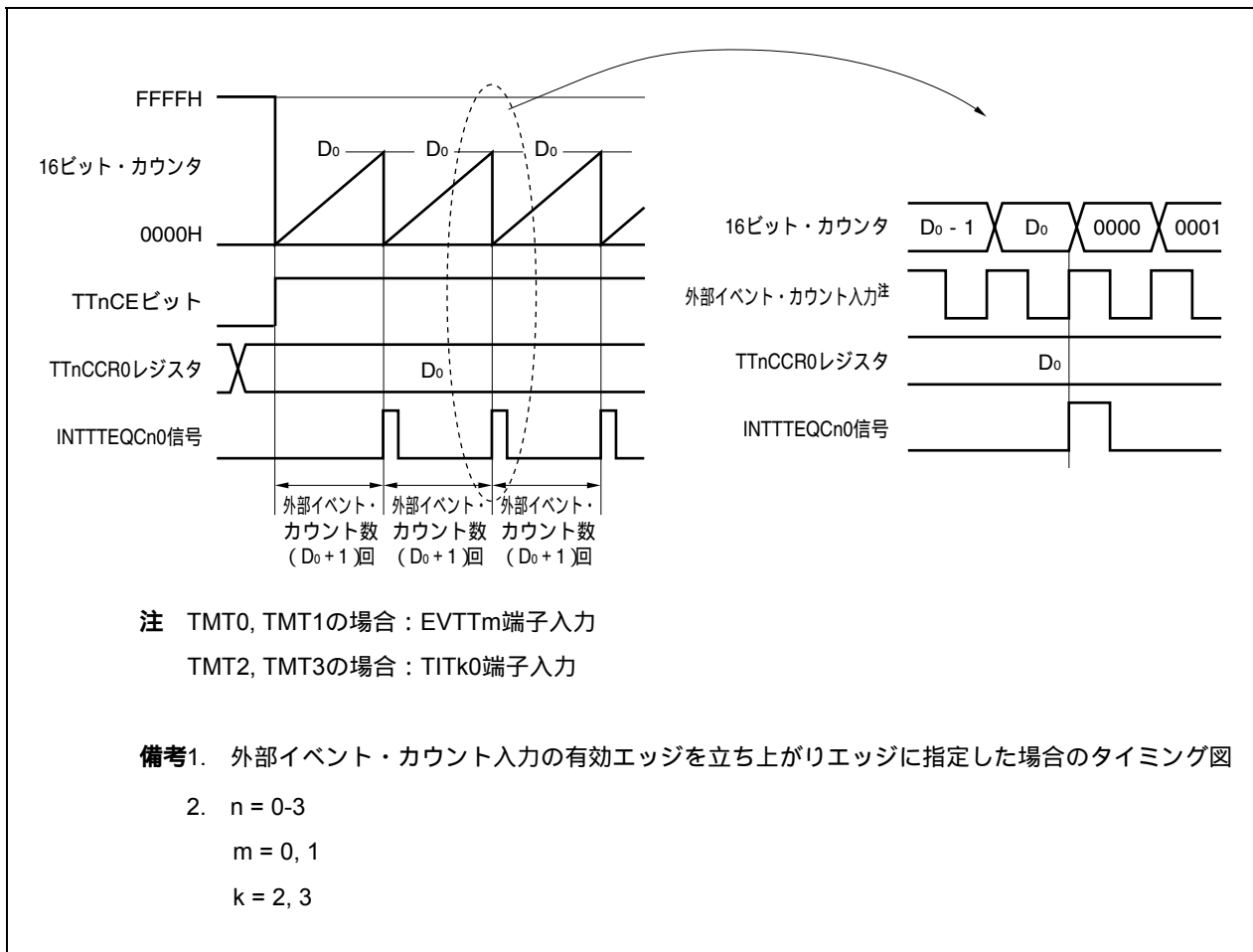


図8 - 16 外部イベント・カウント・モードの基本タイミング



TTnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TTnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTTEQCn0)を発生します。

INTTTEQCn0信号は、外部イベント・カウント入力の有効エッジを(TTnCCR0レジスタに設定した値+1)回検出するごとに発生します。

図8-17 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

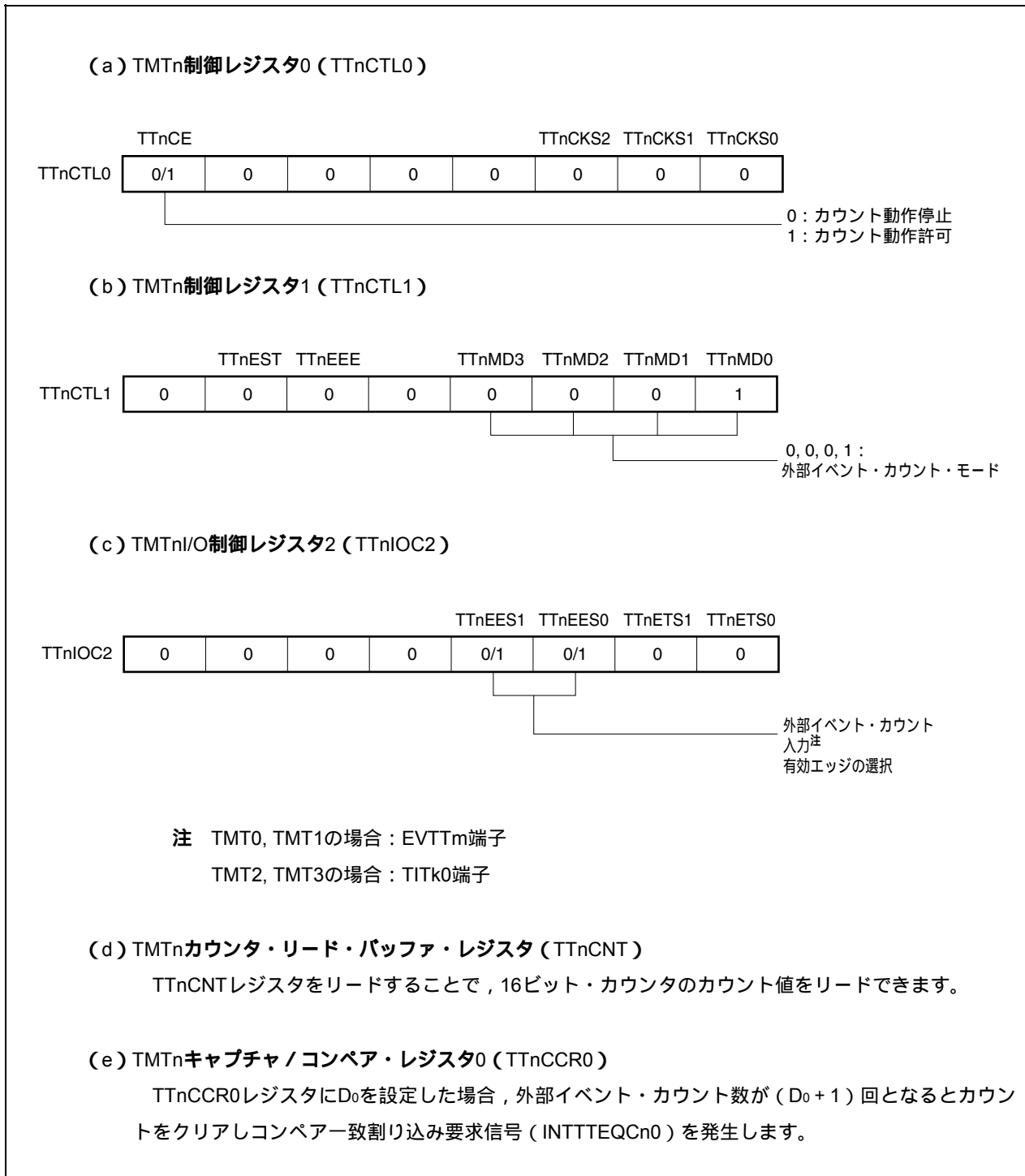


図8 - 17 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMTnキャプチャ/コンペア・レジスタ1 (TTnCCR1)

外部イベント・カウント・モードでは、TTnCCR1レジスタは使用しません。しかし、TTnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。

TTnCCR1レジスタを使用しない場合には、TTnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TTnCCIC1.TTnCCMK1) でマスク設定してください。

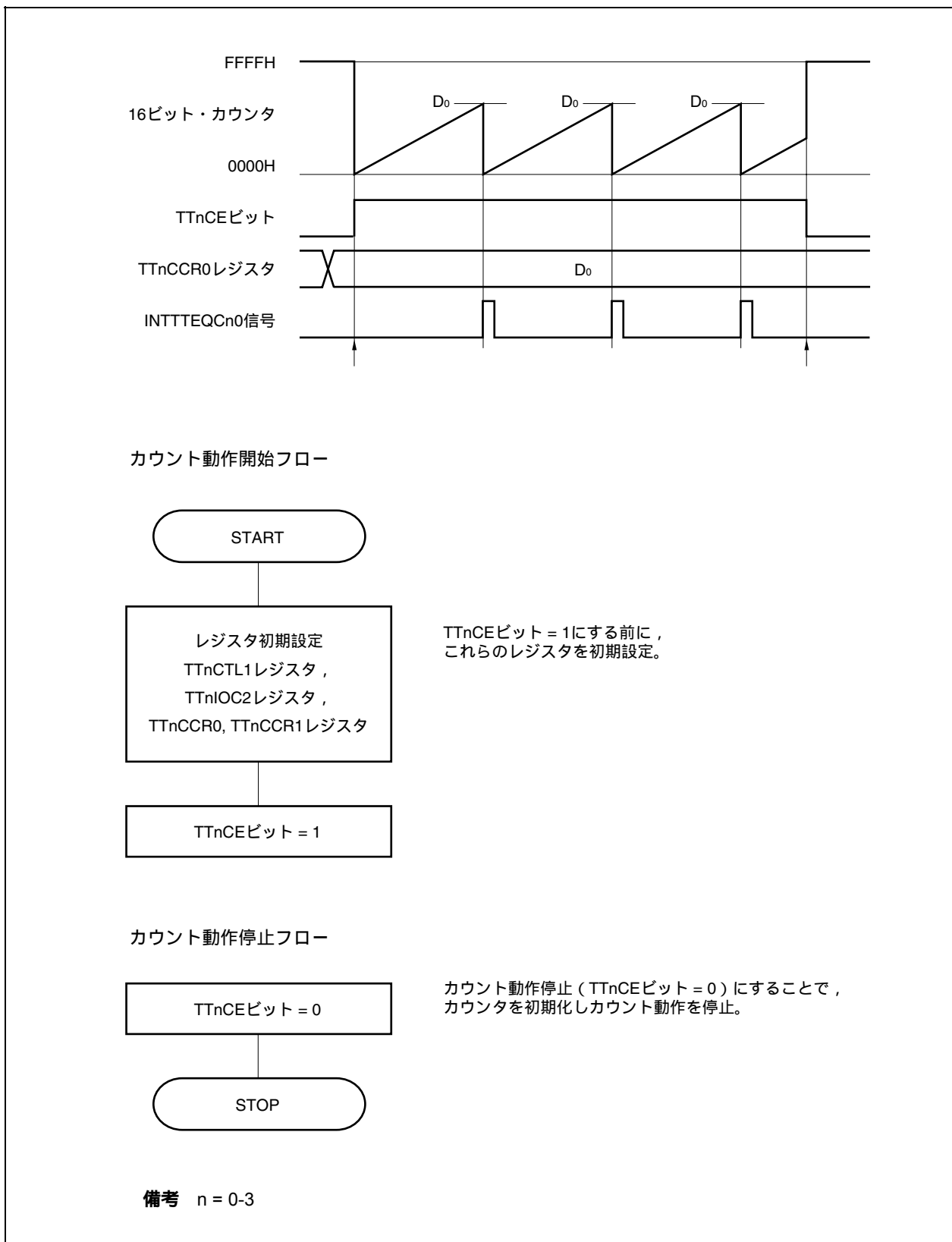
注意 TTnIOC0レジスタには00Hを設定してください。

備考1. TMTm制御レジスタ2 (TTmCTL2), TMTnI/O制御レジスタ1 (TTnIOC1), TMTmI/O制御レジスタ3 (TTmIOC3), TMTnオプション・レジスタ0 (TTnOPT0), TMTmオプション・レジスタ1 (TTmOPT1), TMTmキャプチャ入力選択レジスタ (TTISLm), TMTmカウンタ・ライト・レジスタ (TTmTCW) は、外部イベント・カウント・モードでは使用しません。

2. n = 0-3
m = 0, 1
k = 2, 3

(1) 外部イベント・カウント・モード動作フロー

図8 - 18 外部イベント・カウント・モード使用時のソフトウェア処理フロー



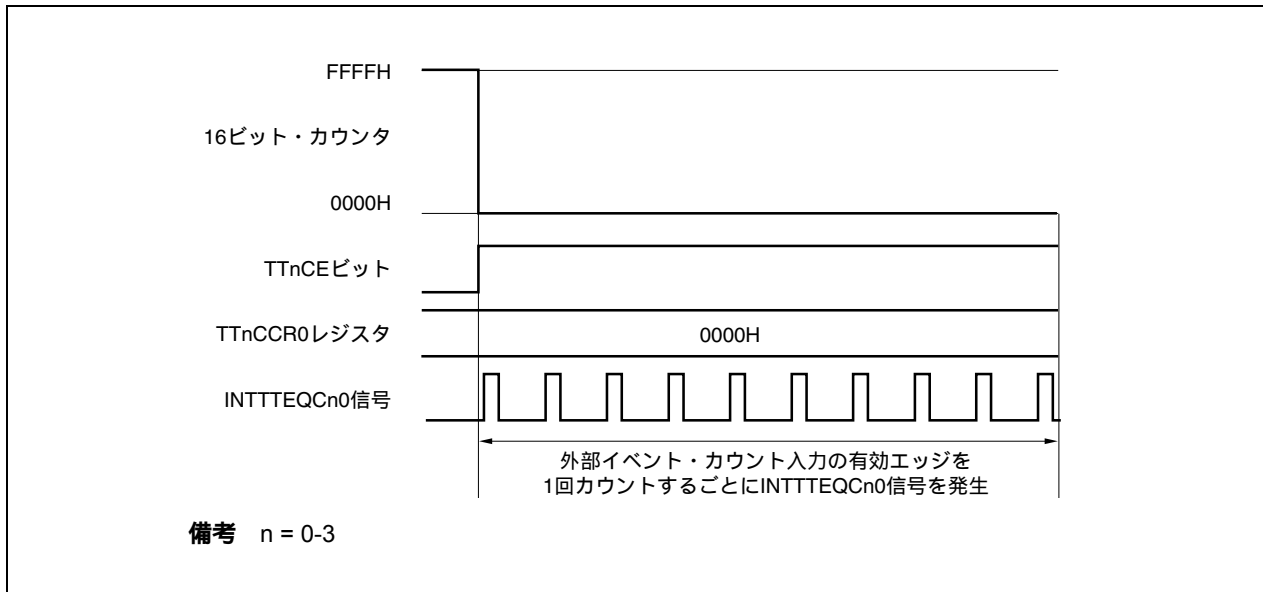
(2) 外部イベント・カウント・モード動作タイミング

注意 外部イベント・カウント・モード時、タイマ出力 (TOTn0, TOTn1) は使用禁止です。

(a) TTnCCR0レジスタに0000Hを設定した場合の動作

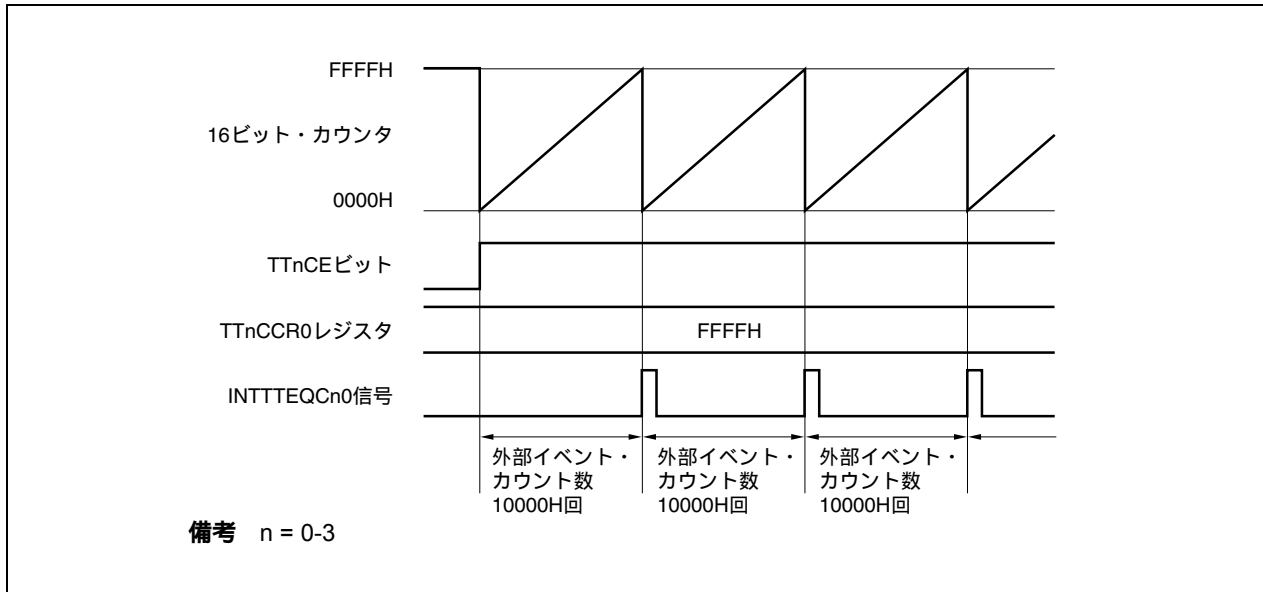
TTnCCR0レジスタに0000Hを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにCCR0バッファ・レジスタの値との一致で、16ビット・カウンタを0000Hにクリアし続けて、INTTTEQCn0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TTnCCR0レジスタにFFFFHを設定した場合の動作

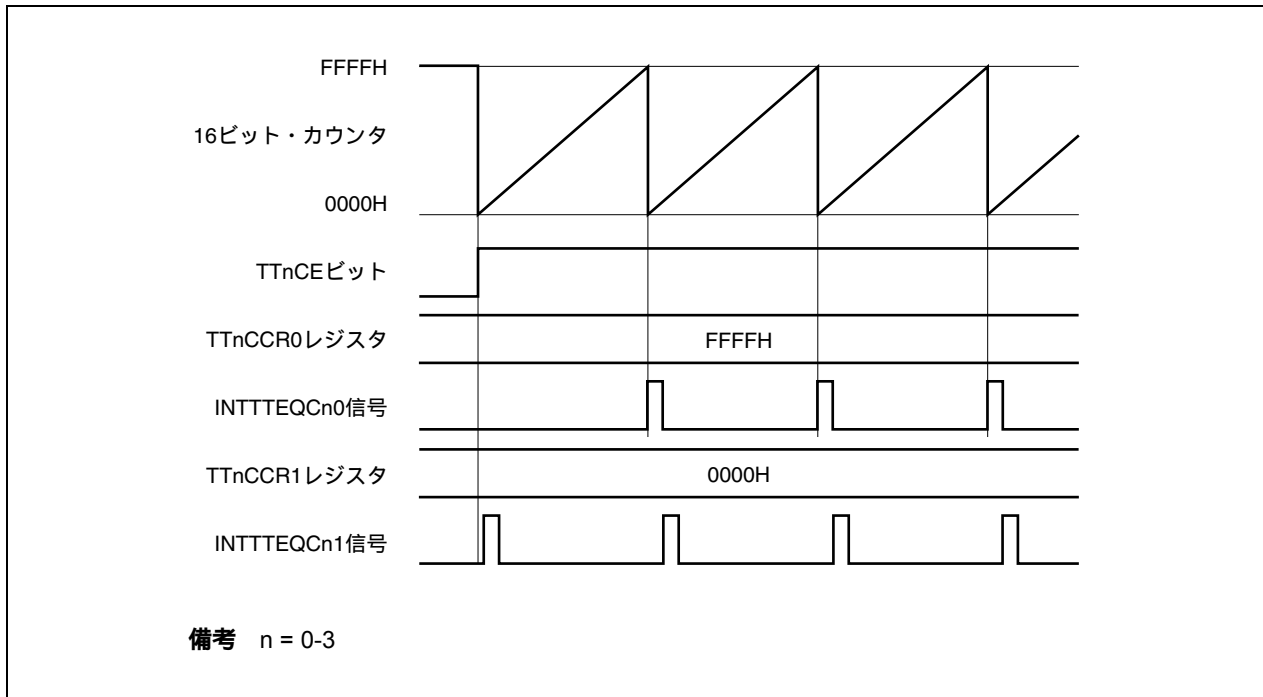
TTnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTTEQCn0信号を発生します。このとき、TTnOPT0.TTnOVFビットはセットされません。



(c) TTnCCR0レジスタにFFFFH, TTnCCR1レジスタに0000Hを設定した場合の動作

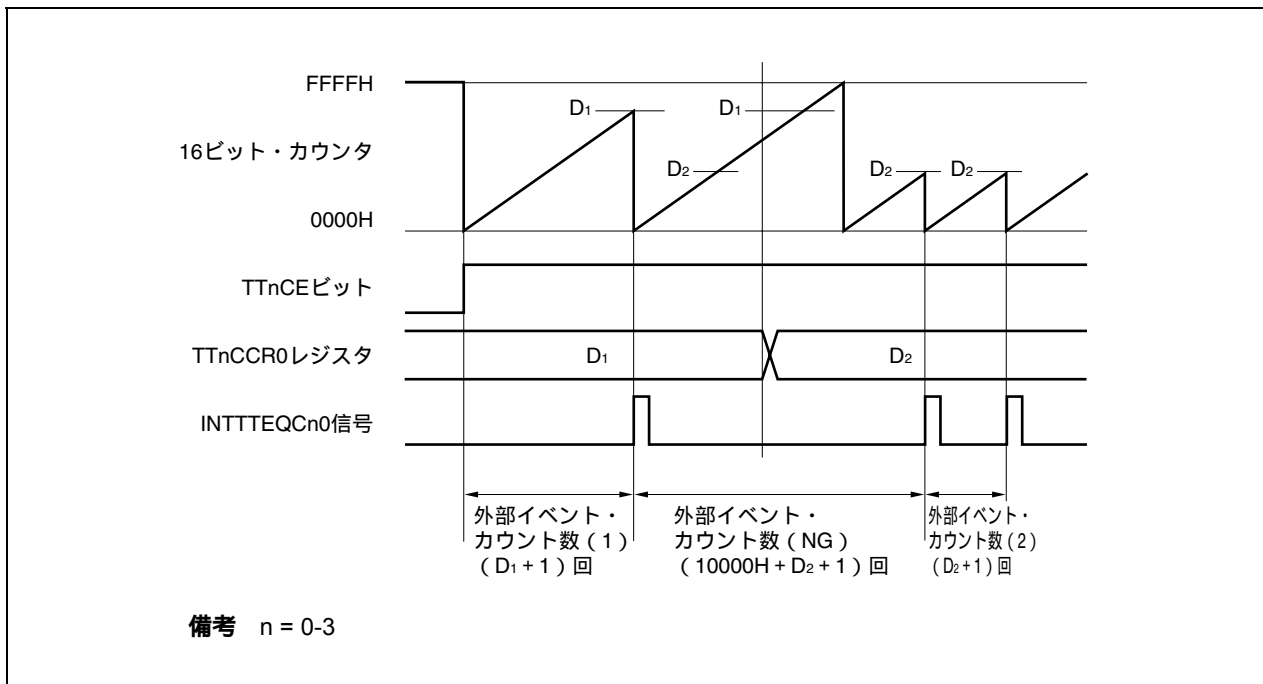
TTnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次の外部イベント・カウント信号の有効エッジに同期して, 16ビット・カウンタを0000Hにクリアし, INTTTEQCn0信号を発生します。このとき, TTnOPT0.TTnOVFビットはセットされません。

TTnCCR1レジスタに0000Hを設定した場合, 16ビット・カウンタが0000HにクリアされたタイミングでINTTTEQCn1信号が発生します。



(d) TTnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTTnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



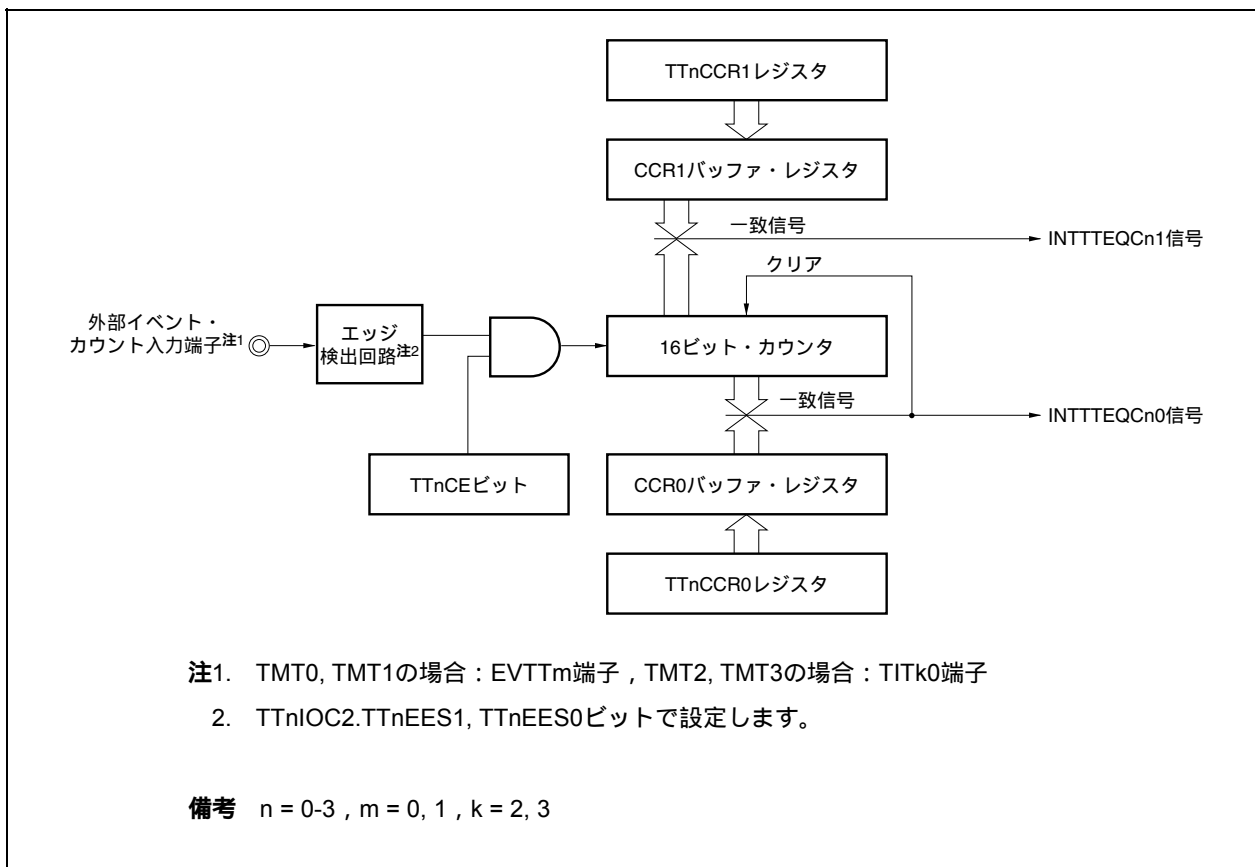
カウント値がD2よりも大きくD1よりも小さい状態において、TTnCCR0レジスタをD1からD2に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD2となります。

しかし、カウント値はすでにD2を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D2との一致でINTTTEQCn0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D1+1)回」または「(D2+1)回」の有効エッジ数でINTTTEQCn0信号は発生せず、「(10000H + D2 + 1)回」の有効エッジ数でINTTTEQCn0信号が発生する場合があります。

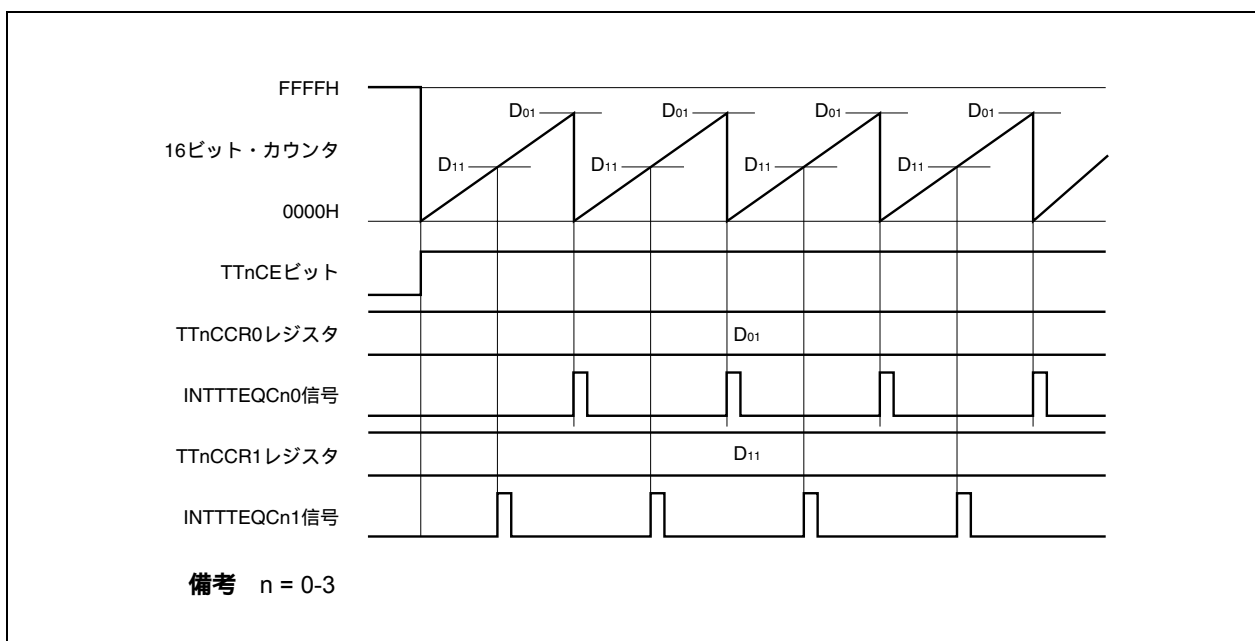
(e) TTnCCR1レジスタの動作

図8 - 19 TTnCCR1レジスタの構成図



TTnCCR1レジスタの設定値がTTnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTTEQCn1信号が発生します。

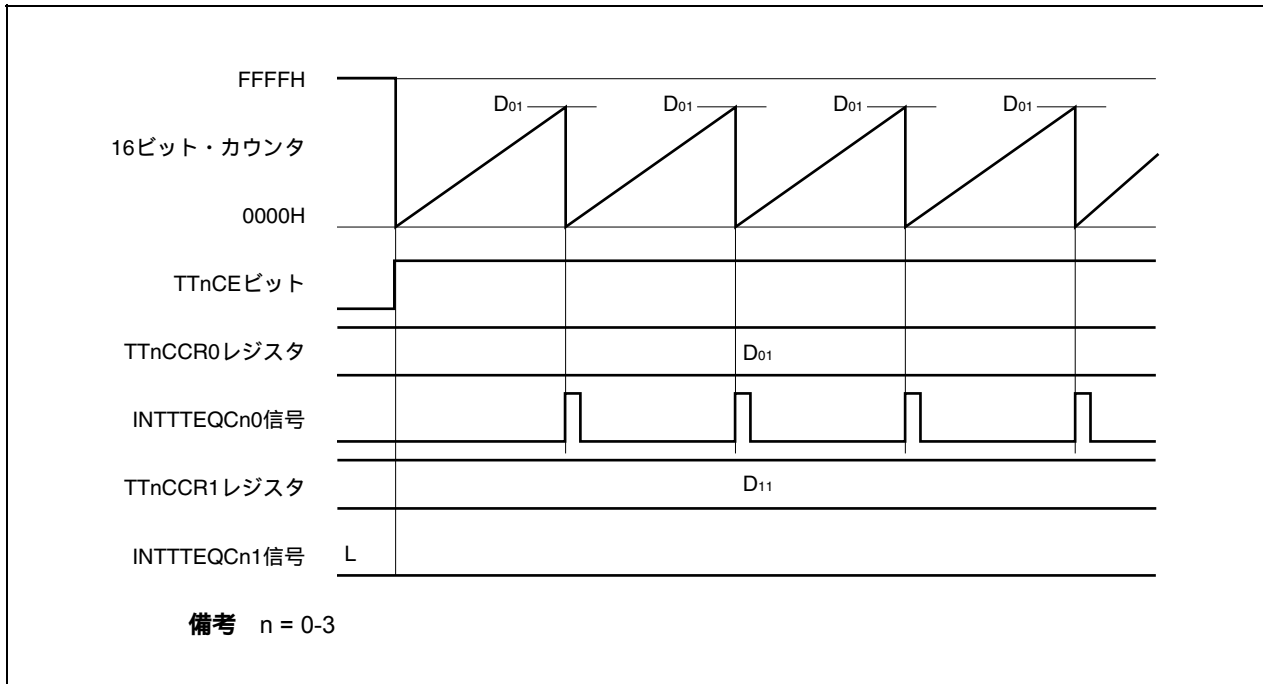
図8 - 20 D₀₁ D₁₁の場合のタイミング図



TTnCCR1レジスタの設定値がTTnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTTnCCR1レジスタの値が一致しないので、INTTTEQCn1信号は発生しません。

TTnCCR1レジスタを使用しない場合には、TTnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図8 - 21 D₀₁ < D₁₁の場合のタイミング図



8.6.3 外部トリガ・パルス出力モード (TTnMD3-TTnMD0ビット = 0010)

外部トリガ・パルス出力モードは、TTnCTL0.TTnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TMT0, TMT1の場合: EVTTm, TMT2, TMT3の場合: TITk0)の有効エッジを検出すると、カウント動作を開始し、TOTn1端子からPWM波形を出力します。

TMT0, TMT1の場合、TOTm0端子からTTmCCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力できます。外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。

TMT2, TMT3の場合、外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOTk0端子からTTkCCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力できます。

図8-22 TMT0, TMT1の外部トリガ・パルス出力モードの構成図

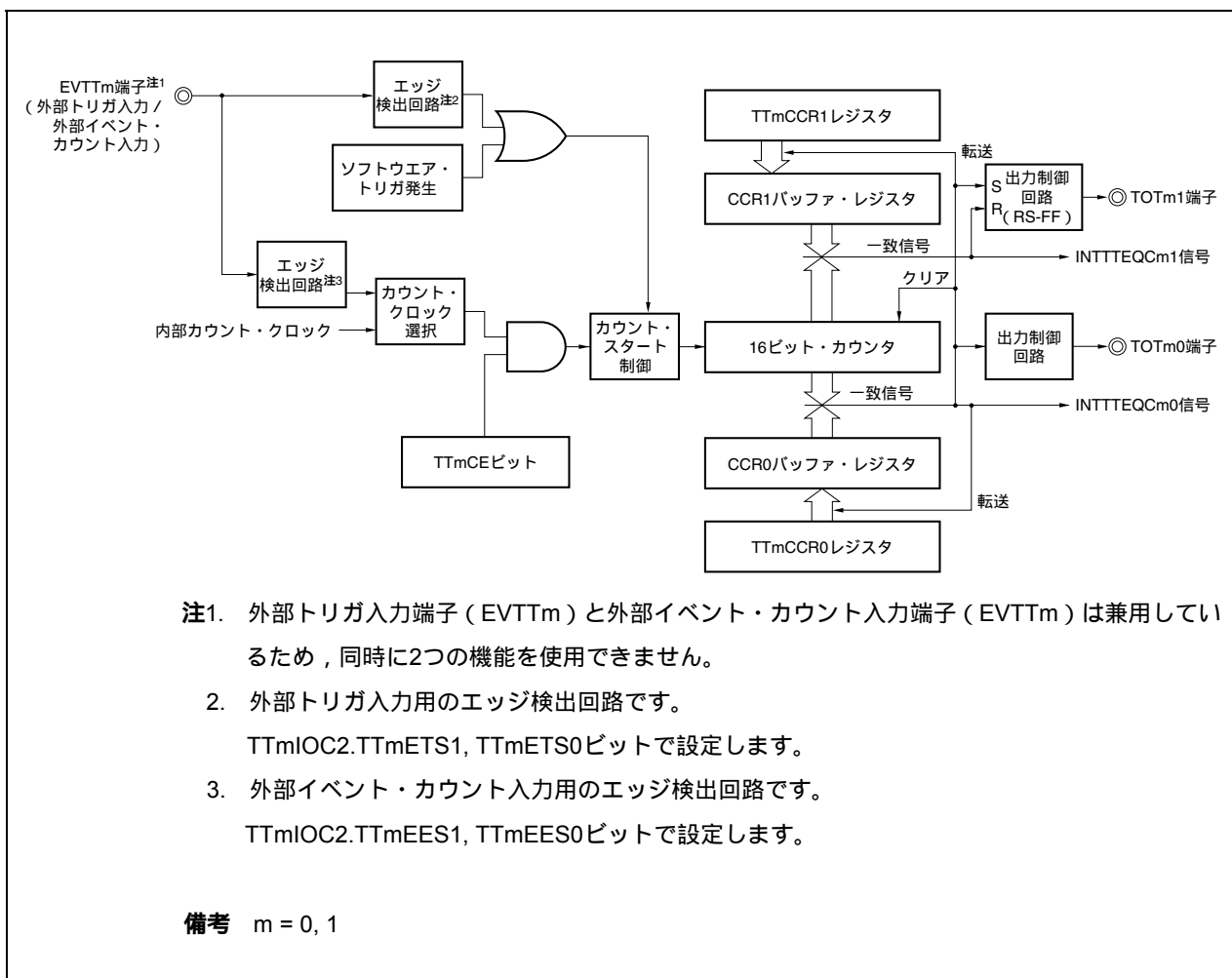


図8 - 23 TMT2, TMT3の外部トリガ・パルス出力モードの構成図

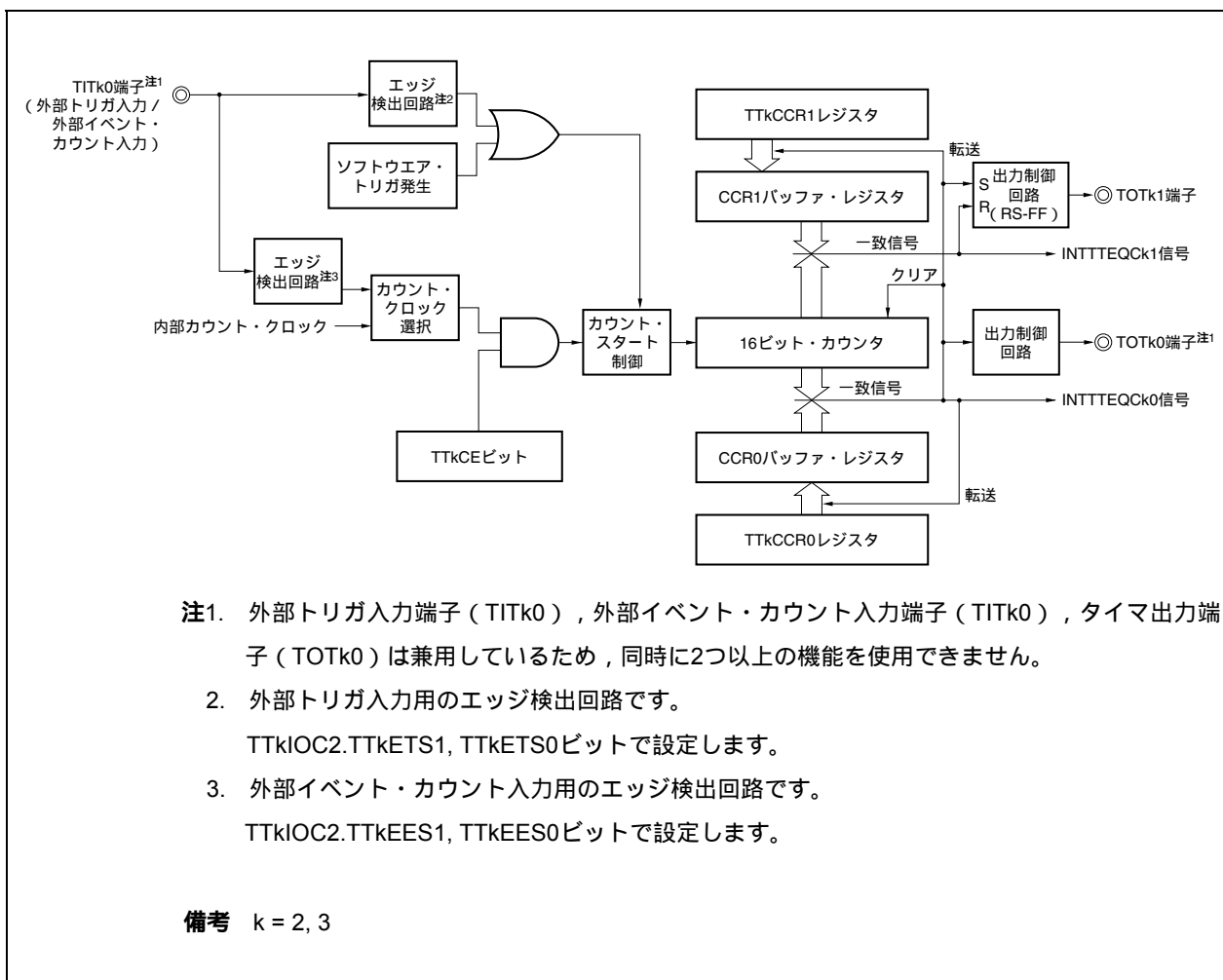
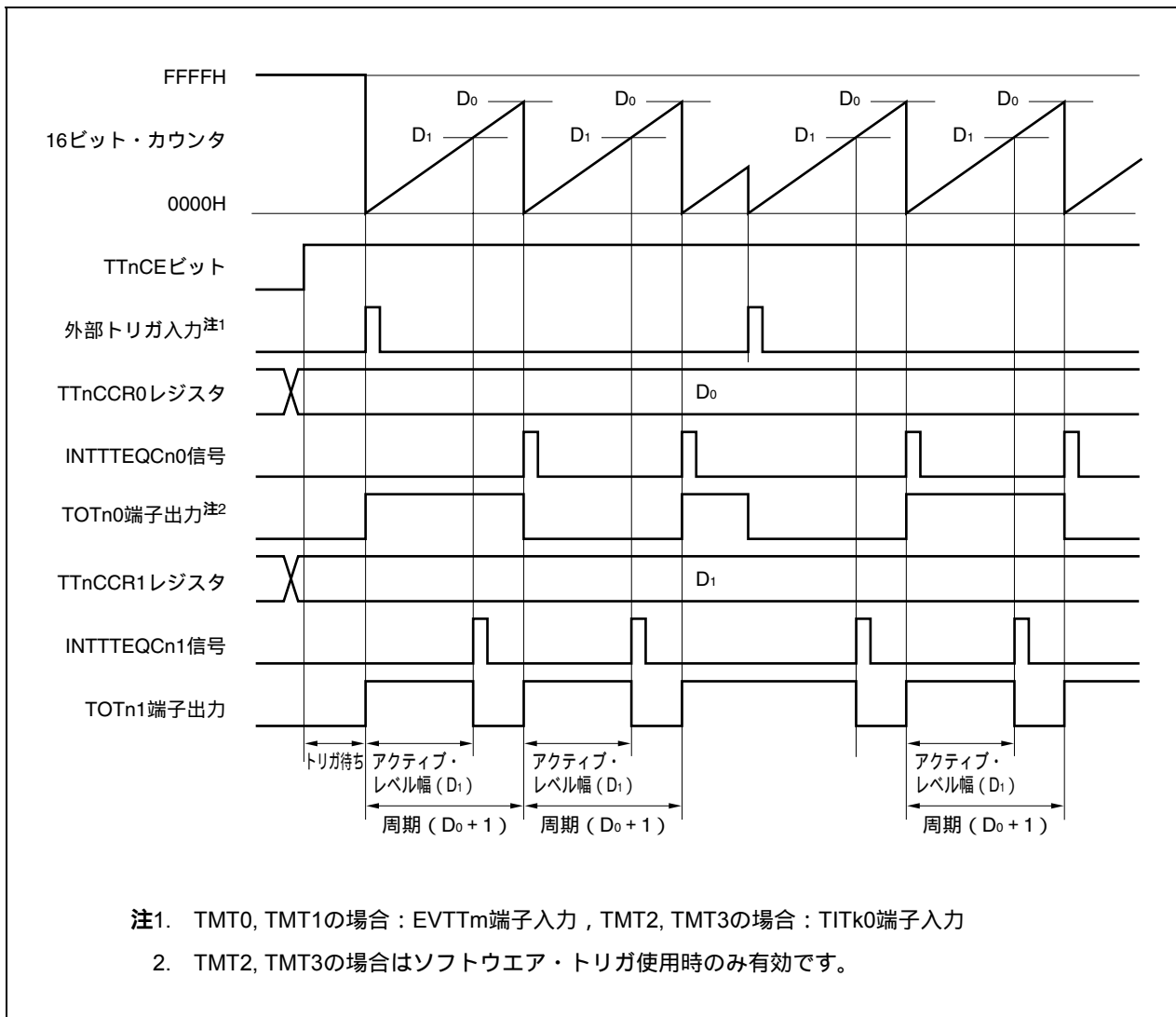


図8 - 24 外部トリガ・パルス出力モードの基本タイミング



TTnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOTn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします (TOTn0端子出力は反転します。TOTn1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TTnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TTnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TTnCCR1レジスタの設定値}) / (\text{TTnCCR0レジスタの設定値} + 1)$$

コンペア一致割り込み要求信号 (INTTTEQCn0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号 (INTTTEQCn1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TTnCCRaレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

トリガには、外部トリガ入力 (TMT0, TMT1の場合: EVTTm, TMT2, TMT3の場合: TITk0) の有効エッジ、またはソフトウェア・トリガ (TTnCTL1.TTnESTビット) のセット (1) があります。

備考 n = 0-3

m = 0, 1

k = 2, 3

a = 0, 1

図8 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

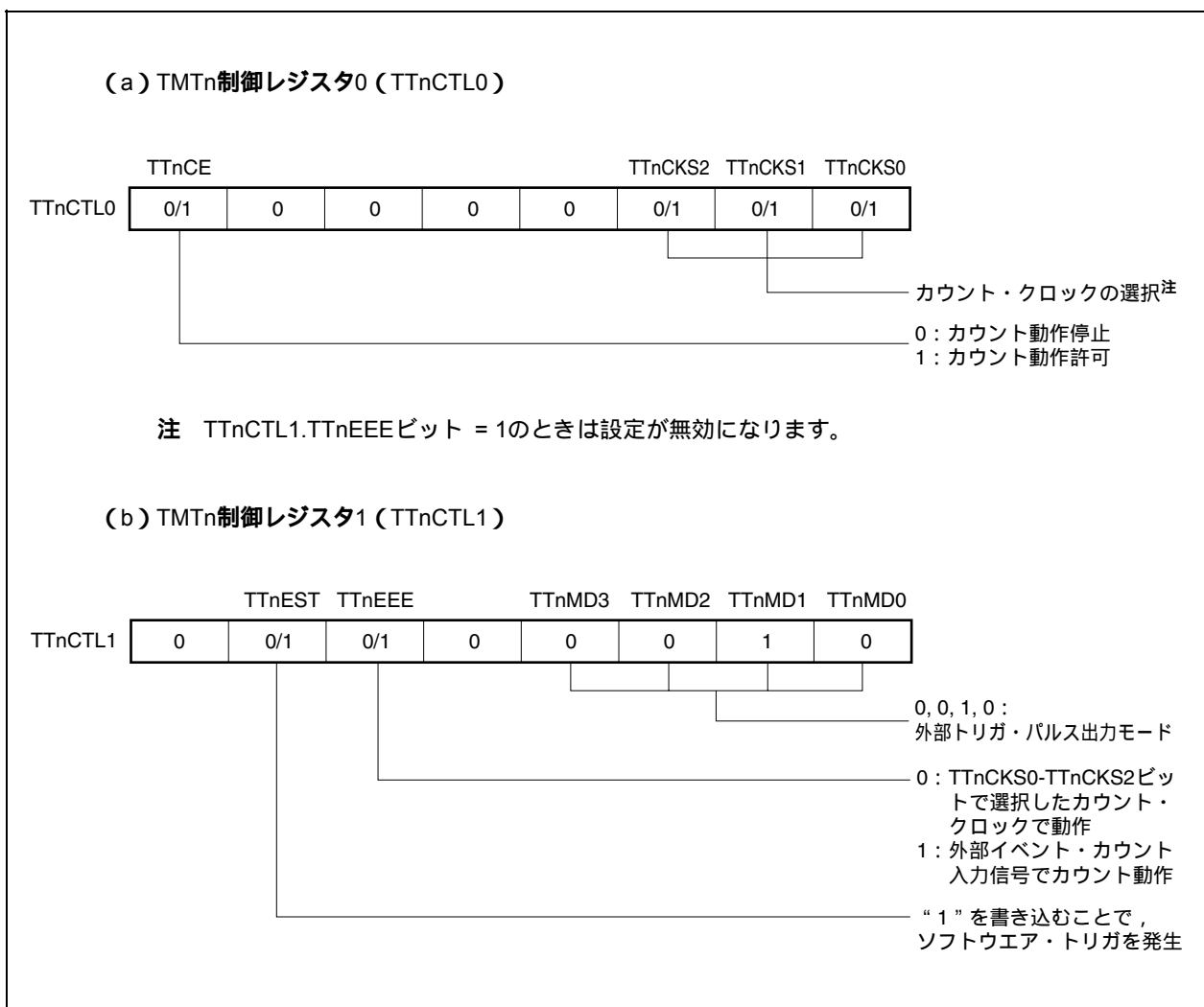


図8 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

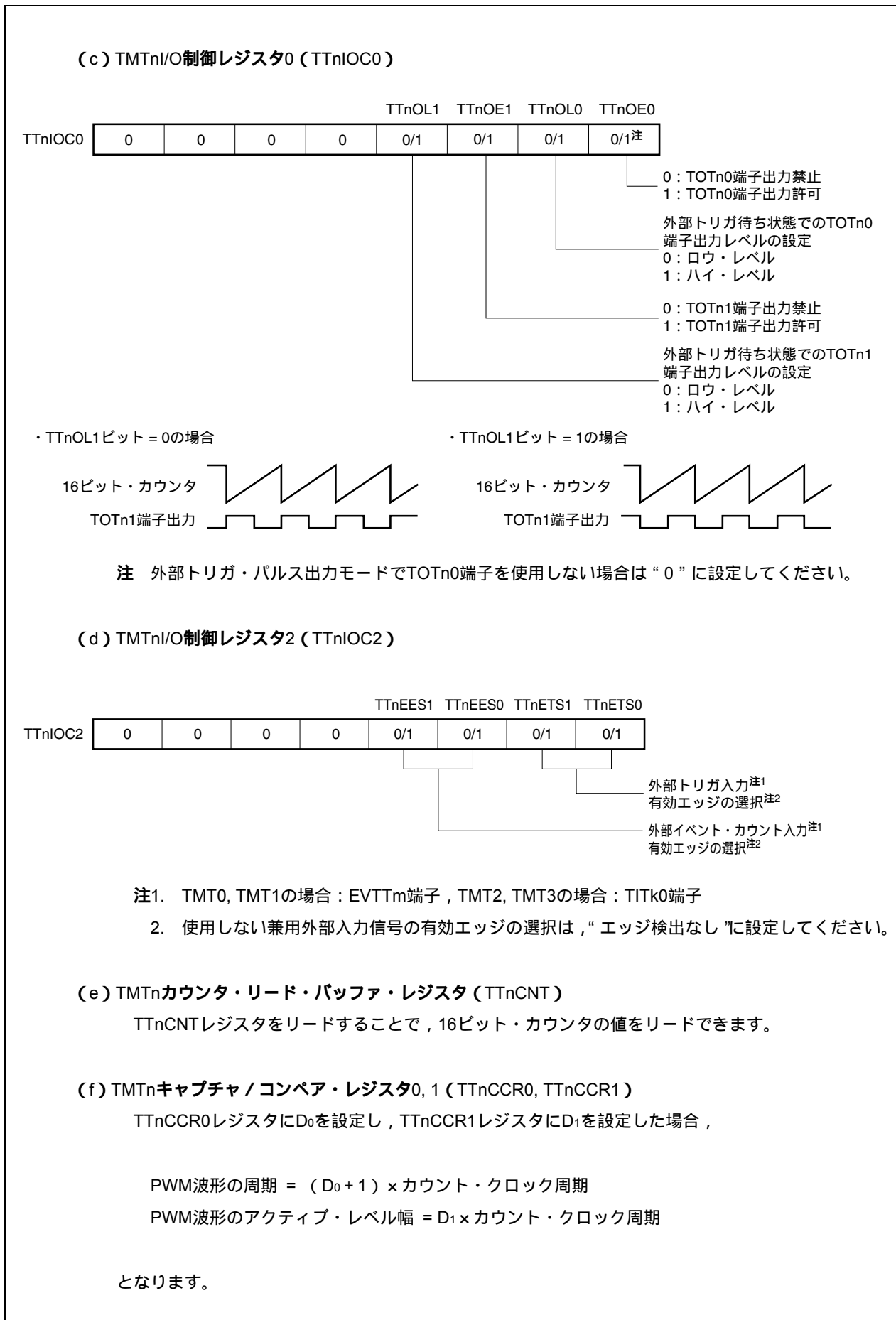


図8 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

- 備考1. TMTm制御レジスタ2 (TTmCTL2), TMTnI/O制御レジスタ1 (TTnIOC1), TMTmI/O制御レジスタ3 (TTmIOC3), TMTnオプション・レジスタ0 (TTnOPT0), TMTmオプション・レジスタ1 (TTmOPT1), TMTmキャプチャ入力選択レジスタ (TTISLm), TMTmカウンタ・ライト・レジスタ (TTmTCW) は, 外部トリガ・パルス出力モードでは使用しません。
2. $n = 0-3$
 $m = 0, 1$
 $k = 2, 3$

(1) 外部トリガ・パルス出力モード動作フロー

図8 - 26 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

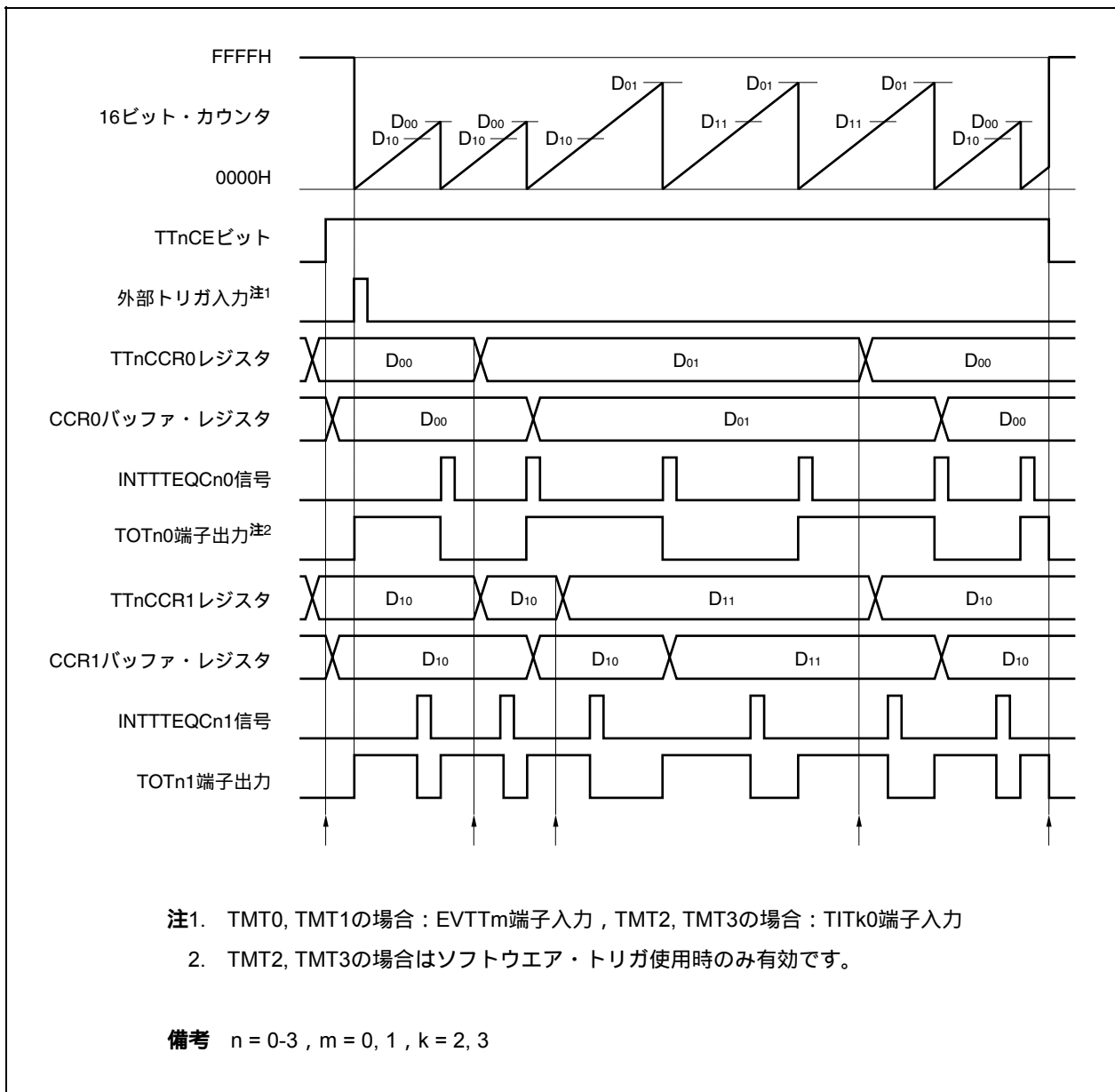
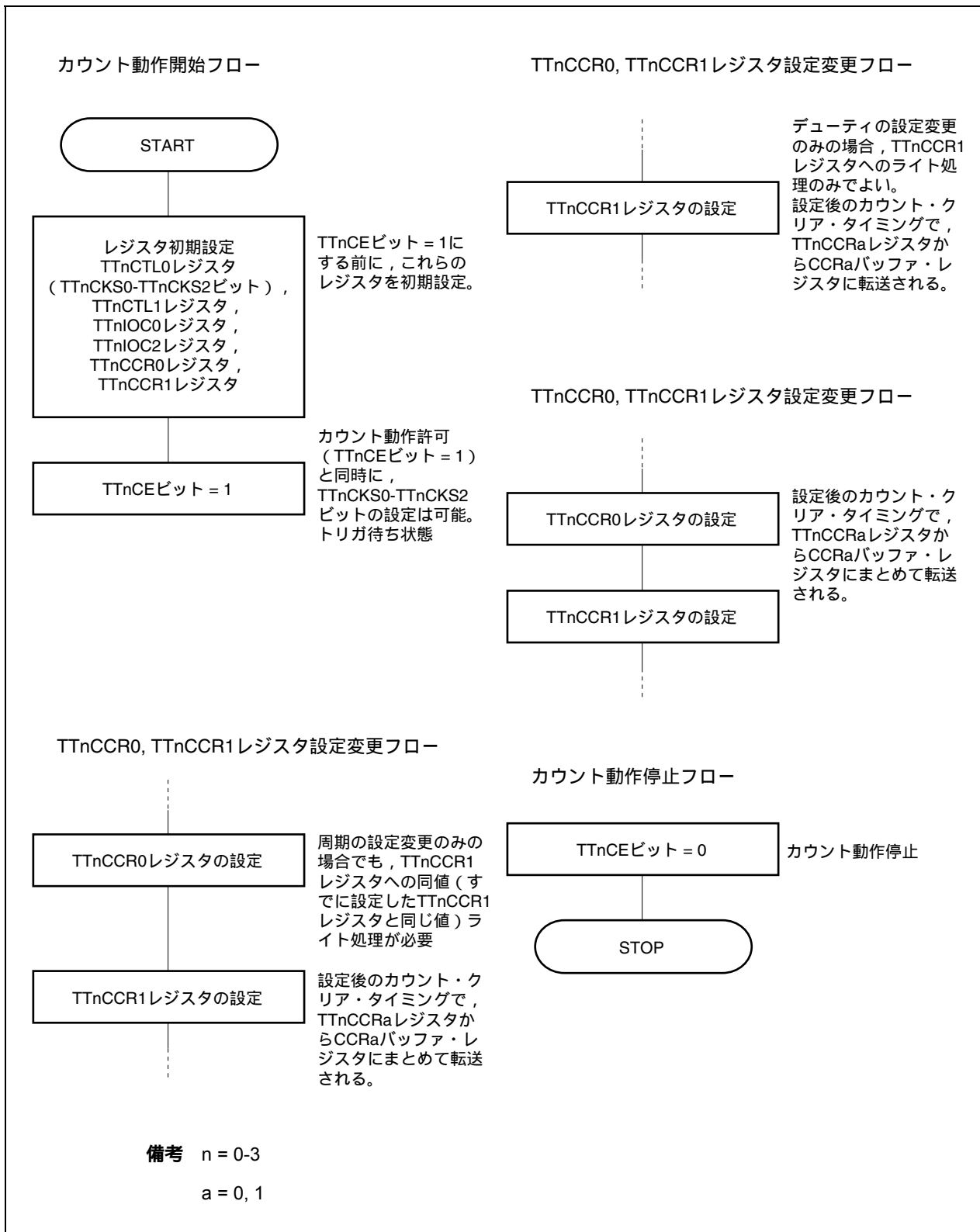


図8 - 26 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

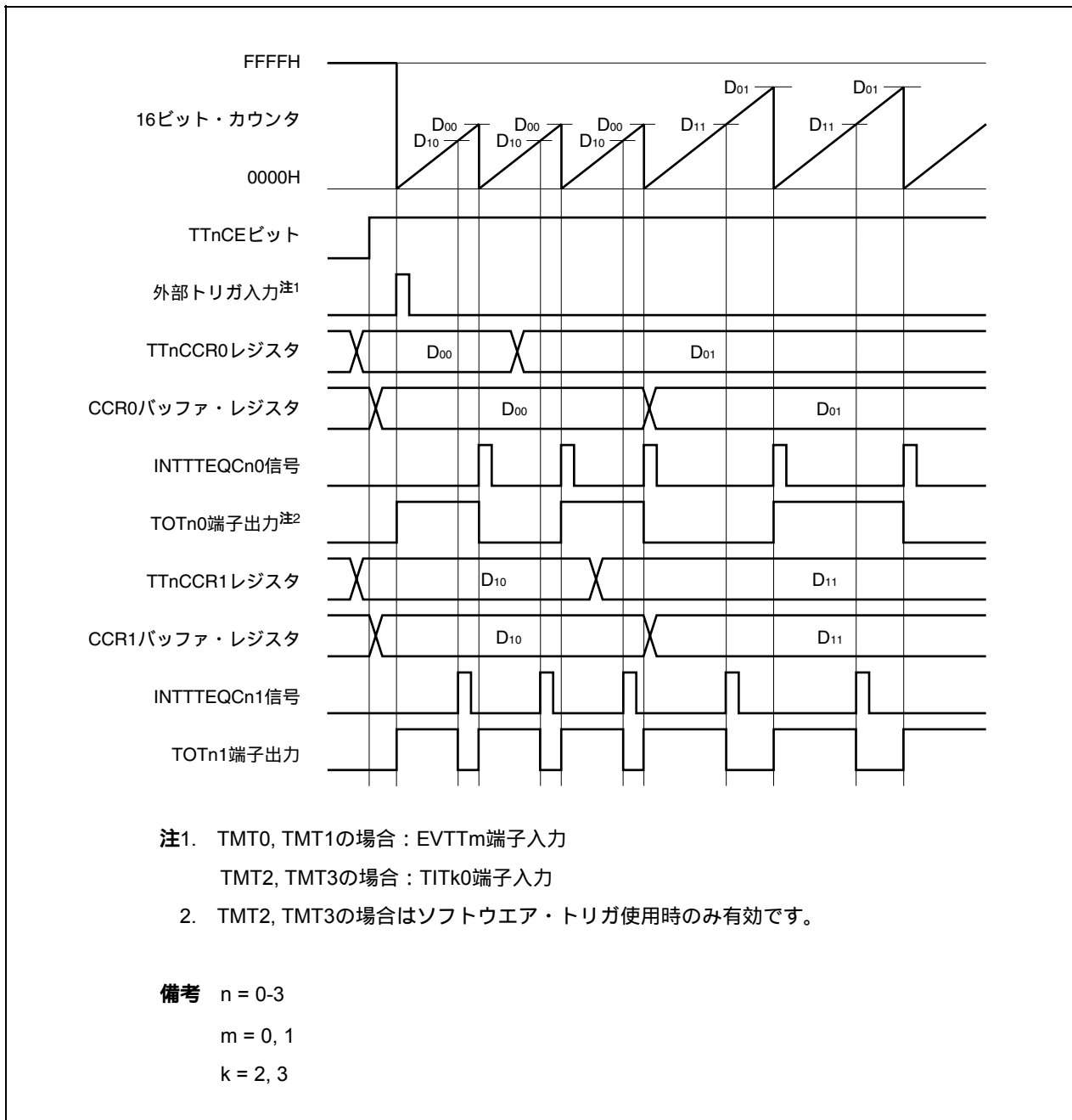


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTTnCCR1レジスタにライトしてください。

TTnCCR1レジスタにライト後、再度TTnCCRaレジスタの書き換えを行う場合には、INTTTEQCn0信号を検出後に書き換えてください。



TTnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TTnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTTnCCR0レジスタに周期を設定し、そのあとでTTnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTTnCCR0レジスタに周期を設定し、そのあとでTTnCCR1レジスタに同値（すでに設定したTTnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TTnCCR1レジスタのみの設定でかまいません。

TTnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TTnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

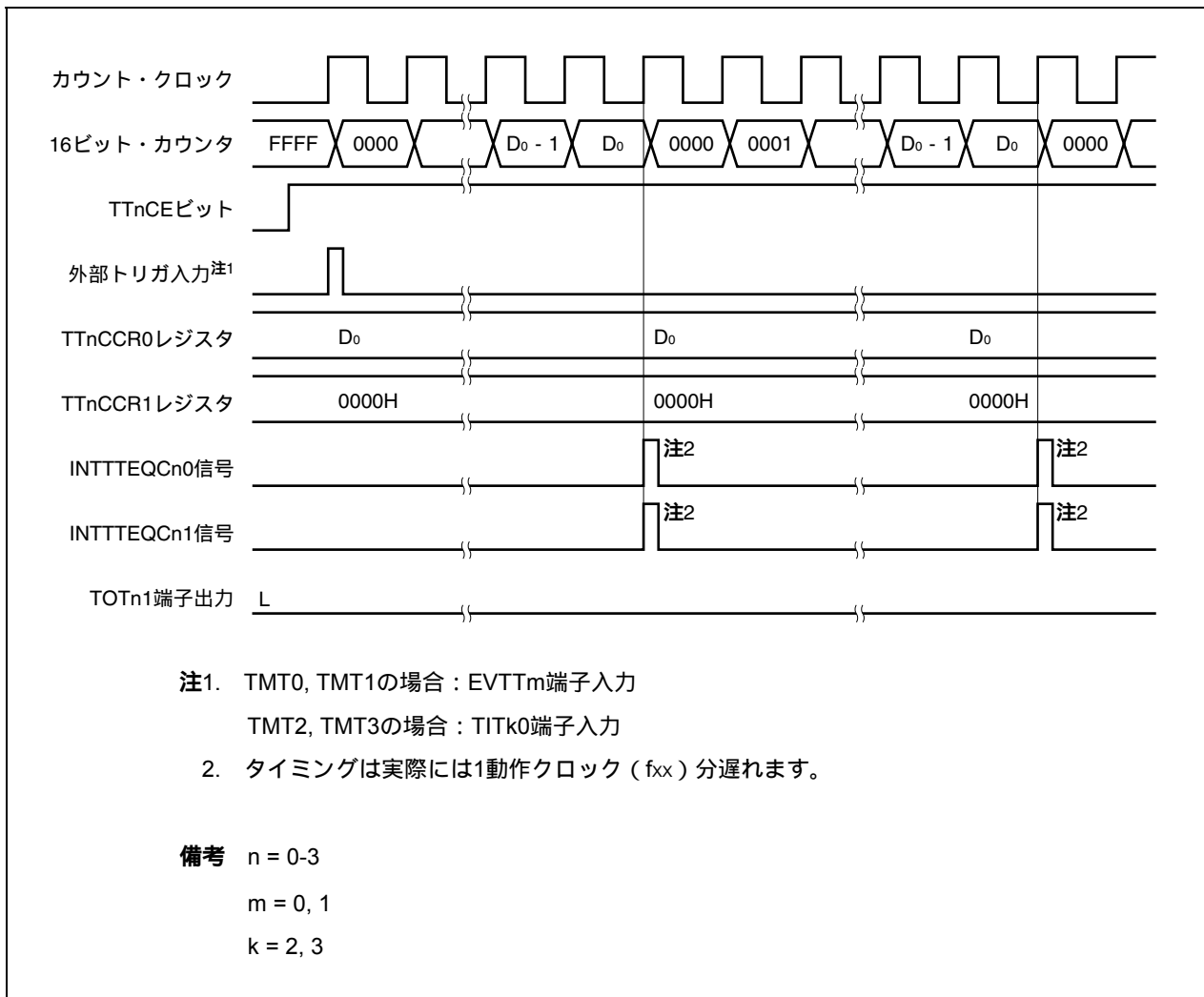
また、一度TTnCCR1レジスタにライトしたあとで、再度TTnCCR0、またはTTnCCR1レジスタへのライトを行う場合は、INTTTEQCn0信号の発生後に行ってください。これを守れない場合には、TTnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TTnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-3

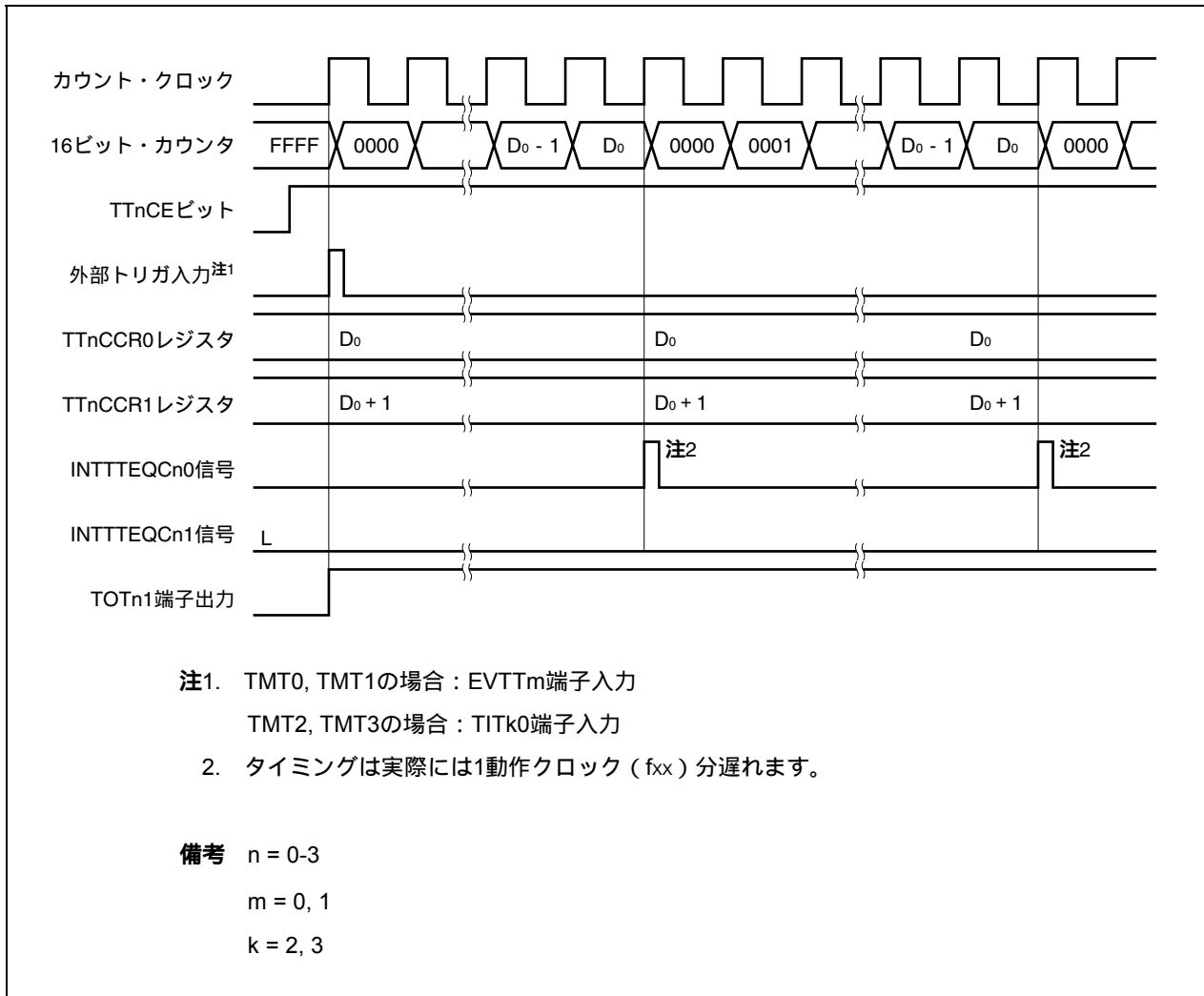
a = 0, 1

(b) PWM波形の0% / 100%出力

0%波形を出力するためには、TTnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTTEQCn0信号とINTTTEQCn1信号が発生します。

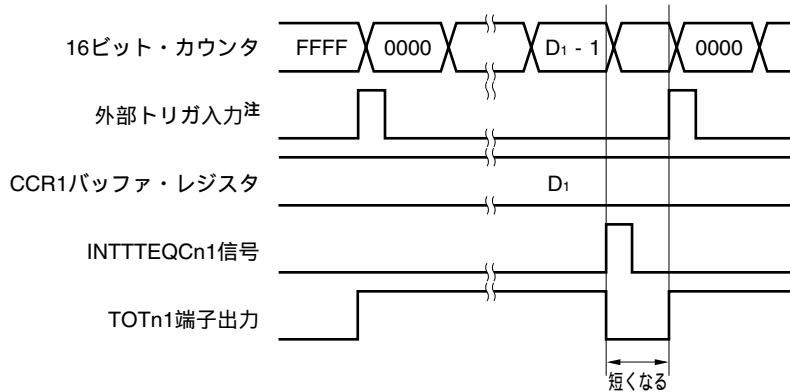


100 % 波形を出力するためには、TTnCCR1レジスタに対して (TTnCCR0レジスタの設定値 + 1) の値を設定してください。TTnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

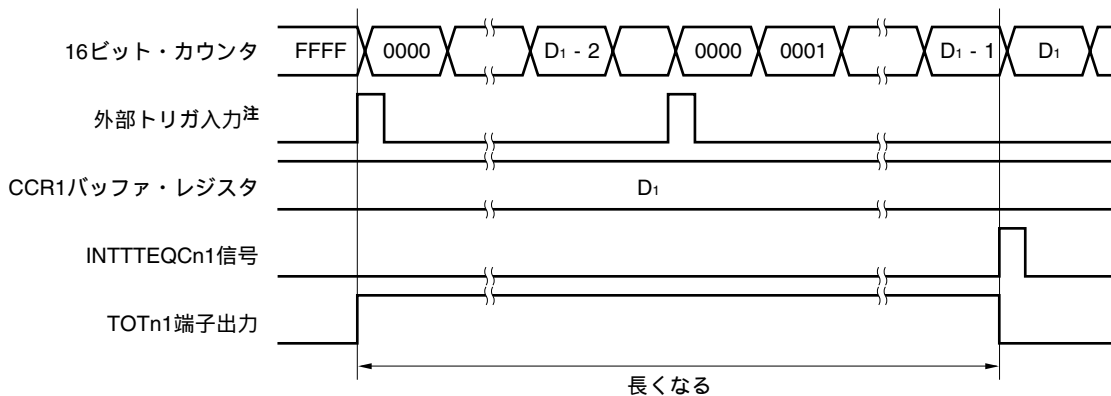
INTTTEQCn1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOTn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。



注 TMT0, TMT1の場合：EVTTm端子入力
TMT2, TMT3の場合：TITk0端子入力

備考 n = 0-3
m = 0, 1
k = 2, 3

INTTTEQCn1信号発生直前にトリガを検出した場合には、INTTTEQCn1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOTn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

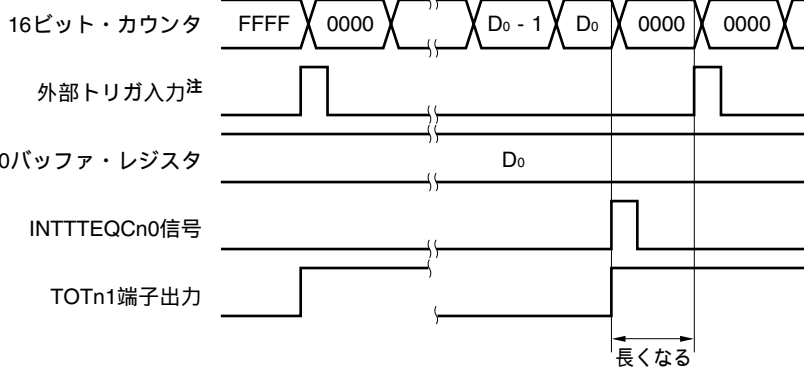


注 TMT0, TMT1の場合：EVTTm端子入力
TMT2, TMT3の場合：TITk0端子入力

備考 n = 0-3
m = 0, 1
k = 2, 3

(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

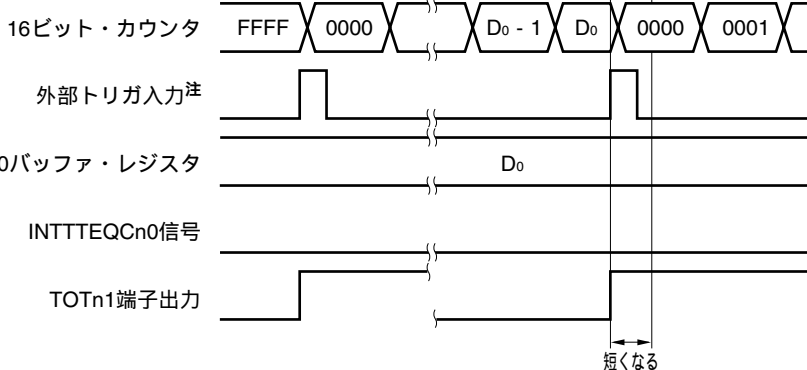
INTTTEQCn0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を続けます。したがって、TOTn1端子出力のアクティブ期間が、INTTTEQCn0信号発生からトリガ検出までの分だけ長くなります。



注 TMT0, TMT1の場合：EVTTm端子入力
TMT2, TMT3の場合：TITk0端子入力

備考 n = 0-3
m = 0, 1
k = 2, 3

INTTTEQCn0信号発生直前にトリガを検出した場合、INTTTEQCn0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOTn1端子出力をアクティブ・レベルにして、カウント動作を続けます。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。

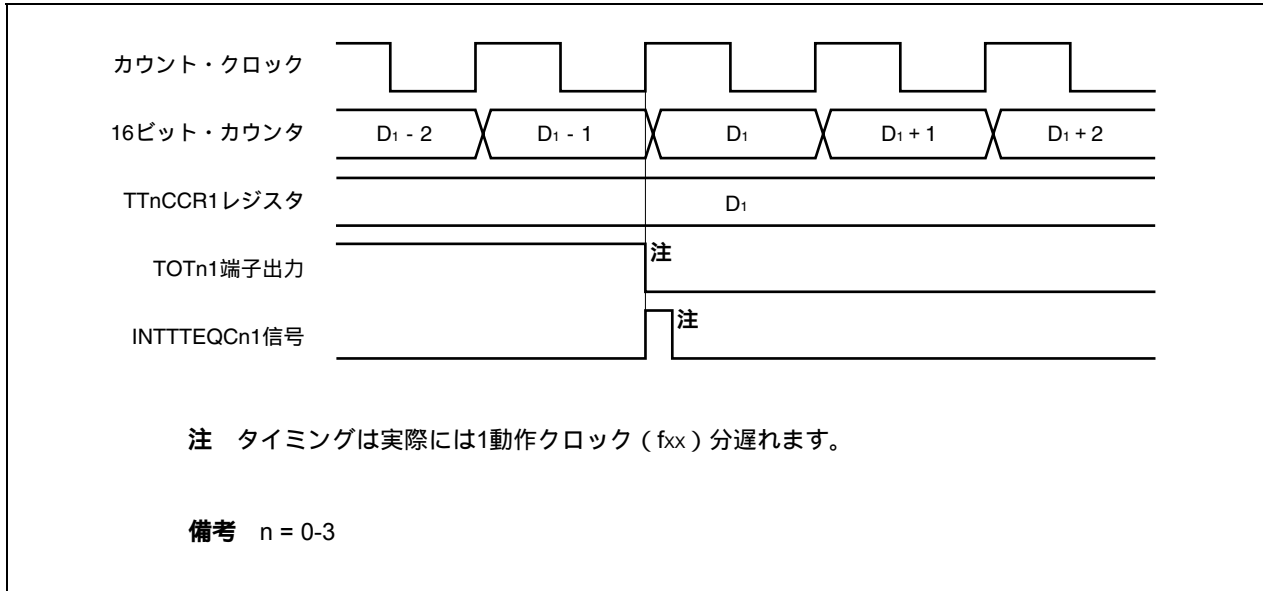


注 TMT0, TMT1の場合：EVTTm端子入力
TMT2, TMT3の場合：TITk0端子入力

備考 n = 0-3
m = 0, 1
k = 2, 3

(e) コンペアー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTTEQCn1信号の発生タイミングは、ほかのモードのINTTTEQCn1信号と異なり、16ビット・カウンタのカウント値とTTnCCR1レジスタの値との一致と同時に発生します。



通常、INTTTEQCn1信号は、16ビット・カウンタのカウント値とTTnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOTn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.6.4 ワンショット・パルス出力モード (TTnMD3-TTnMD0ビット = 0011)

ワンショット・パルス出力モードは、TTnCTL0.TTnCEビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力 (TMT0, TMT1の場合: EVTTm, TMT2, TMT3の場合: TITk0) の有効エッジを検出すると、カウント動作を開始し、TOTn1端子からワンショット・パルスを出力します。

TMT0, TMT1の場合、TOTm0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。

TMT2, TMT3の場合、外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOTk0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

図8 - 27 TMT0, TMT1のワンショット・パルス出力モードの構成図

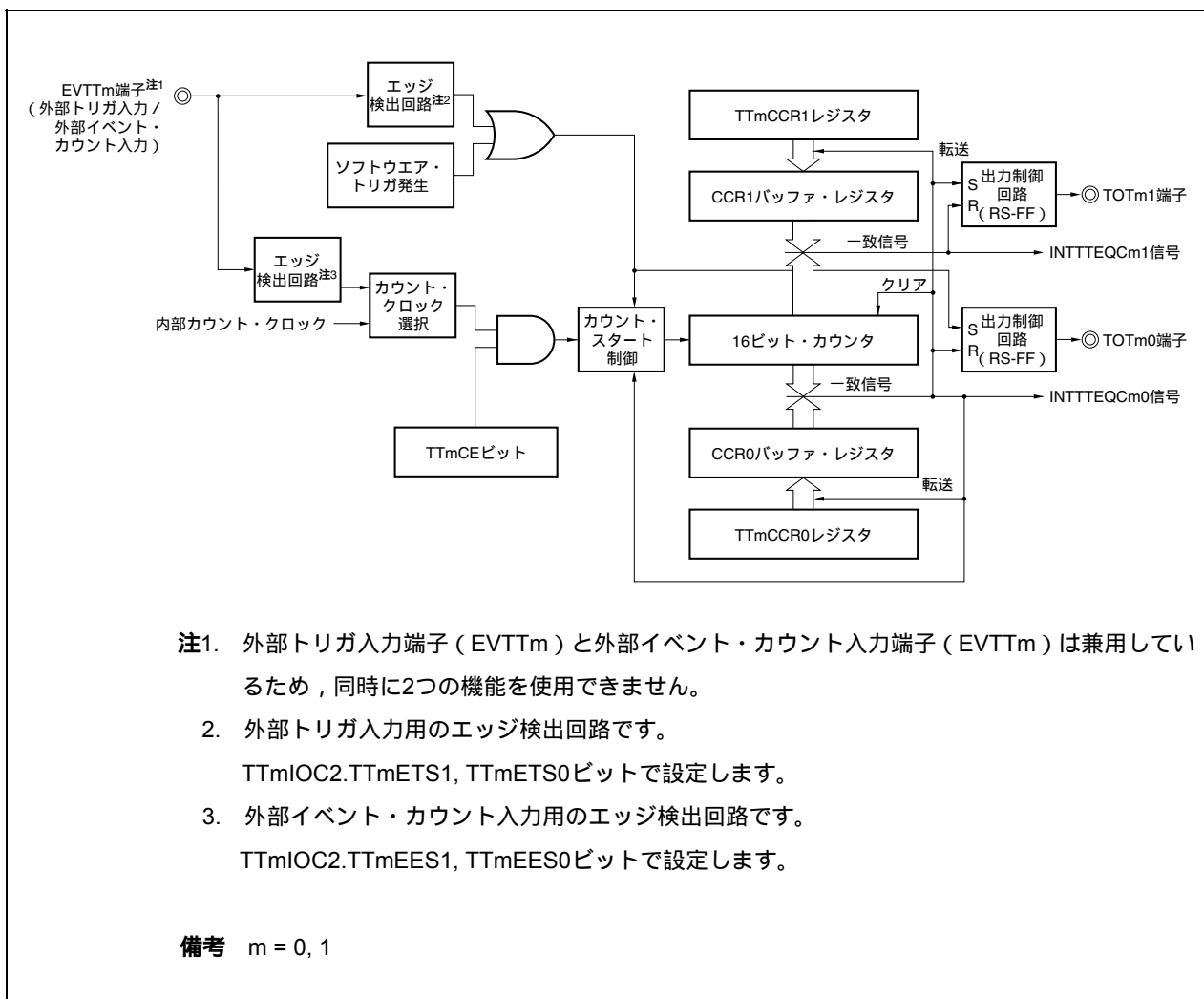


図8 - 28 TMT2, TMT3のワンショット・パルス出力モードの構成図

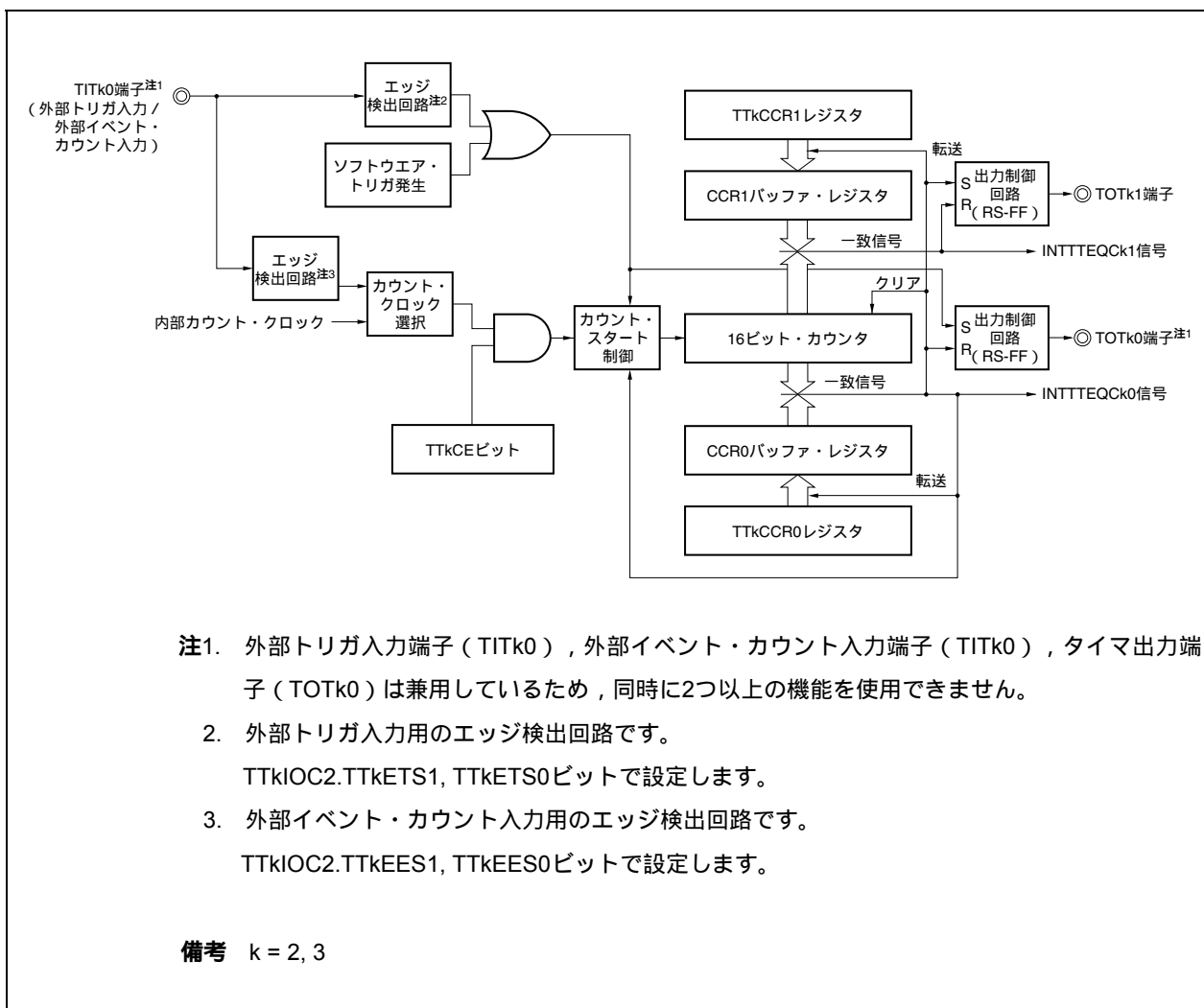
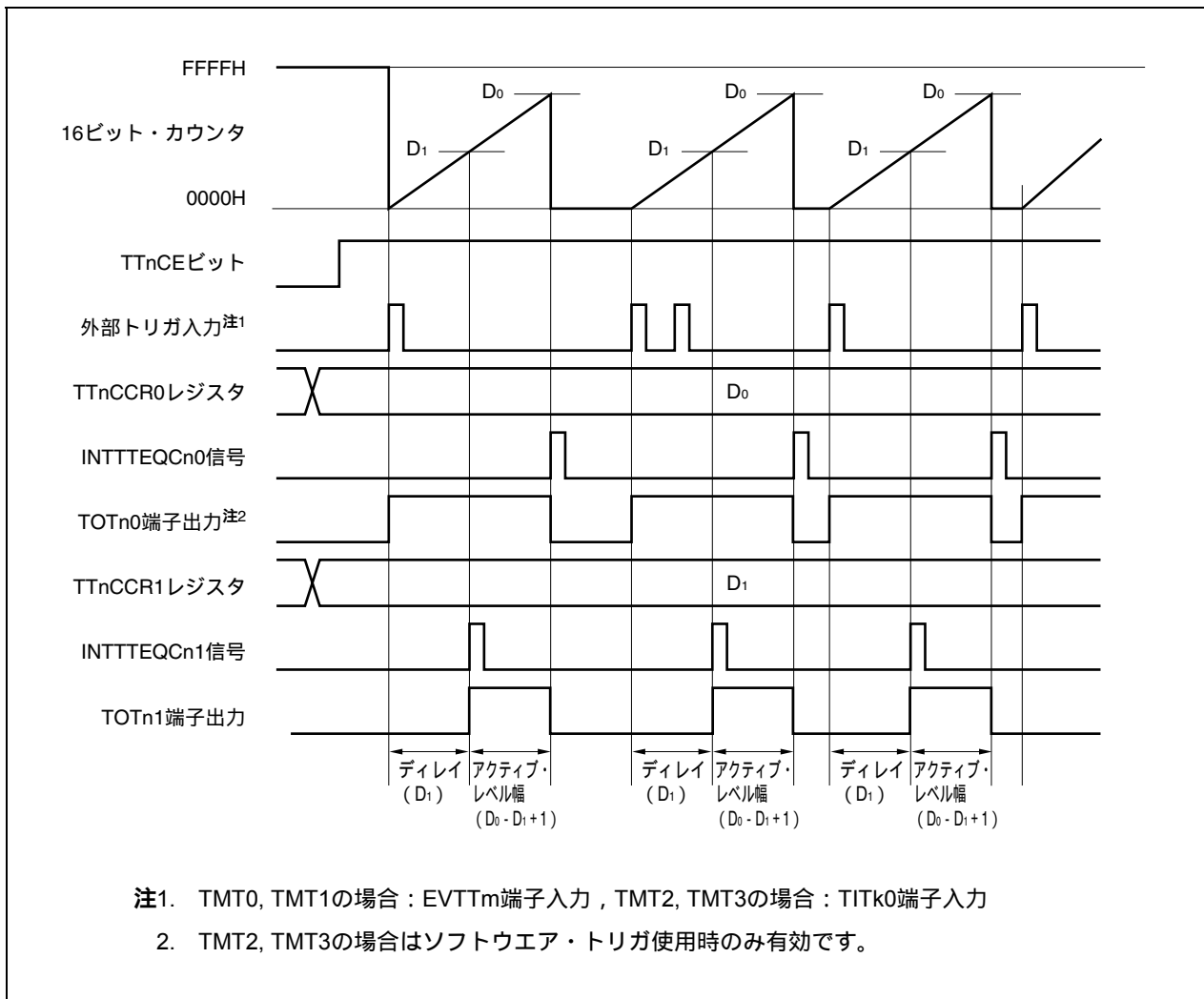


図8 - 29 ワンショット・パルス出力モードの基本タイミング



TTnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOTn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TTnCCR1レジスタの設定値}) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TTnCCR0レジスタの設定値} - \text{TTnCCR1レジスタの設定値} + 1) \\ \times \text{カウント} \cdot \text{クロック周期}$$

コンペアー一致割り込み要求信号 (INTTTEQCn0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTTEQCn1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TMT0, TMT1の場合: EVTTm端子, TMT2, TMT3の場合: TITk0端子) の有効エッジ, またはソフトウェア・トリガ (TTnCTL1.TTnESTビット) のセット (1) があります。

備考 n = 0-3
m = 0, 1
k = 2, 3

図8 - 30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

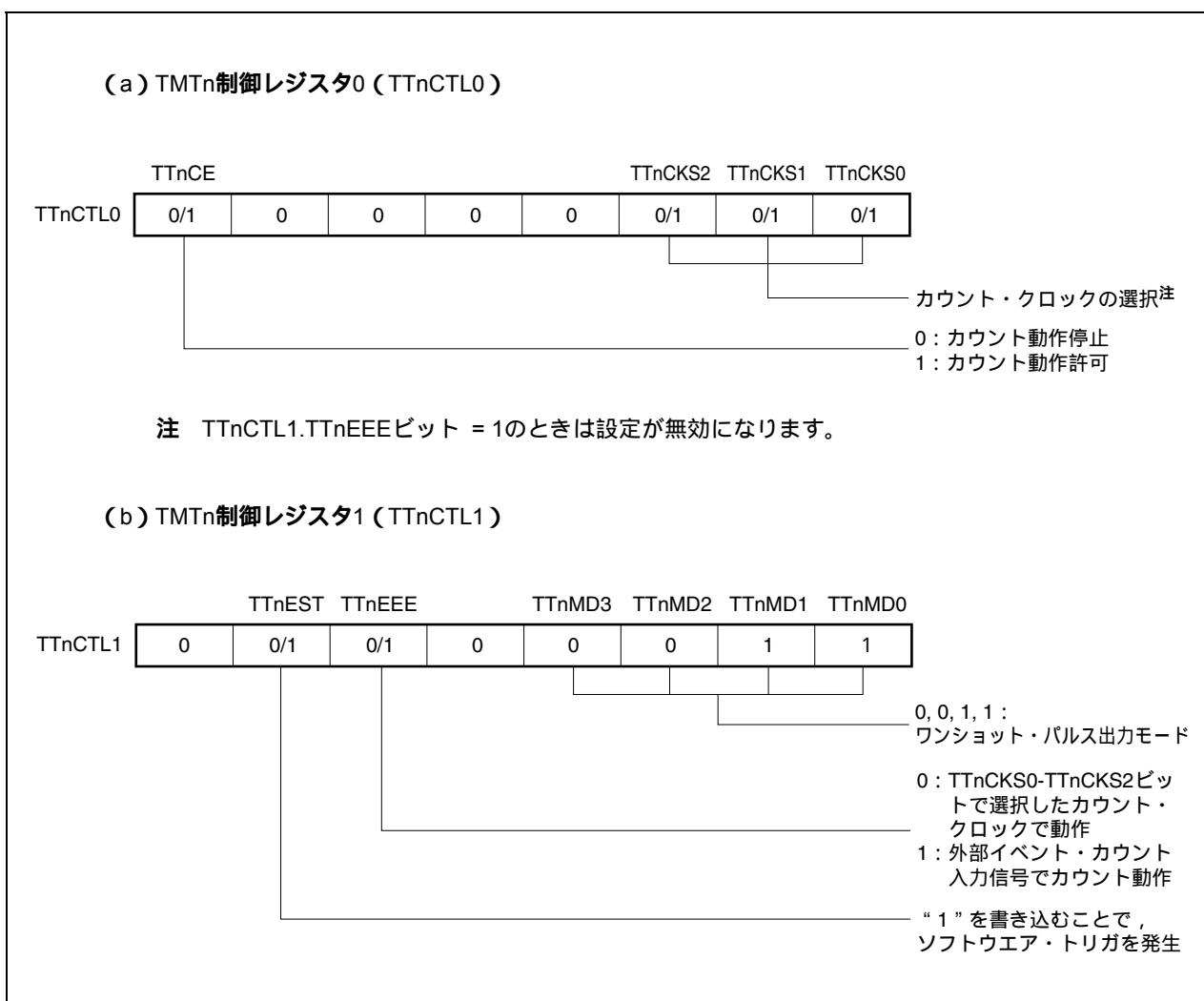


図8 - 30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

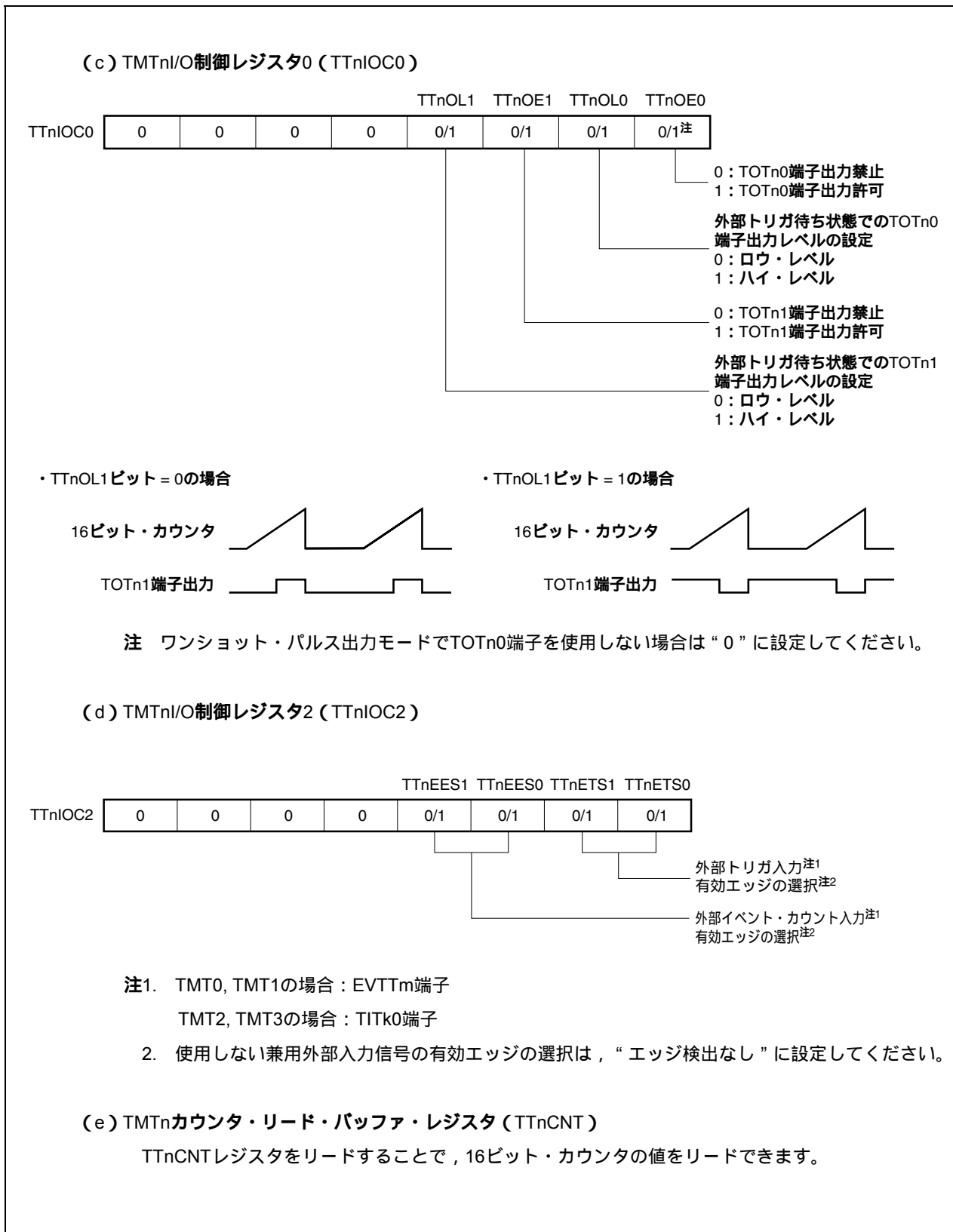


図8 - 30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TMTnキャプチャ/コンペア・レジスタ0, 1 (TTnCCR0, TTnCCR1)

TTnCCR0レジスタにD₀を設定し, TTnCCR1レジスタにD₁を設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D₁ + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D₁ × カウント・クロック周期

となります。

注意 ワンショット・パルス出力モードにおいて, TTnCCR1レジスタの設定値が, TTnCCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

備考1. TMTm制御レジスタ2 (TTmCTL2), TMTnI/O制御レジスタ1 (TTnIOC1), TMTmI/O制御レジスタ3 (TTmIOC3), TMTnオプション・レジスタ0 (TTnOPT0), TMTmオプション・レジスタ1 (TTmOPT1), TMTmキャプチャ入力選択レジスタ (TTISLm), TMTmカウンタ・ライト・レジスタ (TTmTCW) は, ワンショット・パルス出力モードでは使用しません。

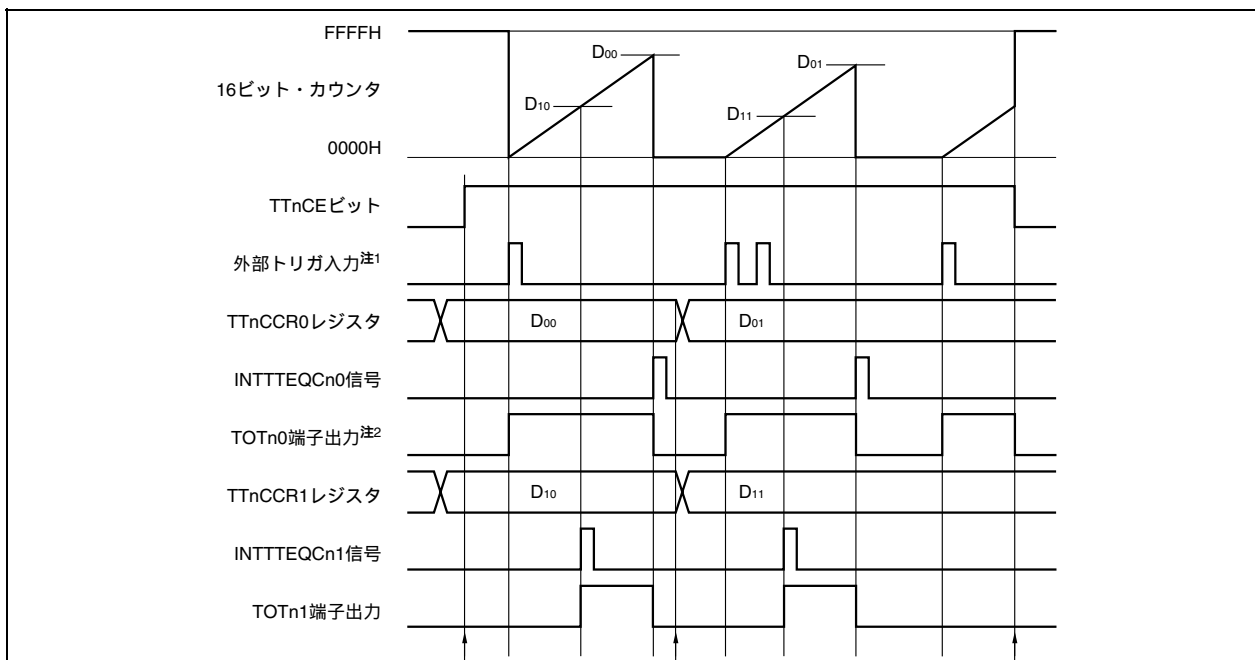
2. n = 0-3

m = 0, 1

k = 2, 3

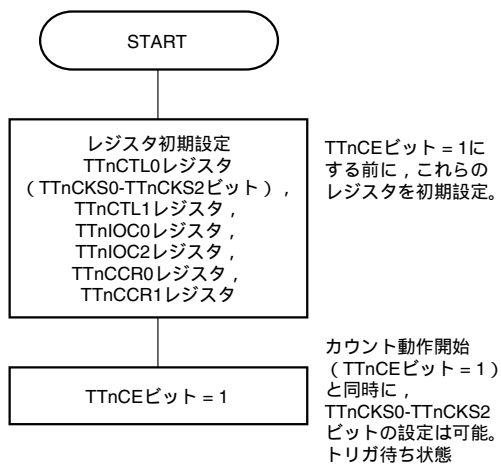
(1) ワンショット・パルス出力モード動作フロー

図8 - 31 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

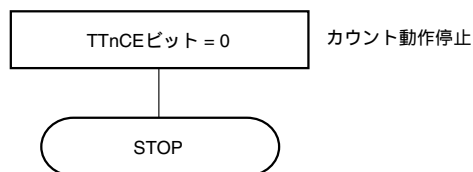


- 注1. TMT0, TMT1の場合 : EVTTm端子入力, TMT2, TMT3の場合 : TITk0端子入力
- 2. TMT2, TMT3の場合はソフトウェア・トリガ使用時のみ有効です。

カウント動作開始フロー



カウント動作停止フロー



TnCCR0, TnCCR1レジスタ設定変更フロー

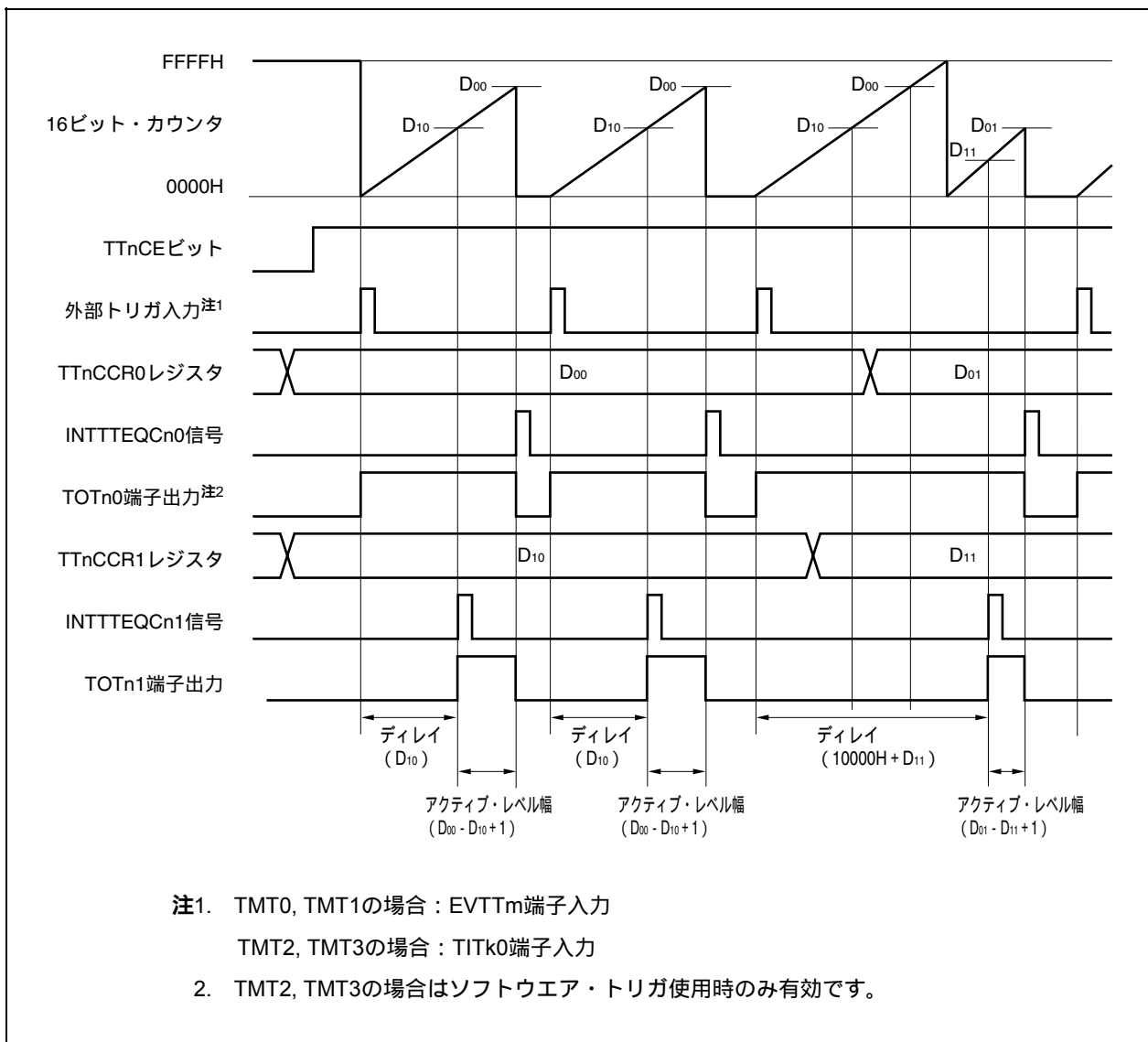


備考 n = 0-3, a = 0, 1

(2) ワンショット・パルス出力モード動作タイミング

(a) TTnCCRaレジスタの書き換えに関する注意事項

カウント動作中にTTnCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TTnCCR0レジスタをD₀₀からD₀₁に, TTnCCR1レジスタをD₁₀からD₁₁に書き換える場合において, D₀₀ > D₀₁, D₁₀ > D₁₁の状態では, 16ビット・カウンタのカウンタ値がD₁₁よりも大きくD₁₀よりも小さい状態のときTTnCCR1レジスタを書き換え, カウンタ値がD₀₁よりも大きくD₀₀よりも小さい状態でTTnCCR0レジスタを書き換えた場合, 書き換えたタイミングで, それぞれの設定値は反映されてカウンタ値と比較されるために, カウンタ値はFFFFHまでカウンタ動作を行い, その後, 0000Hから再度カウンタ・アップを行います。そして, D₁₁との一致でINTTTEQCn1信号を発生してTOTn1端子出力をアクティブ・レベルにし, D₀₁との一致でINTTTEQCn0信号を発生してTOTn1端子出力をインアクティブにしてカウンタ動作を停止します。

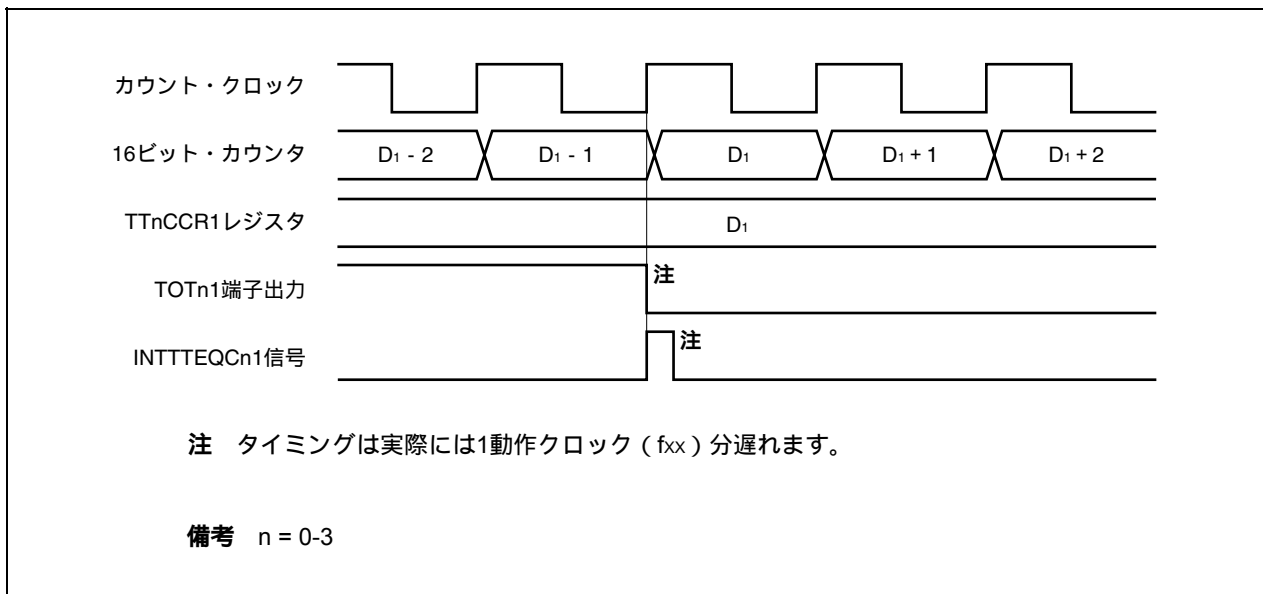
したがって, 本来期待しているワンショット・パルス出力に対し, デレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-3

a = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTTEQCn1信号の発生タイミングは, ほかのモードのINTTTEQCn1信号と異なり, 16ビット・カウンタのカウンタ値とTTnCCR1レジスタの値との一致と同時に発生します。



通常, INTTTEQCn1信号は, 16ビット・カウンタのカウンタ値とTTnCCR1レジスタの値との一致後, 次のカウンタ・アップに同期して発生します。

しかし, ワンショット・パルス出力モードの場合, 1クロック早いタイミングで発生します。これは, TOTn1端子出力の変化タイミングとあわせるために, タイミングを変更しているからです。

8.6.5 PWM出力モード (TTnMD3-TTnMD0ビット = 0100)

PWM出力モードは、TTnCTL0.TTnCEビットをセット(1)することで、TOTn1端子からPWM波形を出力します。

また、TOTn0端子から、TTnCCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力します。

図8-32 TMT0, TMT1のPWM出力モードの構成図

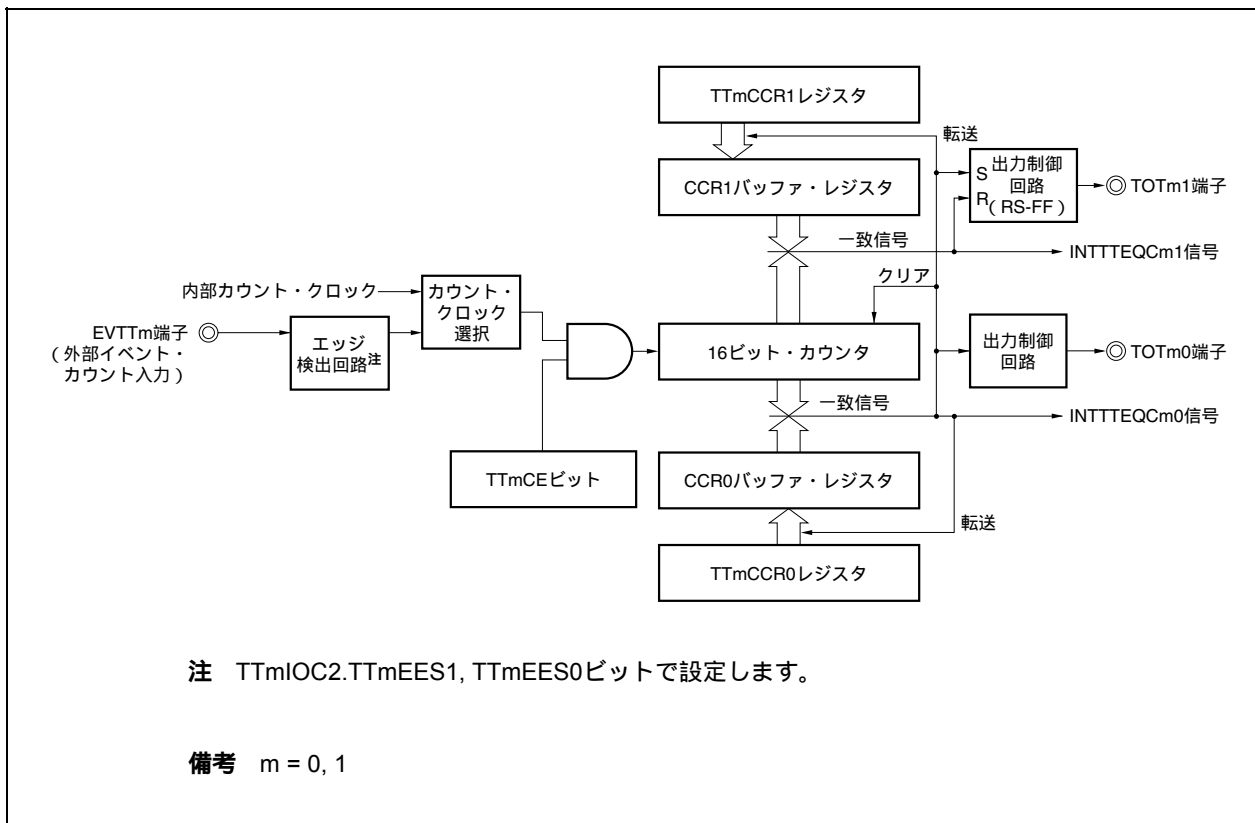


図8 - 33 TMT2, TMT3のPWM出力モードの構成図

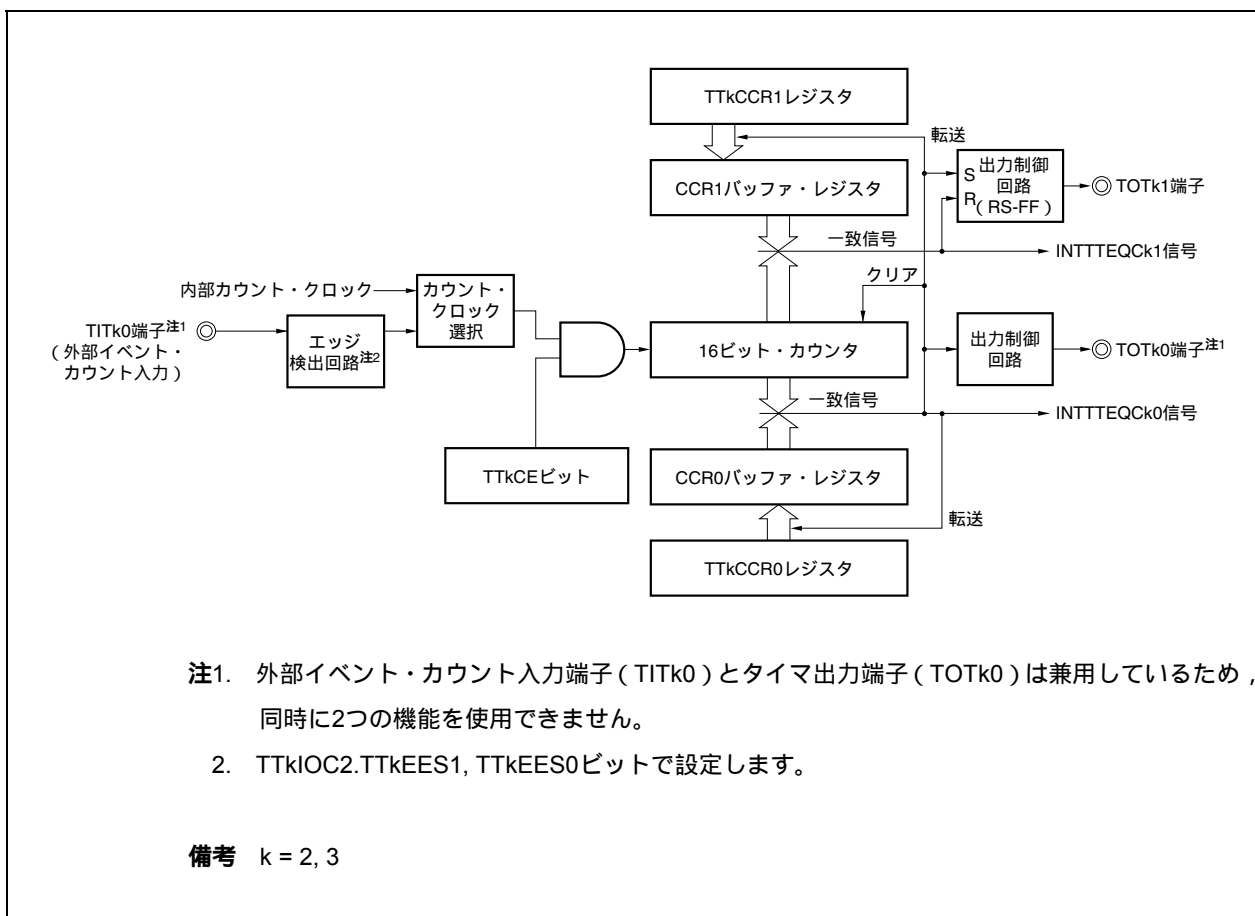
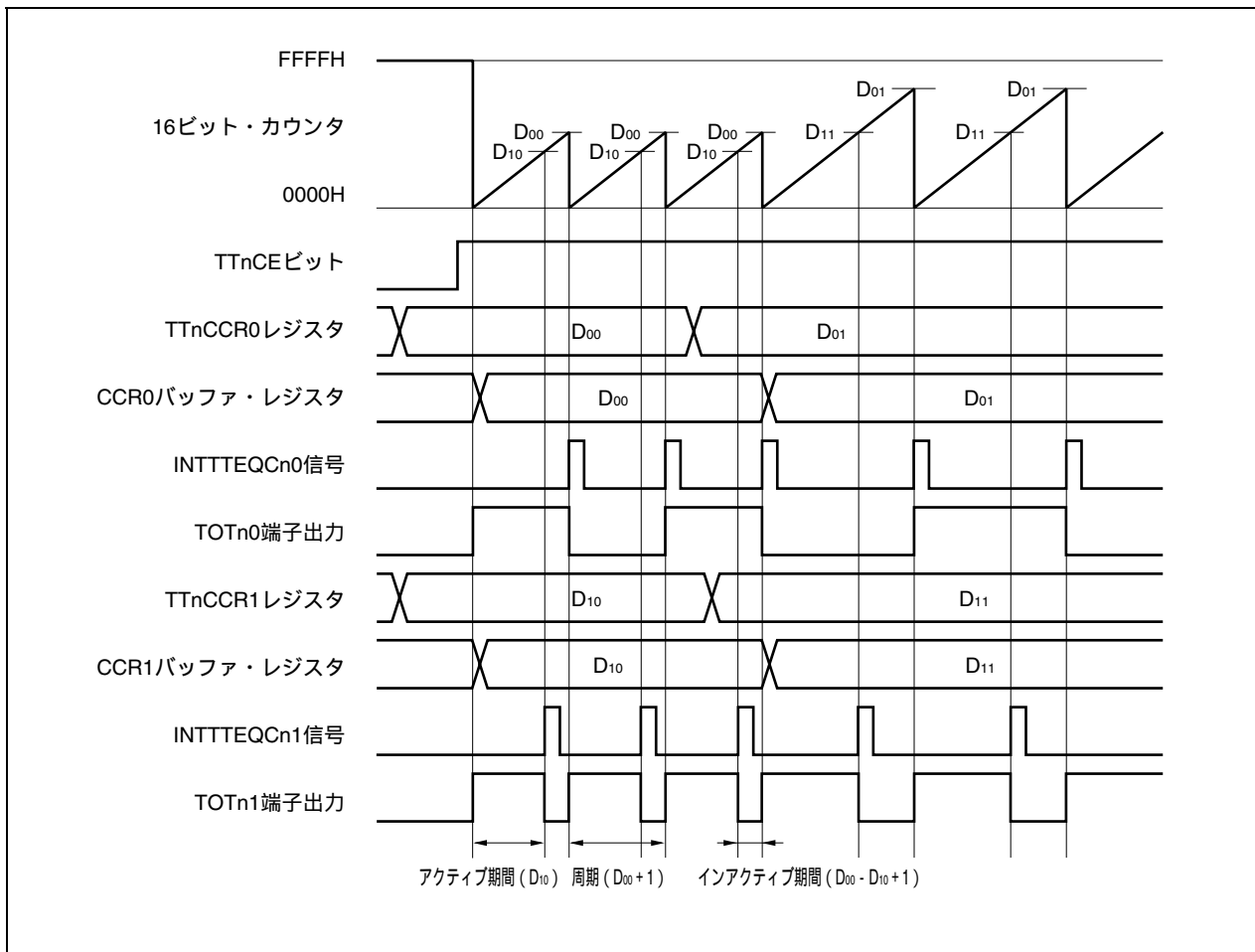


図8 - 34 PWM出力モードの基本タイミング



TTnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOTn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TTnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TTnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TTnCCR1レジスタの設定値}) / (\text{TTnCCR0レジスタの設定値} + 1)$$

動作中にTTnCCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTTEQn0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTTEQn1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TTnCCRaレジスタに設定した値は、16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

備考 n = 0-3, a = 0, 1

図8 - 35 PWM出力モード動作時のレジスタ設定内容 (1/2)

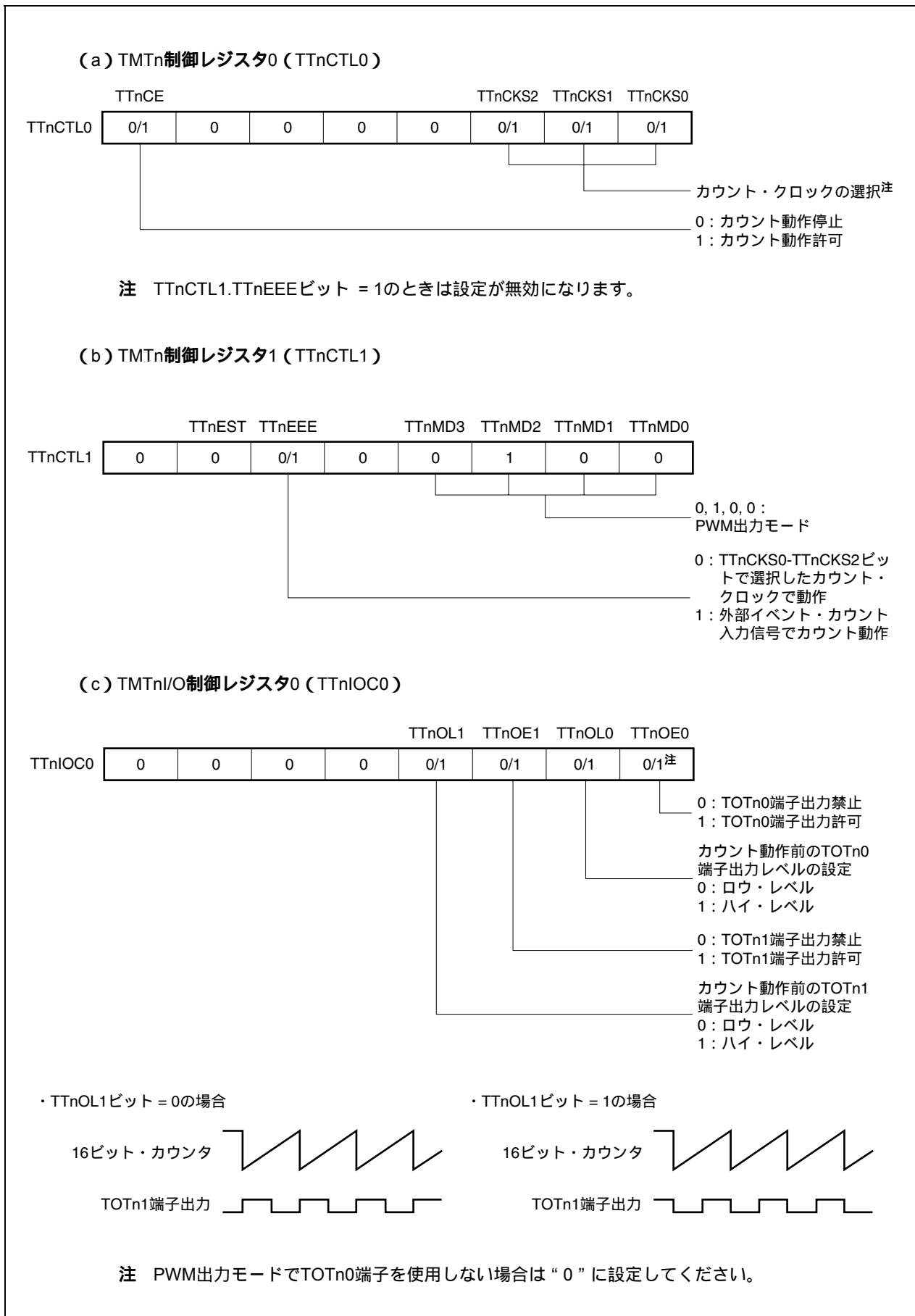
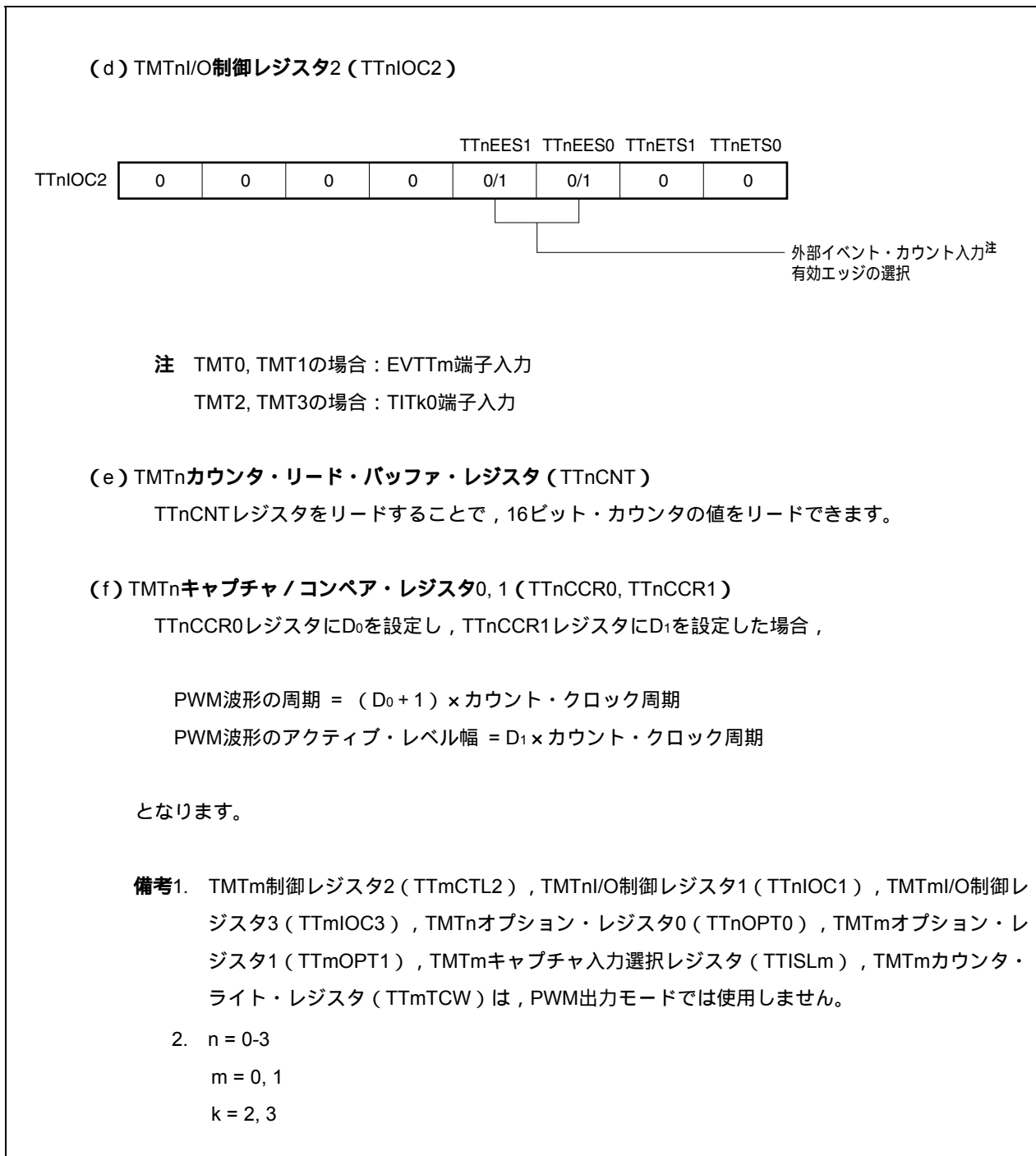


図8 - 35 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図8 - 36 PWM出力モード使用時のソフトウェア処理フロー (1/2)

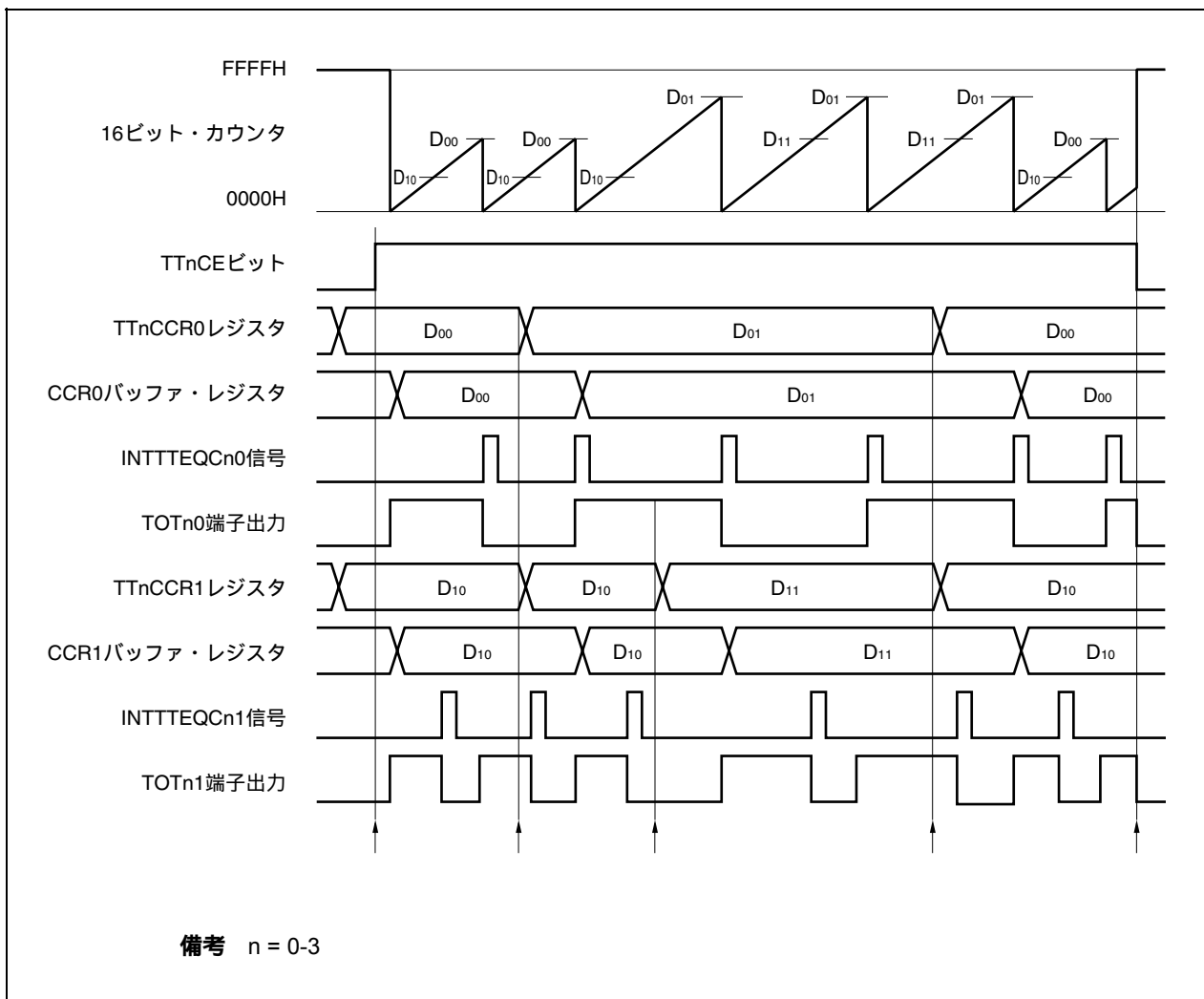
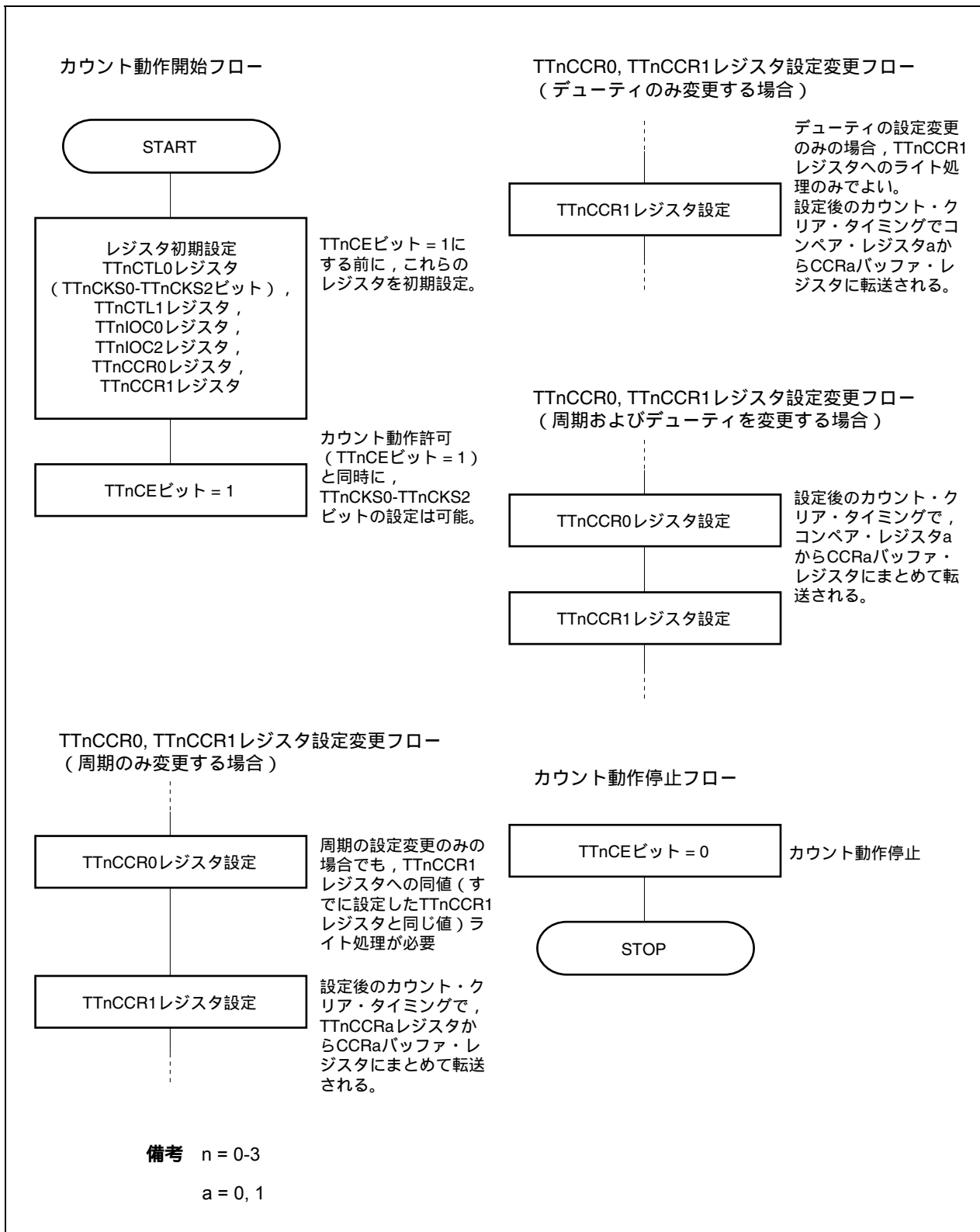


図8 - 36 PWM出力モード使用時のソフトウェア処理フロー (2/2)

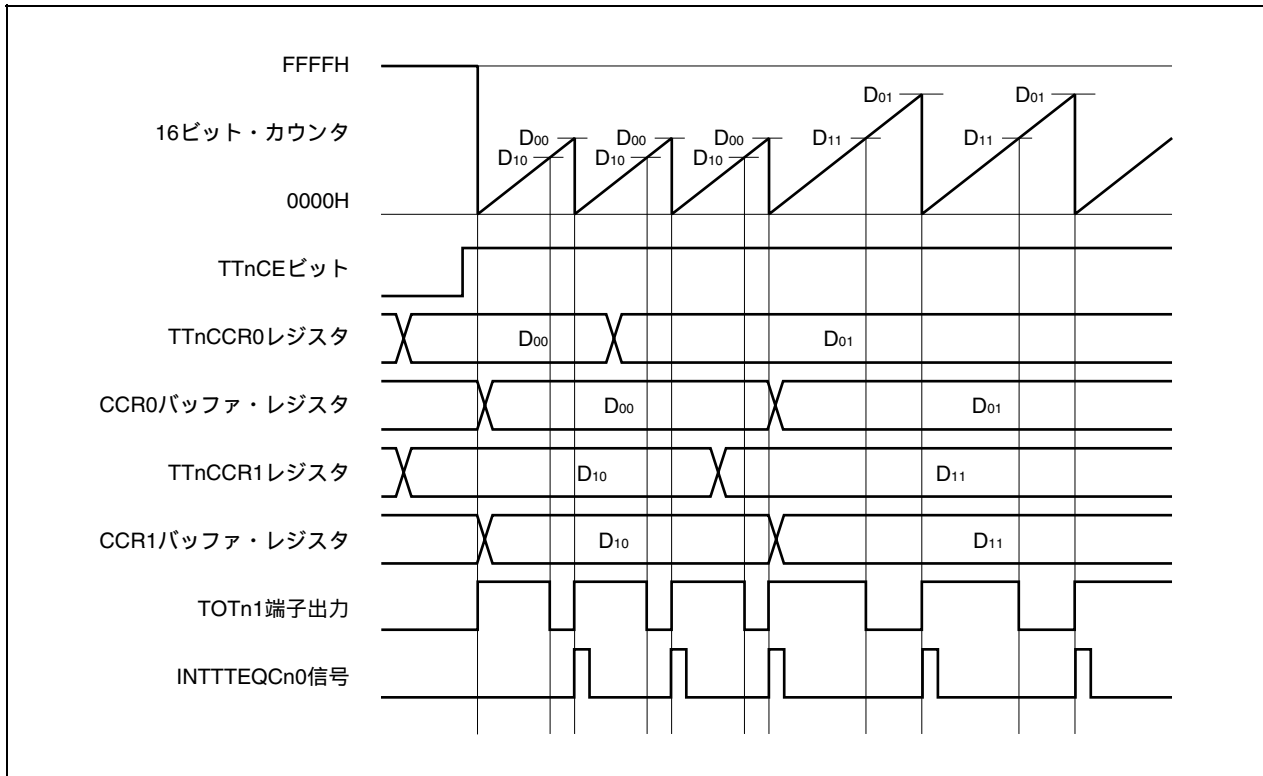


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTTnCCR1レジスタにライトしてください。

TTnCCR1レジスタにライト後、再度TTnCCRaレジスタの書き換えを行う場合には、INTTTEQCn0信号を検出後に書き換えてください。



TTnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TTnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTTnCCR0レジスタに周期を設定し、そのあとでTTnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTTnCCR0レジスタに周期を設定し、そのあとでTTnCCR1レジスタに同値（すでに設定したTTnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TTnCCR1レジスタのみの設定でかまいません。

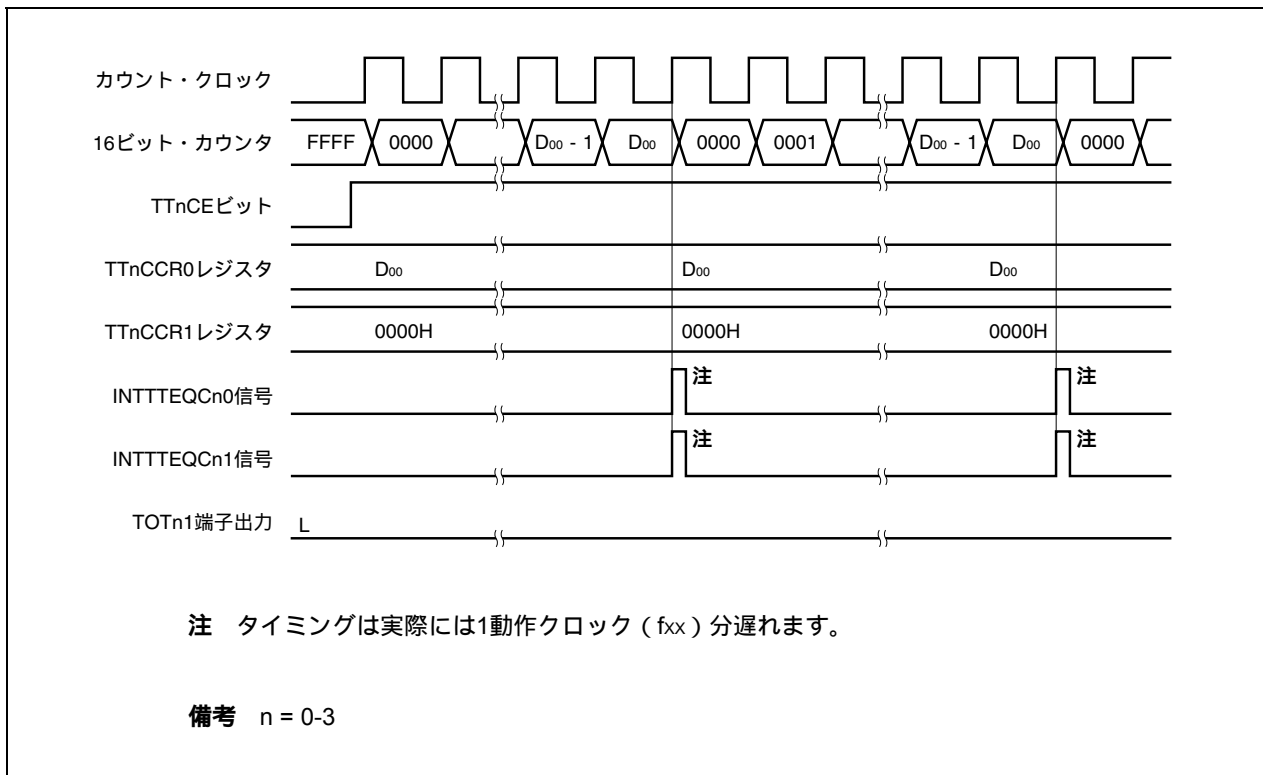
TTnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TTnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TTnCCR1レジスタにライトしたあとで、再度TTnCCR0、またはTTnCCR1レジスタへのライトを行う場合は、INTTTEQCn0信号の発生後に行ってください。これを守れない場合には、TTnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TTnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

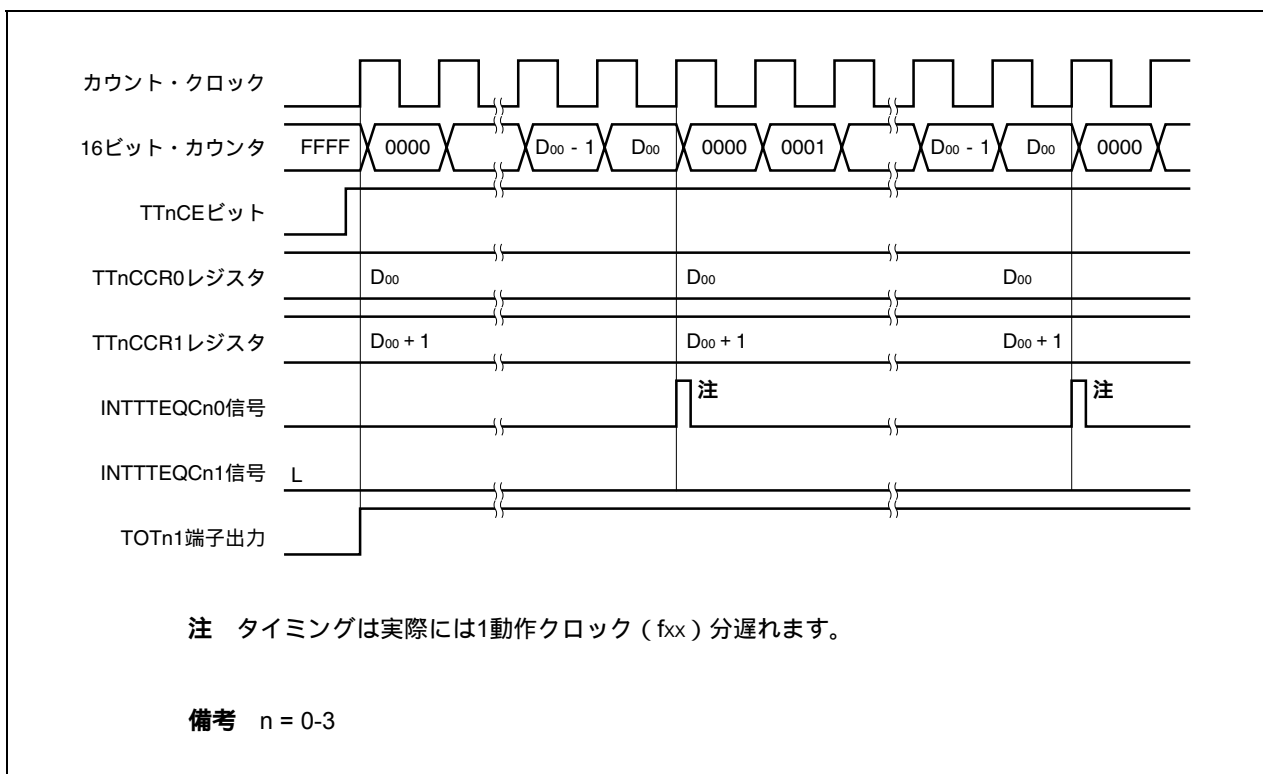
備考 n = 0-3, a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TTnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTTEQCn0信号とINTTTEQCn1信号が発生します。

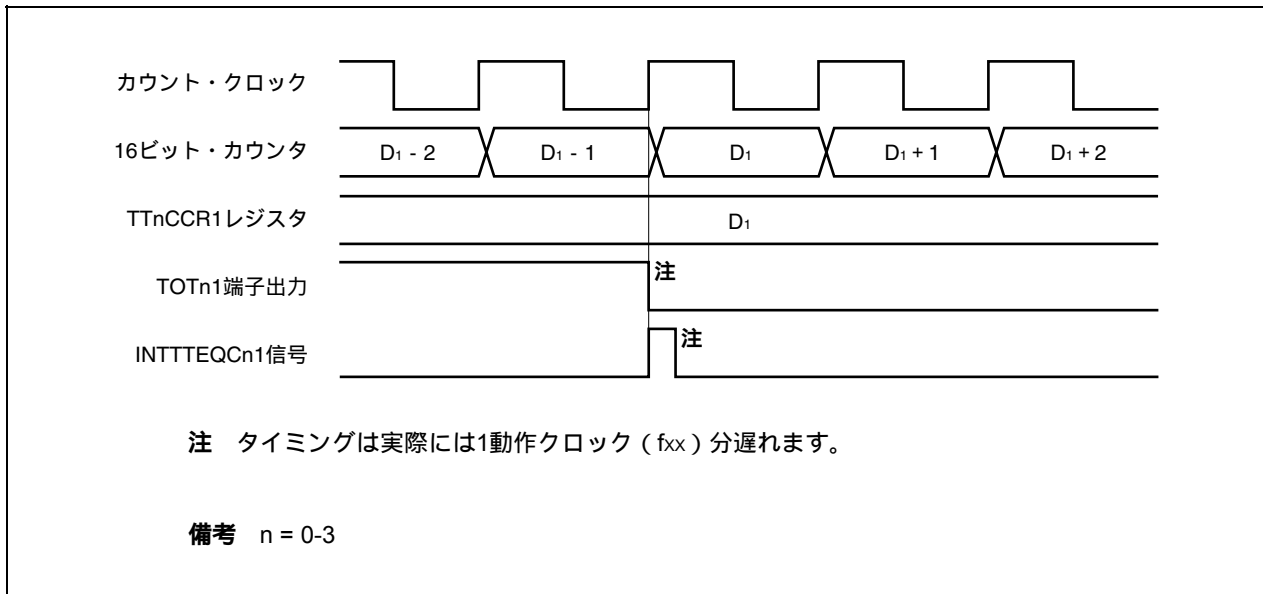


100 % 波形を出力するためには、TTnCCR1レジスタに対して (TTnCCR0レジスタの設定値 + 1) の値を設定してください。TTnCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTTEQCn1) の発生タイミング

PWM出力モードにおけるINTTTEQCn1信号の発生タイミングは、ほかのモードのINTTTEQCn1信号と異なり、16ビット・カウンタのカウント値とTTnCCR1レジスタの値との一致と同時に発生します。



通常、INTTTEQCn1信号は、16ビット・カウンタのカウント値とTTnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOTn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.6.6 フリー・ランニング・タイマ・モード (TTnMD3-TTnMD0ビット = 0101)

フリー・ランニング・タイマ・モードは、TTnCTL0.TTnCEビットをセット(1)することでカウント動作を開始します。このときのTTnCCR0, TTnCCR1レジスタの動作は、TTnOPT0.TTnCCS0, TTnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図8-37 TMT0, TMT1のフリー・ランニング・タイマ・モードの構成図

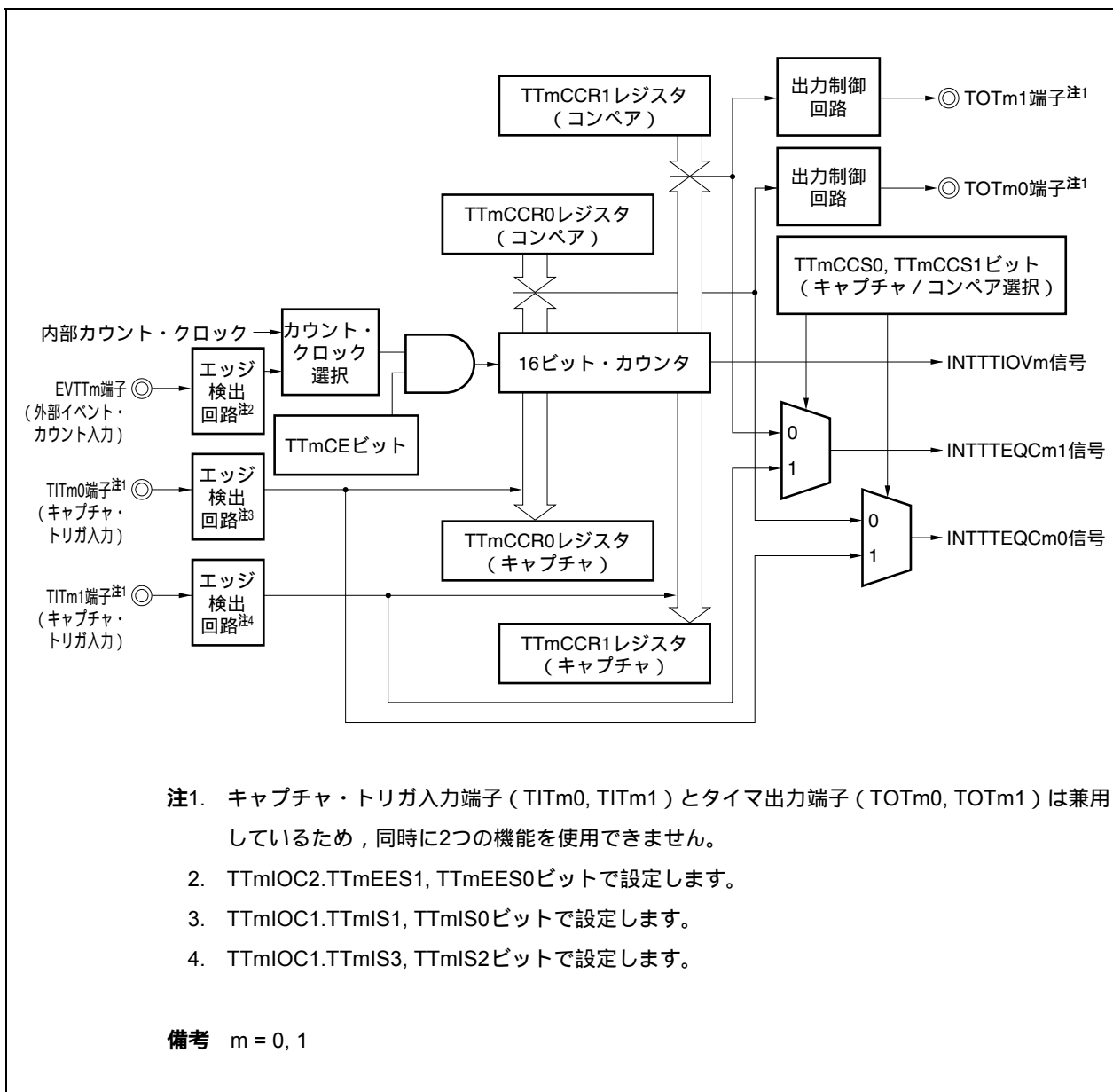
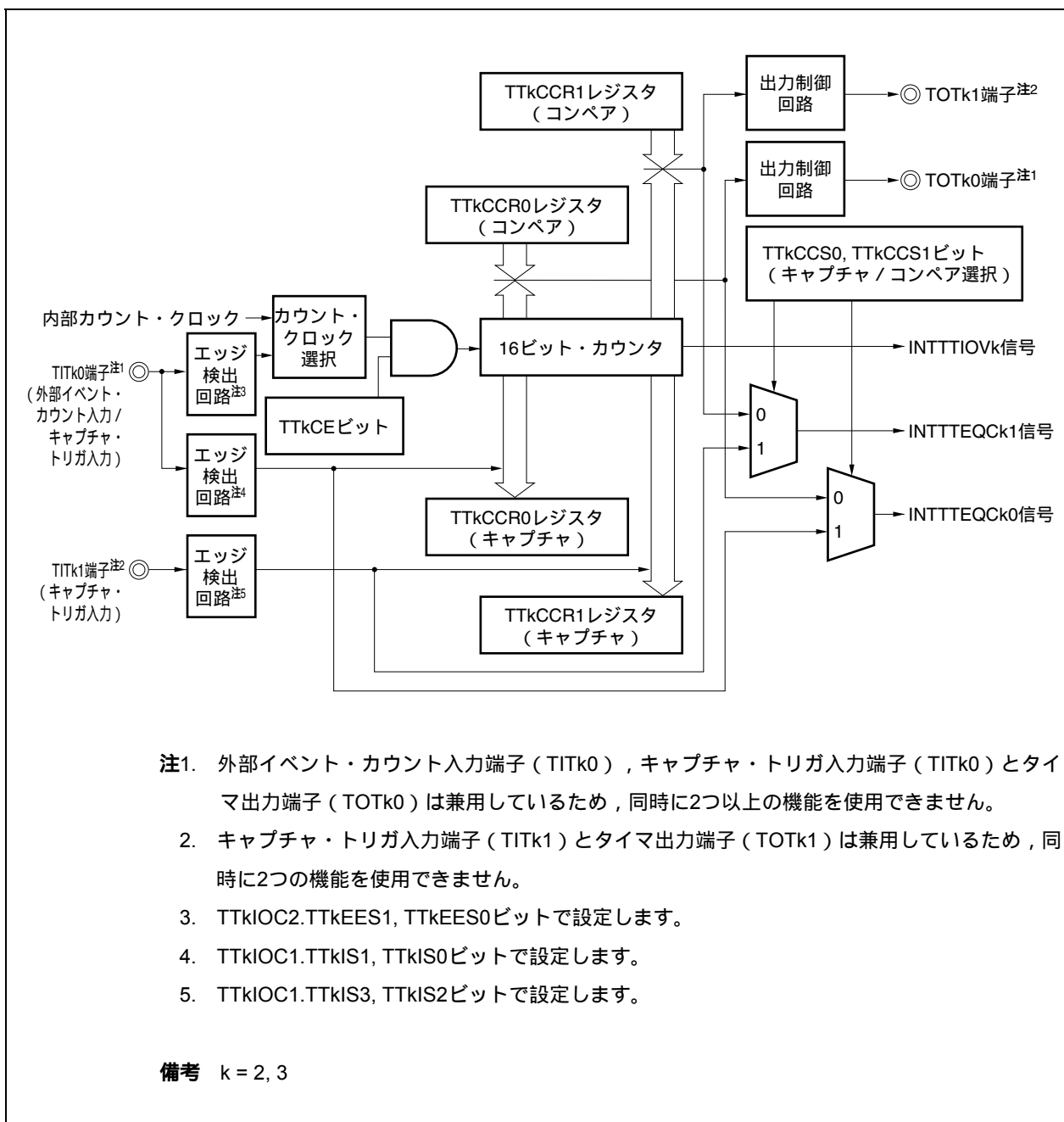


図8 - 38 TMT2, TMT3のフリー・ランニング・タイマ・モードの構成図



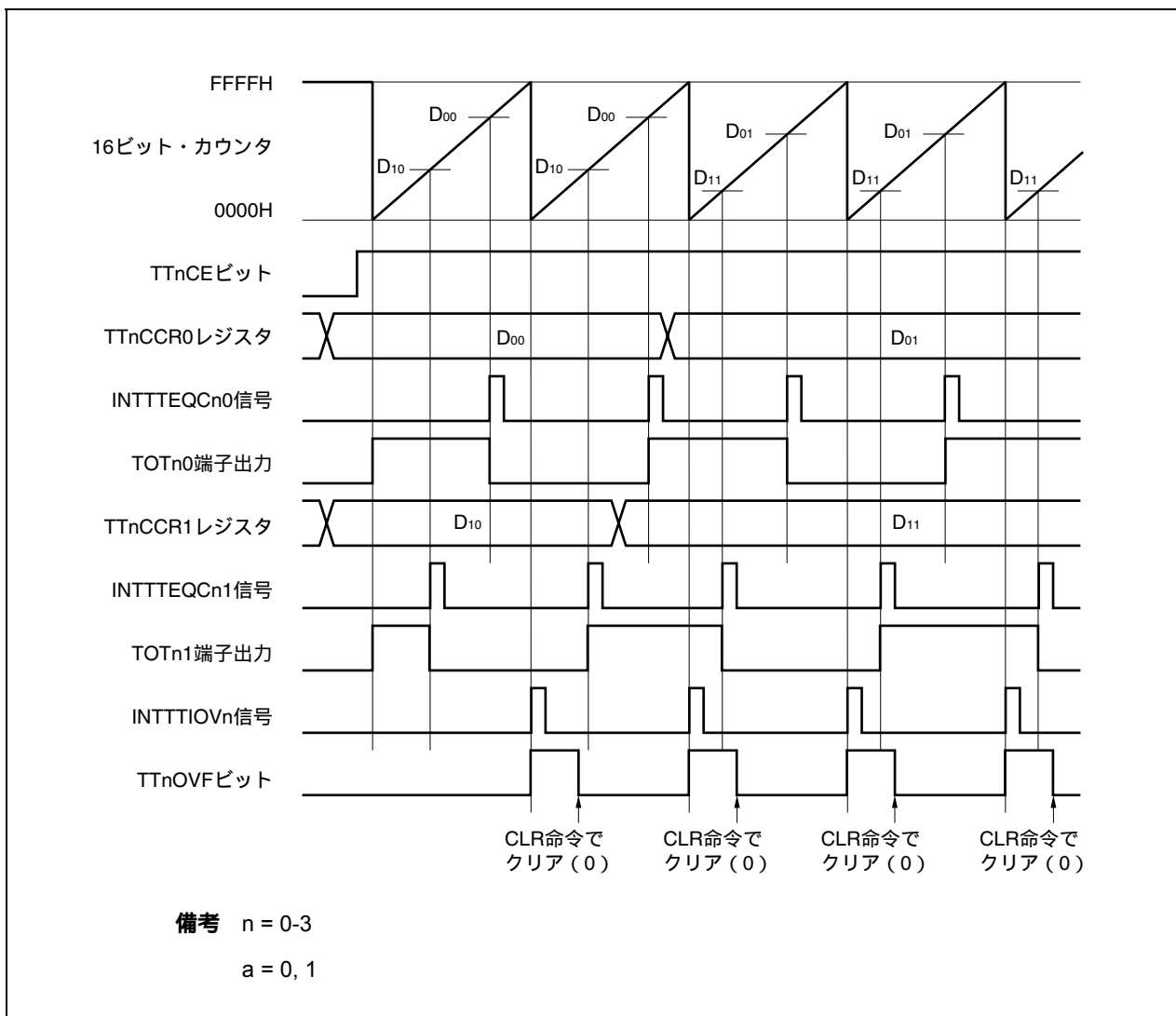
・コンペア動作

TTnCEビットをセット (1) することで、カウント動作を開始し、TOTna端子出力を反転します。その後、16ビット・カウンタのカウント値とTTnCCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCna) を発生し、TOTna端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTTIOVn) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TTnOPT0.TTnOVFビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されているのを確認してからソフトウェアでCLR命令を実行してクリア (0) してください。

TTnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えした場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図8 - 39 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TTnCEビットをセット (1) することで、カウント動作を開始します。その後、TITna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTTnCCRaレジスタに格納し、キャプチャ割り込み要求信号 (INTTTEQCna) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTTIOVn) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TTnOPT0.TTnOVFビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されていることを確認してからソフトウェアでCLR命令を実行してクリア (0) してください。

図8 - 40 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

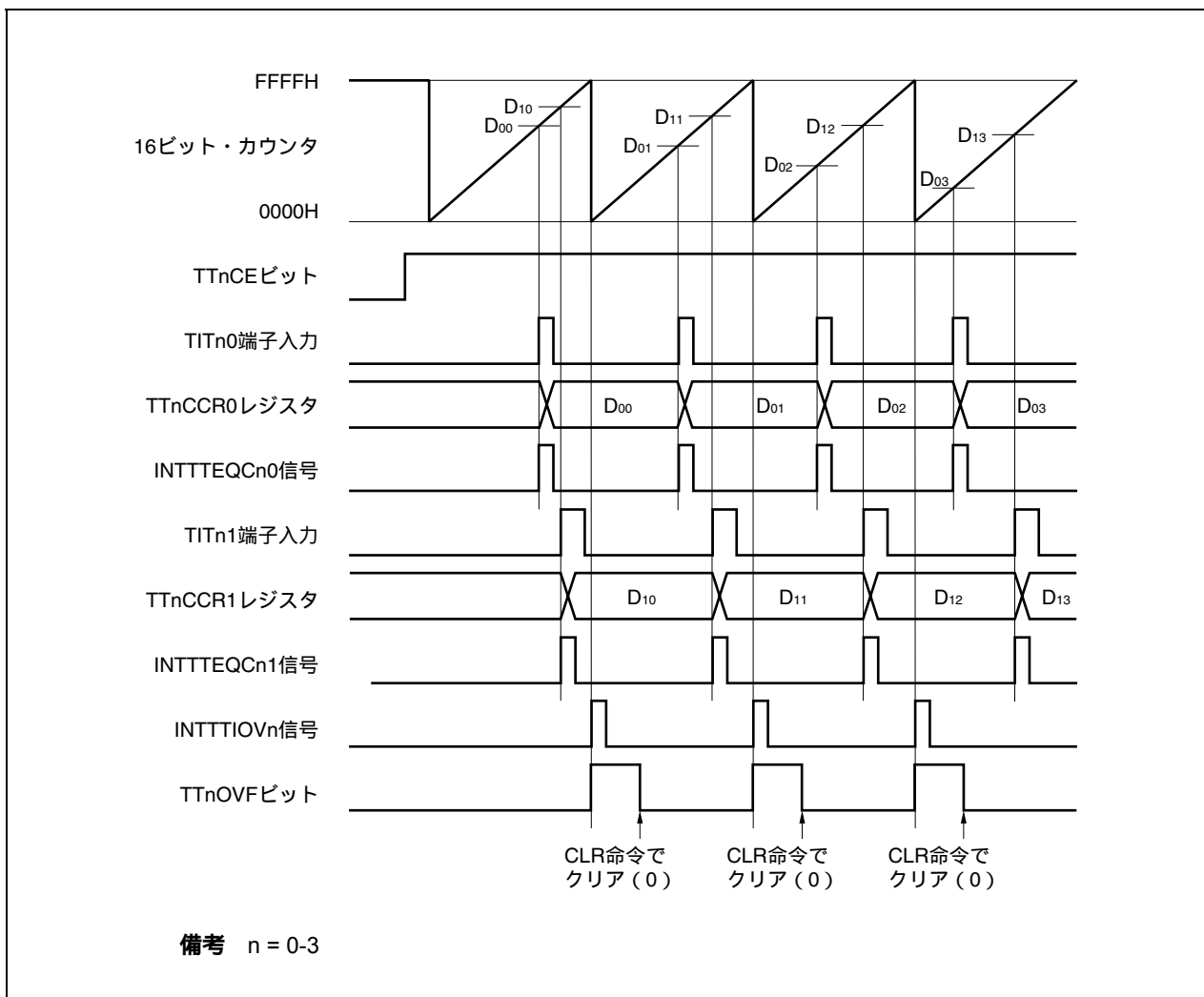


図8 - 41 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

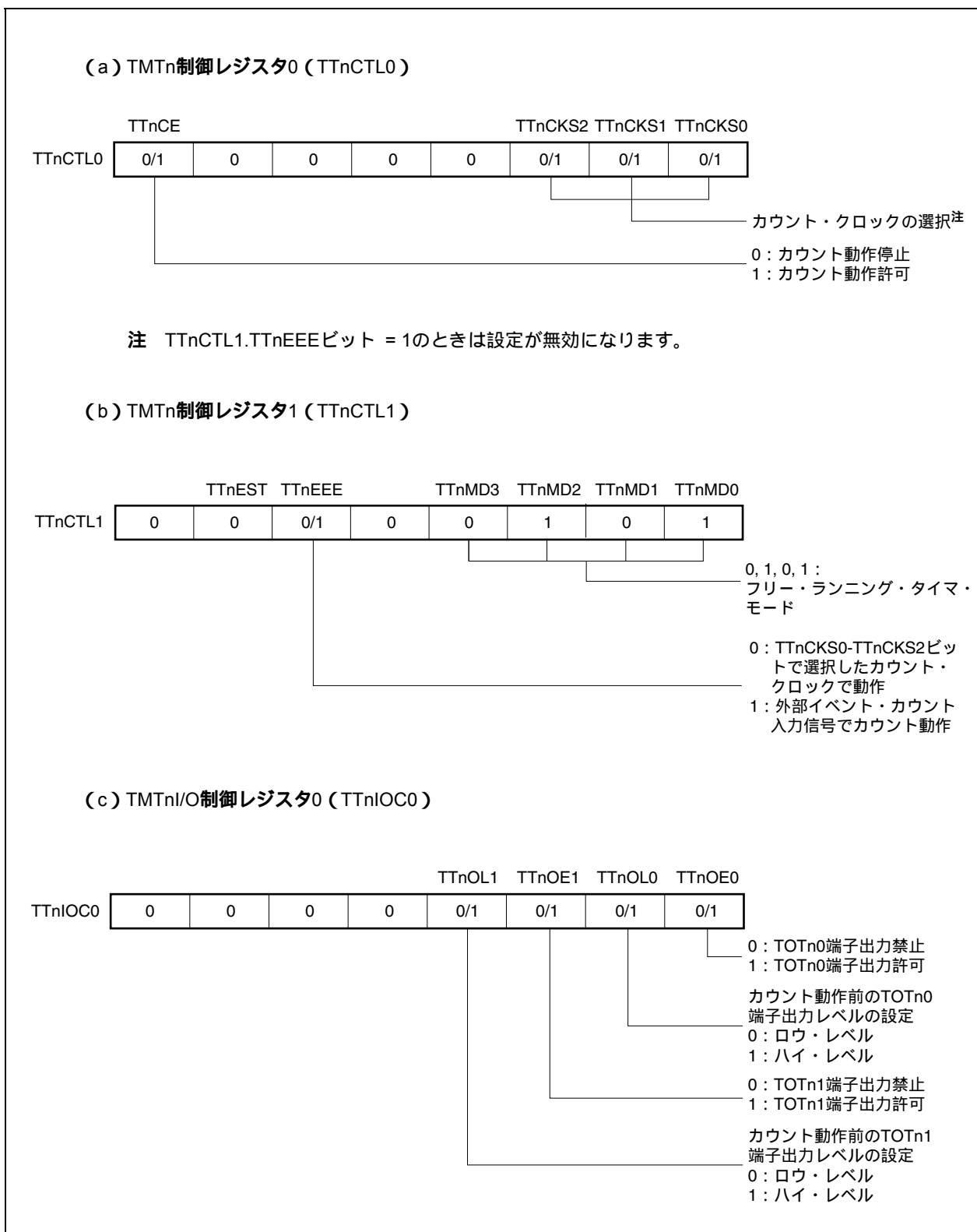
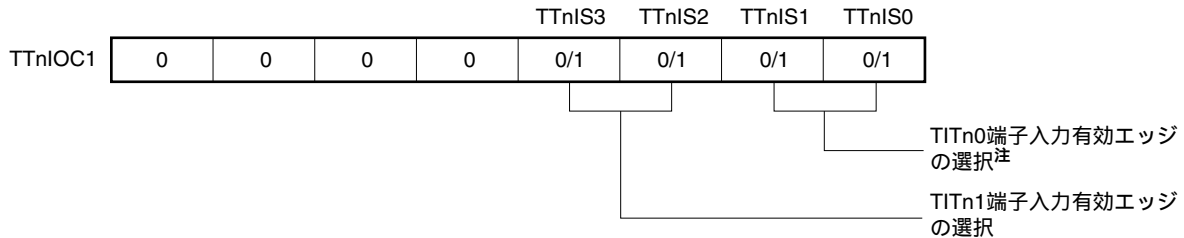


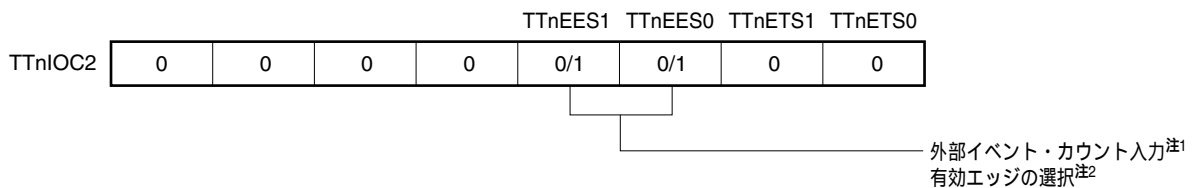
図8-41 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

(d) TMTn/O制御レジスタ1 (TTnIOC1)



注 TMT2, TMT3の場合, 使用しない兼用外部入力信号の有効エッジの選択は, “エッジ検出なし” に設定してください。

(e) TMTn/O制御レジスタ2 (TTnIOC2)

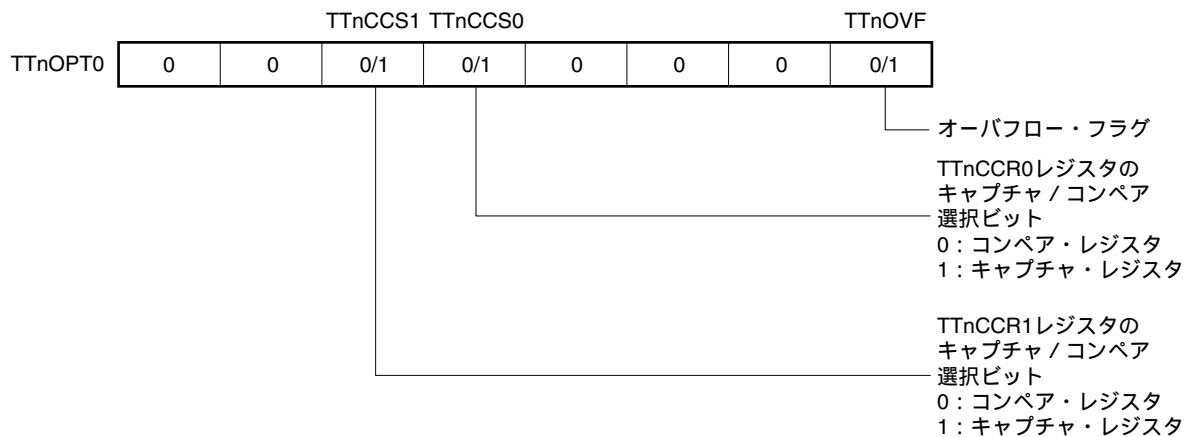


注1. TMT0, TMT1の場合: EVTTm端子

TMT2, TMT3の場合: TITk0端子

2. TMT2, TMT3の場合, 使用しない兼用外部入力信号の有効エッジの選択は, “エッジ検出なし” に設定してください。

(f) TMTnオプション・レジスタ0 (TTnOPT0)



(g) TMTnカウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNTレジスタをリードすることで, 16ビット・カウンタの値をリードできます。

図8 - 41 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容(3/3)

(h) TMTnキャプチャ/コンペア・レジスタ0, 1 (TTnCCR0, TTnCCR1)

TTnOPT0.TTnCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には, TITna端子入力の有効エッジ検出により, 16ビット・カウンタのカウンタ値を格納します。

コンペア・レジスタとして動作する場合には, TTnCCRaレジスタにDaを設定した場合, カウンタが(Da + 1)になるタイミングでINTTTEQCna信号を発生し, TOTn0, TOTn1端子出力を反転します。

備考 n = 0-3

m = 0, 1

k = 2, 3

a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図8 - 42 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

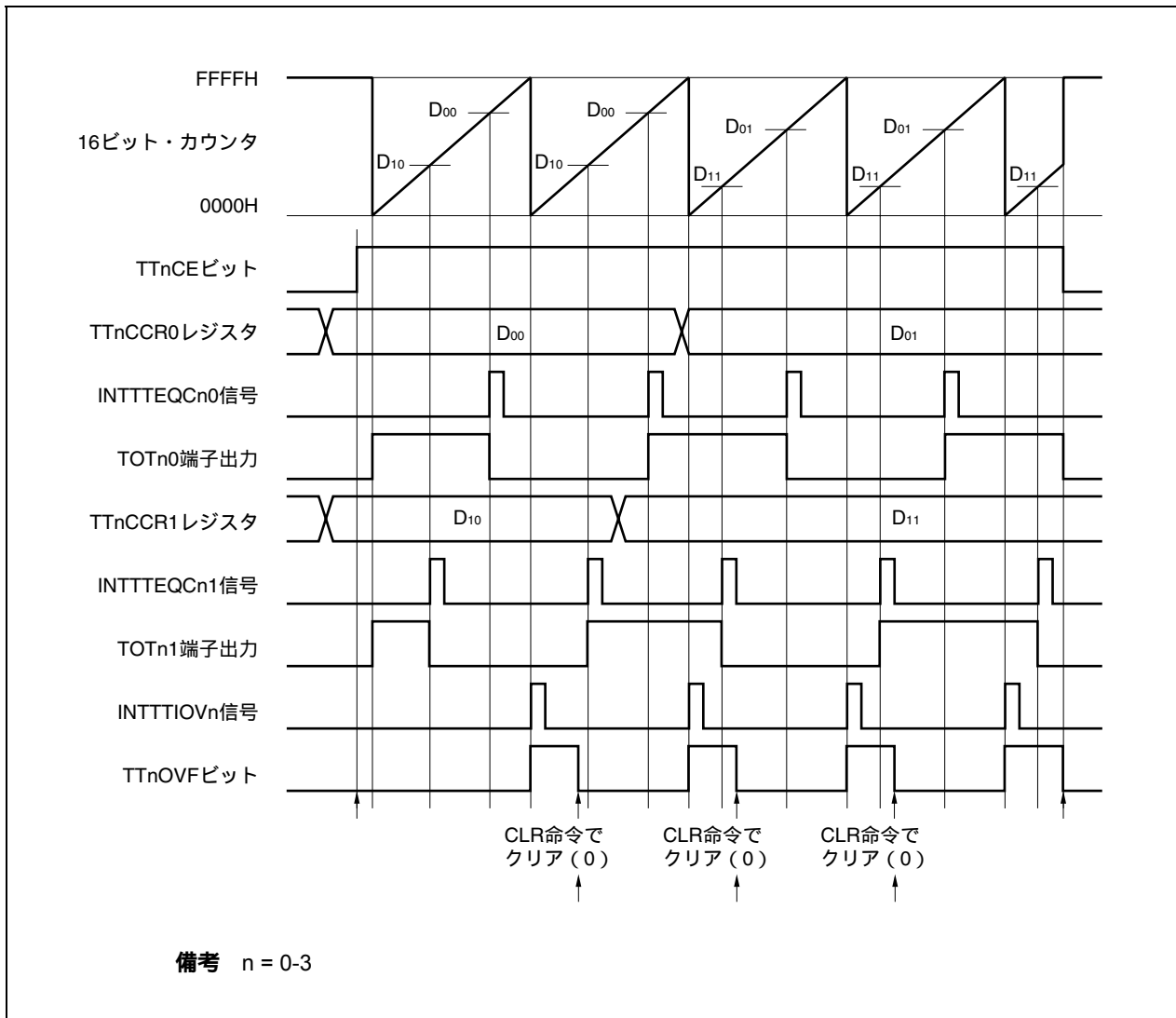
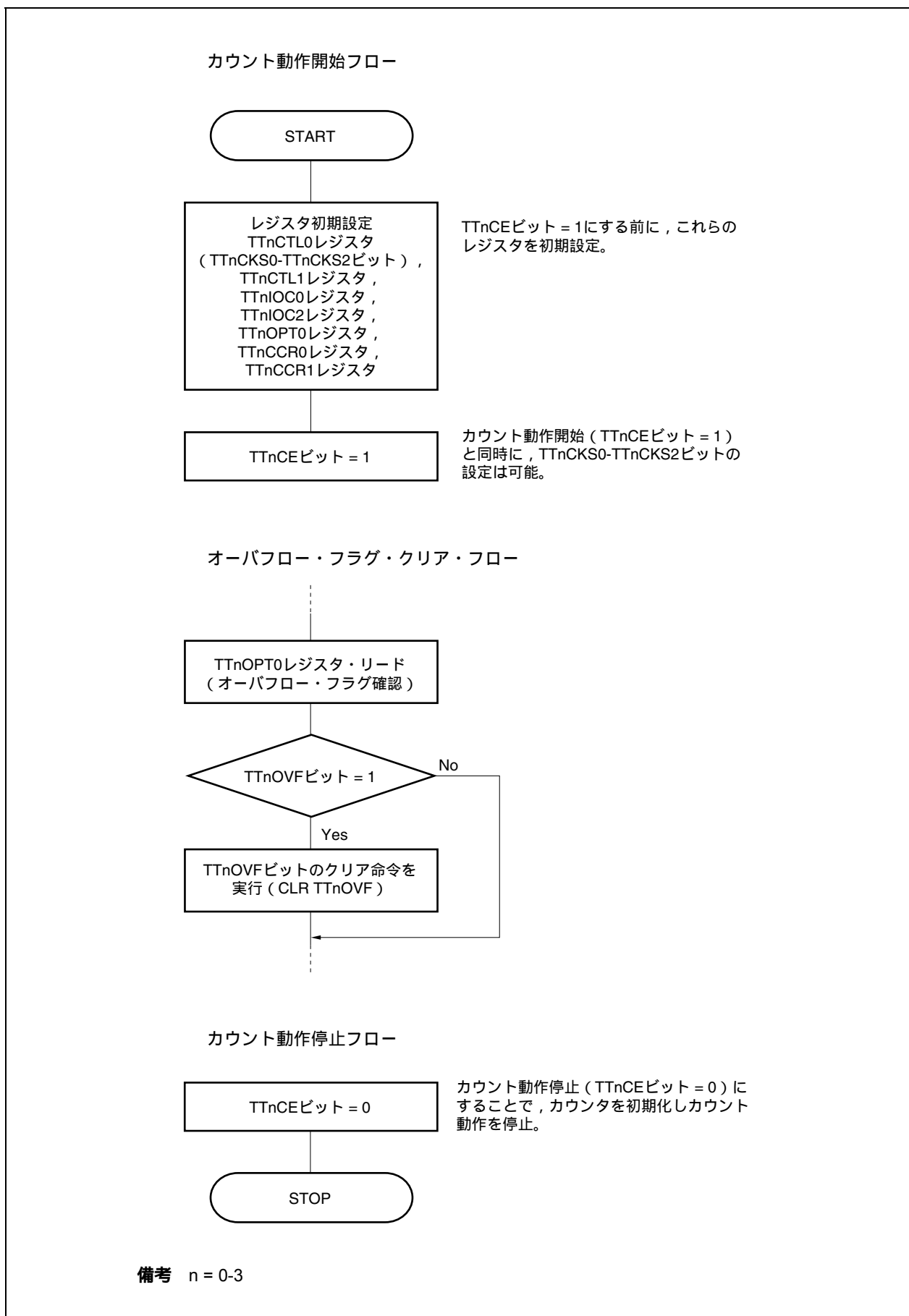


図8 - 42 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8 - 43 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

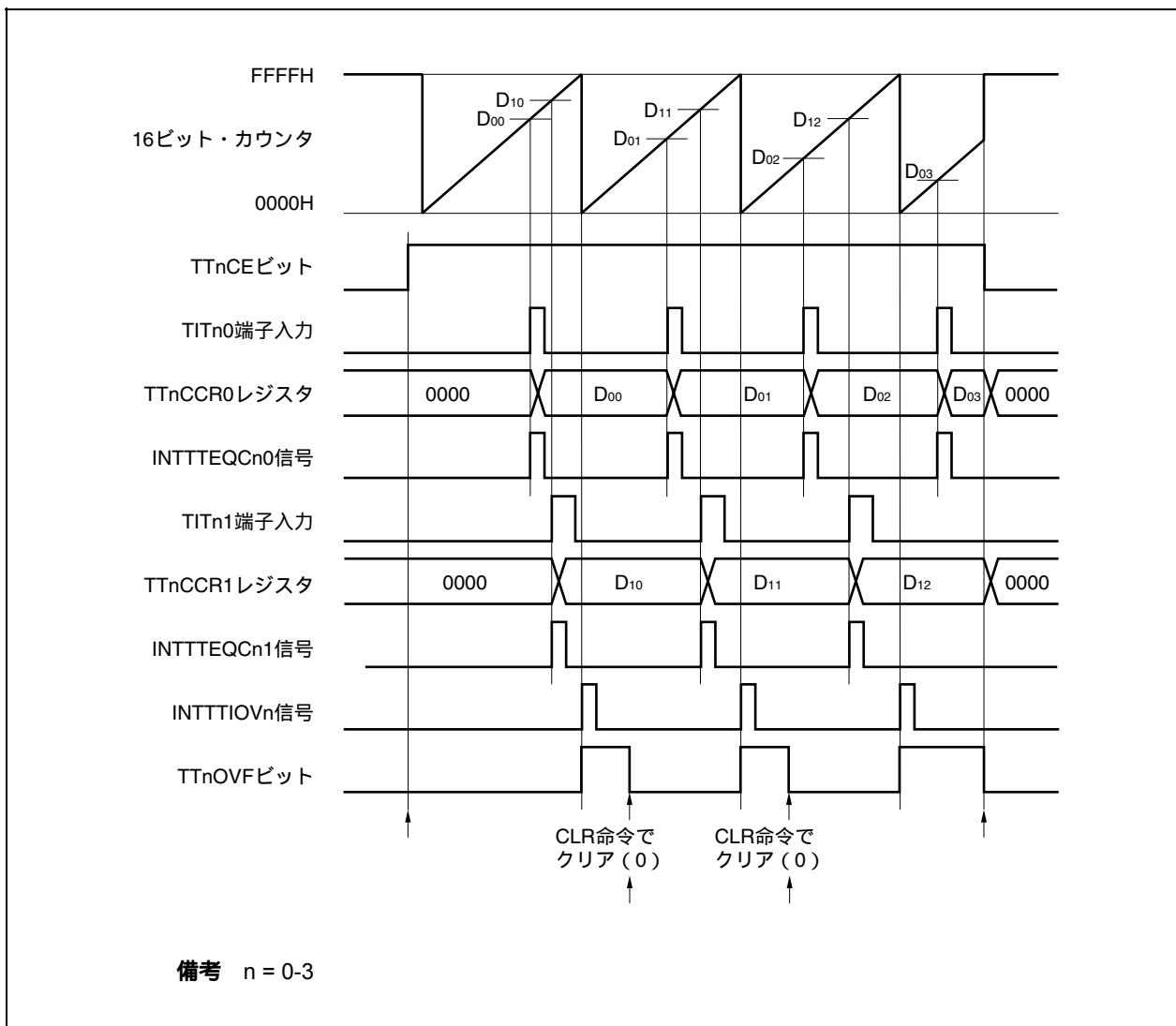
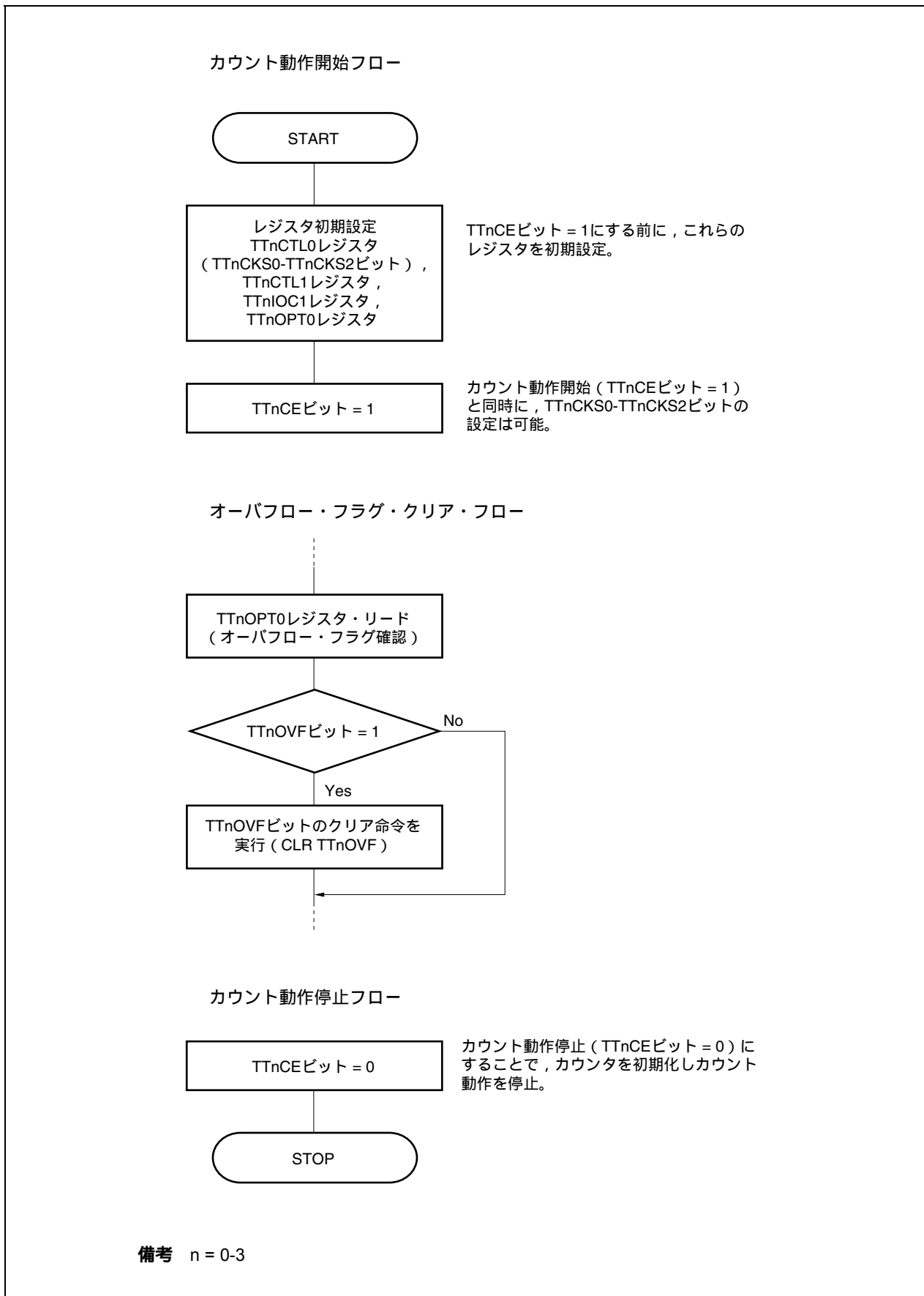


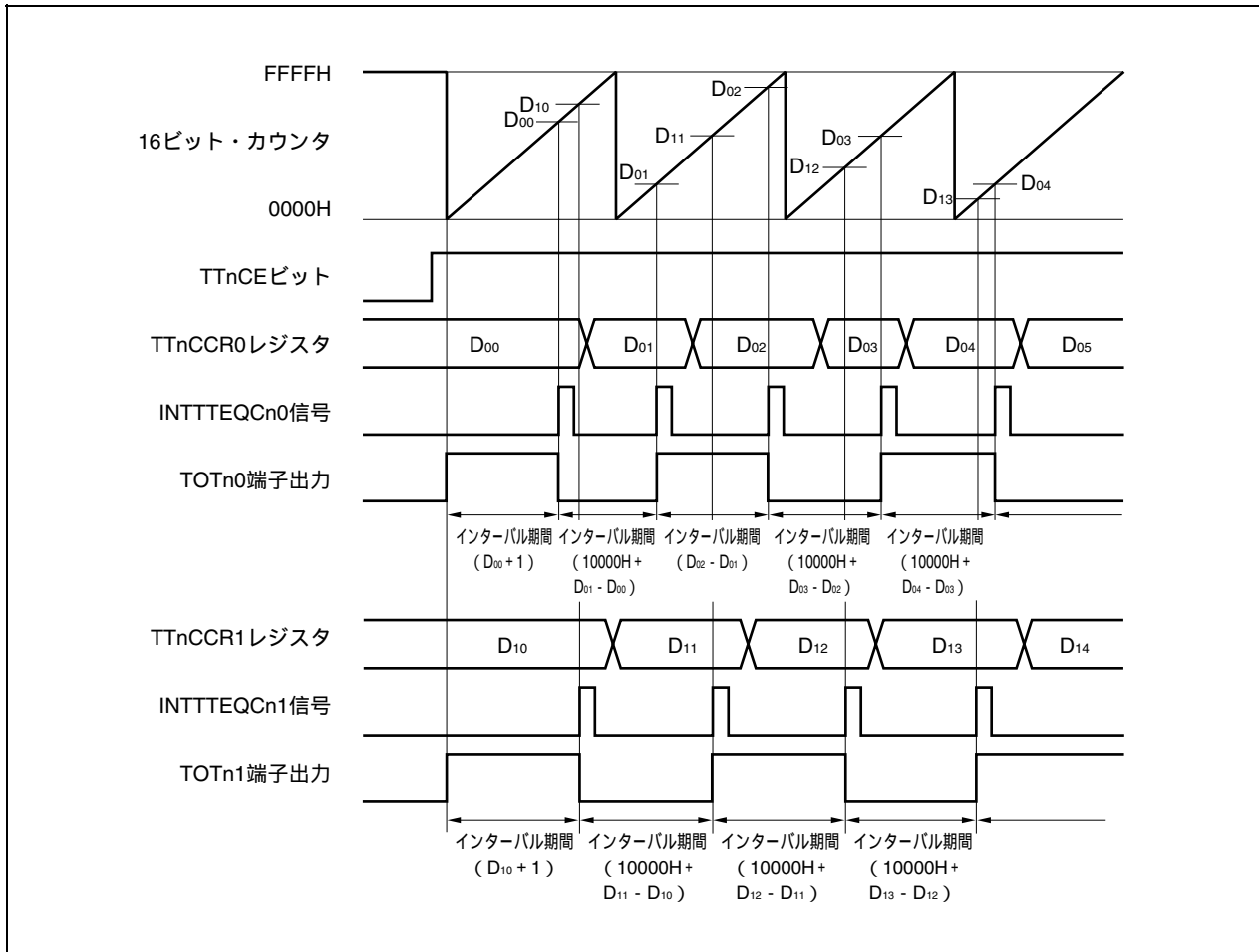
図8 - 43 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TTnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTTEQCna信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTTEQCna信号を検出したときの割り込み処理中に、対応するTTnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“D_a”とすると、次のように求められます。

コンペア・レジスタ初期値 : D_a - 1

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

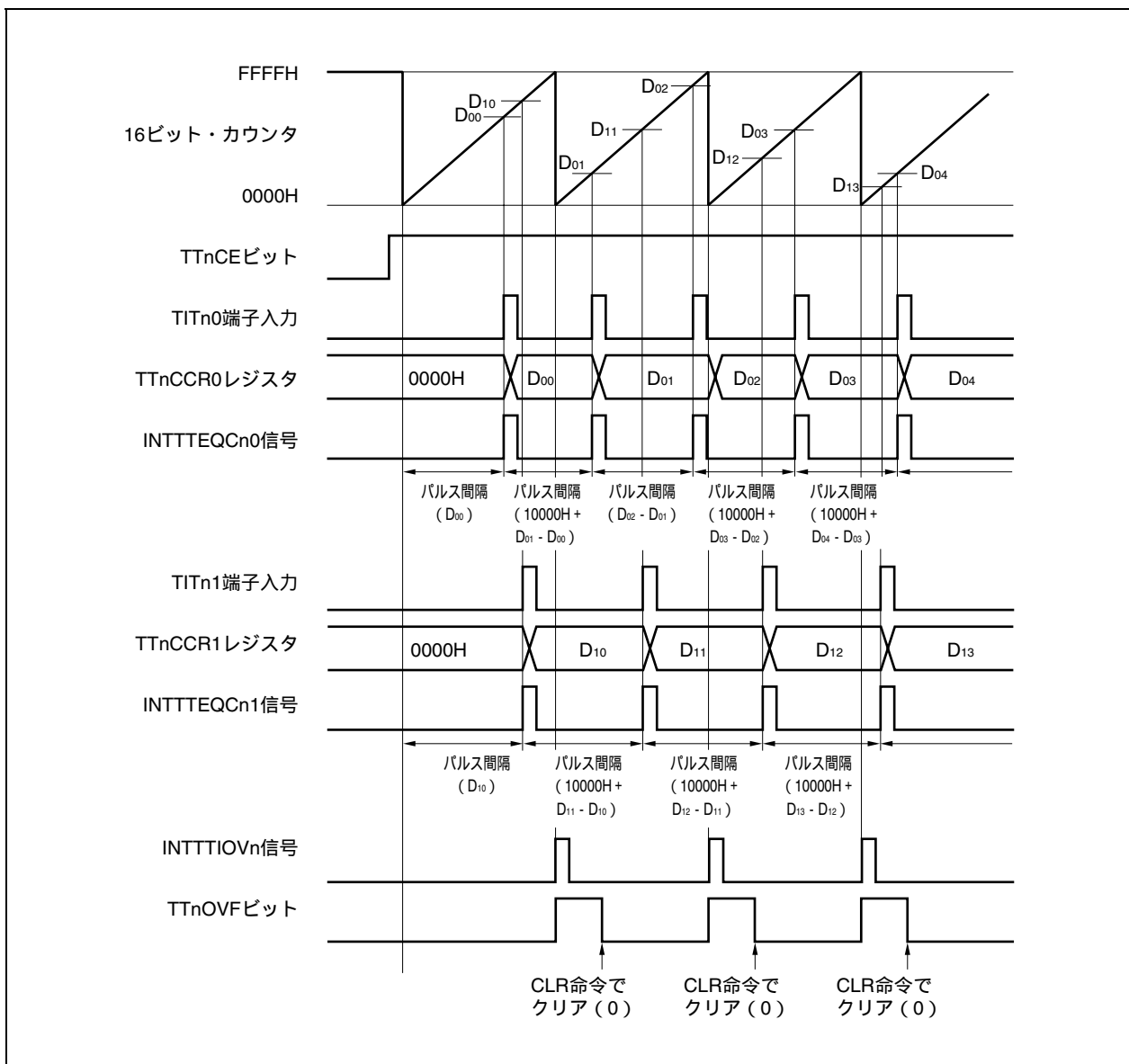
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0-3

a = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TTnCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTTEQCna信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTTEQCna信号に同期してTTnCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

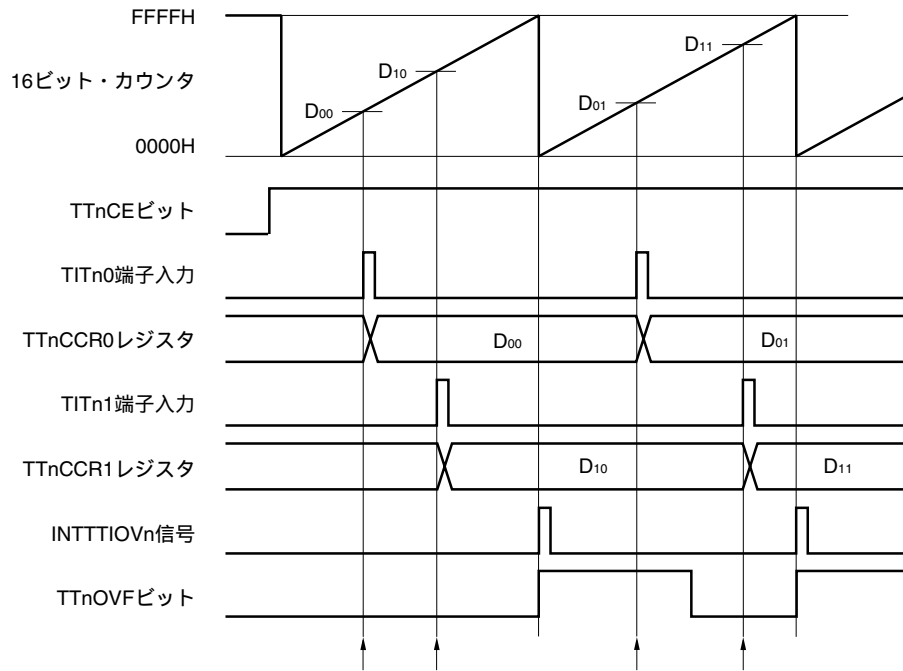
備考 n = 0-3

a = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TTnCCR0レジスタをリードする (TITn0端子入力の初期値設定)。

TTnCCR1レジスタをリードする (TITn1端子入力の初期値設定)。

TTnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TTnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。でクリア(0)されているため、0がリードされます。

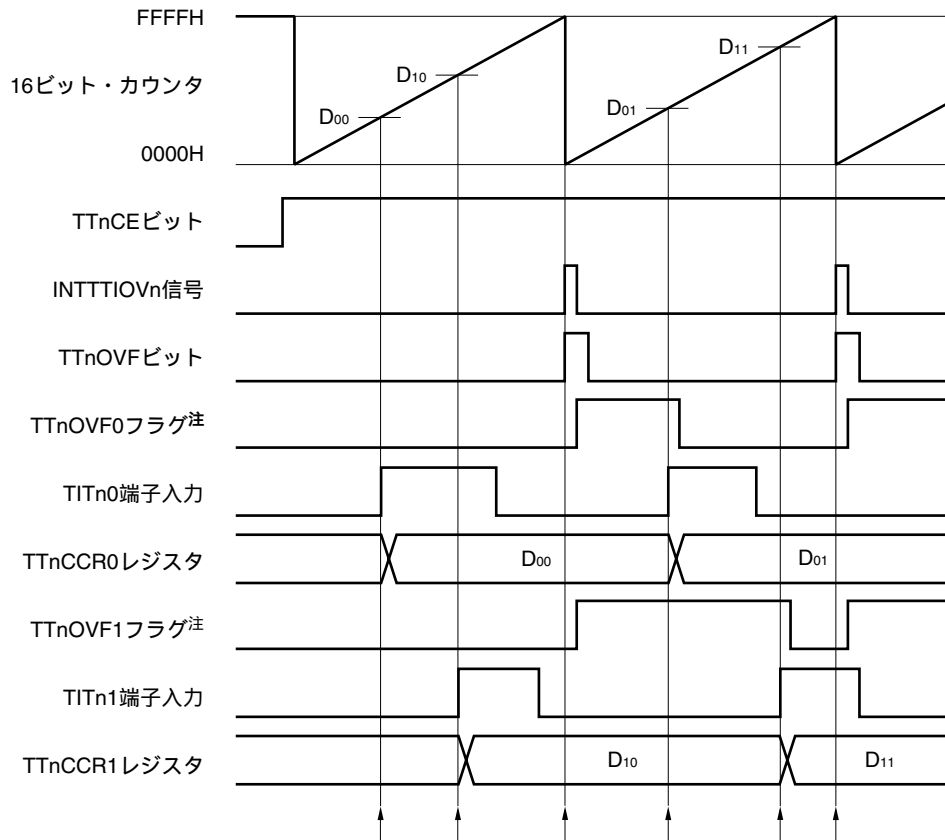
オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

備考 n = 0-3

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TTnOVF0, TTnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TTnCCR0レジスタをリードする (TITn0端子入力の初期値設定)。

TTnCCR1レジスタをリードする (TITn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TTnOVF0, TTnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TTnCCR0レジスタをリードする。

TTnOVF0フラグをリードする。 TTnOVF0フラグが“1”だった場合、クリア (0) する。

TTnOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TTnCCR1レジスタをリードする。

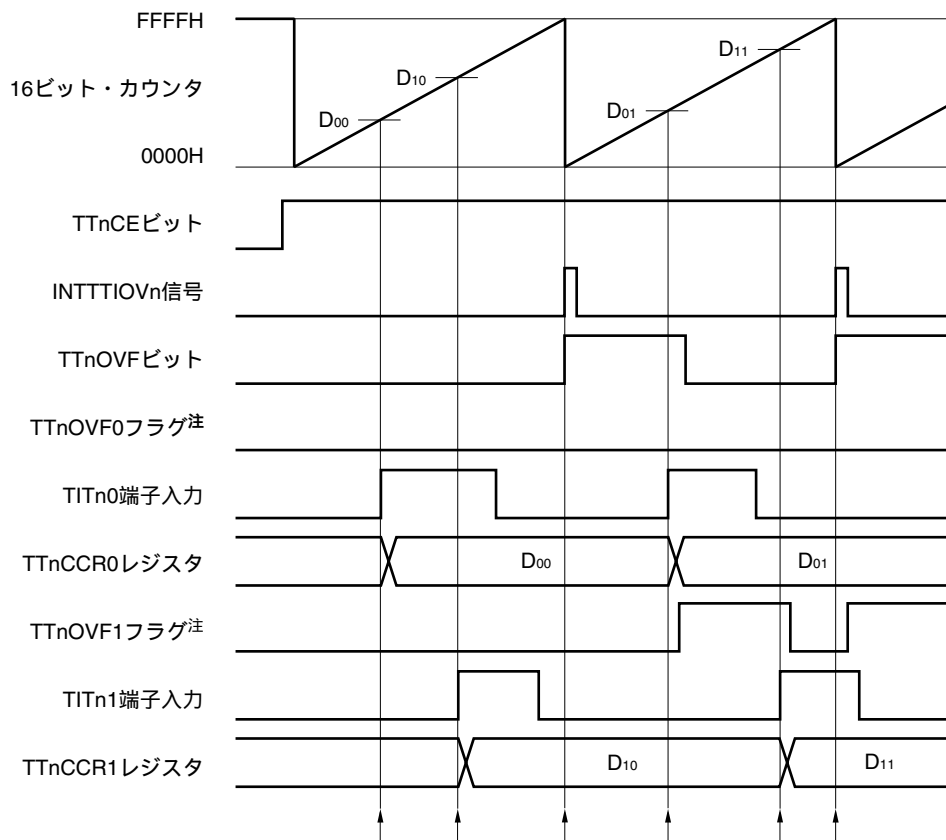
TTnOVF1フラグをリードする。 TTnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTTnOVF0フラグであり、TTnOVF1フラグは“1”のまま)。

TTnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

備考 n = 0-3

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TTnOVF0, TTnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TTnCCR0レジスタをリードする（TITn0端子入力の初期値設定）。

TTnCCR1レジスタをリードする（TITn1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TTnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TTnOVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TTnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

TTnOVF1フラグをリードする。TTnOVF1フラグが“1”だった場合、クリア（0）する。

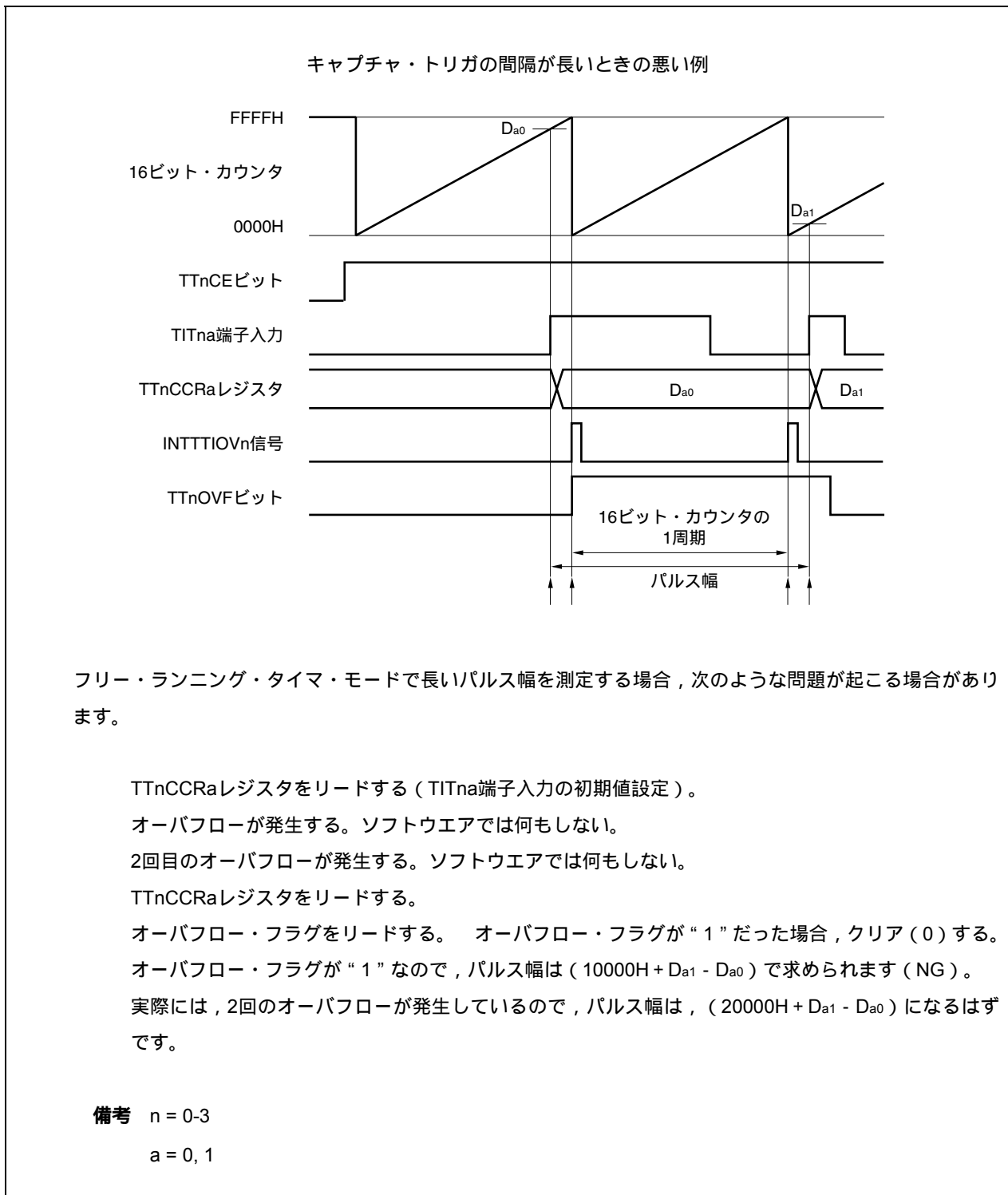
TTnOVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

と同じです。

備考 n = 0-3

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

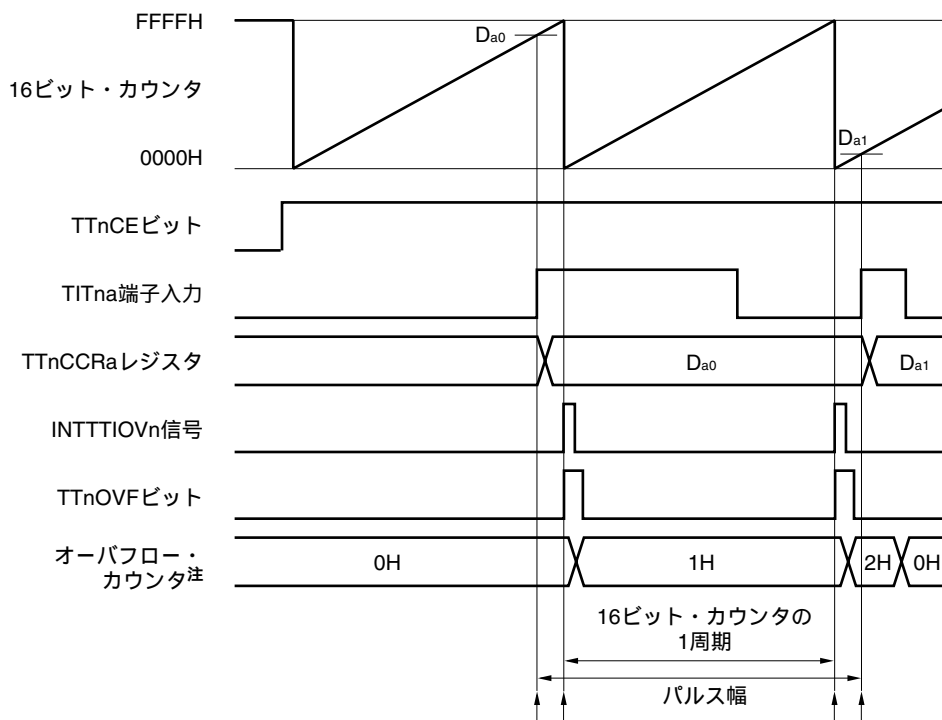
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TnCCRaレジスタをリードする (TITna端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TnCCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 n = 0-3

a = 0, 1

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TTnOVFビット = 1をリードしたあとにTTnOVFビットをCLR命令でクリア (0) する方法と、TTnOVFビット = 1をリードしたあとにTTnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

8.6.7 パルス幅測定モード (TTnMD3-TTnMD0ビット = 0110)

パルス幅測定モードは、TTnCTL0.TTnCEビットをセット(1)することでカウント動作を開始し、TITna端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTTnCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTTEQCna)が発生したあと、TTnCCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図8-46のような場合は、キャプチャ・トリガ入力端子としてTITn0、TITn1端子のいずれか1本を使用し、使用しない端子はTTnIOC1レジスタで“エッジ検出なし”に設定してください。

備考 n = 0-3

a = 0, 1

図8-44 TMT0, TMT1のパルス幅測定モードの構成図

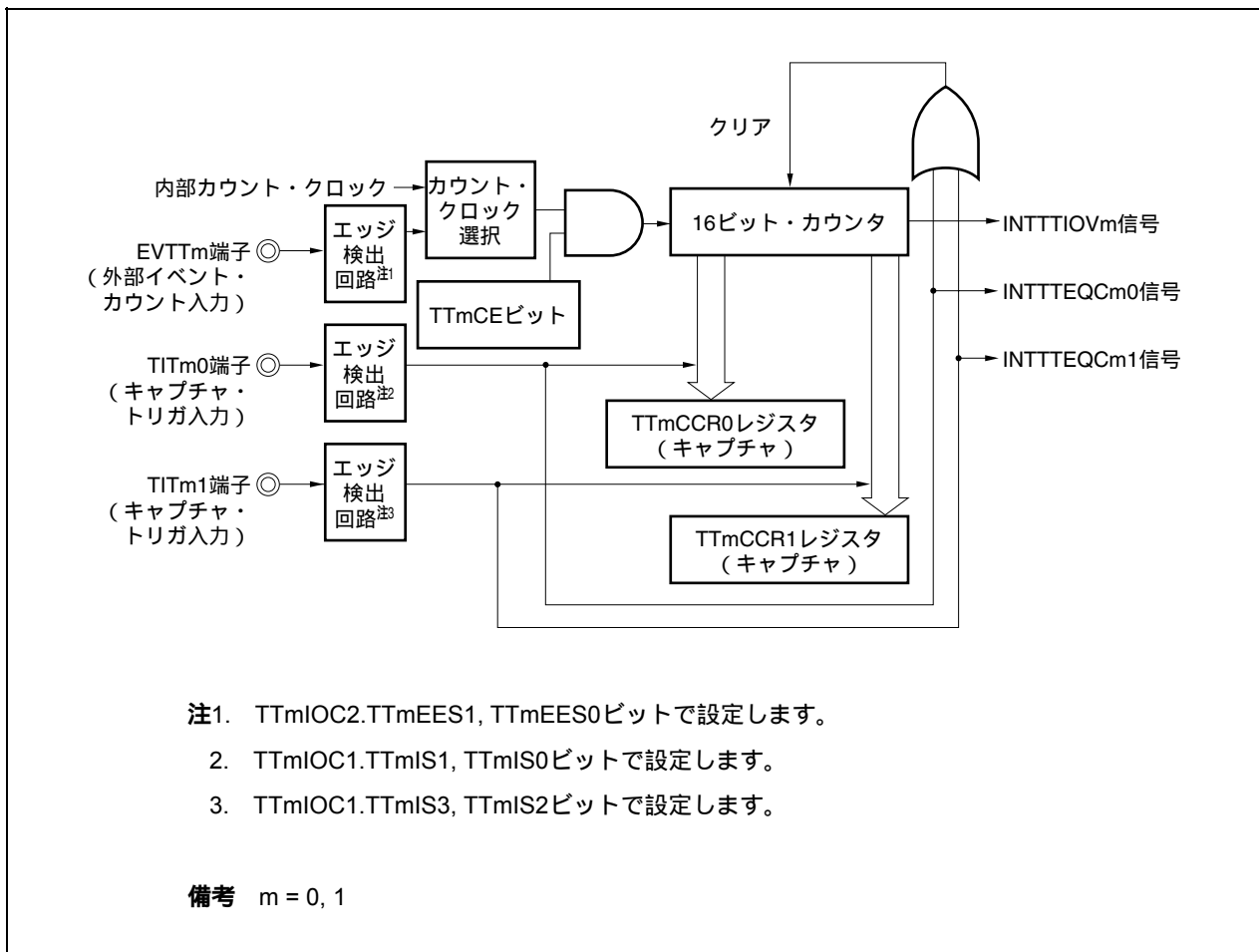


図8 - 45 TMT2, TMT3のパルス幅測定モードの構成図

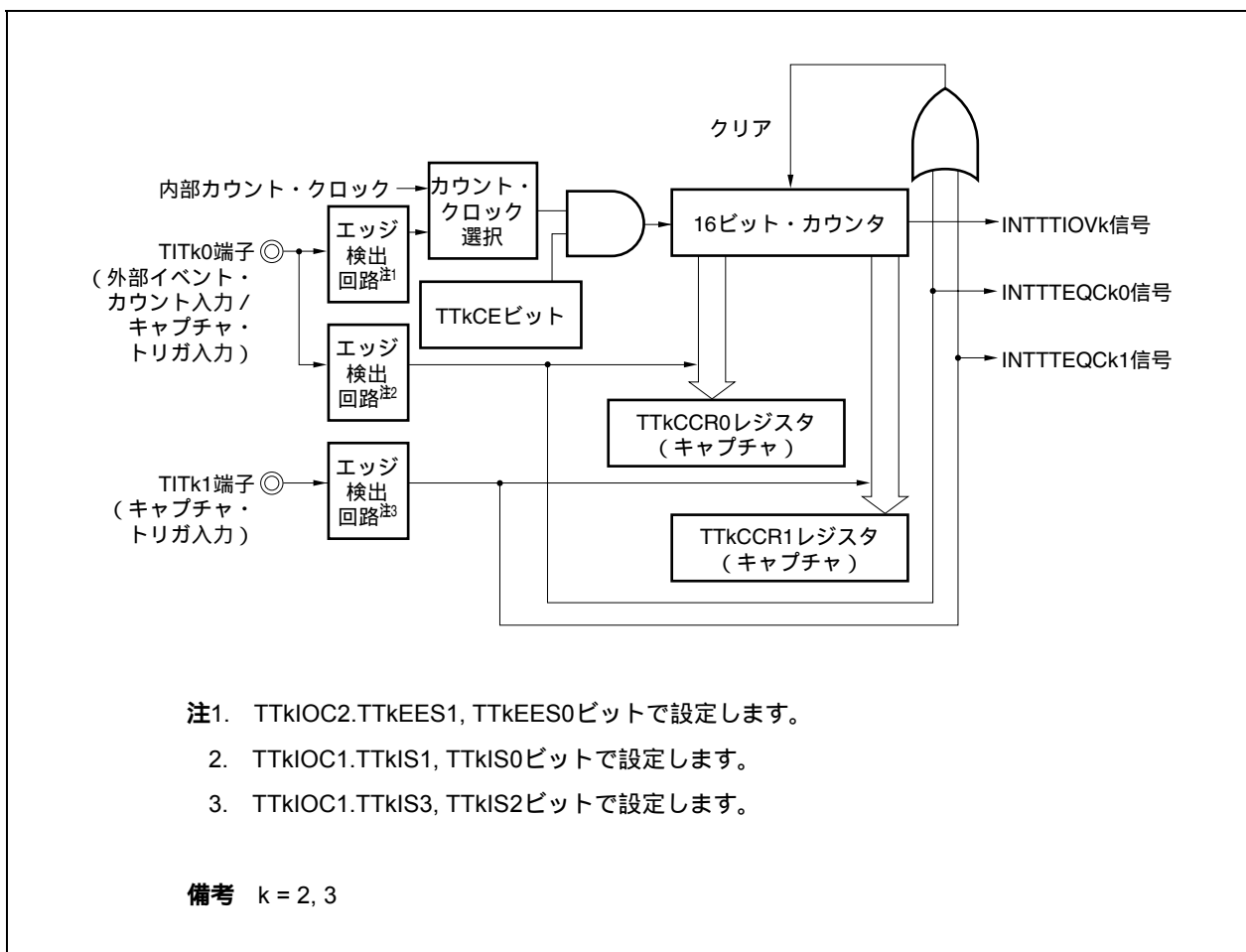
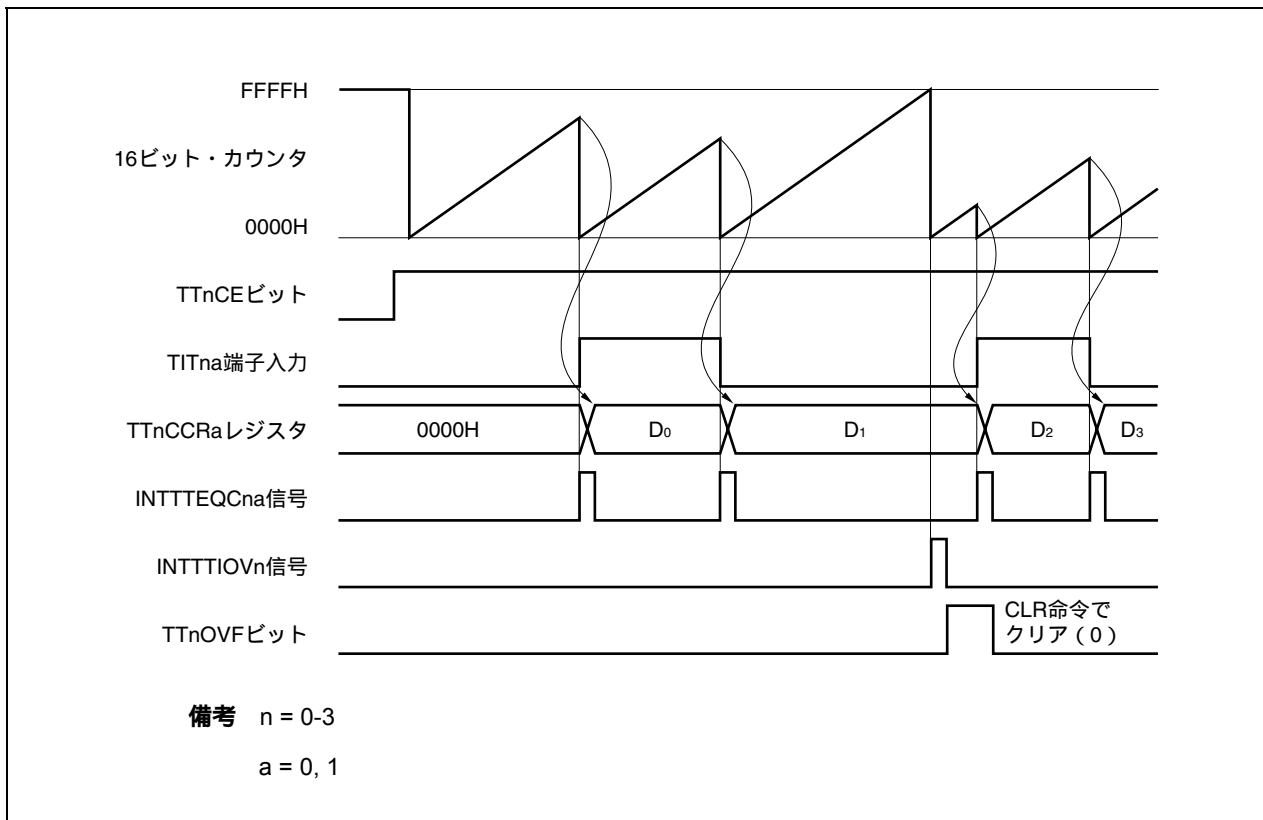


図8 - 46 パルス幅測定モードの基本タイミング



TTnCEビットをセット(1)することで、カウント動作を開始します。その後、TITna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTTnCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTTEQCna)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTIOVn)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TTnOPT0.TTnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TTnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-3

a = 0, 1

図8 - 47 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

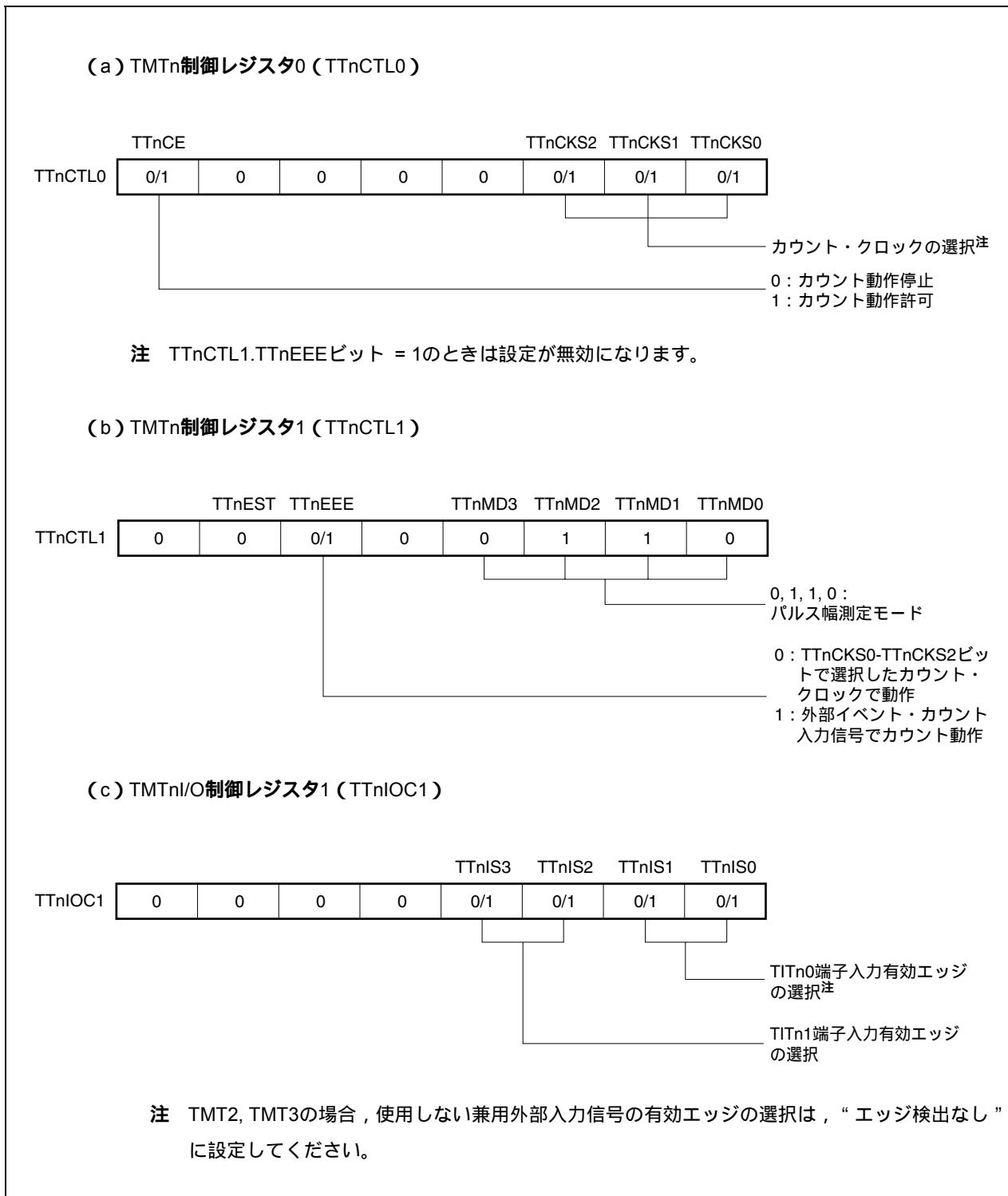
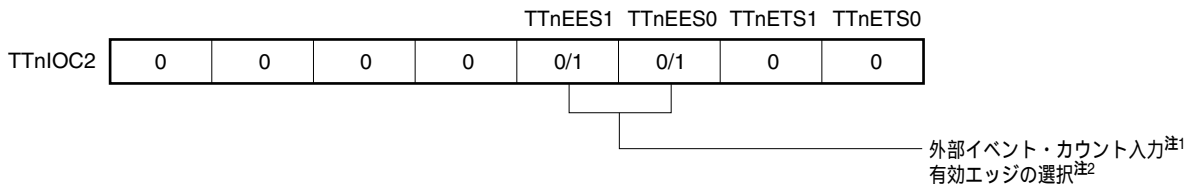


図8 - 47 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TMTn/O制御レジスタ2 (TTnIOC2)

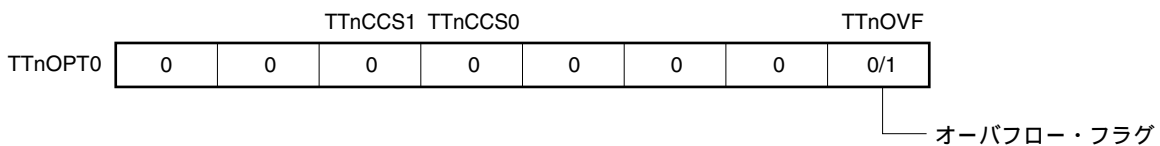


注1. TMT0, TMT1の場合：EVTTm端子

TMT2, TMT3の場合：TITk0端子

2. TMT2, TMT3の場合，使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(e) TMTnオプション・レジスタ0 (TTnOPT0)



(f) TMTnカウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

(g) TMTnキャプチャ/コンペア・レジスタ0, 1 (TTnCCR0, TTnCCR1)

TITn0, TITn1端子入力の有効エッジ検出により，16ビット・カウンタのカウンタ値を格納します。

備考1. パルス幅測定モードでは，TMTm制御レジスタ2 (TTmCTL2)，TMTn/O制御レジスタ0 (TTnIOC0)，TMTm/O制御レジスタ3 (TTmIOC3)，TMTmオプション・レジスタ1 (TTmOPT1)，TMTmキャプチャ入力選択レジスタ (TTISLm)，TMTmカウンタ・ライト・レジスタ (TTmTCW) は使用しません。

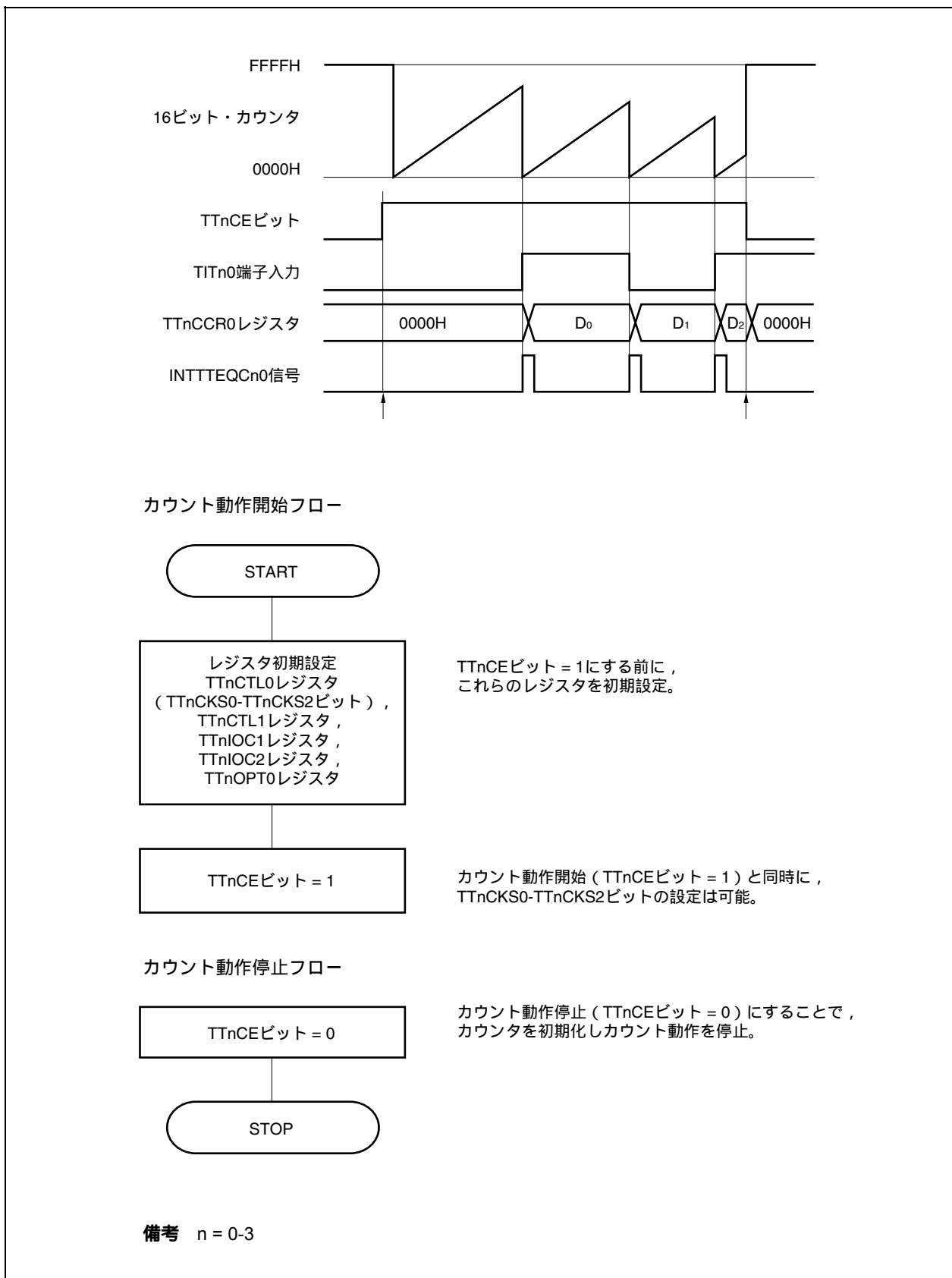
2. n = 0-3

m = 0, 1

k = 2, 3

(1) パルス幅測定モード動作フロー

図8 - 48 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TTnOVFビット = 1をリードしたあとにTTnOVFビットをCLR命令でクリア (0) する方法と、TTnOVFビット = 1をリードしたあとにTTnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

8.6.8 三角波PWM出力モード (TTnMD3-TTnMD0ビット = 0111)

三角波PWM出力モードは、TTnCTL0.TTnCEビットをセット(1)することで、TOTn1端子から三角波PWM波形を出力します。

また、TOTn0端子から、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致したタイミングと、16ビット・カウンタが0000Hのタイミングで反転するPWM波形を出力します。

図8 - 49 TMT0, TMT1の三角波PWM出力モードの構成図

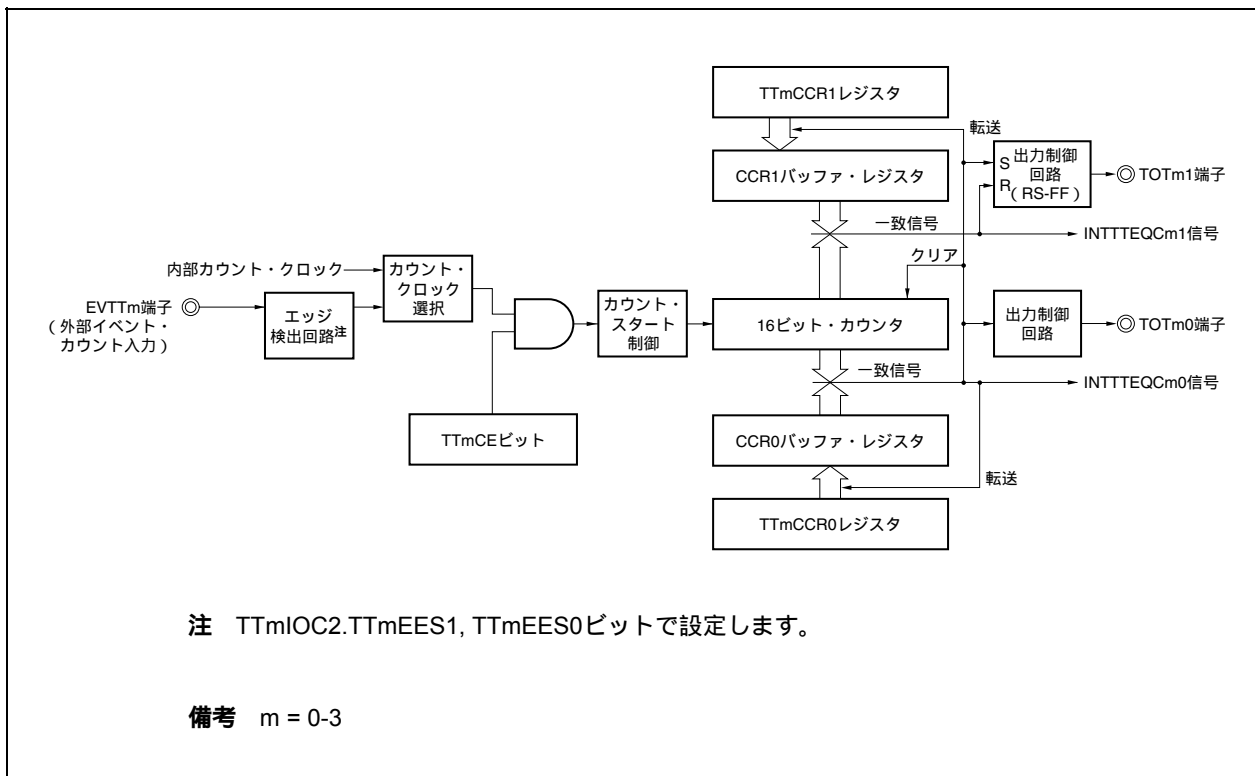


図8 - 50 TMT2, TMT3の三角波PWM出力モードの構成図

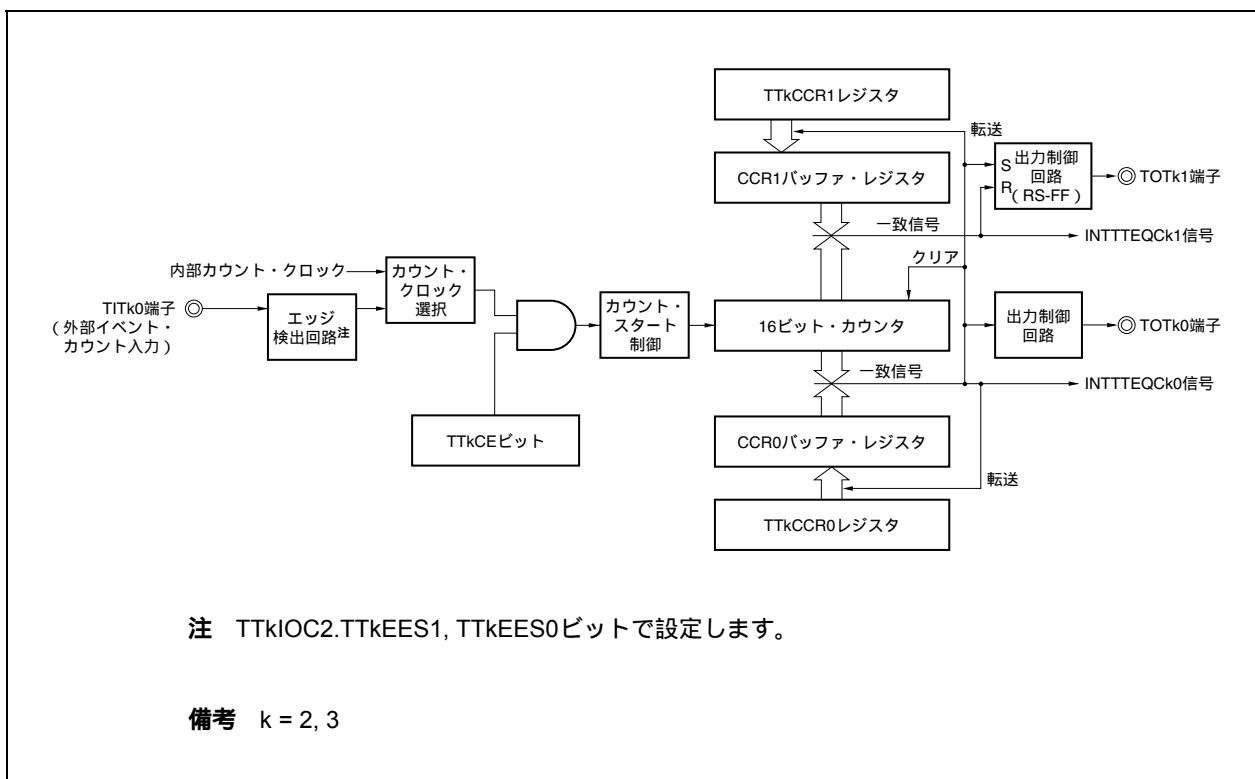
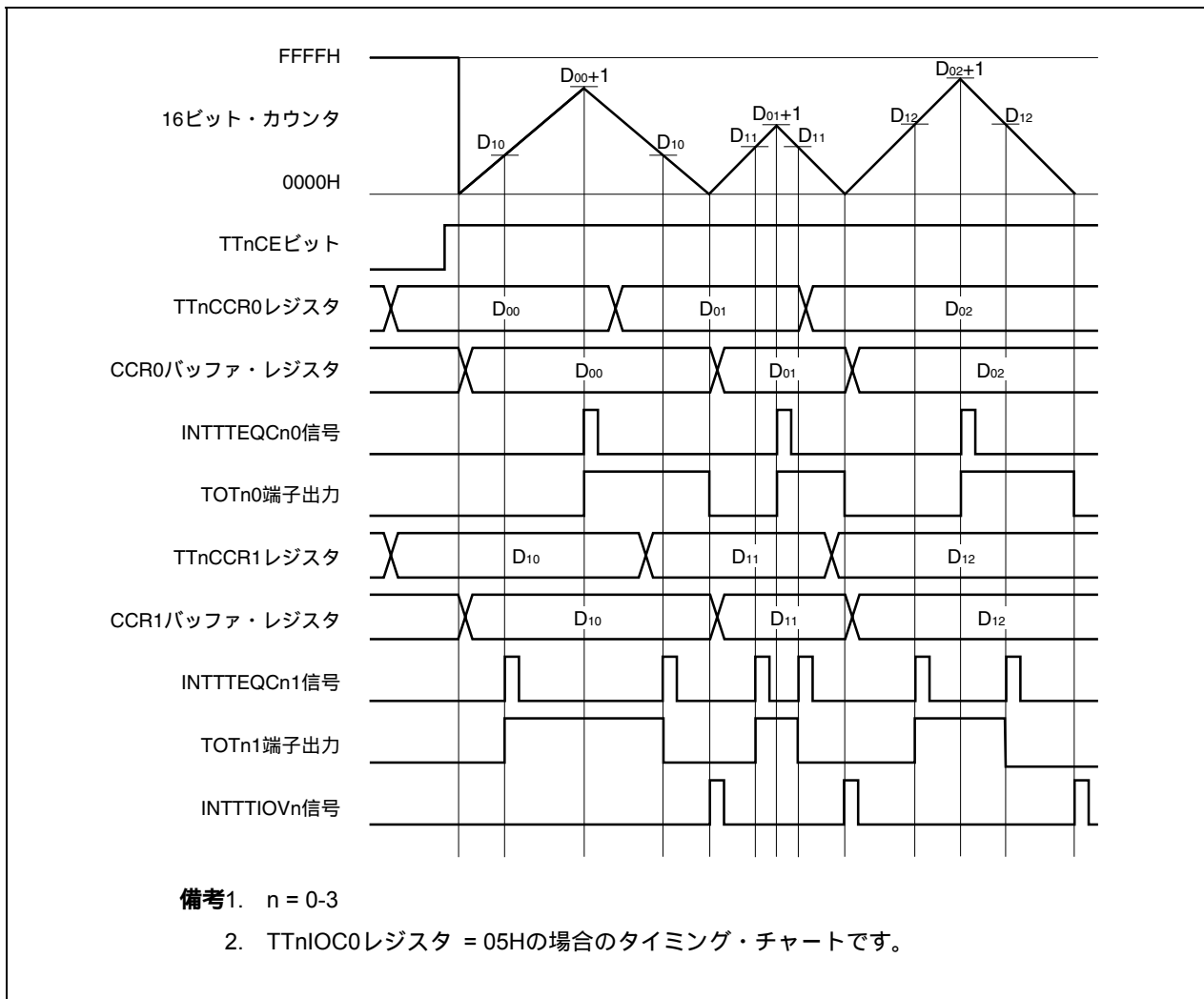


図8 - 51 三角波PWM出力モードの基本タイミング



TTnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOTn1端子から三角波PWM波形を出力します。

三角波PWM出力モードでは、アップ/ダウン・カウント動作を行い、ダウン・カウント動作中に16ビット・カウンタが0000Hになるとオーパフロー割り込み要求信号 (INTTTIOVn) を発生します。このとき、TTnOPT0.TTnOVFビットはセット (1) されません。アップ・カウント動作中に16ビット・カウンタ値とCCR0バッファ・レジスタの値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCn0) を発生します。

アップ/ダウン切り替えは16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致 (INTTTEQCn0) で、ダウン/アップ切り替えは16ビット・カウンタが0000Hのタイミングです。

動作中にTTnCCRaレジスタを書き換えることにより、PWM波形を変更できます。なお、動作中にPWM波形を変更する場合には、最後にTTnCCR1レジスタにライトしてください。

三角波PWM波形の周期はTTnCCR0レジスタ、デューティはTTnCCR1レジスタで設定します。TTnCCR0レジスタの値は「0 TTnCCR0 FFEH」の範囲で設定してください。書き換えた値は、ダウン・カウント動作中の16ビット・カウンタが0000Hのタイミングで反映されます。

PWM波形の周期だけを変更する場合でも、まずTTnCCR0レジスタに周期を設定し、そのあとでTTnCCR1レジスタに同値 (すでに設定したTTnCCR1レジスタと同じ値) をライトしてください。

TTnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TTnCCR1レジスタに対してライトする必要があります ($a = 0, 1$)。

(1) 0 % / 100 % の PWM 出力

三角波 PWM 出力モードでは、PWM 出力の 0 % 波形出力、および 100 % 波形出力が可能です。

0 % 波形は、TTnCCR0 レジスタ = M の場合、TTnCCR1 を “M + 1” に設定することにより出力されます。

100 % 波形は、TTnCCR1 レジスタを “0000H” に設定することにより出力されます。

なお、TOTn0, TOTn1 の出力レベルは、TTnIOC0 レジスタで設定します。

備考 n = 0-3

図8 - 52 0 % PWM 出力波形図 (TTnIOC0 レジスタ = 05H)

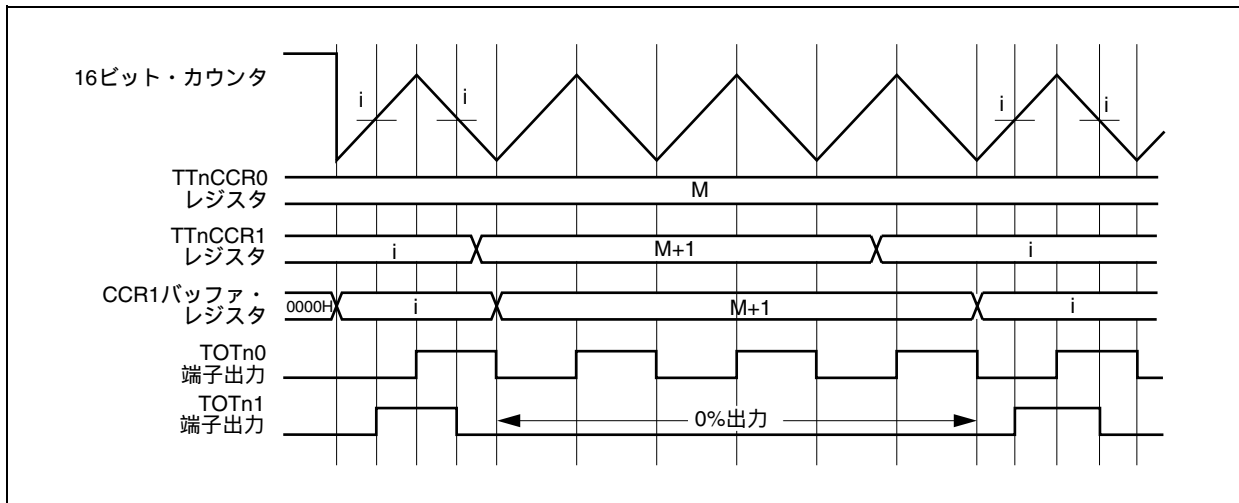
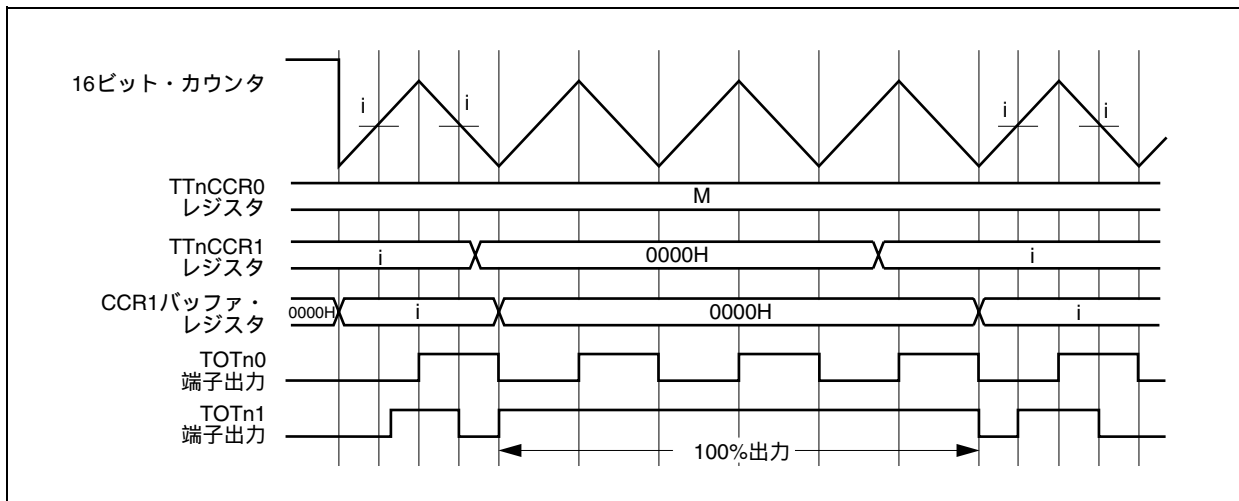


図8 - 53 100 % PWM 出力波形図 (TTnIOC0 レジスタ = 05H)



8.6.9 エンコーダ・カウント機能

エンコーダ・カウント機能には、エンコーダ・コンペア・モード (8.6.10 エンコーダ・コンペア・モード (TTmMD3-TTmMD0ビット = 1000) 参照) があります。

モード	TTmCCR0レジスタ	TTmCCR1レジスタ
エンコーダ・コンペア・モード	コンペア専用	コンペア専用

(1) アップ/ダウン・カウント制御

エンコーダ入力信号 (TENCm0, TENCm1) の位相とTTmCTL2.TTmUDS1, TTmUDS0ビットの設定により16ビット・カウンタのアップ/ダウン制御を行い、カウント動作を行います。

エンコーダ・カウント機能では、内部カウント・クロックおよび外部イベント・カウント入力 (EVTm) は使用できません。TTmCTL0.TTmCKS2-TTmCKS0ビット = 000, TTmCTL1.TTmEEEビット = 0に設定してください。

(2) 16ビット・カウンタの初期値設定

TTmCTL2.TTmECCビット = 0時にTTmTCWレジスタに設定したカウント初期値を、カウント動作の開始 (TTmCTL0.TTmCEビット = 0 1)直後に16ビット・カウンタに転送し、エンコーダ入力信号 (TENCm0, TENCm1) の有効エッジ検出後にカウント動作を開始します

(3) 基本動作

TTmCCR_aレジスタは、16ビット・カウンタのカウント値とCCR_aバッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQC_m) が発生します。

(4) クリア動作

エンコーダ・コンペア・モード時の16ビット・カウンタのクリアは、次の条件で発生します。

- ・ 16ビット・カウンタとコンペア・レジスタの値の一致によるクリア
(TTmCTL2.TTmECM1, TTmECM0ビットを設定)
- ・ エンコーダ・クリア入力 (TECR_m) のエッジ検出クリア
(TTmIOC3.TTmSCEビット = 0時にTTmECS1, TTmECS0ビットを設定)
- ・ TENCm0, TENCm1, TECR_m端子のクリア・レベル条件検出クリア
(TTmSCEビット = 1時にTTmZCL, TTmBCL, TTmACLビットを設定)

備考 m = 0, 1

a = 0, 1

(5) TTmCTL2レジスタのビット制御

エンコーダ・コンペア・モード時のTTmCTL2レジスタの設定を次に示します。

表8-9 TTmCTL2レジスタの設定

モード	TTmUDS1, TTmUDS0 ビット ()	TTmECM1 ビット ()	TTmECM0 ビット ()	TTmLDE ビット ()	カウンタ・ クリア (対象のコ ンペア・ レジスタ)	カウンタへ の転送
エンコーダ・コンペア・ モード	00, 01, 10, 11 の全設定可能	0	0	0	-	-
				1		可能
			1	0	TTmCCR0	-
				1		可能 ^注
		1	0	無効	TTmCCR1	-
			1	無効	TTmCCR0, TTmCCR1	-

注 「0000H-TTmCCR0レジスタ設定値」範囲内でカウント動作が可能です。

備考 m = 0, 1

(a) 各ビットの概要

TTmUDS1, TTmUDS0ビットは、エンコーダ入力端子 (TENCm0, TENCm1) から入力された位相に対して、アップ/ダウン・カウンタの判別制御を行います。

TTmECM1, TTmECM0ビットは、16ビット・カウンタのカウント値とCCR0, CCR1バッファ・レジスタの値が一致した場合の16ビット・カウンタのクリアを制御します。

TTmLDEビットは、アンダフローが発生したときに、TTmCCR0レジスタ設定値を16ビット・カウンタに転送する機能を制御します。TTmLDEビットは、TTmECM1, TTmECM0ビットが00, 01時のみ有効となります。それ以外の設定は無効となります。

(b) 各ビットの詳細説明

TTmUDS1, TTmUDS0ビット：アップ/ダウン・カウントの選択

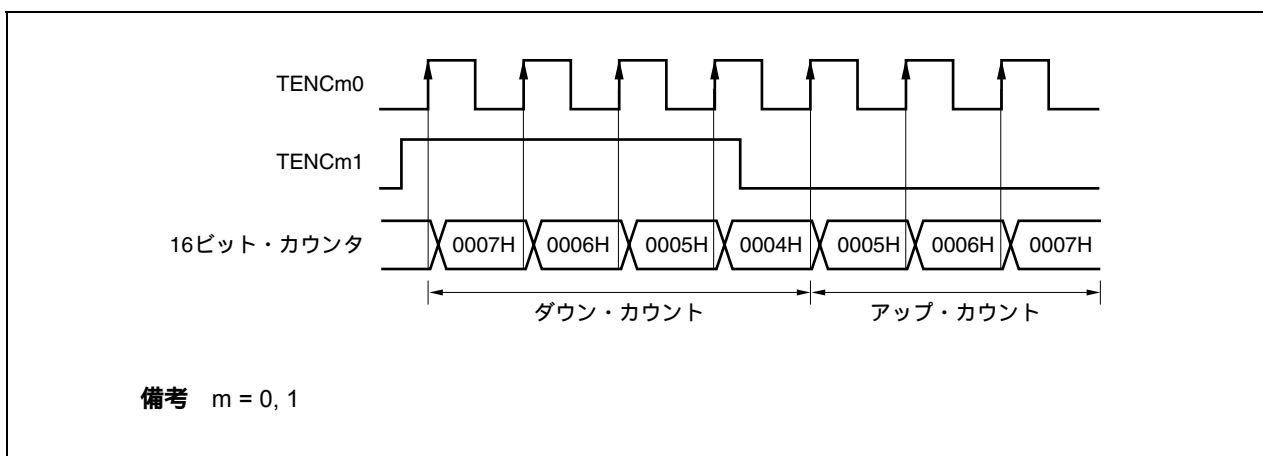
TTmUDS1, TTmUDS0ビット設定とTENCm0, TENCm1端子から入力された位相により, アップ/ダウン・カウントを判別します。TTmUDS1, TTmUDS0ビットは, エンコーダ・コンペア・モード時のみ有効です。

・ TTmUDS1, TTmUDS0ビット = 00時

TENCm0端子	TENCm1端子	カウント動作
立ち上がりエッジ	ハイ・レベル	ダウン・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロウ・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		

備考 TENCm0端子のエッジ検出は, TTmIOC3.TTmEIS1, TTmEIS0ビットで設定します。

図8 - 54 動作例 (TENCm0端子の有効エッジが立ち上がりエッジ指定, TENCm1端子の有効エッジがエッジ検出なしの場合)

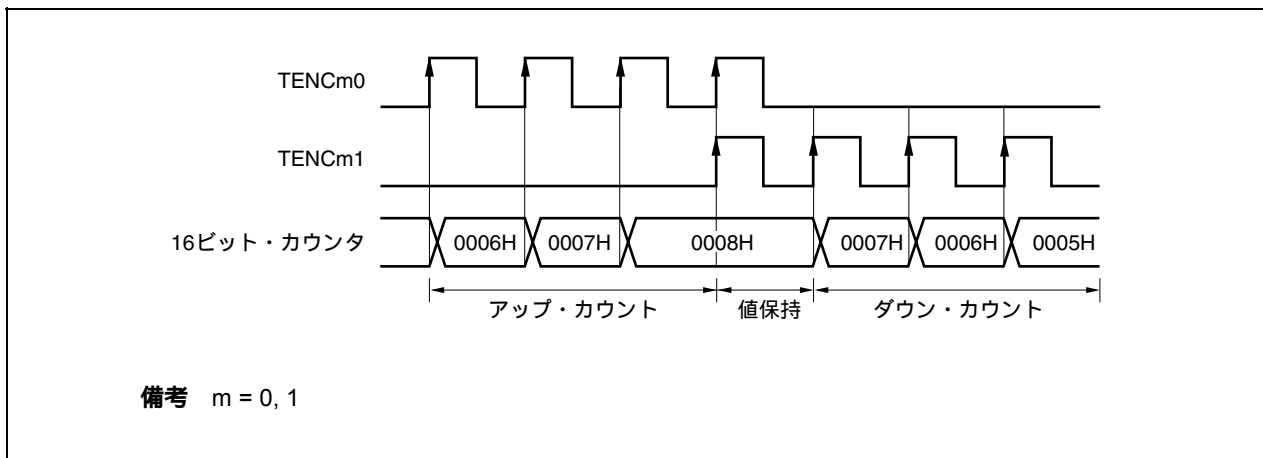


・ TTmUDS1, TTmUDS0ビット = 01時

TENCm0端子	TENCm1端子	カウント動作
ロウ・レベル	立ち上がりエッジ	ダウン・カウント
	立ち下がりエッジ	
	両エッジ	
ハイ・レベル	立ち上がりエッジ	
	立ち下がりエッジ	
	両エッジ	
立ち上がりエッジ	ハイ・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロウ・レベル	
立ち下がりエッジ		
両エッジ		
TENCm0, TENCm1端子同時入力		カウント動作は行わず, 直前の値を保持

備考 TENCm0, TENCm1端子のエッジ検出は, TTmIOC3.TTmEIS1, TTmEIS0ビットで設定します。

図8 - 55 動作例 (TENCm0, TENCm1端子の有効エッジが立ち上がりエッジ指定の場合)



・ TTmUDS1, TTmUDS0ビット = 10時

TENCm0端子	TENCm1端子	カウント動作
ロウ・レベル	立ち下がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ	ロウ・レベル	ダウン・カウント
ハイ・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ	ロウ・レベル	アップ・カウント
ロウ・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ		
立ち下がりエッジ		
立ち上がりエッジ	立ち下がりエッジ	ダウン・カウント
立ち下がりエッジ		アップ・カウント

注意 TENCm0端子とTENCm1端子の有効エッジ指定は無効となります。

図8 - 56 動作例 (TENCm0, TENCm1端子の有効エッジが重ならない場合のカウント動作)

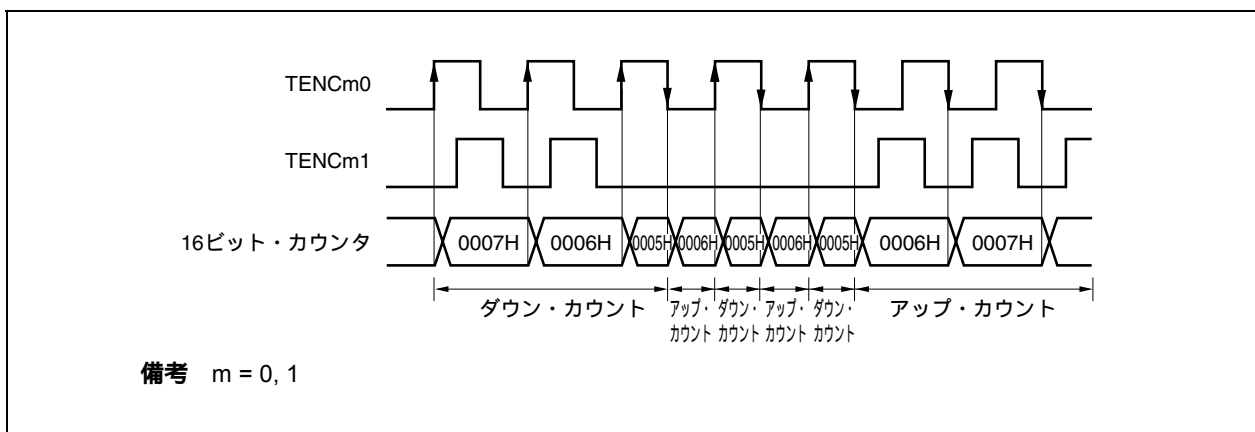
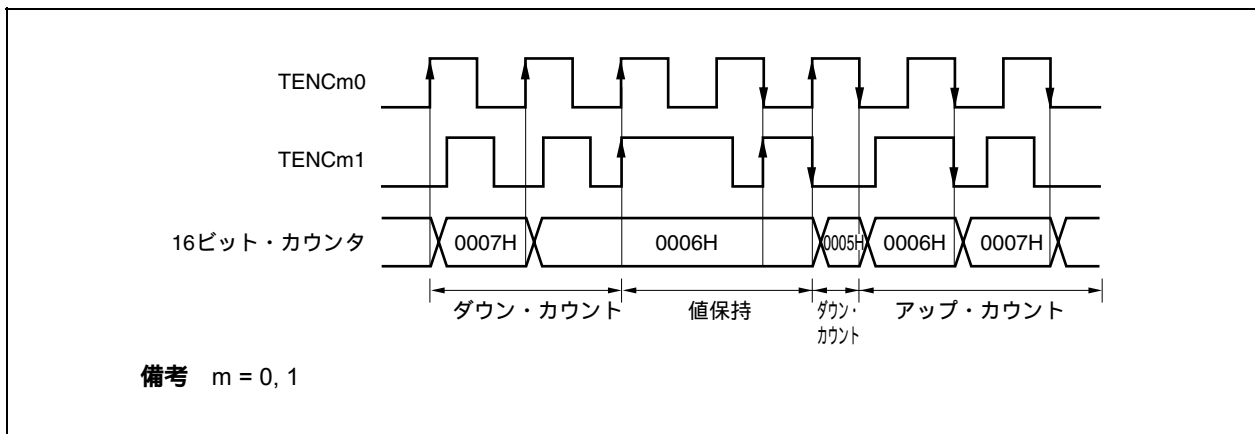


図8 - 57 動作例 (TENCm0, TENCm1端子の有効エッジが重なった場合のカウント動作)



・ TTmUDS1, TTmUDS0ビット = 11時

TENCm0端子	TENCm1端子	カウント動作
ロウ・レベル	立ち下がりエッジ	ダウン・カウント
立ち上がりエッジ	ロウ・レベル	
ハイ・レベル	立ち上がりエッジ	
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ		
ロウ・レベル		
TENCm0, TENCm1端子同時入力		カウント動作は行わず, 直前の値を保持

注意 TENCm0端子とTENCm1端子の有効エッジ指定は無効となります。

図8 - 58 動作例 (TENCm0, TENCm1端子の有効エッジが重ならない場合のカウント動作)

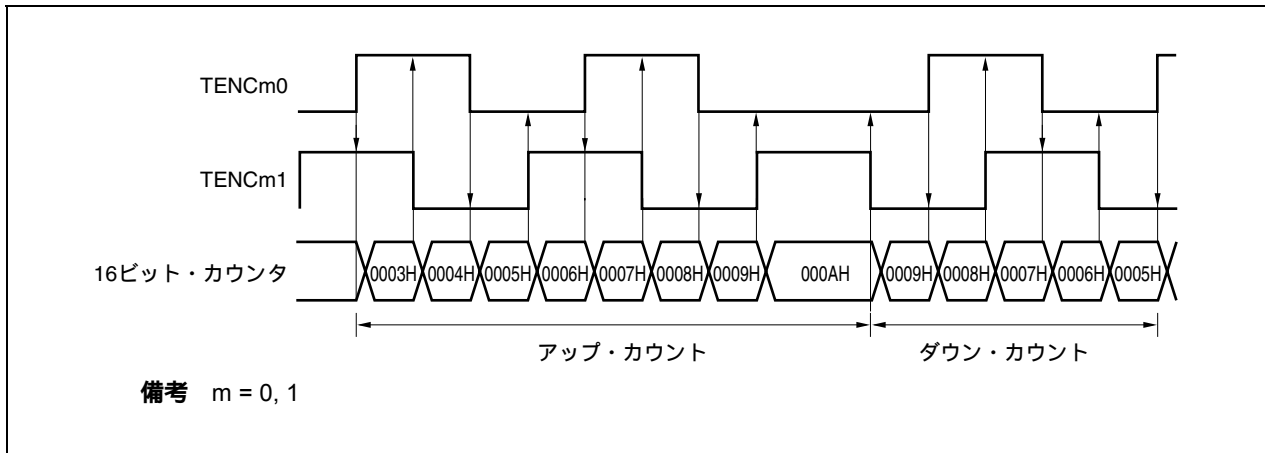
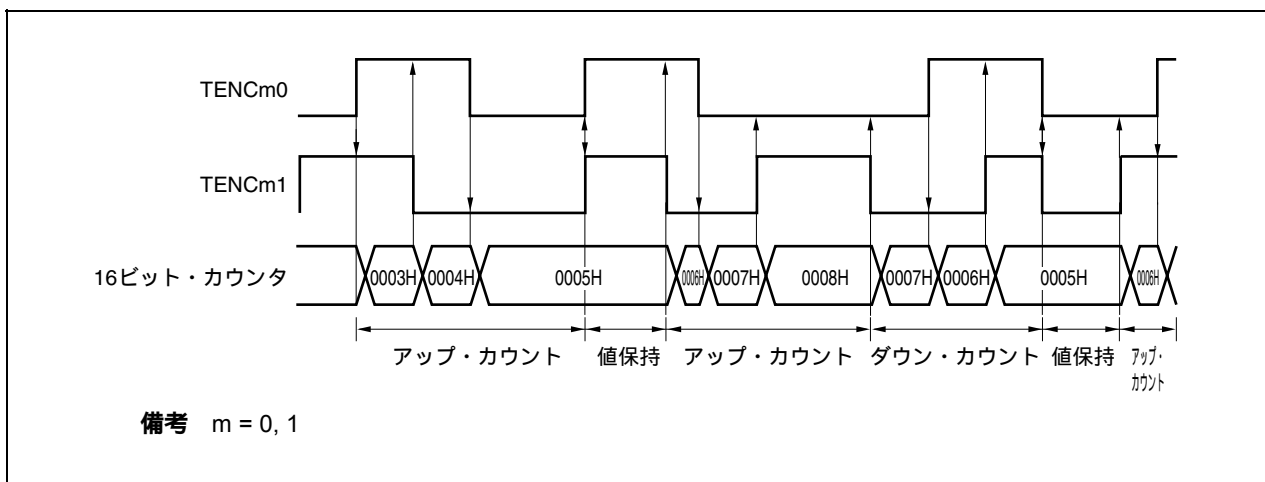


図8 - 59 動作例 (TENCm0, TENCm1端子の有効エッジが重なった場合のカウント動作)



TTmECM1, TTmECM0ビット：コンペア・レジスタ一致によるタイマ・カウンタ・クリア機能
16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値が一致したときにTTmECM1, TTmECM0ビットの設定値に従い，カウンタ動作を行います。

- ・ TTmECM1, TTmECM0ビット = 00時
16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値の一致によるカウンタ・クリアを行わない。
- ・ TTmECM1, TTmECM0ビット = 01時
16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16ビット・カウンタを0000Hにクリアする。
ダウン・カウンタ	16ビット・カウンタのカウンタ値をダウン・カウントする

- ・ TTmECM1, TTmECM0ビット = 10時
16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16ビット・カウンタを0000Hにクリアする。

- ・ TTmECM1, TTmECM0ビット = 11時
16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16ビット・カウンタを0000Hにクリアする。
ダウン・カウンタ	16ビット・カウンタのカウンタ値をダウン・カウントする

16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説 明
アップ・カウンタ	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16ビット・カウンタを0000Hにクリアする。

TTmLDEビット：アンダフロー発生時のTTmCCR0レジスタ設定値の16ビット・カウンタへの転送機能

TTmLDEビット = 1に設定することにより、アンダフロー発生時にTTmCCR0レジスタ設定値を16ビット・カウンタに転送することができます。

TTmLDEビットは、エンコーダ・コンペア・モード時のみ有効です。

・「0000H-TTmCCR0レジスタ設定値」範囲内でのカウント動作

TTmLDEビット = 1, TTmECM1, TTmECM0ビット = 01に設定し、カウント動作を行うと、TTmECM0ビット = 1のときに16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値の一致発生後、次のカウントがアップ・カウントの場合に16ビット・カウンタが0000Hにクリアされます。

TTmLDEビット = 1のときにアンダフロー発生時にTTmCCR0レジスタ設定値が16ビット・カウンタに転送されます。

したがって、TTmCCR0レジスタ設定値をカウント上限値、0000Hをカウント下限値とした「0000H-TTmCCR0レジスタ設定値」範囲内でのカウント動作が実現できます。

図8 - 60 動作例（「0000H-TTmCCR0レジスタ設定値」範囲内でのカウント動作）

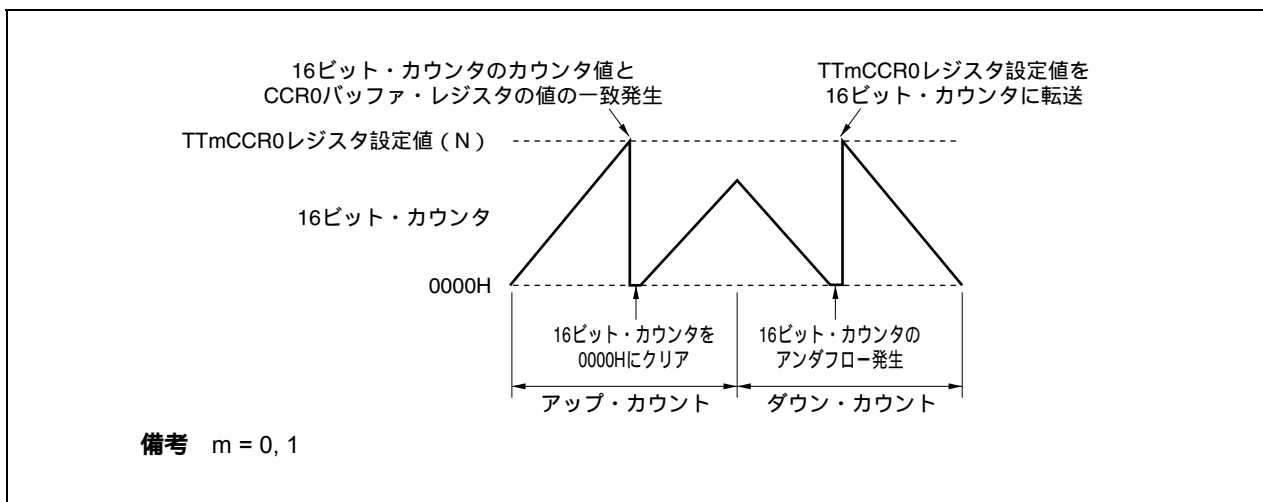
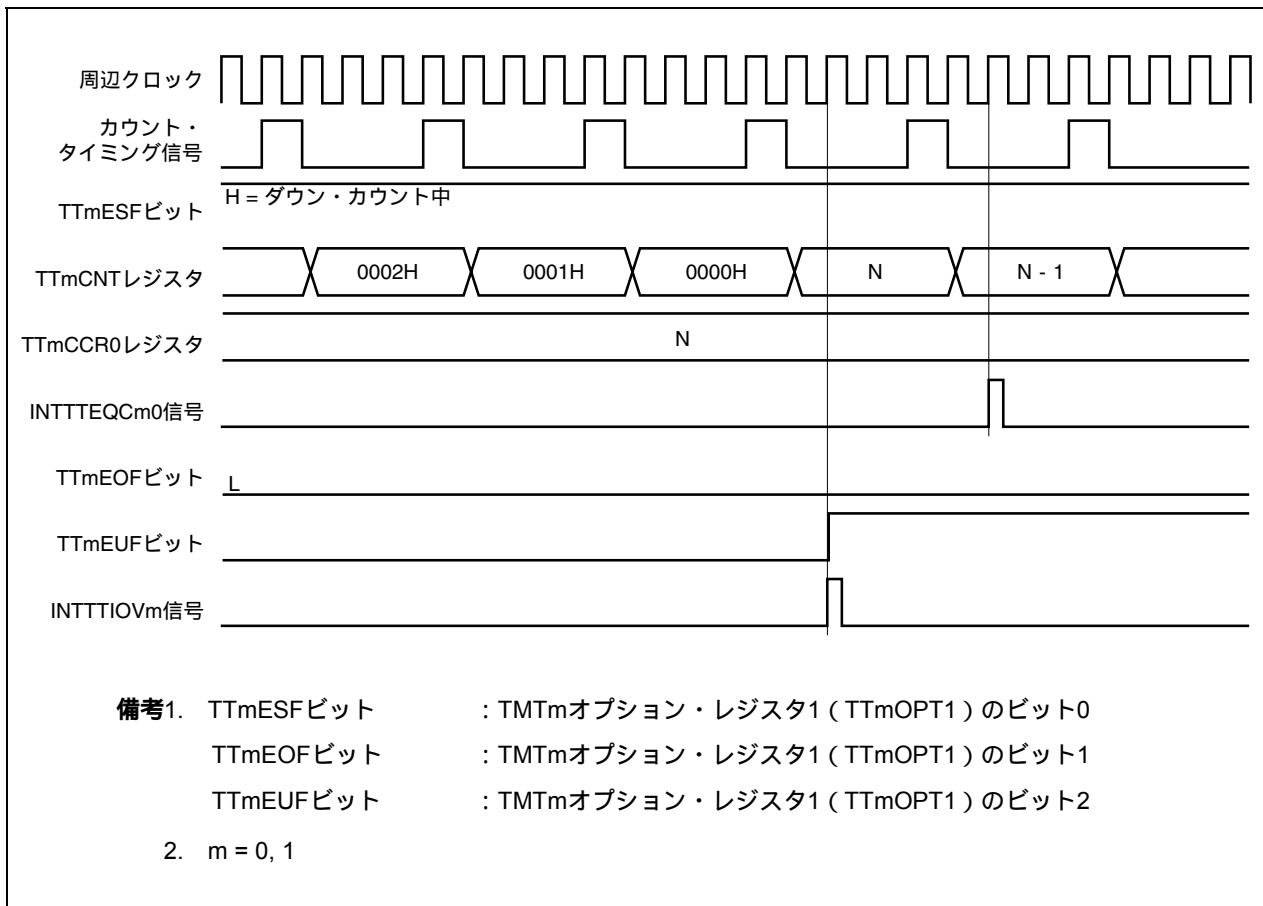


図8 - 61 動作タイミング (「0000H-TTmCCR0レジスタ設定値」範囲内でのカウント動作)



(6) エンコーダ・クリア信号 (TECRm端子) によるカウンタの0000Hクリア機能

TECRm端子入力により16ビット・カウンタを0000Hにクリアする方法は2種類あり, TTmIOC3.TTmSCEビットにより制御されます。また, TTmSCEビットは, その設定によりTTmIOC3.TTmZCL, TTmBCL, TTmACL, TTmECS1, TTmECS0ビットを制御します。

これらのクリア方法は, エンコーダ・コンペア・モード時のみ有効です。

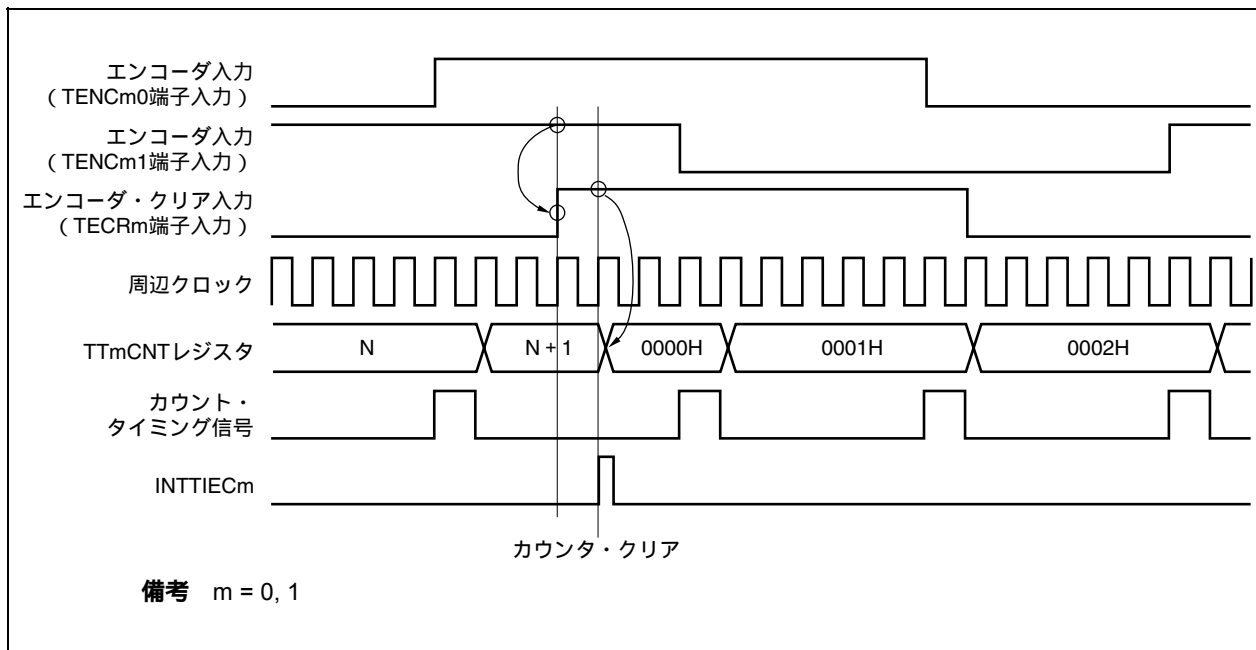
表8 - 10 TTmSCEビットとTTmZCL, TTmBCL, TTmACL, TTmECS1, TTmECS0ビットの関係

クリア方法	TTmSCEビット	TTmZCLビット	TTmBCLビット	TTmACLビット	TTmECS1, TTmECS0ビット
	0	無効	無効	無効	有効
	1	有効	有効	有効	無効

(a) クリア方法 : エンコーダ・クリア信号 (TECRm端子) のエッジ検出クリア (TTmSCEビット = 0)

TTmSCEビット = 0のとき, TTmECS1, TTmECS0ビットで指定したTECRm端子の有効エッジ検出により, 周辺クロックに同期して16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTIECm) が発生します。なお, TTmSCEビット = 0のとき, TTmZCL, TTmBCL, TTmACLビットの設定は無効です。

図8 - 62 動作例 (TTmSCEビット = 0, TTmECS1, TTmECS0ビット = 01, TTmUDS1, TTmUDS0ビット = 11の場合)



(b)クリア方法 : TENCm0, TENCm1, TECRm端子のクリア・レベル条件検出クリア(TTmSCEビット = 1)

TTmSCEビット = 1のとき, TTmZCL, TTmBCL, TTmACLビットで設定したTECRm, TENCm0, TENCm1端子のクリア・レベル条件検出により16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTIECm) は発生しません。なお, TTmSCEビット = 1のとき, TTmECS1, TTmECS0ビットの設定は無効です。

表8 - 11 TTmSCEビット = 1のときの16ビット・カウンタのクリア条件

クリア・レベル条件設定			エンコーダ端子の入力レベル		
TTmZCLビット	TTmBCLビット	TTmACLビット	TECRm端子	TENCm1端子	TENCm0端子
0	0	0	L	L	L
0	0	1	L	L	H
0	1	0	L	H	L
0	1	1	L	H	H
1	0	0	H	L	L
1	0	1	H	L	H
1	1	0	H	H	L
1	1	1	H	H	H

注意 TTmZCL, TTmBCL, TTmACLビットのクリア・レベル条件と, TECRm, TENCm1, TENCm0端子の入力レベルが一致したときに16ビット・カウンタを0000Hにクリアします。

備考 m = 0, 1

図8 - 63 動作例 (TTmSCEビット = 1, TTmZCLビット = 1, TTmBCLビット = 0, TTmACLビット = 1,
TTmUDS1, TTmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル,
TENCm0 = ハイ・レベルの場合) (1/3)

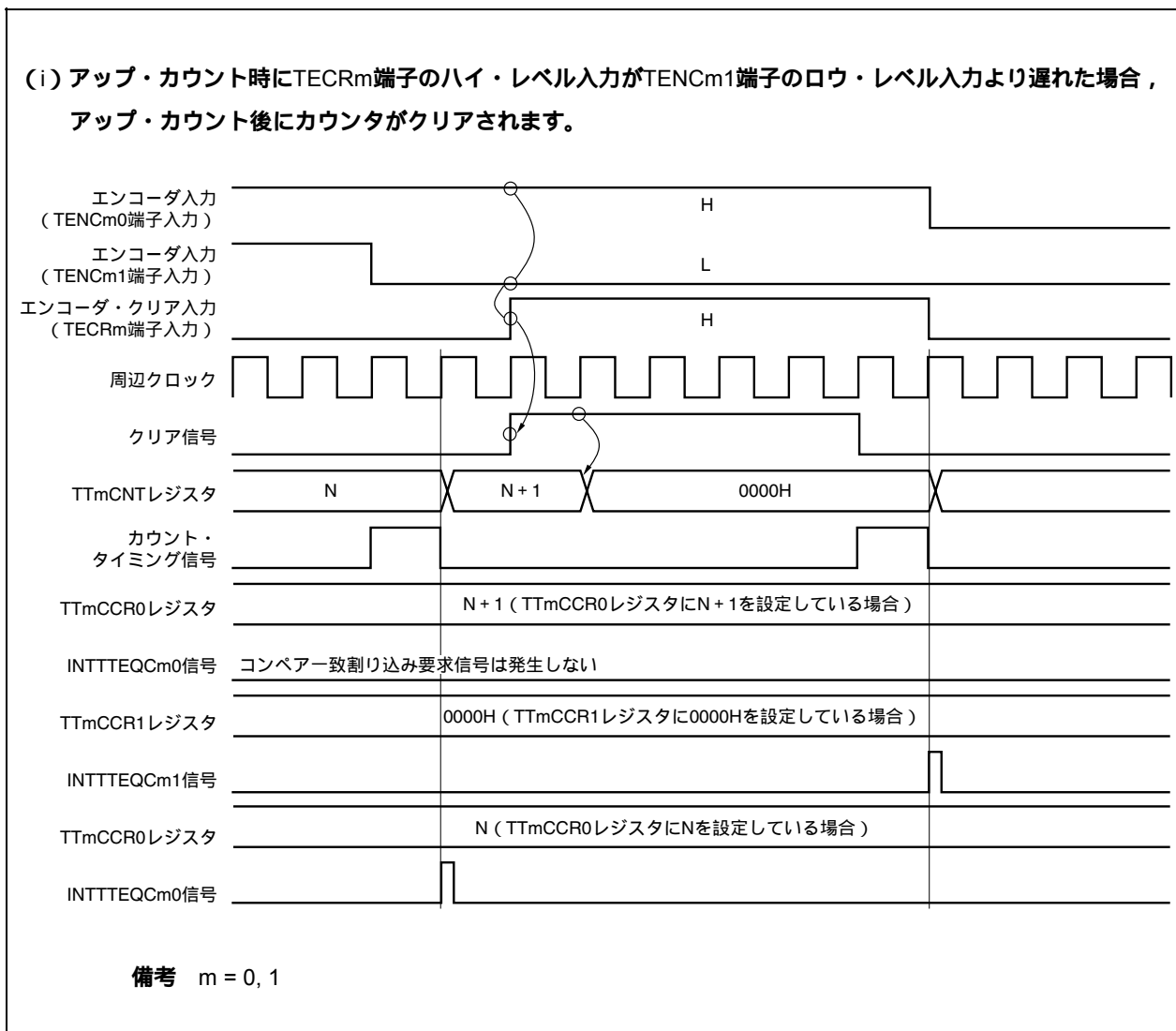
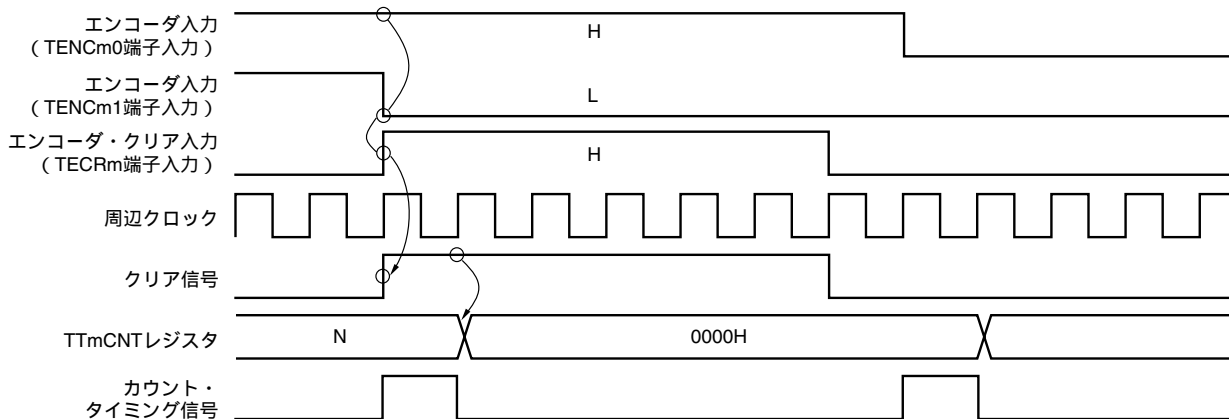
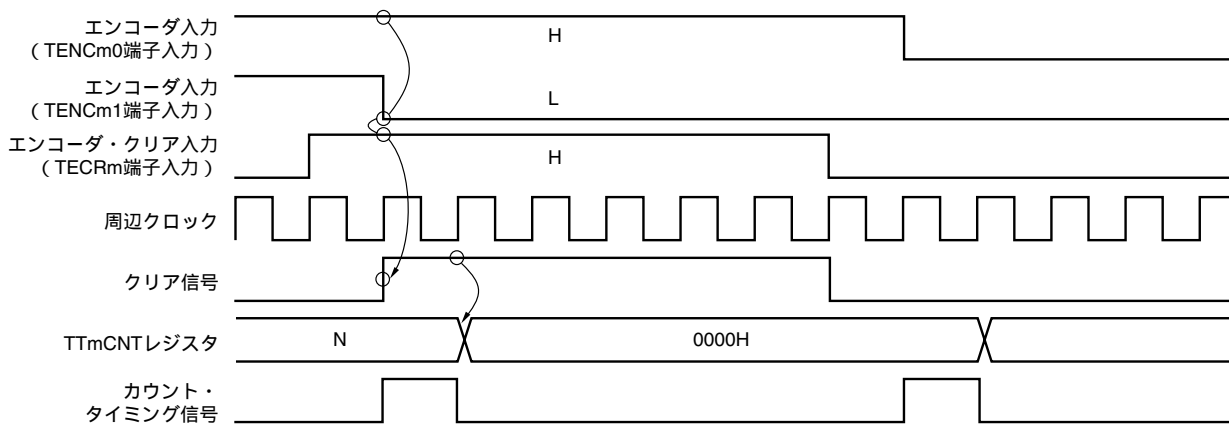


図8 - 63 動作例 (TTmSCEビット = 1, TTmZCLビット = 1, TTmBCLビット = 0, TTmACLビット = 1,
TTmUDS1, TTmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル,
TENCm0 = ハイ・レベルの場合) (2/3)

(ii) アップ・カウント時にTECRm端子のハイ・レベル入力とTENCm1端子のロウ・レベル入力が同時の場合、
アップ・カウントせずにカウンタがクリアされます。



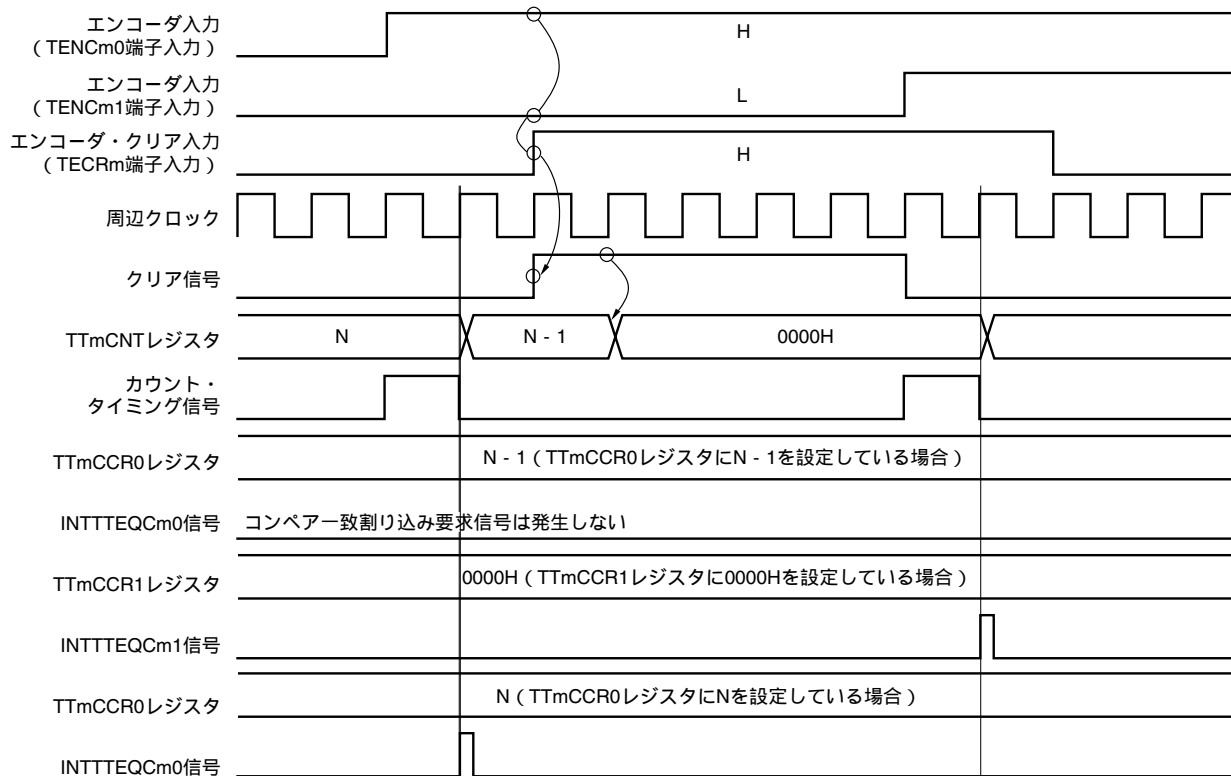
(iii) アップ・カウント時にTECRm端子のハイ・レベル入力がTENCm1端子のロウ・レベル入力より早い場合、
アップ・カウントせずにカウンタがクリアされます。



備考 m = 0, 1

図8 - 63 動作例 (TTmSCEビット = 1, TTmZCLビット = 1, TTmBCLビット = 0, TTmACLビット = 1,
TTmUDS1, TTmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル,
TENCm0 = ハイ・レベルの場合) (3/3)

(iv) ダウン・カウント時にTECRm端子のハイ・レベル入力がTENCm1端子のロウ・レベル入力より遅れた場合、アップ・カウント後にカウンタがクリアされます。



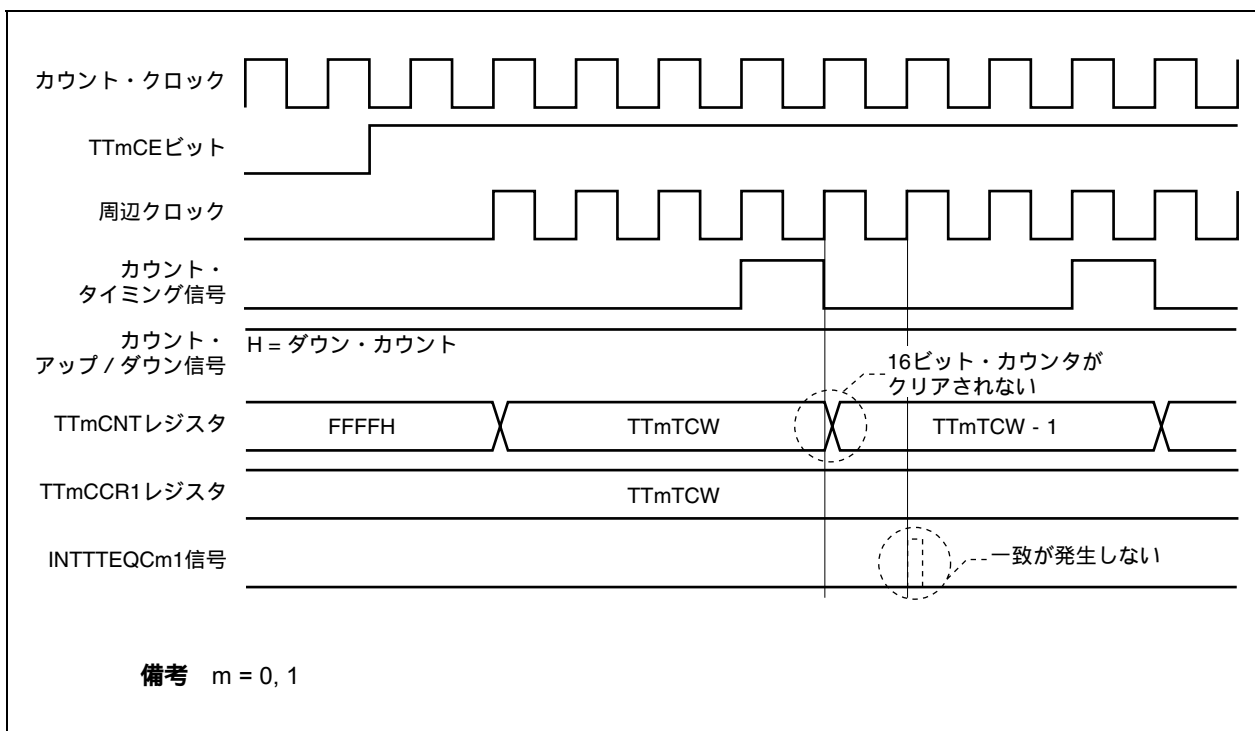
備考 m = 0, 1

このクリア方法では、TECRm, TENCm1, TENCm0端子入力のクリア・レベル条件を設定し、クリア・レベル条件の検出により16ビット・カウンタを0000Hにクリアするため、TECRm端子入力の遅延による誤カウントは発生しません。

(7) エンコーダ・カウント機能の注意事項

(a) 動作開始直後のコンペア一致の未発生

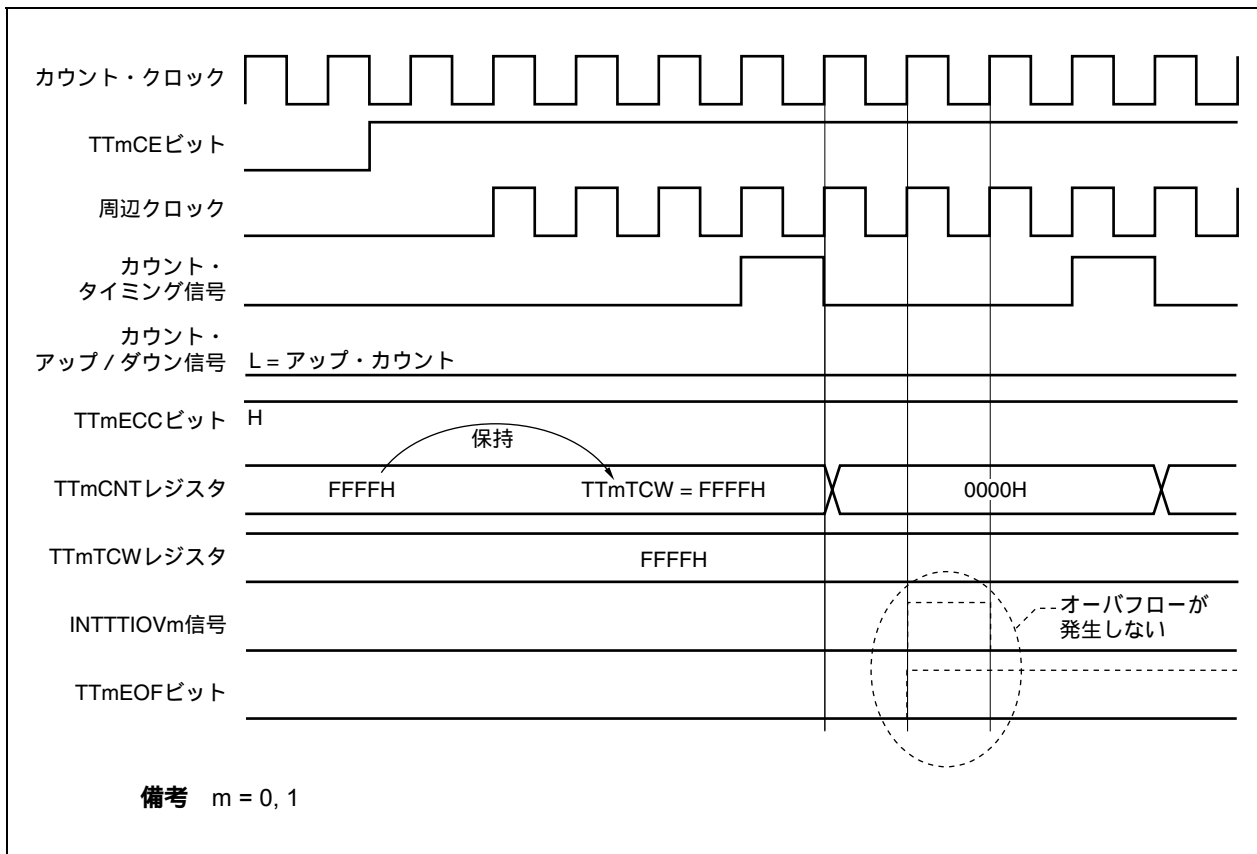
TTmCCR0 レジスタまたは TTmCCR1 レジスタに TTmTCW レジスタと同じ値を設定し TTmCTL2.TTmECCビット = 0時にカウンタ動作を開始した場合、動作開始直後の16ビット・カウンタのカウンタ値 (TTmTCW) とCCR_aバッファ・レジスタの値が一致すると、一致はマスクされ、コンペア一致割り込み要求信号 (INTTTEQC_m) は発生しません (a = 0, 1)。また、TTmCTL2.TTmECM1, TTmECM0ビットの設定による16ビット・カウンタの0000Hクリアも行われません。



(b) 動作開始直後のオーバーフローの未発生

TTmCTL2.TTmECCビット = 1時にカウンタ動作を再開した場合、16ビット・カウンタの保持していたカウント値がFFFFHで次のカウントがアップ・カウントのとき、オーバーフローは発生しません。

カウンタ値 (TTmTCWレジスタ値 = FFFFH)での動作開始後、カウント・アップした場合、カウント動作はFFFFH 0000Hとなりオーバーフローが発生となりますが、オーバーフロー検出がマスクされてしまい、オーバーフロー・フラグ (TTmEOF) はセットされず、オーバーフロー割り込み要求信号 (INTTTIOVm) も発生しません。



8. 6. 10 エンコーダ・コンペア・モード (TTmMD3-TTmMD0ビット = 1000)

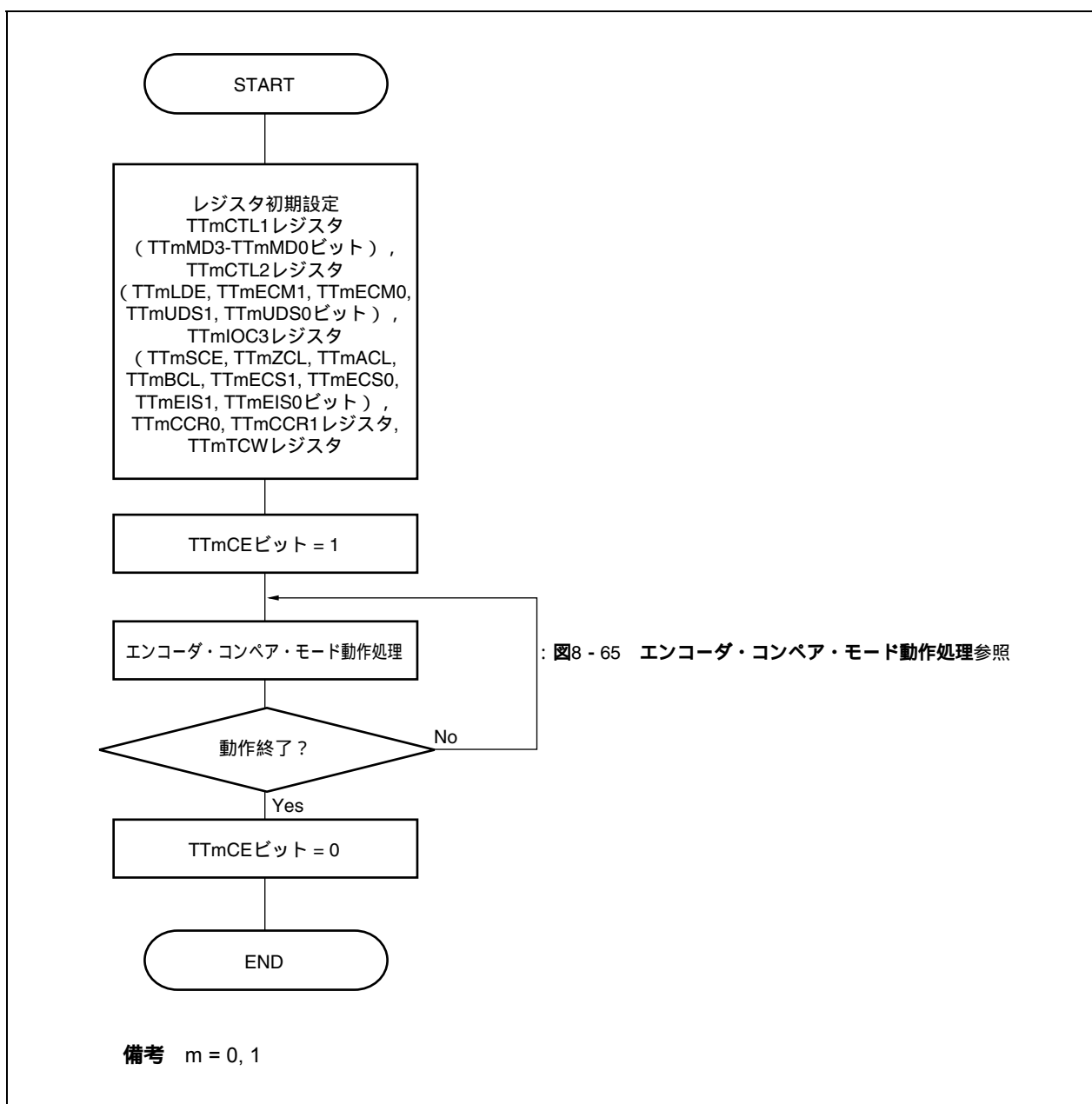
エンコーダ・コンペア・モードは、TTmCCR0, TTmCCR1レジスタをと共にコンペア機能として使用し、エンコーダ・カウント機能用入力端子 (TENCm0, TENCm1, TECEm) により、エンコーダ制御を実現します。

クリア動作としては3つの条件があります。16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値の一致によるクリア (コンペア一致割り込み要求信号 (INTTTEQCma) を発生)、エンコーダ・クリア入力 (TECEm端子) のエッジ検出クリア、TENCm0, TENCm1, TECEm端子のクリア・レベル条件検出クリアにより、16ビット・カウンタを0000Hにクリアします。

アンダフロー発生時にTTmCCR0レジスタ設定値を16ビット・カウンタに転送することができます。

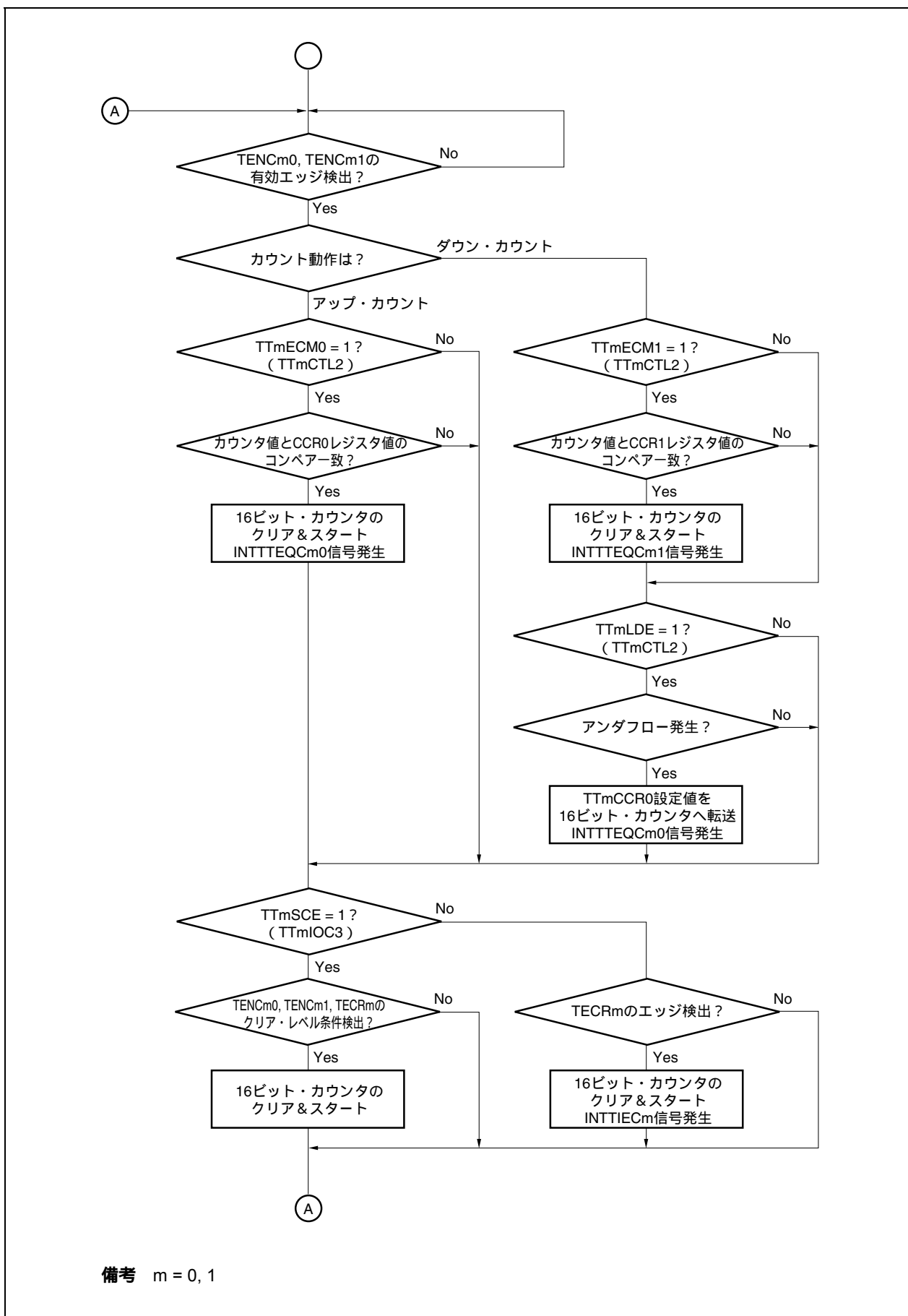
(1) エンコーダ・コンペア・モード動作フロー

図8 - 64 エンコーダ・コンペア・モード動作フロー



: 図8 - 65 エンコーダ・コンペア・モード動作処理参照

図8 - 65 エンコーダ・コンペア・モード動作処理

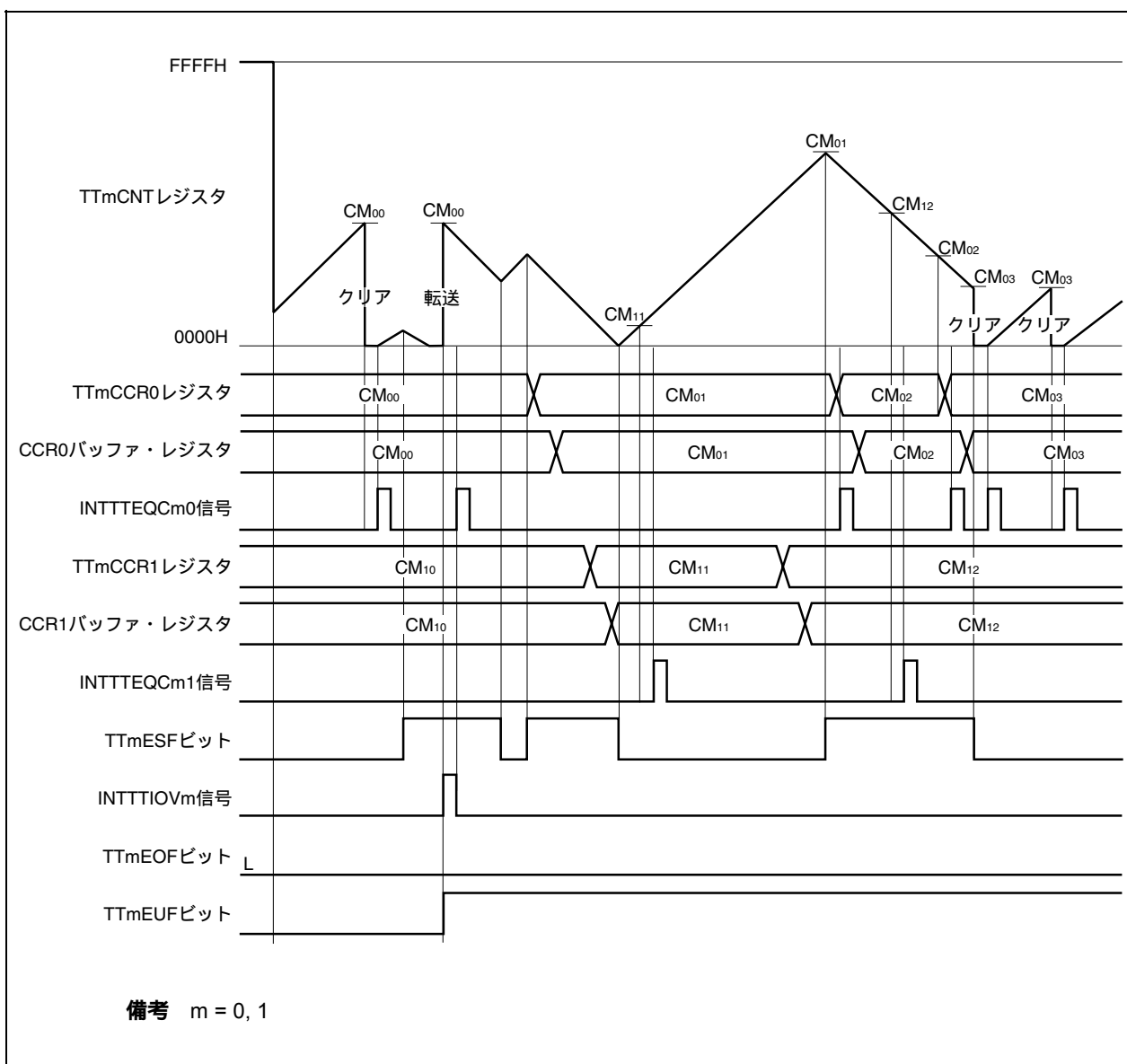


(2) エンコーダ・コンペア・モード動作タイミング

(a) 基本タイミング1

【レジスタ設定条件】

- ・ TTmCTL2.TTmECM1, TTmECM0ビット = 01
16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TTmCTL2.TTmLDEビット = 1
アンダフロー発生時, TTmCCR0レジスタ設定値を16ビット・カウンタに転送する。
- ・ TTmIOC3.TTmSCEビット = 0, TTmECS1, TTmECS0ビット = 00
エンコーダ・クリア入力 (TECRm端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTmCEビット = 0 1) にTTmTCWレジスタ設定値を16ビット・カウンタに転送し、カウンタ動作を開始します。

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCm0) が発生します。TTmECM0ビット = 1のため、次のカウンタ動作がアップ・カウンタの場合に16ビット・カウンタを0000Hにクリアします。

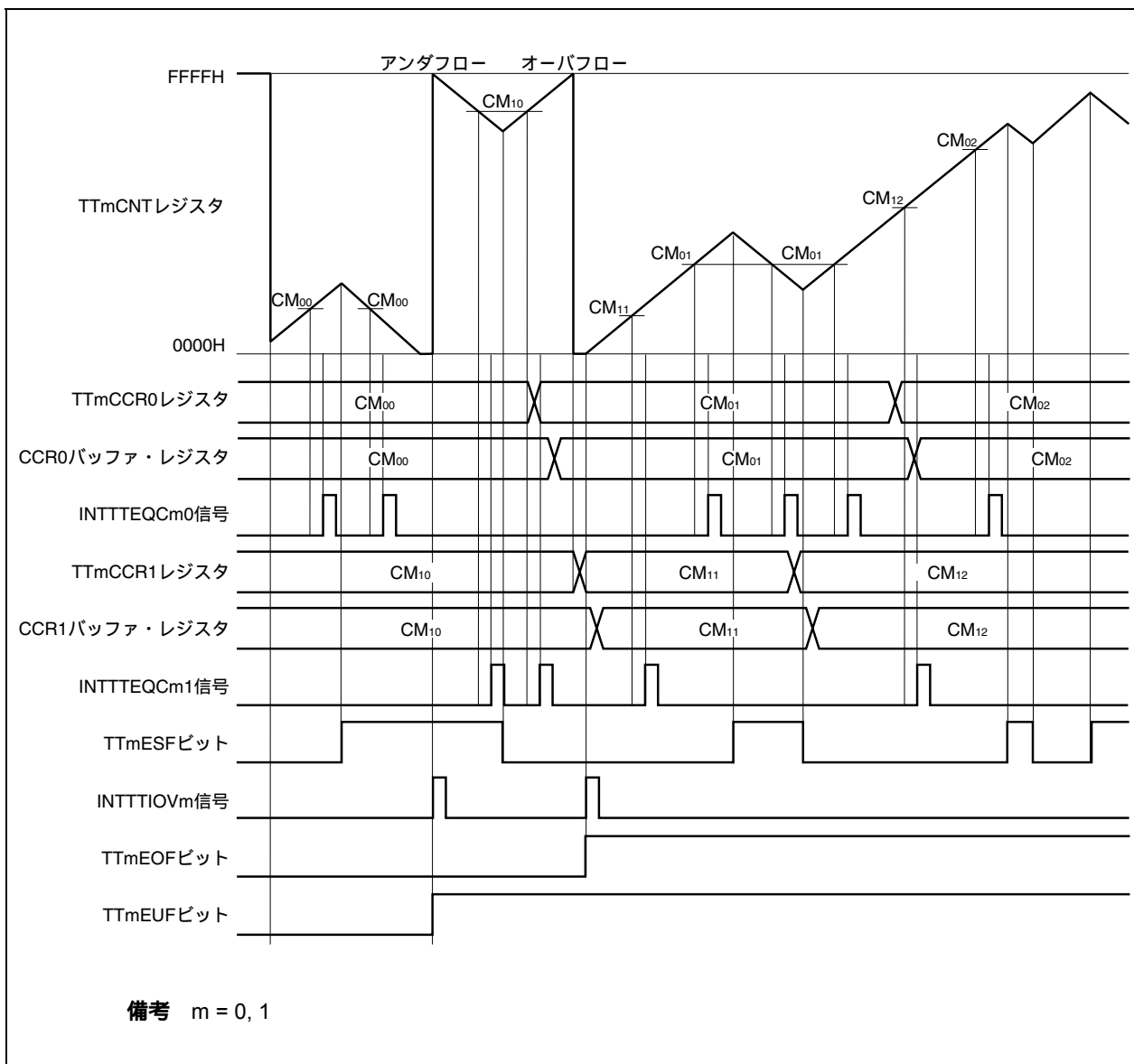
16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCm1) が発生します。TTmECM1ビット = 0のため、一致条件では16ビット・カウンタは0000Hにクリアされません。

また、TTmLDEビット = 1, TTmECM0ビット = 1の設定により、「0000H-TTmCCR0レジスタ設定値」範囲内でカウンタ動作が可能です。

(b) 基本タイミング2

【レジスタ設定条件】

- ・ TTmCTL2.TTmECM1, TTmECM0ビット = 00
16ビット・カウンタのカウンタ値とCCR_aバッファ・レジスタ値の一致でのカウンタ・クリアなし (a = 0, 1)。
- ・ TTmCTL2.TTmLDEビット = 0
アンダフロー発生時, TTmCCR0レジスタ設定値を16ビット・カウンタに転送しない。
- ・ TTmIOC3.TTmSCEビット = 0, TTmECS1, TTmECS0ビット = 00
エンコーダ・クリア入力 (TECR_m端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTmCEビット = 0 1) にTTmTCWレジスタ設定値を16ビット・カウンタに転送し、カウンタ動作を開始します。

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCm0) が発生します。

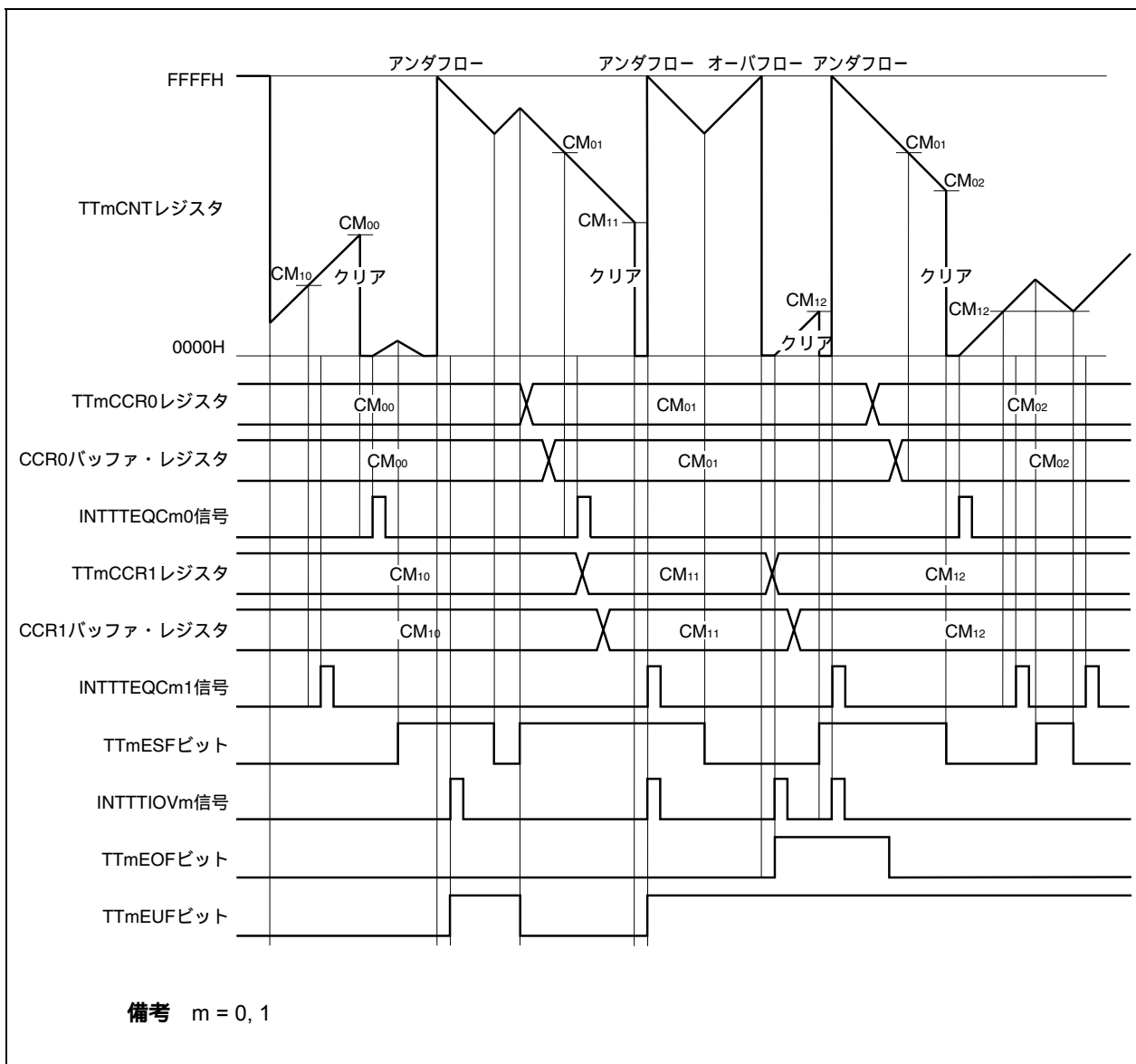
16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCm1) が発生します。

また、TTmECM1, TTmECM0ビット = 00のため、16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタとの一致では、16ビット・カウンタは0000Hにクリアされません (a = 0, 1)。

(c) 基本タイミング3

【レジスタ設定条件】

- ・ TTmCTL2.TTmECM1, TTmECM0ビット = 11
 16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
 16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TTmCTL2.TTmLDEビットの設定無効
- ・ TTmIOC3.TTmSCEビット = 0, TTmECS1, TTmECS0ビット = 00
 エンコーダ・クリア入力 (TECRm端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTmCEビット = 0 1) にTTmTCWレジスタ設定値を16ビット・カウンタに転送し、カウンタ動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCm0) が発生します。このとき、次のカウンタ動作がアップ・カウンタの場合に16ビット・カウンタを0000Hにクリアします。

16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCm1) が発生します。このとき、次のカウンタ動作がダウン・カウンタの場合に16ビット・カウンタを0000Hにクリアします。

第9章 16ビット・インターバル・タイマM (TMM)

タイマM (TMM) は、16ビットのインターバル・タイマです。

V850E/IG4-H, V850E/IH4-H では、TMM0-TMM3 を内蔵しています。

9.1 概 要

TMMnの概要を次に示します (n = 0-3)

- ・インターバル機能
- ・クロック選択 × 8
- ・16ビット・カウンタ × 1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ × 1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み × 1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

9.2 構成

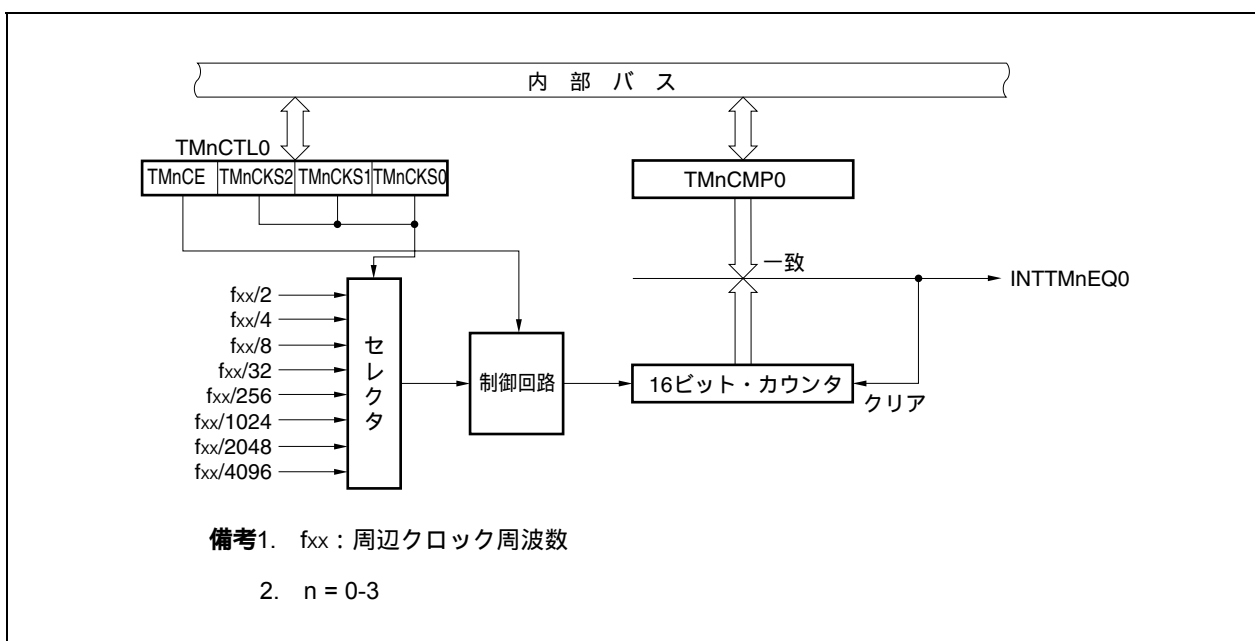
TMMnは、次のハードウェアで構成されています (n = 0-3)。

表9 - 1 TMMnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMMnコンペア・レジスタ0 (TMnCMP0)
制御レジスタ	TMMn制御レジスタ0 (TMnCTL0)

備考 n = 0-3

図9 - 1 TMMnのブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMMnコンペア・レジスタ0 (TMnCMP0)

TMnCMP0レジスタは16ビットのコンペア・レジスタです。

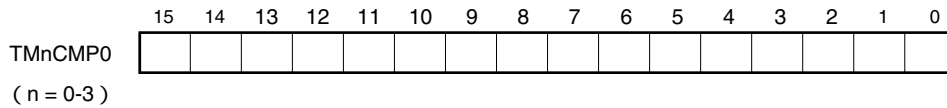
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TMnCMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TMMn動作中 (TMnCTL0.TMnCEビット = 1) , TMnCMP0レジスタの書き換えは禁止です。

リセット時 : 0000H R/W アドレス : TM0CMP0 FFFFF544H, TM1CMP0 FFFFF554H,
TM2CMP0 FFFFF564H, TM3CMP0 FFFFF574H



9.3 制御レジスタ

(1) TMMn制御レジスタ0 (TMnCTL0)

TMnCTL0レジスタはTMMnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TMnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス TM0CTL0 FFFFFFF540H, TM1CTL0 FFFFFFF550H,
TM2CTL0 FFFFFFF560H, TM3CTL0 FFFFFFF570H

	⑦	6	5	4	3	2	1	0
TMnCTL0	TMnCE	0	0	0	0	TMnCKS2	TMnCKS1	TMnCKS0
(n = 0-3)								

TMnCE	内部クロック動作許可/禁止指定
0	TMMn動作禁止 (16ビット・カウンタを非同期にリセット)
1	TMMn動作許可。動作クロック供給開始。TMMn動作開始。

TMnCEビットにより、TMMnの内部クロックの制御と内部回路のリセットを非同期に行います。TMnCEビットをクリア(0)すると、TMMnの内部クロックは停止(ロウ・レベル固定)し、16ビット・カウンタが非同期にリセットされます。

TMnCKS2	TMnCKS1	TMnCKS0	カウント・クロックの選択
0	0	0	fxx/2
0	0	1	fxx/4
0	1	0	fxx/8
0	1	1	fxx/32
1	0	0	fxx/256
1	0	1	fxx/1024
1	1	0	fxx/2048
1	1	1	fxx/4096

注意1. TMnCKS2-TMnCKS0ビットはTMnCEビット = 0のときに設定してください。

ただし、TMnCEビットを0から1に設定するときに、同時にTMnCKS2-TMnCKS0ビットを設定することはできません。

2. ビット3-6には必ず0を設定してください。

備考 fxx : 周辺クロック周波数

9.4 動作

9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TMnCTL0.TMnCEビットをセット(1)することで、TMnCMP0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTMnEQ0)を発生します。

図9-2 インターバル・タイマの構成図

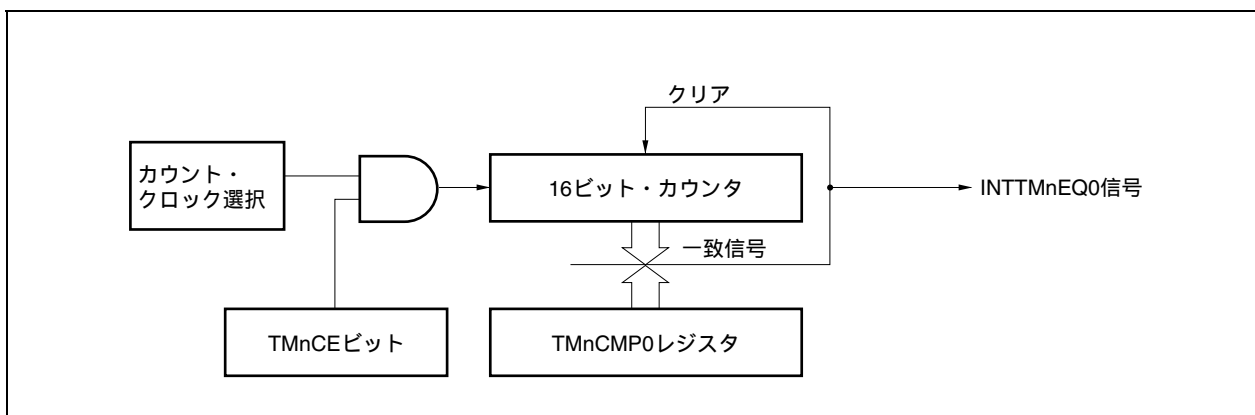
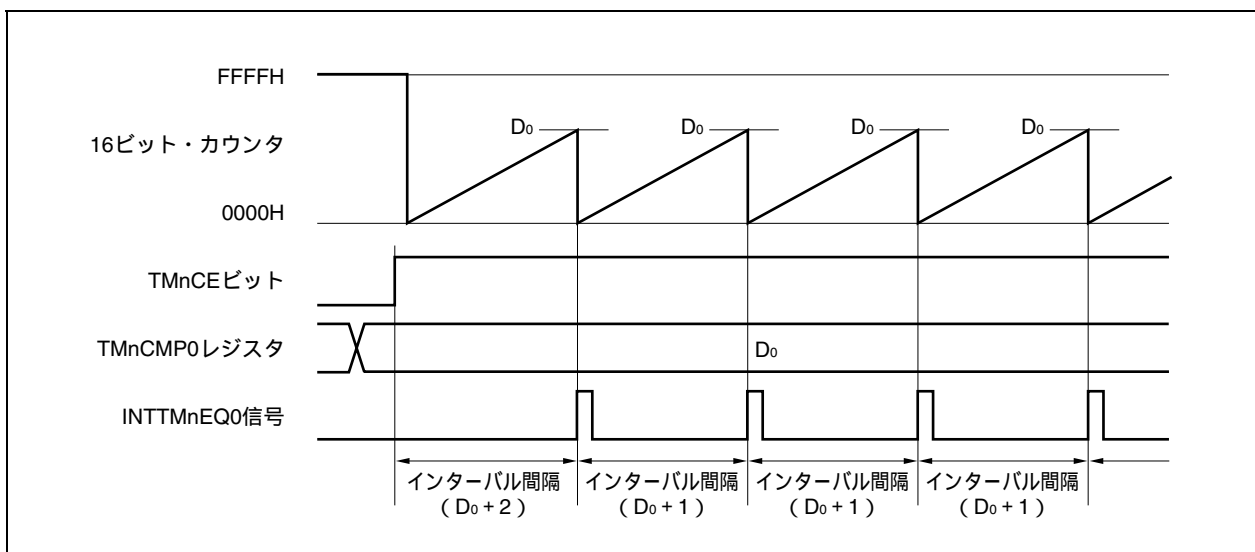


図9-3 インターバル・タイマ・モード動作の基本タイミング



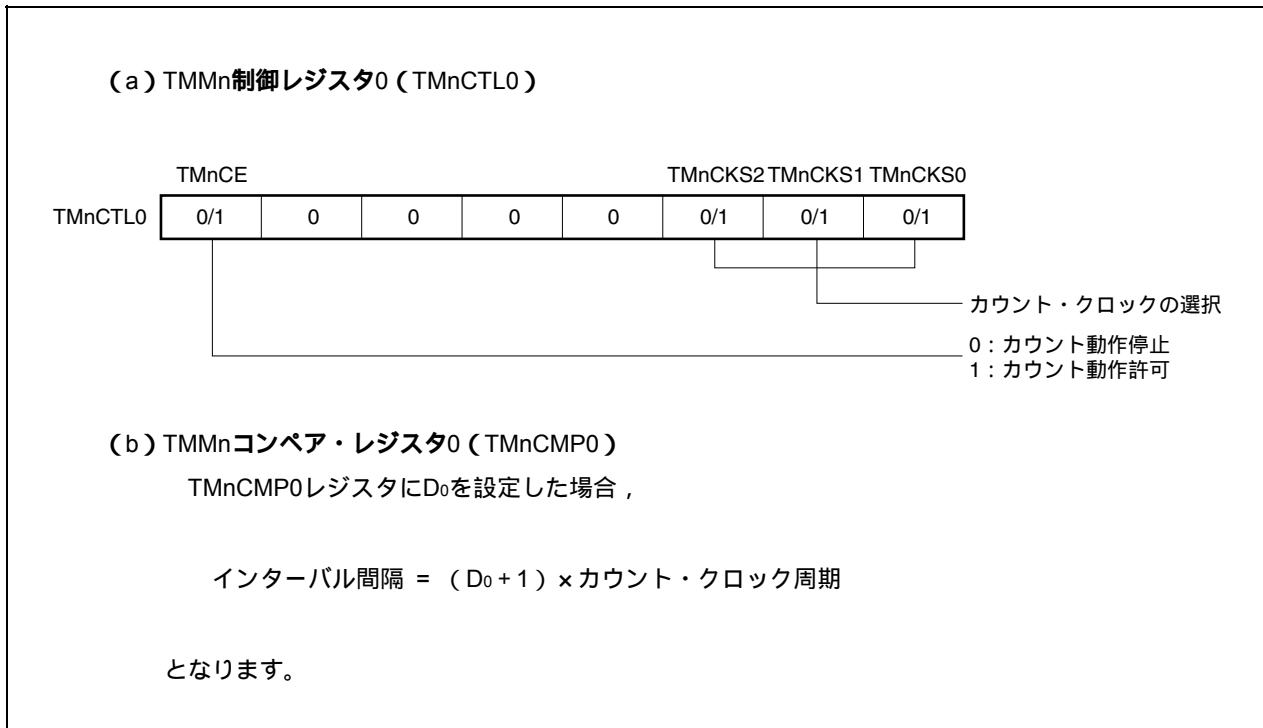
TMnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTMnCMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号(INTTMnEQ0)を発生します。

インターバル間隔は次のようになります。

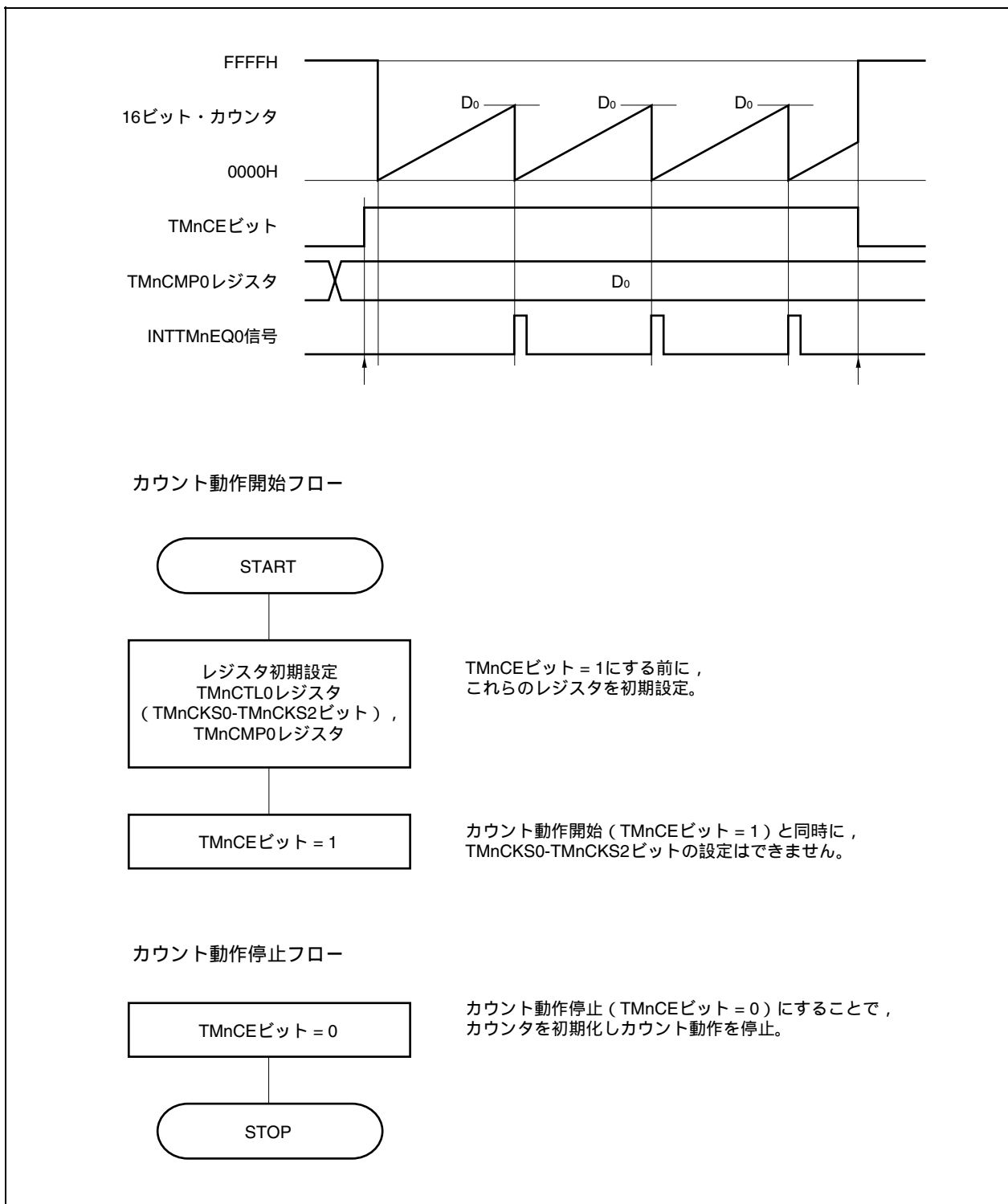
$$\text{インターバル間隔} = (\text{TMnCMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-4 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

図9-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

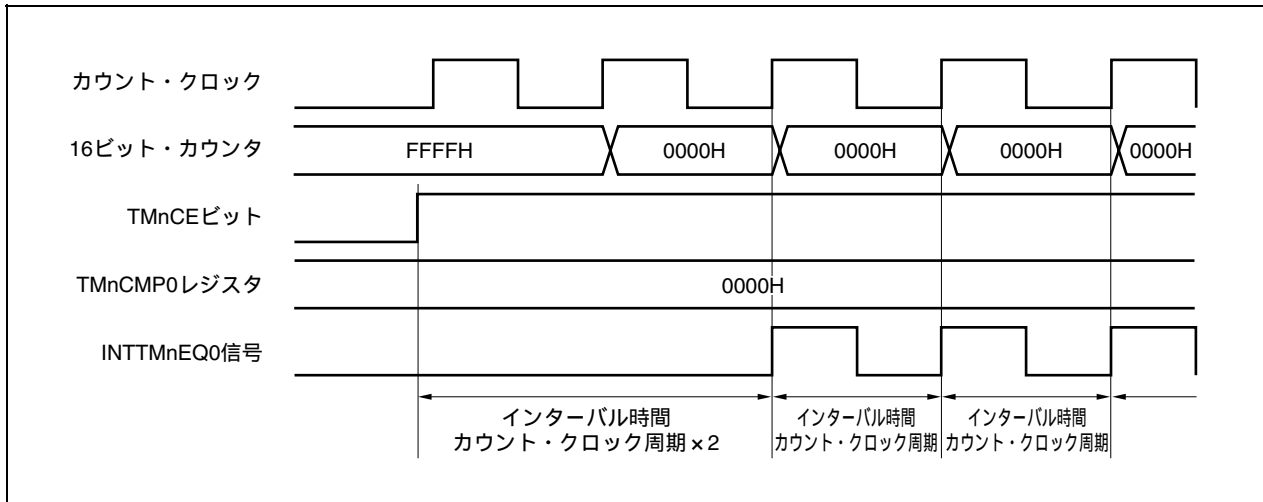


(2) インターバル・タイマ・モード動作タイミング

(a) TMnCMP0レジスタに0000Hを設定した場合の動作

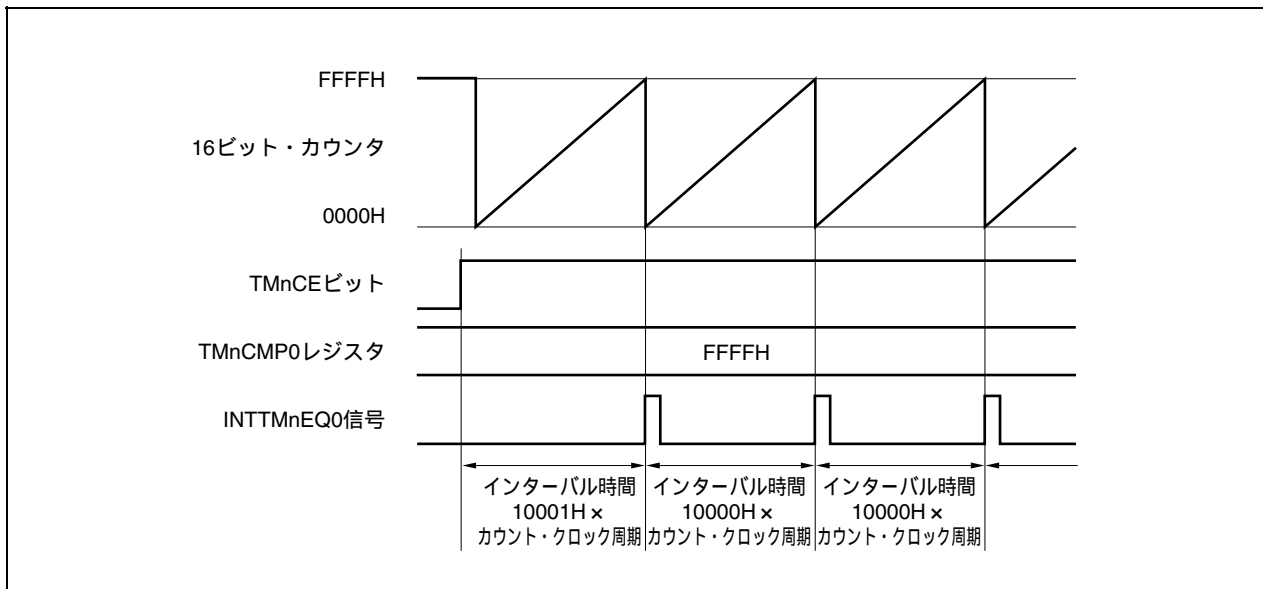
TMnCMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTMnEQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TMnCMP0レジスタにFFFFHを設定した場合の動作

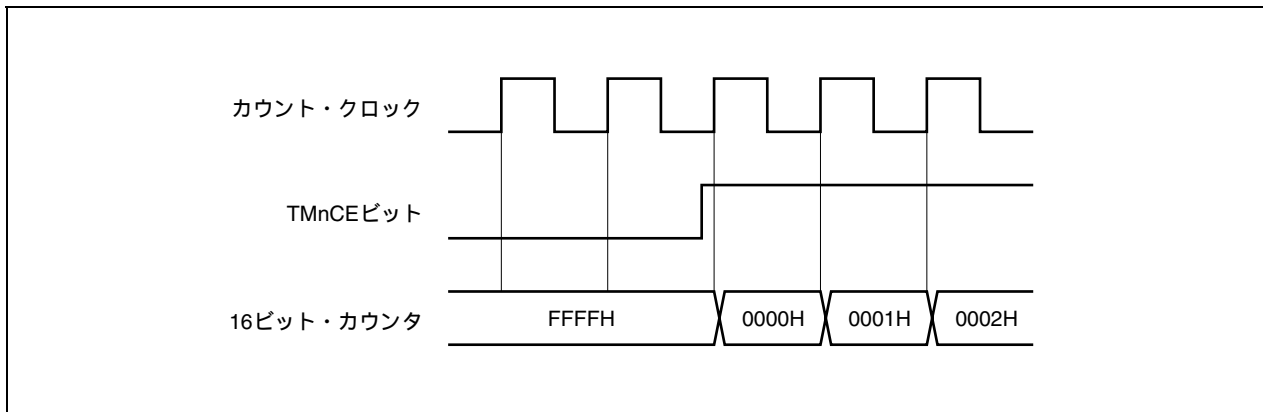
TMnCMP0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTMnEQ0信号を発生します。



9.5 注意事項

(1) タイマ・スタート時の誤差

TMnCTL0.TMnCEビット = 0 1にしてTMMnをスタートしてから、最初のコンペアー一致割り込み要求信号 (INTTMnEQ0) が発生するまでの時間は、1クロック長くなります。これは、TMnCEビット = 0のときの16ビット・カウンタの値がFFFFHであるためと、TMMnのスタートがカウント・クロックと非同期で行われるためです。



(2) TMnCMP0, TMnCTL0レジスタはTMMn動作中の書き換えは禁止です。

TMnCTL0.TMnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TMnCEビットをクリア (0) してから再設定してください。

第10章 モータ制御機能

10.1 機能概要

タイマABn (TABn)とTMQnオプション (TMQOPn)によりモータ制御用のインバータ機能として使用します。またタイマAAn (TAAAn)と同調動作を行い、TAAAnのコンペア一致タイミングで、A/Dコンバータ0, 1のA/D変換を起動することができます。モータ制御機能は、次のような動作を行うことができます。

- ・ 16ビット精度の6相PWM出力機能 (デッド・タイム付き, 上アームおよび下アーム用)
- ・ タイマ同調動作機能 (TAAAnと同調動作可能)
- ・ 任意の周期設定機能
(山割り込み, 谷割り込みでの動作中の変更可能)
- ・ コンペア・レジスタ書き換え: 随時書き換え / 一斉書き換え / 間欠一斉書き換え選択機能
(TABn動作中の変更可能)
- ・ 割り込み機能および転送間引き機能
- ・ 任意のデッド・タイム設定機能
- ・ A/Dコンバータ0, 1のA/Dトリガの任意タイミング機能
(4種類のタイミング生成が可能)
- ・ 0 %出力と100 %出力が可能
- ・ 山割り込み, 谷割り込みでの0 %, 100 %出力切り替え可能
- ・ 強制出力停止機能
 - ・ 外部端子入力 (TOBnOFF, TOB01OFF, TOTmOFF) による有効エッジ検出時
 - ・ A/Dコンバータ部のコンパレータ機能による過電圧検出時
 - ・ クロック・モニタ機能によるメイン・クロックの発振停止検出時

備考 V850E/IG4-H : n = 0, m = 2, 3

V850E/IH4-H : n = 0, 1, m = 2, 3

10.2 構成

モータ制御は次のハードウェアで構成されています。

項目	構成
タイマ・レジスタ	デッド・タイム・カウンタ m
コンペア・レジスタ	TAB n デッド・タイム・コンペア・レジスタ (TAB n DTCレジスタ)
制御レジスタ	TAB n オプション・レジスタ0 (TAB n OPT0) TAB n オプション・レジスタ1 (TAB n OPT1) TAB n オプション・レジスタ2 (TAB n OPT2) TAB n オプション・レジスタ2 (TAB n OPT3) TAB n /O制御レジスタ3 (TAB n IOC3) ハイ・インピーダンス出力制御レジスタ0, 1 (HZAyCTL a)

備考 V850E/IG4-H : $m = 0-3$, $n = 0$, $y = 0-12$, $a = 0, 1$

V850E/IH4-H : $m = 0-3$, $n = 0, 1$, $y = 0-12$, $a = 0, 1$

- ・TAB n の出力 (TOB n 1, TOB n 2, TOB n 3) を使用し, デッド・タイム付きの6相PWM出力が可能です。
- ・6相PWM出力の出力レベルは個別に設定できます。
- ・TAB n の16ビット・タイマ・カウンタは, アップ/ダウンの三角波カウントを行います。アンダフロー発生時と周期一致発生時に割り込みを発生しますが, 最大31回までの割り込み発生を間引くことができます。
- ・TAA n は, TAB n とカウント動作を同時に行うことができます (タイマ同調動作機能)。TAA n は, 2種類のA/Dトリガ・ソース (INTTAnCC0, INTTAnCC1) が生成でき, TAB n のアンダフロー割り込み (INTTBnOV) と周期一致割り込み (INTTBnCC0) の2種類と合わせ, 合計4種類の設定ができます。

図10 - 1 モータ制御のブロック図

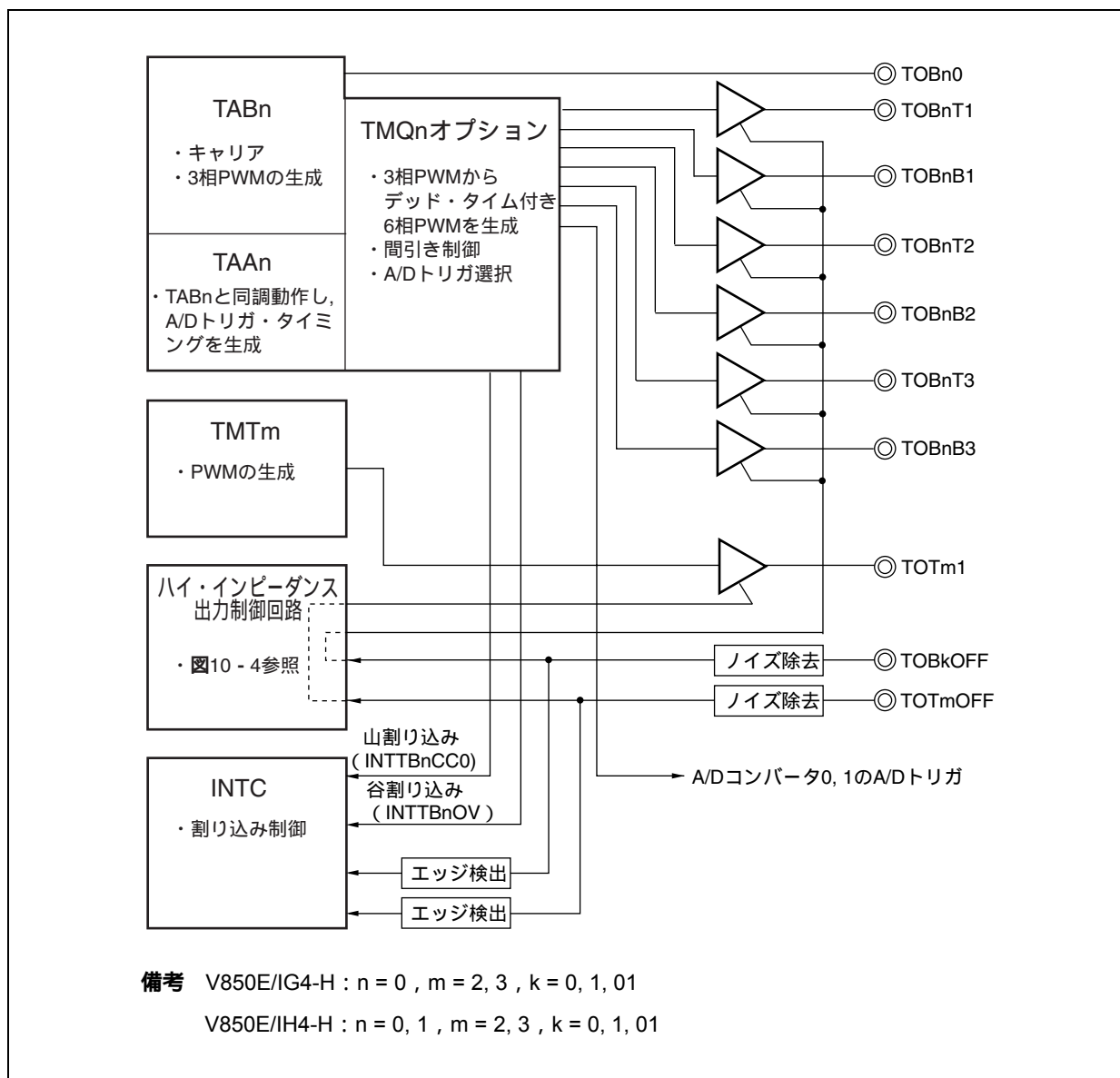
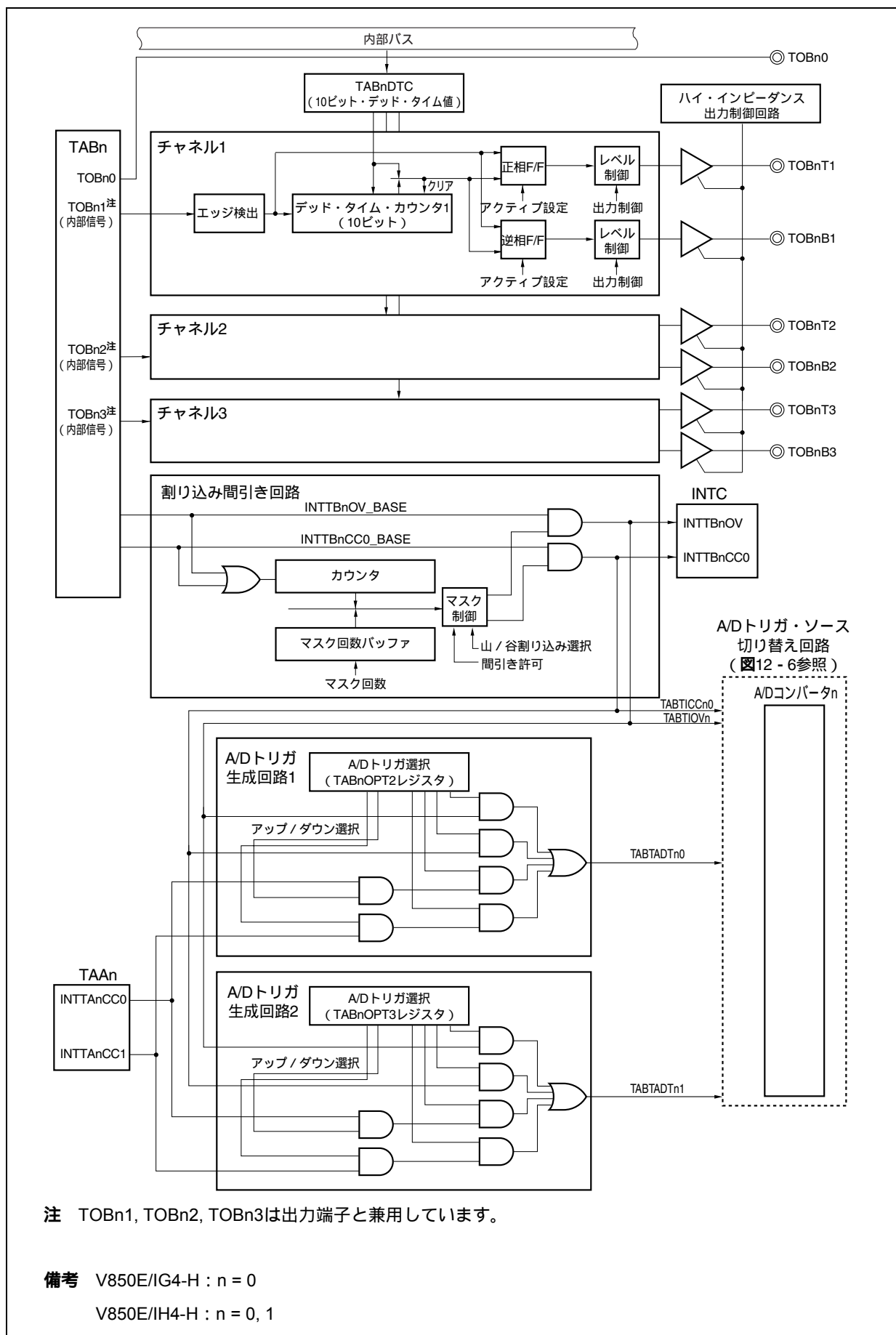


図10 - 2 TMQnオプション



注 TOBn1, TOBn2, TOBn3は出力端子と兼用しています。

備考 V850E/IG4-H : n = 0
 V850E/IH4-H : n = 0, 1

(1) TABnデッド・タイム・コンペア・レジスタ (TABnDTC)

TABnDTCレジスタは、デッド・タイム値を指定する10ビットのコンペア・レジスタです。

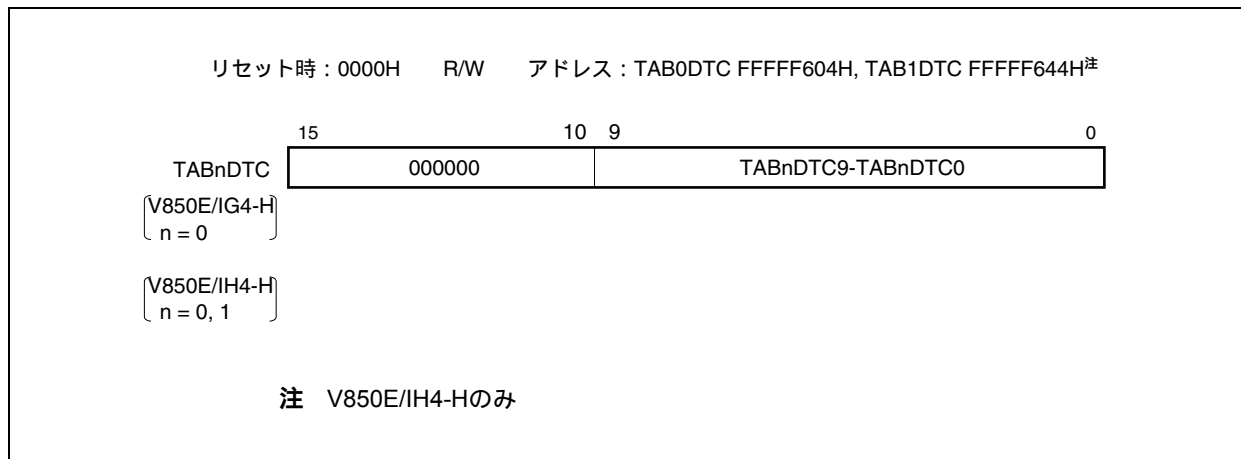
TABnCTL0.TABnCEビット = 1のとき、TABnDTCレジスタの書き換えは禁止です。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 デッド・タイム期間を生成する場合は、TABnDTCレジスタに1以上の値を設定してください。
 なお、動作停止(TABnCTL0.TABnCEビット = 0)時には、デッド・タイム期間は生成されず、TOBnT1-TOBnT3, TOBnB1-TOBnB3端子の出力レベルは初期状態となります。そのため、システム保護のため、動作停止前にTOBnT1-TOBnT3, TOBnB1-TOBnB3端子をハイ・インピーダンス状態にするか、もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。

デッド・タイム期間が不要の場合は、TABnDTCレジスタに0を設定してください。

**(2) デッド・タイム・カウンタ1-3**

デッド・タイム・カウンタはデッド・タイムをカウントする10ビットのカウント・レジスタです。

TABnのTOBnm出力信号の立ち上がり/立ち下がりエッジにより、クリア/カウント・アップ動作を行い、TABnDTCレジスタとの一致でクリア&ストップします。カウント・クロックはTABnのTABnCTL0.

TABnCKS2-TABnCKS0ビットで設定したカウント・クロックと同じカウント・クロックです。

備考1. TABnOPT2.TABnDTMビット = 1とした場合は、動作が異なります。詳細は、10.4.2(4) **デッド・タイム幅の自動縮小機能** (TABnOPT2.TABnDTMビット = 1) を参照してください。

2. V850E/IG4-H : n = 0, m = 1-3

V850E/IH4-H : n = 0, 1, m = 1-3

10.3 制御レジスタ

(1) TABnオプション・レジスタ0 (TABnOPT0)

タイマQnオプション機能を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしTABnCUFビットはリードのみ可能です。

リセットにより00Hになります。

注意 TABnCMS, TABnCUFビットは6相PWM出力モード時のみ設定可能です。TABn単体では必ず“0”を設定してください (V850E/IG4-H : n = 0, V850E/IH4-H : n = 0, 1)。

リセット時 : 00H R/W アドレス : TAB0OPT0 FFFFF5E5H, TAB1OPT0 FFFFF625H

TABnOPT0	⑦	⑥	⑤	④	3	②	①	①
	TABmCCS3 ^{注1, 2}	TABmCCS2 ^{注1, 2}	TABmCCS1 ^{注1, 2}	TABmCCS0 ^{注1, 2}	0	TABnCMS ^{注3}	TABnCUF ^{注3}	TABnOVF ^{注4}
(V850E/IG4-H) n = 0, 1 m = 0	TABnCMS ^{注3} コンペア・レジスタの書き換えモード選択							
	0	一斉書き換えモード指定 (転送動作指定)						
(V850E/IH4-H) n = 0, 1 m = 0, 1	1	随時書き換えモード指定						
	・TABnCMSビットは、6相PWM出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 111) 設定時のみ有効です。それ以外のモードでは、TABnCMSビット = 0としてください。 ・TABnCMSビットは、タイマ動作中 (TABnCTL0.TABnCEビット = 1) の書き換えが可能です。 ・一斉書き込みモード選択時、対象になるレジスタは次のとおりです。 TABnCCR0-TABnCCR3, TAAAnCCR0, TAAAnCCR1, TABnOPT1, TABnDTCレジスタ							
TABnCUF ^{注3}		タイマABnのアップ・カウント/ダウン・カウント・フラグ						
0		タイマABnがアップ・カウント中						
1		タイマABnがダウン・カウント中						
TABnCUFビットは、6相PWM出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 111) 設定時のみ有効です。								

注1. V850E/IG4-Hは、TAB0のみ設定可能です。

TAB1のビット4-7には必ず0を設定してください。

2. 6相PWM出力モード時はTABmCCS3-TABmCCS0ビットは必ず0を設定してください。

3. V850E/IG4-Hでは、TAB1のビット1, 2には必ず0を設定してください。

4. TABnOVFビットの詳細は、第7章 16ビット・タイマ/イベント・カウンタAB (TAB) を参照してください。

(2) TABnオプション・レジスタ1 (TABnOPT1)

タイマQnオプション機能から発生する割り込み要求信号を制御する8ビットのレジスタです。

TABnOPT1レジスタは、図10 - 2にある割り込み間引き回路、A/Dトリガ生成回路1、A/Dトリガ生成回路2に対する信号を生成します。

TABnCTL0.TABnCEビット = 1のときも、TABnOPT1レジスタの書き換えができます。

書き換え方法は、TABnOPT0.TABnCMSビットにより、一斉書き込みモードと随時書き込みモードの2種類を選択できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAB0OPT1 FFFFF600H, TAB1OPT1 FFFFF640H^{注1}

		⑦	⑥	5	4	3	2	1	0
TABnOPT1		TABnICE	TABnIOE	0	TABnID4	TABnID3	TABnID2	TABnID1	TABnID0
(V850E/IG4-H) n = 0	TABnICE	山割り込み (INTTBnCC0信号) 許可 ^{注2}							
		0	INTTBnCC0信号を使用しない (割り込み間引きのカウンタ信号としない)						
(V850E/IH4-H) n = 0, 1		1	INTTBnCC0信号を使用する (割り込み間引きのカウンタ信号とする)						
	TABnIOE	谷割り込み (INTTBnOV信号) 許可 ^{注2}							
		0	INTTBnOV信号を使用しない (割り込み間引きのカウンタ信号としない)						
		1	INTTBnOV信号を使用する (割り込み間引きのカウンタ信号とする)						
	TABnID4	TABnID3	TABnID2	TABnID1	TABnID0	割り込み回数の選択			
	0	0	0	0	0	間引きなし (すべての割り込みを出力)			
	0	0	0	0	1	1マスク (2回に1回の割り込みを出力)			
	0	0	0	1	0	2マスク (3回に1回の割り込みを出力)			
	0	0	0	1	1	3マスク (4回に1回の割り込みを出力)			
	:	:	:	:	:	:			
	1	1	1	0	0	28マスク (29回に1回の割り込みを出力)			
	1	1	1	0	1	29マスク (30回に1回の割り込みを出力)			
	1	1	1	1	0	30マスク (31回に1回の割り込みを出力)			
	1	1	1	1	1	31マスク (32回に1回の割り込みを出力)			

注1. V850E/IH4-Hのみ

- 山割り込み (INTTBnCC0信号)、谷割り込み (INTTBnOV信号) を割り込み間引きのカウンタ信号として使用する場合は、およびA/Dトリガ信号として使用する場合は、使用する信号を1に設定してください。
なお、間引きされた割り込みタイミングでA/Dトリガが生成されます。

(3) TABnオプション・レジスタ2 (TABnOPT2)

タイマQnオプション機能を制御する8ビットのレジスタです。

TABnCTL0.TABnCEビット = 1のときも, TABnOPT2レジスタの書き換えが可能です。ただし, TABnDTMビットはTABnCEビット = 1のとき, 書き換え禁止です。同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAB0OPT2 FFFFFFF601H, TAB1OPT2 FFFFFFF641H[※]

TABnOPT2	⑦	⑥	⑤	④	③	②	①	①
	TABnRDE	TABnDTM	TABnATM3	TABnATM2	TABnAT3	TABnAT2	TABnAT1	TABnAT0
V850E/IG4-H n = 0 m = 1-3	TABnRDE	転送間引き許可						
	0	転送の間引きなし (山, 谷で毎回転送タイミングが発生)						
V850E/IH4-H n = 0, 1 m = 1-3	1	TABnOPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く						
	TABnDTM	デッド・タイム・カウンタ動作モード選択						
0	通常のアップ・カウントを行い, TABnのTOBnm出力が狭間隔 (TOBnm出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタをクリアし再カウントを行う。							
1	通常のアップ・カウントを行い, TABnのTOBnm出力が狭間隔 (TOBnm出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタはダウン・カウント動作に切り替わり, デッド・タイム制御幅が自動的に狭くなる。							
TABnDTMビットは, タイマ動作中の書き換えは禁止です。誤って書き換えた場合は, 一度TABnCEビット = 0にしてタイマ動作を停止してから, 再度設定を行ってください。								

注 V850E/IH4-Hのみ

注意1. 割り込み間引きを使用する場合 (TABnOPT1.TABnID4-TABnID0ビット = 00000以外) には, 必ずTABnRDEビット = 1に設定してください。

このため, 割り込みと転送は同じタイミングで発生します。別々の設定はできません。別々の設定を行った場合 (TABnRDEビット = 0) は転送が正常に行われません。

2. デッド・タイム期間を生成する場合は, TABnDTCレジスタに1以上の値を設定してください。

なお, 動作停止 (TABnCTL0.TABnCEビット = 0) 時には, デッド・タイム期間は生成されず, TOBnT1-TOBnT3, TOBnB1-TOBnB3端子の出力レベルは初期状態となります。そのため, システム保護のため, 動作停止前にTOBnT1-TOBnT3, TOBnB1-TOBnB3端子をハイ・インピーダンス状態にするか, もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。

デッド・タイム期間が不要の場合は, TABnDTCレジスタに0を設定してください。

(2/2)

TABnATM3	TABnATM3モード選択
0	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn0) をアップ・カウント時に出力
1	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn0) をダウン・カウント時に出力

TABnATM2	TABnATM2モード選択
0	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn0) をアップ・カウント時に出力
1	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn0) をダウン・カウント時に出力

TABnAT3 ^注	A/Dトリガ出力制御3
0	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn0) の出力禁止
1	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn0) の出力許可

TABnAT2 ^注	A/Dトリガ出力制御2
0	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn0) の出力禁止
1	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn0) の出力許可

TABnAT1 ^注	A/Dトリガ出力制御1
0	INTTBnCC0 (山割り込み) のA/Dトリガ信号 (TABTADTn0) の出力禁止
1	INTTBnCC0 (山割り込み) のA/Dトリガ信号 (TABTADTn0) の出力許可

TABnAT0 ^注	A/Dトリガ出力制御0
0	INTTBnOV (谷割り込み) のA/Dトリガ信号 (TABTADTn0) の出力禁止
1	INTTBnOV (谷割り込み) のA/Dトリガ信号 (TABTADTn0) の出力許可

注 TABnAT3-TABnAT0ビットの設定については、第12章 A/Dコンバータ0, 1を参照してください。

(4) TABnオプション・レジスタ3 (TABnOPT3)

タイマQnオプション機能を制御する8ビットのレジスタです。

TABnCTL0.TABnCEビット = 1のときも, TABnOPT3レジスタの書き換えが可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAB0OPT3 FFFFF603H, TAB1OPT3 FFFFF643H^{注1}

TABnOPT3	7	6	⑤	④	③	②	①	①
	0	0	TABnATM7	TABnATM6	TABnAT7	TABnAT6	TABnAT5	TABnAT4
[V850E/IG4-H n = 0]								
	TABnATM7	TABnATM7モード選択						
[V850E/IH4-H n = 0, 1]	0	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn1) をアップ・カウント時に出力						
	1	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn1) をダウン・カウント時に出力						
	TABnATM6	TABnATM6モード選択						
	0	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn1) をアップ・カウント時に出力						
	1	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn1) をダウン・カウント時に出力						
	TABnAT7 ^{注2}	A/Dトリガ出力制御3						
	0	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn1) の出力禁止						
	1	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn1) の出力許可						
	TABnAT6 ^{注2}	A/Dトリガ出力制御2						
	0	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn1) の出力禁止						
	1	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn1) の出力許可						
	TABnAT5 ^{注2}	A/Dトリガ出力制御1						
	0	INTTBnCC0 (山割り込み) のA/Dトリガ信号 (TABTADTn1) の出力禁止						
	1	INTTBnCC0 (山割り込み) のA/Dトリガ信号 (TABTADTn1) の出力許可						
	TABnAT4 ^{注2}	A/Dトリガ出力制御0						
	0	INTTBnOV (谷割り込み) のA/Dトリガ信号 (TABTADTn1) の出力禁止						
	1	INTTBnOV (谷割り込み) のA/Dトリガ信号 (TABTADTn1) の出力許可						

注1. V850E/IH4-Hのみ

2. TABnAT7-TABnAT4ビットの設定については, 第12章 A/Dコンバータ0, 1を参照してください。

(5) TABnI/O制御レジスタ3 (TABnIOC3)

タイマQnオプション機能の出力を制御する8ビットのレジスタです。

TOBnTm端子を出力するためには、TABnIOC0.TABnOEmビット = 1に設定してからTABnIOC3レジスタを設定してください。

TABnCTL0.TABnCEビット = 0のときのみ、TABnIOC3レジスタの書き換えが可能です。

TABnCTL0.TABnCEビット = 1のとき、TABnIOC3レジスタの各ビットの書き換えは禁止です。

TABnCTL0.TABnCEビット = 1のとき、TABnIOC3レジスタの各ビットの同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットによりA8Hになります。

注意 6相PWM出力モード以外のモードでタイマを使用する場合はTABnIOC3レジスタの値はリセット値 (A8H) に設定してください。

備考 TOBnTm端子の出力レベルの設定は、TABnIOC0レジスタで行ってください。

リセット時 : A8H		R/W	アドレス : TAB0IOC3 FFFFF602H, TAB1IOC3 FFFFF642H [※]						
		⑦	⑥	⑤	④	③	②	1	0
TABnIOC3	TABnOLB3	TABnOEB3	TABnOLB2	TABnOEB2	TABnOLB1	TABnOEB1	0	0	
V850E/IG4-H n = 0 m = 1-3	TABnOLBm	TOBnBm端子出力レベルの設定							
	0	TOBnBm端子出力反転禁止							
V850E/IH4-H n = 0, 1 m = 1-3	1	TOBnBm端子出力反転許可							
	TABnOEBm	TOBnBm端子出力の設定							
0	TOBnBm端子出力禁止 ・ TABnOLBmビット = 0 のときTOBnBm端子からロウ・レベルを出力 ・ TABnOLBmビット = 1 のときTOBnBm端子からハイ・レベルを出力								
1	TOBnBm端子出力許可								

注 V850E/IH4-Hのみ

(a) TOBnTm, TOBnBm端子出力

TOBnTm端子出力は, TABnIOC0.TABnOLm, TABnOEmビットによって制御されます。TOBnBm端子出力は, TABnIOC3.TABnOLBm, TABnOEBmビットによって制御されます。

6相PWM出力モードにおける各設定でのタイマ出力を次に示します。

図10 - 3 TOBnTm, TOBnBm端子出力制御 (デッド・タイムなし)

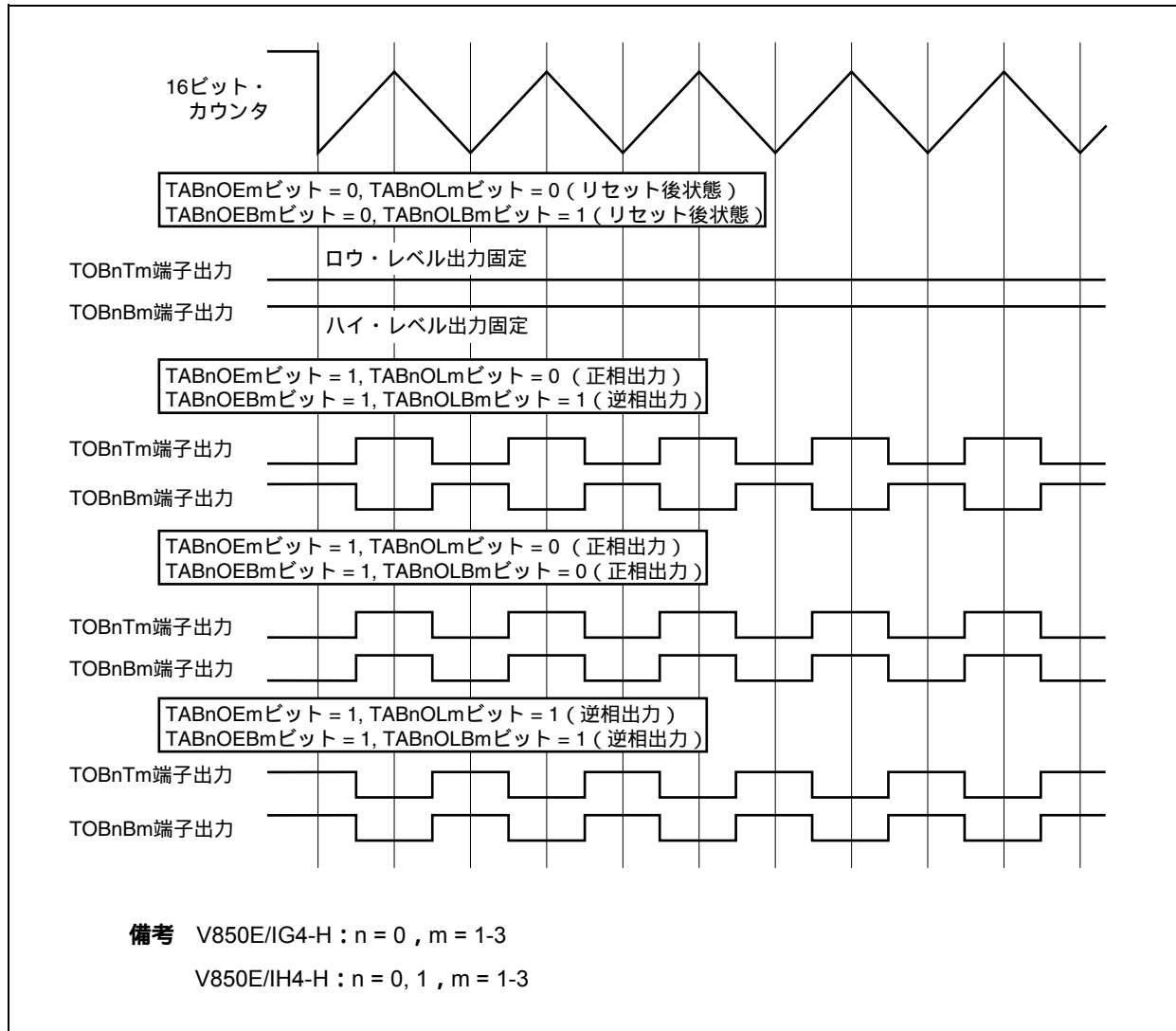


表10 - 1 TOBnTm端子出力

TABnOLmビット	TABnOEmビット	TABnCEビット	TOBnTm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOBnTm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOBnTm逆相出力

備考 V850E/IG4-H : n = 0 , m = 1-3

V850E/IH4-H : n = 0, 1 , m = 1-3

表10 - 2 TOBnBm端子出力

TABnOLBmビット	TABnOEBmビット	TABnCEビット	TOBnBm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOBnBm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOBnBm逆相出力

備考 V850E/IG4-H : n = 0 , m = 1-3

V850E/IH4-H : n = 0, 1 , m = 1-3

(6) ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11, 20, 21, 30, 31, 40, 41, 50, 51, 60, 61, 70, 71, 80, 81, 90, 91, 100, 101, 110, 111, 120, 121 (HZAyCTL0, HZAyCTL1)

HZAyCTL0, HZAyCTL1レジスタは、出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしHZAyDCF_nビットは、リードのみ可能で、ライト動作を行っても書き込めません。

16ビット・アクセスは、できません。

リセットにより00Hになります。

HZAyCTL_nレジスタは、常時ソフトウェアでの同値書き込みが可能です。

(a) V850E/IG4-Hの場合

検出要因/制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因		制御レジスタ
	外部端子	A/D部 (コンパレータ)	
TOB0T1-TOB0T3出力時	TOB0OFF	-	HZA0CTL0
TOB0B1-TOB0B3出力時			HZA5CTL0
	TOB0T1-TOB0T3出力時	TOB01OFF	-
TOB0B1-TOB0B3出力時	HZA4CTL0		
TOB0T1-TOB0T3出力時	-	ANI00/ANI05-ANI02/ANI07 入力 がロウ・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA8CTL0
TOB0B1-TOB0B3出力時			HZA12CTL0
TOB0T1-TOB0T3出力時	-	ANI00/ANI05-ANI02/ANI07 入力 がロウ・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA2CTL0
TOB0B1-TOB0B3出力時			HZA6CTL0
TOB0T1-TOB0T3出力時	-	ANI00/ANI05-ANI02/ANI07 入力 がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA10CTL0
TOB0B1-TOB0B3出力時			HZA2CTL1
TOB0T1-TOB0T3出力時	-	ANI00/ANI05-ANI02/ANI07 入力 がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA6CTL1
TOB0B1-TOB0B3出力時			HZA10CTL1
TOT21出力時	TOT2OFF	-	HZA0CTL1

注意 ハイ・インピーダンス制御が行なわれるのは、対象ポートを表中の対象端子に設定した場合にかぎります。

(1/3)

リセット時：00H R/W アドレス：HZA0CTL0 FFFFF610H, HZA0CTL1 FFFFF611H,
 HZA2CTL0 FFFFF650H, HZA2CTL1 FFFFF651H,
 HZA4CTL0 FFFFFE00H, HZA5CTL0 FFFFFE08H,
 HZA6CTL0 FFFFFE10H, HZA6CTL1 FFFFFE11H,
 HZA8CTL0 FFFFFE20H, HZA9CTL0 FFFFFE28H,
 HZA10CTL0 FFFFFE30H, HZA10CTL1 FFFFFE31H,
 HZA12CTL0 FFFFFE40H

	⑦	⑥	5	4	③	②	1	①
HZAyCTLn	HZAyDCEn	HZAyDCMn	HZAyDCNn	HZAyDCPn	HZAyDCTn	HZAyDCCn	0	HZAyDCFn
$\left[\begin{array}{l} n = 0, 1 \\ y = 0, 2, 4-6, \\ 8-10, 12 \end{array} \right]$	HZAyDCEn	ハイ・インピーダンス出力の制御						
	0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能						
	1	ハイ・インピーダンス出力制御動作許可						
	HZAyDCMn	HZAyDCCnビットによるハイ・インピーダンス解除の条件						
	0	外部端子 ^注 入力に関係なく、HZAyDCCnビットの設定が有効						
	1	外部端子 ^注 入力に異常検出したレベル（アクティブ・レベル）を保持している期間はHZAyDCCnビットの設定が無効。						
HZAyDCMnビットを書き換える場合はHZAyDCEnビット = 0のとき行ってください。								

注 HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF端子,
 HZA4CTL0, HZA8CTL0, HZA12CTL0 : TOB01OFF端子,
 HZA0CTL1 : TOT2OFF端子,
 HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07端子,
 HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07端子

(2/3)

HZAyDCNn	HZAyDCPn	外部端子 ^{注1} の入力エッジ指定
0	0	有効エッジなし (外部端子 ^{注1} 入力によるHZAyDCF _n ビットのセット禁止)
0	1	外部端子 ^{注1} の入力の立ち上がりエッジを有効 (立ち上がりエッジ入力で異常検出) ^{注2}
1	0	外部端子 ^{注1} の入力の立ち下がりエッジを有効 (立ち下がりエッジ入力で異常検出) ^{注2}
1	1	設定禁止

・ HZAyDCNn, HZAyDCPnビットを書き換える場合はHZAyDCE_nビット = 0のとき行ってください。
 ・ INTP03, INTP07, INTP08端子のエッジ指定については,
21. 4. 2 (1) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ0 (INTRO, INTF0) を参照してください。
 ・ 外部端子のエッジ指定は, まずTOB0OFF, TOB01OFF, TOT2OFF端子から行ってください。その後, TOB0OFF, TOB01OFF, TOT2OFF端子以外の外部端子のエッジ指定を行ってください。
 それ以外の場合には, TOB0OFF, TOB01OFF, TOT2OFF端子のエッジ指定時に不定なエッジを検出することがあります。
 ・ ハイ・インピーダンス出力制御は動作許可 (HZAyDCE_nビット = 1) 後に有効エッジが入力された場合に行われます。したがって, 動作許可する時点で外部端子^{注1}がアクティブ・レベルである場合は, ハイ・インピーダンス出力制御は行われません。

- 注1** . HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF端子,
 HZA4CTL0, HZA8CTL0, HZA12CTL0 : TOB01OFF端子,
 HZA0CTL1 : TOT2OFF端子,
 HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07端子,
 HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07端子
- 2** . コンパレータの基準電圧超過を検出する場合は立ち上がりエッジ入力を, 基準電圧未満を検出する場合は立ち下がりエッジ入力を設定してください。

(3/3)

HZAyDCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZAyDCFn ビットがセット(1)されます。

・外部端子^注に異常を示すエッジが入力（HZAyDCNn, HZAyDCPnビットの設定により検出）された場合、HZAyDCTnビットに1を設定しても無効です。
 ・HZAyDCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。
 ・HZAyDCEnビット = 0のとき、HZAyDCTnビットに1を設定しても無効です。
 ・HZAyDCTnビットとHZAyDCCnビットを同時に1に設定することは禁止です。

HZAyDCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZAyDCFnビットがクリア(0)されます。

・HZAyDCMビット = 0のとき、外部端子^注の状態にかかわらず対象端子の出力が可能です。
 ・HZAyDCMビット = 1のとき、外部端子^注に異常を示すエッジが入力（HZAyDCNn, HZAyDCPnビットの設定により検出）された場合、HZAyDCCnビットに1を設定しても無効です。
 ・HZAyDCCnビットはリードすると必ず0が読み出されます。
 ・HZAyDCEnビット = 0のとき、HZAyDCCnビットに1を設定しても無効です。
 ・HZAyDCTnビットとHZAyDCCnビットを同時に1に設定することは禁止です。

HZAyDCFn	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・HZAyDCEnビット = 0によりクリア(0)されます。 ・HZAyDCCnビット = 1によりクリア(0)されます。
1	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・HZAyDCTnビット = 1によりセット(1)されます。 ・外部端子 ^注 に異常を示すエッジが入力（HZAyDCNn, HZAyDCPnビットの設定により検出）された場合、セット(1)されます。

注 HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF端子,
 HZA4CTL0, HZA8CTL0, HZA12CTL0 : TOB01OFF端子,
 HZA0CTL1 : TOT2OFF端子,
 HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07端子,
 HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07端子

(b) V850E/IH4-Hの場合

検出要因 / 制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因		制御レジスタ
	外部端子	A/D部 (コンパレータ)	
TOB0T1-TOB0T3出力時	TOB0OFF	-	HZA0CTL0
TOB0B1-TOB0B3出力時			HZA5CTL0
TOB0T1-TOB0T3出力時	TOB01OFF	-	HZA9CTL0
TOB0B1-TOB0B3出力時			HZA4CTL0
TOB0T1-TOB0T3出力時	-	ANI00/ANI05-ANI02/ANI07 入力 がロウ・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA8CTL0
TOB0B1-TOB0B3出力時			HZA12CTL0
TOB0T1-TOB0T3出力時	-	ANI00/ANI05-ANI02/ANI07 入力 がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA2CTL0
TOB0B1-TOB0B3出力時			HZA6CTL0
TOB0T1-TOB0T3出力時	-	ANI00/ANI05-ANI02/ANI07 入力 がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA10CTL0
TOB0B1-TOB0B3出力時			HZA2CTL1
TOB0T1-TOB0T3出力時	-	ANI00/ANI05-ANI02/ANI07 入力 がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA6CTL1
TOB0B1-TOB0B3出力時			HZA10CTL1
TOT21出力時	TOT2OFF	-	HZA0CTL1
TOB1T1-TOB1T3出力時	TOB1OFF	-	HZA1CTL0
TOB1B1-TOB1B3出力時			HZA5CTL1
TOB1T1-TOB1T3出力時	TOB01OFF	-	HZA9CTL1
TOB1B1-TOB1B3出力時			HZA4CTL1
TOB1T1-TOB1T3出力時	-	ANI10/ANI15-ANI12/ANI17 入力 がロウ・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA8CTL1
TOB1B1-TOB1B3出力時			HZA12CTL1
TOB1T1-TOB1T3出力時	-	ANI10/ANI15-ANI12/ANI17 入力 がロウ・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA3CTL0
TOB1B1-TOB1B3出力時			HZA7CTL0
TOB1T1-TOB1T3出力時	-	ANI10/ANI15-ANI12/ANI17 入力 がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA11CTL0
TOB1B1-TOB1B3出力時			HZA3CTL1
TOB1T1-TOB1T3出力時	-	ANI10/ANI15-ANI12/ANI17 入力 がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基 準電圧未満(立ち下がりエッジ)	HZA7CTL1
TOB1B1-TOB1B3出力時			HZA11CTL1
TOT31出力時	TOT3OFF	-	HZA1CTL1

注意 ハイ・インピーダンス制御が行なわれるのは、対象ポートを表中の対象端子に設定した場合にかぎります。

(1/3)

リセット時 : 00H R/W アドレス : HZA0CTL0 FFFFF610H, HZA0CTL1 FFFFF611H,
 HZA1CTL0 FFFFF618H, HZA1CTL1 FFFFF619H,
 HZA2CTL0 FFFFF650H, HZA2CTL1 FFFFF651H,
 HZA3CTL0 FFFFF658H, HZA3CTL1 FFFFF659H,
 HZA4CTL0 FFFFFE00H, HZA4CTL1 FFFFFE01H,
 HZA5CTL0 FFFFFE08H, HZA5CTL1 FFFFFE09H,
 HZA6CTL0 FFFFFE10H, HZA6CTL1 FFFFFE11H,
 HZA7CTL0 FFFFFE18H, HZA7CTL1 FFFFFE19H,
 HZA8CTL0 FFFFFE20H, HZA8CTL1 FFFFFE21H,
 HZA9CTL0 FFFFFE28H, HZA9CTL1 FFFFFE29H,
 HZA10CTL0 FFFFFE30H, HZA10CTL1 FFFFFE31H,
 HZA11CTL0 FFFFFE38H, HZA11CTL1 FFFFFE39H,
 HZA12CTL0 FFFFFE40H, HZA12CTL1 FFFFFE41H

	⑦	⑥	5	4	③	②	1	①
HZAyCTLn	HZAyDCEn	HZAyDCMn	HZAyDCNn	HZAyDCPn	HZAyDCTn	HZAyDCCn	0	HZAyDCFn
$\left. \begin{array}{l} n = 0, 1 \\ y = 0-12 \end{array} \right\}$	HZAyDCEn	ハイ・インピーダンス出力の制御						
	0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能						
	1	ハイ・インピーダンス出力制御動作許可						
	HZAyDCMn	HZAyDCCnビットによるハイ・インピーダンス解除の条件						
	0	外部端子 ^注 入力に関係なく、HZAyDCCnビットの設定が有効						
	1	外部端子 ^注 入力が異常検出したレベル(アクティブ・レベル)を保持している期間はHZAyDCCnビットの設定が無効。						
HZAyDCMnビットを書き換える場合はHZAyDCEnビット = 0のとき行ってください。								

注 HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF端子,
 HZA1CTL0, HZA5CTL1, HZA9CTL1 : TOB1OFF端子,
 HZA4CTL0, HZA4CTL1, HZA8CTL0,
 HZA8CTL1, HZA12CTL0, HZA12CTL1 : TOB01OFF端子,
 HZA0CTL1 : TOT2OFF端子,
 HZA1CTL1 : TOT3OFF端子,
 HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07端子,
 HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07端子,
 HZA3CTL0, HZA7CTL0, HZA11CTL0 : ANI10/ANI15-ANI12/ANI17端子,
 HZA3CTL1, HZA7CTL1, HZA11CTL1 : ANI10/ANI15-ANI12/ANI17端子

(2/3)

HZAyDCNn	HZAyDCPn	外部端子 ^{注1} の入力エッジ指定
0	0	有効エッジなし (外部端子 ^{注1} 入力によるHZAyDCF _n ビットのセット禁止)
0	1	外部端子 ^{注1} の入力の立ち上がりエッジを有効 (立ち上がりエッジ入力で異常検出) ^{注2}
1	0	外部端子 ^{注1} の入力の立ち下がりエッジを有効 (立ち下がりエッジ入力で異常検出) ^{注2}
1	1	設定禁止

・ HZAyDCNn, HZAyDCPnビットを書き換える場合はHZAyDCE_nビット = 0のとき行ってください。
 ・ INTP03, INTP05, INTP07, INTP08, INTP10端子のエッジ指定については、
 19. 4. 2 (1) **外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ0**
 (INTRO, INTF0) を参照してください。
 ・ 外部端子のエッジ指定は、まずTOB0OFF, TOB1OFF, TOB01OFF, TOT2OFF, TOT3OFF端子から行ってください。その後、TOB0OFF, TOB1OFF, TOB01OFF, TOT2OFF, TOT3OFF端子以外の外部端子のエッジ指定を行ってください。
 それ以外の場合には、TOB0OFF, TOB1OFF, TOB01OFF, TOT2OFF, TOT3OFF端子のエッジ指定時に不定なエッジを検出することがあります。
 ・ ハイ・インピーダンス出力制御は動作許可 (HZAyDCE_nビット = 1) 後に有効エッジが入力された場合に行われます。したがって、動作許可する時点で外部端子^{注1}がアクティブ・レベルである場合は、ハイ・インピーダンス出力制御は行われません。

- 注1 . HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF端子,
 HZA1CTL0, HZA5CTL1, HZA9CTL1 : TOB1OFF端子,
 HZA4CTL0, HZA4CTL1, HZA8CTL0,
 HZA8CTL1, HZA12CTL0, HZA12CTL1 : TOB01OFF端子,
 HZA0CTL1 : TOT2OFF端子,
 HZA1CTL1 : TOT3OFF端子,
 HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07端子,
 HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07端子,
 HZA3CTL0, HZA7CTL0, HZA11CTL0 : ANI10/ANI15-ANI12/ANI17端子,
 HZA3CTL1, HZA7CTL1, HZA11CTL1 : ANI10/ANI15-ANI12/ANI17端子
- 2 . コンパレータの基準電圧超過を検出する場合は立ち上がりエッジ入力を、基準電圧未満を検出する場合は立ち下がりエッジ入力を設定してください。

(3/3)

HZAyDCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZAyDCFn ビットがセット(1)されます。

・外部端子^注に異常を示すエッジが入力（HZAyDCNn, HZAyDCPnビットの設定により検出）された場合、HZAyDCTnビットに1を設定しても無効です。
 ・HZAyDCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。
 ・HZAyDCEnビット = 0のとき、HZAyDCTnビットに1を設定しても無効です。
 ・HZAyDCTnビットとHZAyDCCnビットを同時に1に設定することは禁止です。

HZAyDCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZAyDCFnビットがクリア(0)されます。

・HZAyDCMビット = 0のとき、外部端子^注の状態にかかわらず対象端子の出力が可能です。
 ・HZAyDCMビット = 1のとき、外部端子^注に異常を示すエッジが入力（HZAyDCNn, HZAyDCPnビットの設定により検出）された場合、HZAyDCCnビットに1を設定しても無効です。
 ・HZAyDCCnビットはリードすると必ず0が読み出されます。
 ・HZAyDCEnビット = 0のとき、HZAyDCCnビットに1を設定しても無効です。
 ・HZAyDCTnビットとHZAyDCCnビットを同時に1に設定することは禁止です。

HZAyDCFn	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・HZAyDCEnビット = 0によりクリア(0)されます。 ・HZAyDCCnビット = 1によりクリア(0)されます。
1	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・HZAyDCTnビット = 1によりセット(1)されます。 ・外部端子 ^注 に異常を示すエッジが入力（HZAyDCNn, HZAyDCPnビットの設定により検出）された場合、セット(1)されます。

注 HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF端子,
 HZA1CTL0, HZA5CTL1, HZA9CTL1 : TOB1OFF端子,
 HZA4CTL0, HZA4CTL1, HZA8CTL0,
 HZA8CTL1, HZA12CTL0, HZA12CTL1 : TOB01OFF端子,
 HZA0CTL1 : TOT2OFF端子,
 HZA1CTL1 : TOT3OFF端子,
 HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07端子,
 HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07端子,
 HZA3CTL0, HZA7CTL0, HZA11CTL0 : ANI10/ANI15-ANI12/ANI17端子,
 HZA3CTL1, HZA7CTL1, HZA11CTL1 : ANI10/ANI15-ANI12/ANI17端子

図10 - 4 ハイ・インピーダンス出力制御回路構成 (1/2)

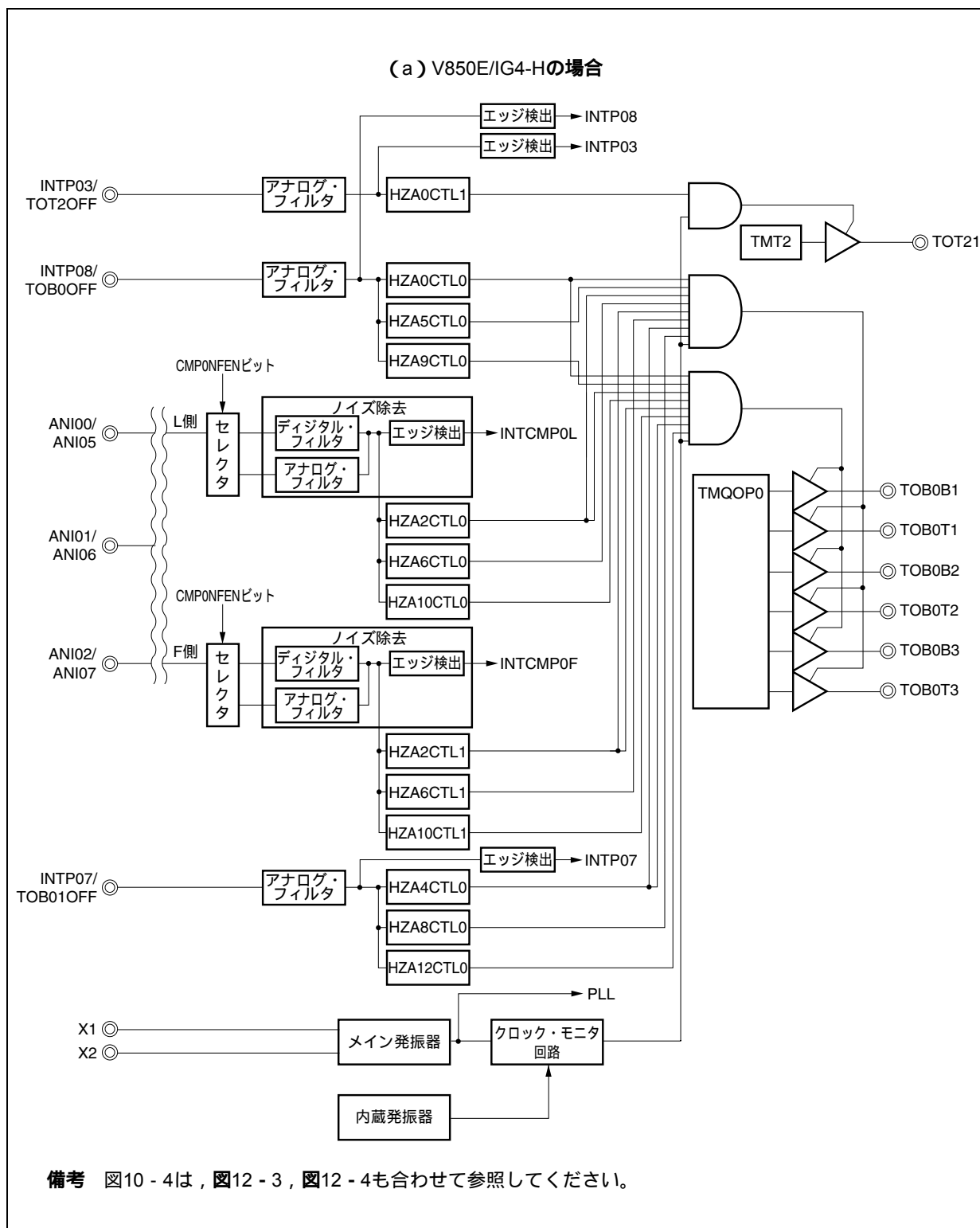
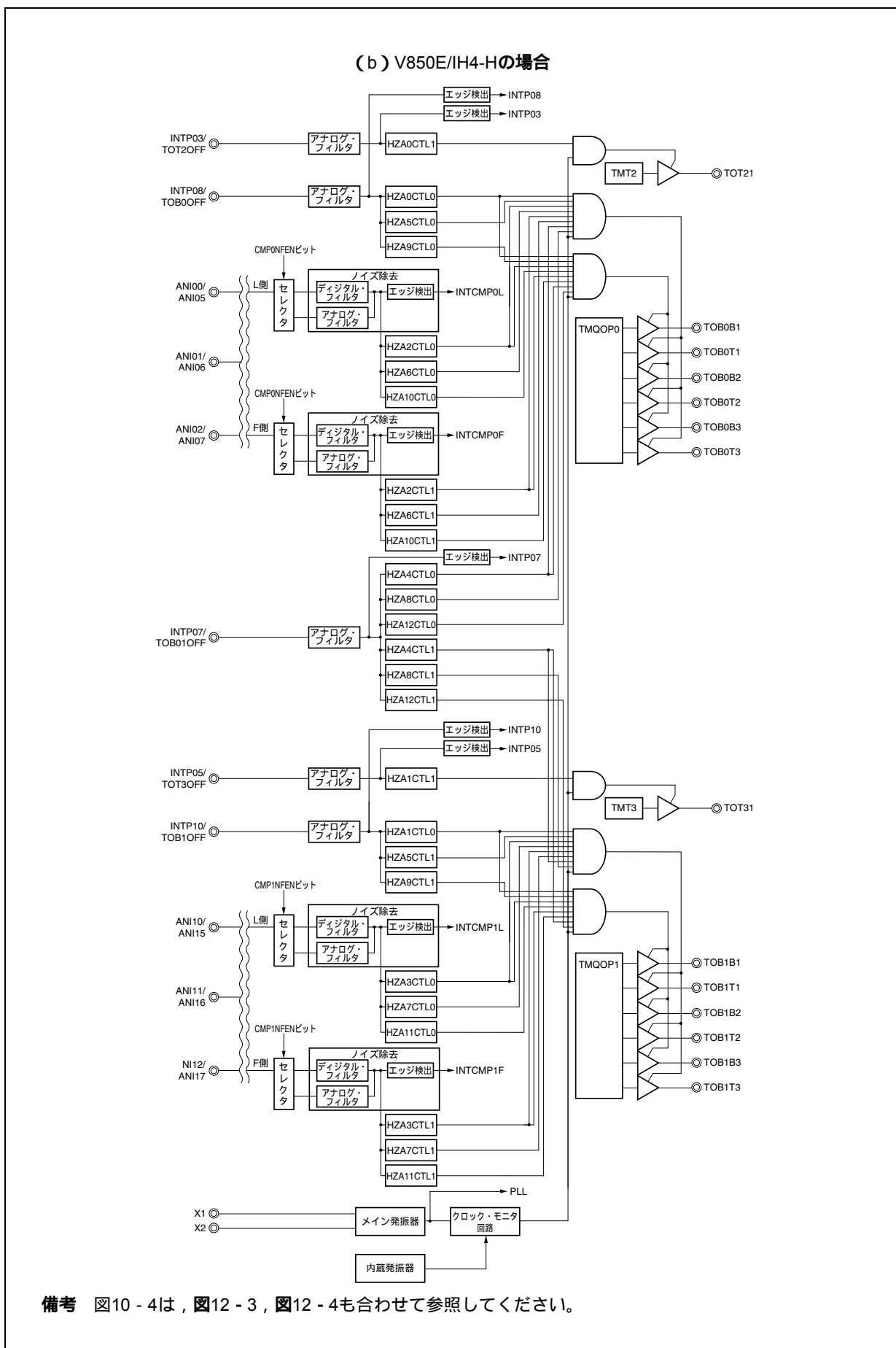


図10 - 4 ハイ・インピーダンス出力制御回路構成 (2/2)



(c) 設定手順

(i) ハイ・インピーダンス制御動作を設定する方法

- <1> HZAyDCMn, HZAyDCNn, HZAyDCPnビットの設定
- <2> HZAyDCEnビット = 1 (ハイ・インピーダンス制御の許可)

(ii) ハイ・インピーダンス制御許可設定後に変更する方法

- <1> HZAyDCEnビット = 0 (ハイ・インピーダンス制御動作の停止)。
- <2> HZAyDCMn, HZAyDCNn, HZAyDCPnビットの変更設定。
- <3> HZAyDCEnビット = 1 (ハイ・インピーダンス制御の再許可)。

(iii) 端子がハイ・インピーダンス状態のとき、出力を再開する方法

HZAyDCMnビット = 1の場合、外部端子^注の有効エッジ検出後、ハイ・インピーダンス状態の解除のためHZAyDCCnビットに1をセットしますが、外部端子^注の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

- <1> HZAyDCCnビット = 1 (ハイ・インピーダンス状態の解除命令信号)。
- <2> HZAyDCFnビットをリードし、フラグの状態を確認。
- <3> HZAyDCFnビット = 1ならば<1> の操作に戻る。外部端子^注の入力レベルの確認が必要。
HZAyDCFnビット = 0ならば端子出力可能。

注 ・ V850E/IG4-H

HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF端子,
HZA4CTL0, HZA8CTL0, HZA12CTL0 : TOB01OFF端子,
HZA0CTL1 : TOT2OFF端子,
HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07端子,
HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07端子

・ V850E/IH4-H

HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF端子,
HZA1CTL0, HZA5CTL1, HZA9CTL1 : TOB1OFF端子,
HZA4CTL0, HZA4CTL1, HZA8CTL0,
HZA8CTL1, HZA12CTL0, HZA12CTL1 : TOB01OFF端子,
HZA0CTL1 : TOT2OFF端子,
HZA1CTL1 : TOT3OFF端子,
HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07端子,
HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07端子,
HZA3CTL0, HZA7CTL0, HZA11CTL0 : ANI10/ANI15-ANI12/ANI17端子,
HZA3CTL1, HZA7CTL1, HZA11CTL1 : ANI10/ANI15-ANI12/ANI17端子

(iv) ソフトウェアにより端子をハイ・インピーダンスにする方法

ソフトウェアにより HZAyDCTn ビット = 1 を設定し、端子をハイ・インピーダンスにするには、外部端子^注の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は、HZAyDCMn ビットの設定に依存しない例です。

<1> HZAyDCTn ビット = 1 (ハイ・インピーダンス出力命令)。

<2> HZAyDCFn ビットをリードし、フラグの状態を確認。

<3> HZAyDCFn ビット = 0 ならば <1> の操作に戻る。外部端子^注の入力レベルの確認が必要。

HZAyDCFn ビット = 1 ならばハイ・インピーダンス状態。

ただし、HZAyDCPn ビット = 0, HZAyDCNn ビット = 0 に設定し、外部端子^注入力を使用しない場合は、HZAyDCTn ビットに 1 をセットすることでハイ・インピーダンス状態になります。

注 ・ V850E/IG4-H

HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF 端子,

HZA4CTL0, HZA8CTL0, HZA12CTL0 : TOB01OFF 端子,

HZA0CTL1 : TOT2OFF 端子,

HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07 端子,

HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07 端子

・ V850E/IH4-H

HZA0CTL0, HZA5CTL0, HZA9CTL0 : TOB0OFF 端子,

HZA1CTL0, HZA5CTL1, HZA9CTL1 : TOB1OFF 端子,

HZA4CTL0, HZA4CTL1, HZA8CTL0,

HZA8CTL1, HZA12CTL0, HZA12CTL1 : TOB01OFF 端子,

HZA0CTL1 : TOT2OFF 端子,

HZA1CTL1 : TOT3OFF 端子,

HZA2CTL0, HZA6CTL0, HZA10CTL0 : ANI00/ANI05-ANI02/ANI07 端子,

HZA2CTL1, HZA6CTL1, HZA10CTL1 : ANI00/ANI05-ANI02/ANI07 端子,

HZA3CTL0, HZA7CTL0, HZA11CTL0 : ANI10/ANI15-ANI12/ANI17 端子,

HZA3CTL1, HZA7CTL1, HZA11CTL1 : ANI10/ANI15-ANI12/ANI17 端子

10.4 動作

10.4.1 システム概要説明

(1) 6相PWM出力概要

6相PWM出力モードは、6相PWM出力波形を生成するためにTABnとTMQnオプションを組み合わせで使用します。

6相PWM出力モードはTABnのTABnCTL1.TABnMD2-TABnMD0ビットを“111”に設定することにより有効となります。

基本3相波生成用にTABnの1本の16ビット・カウンタと4本の16ビット・コンペア・レジスタを使用します。

コンペア・レジスタの機能は次のとおりです。

また、A/Dコンバータ0, 1の変換開始トリガ・ソース用に、TAA_nはTABnと同調動作を行うことができます。

備考 V850E/IG4-H : n = 0

V850E/IH4-H : n = 0, 1

コンペア・レジスタ	機能	設定可能範囲
TABnCCR0レジスタ	周期の設定	0002H m FFEH
TABnCCR1レジスタ	U相の出力幅の指定	0000H i m + 1
TABnCCR2レジスタ	V相の出力幅の指定	0000H j m + 1
TABnCCR3レジスタ	W相の出力幅の指定	0000H k m + 1

備考 m = TABnCCR0レジスタの設定値

i = TABnCCR1レジスタの設定値

j = TABnCCR2レジスタの設定値

k = TABnCCR3レジスタの設定値

生成された基本3相波を3本の10ビット・デッド・タイム・カウンタと1本のコンペア・レジスタでデッド・タイム間隔生成を行って、基本3相波の逆相波を作り、6相PWM出力波形 (U, \bar{U} , V, \bar{V} , W, \bar{W}) を生成します。

基本3相波生成用の16ビット・カウンタは、アップ/ダウン・カウント動作を行います。動作開始後はアップ・カウント動作を行い、TABnCCR0レジスタに設定された周期値と一致するとダウン・カウント動作に切り替わります。次に0001Hとの一致が起こると再びアップ・カウント動作に切り替わります。つまりTABnCCR0レジスタに設定した値 + 1の2倍の値がキャリア周期となります。

デッド・タイム間隔生成用の10ビットのデッド・タイム・カウンタ1-3は、アップ・カウント動作を行うので、TABnデッド・タイム・コンペア・レジスタ (TABnDTC) に設定した値がデッド・タイム値そのものになります。また、カウンタは3本ありデッド・タイム生成をU相, V相, W相に対し独立に行うことができますが、デッド・タイム値の指定レジスタ (TABnDTC) は1本であるため、3相とも同じデッド・タイム値となります。

図10 - 5 6相PWM出力モードの概要

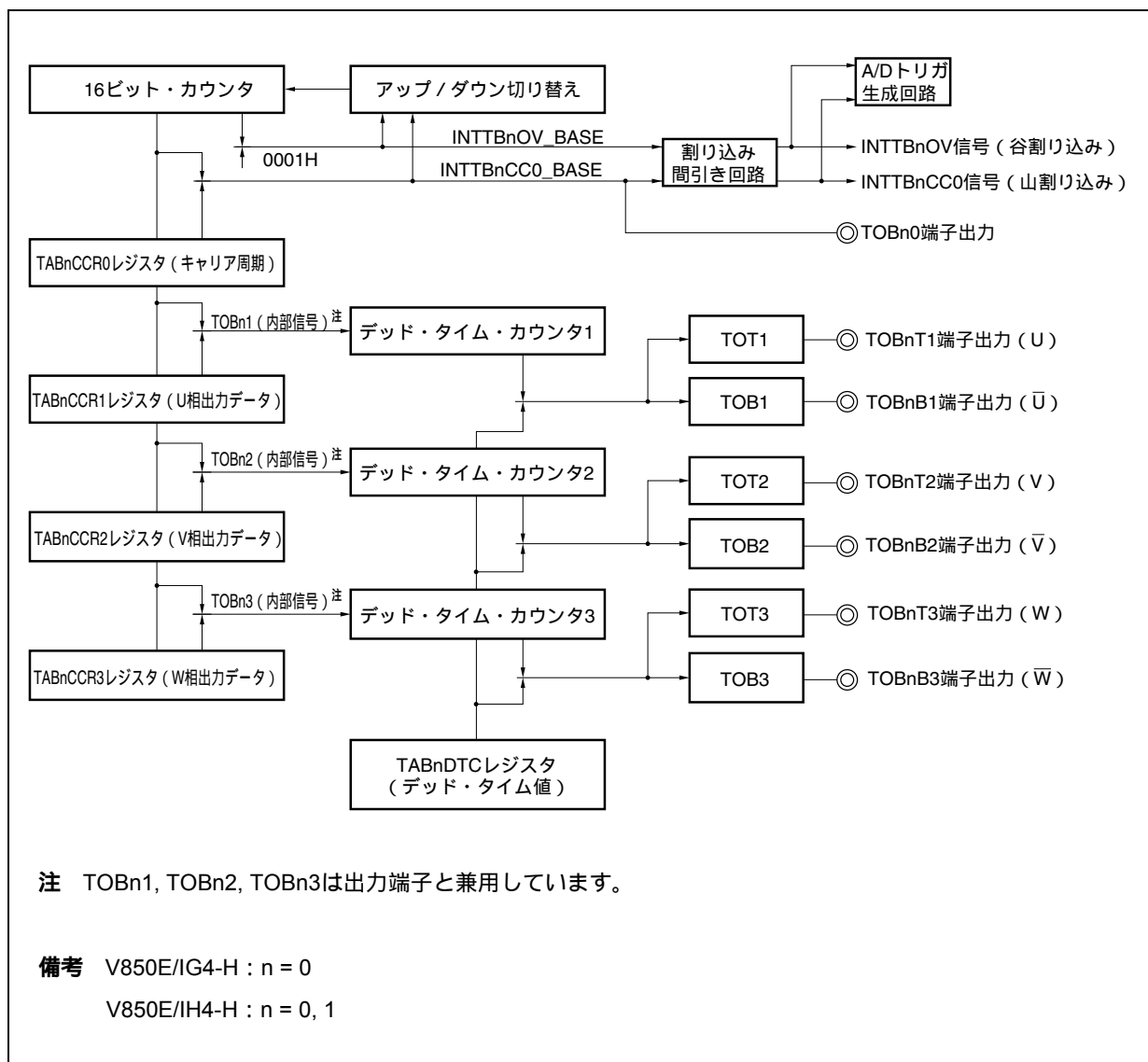
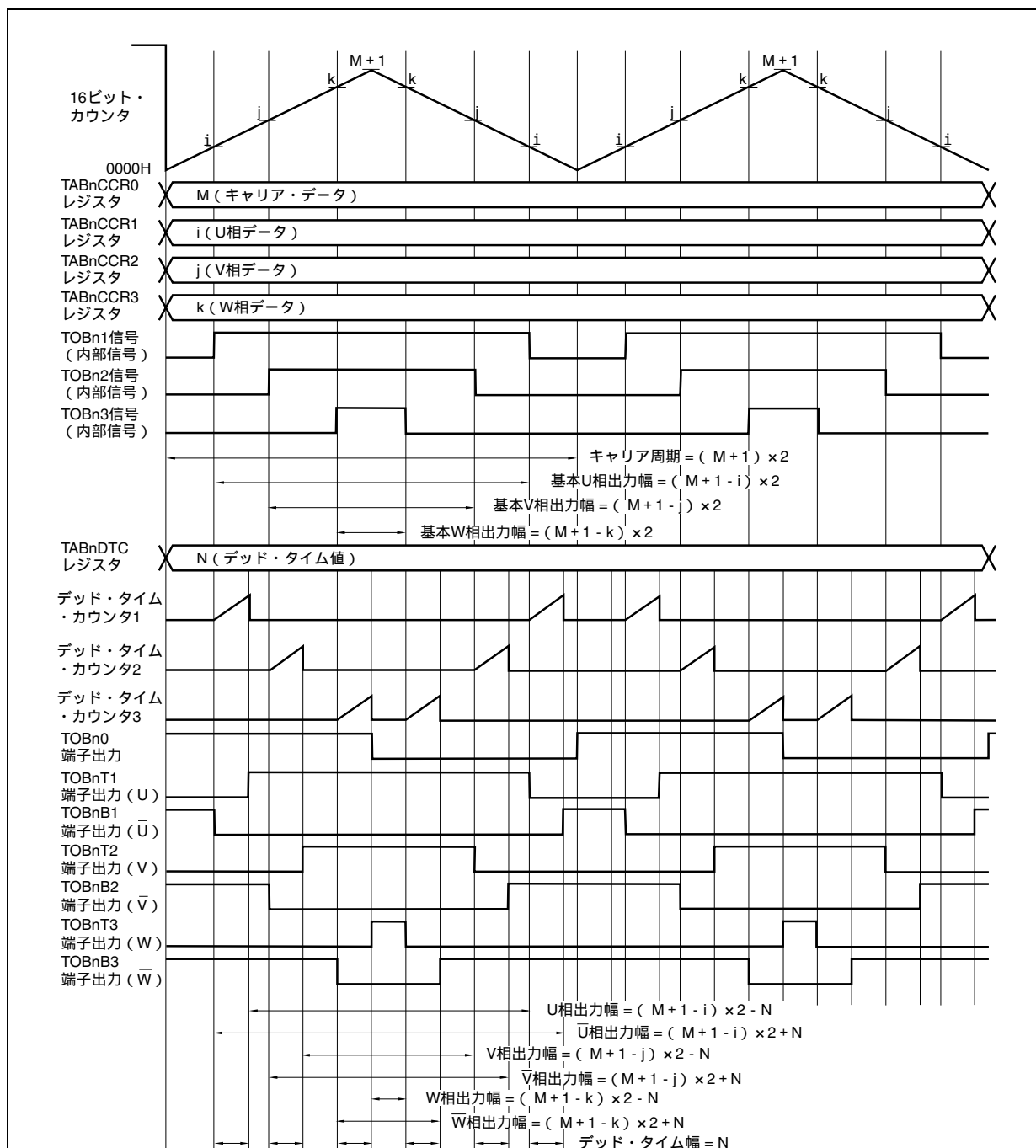


図10 - 6 6相PWM出力モードのタイミング図



- 注意1. 6相PWM出力モード時のTABnCCR0レジスタの設定値“M”は、(0002H M FFEH)の範囲で設定してください。
- TABnCCR1, TABnCCR2, TABnCCR3レジスタには、“M+1”の値までを設定してください。
 - TABnCCR1, TABnCCR2, TABnCCR3レジスタに、“0000H”を設定した場合100%出力となります。TABnCCR1, TABnCCR2, TABnCCR3レジスタに、“M+1”を設定した場合は0%出力となります。TABnCCR1, TABnCCR2, TABnCCR3レジスタに、“M+2”以上を設定した場合は16ビット・カウンタの山(M+1)で立ち上がり、谷(0000H)で立ち下がる出力(デューティ50%)となります。
 - U, V, W相の正相側の出力幅の算出式($(M+1-i) \times 2 - N$ など)の演算値が0以下になった場合は、0(0%出力)に収束されます。また、演算値の範囲が“(M+1) x 2 - N ~ (M+1) x 2”になった場合は、(M+1) x 2(100%出力)に収束されます。

備考 V850E/IG4-H : n = 0 V850E/IH4-H : n = 0, 1

(2) 割り込み要求

割り込み要求は、INTTBnCC0（山割り込み）とINTTBnOV（谷割り込み）の2種類あります。
INTTBnCC0, INTTBnOVは、TABnOPT1レジスタで割り込み要求を間引くことができます。
割り込み間引きに関する詳細は、10.4.3 **割り込み間引き機能**を参照してください。

- ・INTTBnCC0（山割り込み）：アップ・カウント時の16ビット・カウンタの値とTABnCCR0レジスタの値との一致割り込み
- ・INTTBnOV（谷割り込み）：ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み

(3) タイマ動作中のレジスタの書き換えについて

次のレジスタには、バッファ・レジスタがあり、随時書き換え、一斉書き換え、間欠一斉書き換えのいずれかの方法で書き換えができます。

関係ユニット	レジスタ
タイマAAn	TAAncapチャ/コンペア・レジスタ0 (TAAncCR0) TAAncapチャ/コンペア・レジスタ1 (TAAncCR1)
タイマABn	TABncapチャ/コンペア・レジスタ0 (TABncCR0) TABncapチャ/コンペア・レジスタ1 (TABncCR1) TABncapチャ/コンペア・レジスタ2 (TABncCR2) TABncapチャ/コンペア・レジスタ3 (TABncCR3)
タイマQnオプション	TABnオプション・レジスタ1 (TABnOPT1)

備考 V850E/IG4-H : n = 0
V850E/IH4-H : n = 0, 1

コンペア・レジスタの転送機能に関する詳細は、10.4.4 **転送機能付きレジスタの書き換え操作**を参照してください。

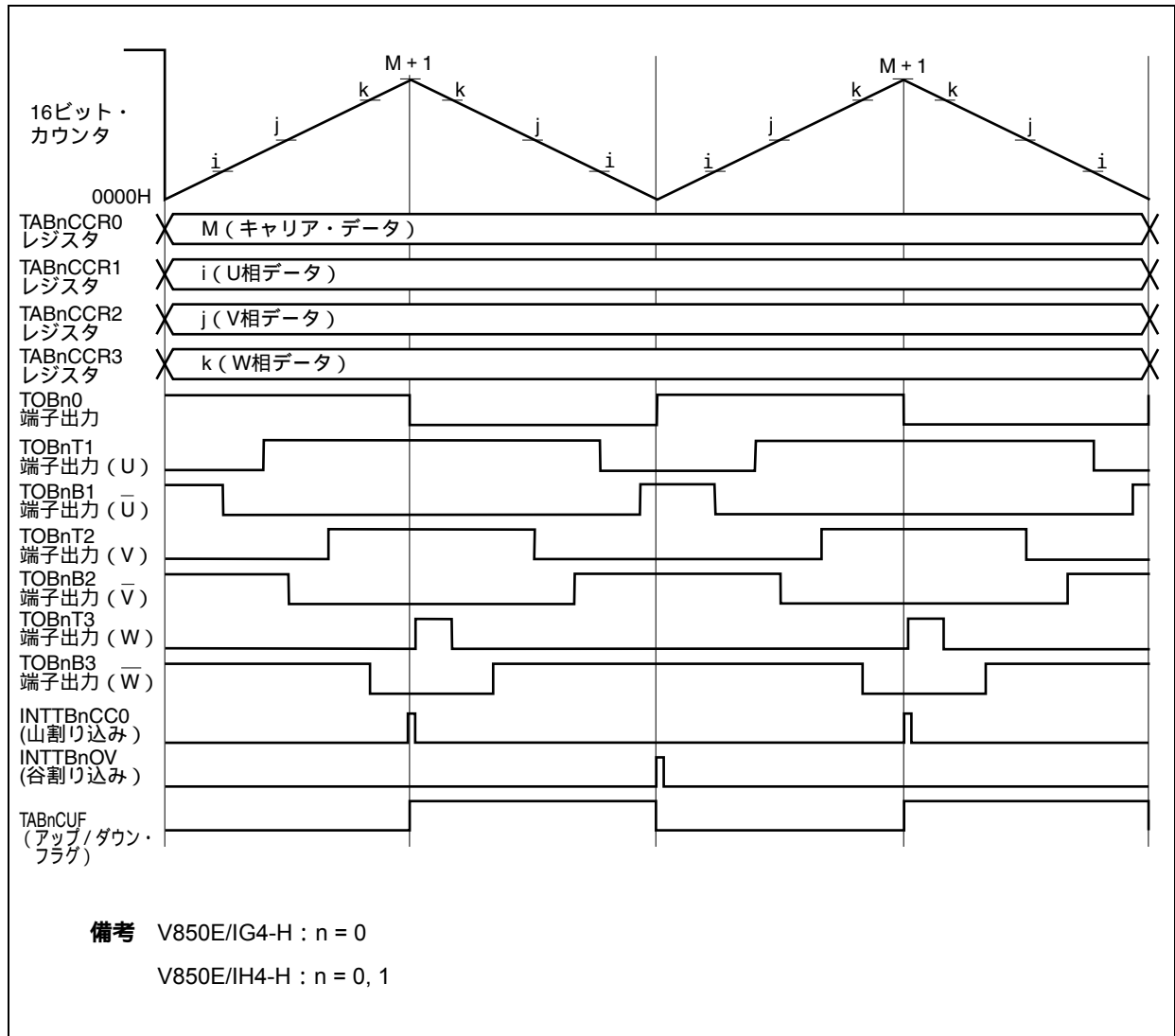
(4) 16ビット・カウンタのアップ/ダウン・カウント動作

16ビット・カウンタの動作状態は、TABnオプション・レジスタ0 (TABnOPT0) のTABnCUFビットにより確認できます。

TABnCUFビットの状態	16ビット・カウンタの状態	16ビット・カウンタの値の範囲
TABnCUFビット = 0	アップ・カウント	0000H - m
TABnCUFビット = 1	ダウン・カウント	(m + 1) - 0001H

- 備考**1. m = TABnCCR0レジスタの設定値
2. V850E/IG4-H : n = 0
V850E/IH4-H : n = 0, 1

図10 - 7 割り込みとアップ/ダウン・フラグ



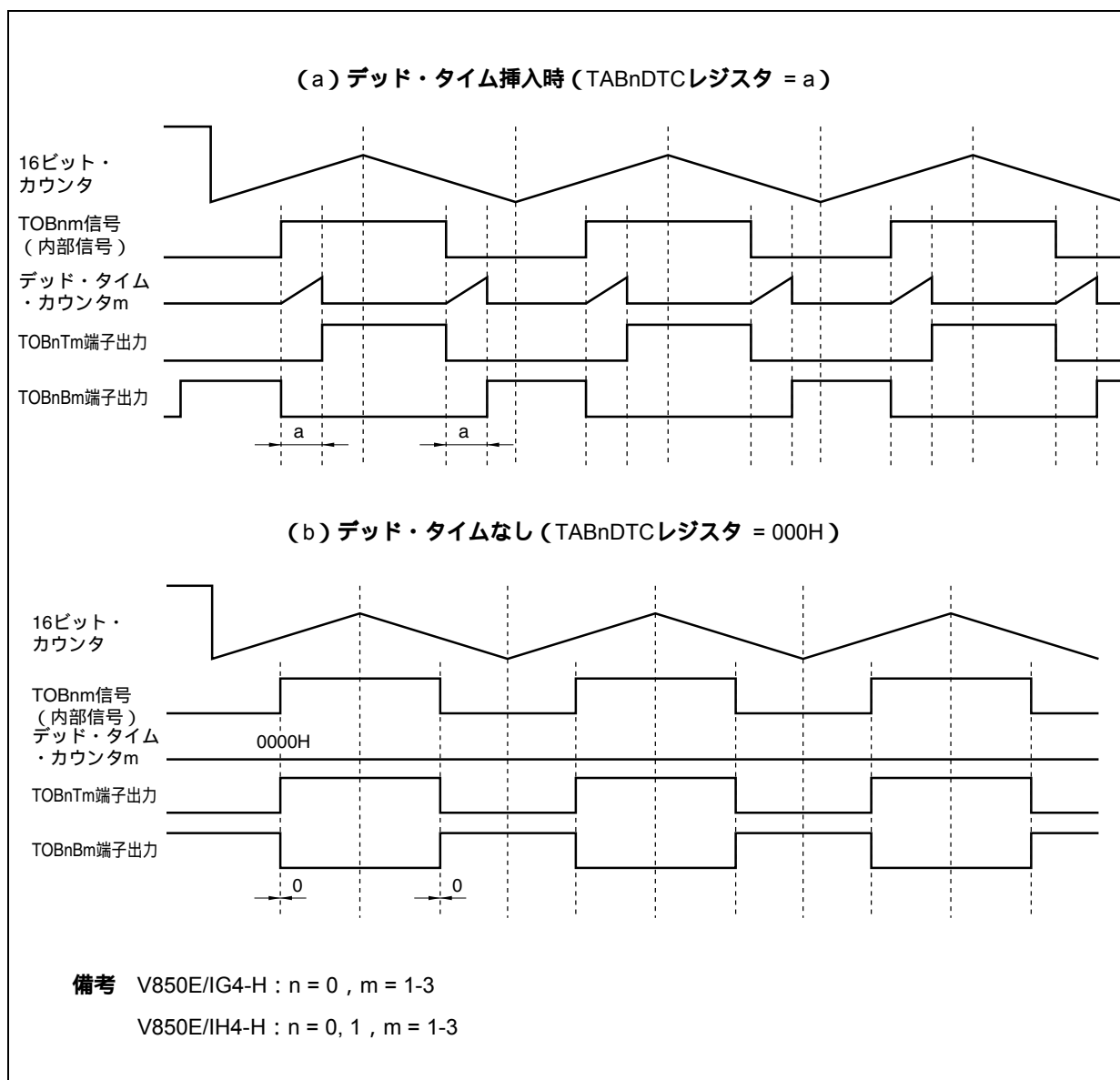
10.4.2 デッド・タイム制御（逆相波信号の生成）

（1）デッド・タイム制御機構

6相PWM出力モードではデューティ用の設定レジスタはコンペア・レジスタ1-3（TABnCCR1, TABnCCR2, TABnCCR3）とし、周期用の設定レジスタはコンペア・レジスタ0（TABnCCR0）となります。この4種類のレジスタを設定し、TABを動作させることでデューティ可変型の3種類のPWM出力波形（基本3相波）を生成します。この3種類のPWM出力波形をタイマQnオプション・ユニット（TMQOPn）で受け、デッド・タイムを付加した反転信号を作成することで、3組6本のPWM波形を生成します。

TMQOPnユニットは、TABnのカウント・クロックに同期して動作する3本の10ビット・カウンタ（デッド・タイム・カウンタ1-3）とデッド・タイムの時間を指定するTABnデッド・タイム・コンペア・レジスタ（TABnDTC）で構成されます。TABnDTCレジスタに“a”を設定するとデッド・タイム値は“a”となり、正相波と逆相波の間に“a”の間隔が作られます。

図10 - 8 デッド・タイム付加後のPWM出力波形（1）



(2) 0 % / 100 % の PWM 出力

V850E/IG4-H, V850E/IH4-H は、PWM 出力の 0 % 波形出力、および 100 % 波形出力が可能です。

0 % 波形出力は、TOBnTm 端子からロウ・レベルを出力し続けます。100 % 波形は TOBnTm 端子からハイ・レベルを出力し続けます。

0 % 波形は、TABnCCR0 レジスタ = M の場合、TABnCCRm を “M + 1” に設定することにより出力されます。

100 % 波形は、TABnCCRm レジスタを “0000H” に設定することにより出力されます。

なお、タイマ動作中に TABnCCRm レジスタの書き換えは許可されており、山割り込み (INTTBnCC0) および谷割り込み (INTTBnOV) のポイントで 0 % 波形出力 / 100 % 波形出力に切り替えられます。

備考 V850E/IG4-H : n = 0, m = 1-3

V850E/IH4-H : n = 0, 1, m = 1-3

図 10 - 9 0 % PWM 出力波形図 (デッド・タイムあり)

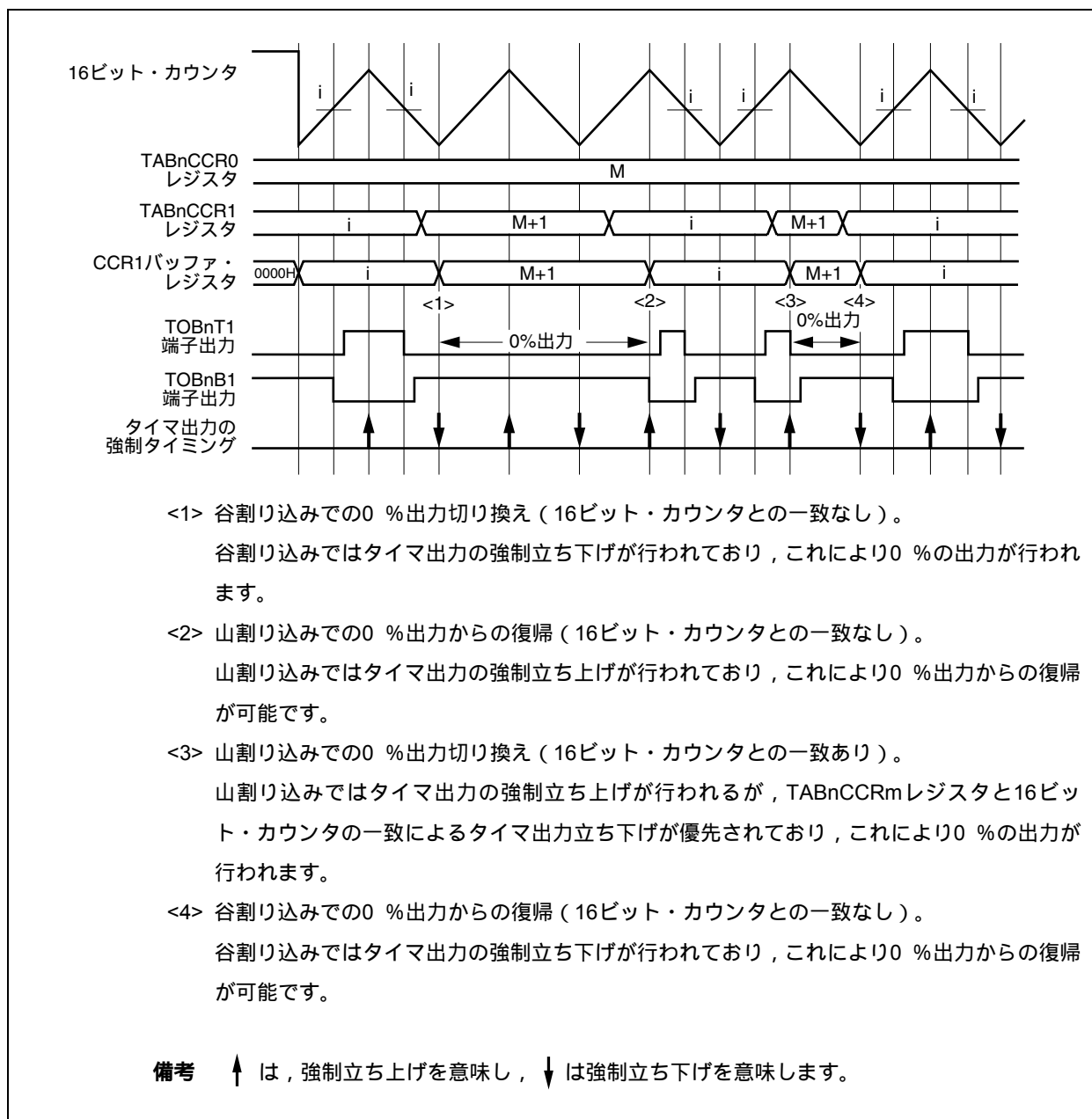


図10 - 10 100 %PWM出力波形図 (デッド・タイムあり)

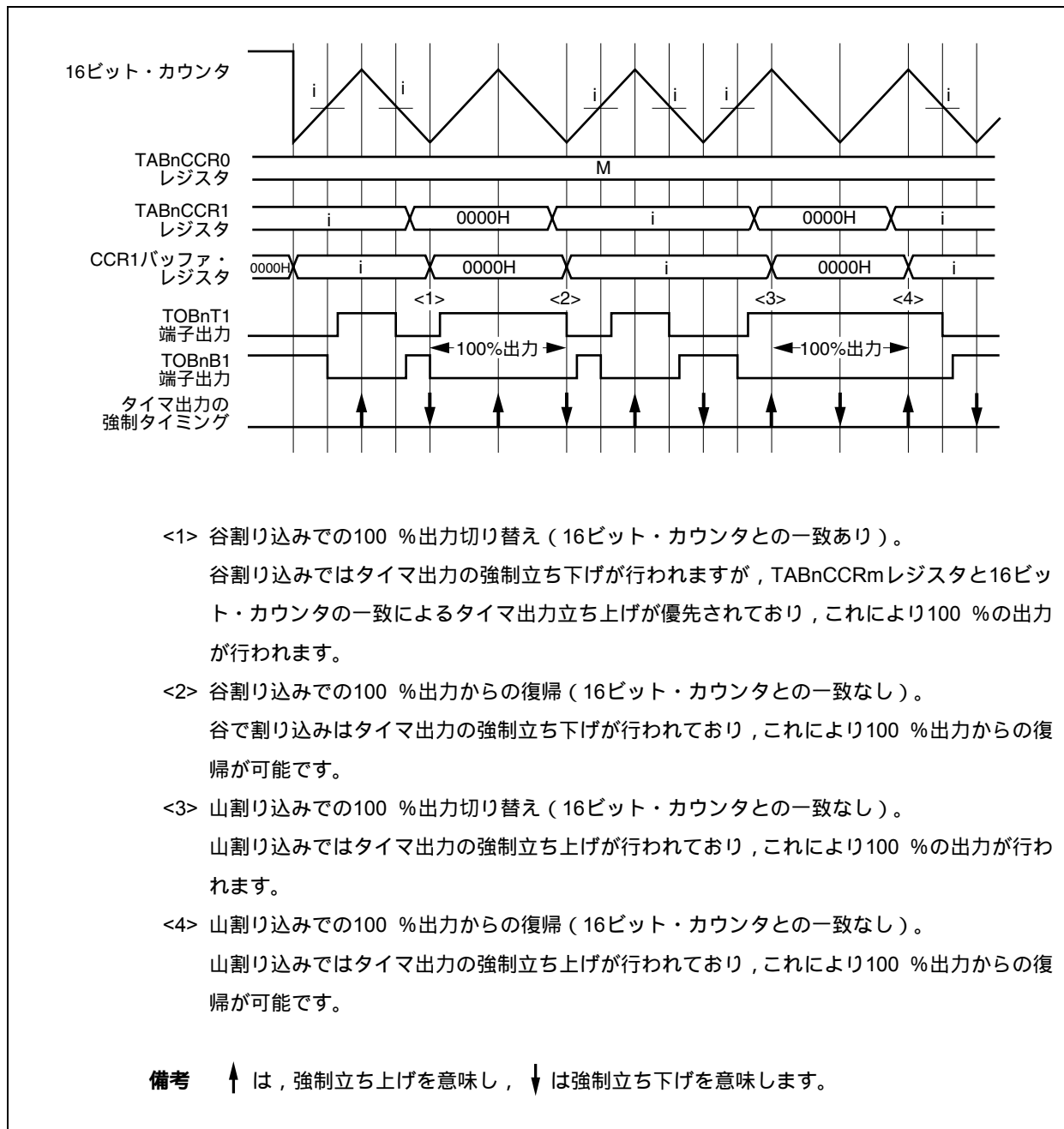
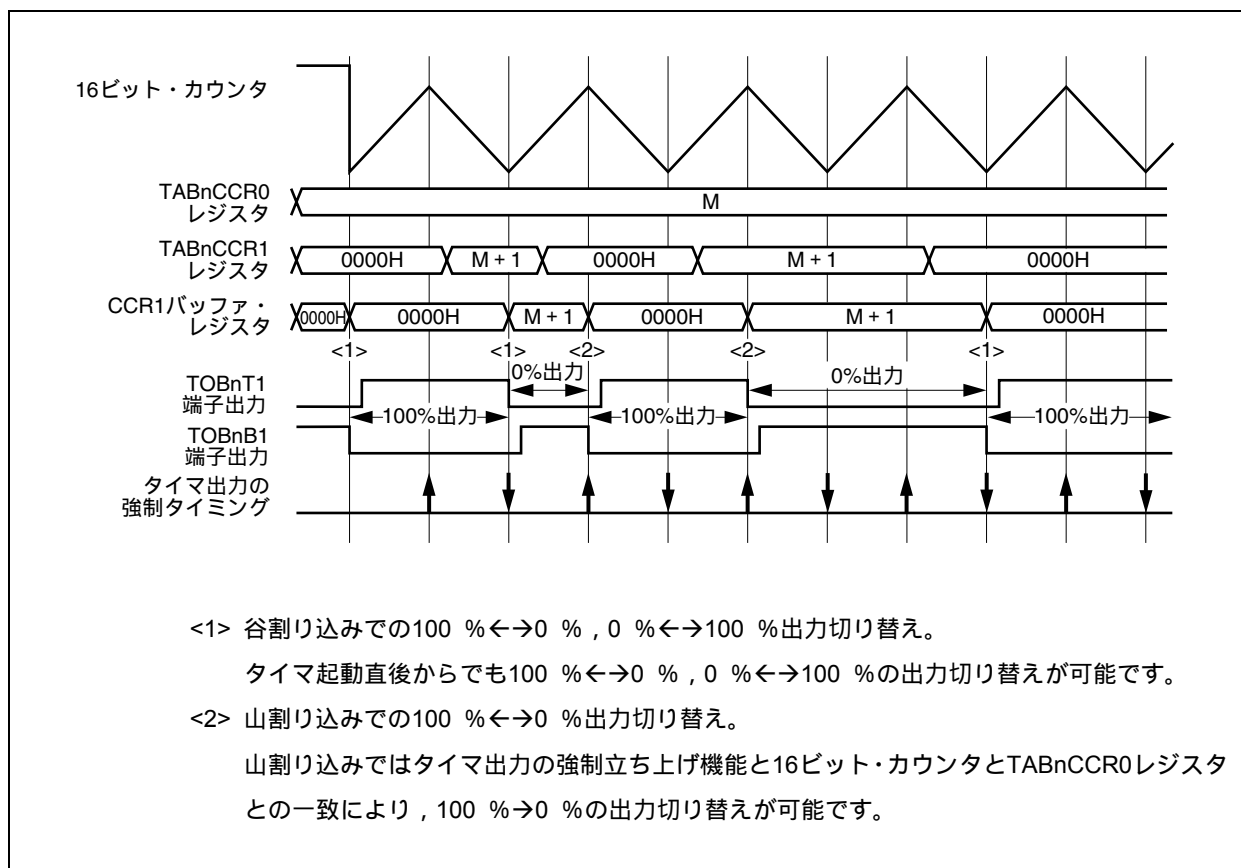


図10-11 0 %から100 % , 100 %から0 %のPWM出力波形図 (デッド・タイムあり)

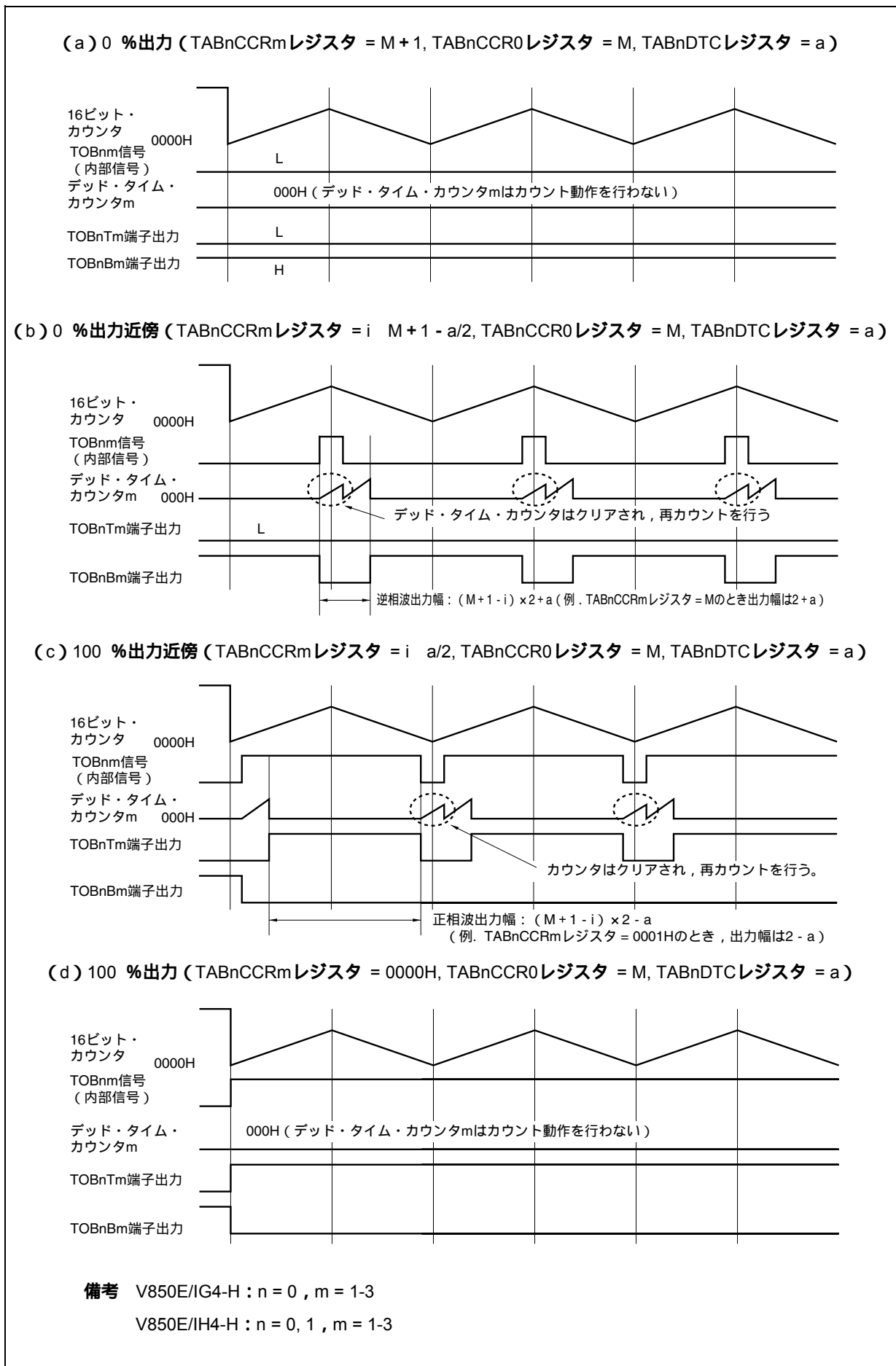


(3) 0 % , 100 %出力近傍の出力波形

デッド・タイム・カウント中にコンペア・レジスタと16ビット・カウンタとの一致割り込みが発生した場合、デッド・タイム・カウンタはクリアされ、再びカウント動作をします。

0 % , 100 %出力の近傍でのデッド・タイム制御の出力波形を次に示します。

図10 - 12 デッド・タイム付加後のPWM出力波形 (2)



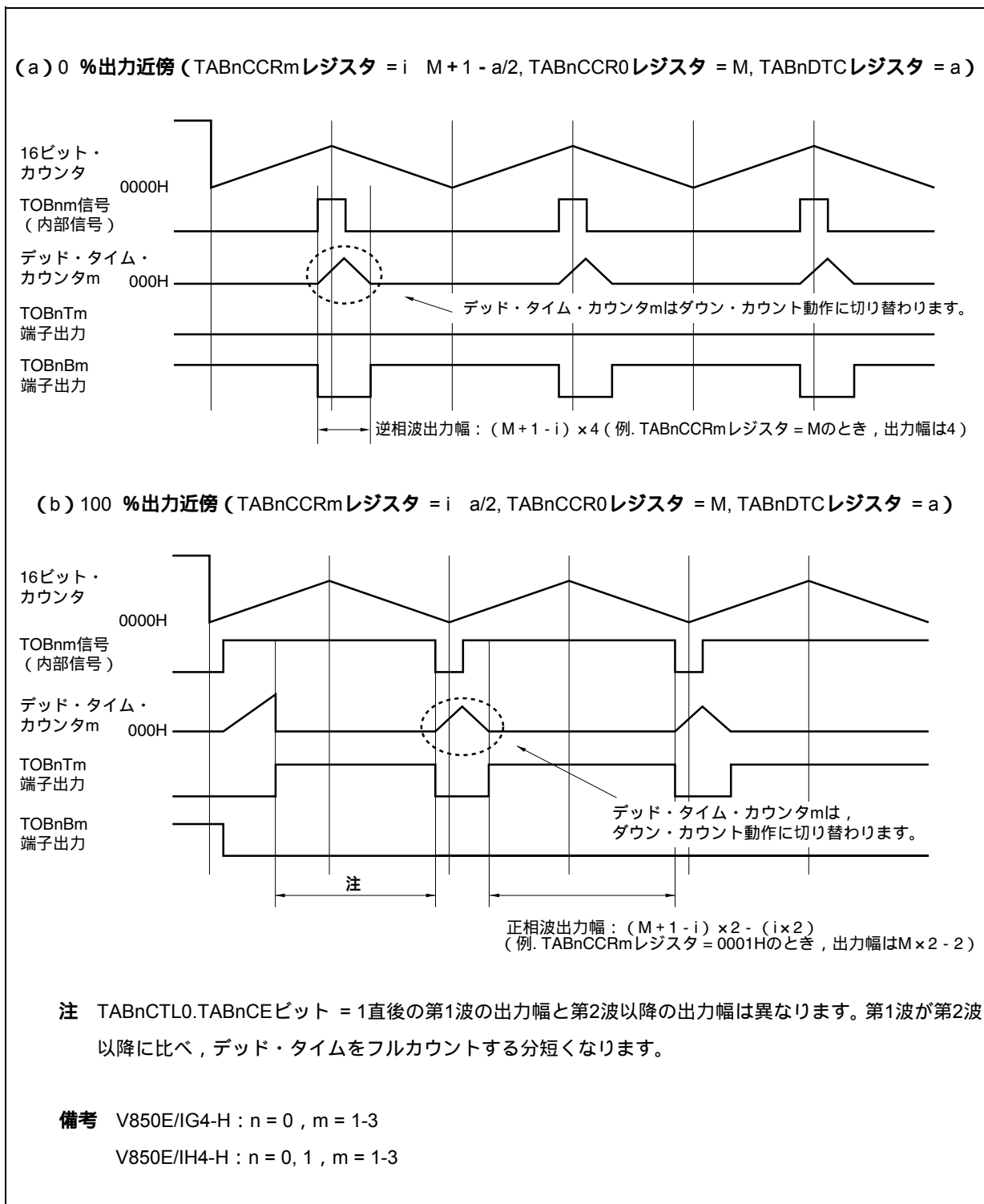
(4) デッド・タイム幅の自動縮小機能 (TABnOPT2.TABnDTMビット = 1)

TABnOPT2.TABnDTMビットを“1”に設定することにより,0 %出力近傍 / 100 %出力近傍でのデッド・タイム幅を自動で縮小ができます。

TABnDTMビット = 1に設定することにより,デッド・タイム・カウント中に再度のタイマABのTOBnm(内部信号)出力変化が起こった場合,カウンタ・クリア動作は行わず,デッド・タイム・カウンタはダウン・カウント動作に切り替わります。

TABnDTMビット = 1に設定した場合のタイミング・チャートを次に示します。

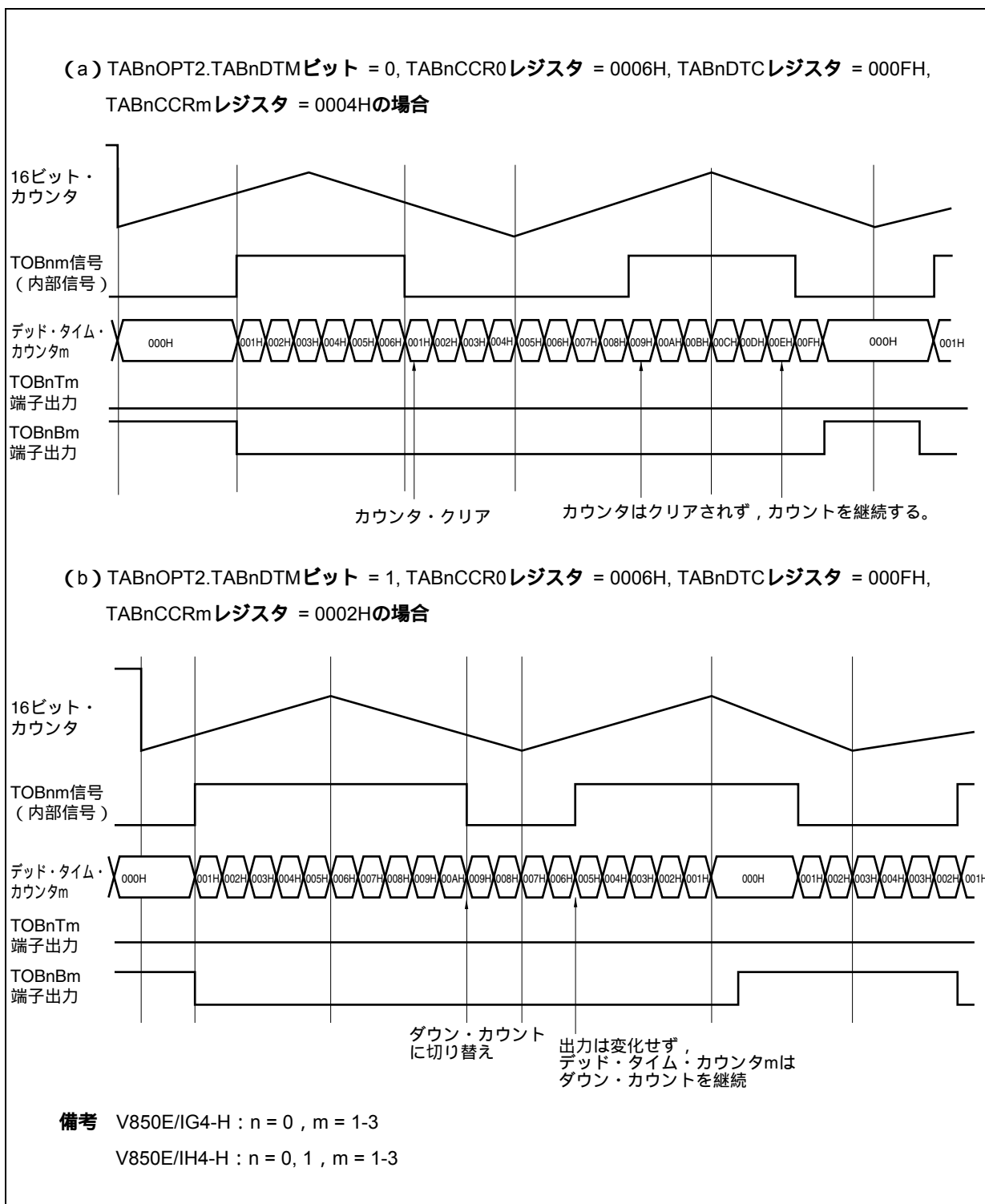
図10 - 13 デッド・タイム・カウンタmの動作 (1)



(5) 異常設定時のデッド・タイム制御

通常使用であれば、デッド・タイム・カウント中に再度のTABnのTOBnm（内部信号）出力変化が起こるのは1度だけで、0 %，100 %出力の近傍のみです。ここでは、TABnCCR0レジスタ（キャリア周期）とTABnDTCレジスタ（デッド・タイム値）の設定を誤り異常な設定をした場合の動作を示します。異常設定をすると、デッド・タイム・カウント中に2, 3度のTABnのTOBnm（内部信号）出力変化が起こります。この場合の6相PWM出力波形の出力例を示します。

図10 - 14 デッド・タイム・カウンタmの動作 (2)



10.4.3 割り込み間引き機能

- ・間引き対象割り込みは、INTTBnCC0（山割り込み）とINTTBnOV（谷割り込み）です。
- ・TABnOPT1.TABnICEビットで、INTTBnCC0割り込みの出力許可と間引きカウント対象指定を行います。
- ・TABnOPT1.TABnIOEビットで、INTTBnOV割り込みの出力許可と間引きカウント対象指定を行います。
- ・TABnOPT1.TABnID4-TABnID0ビットで、間引きカウント対象に指定された割り込み間引きカウント数の指定を行います。
指定した間引きカウント数分、割り込みはマスクされ、次の割り込みタイミングで割り込みが発生します。
- ・TABnOPT2.TABnRDEビットで、転送の間引きあり/なしが指定可能です。
間引きありに指定した場合は、間引き後の割り込み出力と同タイミングにて転送が実行されます。
間引きなしに指定した場合は、TABnCCR1レジスタ書き込み後の転送タイミングで転送が実行されます。
- ・TABnOPT0.TABnCMSビットで、一斉書き換え/随時書き換えが指定可能。
TABnCMSビット = 0のときは転送に同期してレジスタ値が更新されますが、TABnCMSビット = 1のときは書き込み後、ただちにレジスタ値が更新されます。
転送タイミングは、割り込み間引きタイミングに同期して、TABnCCRmレジスタからCCRmバッファ・レジスタに転送されます。

- 注意1.** 一斉書き換えモード（転送モード）で割り込み間引き機能を使用する場合には、必ず間欠一斉書き換えモード（転送間引きモード）で行ってください。
- 2.** 割り込みは間引き後のタイミングで発生します。

(1) 割り込み間引き動作

図10 - 15 TABnOPT1.TABnICEビット = 1, TABnIOEビット = 1, TABnOPT2.TABnRDEビット = 1での割り込み
間引き動作 (山/谷割り込み出力)

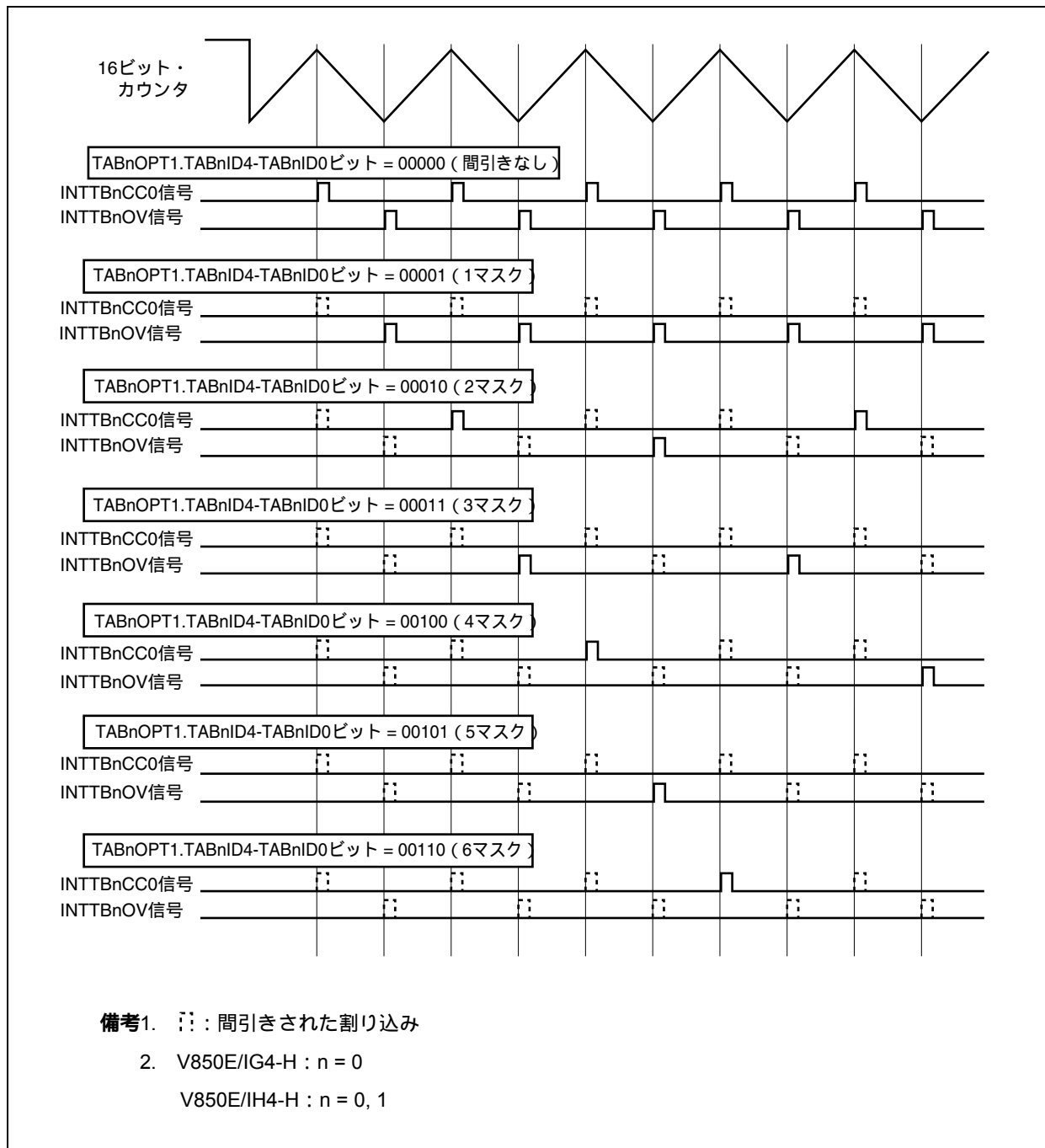


図10 - 16 TABnOPT1.TABnICEビット = 1, TABnIOEビット = 0, TABnOPT2.TABnRDEビット = 1での割り込み
間引き動作（山割り込みのみ出力）

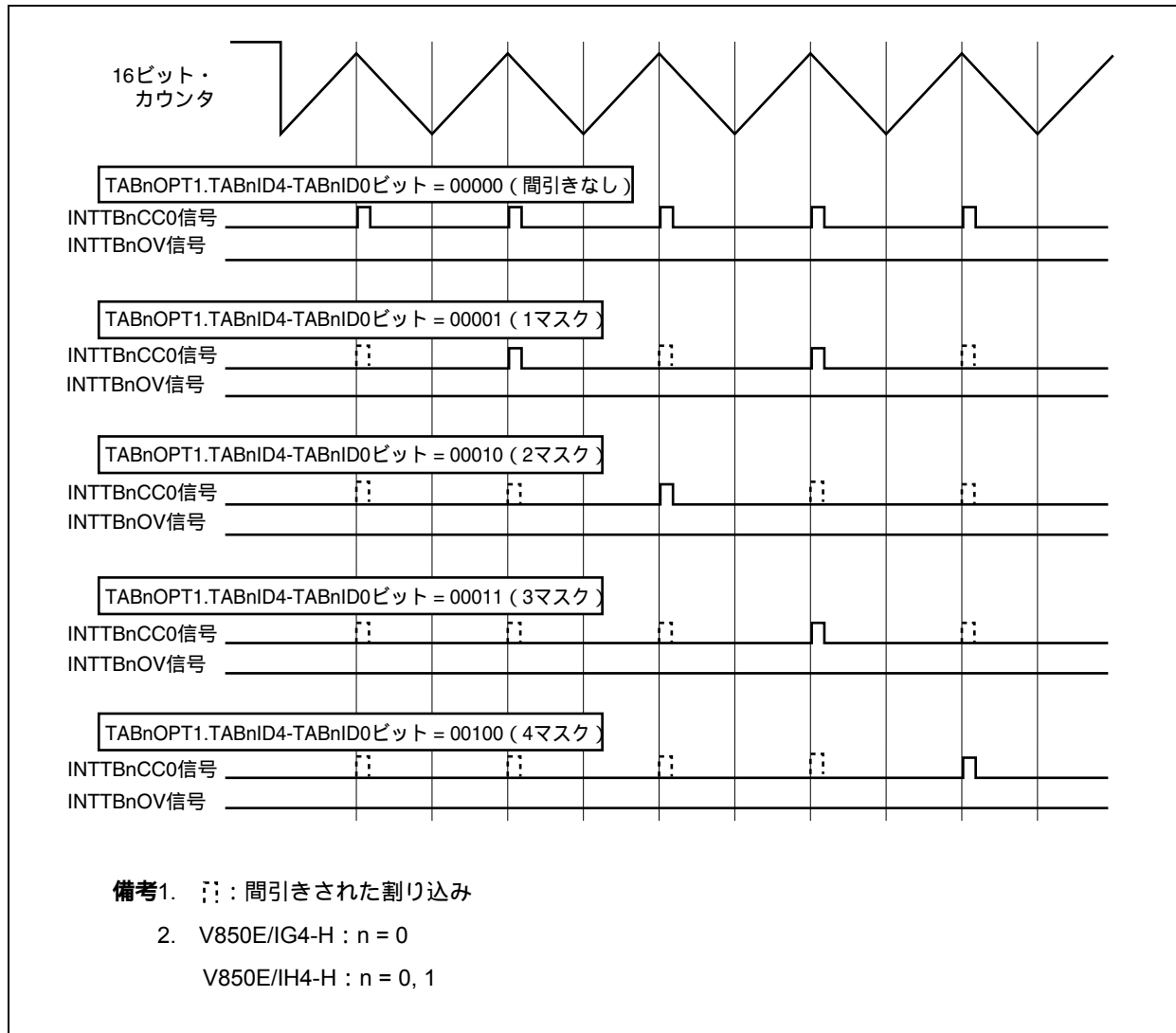
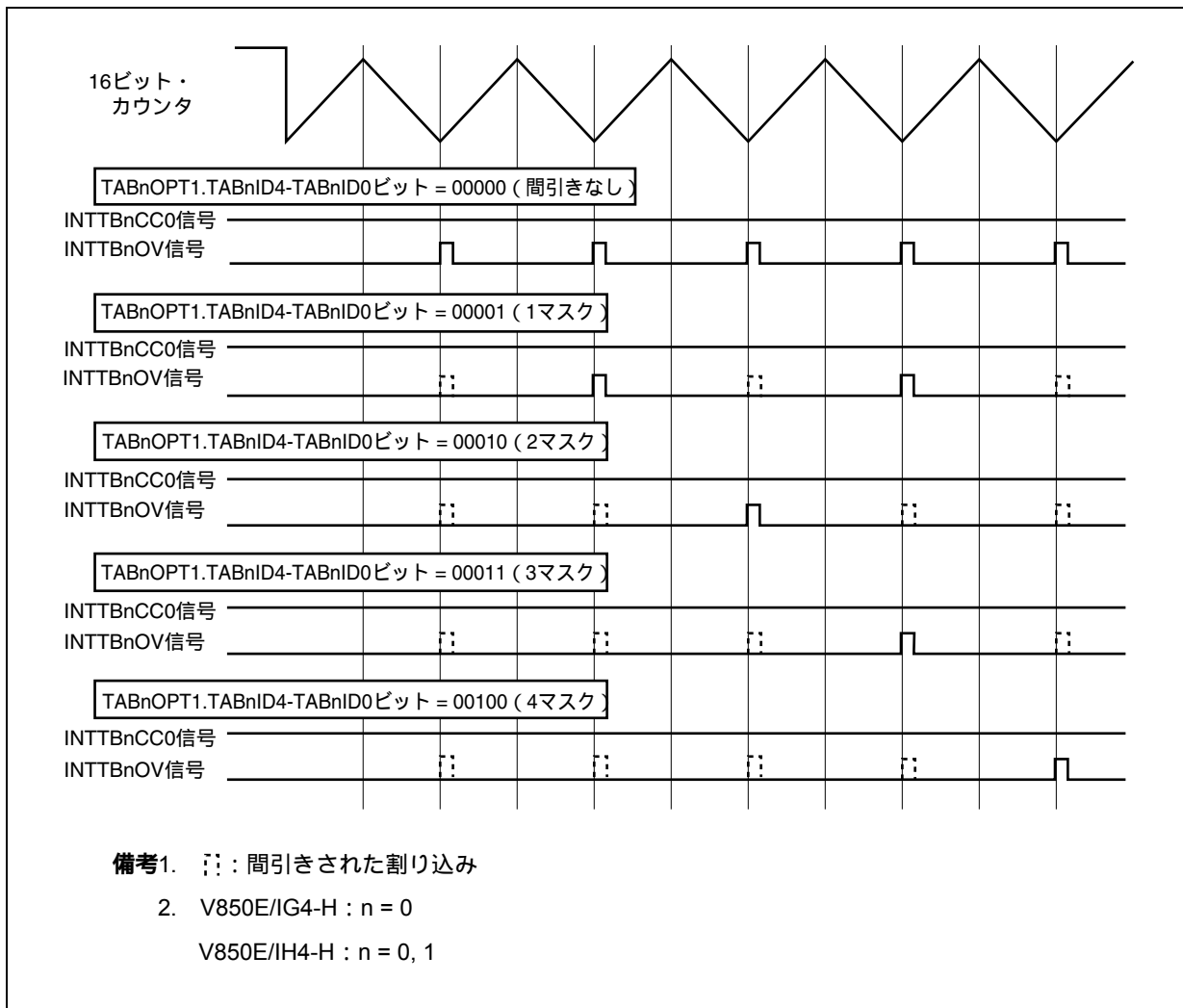


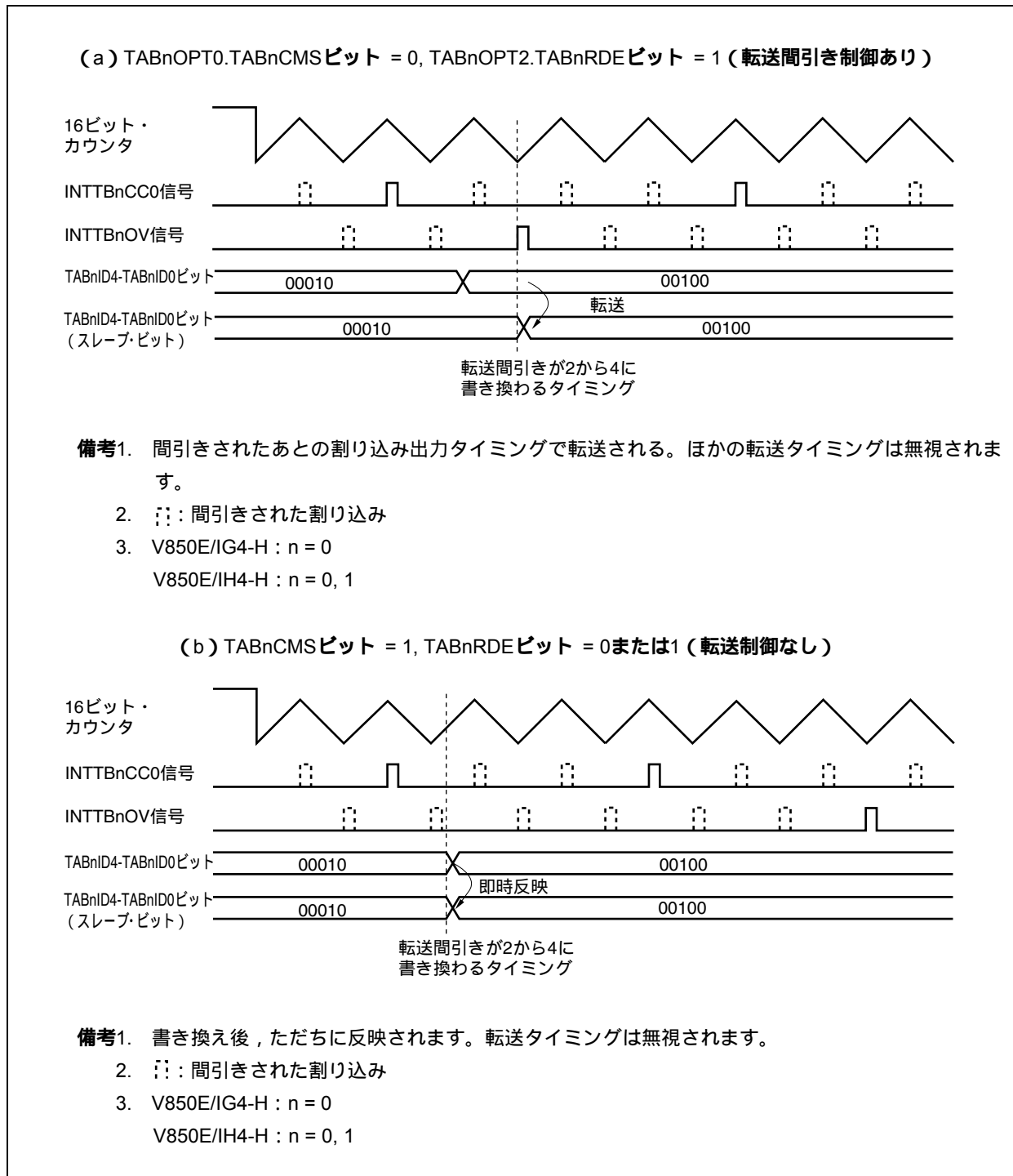
図10 - 17 TABnOPT1.TABnICEビット = 0, TABnIOEビット = 1, TABnOPT2.TABnRDEビット = 1での割り込み
間引き動作 (谷割り込みのみ出力)



(2) 山割り込み (INTTBnCC0) と谷割り込み (INTTBnOV) を交互出力する場合

山割り込みと谷割り込みを交互に出力するにはTABnOPT1.TABnICE, TABnIOEビットをともに“1”に設定してください。

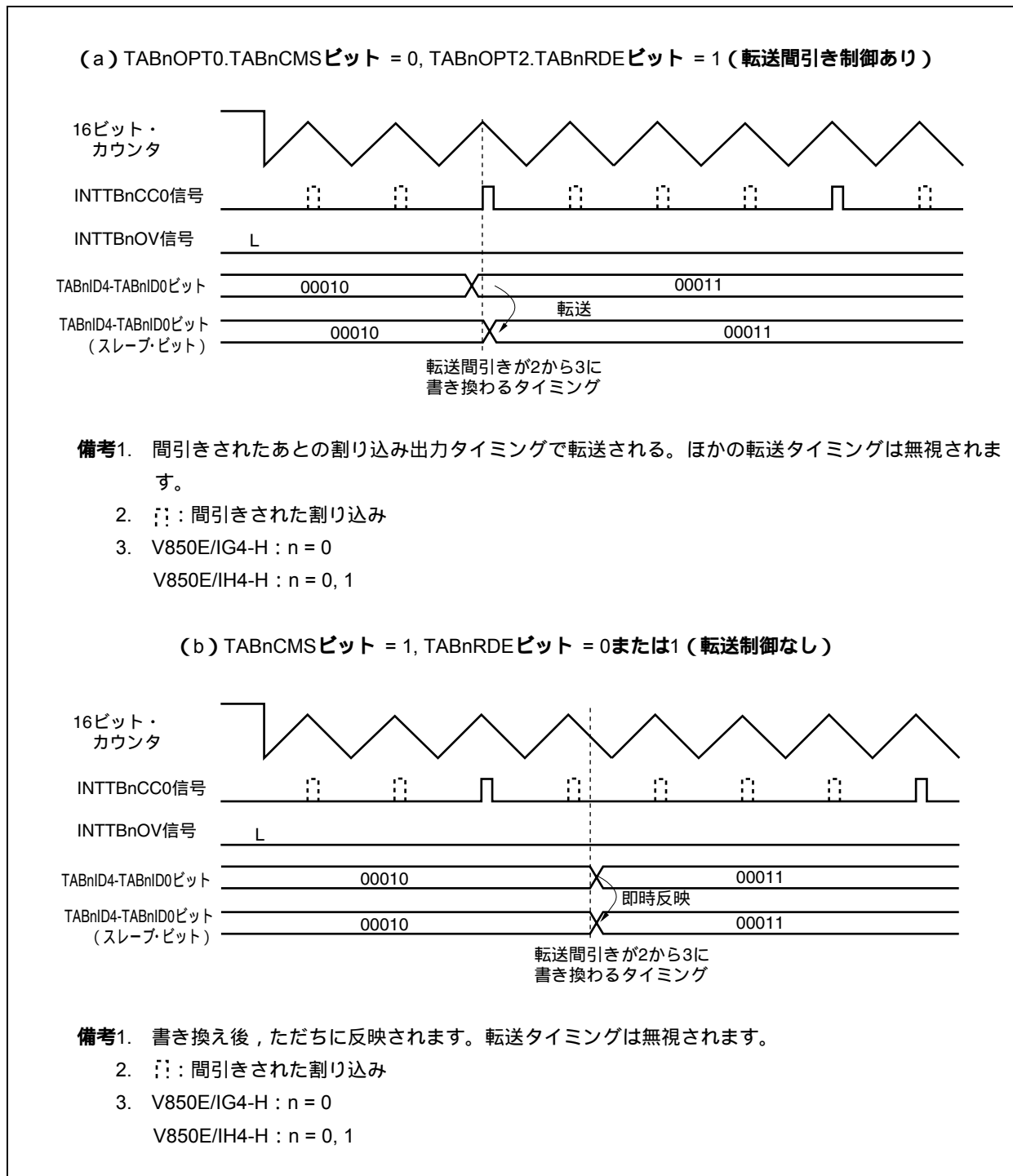
図10 - 18 山/谷割り込み出力



(3) 山割り込み (INTTBnCC0) のみを出力する場合

TABnOPT1.TABnICEビット = 1, TABnIOEビット = 0に設定してください。

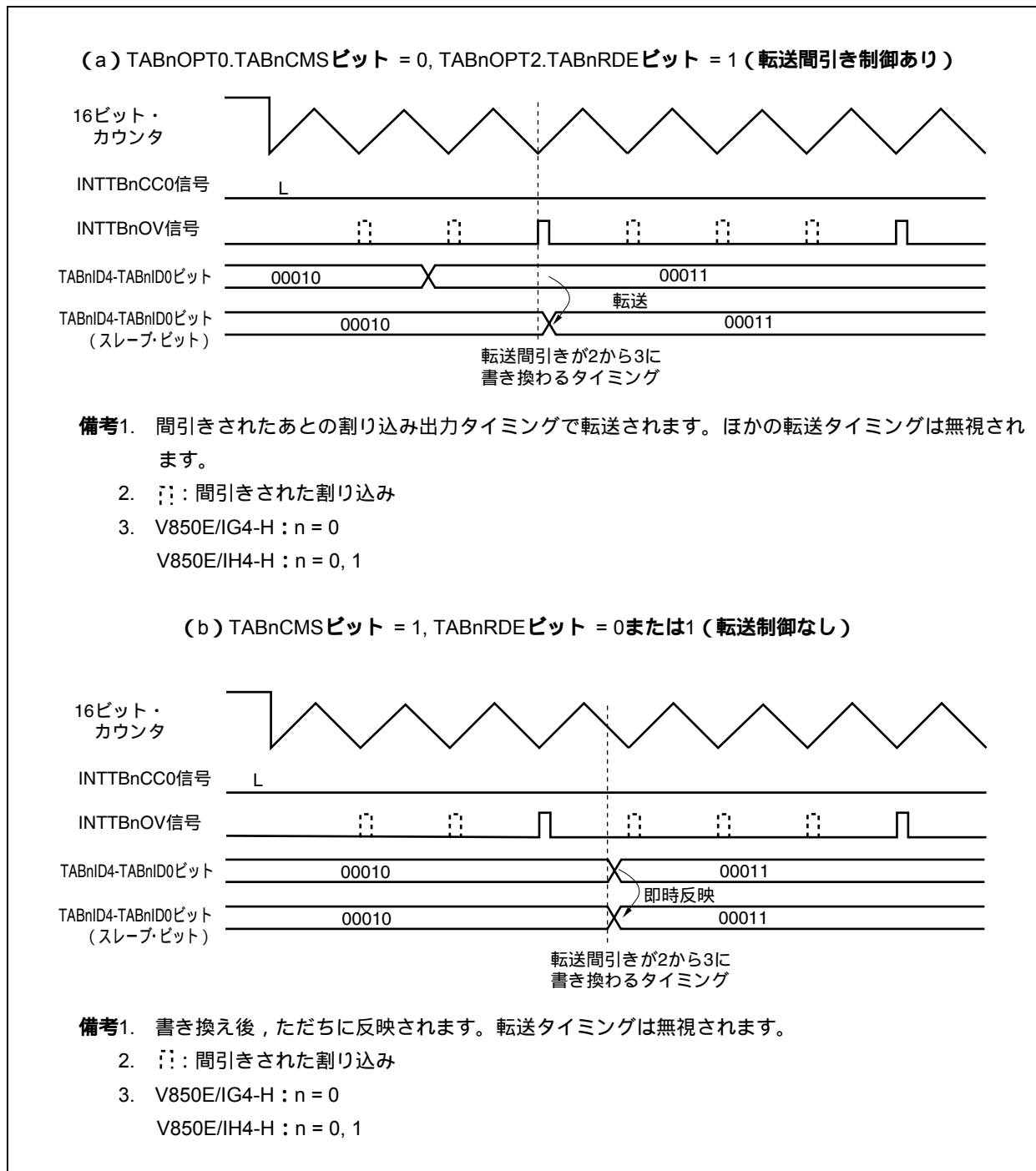
図10 - 19 山割り込み出力



(4) 谷割り込み (INTTBnOV) のみを出力する場合

TABnOPT1.TABnICEビット = 0, TABnIOEビット = 1に設定してください。

図10 - 20 谷割り込み出力



10.4.4 転送機能付きレジスタの書き換え操作

モータ制御に使用し、転送機能があるレジスタは次の7種類です。それぞれにバッファ・レジスタがあります。

- ・ TABnCCR0 : 16ビット・カウンタ (TAB) の周期指定用レジスタ
- ・ TABnCCR1 : TOBnT1 (U) , TOBnB1 (\bar{U}) のデューティ指定用レジスタ
- ・ TABnCCR2 : TOBnT2 (V) , TOBnB2 (\bar{V}) のデューティ指定用レジスタ
- ・ TABnCCR3 : TOBnT3 (W) , TOBnB3 (\bar{W}) のデューティ指定用レジスタ
- ・ TABnOPT1 : 割り込み間引き指定用レジスタ
- ・ TAAAnCCR0 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAAAn)
- ・ TAAAnCCR1 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAAAn)

また、転送機能があるレジスタには、次の3種類の書き換えモードがあります。

- ・ 随時書き換えモード

TABnOPT0.TABnCMSビット = 1で設定します。TABnOPT2.TABnRDEビットの指定は無視されま
す。

このモードでは、各コンペア・レジスタが独立して更新動作を行い、各コンペア・レジスタに書き
込むと即時に書き込み値が更新されます。

- ・ 一斉書き換えモード (転送モード)

TABnOPT0.TABnCMSビット = 0, TABnOPT1.TABnID4-TABnID0ビット = 00000, TABnOPT2.TABnRDE
ビット = 0で設定します。

TABnCCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レ
ジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTABnCCR1レジスタへの書
き込みを行わないと転送動作は起こりません。

転送タイミングは、割り込みとは関係なく毎回の山 (16ビット・カウンタとTABnCCR0レジスタの
一致) タイミングと谷 (16ビット・カウンタと0001Hの一致) タイミングです。

- ・ 間欠一斉書き換えモード (転送間引きモード)

TABnOPT0.TABnCMSビット = 0, TABnOPT2.TABnRDEビット = 1で設定します。

TABnCCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レ
ジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTABnCCR1レジスタへの書
き込みを行わないと転送動作は起こりません。

転送は、TABnOPT1レジスタで指定した割り込み間引きにあわせて転送タイミングが間引かれ、間
引かれたあとの山割り込み (16ビット・カウンタとTABnCCR0レジスタの一致) タイミング、または
谷割り込み (16ビット・カウンタと0001Hの一致) タイミングにより7つのレジスタに対して一斉に行
われます。

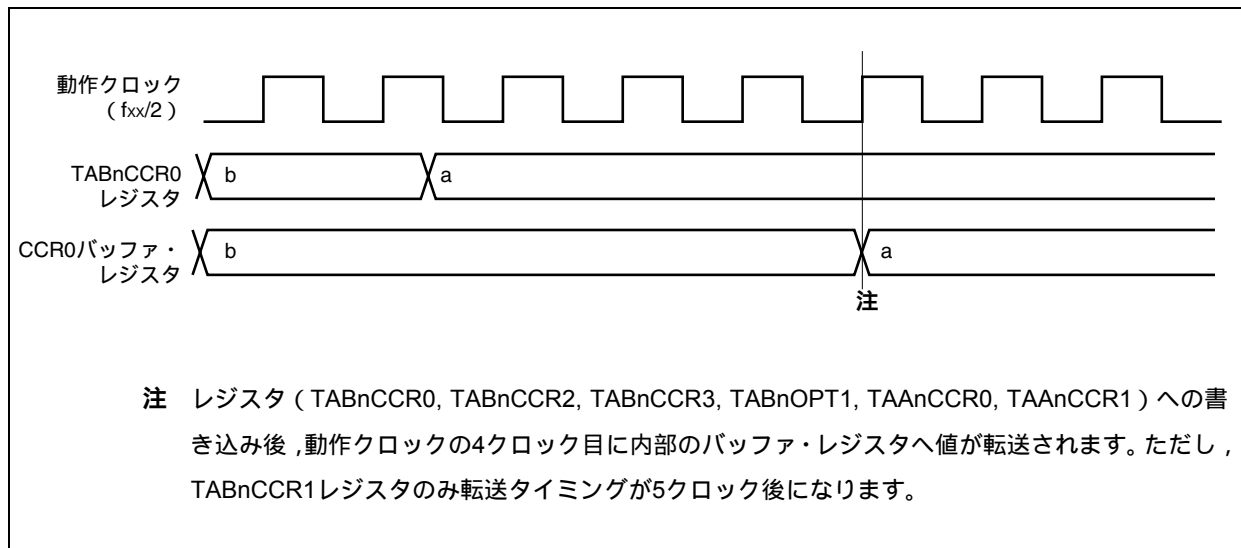
割り込み間引き機能についての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

(1) 随時書き換えモード

TABnOPT0.TABnCMSビット = 1で設定します。TABnOPT2.TABnRDEビットの設定は無視されます。

各転送機能付きレジスタへの書き込み値が、すぐに内部のバッファ・レジスタに転送されカウント値との比較対象になるモードです。このモードではTABnCCRmと16ビット・カウンタの一致が発生後に書き換ええると、一度一致が発生したあとの再度の一致は無視されるので書き換え値は反映されません。アップ・カウント中に書き換えた場合はダウン・カウントに切り替わったあとの一致で有効になります。

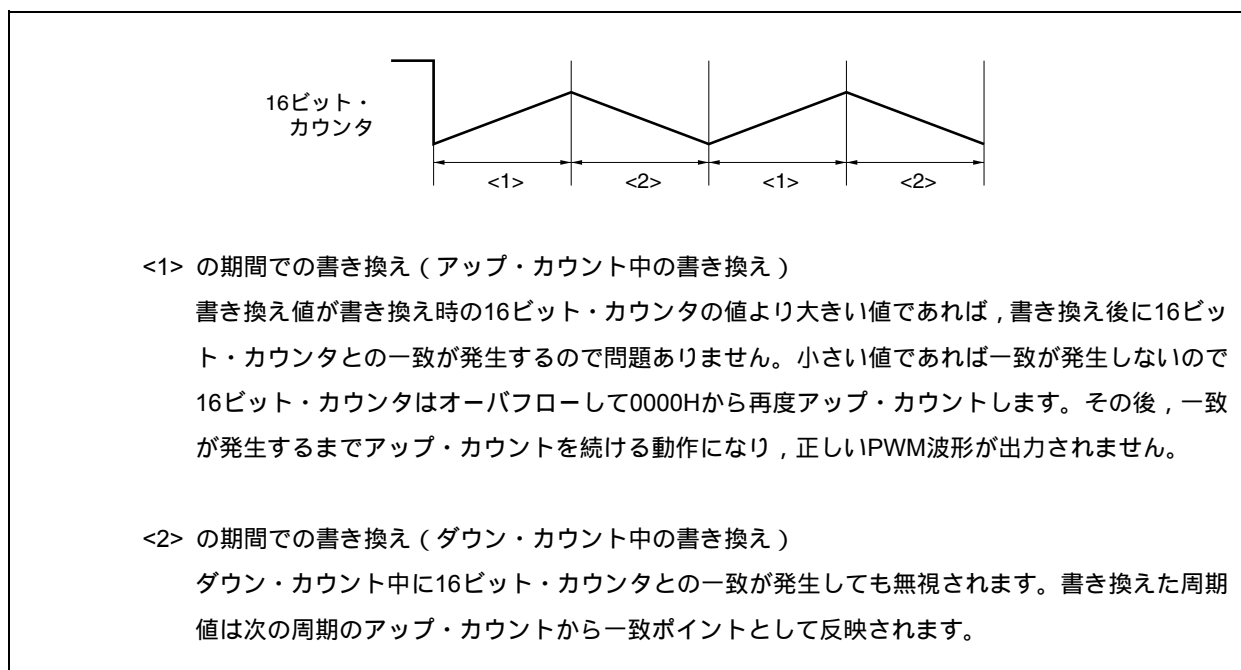
図10 - 21 書き換え値の反映タイミング



(a) TABnCCR0レジスタの書き換え

TABnCCR0レジスタを随時書き換えモードで書き換えても、すぐには値が反映されない場合があります。

図10 - 22 TABnCCR0レジスタの書き換え例



(b) TABnCCRmレジスタの書き換え

図10 - 24に16ビット・カウンタとTABnCCRmレジスタが一致する前に書き換えた場合のタイミング (図10 - 23の<1>) を, 図10 - 25に16ビット・カウンタとTABnCCRmレジスタが一致したあとに書き換えた場合のタイミング (図10 - 23の<2>) を示します。

図10 - 23 16ビット・カウンタとTABnCCRmレジスタの基本動作

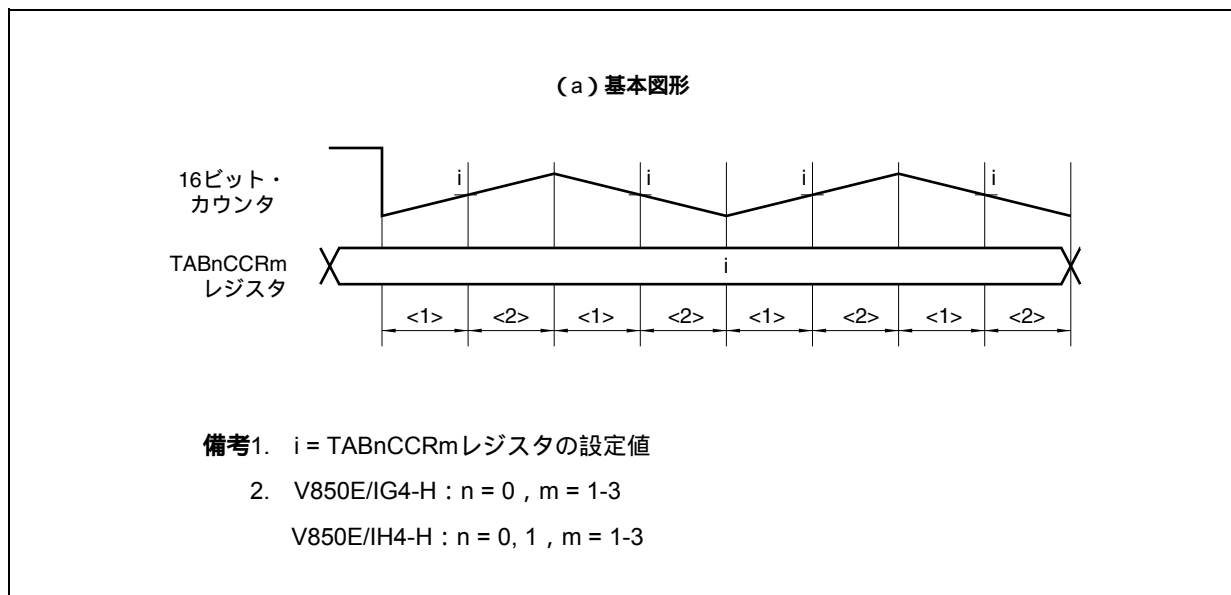


図10 - 24 TABnCCR1-TABnCCR3レジスタの書き換え例（一致発生前の書き換え）

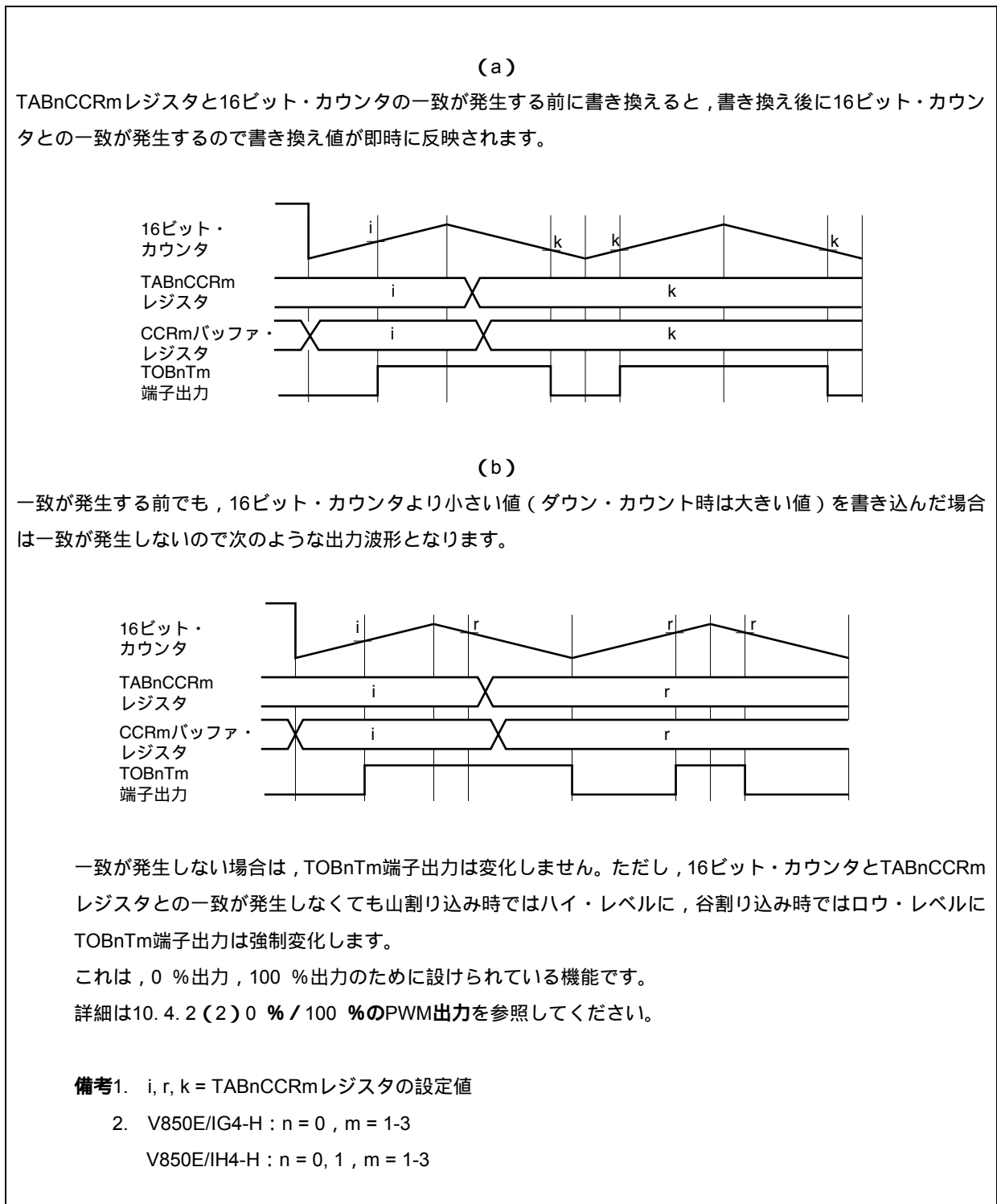
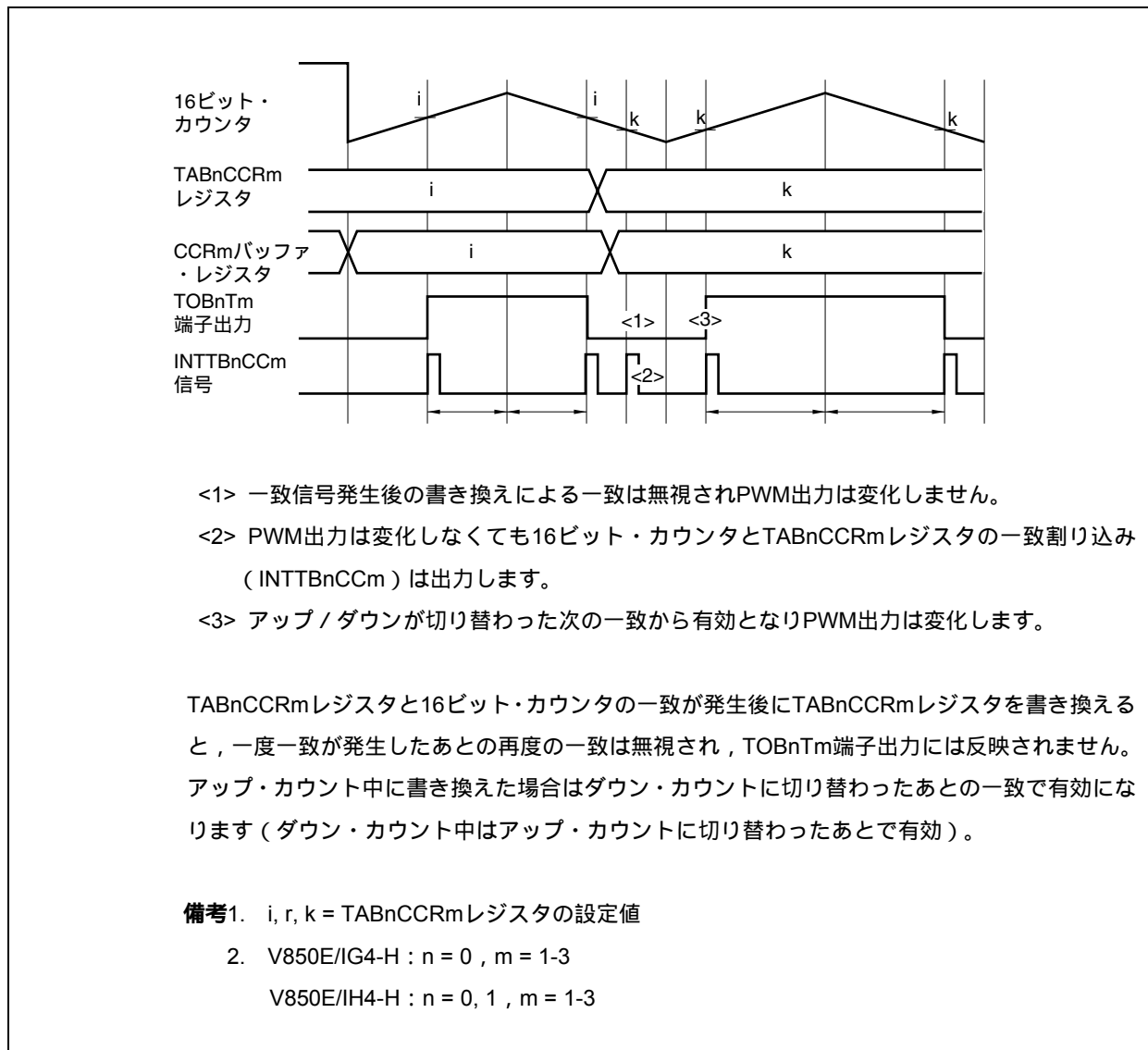


図10 - 25 TABnCCR1-TABnCCR3レジスタの書き換え例（一致発生後の書き換え）

**(c) TABnOPT1レジスタの書き換え**

TABnOPT1レジスタへの書き込みで割り込み間引きカウンタはクリアされます。割り込み間引きカウンタがクリアされることにより、それまで計測していた割り込み発生数は破棄されるので、一時的に割り込み発生間隔が長くなるので注意してください。

この動作を避けるためには、間欠一斉書き換えモード（転送間引きモード）での書き換えをしてください。

TABnOPT1レジスタへの書き換えについての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

(2) 一斉書き換えモード (転送モード)

TABnOPT0.TABnCMSビット = 0, TABnOPT1.TABnID4-TABnID0ビット = 00000, TABnOPT2.TABnRDEビット = 0で設定します。

各コンペア・レジスタへの書き込み値が、転送タイミングで一斉に内部のバッファ・レジスタに転送され、カウント値との比較対象になるモードです。

(a) 書き換え操作手順

TABnCCR1レジスタへの書き込みが行われると、TABnCCR0-TABnCCR3, TABnOPT1, TAAAnCCR0, TAAAnCCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TABnCCR1レジスタへの書き込みは最後に行ってください。また、TABnCCR1レジスタへの書き込み後は、転送タイミング(山(16ビット・カウンタとTABnCCR0レジスタの一致)タイミング、または谷(16ビット・カウンタと0001Hの一致)タイミング)が発生するまで、レジスタへの書き込みは禁止です。操作手順を次に示します。

TABnCCR0, TABnCCR2, TABnCCR3, TABnOPT1, TAAAnCCR0, TAAAnCCR1レジスタの書き換え書き換えが必要ないレジスタは書き換え不要です。

TABnCCR1レジスタの書き換え

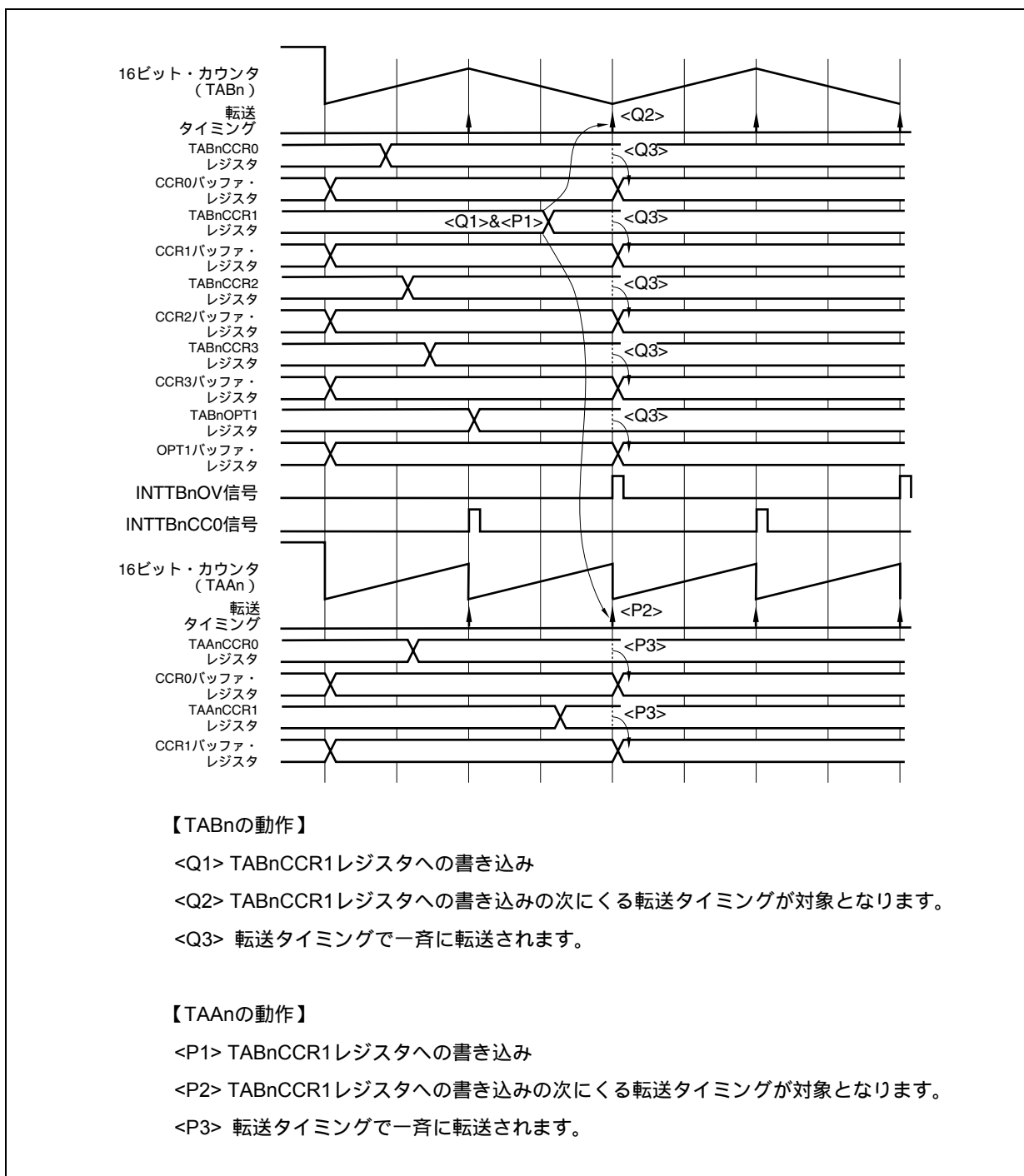
TABnCCR1レジスタを書き換える必要がない場合でも、同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTBnOVまたはINTTBnCC0割り込みの発生を確認してから次の書き換えをしてください。

に戻る

図10 - 26 一斉書き込みモードの基本動作



(b) TABnCCR0レジスタの書き換え

TABnCCR0レジスタを一斉書き換えモードで書き換える場合、転送が山（16ビット・カウンタとTABnCCR0レジスタの一致）タイミング、谷（16ビット・カウンタと0001Hの一致）タイミングのどちらで起こるかにより出力波形が変わります。通常は、ダウン・カウント中に書き換えを行い、転送タイミングが谷タイミングのときに転送する操作を推奨します。

図10 - 28にアップ・カウント中（図10 - 27の<1>の期間）のTABnCCR0レジスタの書き換え例を、図10 - 29にダウン・カウント中（図10 - 27の<2>の期間）のTABnCCR0レジスタの書き換え例を示します。

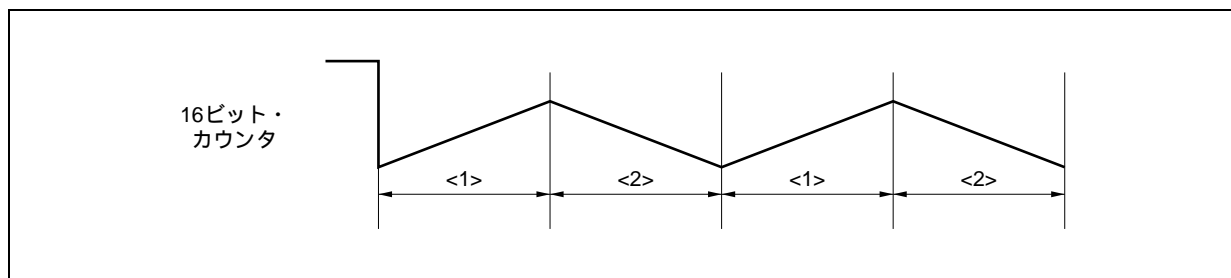
図10 - 27 16ビット・カウンタの基本動作

図10 - 28の転送タイミングは山タイミングのポイントになるので、ダウン・カウント側は周期が変わり非対称の三角波波形を出力します。また、周期が変化するので、デューティ比（電圧データ値）も書き換えてください。

図10 - 28 TABnCCR0レジスタの書き換え例（アップ・カウント時）

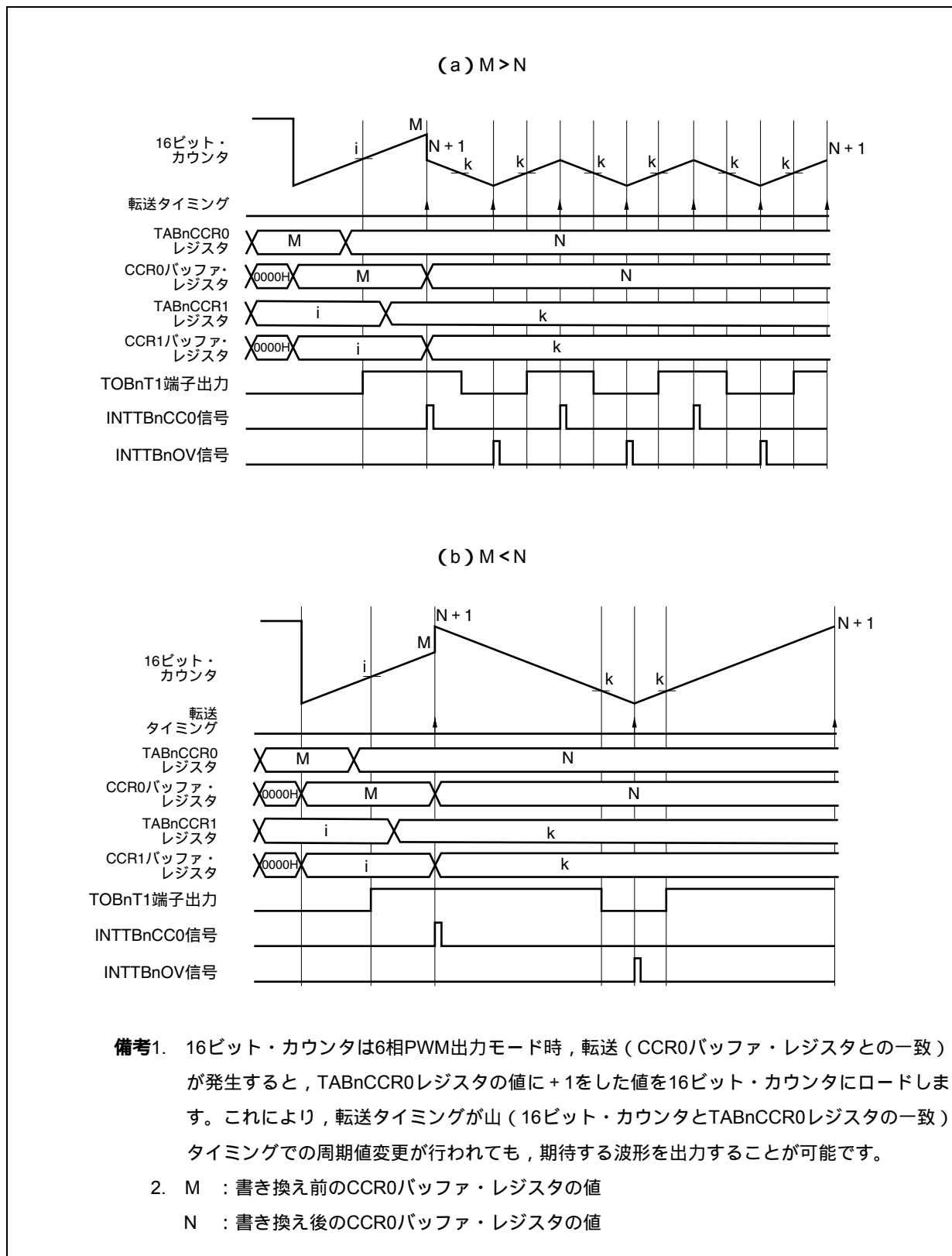
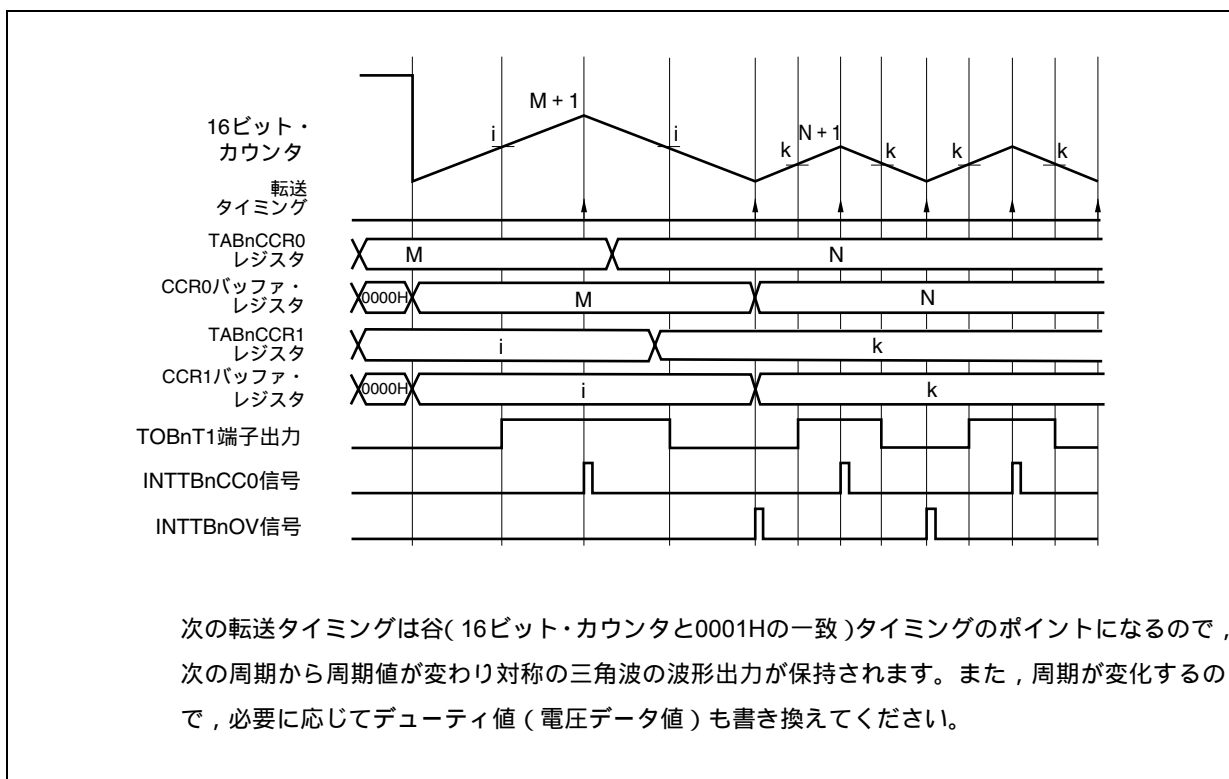
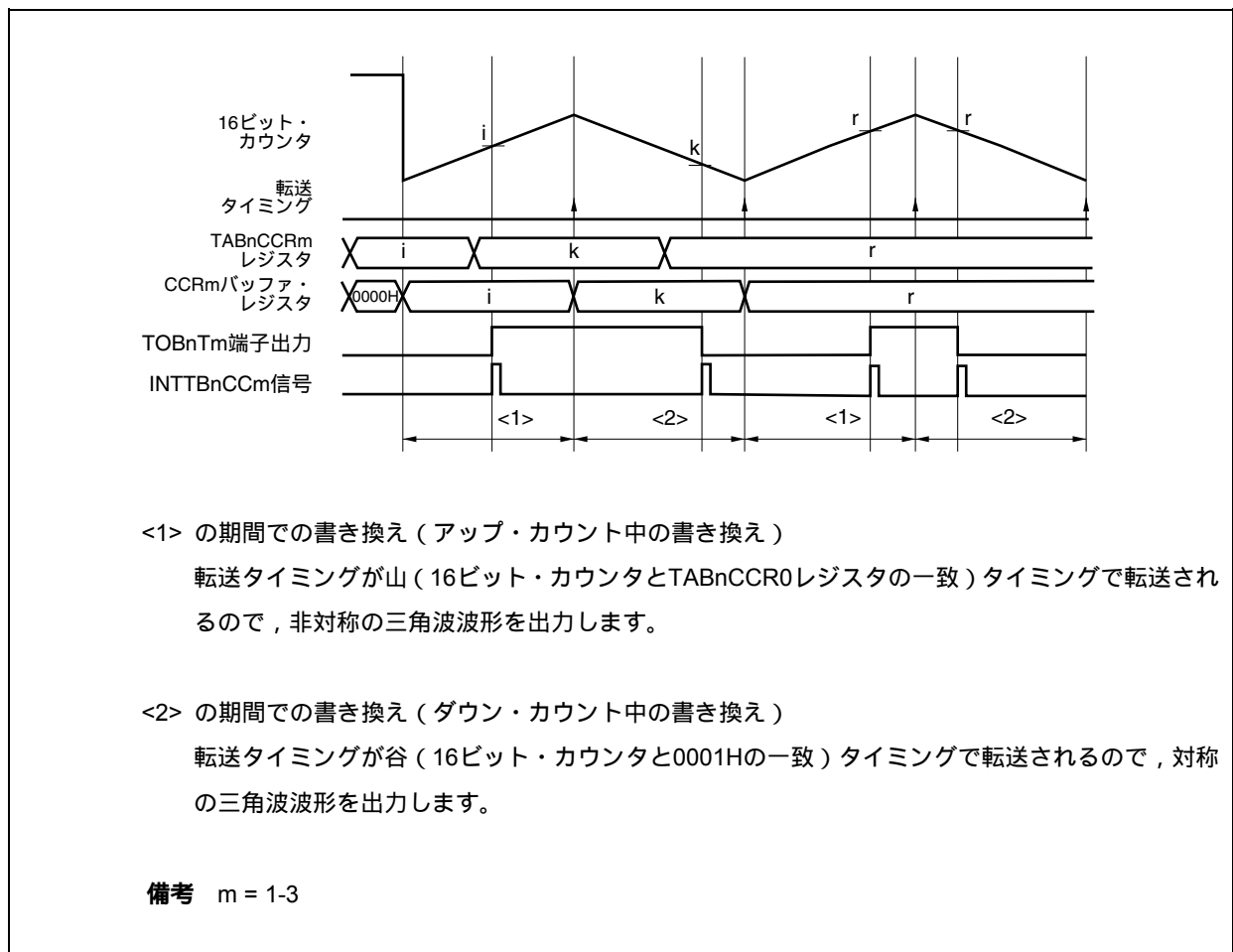


図10 - 29 TABnCCR0レジスタの書き換え例 (ダウン・カウント時)



(c) TABnCCRmレジスタの書き換え

図10 - 30 TABnCCRmレジスタの書き換え例



(d) TABnOPT1レジスタの転送

TABnOPT1.TABnID4-TABnID0ビット = 00000以外の値は設定しないでください。割り込み間引き機能を使用する場合は、間欠一斉書き換えモード (転送間引きモード) で書き換えてください。

TABnOPT1レジスタへの書き換えについての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

(3) 間欠一斉書き換えモード (転送間引きモード)

TABnOPT0.TABnCMSビット = 0, TABnOPT2.TABnRDEビット = 1で設定します。

各コンペア・レジスタへの書き込み値が、間引きされたあとの転送タイミングで一斉に内部のバッファ・レジスタに転送されカウント値との比較対象になるモードです。転送タイミングは、割り込み間引きによる割り込み発生 (INTTBnCC0, INTTBnOV) タイミングになります。

割り込み間引き機能についての詳細は、10. 4. 3 **割り込み間引き機能**を参照してください。

(a) 書き換え操作手順

TABnCCR1レジスタへの書き込みが行われるとTABnCCR0-TABnCCR3, TABnOPT1, TAAAnCCR0, TAAAnCCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TABnCCR1レジスタへの書き込みは最後に行ってください。また、TABnCCR1レジスタへの書き込み後は、転送タイミングが発生するまで (INTTBnOV, INTTBnCC0の割り込み発生まで) レジスタへの書き込みは禁止です。操作手順を次に示します。

TABnCCR0, TABnCCR2, TABnCCR3, TABnOPT1, TAAAnCCR0, TAAAnCCR1レジスタの書き換え書き換えが必要ないレジスタは書き換え不要です。

TABnCCR1レジスタの書き換え

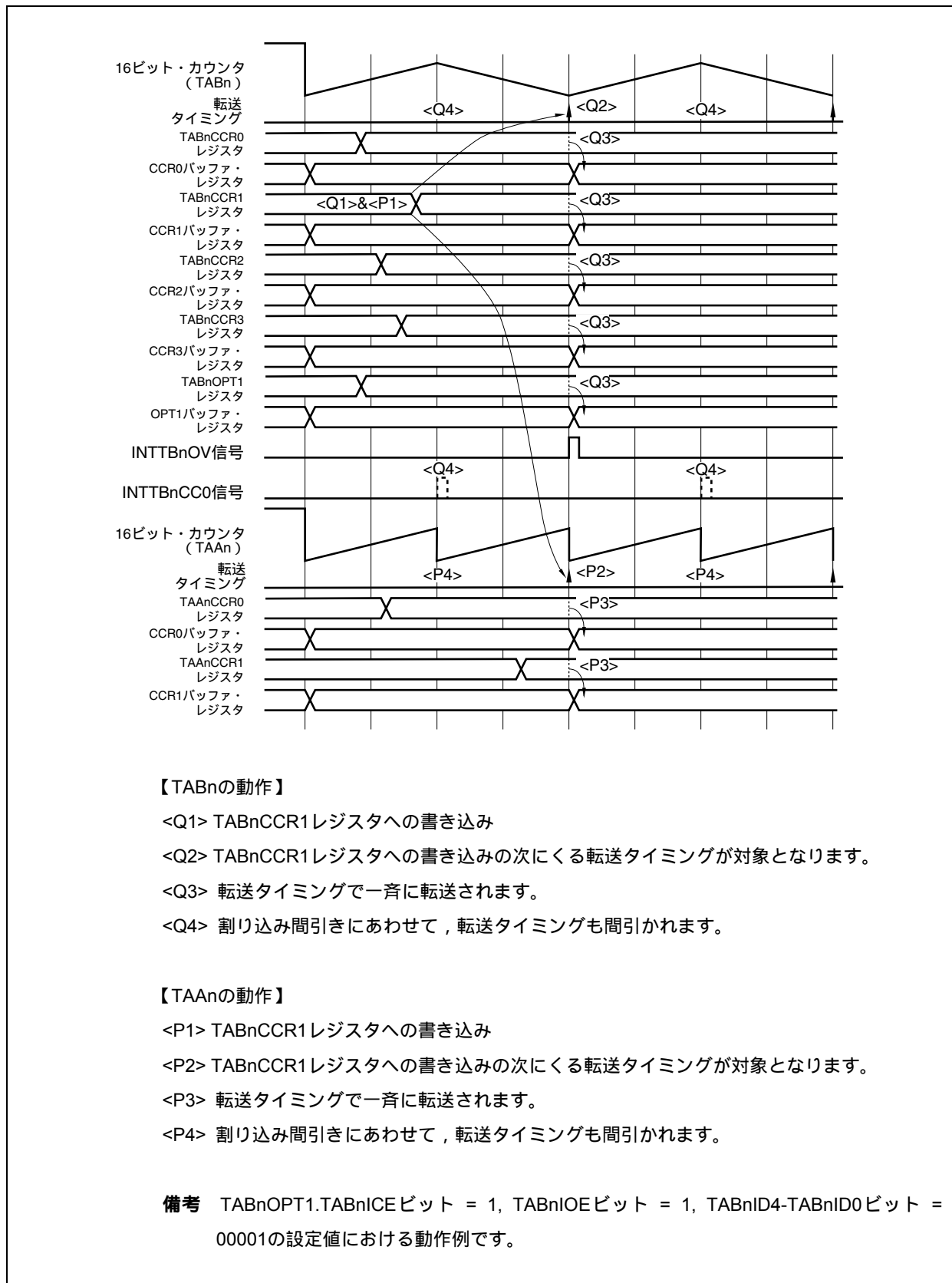
TABnCCR1レジスタを書き換える必要がない場合でも同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTBnOVまたはINTTBnCC0の割り込み発生を確認してから次の書き換えをしてください。

に戻る

図10 - 31 間欠一斉書き込みモードの基本動作



(b) TABnCCR0レジスタの書き換え

TABnCCR0レジスタを間欠一斉書き換えモードで書き換える場合、割り込み間引き設定で山/谷割り込み発生をどこに指定しているかで出力波形が変わります。次に割り込み間引き設定での出力波形の変化を示します。

図10 - 32 TABnCCR0レジスタの書き換え（山割り込みを設定時）

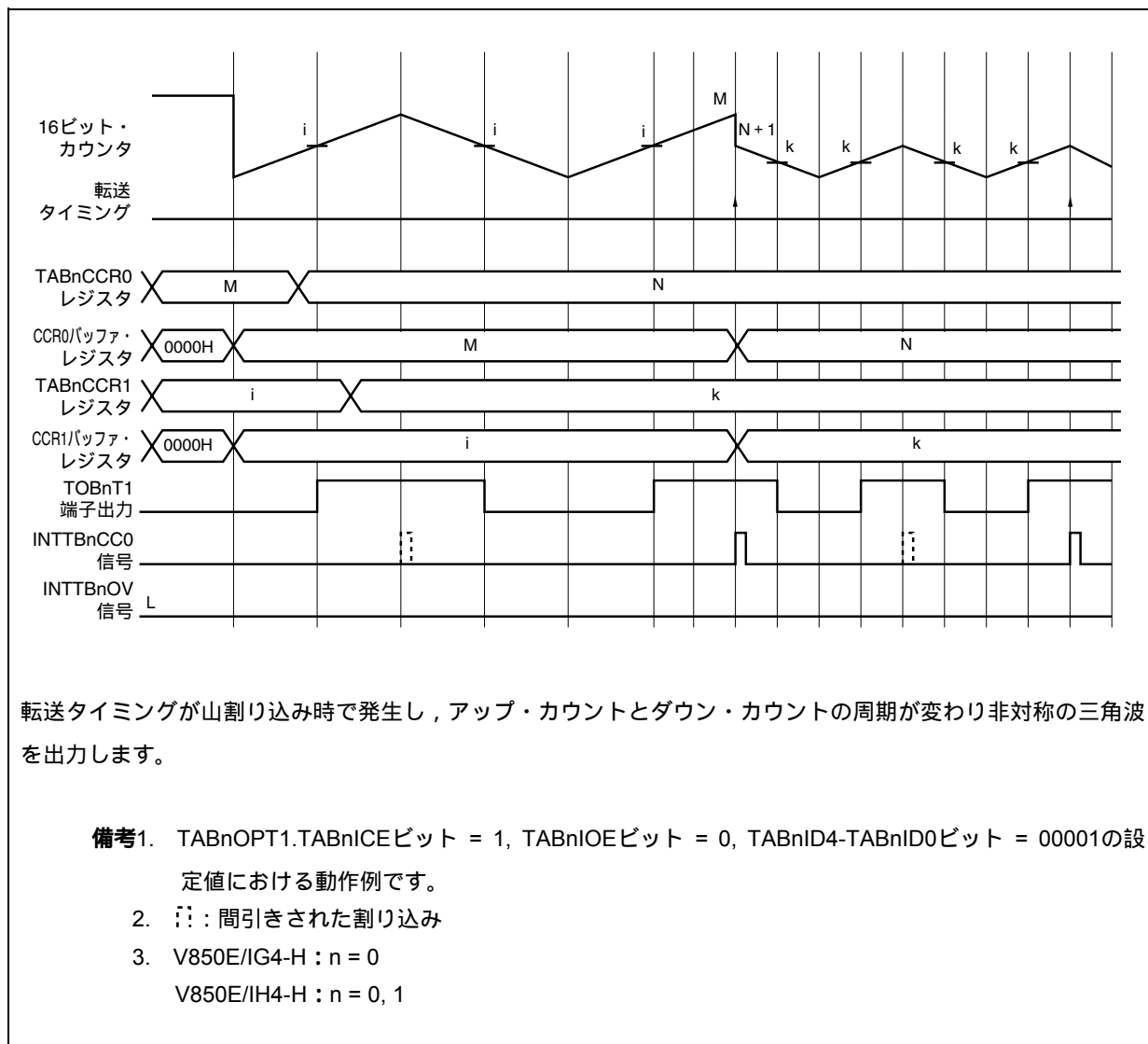
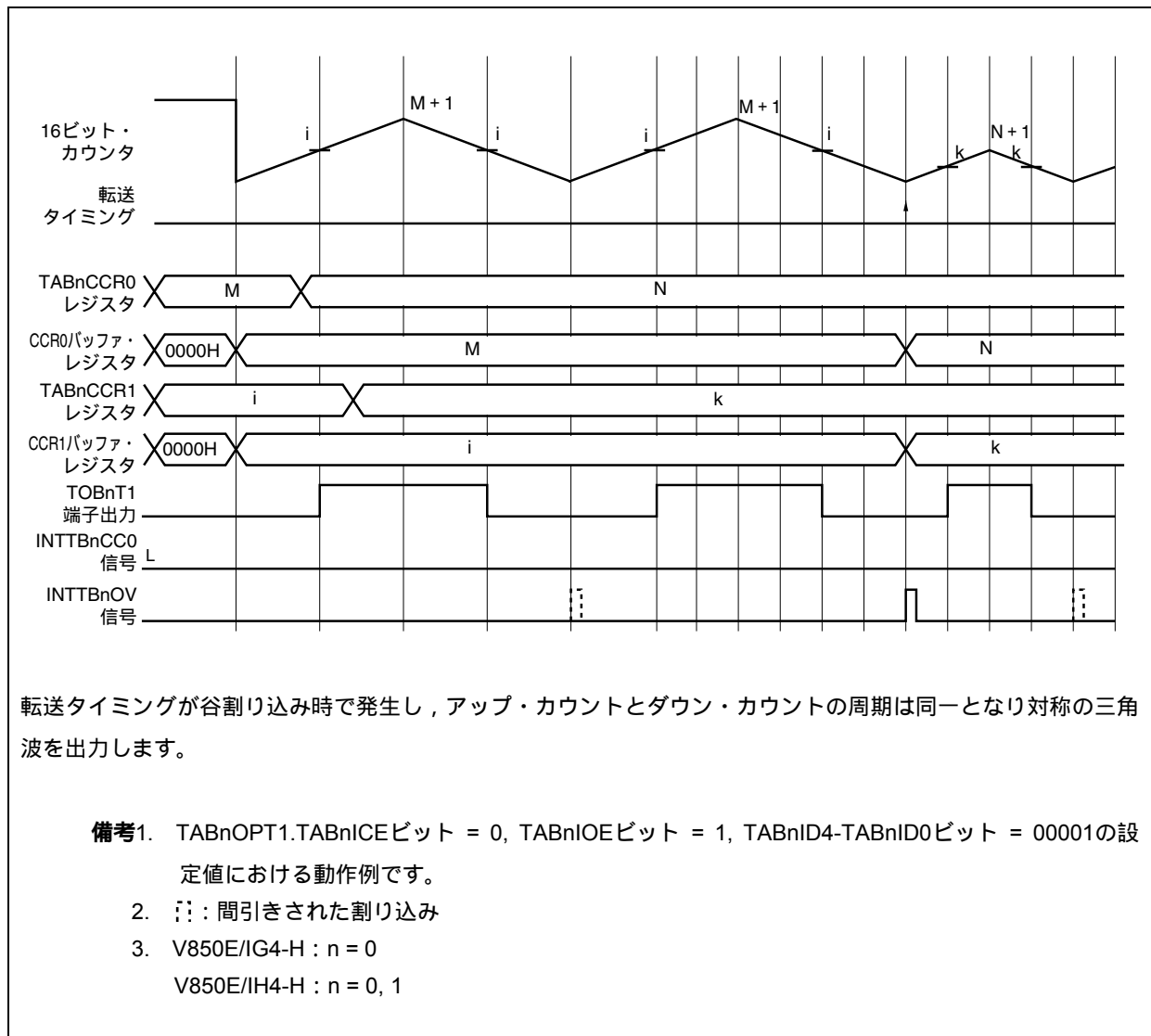


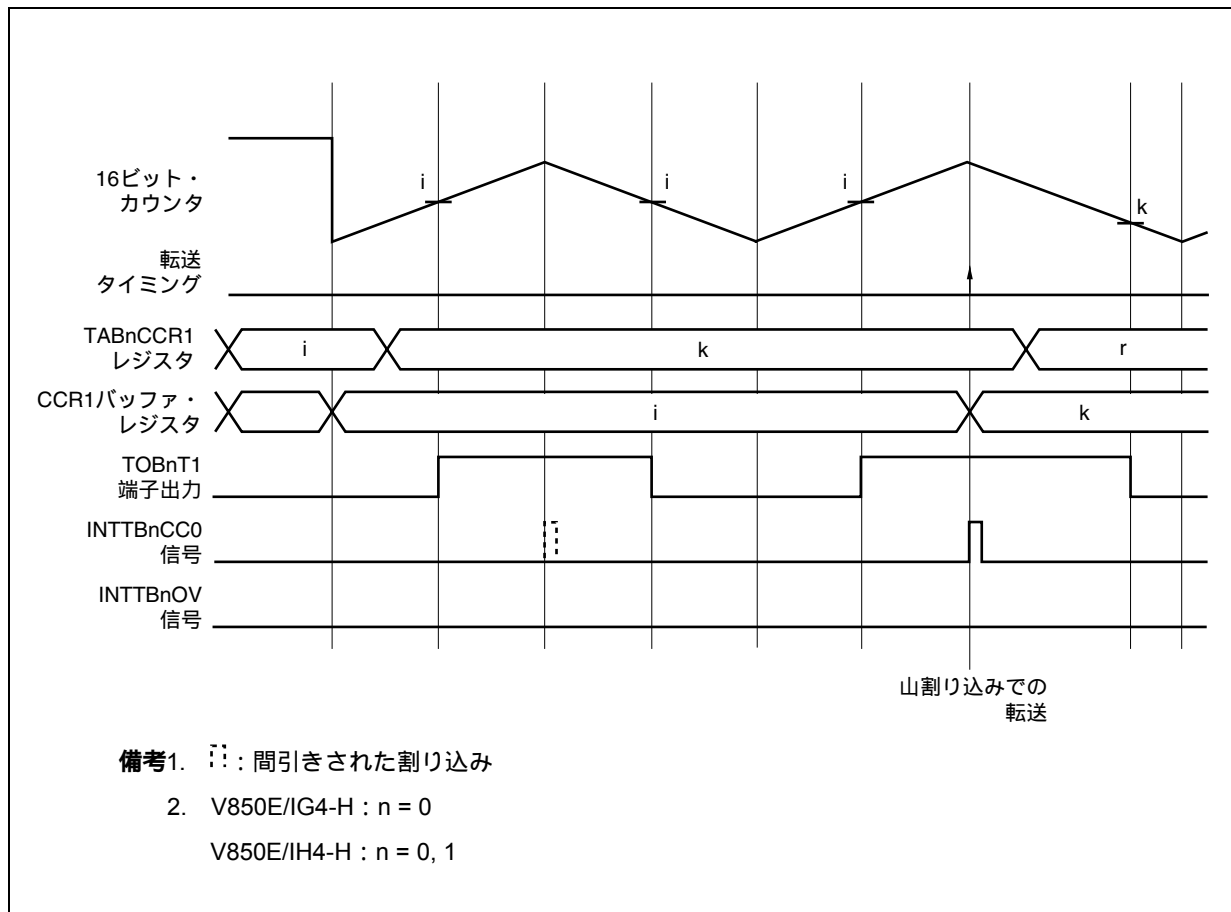
図10 - 33 TABnCCR0レジスタの書き換え（谷割り込みを設定時）



(c) TABnCCR1-TABnCCR3レジスタの書き換え

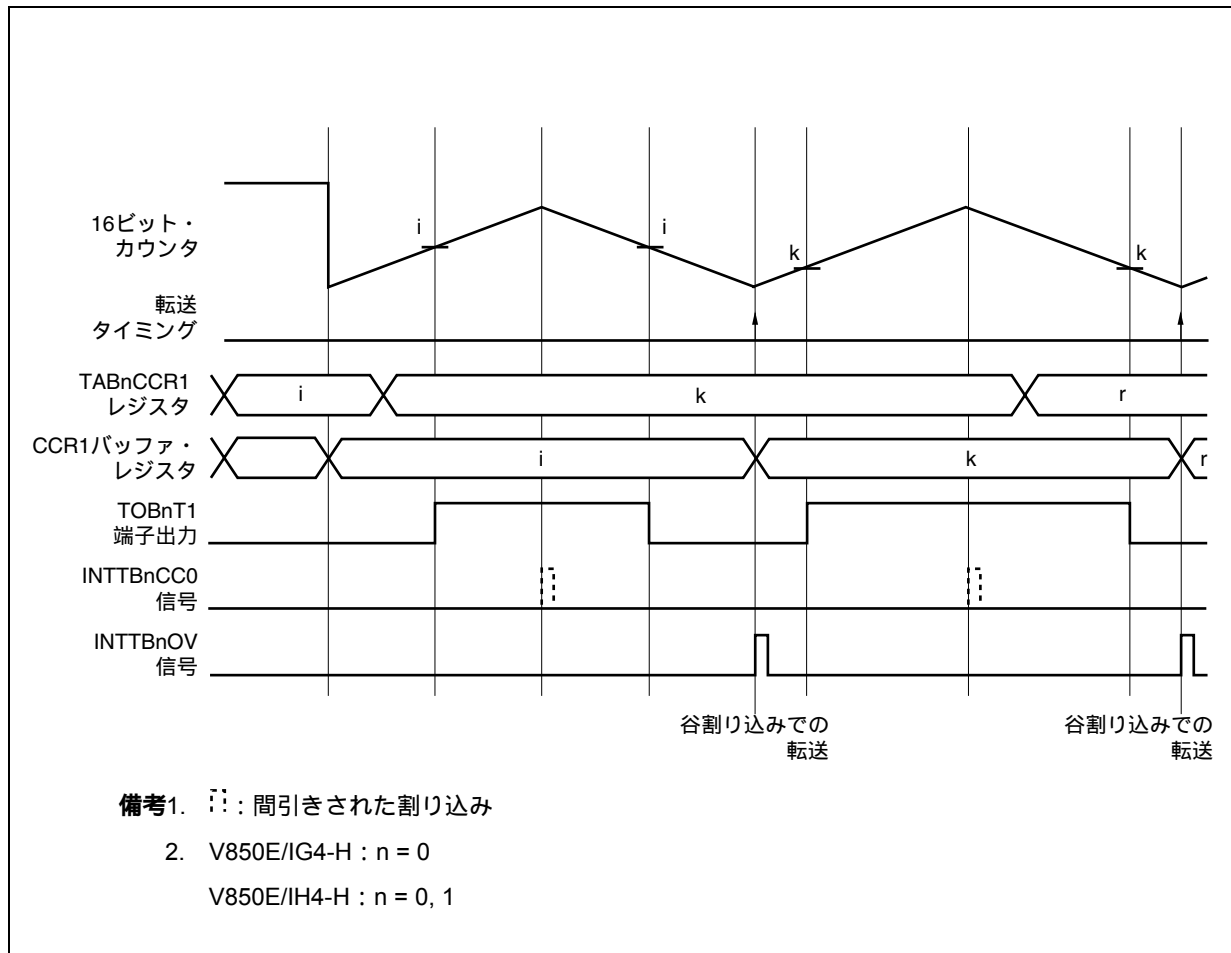
- ・ 山割り込みを設定した場合に山で転送された場合
山の転送タイミングで転送されるので、非対称の三角波波形を出力します。

図10 - 34 TABnCCR1レジスタの書き換え (TABnOPT1.TABnICEビット = 1, TABnIOEビット = 0, TABnID4-TABnID0 = 00001の場合)



- ・谷割り込みを設定した場合に谷で転送された場合
谷の転送タイミングで転送されるので、対称の三角波波形を出力します。

図 10 - 35 TABnCCR1 レジスタの書き換え (TABnOPT1.TABnICE ビット = 1, TABnIOE ビット = 1, TABnID4-TABnID0 = 00001の場合)



(d) TABnOPT1レジスタの書き換え

割り込み間引きカウンタが一致したときに、新しい割り込み間引き値が転送されるため、次から設定した間隔で割り込みが発生します。

TABnOPT1レジスタへの書き換えについての詳細は、10.4.3 割り込み間引き機能を参照してください。

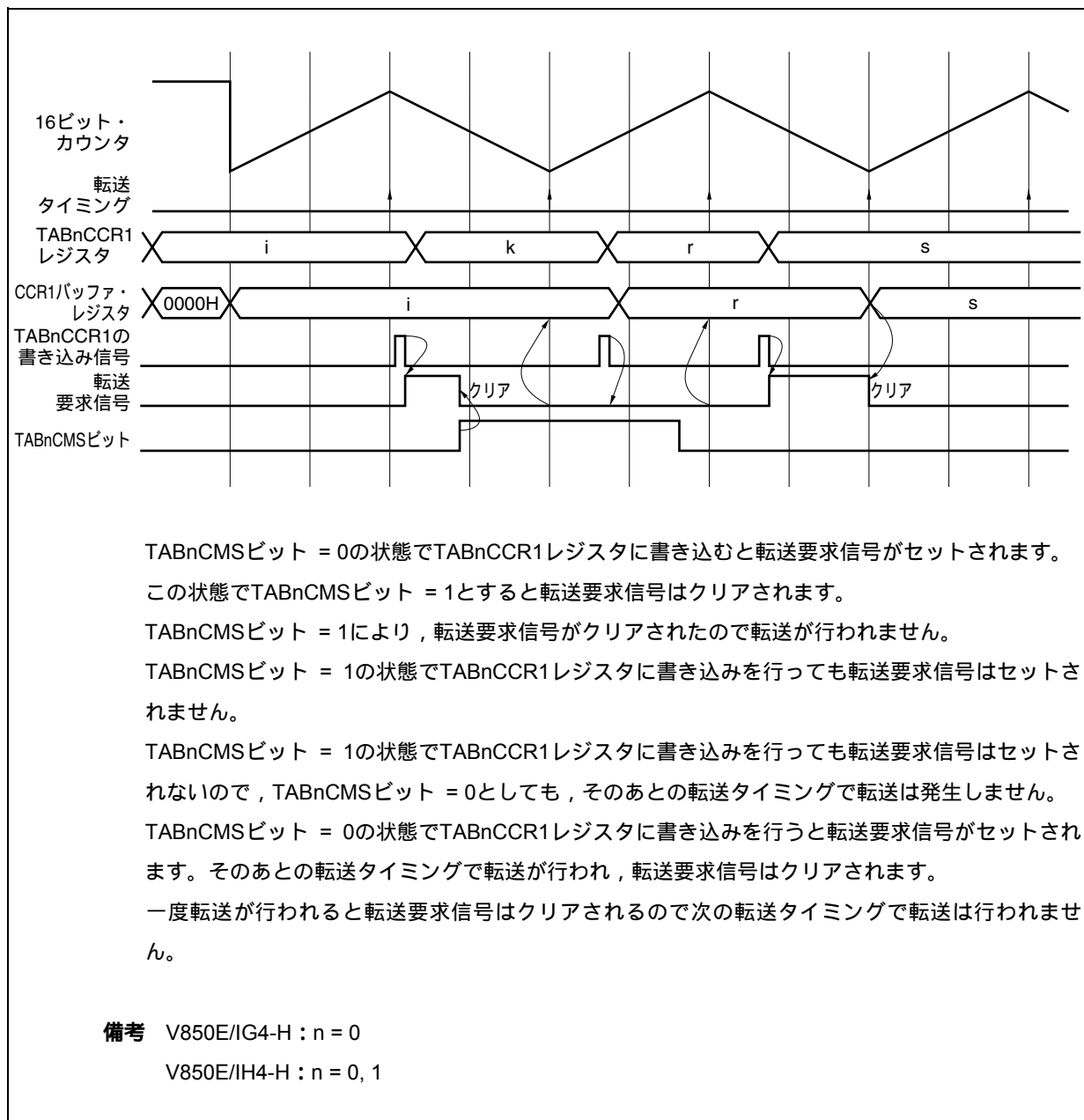
(4) TABnOPT0.TABnCMSビットの書き換え

TABnCMSビットは、随時書き換えモードと一斉書き換えモードの切り替えができます。タイマ動作中 (TABnCTL0.TABnCEビット = 1) の書き換えが可能です。図10 - 36で示す動作および注意が必要です。

TABnCMSビット = 0の状態ではTABnCCR1レジスタに書き込むと転送要求信号 (内部信号) がセットされます。

転送要求信号がセットされていると、次の転送タイミングで転送を行い、転送要求信号がクリアされます。この転送要求信号は、TABnCMSビット = 1によってもクリアされます。

図10 - 36 TABnCMSビットの書き換え



10.4.5 A/D変換開始トリガ信号出力用TAA_nの同調動作

6相PWM出力モードで使用する場合は、TAA_nおよびTAB_nの同調動作について示します。

6相PWM出力モードでは、TAB_nをマスタとし、TAA_nをスレーブとして同調動作を行い、A/D変換開始トリガ・ソースとしてTAA_nのINTTAA_nCC0、INTTAA_nCC1信号とTAB_nのINTTB_nOV、INTTB_nCC0信号でA/Dコンバータ0、1の変換開始トリガ信号を設定できます。

備考 V850E/IG4-H : n = 0
V850E/IH4-H : n = 0, 1

(1) 同調動作開始手順

同調動作を行わせるためのTAA_n、TAB_nのレジスタの設定手順を次に示します。

(a) TAA_nレジスタ設定(TAB_n、TAA_nは動作停止状態(TAB_nCTL0.TAB_nCEビット = 0, TAA_nCTL0.TAA_nCEビット = 0)にしてください)

- ・ TAA_nCTL1レジスタ = 85Hに設定 (同調動作スレーブ・モード, フリー・ランニング・タイマ・モードに設定)
- ・ TAA_nOPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・ TAA_nCCR0, TAA_nCCR1レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(b) TAB_nレジスタ設定

- ・ TAB_nCTL1レジスタ = 07Hに設定 (マスタ・モード, 6相PWM出力モードに設定)
- ・ TAB_nIOC0レジスタに適切な値を設定 (TOB_nT1-TOB_nT3の出力モードを設定)
ただし、TAB_nOL0, TAB_nOE0ビットは必ずTAB_nOL0ビット = 0, TAB_nOE0ビット = 1に設定 (正相の出力許可) してください。この設定を行わない場合は、山割り込み (INTTB_nCC0), 谷割り込み (INTTB_nOV) が発生しないため、A/Dコンバータ0, 1の変換開始トリガ信号が正常に発生しません。
- ・ TAB_nIOC1, TAB_nIOC2レジスタ = 00Hに設定 (TAB_nのTIB_n0-TIB_n3, EVT_n, TRGB_n端子は使用しない)
- ・ TAB_nOPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択にする)
- ・ TAB_nCCR0-TAB_nCCR3レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)
- ・ TAB_nCTL0レジスタ = 0xHに設定 (TAB_nCEビットは0, TAB_nの動作クロックを設定する)
TAB_nCTL0レジスタで設定したTAB_nの動作クロックは、TAA_nにも供給され、同じタイミングでカウント動作を行います。TAA_nCTL0レジスタで設定したTAA_nの動作クロックは無視されます。

(c) TMQOP_n (TMQ_nオプション) レジスタ設定

- ・ TAB_nOPT1, TAB_nOPT2レジスタに適切な値を設定
- ・ TAB_nIOC3レジスタに適切な値を設定 (TOB_nB1-TOB_nB3の出力モードを設定)
- ・ TAB_nDTCレジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(d) 兼用機能設定

- ・ポート・コントロール・モードにより、ポートを兼用機能にする。

(e) TAA_nCEビット = 1に設定し、直後にTAB_nCEビット = 1に設定し、6相PWM出力動作を開始

動作中におけるTAB_nCTL0, TAB_nCTL1, TAB_nIOC1, TAB_nIOC2, TAA_nCTL0, TAA_nCTL1レジスタの書き換えは禁止です。書き換えた場合の動作、および、PWM出力波形は保証できません。ただし、TAB_nCTL0.TAB_nCEビット = 0にするためのTAB_nCEビットの書き換えは許可します。また、TAA_nCTL0.TAA_nCEビット = 1としたあとTAB_nCEビット = 1とするまでは、ほかのTAB_n, TAA_n, TMQ_nオプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

(2) 同調動作解除手順

同調動作を解除し、6相PWM出力モードを終了するためのTAA_n, TAB_nレジスタの設定手順を次に示します。

- TAB_nCTL0.TAB_nCEビット = 0に設定し、タイマ動作を停止
- TAA_nCTL0.TAA_nCEビット = 0に設定し、TAA_nは分離可能状態
- TAB_nIOC0レジスタによりタイマ出力を停止
- TAA_nCTL1.TAA_nSYEビット = 0に設定し、同調動作を解除

注意 TAB_nCEビット = 0としたあとTAA_nCEビット = 0とするまでは、ほかのTAB_n, TAA_n, TMQ_nオプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

(3) TAA_nを同調動作させない場合について

A/Dコンバータ0, 1の変換開始トリガ・ソースとしてTAA_nの一致割り込み信号を使用しない場合は、TAA_nを同調動作させず単独動作させて別機能のタイマとして使用できます。この場合、6相PWM出力モードにおいて、A/D変換開始トリガ・ソースとしてTAA_nの一致割り込み信号を使用しないため、TAB_nOPT2, TAB_nAT2, TAB_nAT3ビット, TAB_nOPT3.TAB_nAT6, TAB_nAT7ビットは0固定にして使用してください。

ほかの制御ビットは、TAA_nを同調動作させた場合と同様に使用できます。

TAA_nを同調動作させていない場合、TAA_nのコンペア・レジスタ（TAA_nCCR0, TAA_nCCR1）は、TAB_nOPT0.TAB_nCMSビット, TAB_nOPT2.TAB_nRDEビットの設定による影響を受けません。TAA_nを同調動作させない場合の初期設定手順は、10.4.5(1)同調動作開始手順に示した手順の(b)-(e)を行ってください。(a)は同調動作させるTAA_nの設定なので不要です。

(4) 同調動作時のTAAの基本動作

TAAの16ビット・カウンタは、アップ・カウント動作のみを行います。TABnCCR0レジスタによる周期設定値でTAAの16ビット・カウンタがクリアされ0000Hから再カウントを行います。したがって、TABnの16ビット・カウンタがアップ・カウント時はTAAの16ビット・カウンタと同値ですが、ダウン・カウント時はTAAのカウンタ値は同じではありません。

- ・ TABnがアップ・カウント時 (同値)

TABnの16ビット・カウンタ : 0000H M (アップ・カウント)

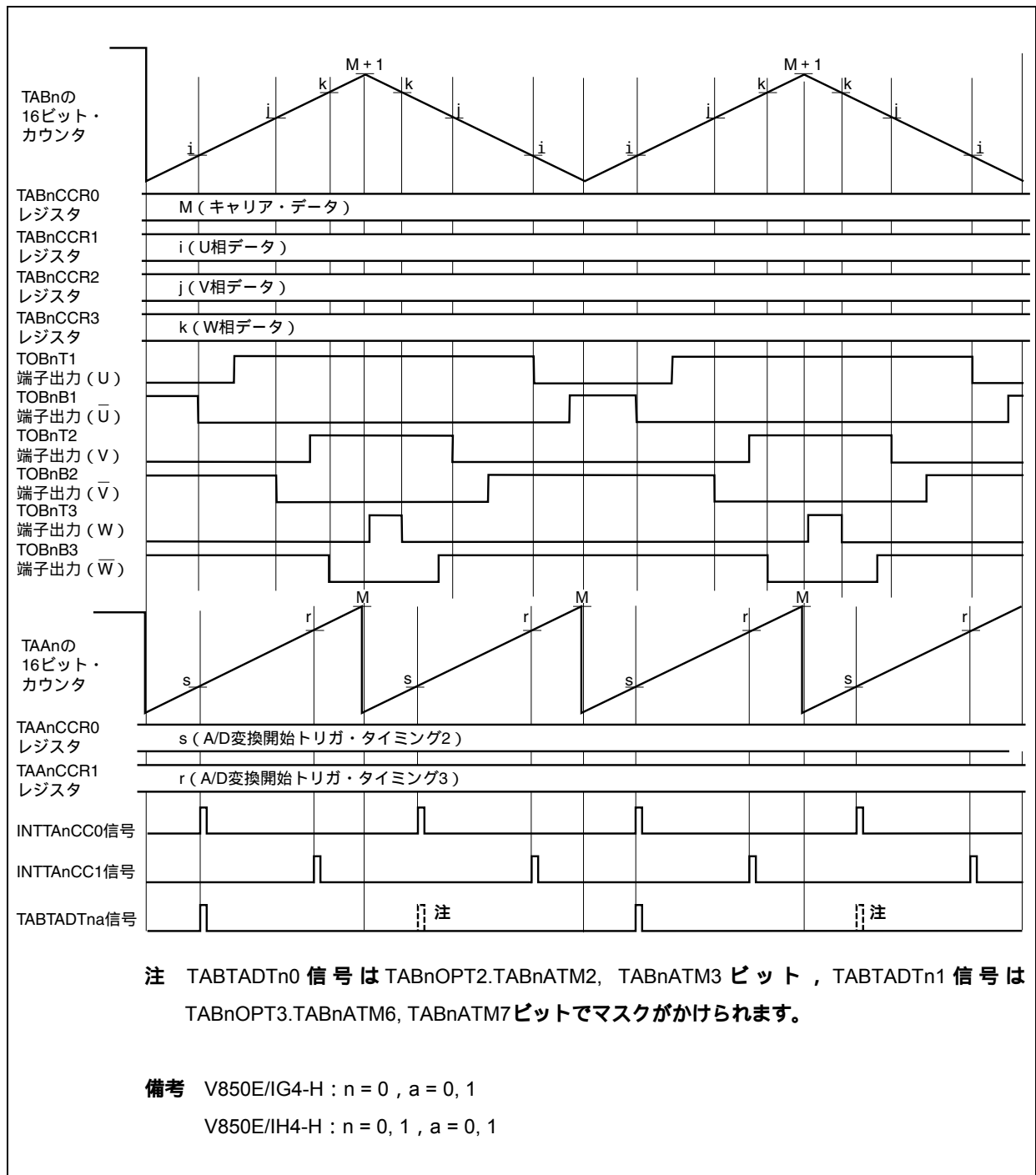
TAAの16ビット・カウンタ : 0000H M (アップ・カウント)

- ・ TABnがダウン・カウント時 (同値でない)

TABnの16ビット・カウンタ : M + 1 0001H (ダウン・カウント)

TAAの16ビット・カウンタ : 0000H M (アップ・カウント)

図10 - 37 同調動作時のTAA_n



10.4.6 A/D変換開始トリガ出力機能

V850E/IG4-H, V850E/IH4-Hには、4つのトリガ・ソース (INTTBnOV, INTTBnCC0, INTTAnCC0, INTTAnCC1) を自由に選択して、A/Dコンバータ0, 1の変換開始トリガ信号 (TABTADTn0, TABTADTn1) を生成する機能があります。

トリガ・ソースは、TABnOPT2.TABnAT0-TABnAT3, TABnOPT3.TABnAT4-TABnAT7ビットで指定します。

- ・ TABnAT0, TABnAT4ビット = 1
: INTTBnOV (カウンタ・アンドフロー) 発生時にA/D変換開始トリガ信号を発生
- ・ TABnAT1, TABnAT5ビット = 1
: INTTBnCC0 (周期一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TABnAT2, TABnAT6ビット = 1
: INTTAnCC0 (同調動作TAAのTAAAnCCR0レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TABnAT3, TABnAT7ビット = 1
: INTTAnCC1 (同調動作TAAのTAAAnCCR1レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生

TABnAT0-TABnAT3, TABnAT4-TABnAT7ビットにより選択されたA/D変換開始トリガ信号は、すべてORされて出力されるため、複数のトリガ・ソースを同時に指定できます。

TABnAT0, TABnAT1, TABnAT4, TABnAT5ビットによって選択されるINTTBnOV, INTTBnCC0信号は割り込み間引き後の信号となります。

したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TABnOPT1.TABnICE, TABnIOEビット) を許可にしていない場合は、A/D変換開始トリガ信号も出力されません。

TAAnからのトリガ・ソース (INTTAnCC0, INTTAnCC1) は、TABnAT2, TABnAT3, TABnAT6, TABnAT7ビットの設定により、16ビット・カウンタのアップ・カウント/ダウン・カウントの状態によって、A/D変換開始トリガ信号をマスクする機能があります。

- ・ TABnATM2, TABnATM6ビット
: TABnAT2, TABnAT6ビットに対応し、TAAのINTTAnCC0 (一致割り込み信号) を制御
 - ・ TABnATM2, TABnATM6ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TABnOPT0.TABnCUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TABnCUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TABnATM2, TABnATM6ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TABnCUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TABnCUFビット = 0) はA/D変換開始トリガ信号を出力しない。
- ・ TABnATM3, TABnATM7ビット
: TABnAT3, TABnAT7ビットに対応し、TAAのINTTAnCC1 (一致割り込み信号) を制御
 - ・ TABnATM3, TABnATM7ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TABnCUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TABnCUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TABnATM3, TABnATM7ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TABnCUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TABnCUFビット = 0) はA/D変換開始トリガ信号を出力しない。

TABnATM3, TABnATM2, TABnAT3-TABnAT0, TABnATM7, TABnATM6, TABnAT7-TABnAT4ビットは、タイマ動作中に書き換えができません。タイマ動作中にA/D変換開始トリガ信号の設定ビットを書き換えると、即時にA/D変換開始トリガ信号の出力状態に反映されます。これらの制御ビットは、転送機能を持たず、随時書き換えモードのみ可能です。

- 注意1.** TABnAT2, TABnAT3, TABnAT6, TABnAT7ビットの設定におけるA/Dの変換開始トリガ信号出力は、TAA_nがTAB_nのスレーブ・タイマとして同調動作している場合にかぎり利用できます。TAB_n, TAA_nが同調動作を行っていない場合、および6相PWM出力モード以外で使用している場合は、出力を保証できません。
2. 16ビット・カウンタのアップ/ダウン・カウントの状態判定には、TOB_n0信号出力を内部で利用しています。したがって、TABnIOC0.TABnOL0ビット = 0, TABnOE0ビット = 1と設定し、TOB_n0端子出力を有効にしてください。

図10 - 38 A/D変換開始トリガ(TABTADTn0)信号出力例(TABnOPT1.TABnICEビット = 1, TABnIOEビット = 1, TABnID4-TABnID0ビット = 00000 : 割り込み間引きなし)

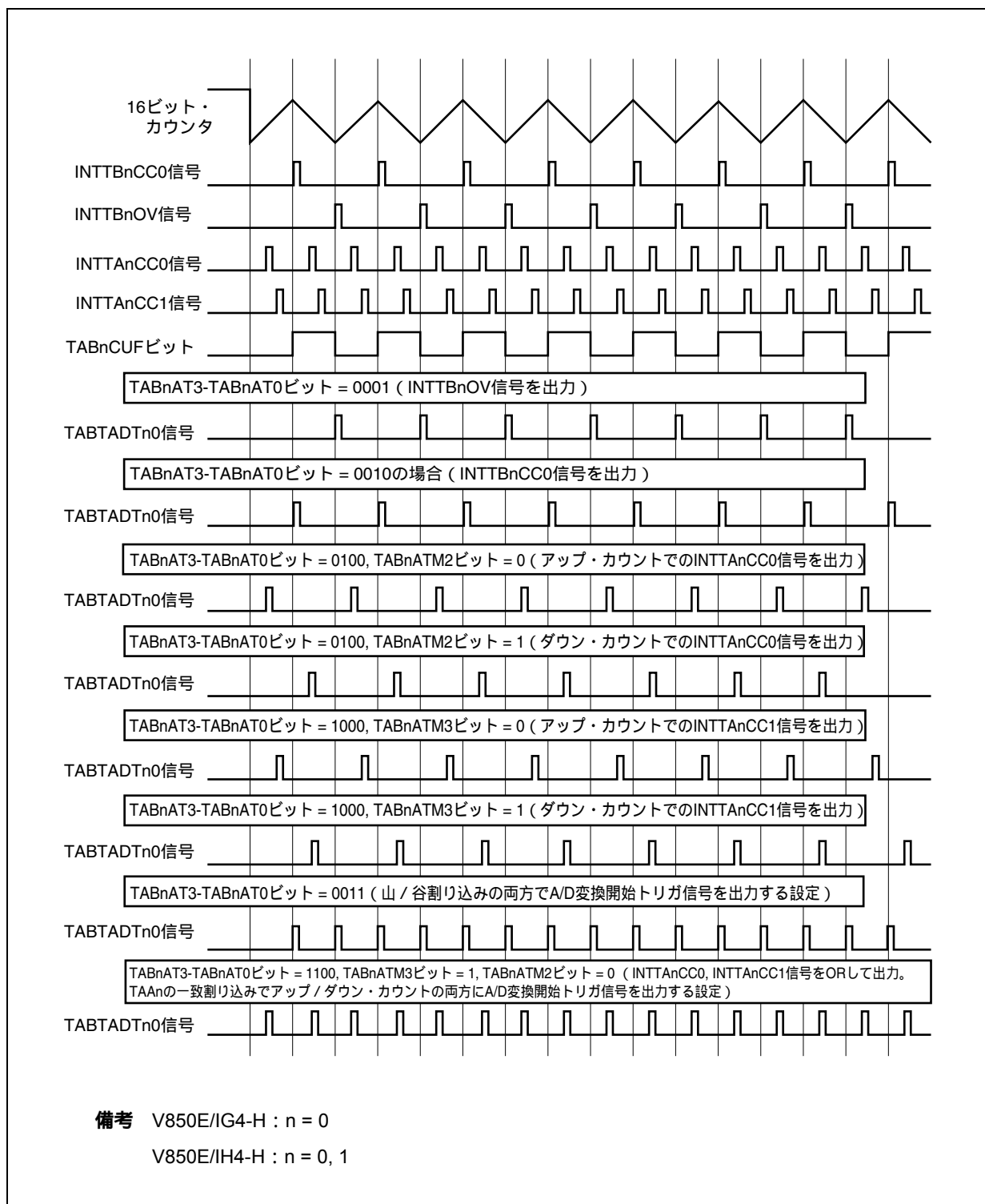


図10 - 39 A/D変換開始トリガ (TABTADn0) 信号出力例 (TABnOPT1.TABnICEビット = 0,
TABnIOEビット = 1, TABnID4-TABnID0ビット = 00010 : 割り込み間引きあり) (1)

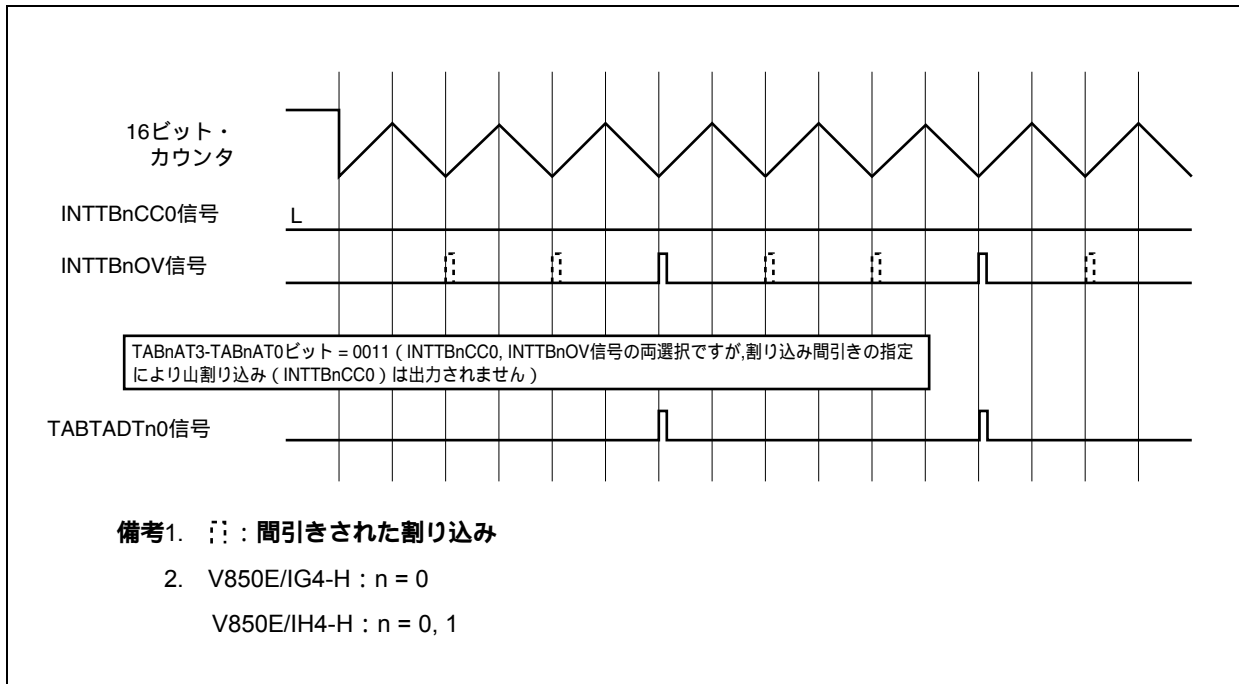
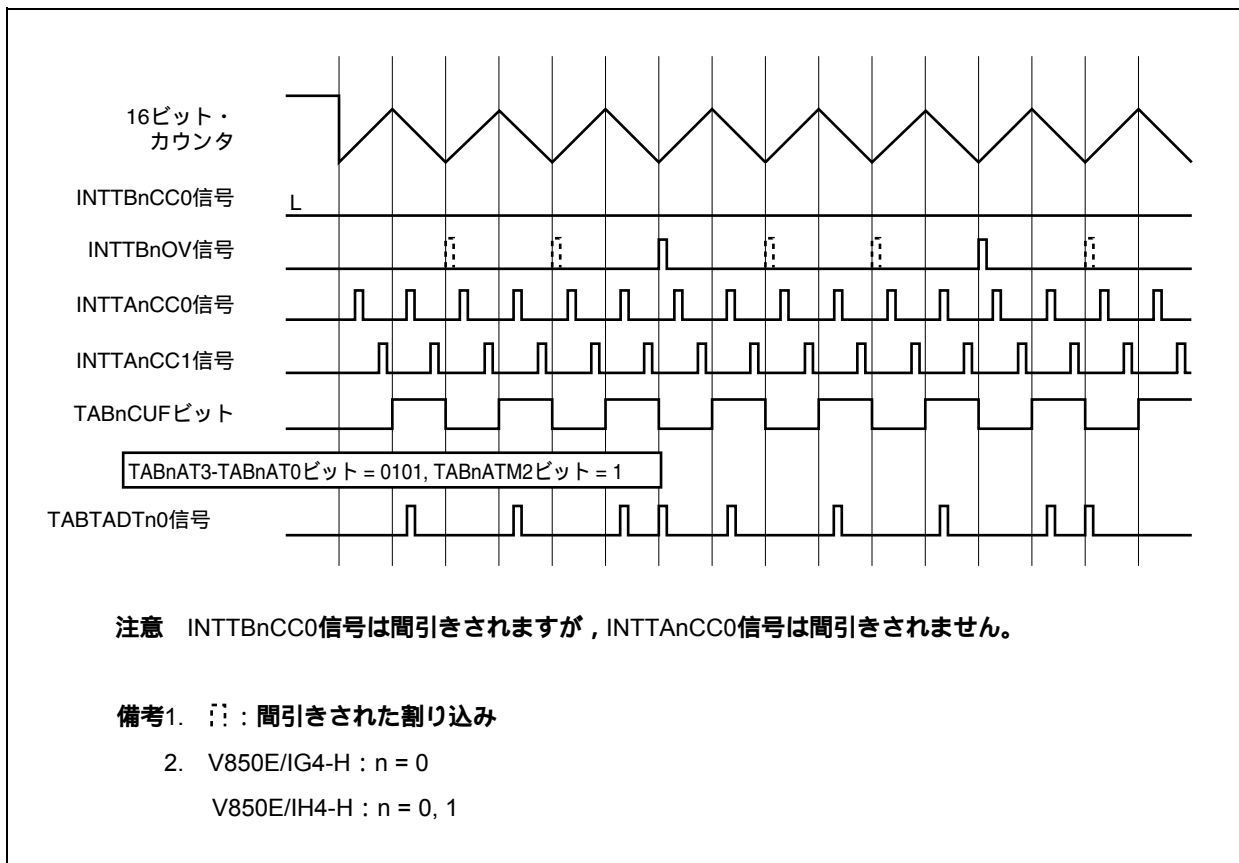


図10 - 40 A/D変換開始トリガ (TABTADn0) 信号出力例 (TABnOPT1.TABnICEビット = 0,
TABnIOEビット = 1, TABnID4-TABnID0ビット = 00010 : 割り込み間引きあり) (2)



(1) 境界条件での動作 (16ビット・カウンタとINTTAnCC0信号の一致発生時の動作説明)

表10 - 3 TABnCCR0レジスタ = M, TABnAT2ビット = 1, TABnAT6ビット = 1, TABnATM2ビット = 0, TABnATM6ビット = 0 (アップ・カウント期間選択) の動作

TAAAnCCR0レジスタの値	TABnの16ビット・カウンタの値	TAAAnの16ビット・カウンタの値	TABnの16ビット・カウンタの状態	INTTAnCC0信号によるTABTADTna信号の出力
0000H	0000H	0000H	-	出力する
0000H	M + 1	0000H	-	出力しない
0001H	0001H	0001H	アップ・カウント	出力する
0001H	M	0001H	ダウン・カウント	出力しない
M	M	M	アップ・カウント	出力する
M	0001H	M	ダウン・カウント	出力しない

表10 - 4 TABnCCR0レジスタ = M, TABnAT2ビット = 1, TABnAT6ビット = 1, TABnATM2ビット = 1, TABnATM6ビット = 1 (ダウン・カウント期間選択) の動作

TAAAnCCR0レジスタの値	TABnの16ビット・カウンタの値	TAAAnの16ビット・カウンタの値	TABnの16ビット・カウンタの状態	INTTAnCC0信号によるTABTADTna信号の出力
0000H	0000H	0000H	-	出力しない
0000H	M + 1	0000H	-	出力する
0001H	0001H	0001H	アップ・カウント	出力しない
0001H	M	0001H	ダウン・カウント	出力する
M	M	M	アップ・カウント	出力しない
M	0001H	M	ダウン・カウント	出力する

注意 TAAAnCCRaレジスタは、TABnCCR0レジスタ = Mのとき、“0”から“M”までの設定を許可します。
 “M + 1”以上は設定禁止です。
 “M + 1”以上の値を設定した場合は、TAAAnの16ビット・カウンタは“M”でクリアされるため、TABTADTna信号は出力されません。

備考 V850E/IG4-H : n = 0, a = 0, 1
 V850E/IH4-H : n = 0, 1, a = 0, 1

第11章 ウォッチドッグ・タイマ機能

11.1 機 能

ウォッチドッグ・タイマには、次のような機能があります。

- ・リセット・モード：ウォッチドッグ・タイマのオーバーフローによるリセット動作（WDTRESを発生）
- ・ノンマスカブル割り込み要求モード
：ウォッチドッグ・タイマのオーバーフローによるノンマスカブル割り込み動作（INTWDTを発生）

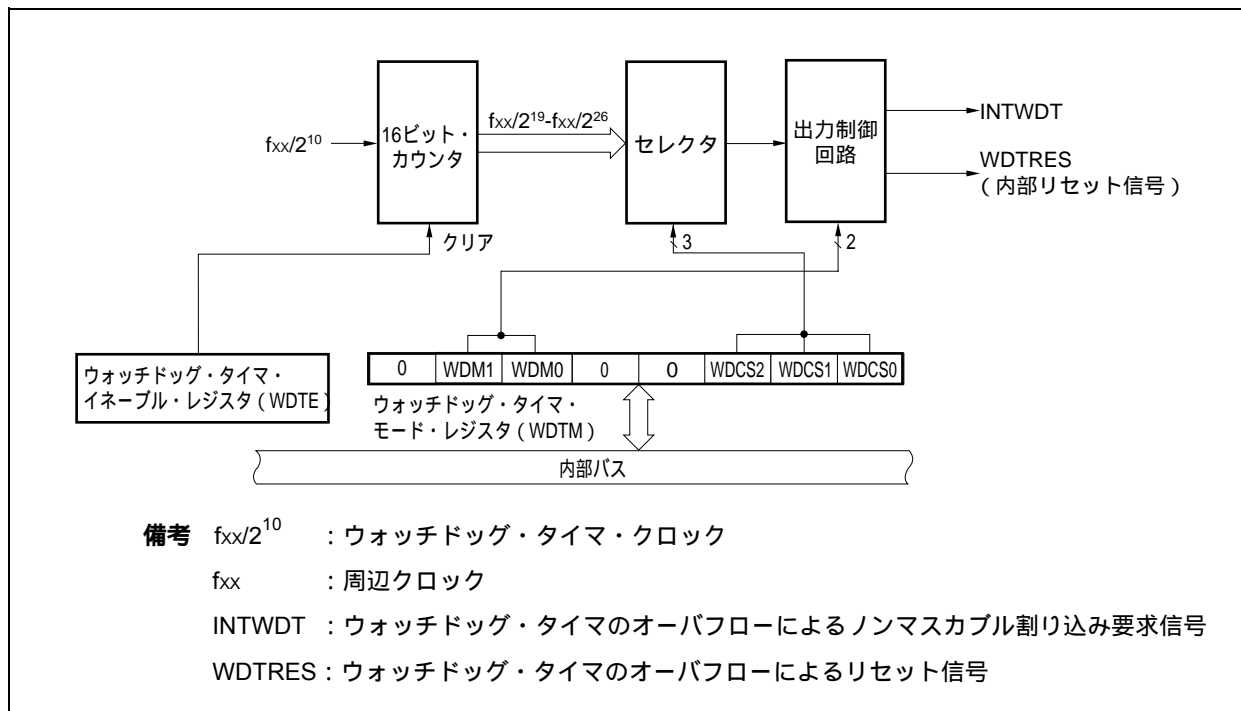
注意 ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

ウォッチドッグ・タイマを使用する場合はWDTEレジスタに“ACH”を書き込むことで動作を開始します。また、デフォルトの設定（リセット・モード、インターバル時間： $2^{26}/f_{xx}$ ）で変更する必要がない場合も、動作を確定するためにWDTMレジスタに1回だけ書き込みを行ってください。

11.2 構 成

次にウォッチドッグ・タイマのブロック図を示します。

図11-1 ウォッチドッグ・タイマのブロック図



ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

11.3 制御レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

8ビット単位でリード/ライト可能です。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。なお、2回目以降は書き込みできません。

リセットにより67Hになります。

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM	0	WDM1	WDM0	0	0	WDCS2	WDCS1	WDCS0

WDM1	WDM0	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスクابل割り込み要求モード (INTWDTを発生)
1	x	リセット・モード (WDTRESを発生)

注意1. WDCS2-WDCS0ビットについては表11-2 オーバフロー時間を参照してください。

- ウォッチドッグ・タイマのカウンタ動作中にWDTMレジスタを書き換えた場合は、ウォッチドッグ・タイマのカウンタは0000Hにクリアされます。
- ビット3, 4, 7には必ず0を設定してください。

表11-2 オーバフロー時間

WDCS2	WDCS1	WDCS0	オーバフロー時間	$f_{xx} = 100 \text{ MHz}$
0	0	0	$2^{19}/f_{xx}$	5.2 ms
0	0	1	$2^{20}/f_{xx}$	10.5 ms
0	1	0	$2^{21}/f_{xx}$	21.0 ms
0	1	1	$2^{22}/f_{xx}$	41.9 ms
1	0	0	$2^{23}/f_{xx}$	83.9 ms
1	0	1	$2^{24}/f_{xx}$	167.8 ms
1	1	0	$2^{25}/f_{xx}$	335.5 ms
1	1	1	$2^{26}/f_{xx}$	671.1 ms

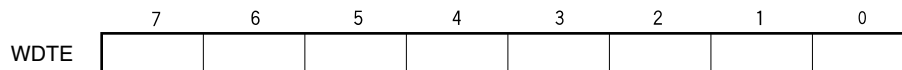
(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

8ビット単位でリード/ライト可能です。

リセットにより1AHになります。

リセット時：1AH R/W アドレス：FFFFFF6D1H



- 注意1.** WDTEレジスタに“ACH”を書き込んでウォッチドッグ・タイマを動作許可したあと、WDTEレジスタに“ACH”以外の値を書き込んだ場合、WDTM.WDM1, WDM0ビットの指定によりウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) またはウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) が発生します。
- 2.** WDTEレジスタに1ビット単位でリード/ライトを実行した場合、内部リセット信号が発生します。
- 3.** WDTEレジスタのリード値は、ウォッチドッグ・タイマ動作前は“1AH”，動作後は“9AH”です。書き込んだ値 (ACH) とは異なります。

11.4 動作

ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

WDTMレジスタへの書き込みはリセット解除後に1回だけ可能です。

ウォッチドッグ・タイマを使用する場合は、動作モードとインターバル時間を8ビット単位でWDTMレジスタに書き込んでください。この操作後、動作停止することはできません。

ウォッチドッグ・タイマを使用しない場合は、WDTMレジスタに00Hを書き込んでください。

11.5 注意事項

ウォッチドッグ・タイマのクリアを行わずにウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) が連続して発生した場合のINTWDT割り込み要求信号発生周期は「WDTMレジスタで設定したインターバル時間 + 2^7 周辺クロック・パルス幅」で求められます。

なお、ウォッチドッグ・タイマ起動後の最初の割り込み要求信号の発生まではパルス幅を含みません。

第12章 A/Dコンバータ0,1

12.1 特 徴

12ビット分解能A/Dコンバータを2回路（A/Dコンバータ0,1）内蔵

2回路同時サンプリング可能

アナログ入力

・コンパレータ未使用時

【V850E/IG4-H】

2回路合計7チャンネル

A/Dコンバータ0：ANI00/ANI05, ANI01/ANI06, ANI02/ANI07, ANI03（4チャンネル）

A/Dコンバータ1：ANI10/ANI15, ANI11/ANI16, ANI12/ANI17（3チャンネル）

【V850E/IH4-H】

2回路合計8チャンネル

A/Dコンバータ0：ANI00/ANI05, ANI01/ANI06, ANI02/ANI07, ANI03（4チャンネル）

A/Dコンバータ1：ANI10/ANI15, ANI11/ANI16, ANI12/ANI17, ANI13（4チャンネル）

・コンパレータ使用時

2回路合計6チャンネル

[6チャンネル時（ロウ・レンジおよびフル・レンジのコンパレータ使用時）]

A/Dコンバータ0：ANI00/ANI05, ANI01/ANI06, ANI02/ANI07（3チャンネル）

A/Dコンバータ1：ANI10/ANI15, ANI11/ANI16, ANI12/ANI17（3チャンネル）

A/D変換結果レジスタ

12ビット×16本 + 12ビット×16本

A/Dコンバータ0：AD0CR0-AD0CR15

A/Dコンバータ1：AD1CR0-AD1CR15

A/D変換結果拡張レジスタ

拡張バッファ・モード時のみ使用可

12ビット×5本 + 12ビット×5本

A/Dコンバータ0：AD0ECR0-AD0ECR4

A/Dコンバータ1：AD1ECR0-AD1ECR4

動作モード

・通常動作モード

A/Dトリガ・モード

A/Dトリガ・ポーリング・モード

ハードウェア・トリガ・モード

・拡張動作モード

変換チャンネル指定モード

拡張バッファ・モード

入力レベル増幅用 (2.5倍 ~ 10倍) オペアンプ内蔵

入力レベル増幅用オペアンプ使用時のみ使用可

2回路合計6ユニット

A/Dコンバータ0 : ANI05-ANI07 (3ユニット)

A/Dコンバータ1 : ANI15-ANI17 (3ユニット)

過電圧検出用コンパレータ内蔵

・過電圧検出用コンパレータ使用時のみ使用可

・2回路合計6ユニット

A/Dコンバータ0 : 3ユニット

A/Dコンバータ1 : 3ユニット

・基準電圧

内蔵8ビットD/Aコンバータ0, 1で生成

・過電圧検出時は割り込み要求発生。割り込み要求は、ANI00/ANI05, ANI01/ANI06, ANI02/ANI07の3チャンネルの過電圧検出信号の論理和 (OR) または論理積 (AND) の出力信号 (フル・レンジ側, ロウ・レンジ側) 2本と、ANI10/ANI15, ANI11/ANI16, ANI12/ANI17の3チャンネルの過電圧検出信号の論理和 (OR) または論理積 (AND) の出力信号 (フル・レンジ側, ロウ・レンジ側) 2本で出力されます。

・過電圧検出時は設定によりモータ制御用タイマ出力をハイ・インピーダンス状態にすることが可能。

逐次変換方式

動作電圧範囲

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3}$ (V850E/IH4-Hのみ) = $AV_{DD0} = AV_{DD1} = AV_{REFP0} = AV_{REFP1} = 4.0 \sim 5.5 V$

8ビットD/Aコンバータ0, 1内蔵

・2回路合計4チャンネル

D/Aコンバータ0 : 2チャンネル

D/Aコンバータ1 : 2チャンネル

・外部端子 / 兼用ポート端子なし

・通常動作モードのみ (リアルタイム出力モードはサポートしない)

・A/Dコンバータのコンパレータ用基準電圧

ロウ・レンジ側基準電圧 : D/Aコンバータ00, D/Aコンバータ10

フル・レンジ側基準電圧 : D/Aコンバータ01, D/Aコンバータ11

・セトリング時間 : $10 \mu s$

12.2 構 成

次にブロック図を示します。

図12 - 1 A/Dコンバータ0のブロック図

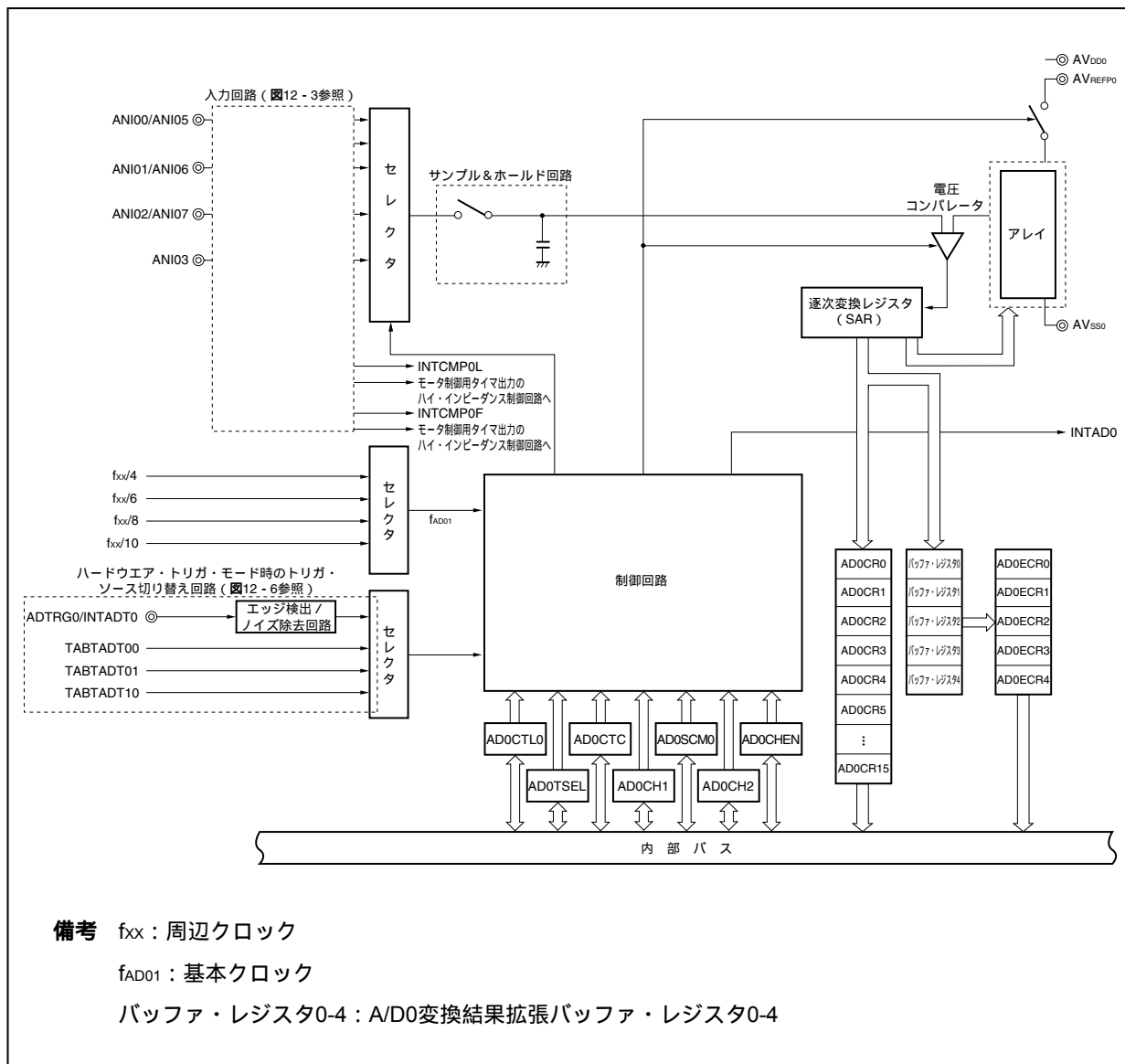
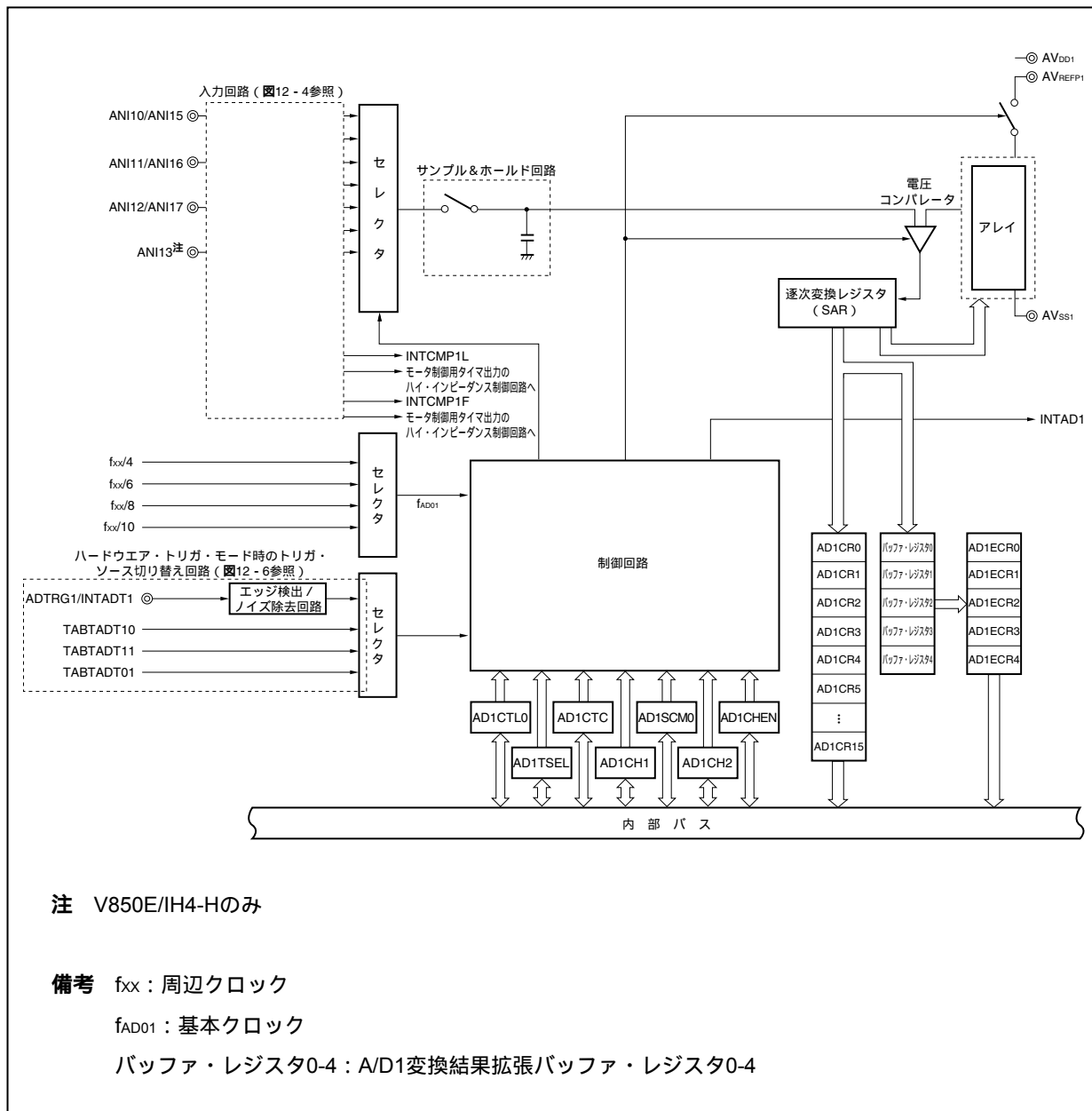


図12-2 A/Dコンバータ1のブロック図



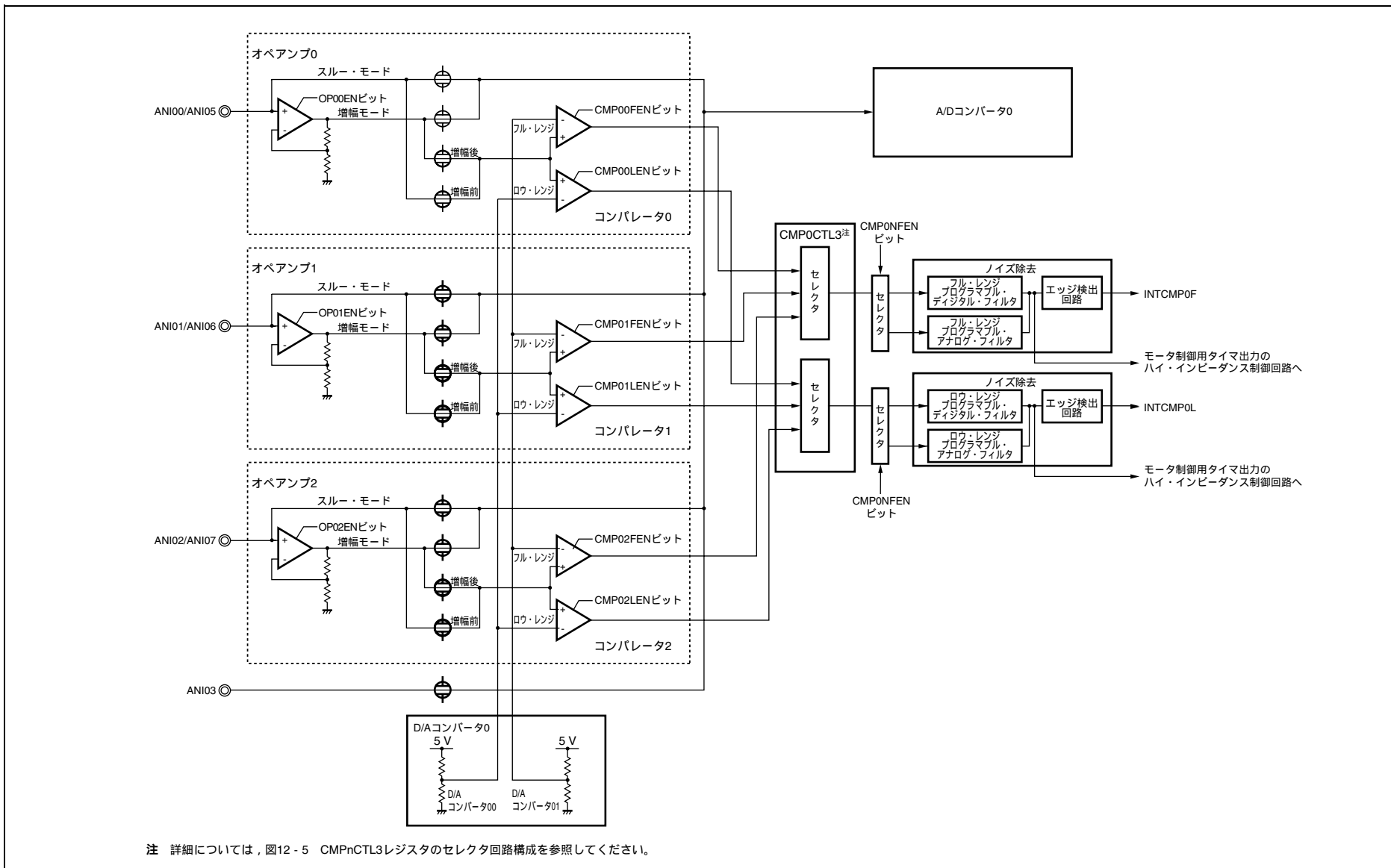
注意1. アナログ入力端子 (ANI00-ANI03, ANI05-ANI07, ANI10-ANI12, ANI13 (V850E/IH4-Hのみ), ANI15-ANI17) およびA/Dコンバータ基準電圧入力端子 (AV_{REFP0} , AV_{REFP1}) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
 - ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
 - ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。
2. A/Dコンバータ0, 1の入力端子として使用している端子には、 $AV_{SSn}-AV_{REFPn}$ の範囲外の電圧が加わらないようにしてください ($n = 0, 1$)。

図12-3 A/Dコンバータ0の入レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図



注 詳細については、図12-5 CMPnCTL3レジスタのセレクト回路構成を参照してください。

図12-4 A/Dコンバータ1の入力レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図

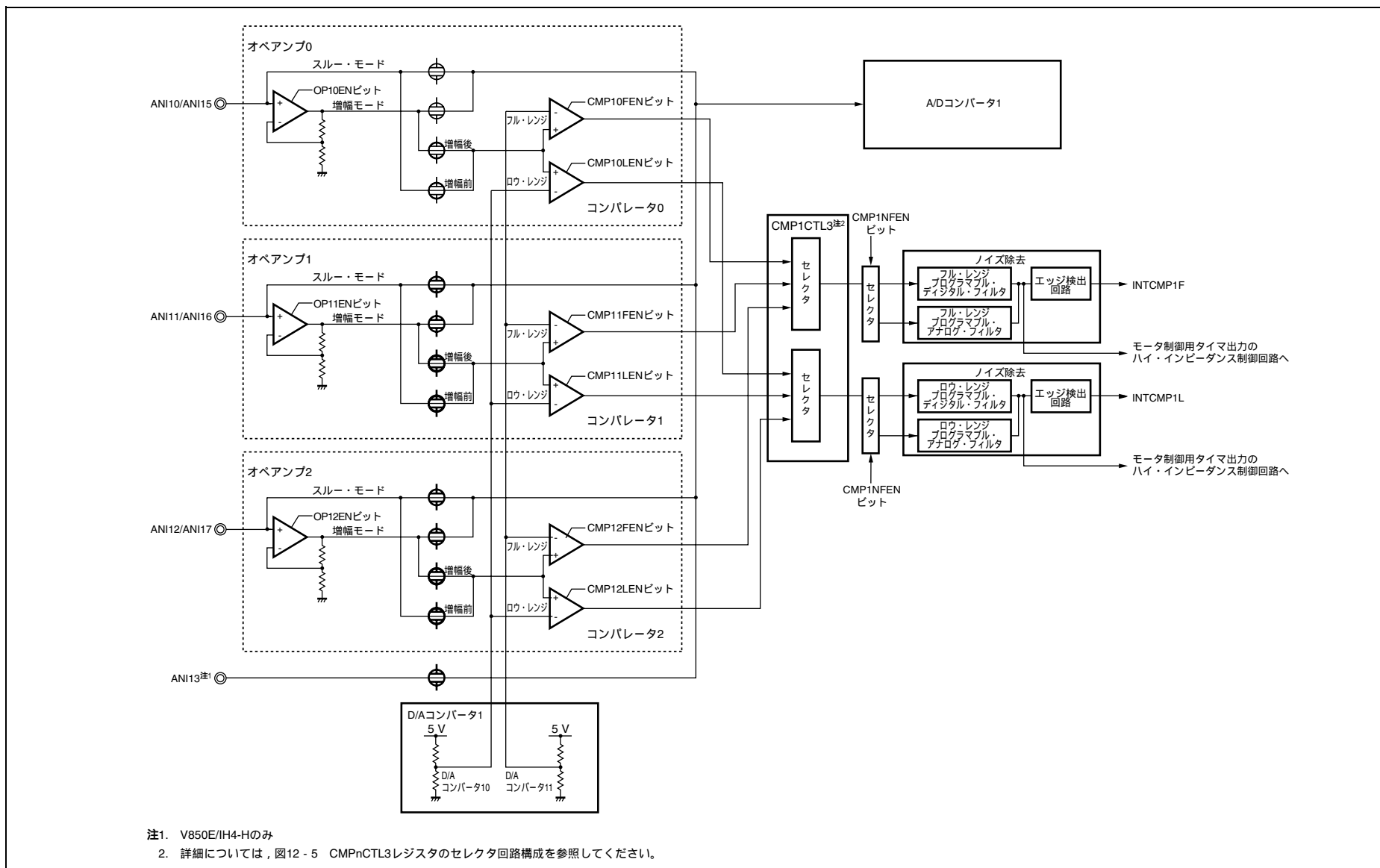


図12 - 5 CMPnCTL3レジスタのセクタ回路構成

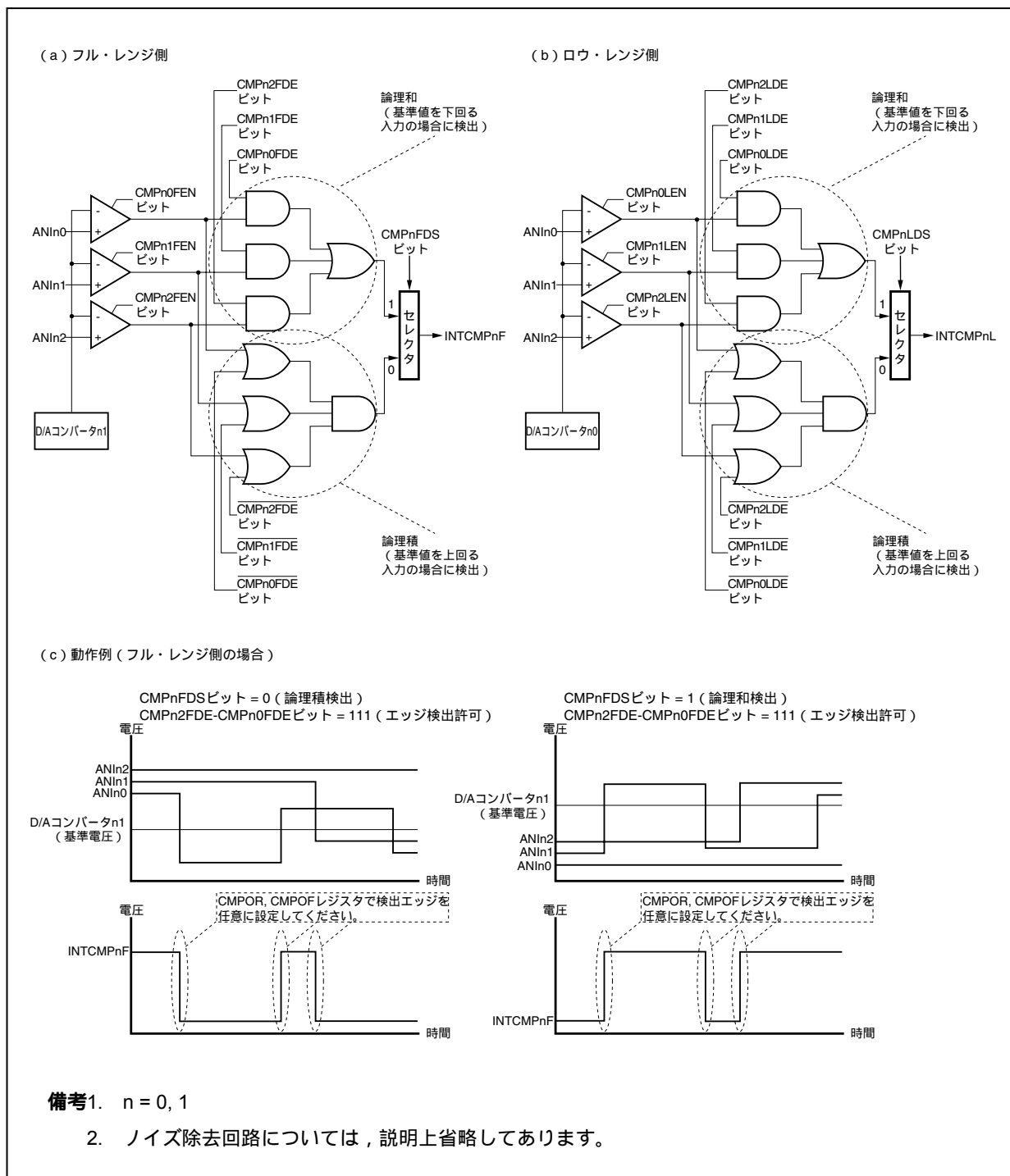
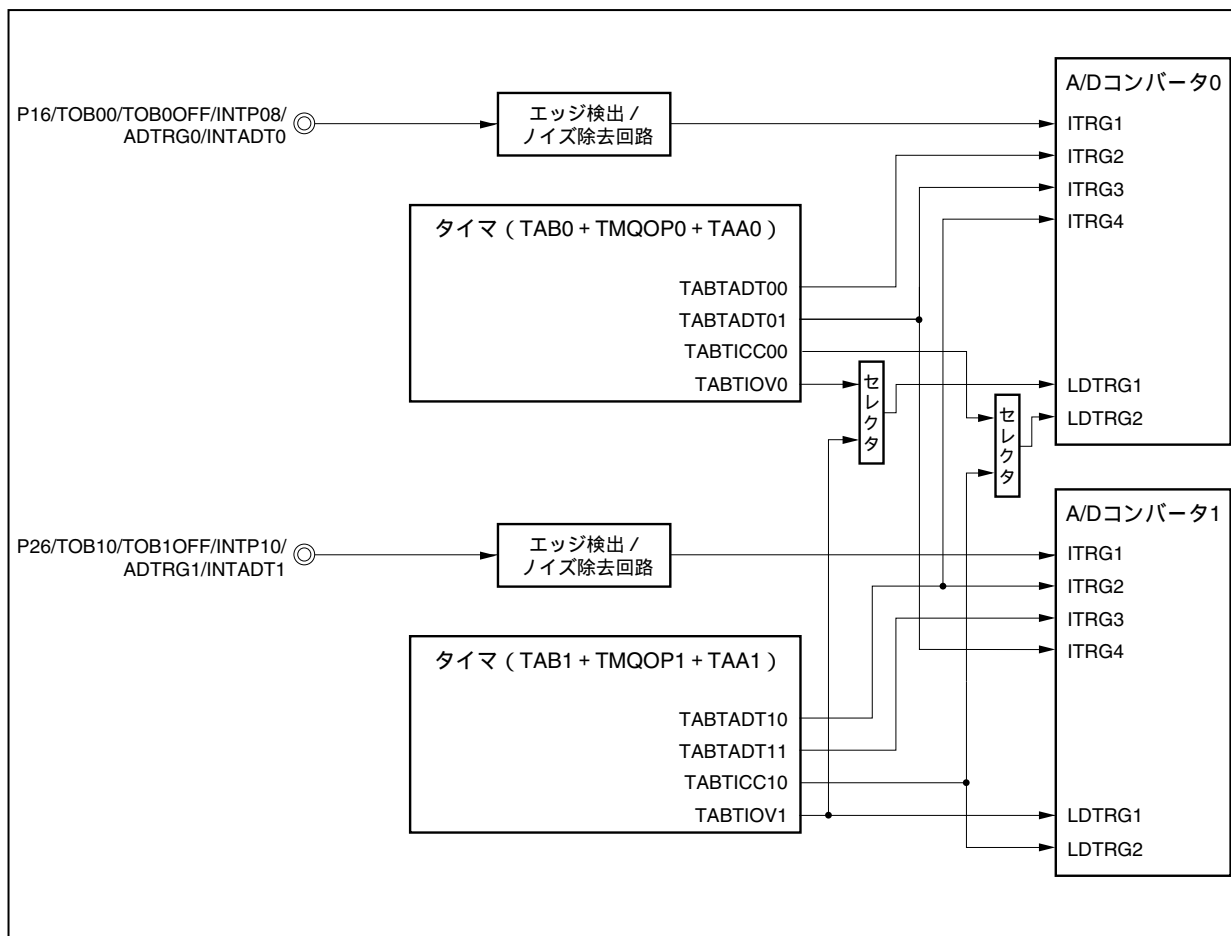


図12 - 6 ハードウェア・トリガ・モード時のトリガ・ソース切り替え回路のブロック図



A/Dコンバータ0, 1は、次のハードウェアで構成しています。

表12 - 1 A/Dコンバータ0, 1の構成 (1/2)

項 目	構 成
アナログ入力	<p>【V850E/IG4-H】</p> <p>コンパレータ未使用時： ANI00/ANI05-ANI02/ANI07, ANI03, ANI10/ANI15-ANI12/ANI17 (2回路合計7チャンネル)</p> <p>コンパレータ使用時 (ロウ・レンジおよびフル・レンジのコンパレータ使用時) ： ANI00/ANI05-ANI02/ANI07, ANI10/ANI15-ANI12/ANI17 (2回路合計6チャンネル)</p> <p>【V850E/IH4-H】</p> <p>コンパレータ未使用時： ANI00/ANI05-ANI02/ANI07, ANI03, ANI10/ANI15-ANI12/ANI17, ANI13 (2回路合計8チャンネル)</p> <p>コンパレータ使用時 (ロウ・レンジおよびフル・レンジのコンパレータ使用時) ： ANI00/ANI05-ANI02/ANI07, ANI10/ANI15-ANI12/ANI17 (2回路合計6チャンネル)</p>
レジスタ	<p>逐次変換レジスタ (SAR)</p> <p>A/Dn変換結果レジスタ0-15 (ADnCR0-ADnCR15)</p> <p>A/Dn変換結果レジスタ0H-15H (ADnCR0H-ADnCR15H)</p> <p>A/Dn変換結果拡張レジスタ0-4 (ADnECR0-ADnECR4) (拡張動作モード (拡張バッファ・モード) 時専用)</p> <p>A/Dn変換結果拡張レジスタ0H-4H (ADnECR0H-ADnECR4H) (拡張動作モード (拡張バッファ・モード) 時専用)</p>
制御レジスタ	<p>A/Dコンバータnスキャン・モード・レジスタ (ADnSCM)</p> <p>A/Dコンバータnスキャン・モード・レジスタL (ADnSCML)</p> <p>A/Dコンバータnスキャン・モード・レジスタH (ADnSCMH)</p> <p>A/Dコンバータn変換時間制御レジスタ (ADnCTC)</p> <p>A/Dコンバータn変換チャンネル指定レジスタ (ADnCHEN)</p> <p>A/Dコンバータn変換チャンネル指定レジスタL (ADnCHENL)</p> <p>A/Dコンバータn変換チャンネル指定レジスタH (ADnCHENH)</p> <p>A/Dコンバータn制御レジスタ (ADnCTL0)</p> <p>A/Dコンバータnトリガ選択レジスタ (ADnTSEL)</p> <p>A/Dコンバータnチャンネル指定レジスタ1 (ADnCH1)</p> <p>A/Dコンバータnチャンネル指定レジスタ2 (ADnCH2)</p> <p>A/Dコンバータnフラグ・レジスタ (ADnFLG)</p> <p>A/Dコンバータnフラグ・バッファ・レジスタ (ADnFLGB)</p> <p>A/DLDTRG1入力選択レジスタ (ADLTS1)</p> <p>A/DLDTRG2入力選択レジスタ (ADLTS2)</p> <p>A/Dコンバータnクロック選択レジスタ (ADnOCKS)</p> <p>A/Dトリガ立ち下がりエッジ指定レジスタ (ADTF)</p> <p>A/Dトリガ立ち上がりエッジ指定レジスタ (ADTR)</p> <p>オペアンプn制御レジスタ0 (OPnCTL0)</p> <p>コンパレータn制御レジスタ0 (CMPnCTL0)</p> <p>コンパレータn制御レジスタ1 (CMPnCTL1)</p> <p>コンパレータn制御レジスタ2 (CMPnCTL2)</p> <p>コンパレータn制御レジスタ3 (CMPnCTL3)</p>

備考 n = 0, 1

表12-1 A/Dコンバータ0,1の構成(2/2)

項目	構成
制御レジスタ	コンパレータ出力デジタル・ノイズ除去レジスタnL (CMPNFCnL) コンパレータ出力デジタル・ノイズ除去レジスタnF (CMPNFCnF) コンパレータ出力割り込み立ち上がりエッジ指定レジスタ (CMPOR) コンパレータ出力割り込み立ち下がりエッジ指定レジスタ (CMPOF) D/Aコンバータnモード・レジスタ (DAnM) D/Aコンバータn変換値設定レジスタ0,1 (DAnCS0, DAnCS1)

備考 n = 0, 1

(1) セレクタ

ADnSCM, ADnCTC, ADnCHEN, ADnCTL0, ADnTSEL, ADnCH1, ADnCH2, ADLTS1, ADLTS2, ADnOCKSレジスタで設定したモードに従ってアナログ入力端子を選択し、サンプル&ホールド回路に送ります (n = 0, 1)。

なお、ANI05-ANI07, ANI15-ANI17には、入力レベル増幅用オペアンプと過電圧検出用コンパレータが内蔵されています。入力レベル増幅用オペアンプおよび過電圧検出用コンパレータは、アナログ入力端子ごとにオン/オフを指定できます。また、入力レベル増幅用オペアンプは、ANI05-ANI07, ANI15-ANI17端子ごとに増幅度(ゲイン)を2.5倍~10倍から選択できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、電圧コンパレータに送ります。入力レベル増幅用オペアンプを使用する場合は、OPnCTL0.OPnGA3-OPnGA0ビットで指定したゲイン数×入力電圧をサンプリングします。なお、A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) 電圧コンパレータ

アレイの電圧タップから発生した電圧と、アナログ入力電圧を電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧($1/2 AV_{REFPn}$)より大きい場合には、逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧($1/2 AV_{REFPn}$)より小さい場合には、SARレジスタのMSBをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、アレイの電圧タップが選択されます。

ビット11 = 0 : ($1/4 AV_{REFPn}$)

ビット11 = 1 : ($3/4 AV_{REFPn}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット10 = 1

アナログ入力電圧 アレイの電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) アレイ

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する12ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/Dn変換結果レジスタ0-15 (ADnCR0-ADnCR15) に保持されます ($n = 0, 1$)。ただし、拡張バッファ・モード時には、変換結果はA/Dn変換結果拡張バッファ・レジスタ0-4に格納され、選択ロード・トリガxの発生によりADnECR0-ADnECR4レジスタにシフトされ格納されます ($x = 1, 2$)。また、指定されたすべてのA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) が発生します。

(6) A/Dn変換結果レジスタ0-15 (ADnCR0-ADnCR15), A/Dn変換結果レジスタ0H-15H (ADnCR0H-ADnCR15H) ($n = 0, 1$)

ADnCR0-ADnCR15, ADnCR0H-ADnCR15Hレジスタは、A/D変換結果を保持するレジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされ、変換結果をADnCR0-ADnCR15レジスタの上位12ビットに格納します。下位4ビットは常に0が読み出されます。

ADnCR0H-ADnCR15Hレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はADnCR0-ADnCR15レジスタ、上位8ビットをリードする場合はADnCR0H-ADnCR15Hレジスタを指定します。

(7) A/Dn変換結果拡張レジスタ0-4 (ADnECR0-ADnECR4), A/Dn変換結果拡張レジスタ0H-4H (ADnECR0H-ADnECR4H) ($n = 0, 1$)

ADnECR0-ADnECR4, ADnECR0H-ADnECR4Hレジスタは、A/D変換結果を保持するレジスタです。拡張バッファ・モード時専用です。A/D変換が終了すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタに格納します。その後、選択ロード・トリガ1が発生すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタ0-2からADnECR0-ADnECR2レジスタの上位12ビットにシフトし格納します。ビット1-3は常に0が読み出されます。また、選択ロード・トリガ2が発生すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタ3, 4からADnECR3, ADnECR4レジスタの上位12ビットにシフトし格納します。ビット1-3は常に0が読み出されます。

ADnECR0H-ADnECR4Hレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はADnECR0-ADnECR4レジスタ、上位8ビットをリードする場合はADnECR0H-ADnECR4Hレジスタを指定します。

(8) ANIn0-ANIn3, ANIn5-ANIn7端子 ($n = 0, 1$)

ANIn0-ANIn3, ANIn5-ANIn7端子 (V850E/IG4-HのA/Dコンバータ1の場合はANI10-ANI12, ANI15-ANI17端子のみ) は、A/Dコンバータ0, 1へのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANIn0-ANIn3, ANIn5-ANIn7入力電圧は規格の範囲内でご使用ください。特に AV_{REFn} 以上、 AV_{SSn} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(9) AV_{REFPn}端子 (n = 0, 1)

A/Dコンバータ0, 1の基準電圧を入力するための端子です。A/Dコンバータ0, 1では, AV_{REFPn}-AV_{SSn}間に加えられる電圧に基づいてアナログ入力端子に入力される信号をデジタル信号に変換します(n = 0, 1)。

A/Dコンバータ0, 1を使用しない場合でも, AV_{REFPn}端子は常にEV_{DD0}, EV_{DD1}, EV_{DD2}, EV_{DD3}(V850E/IH4-Hのみ) 端子と同電位で使用してください。

AV_{REFPn}端子の動作電圧範囲は, EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3}(V850E/IH4-Hのみ) = AV_{DDn} = AV_{REFPn} = 4.0 ~ 5.5 Vです。

(10) AV_{SSn}端子 (n = 0, 1)

A/Dコンバータ0, 1のグランド端子です。A/Dコンバータ0, 1を使用しない場合でも, AV_{SSn}端子は常にEV_{SS0}, EV_{SS1}, EV_{SS2}, EV_{SS3}(V850E/IH4-Hのみ) , EV_{SS4}端子と同電位で使用してください。

(11) AV_{DDn}端子 (n = 0, 1)

A/Dコンバータ0, 1のアナログ電源端子です。

AV_{DD0}端子とAV_{DD1}端子には同電位を供給してください。

A/Dコンバータ0, 1を使用しない場合でも, AV_{DDn}端子は常にEV_{DD0}, EV_{DD1}, EV_{DD2}, EV_{DD3}(V850E/IH4-Hのみ) 端子と同電位で使用してください。

AV_{DDn}端子の動作電圧範囲は, EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3}(V850E/IH4-Hのみ) = AV_{REFPn} = AV_{DDn} = 4.0 ~ 5.5 Vです。

(12) D/Aコンバータn (n = 0, 1)

D/Aコンバータnは2チャンネル内蔵しています。

D/Aコンバータn0はロウ・レンジ, D/Aコンバータn1はフル・レンジの過電圧検出用コンパレータの基準電圧を生成します(ロウ・レンジの基準電圧範囲 = 0.2 ~ 2.4 V, フル・レンジの基準電圧範囲 = 0.2 ~ 4.5 V)。

12.3 制御レジスタ

A/Dコンバータ0, 1は次に示すレジスタで制御します。

- ・ A/Dコンバータnスキャン・モード・レジスタ (ADnSCM)
- ・ A/Dコンバータnスキャン・モード・レジスタL (ADnSCML)
- ・ A/Dコンバータnスキャン・モード・レジスタH (ADnSCMH)
- ・ A/Dコンバータn変換時間制御レジスタ (ADnCTC)
- ・ A/Dコンバータn変換チャンネル指定レジスタ (ADnCHEN)
- ・ A/Dコンバータn変換チャンネル指定レジスタL (ADnCHENL)
- ・ A/Dコンバータn変換チャンネル指定レジスタH (ADnCHENH)
- ・ A/Dコンバータn制御レジスタ (ADnCTL0)
- ・ A/Dコンバータnトリガ選択レジスタ (ADnTSEL)
- ・ A/Dコンバータnチャンネル指定レジスタ1, 2 (ADnCH1, ADnCH2)
- ・ A/Dコンバータnフラグ・レジスタ (ADnFLG)
- ・ A/Dコンバータnフラグ・バッファ・レジスタ (ADnFLGB)
- ・ A/DLDTRG1入力選択レジスタ (ADLTS1)
- ・ A/DLDTRG2入力選択レジスタ (ADLTS2)
- ・ A/Dコンバータnクロック選択レジスタ (ADnOCKS)
- ・ A/Dトリガ立ち下がりエッジ指定レジスタ (ADTF)
- ・ A/Dトリガ立ち上がりエッジ指定レジスタ (ADTR)
- ・ オペアンブn制御レジスタ0 (OPnCTL0)
- ・ コンパレータn制御レジスタ0-3 (CMPnCTL0-CMPnCTL3)
- ・ コンパレータ出力デジタル・ノイズ除去レジスタnL, nF (CMPNFCnL, CMPNFCnF)
- ・ コンパレータ出力割り込み立ち上がりエッジ指定レジスタ (CMPOR)
- ・ コンパレータ出力割り込み立ち下がりエッジ指定レジスタ (CMPOF)
- ・ D/Aコンバータnモード・レジスタ (DAnM)
- ・ D/Aコンバータn変換値設定レジスタ0, 1 (DAnCS0, DAnCS1)

また、次のレジスタも使用します。

- ・ A/Dn変換結果レジスタ0-15 (ADnCR0-ADnCR15)
- ・ A/Dn変換結果レジスタ0H-15H (ADnCR0H-ADnCR15H)
- ・ A/Dn変換結果拡張レジスタ0-4 (ADnECR0-ADnECR4)
- ・ A/Dn変換結果拡張レジスタ0H-4H (ADnECR0H-ADnECR4H)

(1) A/Dコンバータ_nスキャン・モード・レジスタ (ADnSCM)

ADnSCMレジスタは、通常動作モードの指定、および変換動作の制御を行うレジスタです。

16ビット単位でリード/ライト可能です。

ADnSCMレジスタの上位8ビットをADnSCMHレジスタ、下位8ビットをADnSCMLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。ただし、ビット14はリードのみ可能です。

リセットにより0000Hになります。

(1/3)

リセット時：0000H R/W アドレス：AD0SCM FFFFF220H, AD1SCM FFFFF2A0H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADnSCM (n = 0, 1)	ADn CE	ADn CS	0	0	0	ADn PLM	ADn TRG1	ADn TRG0	ADn PS	0	0	0	0	0	0 ^{注1}	0

注1. A/Dコンバータ0, 1を使用する場合、ビット1には必ず1を設定してください。

この設定は、ADnSCMレジスタの他のビット設定と同時にできます。

ADnCE	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADnCS	A/Dコンバータ _n のステータス ^{注2}
0	A/D変換停止中
1	A/D変換動作中（連続変換中のチャンネル切り替え時も"1"のまま）

ADnPLM	ADnTRG1	ADnTRG0	通常動作モードの指定
0	0	0	A/Dトリガ・モード
0	0	1	ハードウェア・トリガ・モード ^{注3}
1	0	0	A/Dトリガ・ポーリング・モード
その他			設定禁止

ADnPS	A/Dパワー・セーブ・モードの指定
0	A/Dパワー・セーブ・モード
1	A/D動作モード

注2. ADnCSビットは、ADnCEビット = 1設定後、A/D変換が開始されてから5基本クロック (f_{AD01}) 後にセット (1) されます。

A/D変換の開始タイミングは、ハードウェア・トリガ・モード、変換チャンネル指定モード、拡張バッファ・モードではタイマなどのトリガ入力時、A/Dトリガ・モード、A/Dトリガ・ポーリング・モードではADnCEビット = 1時となります。

3. 拡張動作モード（変換チャンネル指定モード、拡張バッファ・モード）時は、必ずハードウェア・トリガ・モードに設定してください。

(2/3)

- 注意1. A/Dトリガ・モード, A/Dトリガ・ポーリング・モードでは, ADnCEビットに1を書き込むことが変換のトリガになります。
- ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モードでは, ADnCEビットに1を書き込むと, トリガ信号待機状態になります。
- ADnCEビットは, すべてのモードでA/Dn変換終了割り込み要求信号 (INTADn) が発生したあともクリア (0) されません。したがって, A/D変換動作を停止するにはADnCEビットに0を書き込んでください。
- A/D変換動作中 (ADnCSビット = 1) にADnSCMレジスタに書き込みを行った場合には, 各モードにより, 次のようになります。なお, A/D変換動作中に対応する変換結果レジスタは不定になります。
 - A/Dトリガ・モード, A/Dトリガ・ポーリング・モード時
A/D変換動作は中断され, 再度, 最初から変換動作を行います。
 - ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時
A/D変換動作は中断され, 再度, トリガ待機状態になります。
 - 変換動作許可 (ADnCEビット = 1) 時にADnSCMレジスタへの連続書き込みをする場合は, 必ず5基本クロック (f_{AD01}) 以上時間を確保してください。確保できない場合には, 設定が正しく行われなことがあります。
なお, ADnCEビット = 0時にADnSCMレジスタへ書き込み後, ADnCEビットを1に設定する場合は, 連続書き込み可能です。
 - ADnCSビットは, 連続変換中の変換チャンネル切り替え時もセット (1) のままです。
 - A/Dコンバータ未使用時は, A/Dパワー・セーブ・モード (ADnPSビット = 0) に設定することを推奨します。

注意6. A/D変換動作開始時（リセット解除後、およびA/Dパワー・セーブ・モード（ADnPSビット = 0）から復帰後）の設定手順は次のようになります。

ADnOCKSレジスタで入力クロック (f_{AD01}) を選択し、ADnOCKSENビット = 1（A/Dコンバータnの動作クロック供給許可）に設定

ADnCTC.ADnFR3-ADnFR0ビットでA/D変換時間を設定

ADnPSビット = 1（A/D動作モード）に設定

後1 μ s以上の時間確保

A/Dコンバータ0, 1の初期設定

ADnCEビット = 1（変換動作許可）に設定

コンパレータ使用時の設定手順は次のようになります。

DAnCSyレジスタでD/Aコンバータnyの変換値を設定 ($y = 0, 1$)

DAnM.DAnCEyビット = 1に設定（D/A変換動作開始）

後10 μ s以上の時間確保（D/Aコンバータnyのセトリング時間）

CMPnCTL0レジスタの該当ビット = 1に設定（コンパレータの動作開始）

後10 μ s以上の時間確保（コンパレータの安定時間）

A/Dコンバータ0, 1の初期設定

なお、基準電圧を変更する場合は、CMPnCTL0レジスタの該当ビット = 0に設定（コンパレータの動作停止）し、D/A変換動作許可のまま、DAnCSyレジスタを書き換え、 から再設定してください。

7. A/D変換動作停止時の設定手順は次のようになります。

ADnCEビット = 0（変換動作停止）に設定（ADnPSビット = 1の状態を保持）

ADnPSビット = 0（A/Dパワー・セーブ・モード）に設定

ADnOCKS.ADnOCKSENビット = 0（A/Dコンバータnの動作クロック供給停止）

コンパレータ使用時の設定手順は次のようになります。

CMPnCTL0レジスタの該当ビット = 0に設定（コンパレータの動作停止、

DAnM.DAnCEyビット = 1の状態を保持 ($y = 0, 1$))

DAnM.DAnCEyビット = 0に設定（D/A変換動作停止）

8. IDLEモード、STOPモード時もA/Dパワー・セーブ・モードに設定することを推奨します。

リセット信号によるIDLEモード、STOPモードの解除時は注意6の設定手順を行ってください。

9. ビット0, 2-6, 11-13には、必ず0を設定してください。

(2) A/Dコンバータn変換時間制御レジスタ (ADnCTC)

ADnCTCレジスタは、A/D変換クロック数、A/D変換時間の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：AD0CTC FFFFF222H, AD1CTC FFFFF2A2H

	7	6	5	4	3	2	1	0
ADnCTC (n = 0, 1)	0	0	0	0	ADnFR3	ADnFR2	ADnFR1	ADnFR0

- 注意1. ADnFR3-ADnFR0ビットについては表12 - 2 A/D変換クロック数とA/D変換時間を参照してください。
2. ADnFR3-ADnFR0ビットはADnSCM.ADnCEビット = 0 (変換動作停止) のときに設定してください。
3. ビット4-7には、必ず0を設定してください。

表12 - 2 A/D変換クロック数とA/D変換時間

ADnFR3	ADnFR2	ADnFR1	ADnFR0	A/D変換 クロック数 ^{注1}	A/D変換時間 (μs) ^{注2}			
					f _{AD01} = 16.66 MHz	f _{AD01} = 16 MHz	f _{AD01} = 12.5 MHz	f _{AD01} = 10 MHz
0	0	0	0	89	5.34	5.56	7.12	設定禁止
0	0	0	1	88	5.28	5.50	7.04	設定禁止
0	0	1	0	57	3.42	3.56	4.56	5.70
0	0	1	1	56	3.36	3.50	4.48	5.60
0	1	0	0	41	2.46	2.56	3.28	4.10
0	1	0	1	40	2.40	2.50	3.20	4.00
0	1	1	0	35	2.10	2.19	2.80	3.50
0	1	1	1	34	2.04	2.13	2.72	3.40
1	0	0	0	34	2.04	2.13	2.72	3.40
1	0	0	1	33	設定禁止	2.06	2.64	3.30
1	0	1	0	33	設定禁止	2.06	2.64	3.30
1	0	1	1	32	設定禁止	2.00	2.56	3.20
1	1	0	0	32	設定禁止	2.00	2.56	3.20
1	1	0	1	31	設定禁止	設定禁止	2.48	3.10
1	1	1	0	31	設定禁止	設定禁止	2.48	3.10
1	1	1	1	30	設定禁止	設定禁止	2.40	3.00

注1. A/D変換開始からA/D変換終了までのクロック (f_{AD01}) 数です。

連続変換 (1チャンネル変換 (繰り返し) , 複数チャンネル変換 , 複数チャンネル変換 (繰り返し)) 時における1変換あたりのクロック (f_{AD01}) 数も同じです。

2. A/D変換時間は、2.00 ~ 8.00 μsの範囲内で設定してください。

$$\text{A/D変換時間} = 1/f_{\text{AD01}} \times \text{A/D変換クロック数}$$

(3) A/Dコンバータ_n変換チャンネル指定レジスタ (AD_nCHEN)

AD_nCHENレジスタは、アナログ入力端子の指定、および変換回数と変換結果レジスタの指定を行うレジスタです。

A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モード時は、アナログ入力端子の指定を行います。アナログ入力端子とAD_nCR_mレジスタは1対1に対応しています。ANI00-ANI05、ANI10-ANI17端子に相当するビット (AD0CHEN00-AD0CHEN05, AD1CHEN00-AD1CHEN07) を使用してください。複数のアナログ入力端子を指定した場合は、番号の小さいものから順番に連続して変換を行います (AD1CHENレジスタ = 004DHの場合: ANI10 ANI12 ANI13 ANI16)。連続変換の途中に指定していないアナログ入力端子がある場合はスキップします。

変換チャンネル指定モード時は、変換回数と変換結果レジスタの指定を行います。アナログ入力端子は、AD_nCH1レジスタで指定します。変換回数と変換結果レジスタの指定は、AD_nCHENレジスタの下位ビットから下詰めで設定した値が変換回数で、その設定したビットとAD_nCR_m、AD_nCH_mHレジスタは1対1に対応しています。

AD_nCHENレジスタは、マスタ/スレーブ構成のレジスタのため、A/D変換動作中に新たなアナログ入力端子をマスタ・レジスタに設定できます。また、A/D変換終了後(A/D_n変換終了割り込み要求信号(INTAD_n)発生後)にマスタ・レジスタの設定値がスレーブ・レジスタに転送されます。

16ビット単位でリード/ライト可能です。

AD_nCHENレジスタの上位8ビットをAD_nCHENHレジスタ、下位8ビットをAD_nCHENLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時: 0000H R/W アドレス: AD0CHEN FFFFF224H, AD1CHEN FFFFF2A4H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD _n CHEN (n = 0, 1)	AD _n CHEN15	AD _n CHEN14	AD _n CHEN13	AD _n CHEN12	AD _n CHEN11	AD _n CHEN10	AD _n CHEN9	AD _n CHEN8	AD _n CHEN7	AD _n CHEN6	AD _n CHEN5	AD _n CHEN4	AD _n CHEN3	AD _n CHEN2	AD _n CHEN1	AD _n CHEN0

備考 A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モードのアナログ入力端子の指定については表12-3 A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モード時のアナログ入力端子の指定を、変換チャンネル指定モード時の変換回数とA/D変換結果レジスタの指定については表12-4 変換チャンネル指定モード時のAD_nCHENレジスタ設定値、変換回数、A/D変換結果レジスタの対応表を参照してください。

注意1. AD_nCHENレジスタ = 0000H設定時のA/D変換動作は禁止です。

AD_nCHENレジスタ = 0000Hに設定した場合は、AD_nCHENレジスタ = 0001H設定時と同じ動作になります。

2. AD_nSCM.AD_nPSビット = 0時にAD_nCHENレジスタをライトしないでください。ライトした場合、CPUがデッドロックします。

3. ハードウェア・トリガ・モード時は、AD_nSCM.AD_nCEビット = 1のときにAD_nCHENレジスタを変更する場合は、必ずAD_nCEビット = 0に設定してから行ってください。

表12 - 3 A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, ハードウェア・トリガ・モード時のアナログ入力端子の指定

ADnCHENmビット	アナログ入力端子の指定
0	ANInk端子の指定禁止
1	ANInk端子の指定許可

備考 A/Dコンバータ0 : n = 0, k = 0-3, 5-7, m = 0-15

A/Dコンバータ1 : n = 1,

V850E/IG4-Hのときk = 0-2, 5-7,

V850E/IH4-Hのときk = 0-3, 5-7,

m = 0-15

表12 - 4 変換チャンネル指定モード時のADnCHENレジスタ設定値, 変換回数, A/D変換結果レジスタの対応表

ADnCHEN レジスタ設定値	変換回数	A/D変換結果レジスタ	
0001H	1	ADnCR0	ADnCR0H
0003H	2	ADnCR0, ADnCR1	ADnCR0H, ADnCR1H
0007H	3	ADnCR0-ADnCR2	ADnCR0H-ADnCR2H
000FH	4	ADnCR0-ADnCR3	ADnCR0H-ADnCR3H
001FH	5	ADnCR0-ADnCR4	ADnCR0H-ADnCR4H
003FH	6	ADnCR0-ADnCR5	ADnCR0H-ADnCR5H
007FH	7	ADnCR0-ADnCR6	ADnCR0H-ADnCR6H
00FFH	8	ADnCR0-ADnCR7	ADnCR0H-ADnCR7H
01FFH	9	ADnCR0-ADnCR8	ADnCR0H-ADnCR8H
03FFH	10	ADnCR0-ADnCR9	ADnCR0H-ADnCR9H
07FFH	11	ADnCR0-ADnCR10	ADnCR0H-ADnCR10H
0FFFH	12	ADnCR0-ADnCR11	ADnCR0H-ADnCR11H
1FFFH	13	ADnCR0-ADnCR12	ADnCR0H-ADnCR12H
3FFFH	14	ADnCR0-ADnCR13	ADnCR0H-ADnCR13H
7FFFH	15	ADnCR0-ADnCR14	ADnCR0H-ADnCR14H
FFFFH	16	ADnCR0-ADnCR15	ADnCR0H-ADnCR15H
その他	設定禁止		

注意 変換チャンネル指定モード時のアナログ入力端子は, ADnCH1レジスタで設定します。

備考 n = 0, 1

(4) A/Dn変換結果レジスタ0-15, 0H-15H (ADnCR0-ADnCR15, ADnCR0H-ADnCR15H)

ADnCRm, ADnCRmHレジスタは、A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モード、変換チャンネル指定モード時にA/D変換の結果を保持するレジスタです。このレジスタは1回路あたり16本を2回路備えています。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされ、変換結果をADnCRmレジスタの上位12ビットに格納します。下位4ビットは常に0が読み出されます。

ADnCRmHレジスタには、A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はADnCRmレジスタを、上位8ビットをリードする場合はADnCRmHレジスタを指定します。

リセットにより0000Hになります。

備考 ADnCRmレジスタに対してA/D変換結果の格納処理が行われている間は、同じレジスタに対するリード・アクセスは保留されます。保留されたリード・アクセスは、A/D変換結果の格納処理が終了したあとに行われます。同様に、ADnCRmレジスタに対してリード・アクセスが行われている間は、同じレジスタに対するA/D変換結果の格納処理は保留されます。保留されたA/D変換結果の格納処理は、リード・アクセス終了後に行われます。

リセット時 : 0000H R アドレス : AD0CR0 FFFFFFF200H, AD0CR1 FFFFFFF202H,
 AD0CR2 FFFFFFF204H, AD0CR3 FFFFFFF206H,
 AD0CR4 FFFFFFF208H, AD0CR5 FFFFFFF20AH,
 AD0CR6 FFFFFFF20CH, AD0CR7 FFFFFFF20EH,
 AD0CR8 FFFFFFF210H, AD0CR9 FFFFFFF212H,
 AD0CR10 FFFFFFF214H, AD0CR11 FFFFFFF216H,
 AD0CR12 FFFFFFF218H, AD0CR13 FFFFFFF21AH,
 AD0CR14 FFFFFFF21CH, AD0CR15 FFFFFFF21EH,
 AD1CR0 FFFFFFF280H, AD1CR1 FFFFFFF282H,
 AD1CR2 FFFFFFF284H, AD1CR3 FFFFFFF286H,
 AD1CR4 FFFFFFF288H, AD1CR5 FFFFFFF28AH,
 AD1CR6 FFFFFFF28CH, AD1CR7 FFFFFFF28EH,
 AD1CR8 FFFFFFF290H, AD1CR9 FFFFFFF292H,
 AD1CR10 FFFFFFF294H, AD1CR11 FFFFFFF296H,
 AD1CR12 FFFFFFF298H, AD1CR13 FFFFFFF29AH,
 AD1CR14 FFFFFFF29CH, AD1CR15 FFFFFFF29EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADnCRm (n = 0, 1 m = 0-15)	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	0	0	0	0
	CRm	CRm	CRm	CRm	CRm	CRm	CRm	CRm	CRm	CRm	CRm	CRm				
	11	10	9	8	7	6	5	4	3	2	1	0				

リセット時 : 0000H R アドレス : AD0CR0H FFFFFFF201H, AD0CR1H FFFFFFF203H,
 AD0CR2H FFFFFFF205H, AD0CR3H FFFFFFF207H,
 AD0CR4H FFFFFFF209H, AD0CR5H FFFFFFF20BH,
 AD0CR6H FFFFFFF20DH, AD0CR7H FFFFFFF20FH,
 AD0CR8H FFFFFFF211H, AD0CR9H FFFFFFF213H,
 AD0CR10H FFFFFFF215H, AD0CR11H FFFFFFF217H,
 AD0CR12H FFFFFFF219H, AD0CR13H FFFFFFF21BH,
 AD0CR14H FFFFFFF21DH, AD0CR15H FFFFFFF21FH,
 AD1CR0H FFFFFFF281H, AD1CR1H FFFFFFF283H,
 AD1CR2H FFFFFFF285H, AD1CR3H FFFFFFF287H,
 AD1CR4H FFFFFFF289H, AD1CR5H FFFFFFF28BH,
 AD1CR6H FFFFFFF28DH, AD1CR7H FFFFFFF28FH,
 AD1CR8H FFFFFFF291H, AD1CR9H FFFFFFF293H,
 AD1CR10H FFFFFFF295H, AD1CR11H FFFFFFF297H,
 AD1CR12H FFFFFFF299H, AD1CR13H FFFFFFF29BH,
 AD1CR14H FFFFFFF29DH, AD1CR15H FFFFFFF29FH

	7	6	5	4	3	2	1	0
ADnCRmH (n = 0, 1 m = 0-15)	ADnCRm11	ADnCRm10	ADnCRm9	ADnCRm8	ADnCRm7	ADnCRm6	ADnCRm5	ADnCRm4

A/Dトリガ・モード，A/Dトリガ・ポーリング・モード，ハードウェア・トリガ・モード時と変換チャンネル指定モード時の各アナログ入力端子とA/D変換結果レジスタの対応を次に示します。

表12 - 5 A/Dトリガ・モード，A/Dトリガ・ポーリング・モード，ハードウェア・トリガ・モード時の各アナログ入力端子とA/D変換結果レジスタの対応表

A/Dコンバータ	アナログ入力端子	A/D変換結果レジスタ
A/Dコンバータ0	ANI00	AD0CR0, AD0CR0H
	ANI01	AD0CR1, AD0CR1H
	ANI02	AD0CR2, AD0CR2H
	ANI03	AD0CR3, AD0CR3H
	ANI05	AD0CR5, AD0CR5H
	ANI06	AD0CR6, AD0CR6H
	ANI07	AD0CR7, AD0CR7H
A/Dコンバータ1	ANI10	AD1CR0, AD1CR0H
	ANI11	AD1CR1, AD1CR1H
	ANI12	AD1CR2, AD1CR2H
	ANI13 ^注	AD1CR3, AD1CR3H
	ANI15	AD1CR5, AD1CR5H
	ANI16	AD1CR6, AD1CR6H
	ANI17	AD1CR7, AD1CR7H

注 V850E/IH4-Hのみ

表12 - 6 変換チャンネル指定モード時の各アナログ入力端子とA/D変換結果レジスタの対応表

ADnCHEN レジスタ設定 値	アナログ入力端子	A/D変換結果レジスタ		
		ADnCR0	ADnCR0H	
0001H	ADnCH1.	ADnCR0	ADnCR0H	
0003H	ADnTRGCH12-	ADnCR0, ADnCR1	ADnCR0H, ADnCR1H	
0007H	ADnTRGCH10	ADnCR0-ADnCR2	ADnCR0H-ADnCR2H	
000FH	ビットで設定	ADnCR0-ADnCR3	ADnCR0H-ADnCR3H	
001FH		ADnCR0-ADnCR4	ADnCR0H-ADnCR4H	
003FH		ADnCR0-ADnCR5	ADnCR0H-ADnCR5H	
007FH		ADnCR0-ADnCR6	ADnCR0H-ADnCR6H	
00FFH		ADnCR0-ADnCR7	ADnCR0H-ADnCR7H	
01FFH		ADnCR0-ADnCR8	ADnCR0H-ADnCR8H	
03FFH		ADnCR0-ADnCR9	ADnCR0H-ADnCR9H	
07FFH		ADnCR0-ADnCR10	ADnCR0H-ADnCR10H	
0FFFH		ADnCR0-ADnCR11	ADnCR0H-ADnCR11H	
1FFFH		ADnCR0-ADnCR12	ADnCR0H-ADnCR12H	
3FFFH		ADnCR0-ADnCR13	ADnCR0H-ADnCR13H	
7FFFH		ADnCR0-ADnCR14	ADnCR0H-ADnCR14H	
FFFFH		ADnCR0-ADnCR15	ADnCR0H-ADnCR15H	
0001H		ADnCH1.	ADnCR0	ADnCR0H
0003H		ADnTRGCH16-	ADnCR0, ADnCR1	ADnCR0H, ADnCR1H
0007H	ADnTRGCH14	ADnCR0-ADnCR2	ADnCR0H-ADnCR2H	
000FH	ビットで設定	ADnCR0-ADnCR3	ADnCR0H-ADnCR3H	
001FH		ADnCR0-ADnCR4	ADnCR0H-ADnCR4H	
003FH		ADnCR0-ADnCR5	ADnCR0H-ADnCR5H	
007FH		ADnCR0-ADnCR6	ADnCR0H-ADnCR6H	
00FFH		ADnCR0-ADnCR7	ADnCR0H-ADnCR7H	
01FFH		ADnCR0-ADnCR8	ADnCR0H-ADnCR8H	
03FFH		ADnCR0-ADnCR9	ADnCR0H-ADnCR9H	
07FFH		ADnCR0-ADnCR10	ADnCR0H-ADnCR10H	
0FFFH		ADnCR0-ADnCR11	ADnCR0H-ADnCR11H	
1FFFH		ADnCR0-ADnCR12	ADnCR0H-ADnCR12H	
3FFFH		ADnCR0-ADnCR13	ADnCR0H-ADnCR13H	
7FFFH		ADnCR0-ADnCR14	ADnCR0H-ADnCR14H	
FFFFH		ADnCR0-ADnCR15	ADnCR0H-ADnCR15H	
その他		設定禁止		

備考 n = 0, 1

(5) A/Dコンバータ n 制御レジスタ (ADnCTL0)

ADnCTL0レジスタは、動作モードの指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：AD0CTL0 FFFFFFF230H, AD1CTL0 FFFFFFF2B0H

	7	6	5	4	3	2	1	0
ADnCTL0 (n = 0, 1)	0	0	0	0	0	0	ADnMD1	ADnMD0

ADnMD1	ADnMD0	拡張動作モードの指定
0	0	通常動作モード
0	1	設定禁止
1	0	変換チャンネル指定モード
1	1	拡張バッファ・モード

- 注意1. ADnMD1, ADnMD0ビットはADnSCM.ADnCEビット = 0 (変換動作停止) のときに設定してください (ADnCEビット = 1 (変換動作許可) のときの同値書き込みは可能)。
- 変換チャンネル指定モード, 拡張バッファ・モードは, 通常動作モードに比べて最大1.5基本クロック (f_{AD01}) 分A/D変換開始タイミングが遅れます。
 - 変換チャンネル指定モード, 拡張バッファ・モード時は, 必ずハードウェア・トリガ・モードも設定してください。

(6) A/Dコンバータ_nトリガ選択レジスタ (AD_nTSEL)

AD_nTSELレジスタは、ハードウェア・トリガ・モード、変換チャネル指定モード時のトリガ、および拡張バッファ・モード時のトリガ（選択トリガ1、選択トリガ2、選択ロード・トリガ1、選択ロード・トリガ2）の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

リセット時：10H R/W アドレス：AD0TSEL FFFFF231H, AD1TSEL FFFFF2B1H

	7	6	5	4	3	2	1	0
AD _n TSEL (n = 0, 1)	AD _n LDTSEL2 ^注	0	AD _n TRGSEL21 ^注	AD _n TRGSEL20 ^注	AD _n LDTSEL1 ^注	0	AD _n TRGSEL11	AD _n TRGSEL10

AD _n LDTSEL2 ^注	AD _n ECR3, AD _n ECR4レジスタに対する選択ロード・トリガ2の指定	
0	LDTRG1	
1	LDTRG2	

AD _n TRGSEL21 ^注	AD _n TRGSEL20 ^注	AD _n ECR3, AD _n ECR4レジスタに対する選択トリガ2の指定	
0	0	ITRG1	
0	1	ITRG2	
1	0	ITRG3	
1	1	ITRG4	

AD _n LDTSEL1 ^注	AD _n ECR0-AD _n ECR2レジスタに対する選択ロード・トリガ1の指定	
0	LDTRG1	
1	LDTRG2	

AD _n TRGSEL11	AD _n TRGSEL10	・ハードウェア・トリガ・モード、変換チャネル指定モード時 ：トリガの指定 ・拡張バッファ・モード時 ：AD _n ECR0-AD _n ECR2レジスタに対する選択トリガ1の指定
0	0	ITRG1
0	1	ITRG2
1	0	ITRG3
1	1	ITRG4

注 ハードウェア・トリガ・モード、変換チャネル指定モード時のビット3, 5, 7には0を、ビット4には1を設定してください。

注意 AD_nTSELレジスタはAD_nSCM.AD_nCEビット = 0（変換動作停止）のときに設定してください（AD_nCEビット = 1（変換動作許可）のときの同値書き込みは可能）。

(7) A/Dコンバータ_nチャンネル指定レジスタ1 (AD_nCH1)

AD_nCH1レジスタは、変換チャンネル指定モード、拡張バッファ・モード時の選択トリガ1に対するアナログ入力端子の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：AD0CH1 FFFFFFF232H, AD1CH1 FFFFFFF2B2H

	7	6	5	4	3	2	1	0
AD _n CH1 (n = 0, 1)	0	AD _n TRGCH16	AD _n TRGCH15	AD _n TRGCH14	0	AD _n TRGCH12	AD _n TRGCH11	AD _n TRGCH10

AD _n TRGCH16	AD _n TRGCH15	AD _n TRGCH14	選択トリガ1に対するアナログ入力端子の指定
0	0	0	ANIn0
0	0	1	ANIn1
0	1	0	ANIn2
0	1	1	ANIn3 ^注
1	0	0	設定禁止
1	0	1	ANIn5
1	1	0	ANIn6
1	1	1	ANIn7

AD _n TRGCH12	AD _n TRGCH11	AD _n TRGCH10	選択トリガ1に対するアナログ入力端子の指定
0	0	0	ANIn0
0	0	1	ANIn1
0	1	0	ANIn2
0	1	1	ANIn3 ^注
1	0	0	設定禁止
1	0	1	ANIn5
1	1	0	ANIn6
1	1	1	ANIn7

注 V850E/IG4-HはA/Dコンバータ0のときのみ設定可能です。

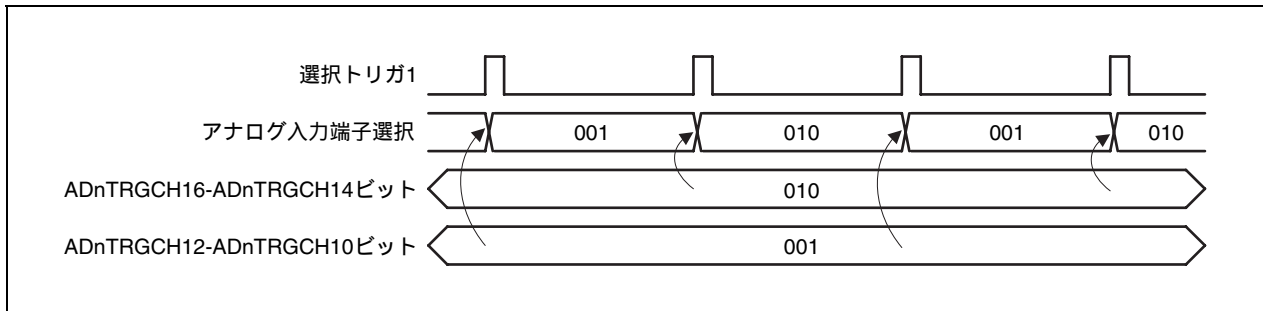
A/Dコンバータ1では設定禁止です。

注意1. AD_nCH1レジスタはAD_nSCM.AD_nCEビット = 0 (変換動作停止) のときに設定してください (AD_nCEビット = 1 (変換動作許可) のときの同値書き込みは可能)。

2. ビット3, 7には、必ず0を設定してください。

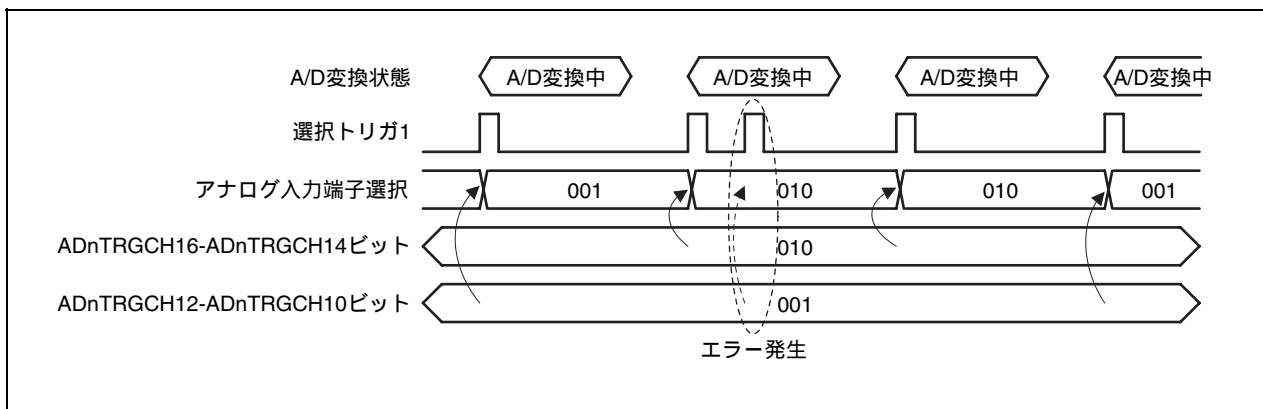
ADnCH1レジスタは、変換チャンネル指定モード、または拡張バッファ・モードで変換動作許可(ADnSCM.ADnCEビット=1)にすると、ADnCH1レジスタの設定が有効となります。変換動作許可(ADnCEビット=1)後、最初の選択トリガ1の発生でADnTRGCH12-ADnTRGCH10ビットで設定したアナログ入力端子が選択され、A/D変換を行います。その後、次の選択トリガ1が発生すると、ADnTRGCH16-ADnTRGCH14ビットで設定したアナログ入力端子が選択され、A/D変換を行います。これ以降、選択トリガ1が発生するごとにアナログ入力端子を交互に切り替えて出力します。

図12 - 7 ADnCH1レジスタ動作



エラー発生時(A/D変換中に選択トリガ1が発生した場合)もADnTRGCH12-ADnTRGCH10ビットで設定したアナログ入力端子とADnTRGCH16-ADnTRGCH14ビットで設定したアナログ入力端子を交互に切り替えますが、A/D変換中のため、アナログ入力端子の選択は変更されません。

図12 - 8 エラー発生時のADnCH1レジスタ動作



(8) A/Dコンバータ n チャンネル指定レジスタ2 (AD n CH2)

AD n CH2レジスタは、拡張バッファ・モード時の選択トリガ2に対するアナログ入力端子の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：AD0CH2 FFFFFFF233H, AD1CH2 FFFFFFF2B3H

	7	6	5	4	3	2	1	0
AD n CH2 ($n = 0, 1$)	0	AD n TRGCH26	AD n TRGCH25	AD n TRGCH24	0	AD n TRGCH22	AD n TRGCH21	AD n TRGCH20

AD n TRGCH26	AD n TRGCH25	AD n TRGCH24	選択トリガ2に対するアナログ入力端子の指定
0	0	0	ANIn0
0	0	1	ANIn1
0	1	0	ANIn2
0	1	1	ANIn3 ^注
1	0	0	設定禁止
1	0	1	ANIn5
1	1	0	ANIn6
1	1	1	ANIn7

AD n TRGCH22	AD n TRGCH21	AD n TRGCH20	選択トリガ2に対するアナログ入力端子の指定
0	0	0	ANIn0
0	0	1	ANIn1
0	1	0	ANIn2
0	1	1	ANIn3 ^注
1	0	0	設定禁止
1	0	1	ANIn5
1	1	0	ANIn6
1	1	1	ANIn7

注 V850E/IG4-HはA/Dコンバータ0のときのみ設定可能です。

A/Dコンバータ1では設定禁止です。

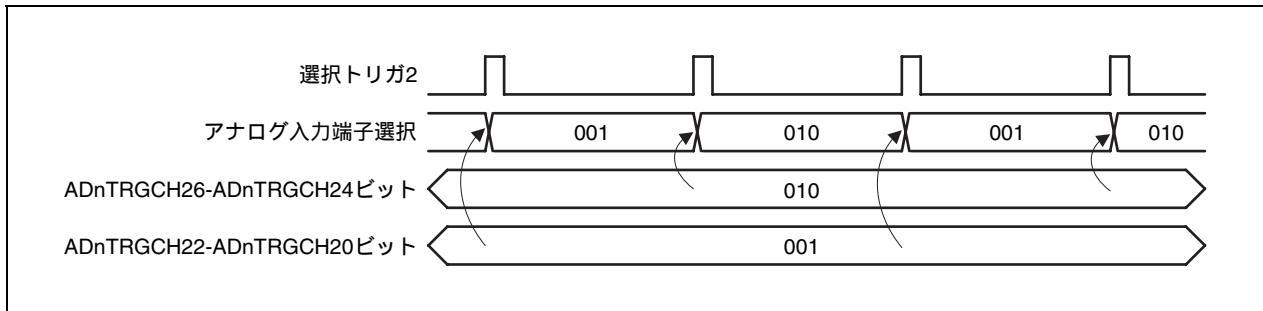
注意1. AD n CH2レジスタはAD n SCM.AD n CEビット = 0 (変換動作停止) のときに設定してください (AD n CEビット = 1 (変換動作許可) のときの同値書き込みは可能)。

2. AD n CH2レジスタは拡張バッファ・モード時のみ有効です。それ以外のモードでは無効となります。

3. ビット3, 7には、必ず0を設定してください。

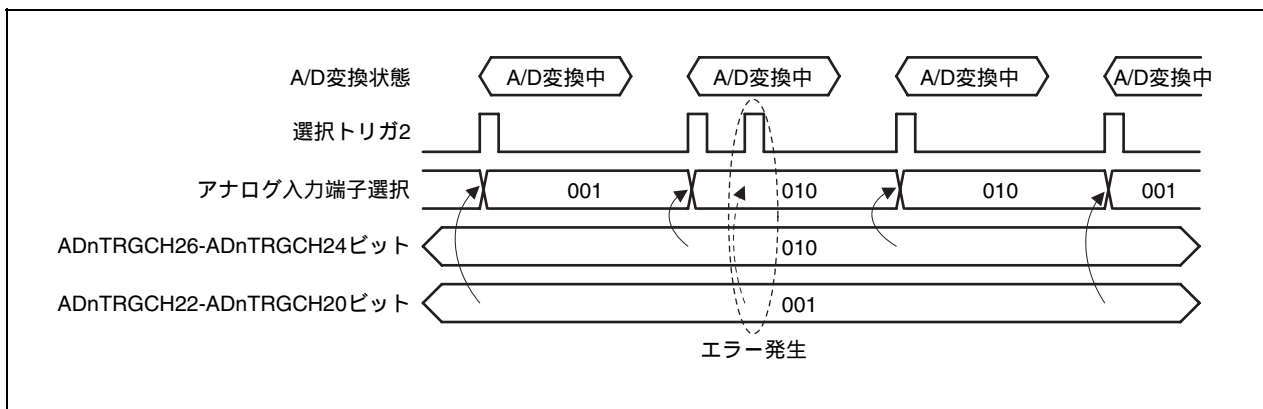
ADnCH2レジスタは、拡張バッファ・モードで変換動作許可 (ADnSCM.ADnCEビット = 1) にすると、ADnCH2レジスタの設定が有効となります。変換動作許可 (ADnCEビット = 1) 後、最初の選択トリガ2の発生でADnTRGCH22-ADnTRGCH20ビットで設定したアナログ入力端子が選択され、A/D変換を行います。その後、次の選択トリガ2が発生すると、ADnTRGCH26-ADnTRGCH24ビットで設定したアナログ入力端子が選択され、A/D変換を行います。これ以降、選択トリガ2が発生するごとにアナログ入力端子を交互に切り替えて出力します。

図12 - 9 ADnCH2レジスタ動作



エラー発生時 (A/D変換中に選択トリガ2が発生した場合) もADnTRGCH22-ADnTRGCH20ビットで設定したアナログ入力端子とADnTRGCH26-ADnTRGCH24ビットで設定したアナログ入力端子を交互に切り替えますが、A/D変換中のため、アナログ入力端子の選択は変更されません。

図12 - 10 エラー発生時のADnCH2レジスタ動作



(9) A/Dn変換結果拡張レジスタ0-4, 0H-4H (ADnECR0-ADnECR4, ADnECR0H-ADnECR4H)

ADnECRa, ADnECRaHレジスタは、拡張バッファ・モード時に上位12ビットにはA/D変換の結果を保持し、下位1ビットにはA/D変換結果のステータス (ADnCHx.ADnTRGCHx2-ADnTRGCHx0ビットまたはADnTRGCHx6-ADnTRGCHx4ビットのどちらで設定したアナログ入力端子に対するA/D変換結果であるかの情報) を示すレジスタです。このレジスタは1回路あたり5本を2回路備えています。

A/D変換が終了すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタaに格納します。その後、選択ロード・トリガ1が発生すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタ0-2からADnECR0-ADnECR2レジスタの上位12ビットにシフトし格納します。ビット1-3は常に0が読み出されます。また、選択ロード・トリガ2が発生すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタ3, 4からADnECR3, ADnECR4レジスタの上位12ビットにシフトし格納します。ビット1-3は常に0が読み出されず。

ADnECRaHレジスタには、A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はADnECRaレジスタを、上位8ビットをリードする場合はADnECRaHレジスタを指定します。

リセットにより0000Hになります。

備考 ADnECRaレジスタに対してA/D変換結果の格納処理が行われている間は、同じレジスタに対するリード・アクセスは保留されます。保留されたリード・アクセスは、A/D変換結果の格納処理が終了したあとに行われます。同様に、ADnECRaレジスタに対してリード・アクセスが行われている間は、同じレジスタに対するA/D変換結果の格納処理は保留されます。保留されたA/D変換結果の格納処理は、リード・アクセス終了後に行われます。

リセット時：0000H R アドレス：AD0ECR0 FFFFF240H, AD0ECR1 FFFFF242H,
AD0ECR2 FFFFF244H, AD0ECR3 FFFFF246H,
AD0ECR4 FFFFF248H,
AD1ECR0 FFFFF2C0H, AD1ECR1 FFFFF2C2H,
AD1ECR2 FFFFF2C4H, AD1ECR3 FFFFF2C6H,
AD1ECR4 FFFFF2C8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADnECRa (n = 0, 1) (a = 0-4)	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	ADn	0	0	0	ADn
	ECRa	ECRa	ECRa	ECRa	ECRa	ECRa	ECRa	ECRa	ECRa	ECRa	ECRa	ECRa				CH
	11	10	9	8	7	6	5	4	3	2	1	0				FLGa

ADnCHFLGa	A/D変換結果のステータス (x = 1, 2)
0	ADnCHx.ADnTRGCHx2-ADnTRGCHx0ビットで設定したアナログ入力端子に対するA/D変換結果
1	ADnCHx.ADnTRGCHx6-ADnTRGCHx4ビットで設定したアナログ入力端子に対するA/D変換結果

リセット時：00H R アドレス：AD0ECR0H FFFFF241H, AD0ECR1H FFFFF243H,
AD0ECR2H FFFFF245H, AD0ECR3H FFFFF247H,
AD0ECR4H FFFFF249H,
AD1ECR0H FFFFF2C1H, AD1ECR1H FFFFF2C3H,
AD1ECR2H FFFFF2C5H, AD1ECR3H FFFFF2C7H,
AD1ECR4H FFFFF2C9H,

	7	6	5	4	3	2	1	0
ADnECRaH (n = 0, 1) (a = 0-4)	ADnECRa11	ADnECRa10	ADnECRa9	ADnECRa8	ADnECRa7	ADnECRa6	ADnECRa5	ADnECRa4

注意 ADnECRa, ADnECRaHレジスタは、拡張バッファ・モード時のみ有効です。
それ以外のモードでは無効となります。

各アナログ入力端子とA/Dn変換結果拡張レジスタの対応を次に示します。

表12 - 7 各アナログ入力端子とA/Dn変換結果拡張レジスタの対応表

アナログ入力端子	A/Dn変換結果レジスタ
ADnCH1.	ADnECR0, ADnECR0H
ADnTRGCH12-ADnTRGCH10,	ADnECR1, ADnECR1H
ADnTRGCH16-ADnTRGCH14ビットで設定	ADnECR2, ADnECR2H
ADnCH2.	ADnECR3, ADnECR3H
ADnTRGCH22-ADnTRGCH20,	ADnECR4, ADnECR4H
ADnTRGCH26-ADnTRGCH24ビットで設定	

備考 n = 0, 1

(10) A/Dコンバータ_nフラグ・レジスタ (AD_nFLG)

AD_nFLGレジスタは、拡張バッファ・モード時の選択ロード・トリガ_xの発生タイミングにエラーが発生したことを示すレジスタです (x = 1, 2)。AD_nTERR2, AD_nTERR1フラグはリードのみ可能で変換動作停止 (AD_nSCM.AD_nCEビット = 0) 時にクリアされます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：AD0FLG FFFFF254H, AD1FLG FFFFF2D4H

	7	6	5	4	3	2	1	0
AD _n FLG (n = 0, 1)	0	0	0	0	0	0	AD _n TERR2 ^注	AD _n TERR1 ^注

AD _n TERR2 ^注	選択ロード・トリガ2の発生タイミング・エラー・フラグ
0	選択ロード・トリガ2の発生タイミング・エラー発生なし
1	選択ロード・トリガ2の発生タイミング・エラー発生

AD _n TERR1 ^注	選択ロード・トリガ1の発生タイミング・エラー・フラグ
0	選択ロード・トリガ1の発生タイミング・エラー発生なし
1	選択ロード・トリガ1の発生タイミング・エラー発生

注 AD_nTERR2, AD_nTERR1フラグは、拡張バッファ・モード時のみ有効です。
それ以外のモードでは、0固定となります。

(11) A/Dコンバータ_nフラグ・バッファ・レジスタ (ADnFLGB)

ADnFLGBレジスタは、拡張バッファ・モード時の選択トリガ_xの発生タイミングにエラーが発生したことを示すレジスタです ($x = 1, 2$)。ADnTERRB2, ADnTERRB1フラグはリードのみ可能で変換動作停止 (ADnSCM.ADnCEビット = 0) 時にクリアされます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：AD0FLGB FFFFF255H, AD1FLGB FFFFF2D5H

	7	6	5	4	3	2	1	0
ADnFLGB (n = 0, 1)	0	0	0	0	0	0	ADn TERRB2 ^注	ADn TERRB1 ^注

ADnTERRB2 ^注	選択トリガ2の発生タイミング・エラー・フラグ
0	選択トリガ2の発生タイミング・エラー発生なし
1	選択トリガ2の発生タイミング・エラー発生

ADnTERRB1 ^注	選択トリガ1の発生タイミング・エラー・フラグ
0	選択トリガ1の発生タイミング・エラー発生なし
1	選択トリガ1の発生タイミング・エラー発生

注 ADnTERRB2, ADnTERRB1フラグは、拡張バッファ・モード時のみ有効です。
それ以外のモードでは、0固定となります。

(12) A/DLDRG1入力選択レジスタ (ADLTS1)

ADLTS1レジスタは、拡張バッファ・モード時の選択ロード・トリガ (LDTRG1) に対する入力信号の指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF2F8H

	7	6	5	4	3	2	1	0
ADLTS1	0	0	0	0	0	0	0	ADLTS10

ADLTS10	LDTRG1に対する入力信号の指定
0	TABTIOV0信号
1	TABTIOV1信号

注 ADLTS1レジスタは、拡張バッファ・モード時のみ有効です。
それ以外のモードでは無効となります。

(13) A/DLDRG2入力選択レジスタ (ADLTS2)

ADLTS2レジスタは、拡張バッファ・モード時の選択ロード・トリガ (LDTRG2) に対する入力信号の指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF2FAH

	7	6	5	4	3	2	1	0
ADLTS2	0	0	0	0	0	0	0	ADLTS20

ADLTS20	LDTRG2に対する入力信号の指定
0	TABTICC00信号
1	TABTICC10信号

注 ADLTS2レジスタは、拡張バッファ・モード時のみ有効です。
それ以外のモードでは無効となります。

(14) A/Dコンバータ n クロック選択レジスタ (AD n OCKS)

AD n OCKSレジスタは、A/Dコンバータ n に入力されるクロック (f_{AD01}) を選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : AD0OCKS FFFFFFF270H, AD1OCKS FFFFFFF274H

	7	6	5	4	3	2	1	0
AD n OCKS ($n = 0, 1$)	0	0	0	AD n OCKSEN	0	0	AD n OCKS1	AD n OCKS0

AD n OCKSEN	クロック動作制御
0	A/Dコンバータ n の動作クロック供給停止
1	A/Dコンバータ n の動作クロック供給許可

AD n OCKS1	AD n OCKS0	A/Dコンバータ n の入力クロックの選択 (f_{AD01})
0	0	$f_{xx}/4$
0	1	$f_{xx}/6$
1	0	$f_{xx}/8$
1	1	$f_{xx}/10$

- 注意**1. f_{AD01} は、4 ~ 16.7 MHzの範囲内で設定してください。
2. A/Dコンバータ n 使用時は、A/D変換結果レジスタのリードも含め、AD n OCKSレジスタおよびAD n SCM.AD n PSビット = 1の設定を必ず行ってください。
3. ビット2, 3, 5-7には必ず0を設定してください。

(15) A/Dトリガ立ち上がり, 立ち下がりエッジ指定レジスタ (ADTR, ADTF)

ADTR, ADTFレジスタは, ADTRG0/INTADT0, ADTRG1/INTADT1端子のトリガ・モードを指定するレジスタです。

有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 A/Dコンバータ_nの外部トリガ入力 (兼用機能) / 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には, エッジが検出される可能性があるため, 必ずADTF_n, ADTR_nビット = 00に設定してからポート・モードに設定してください。

リセット時: 00H R/W アドレス: FFFFF2F2H

	7	6	5	4	3	2	1	0
ADTR	0	0	0	0	0	0	ADTR1	ADTR0

リセット時: 00H R/W アドレス: FFFFF2F0H

	7	6	5	4	3	2	1	0
ADTF	0	0	0	0	0	0	ADTF1	ADTF0

備考 有効エッジの指定については表12 - 8を参照してください。

表12 - 8 ADTRG0/INTADT0, ADTRG1/INTADT1端子の有効エッジの指定

ADTF _n	ADTR _n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注意 ADTRG_n/INTADT_n端子として使用しない場合, 必ずADTF_n, ADTR_nビット = 00に設定してください。

備考 n = 0, 1

(16) オペアンプ_n制御レジスタ0 (OPnCTL0)

OPnCTL0レジスタは、入力レベル増幅用オペアンプの動作制御、ゲイン指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : OP0CTL0 FFFFFFF260H, OP1CTL0 FFFFFFF2E0H

	7	6	5	4	3	2	1	0
OPnCTL0 (n = 0, 1)	0	OPn2EN	OPn1EN	OPn0EN	OPnGA3	OPnGA2	OPnGA1	OPnGA0

OPn2EN	A/Dコンバータ _n 用オペアンプ2の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

OPn1EN	A/Dコンバータ _n 用オペアンプ1の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

OPn0EN	A/Dコンバータ _n 用オペアンプ0の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

OPnGA3	OPnGA2	OPnGA1	OPnGA0	オペアンプのゲイン指定
0	0	0	0	2.500倍
0	0	0	1	2.667倍
0	0	1	0	2.857倍
0	0	1	1	3.077倍
0	1	0	0	3.333倍
0	1	0	1	3.636倍
0	1	1	0	4.000倍
0	1	1	1	4.444倍
1	0	0	0	5.000倍
1	0	0	1	5.714倍
1	0	1	0	6.667倍
1	0	1	1	8.000倍
1	1	0	0	10.00倍
その他				設定禁止

注意 オペアンプ動作許可後、10 μ sの安定時間が必要となります。

また、OPnGA3-OPnGA0ビットの設定を変更した場合は、5 μ sの安定時間が必要になります。

(17) コンパレータ n 制御レジスタ0 (CMPnCTL0)

CMPnCTL0レジスタは、過電圧検出用コンパレータの動作制御を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CMP0CTL0 FFFFF261H, CMP1CTL0 FFFFF2E1H

	7	6	5	4	3	2	1	0
CMPnCTL0 (n = 0, 1)	0	CMPn2FEN	CMPn1FEN	CMPn0FEN	0	CMPn2LEN	CMPn1LEN	CMPn0LEN

CMPn2FEN	A/Dコンバータ n 用コンパレータ2 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMPn1FEN	A/Dコンバータ n 用コンパレータ1 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMPn0FEN	A/Dコンバータ n 用コンパレータ0 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMPn2LEN	A/Dコンバータ n 用コンパレータ2 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMPn1LEN	A/Dコンバータ n 用コンパレータ1 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMPn0LEN	A/Dコンバータ n 用コンパレータ0 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

- 注意1. コンパレータ動作許可後、 $10 \mu\text{s}$ の安定時間が必要となります。
2. コンパレータの基準電圧はD/Aコンバータ n により生成します。
コンパレータの基準電圧範囲は、オペアンプの増幅有無にかかわらず、次のようになります。

ロウ・レンジ側の基準電圧範囲

: 0.2 ~ 2.4 V

フル・レンジ側の基準電圧範囲

: 0.2 ~ 4.5 V

詳細については、第28章 電気的特性を参照してください。

(18) コンパレータ n 制御レジスタ1 (CMPnCTL1)

CMPnCTL1レジスタは、過電圧検出用コンパレータの出力モニタを行うレジスタです。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：CMP0CTL1 FFFF262H, CMP1CTL1 FFFF2E2H

	7	6	5	4	3	2	1	0
CMPnCTL1 (n = 0, 1)	0	CMPn2FOUT	CMPn1FOUT	CMPn0FOUT	0	CMPn2LOUT	CMPn1LOUT	CMPn0LOUT

CMPn2FOUT	A/Dコンバータ n 用コンパレータ2 (フル・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMPn1FOUT	A/Dコンバータ n 用コンパレータ1 (フル・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMPn0FOUT	A/Dコンバータ n 用コンパレータ0 (フル・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMPn2LOUT	A/Dコンバータ n 用コンパレータ2 (ロウ・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMPn1LOUT	A/Dコンバータ n 用コンパレータ1 (ロウ・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMPn0LOUT	A/Dコンバータ n 用コンパレータ0 (ロウ・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

注意 CMPn2FOUT, CMPn1FOUT, CMPn0FOUT, CMPn2LOUT, CMPn1LOUT, CMPn0LOUTビットは、入力電圧が過電圧を検出しないレベルに低下した場合、0になります。

(19) コンパレータ n 制御レジスタ2 (CMPnCTL2)

CMPnCTL2レジスタは、過電圧検出用コンパレータの比較信号の指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CMP0CTL2 FFFFF263H, CMP1CTL2 FFFFF2E3H

	7	6	5	4	3	2	1	0
CMPnCTL2 (n = 0, 1)	0	0	0	0	0	CMPn2SEL	CMPn1SEL	CMPn0SEL

CMPn2SEL	A/Dコンバータ n 用コンパレータ2の比較信号の指定
0	オペアンプ2増幅前
1	オペアンプ2増幅後

CMPn1SEL	A/Dコンバータ n 用コンパレータ1の比較信号の指定
0	オペアンプ1増幅前
1	オペアンプ1増幅後

CMPn0SEL	A/Dコンバータ n 用コンパレータ0の比較信号の指定
0	オペアンプ0増幅前
1	オペアンプ0増幅後

(20) コンパレータ n 制御レジスタ3 (CMPnCTL3)

CMPnCTL3レジスタは、過電圧検出用コンパレータの検出方向の指定、エッジ検出の選択を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CMP0CTL3 FFFFF264H, CMP1CTL3 FFFFF2E4H

	7	6	5	4	3	2	1	0
CMPnCTL3 (n = 0, 1)	CMPnFDS	CMPn2FDE	CMPn1FDE	CMPn0FDE	CMPnLDS	CMPn2LDE	CMPn1LDE	CMPn0LDE

CMPnFDS	A/Dコンバータ n 用コンパレータ(フル・レンジ)の検出方向の指定
0	論理積(AND)検出(基準値を下回る入力の場合は検出)
1	論理和(OR)検出(基準値を上回る入力の場合は検出)

CMPn2FDE	A/Dコンバータ n 用コンパレータ2(フル・レンジ)のエッジ検出選択
0	エッジ検出禁止(使用しない)
1	エッジ検出許可(使用する)

CMPn1FDE	A/Dコンバータ n 用コンパレータ1(フル・レンジ)のエッジ検出選択
0	エッジ検出禁止(使用しない)
1	エッジ検出許可(使用する)

CMPn0FDE	A/Dコンバータ n 用コンパレータ0(フル・レンジ)のエッジ検出選択
0	エッジ検出禁止(使用しない)
1	エッジ検出許可(使用する)

CMPnLDS	A/Dコンバータ n 用コンパレータ(ロウ・レンジ)の検出方向の指定
0	論理積(AND)検出(基準値を下回る入力の場合は検出)
1	論理和(OR)検出(基準値を上回る入力の場合は検出)

CMPn2LDE	A/Dコンバータ n 用コンパレータ2(ロウ・レンジ)のエッジ検出選択
0	エッジ検出禁止(使用しない)
1	エッジ検出許可(使用する)

CMPn1LDE	A/Dコンバータ n 用コンパレータ1(ロウ・レンジ)のエッジ検出選択
0	エッジ検出禁止(使用しない)
1	エッジ検出許可(使用する)

CMPn0LDE	A/Dコンバータ n 用コンパレータ0(ロウ・レンジ)のエッジ検出選択
0	エッジ検出禁止(使用しない)
1	エッジ検出許可(使用する)

備考 基準値とは、D/Aコンバータ n により生成される基準電圧です(n = 0, 1)。

(21) コンパレータ出力デジタル・ノイズ除去レジスタ nL, nF (CMPNFC nL, nF)

CMPNFC nL, nF レジスタは、過電圧検出用コンパレータ出力のデジタル・ノイズ除去の制御を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CMPNFC0L FFFFF278H, CMPNFC1L FFFFF27CH

	7	6	5	4	3	2	1	0
CMPNFC nL ($n = 0, 1$)	CMPnNFEN	0	0	0	0	CMPnNFC2	CMPnNFC1	CMPnNFC0

リセット時：00H R/W アドレス：CMPNFC0F FFFFF27AH, CMPNFC1F FFFFF27EH

	7	6	5	4	3	2	1	0
CMPNFC nF ($n = 0, 1$)	CMPnNFEN	0	0	0	0	CMPnNFC2	CMPnNFC1	CMPnNFC0

CMPnNFEN	デジタル・ノイズ除去の設定
0	アナログ・ノイズ除去を行う
1	デジタル・ノイズ除去を行う

CMPnNFC2	CMPnNFC1	CMPnNFC0	サンプリング・クロックの選択
0	0	0	$f_{xx}/32$
0	0	1	$f_{xx}/64$
0	1	0	$f_{xx}/128$
0	1	1	$f_{xx}/256$
1	0	0	$f_{xx}/512$
1	0	1	$f_{xx}/1024$
その他			設定禁止

注意 ビット3-6には必ず0を設定してください。

(22) コンパレータ出力割り込み立ち上がり, 立ち下がりエッジ指定レジスタ (CMPOR, CMPOF)

CMPOR, CMPOFレジスタは, INTCMP0L, INTCMP0F, INTCMP1L, INTCMP1F信号のトリガ・モードを指定するレジスタです。

有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを割り込み要求信号ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H		R/W	アドレス : FFFFF2F6H					
	7	6	5	4	3	2	1	0
CMPOR	0	0	0	0	CMPOR1F	CMPOR1L	CMPOR0F	CMPOR0L
リセット時 : 00H		R/W	アドレス : FFFFF2F4H					
	7	6	5	4	3	2	1	0
CMPOF	0	0	0	0	CMPOF1F	CMPOF1L	CMPOF0F	CMPOF0L
備考 有効エッジの指定については表12 - 9, 表12 - 10を参照してください。								

表12 - 9 INTCMP0F, INTCMP1F信号の有効エッジの指定

CMPOFnF	CMPORnF	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

備考 n = 0, 1

表12 - 10 INTCMP0L, INTCMP1L信号の有効エッジの指定

CMPOFnL	CMPORnL	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

備考 n = 0, 1

(23) D/Aコンバータ_nモード・レジスタ (DAnM)

D/Aコンバータ_nの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DA0M FFFFFFFB02H, DA1M FFFFFFFB12H								
	7	6	5	4	3	2	1	0
DAnM (n = 0, 1)	0	0	DAnCE1	DAnCE0	0	0	0	0
	DAnCE1		D/Aコンバータ _n 1の動作許可/禁止制御					
	0	動作禁止						
	1	動作許可						
	DAnCE0		D/Aコンバータ _n 0の動作許可/禁止制御					
	0	動作禁止						
	1	動作許可						
注意 ビット0-3, 6, 7には必ず0を設定してください。								

(a) D/Aコンバータ_nの動作

DAnCSyレジスタへのライト動作を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

初期設定としてDAnCSyレジスタにコンパレータ_nの基準電圧として出力するアナログ電圧値を設定します。

DAnM.DAnCEyビット = 1 (D/A変換動作許可) に設定します。

これによりD/A変換が開始します。

以降、D/A変換を行う場合は、DAnCSyレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

備考1. 兼用端子の設定は表4 - 16 **ポート端子を兼用端子として使用する場合**を参照してください。

2. n = 0, 1

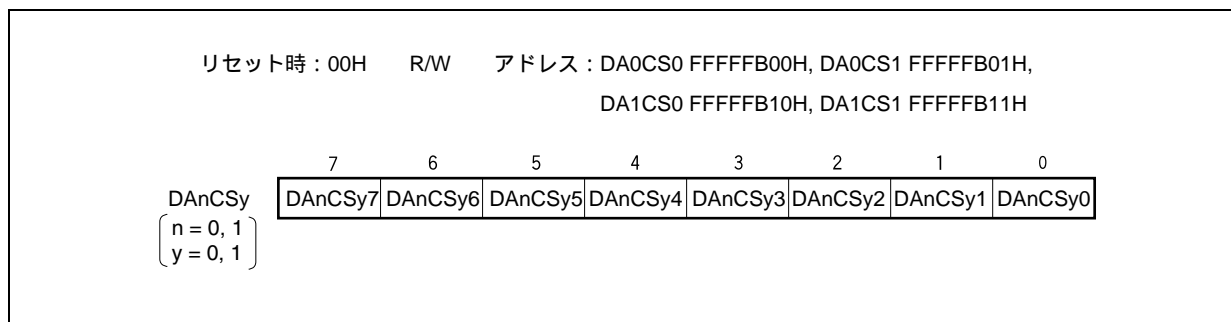
y = 0, 1

(24) D/Aコンバータ n 変換値設定レジスタ0, 1 (DAnCS0, DAnCS1)

コンパレータ n の基準電圧として出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。



12.4 動作

注意1. A/Dコンバータ0, 1は, 2回路同時サンプリングが可能です。

2. 動作設定の詳細については, 12.3(1) A/Dコンバータ n スキャン・モード・レジスタ (ADnSCM) を参照してください。

12.4.1 基本動作

A/D変換は次の手順で行います。

(1) ADnOCKSレジスタで入力クロック (f_{AD01}) を選択し, ADnOCKSENビット = 1 (A/Dコンバータ n の動作クロック供給許可) に設定します。

(2) ADnSCM.ADnPSビット = 1に設定します。

(3) (2) 後1 μ s以上の時間を確保します。

(4) アナログ入力端子の選択, 動作モードなどを, ADnSCM[※], ADnCTC, ADnCHEN, ADnCTL0, ADnTSEL, ADnCH1, ADnCH2, ADLTS1, ADLTS2レジスタで指定します ($n=0, 1$)。ADnCTC.ADnFR3-ADnFR0ビットの指定により, A/D変換クロック数, A/D変換時間が決まります。

注 ADnSCMレジスタのビット1には, 必ず1を設定してください。

この設定は, ADnSCMレジスタの他のビット設定と同時にできます。

(5) A/Dトリガ・モード, A/Dトリガ・ポーリング・モード時は, ADnSCM.ADnCEビットをセット(1)すると, A/D変換を開始します ($n=0, 1$)。ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時は, ADnCEビットをセット(1)すると, トリガ待機状態になります。

(6) A/D変換を開始すると選択されたアナログ入力チャンネルに入力されている電圧を, サンプル&ホールド回路でサンプリングします。入力レベル増幅用オペアンプを使用する場合は, OPnCTL0.OPnGA3-OPnGA0ビットで指定したゲイン数 \times 入力電圧をサンプリングします。

(7) 過電圧検出用コンパレータを使用する場合は, CMPnCTL0-CMPnCTL3, CMPNFCnL, CMPNFCnF, CMPOR, CMPOF, DAnM, DAnCS0, DAnCS1レジスタを設定します。

(8) 一定時間サンプリングを行うと, サンプル&ホールド回路はホールド状態となり, 入力されたアナログ電圧をA/D変換が終了するまで保持します。

(9) 逐次変換レジスタ (SAR) のビット11をセットし, タップ・セレクトはアレイの電圧タップをリファレンス電圧 ($1/2 AV_{REFn}$) にします。

(10) アレイの電圧タップから発生した電圧と、アナログ入力電圧をコンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REFPn}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットしたままです。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REFPn}$) より小さい場合には、SARレジスタのMSBをリセットします。

(11) 次に逐次変換レジスタ (SAR) のビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、アレイの電圧タップが選択されます。

ビット11 = 0 : ($1/4 AV_{REFPn}$)

ビット11 = 1 : ($3/4 AV_{REFPn}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット10 = 1

アナログ入力電圧 アレイの電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(12) 12ビットの比較が終了したとき、逐次変換レジスタ (SAR) には、有効なデジタル値の結果が残ります。A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モード、変換チャンネル指定モード時は、その値がA/Dn変換結果レジスタm ($ADnCRm$) に転送されて変換結果を格納します ($n = 0, 1$, $m = 0-15$)。拡張バッファ・モード時はその値がA/Dn変換結果拡張バッファ・レジスタaに格納され、選択ロード・トリガxの発生によりA/Dn変換結果拡張レジスタaにシフトされ格納されます ($x = 1, 2$, $a = 0-4$)。指定した回数のA/D変換が終了したとき、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。

12.4.2 入力電圧と変換結果

アナログ入力端子 (ANInk) に入力されたアナログ入力電圧とA/D変換結果 (A/Dn変換結果レジスタm (ADnCRm) またはA/Dn変換結果拡張レジスタa (ADnECRa)) には次式に示す関係があります。

$$\text{ADCR} = \text{INT} \left(\frac{V_{\text{IN}}}{AV_{\text{REFP}}} \times 4096 + 0.5 \right)$$

または,

$$\left(\text{ADCR} - 0.5 \right) \times \frac{AV_{\text{REFP}}}{4096} < V_{\text{IN}} < \left(\text{ADCR} + 0.5 \right) \times \frac{AV_{\text{REFP}}}{4096}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

AV_{REFP} : AV_{REFPn} 端子電圧

ADCR : A/Dn変換結果レジスタm (ADnCRm) の値, またはA/Dn変換結果拡張レジスタa (ADnECRa) の値

次にアナログ入力電圧とA/D変換結果の関係を示します。

備考 A/Dコンバータ0 : n = 0, m = 0-15, k = 0-3, 5-7, a = 0-4

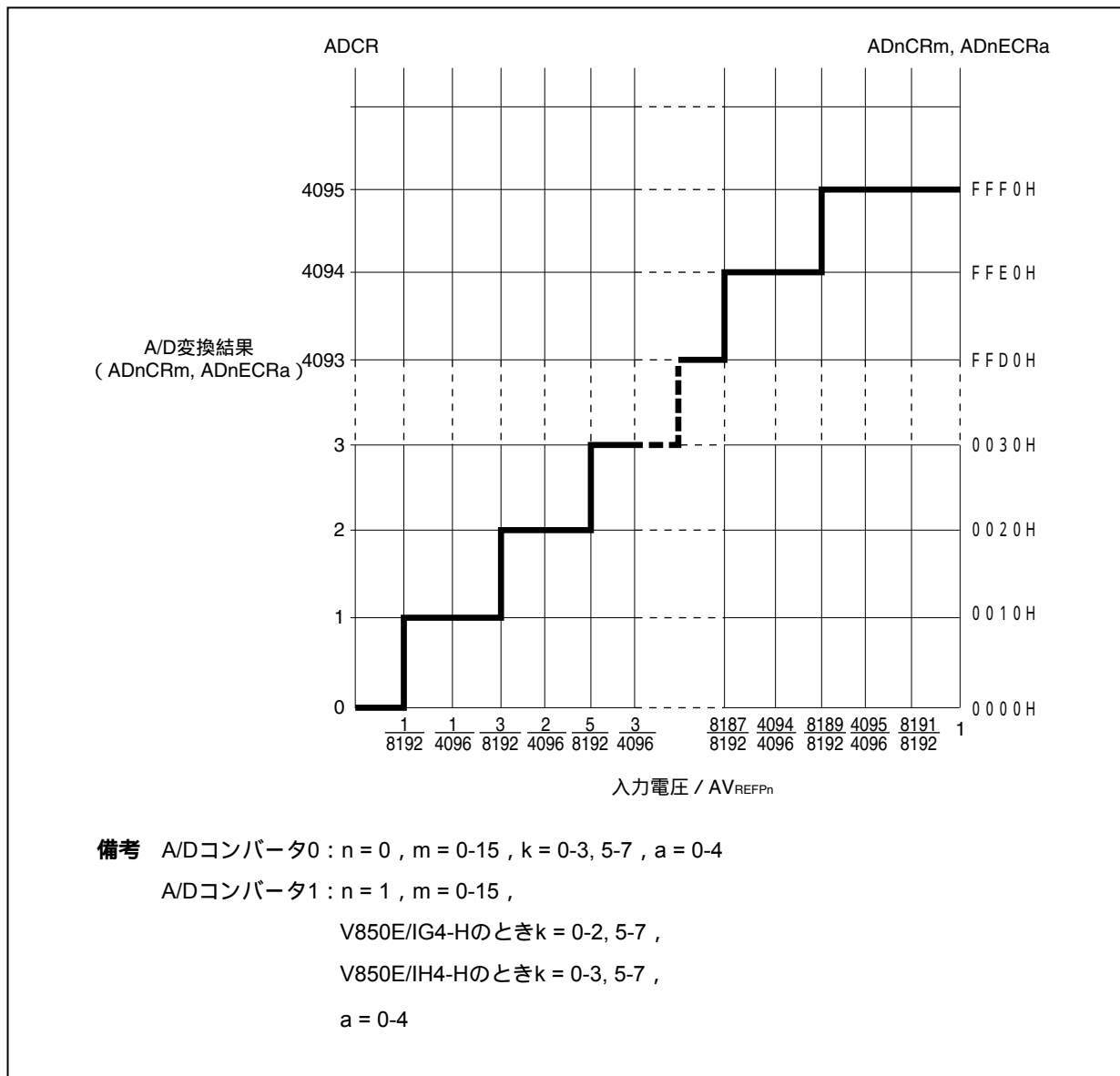
A/Dコンバータ1 : n = 1, m = 0-15,

V850E/IG4-Hのときk = 0-2, 5-7,

V850E/IH4-Hのときk = 0-3, 5-7,

a = 0-4

図12 - 11 アナログ入力電圧とA/D変換結果の関係

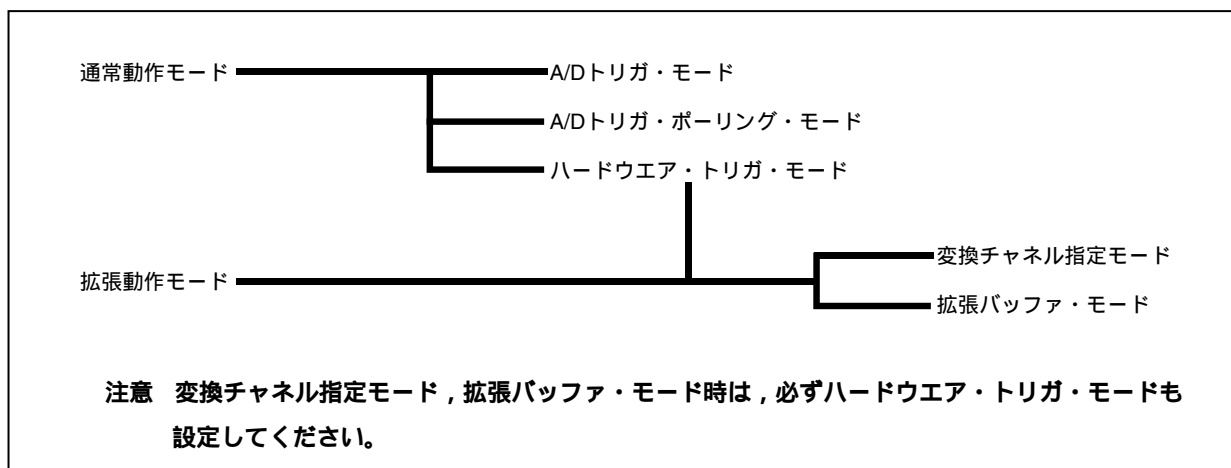


12.4.3 動作モード

A/Dコンバータ0, 1は、動作モードの指定により多彩な変換動作を指定できます。動作モードは、ADnSCM, ADnCTC, ADnCHEN, ADnCTL0, ADnTSEL, ADnCH1, ADnCH2, ADLTS1, ADLTS2, ADnOCKSレジスタで設定します。

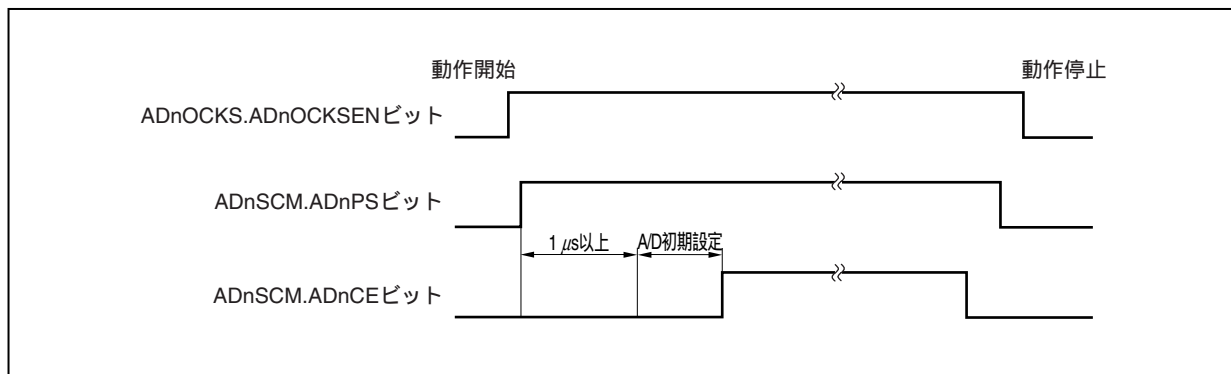
動作モードの関係を次に示します。

備考 n = 0, 1



12.4.4 動作設定

A/Dコンバータ0, 1の動作開始, 動作停止は次の手順で行ってください。



12.4.5 1チャンネル変換の動作

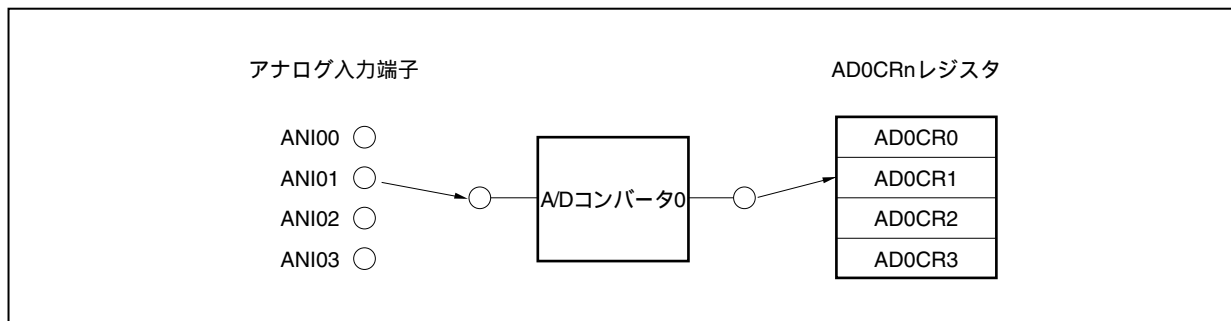
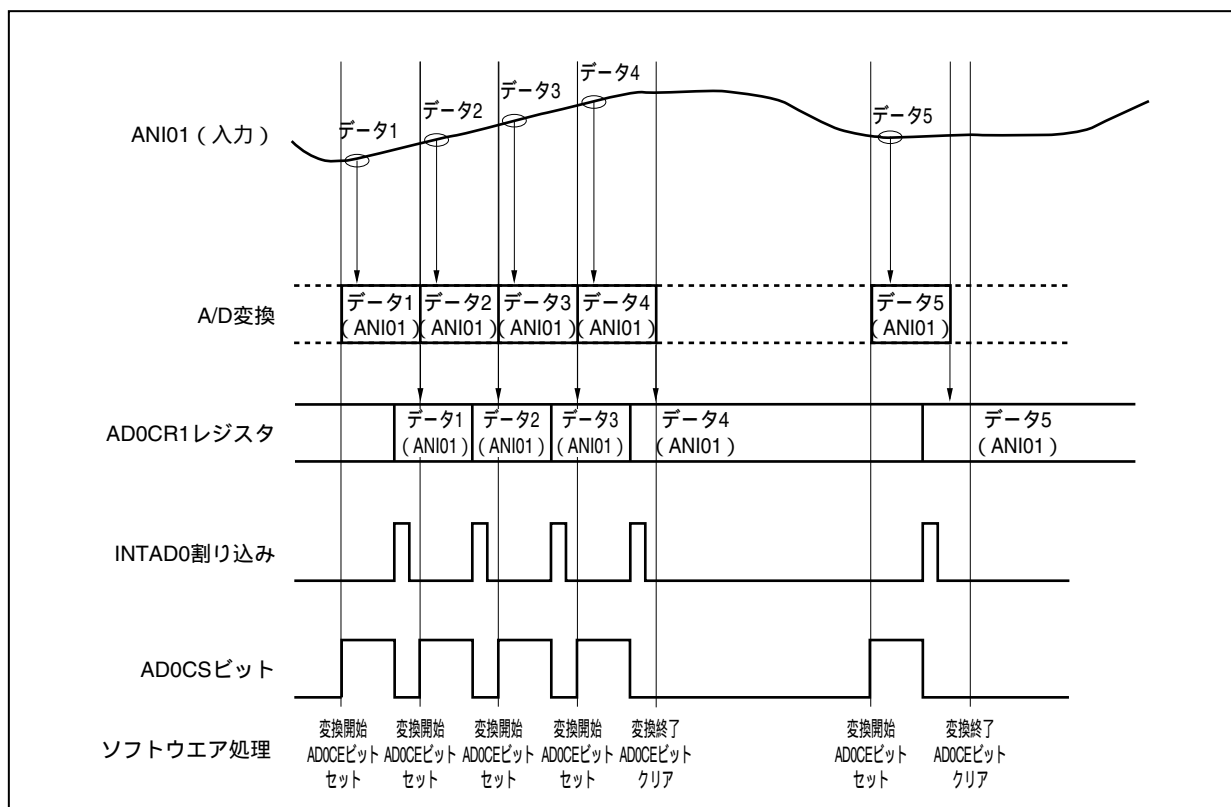
ADnCHENレジスタで指定される1つのアナログ入力端子 (ANInk) をA/D変換します。変換結果は, ANInk端子に対応したADnCRkレジスタに格納します。ANInk端子とADnCRkレジスタは1対1に対応しており, 1回の変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) が発生します。

A/D変換終了後は, A/Dトリガ・モード, A/Dトリガ・ポーリング・モード時は変換動作を停止し, ハードウェア・トリガ・モード時はトリガ待機状態になります。

備考 A/Dコンバータ0 : n = 0, k = 0-3, 5-7

A/Dコンバータ1 : n = 1, V850E/IG4-Hのときk = 0-2, 5-7, V850E/IH4-Hのときk = 0-3, 5-7

図12 - 12 1チャンネル変換の動作 (A/Dトリガ・モード時) : A/Dコンバータ0の場合



12. 4. 6 複数チャネル変換の動作

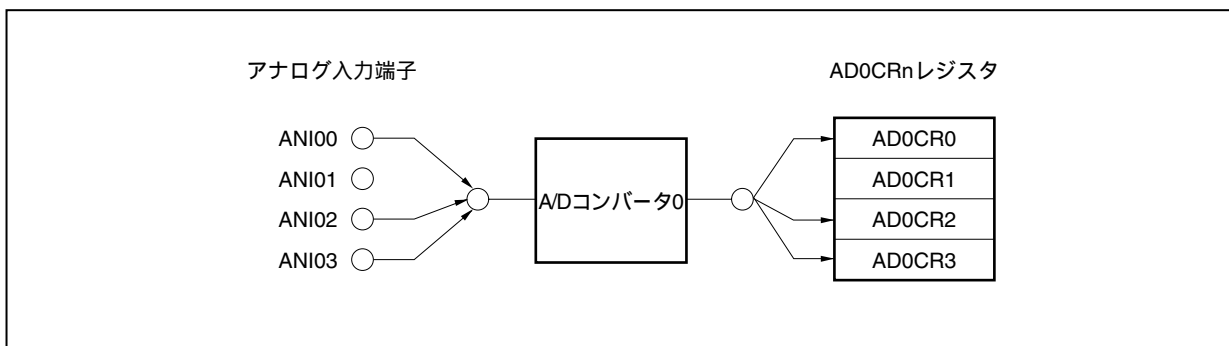
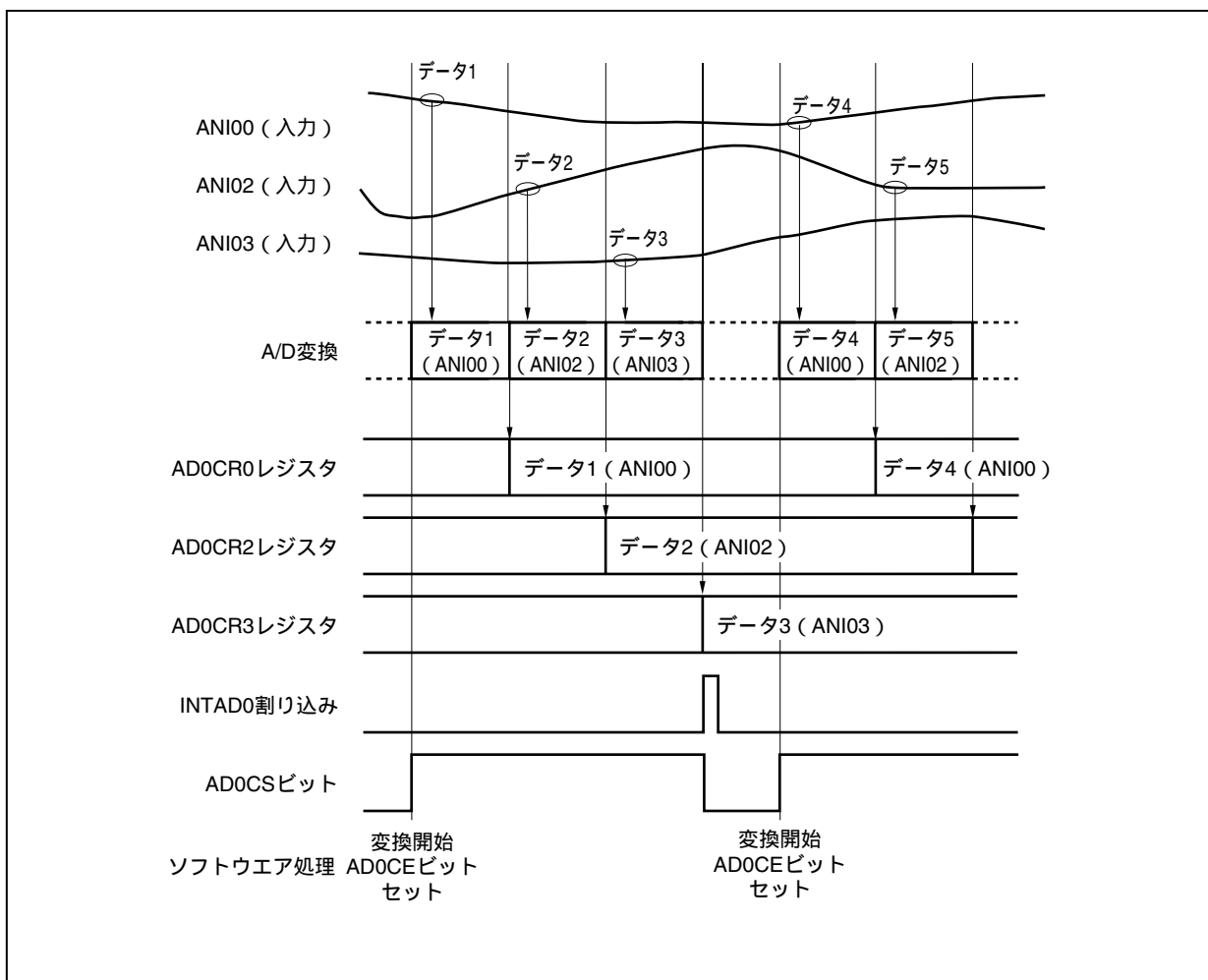
ADnCHENレジスタで指定される複数のアナログ入力端子 (ANInk) をA/D変換します。A/D変換は番号の小さいものから順番に連続して行います (図12 - 13の例ではANI00 ANI02 ANI03)。連続変換の途中で指定していないアナログ入力端子がある場合はスキップします。変換結果は, ANInk端子に対応したADnCRkレジスタに格納します。ANInk端子とADnCRkレジスタは1対1に対応しており, 指定したアナログ入力端子の変換が終了するとADn変換終了割り込み要求信号 (INTADn) が発生します。

A/D変換終了後は, A/Dトリガ・モード, A/Dトリガ・ポーリング・モード時は変換動作を停止し, ハードウェア・トリガ・モード時はトリガ待機状態になります。

備考 A/Dコンバータ0 : $n = 0$, $k = 0-3, 5-7$

A/Dコンバータ1 : $n = 1$, V850E/IG4-Hのとき $k = 0-2, 5-7$, V850E/IH4-Hのとき $k = 0-3, 5-7$

図12 - 13 複数チャンネル変換の動作 (A/Dトリガ・モード時) : A/Dコンバータ0の場合



12.4.7 A/Dトリガ・モード（通常動作モード）

ADnSCM.ADnCEビットをセット（1）すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCSビット = 1（変換動作中）となります。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

（1）1チャンネル変換の動作

1つのアナログ入力端子（ANInk）を1回A/D変換し、その結果を1つのADnCRkレジスタに格納します。

ANInk端子とADnCRkレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号（INTADn）を発生します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のまま変換動作を停止します。

ADnCEビットをセット（1）すると、A/D変換を再起動できます。

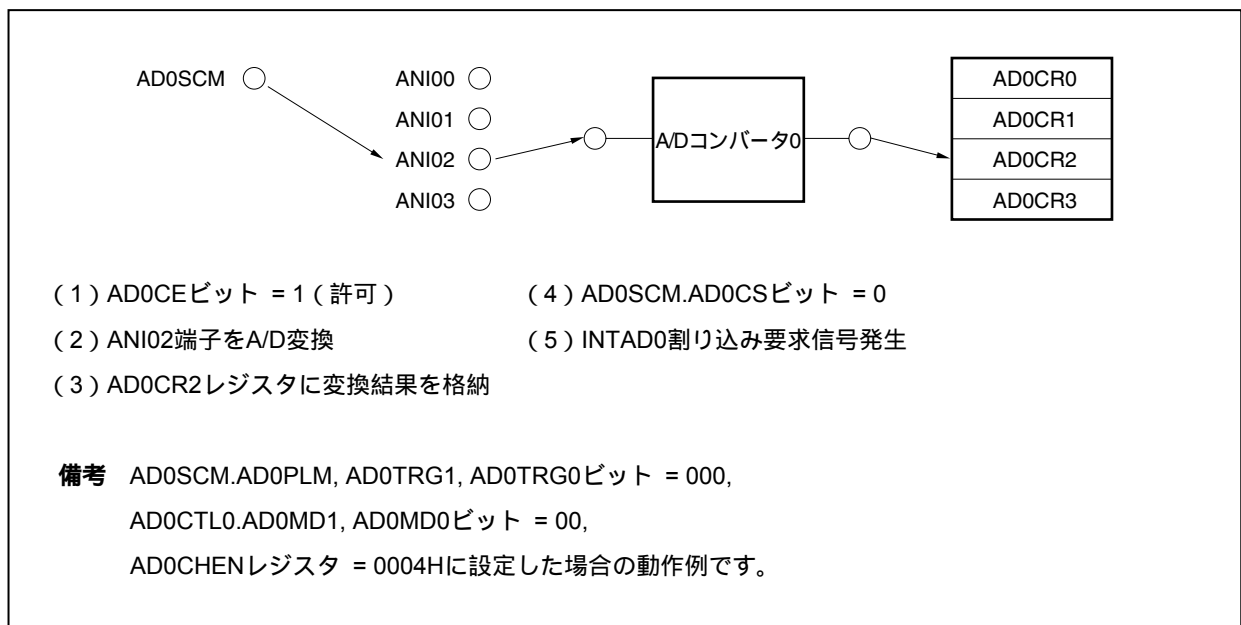
1回のA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk	ADnCRk

備考 A/Dコンバータ0：n = 0，k = 0-3, 5-7

A/Dコンバータ1：n = 1，V850E/IG4-Hのときk = 0-2, 5-7，V850E/IH4-Hのときk = 0-3, 5-7

図12 - 14 1チャンネル変換（A/Dトリガ・モード）の動作例：A/Dコンバータ0の場合



(2) 複数チャンネル変換の動作

ADnCHENレジスタで指定される複数のアナログ入力端子に対し、番号の小さいものから順番にアナログ入力端子を選択し、A/D変換を行います。その結果をアナログ入力端子に対応したADnCRkレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると、A/D変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のまま変換動作を停止します。

ADnCEビットをセット (1) すると、A/D変換を再起動できます。

複数のアナログ入力を監視するような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk ^注	ADnCRk
ANInk ^注	ADnCRk

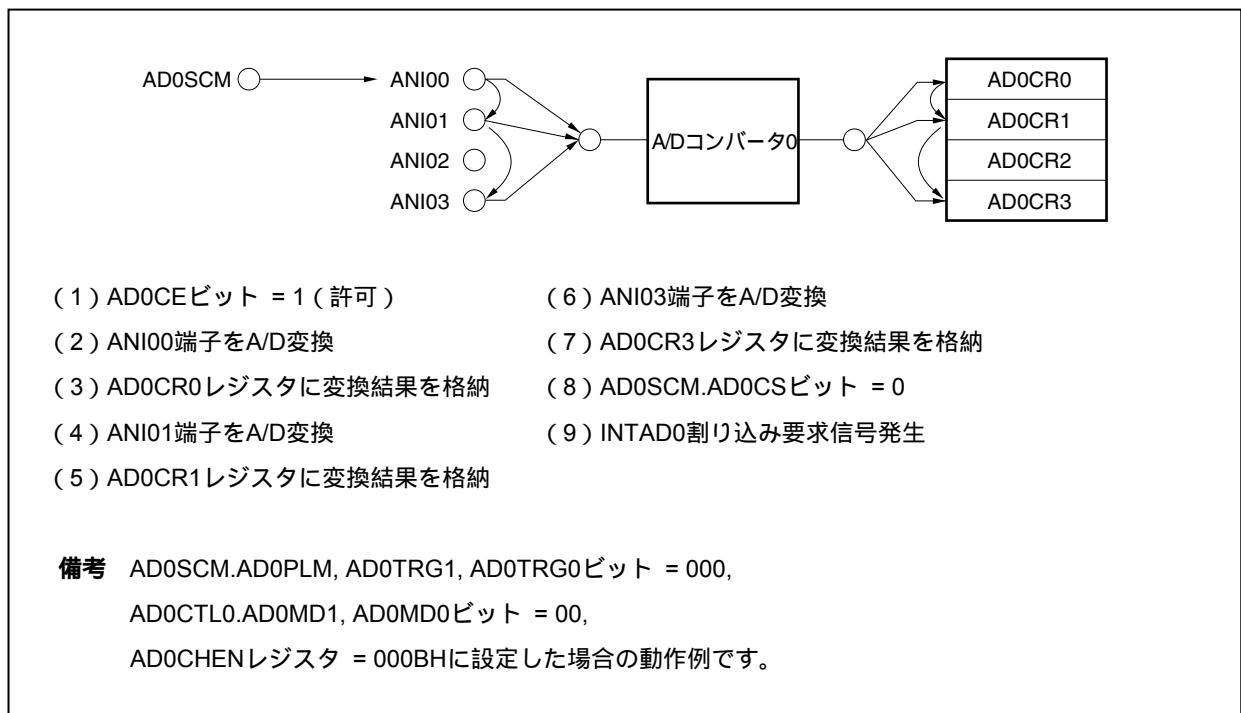
注 ADnCHENレジスタで複数設定可能です。

ただし、A/D変換は番号の小さいものから順番に行います。

備考 A/Dコンバータ0 : n = 0, k = 0-3, 5-7

A/Dコンバータ1 : n = 1, V850E/IG4-Hのときk = 0-2, 5-7, V850E/IH4-Hのときk = 0-3, 5-7

図12 - 15 複数チャンネル変換 (A/Dトリガ・モード) の動作例 : A/Dコンバータ0の場合



12.4.8 A/Dトリガ・ポーリング・モード（通常動作モード）

ADnSCM.ADnCEビットをセット（1）すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCSビット = 1（変換動作中）となります。

A/Dトリガ・ポーリング・モードでは、A/Dn変換終了割り込み要求信号（INTADn）発生後、A/D変換の再起動動作としてADnCEビットに1を書き込む必要がありません。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

（1）1チャンネル変換の動作

1つのアナログ入力端子（ANInk）を1回A/D変換し、その結果を1つのADnCRkレジスタに格納します。ANInk端子とADnCRkレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号（INTADn）を発生します。ADnSCM.ADnCEビットが0になるまでA/D変換を繰り返します。ADnCEビットをクリア（0）すると、変換動作を停止します。

A/D変換の再起動動作としてA/Dトリガ・ポーリング・モードでは、ADnCEビットをセット（1）する必要がありません。

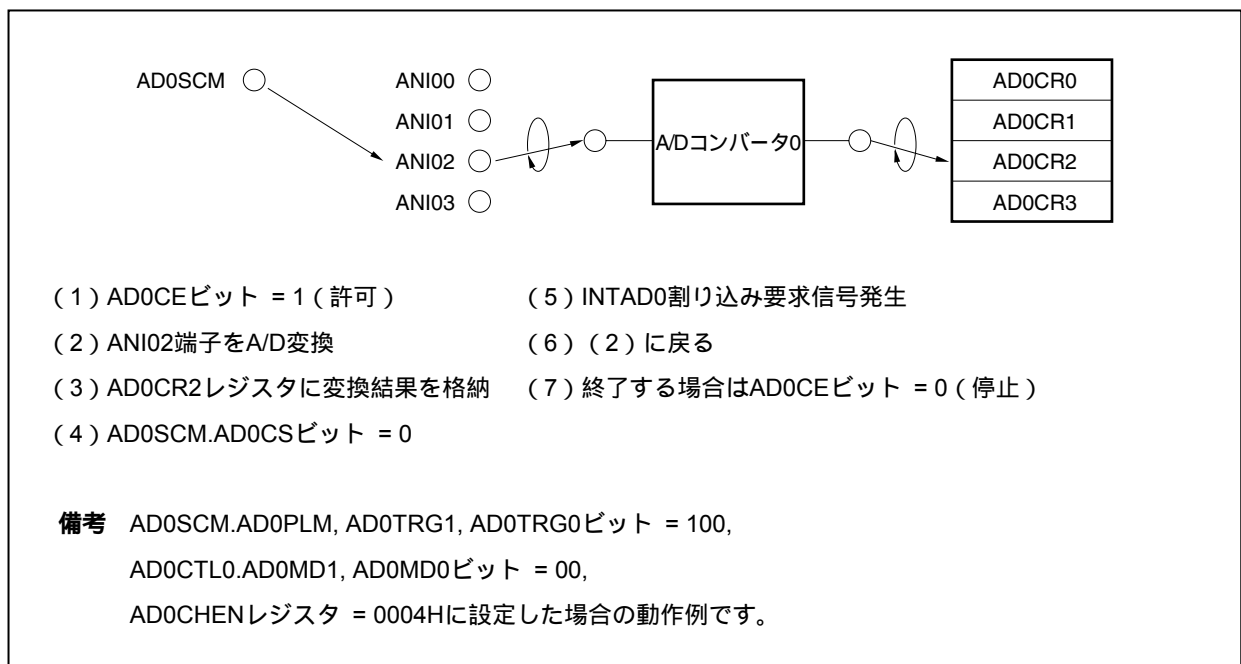
常時A/D変換値を読み出すような应用到に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk ^注	ADnCRk

備考 A/Dコンバータ0 : n = 0, k = 0-3, 5-7

A/Dコンバータ1 : n = 1, V850E/IG4-Hのときk = 0-2, 5-7, V850E/IH4-Hのときk = 0-3, 5-7

図12 - 16 1チャンネル変換（A/Dトリガ・ポーリング・モード）の動作例：A/Dコンバータ0の場合



(2) 複数チャネル変換の動作

ADnCHENレジスタで指定される複数のアナログ入力端子に対し、番号の小さいものから順番にアナログ入力端子を選択し、A/D変換を行います。その結果をアナログ入力端子に対応したADnCRkレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると、A/D変換終了割り込み要求信号 (INTADn) を発生します。ADnSCM.ADnCEビットが0になるまでA/D変換を繰り返します。ADnCEビットをクリア (0) すると、変換動作を停止します。

A/D変換の再起動動作としてA/Dトリガ・ポーリング・モードでは、ADnCEビットをセット (1) する必要があります。

常時A/D変換値を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk ^注	ADnCRk
ANInk ^注	ADnCRk

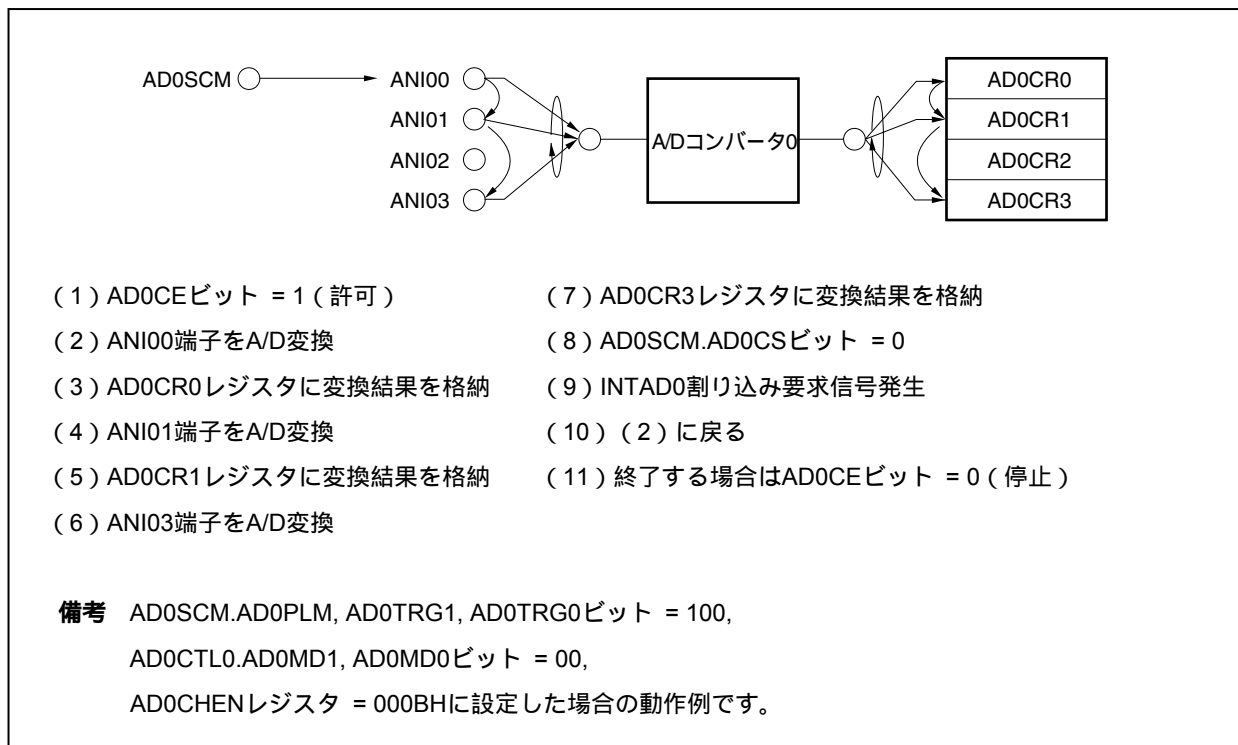
注 ADnCHENレジスタで複数設定可能です。

ただし、A/D変換は番号の小さいものから順番に行います。

備考 A/Dコンバータ0 : n = 0, k = 0-3, 5-7

A/Dコンバータ1 : n = 1, V850E/IG4-Hのときk = 0-2, 5-7, V850E/IH4-Hのときk = 0-3, 5-7

図12 - 17 複数チャネル変換 (A/Dトリガ・ポーリング・モード) の動作例 : A/Dコンバータ0の場合



12.4.9 ハードウェア・トリガ・モード (通常動作モード)

ADnSCM.ADnCE ビットをセット (1) すると, トリガ待機状態になり, ADnTSEL.ADnTRGSEL11, ADnTRGSEL10 ビットで指定したトリガが発生すると, A/D 変換を開始します。

A/D 変換が開始されると, ADnSCM.ADnCS ビット = 1 (変換動作中) となります。

また, A/D 変換動作中に ADnSCM レジスタに書き込みを行った場合には, A/D 変換は中断され, 再度トリガ待機状態になります。

(1) 1チャンネル変換の動作

ADnTSEL.ADnTRGSEL11, ADnTRGSEL10 ビットで指定した信号をトリガとして, 1つのアナログ入力端子 (ANInk) を1回A/D変換し, その結果を1つのADnCRkレジスタに格納します。ANInk端子とADnCRkレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, ADnSCM.ADnCE ビット = 1のままトリガ待機状態になります。

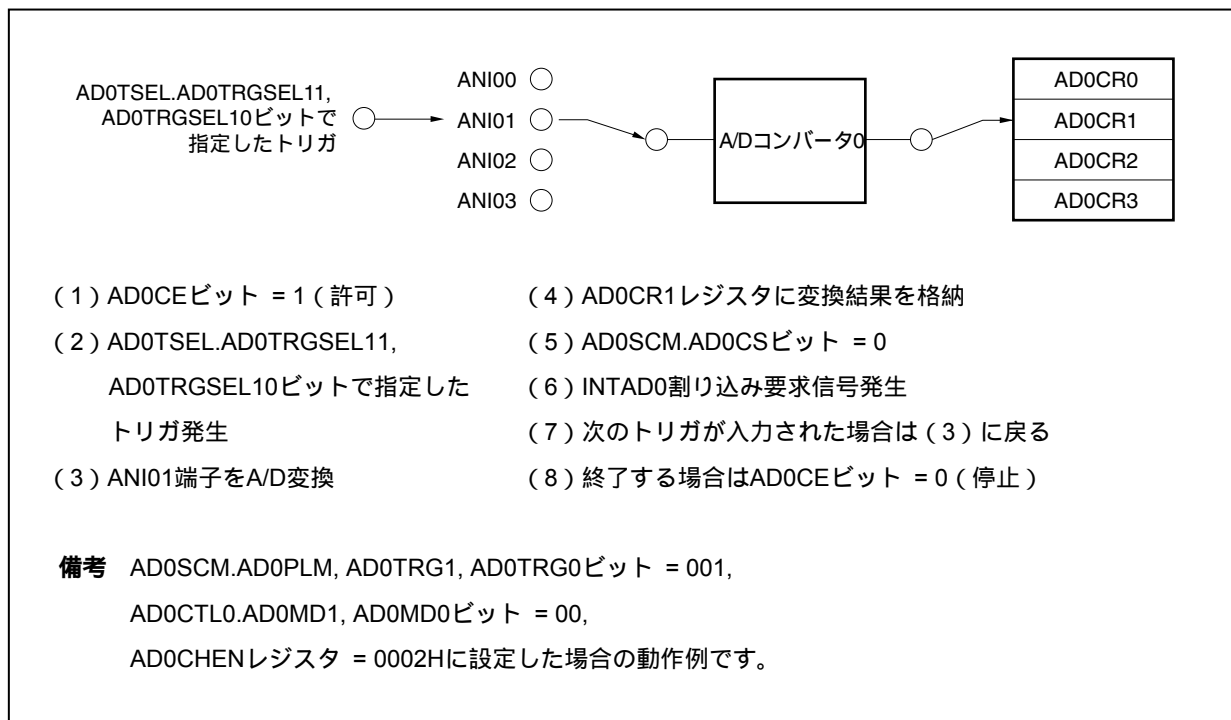
1回のトリガによるA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk	ADnCRk

備考 A/Dコンバータ0 : n = 0, k = 0-3, 5-7

A/Dコンバータ1 : n = 1, V850E/IG4-Hのときk = 0-2, 5-7, V850E/IH4-Hのときk = 0-3, 5-7

図12 - 18 1チャンネル変換 (ハードウェア・トリガ・モード) の動作例 : A/Dコンバータ0の場合



(2) 複数チャンネル変換の動作

ADnTSEL.ADnTRGSEL11, ADnTRGSEL10ビットで指定した信号をトリガとして, ADnCHENレジスタで指定される複数のアナログ入力端子に対し, 番号の小さいものから順番にアナログ入力端子を選択し, A/D変換を行います。その結果をアナログ入力端子に対応したADnCRkレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると, A/D変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, ADnSCM.ADnCEビット = 1のままトリガ待機状態になります。

複数のアナログ入力をトリガ・タイミングで監視するような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk ^注	ADnCRk
ANInk ^注	ADnCRk

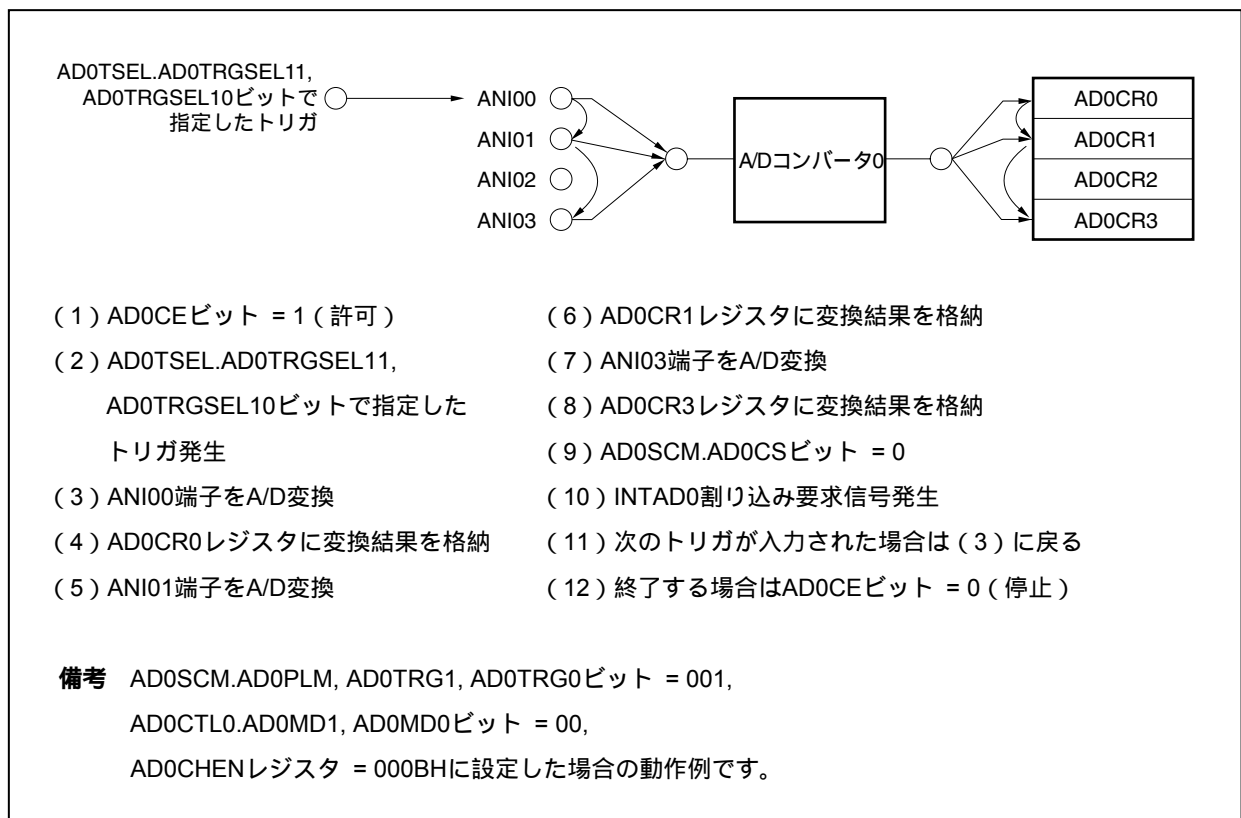
注 ADnCHENレジスタで複数設定可能です。

ただし, A/D変換は番号の小さいものから順番に行います。

備考 A/Dコンバータ0 : n = 0, k = 0-3, 5-7

A/Dコンバータ1 : n = 1, V850E/IG4-Hのときk = 0-2, 5-7, V850E/IH4-Hのときk = 0-3, 5-7

図12 - 19 複数チャンネル変換 (ハードウェア・トリガ・モード) の動作例 : A/Dコンバータ0の場合



12. 4. 10 変換チャンネル指定モード（拡張動作モード）

ADnSCM.ADnCE ビットをセット（1）すると、トリガ待機状態になり、ADnTSEL.ADnTRGSEL11, ADnTRGSEL10 ビットで指定した選択トリガ1が発生すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCS ビット = 1（変換動作中）となります。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

アナログ入力端子はADnCH1.ADnTRGCH12-ADnTRGCH10, ADnTRGCH16-ADnTRGCH14ビットで指定します。選択トリガ1が発生するごとに、ADnTRGCH12-ADnTRGCH10ビット, ADnTRGCH16-ADnTRGCH14ビットの順番で指定したアナログ入力端子を切り替えます。

選択トリガ1をトリガとして、指定したアナログ入力端子をADnCHENレジスタで設定した回数分（最大16回）A/D変換し、その結果をADnCHENレジスタで設定したADnCRmレジスタに格納します。変換結果はADnCR0から順番に格納します。

ADnCHENレジスタで設定した回数分（最大16回）のアナログ入力端子の変換をすべて終了すると、A/Dn変換終了割り込み要求信号（INTADn）を発生します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のままトリガ待機状態になります。

複数のアナログ入力を監視するような応用に最適です。

選択トリガ	アナログ入力端子	A/D変換結果拡張レジスタ
選択トリガ1	ANInx ^{注1}	ADnCR0 ^{注3}
	ANInx ^{注1}	
	ANInx ^{注1}	ADnCRm ^{注3}
選択トリガ2	ANIny ^{注2}	ADnCR0 ^{注3}
	ANIny ^{注2}	
	ANIny ^{注2}	ADnCRm ^{注3}

注1. ADnCH1.ADnTRGCH12-ADnTRGCH10ビットで設定

2. ADnCH1. ADnTRGCH16-ADnTRGCH14ビットで設定

3. ADnCHENレジスタで複数設定可能です。

注意1. 変換チャンネル指定モードは、必ずハードウェア・トリガ・モードを設定してください。

2. ADnCHENレジスタの設定は必ず下位ビットの下詰めで設定してください。下詰めでない設定は禁止です。

3. ADnCH2レジスタの設定は無効です。

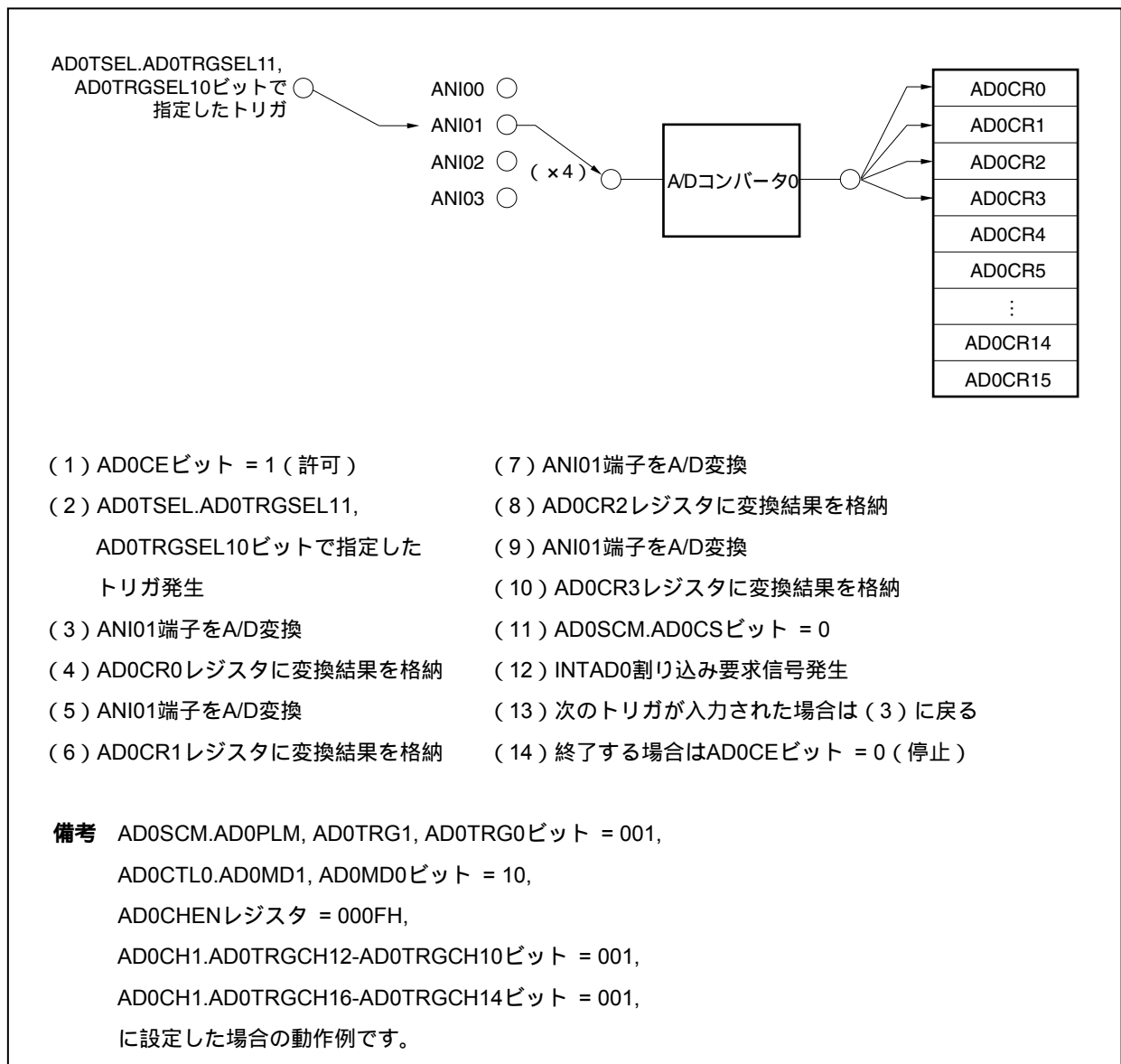
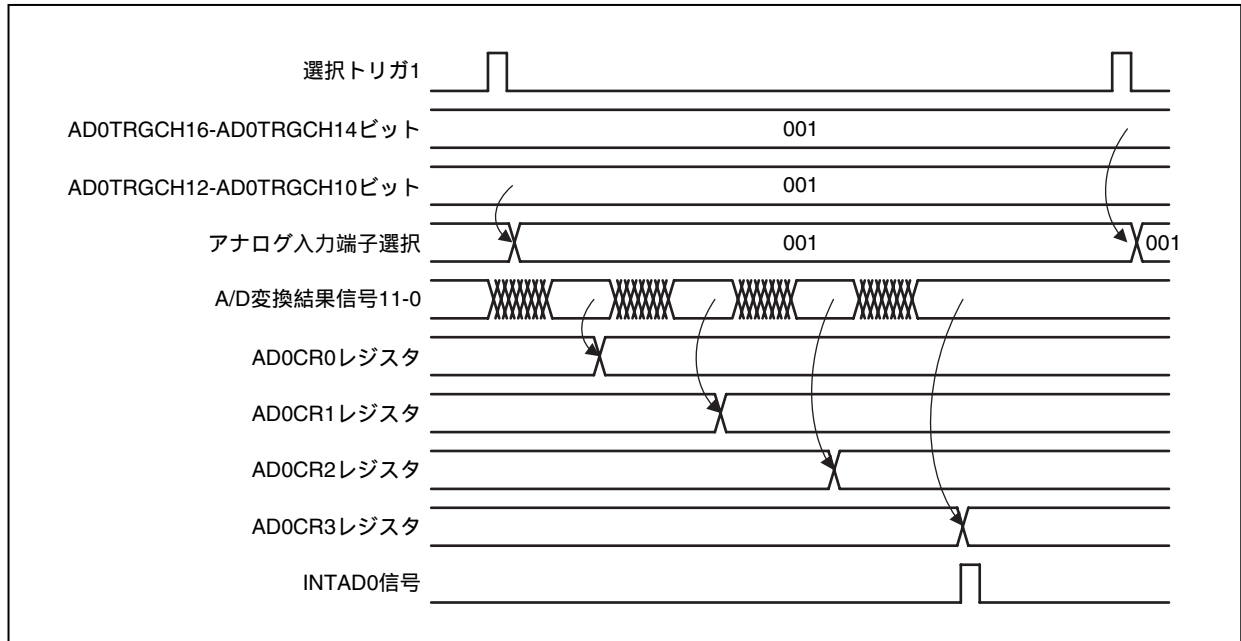
4. ADnECRa, ADnECRaH, ADnFLG, ADnFLGBレジスタは使用しません。リードした場合は0000Hおよび00Hが読み出せます。

5. A/D変換動作中に、選択トリガ1が発生した場合は無視されます。次の選択トリガ1はA/D変換終了後（INTADn信号発生後）に発生したトリガに対して受け付けます。

備考 A/Dコンバータ0 : n = 0, k = 0-3, 5-7, m = 0-15

A/Dコンバータ1 : n = 1, V850E/IG4-Hのときk = 0-2, 5-7, V850E/IH4-Hのときk = 0-3, 5-7, m = 0-15

図12 - 20 変換チャネル指定モードの動作例：A/Dコンバータ0の場合



12. 4. 11 拡張バッファ・モード (拡張動作モード)

ADnSCM.ADnCE ビットをセット (1) すると、トリガ待機状態になり、ADnTSEL.ADnTRGSEL11, ADnTRGSEL10 ビットで指定した選択トリガ1, またはADnTSEL.ADnTRGSEL21, ADnTRGSEL20 ビットで指定した選択トリガ2が発生すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCSビット = 1 (変換動作中) となります。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

選択トリガxに対するアナログ入力端子は、ADnCHx.ADnTRGCHx2-ADnTRGCHx0 ビットおよびADnCHx.ADnTRGCHx6-ADnTRGCHx4 ビットで指定します。選択トリガxが発生するごとに、ADnTRGCHx2-ADnTRGCHx0 ビット, ADnTRGCHx6-ADnTRGCHx4 ビットの順番で指定したアナログ入力端子を切り替えます。

選択トリガ1をトリガとしたA/D変換は、まず1回目のトリガの発生でADnTRGCH12-ADnTRGCH10ビットで指定したアナログ入力端子をA/D変換し、その結果をA/Dn変換結果拡張バッファ・レジスタ0に格納し、A/Dn変換終了割り込み要求信号(INTADn)を発生します。次に2回目のトリガの発生でADnTRGCH16-ADnTRGCH14ビットで指定したアナログ入力端子をA/D変換し、その結果をA/Dn変換結果拡張バッファ・レジスタ0に格納し、同時に1回目に格納したA/Dn変換結果拡張バッファ・レジスタ0の値をA/Dn変換結果拡張バッファ・レジスタ1に格納し、INTADn割り込み要求信号を発生します。選択トリガ1をトリガとしたA/D変換では、A/Dn変換結果拡張バッファ・レジスタ0-2の最大3つを使用できます。その後、選択ロード・トリガ1が発生すると、A/Dn変換結果拡張バッファ・レジスタ0-2の値をADnECR0-ADnECR2レジスタに転送します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のままトリガ待機状態になります。

選択トリガ2をトリガとしたA/D変換は、まず1回目のトリガの発生でADnTRGCH22-ADnTRGCH20ビットで指定したアナログ入力端子をA/D変換し、その結果をA/Dn変換結果拡張バッファ・レジスタ3に格納し、A/Dn変換終了割り込み要求信号(INTADn)を発生します。次に2回目のトリガの発生でADnTRGCH26-ADnTRGCH24ビットで指定したアナログ入力端子をA/D変換し、その結果をA/Dn変換結果拡張バッファ・レジスタ4に格納し、同時に1回目に格納したA/Dn変換結果拡張バッファ・レジスタ3の値をA/Dn変換結果拡張バッファ・レジスタ4に格納し、INTADn割り込み要求信号を発生します。選択トリガ2をトリガとしたA/D変換では、A/Dn変換結果拡張バッファ・レジスタ3, 4の最大2つを使用できます。その後、選択ロード・トリガ2が発生すると、A/Dn変換結果拡張バッファ・レジスタ3, 4の値をADnECR3, ADnECR4レジスタに転送し格納します。A/D変換終了後は、ADnCEビット = 1のままトリガ待機状態になります。

したがって、ADnECR0-ADnECR4レジスタをまとめてRAMに退避することができます。

変換結果を退避する時間が少なく複数のアナログ入力を複数のトリガ・タイミングで監視するような応用に最適です。

選択トリガ	アナログ入力端子	A/D変換結果拡張レジスタ
選択トリガ1	ANInx ^{注1}	ADnECR0-ADnECR2
選択トリガ1	ANIny ^{注2}	ADnECR0, ADnECR1
選択トリガ1	ANInx ^{注1}	ADnECR0
選択トリガ2	ANIns ^{注3}	ADnECR3, ADnECR4
選択トリガ2	ANInt ^{注4}	ADnECR3

注1. ADnCH1.ADnTRGCH12-ADnTRGCH10ビットで設定

2. ADnCH1. ADnTRGCH16-ADnTRGCH14ビットで設定

3. ADnCH2.ADnTRGCH22-ADnTRGCH20ビットで設定

4. ADnCH2. ADnTRGCH26-ADnTRGCH24ビットで設定

- 注意1. 拡張バッファ・モード時は、必ずハードウェア・トリガ・モード、ADnCHENレジスタ = 0001H に設定してください。
2. 変換結果はADnECRaレジスタに格納されます。なお、ADnCRmレジスタの値は不定となります。

備考 n = 0, 1
 a = 0-4
 m = 1, 2

図12 - 21 拡張バッファ・モード時のブロック図

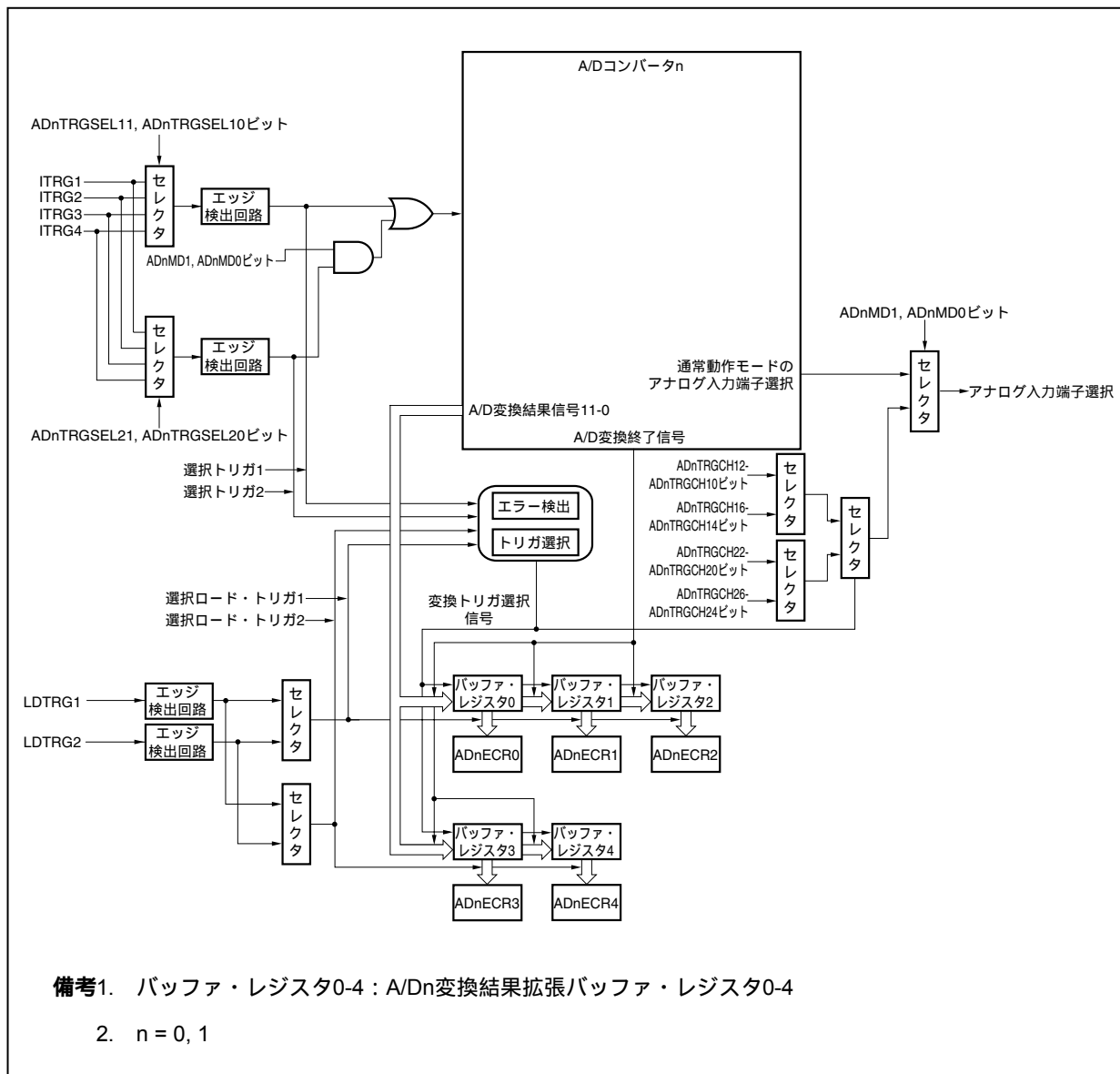


図12 - 22 拡張バッファ・モードの動作例：A/Dコンバータ0の場合（1/2）



- 備考1. バッファ・レジスタ0-4：A/Dn変換結果拡張バッファ・レジスタ0-4
 2. R0-R6：変換結果
 3. n = 0, 1

図12 - 22 拡張バッファ・モードの動作例：A/Dコンバータ0の場合 (2/2)

- | | |
|--------------------------|-------------------------------|
| (1) AD0CEビット = 1 (許可) | (24) 選択ロード・トリガ1発生 |
| (2) 選択トリガ2発生 | (25) バッファ・レジスタ0-2 |
| (3) ANI02端子をA/D変換 | AD0ECR0-AD0ECR2にシフト |
| (4) バッファ・レジスタ3に変換結果を格納 | (26) AD0SCM.AD0CSビット = 0 |
| (5) AD0SCM.AD0CSビット = 0 | (27) 選択トリガ2発生 |
| (6) INTAD0割り込み要求信号発生 | (28) ANI01端子をA/D変換 |
| (7) 選択トリガ1発生 | (29) バッファ・レジスタ3 |
| (8) ANI00端子をA/D変換 | バッファ・レジスタ4にシフト |
| (9) バッファ・レジスタ0に変換結果を格納 | (30) バッファ・レジスタ3に変換結果を格納 |
| (10) AD0SCM.AD0CSビット = 0 | (31) AD0SCM.AD0CSビット = 0 |
| (11) INTAD0割り込み要求信号発生 | (32) INTAD0割り込み要求信号発生 |
| (12) 選択トリガ1発生 | (33) 選択トリガ1発生 |
| (13) ANI03端子をA/D変換 | (34) ANI03端子をA/D変換 |
| (14) バッファ・レジスタ0 | (35) バッファ・レジスタ0 バッファ・レジスタ1 |
| バッファ・レジスタ1にシフト | バッファ・レジスタ2にシフト |
| (15) バッファ・レジスタ0に変換結果を格納 | (36) バッファ・レジスタ0に変換結果を格納 |
| (16) AD0SCM.AD0CSビット = 0 | (37) AD0SCM.AD0CSビット = 0 |
| (17) INTAD0割り込み要求信号発生 | (38) INTAD0割り込み要求信号発生 |
| (18) 選択トリガ1発生 | (39) 選択ロード・トリガ2発生 |
| (19) ANI00端子をA/D変換 | (40) バッファ・レジスタ3, 4 |
| (20) バッファ・レジスタ0 | AD0ECR3, AD0ECR4レジスタにシフト |
| バッファ・レジスタ1 | (41) AD0SCM.AD0CSビット = 0 |
| バッファ・レジスタ2にシフト | (42) 次のトリガが入力された場合はそのトリガに準じた |
| (21) バッファ・レジスタ0に変換結果を格納 | 動作を行う |
| (22) AD0SCM.AD0CSビット = 0 | (43) 終了する場合はADnCEビット = 0 (停止) |
| (23) INTAD0割り込み要求信号発生 | |

(1) エラー検出機能

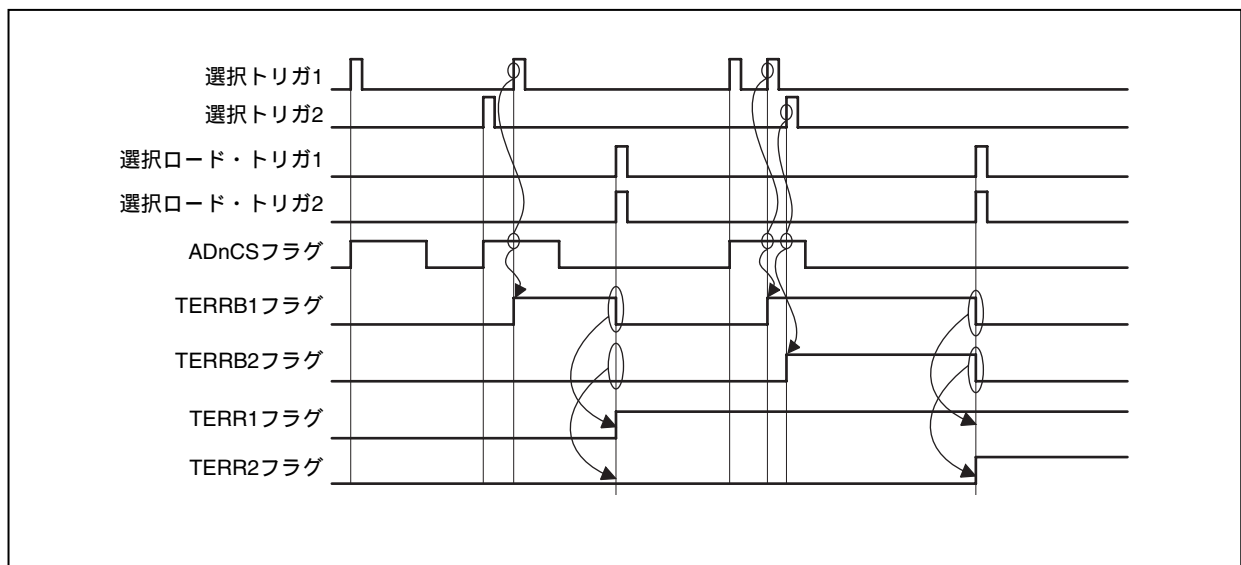
拡張バッファ・モードには、エラー検出機能があります。A/D変換中にトリガ（選択トリガ1、選択トリガ2、選択ロード・トリガ1、選択ロード・トリガ2）が発生すると、エラー状態になります。エラーの検出は、ADnFLG.ADnTERR2, ADnTERR1フラグ、ADnFLGB.ADnTERRB2, ADnTERRB1フラグで行います。

- 注意1. 選択トリガ1、選択トリガ2、選択ロード・トリガ1、選択ロード・トリガ2は、非同期信号であるITRG1-ITRG4, LDTRG1, LDTRG2信号を同期化したタイミングです。入力するタイミングが同じに見えても、非同期信号の同期化処理を行うため、同時性は保証できません。
2. 選択トリガ1または選択トリガ2が発生してから最大2.5基本クロック (f_{AD01}) の期間は、再度選択トリガ1または選択トリガ2が発生しても無視されます（エラーも発生しない）。

(a) A/D変換中の選択トリガ1、選択トリガ2の発生によるエラー検出

A/D変換中に選択トリガ1が発生すると、ADnFLGB.ADnTERRB1フラグはセット(1)され、選択トリガ1によるA/D変換は無視されます。次に選択ロード・トリガ1が発生するとADnTERRB1フラグの値をADnFLG.ADnTERR1フラグに格納します。

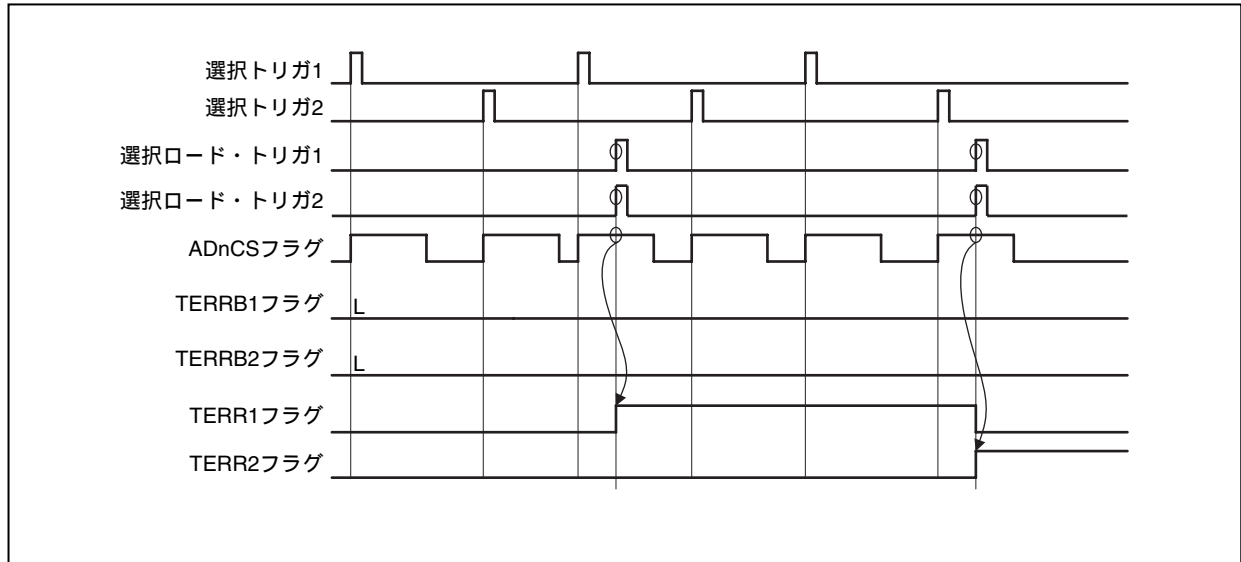
同様に、A/D変換中に選択トリガ2が発生すると、ADnFLGB.ADnTERRB2フラグはセット(1)され、選択トリガ2によるA/D変換は無視されます。次に選択ロード・トリガ2が発生するとADnTERRB2フラグの値をADnFLG.ADnTERR2フラグに格納します。



(b) A/D変換中の選択ロード・トリガ1, 選択ロード・トリガ2の発生によるエラー検出

選択トリガ1をトリガとしたA/D変換中に選択ロード・トリガ1が発生すると, ADnFLG.ADnTERR1フラグはセット(1)されます。なお, A/D変換, ロード動作は正常に行われます。

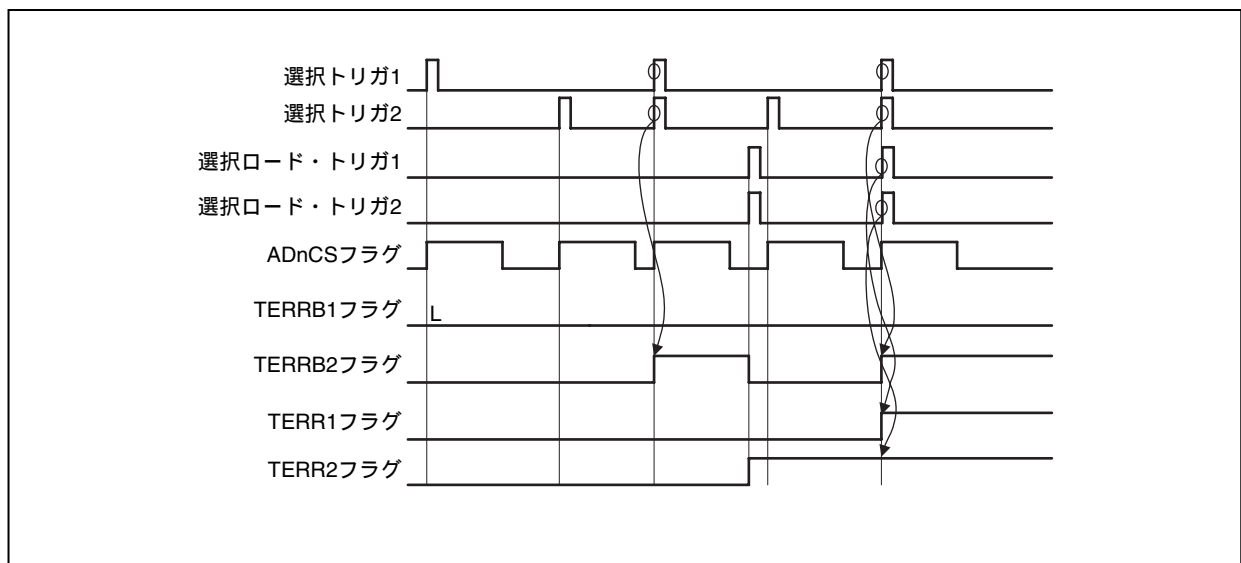
同様に, 選択トリガ2をトリガとしたA/D変換中に選択ロード・トリガ2が発生すると, ADnTERR2フラグはセット(1)されます。なお, A/D変換, ロード動作は正常に行われます。



(c) 選択トリガ1と選択トリガ2の同時発生, および選択トリガ1, 選択トリガ2, 選択ロード・トリガ1, 選択ロード・トリガ2の同時発生によるエラー検出

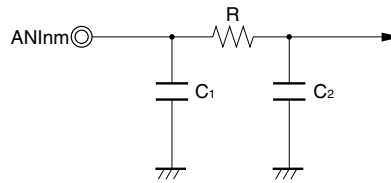
選択トリガ1と選択トリガ2が同時に発生すると, 選択トリガ1をトリガとしたA/D変換を開始し, 選択トリガ2は無視されるため, ADnFLGB.ADnTERRB2フラグはセット(1)されます。

選択トリガ1, 選択トリガ2, 選択ロード・トリガ1, 選択ロード・トリガ2が同時に発生すると, ADnFLGB.ADnTERRB2, ADnFLG.ADnTERR1, ADnTERR2フラグはセット(1)されます。なお, 選択トリガ1によるA/D変換および選択ロード・トリガ1, 選択ロード・トリガ2のロード動作は正常に行われます。選択トリガ2は無視されます。



12.5 内部等価回路

アナログ入力部の等価回路を次に示します。



R	C ₁	C ₂
5.1 kΩ	15 pF	3.9 pF

備考1. 値はMAX.値（参考値）です。

2. V850E/IG4-H : n = 0, 1, n = 0のとき m = 0-3, 5-7, n = 1のとき m = 0-2, 5-7
 V850E/IH4-H : n = 0, 1, m = 0-3, 5-7

ADnCTCレジスタ				A/D変換クロック数 (f _{AD01})	サンプリング・クロック数 (f _{AD01})
ADnFR3 ビット	ADnFR2 ビット	ADnFR1 ビット	ADnFR0 ビット		
0	0	0	0	89	69.5
0	0	0	1	88	68.5
0	0	1	0	57	37.5
0	0	1	1	56	36.5
0	1	0	0	41	21.5
0	1	0	1	40	20.5
0	1	1	0	35	15.5
0	1	1	1	34	14.5
1	0	0	0	34	14.5
1	0	0	1	33	13.5
1	0	1	0	33	13.5
1	0	1	1	32	12.5
1	1	0	0	32	12.5
1	1	0	1	31	11.5
1	1	1	0	31	11.5
1	1	1	1	30	10.5

12.6 注意事項

12.6.1 変換動作の停止

変換動作中にADnSCM.ADnCEビットに0を書き込むと変換動作を停止します。そのときのA/Dn変換結果レジスタm (ADnCRm), A/Dn変換結果拡張レジスタa (ADnECRa) への変換結果は不定です。そのため、A/D変換結果の読み出しは、A/D変換終了 (A/Dn変換終了割り込み要求信号 (INTADn)) 後に行い、その後、必要に応じてADnCEビットに0を書き込んでください。

なお、ADnCEビットはすべてのモードでINTADn信号が発生したあともクリア (0) されません。

備考 n = 0, 1
m = 0-15

12.6.2 ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時の変換動作中のトリガのインターバル

ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時, 変換動作中のトリガ入力は無視されます。そのため、ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時のトリガのインターバル (入力時間の間隔) は, ADnCTC.ADnFR3-ADnFR0ビットで指定するA/D変換時間よりも長くしてください (表12-2 A/D変換クロック数とA/D変換時間参照)。

備考 n = 0, 1

12.6.3 ADnSCMレジスタへの書き込み

(1) A/D変換の再起動動作

A/D変換を再起動する場合は, ADnSCMレジスタは同値書き込みしてください。ADnPLM, ADnTRG1, ADnTRG0ビットを変更する場合は, 必ずADnCEビット = 0にしてから行ってください。

(2) A/D変換終了とADnSCMレジスタへの書き込みの競合

A/D変換動作中にA/D変換終了とADnSCMレジスタへの書き込みが競合した場合, A/Dn変換終了割り込み要求信号 (INTADn) が発生したときは正常に変換結果がADnCRm, ADnECRaレジスタに格納されます。INTADn信号が発生しなかったときはA/D変換動作が中断しているので, 前回の変換結果がADnCRm, ADnECRaレジスタに保持されています。

(3) ADnSCMレジスタへの連続書き込み

変換動作許可 (ADnCEビット = 1) 時にADnSCMレジスタへの連続書き込みをする場合は, 必ず5基本クロック (f_{AD01}) 以上時間を確保してください。

なお, ADnCEビット = 0時にADnSCMレジスタへ書き込み後, ADnCEビットを1に設定する場合は, 連続書き込み可能です。

備考 n = 0, 1

12. 6. 4 A/D変換開始タイミング

変換チャンネル指定モード, 拡張バッファ・モードは, 通常動作モードに比べて最大1.5基本クロック (f_{AD01}) 分A/D変換開始タイミングが遅れます。

12. 6. 5 スタンバイ・モード時の動作

(1) HALTモード

A/D変換動作を継続します。マスクされていないマスカブル割り込み要求信号でHALTモードを解除した場合, ADnSCM, ADnCRm, ADnECRaレジスタの値は保持されます。

(2) IDLEモード, STOPモード

A/Dコンバータ0, 1へのクロック供給が止まるため, 変換動作は行われません。

IDLEモード, STOPモード移行時は, 必ずADnSCM.ADnCEビット = 0にしてください。また, このとき, A/Dパワー・セーブ・モード (ADnSCM.ADnPSビット = 0) に設定することを推奨します。

備考 n = 0, 1
m = 0-15

12. 6. 6 変換チャンネル指定モード, 拡張バッファ・モード時のトリガの受け付けタイミング

変換チャンネル指定モード, 拡張バッファ・モード時は, 選択トリガ1または選択トリガ2の発生によりA/D変換を開始してからA/Dn変換終了割り込み要求信号 (INTADn) が発生するまでは, 再度選択トリガ1または選択トリガ2が発生しても無視されます。なお, 拡張バッファ・モードではこの期間中に選択トリガ1, 選択トリガ2, 選択ロード・トリガ1, 選択ロード・トリガ2が発生するとエラー条件に従いエラー・フラグをセット (1) します (ただし, 12. 4. 11 (1) エラー検出機能の注意2の場合は除きます)。

備考 n = 0, 1

12. 6. 7 A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は, A/D変換結果の平均値をとるなど, プログラムで対策してください。

12. 6. 8 A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このためアナログ入力源の出カインピーダンスが高いと次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、アナログ入力源の出カインピーダンスを低くするか、または同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

12. 6. 9 連続変換時のA/D変換トリガ間隔

連続変換時のA/D変換トリガ間隔は、次に示す最小トリガ間隔時間以上確保してから次のトリガを入力してください。この条件を満たさない場合は、トリガは無効となります（保留されません）。

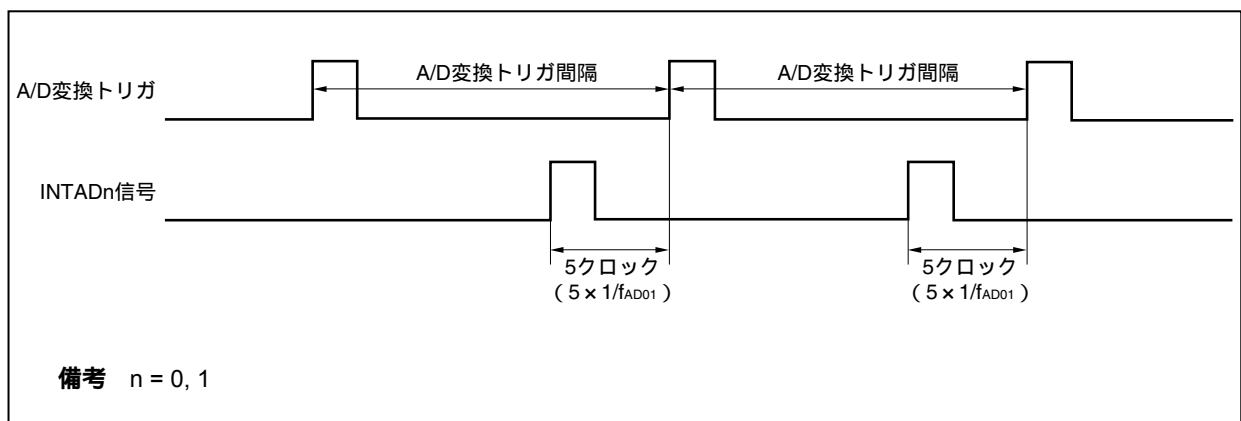
最小トリガ間隔クロック数 = A/D変換クロック数 + 5クロック

最小トリガ間隔時間 = 最小トリガ間隔クロック数 × $1/f_{AD01}$

【例】 $f_{AD01} = 10 \text{ MHz}$, A/D変換時間 = $3.2 \mu\text{s}$, A/D変換クロック数 = 32クロック

最小トリガ間隔クロック数 = $32 + 5 = 37$

最小トリガ間隔時間 = $37 \times 1/10 = 3.7 [\mu\text{s}]$



12.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REFPn} - 0) / 100 \\ &= AV_{REFPn} / 100 \end{aligned}$$

分解能12ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{12} = 1/4096 \\ &= 0.024\%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

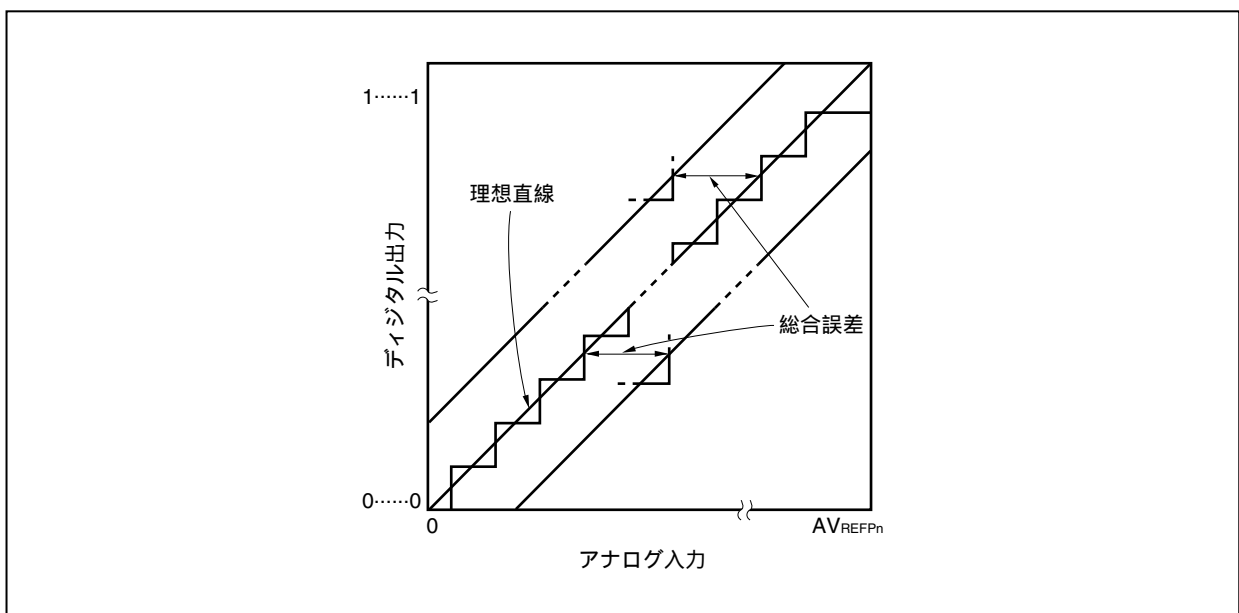
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図12 - 23 総合誤差

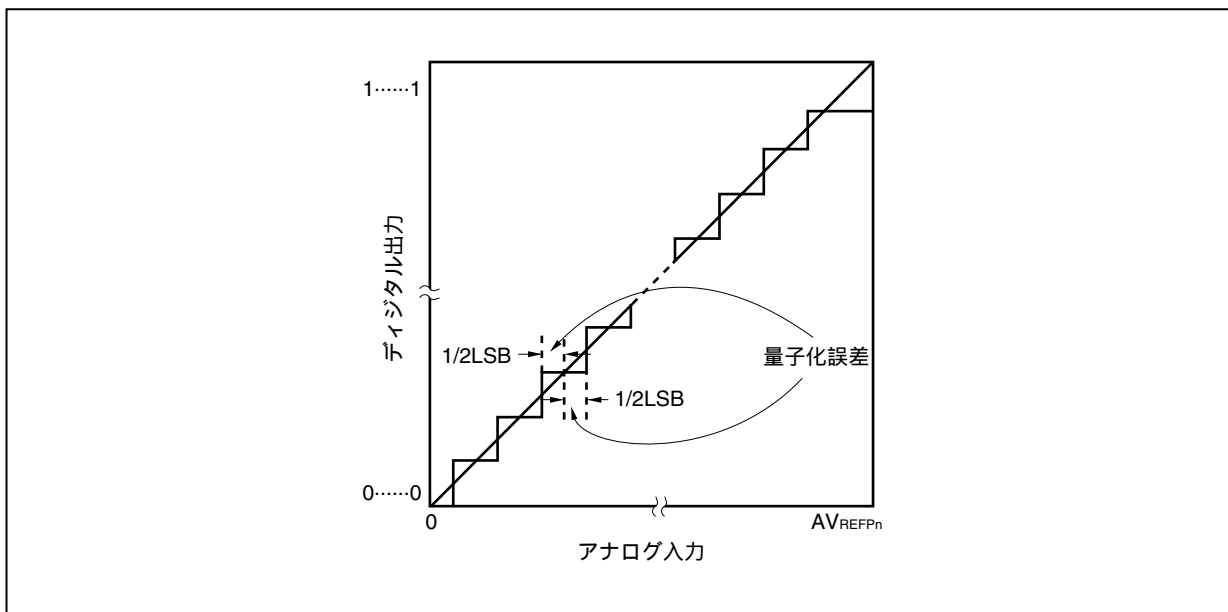


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSB の誤差です。A/D コンバータでは、 $\pm 1/2$ LSB の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

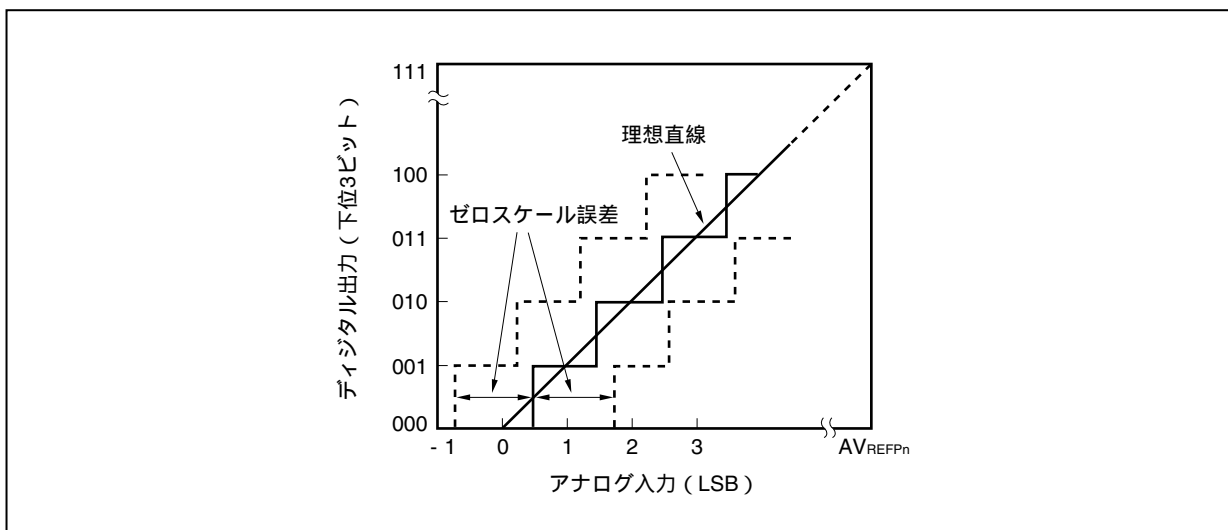
なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12 - 24 量子化誤差

**(4) ゼロスケール誤差**

デジタル出力が 0.....000 から 0.....001 に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

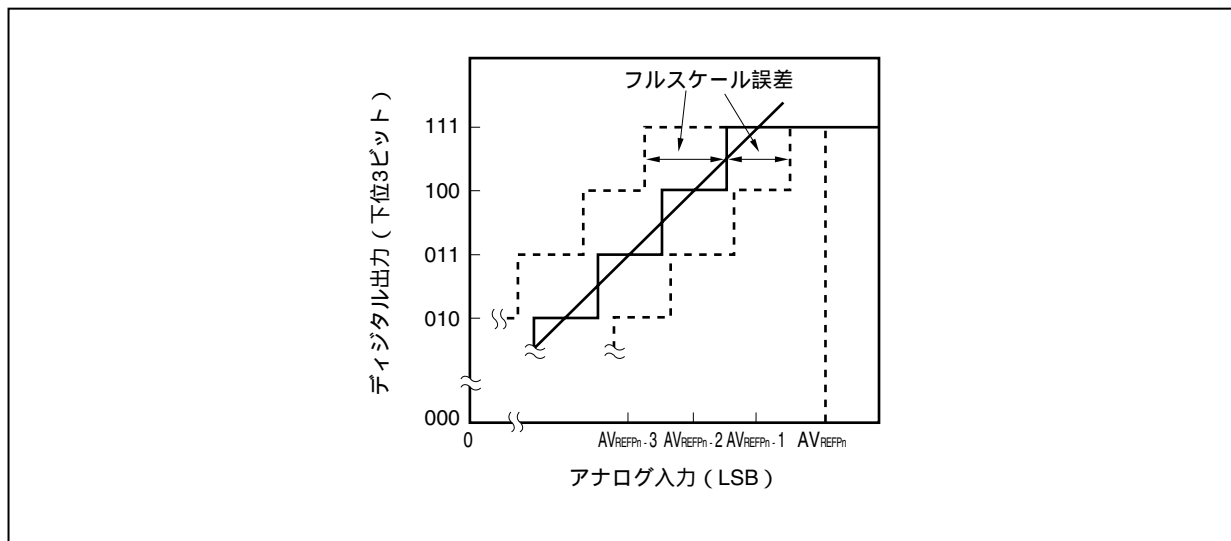
図12 - 25 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

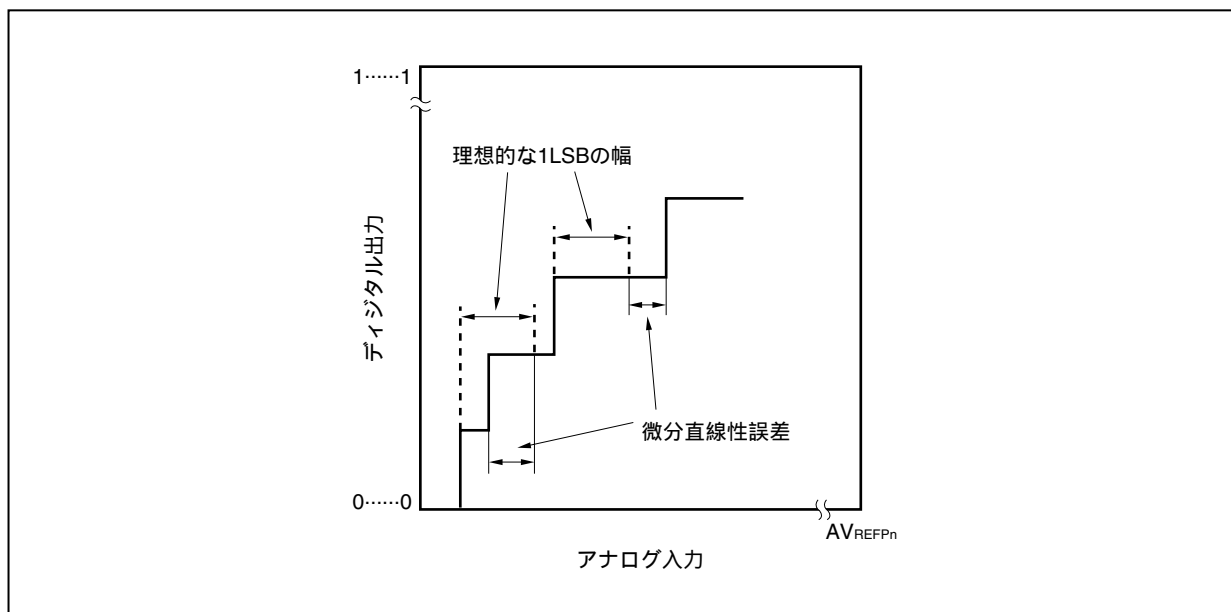
図12 - 26 フルスケール誤差

**(6) 微分直線性誤差**

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

同一チャンネルのアナログ入力端子に印加する電圧を AV_{SSn} から AV_{REFPn} まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャンネルを使用する場合は、12.7(2)総合誤差を参照してください。

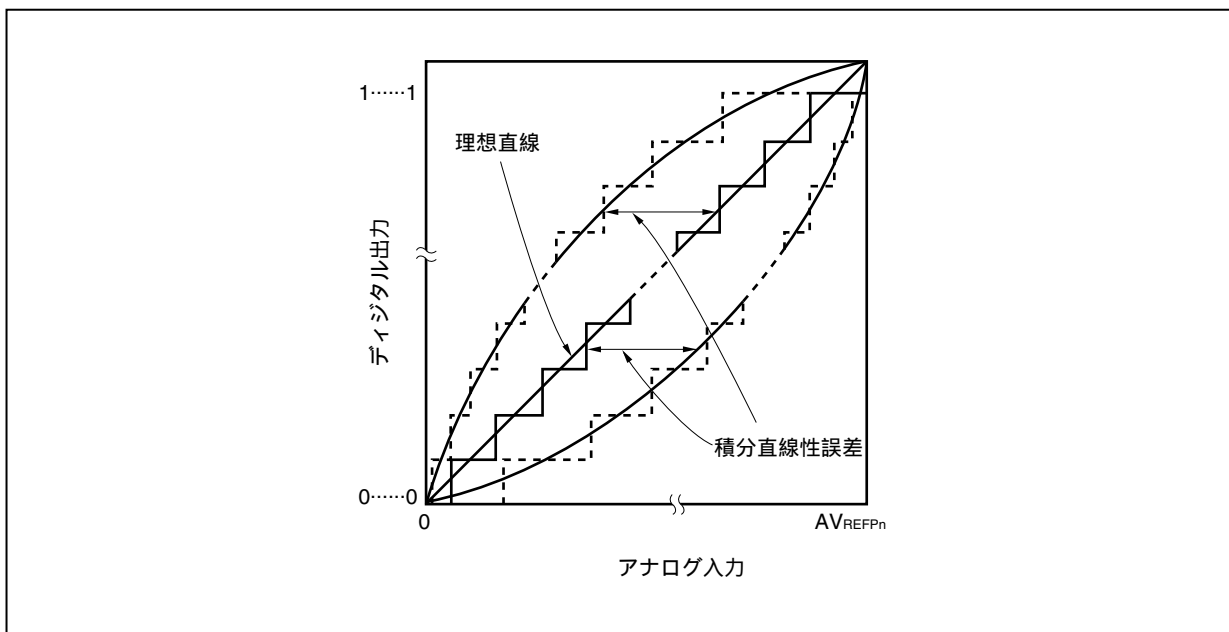
図12 - 27 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図12 - 28 積分直線性誤差

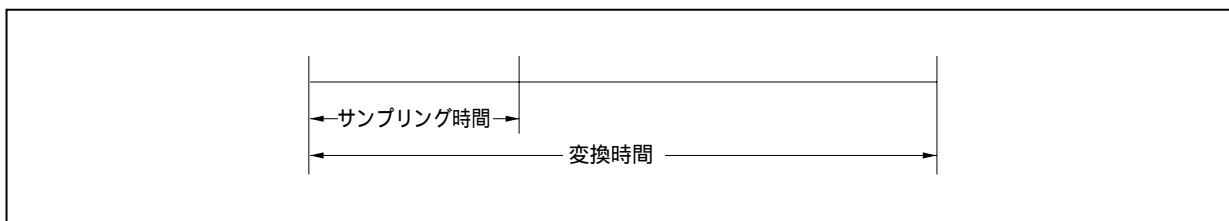
**(8) 変換時間**

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図12 - 29 サンプリング時間



第13章 A/Dコンバータ2

13.1 特 徴

10ビット分解能A/Dコンバータ内蔵

アナログ入力

ANI20-ANI211 (12チャンネル)

A/D変換結果レジスタ

AD2CR0-AD2CR11 (10ビット×12本)

A/D変換トリガ・モード

ソフトウェア・トリガ・モード

A/D変換動作モード

連続セレクト・モード

連続スキャン・モード

ワンショット・セレクト・モード

ワンショット・スキャン・モード

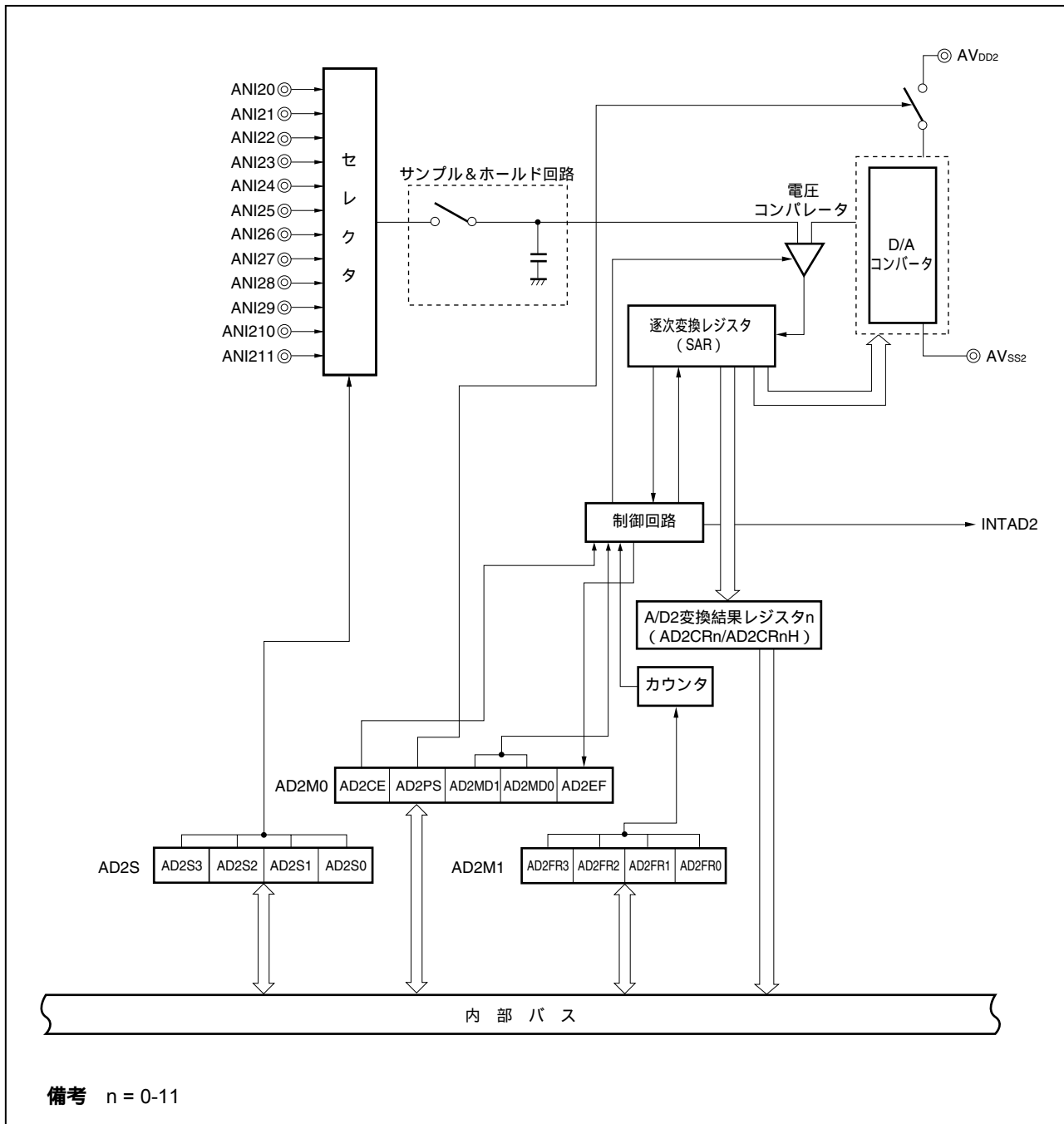
逐次比較変換方式

動作電圧：EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} (V850E/IH4-Hのみ) = AV_{DD2} = 4.0 ~ 5.5 V

13.2 構 成

次にブロック図を示します。

図13 - 1 A/Dコンバータ2のブロック図



注意1. アナログ入力端子 (ANI2n) およびA/Dコンバータ電源電圧端子 (AV_{DD2}) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
 - ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
 - ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。
2. A/Dコンバータ2の入力端子として使用している端子には、AV_{SS2}-AV_{DD2}の範囲外の電圧が加わらないようにしてください。

A/Dコンバータ2は、次のハードウェアで構成しています。

表13 - 1 A/Dコンバータ2の構成

項 目	構 成
アナログ入力	ANI20-ANI211 (12チャンネル)
レジスタ	逐次変換レジスタ (SAR) A/D2変換結果レジスタ0-11 (AD2CR0-AD2CR11) A/D2変換結果レジスタ0H-11H (AD2CR0H-AD2CR11H) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ2モード・レジスタ0, 1 (AD2M0, AD2M1) A/Dコンバータ2チャンネル指定レジスタ (AD2S)

(1) 逐次変換レジスタ (SAR : Successive Approximation Register)

アナログ入力端子の電圧値とD/Aコンバータの電圧タップの値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARレジスタの内容はAD2CRnレジスタに転送されます。

また、指定されたすべてのA/D変換が終了するとA/D2変換終了割り込み要求信号 (INTAD2) が発生します。

(2) A/D変換結果レジスタn (AD2CRn)、A/D変換結果レジスタnH (AD2CRnH)

AD2CRnレジスタはA/D変換結果を保持するレジスタです。A/D変換結果はアナログ入力に対応したAD2CRnレジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

AD2CRnHレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はAD2CRnレジスタ、上位8ビットをリードする場合はAD2CRnHレジスタを指定します。

注意 AD2M0, AD2M1, AD2Sレジスタに対する書き込み操作により、AD2CRnレジスタの内容が不定になる場合があります。変換後、AD2M0, AD2M1, AD2Sレジスタに書き込む前に変換結果を読み出してください。これ以外の手順を取った場合、正しい変換結果が読み出せません。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値とD/Aコンバータの電圧タップから発生した電圧を比較します。

(5) D/Aコンバータ

D/Aコンバータは AV_{DD2} - AV_{SS2} 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI2n端子

ANI2n端子は、A/Dコンバータ2へのアナログ入力端子です。A/D変換するアナログ信号を入力します。AD2Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

- 注意1.** ANI2n端子入力電圧は規格の範囲内で使用してください。特に AV_{DD2} 以上、 AV_{SS2} 以下の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力 (ANI2n) 端子は入力ポート (P7n) 端子と兼用になっています。ANI2nのいずれかを選択してA/D変換する場合、変換中にポート7に対する入力命令を実行すると、変換分解能が低下することがあります。

(7) AV_{DD2} 端子

AV_{DD2} 端子は、A/Dコンバータ2の正電源供給と基準電圧を入力するための端子を兼用しています。 AV_{DD2} 、 AV_{SS2} 間にかかる電圧に基づいて、ANI2n端子に入力される信号をデジタル信号に変換します。

A/Dコンバータ2を使用しない場合でも、 AV_{DD2} 端子は常に EV_{DD0} 、 EV_{DD1} 、 EV_{DD2} 、 EV_{DD3} (V850E/IH4-Hのみ) 端子と同電位で使用してください。

AV_{DD2} 端子の動作電圧範囲は、 $EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3}$ (V850E/IH4-Hのみ) = $AV_{DD2} = 4.0 \sim 5.5$ Vです。

(8) AV_{SS2} 端子

A/Dコンバータ2のグランド端子です。A/Dコンバータ2を使用しない場合でも、 AV_{DD2} 端子は常に EV_{SS0} 、 EV_{SS1} 、 EV_{SS2} 、 EV_{SS3} (V850E/IH4-Hのみ)、 EV_{SS4} 端子と同電位で使用してください。

備考 n = 0-11

13.3 制御レジスタ

A/Dコンバータ2は、次に示すレジスタで制御します。

- ・ A/Dコンバータ2モード・レジスタ0, 1 (AD2M0, AD2M1)
- ・ A/Dコンバータ2チャンネル指定レジスタ (AD2S)

また、次のレジスタも使用します。

- ・ A/D2変換結果レジスタn (AD2CRn)
- ・ A/D2変換結果レジスタnH (AD2CRnH)

(1) A/Dコンバータ2モード・レジスタ0 (AD2M0)

動作モードの指定および変換動作の制御を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFB80H

	⑦	6	5	4	3	2	1	0
AD2M0	AD2CE	AD2PS	AD2MD1	AD2MD0	0	0	0	AD2EF

AD2CE	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

AD2PS	A/D変換制御
0	A/D電源オフ
1	A/D電源オン

- ・ A/Dコンバータ2は、AD2PSビット = 1 (A/D電源オン) 後、2 μ s以上経過してからAD2CEビット = 1 (変換動作許可) にすると最初の変換結果が有効となります。なお、2 μ s以上経過前にAD2CEビット = 1にすると、変換動作を開始しA/D変換時間後に終了しますが、変換結果は不正値となります。
- ・ A/Dコンバータ2を使用しないときは、消費電力を小さくするためにAD2CEビット = 0 (変換動作停止) とし、AD2PSビット = 0 (A/D電源オフ) としてください。
- ・ A/D変換動作中 (AD2EFビット = 1) にAD2PS2ビットに0を設定しないでください。A/D変換動作中でなければ、AD2CEビット = 0, AD2PSビット = 0に同時クリア可能です。

AD2MD1	AD2MD0	動作モードの指定
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	0	ワンショット・セレクト・モード
1	1	ワンショット・スキャン・モード

AD2EF	A/Dコンバータ2の状態 (ステータス)
0	A/D変換停止中
1	A/D変換動作中

- 注意1.** ビット0に書き込みを行った場合、書き込みは無視されます。
- A/D変換開始直後の最初の入力端子の変換分解能が低下する可能性があります。詳細は13.7 (6) AV_{DD2}端子についてを参照してください。
 - A/D変換動作中 (AD2EFビット = 1) にAD2M0, AD2Sレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。
 - ビット1-3には、必ず0を設定してください。

(2) A/Dコンバータ2モード・レジスタ1 (AD2M1)

A/D変換クロック数, A/D変換時間の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFFFFB81H

	7	6	5	4	3	2	1	0
AD2M1	0	0	0	0	AD2FR3	AD2FR2	AD2FR1	AD2FR0

注意1. AD2FR3-AD2FR0ビットについては表13 - 2 変換モード時の設定例を参照してください。

2. 変換動作中(AD2CEビット = 1)は, AD2FR3-AD2FR0ビットの変更は禁止です。

3. ビット4-7には, 必ず0を設定してください。

表13 - 2 変換モード時の設定例

AD2FR3	AD2FR2	AD2FR1	AD2FR0	A/D変換 クロック数 ^注	A/D変換時間	f _{AD2} = 50 MHz (f _{xx} = 100 MHz)	f _{AD2} = 40 MHz (f _{xx} = 80 MHz)
0	0	1	1	124	124/f _{AD2}	設定禁止	3.10 μs
0	1	0	0	155	155/f _{AD2}	3.10 μs	3.88 μs
0	1	0	1	186	186/f _{AD2}	3.72 μs	4.65 μs
0	1	1	0	217	217/f _{AD2}	4.34 μs	5.43 μs
0	1	1	1	248	248/f _{AD2}	4.96 μs	6.20 μs
1	0	0	0	279	279/f _{AD2}	5.58 μs	6.98 μs
1	0	0	1	310	310/f _{AD2}	6.20 μs	7.75 μs
1	0	1	0	341	341/f _{AD2}	6.82 μs	8.53 μs
1	0	1	1	372	372/f _{AD2}	7.44 μs	9.30 μs
1	1	0	0	403	403/f _{AD2}	8.06 μs	設定禁止
1	1	0	1	434	434/f _{AD2}	8.68 μs	設定禁止
1	1	1	0	465	465/f _{AD2}	9.30 μs	設定禁止
1	1	1	1	496	496/f _{AD2}	9.92 μs	設定禁止
その他					設定禁止		

注 A/D変換開始からA/D変換終了までのクロック (f_{AD2}) 数です。

注意 A/D変換時間は3.00 ~ 10.00 μsの範囲で設定してください。

備考 f_{AD2}: A/Dコンバータ2の動作クロック

(3) A/Dコンバータ2チャンネル指定レジスタ (AD2S)

A/D変換するアナログ入力端子を指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFB82H

	7	6	5	4	3	2	1	0
AD2S	0	0	0	0	AD2S3	AD2S2	AD2S1	AD2S0

AD2S3	AD2S1	AD2S0	AD2S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI20	ANI20
0	0	0	1	ANI21	ANI20, ANI21
0	0	1	0	ANI22	ANI20-ANI22
0	0	1	1	ANI23	ANI20-ANI23
0	1	0	0	ANI24	ANI20-ANI24
0	1	0	1	ANI25	ANI20-ANI25
0	1	1	0	ANI26	ANI20-ANI26
0	1	1	1	ANI27	ANI20-ANI27
1	0	0	0	ANI28	ANI20-ANI28
1	0	0	1	ANI29	ANI20-ANI29
1	0	1	0	ANI210	ANI20-ANI210
1	0	1	1	ANI211	ANI20-ANI211
その他				設定禁止	

注意 ビット4-7には、必ず0を設定してください。

(4) A/D変換結果レジスタ_n, nH (AD2CR_n, AD2CR_nH)

AD2CR_n, AD2CR_nHレジスタはA/D変換の結果を保持するレジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされ、変換結果をAD2CR_nレジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

AD2CR_nHレジスタには、A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はAD2CR_nレジスタを、上位8ビットをリードする場合はAD2CR_nHレジスタを指定します。

リセットによりAD2CR_nレジスタは0000H、AD2CR_nHレジスタは00Hになります。

注意 AD2M0, AD2M1, AD2Sレジスタに対して書き込み動作を行ったとき、AD2CR_nレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、AD2M0, AD2M1, AD2Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

リセット時：0000H		R	アドレス：AD2CR0 FFFFFFFB90H, AD2CR1 FFFFFFFB92H, AD2CR2 FFFFFFFB94H, AD2CR3 FFFFFFFB96H, AD2CR4 FFFFFFFB98H, AD2CR5 FFFFFFFB9AH, AD2CR6 FFFFFFFB9CH, AD2CR7 FFFFFFFB9EH, AD2CR8 FFFFFFFBA0H, AD2CR9 FFFFFFFBA2H, AD2CR10 FFFFFFFBA4H, AD2CR11 FFFFFFFBA6H															
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD2CR _n (n = 0-11)	AD	AD	AD	AD	AD	AD	AD	AD	AD	AD	AD	0	0	0	0	0	0	
	29	28	27	26	25	24	23	22	21	20								
リセット時：00H		R	アドレス：AD2CR0H FFFFFFFB91H, AD2CR1H FFFFFFFB93H, AD2CR2H FFFFFFFB95H, AD2CR3H FFFFFFFB97H, AD2CR4H FFFFFFFB99H, AD2CR5H FFFFFFFB9BH, AD2CR6H FFFFFFFB9DH, AD2CR7H FFFFFFFB9FH, AD2CR8H FFFFFFFBA1H, AD2CR9H FFFFFFFBA3H, AD2CR10H FFFFFFFBA5H, AD2CR11H FFFFFFFBA7H															
			7	6	5	4	3	2	1	0								
AD2CR _n H (n = 0-11)	AD29	AD28	AD27	AD26	AD25	AD24	AD23	AD22										

各アナログ入力端子とAD2CR_n, AD2CR_nHレジスタの対応を次に示します。

表13 - 3 各アナログ入力端子とAD2CR_n, AD2CR_nHレジスタの対応表

アナログ入力端子	A/D変換結果レジスタ
ANI20	AD2CR0, AD2CR0H
ANI21	AD2CR1, AD2CR1H
ANI22	AD2CR2, AD2CR2H
ANI23	AD2CR3, AD2CR3H
ANI24	AD2CR4, AD2CR4H
ANI25	AD2CR5, AD2CR5H
ANI26	AD2CR6, AD2CR6H
ANI27	AD2CR7, AD2CR7H
ANI28	AD2CR8, AD2CR8H
ANI29	AD2CR9, AD2CR9H
ANI210	AD2CR10, AD2CR10H
ANI211	AD2CR11, AD2CR11H

アナログ入力端子 (ANI2n) に入力されたアナログ入力電圧とA/D変換結果 (A/D2変換結果レジスタn (AD2CRn)) には次式に示す関係があります。

$$SAR = INT \left(\frac{V_{IN}}{AV_{DD2}} \times 1024 + 0.5 \right)$$

$$ADCR^{\#} = SAR \times 64$$

または,

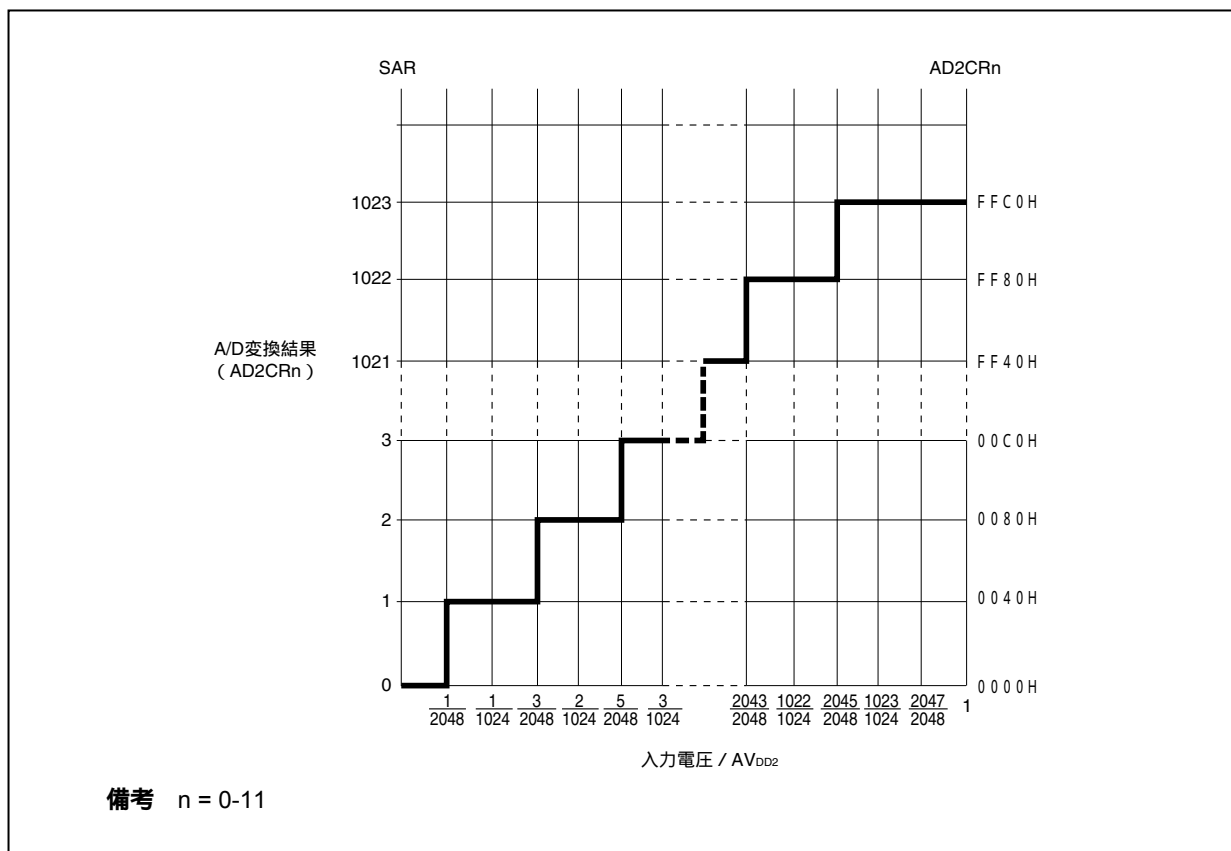
$$\left(SAR - 0.5 \right) \times \frac{AV_{DD2}}{1024} < V_{IN} < \left(SAR + 0.5 \right) \times \frac{AV_{DD2}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{IN} : アナログ入力電圧
- AV_{DD2} : AV_{DD2}端子電圧
- ADCR : A/D2変換結果レジスタn (AD2CRn) の値

注 AD2CRnレジスタの下位6ビットは0固定です。

図13 - 2にアナログ入力電圧とA/D変換結果の関係を示します。

図13 - 2 アナログ入力電圧とA/D変換結果の関係



13.4 動作

13.4.1 基本動作

AD2M0.AD2CEビット = 0の状態では、AD2M0.AD2PSビットをセット (1) し、A/D電源オンにします。
このとき、AD2M0.AD2CEビット以外のビットは同時設定できます。

A/D変換する動作モード、A/D変換時間などをAD2M0、AD2M1、AD2Sレジスタで設定します。

A/D電源オン (AD2M0.AD2PSビット = 0 1) し、 $2\mu\text{s}$ 以上経過してからAD2M0.AD2CEビット = 1 (変換動作許可) にすると、A/D変換を開始します。

なお、 $2\mu\text{s}$ 以上経過前にAD2CEビット = 1にすると、変換動作を開始しA/D変換時間後に終了しますが、変換結果は不正値となります。

A/D変換が開始されると選択されたアナログ入力チャネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、D/Aコンバータの電圧タップをリファレンス電圧 ($1/2 AV_{DD2}$) にします。

D/Aコンバータの電圧タップから発生した電圧とアナログ入力電圧を電圧コンパレータで比較します。比較した結果、アナログ入力電圧が ($1/2 AV_{DD2}$) よりも大きい場合には、SARレジスタのMSBをセットしたままです。アナログ入力電圧が ($1/2 AV_{DD2}$) より小さい場合にはMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すようにD/Aコンバータの電圧タップが選択されます。

ビット9 = 1 : ($3/4 AV_{DD2}$)

ビット9 = 0 : ($1/4 AV_{DD2}$)

D/Aコンバータの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 D/Aコンバータの電圧タップ : ビット8 = 1

アナログ入力電圧 D/Aコンバータの電圧タップ : ビット8 = 0

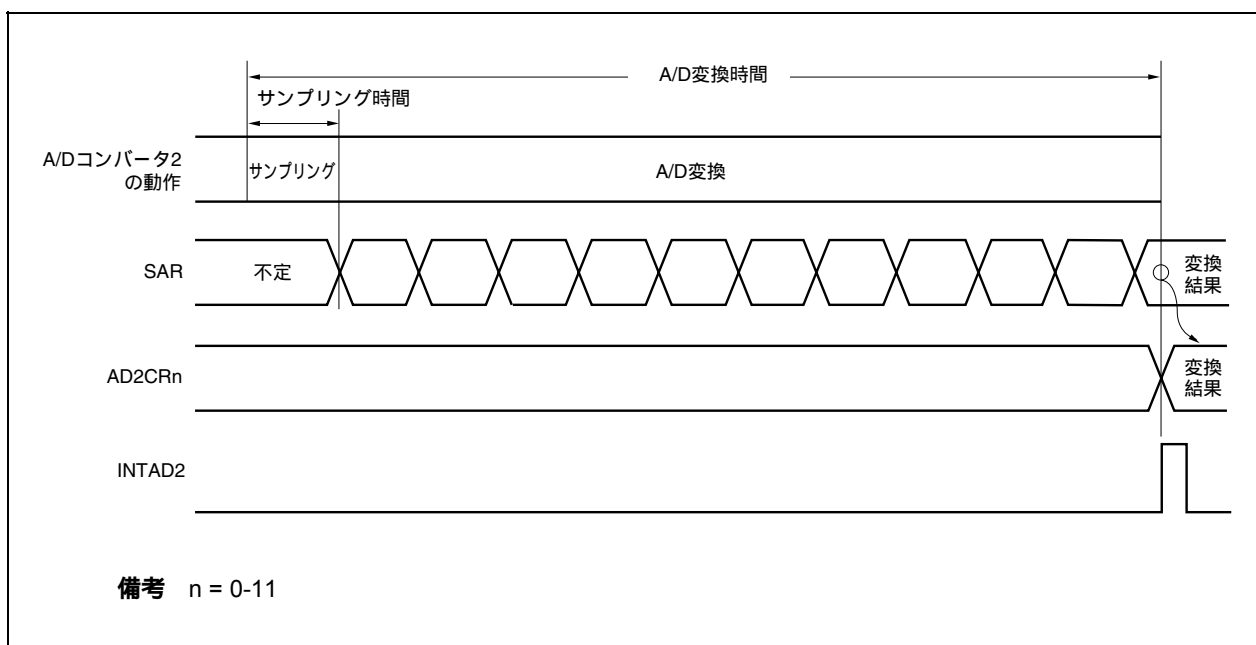
このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がAD2CRnレジスタに転送されて変換結果を格納します（ $n = 0-11$ ）。セレクト・モード時には同時に，スキャン・モード時には指定されたすべてのA/D変換が終了するとA/D2変換終了割り込み要求信号（INTAD2）を発生します。

連続セレクト・モード，連続スキャン・モード時はA/D変換終了後，AD2CEビットを0にしないかぎり - を繰り返し行います。

ワンショット・セレクト・モード，ワンショット・スキャン・モード時はA/D変換終了後，変換動作を停止します（このとき，AD2M0.AD2CEビットは1を保持し，自動クリアされません）。再度変換動作を行う場合は，AD2CEビットに1を上書きしてください。

図13 - 3 A/Dコンバータ2の基本動作



13.4.2 トリガ・モード

A/D変換動作の開始タイミングとなるトリガ・モードは、ソフトウェア・トリガ・モードがあります。

トリガ・モードは、AD2M0レジスタで設定します。

(1) ソフトウェア・トリガ・モード

AD2S.AD2S3-AD2S0ビットで指定されたアナログ入力端子 (ANI2n) について、AD2M0.AD2CEビットをセット (1) することでA/D変換開始タイミングとして使用するモードです。

A/D変換終了後、変換結果は、A/D2変換結果レジスタn (AD2CRn) に格納します。

セレクト・モード時は、A/D変換が終了すると同時にA/D2変換終了割り込み要求信号 (INTAD2) を発生します。スキャン・モード時は、指定したすべてのA/D変換が終了するとINTAD2割り込み要求信号を発生します。

AD2M0.AD2MD1, AD2MD0ビットで設定された動作モードが、連続セレクト・モードおよび連続スキャン・モードの場合には、A/D変換終了後はAD2M0.AD2CEビットを0にしないかぎり再度変換動作を繰り返して行います。動作モードがワンショット・セレクト・モードおよびワンショット・スキャン・モードの場合には、A/D変換終了後は変換動作を停止します。

A/D変換が開始されるとAD2M0.AD2EFビット = 1 (変換動作中) となり、A/D変換が終了するとAD2EFビット = 0 (変換停止中) となります。

また、A/D変換動作中にAD2M0, AD2Sレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

備考 n = 0-11

13.4.3 動作モード

動作モードには、ANI2n端子を設定するモードとして、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4通りがあります。動作モードは、AD2M0.AD2MD1, AD2MD0ビットで設定します。

AD2M0, AD2M1, AD2Sレジスタと動作モードの関係を次に示します。

トリガ・モード	動作モード	設定値		
		AD2M0	AD2M1	AD2S
ソフトウェア・トリガ	連続セレクト	X100000XB	0000XXXXB	0000XXXXB
	連続スキャン	X101000XB	0000XXXXB	0000XXXXB
	ワンショット・セレクト	X110000XB	0000XXXXB	0000XXXXB
	ワンショット・スキャン	X111000XB	0000XXXXB	0000XXXXB

(1) 連続セレクト・モード

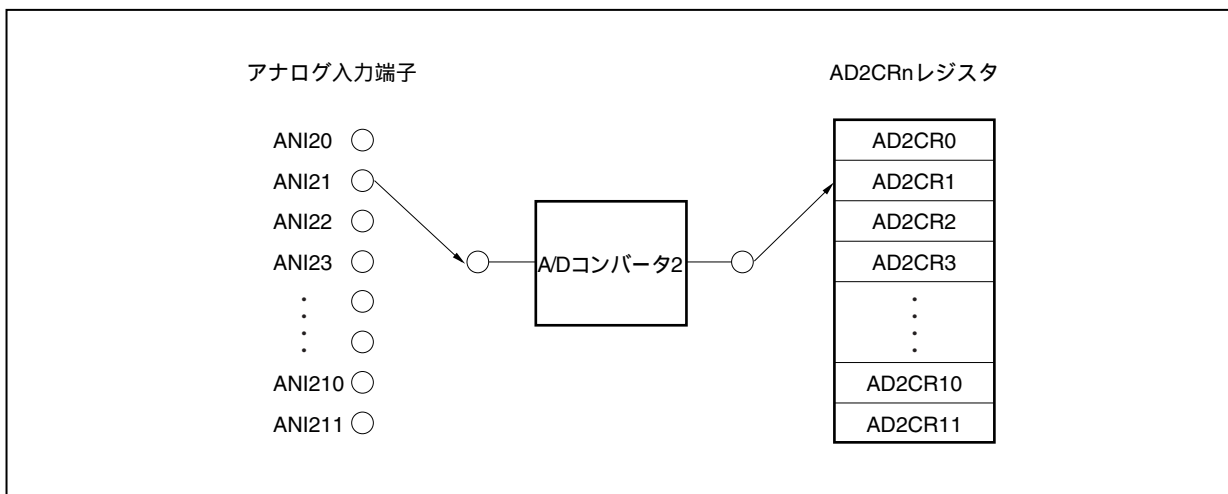
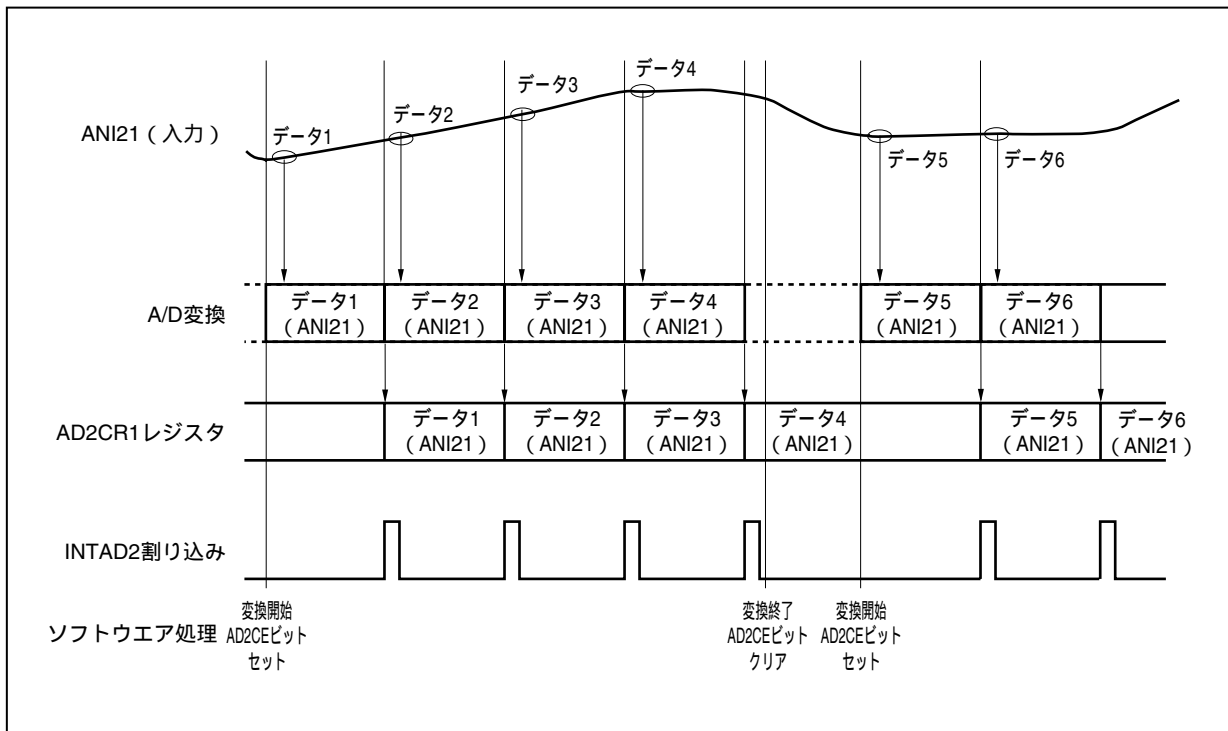
AD2Sレジスタで指定される1つのアナログ入力端子(ANI2n)のA/D変換を連続で行います。変換結果は、ANI2n端子に対応したAD2CRnレジスタに格納します。ANI2n端子とAD2CRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D2変換終了割り込み要求信号(INTAD2)が発生します。

A/D変換終了後は、AD2M0.AD2CEビットを0にしないかぎり次の変換を繰り返し行います。

備考 n = 0-11

図13 - 4 連続セレクト・モードの動作タイミング例

(AD2M0.AD2MD1, AD2MD0ビット = 00, AD2S.AD2S3-AD2S0ビット = 0001のとき)



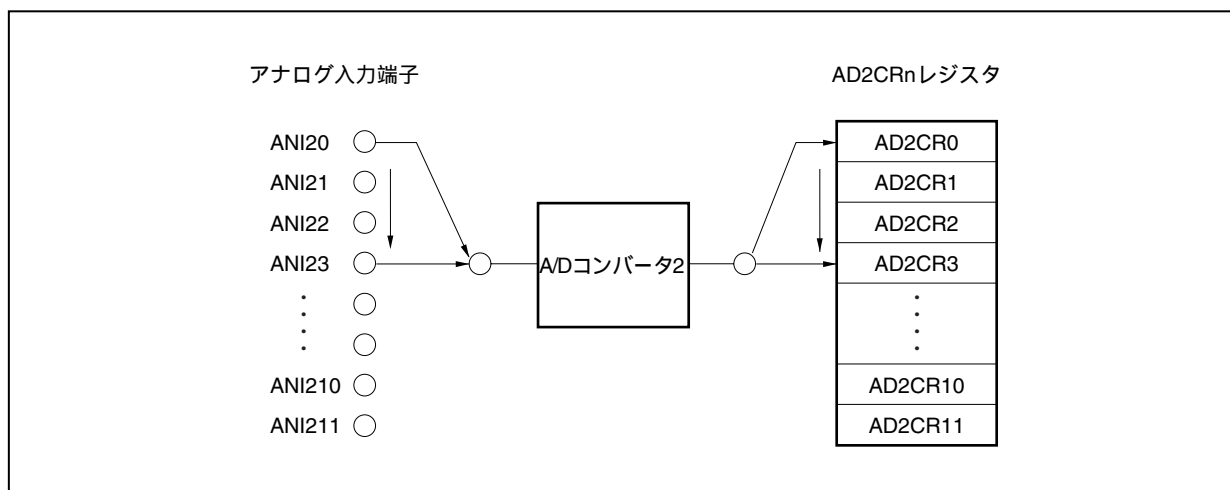
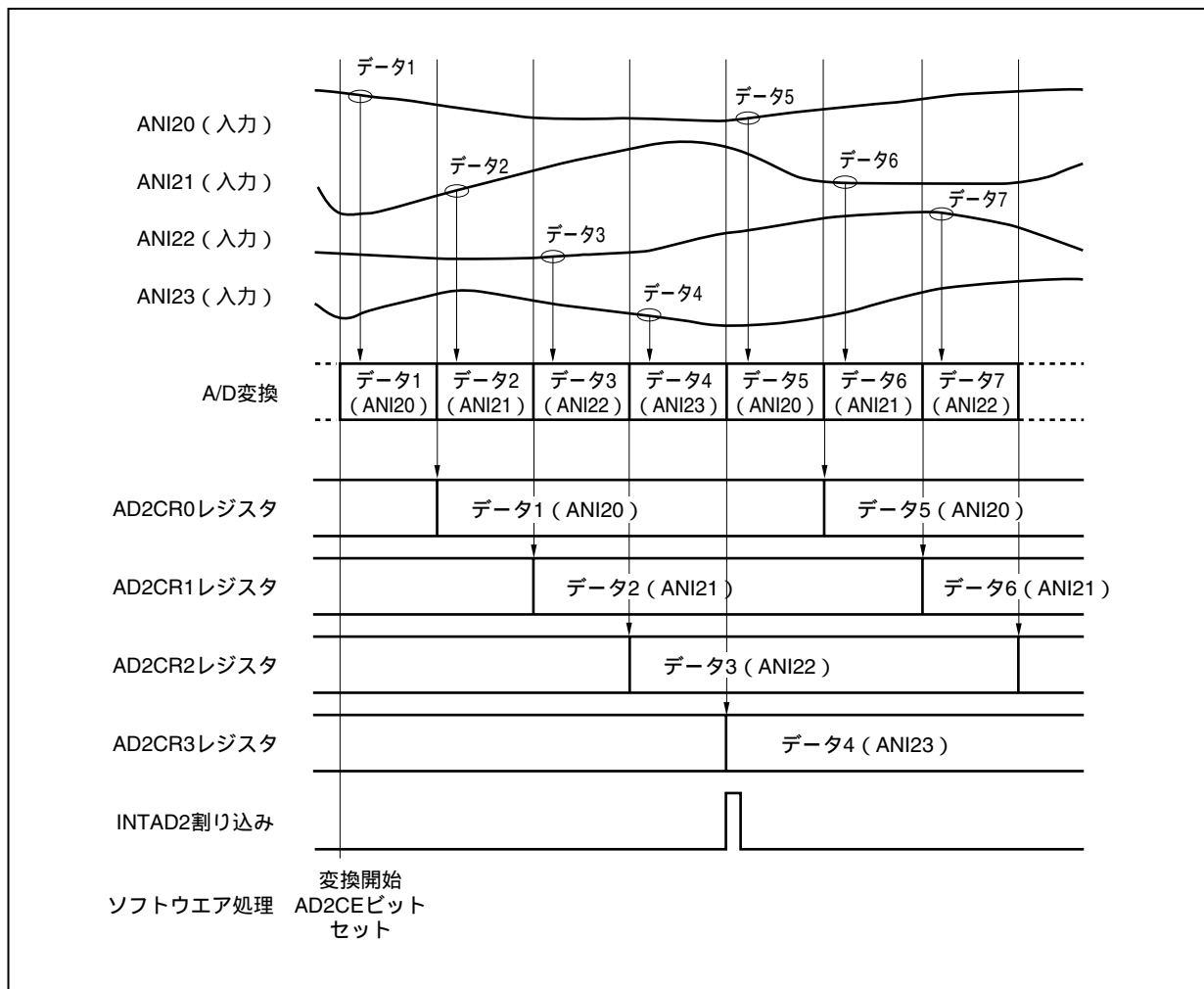
(2) 連続スキャン・モード

ANI20端子から, AD2Sレジスタで指定したアナログ入力端子 (ANI2n) までを順に選択し, A/D変換を連続で行います。A/D変換結果は, アナログ入力端子に対応したAD2CRnレジスタに格納します。指定したアナログ入力端子の変換が終了するとA/D2変換終了割り込み要求信号 (INTAD2) が発生します。A/D変換終了後は, AD2M0.AD2CEビットを0にしないかぎり再度ANI20端子から変換を開始します。

備考 n = 0-11

図13 - 5 連続スキャン・モードの動作タイミング例

(AD2M0.AD2MD1, AD2MD0ビット = 01, AD2S.AD2S3-AD2S0ビット = 0011のとき)



(3) ワンショット・セレクト・モード

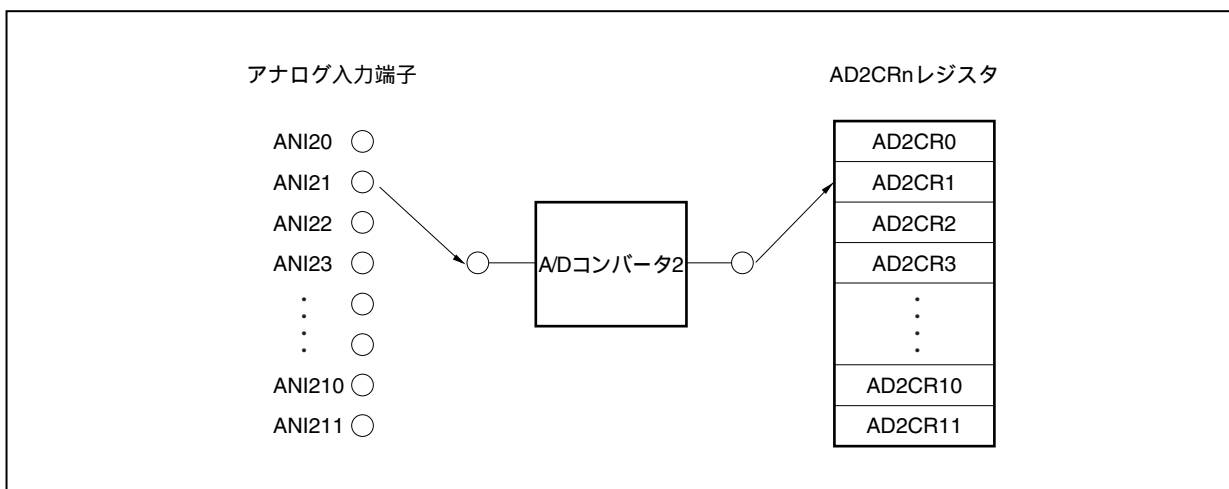
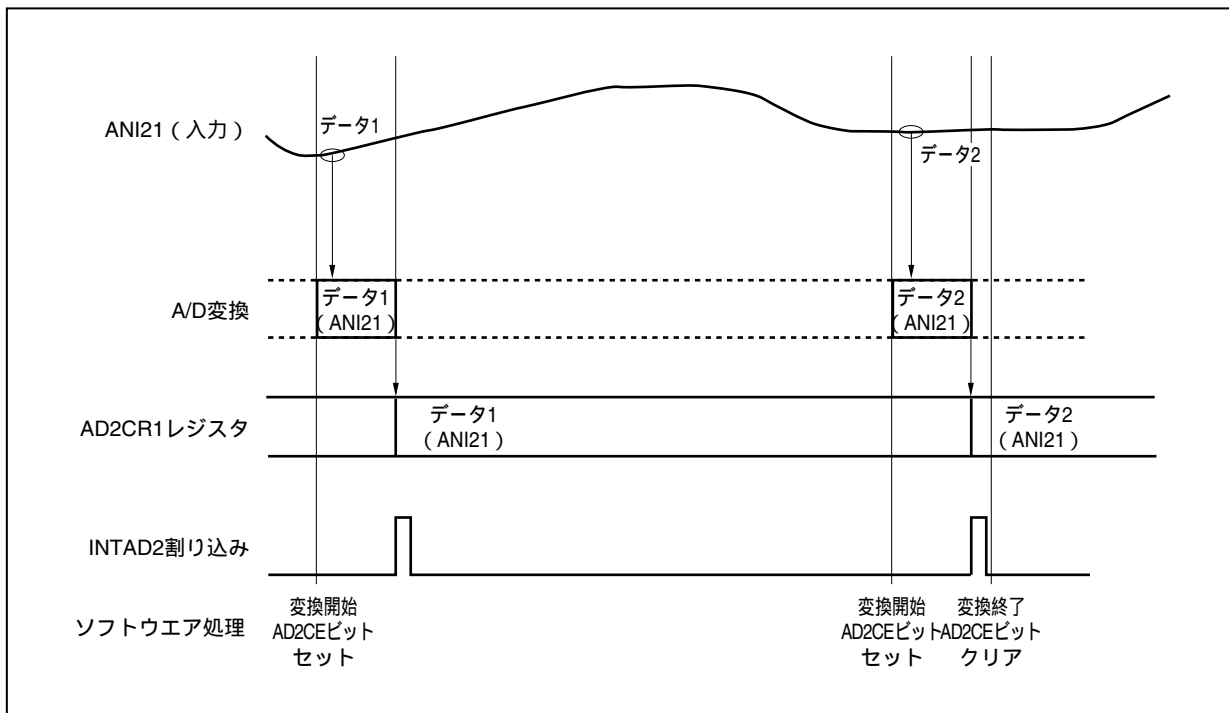
AD2Sレジスタで指定される1つのアナログ入力端子 (ANI2n) のA/D変換を1回のみ行います。変換結果は, ANI2n端子に対応したAD2CRnレジスタに格納します。ANI2n端子とAD2CRnレジスタは1対1に対応しており, 1回のA/D変換終了ごとにA/D2変換終了割り込み要求信号 (INTAD2) が発生します。

A/D変換終了後は, 変換動作を停止します。

備考 n = 0-11

図13-6 ワンショット・セレクト・モードの動作タイミング例

(AD2M0.AD2MD1, AD2MD0ビット = 10, AD2S.AD2S3-AD2S0ビット = 0001のとき)



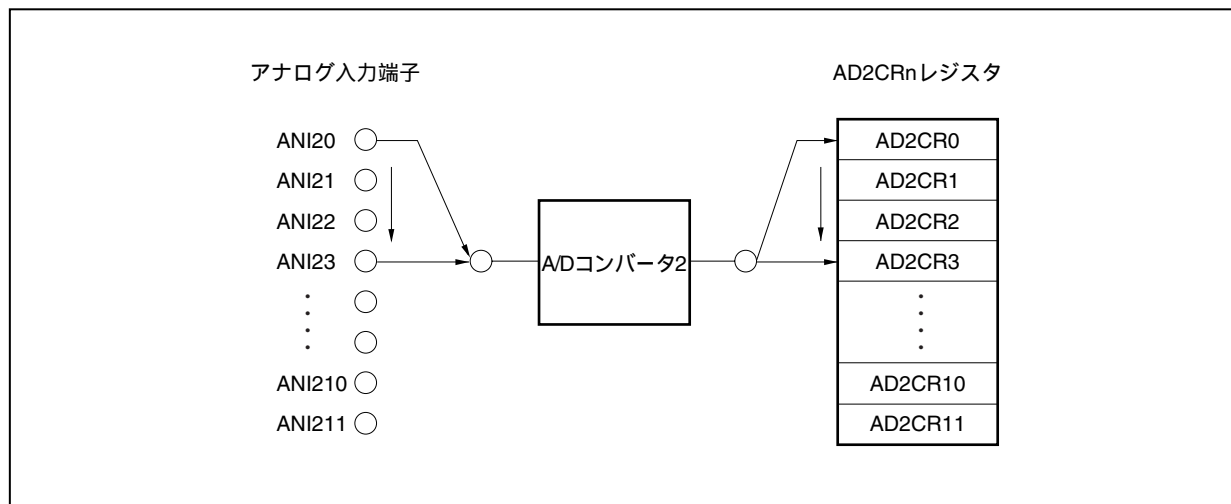
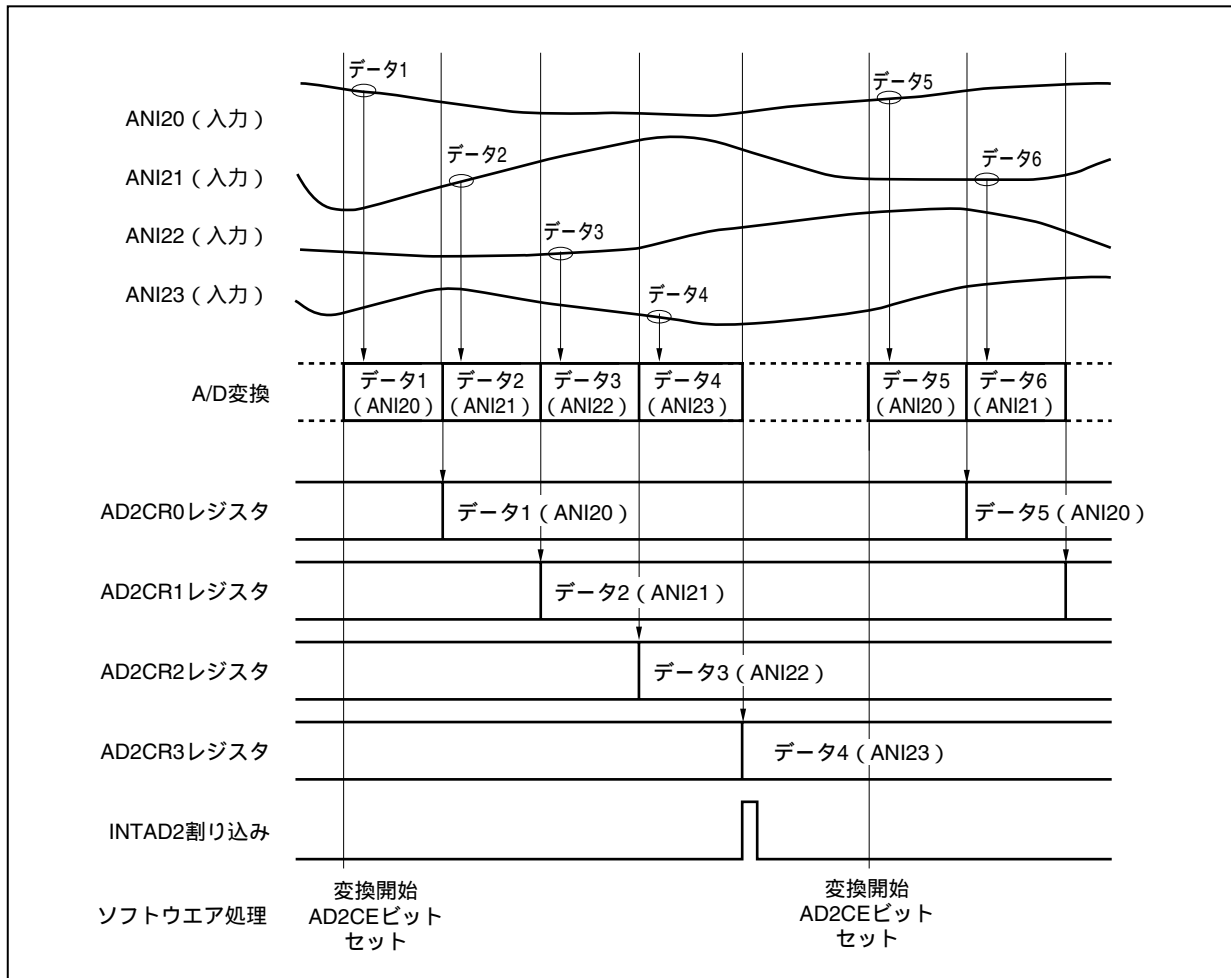
(4) ワンショット・スキャン・モード

ANI20端子から, AD2Sレジスタで指定したアナログ入力端子 (ANI2n) までを順に選択し, A/D変換を行います。A/D変換結果は, アナログ入力端子に対応したAD2CRnレジスタに格納します。指定したアナログ入力端子の変換が終了するとA/D2変換終了割り込み要求信号(INTAD2)が発生します。A/D変換終了後は, 変換動作を停止します。

備考 n = 0-11

図13-7 ワンショット・スキャン・モードの動作タイミング例

(AD2M0.AD2MD1, AD2MD0ビット = 11, AD2S.AD2S3-AD2S0ビット = 0011のとき)



13.5 ソフトウェア・トリガ・モード時の動作

AD2M0.AD2CEビットをセット（1）すると，A/D変換を開始します。

A/D変換が開始されると，AD2M0.AD2EFビット = 1（変換動作中）となります。

また，A/D変換動作中にAD2M0, AD2Sレジスタに書き込みを行った場合には，A/D変換は中断され，再度最初から変換を行います。

(2) ソフトウェア・トリガ連続スキャン・モードの動作

ANI20端子からAD2Sレジスタで指定されるアナログ入力端子 (ANI2n) までを順に選択し, A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したAD2CRnレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると, A/D変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は, AD2M0.AD2CEビットを0にしないかぎり再度ANI20端子から変換を開始します。

A/D変換の再起動動作として, AD2M0.AD2CEビットをセット (1) する必要がありません^注。

注 ソフトウェア・トリガ連続スキャン・モードでは, AD2M0.AD2CEビットを0にしないかぎりA/D変換動作を停止しないため, 次のA/D変換終了までにAD2CRnレジスタを読み出さないと, 上書きされます。

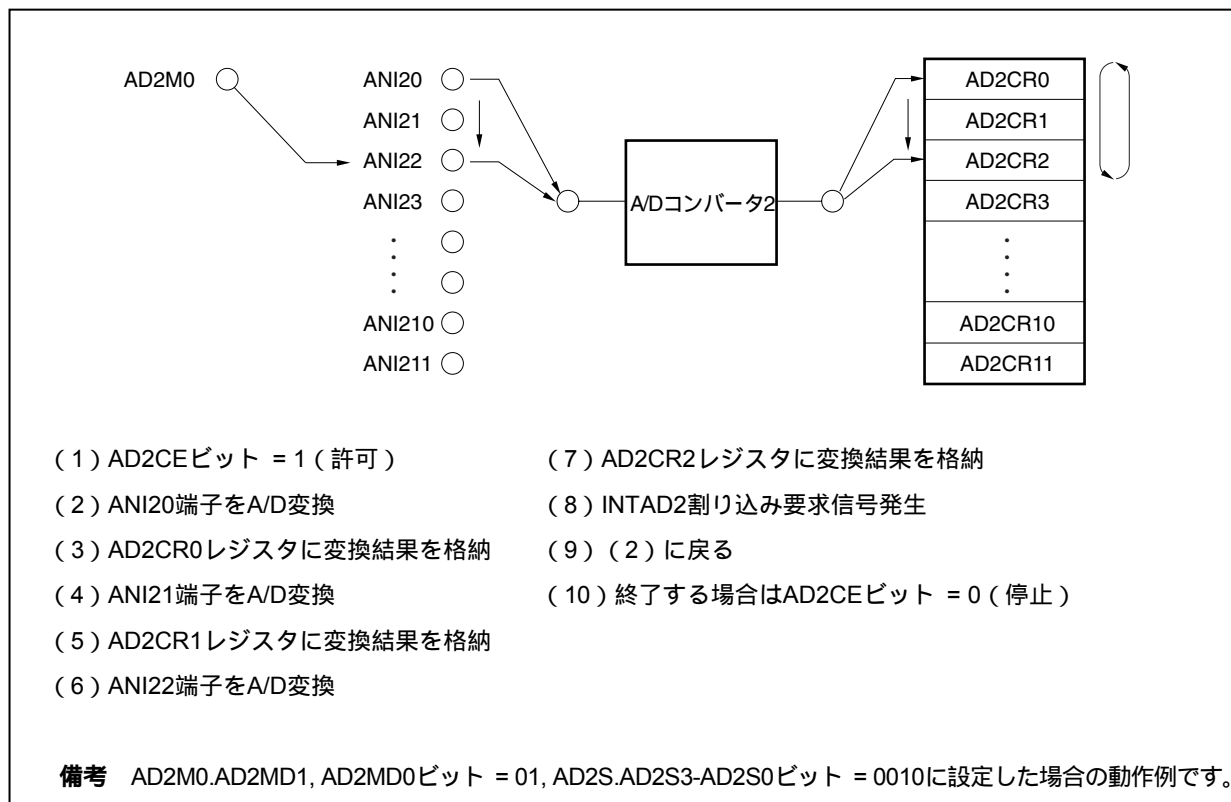
複数のアナログ入力を常時監視するような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANI20	AD2CR0
...	...
ANI2n ^注	AD2CRn

注 AD2S.AD2S0-AD2S3ビットで設定

備考 n = 0-11

図13 - 9 ソフトウェア・トリガ連続スキャン・モードの動作例



(3) ソフトウェア・トリガ・ワンショット・セレクト・モード

AD2Sレジスタで指定される1つのアナログ入力端子(ANI2n)を1回A/D変換し ,その結果を1つのAD2CRnレジスタに格納します。ANI2n端子とAD2CRnレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/D2変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は ,変換動作を停止します。

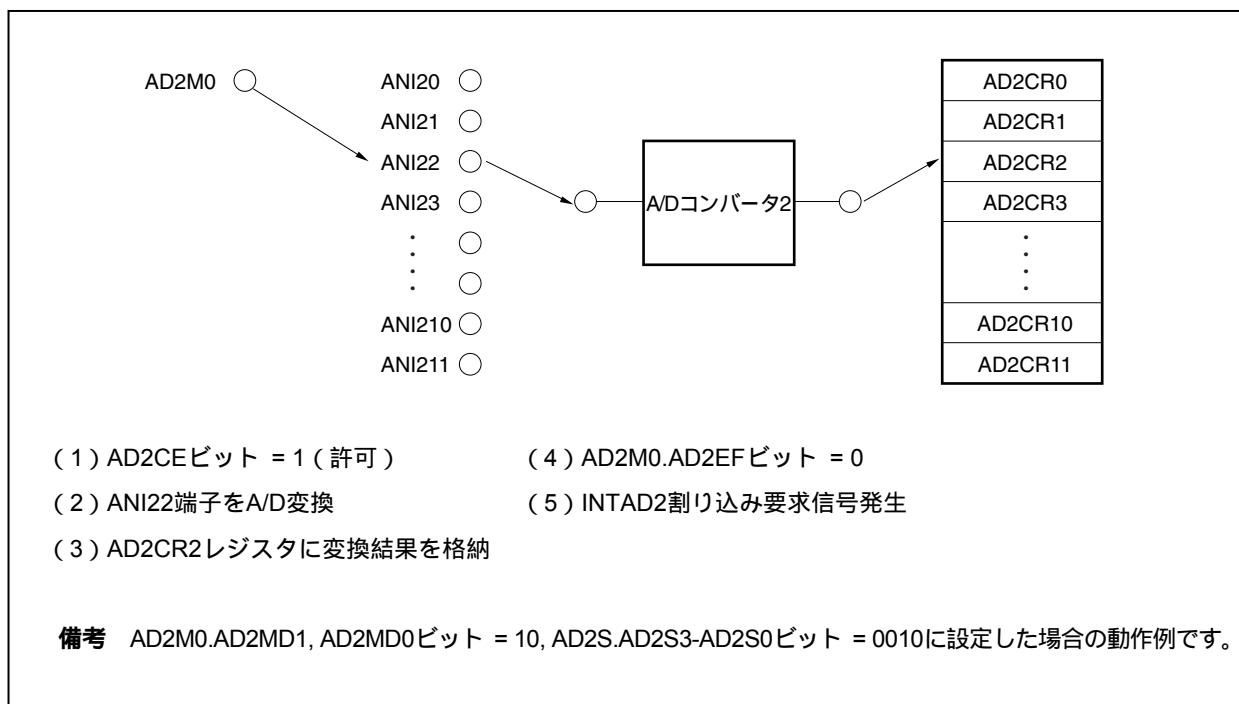
AD2M0.AD2CEビットをセット (1) すると , A/D変換を再起動できます。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANI2n	AD2CRn

備考 n = 0-11

図13 - 10 ソフトウェア・トリガ・ワンショット・セレクト・モードの動作例



(4) ソフトウェア・トリガ・ワンショット・スキャン・モードの動作

ANI20端子からAD2Sレジスタで指定されるアナログ入力端子 (ANI2n) までを順に選択し, A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したAD2CRnレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると, A/D2変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は, 変換動作を停止します。

AD2M0.AD2CEビットをセット (1) すると, A/D変換を再起動できます。

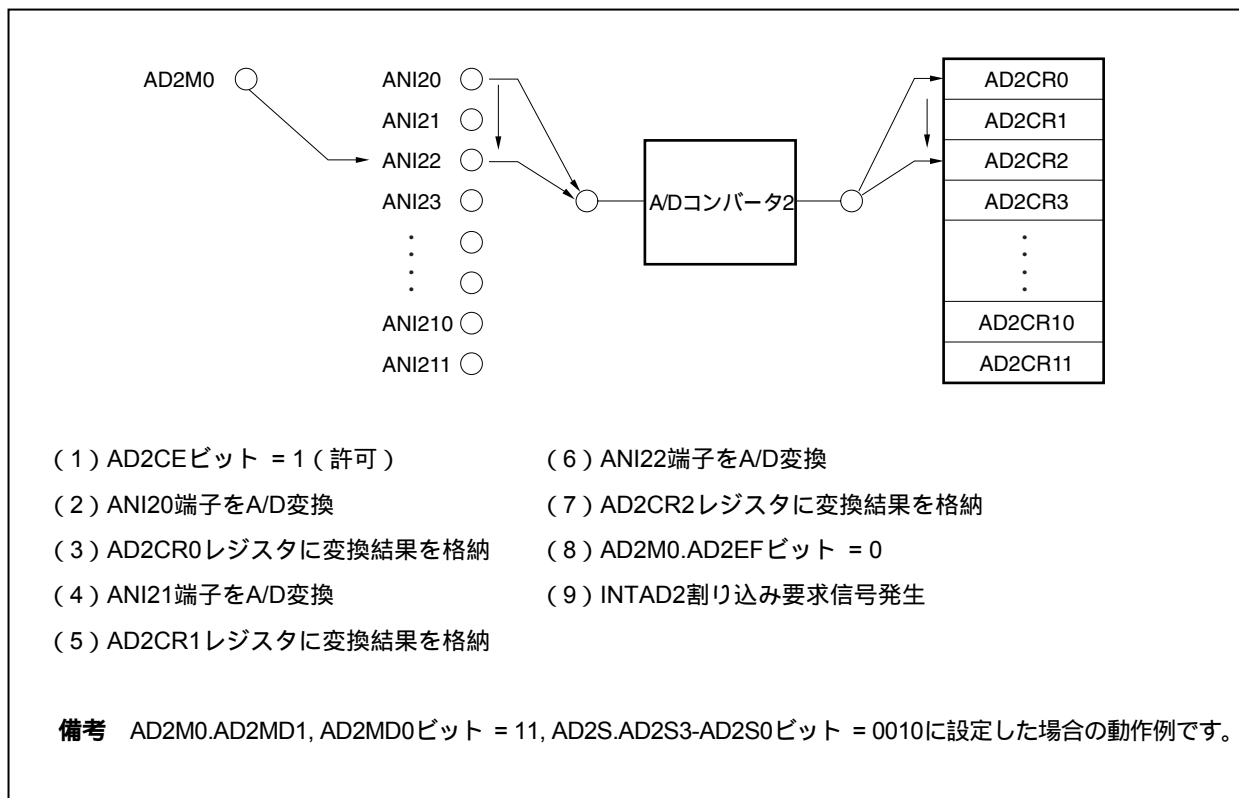
複数のアナログ入力を監視するような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANI20	AD2CR0
ANI2n ^注	AD2CRn

注 AD2S.AD2S0-AD2S3ビットで設定

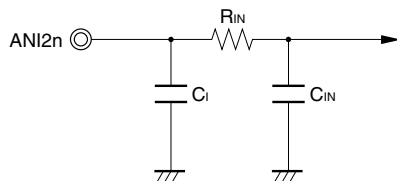
備考 n = 0-11

図13 - 11 ソフトウェア・トリガ・ワンショット・スキャン・モードの動作例



13.6 内部等価回路

アナログ入力部の等価回路を次に示します。



R	C ₁	C ₂
2.6 kΩ	15 pF	6.2 pF

備考1. 値はMAX.値（参考値）です。

2. n = 0-11

AD2M1レジスタ				A/D変換クロック数 (f _{AD2})	サンプリング・クロック数 (f _{AD2})
AD2FR3 ビット	AD2FR2 ビット	AD2FR1 ビット	AD2FR0 ビット		
0	0	1	1	124	66
0	1	0	0	155	82.5
0	1	0	1	186	99
0	1	1	0	217	115.5
0	1	1	1	248	132
1	0	0	0	279	148.5
1	0	0	1	310	165
1	0	1	0	341	181.5
1	0	1	1	372	198
1	1	0	0	403	214.5
1	1	0	1	434	231
1	1	1	0	465	247.5
1	1	1	1	496	264

13.7 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、AD2M0.AD2CEビット = 0, AD2M0.AD2PSビット = 0とすることにより消費電力を低減できます。

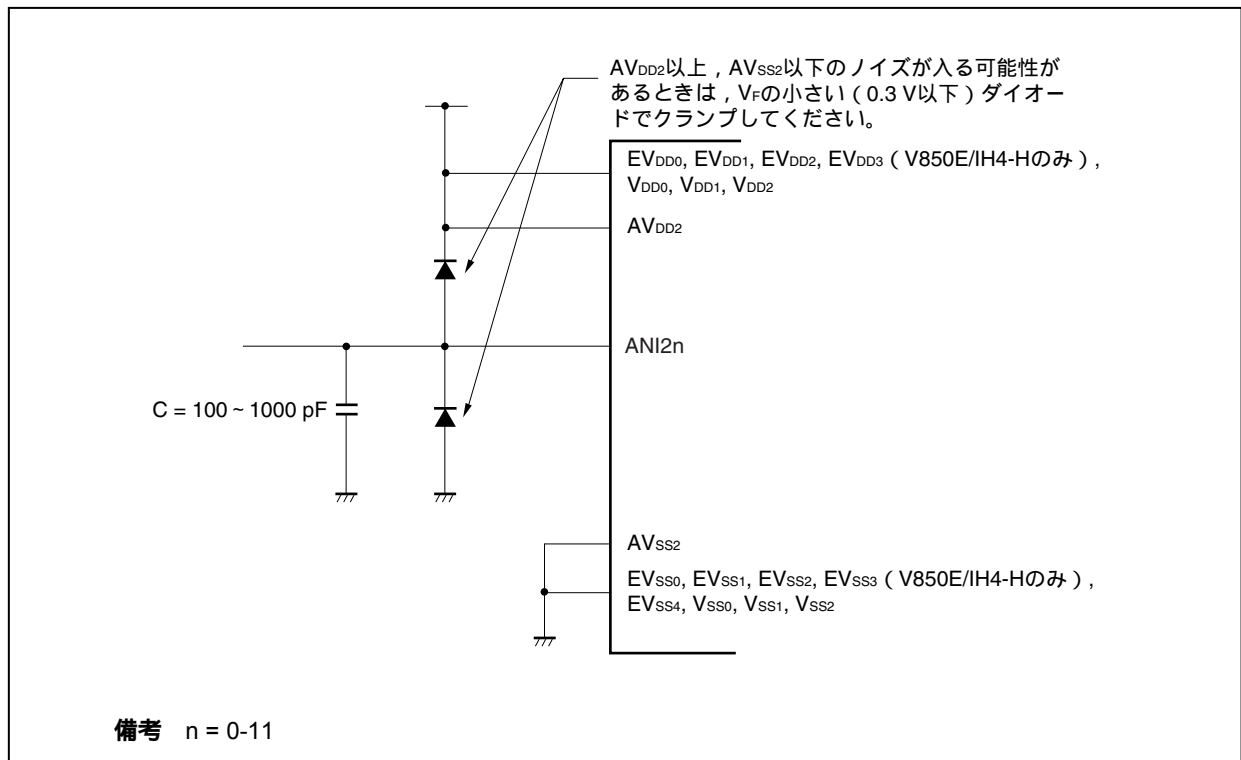
(2) ANI2n端子入力範囲について

ANI2n端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であってもAV_{DD2}以上、AV_{SS2}以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANI2n端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13 - 12のようにコンデンサを外付けすることを推奨します。

図13 - 12 アナログ入力端子の処理



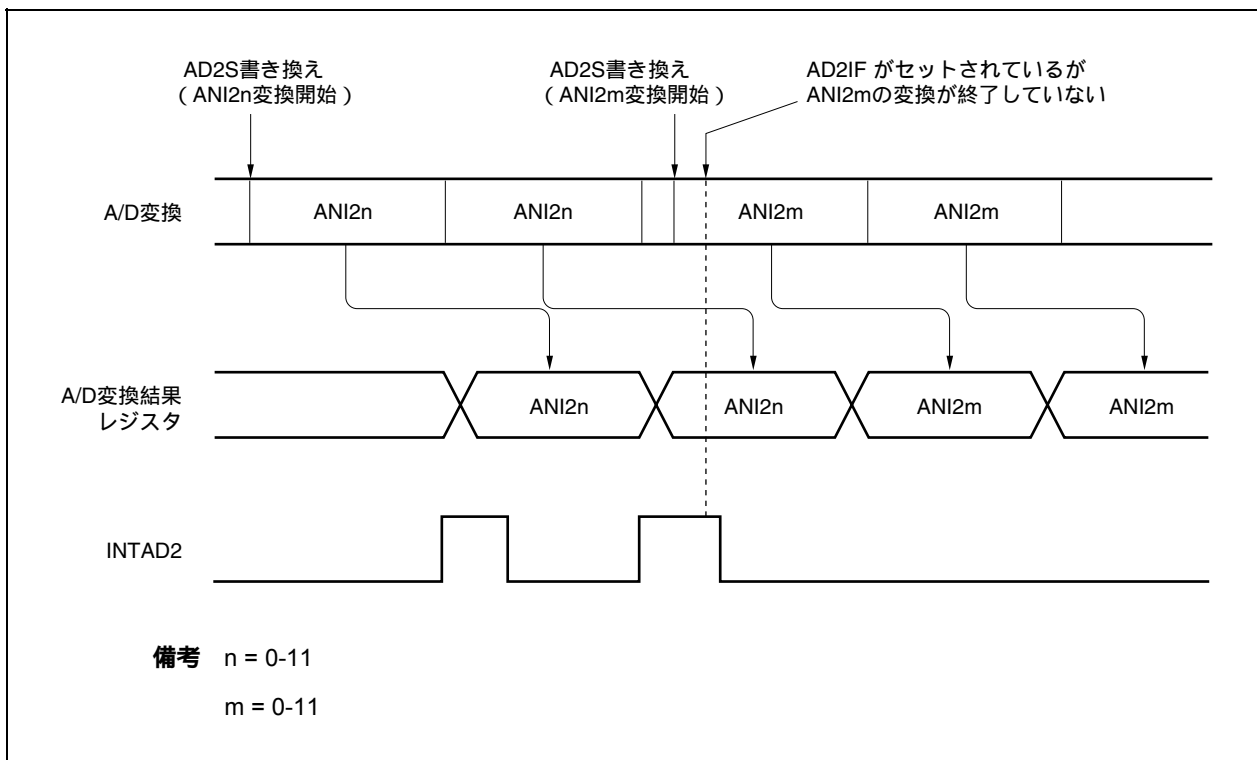
(4) 兼用入力について

アナログ入力 (ANI2n) 端子は入力ポート (P7n) と兼用になっています。ANI2n端子のいずれかを選択してA/D変換をする場合、変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。

(5) 割り込み要求フラグ (AD2IF) について

AD2Sレジスタを変更しても、割り込み要求フラグ (AD2IF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、AD2Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果およびA/D2変換終了割り込み要求フラグがセットされる場合があります。AD2Sレジスタ書き換え直後にAD2IFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずAD2IFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にAD2IFフラグをクリアしてください。

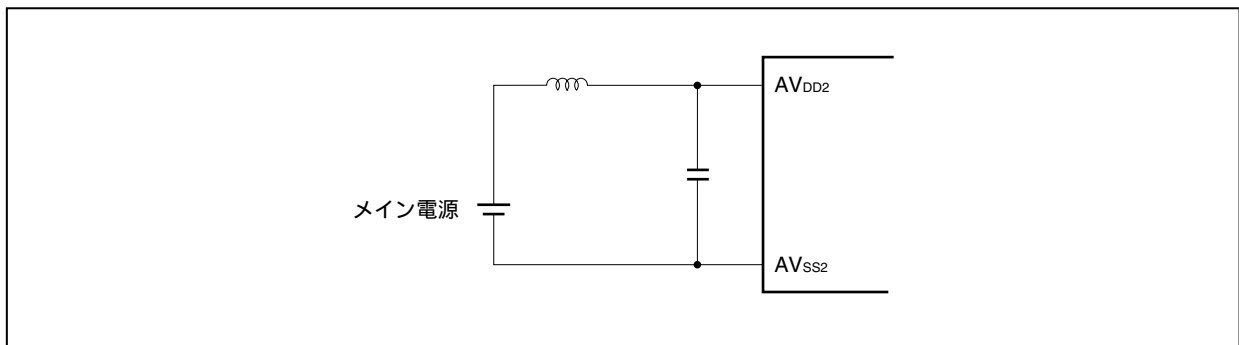
図13 - 13 A/D2変換終了割り込み要求発生タイミング



(6) AV_{DD2}端子について

- (a) AV_{DD2}端子はA/Dコンバータ2の電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図13 - 12のように必ずEV_{DD0}, EV_{DD1}, EV_{DD2}, EV_{DD3} (V850E/IH4-Hのみ) と同じ電位を印加してください。
- (b) AV_{DD2}端子はA/Dコンバータ2用の基準電圧端子を兼用しています。したがって、AV_{DD2}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可 (AD2CEビット = 1) 直後) により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図13 - 14のようにAV_{DD2}端子とAV_{SS2}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{DD2}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図13 - 14 AV_{DD2}端子の処理例



(7) AD2CRnレジスタの読み出しについて

AD2M0, AD2M1, AD2Sレジスタに対して書き込み動作を行ったとき、AD2CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、AD2M0, AD2M1, AD2Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(8) A/D変換結果について

アナログ入力端子 (ANI2n) および電源電圧端子 (AV_{DD2}) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回の A/D 変換結果の平均値を A/D 変換結果として使用する。
- ・ 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

(9) スタンバイ・モードについて

A/Dコンバータ2は、IDLEモードおよびSTOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。IDLEモードおよびSTOPモード解除後、再び動作を開始しますが、IDLEモードおよびSTOPモード解除後のA/D変換結果は無効です。IDLEモードおよびSTOPモード解除後にA/Dコンバータ2を使用する場合は、IDLEモードおよびSTOPモード設定前または解除後にAD2M0.AD2CEビット = 0に設定してからIDLEモードおよびSTOPモード解除後にAD2CEビット = 1に設定してください。

(10) A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

(11) A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このためアナログ入力源の出力インピーダンスが高いと次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、アナログ入力源の出力インピーダンスを低くするか、または同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

13.8 A/Dコンバータ特性表の読み方

詳細については、12.7 A/Dコンバータ特性表の読み方を参照してください。

第14章 アシクロナス・シリアル・インタフェースA(UARTA)

14.1 特 徴

転送速度 300 bps ~ 1.25 Mbps (周辺クロック (f_{clk}) : 100 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTA受信データ・レジスタn (UAnRX) 内蔵

UARTA送信データ・レジスタn (UAnTX) 内蔵

2端子構成 TXDAn : 送信データの出力端子

RXDAn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み (INTUAnRE) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信終了割り込み (INTUAnR) : 受信許可状態において, シリアル転送終了後, シフト・レジスタからUAnRXレジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUAnT) : 送信許可状態において, UAnTXレジスタからシフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

備考 n = 0-2

14.2 構 成

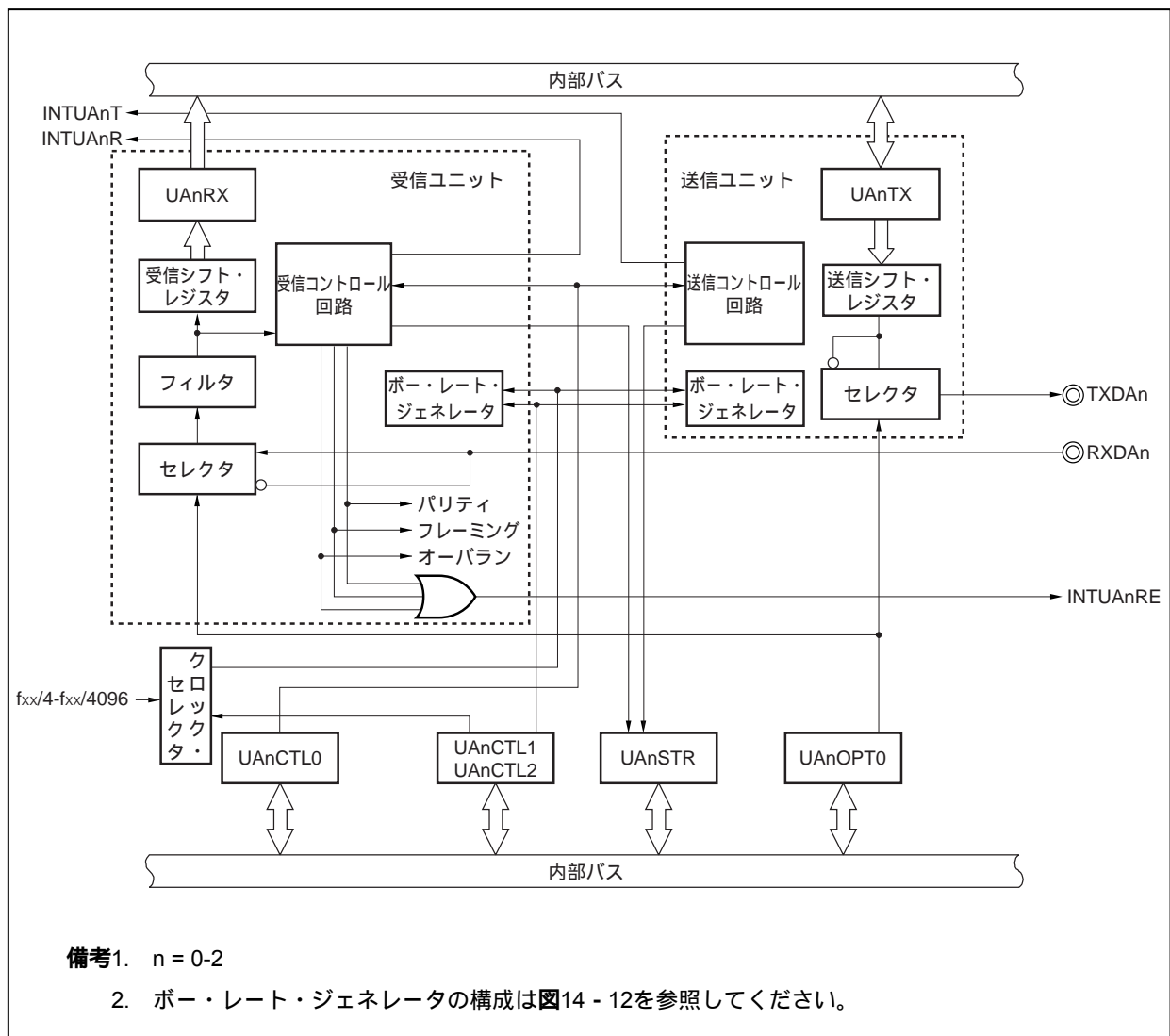
UARTAnは、次のハードウェアで構成されています。

表14 - 1 UARTAnの構成

項 目	構 成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0)
	UARTAn制御レジスタ1 (UAnCTL1)
	UARTAn制御レジスタ2 (UAnCTL2)
	UARTAnオプション制御レジスタ0 (UAnOPT0)
	UARTAn状態レジスタ (UAnSTR)
	UARTAn受信シフト・レジスタ
	UARTAn受信データ・レジスタ (UAnRX)
	UARTAn送信シフト・レジスタ
	UARTAn送信データ・レジスタ (UAnTX)

次にUARTAnのブロック図を示します。

図14 - 1 UARTAnのブロック図



(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビットのレジスタです。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロック (f_{CLK}) を選択する8ビットのレジスタです。

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのポー・レート制御する8ビットのレジスタです。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビットのレジスタです。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) されます。

(6) UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(7) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます (LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信終了割り込み要求信号 (INTUAnR) が発生します。

(8) UARTAn送信シフト・レジスタ

UARTAn送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、UARTAn送信シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

(9) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる (UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される) と、送信許可割り込み要求信号 (INTUAnT) を発生します。

14. 2. 1 各チャネルの端子機能について

V850E/IG4-H, V850E/IH4-Hでは, UARTAを構成するRXDAn, TXDAnは, 表14 - 2のように兼用されています。各端子を使用する場合は, ポート機能の設定をする必要があります(表4 - 16 ポート端子を兼用端子として使用する場合参照)。

表14 - 2 端子構成

チャネル	ピン番号		ポート	UARTA受信入力	UARTA送信出力	その他の兼用機能
	IG4-H	IH4-H				
	GC	GF				
UARTA0	46	96	P40	RXDA0	-	SIF0/DDI/TOA00
	47	97	P41	-	TXDA0	SOF0
UARTA1	54	106	P30	RXDA1	-	SCL/WR1
	55	107	P31	-	TXDA1	SDA/WAIT
UARTA2	56	108	P32	RXDA2	-	SIF1/ $\overline{CS1}$
	57	109	P33	-	TXDA2	SOF1

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

14.3 UARTAとほかのシリアル・インタフェースのモード切り替え

14.3.1 UARTA0とCSIF0のモード切り替え

V850E/IG4-H, V850E/IH4-Hでは, UARTA0とCSIF0は端子が兼用になっており, 同時に使用することはできません。UARTA0を使用するときは, あらかじめPMC4, PFC4, PFCE4レジスタを設定する必要があります。

次にシリアル・インタフェースのUARTA0とCSIF0との動作モードの設定について示します。

注意 UARTA0またはCSIF0において, 送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14 - 2 UARTA0とCSIF0の動作モード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF448H								
	7	6	5	4	3	2	1	0
PMC4	0	0	0	PMC44	PMC43	PMC42	PMC41	PMC40
リセット時 : 00H R/W アドレス : FFFFF468H								
	7	6	5	4	3	2	1	0
PFC4	0	0	0	PFC44	PFC43	0	PFC41	PFC40
リセット時 : 00H R/W アドレス : FFFFF708H								
	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	PFCE42	0	PFCE40
	PMC42	PFCE42	動作モード					
	0	x	ポート入出力モード					
	1	0	SCKF0					
	PMC4n	PFC4n	動作モード					
	0	x	ポート入出力モード					
	1	0	CSIF0モード					
	1	1	UARTA0モード					
備考1. n = 0, 1								
2. x = don't care								

14.3.2 UARTA1とI²Cのモード切り替え

V850E/IG4-H, V850E/IH4-Hでは, UARTA1とI²Cは端子が兼用になっており, 同時に使用することはできません。UARTA1を使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

次にシリアル・インタフェースのUARTA1とI²Cとの動作モードの設定について示します。

注意 UARTA1またはI²Cにおいて, 送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14-3 UARTA1とI²Cの動作モード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	0	0	PFCE34	0	PFCE32	PFCE31	PFCE30
	PMC3n	PFC3n	動作モード					
	0	x	ポート入出力モード					
	1	0	UARTA1モード					
	1	1	I ² Cモード					
備考1. n = 0, 1								
2. x = don't care								

14.3.3 UARTA2とCSIF1のモード切り替え

V850E/IG4-H, V850E/IH4-Hでは, UARTA2とCSIF1は端子が兼用になっており, 同時に使用することはできません。UARTA2を使用するときは, あらかじめPMC3, PFC3レジスタを設定する必要があります。

次にシリアル・インタフェースのUARTA2とCSIF0との動作モードの設定について示します。

注意 UARTA2またはCSIF1において, 送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14 - 4 UARTA2とCSIF1の動作モード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	0	0	PFCE34	0	PFCE32	PFCE31	PFCE30
	PMC34	PFC34	動作モード					
	0	x	ポート入出力モード					
	1	0	SCKF1入出力					
	PMC3n	PFC3n	動作モード					
	0	x	ポート入出力モード					
	1	0	CSIF1モード					
	1	1	UARTA2モード					
備考1. n = 2, 3								
2. x = don't care								

14.4 制御レジスタ

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H,
UA2CTL0 FFFFFFFA20H

UAnCTL0	⑦	⑥	⑤	④	3	2	1	0
(n = 0-2)	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL

UAnPWR	UAnCTL0の動作の制御
0	UARTAn動作禁止 (UARTAnを非同期にリセット)
1	UARTAn動作許可

UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0. UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UAnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- ・ 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。
- ・ 送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロック (f_{CLK}) の2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては14.7 (1) (a) 基本クロック参照)。
- ・ 動作許可 (UAnPWRビット = 1) した場合には、UAnTXE = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから送信動作が許可状態になります。
- ・ UAnPWRビット = 0にすると、UAnTXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnTXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、送信動作は許可状態になります。

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

・起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。
 ・受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 14.7 (1) (a) **基本クロック**参照)。
 ・動作許可 (UAnPWRビット = 1) した場合には、UAnRXE = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから受信動作が許可状態になります。受信動作の許可状態前にスタート・ビットを受信した場合は、スタート・ビットは無視されます。
 ・UAnPWRビット = 0にすると、UAnRXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnRXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、受信動作は許可状態になります。

UAnDIR ^注	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

UAnPS1 ^注	UAnPS0 ^注	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

受信時に「0パリティとして受信」を選択した場合、パリティ判定を行いません。したがって、UAnSTR.UAnPEビットはセットされないため、パリティ・エラーによるエラー割り込みも発生しません。

UAnCL ^注	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

UAnSL ^注	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

受信データのストップ・ビットは、UAnSLビットの値に関わらず、最初の1ビットのみチェックします。

注 UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。ただし、同時にUAnPWR, UAnTXE, UAnRXEビットのいずれか、またはすべてを1とするのは可能です。

備考 パリティについての詳細は、14.6.6 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、14.7 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、14.7 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

リセット時：14H R/W アドレス：UA0OPT0 FFFFFFFA03H, UA1OPT0 FFFFFFFA13H,
UA2OPT0 FFFFFFFA23H

	7	6	5	4	3	2	1	0
UAnOPT0	0	0	0	1	0	1	UAnTDL	UAnRDL

(n = 0-2)

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力

- ・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。
- ・ UAnCTL0.UAnPWRビット = 0またはUAnCTL0.UAnTXEビット = 0のとき設定できます。

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力

- ・ UAnRDLビットによりRXDAn端子の入力レベルを反転できます。
- ・ UAnPWRビット = 0またはUAnCTL0.UAnRXEビット = 0のとき設定できます。
- ・ UAnRDLビット = 1 (受信データ反転入力) と設定した場合は、必ず受信開始時にデータ受信端子をUART受信用端子 (RXDAn) に設定してから、受信許可 (UAnCTL0.UAnRXEビット = 1) にする必要があります。受信許可後に端子モードを変更すると、そのときの端子レベルがハイ・レベルの場合にはスタート・ビットを誤検出します。

注意 ビット3, 5-7には必ず0を、ビット2, 4には必ず1を設定してください。
それ以外の値を設定した場合の動作は保証できません。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE, UAnFE, UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	<ul style="list-style-type: none"> ・リセット時 ・UAnCTL0.UAnPWRビット = 0
UAnTSFビット	<ul style="list-style-type: none"> ・UAnCTL0.UAnTXEビット = 0
UAnPE, UAnFE, UAnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UAnCTL0.UAnRXEビット = 0

注意 UAnPE, UAnFE, UAnOVEビットのエラー・フラグは、必ずリードしてフラグの状態を確認後、“0”ライトしてクリアしてください。

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H,
UA2STR FFFFFFFA24H

	⑦	6	5	4	3	②	①	①
UAnSTR (n = 0-2)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> ・ UAnPWRビット = 0, または UAnTXEビット = 0 に設定したとき ・ 転送終了後に, UAnTXレジスタに次のデータ転送がなかったとき
1	UAnTXレジスタへの書き込み

連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。
送信ユニットの初期化を行う場合には, UAnTSFビット = 0 になっていることを確認してから初期化を行ってください。UAnTSFビット = 1 の状態で初期化を行った場合の送信データは保証できません。

UAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> ・ UAnPWRビット = 0, または UAnRXEビット = 0 に設定したとき ・ “0” をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき

・ UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。
・ UAnPEビットはリード/ライト可能となっておりますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。

UAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> ・ UAnPWRビット = 0, または UAnRXEビット = 0 に設定したとき ・ “0” をライトしたとき
1	受信時, ストップ・ビットが検出されないとき

・ 受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。
・ UAnFEビットはリード/ライト可能となっておりますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。

UAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> ・ UAnPWRビット = 0, または UAnRXEビット = 0 に設定したとき ・ “0” をライトしたとき
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が終了したとき

・ オーバラン・エラーが発生したとき, 次の受信データはUAnRXレジスタに書き込まれず, データは破棄されます。
・ UAnOVEビットはリード/ライト可能となっておりますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、UARTAn受信シフト・レジスタで変換したパラレル・データを格納するための8ビットのバッファ・レジスタです。

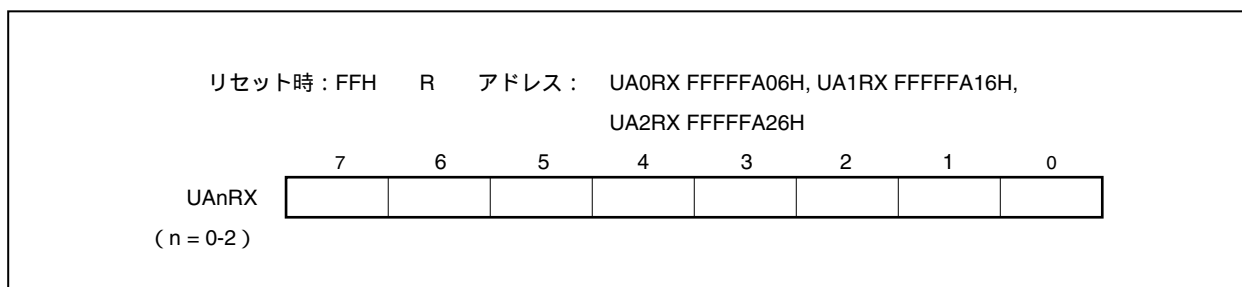
1バイト・データの受信終了によりUARTAn受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。このタイミングで受信終了割り込み要求信号 (INTUAnR) を発生します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-1に転送されLSBは必ず“0”になります。

オーバラン・エラーが発生した場合(UAnSTR.UAnOVEビット = 1)は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。

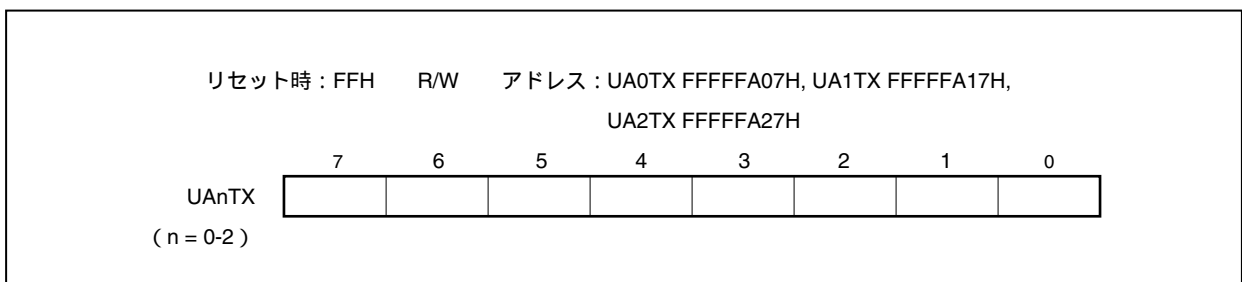
**(7) UARTAn送信データ・レジスタ (UAnTX)**

UAnTXレジスタは、送信データを設定するための8ビットのレジスタです。

送信許可状態 (UAnCTL0.UAnTXEビット = 1) のときに、UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生します。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



14.5 割り込み要求信号

UARTAnからは次の3種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTUAnRE)
- ・受信終了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら3種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込み要求信号が最も高く、受信終了割り込み要求信号、送信許可割り込み要求信号の順に低くなります。

表14 - 3 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	高
受信終了	
送信許可	低

(1) 受信エラー割り込み要求信号 (INTUAnRE)

受信許可状態中で、UAnSTRレジスタで説明した3種類の受信エラー(パリティ・エラー、フレーミング・エラー、オーバラン・エラー)の論理和 (OR) で受信エラー割り込み要求信号を発生します。

(2) 受信終了割り込み要求信号 (INTUAnR)

受信許可状態中で、UARTAn受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信終了割り込み要求信号が発生します。

受信禁止状態中は、受信終了割り込み要求信号は発生しません。

(3) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

14.6 動作

14.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

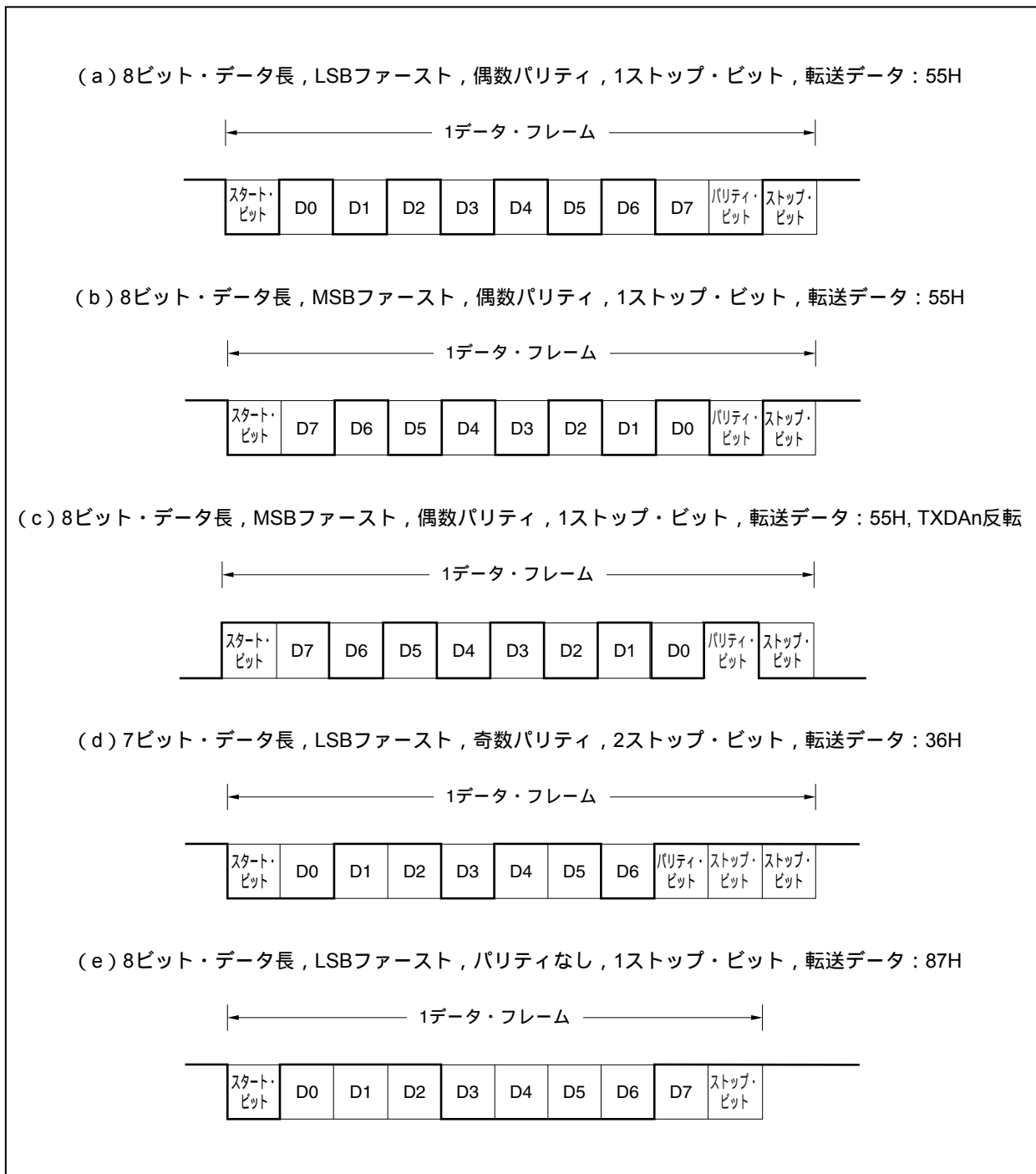
送受信データのフォーマットは図14-5に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUARTAn出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット 1ビット/2ビット

図14-5 UARTAの送受信データのフォーマット



14. 6. 2 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより, TXDAn端子からハイ・レベルを出力します。

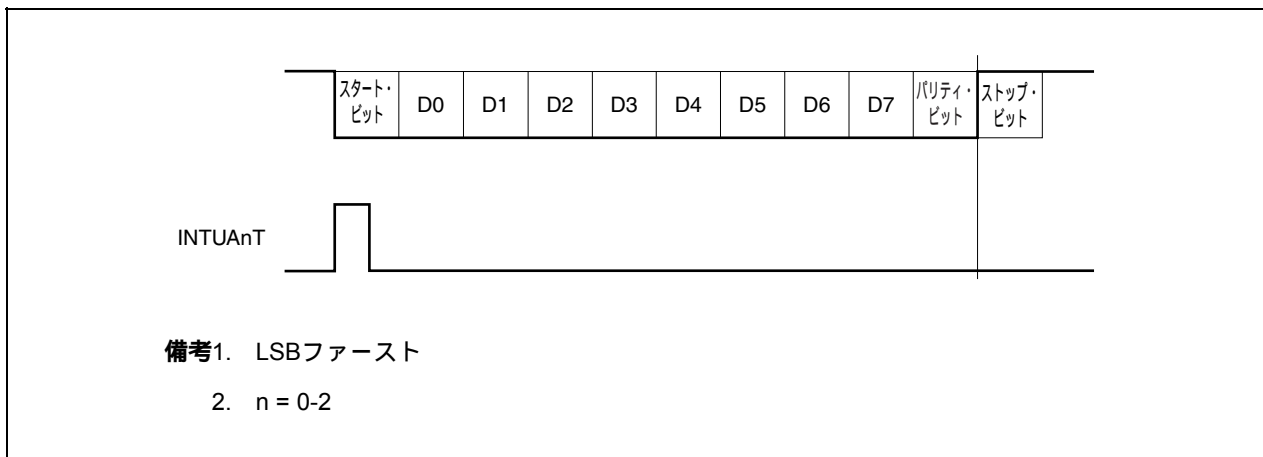
次に, UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり, UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加します。

なお, UARTAnにはCTS (送信許可信号) 入力端子がないので, 相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により, UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで, 送信許可割り込み要求信号 (INTUAnT) を発生し, そのあとUARTAn送信シフト・レジスタから順次, TXDAn端子に出力します。INTUAnT信号が発生することで, UAnTXレジスタに次の転送データの書き込みを許可します。

図14 - 6 UART送信



14. 6. 3 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

注意 連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認して初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

備考 n = 0-2

図14 - 7 連続送信の処理フロー

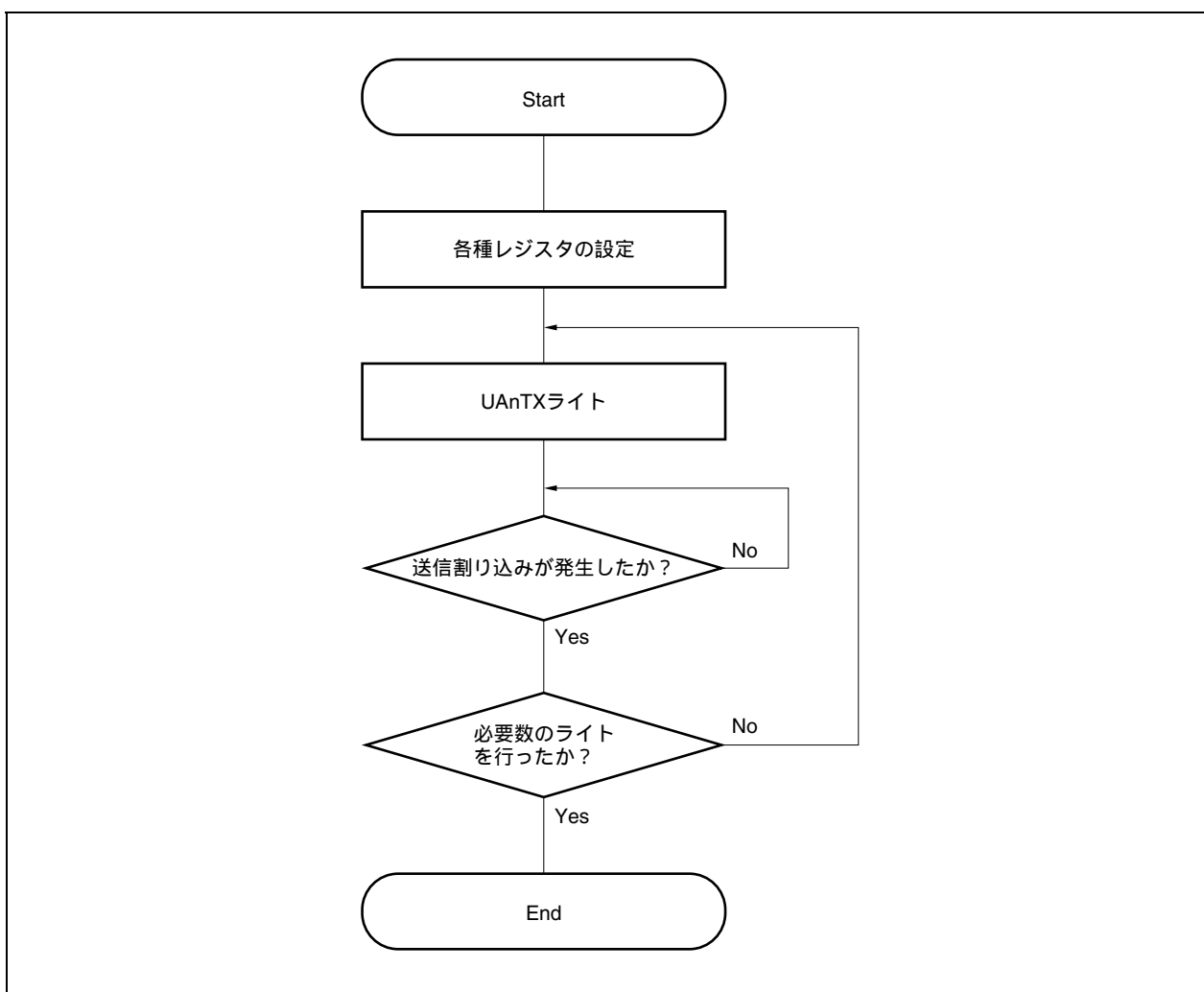
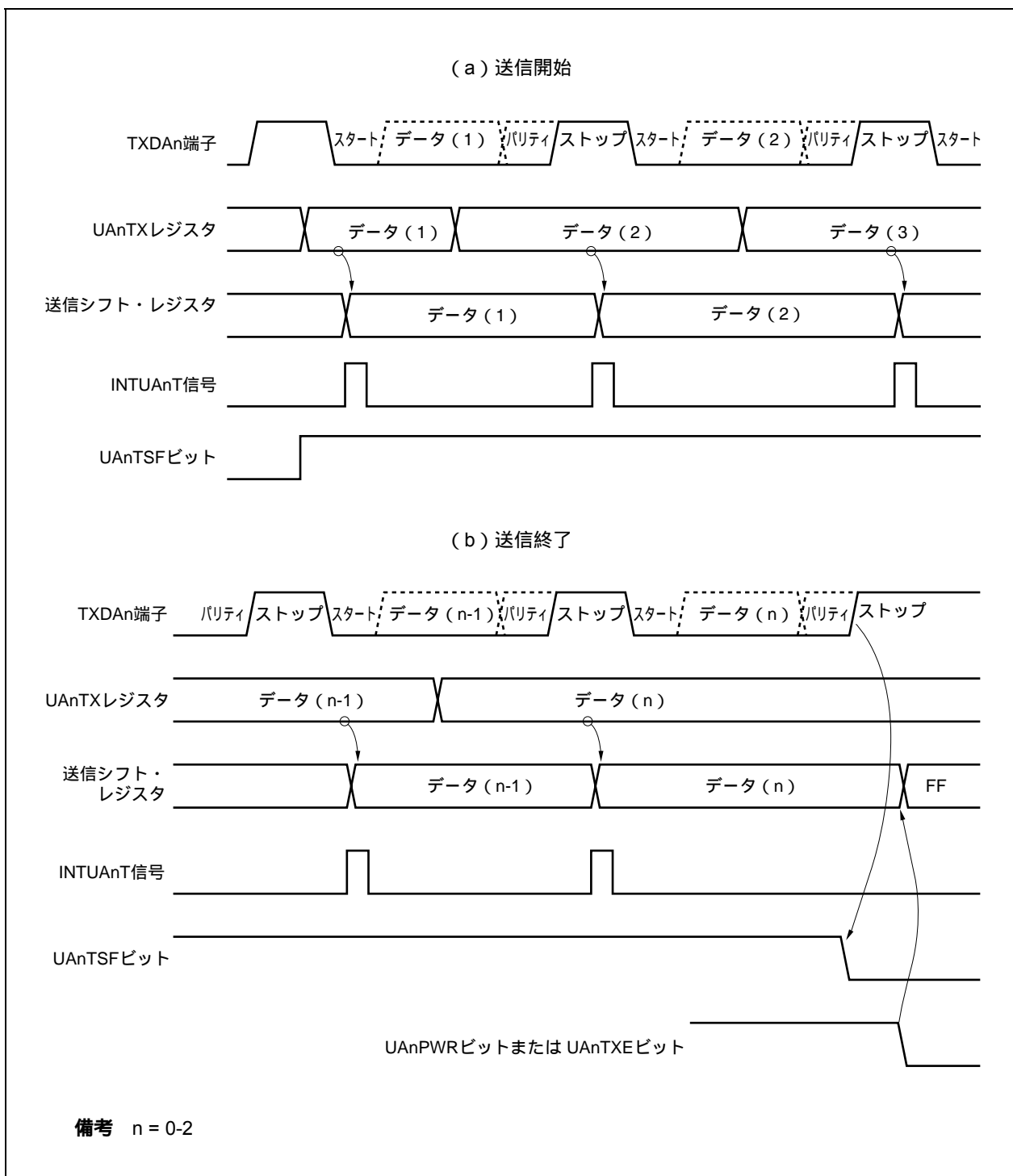


図14 - 8 連続送信動作のタイミング



14.6.4 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

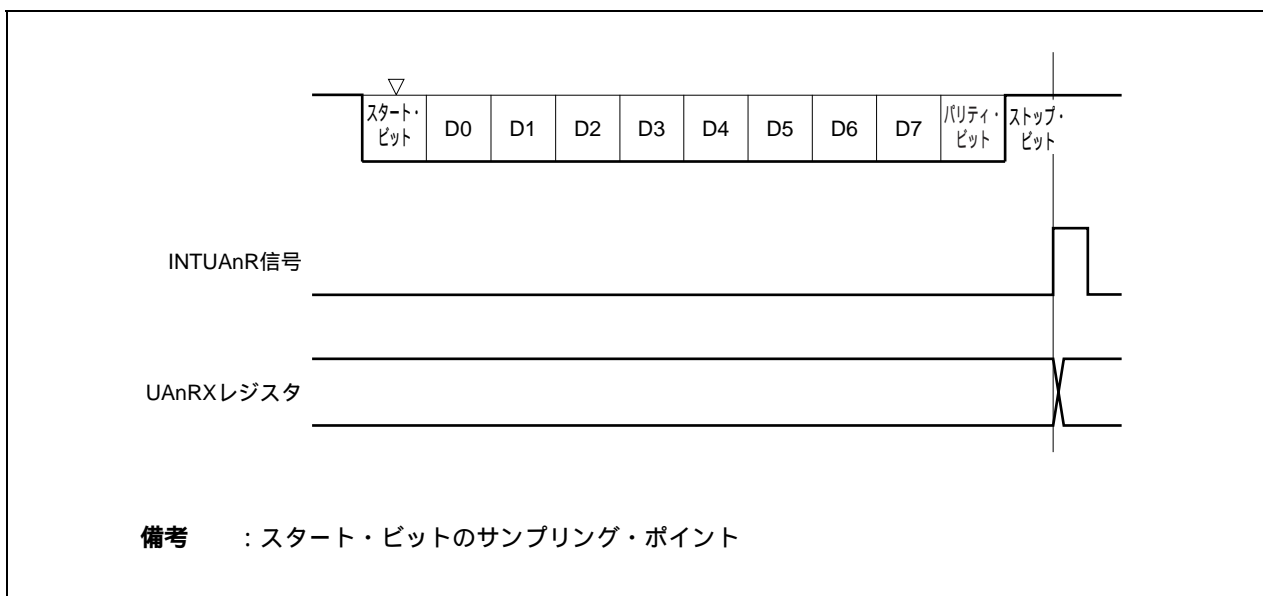
まずRXDAn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信終了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1)、そのときの受信データはUAnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UAnSTR.UAnPEビット = 1)、フレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信終了後にINTUAnRE信号を発生します。

備考 n = 0-2

図14 - 9 UART受信



- 注意1. 受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
 3. 受信終了時は、受信終了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。
 4. UARTAnの受信終了処理(INTUAnR信号の発生)と、UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込みマスク・フラグ (UAnRIC.UAnRMK) をセット (1) してから、UAnPWRビット = 0またはUAnRXEビット = 0とし、さらに割り込み要求フラグ (UAnRIC.UAnRIF) をクリア (0) してください。

14.6.5 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され、受信エラー割り込み要求信号 (INTUAnRE) を発生します。

UAnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0” ライトによりクリアしてください。

注意 受信終了割り込み要求信号 (INTUAnR) と受信エラー割り込み要求信号 (INTUAnRE) は同時に発生しません。正常受信終了時にはINTUAnR信号が発生します。受信エラー時にはINTUAnRE信号が発生し、INTUAnR信号は発生しません。

備考 n = 0-2

・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバーラン・エラー	UAnRXレジスタからデータを読み出す前に次のデータ受信が終了

14.6.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

14.6.7 受信データのノイズ・フィルタ

専用ポーレート・ジェネレータからの基本クロック (f_{CLK}) でRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図14-11参照)。基本クロックについては14.7(1)(a)基本クロックを参照してください。

また、回路は図14-10のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

備考 $n = 0-2$

図14-10 ノイズ・フィルタ回路

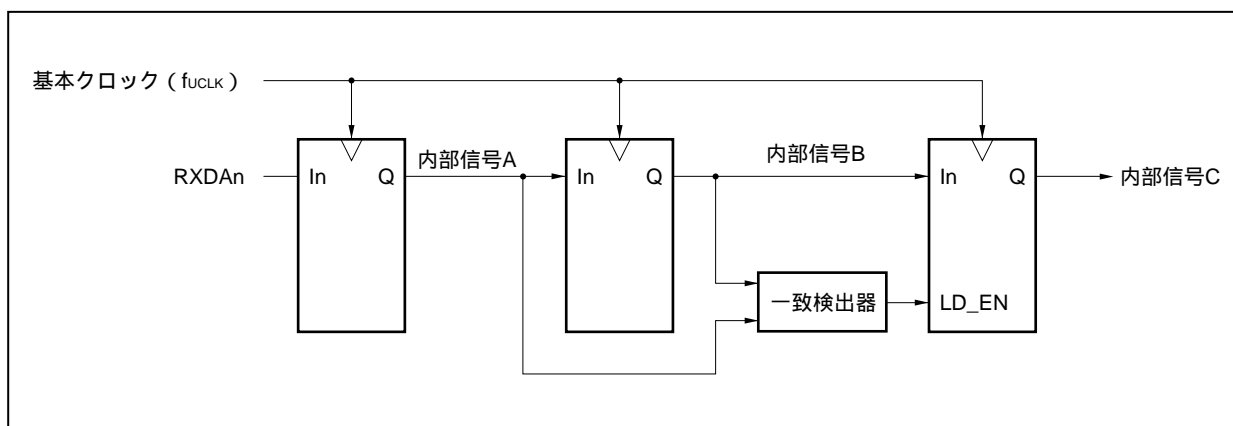
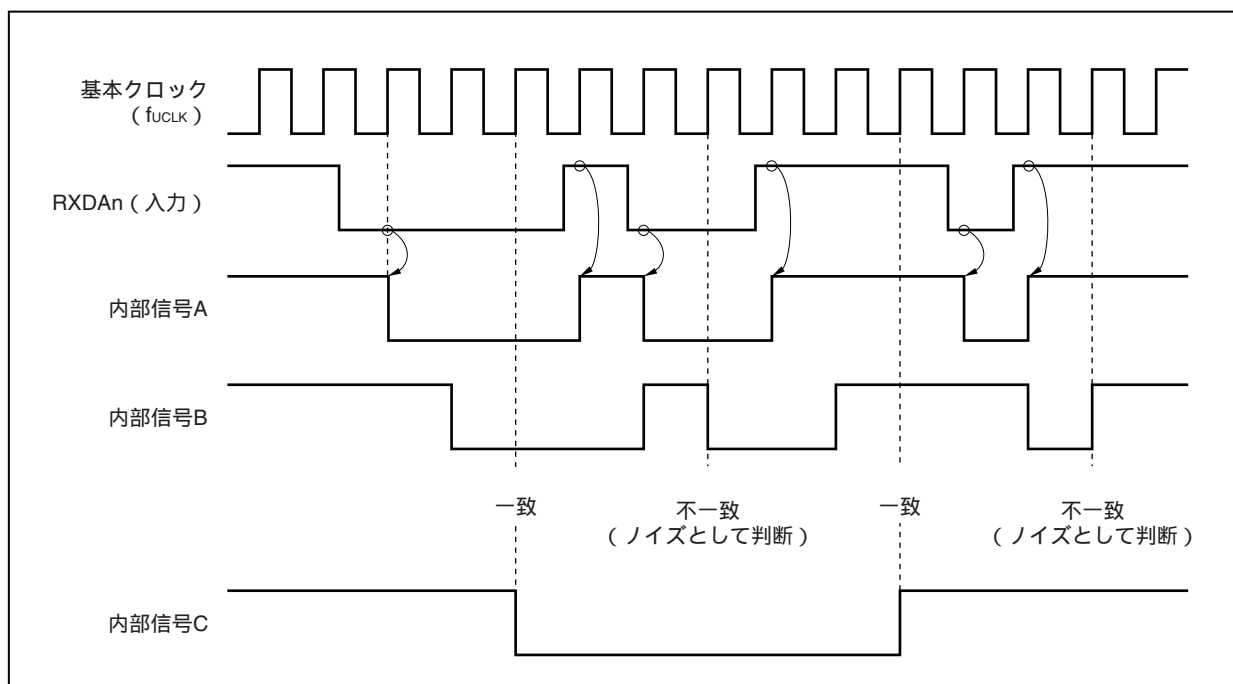


図14-11 ノイズとして判断されるRXDAn信号のタイミング



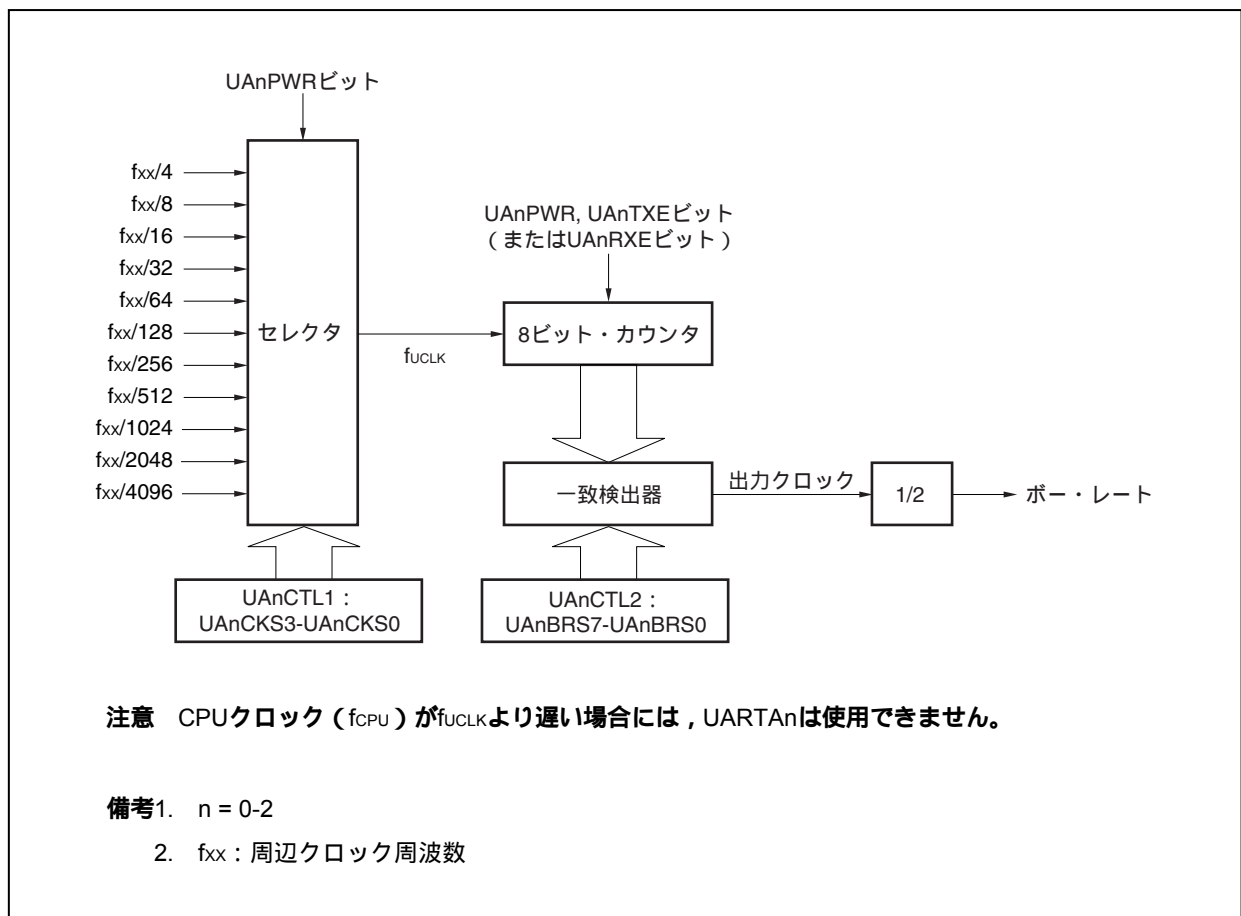
14.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図14 - 12 ポー・レート・ジェネレータの構成



(a) 基本クロック

UAnCTL0.UAnPWRビット = 1のとき、UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{uCLK}) と呼びます。UAnPWRビット = 0のときは、 f_{uCLK} はロウ・レベルに固定となります。

(b) シリアル・クロックの生成

UAnCTL1レジスタとUAnCTL2レジスタの設定により、シリアル・クロックを生成できます。

UAnCTL1.UAnCKS3-UAnCKS0ビットにより、基本クロック (f_{uCLK}) を選択します。

UAnCTL2.UAnBRS7-UAnBRS0ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H,
UA2CTL1 FFFFFFFA21H

	7	6	5	4	3	2	1	0
UAnCTL1 (n = 0-2)	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (f _{uCLK}) の選択
0	0	0	0	f _{xx} /4
0	0	0	1	f _{xx} /8
0	0	1	0	f _{xx} /16
0	0	1	1	f _{xx} /32
0	1	0	0	f _{xx} /64
0	1	0	1	f _{xx} /128
0	1	1	0	f _{xx} /256
0	1	1	1	f _{xx} /512
1	0	0	0	f _{xx} /1024
1	0	0	1	f _{xx} /2048
1	0	1	0	f _{xx} /4096
その他				設定禁止

備考 f_{xx} : 周辺クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UA0CTL2 FFFFFFFA02H, UA1CTL2 FFFFFFFA12H,
UA2CTL2 FFFFFFFA22H

	7	6	5	4	3	2	1	0	
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	
(n = 0-2)									

UAn BRS7	UAn BRS6	UAn BRS5	UAn BRS4	UAn BRS3	UAn BRS2	UAn BRS1	UAn BRS0	規定値 (k)	シリアル・ クロック
0	0	0	0	0	0	×	×	-	設定禁止
0	0	0	0	0	1	0	0	4	f _{UCLK} /4
0	0	0	0	0	1	0	1	5	f _{UCLK} /5
0	0	0	0	0	1	1	0	6	f _{UCLK} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{UCLK} /252
1	1	1	1	1	1	0	1	253	f _{UCLK} /253
1	1	1	1	1	1	1	0	254	f _{UCLK} /254
1	1	1	1	1	1	1	1	255	f _{UCLK} /255

備考 f_{UCLK} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [bps]}$$

f_{CLK} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

k : UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

(5) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(7) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 周辺クロック周波数 = 100 MHz = 100,000,000 Hz

UAnCTL1.UAnCKS3-UAnCKS0ビットの設定値 = 0000B ($f_{\text{CLK}} = 25,000,000$ Hz)

UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 = 01010001B ($k = 81$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 25000000 / (2 \times 81) \\ &= 154321 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (154321/153600 - 1) \times 100 \\ &= 0.47 \text{ [\%]} \end{aligned}$$

(6) ボー・レート設定例

表14-4 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 100 MHz		
	UAnCTL1	UAnCTL2	ERR (%)
300	08H	A2H	0.47
600	07H	A2H	0.47
1200	06H	A2H	0.47
2400	05H	A2H	0.47
4800	04H	A2H	0.47
9600	03H	A2H	0.47
19200	02H	A2H	0.47
31250	02H	64H	0
38400	01H	A2H	0.47
76800	00H	A2H	0.47
153600	00H	51H	0.47
312500	00H	28H	0.00
625000	00H	14H	0.00
1250000	00H	0AH	0.00

備考 f_{xx} : 周辺クロック周波数

ERR : ボー・レート誤差 [%]

(7) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 13 受信時の許容ボー・レート範囲

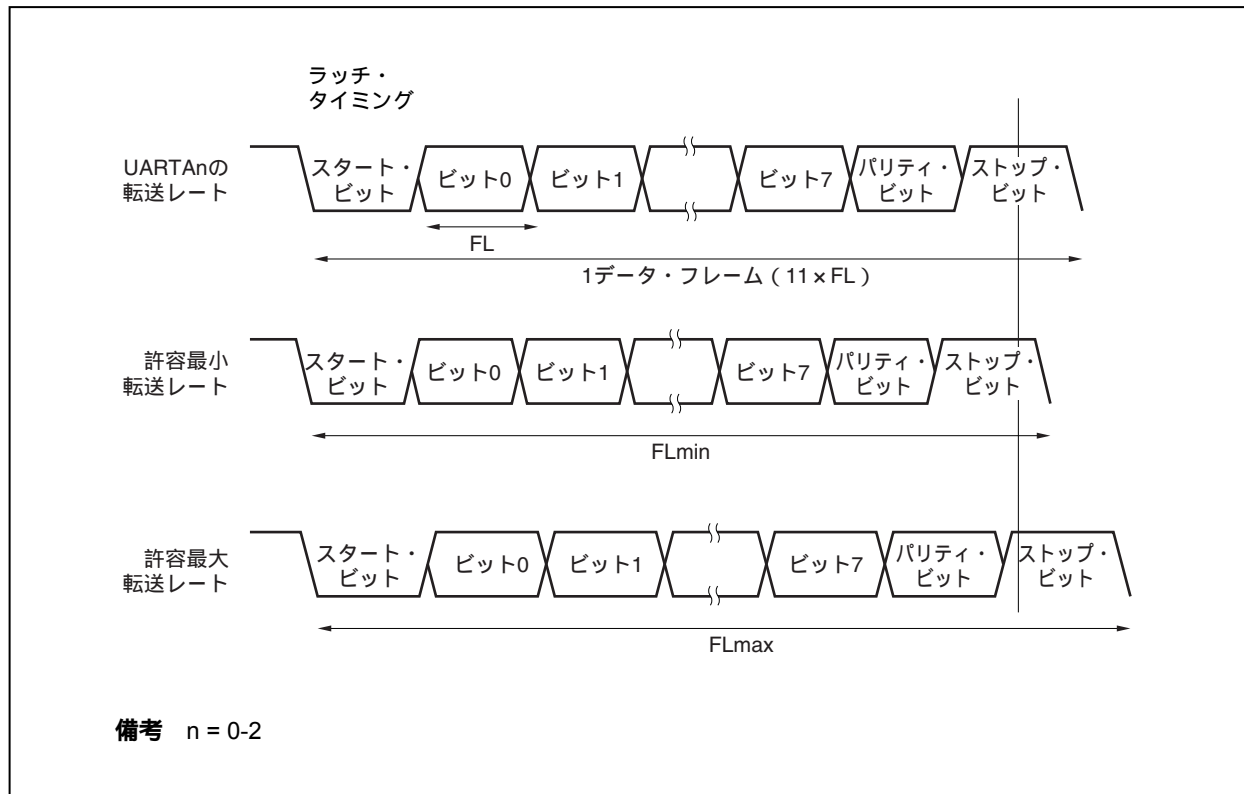


図14 - 13に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$\text{FL} = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート ($n = 0-2$)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 ($n = 0-2$)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : \text{FLmin} = 11 \times \text{FL} - \frac{k-2}{2k} \times \text{FL} = \frac{21k+2}{2k} \text{FL}$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表14-5 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

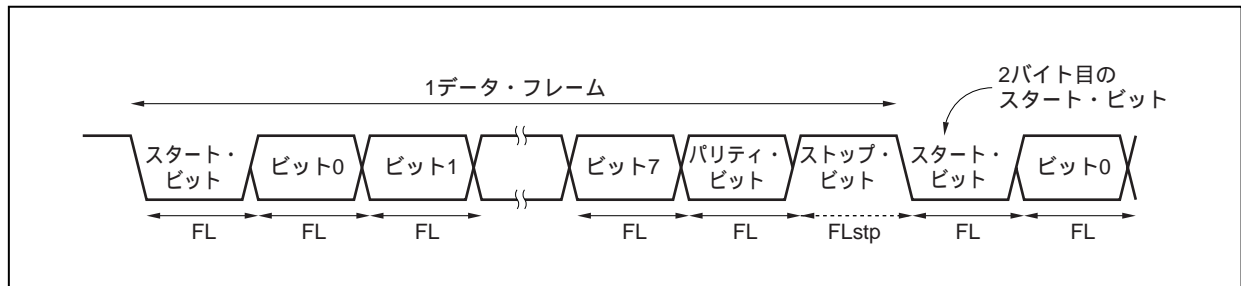
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)

(8) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図14 - 14 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{uCLK}とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{uCLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{uCLK})$$

14.8 注意事項

UARTAnへの供給クロックが停止する場合（例：IDLE, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXE, UAnTXEビット = 000とし、回路を初期化してください。

備考 n = 0-2

第15章 アシクロナス・シリアル・インタフェースB(UARTB)

15.1 特 徴

転送速度 最大5 Mbps (専用ポー・レート・ジェネレータ使用)

全二重通信

シングル・モード/FIFOモード切り替え可能

・シングル・モード：送信/受信それぞれ8ビット幅×1段のデータ・レジスタ (UBTXレジスタ/UBRXレジスタ) を使用

・FIFOモード

送信FIFO：UBTXレジスタ (8ビット幅×16段)

受信FIFO：UBRXAPレジスタ (16ビット幅×16段)

なお、UBRXAPレジスタの上位8ビットのうち2ビットはエラー・フラグ用です。

2端子構成 TXDB：送信データの出力端子

RXDB：受信データの入力端子

受信エラー検出機能

- ・オーバフロー・エラー (FIFOモード時のみ)
- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー (シングル・モード時のみ)

割り込みソース：5種類

- ・受信エラー割り込み要求信号 (INTUBTIRE)
- ・受信終了割り込み要求信号 (INTUBTIR)
- ・送信許可割り込み要求信号 (INTUBTIT)
- ・FIFO送信終了割り込み要求信号 (INTUBTIF) (FIFOモード時のみ)
- ・受信タイムアウト割り込み要求信号 (INTUBTITO) (FIFOモード時のみ)

送受信データのキャラクタ長はUBCTL0レジスタで指定

キャラクタ長：7, 8ビット

パリティ機能：奇数, 偶数, 0, なし

送信ストップ・ビット：1, 2ビット

転送データのMSB先頭/LSB先頭を切り替え可能

専用ポー・レート・ジェネレータ内蔵

15.2 構成

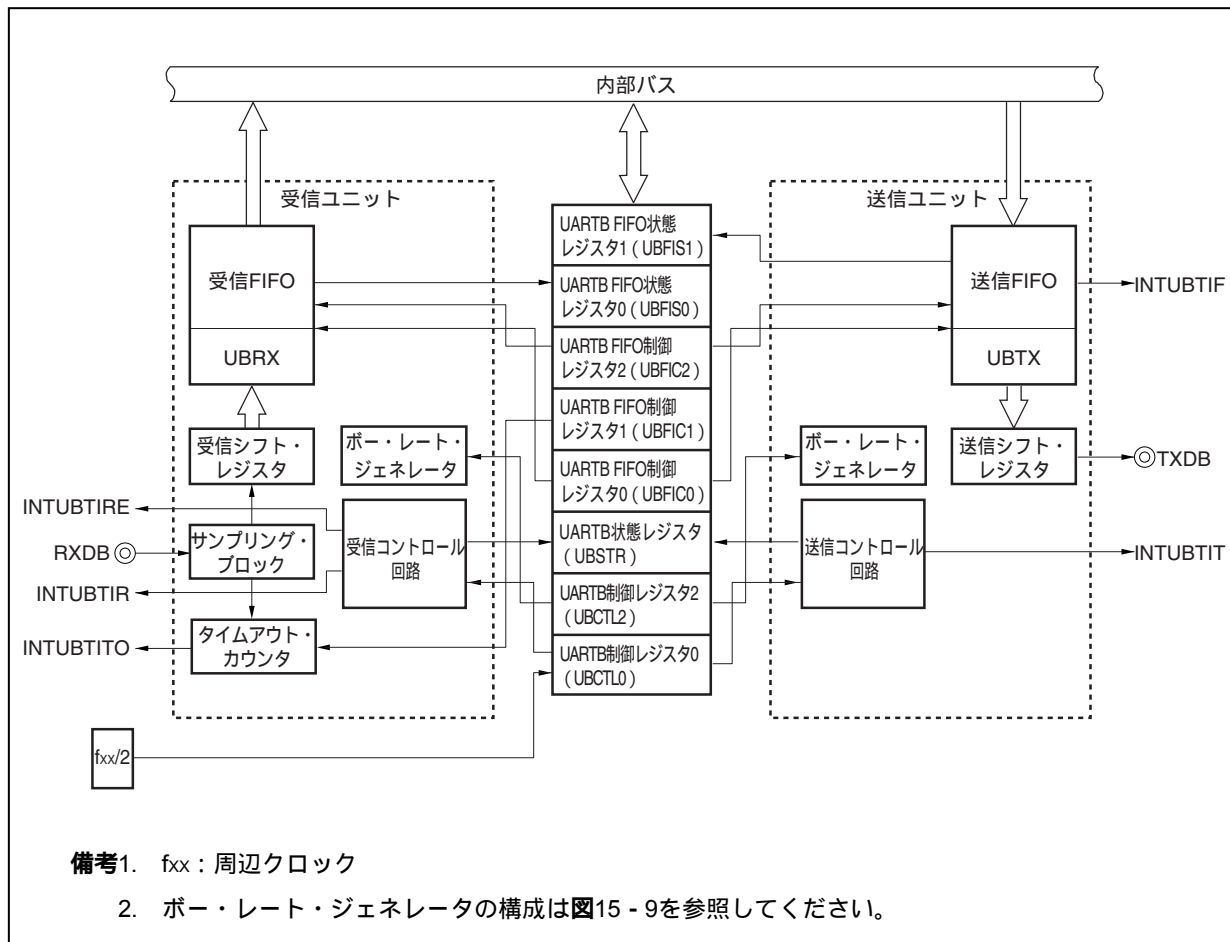
UARTBは、次のハードウェアで構成されています。

表15 - 1 UARTBの構成

項目	構成
レジスタ	UARTB制御レジスタ0 (UBCTL0)
	UARTB制御レジスタ2 (UBCTL2)
	UARTB状態レジスタ (UBSTR)
	UARTB FIFO制御レジスタ0 (UBFIC0)
	UARTB FIFO制御レジスタ1 (UBFIC1)
	UARTB FIFO制御レジスタ2 (UBFIC2)
	UARTB FIFO状態レジスタ0 (UBFIS0)
	UARTB FIFO状態レジスタ1 (UBFIS1)
	受信シフト・レジスタ
	UARTB受信データ・レジスタAP (UBRXAP)
	UARTB受信データ・レジスタ (UBRX)
	送信シフト・レジスタ
	UARTB送信データ・レジスタ (UBTX)

次にUARTBのブロック図を示します。

図15 - 1 UARTBのブロック図



(1) UARTB制御レジスタ0 (UBCTL0)

UBCTL0レジスタは、UARTBの転送動作を制御するレジスタです。

(2) UARTB状態レジスタ (UBSTR)

UBSTRレジスタは、送信時の転送状態と受信エラー内容を示すレジスタです。送信時の転送状態を示すステータス・フラグは送信シフト・レジスタおよび送信データ・レジスタ (シングル・モード時: UBTXレジスタ, FIFOモード時: 送信FIFO) のデータ保持状態を示します。受信エラーの各フラグは受信エラー発生時にセット (1) され、UBSTRレジスタに0を書き込んだときにクリア (0) されます。

(3) UARTB制御レジスタ2 (UBCTL2)

UBCTL2レジスタは、UARTBのボー・レート (シリアル転送スピード) を制御するための分周値を指定するレジスタです。

(4) UARTB FIFO制御レジスタ0 (UBFIC0)

UBFIC0レジスタは、UARTBの動作モードの選択と、FIFOモード時に有効となる送信FIFO/受信FIFOのクリアおよび送信許可割り込み要求信号 (INTUBTIT) / 受信終了割り込み要求信号 (INTUBTIR) の発生タイミング・モードを指定します。

(5) UARTB FIFO制御レジスタ1 (UBFIC1)

UBFIC1レジスタは、FIFOモード時に有効となるレジスタで、ストップ・ビットを受信後、次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFO内にデータが格納されている場合、受信タイムアウト割り込み要求信号 (INTUBTITO) を発生させます。

(6) UARTB FIFO制御レジスタ2 (UBFIC2)

UBFIC2レジスタは、FIFOモード時に有効となるレジスタで、データの送受信数をトリガとして送信許可割り込み要求信号 (INTUBTIT) / 受信終了割り込み要求信号 (INTUBTIR) を発生させるタイミングを設定します。

(7) UARTB FIFO状態レジスタ0 (UBFIS0)

UBFIS0レジスタは、FIFOモード時に有効となるレジスタで、受信FIFOに格納されているデータのバイト数が読み出せます。

(8) UARTB FIFO状態レジスタ1 (UBFIS1)

UBFIS1レジスタは、FIFOモード時に有効となるレジスタで、送信FIFOの空きバイト数が読み出せます。

(9) 受信シフト・レジスタ

RXDB端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し、ストップ・ビットを検出すると、受信データを受信データ・レジスタへ転送します。このレジスタは直接操作することはできません。

(10) UARTB受信データ・レジスタAP (UBRXAP) , UARTB受信データ・レジスタ (UBRX)

受信データ・レジスタは、受信データを保持するレジスタです。シングル・モード時には8ビット幅×1段のUBRXレジスタを、FIFOモード時には16ビット幅×16段の受信FIFO (UBRXAPレジスタ) を使用します。

受信FIFO (UBRXAPレジスタ) の下位8ビットには受信データを格納し、上位8ビット (ビット8およびビット9)にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー (パリティ・エラーまたはフレーミング・エラー) が発生したときには、UBRXAPレジスタを16ビット (ハーフワード) で読み出すことで、エラー対象となるデータを認識できます (エラー情報がUBPEFビット = 1, またはUBFEFビット = 1として付加されます)。UBRXAPレジスタは、下位8ビットを8ビット (バイト) で読み出した場合、上位8ビットは破棄されます。したがって、エラー未発生時には、UBRXレジスタと同様に8ビット (バイト) で読み出すことで、受信データだけを連続して読み出せます。

7ビット長の受信では、LSBファースト受信時、受信データは受信データ・レジスタのビット6-0にLSB (ビット0) から転送され、MSB (ビット7) は必ず0に、MSBファースト受信時、受信データは受信データ・レジスタのビット7-1にMSB (ビット7) から転送され、LSB (ビット0) は必ず0になります。また、オーバーラン・エラーが発生した場合には、そのときの受信データは受信データ・レジスタに転送されません。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して、受信シフト・レジスタから受信データ・レジスタに転送されます。

また、シングル・モード時にはUBRXレジスタへ転送することにより、FIFOモード時には受信FIFOへUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分を転送することにより、受信終了割り込み要求信号 (INTUBTIR) が発生します。さらに、FIFOモード時にUBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) 状態でも受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBTITO) が発生します。

(11) 送信シフト・レジスタ

送信シフト・レジスタは、送信データ・レジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

送信データ・レジスタから1バイト分のデータが転送されると、送信シフト・レジスタのデータをTXDB端子から出力します。

このレジスタは直接操作することはできません。

(12) UARTB送信データ・レジスタ (UBTX)

送信データ・レジスタは、送信データ用バッファです。シングル・モード時には8ビット幅×1段のUBTXレジスタを、FIFOモード時には8ビット幅×16段の送信FIFOを使用します。

7ビット長の送信では、LSBファースト送信時、送信データは送信データ・レジスタのビット6-0のデータをLSB (ビット0) から送信され、MSB (ビット7) は必ず0に、MSBファースト送信時、送信データは送信データ・レジスタのビット7-1のデータをMSB (ビット7) から送信され、LSB (ビット0) は必ず0になります。

シングル・モード時は、送信許可状態 (UBCTL0.UBTXEビット = 1) のときにUBTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UBTXレジスタに送信データの書き込みが可能になる (UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBTIT) を発生します。

FIFOモード時は、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBTXEビット = 1) にすることにより、送信動作が開始されます。送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) と送信許可割り込み要求信号 (INTUBTIT) を発生します。また、FIFOモード時には、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信終了割り込み要求信号 (INTUBTIF) が発生します。

(13) タイムアウト・カウンタ

受信データ数が、UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数に達しない場合に、受信FIFOにデータが存在している (残っている) ことを認識するための機能で、FIFOモード時のみ有効となります。

ストップ・ビットを受信後、UBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBTITO) が発生します。

(14) サンプリング・ブロック

入力クロック ($f_{xx}/2$) の立ち上がりに同期して、RXDB信号をサンプリングします。サンプリング値が同じ値を2回検出すると、一致検出器の出力が変化し、入力データとしてサンプリングされます。このため、1クロック幅以下のデータは、ノイズとして判断され、内部回路には伝わりません。

15.2.1 各チャネルの端子機能について

V850E/IG4-H, V850E/IH4-Hでは, UARTBを構成するRXDB, TXDBは, 表15 - 2のように兼用されています。
各端子を使用する場合は, ポート機能の設定をする必要があります(表4 - 16 ポート端子を兼用端子として使用する場合参照)

表15 - 2 端子構成

ピン番号		ポート	UARTB受信入力	UARTB送信出力	その他の兼用機能
IG4-H	IH4-H				
GC	GF				
59	111	P35	RXDB	-	SIF2
60	112	P36	-	TXDB	SOF2

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

15.3 UARTBとCSIF2のモード切り替え

V850E/IG4-H, V850E/IH4-Hでは, UARTBとCSIF2は端子が兼用になっており, 同時に使用することはできません。UARTBを使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

次にシリアル・インタフェースのUARTBとCSIF2との動作モードの設定について示します。

注意 UARTBまたはCSIF2において, 送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15 - 2 UARTBとCSIF2の動作モード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	0	0	PFCE34	0	PFCE32	PFCE31	PFCE30
	PMC35	PFC35	動作モード					
	0	x	ポート入出力モード					
	1	0	CSIF2モード					
	1	1	UARTBモード					
備考 x = don't care								

15.4 制御レジスタ

(1) UARTB制御レジスタ0 (UBCTL0)

UBCTL0レジスタは、UARTBの転送動作を制御するレジスタです。

8/1ビット単位で、リード/ライト可能です。

リセットにより10Hになります。

注意1. UARTBを使用する場合には、必ずUARTB機能に関連する外部端子を兼用機能に設定したあと、UARTB制御レジスタ2 (UBCTL2) の設定を行ってからUBPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

2. UARTB機能に関連する外部端子を兼用機能に設定する場合には、RXDB端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBRXEビットをセット(1)したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。

備考 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信データ・レジスタへの転送処理は行わず、受信データ・レジスタの内容は保持されます。

受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信データ・レジスタに転送します。

また、受信データ・レジスタへの転送 (FIFOモード時は受信トリガ数に達する転送) に同期して、受信終了割り込み要求信号 (INTUBTIR) を発生します。

FIFOモード時にUBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに、受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBTITO) が発生します。

(1/2)

リセット時 : 10H R/W アドレス : FFFFFFFA40H

	⑦	⑥	⑤	④	3	2	1	0
UBCTL0	UBPWR	UBTXE	UBRXE	UBDIR	UBPS1	UBPS0	UBCL	UBSL

UBPWR	UARTBへの動作クロックの制御
0	UARTBへのクロック供給を停止
1	UARTBへクロックを供給

- ・UBPWRビット = 0にすると、UARTBを非同期にリセットします。
- ・UBPWRビット = 0の場合は、UARTBはリセット状態なので、UARTBを動作させる場合には、まずUBPWRビット = 1にしてください。
- ・UBPWRビットを1から0にした場合は、UARTBのすべてのレジスタが初期化されます。再度UBPWRビット = 1にした場合には、必ずUARTBのレジスタを再設定してください。
- ・UBPWRビット = 0にすると、TXDB端子の出力はハイ・レベルになります。

UBTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- ・起動時はUBPWRビット = 1にしてから、UBTXEビット = 1としてください。また、逆に停止時はUBTXEビット = 0にしてから、UBPWRビット = 0としてください
- ・送信ユニットの状態を初期化する場合は、UBTXEビットをクリア (0) して、 $f_{xx}/2$ の2周期分の時間を経過してから、再びUBTXEビットをセット (1) しなければ、状態の初期化ができない場合があります。

UBRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

- ・起動時はUBPWRビット = 1にしてから、UBRXEビット = 1としてください。また、逆に停止時はUBRXEビット = 0にしてから、UBPWRビット = 0としてください。
- ・受信ユニットの状態を初期化する場合は、UBRXEビットをクリア (0) して、 $f_{xx}/2$ の2周期分の時間を経過してから、再びUBRXEビットをセット (1) しなければ、状態の初期化ができない場合があります。

(2/2)

UBDIR	転送方向モード (MSB/LSB) の指定
0	MSB転送ファースト
1	LSB転送ファースト

・UBDIRビットを書き換えるときは、UBPWRビット、またはUBTXE、UBRXEビットをクリア (0) してから行ってください。

UBPS1	UBPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・UBPS1, UBPS0ビットを書き換えるときは、UBTXE, UBRXEビットをクリア (0) してから行ってください。

・受信時に「0パリティ」を選択した場合、パリティ判定を行いません。したがって、UBSTR.UBPEビットはセット (1) されないため、エラー割り込みも発生しません。

UBCL	送受信データ1フレームのデータ・キャラクタ長の指定
0	7ビット
1	8ビット

UBCLビットを書き換えるときは、UBTXE, UBRXEビットをクリア (0) してから行ってください。

UBSL	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

・UBSLビットを書き換えるときは、UBTXEビットをクリア (0) してから行ってください。

・受信は常に「ストップ・ビット長 = 1」として動作するため、UBSLビットの設定は受信動作に影響を与えません。

備考 パリティについての詳細は、15.7.6 **パリティの種類と動作**を参照してください。

(2) UARTB状態レジスタ (UBSTR)

UBSTRレジスタは、UARTBの送信時の転送状態と受信エラー内容を示すレジスタです。

送信時の転送状態を示すステータス・フラグは送信シフト・レジスタおよび送信データ・レジスタ（シングル・モード時：UBTXレジスタ，FIFOモード時：送信FIFO）のデータ保持状態を示します。受信エラーを示すステータス・フラグは、クリア（0）されるまで状態を保持します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UBCTL0.UBPWR, UBRXEビットを0に設定したとき、またはUBSTRレジスタに0を書き込んだときに、UBSTR.UBOVF, UBPE, UBFE, UBOVEビットはクリア（0）されます。

(1/2)

リセット時：00H		R/W	アドレス：FFFFFFA44H							
			⑦	6	5	4	3	②	①	①
UBSTR	UBTSF		0	0	0	0	UBOVF	UBPE	UBFE	UBOVE
	UBTSF	転送状態フラグ								
	0	<ul style="list-style-type: none"> ・シングル・モード時（UBFIC0.UBMODビット = 0） 送信シフト・レジスタおよびUBTXレジスタに転送すべきデータが存在しない（UBCTL0.UBPWRビット = 0またはUBTXEビット = 0に設定したときもクリア（0）されます） ・FIFOモード時（UBFIC0.UBMODビット = 1） 送信シフト・レジスタおよび送信FIFOに転送すべきデータが存在しない（UBCTL0.UBPWRビット = 0またはUBTXEビット = 0に設定したときもクリア（0）されます） 								
	1	<ul style="list-style-type: none"> ・シングル・モード時（UBFIC0.UBMODビット = 0） 送信シフト・レジスタまたはUBTXレジスタに転送すべきデータが存在する（送信中） ・FIFOモード時（UBFIC0.UBMODビット = 1） 送信シフト・レジスタおよび送信FIFOに転送すべきデータが存在する（送信中） 								
	UBTSFビット値は、送信データをUBTXレジスタに書き込んだあと、 $f_{xx}/2$ の2周期分の時間が経過してから反映されます。そのため、送信データをUBTXレジスタに書き込んだあとにUBTSFビットを参照する場合には注意してください。									
	UBOVF	オーバーフロー・フラグ								
	0	オーバーフロー発生なし								
	1	オーバーフロー発生（受信時）								
	<ul style="list-style-type: none"> ・UBOVFビットはFIFOモード（UBFIC0.UBMODビット = 1）時のみ有効で、シングル・モード（UBFIC0.UBMODビット = 0）時は無効です。 ・オーバーフローが発生した場合、その受信データは受信FIFOに書き込まれず、データは破棄されます。 									

UBPE	パリティ・エラー・フラグ
0	パリティ・エラー発生なし
1	パリティ・エラー発生 (受信時)

・ UBPEビットはシングル・モード (UBFIC0.UBMODビット = 0) 時のみ有効で、FIFOモード (UBFIC0.UBMODビット = 1) 時は無効です。
 ・ UBPEビットの動作は、UBCTL0.UBPS1, UBPS0ビットの設定値により異なります。

UBFE	フレーミング・エラー・フラグ
0	フレーミング・エラー発生なし
1	フレーミング・エラー発生 (受信時)

・ UBFEビットはシングル・モード (UBFIC0.UBMODビット = 0) 時のみ有効で、FIFOモード (UBFIC0.UBMODビット = 1) 時は無効です。
 ・ 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。

UBOVE	オーバラン・エラー・フラグ
0	オーバラン・エラー発生なし
1	オーバラン・エラー発生 (受信時)

・ UBOVEビットはシングル・モード (UBFIC0.UBMODビット = 0) 時のみ有効で、FIFOモード (UBFIC0.UBMODビット = 1) 時は無効です。
 ・ オーバラン・エラーが発生した場合、その受信データはUBRXレジスタに書き込まれず、データは破棄されます。

(3) UARTB制御レジスタ2 (UBCTL2)

UBCTL2レジスタは、UARTBのボー・レート（シリアル転送スピード）を制御するための分周値を指定するレジスタです。

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

注意 UBBRS15-UBBRS0ビットを書き換える場合は、UBCTL0.UBTXEビット = 0かつUBRXEビット = 0、またはUBPWRビット = 0の状態で行ってください。

リセット時：FFFFH R/W アドレス：FFFFFA42H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBCTL2	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB
	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

備考 UBBRS15-UBBRS0ビットについては、表15-3 16ビット・カウンタの分周値を参照してください。

表15-3 16ビット・カウンタの分周値

UB BRS 15	UB BRS 14	UB BRS 13	UB BRS 12	UB BRS 11	UB BRS 10	UB BRS 9	UB BRS 8	UB BRS 7	UB BRS 6	UB BRS 5	UB BRS 4	UB BRS 3	UB BRS 2	UB BRS 1	UB BRS 0	k	出力 クロック 選択
0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	4	$f_{xx}/(2 \times k)$
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	4	$f_{xx}/(2 \times k)$
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	5	$f_{xx}/(2 \times k)$
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	6	$f_{xx}/(2 \times k)$
.
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	65532	$f_{xx}/(2 \times k)$
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	65533	$f_{xx}/(2 \times k)$
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	65534	$f_{xx}/(2 \times k)$
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	65535	$f_{xx}/(2 \times k)$

備考1. f_{xx} : 周辺クロック

2. k : UBCTL2.UBBRS15-UBBRS0ビットで設定した値 (k = 4, 5, 6, ..., 65535)

3. x : 任意

(4) UARTB送信データ・レジスタ (UBTX)

UBTXレジスタは、送信データを設定するためのレジスタで、シングル・モード (UBFIC0.UBMODビット = 0) 時は8ビット幅×1段のUBTXレジスタ、FIFOモード (UBFIC0.UBMODビット = 1) 時は8ビット幅×16段の送信FIFOとして動作します。

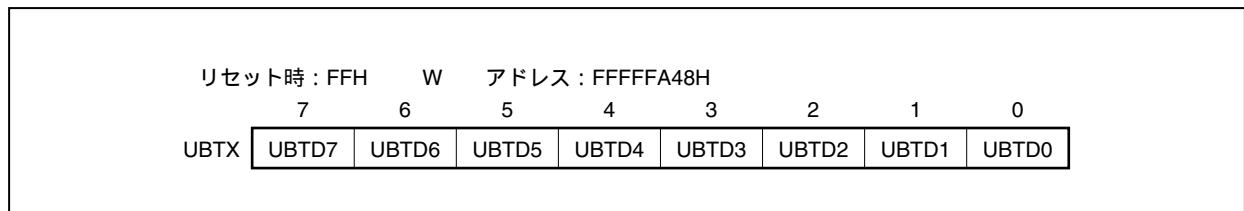
シングル・モード時は、送信許可状態 (UBCTL0.UBTXEビット = 1) のときにUBTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UBTXレジスタにデータの書き込みが可能になる (UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBTIT) を発生します。

FIFOモード時は、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBTXEビット = 1) にすることにより、送信動作が開始されます。送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) と送信許可割り込み要求信号 (INTUBTIT) を発生します。また、FIFOモード時には、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信終了割り込み要求信号 (INTUBTIF) が発生します。

発生するタイミングについては、15.5 **割り込み要求信号**を参照してください。

データ長を7ビットに指定した場合、LSBファースト送信時には、送信データは送信データ・レジスタのビット6-0のデータをLSB (ビット0) から送信されMSB (ビット7) は必ず0に、MSBファースト送信時には、送信データは送信データ・レジスタのビット7-1のデータをMSB (ビット7) から送信されLSB (ビット0) は必ず0になります。

8ビット単位でライトのみ可能です。ライト時には、送信データ・レジスタにデータが書き込まれます。リセットによりFFHになります。



(5) UARTB受信データ・レジスタP (UBRXAP) , UARTB受信データ・レジスタ (UBRX)

受信シフト・レジスタで変換したパラレル・データを格納するためのレジスタで、シングル・モード (UBFIC0.UBMODビット = 0) 時は8ビット幅×1段のUBRXレジスタ, FIFOモード (UBFIC0.UBMODビット = 1) 時は16ビット幅×16段の受信FIFO (UBRXAPレジスタ) として動作します。

受信FIFO (UBRXAPレジスタ) の下位8ビットには受信データを格納し、上位8ビット (ビット8およびビット9) にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー (パリティ・エラーまたはフレーミング・エラー) が発生したときには、UBRXAPレジスタを16ビット (ハーフワード) で読み出すことで、受信FIFOに格納されているデータのフラグが確認でき (エラー情報がUBPEFビット = 1, またはUBFEFビット = 1として付加されます), エラー対象となるデータを認識できます (UBRXAPレジスタは、下位8ビットを8ビット (バイト) で読み出した場合、上位8ビットは破棄されます。したがって、エラー未発生時にはUBRXレジスタと同様に8ビット (バイト) で読み出すことで、受信データだけを連続して読み出せます)。

受信許可状態のとき (UBCTL0.UBRXEビット = 1), 受信データは1フレーム分のシフト・イン処理終了時に同期して、受信シフト・レジスタから受信データ・レジスタに転送されます。

また、シングル・モード時にはUBRXレジスタへ転送することにより、FIFOモード時には受信FIFOへUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分を転送することにより、受信終了割り込み要求信号 (INTUBTIR) が発生します。さらに、FIFOモード時にUBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) 状態でも受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBTITO) が発生します。

発生するタイミングについては、15.5 **割り込み要求信号**を参照してください。

データ長を7ビットに指定した場合、LSBファースト受信時には、受信データは受信データ・レジスタのビット6-0にLSB (ビット0) から転送されMSB (ビット7) は必ず0に、MSBファースト受信時には、受信データは受信データ・レジスタのビット7-1にMSB (ビット7) から転送されLSB (ビット0) は必ず0になります。また、オーバラン・エラーが発生した場合には、そのときの受信データは受信データ・レジスタに転送されません。

UBRXAPレジスタは、16ビット単位でリードのみ可能です。ただし、UBRXAPレジスタの下位8ビットに対しては、8ビット単位でリードのみ可能です。

UBRXレジスタは、8ビット単位でリードのみ可能です。

リセット入力以外に、UBCTL0.UBPWRビット = 0によっても、シングル・モード時にはFFH, FIFOモード時には00FFHになります。

- 注意1. シングル・モード時には8ビット・レジスタとなるため、UBPEFビット, UBFEFビットはリードできません。**
- FIFOモード時で受信エラー未発生ของときには、UBRXAPレジスタの下位8ビットを8ビット (バイト) で読み出すことで、受信データだけを連続して読み出せます。上位8ビットへの8ビット・アクセスは禁止です。アクセスした場合の動作は保証できません。

注意3. シングル・モードを使用したシステムをデバッグするときは次の操作を行わないでください。

- ・UBRXレジスタをリードした直後の命令にブレークをかける。
- ・UBRXレジスタを送信元に設定したDMA転送が終了する前にブレークをかける。
- ・データ受信後にUBRXレジスタをリードしてから、次のデータ受信が終了するまでにブレークをかけ、デバッガのI/Oレジスタ・ウィンドウでUBRXレジスタを確認する。

上記の操作を行った場合、以降の受信でオーバラン・エラーが発生することがあります。

リセット時：00FFH R アドレス： FFFFFFFA46H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBRXAP	0	0	0	0	0	0	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB
							PEF	FEF	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0

リセット時：FFH R アドレス： FFFFFFFA46H								
	7	6	5	4	3	2	1	0
UBRX	UBRD7	UBRD6	UBRD5	UBRD4	UBRD3	UBRD2	UBRD1	UBRD0

UBPEF	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (受信時)
<ul style="list-style-type: none"> ・UBPEFビットはFIFOモード (UBFIC0.UBMODビット = 1) 時のみ有効で、シングル・モード (UBFIC0.UBMODビット = 0) 時は無効です。 ・UBPEビットの動作は、UBCTL0.UBPS1, UBPS0ビットの設定値により異なります。 	

UBFEF	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 (受信時)
<ul style="list-style-type: none"> ・UBFEFビットはFIFOモード (UBFIC0.UBMODビット = 1) 時のみ有効で、シングル・モード (UBFIC0.UBMODビット = 0) 時は無効です。 ・受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。 	

UBRD7-UBRD0	受信データを格納しています。
-------------	----------------

(6) UARTB FIFO制御レジスタ0 (UBFIC0)

UBFIC0レジスタは、UARTBの動作モードの選択と、FIFOモード (UBMODビット = 1) 時に有効となる機能を設定するレジスタです。FIFOモード時には、送信FIFO/受信FIFOのクリアおよび送信許可割り込み要求信号 (INTUBTIT) / 受信終了割り込み要求信号 (INTUBTIR) の発生タイミング・モードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFFFFA4AH

	7	6	5	4	3	2	1	0
UBFIC0	UBMOD	0	0	0	UBTFC	UBRFC	UBITM	UBIRM

UBMOD	UARTBの動作モードの指定
0	シングル・モード
1	FIFOモード

UBTFC	送信FIFOクリア・トリガ・ビット
0	通常状態
1	クリア (クリア実行終了後、自動的に0へ戻る)

- ・UBTFCビットはFIFOモード (UBMODビット = 1) 時のみ有効で、シングル・モード (UBMODビット = 0) 時は無効です。
- ・UBTFCビットに1をライトしたときには、送信FIFOのポインタをクリア (0) します。また、保留モード (UBITMビット = 0) 時には、保留されている割り込み要求信号 (INTUBTIT) をクリアします[※]。ただし、割り込み制御レジスタ (UTIC) のビット7 (UTIF) はクリア (0) されません。必要に応じてクリア (0) してください。
- UBTFCビットに0をライトしたときには、状態保持となります。クリア・セットなどの動作は実行しません。
- ・UBTFCビットに1をライトするときには、必ずUBCTL0.UBTXEビットをクリア (0) して (送信動作禁止) から行ってください。UBTXEビットがセット (1) の状態 (送信動作許可) でUBTFCビットに1をライトする場合の動作は保証できません。

注 送信FIFOクリアを実行した (UBTFCビット = 1) あと、 $f_{xx}/2$ の4周期期間、またはUBFIC0レジスタのリードにより、UBTFCビットのクリア (自動復帰) が確認できるまでの期間は、UARTB関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。

備考 f_{xx} : 周辺クロック

(2/2)

UBRFC	受信FIFO (UBRXAP) クリア・トリガ・ビット
0	通常状態
1	クリア (クリア実行終了後, 自動的に0に戻る)

・UBRFCビットはFIFOモード (UBMODビット = 1) 時のみ有効で, シングル・モード時 (UBMODビット = 0) 時は無効です。
 ・UBRFCビットに1をライトしたときには, 受信FIFOのポインタをクリア (0) します。また, 保留モード (UBIRMビット = 0) 時には, 保留されている割り込み要求信号 (INTUBTIR) をクリアします^注。ただし, 割り込み制御レジスタ (URIC) のビット7 (URIF) はクリア (0) されません。必要に応じてクリア (0) してください。
 UBRFCビットに0をライトしたときには, 状態保持となります。クリア・セットなどの動作は実行しません。
 ・UBRFCビットに1をライトするときには, 必ずUBCTL0.UBRXEビットをクリア (0) して (受信動作禁止) から行ってください。UBRXEビットがセット (1) の状態 (受信動作許可) でUBRFCビットに1をライトする場合の動作は保証できません。

UBITM	FIFOモード時のINTUBTIT割り込み発生タイミングの指定
0	保留モード
1	ポインタ・モード

FIFOモード時のINTUBTIT信号は, 送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送された時点で発生します。INTUBTIT信号が発生してから, 実際にINTUBTIT信号を発生させるタイミングを保留モード, ポインタ・モードとして指定します。詳細は, 15.6 (2) **保留モード/ポインタ・モード**を参照してください。

UBIRM	FIFOモード時のINTUBTIR割り込み発生タイミングの指定
0	保留モード
1	ポインタ・モード

FIFOモード時のINTUBTIR信号は, 受信シフト・レジスタから受信FIFOにUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のデータが転送された時点で発生します。INTUBTIR信号が発生してから, 実際にINTUBTIR信号を発生させるタイミングを保留モード, ポインタ・モードとして指定します。詳細は, 15.6 (2) **保留モード/ポインタ・モード**を参照してください。

注 受信FIFO (UBRXAP) クリアを実行した (UBRFCビット = 1) あと, $f_{xx}/2$ の4周期期間, またはUBFIC0レジスタのリードにより, UBRFCビットのクリア (自動復帰) が確認できるまでの期間は, UARTB関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。

備考 f_{xx} : 周辺クロック

(7) UARTB FIFO制御レジスタ1 (UBFIC1)

UBFIC1レジスタは、FIFOモード (UBFIC0.UBMODビット = 1) 時に有効となるレジスタです。ストップ・ビットを受信後、UBTC4-UBTC0ビットで設定した時間 (次データ受信待ち時間) を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFO内にデータが格納されていた場合、受信タイムアウト割り込み要求信号 (INTUBTITO) を発生させます。

8/1ビット単位で、リード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFFA4BH								
	7	6	5	4	3	2	1	0
UBFIC1	UBTCE	0	0	UBTC4	UBTC3	UBTC2	UBTC1	UBTC0
UBTCE	タイムアウト・カウンタ機能の禁止 / 許可の指定							
0	タイムアウト・カウンタ機能の使用禁止							
1	タイムアウト・カウンタ機能の使用許可							
UBTC4	UBTC3	UBTC2	UBTC1	UBTC0	次データ受信待ち時間			
0	0	0	0	0	32バイト分 (32×8/ボー・レート)			
0	0	0	0	1	31バイト分 (31×8/ボー・レート)			
0	0	0	1	0	30バイト分 (30×8/ボー・レート)			
0	0	0	1	1	29バイト分 (29×8/ボー・レート)			
.			
.			
.			
1	1	1	0	0	4バイト分 (4×8/ボー・レート)			
1	1	1	0	1	3バイト分 (3×8/ボー・レート)			
1	1	1	1	0	2バイト分 (2×8/ボー・レート)			
1	1	1	1	1	1バイト分 (1×8/ボー・レート)			
UBTC4-UBTC0ビット設定分のカウント・アップ終了後、受信FIFO内のデータ格納状態にかかわらず、タイムアウト・カウンタのカウントはクリア (0) されます。その後、次のスタート・ビットを検出すると、そのデータのストップ・ビットから再度カウントを開始します。								

(8) UARTB FIFO制御レジスタ2 (UBFIC2)

UBFIC2レジスタは、FIFOモード (UBFIC0.UBMODビット = 1) 時に有効となるレジスタです。データの送受信数をトリガとして割り込みを発生させるタイミングを設定します。送信時は、送信FIFOから転送されたデータ数を、受信時は受信FIFOに格納されたデータ数を割り込みの発生条件として指定します。

UBFIC2レジスタは、16ビット単位でリード/ライト可能です。

UBFIC2レジスタの上位8ビットをUBFIC2Hレジスタ、下位8ビットをUBFIC2Lレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。

リセットによりUBFIC2レジスタは0000H、UBFIC2H、UBFIC2Lレジスタは00Hになります。

注意 UBFIC2レジスタへのライトは、必ずUBCTL0.UBTXEビット = 0(送信禁止状態)およびUBRXEビット = 0(受信禁止状態)に設定してから行ってください。UBTXEビット、またはUBRXEビットのいずれかを1に設定したままUBFIC2レジスタをライトした場合の動作は保証できません。

(1/2)

リセット時: 0000H R/W アドレス: FFFFFFFA4CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBFIC2	0	0	0	0	UB TT3	UB TT2	UB TT1	UB TT0	0	0	0	0	UB RT3	UB RT2	UB RT1	UB RT0

UBTT3	UBTT2	UBTT1	UBTT0	送信FIFO トリガ数設定	ポインタ・ モード	保留モード
0	0	0	0	1バイト	設定可能	設定可能
0	0	0	1	2バイト	設定禁止	
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

・送信FIFOの送信トリガ数を設定します。

・指定した送信トリガ設定数のデータを送信FIFOから送信シフト・レジスタにシフト・アウトするごとにINTUBTIT信号を発生させます。

保留モード (UBFIC0.UBITMビット = 0) 時は、保留モードの条件によりINTUBTIT信号を発生させます

・ポインタ・モード (UBFIC0.UBITMビット = 1) 時は、送信トリガ設定数を1バイトに設定 (UBTT3-UBTT0ビット = 0000) したときのみ可能で、それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保障できません。

(2/2)

UBRT3	UBRT2	UBRT1	UBRT0	受信FIFO トリガ数設定	ポインタ・ モード	保留モード
0	0	0	0	1バイト	設定可能	設定可能
0	0	0	1	2バイト	設定禁止	
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

- ・受信FIFOの受信トリガ数を設定します。
- ・指定した受信トリガ設定数のデータを受信シフト・レジスタから受信FIFOに格納するごとにINTUBTIR信号を発生させます。
保留モード (UBFIC0.UBIRMビット = 0) の時は、保留モードの条件によりINTUBTIR信号を発生させます
- ・ポインタ・モード (UBFIC0.UBIRMビット = 1) の時は、受信トリガ設定数を1バイトに設定 (UBRT3-UBRT0ビット = 0000) したときのみ可能で、それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保障できません。

(9) UARTB FIFO状態レジスタ0 (UBFIS0)

UBFIS0レジスタは、FIFOモード(UBFIC0.UBMODビット = 1)時に有効となるレジスタです。受信FIFOに格納されているデータのバイト数が読み出せます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス： FFFFFFFA4EH

UBFIS0	7	6	5	4	3	2	1	0
	0	0	0	UBRB4	UBRB3	UBRB2	UBRB1	UBRB0

UBRB4	UBRB3	UBRB2	UBRB1	UBRB0	受信FIFOポインタ
0	0	0	0	0	0バイト
0	0	0	0	1	1バイト
0	0	0	1	0	2バイト
0	0	0	1	1	3バイト
0	0	1	0	0	4バイト
0	0	1	0	1	5バイト
0	0	1	1	0	6バイト
0	0	1	1	1	7バイト
0	1	0	0	0	8バイト
0	1	0	0	1	9バイト
0	1	0	1	0	10バイト
0	1	0	1	1	11バイト
0	1	1	0	0	12バイト
0	1	1	0	1	13バイト
0	1	1	1	0	14バイト
0	1	1	1	1	15バイト
1	0	0	0	0	16バイト
その他					無効
受信FIFOポインタとして受信FIFOに格納されているデータのバイト数(読み出し可能なバイト数)を示します。					

(10) UARTB FIFO状態レジスタ1 (UBFIS1)

UBFIS1レジスタは、FIFOモード(UBFIC0.UBMODビット = 1)時に有効となるレジスタです。送信FIFOの空きバイト数が読み出せます。

8ビット単位でリードのみ可能です。

リセットにより10Hになります。

注意 UBTB4-UBTB0ビット値は、送信データをUBTXレジスタに書き込んだあと、 $f_{xx}/2$ の2周期分の時間が経過してから反映されます。そのため、送信データをUBTXレジスタに書き込んだあとに、UBFIS1レジスタを参照する場合には注意してください。

リセット時：10H R アドレス： FFFFFFFA4FH

	7	6	5	4	3	2	1	0
UBFIS1	0	0	0	UBTB4	UBTB3	UBTB2	UBTB1	UBTB0

UBTB4	UBTB3	UBTB2	UBTB1	UBTB0	送信FIFOポインタ
0	0	0	0	0	0バイト
0	0	0	0	1	1バイト
0	0	0	1	0	2バイト
0	0	0	1	1	3バイト
0	0	1	0	0	4バイト
0	0	1	0	1	5バイト
0	0	1	1	0	6バイト
0	0	1	1	1	7バイト
0	1	0	0	0	8バイト
0	1	0	0	1	9バイト
0	1	0	1	0	10バイト
0	1	0	1	1	11バイト
0	1	1	0	0	12バイト
0	1	1	0	1	13バイト
0	1	1	1	0	14バイト
0	1	1	1	1	15バイト
1	0	0	0	0	16バイト
その他					無効

送信FIFOポインタとして送信FIFOの空きバイト数(書き込み可能なバイト数)を示します。

15.5 割り込み要求信号

UARTBからは次の5種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTUBTIRE)
- ・受信終了割り込み要求信号 (INTUBTIR)
- ・送信許可割り込み要求信号 (INTUBTIT)
- ・FIFO送信終了割り込み要求信号 (INTUBTIF)
- ・受信タイムアウト割り込み要求信号 (INTUBTITO)

これら5種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込み要求信号が最も高く、受信終了割り込み要求信号、送信許可割り込み要求信号、FIFO送信終了割り込み要求信号、受信タイムアウト割り込み要求信号の順に低くなります。

表15-4 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信終了	2
送信許可	3
FIFO送信終了	4
受信タイムアウト	5

(1) 受信エラー割り込み要求信号 (INTUBTIRE)

(a) シングル・モード時

受信許可状態で、UBSTRレジスタで説明した3種類の受信エラー（パリティ・エラー、フレーミング・エラー、オーバラン・エラー）の論理和（OR）で受信エラー割り込み要求信号を発生します。
受信禁止状態中は、受信エラー割り込み要求信号は発生しません。

(b) FIFOモード時

受信許可状態で、UBSTRレジスタで説明した3種類の受信エラー（パリティ・エラー、フレーミング・エラー、オーバフロー・エラー）の論理和（OR）で受信エラー割り込み要求信号を発生します。
受信禁止状態中は、受信エラー割り込み要求信号は発生しません。

(2) 受信終了割り込み要求信号 (INTUBTIR)

(a) シングル・モード時

受信許可状態中に、受信シフト・レジスタにデータがシフト・インされ、UBRXレジスタに格納される（受信データが読み出し可能となる）と受信終了割り込み要求信号が発生します。
受信禁止状態中は、受信終了割り込み要求信号は発生しません。

(b) FIFOモード時

受信許可状態中に、受信シフト・レジスタにデータがシフト・インされ、受信FIFOにUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のデータが転送される(指定した受信トリガ設定数分が読み出し可能となる)と受信終了割り込み要求信号が発生します。

受信禁止状態中は、受信終了割り込み要求信号は発生しません。

(3) 送信許可割り込み要求信号 (INTUBTIT)**(a) シングル・モード時**

送信シフト・レジスタから7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされ、UBTXレジスタが空となる(送信データが書き込み可能となる)と送信許可割り込み要求信号が発生します。

(b) FIFOモード時

送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送される(指定した送信トリガ設定数分が書き込み可能となる)と送信許可割り込み要求信号が発生します。

(4) FIFO送信終了割り込み要求信号 (INTUBTIF)**(a) シングル・モード時**

使用できません。

(b) FIFOモード時

送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった(空になった)ときにFIFO送信終了割り込み要求信号が発生します。FIFO送信終了割り込み要求信号発生後、FIFOクリア(UBFIC0.UBTFCビット = 1)により、保留モード(UBFIC0.UBITMビット = 0)時の保留されている割り込み要求信号(INTUBTIT)をクリアしてください。

注意 送信FIFOに対する次の送信データの書き込み実行が遅れたためにFIFO送信終了割り込み要求信号が発生した(送信データをすべて送信していない)場合は、FIFOクリアを実行しないでください。

(5) 受信タイムアウト割り込み要求信号 (INTUBTITO)**(a) シングル・モード時**

使用できません。

(b) FIFOモード時

受信時にタイムアウト・カウンタ機能 (UBFIC1.UBTCEビット = 1) を使用する場合、UBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)ときに、受信FIFOにデータが格納されている場合は受信タイムアウト割り込み要求信号を発生します。

受信禁止状態中は、受信タイムアウト割り込み要求信号は発生しません。

UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合、受信タイムアウト割り込み要求信号により、指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できます。

また、タイムアウト・カウンタは、スタート・ビットの検出により、カウントを開始するため、1キャラクタも受信していない場合、受信タイムアウト割り込み要求信号は発生しません。

15.6 制御方法

(1) シングル・モード/FIFOモード

UBFIC0.UBMODビットにより、シングル・モードとFIFOモードの選択ができます。

(a) シングル・モード

- ・UBRXレジスタ, UBTXレジスタが各8ビット幅×1段のみの構成となります。
- ・受信時, 1バイト受信でINTUBTIR信号を発生します。
- ・INTUBTIR信号発生後, UBRXレジスタの受信データを読み出す前にさらに次のUARTBの受信動作を終了したとき, INTUBTIRE信号が発生し, オーバラン・エラーとなります。

(b) FIFOモード

- ・受信FIFO (UBRXAPレジスタ) が16ビット幅×16段, 送信FIFOが8ビット幅×16段のFIFO構成となります。
- ・受信FIFOは, 受信エラー (パリティ・エラーまたはフレーミング・エラー) が発生したときのみ, 16ビットのUBRXAPレジスタとして読み出すことで, エラー対象となるデータを認識できます。
- ・送信時は, 送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと, 送信許可 (UBCTL0.UBTXEビット = 1) にすることにより, 送信動作が開始されます。
- ・INTUBTIT信号, INTUBTIR信号の発生タイミングを保留モード, ポインタ・モードから選択できます。

(2) 保留モード/ポインタ・モード

FIFOモード (UBFIC0.UBMODビット = 1) 時に, UBFIC0.UBITMおよびUBIRMビットにより, 保留モードとポインタ・モードの選択ができます。

また, 送信時, 送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数の倍以上のデータを書き込んで送信を起動した場合に複数回の送信許可割り込み要求信号 (INTUBTIT) が発生したり, 受信時, 受信FIFOにUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数が8バイト以下の場合に複数回の受信終了割り込み要求信号 (INTUBTIR) が発生することがあります。そのため, 保留モード/ポインタ・モードは, 割り込み処理が保留された場合に, そのあと割り込みをどのようにするかを指定することができます。

(a) 保留モード**(i) 送信時 (送信FIFOへの書き込み)**

- ・1回目の送信許可割り込み要求信号 (INTUBTIT) 発生後, その割り込みに対する送信FIFOへの書き込みが実行されていない場合, 2回目のINTUBTIT信号の発生条件 (UBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分, 送信FIFOから送信シフト・レジスタにデータが転送された) が発生しても, INTUBTIT信号は発生しません (保留されます)。その後, 1回目のINTUBTIT信号に対する送信FIFOへの書き込みが実行されると, この保留されたINTUBTIT信号を発生させます^注。

注 保留数は次のようになります。

1バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0000) : 最大15回分

2バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0001) : 最大7回分

:

6バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0101) : 最大1回分

7バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0110) : 最大1回分

8バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0111) : 最大1回分

- ・保留モード時, 送信許可割り込み要求信号 (INTUBTIT) に対する送信FIFOへの書き込み数は, 必ずUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のみとなります。指定した送信トリガ設定数より多い場合および少ない場合の書き込みは禁止です。指定した送信トリガ設定数以外の書き込みをした場合の動作は保証できません。
- ・DMA制御を使用して, 送信FIFOへ送信データの書き込みを実行する場合は, UBFIC2.UBTT3-UBTT0ビット = 0000 (送信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。

(ii) 受信時 (受信FIFOからの読み出し)

- ・ 1回目の受信終了割り込み要求信号 (INTUBTIR) 発生後, その割り込みに対する受信FIFOからの読み出しが実行されていない場合, 2回目のINTUBTIR信号の発生条件 (UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分, 受信FIFOから読み出し可能)が発生しても, INTUBTIR信号は発生しません(保留されます)。その後, 1回目のINTUBTIR信号に対する受信FIFOからの読み出しが実行されると, この保留されたINTUBTIR信号を発生させます^注。

注 保留数は次のようになります。

1バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0000) : 最大15回分

2バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0001) : 最大7回分

:

6バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0101) : 最大1回分

7バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0110) : 最大1回分

8バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0111) : 最大1回分

- ・ 保留モード時, 受信終了割り込み要求信号 (INTUBTIR) に対する受信FIFOからの読み出し数は, 必ずUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のみとなります。指定した受信トリガ設定数より多い場合および少ない場合の読み出しは禁止です。指定した受信トリガ設定数以外の読み出しをした場合の動作は保証できません。
- ・ DMA制御を使用して, 受信FIFOから受信データの読み出しを実行する場合は, UBFIC2.UBRT3-UBRT0ビット = 0000 (受信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。

(b) ポインタ・モード**(i) 送信時 (送信FIFOへの書き込み)**

- ・ 送信FIFOから送信シフト・レジスタに1バイトのデータが転送されるごとに, 送信許可割り込み要求信号 (INTUBTIT) が発生します。
- ・ ポインタ・モード時, 送信許可割り込み要求信号 (INTUBTIT) に対する送信FIFOへの書き込み送信トリガ設定数は, 必ずUBFIC2.UBTT3-UBTT0ビット = 0000 (送信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。
- ・ DMA制御を使用して, 送信FIFOへ送信データの書き込みを実行することは禁止です。DMA制御を使用した場合の動作は保証できません。
- ・ 送信許可割り込み要求信号 (INTUBTIT) 受け付け後, 送信FIFOへの書き込み時に, UBFIS1レジスタを参照して, 送信FIFOの空きバイト数分, 送信FIFOに書き込みできます。

(ii) 受信時 (受信FIFOからの読み出し)

- ・受信シフト・レジスタから受信FIFOに1バイトのデータが転送されるごとに、受信終了割り込み要求信号 (INTUBTIR) が発生します。
- ・ポインタ・モード時、受信終了割り込み要求信号 (INTUBTIR) に対する受信FIFOからの読み出し受信トリガ設定数は、必ずUBFIC2.UBRT3-UBRT0ビット = 0000 (受信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。
- ・DMA制御を使用して、受信FIFOから受信データの読み出しを実行することは禁止です。DMA制御を使用した場合の動作は保証できません。
- ・受信終了割り込み要求信号 (INTUBTIR) 受け付け後、受信FIFOからの読み出し時に、UBFIS0レジスタを参照して、受信FIFOの格納バイト数分、受信FIFOから読み出すことができます。ただし、INTUBTIR信号が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBFIS0.UBRB4-UBRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBRB4-UBRB0ビット = 00000以外) を確認してから行ってください。

15.7 動作

15.7.1 データ・フォーマット

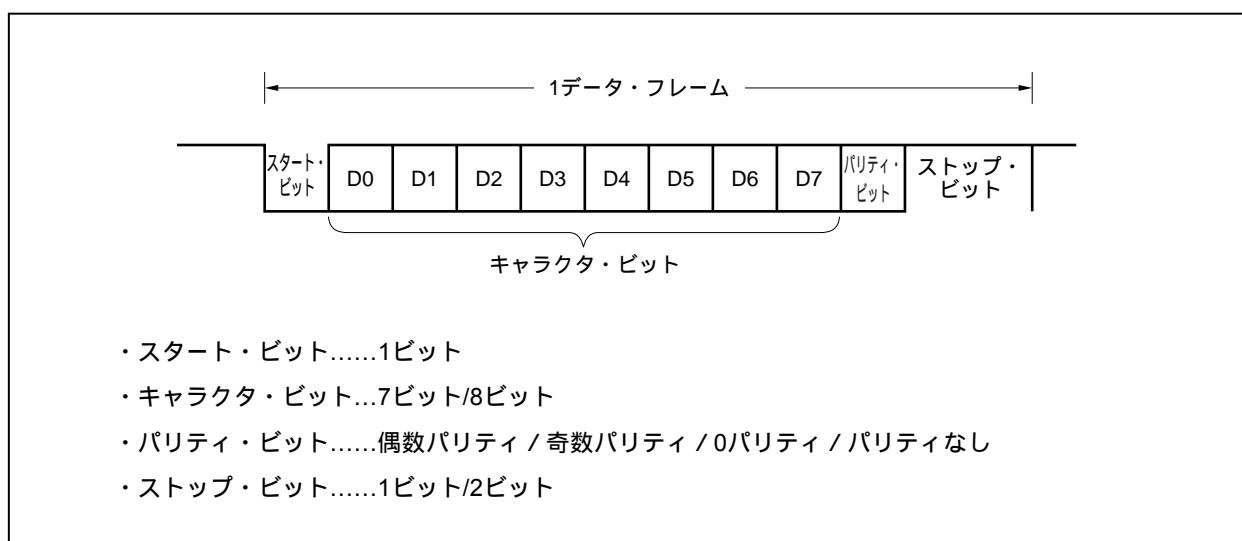
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図15-3に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、UARTB制御レジスタ0 (UBCTL0) によって行います。

また、データはLSBファースト転送/MSBファースト転送を選択できます。

図15-3 アシクロナス・シリアル・インタフェースの送受信データのフォーマット
(LSBファースト転送の場合)



15.7.2 送信動作

シングル・モード (UBFIC0.UBMODビット = 0) 時は、UBCTL0.UBTXEビット = 1にすると送信許可状態になり、UBTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。

FIFOモード (UBFIC0.UBMODビット = 1) 時は、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、UBTXEビット = 1にすると送信動作が開始されます。

注意 FIFOモード時に、送信FIFOへ送信データを書き込む前にUBCTL0.UBTXEビット = 1に設定することは禁止です。この設定をした場合の動作は保証できません。

(1) 送信許可状態

UBCTL0.UBTXEビットで設定します。

- ・ UBTXE = 1 : 送信許可状態
- ・ UBTXE = 0 : 送信禁止状態

ただし、CSIF2と兼用となっているため、CF2CTL0.CF2PWRビットを0に設定したあと、送信許可状態にしてください。

なお、UARTBにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

(2) 送信動作の起動

・ シングル・モード (UBFIC0.UBMODビット = 0) 時

シングル・モード時は、送信許可状態のときにUBTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。

・ FIFOモード (UBFIC0.UBMODビット = 1) 時

FIFOモード時は、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBTXEビット = 1) にすることにより、送信動作が開始されます。

送信動作の開始により、送信データ・レジスタ (シングル・モード時 : UBTXレジスタ, FIFOモード時 : 送信FIFO) 内のデータが送信シフト・レジスタに転送されます。そのあと、送信シフト・レジスタはTXDB端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

(3) 送信割り込み要求信号

(a) 送信許可割り込み要求信号 (INTUBTIT)

- ・ **シングル・モード (UBFIC0.UBMODビット = 0) 時**

シングル・モード時は、UBTXレジスタに送信データの書き込みが可能になる (UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBTIT) を発生します。

- ・ **FIFOモード (UBFIC0.UBMODビット = 1) 時**

FIFOモード時は、送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) とINTUBTIT信号を発生します。

- ・ **FIFOモード時に保留モード (UBFIC0.UBITMビット = 0) を指定した場合**

FIFOモード時に保留モードを指定した場合には、1回目のINTUBTIT信号発生後、その割り込みに対する送信FIFOへのUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されるまで2回目のINTUBTIT信号の発生条件が発生しても、INTUBTIT信号は保留されます。その後、1回目のINTUBTIT信号に対する送信FIFOへの指定送信トリガ設定数分のデータ書き込みが実行されると、保留されていたINTUBTIT信号を発生させます。

- ・ **FIFOモード時にポインタ・モード (UBFIC0.UBITMビット = 1) を指定した場合**

FIFOモード時にポインタ・モードを指定した場合には、1回目のINTUBTIT信号に対する送信FIFOへのUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されなくても、2回目のINTUBTIT信号の発生条件が発生すると、INTUBTIT信号を発生させます。

(b) FIFO送信終了割り込み要求信号 (INTUBTIF)

FIFOモード (UBFIC0.UBMODビット = 1) 時に送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信終了割り込み要求信号 (INTUBTIF) が発生します。INTUBTIF信号発生後、FIFOクリア (UBFIC0.UBTFCビット = 1) により、保留モード (UBFIC0.UBITMビット = 0) 時の保留されているINTUBTIT信号をクリアしてください。ただし、送信FIFOに対する次の送信データの書き込み実行が遅れたためにINTUBTIF信号が発生した (送信データをすべて送信していない) 場合は、FIFOクリアを実行しないでください。

なお、次に送信するデータを送信データ・レジスタに書き込まなければ、送信動作は中断されます。

注意 シングル・モードでは、UBTXレジスタが空になった（UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される）場合に、送信許可割り込み要求信号（INTUBTIT）が発生します。また、FIFOモードでは、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった（空になった）場合に、FIFO送信終了割り込み要求信号（INTUBTIF）が発生します。ただし、RESET入力により、送信データ・レジスタが空になった場合には、INTUBTIT信号、またはINTUBTIF信号は発生しません。

図15 - 4 アシクロナス・シリアル・インタフェース送信許可割り込み要求信号（INTUBTIT）タイミング

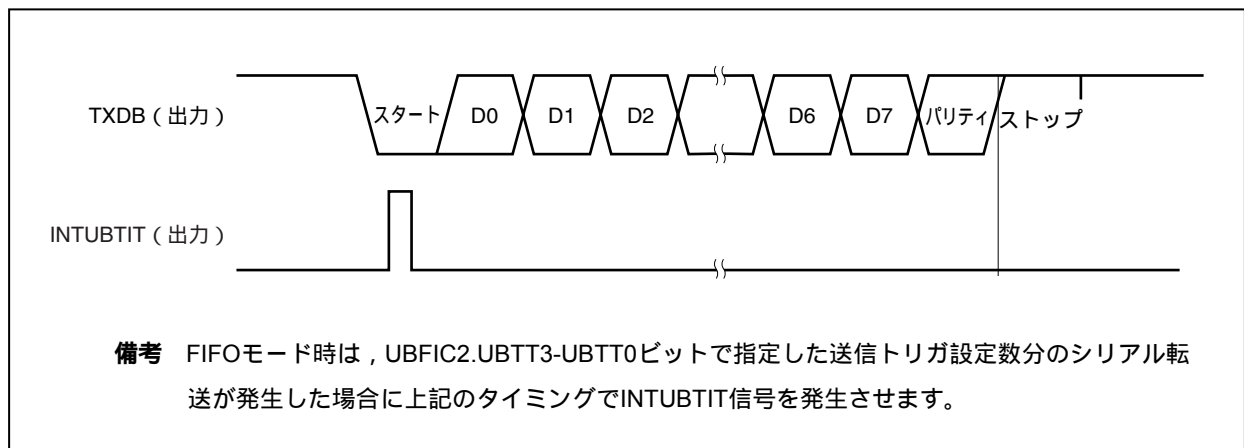
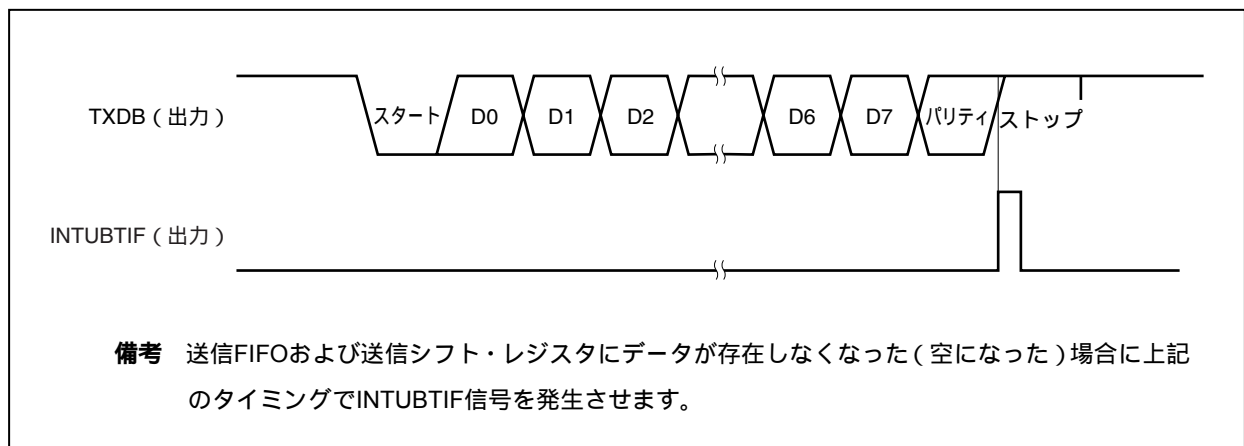


図15 - 5 アシクロナス・シリアル・インタフェースFIFO送信終了割り込み要求信号（INTUBTIF）タイミング



15.7.3 連続送信動作

・シングル・モード (UBFIC0.UBMODビット = 0) 時

シングル・モード時、送信シフト・レジスタがシフト動作を開始した時点で、次のデータをUBTXレジスタへ書き込むことができます。転送タイミングは、送信許可割り込み要求信号 (INTUBTIT) で判断できます。INTUBTIT信号により、1データ・フレーム送信期間内に次の送信データをUBTXレジスタに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

注意 送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください。UBTSFビットが1のときに初期化を実行した場合は、送信データの保証はできません。

・FIFOモード時に保留モード (UBFIC0.UBITMビット = 0) を指定した場合

送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込むと、送信動作が開始されます。

FIFOモード時に保留モードを指定した場合、UBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数の最後のデータを送信シフト・レジスタがシフト動作を開始した時点で、次のデータを送信FIFOへ指定した送信トリガ設定数のデータを書き込むことができます。転送タイミングは、INTUBTIT信号で判断できます。INTUBTIT信号により、指定した送信トリガ設定数または送信FIFO内のデータの送信期間内に次の送信データを送信FIFOに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

注意 送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBTIF) での判断でも可能です)。

UBTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。

DMA制御を使用して、送信FIFOへ送信データの書き込みを実行する場合は、UBFIC2.UBTT3-UBTT0ビットで指定する送信トリガ設定数 = 1バイトとしてください。1バイト以外を指定した場合の動作は保証できません。

・FIFOモード時にポインタ・モード (UBFIC0.UBITMビット = 1) を指定した場合

FIFOモード時にポインタ・モードを指定した場合、データを送信シフト・レジスタがシフト動作を開始した時点で、INTUBTIT信号が発生し、次のデータを書き込むことができます。このとき、UBFIS1レジスタを参照して、送信FIFOの空きバイト数分、書き込むこともできます。転送タイミングは、INTUBTIT信号で判断できます。INTUBTIT信号により、指定した送信トリガ設定数 = 1バイトまたは送信FIFO内のデータの送信期間内に次の送信データを送信FIFOに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

注意 送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBTIF) での認識も可能です)。

UBTSFビットが1のときに初期化を実行する場合は、送信データの保証はできません。

15.7.4 受信動作

UBCTL0.UBPWRビット = 1にし、次にUBCTL0.UBRXEビット = 1にすることにより、受信待ち状態になります。RXDB端子のサンプリングを開始し、スタート・ビットの検出を行います。スタート・ビットを検出すると受信動作を開始し、設定されたボー・レートにあわせて、順に受信シフト・レジスタに格納していきます。

シングル・モード (UBFIC0.UBMODビット = 0) 時は、1フレームのデータ受信が終了するごとに受信終了割り込み要求信号 (INTUBTIR) が発生します。通常、この割り込み処理でUBRXレジスタからメモリに受信データを転送します。

FIFOモード (UBFIC0.UBMODビット = 1) 時は、UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOへ転送することにより、INTUBTIR信号が発生します。

FIFOモード時に保留モード (UBFIC0.UBIRMビット = 0) を指定した場合には、UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOから読み出しできます。

FIFOモード時にポインタ・モード (UBFIC0.UBIRMビット = 1) を指定した場合には、UBRT3-UBRT0ビットで指定した受信トリガ設定数 (1バイト)、またはUBFIS0レジスタを参照して、受信FIFOの格納バイト数分 (0バイト以上)、受信FIFOから読み出しできます。

注意 FIFOモード時にポインタ・モードを指定した場合にUBFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信終了割り込み要求信号 (INTUBTIR) が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBFIS0.UBRB4-UBRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBRB4-UBRB0ビット = 00000以外) を確認してから行ってください。

(1) 受信許可状態

UBCTL0.UBRXEビットで設定します。

- ・ UBRXE = 1 : 受信許可状態
- ・ UBRXE = 0 : 受信禁止状態

ただし、CSIF2と兼用となっているため、CF2CTL0.CF2PWRビットを0に設定し、CSIF2の動作を禁止したあと、受信許可状態にしてください。

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信終了割り込み要求信号 / 受信エラー割り込み要求信号は発生せず、受信データ・レジスタ (シングル・モード時 : UBRXレジスタ, FIFOモード時 : 受信FIFO (UBRXAPレジスタ)) の内容は保持されます。

(2) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

UARTB制御レジスタ2 (UBCTL2) からのシリアル・クロックでRXDB端子をサンプリングします。

(3) 受信割り込み要求信号

(a) 受信終了割り込み要求信号 (INTUBTIR)

・シングル・モード (UBFIC0.UBMODビット = 0) 時

シングル・モード時は、UBCTL0.UBRXEビット = 1のとき、1フレーム分のデータの受信が終了 (ストップ・ビットの検出) すると、受信終了割り込み要求信号 (INTUBTIR) が発生すると同時に、受信シフト・レジスタ内の受信データをUBRXレジスタに転送します。

また、オーバラン・エラーが発生した場合、そのときの受信データは、UBRXレジスタに転送されず、受信エラー割り込み要求信号 (INTUBTIRE) が発生します。

なお、受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、INTUBTIRE信号が発生します (受信シフト・レジスタ内の受信データはUBRXレジスタに転送されます)。

また、受信動作中にUBRXEビットをリセット (0) すると、すぐに受信動作を停止します。このとき、UBRXレジスタの内容は変化せず、UARTB状態レジスタ (UBSTR) の内容はクリアされ、INTUBTIR信号、またはINTUBTIRE信号は発生しません。

UBRXEビット = 0 (受信禁止) では、INTUBTIR信号は発生しません。

・FIFOモード (UBFIC0.UBMODビット = 1) 時

FIFOモード時は、UBCTL0.UBRXEビット = 1のとき、1フレーム分のデータの受信が終了 (ストップ・ビットの検出) すると、受信シフト・レジスタから受信FIFOへUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分の受信データを転送することにより、受信終了割り込み要求信号 (INTUBTIR) を発生します。

また、オーバフロー・エラーが発生した場合、そのときの受信データは、受信FIFOに転送されず、受信エラー割り込み要求信号 (INTUBTIRE) が発生します。

なお、受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、受信終了後に、INTUBTIRE信号が発生し、受信シフト・レジスタ内の受信データは受信FIFOに転送されます。このとき、エラー情報がUBRXAP.UBPEFビット、またはUBFEFビット = 1として付加されます。INTUBTIRE信号が発生した場合は、受信FIFOを16ビット・レジスタのUBRXAPレジスタとして読み出すことで、エラー対象となるデータを認識できます。

(b) 受信タイムアウト割り込み要求信号 (INTUBTITO) (FIFOモード時のみ)

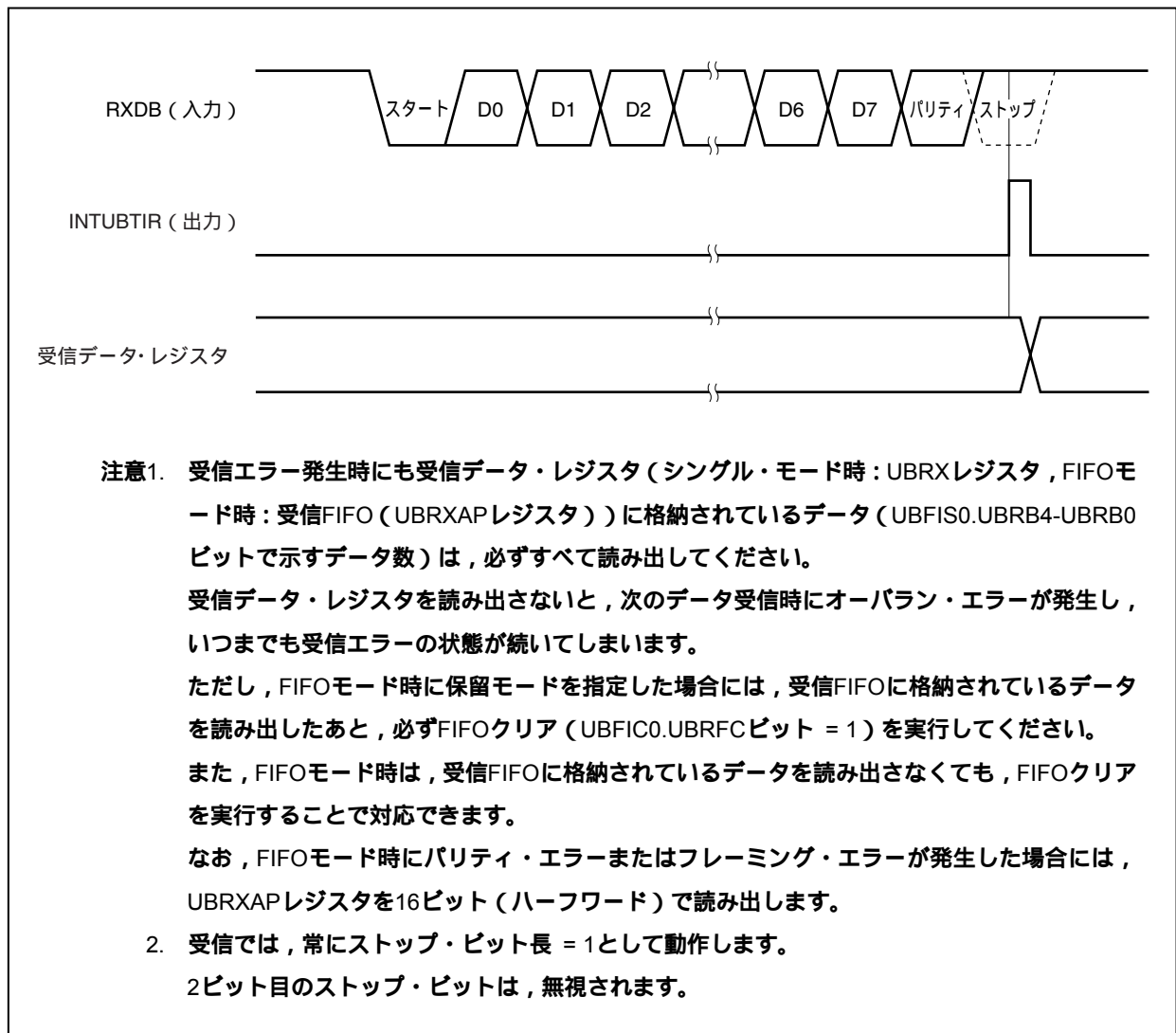
FIFOモード時の受信のときにタイムアウト・カウンタ機能 (UBFIC1.UBTCEビット = 1) を使用する場合,UBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに,受信FIFOにデータが格納されている場合は受信タイムアウト割り込み要求信号 (INTUBTITO) を発生します。

受信禁止状態中は,INTUBTITO信号は発生しません。

UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合,INTUBTITO信号により,指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できます。

また,タイムアウト・カウンタは,スタート・ビットの検出により,カウントを開始するため,1キャラクタも受信していない場合,受信タイムアウト割り込み要求信号は発生しません。

図15 - 6 アシンクロナス・シリアル・インタフェース受信終了割り込み要求信号 (INTUBTIR) タイミング



15.7.5 受信エラー

受信動作時のエラーは、シングル・モード (UBFIC0.UBMODビット = 0) 時はパリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類、FIFOモード (UBFIC0.UBMODビット = 0) 時はパリティ・エラー、フレーミング・エラー、オーバフロー・エラーの3種類があります。データ受信の結果、シングル・モード時のパリティ・エラー、フレーミング・エラー、オーバラン・エラーはUBSTR.UBPE, UBFE, UBOVEビット、FIFOモード時のオーバフロー・エラーの場合はUBSTR.UBOVFビット、FIFOモード時のパリティ・エラー、フレーミング・エラーの場合はUBRXAP.UBPEF, UBFEFビットのいずれかがセット (1) されると同時に、受信エラー割り込み要求信号 (INTUBTIRE) が発生します。エラーの内容は、UBSTRレジスタまたはUBRXAPレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出できます。

UBSTRレジスタの内容はUBOVF, UBPE, UBFE, UBOVEビット、またはUBCTL0.UBPWR, UBRXEビットに0を書き込んだとき、UBRXAPレジスタの内容はUBCTL0.UBPWRビットに0を書き込んだときにリセットされます。

表15 - 5 受信エラーの要因

エラー・フラグ	有効動作モード	エラー・フラグ	受信エラー	要 因
UBPE	シングル・モード	UBPE	パリティ・エラー	送信時のパリティ指定と受信データの パリティが一致しない
UBFE		UBFE	フレーミング・エラー	ストップ・ビットが検出されない
UBOVE		UBOVE	オーバラン・エラー	UBRXレジスタからデータを読み出す 前に次のデータ受信が終了
UBOVF	FIFOモード	UBOVF	オーバフロー・エラー	受信FIFOがフルの状態、データを読 み出す前に次のデータ受信が終了
UBPEF		UBPEF	パリティ・エラー	送信時のパリティ指定と対象受信デー タのパリティが一致しない
UBFEF		UBFEF	フレーミング・エラー	対象データの取り込みでストップ・ビ ットが検出されない

15.7.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。

(1) 偶数パリティ

(a) 送信時

パリティ・ビットを含めた送信データ中の“1”の値のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：1
- ・送信データ中に“1”の値のビット数が偶数個：0

(b) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(2) 奇数パリティ

(a) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の“1”の値のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：0
- ・送信データ中に“1”の値のビット数が偶数個：1

(b) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

15.7.7 受信データのノイズ・フィルタ

入力クロック ($f_{xx}/2$) の立ち上がりでRXDB信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません (図15-8参照)。

また、回路は図15-7のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図15-7 ノイズ・フィルタ回路

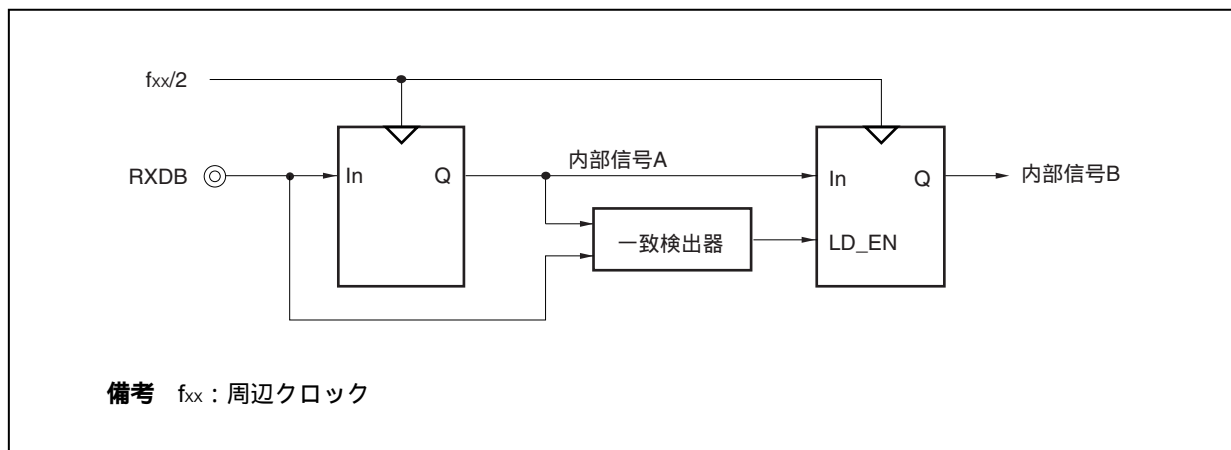
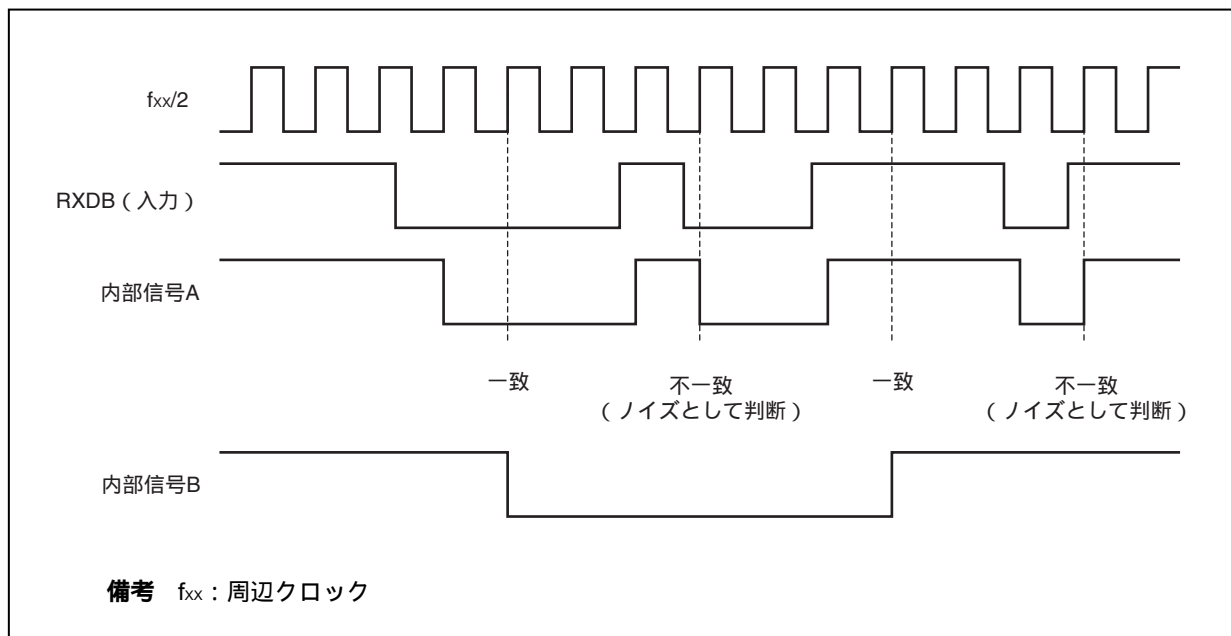


図15-8 ノイズとして判断されるRXDB信号のタイミング



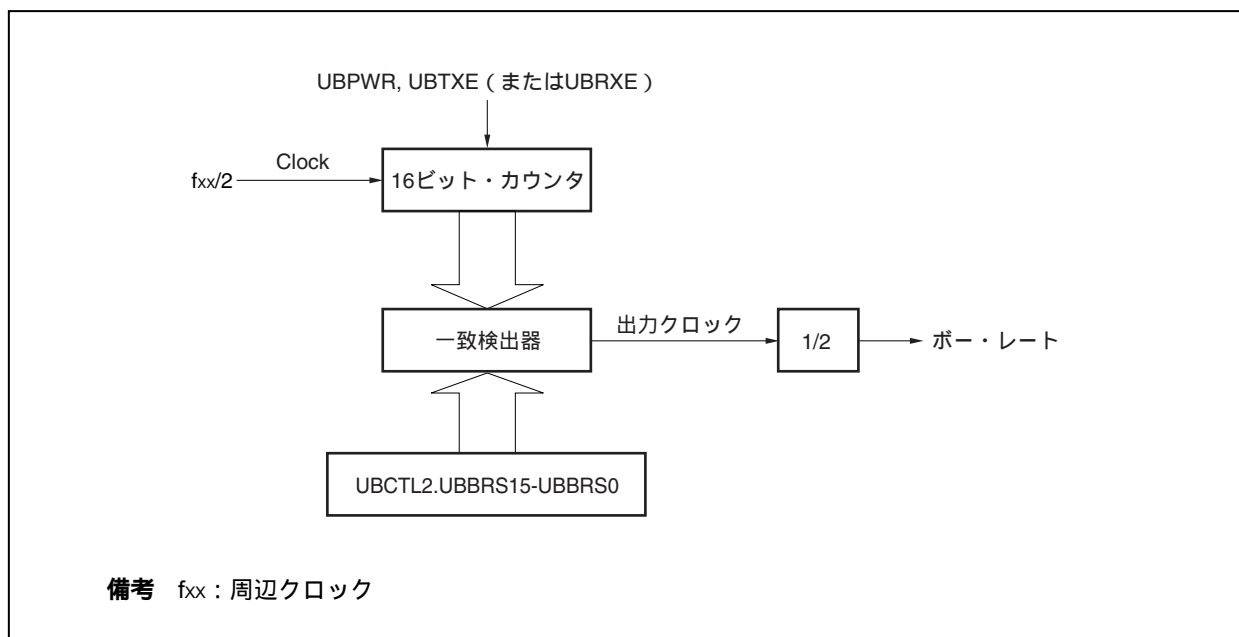
15.8 専用ポー・レート・ジェネレータ (BRG)

専用ポー・レート・ジェネレータは、16ビットのプログラマブル・カウンタにより構成され、UARTBにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、16ビット・カウンタは送信用と受信用が別々に存在します。ただし、同一チャンネルにおける送受信のポー・レートは同一となります。

(1) ポー・レート・ジェネレータの構成

図15-9 ポー・レート・ジェネレータの構成



(a) 基本クロック (Clock)

UBCTL0.UBPWRビット = 1のとき、入力クロック ($f_{xx}/2$) を送信 / 受信ユニットに供給します。このクロックを基本クロック (Clock) と呼びます。UBPWRビット = 0のときは、Clockはロウ・レベルに固定となります。

(2) シリアル・クロックの生成

UBCTL2レジスタの設定により、シリアル・クロックを生成できます。

UBCTL2.UBBRS15-UBBRS0ビットにより、16ビット・カウンタの分周値を設定できます。

(a) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{\text{基本クロック周波数}}{2 \times k} \text{ [bps]}$$

基本クロック周波数 = $f_{xx}/2$ (f_{xx} : 周辺クロック)

$k = \text{UBCTL2.UBBRS15-UBBRS0}$ ビットで設定した値 ($k = 4, 5, 6, \dots, 65535$)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロック (f_{xx}) = 100 MHz = 100,000,000 Hz

UBCTL2.UBBRS15-UBBRS0 ビットの設定値 = 0000001010001011B

($k = 651$)

目標ボー・レート = 38400 bps

$$\begin{aligned} \text{ボー・レート} &= 100 \text{ M}/2 / (2 \times 65) \\ &= 100000000/2 / (2 \times 65) = 38402.45 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (38402.45/312500 - 1) \times 100 \\ &= 0.0064 \text{ [\%]} \end{aligned}$$

なお、基本クロック (f_{xx}) = 100 MHz で $k = 80$ の場合は、誤差 0 % になります。

(3) ボー・レート設定例

表15-6 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 100 MHz			f _{xx} = 96 MHz			f _{xx} = 80 MHz		
	k (10進数)	k (16進数)	ERR	k (10進数)	k (16進数)	ERR	k (10進数)	k (16進数)	ERR
300	-	-	-	-	-	-	-	-	-
600	41667	A2C3	- 0.0008	40000	9C40	0.0000	33333	8235	0.0010
1200	20833	5161	0.0016	20000	4E20	0.0000	16667	411B	- 0.0020
2400	10417	28B1	- 0.0032	10000	2710	0.0000	8333	208D	0.0040
4800	5208	1458	0.0064	5000	1388	0.0000	4166	1046	0.0160
9600	2604	0A2C	0.0064	2500	09C4	0.0000	2083	0823	0.0160
19200	1302	0516	0.0064	1250	04E2	0.0000	1042	0412	- 0.0320
31250	800	0320	0.0000	768	0300	0.0000	640	0280	0.0000
38400	651	028B	0.0064	625	0271	0.0000	521	0209	- 0.0320
76800	326	0146	- 0.147	313	0139	- 0.1597	260	0104	0.1603
153600	163	00A3	- 0.147	156	009C	0.1603	130	0082	0.1603
312500	80	0050	0.0000	77	004D	- 0.2597	64	0040	0.0000
500000	50	0032	0.0000	48	0030	0.0000	40	0028	0.0000
1000000	25	0019	0.0000	24	0018	0.0000	20	0014	0.0000
2000000	13	000D	- 3.8462	12	000C	0.0000	10	000A	0.0000
3000000	8	0008	4.1667	8	0008	0.0000	7	0007	- 4.7619
4000000	6	0006	4.1667	6	0006	0.0000	5	0005	0.0000
5000000	5	0005	0.0000	5	0005	- 4.0000	4	0004	0.0000

注意 周辺クロック (f_{xx}) の許容周波数は最大100 MHzです。

ボー・レートの最大転送スピードは、5 Mbpsです。

備考 f_{xx} : 周辺クロック

k : UBCTL2.UBBRS15-UBBRS0ビットの設定値

ERR : ボー・レート誤差 [%]

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図15 - 10 受信時の許容ポー・レート範囲

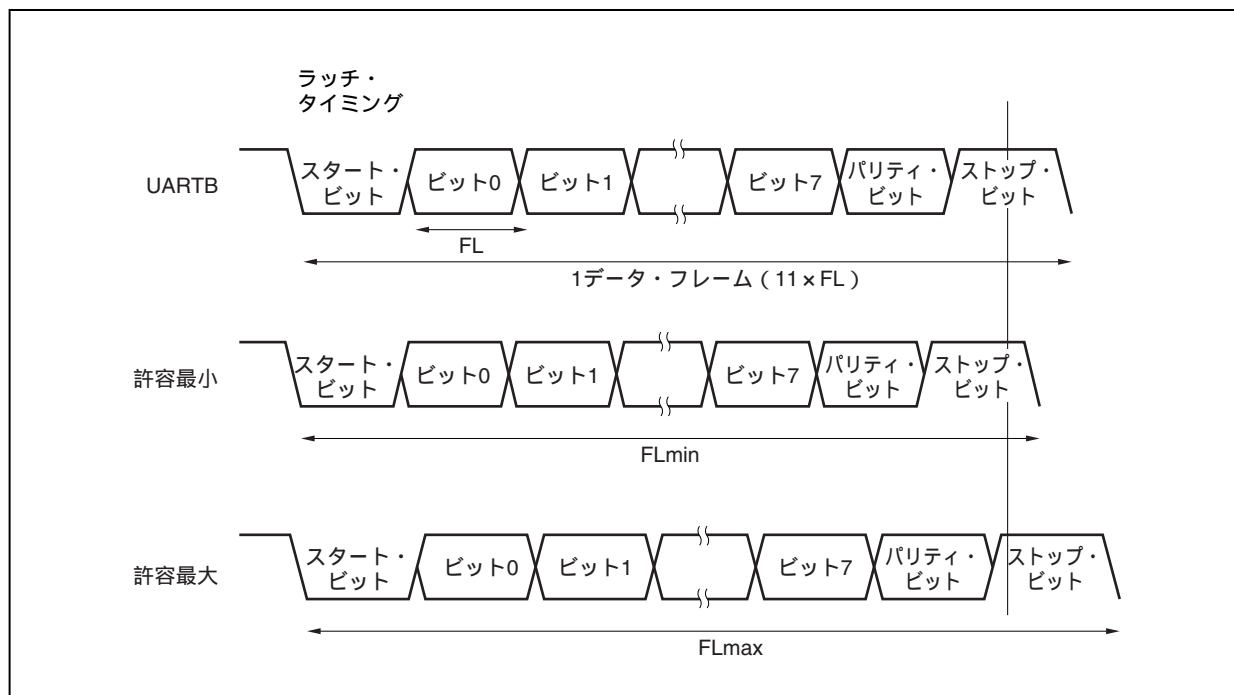


図15 - 10に示すように、スタート・ビット検出後はUBCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTBのポー・レート

k : UBCTL2の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小値} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大値を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTBと送信先とのボー・レートの許容誤差を求めると次のようになります。

表15-7 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.33 %	- 2.44
8	+ 3.53 %	- 3.61
16	+ 4.14 %	- 4.19
32	+ 4.45 %	- 4.48
64	+ 4.61 %	- 4.62
128	+ 4.68 %	- 4.69
256	+ 4.72 %	- 4.73
512	+ 4.74 %	- 4.74
1024	+ 4.75 %	- 4.75
2048	+ 4.76 %	- 4.76
4096	+ 4.76 %	- 4.76
8192	+ 4.76 %	- 4.76
16384	+ 4.76 %	- 4.76
32768	+ 4.76 %	- 4.76
65535	+ 4.76 %	- 4.76

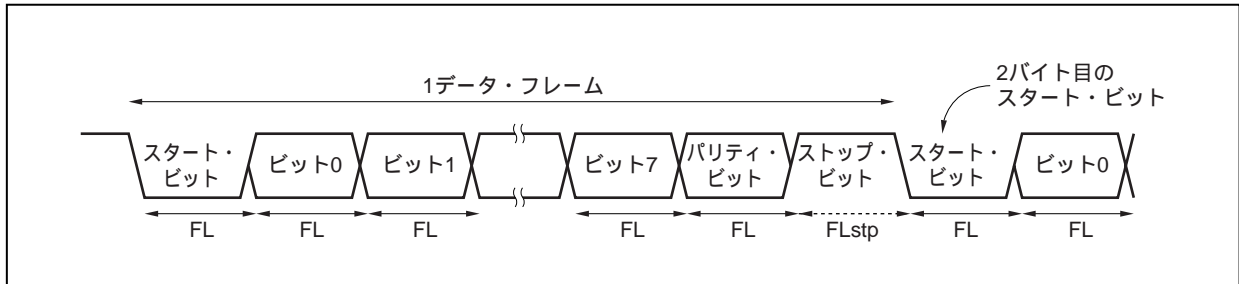
備考1. 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UBCTL2の設定値

(5) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図15 - 11 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： $f_{xx}/2$ とすると次の式が成り立ちます。

$$FL_{stp} = FL + 2 / (f_{xx}/2)$$

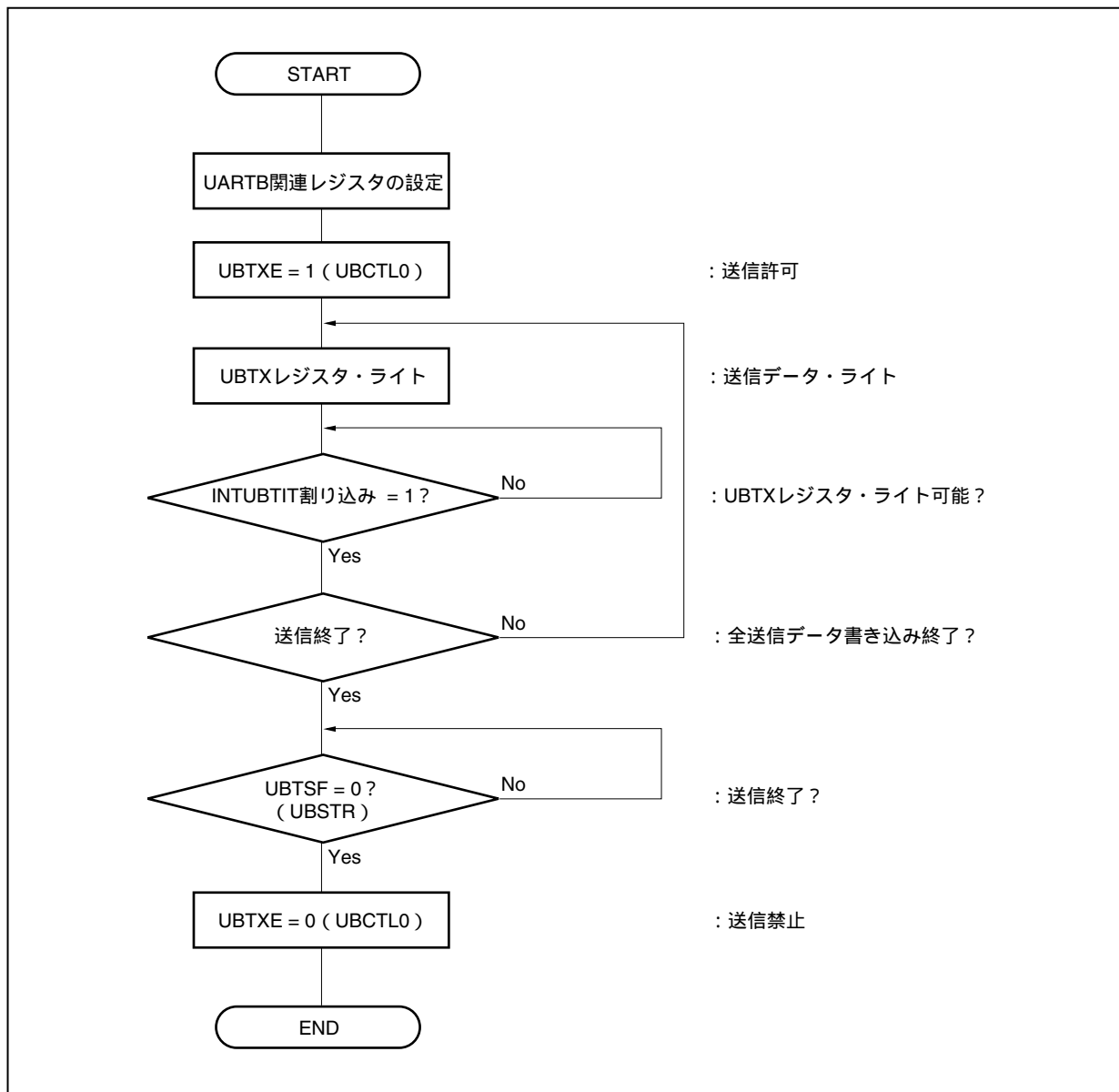
したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + 2 / (f_{xx}/2)$$

15.9 制御フロー

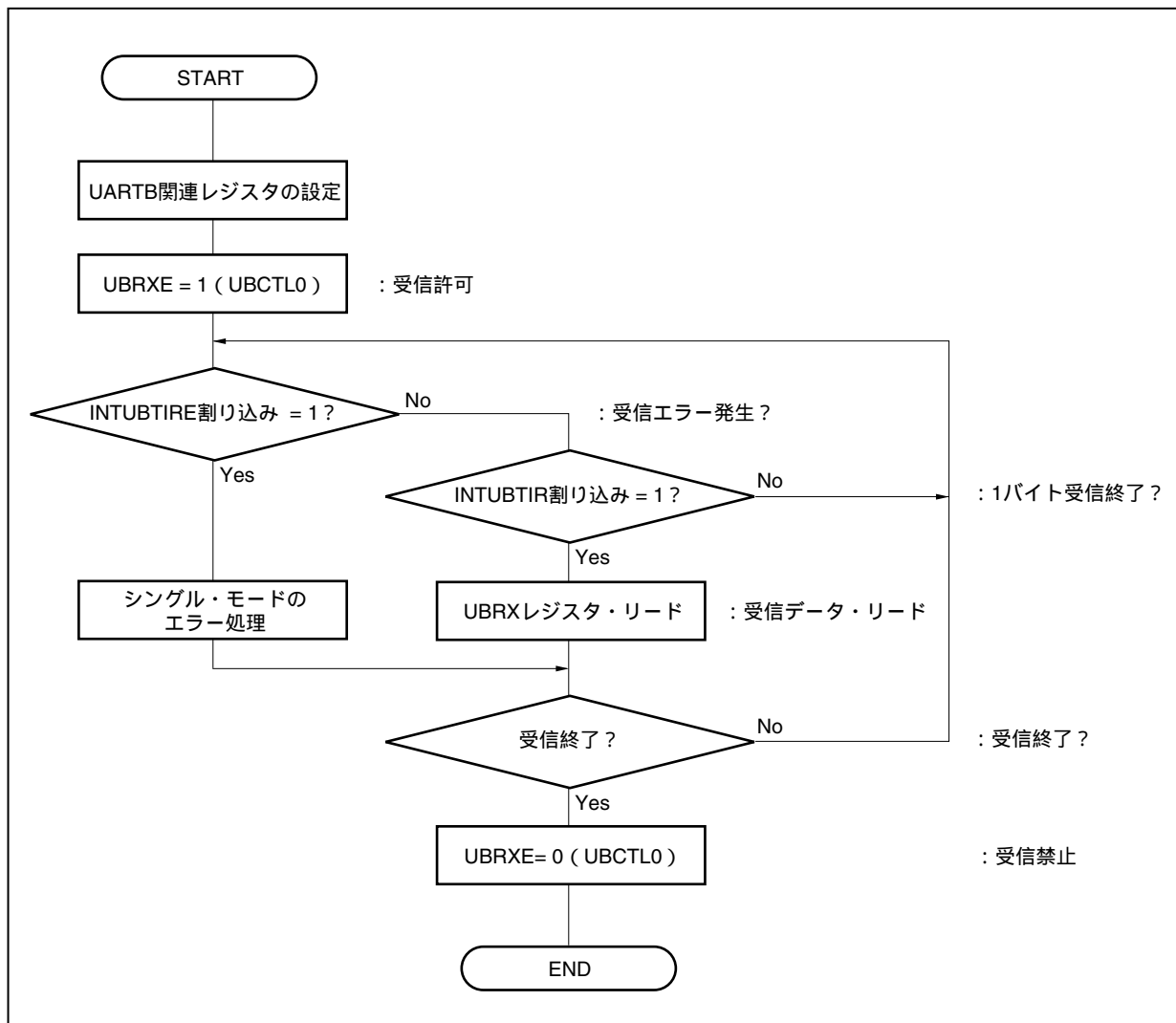
(1) シングル・モード時の連続送信処理概略フロー例 (CPU制御)

図15 - 12 シングル・モード時の連続送信処理概略フロー例 (CPU制御)



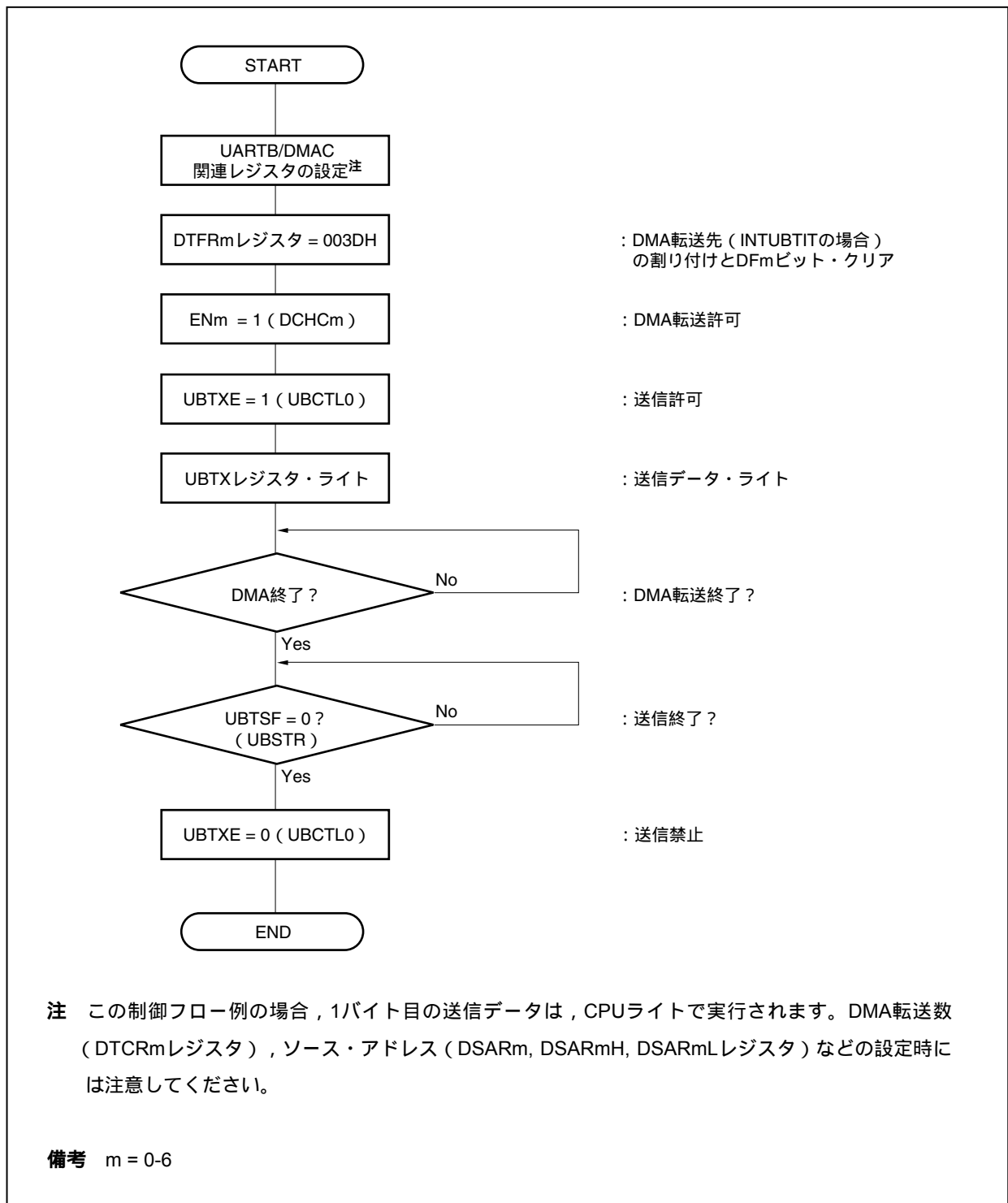
(2) シングル・モード時の連続受信処理概略フロー例 (CPU制御)

図15 - 13 シングル・モード時の連続受信処理概略フロー例 (CPU制御)



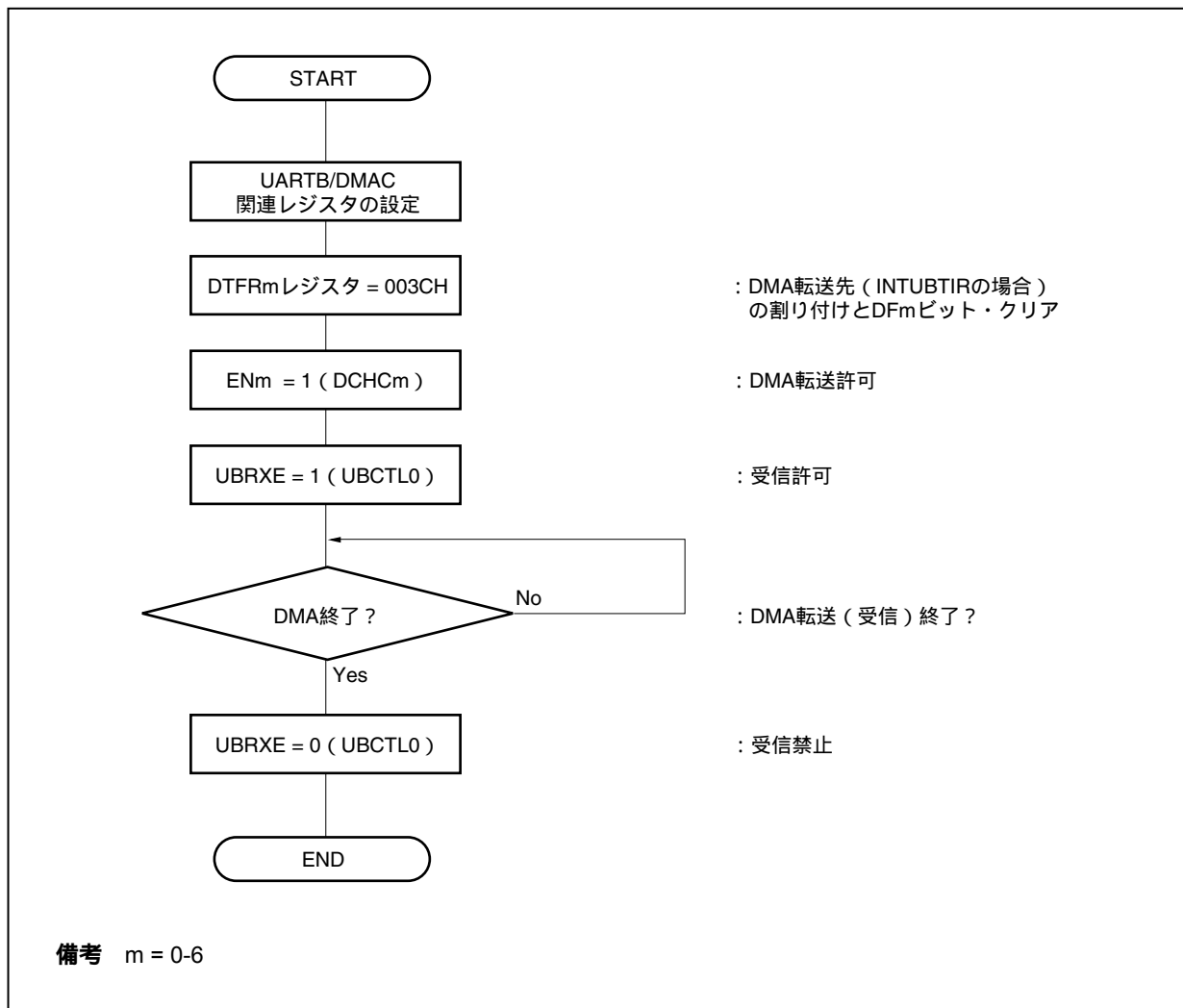
(3) シングル・モード時の連続送信処理概略フロー例 (DMA制御)

図15 - 14 シングル・モード時の連続送信処理概略フロー例 (DMA制御)



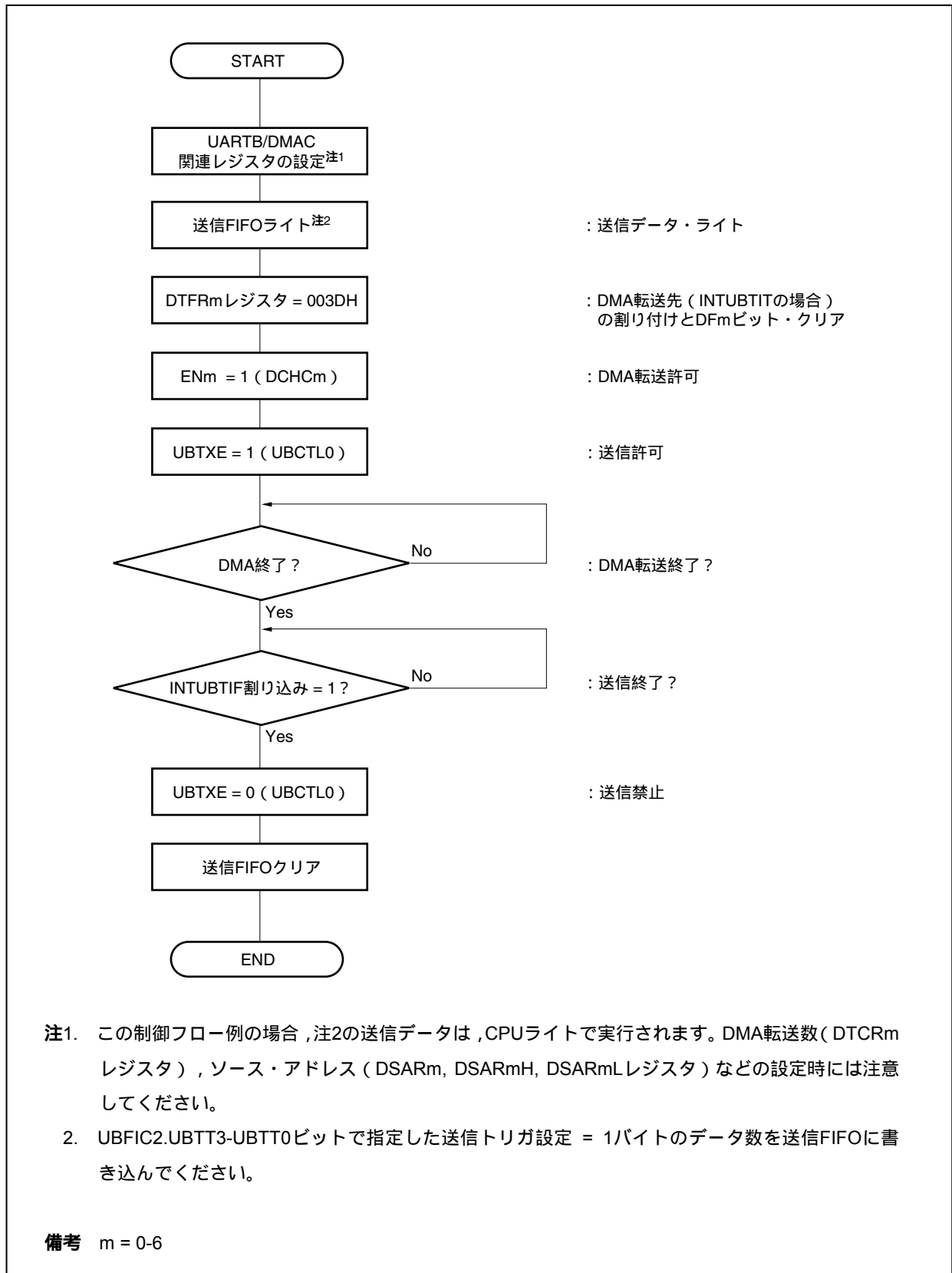
(4) シングル・モード時の連続受信処理概略フロー例 (DMA制御)

図15 - 15 シングル・モード時の連続受信処理概略フロー例 (DMA制御)



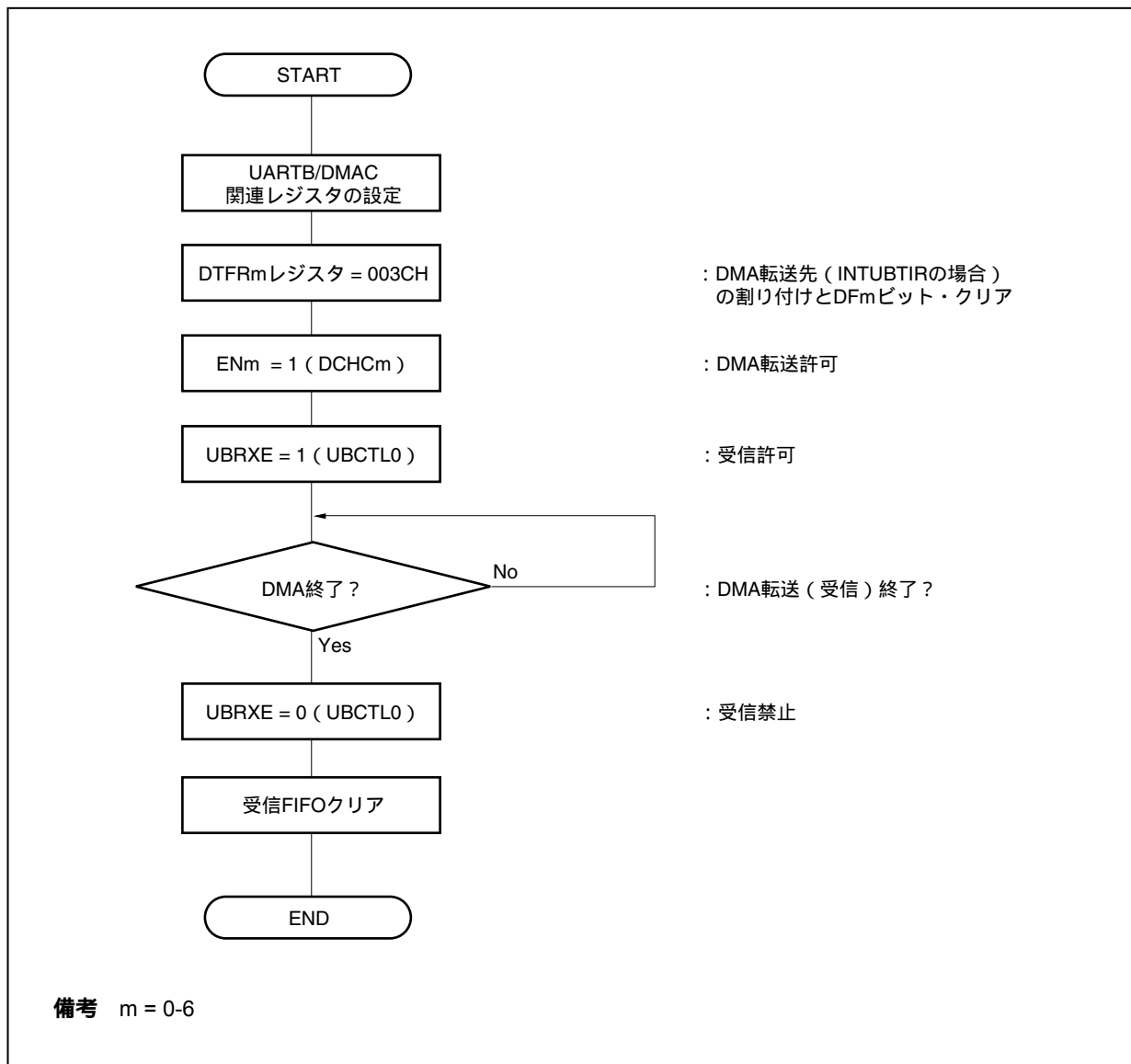
(7) FIFOモード時の連続送信 (保留モード時) 処理概略フロー例 (DMA制御)

図15 - 18 FIFOモード時の連続送信 (保留モード時) 処理概略フロー例 (DMA制御)



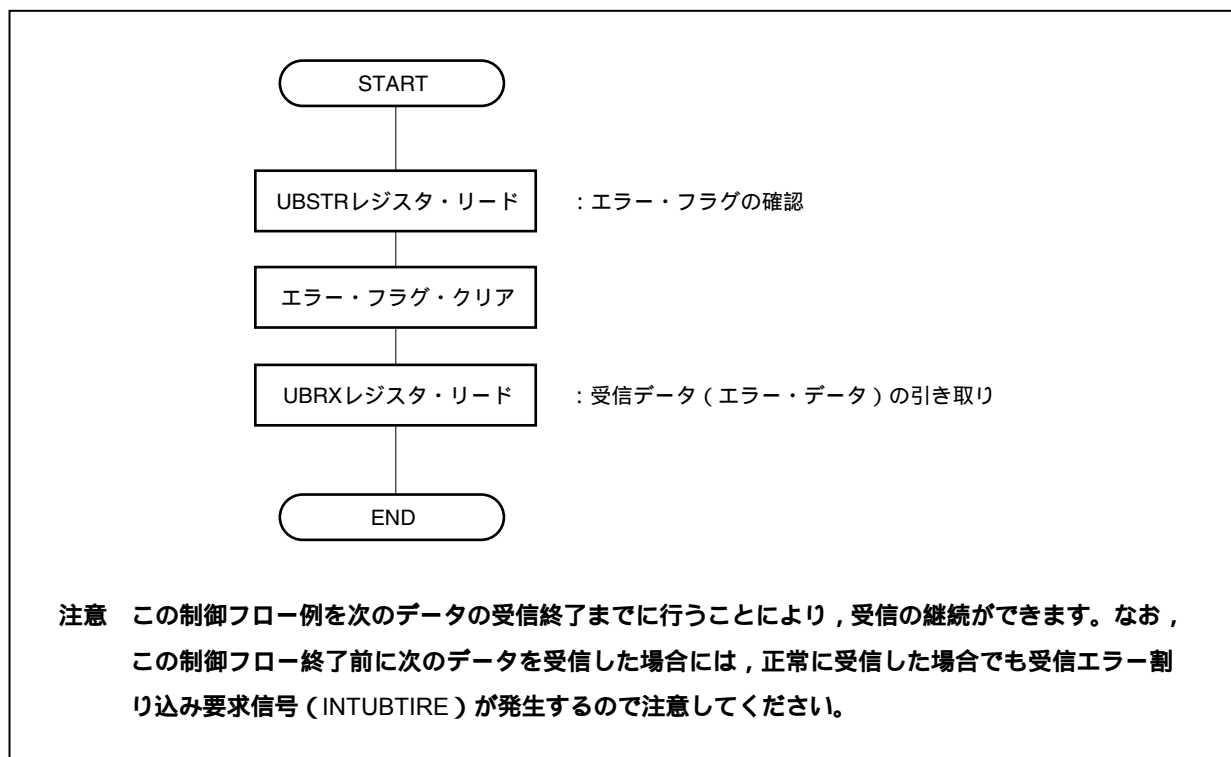
(8) FIFOモード時の連続受信 (保留モード時) 処理概略フロー例 (DMA制御)

図15 - 19 FIFOモード時の連続受信 (保留モード時) 処理概略フロー例 (DMA制御)



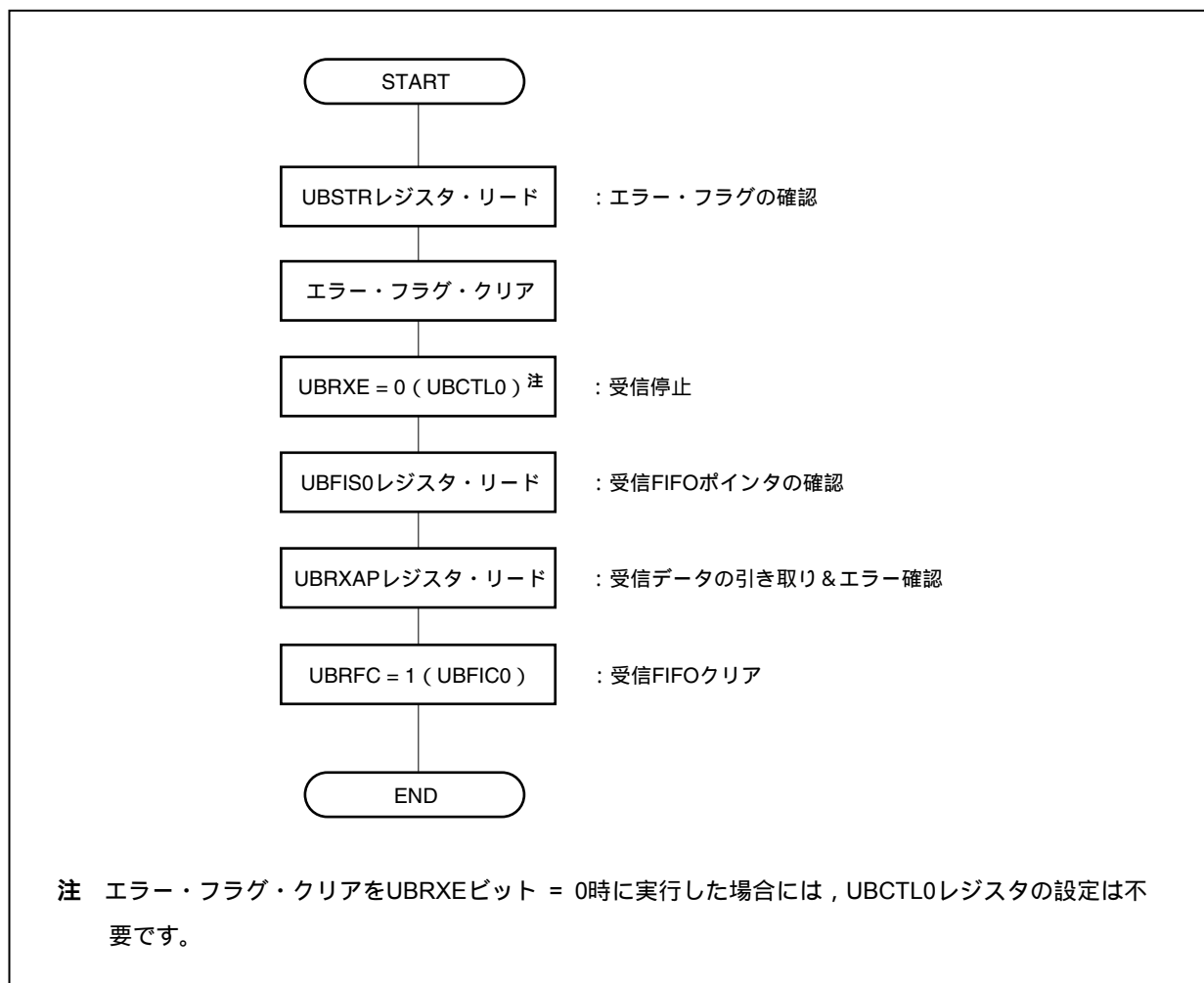
(9) シングル・モード時の受信エラー処理フロー例

図15 - 20 シングル・モード時の受信エラー処理フロー例



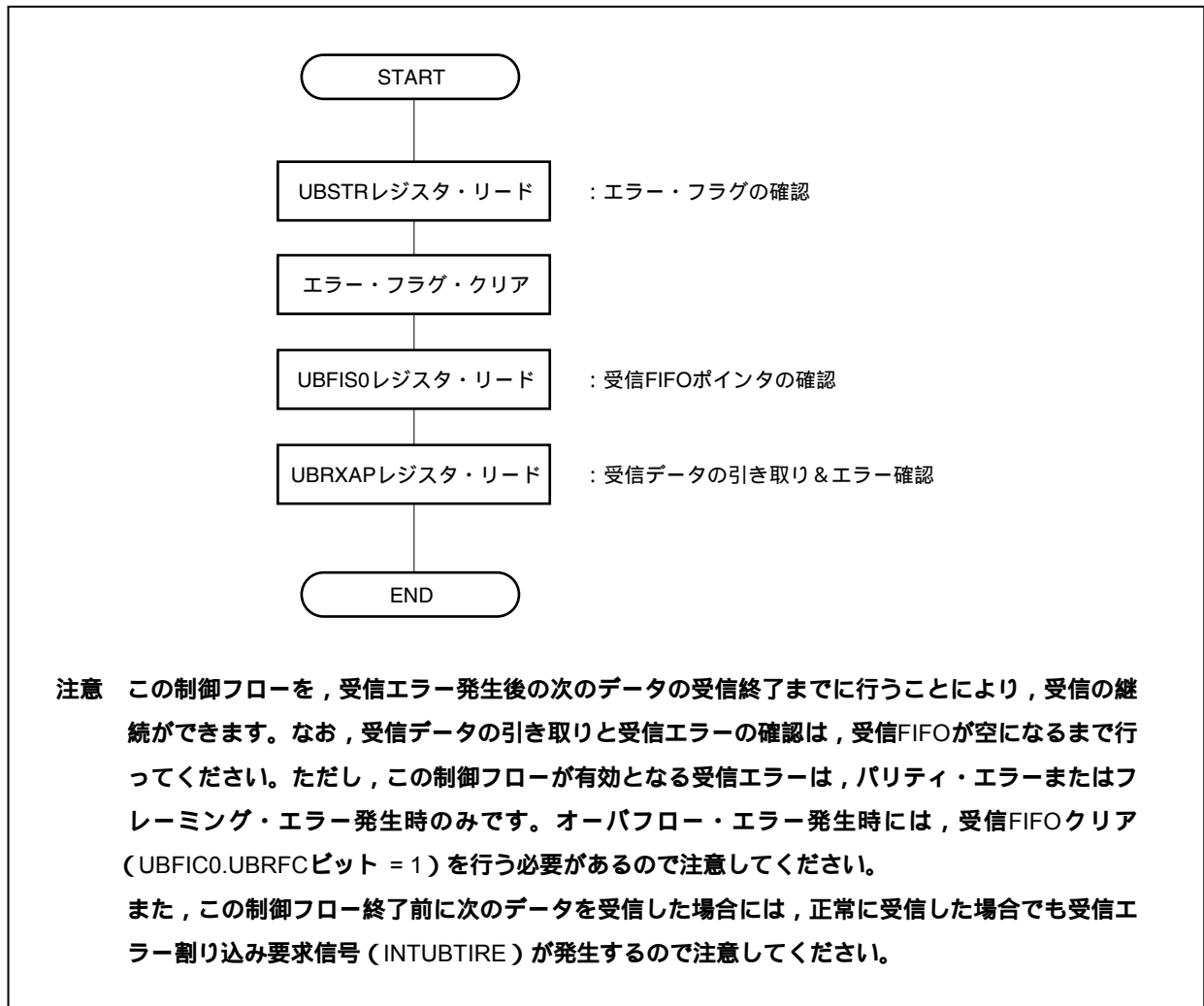
(10) FIFOモード時の受信エラー処理フロー例 (1)

図15 - 21 FIFOモード時の受信エラー処理フロー例 (1)



(11) FIFOモード時の受信エラー処理フロー例 (2)

図15 - 22 FIFOモード時の受信エラー処理フロー例 (2)



15.10 注意事項

UARTBについての注意事項を次に示します。

(1) UARTBへの供給クロックが停止した場合

UARTBへの供給クロックが停止する場合(例: IDLE, STOPモード)は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDB端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUBPWRビット = 0, UBRXEビット = 0, UBTXEビット = 0とし、回路を初期化してください。

(2) UBCTL0レジスタ設定時の注意

- ・UARTBを使用する場合には、必ずUARTB機能に関連する外部端子を兼用機能に設定したあと、UBCTL2レジスタの設定を行ってからUBCTL0.UBPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。
- ・UARTB機能に関連する外部端子を兼用機能に設定する場合には、RXDB端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBCTL0.UBRXEビットをセット(1)したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。

(3) UBFIC2レジスタ設定時の注意

UBFIC2レジスタへのライトは、必ずUBCTL0.UBTXEビット = 0(送信禁止状態)およびUBRXEビット = 0(受信禁止状態)に設定してから行ってください。UBTXEビット、またはUBRXEビットのいずれかを1に設定したままUBFIC2レジスタをライトした場合の動作は保証できません。

(4) 送信割り込み要求信号

シングル・モードでは、UBTXレジスタが空になった(UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される)場合に、送信許可割り込み要求信号(INTUBTIT)が発生します。また、FIFOモードでは、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった(空になった)場合に、FIFO送信終了割り込み要求信号(INTUBTIF)が発生します。

ただし、RESET入力により、送信データ・レジスタが空になった場合には、INTUBTIT信号、またはINTUBTIF信号は発生しません。

(5) シングル・モード時の連続送信での初期化

送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください。UBTSFビットが1のときに初期化を実行した場合は、送信データの保証はできません。

(6) FIFOモード時の連続送信(保留モード時)での初期化

送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください(FIFO送信終了割り込み要求信号(INTUBTIF)での判断でも可能です)。UBTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。

DMA制御を使用して、送信FIFOへ送信データの書き込みを実行する場合は、UBFIC2.UBTT3-UBTT0ビットで指定する送信トリガ設定数 = 1バイトとしてください。1バイト以外を指定した場合の動作は保証できません。

(7) FIFOモード時の連続送信 (ポインタ・モード時)での初期化

送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBTIF)での認識も可能です)。UBTSFビットが1のときに初期化を実行する場合は、送信データの保証はできません。

(8) FIFOモード時 (ポインタ・モード指定)の受信動作

FIFOモード時にポインタ・モードを指定した場合にUBFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信終了割り込み要求信号 (INTUBTIR)が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBFIS0.UBRB4-UBRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBRB4-UBRB0ビット = 00000以外)を確認してから行ってください。

第16章 クロック同期式シリアル・インタフェースF (CSIF)

16.1 特 徴

転送速度 : 6.25 Mbps (内部クロック使用時)

マスタ・モードとスレーブ・モードを選択可能

割り込み要求信号 : 3種類

- ・受信終了割り込み要求信号 (INTCFnR) : 受信許可状態において,シリアル転送終了後,シフト・レジスタからCSIFn受信データ・レジスタ (CFnRX) へ受信データを転送すると発生
- ・送信許可割り込み要求信号 (INTCFnT) : 連続送信 / 連続送受信モード時の送信許可状態において,CSIFn送信データ・レジスタ (CFnTX) からシフト・レジスタへ送信データを転送すると発生
- ・受信エラー割り込み要求信号 (INTCFnRE) : 連続転送モード時の受信許可状態において,オーバーラン・エラーが発生する (CFnSTR.CFnOVEビット = 1) と発生

シリアル・クロックとデータのフェーズ切り替えが可能

3線式シリアル・インタフェース,転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭 / LSB先頭を切り替え可能

3線式 SOFn : シリアル・データ出力

SIFn : シリアル・データ入力

$\overline{\text{SCKFn}}$: シリアル・クロック入出力

送信モード,受信モード,送受信モードを指定可能

送信,受信ともにダブル・バッファ構成

オーバーラン・エラー検出機能

備考 n = 0-2

16.2 構成

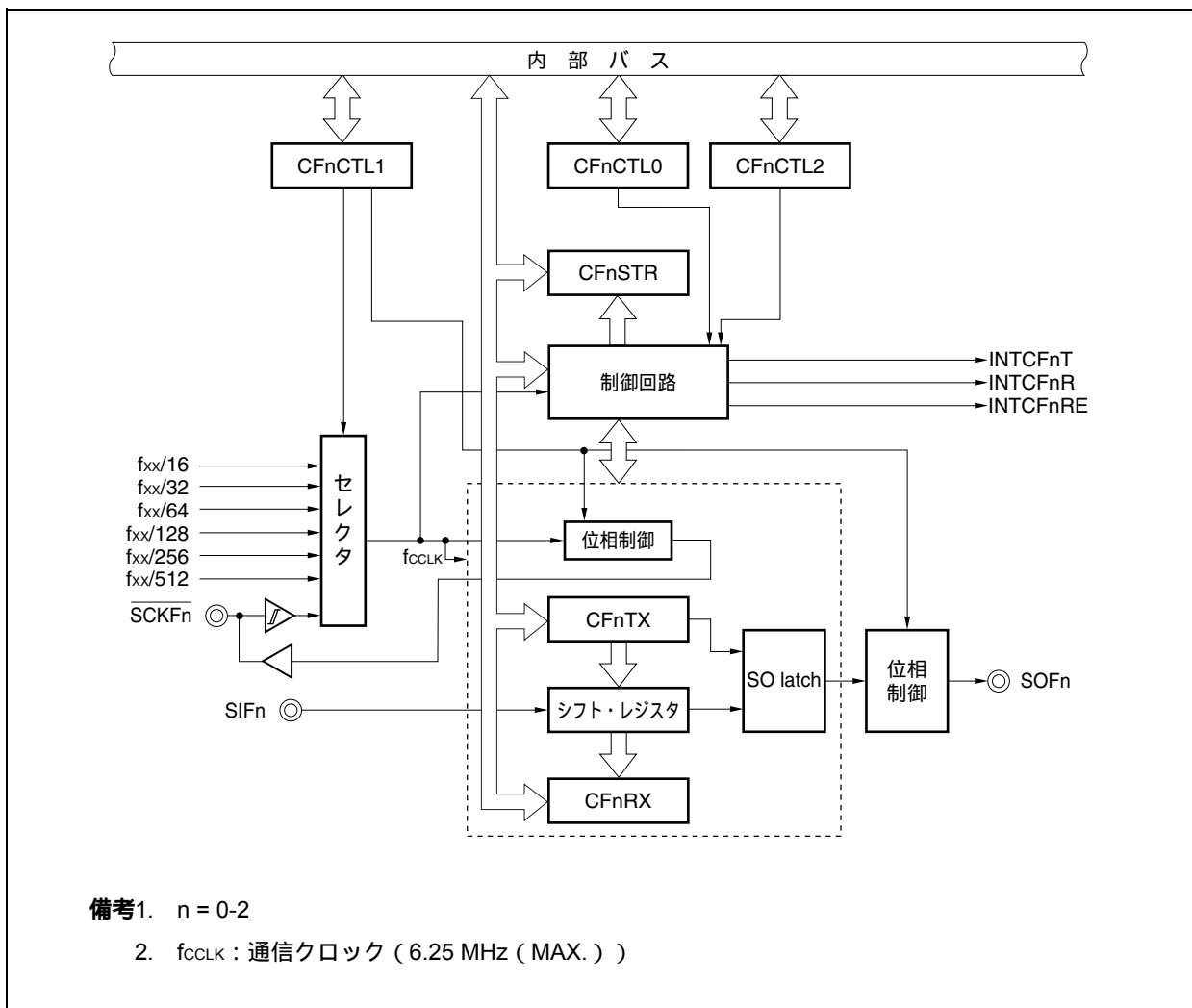
CSIFnは、次のハードウェアで構成されています。

表16 - 1 CSIFnの構成

項目	構成
レジスタ	CSIFn受信データ・レジスタ (CFnRX) CSIFn送信データ・レジスタ (CFnTX)
制御レジスタ	CSIFn制御レジスタ0 (CFnCTL0) CSIFn制御レジスタ1 (CFnCTL1) CSIFn制御レジスタ2 (CFnCTL2) CSIFn状態レジスタ (CFnSTR)

次にCSIFnのブロック図を示します。

図16 - 1 CSIFnのブロック図



16.2.1 各チャンネルの端子機能について

V850E/IG4-H, V850E/IH4-Hでは, CSIFを構成するSIF_n, SOF_n, SCKF_n端子は, 表16 - 2のように兼用されています。各端子を使用する場合は, ポート機能の設定をする必要があります(表4 - 16 ポート端子を兼用端子として使用する場合参照)

表16 - 2 端子構成

チャンネル	ピン番号		ポート	CSIF受信入力	CSIF送信出力	CSIFクロック 入出力	その他の兼用機能
	IG4-H	IH4-H					
	GC	GF					
CSIF0	46	96	P40	SIF0	-	-	RXDA0/DDI/TOA00
	47	97	P41	-	SOF0	-	TXDA0
	48	98	P42	-	-	SCKF0	DCK/TOA10
CSIF1	56	108	P32	SIF1	-	-	RXDA2/CS1
	57	109	P33	-	SOF1	-	TXDA2
	58	110	P34	-	-	SCKF1	INTP11/CS0
CSIF2	59	111	P35	SIF2	-	-	RXDB
	60	112	P36	-	SOF2	-	TXDB
	61	113	P37	-	-	SCKF2	INTP12/ASTB

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

16.3 CSIF とほかのシリアル・インタフェースのモード切り替え

16.3.1 CSIF0 と UARTA0 のモード切り替え

V850E/IG4-H, V850E/IH4-H では、CSIF0 と UARTA0 は端子が兼用になっており、同時に使用することはできません。CSIF0 を使用するときは、あらかじめ PMC4, PFC4, PFCE4 レジスタを設定する必要があります。

次にシリアル・インタフェースの CSIF0 と UARTA0 との動作モードの設定について示します。

注意 CSIF0 または UARTA0 において、送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16-2 CSIF0 と UARTA0 の動作モード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF448H								
	7	6	5	4	3	2	1	0
PMC4	0	0	0	PMC44	PMC43	PMC42	PMC41	PMC40
リセット時 : 00H R/W アドレス : FFFFF468H								
	7	6	5	4	3	2	1	0
PFC4	0	0	0	PFC44	PFC43	0	PFC41	PFC40
リセット時 : 00H R/W アドレス : FFFFF708H								
	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	PFCE42	0	PFCE40
	PMC42	PFCE42	動作モード					
	0	x	ポート入出力モード					
	1	0	SCKF0					
	PMC4n	PFC4n	動作モード					
	0	x	ポート入出力モード					
	1	0	CSIF0モード					
	1	1	UARTA0モード					
備考1. n = 0, 1								
2. x = don't care								

16.3.2 CSIF1とUARTA2のモード切り替え

V850E/IG4-H, V850E/IH4-Hでは, CSIF1とUARTA2は端子が兼用になっており, 同時に使用することはできません。CSIF1を使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

次にシリアル・インタフェースのCSIF1とUARTA2との動作モードの設定について示します。

注意 CSIF1またはUARTA2において, 送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16 - 3 CSIF1とUARTA2の動作モード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	0	0	PFCE34	0	PFCE32	PFCE31	PFCE30
	PMC34	PFC34	動作モード					
	0	x	ポート入出力モード					
	1	0	SCKF1入出力					
	PMC3n	PFC3n	動作モード					
	0	x	ポート入出力モード					
	1	0	CSIF1モード					
	1	1	UARTA2モード					
備考1. n = 2, 3								
2. x = don't care								

16.3.3 CSIF2とUARTBのモード切り替え

V850E/IG4-H, V850E/IH4-Hでは, CSIF2とUARTBは端子が兼用になっており, 同時に使用することはできません。CSIF2を使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

次にシリアル・インタフェースのCSIF2とUARTBとの動作モードの設定について示します。

注意 CSIF2またはUARTBにおいて, 送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16-4 CSIF2とUARTBの動作モード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	0	0	PFCE34	0	PFCE32	PFCE31	PFCE30
	PMC37	PFC37	動作モード					
	0	x	入出力ポート					
	1	0	SCKF2					
	PMC3n	PFC3n	動作モード					
	0	x	入出力ポート					
	1	0	CSIF2モード					
	1	1	UARTBモード					
備考 1. n = 5, 6								
2. x = don't care								

16.4 レジスタ

CSIFnを制御するレジスタを次に示します。

- ・ CSIFn受信データ・レジスタ (CFnRX)
- ・ CSIFn送信データ・レジスタ (CFnTX)
- ・ CSIFn制御レジスタ0 (CFnCTL0)
- ・ CSIFn制御レジスタ1 (CFnCTL1)
- ・ CSIFn制御レジスタ2 (CFnCTL2)
- ・ CSIFn状態レジスタ (CFnSTR)

(1) CSIFn受信データ・レジスタ (CFnRX)

CFnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

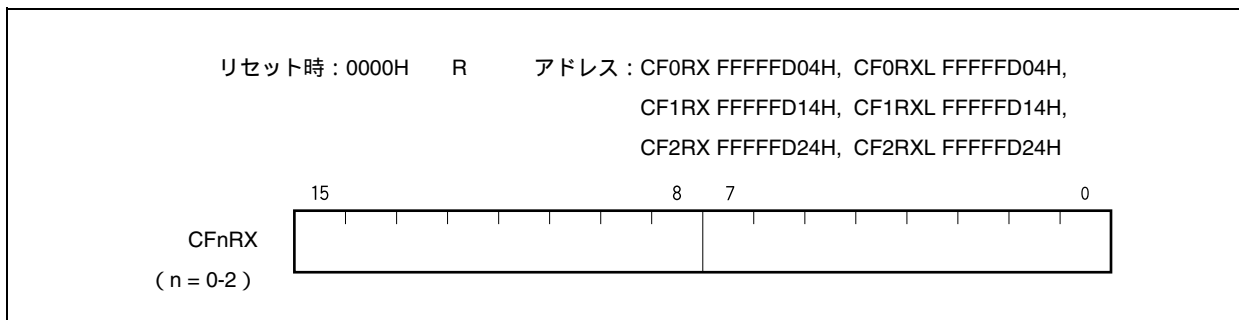
16ビット単位でリードのみ可能です。

受信モード中に、CFnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CFnRXレジスタの下位8ビットをCFnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CFnCTL0.CFnPWRビットをクリア (0) しても初期化されません。



(2) CSIFn送信データ・レジスタ (CFnTX)

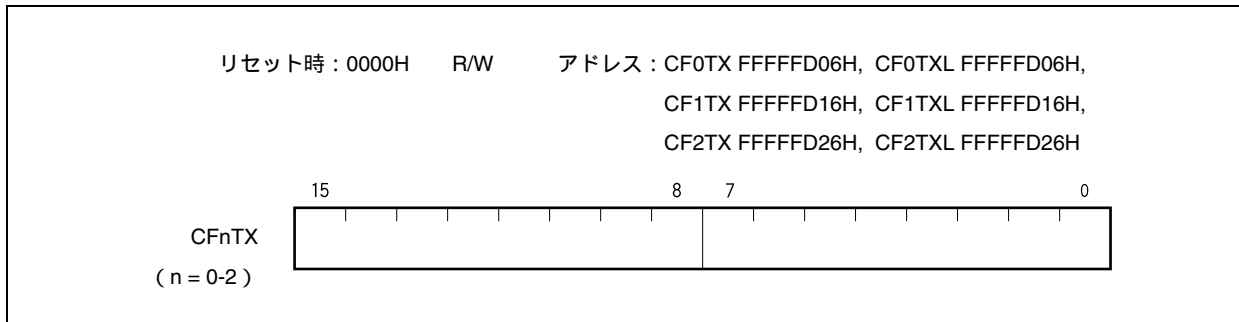
CFnTXレジスタは、CSIFnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信モード中に、CFnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CFnTXレジスタの下位8ビットをCFnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**備考** 通信開始条件について

送信モード (CFnTXEビット = 1, CFnRXEビット = 0) : CFnTXレジスタへのライト

送受信モード (CFnTXEビット = 1, CFnRXEビット = 1) : CFnTXレジスタへのライト

受信モード (CFnTXEビット = 0, CFnRXEビット = 1) : CFnRXレジスタのリード

(3) CSIFn制御レジスタ0 (CFnCTL0)

CSIFnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/2)

リセット時 : 01H R/W アドレス : CF0CTL0 FFFFFFFD00H, CF1CTL0 FFFFFFFD10H,
CF2CTL0 FFFFFFFD20H

	⑦	⑥	⑤	④	3	2	1	①
CFnCTL0 (n = 0-2)	CFnPWR	CFnTXE ^注	CFnRXE ^注	CFnDIR ^注	0	0	CFnTMS ^注	CFnSCE

CFnPWR	CSIFn動作禁止 / 許可の指定
0	CSIFn動作禁止, CFnSTRレジスタをリセットする
1	CSIFn動作許可
・ CFnPWRビットはCSIFnの動作の制御と内部回路のリセットを行います。	

CFnTXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CFnTXEビット = 0のとき, SOFn出力はロウ・レベルとなります。	

CFnRXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CFnRXEビット = 0のとき, 規定のデータを転送されても受信終了割り込みは出力されず, 受信データ (CFnRXレジスタ) は更新されません。	

注 CFnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCFnPWRビット = 1とするのは可能です。

注意 ビット3, 2には必ず0を設定してください。

CFnDIR ^{注1}	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CFnTMS ^{注1}	転送モードの指定
0	シングル転送モード
1	連続転送モード

・通信タイプ2, 4 (CFnCTL1.CFnDAPビット = 1) でシングル送信 / 送受信モードを使用する場合, CFnSTR.CFnTSFビット = 0であることを確認したあとにCFnTXレジスタに転送データを書き込んでください。

・DMAを使用する場合は, 連続転送モードを使用してください。

CFnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。

(a) シングル受信モード
受信データ (CFnRXレジスタ) のリードを行う前にCFnSCEビットを“0”に設定してください^{注2}。

(b) 連続受信モード時
最終データの受信を終了する1通信クロック前までにCFnSCEビットを“0”に設定してください^{注3}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。

(a) シングル受信モード, 連続受信モード時
CFnSCEビットは“1”に設定してください^{注4}。

・シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CFnSCEビットの機能は無効です。“1”に設定することを推奨します。

- 注1. CFnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCFnPWRビット = 1とするのは可能です。
2. CFnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されません。
3. 最終データの受信を終了する1通信クロック前までにCFnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。
なお, 最終データのリード後に再び通信動作を起動したい場合, CFnSCEビットを“1”に設定し, CFnRXレジスタをダミー・リードします。
4. 受信を開始する場合には, ダミー・リードが必要です。

(a) CFnSCEビットの使用法**(i) シングル受信モード時**

INTCFnR割り込み処理で最終データの受信が終了している場合は、CFnSCEビット = 0にしてから、CFnRXレジスタを読み出します。

最終データの受信終了後、受信を禁止する場合は、CFnSTR.CFnTSFビットが“0”であることを確認したあと、CFnPWRビット = 0, CFnRXEビット = 0にします。続けて受信する場合は、CFnSCEビット = 1にして、CFnRXレジスタのダミー・リードにより次の受信動作を開始します。

(ii) 連続受信モード時

最終受信1つ前の受信によるINTCFnR割り込み処理で最終データの受信中にCFnSCEビット=0にしてから、CFnRXレジスタを読み出します。

最終受信のINTCFnR信号を受けて、CFnRXレジスタにより最終データを読み出します。

最終データの受信終了後、受信を禁止する場合は、CFnSTR.CFnTSFビットが“0”であることを確認したあと、CFnPWRビット = 0, CFnRXEビット = 0にします。続けて受信する場合は、CFnSCEビット = 1にして、CFnRXレジスタのダミー・リードにより次の受信動作を開始します。

注意 連続受信の場合、ダミー・リードで受信を開始したあと、CFnSCEビット = 0設定時に実行中の受信が終了するまでシリアル・クロックは停止しません。

(4) CSIFn制御レジスタ1 (CFnCTL1)

CSIFnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CFnCTL1レジスタは、CFnCTL0.CFnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CF0CTL1 FFFFFFFD01H, CF1CTL1 FFFFFFFD11H,
CF2CTL1 FFFFFFFD21H

	7	6	5	4	3	2	1	0
CFnCTL1	0	0	0	CFnCKP	CFnDAP	CFnCKS2	CFnCKS1	CFnCKS0
(n = 0-2)								

	CFnCKP	CFnDAP	SCKFnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CFnCKS2	CFnCKS1	CFnCKS0	通信クロック (fcCLK)	モード
0	0	0	fxx/16	マスタ・モード
0	0	1	fxx/32	マスタ・モード
0	1	0	fxx/64	マスタ・モード
0	1	1	fxx/128	マスタ・モード
1	0	0	fxx/256	マスタ・モード
1	0	1	fxx/512	マスタ・モード
1	1	0	設定禁止	マスタ・モード
1	1	1	外部クロック (SCKFn)	スレーブ・モード

注意 fcCLKは6.25 MHz以下に設定してください。

(5) CSIFn制御レジスタ2 (CFnCTL2)

CSIFnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CFnCTL2レジスタは、CFnCTL0.CFnPWRビット = 0、またはCFnTXE, CFnRXEビット = 0の場合のみ書き換えを許可します。

リセット時：00H R/W アドレス：CF0CTL2 FFFFFFFD02H, CF1CTL2 FFFFFFFD12H,
CF2CTL2 FFFFFFFD22H

	7	6	5	4	3	2	1	0
CFnCTL2 (n = 0-2)	0	0	0	0	CFnCL3	CFnCL2	CFnCL1	CFnCL0

CFnCL3	CFnCL2	CFnCL1	CFnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

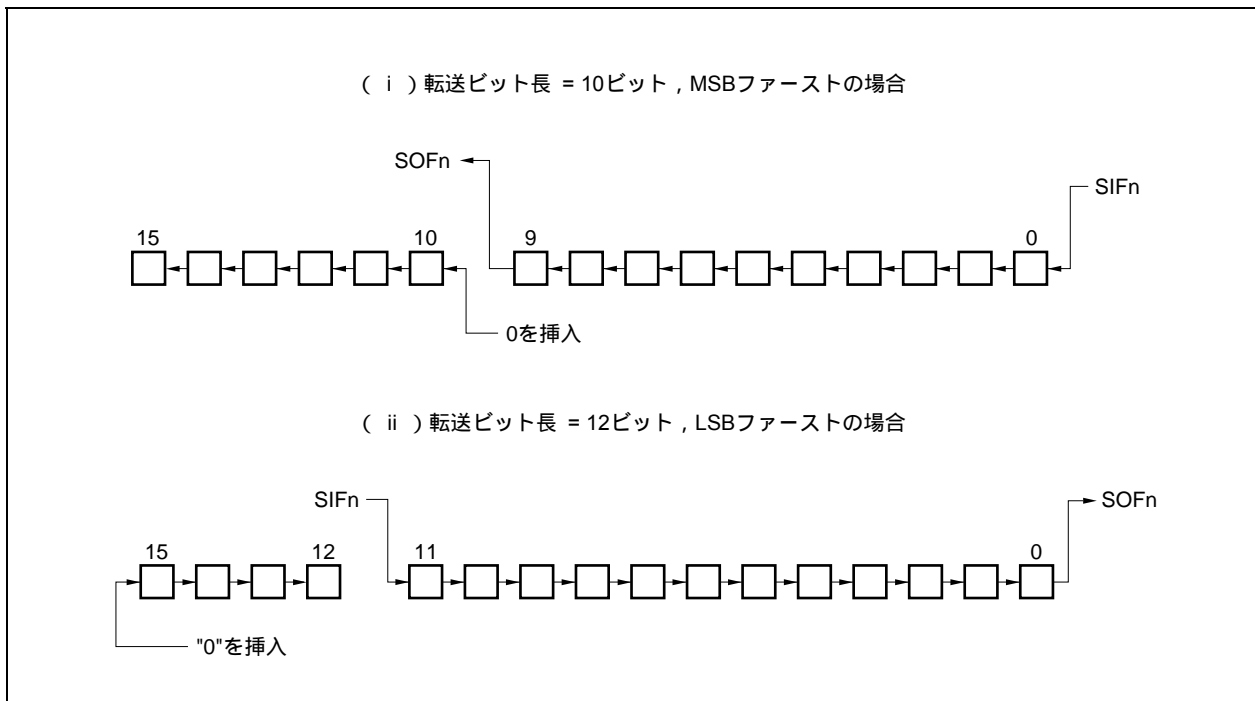
備考 転送ビット数が8/16ビットではない場合には、CFnTX, CFnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

(a) 転送データ長変更機能

CSIFnの転送データ長はCFnCTL2.CFnCL3-CFnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CFnTX、CFnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

備考 n = 0-2



(6) CSIFn状態レジスタ (CFnSTR)

CSIFnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CFnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CFnCTL0.CFnPWRビットをクリア (0) する場合も初期化されます。

リセット時 : 00H R/W アドレス : CF0STR FFFFFFFD03H, CF1STR FFFFFFFD13H,
CF2STR FFFFFFFD23H

CFnSTR	⑦	6	5	4	3	2	1	⑩
CFnTSF	0	0	0	0	0	0	0	CFnOVE

(n = 0-2)

CFnTSF	通信状態フラグ
0	通信停止
1	通信中

・送信時にはCFnTXレジスタにデータを準備したタイミングでセットされます。
受信時にはCFnRXレジスタをダミー・リードしたタイミングでセットされます。
転送終了時、クロックの最後のエッジでクリア (0) されます。

CFnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり

・受信時もしくは受信動作終了後に、CFnRXレジスタの値をCPUリードせずに次の受信が開始した場合、オーバラン・エラーとする。
CFnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。
・CFnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません

注意 シングル転送モードでは、CFnTSFビット = 1の状態でもCFnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCFnR信号発生によりDMAを起動し、CFnTXレジスタに次のデータを書き込んでも、CFnTSFビット = 1のため書き込んだデータの転送は行われません。

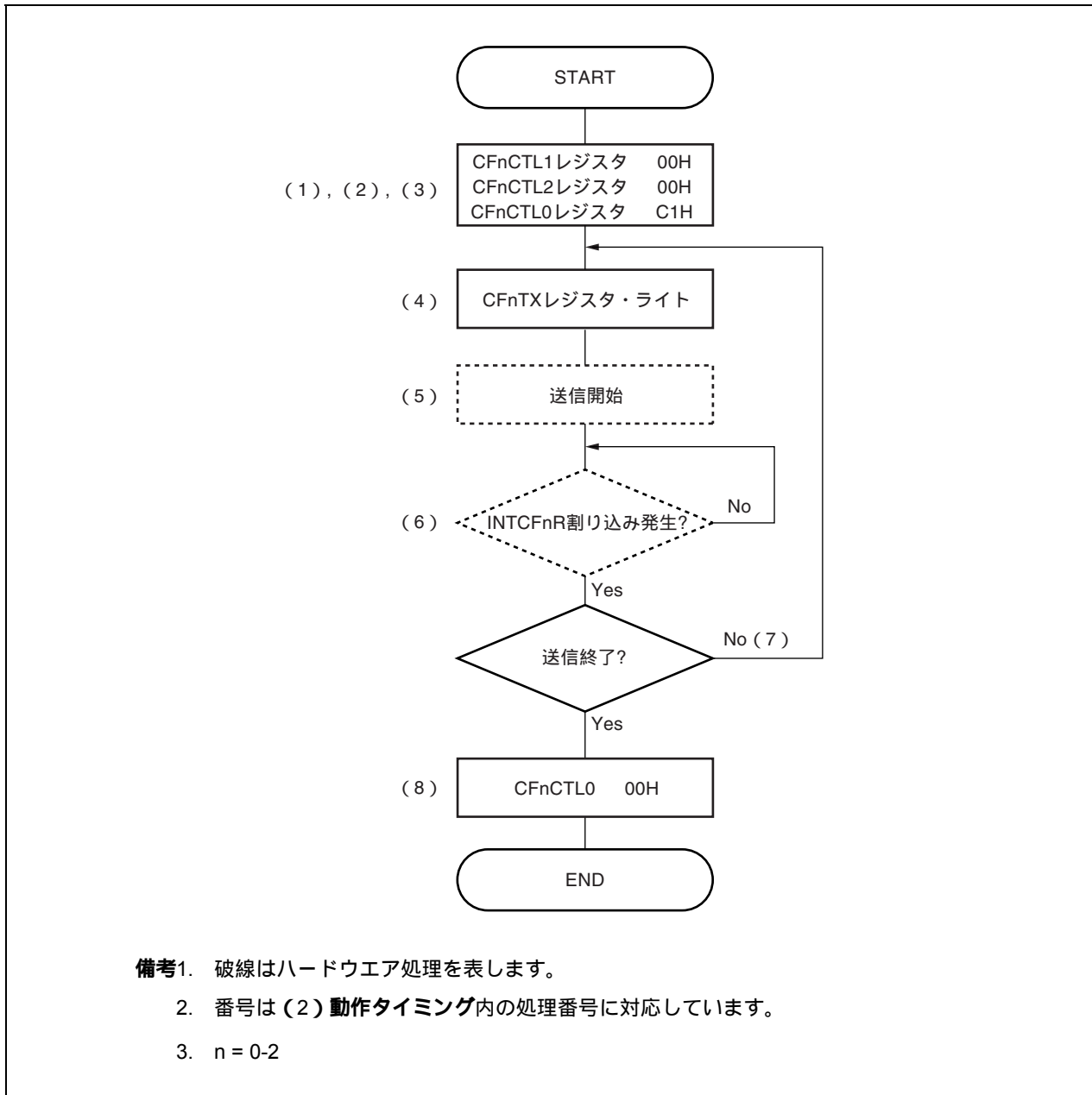
このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

16.5 動作

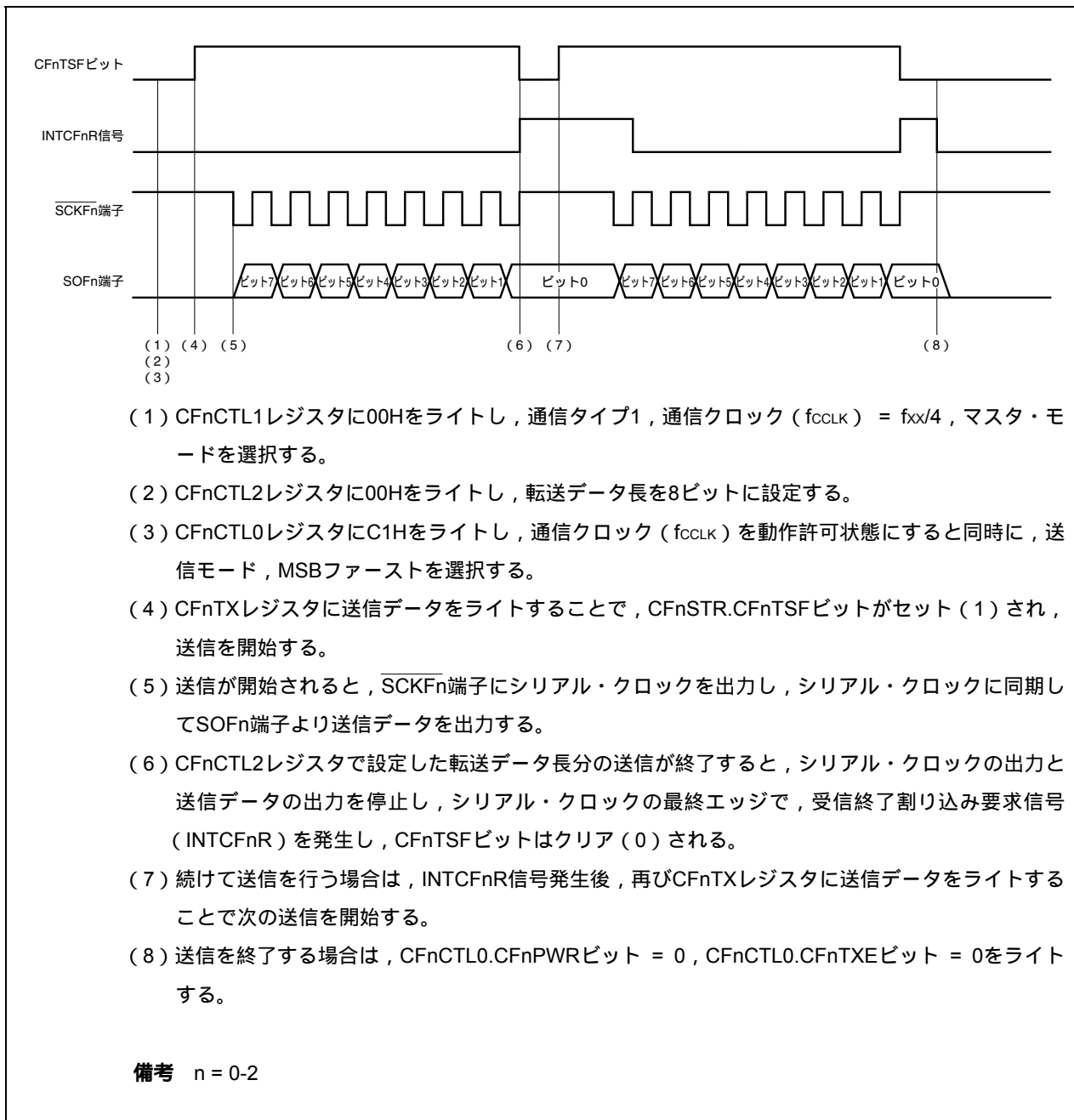
16.5.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0),通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00),通信クロック(f_{CLK}) = $f_{xx}/4$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000),転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



(2) 動作タイミング



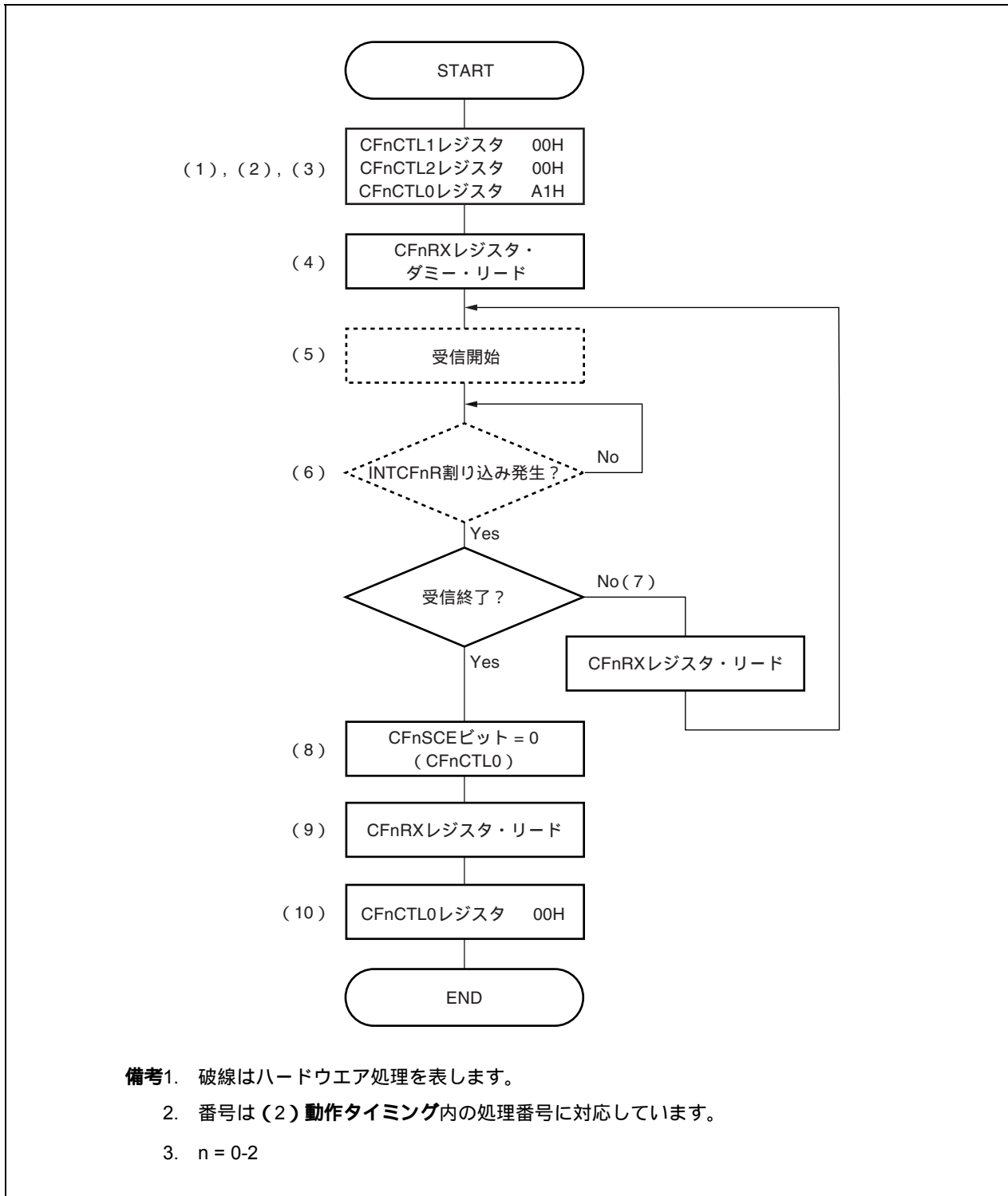
- (1) CFnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにC1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSFビットがセット (1) され、送信を開始する。
- (5) 送信が開始されると、 \overline{SCKFn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOFn端子より送信データを出力する。
- (6) CFnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCFnR) を発生し、CFnTSFビットはクリア (0) される。
- (7) 続けて送信を行う場合は、INTCFnR信号発生後、再びCFnTXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を終了する場合は、CFnCTL0.CFnPWRビット = 0、CFnCTL0.CFnTXEビット = 0をライトする。

備考 n = 0-2

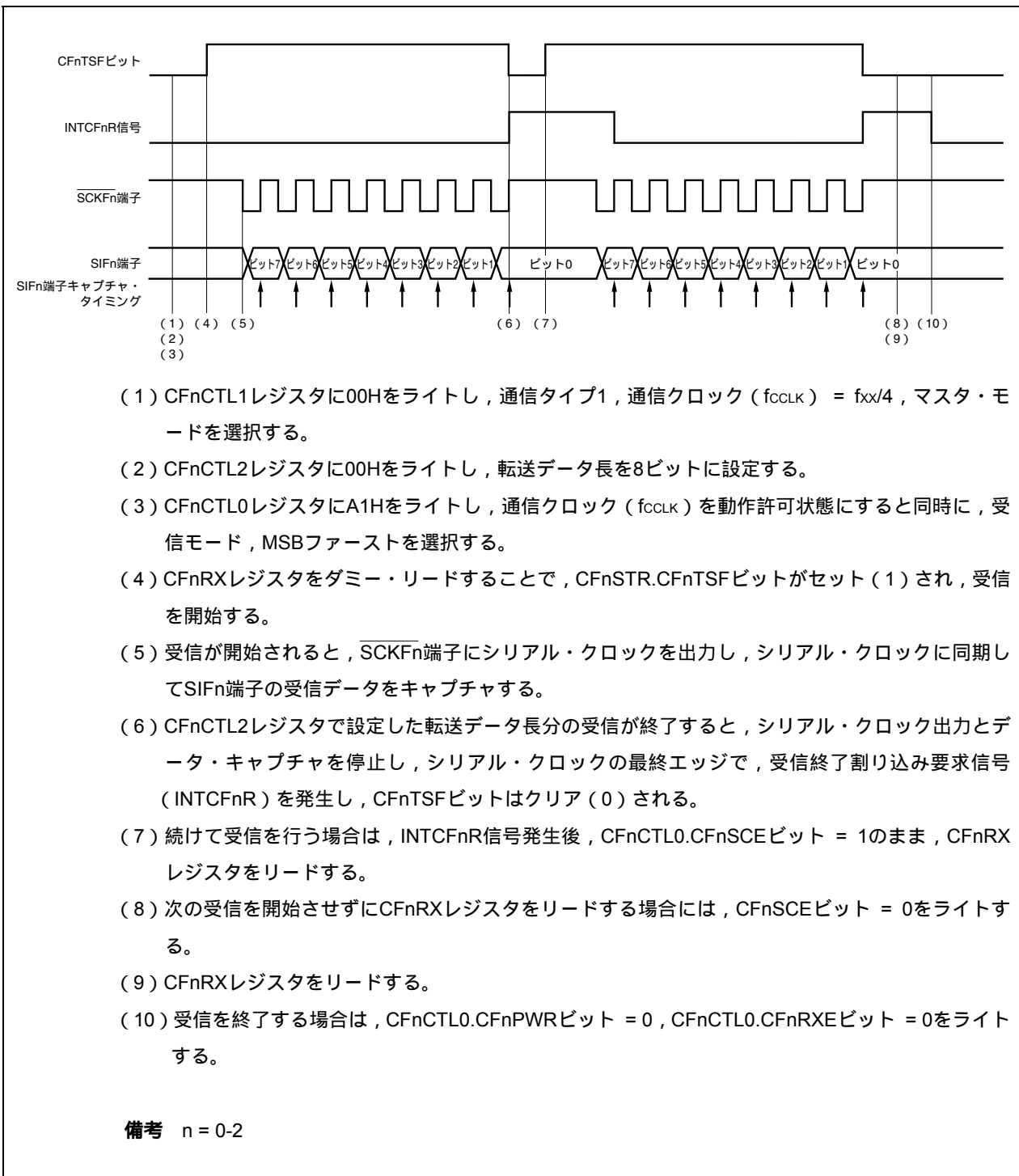
16.5.2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/4$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



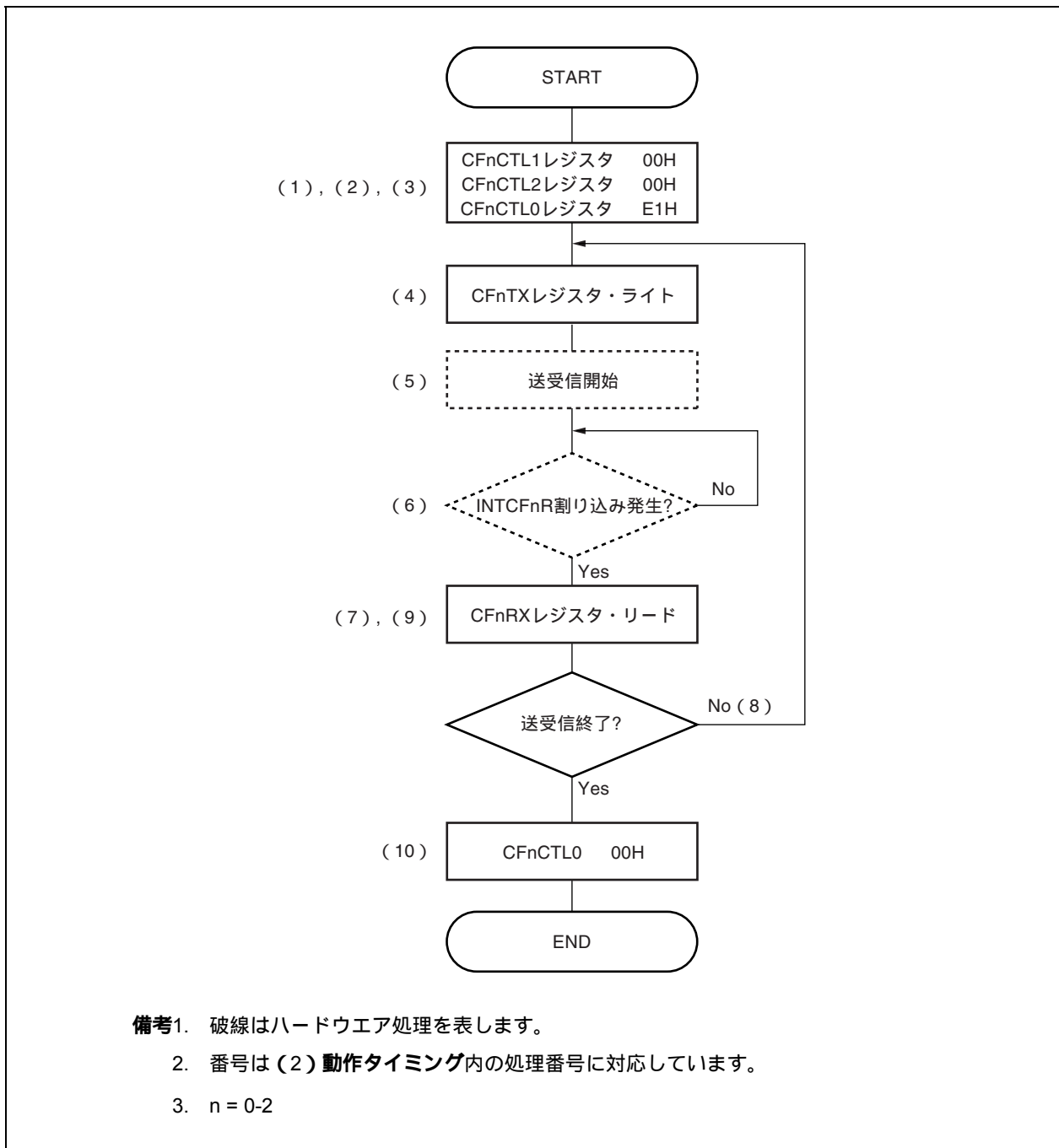
(2) 動作タイミング



16.5.3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{\text{xx}}/4$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー

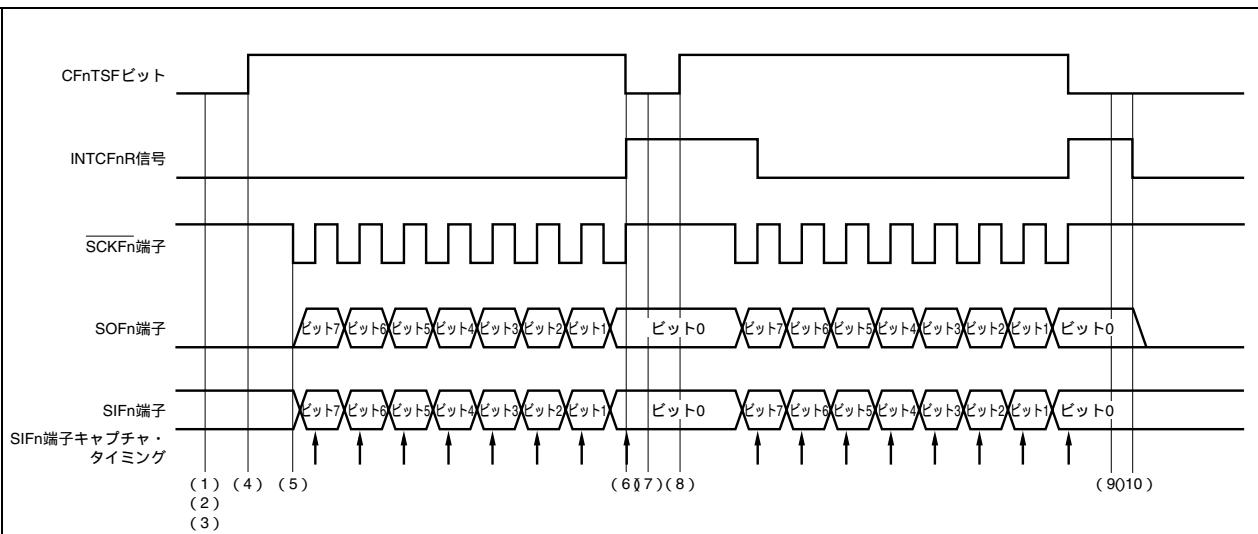


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. $n = 0-2$

(2) 動作タイミング



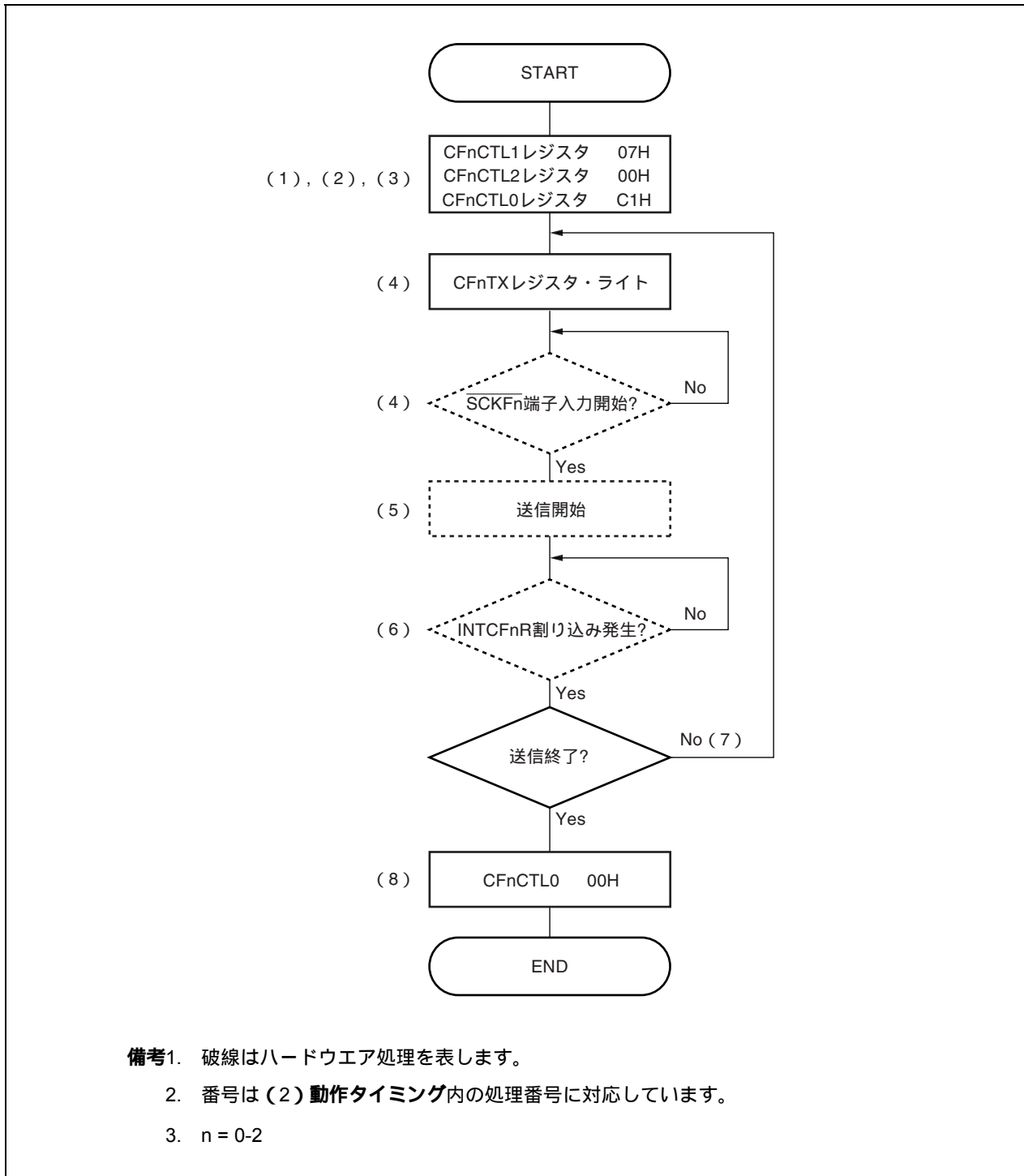
- (1) CFnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにE1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSPビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、 \overline{SCKFn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOFn端子に送信データを出力し、SIFn端子の受信データをキャプチャする。
- (6) CFnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCFnR) を発生し、CFnTSPビットはクリア (0) される。
- (7) CFnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCFnTXレジスタに送信データをライトする。
- (9) CFnRXレジスタをリードする。
- (10) 送受信を終了する場合は、CFnCTL0.CFnPWRビット = 0, CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-2

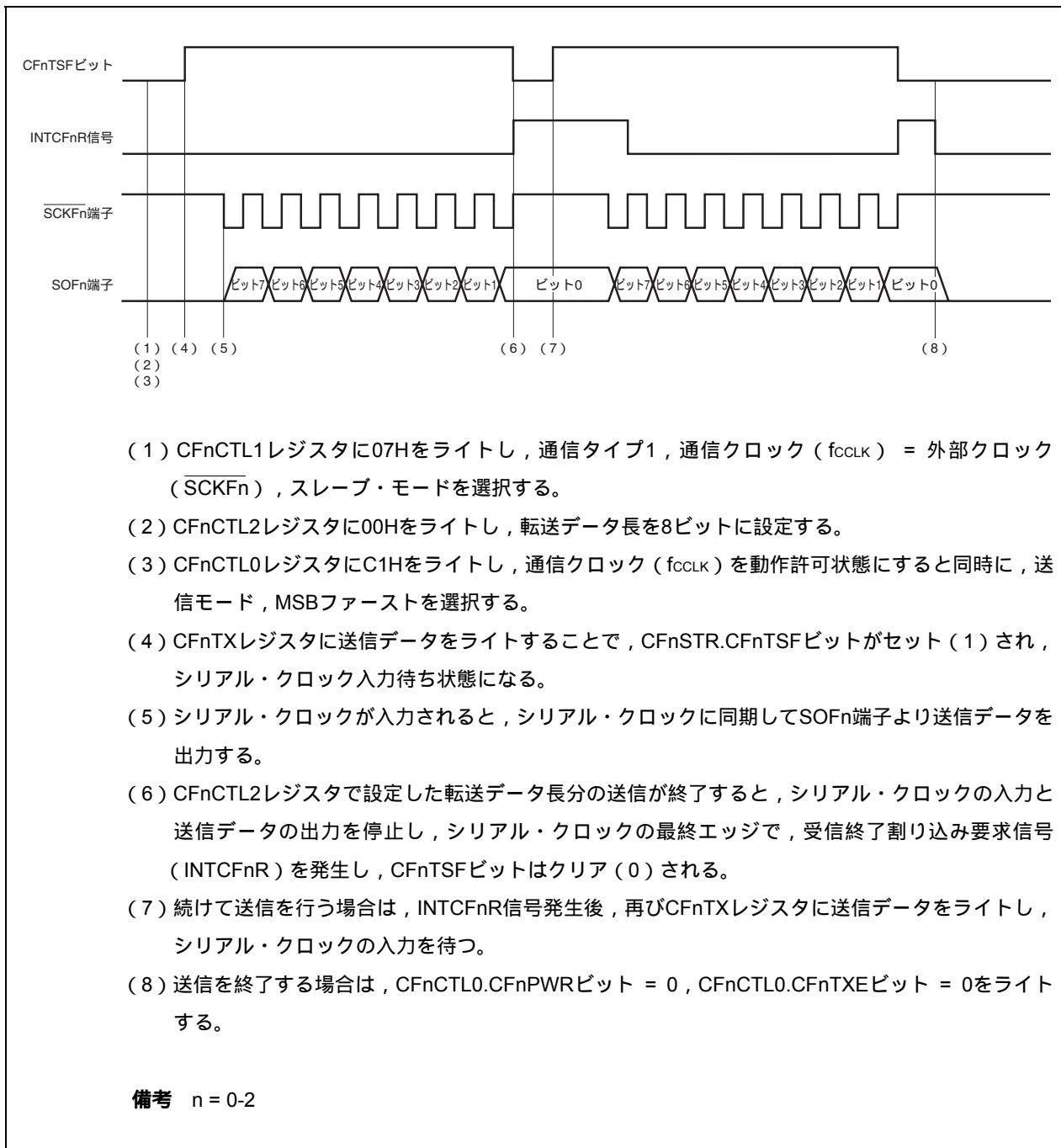
16.5.4 シングル転送モード (スレーブ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック(SCKFn)(CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



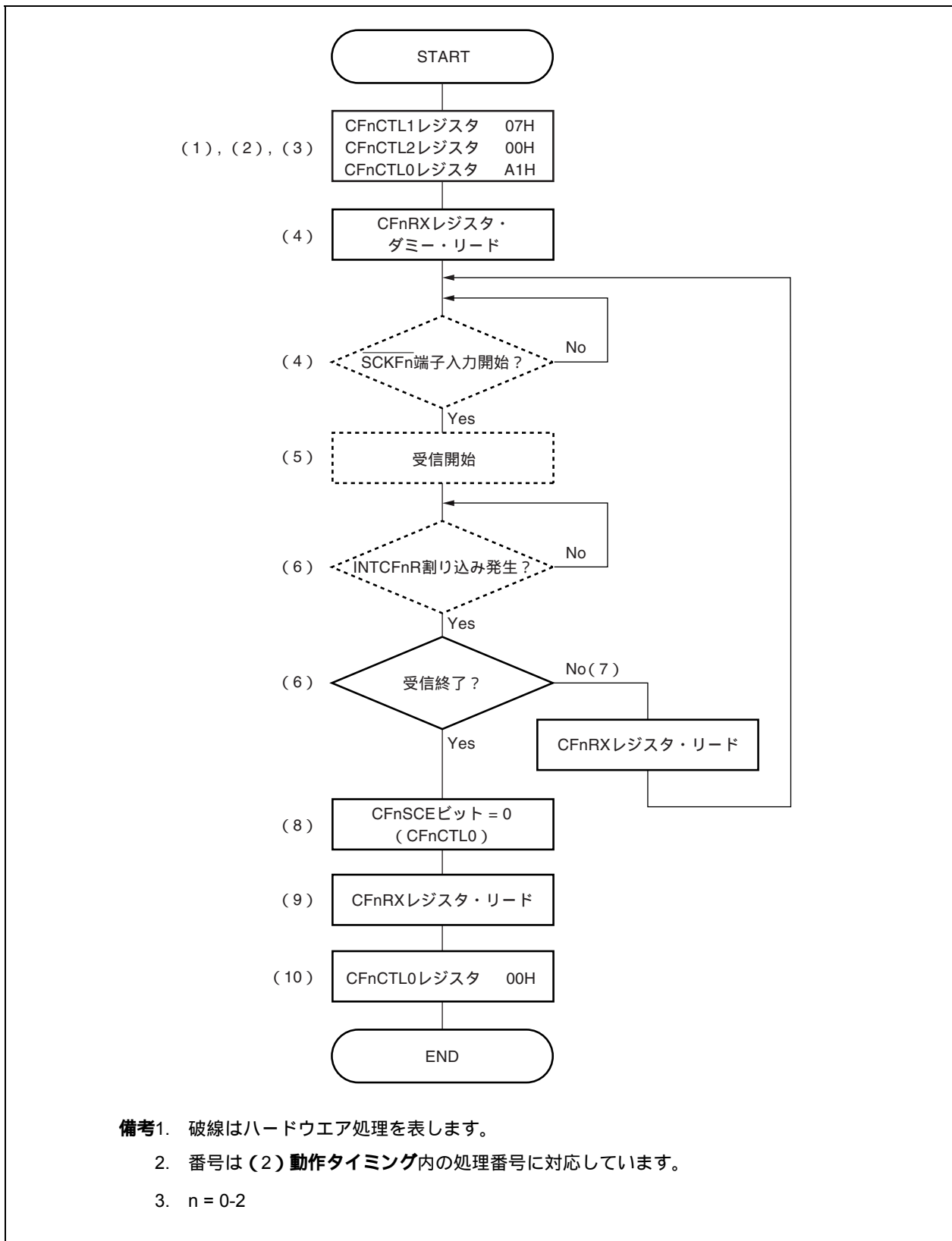
(2) 動作タイミング



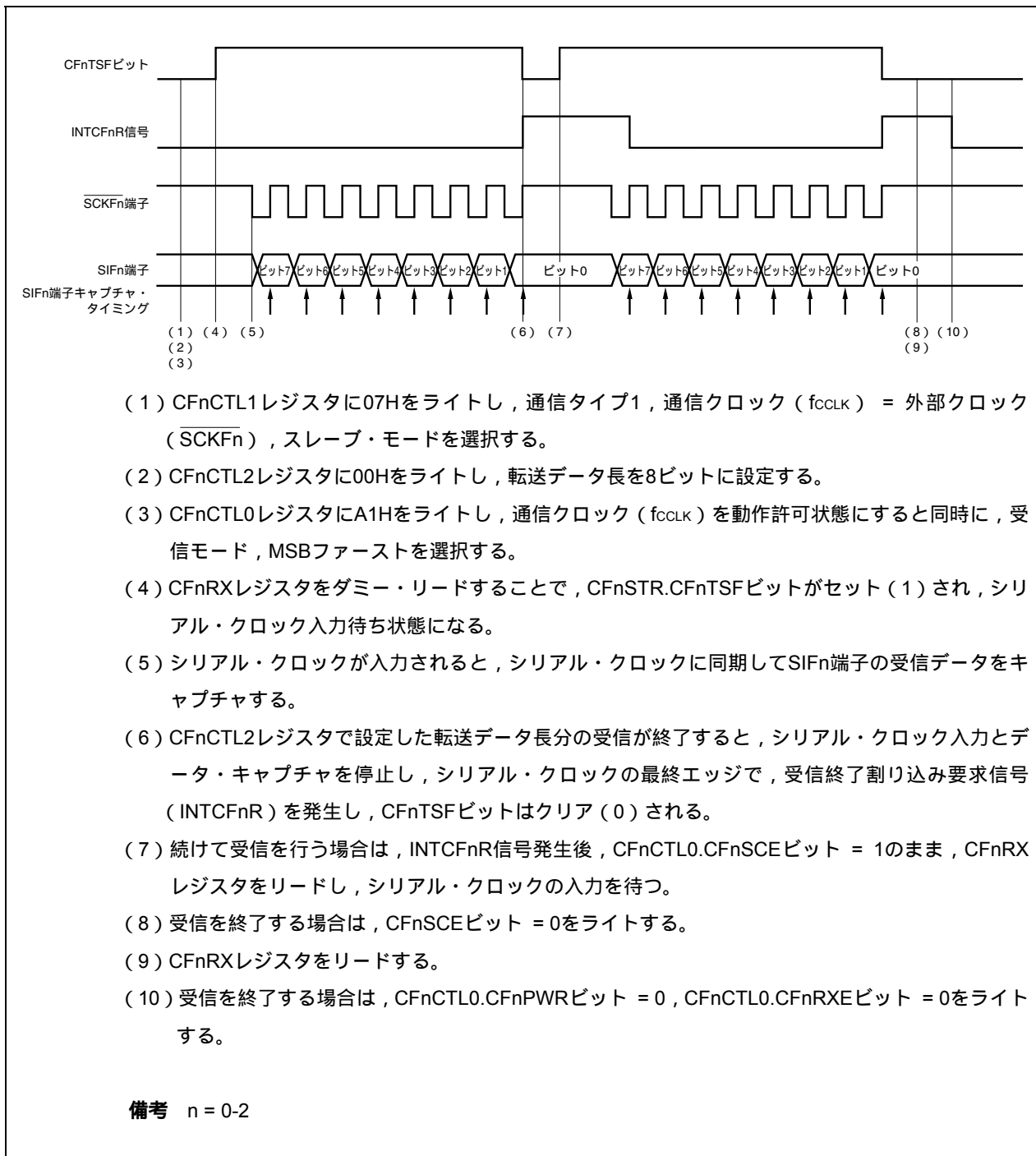
16.5.5 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (fcCLK) = 外部クロック (SCKFn) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



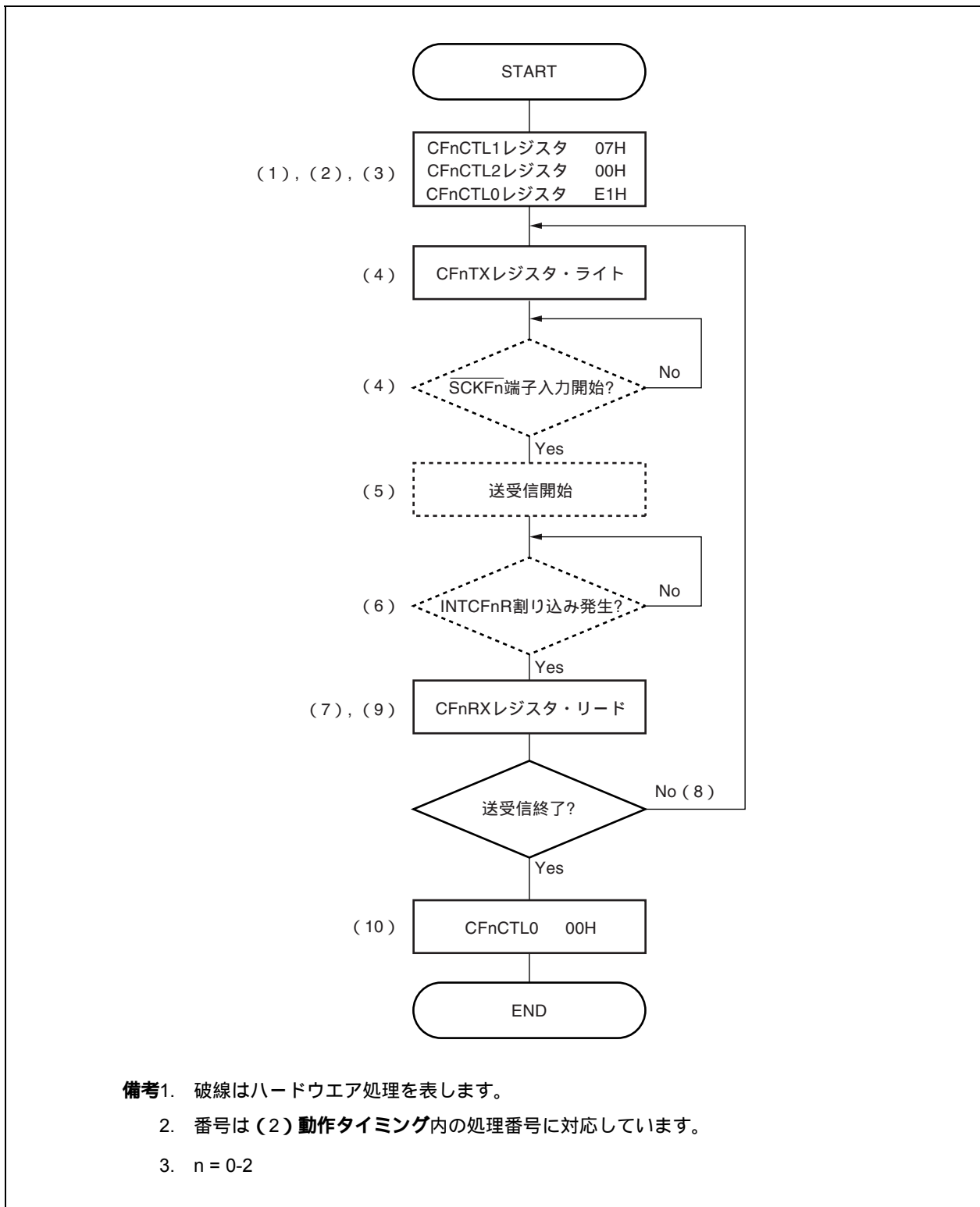
(2) 動作タイミング



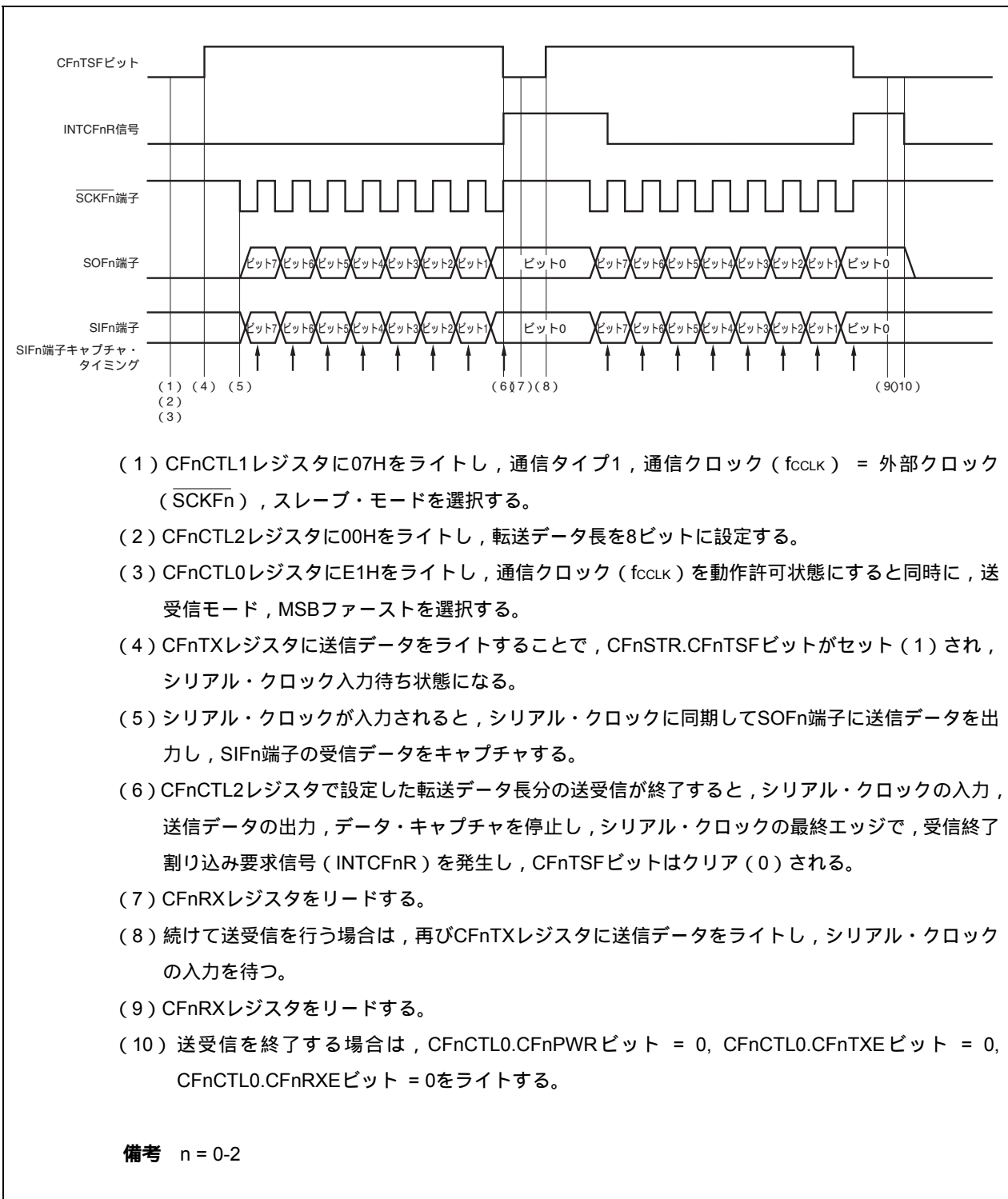
16. 5. 6 シングル転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (fcCLK) = 外部クロック (SCKFn) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



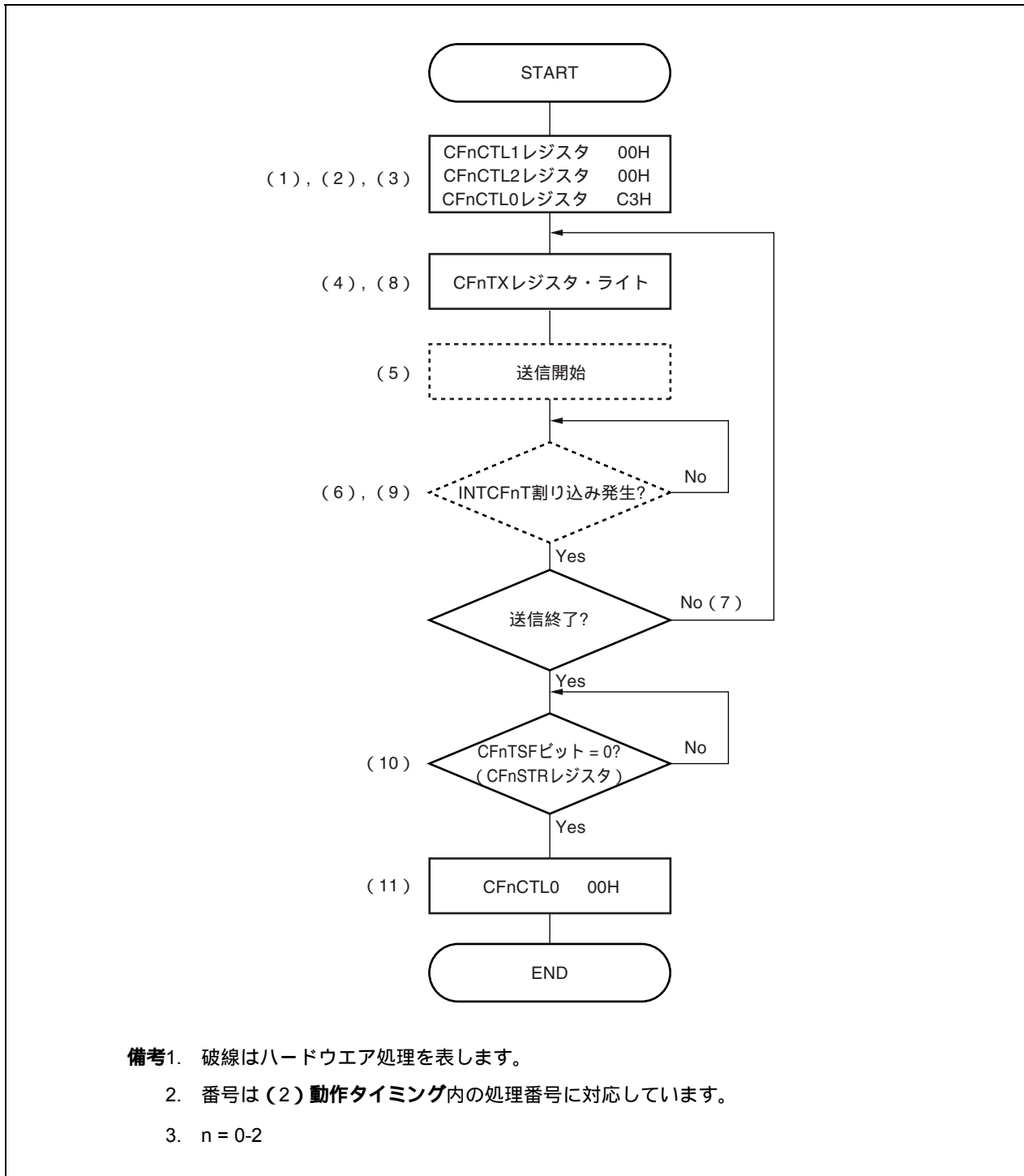
(2) 動作タイミング



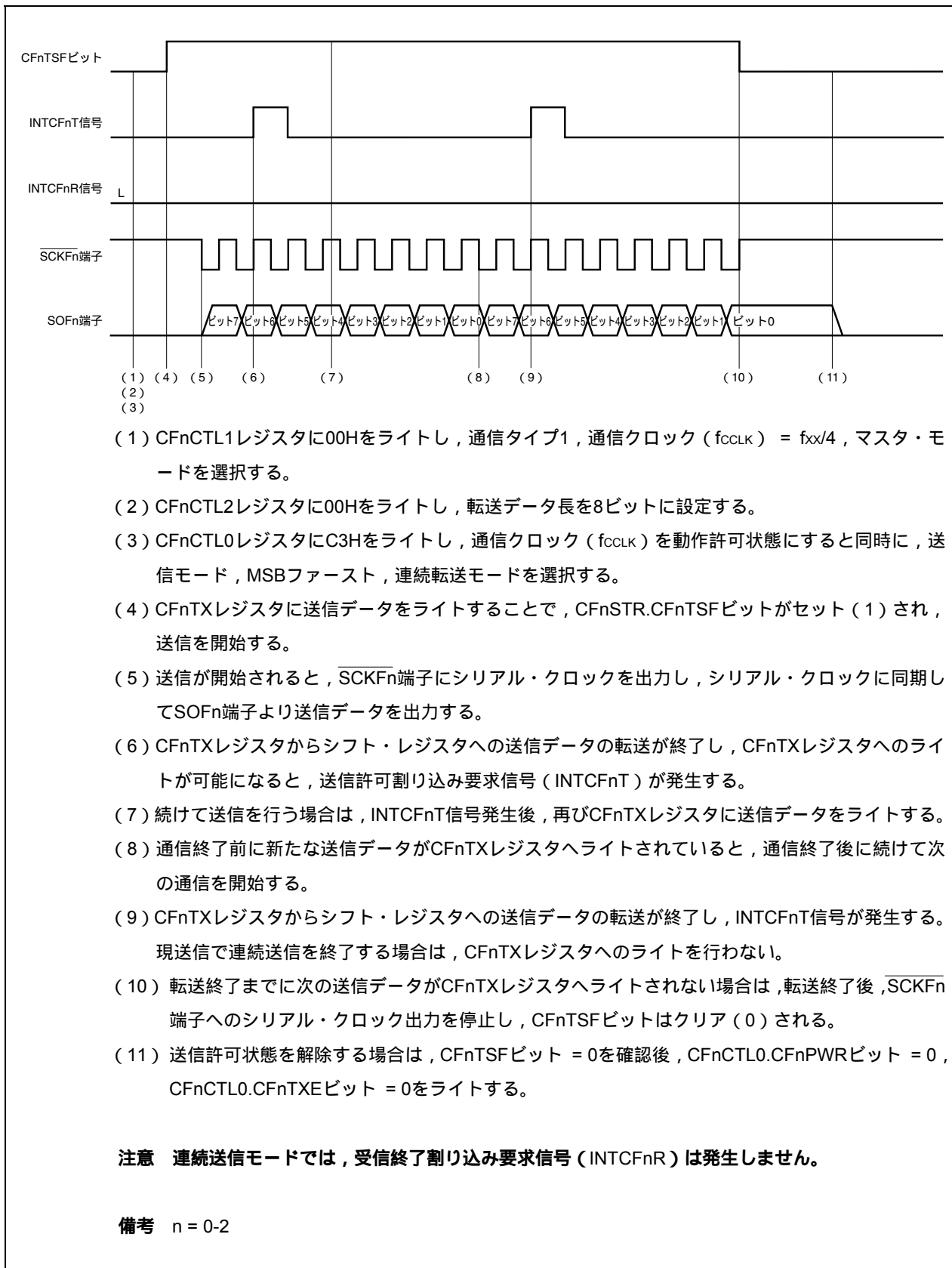
16. 5. 7 連続転送モード (マスタ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/4$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



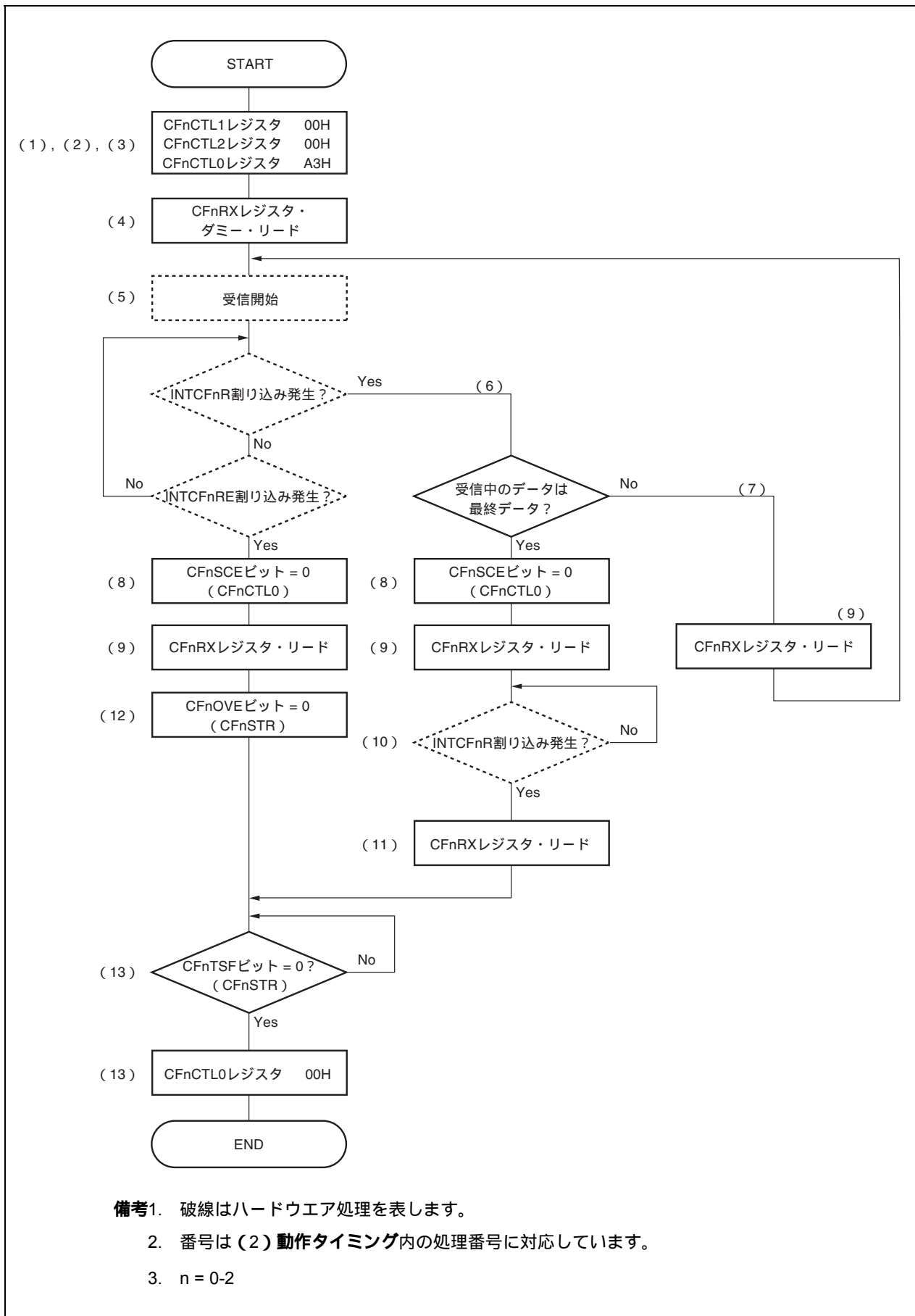
(2) 動作タイミング



16. 5. 8 連続転送モード (マスタ・モード, 受信モード)

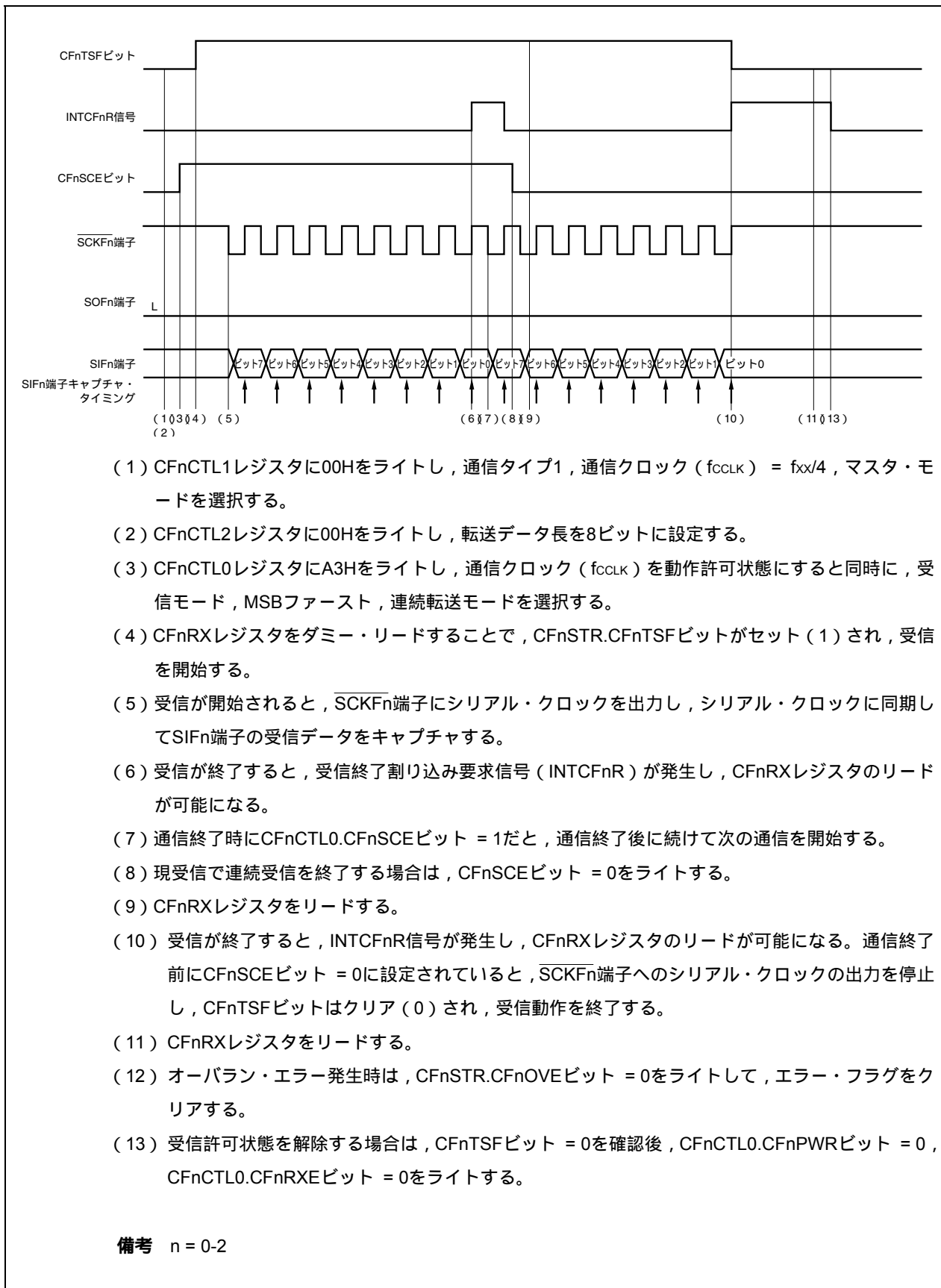
MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{xx}}/4$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0-2

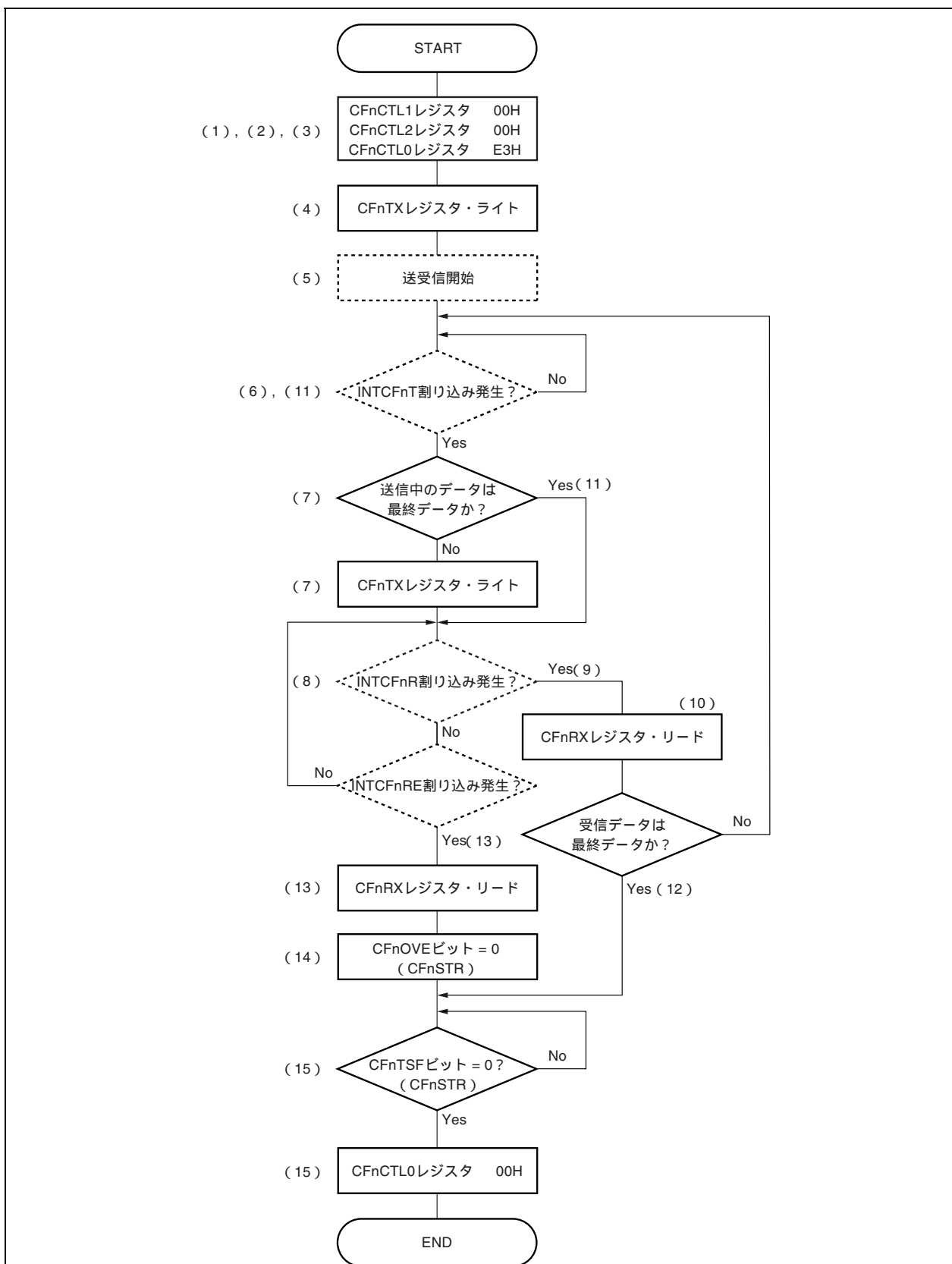
(2) 動作タイミング



16. 5. 9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/4$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

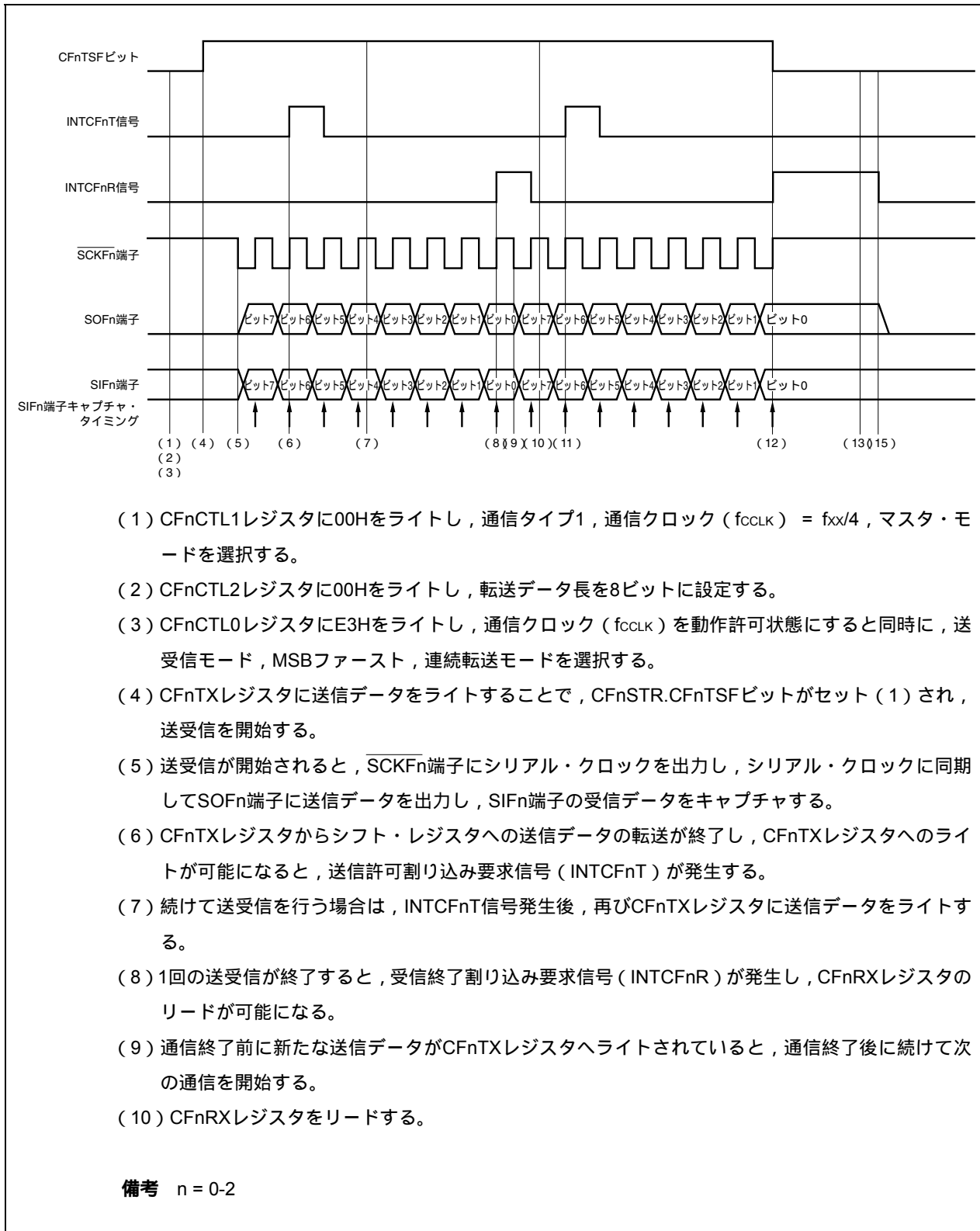
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。
- 3. n = 0-2

(2) 動作タイミング

(1/2)



(2/2)

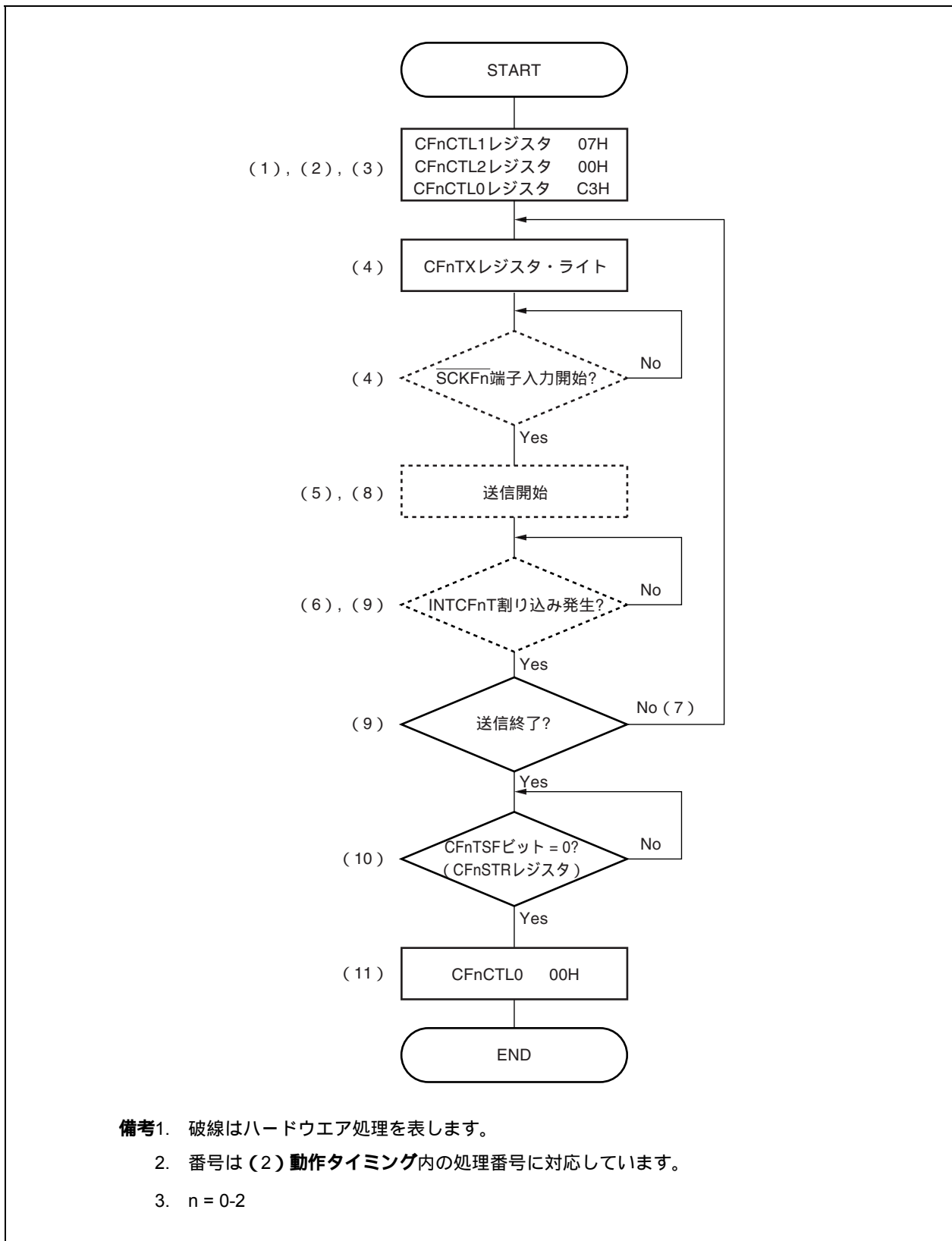
- (11) CFnTXレジスタからシフト・レジスタへの送信データの転送が終了し、INTCFnT信号が発生する。現送受信で連続送受信を終了する場合は、CFnTXレジスタへのライトを行わない。
- (12) 転送終了までに次の送信データがCFnTXレジスタへライトされない場合は、転送終了後、 $\overline{\text{SCKFn}}$ 端子へのシリアル・クロック出力を停止し、CFnTSFビットはクリア(0)される。
- (13) 受信エラー割り込み要求信号(INTCFnRE)発生時は、CFnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CFnSTR.CFnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0, CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-2

16. 5. 10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック(\overline{SCKFn}) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー

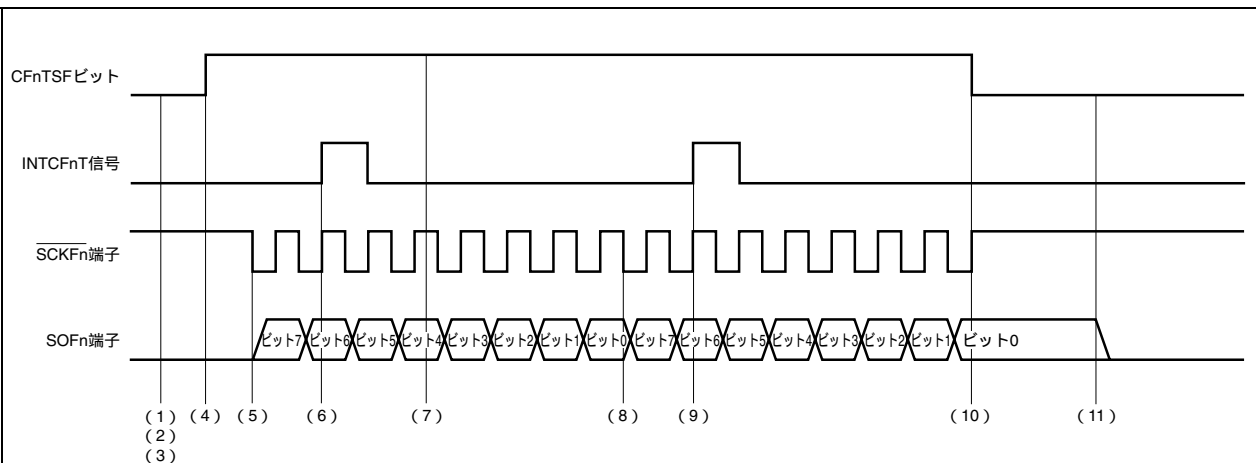


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. $n = 0-2$

(2) 動作タイミング



- (1) CFnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($\overline{\text{SCKFn}}$)、スレーブ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにC3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOFn端子より送信データを出力する。
- (6) CFnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CFnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCFnT) が発生する。
- (7) 続けて送信を行う場合は、INTCFnT信号発生後、再びCFnTXレジスタに送信データをライトする。
- (8) CFnCTL2レジスタで設定した転送データ長分の送信が終了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CFnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CFnTXレジスタへのライトが可能になるとINTCFnT信号が発生する。現送信で連続送信を終了する場合は、CFnTXレジスタへのライトを行わない。
- (10) CFnTXレジスタへライトされていない状態で、CFnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CFnTSFビットはクリア (0) され、送信を終了する。
- (11) 送信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0、CFnCTL0.CFnTXEビット = 0をライトする。

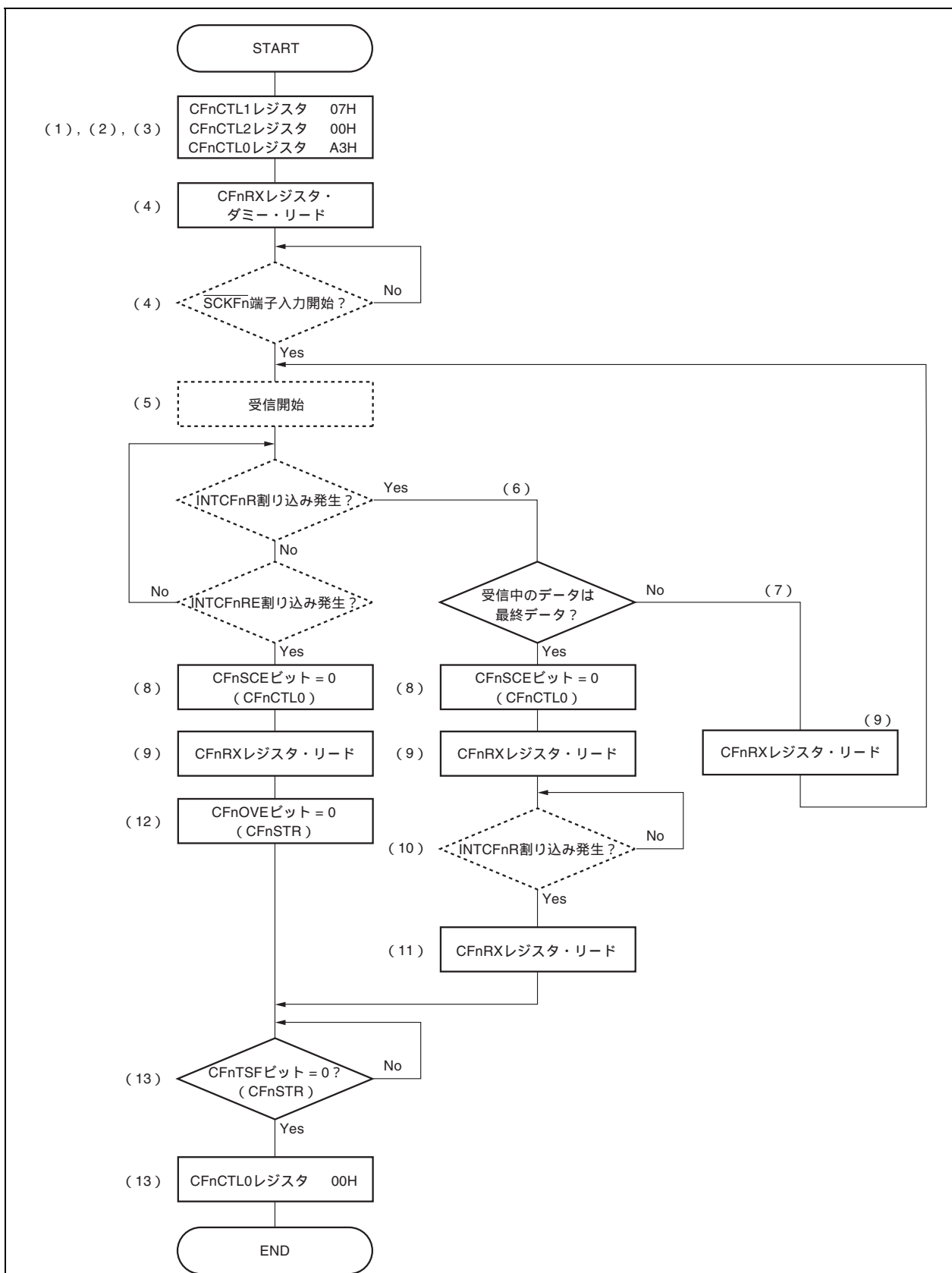
注意 連続送信モードでは、受信終了割り込み要求信号 (INTCFnR) は発生しません。

備考 n = 0-2

16. 5. 11 連続転送モード (スレーブ・モード, 受信モード)

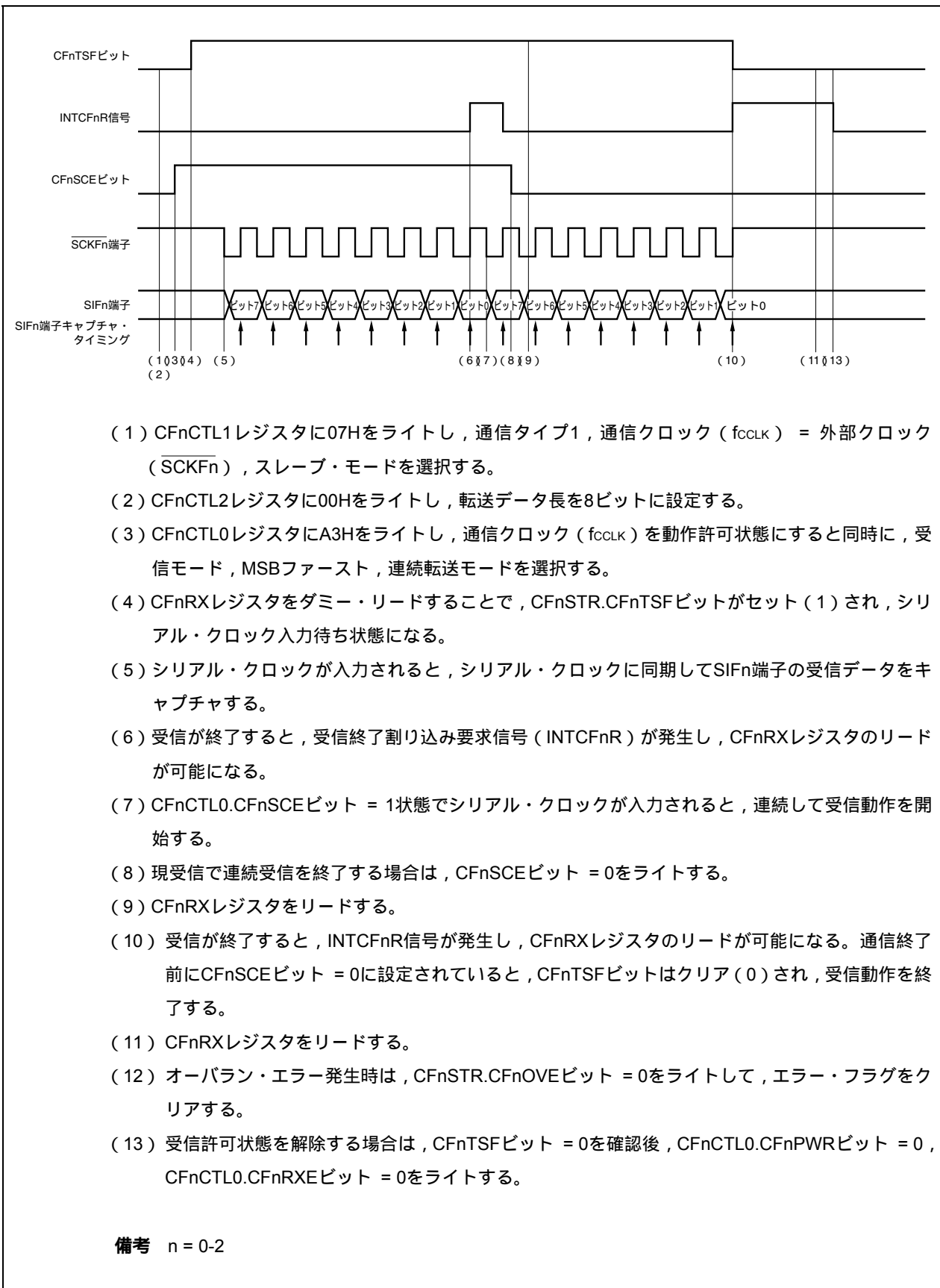
MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (fcCLK) = 外部クロック ($\overline{\text{SCKFn}}$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は (2) 動作タイミング内の処理番号に対応しています。
 3. n = 0-2

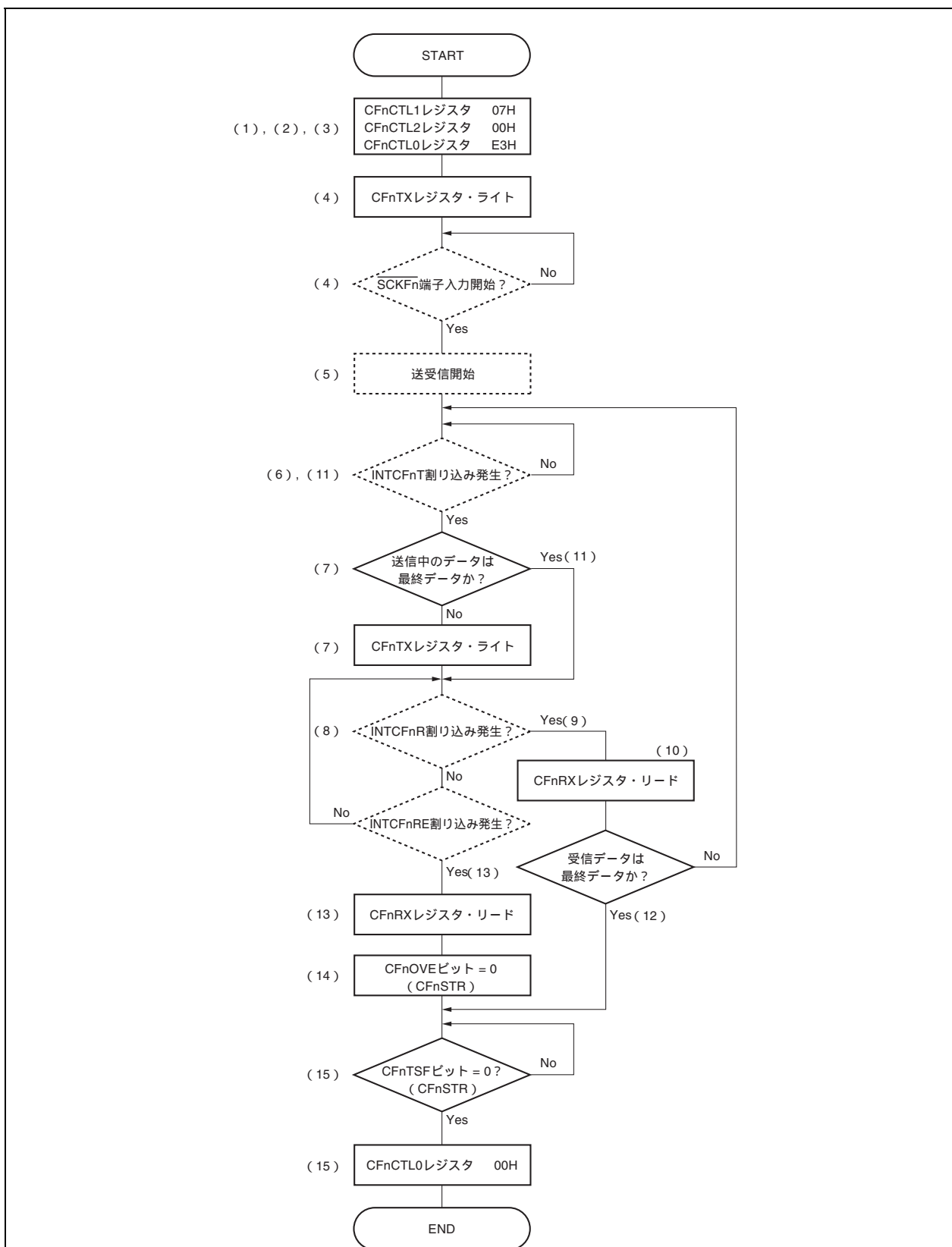
(2) 動作タイミング



16. 5. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (fcCLK) = 外部クロック ($\overline{\text{SCKFn}}$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

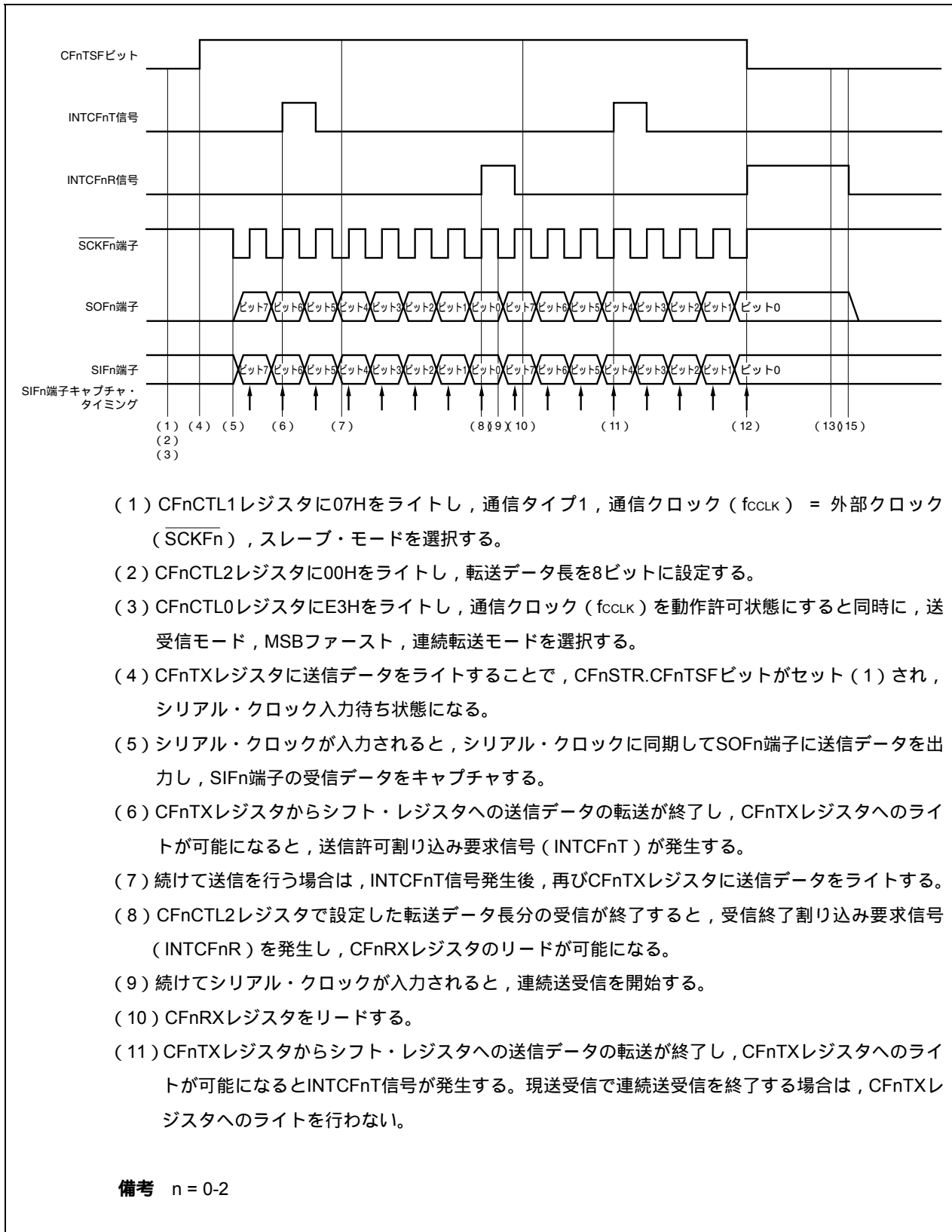
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は (2) 動作タイミング内の処理番号に対応しています。
 3. n = 0-2

(2) 動作タイミング

(1/2)



- (1) CFnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($\overline{\text{SCKFn}}$)、スレーブ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにE3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOFn端子に送信データを出し、SIFn端子の受信データをキャプチャする。
- (6) CFnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CFnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCFnT) が発生する。
- (7) 続けて送信を行う場合は、INTCFnT信号発生後、再びCFnTXレジスタに送信データをライトする。
- (8) CFnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信終了割り込み要求信号 (INTCFnR) を発生し、CFnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると、連続送受信を開始する。
- (10) CFnRXレジスタをリードする。
- (11) CFnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CFnTXレジスタへのライトが可能になるとINTCFnT信号が発生する。現送受信で連続送受信を終了する場合は、CFnTXレジスタへのライトを行わない。

備考 n = 0-2

(2/2)

- (12) CFnTXレジスタへライトされていない状態で、CFnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCFnR信号が発生し、CFnTSFビットはクリア(0)され、送受信を終了する。
- (13) 受信エラー割り込み要求信号 (INTCFnRE) 発生時は、CFnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CFnSTR.CFnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0, CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-2

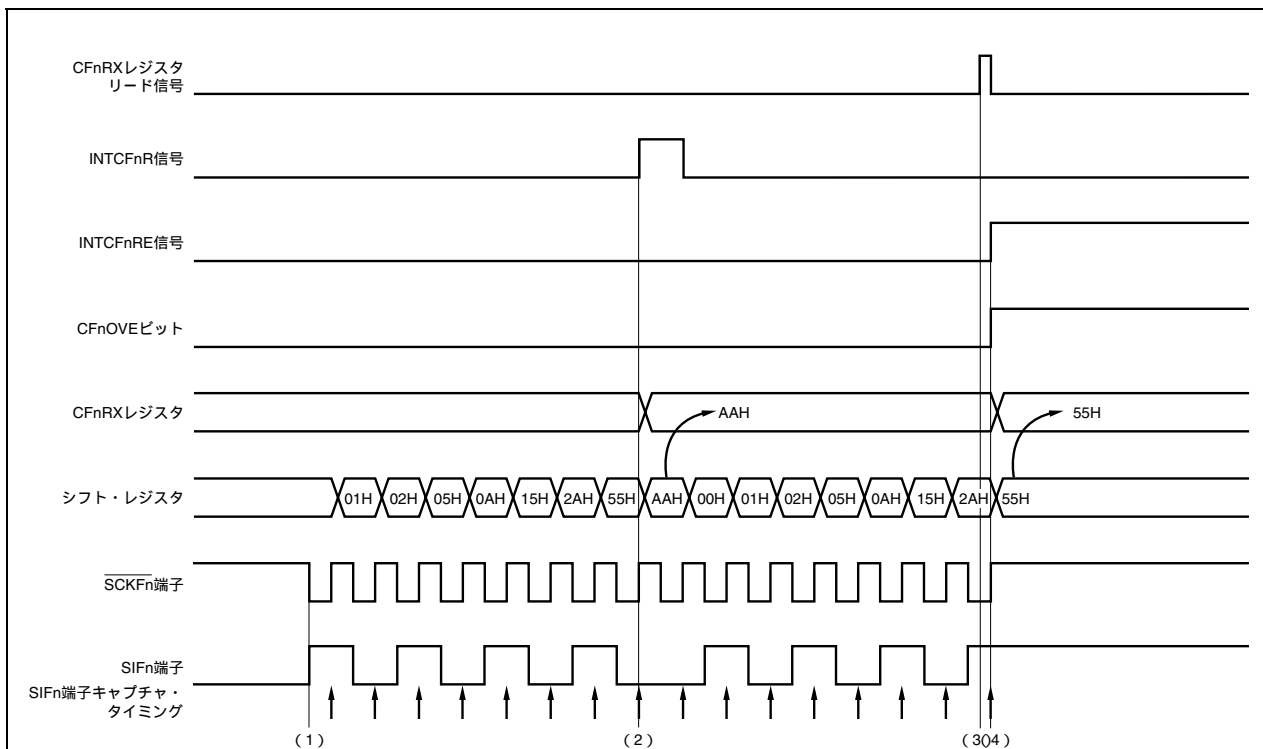
16.5.13 受信エラー

連続転送モード時に受信許可 (CFnCTL0.CFnRXEビット = 1) で転送を行う場合、受信終了割り込み要求信号 (INTCFnR) 発生後、CFnRXレジスタをリードする前に次の受信動作が終了すると受信エラー割り込み要求信号 (INTCFnRE) が発生し、オーバーラン・エラー・フラグ (CFnSTR.CFnOVE) がセット (1) されます。

オーバーラン・エラーが発生した場合でも、CFnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCFnRXレジスタをリードしないと、次の受信終了で再びINTCFnRE信号が発生します。

オーバーラン・エラーを回避するためには、INTCFnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までにCFnRXレジスタのリードを終了してください。

(1) 動作タイミング

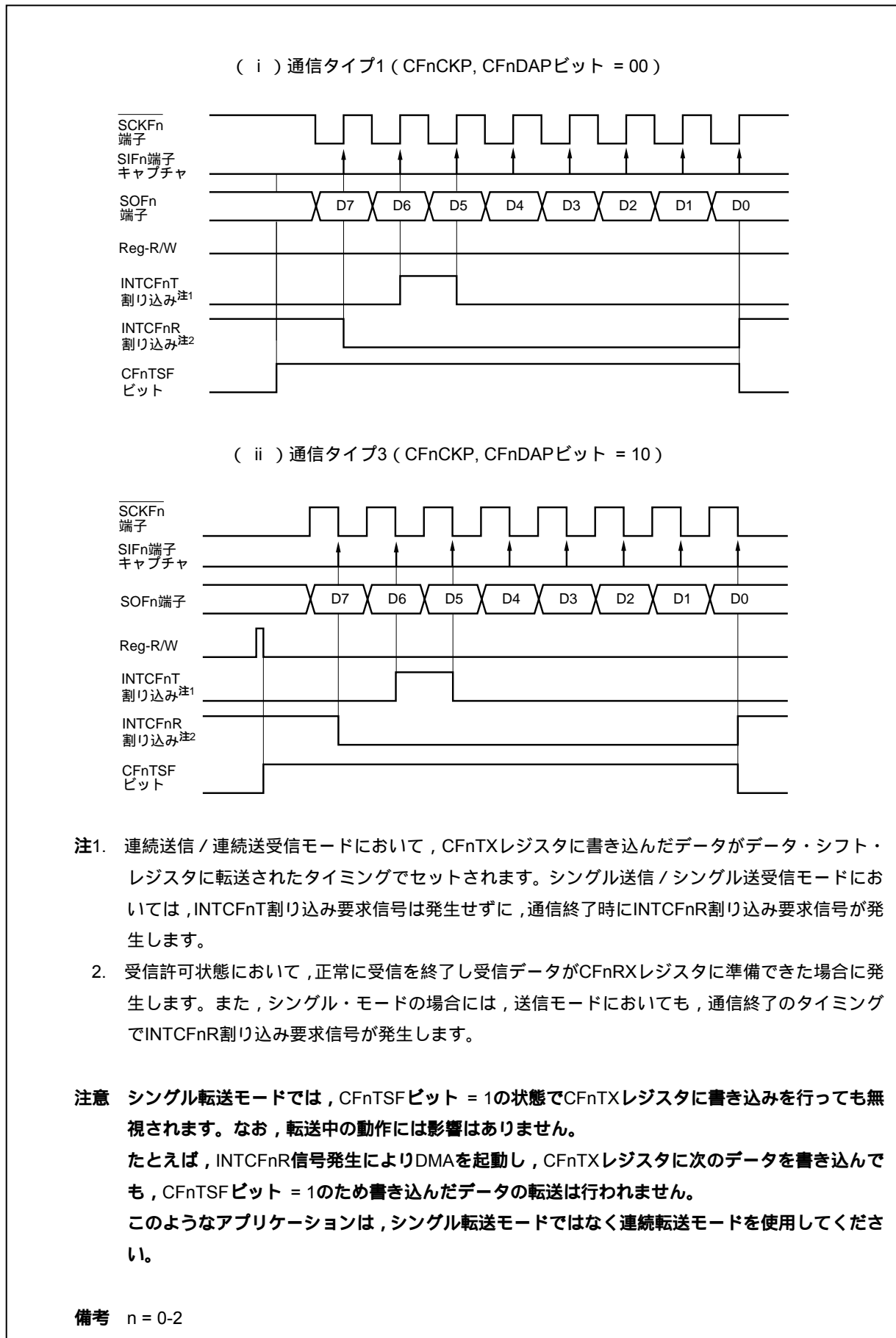


- (1) 連続転送開始。
- (2) 1回目の転送終了。
- (3) 2回目の転送終了の半クロック前までにCFnRXレジスタをリードできない。
- (4) オーバーラン・エラーが発生し、受信エラー割り込み要求信号 (INTCFnRE) が発生すると、オーバーラン・エラー・フラグ (CFnSTR.CFnOVE) がセット (1) される。受信データは上書きされる。

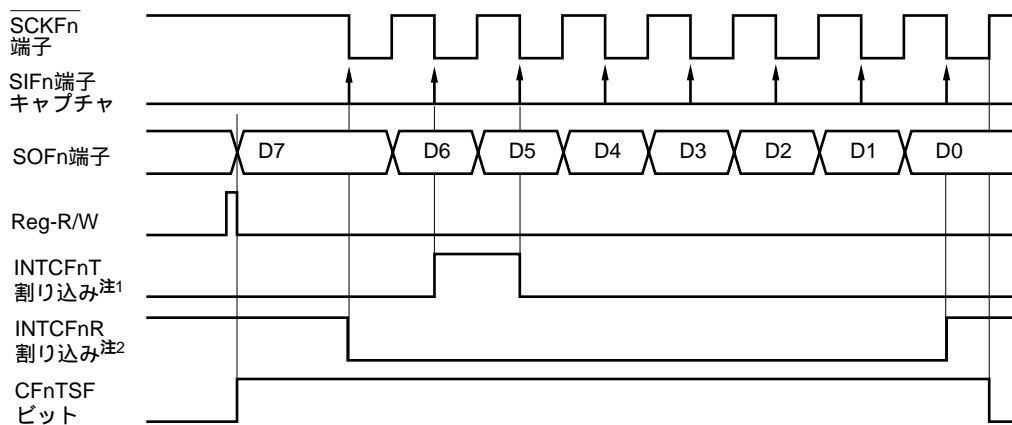
備考 n = 0-2

16.5.14 クロック・タイミング

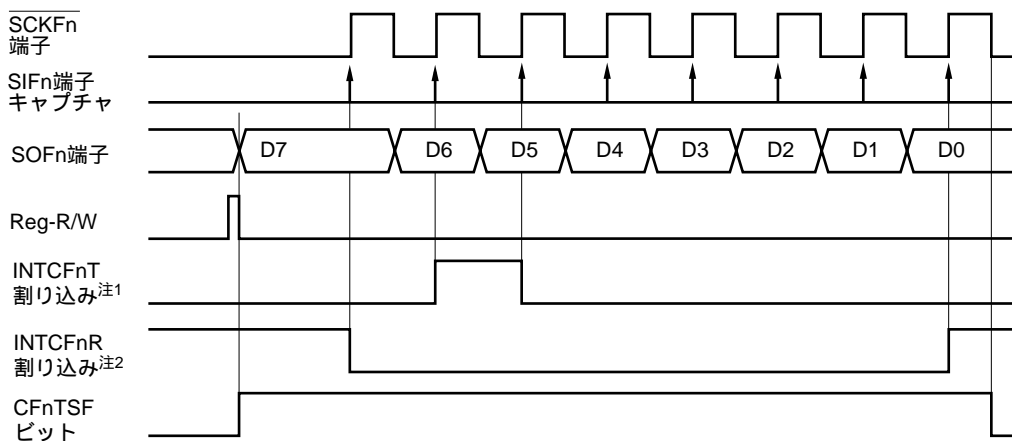
(1/2)



(iii) 通信タイプ2 (CFnCKP, CFnDAPビット = 01)



(iv) 通信タイプ4 (CFnCKP, CFnDAPビット = 11)



注1. 連続送信 / 連続送受信モードにおいて、CFnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCFnT割り込み要求信号は発生せずに、通信終了時にINTCFnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を終了し受信データがCFnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信終了のタイミングでINTCFnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CFnTSFビット = 1の状態でもCFnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCFnR信号発生によりDMAを起動し、CFnTXレジスタに次のデータを書き込んでも、CFnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

備考 n = 0-2

16.6 出力端子

(1) $\overline{\text{SCKFn}}$ 端子

CSIFn動作禁止 (CFnCTL0.CFnPWRビット = 0) のとき、 $\overline{\text{SCKFn}}$ 端子出力状態は次のようになります。

備考 n = 0-2

CFnCKP	CFnCKS2	CFnCKS1	CFnCKS0	$\overline{\text{SCKFn}}$ 端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考 CFnCTL1.CFnCKP, CFnCKS2-CFnCKS0ビットのいずれかを書き換えると $\overline{\text{SCKFn}}$ 端子の出力が変化します。

(2) SOFn端子

CSIFn動作禁止 (CFnPWRビット = 0) のとき、SOFn端子出力状態は次のようになります。

備考 n = 0-2

CFnTXE	CFnDAP	CFnDIR	SOFn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOFnラッチの値 (ロウ・レベル)
	1	0	CFnTXの値 (MSB)
		1	CFnTXの値 (LSB)

備考1. CFnCTL0.CFnTXE, CFnDIRビット, CFnCTL1.CFnDAPビットのいずれかを書き換えるとSOFn端子の出力が変化します。

2. x: 任意

第17章 I²Cバス

この機能を使用する場合は、P30/SCL, P31/SDA端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

V850E/IG4-H, V850E/IH4-Hは、I²Cバスを1チャンネル搭載しています。

17.1 特 徴

I²Cには、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL) とシリアル・データ・バス (SDA) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²Cでは、SCL端子とSDA端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

17.2 構 成

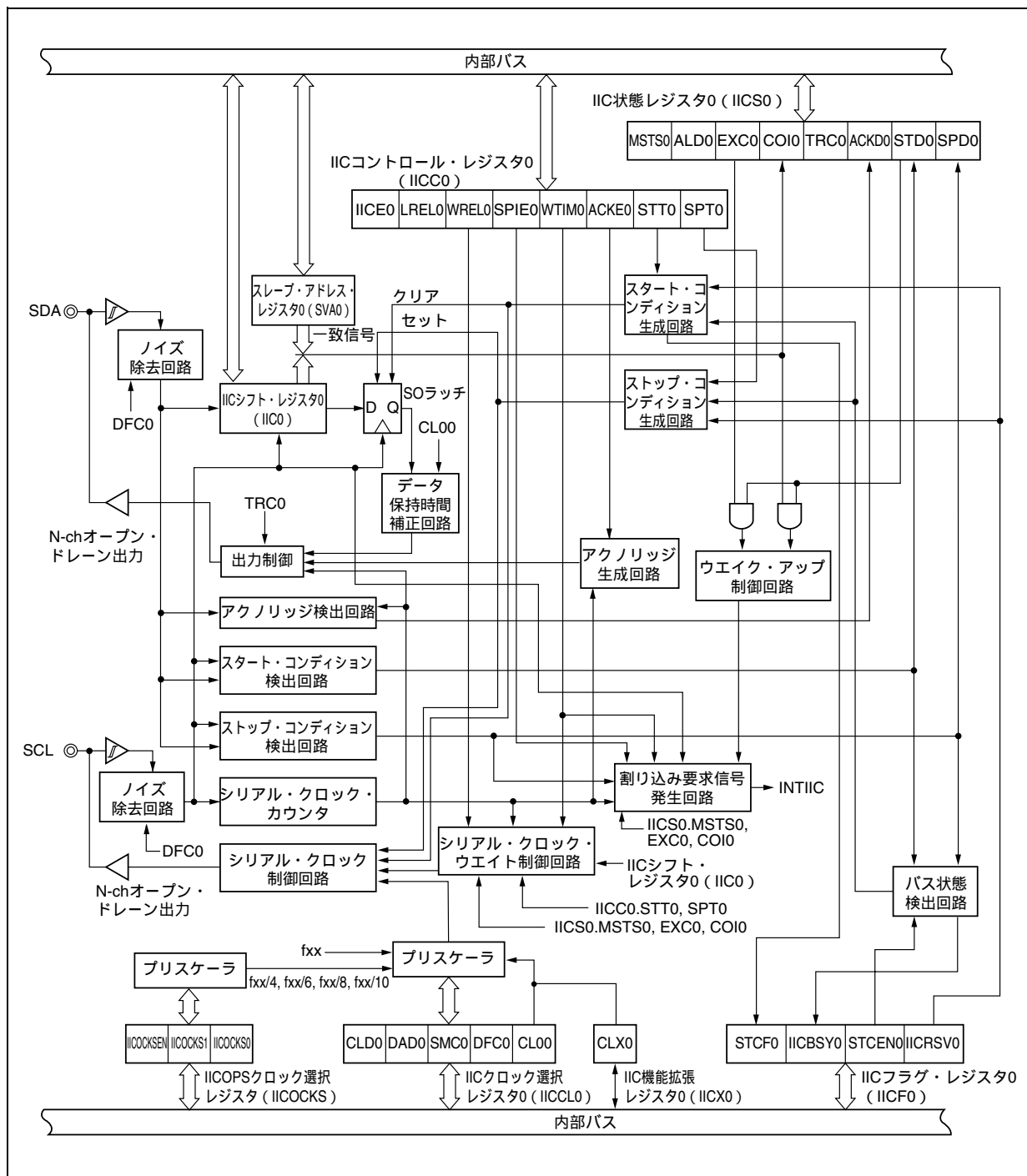
I²Cは、次のハードウェアで構成されています。

表17 - 1 I²Cの構成

項 目	構 成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IICフラグ・レジスタ0 (IICF0) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICX0) IICOPSクロック選択レジスタ (IICOCKS)

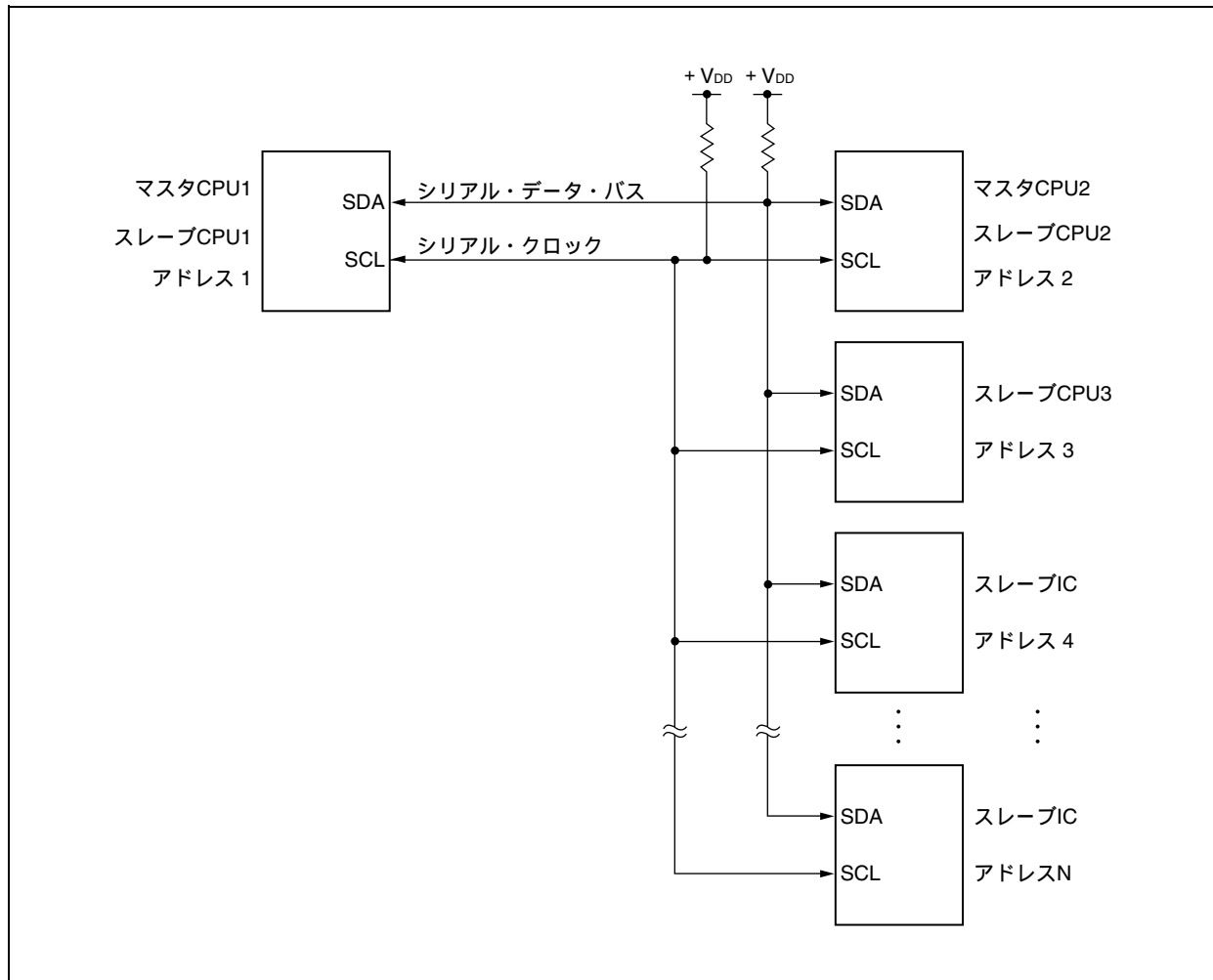
次にI²Cのブロック図を示します。

図17 - 1 I²Cのブロック図



次にシリアル・バス構成例を示します。

図17-2 I²Cバスによるシリアル・バス構成例



(1) IICシフト・レジスタ0 (IIC0)

IIC0レジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0レジスタは送信および受信の両方に使用されます。

IIC0レジスタに対する書き込み/読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

SVA0レジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に、割り込み要求信号 (INTIIC) を発生させる回路です。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICC0.WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (IICC0.SPIE0ビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICC0.STT0ビットがセットされるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICF0.IICRSV0ビット = 1) で、かつバスが解放されていない (IICF0.IICBSY0ビット = 1) 場合には、スタート・コンディション要求は無視し、IICF0.STCF0ビットをセット (1) します。

(13) ストップ・コンディション生成回路

IIC0.SPT0ビットがセット (1) されるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、IICF0.STCEN0ビットにより、バス状態検出回路の初期状態を設定してください。

17.2.1 各チャネルの端子機能について

V850E/IG4-H, V850E/IH4-Hでは、I²Cを構成するSCL, SDAは、表17-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります(表4-16 ポート端子を兼用端子として使用する場合参照)

表17-2 端子構成

ピン番号		ポート	I ² Cシリアル・ クロック入出力	I ² Cシリアル 送受信データ 入出力	その他の兼用機能
IG4-H	IH4-H				
GC	GF				
54	106	P30	SCL	-	RXDA1/ $\overline{WR1}$
55	107	P31	-	SDA	TXDA1/ \overline{WAIT}

備考 IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

17.3 I²CとUARTA1のモード切り替え

V850E/IG4-H, V850E/IH4-Hでは、I²CとUARTA1は端子が兼用になっており、同時に使用することはできません。I²Cを使用するときは、あらかじめPMC3, PFC3レジスタを設定する必要があります。次にシリアル・インタフェースのI²CとUARTA1との動作モードの設定について示します。

注意 I²CまたはUARTA1において、送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-3 I²CとUARTA1のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時：00H R/W アドレス：FFFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時：00H R/W アドレス：FFFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	0	0	PFCE34	0	PFCE32	PFCE31	PFCE30
	PMC3n	PFC3n	動作モード					
	0	x	ポート入出力モード					
	1	0	UARTA1モード					
	1	1	I ² Cモード					

備考1. n = 0, 1
2. x = don't care

17.4 レジスタ

I²Cは、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IICフラグ・レジスタ0 (IICF0)
- ・ IICクロック選択レジスタ0 (IICCL0)
- ・ IIC機能拡張レジスタ0 (IICX0)
- ・ IICOPSクロック選択レジスタ (IICOCKS)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0 (IIC0)
- ・ スレーブ・アドレス・レジスタ0 (SVA0)

備考 兼用端子の設定は表4 - 16 **ポート端子を兼用端子として使用する場合**を参照してください。

(1) IICコントロール・レジスタ0 (IICC0)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし, SPIE0, WTIM0, ACKE0ビットは, IICE0ビット = 0 のとき, またはウェイト期間中に設定してください。IICE0ビットを“0”から“1”に設定するときに, 同時にこれらのビットを設定できます。

リセットにより00Hになります。

(1/4)

リセット時 : 00H R/W アドレス : FFFFFFFD82H

	⑦	⑥	⑤	④	③	②	①	①
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² C動作許可/禁止の指定
0	動作停止。IICS0レジスタをリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット(1)は, 必ずSCL, SDAラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0ビット = 0)	セットされる条件 (IICE0ビット = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELO ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し, 待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL, SDAラインはハイ・インピーダンス状態になる。 STT0, SPT0ビット, IICS0.MSTS0, EXC0, COI0, TRC0, ACKD0, STD0ビットがクリア(0)される。
次の通信参加条件が満たされるまでは, 通信から退避した待機状態となる。 ストップ・コンディション検出後, マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELOビット = 0)	セットされる条件 (LRELOビット = 1)
・ 実行後, 自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのはIICS0レジスタ, IICF0.STCF0, IICBSY0ビット, IICCL0.CLD0, DAD0ビットです。

2. IICE0ビット = 0により, このフラグの信号を無効にします。

注意 SCLラインがハイ・レベル, SDAラインがロウ・レベルの状態, I²Cを動作許可(IICE0ビット = 1)した場合, 直後にスタート・コンディションを検出してしまいます。I²Cを動作許可(IICE0ビット = 1)したあと, 連続してビット操作命令によりLRELOビットをセット(1)してください。

(2/4)

WRELO ^注	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリア (0) される。	
クリアされる条件 (WRELOビット = 0)		セットされる条件 (WRELOビット = 1)
・実行後、自動的にクリア ・リセット時		・命令によるセット

SPIE0 ^注	ストップ・コンディション検出による割り込み要求発生時の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0ビット = 0)		セットされる条件 (SPIE0ビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

WTIMO ^注	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりですべての割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりですべてのウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりですべてのウェイトに入ります。		
クリアされる条件 (WTIMOビット = 0)		セットされる条件 (WTIMOビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

ACKE0 ^注	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAラインをロウ・レベルにする。	
アドレス受信のときは、ACKE0ビットの設定は無効です。この場合、アドレスが一致したときはアクノリッジを生成します。 ただし、拡張コードのアドレス受信のときは、ACKE0ビットの設定は有効になります。		
クリアされる条件 (ACKE0ビット = 0)		セットされる条件 (ACKE0ビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

注 IICE0ビット = 0により、このフラグの信号を無効にします。

(3/4)

STT0	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SCLラインがハイ・レベルの状態ではSDAラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLラインをロウ・レベル（ウェイト状態）にする。</p> <p>第三者が通信中のとき：</p> <ul style="list-style-type: none"> ・通信予約機能許可の場合（IICF0.IICRSV0ビット=0） <p>スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと、自動的にスタート・コンディションを生成する。</p> <ul style="list-style-type: none"> ・通信予約機能禁止の場合（IICRSV0ビット=1） <p>IICF0.STCF0ビットをセット（1）しSTT0ビットにセット（1）した情報をクリアする。</p> <p>スタート・コンディションは生成しない。</p> <p>ウェイト状態（マスタ時）：</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> ・SPT0ビットと同時にセット（1）することは禁止です。 ・STT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 		
クリアされる条件（STT0ビット=0）		セットされる条件（STT0ビット=1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成によるクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 0（動作停止）のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

備考 STT0ビットは、データ設定後に読み出すと0になっています。

(4/4)

SPT0	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAラインをロウ・レベルにしたあと、SCLラインをハイ・レベルにするか、またはSCL端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> ・STT0ビットと同時にセット（1）することは禁止です。 ・SPT0ビットのセット（1）は、マスタのときのみ行ってください注。 ・WTIM0ビット = 0設定時に、8クロック出力後のウエイト期間中にSPT0ビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM0ビット = 0 1にセットし、9クロック目出力後のウエイト期間中にSPT0ビットをセット（1）してください。 ・SPT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 					
<table border="1"> <thead> <tr> <th>クリアされる条件（SPT0ビット = 0）</th> <th>セットされる条件（SPT0ビット = 1）</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・アービトラーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 0（動作停止）のとき ・リセット時 </td> <td> <ul style="list-style-type: none"> ・命令によるセット </td> </tr> </tbody> </table>		クリアされる条件（SPT0ビット = 0）	セットされる条件（SPT0ビット = 1）	<ul style="list-style-type: none"> ・アービトラーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット
クリアされる条件（SPT0ビット = 0）	セットされる条件（SPT0ビット = 1）				
<ul style="list-style-type: none"> ・アービトラーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット 				

注 SPT0ビットのセット（1）は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPT0ビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、17. 15 **注意事項**を参照してください。

注意 IICS0.TRC0ビット = 1のとき、9クロック目にWREL0ビットをセット（1）してウエイト解除すると、TRC0ビットをクリア（0）してSDAラインをハイ・インピーダンスにします。

備考 SPT0ビットは、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

I²Cのステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。

ただしIICS0レジスタは、IICC0.STT0ビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

(1/3)

リセット時 : 00H R アドレス : FFFFFFFD86H

	⑦	⑥	⑤	④	③	②	①	①
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0ビット = 0)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0ビット = 1 (アービトレーション負け) のとき ・IICC0.LREL0ビット = 1 (通信退避) によるクリア ・IICC0.IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (MSTS0ビット = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション生成時 	

ALD0	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0ビットがクリア (0) される。
クリアされる条件 (ALD0ビット = 0)	
<ul style="list-style-type: none"> ・IICS0レジスタ読み出し後、自動的にクリア^注 ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (ALD0ビット = 1)	
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 	

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。
クリアされる条件 (EXC0ビット = 0)	
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (EXC0ビット = 1)	
受信したアドレス・データの上位4ビットが "0000" または "1111" のとき (8クロック目の立ち上がりでセット)	

注 IICS0レジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

(2/3)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI0ビット = 0)		セットされる条件 (COI0ビット = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 		受信アドレスが自局アドレス (SVA0レジスタ) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAラインをハイ・インピーダンスにする。	
1	送信状態。SDAラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRC0ビット = 0)		セットされる条件 (TRC0ビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・IICC0.WRELOビット = 1 (ウエイト解除) によるクリア^注 ・ALD0ビット = 0 1 (アービトレーション負け) のとき ・リセット時 		マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき
マスタの場合		
<ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき 		
スレーブの場合		
<ul style="list-style-type: none"> ・スタート・コンディション検出時 		
通信不参加の場合		

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKD0ビット = 0)		セットされる条件 (ACKD0ビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 		SCL端子の9クロック目の立ち上がり時にSDA端子がロウ・レベルであったとき

注 IICS0.TRIC0ビット = 1のとき, 9クロック目にIICC0.WRELOビットをセット(1)してウエイトを解除すると, TRIC0ビットをクリア(0)してSDAラインをハイ・インピーダンスにします。

(3/3)

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD0ビット = 0)	セットされる条件 (STD0ビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPD0ビット = 0)	セットされる条件 (SPD0ビット = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

(3) IICフラグ・レジスタ0 (IICF0)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCF0, IICBSY0ビットはリードのみ可能です。

IICRSV0ビットにより通信予約機能の禁止/許可を設定します (17. 14 **通信予約**参照)。

また、STCEN0ビットにより、IICBSY0ビットの初期値を設定します (17. 15 **注意事項**参照)。

IICRSV0, STCEN0ビットは、I²Cが動作禁止 (IICC0.IICE0ビット = 0) のときのみ書き込み可能です。動作許可後、IICF0レジスタは読み出し可能となります。

リセットにより00Hになります。

リセット時 : 00H R/W^注 アドレス : FFFFFFFD8AH

	⑦	⑥	5	4	3	2	①	①
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	IICC0.STT0クリア・フラグ
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTT0フラグ・クリア
クリアされる条件 (STCF0ビット = 0)	
<ul style="list-style-type: none"> ・ STT0ビット = 1によるクリア ・ IICE0ビット = 1 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCF0ビット = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV0ビット = 1) 設定時にスタート・コンディション発行できず, STT0ビットがクリア (0) されたとき 	

IICBSY0	I ² Cバス状態フラグ
0	バス解放状態 (STCEN0ビット = 1時の通信初期状態)
1	バス通信状態 (STCEN0ビット = 0時の通信初期状態)
クリアされる条件 (IICBSY0ビット = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE0ビット = 1 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSY0ビット = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN0ビット = 0時のIICE0ビットのセット 	

STCEN0	初期スタート許可トリガ
0	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。
1	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。
クリアされる条件 (STCEN0ビット = 0)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCEN0ビット = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSV0	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止
クリアされる条件 (IICRSV0ビット = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSV0ビット = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はリード・オンリーです。

- 注意1. STCEN0ビットへの書き込みは動作停止 (IICE0ビット = 0) 時のみ行ってください。
2. STCEN0ビット = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSY0ビット = 0)と認識しますので, 1回目のスタート・コンディションを発行 (STT0ビット = 1) する場合は他の通信を破壊しないように第3者の通信が行われていないことを確認する必要があります。
3. IICRSV0ビットへの書き込みは動作停止 (IICE0ビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0 (IICCL0)

I²Cの転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLD0, DAD0ビットはリードのみ可能です。SMC0, CL00ビットの設定は、IICX0.CLX0ビットと、IICOCKS.IICOCKS1, IICOCKS0ビットを組み合わせで設定します (17.4 (7) I²Cの転送クロックの設定方法参照)。

IICCL0レジスタはIICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFFD84H

	7	6	⑤	④	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	0	CL00

CLD0	SCL端子のレベル検出 (IICC0.IICE0ビット = 1のときのみ有効)	
0	SCL端子がロウ・レベルであることを検出	
1	SCL端子がハイ・レベルであることを検出	
クリアされる条件 (CLD0ビット = 0)		セットされる条件 (CLD0ビット = 1)
<ul style="list-style-type: none"> ・ SCL端子がロウ・レベルのとき ・ IICE0ビット = 1 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL端子がハイ・レベルのとき

DAD0	SDA端子のレベル検出 (IICE0ビット = 1のときのみ有効)	
0	SDA端子がロウ・レベルであることを検出	
1	SDA端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0ビット = 0)		セットされる条件 (DAD0ビット = 1)
<ul style="list-style-type: none"> ・ SDA端子がロウ・レベルのとき ・ IICE0ビット = 1 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA端子がハイ・レベルのとき

SMC0	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC0	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
<p>デジタル・フィルタは、高速モード時にのみ使用できます。</p> <p>高速モード時はDFC0ビットのセット/クリアにより、転送クロックが変化することはありません。</p> <p>デジタル・フィルタは、高速モード時にノイズ除去のために使用します。</p>	

CL00	通信クロック選択	
	標準モード時	高速モード時
0	Fxx/44	Fxx/24
1	Fxx/86	Fxx/24

注 ビット4, ビット5はリード・オンリーです。

備考 Fxx: 選択クロック

(5) IIC機能拡張レジスタ0 (IICX0)

I²Cの機能拡張を設定するレジスタです（高速モード時のみ有効）。

8/1ビット単位でリード/ライト可能です。CLX0ビットの設定は、IICCL0.SMC0, CL00ビットと、IICOCKS.IICOCKS1, IICOCKS0ビットを組み合わせで設定します（17.4(7)I²Cの転送クロックの設定方法参照）。

IICX0レジスタはIICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFD85H									
IICX0	7	6	5	4	3	2	1	①	
	0	0	0	0	0	0	0	CLX0	
CLX0		クロック選択拡張ビット							
0		IICCL0.CL00ビットで設定された転送レートで通信する。							
1		IICCL0.CL00ビットで設定された高速モード時の転送レートを2倍にして通信する。							

(6) IICOPSクロック選択レジスタ (IICOCKS)

I²Cの分周クロックを制御するレジスタです。

8ビット単位でリード/ライト可能です。IICOCKS1, IICOCKS0ビットの設定は、IICCL0.SMC0, CL00ビットと、IICX0.CLX0ビットを組み合わせで設定します（17.4(7)I²Cの転送クロックの設定方法参照）。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFD90H									
IICOCKS	7	6	5	4	3	2	1	0	
	0	0	0	IICOCKSEN	0	0	IICOCKS1	IICOCKS0	
IICOCKSEN		I ² C分周クロック動作指定							
0		I ² C分周クロック動作停止							
1		I ² C分周クロック動作許可							
IICOCKS1	IICOCKS0	I ² C分周クロック選択							
0	0	f _{xx} /16							
0	1	f _{xx} /24							
1	0	f _{xx} /32							
1	1	f _{xx} /40							

(7) I²Cの転送クロックの設定方法

I²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_r + t_f)$$

$m = 288, 384, 576, 768, 1056, 1376, 1408, 1760$ (表17-3 選択クロックの設定参照)

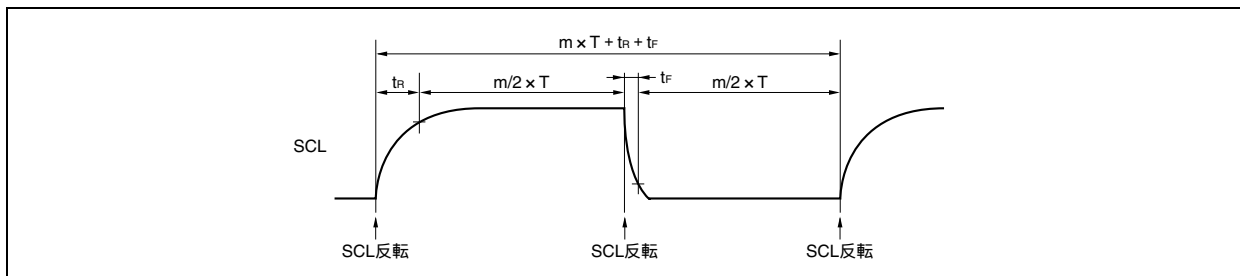
$T : 1/f_{xx}$

t_r : SCL立ち上がり時間

t_f : SCL立ち下がり時間

たとえば、 $f_{xx} = 100$ MHz, $m = 576$, $t_r = 200$ ns, $t_f = 50$ nsの場合のI²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (576 \times 10 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 166 \text{ kHz}$$



選択クロックは、IICCL0.SMC0, CL00ビット, IICX0.CLX0ビット, IICOCKS.IICOCKS1, IICOCKS0ビットを組み合わせて設定します。

表17-3 選択クロックの設定

IICX0 ビット0 CLX0	IICCL0		選択クロック	転送クロック (f_{xx}/m)	設定可能な 内部システム・クロック 周波数 (f_{xx}) の範囲	動作モード
	ビット3 SMC0	ビット0 CL00				
0	0	0	$f_{xx}/24$ (IICOCKS = 11H設定時)	$f_{xx}/1056$	80 MHz ~ 100 MHz	標準モード (SMC0ビット = 0)
		$f_{xx}/32$ (IICOCKS = 12H設定時)	$f_{xx}/1408$			
		$f_{xx}/40$ (IICOCKS = 13H設定時)	$f_{xx}/1760$			
0	0	1	$f_{xx}/16$ (IICOCKS = 10H設定時)	$f_{xx}/1376$	96 MHz ~ 100 MHz	高速モード (SMC0ビット = 1)
0	1	x	$f_{xx}/16$ (IICOCKS = 10H設定時)	$f_{xx}/384$		
		$f_{xx}/24$ (IICOCKS = 11H設定時)	$f_{xx}/576$			
			$f_{xx}/32$ (IICOCKS = 12H設定時)	$f_{xx}/768$	100 MHz	
1	0	x	設定禁止			
1	1	x	$f_{xx}/24$ (IICOCKS = 11H設定時)	$f_{xx}/288$	96 MHz ~ 100 MHz	高速モード (SMC0ビット = 1)
			$f_{xx}/32$ (IICOCKS = 12H設定時)	$f_{xx}/384$	100 MHz	

備考 x : Don't care

(8) IICシフト・レジスタ0 (IIC0)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIIC0レジスタへデータを書き込まないでください。

IIC0レジスタには、ウェイト期間中にだけアクセス(リード/ライト)してください。ウェイト期間中を除く通信状態でのIIC0レジスタのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット(IIC0.STT0)をセット(1)したあと、1回ライトできます。

ウェイト期間中のIIC0レジスタへの書き込みにより、ウェイトを解除しデータ転送を開始します。リセットにより00Hになります。

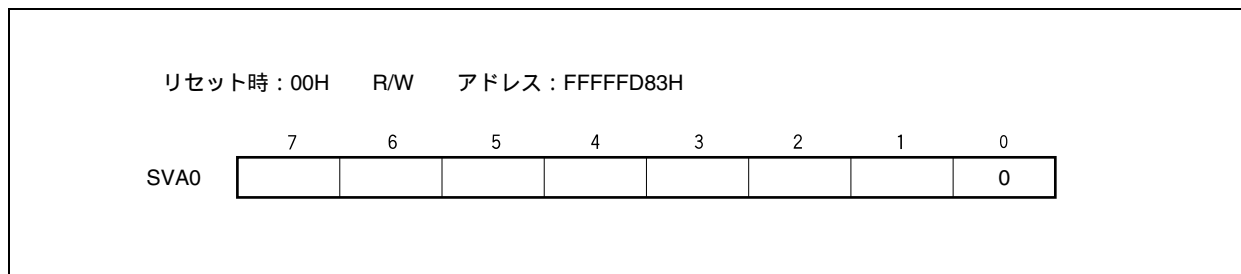
**(9) スレーブ・アドレス・レジスタ0 (SVA0)**

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。

ただし、IICS0.STD0ビット = 1(スタート・コンディション検出)のときの書き換えは禁止です。

8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。

リセットにより00Hになります。



17.5 機 能

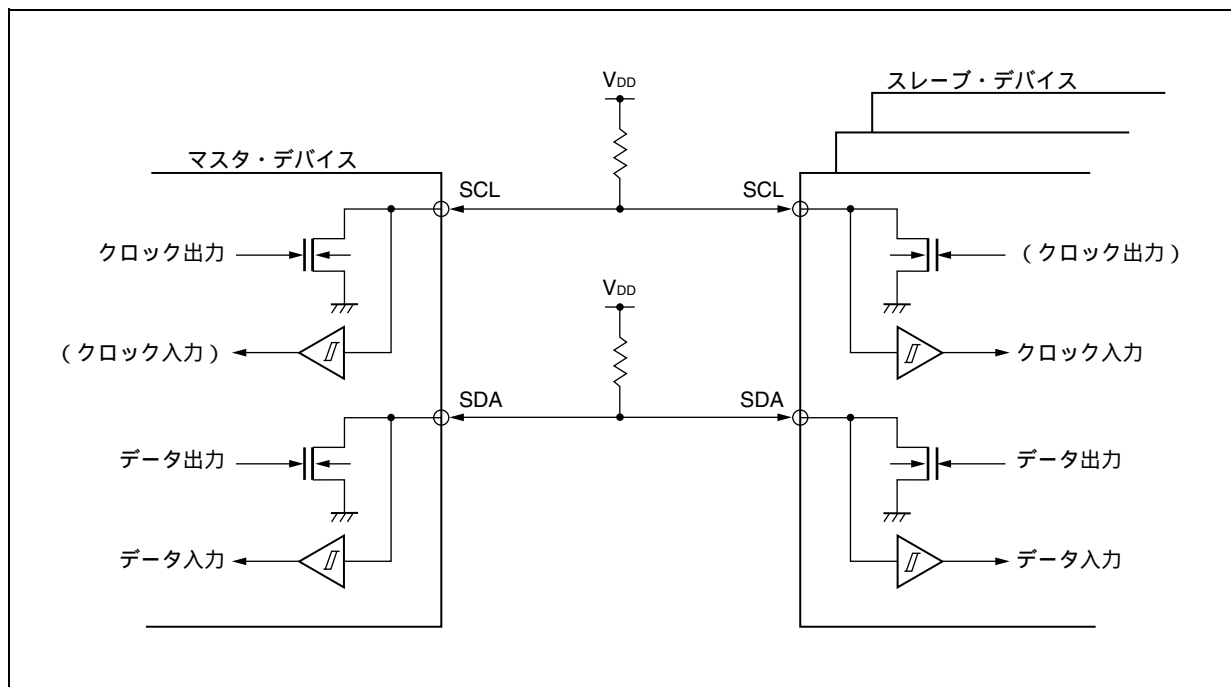
17.5.1 端子構成

シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA) の構成は、次のようになっています。

- SCL ... シリアル・クロックを入出力するための端子。
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。
- SDA ... シリアル・データの入出力兼用端子。
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図17 - 4 端子構成図

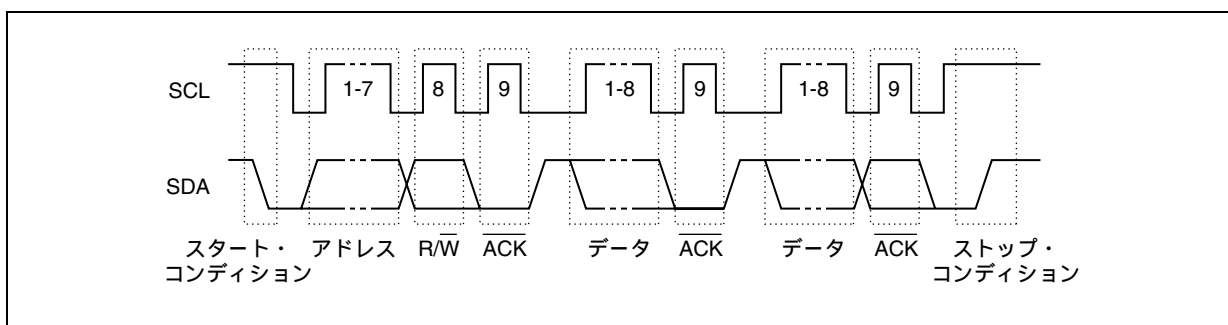


17.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、生成される状態の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図17-5 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

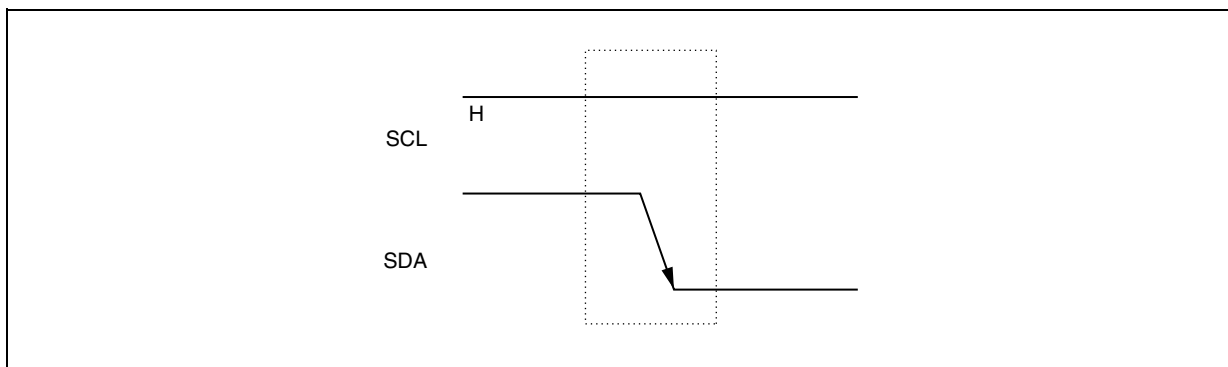
アクノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が生成します)。

シリアル・クロック (SCL) は、マスタが出力し続けます。ただし、スレーブはSCLのロウ・レベル期間を延長し、ウエイトを挿入できます。

17.6.1 スタート・コンディション

SCL端子がハイ・レベルのときに、SDA端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL端子、SDA端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図17-6 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICS0.SPD0ビット = 1) のときに IICC0.STT0ビットをセット (1) すると生成されます。また、スタート・コンディションを検出すると、IICS0.STD0ビットがセット (1) されます。

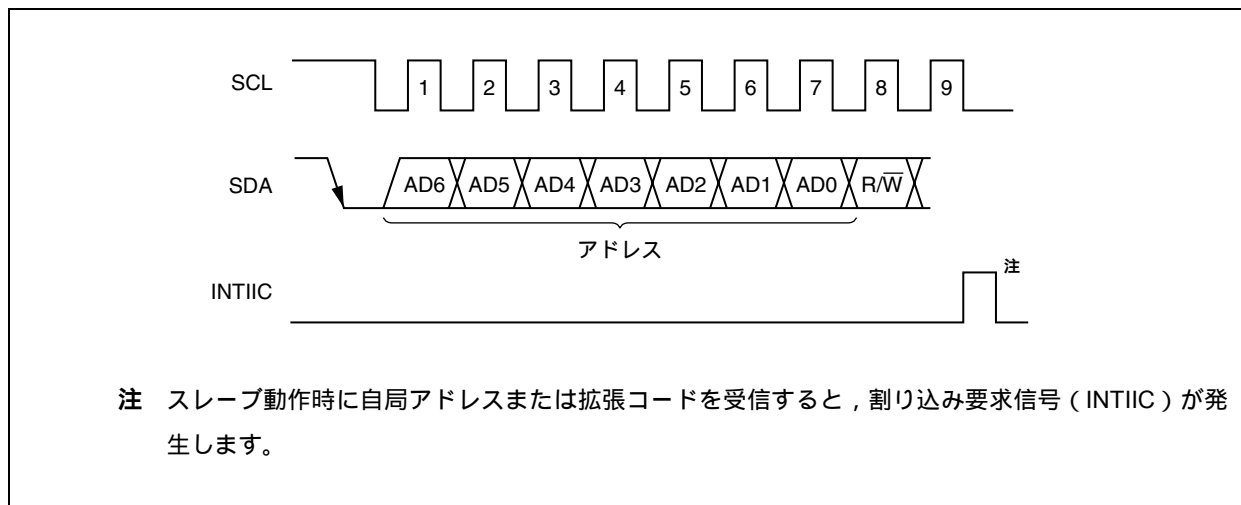
17.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVA0レジスタと一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図17-7 アドレス



アドレスは、スレーブのアドレスと17.6.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIIC0レジスタに書き込むと出力します。また、受信したアドレスはIIC0レジスタに書き込まれます。

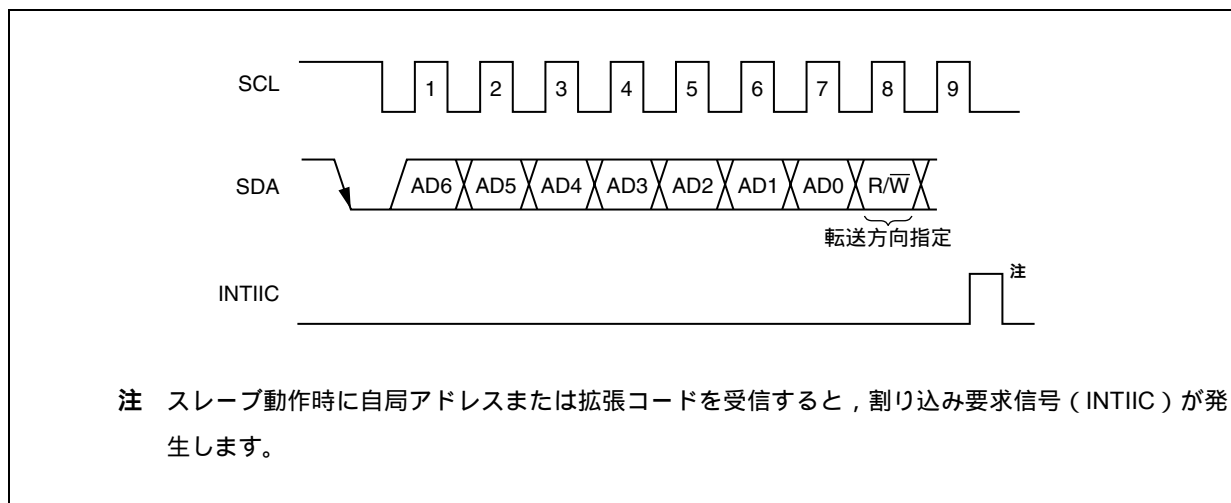
なお、スレーブのアドレスは、IIC0レジスタの上位7ビットに割り当てられます。

17.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図17 - 8 転送方向指定



17.6.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IIC0.ACKD0ビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

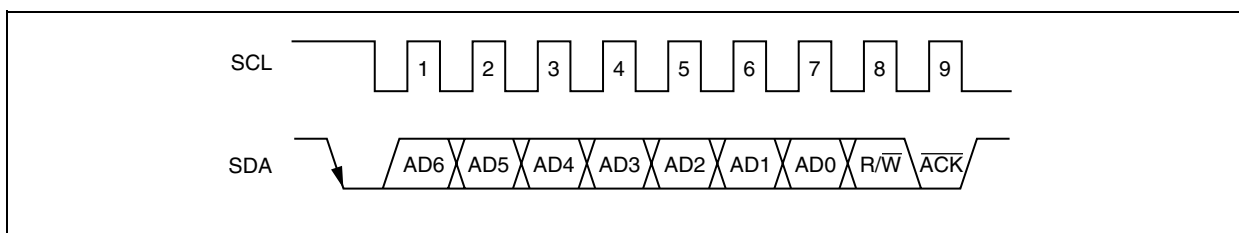
アクノリッジ生成は、受信側が9クロック目にSDAラインをロウ・レベルにすることによって行われます（正常受信）。

IIC0.ACKE0ビットをセット（1）することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIIC0.TRC0ビットが設定されます。受信（TRC0ビット = 0）の場合は、通常、ACKE0ビットをセット（1）してください。

スレーブ受信動作時（TRC0ビット = 0）にデータを受信できなくなったときは、ACKE0ビットをクリア（0）し、マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0ビット = 0）に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0ビットをクリア（0）してください。これによって、スレーブ送信側にデータの終わりを知らせます（送信停止）。

図17-9 アクノリッジ (ACK)



自局アドレス受信時は、ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません（NACK）。

拡張コード受信時は、あらかじめACKE0ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

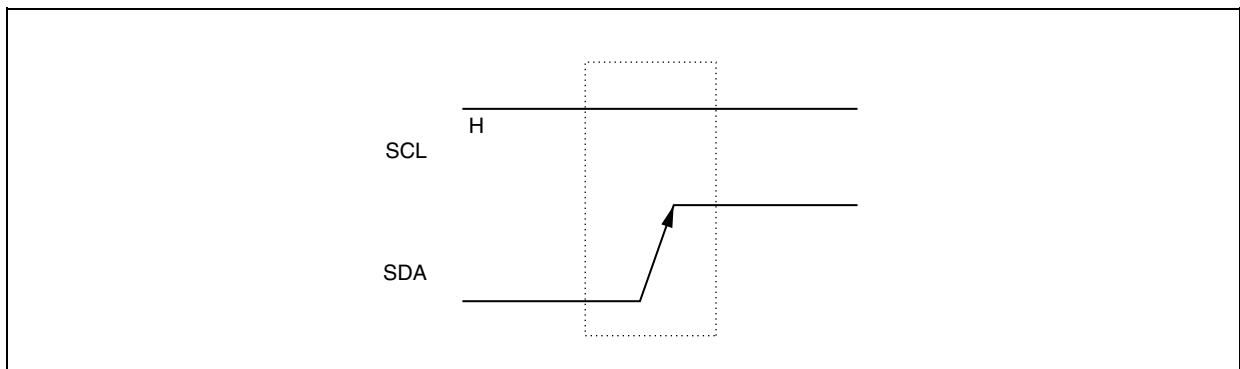
- ・ 8クロック・ウエイト選択時 (IICC0.WTIM0ビット = 0) :
ウエイト解除を行う前にACKE0ビットをセット (1) することによって、SCL端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・ 9クロック・ウエイト選択時 (WTIM0ビット = 1) :
あらかじめACKE0ビットをセット (1) することによって、アクノリッジを生成します。

17.6.5 ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図17 - 10 ストップ・コンディション



ストップ・コンディションは、IICC0.SPT0ビットをセット (1) すると発生します。また、ストップ・コンディションを検出するとIICS0.SPD0ビットがセット (1) され、IICC0.SPIE0ビットがセット (1) されている場合には割り込み要求信号 (INTIIC) が発生します。

17.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図17 - 11 ウェイト (1/2)

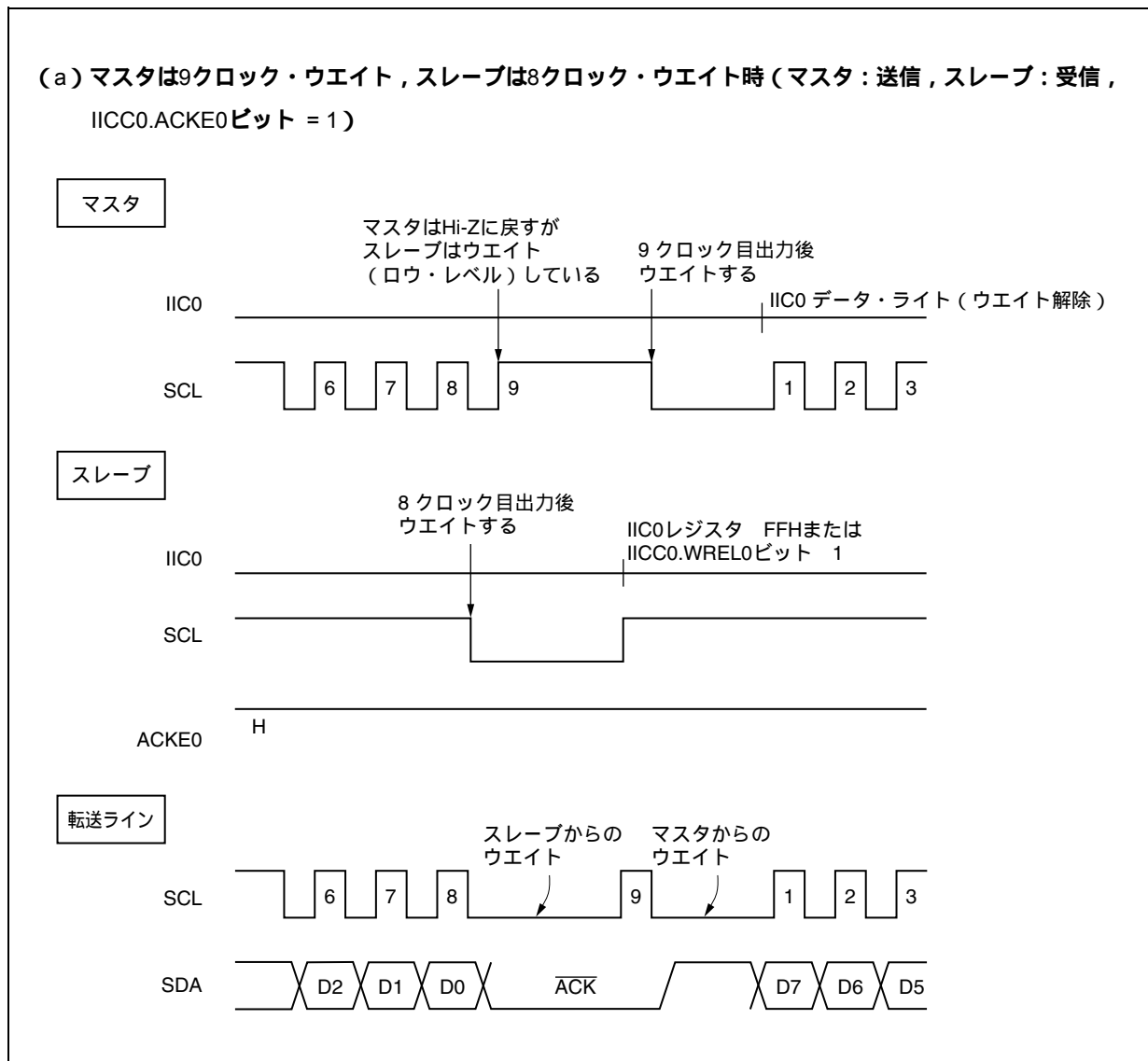
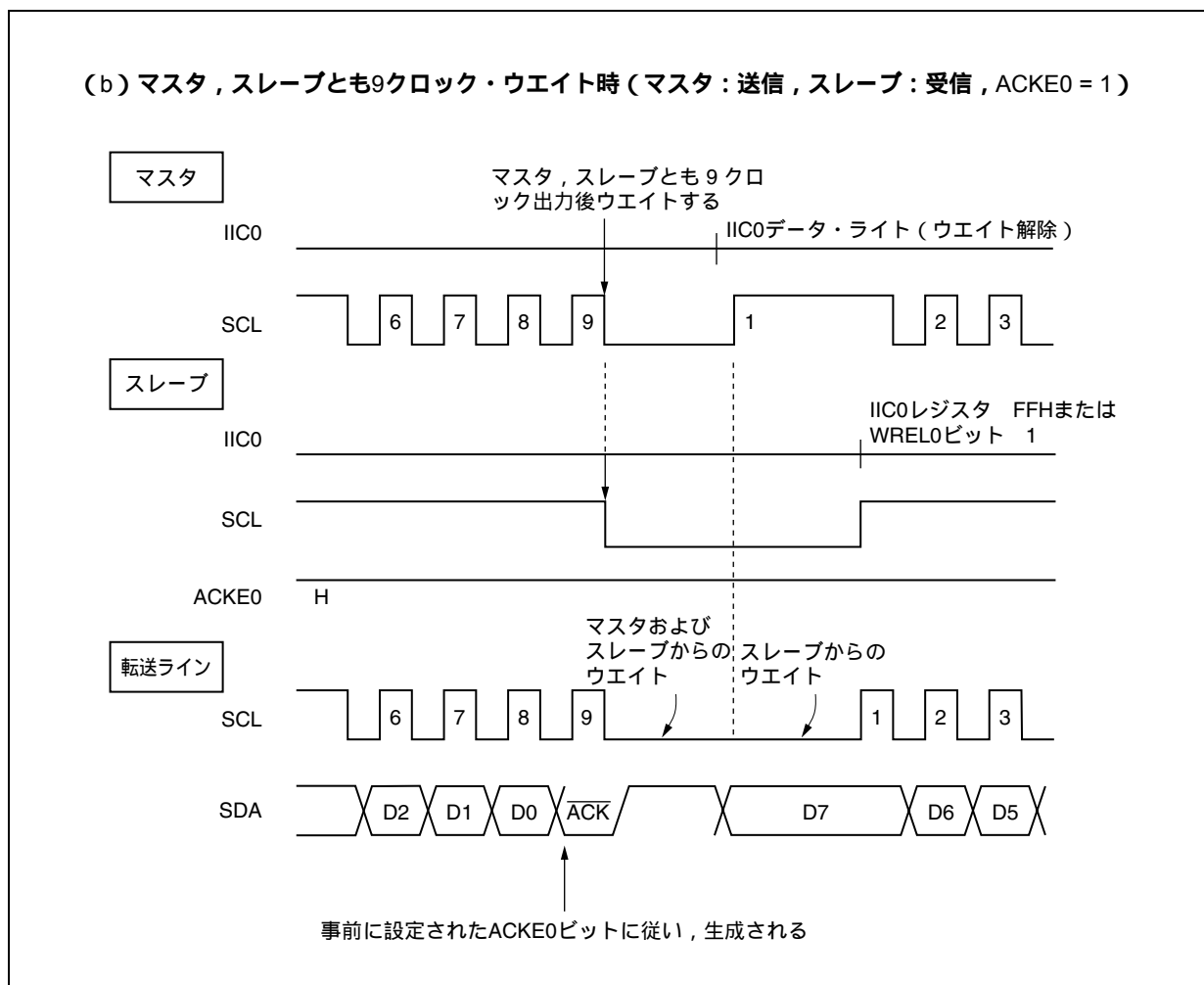


図17 - 11 ウェイト (2/2)



スタート・コンディション生成後、自動的にウェイト状態になります。また、IICC0.WTIM0ビットの設定により自動的にウェイト状態になります。

通常、受信側はWRELOビット= 1またはIIC0レジスタ FFHライトにするとウェイトを解除し、送信側はIIC0レジスタにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICC0.STT0ビット= 1
- ・ IICC0.SPT0ビット= 1

17.6.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IIC0レジスタへのデータ書き込み
- ・ IICC0.WREL0ビットのセット (ウェイト解除)
- ・ IICC0.STT0ビットのセット (スタート・コンディションの生成)^注
- ・ IICC0.SPT0ビットのセット (ストップ・コンディションの生成)^注

注 マスタのみ

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IIC0レジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を終了する場合には、WREL0ビットをセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STT0ビットをセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPT0ビットをセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0ビットのセット (1) によるウェイト解除後、IIC0レジスタへのデータ書き込みを実施した場合には、SDAラインの変化タイミングとIIC0レジスタへの書き込みタイミングの競合により、SDAラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICC0.IICE0ビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICC0.LREL0ビットをセット (1) すると通信から退避するので、ウェイトを解除できます。

17.7 I²C 割り込み要求信号 (INTIIC)

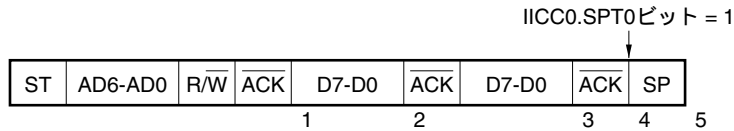
次に、INTIIC 割り込み要求信号発生タイミングと、INTIIC 信号タイミングでの IICS0 レジスタの値を示します。

備考	ST	: スタート・コンディション
	AD6-AD0	: アドレス
	R/W	: 転送方向指定
	ACK	: アクノリッジ
	D7-D0	: データ
	SP	: ストップ・コンディション

17.7.1 マスタ動作

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

IICC0.WTIM0ビット = 0のとき

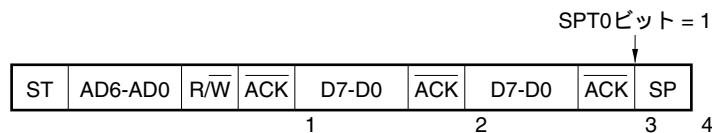


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B
- 3 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1[※])
- 4 : IICS0レジスタ = 1000XX00B
- 5 : IICS0レジスタ = 00000001B

注 ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号(INTIIC)の発生タイミングを変更してください。

- 備考** 必ず発生
IICC0.SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき

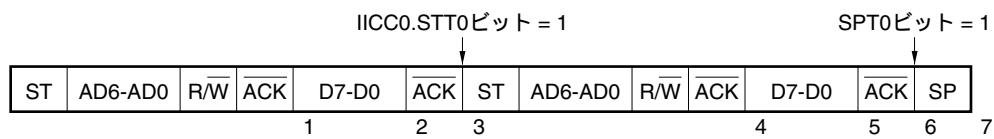


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X100B
- 3 : IICS0レジスタ = 1000XX00B
- 4 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

WTIM0ビット = 0のとき

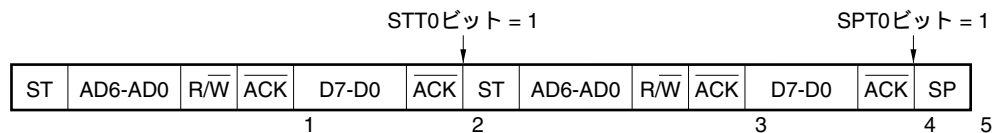


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1^{注1})
- 3 : IICS0レジスタ = 1000XX00B (WTIM0ビット = 0^{注2})
- 4 : IICS0レジスタ = 1000X110B
- 5 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1^{注3})
- 6 : IICS0レジスタ = 1000XX00B
- 7 : IICS0レジスタ = 00000001B

- 注1.** スタート・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号 (INTIIC) の発生タイミングを変更してください。
- 2.** 設定を元に戻すためにWTIM0ビットをクリア(0)します。
- 3.** ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号 (INTIIC) の発生タイミングを変更してください。

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき

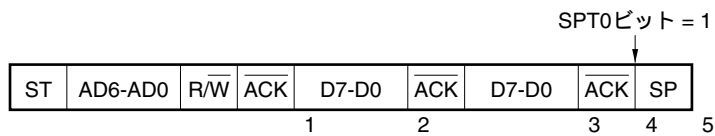


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000XX00B
- 3 : IICS0レジスタ = 1000X110B
- 4 : IICS0レジスタ = 1000XX00B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIM0ビット = 0のとき



1 : IICS0レジスタ = 1010X110B

2 : IICS0レジスタ = 1010X000B

3 : IICS0レジスタ = 1010X000B (WTIM0ビット = 1[※])

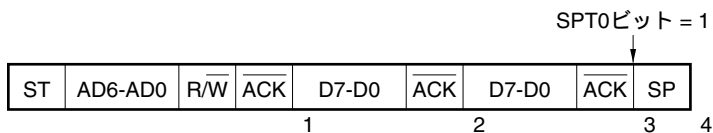
4 : IICS0レジスタ = 1010XX00B

5 : IICS0レジスタ = 00000001B

注 ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号(INTIIC)の発生タイミングを変更してください。

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 1010X110B

2 : IICS0レジスタ = 1010X100B

3 : IICS0レジスタ = 1010XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

17.7.2 スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致))

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

IICC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001XX00B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1	2					3	4	5	6

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X110B

5 : IICS0レジスタ = 0010XX00B

6 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 00000110B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 00000110B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

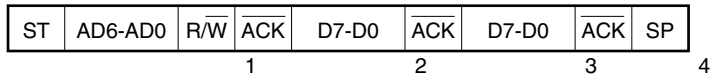
X 任意

17.7.3 スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

(1) Start ~ Code ~ Data ~ Data ~ Stop

IIC0.WTIM0ビット = 0のとき



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

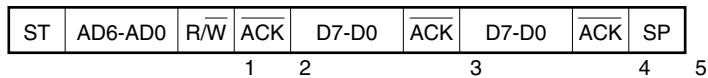
4 : IICS0レジスタ = 00000001B

備考 必ず発生

IIC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3	4	5

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2		3				4		5 6

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0001X110B

5 : IICS0レジスタ = 0001XX00B

6 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2				3		4	5

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1	2		3			4	5		6	7

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0010X010B

5 : IICS0レジスタ = 0010X110B

6 : IICS0レジスタ = 0010XX00B

7 : IICS0レジスタ = 00000001B

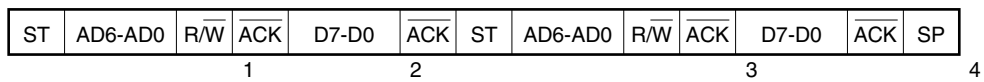
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 00000110B

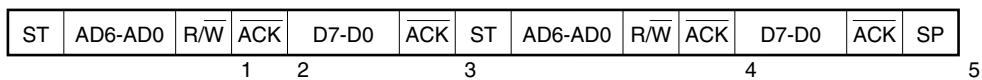
4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 00000110B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

17.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

1 : IICS0レジスタ = 00000001B

備考 IICC0.SPIE0ビット = 1のときだけ発生

17.7.5 アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合はINTIIC割り込み発生ごとにアービトレーション結果を確認するためのIICS0.MSTS0ビットをリードし、アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICS0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0レジスタ = 0101X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

IICS0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0レジスタ = 0101X110B

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) 拡張コード送信中にアービトレーションに負けた場合

WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS0レジスタ = 0110X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2		3		4
								5

1 : IICS0レジスタ = 0110X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

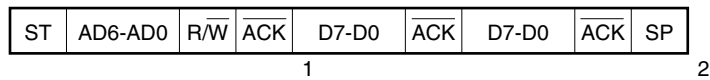
5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

17.7.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

マルチマスタ・システムでマスタとして使用する場合はINTIIC割り込み発生ごとにアービトレーション結果を確認するためのIICS0.MSTS0ビットをリードし,アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

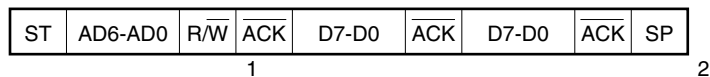


1 : IICS0レジスタ = 01000110B

2 : IICS0レジスタ = 00000001B

備考 必ず発生
IICC0.SPIE0ビット = 1のときだけ発生

(2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICS0レジスタ = 0110X010B

ソフトウェアでIICC0.LREL0ビット = 1を設定

2 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(3) データ転送時にアービトレーションに負けた場合

IIC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

2 : IICS0レジスタ = 01000000B

3 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

2 : IICS0レジスタ = 01000100B

3 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP		
				1					2				3

1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000110B

3 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

Dn = D6-D0

拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP		
				1					2				3

1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 0110X010B

ソフトウェアでLREL0ビット = 1を設定

3 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

Dn = D6-D0

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
			1		2

1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000001B

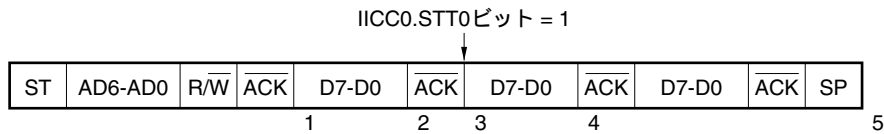
備考 必ず発生
 SPIE0ビット = 1のときだけ発生

X 任意

Dn = D6-D0

(6) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

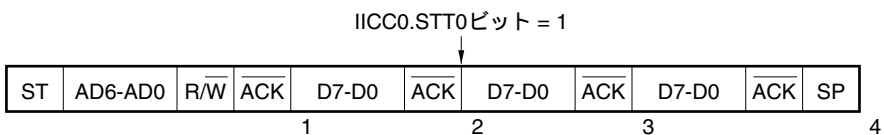
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000X100B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 01000000B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X100B
- 3 : IICS0レジスタ = 01000100B
- 4 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIM0ビット = 0のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)

3 : IICS0レジスタ = 1000XX00B

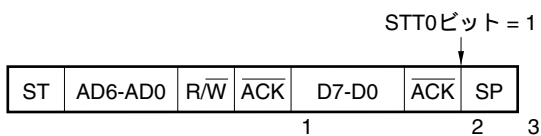
4 : IICS0レジスタ = 01000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000XX00B

3 : IICS0レジスタ = 01000001B

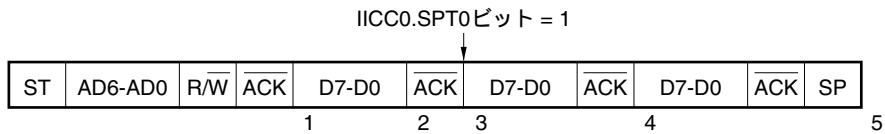
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(8) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIM0ビット = 0のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)

3 : IICS0レジスタ = 1000X100B (WTIM0ビット = 0)

4 : IICS0レジスタ = 01000100B

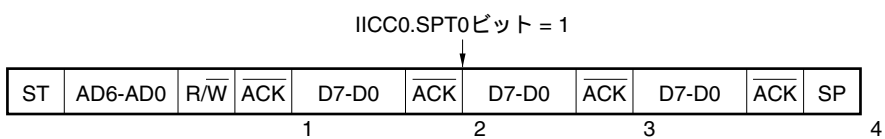
5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000X100B

3 : IICS0レジスタ = 01000100B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

17.8 割り込み要求信号 (INTIIC) 発生タイミングおよびウェイト制御

IICC0.WTIM0ビットの設定で、次に示すタイミングでINTIIC信号が発生して、ウェイト制御を行います。

表17-4 INTIIC信号発生タイミングおよびウェイト制御

WTIM0ビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC信号およびウェイトは、SVA0レジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりが発生します。

また、このとき、IICC0.ACKE0ビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIIC信号が発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりINTIIC信号が発生しますが、ウェイトは発生しません。

2. SVA0レジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC信号もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IIC0レジスタへのデータ書き込み
- ・ IICC0.WREL0ビットのセット (ウェイト解除)
- ・ IICC0.STT0ビットのセット (スタート・コンディションの生成)^注
- ・ IICC0.SPT0ビットのセット (ストップ・コンディションの生成)^注

注 マスタのみ

8クロック・ウェイト選択 (WTIM0ビット = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

ストップ・コンディションを検出するとINTIIC信号を発生します。

17.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVA0レジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0レジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC割り込み要求信号が発生します。

17.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA) の状態が、送信しているデバイスのIIC0レジスタにも取り込まれるため、送信開始前と送信終了後のIIC0レジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

17.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIIC) を発生します。SVA0レジスタに格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0レジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIIC信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : IICS0.EXC0ビット = 1

7ビット・データの一致 : IICS0.COI0ビット = 1

(3) INTIIC信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。スレーブ動作時に拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICC0.LREL0ビット=1に設定してください。次の通信待機状態となります。

表17-5 主な拡張コードのビットの定義

スレーブ・アドレス	R \bar{W} ビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

17.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICS0.STD0ビット = 1になる前に IICC0.STT0ビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICS0.ALD0ビット）をセット（1）し、SCL, SDAラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号（INTIIC）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALD0ビット = 1になっていることで検出します。

割り込み発生タイミングについては、17.7 I²C割り込み要求信号（INTIIC）を参照してください。

図17 - 12 アービトレーション・タイミング例

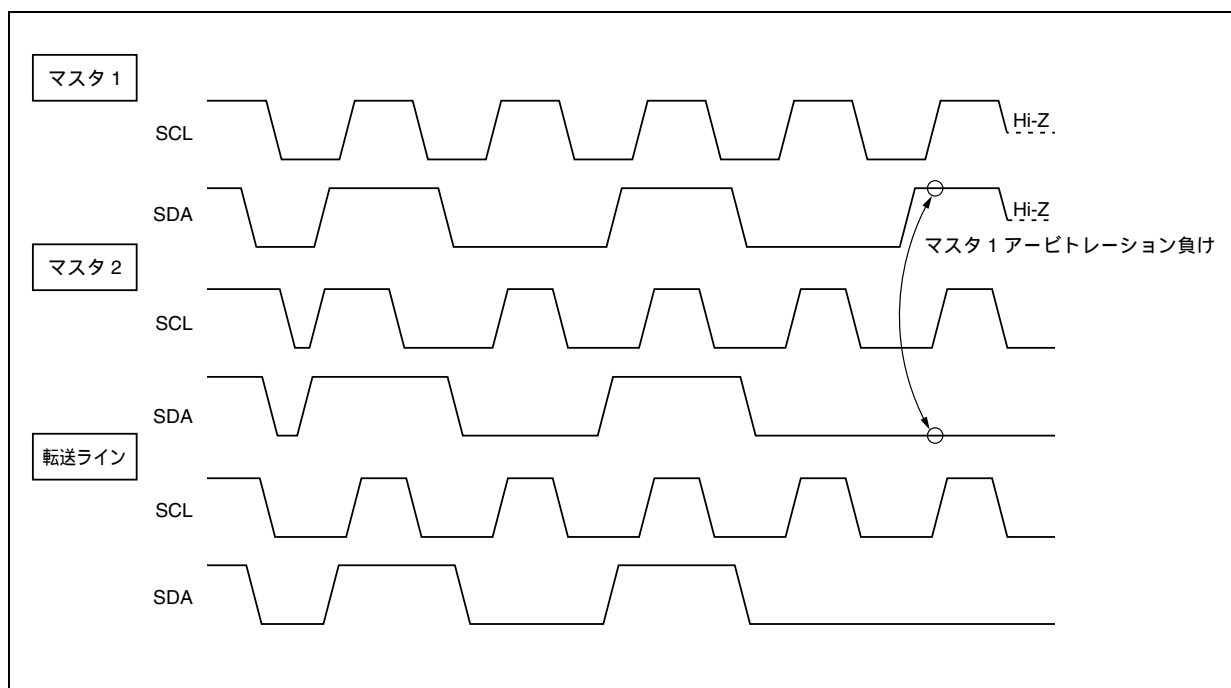


表17-6 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	ストップ・コンディション生成時 (IICC0.SPIE0ビット = 1時) ^{注2}
データ転送中, ストップ・コンディション検出	
リスタート・コンディションを生成しようとしたがSDA端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0ビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDA端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL端子がロウ・レベル	

注1. IICC0.WTIM0ビット = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。
WTIM0ビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0ビット = 1にしてください。

17. 13 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIIC) が発生する機能です。アドレスが一致しないときは不要な割り込み要求を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICC0.SPIE0ビットの設定によって, 割り込み要求の発生許可/禁止が決定します。

17. 14 通信予約

17. 14. 1 通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC0.LREL0ビット = 1でバスを解放した)とき。

バスに不参加の状態、IICC0.STT0ビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICC0.SPIE0ビットをセット(1)し、割り込み要求(INTIIC)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IIC0レジスタにアドレスを書き込むと、自動的にマスタとして通信を開始します。ストップ・コンディションを検出する前に、IIC0レジスタに書き込んだデータは無効となります。

STT0ビットをセット(1)したときスタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するかどうかを確認するには、STT0ビットをセット(1)し、ウェイト時間をとったあと、IICS0.MSTS0ビットを確認することで行います。

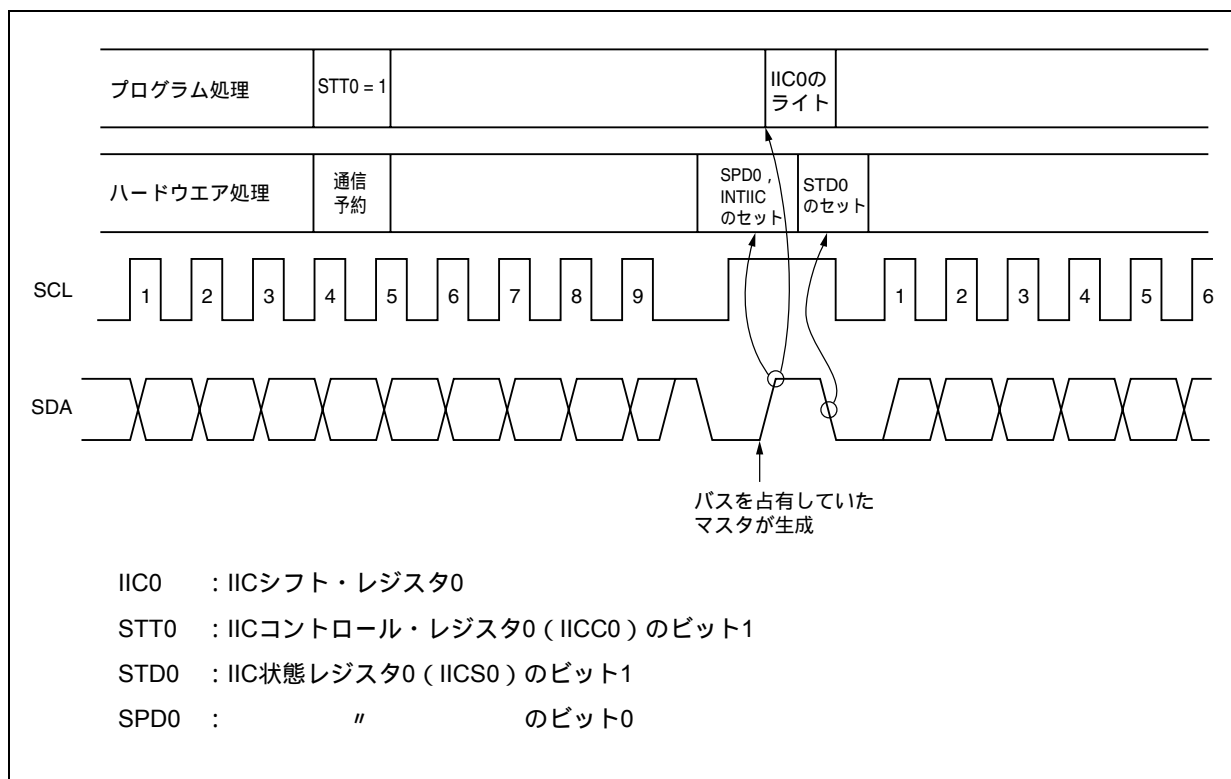
ウェイト時間は、表17-7に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICX0.CLX0、IICCL0.SMC0、CL00ビットにより設定できます。

表17-7 ウェイト時間

選択クロック	CLX0	SMC0	CL00	ウェイト・クロック	f _{xx} = 100 MHz時の ウェイト時間
f _{xx} /24 (IICOCKS = 11H)	0	0	0	23クロック	5.52 μs
f _{xx} /32 (IICOCKS = 12H)	0	0	0	23クロック	7.36 μs
f _{xx} /40 (IICOCKS = 13H)	0	0	0	23クロック	9.20 μs
f _{xx} /16 (IICOCKS = 10H)	0	0	1	43クロック	6.88 μs
f _{xx} /16 (IICOCKS = 10H)	0	1	x	15クロック	2.40 μs
f _{xx} /24 (IICOCKS = 11H)	0	1	x	15クロック	3.60 μs
f _{xx} /32 (IICOCKS = 12H)	0	1	x	15クロック	4.80 μs
f _{xx} /24 (IICOCKS = 11H)	1	1	x	9クロック	2.16 μs
f _{xx} /32 (IICOCKS = 12H)	1	1	x	9クロック	2.88 μs

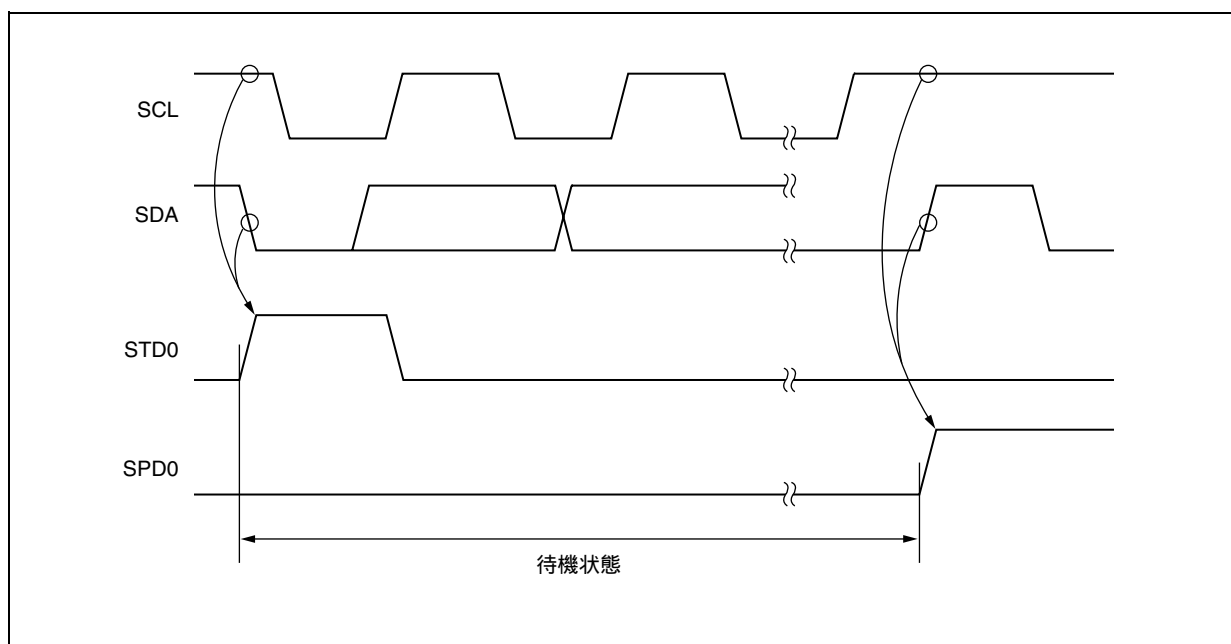
通信予約のタイミングを次に示します。

図17 - 13 通信予約のタイミング



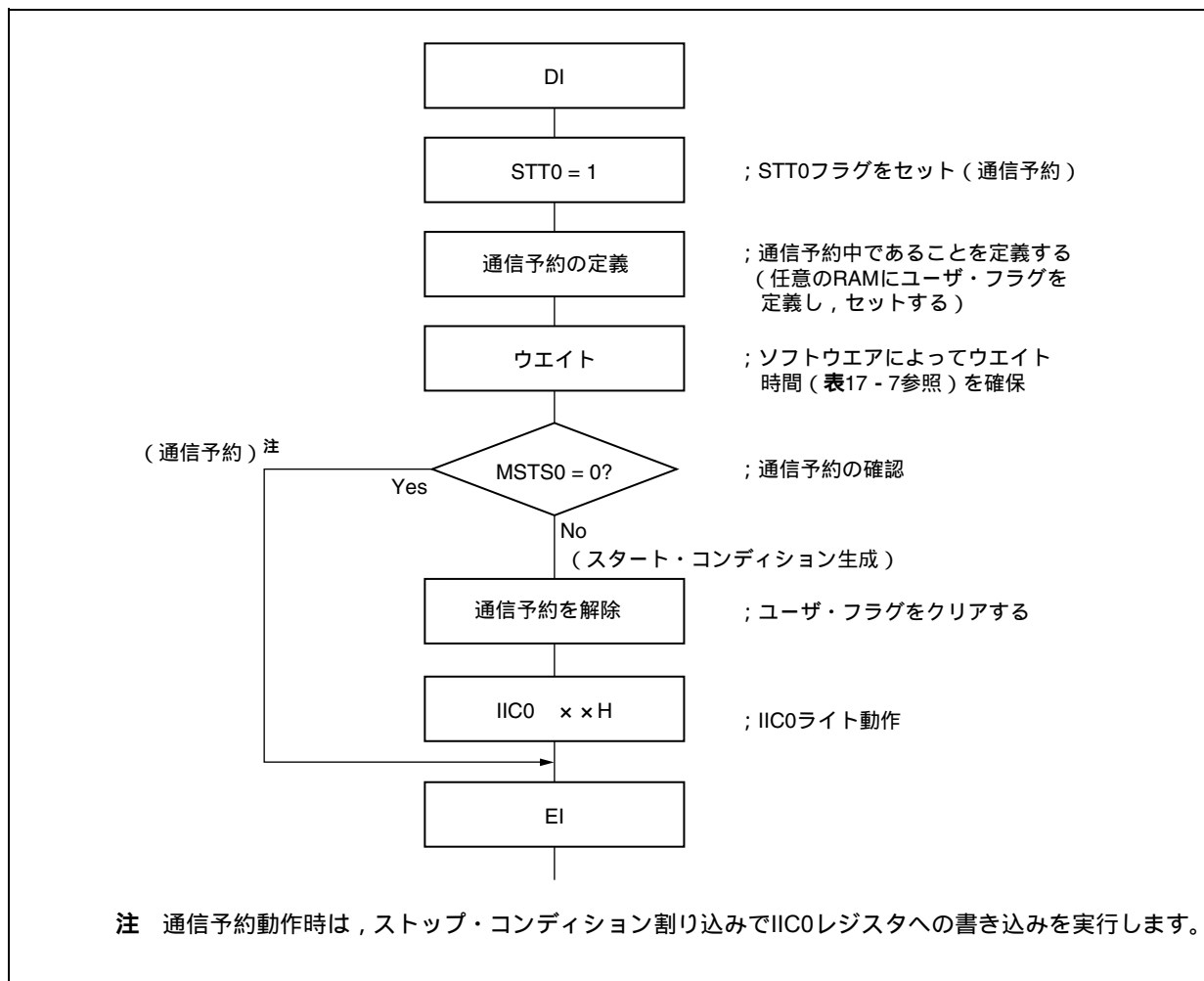
通信予約は次のタイミングで受け付けられます。IICS0.STD0ビット = 1になったあと、ストップ・コンディション検出までにIICC0.STT0ビット = 1で通信予約をします。

図17 - 14 通信予約受け付けタイミング



次に通信予約の手順を示します。

図17 - 15 通信予約の手順



17. 14. 2 通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1)

バスが通信中で、この通信に不参加の状態ではICC0.STT0ビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC0.LREL0ビット = 1でバスを解放した)とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICF0.STCF0フラグを確認することにより行います。STT0ビット = 1としてからSTCF0フラグがセットされるまで表17 - 8に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表17 - 8 ウェイト時間

選択クロック	CLX0	SMC0	CL00	ウェイト・クロック	f _{xx} = 100 MHz時の ウェイト時間
f _{xx} /24 (IICOCKS = 11H)	0	0	0	5クロック	1.2 μs
f _{xx} /32 (IICOCKS = 12H)	0	0	0	5クロック	1.6 μs
f _{xx} /40 (IICOCKS = 13H)	0	0	0	5クロック	2.0 μs
f _{xx} /16 (IICOCKS = 10H)	0	0	1	5クロック	0.8 μs
f _{xx} /16 (IICOCKS = 10H)	0	1	x	5クロック	0.8 μs
f _{xx} /24 (IICOCKS = 11H)	0	1	x	5クロック	1.2 μs
f _{xx} /32 (IICOCKS = 12H)	0	1	x	5クロック	1.6 μs
f _{xx} /24 (IICOCKS = 11H)	1	1	x	5クロック	1.2 μs
f _{xx} /32 (IICOCKS = 12H)	1	1	x	5クロック	1.6 μs

17. 15 注意事項

(1) IICF0.STCEN0ビット = 0の場合

I²C動作許可直後、実際のバス状態にかかわらず通信状態 (IICF0.IICBSY0ビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICCL0レジスタの設定

IICC0.IICE0ビットのセット

IICC0.SPT0ビットのセット

(2) IICF0.STCEN0ビット = 1の場合

I²C動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSY0ビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICC0.STT0ビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にV850E/IG4-H, V850E/IH4-HのIICC0.IICE0ビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICC0.IICE0ビットのセット (1) は、必ずSCL, SDAラインがハイ・レベルの状態で行ってください。

(4) I²Cの動作開始時および動作停止時の設定手順

(a) I²Cの動作開始時の設定手順

IICOCKSレジスタで分周クロックを選択し、IICOCKSENビット = 1 (I²C分周クロック動作許可) に設定

IICCL0レジスタとIICX0レジスタの設定 (転送速度の設定)

IICC0.IICE0ビット = 1 (I²C動作開始)

なお、I²Cの転送速度を変更する場合は、一度IICC0.IICE0ビット = 0にしてから行ってください。

(b) I²Cの動作停止時の設定手順は次のようになります。

IICC0.IICE0ビット = 0 (I²C動作停止)

IICOCKS.IICOCKSENビット = 0 (I²C分周クロック動作停止)

(5) IICC0.STT0, SPT0ビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。

(6) 送信予約をした場合には、IICC0.SPIE0ビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²Cに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICS0.MSTS0ビットを検出する場合には、SPIE0ビットをセット (1) する必要はありません。

17.16 通信動作

ここでは、次の 3 つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²C バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが I²C バスの仕様だけでは判断できません。ここでは、一定(1 フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

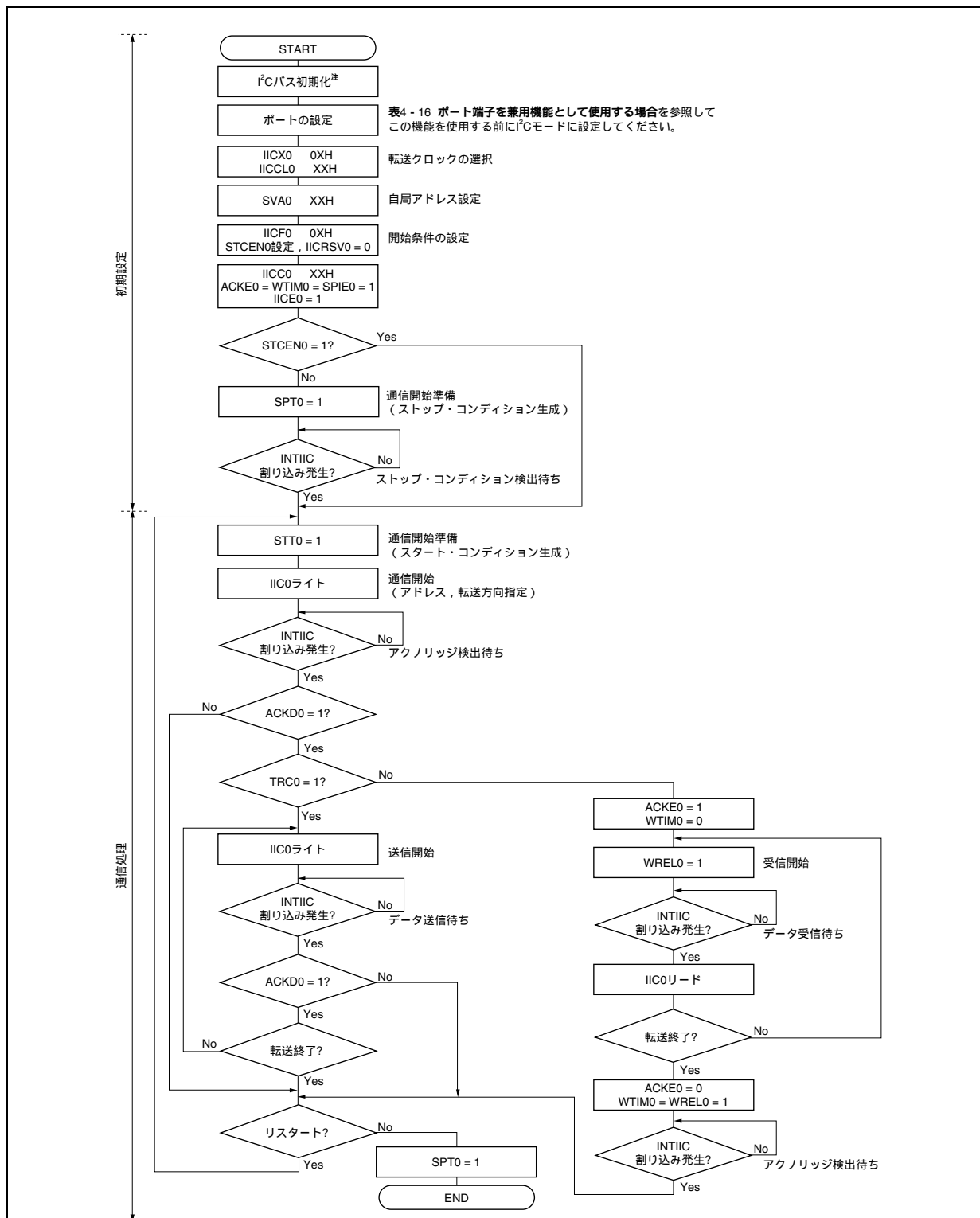
I²C バスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちで INTIIC 割り込みの発生を待ちます。INTIIC 割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

17. 16. 1 シングルマスタ・システムでのマスタ動作

図17 - 16 シングルマスタ・システムでのマスタ動作



注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL, SDA端子 = ハイ・レベル) してください。たとえば、EEPROM[®]がSDA端子にロウ・レベルを出力した状態であれば、SCL端子を出力ポートに設定し、SDA端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

17. 16. 2 マルチマスタ・システムでのマスタ動作

図17 - 17 マルチマスタ・システムでのマスタ動作 (1/3)

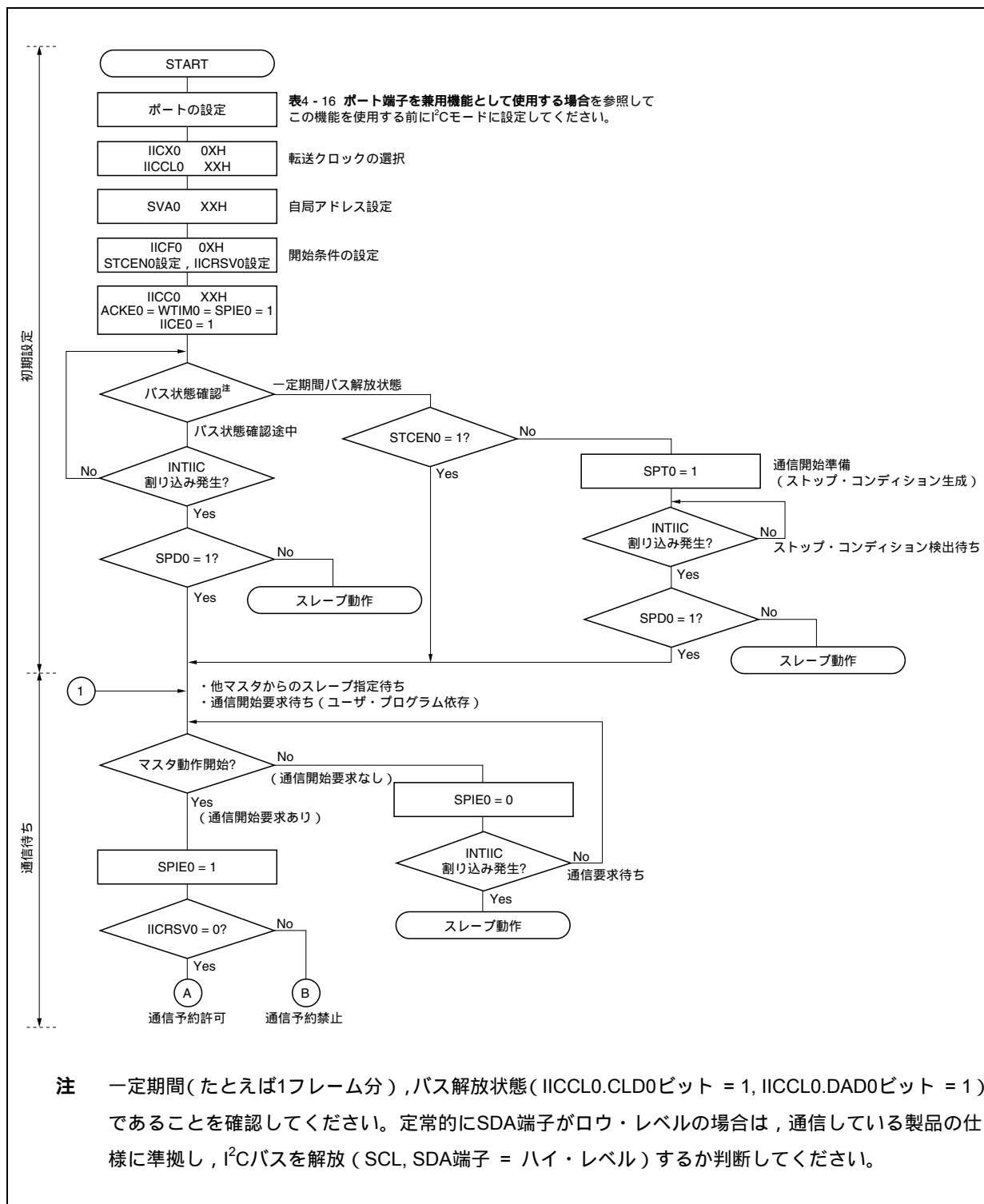


図17 - 17 マルチマスタ・システムでのマスタ動作 (2/3)

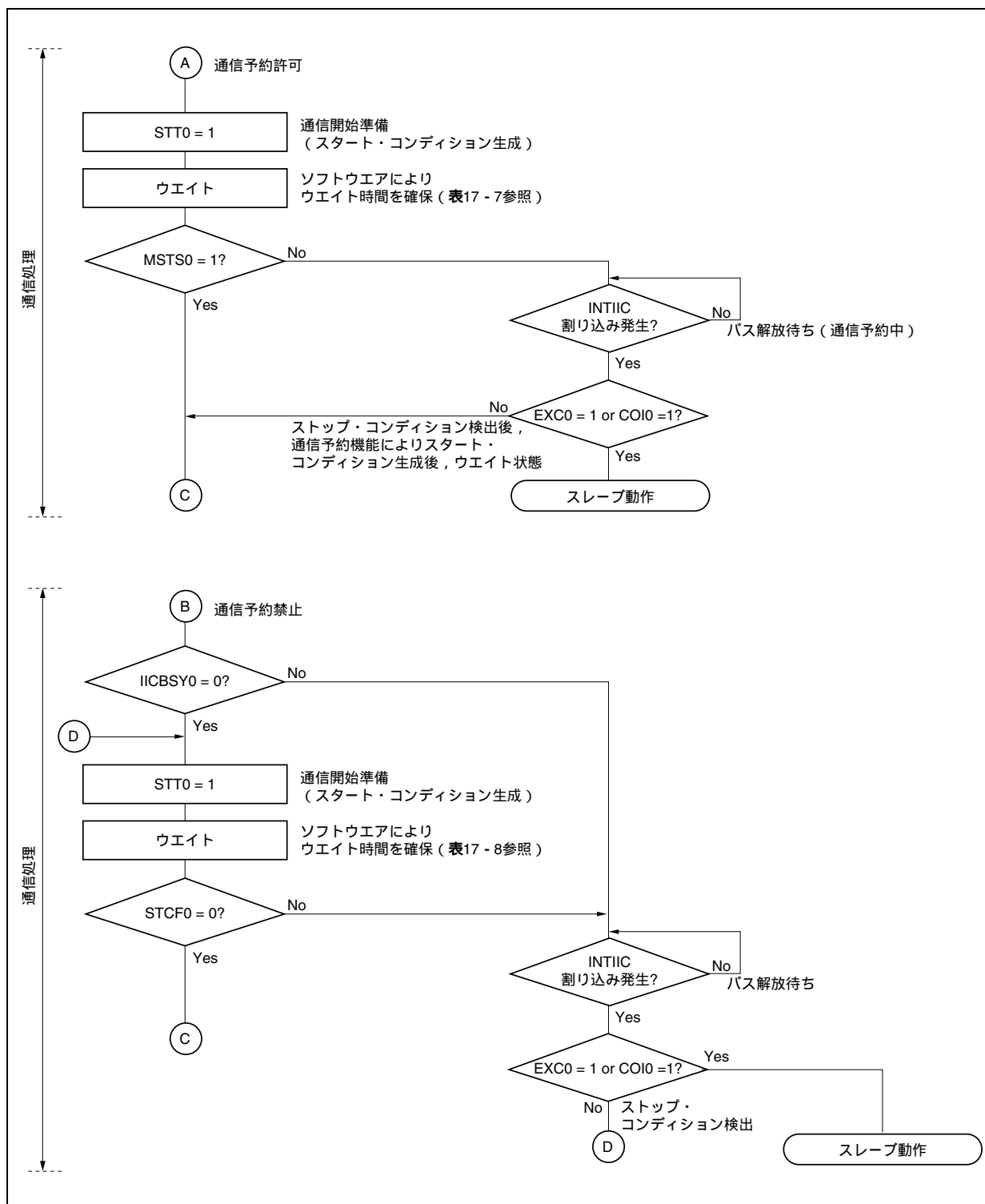
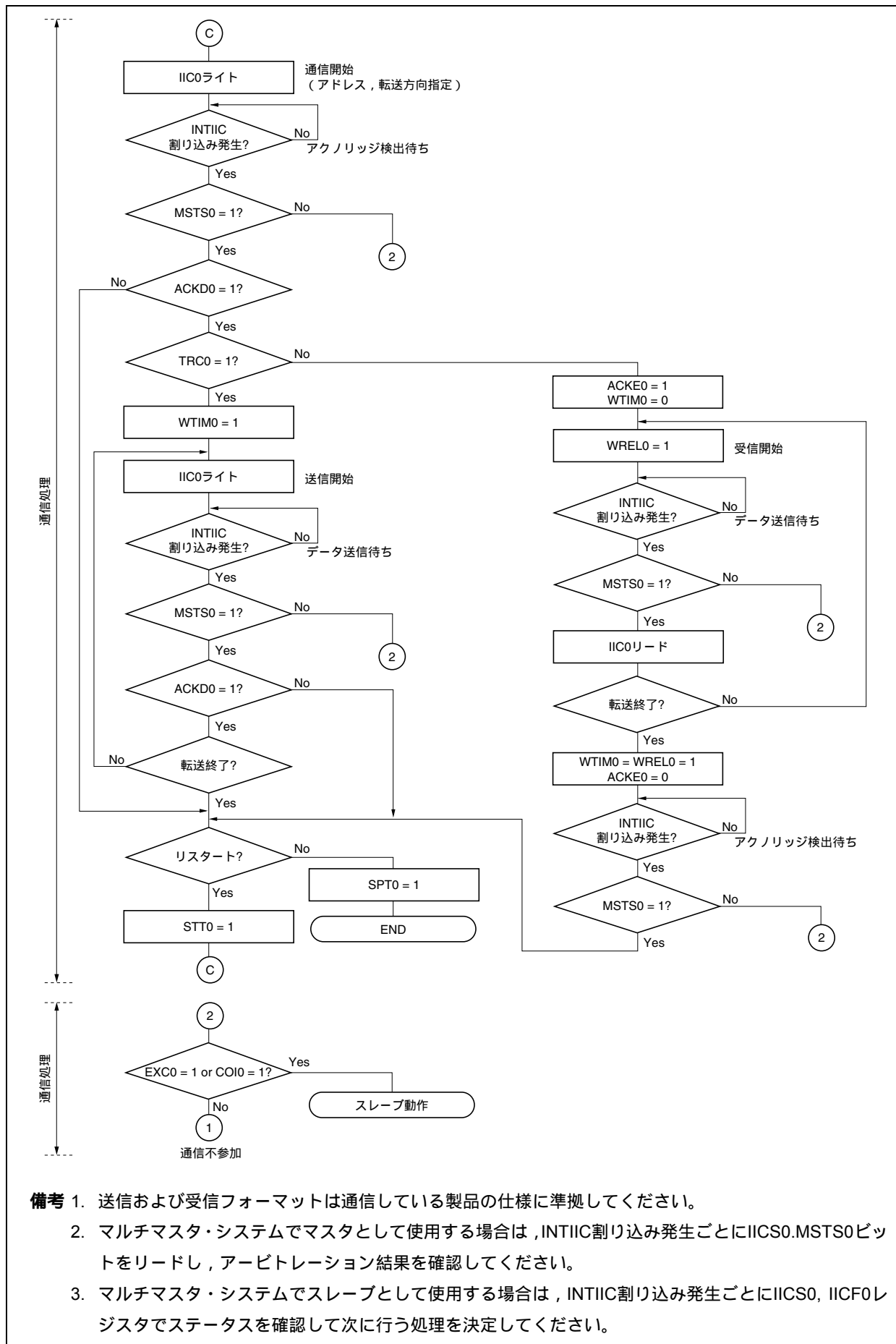


図17 - 17 マルチマスタ・システムでのマスタ動作 (3/3)



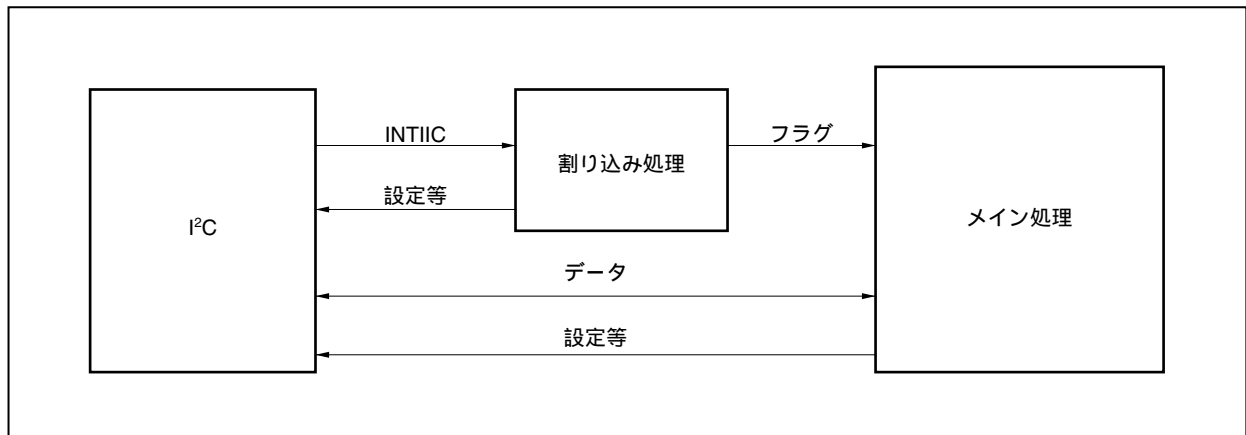
17. 16. 3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンの動作となります。このためINTIIC割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図17 - 18 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIIC信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIIC割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IIC0.TR0ビットの値と同じです。

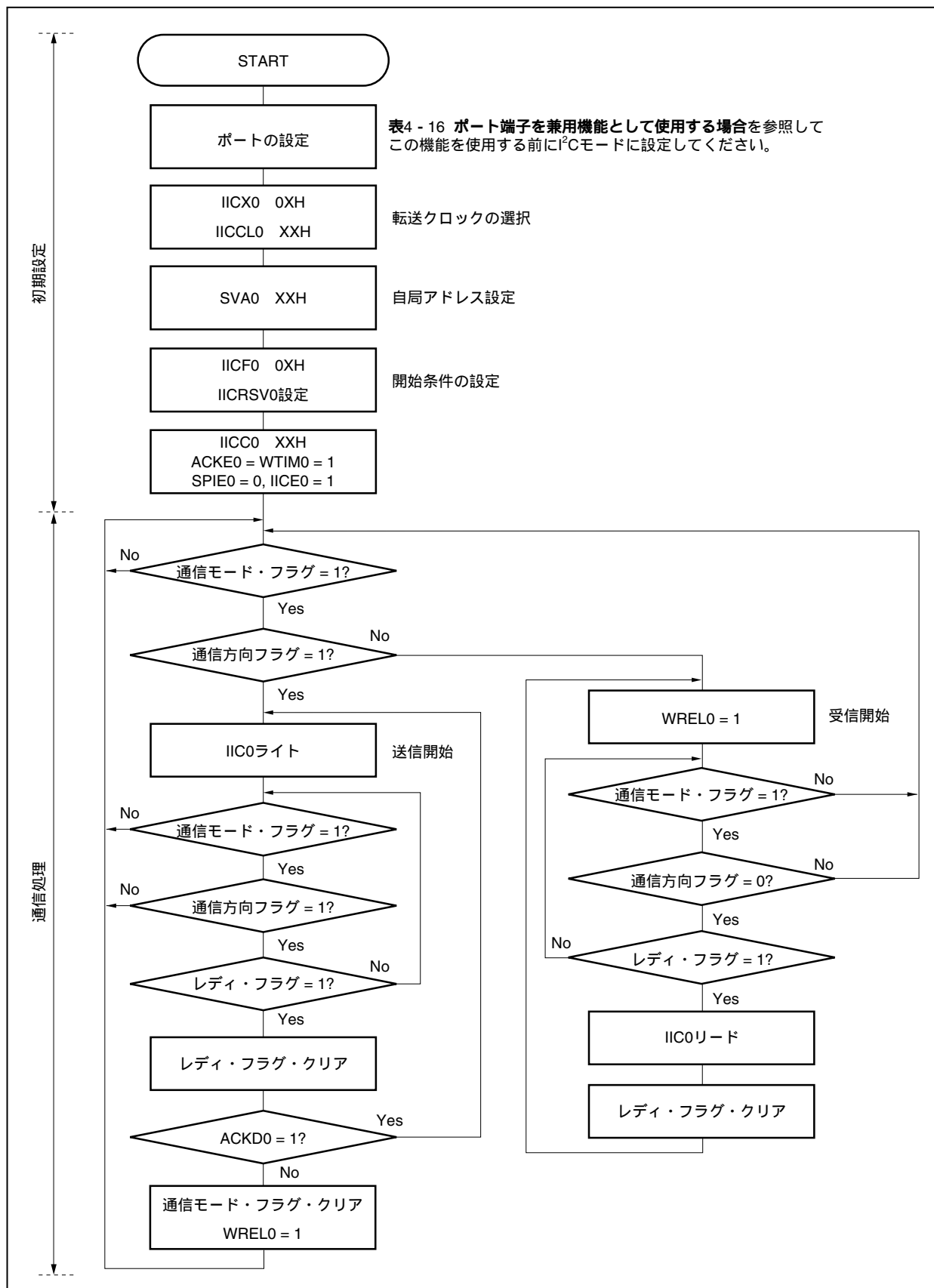
次にスレーブ動作でのメイン処理部の動作を示します。

I²Cを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を終了します。

受信では必要な数のデータ受信し、転送終了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図17 - 19 スレーブ動作手順 (1)



スレーブのINTIIC割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIIC割り込みではステータスを確認して、次のように行います。

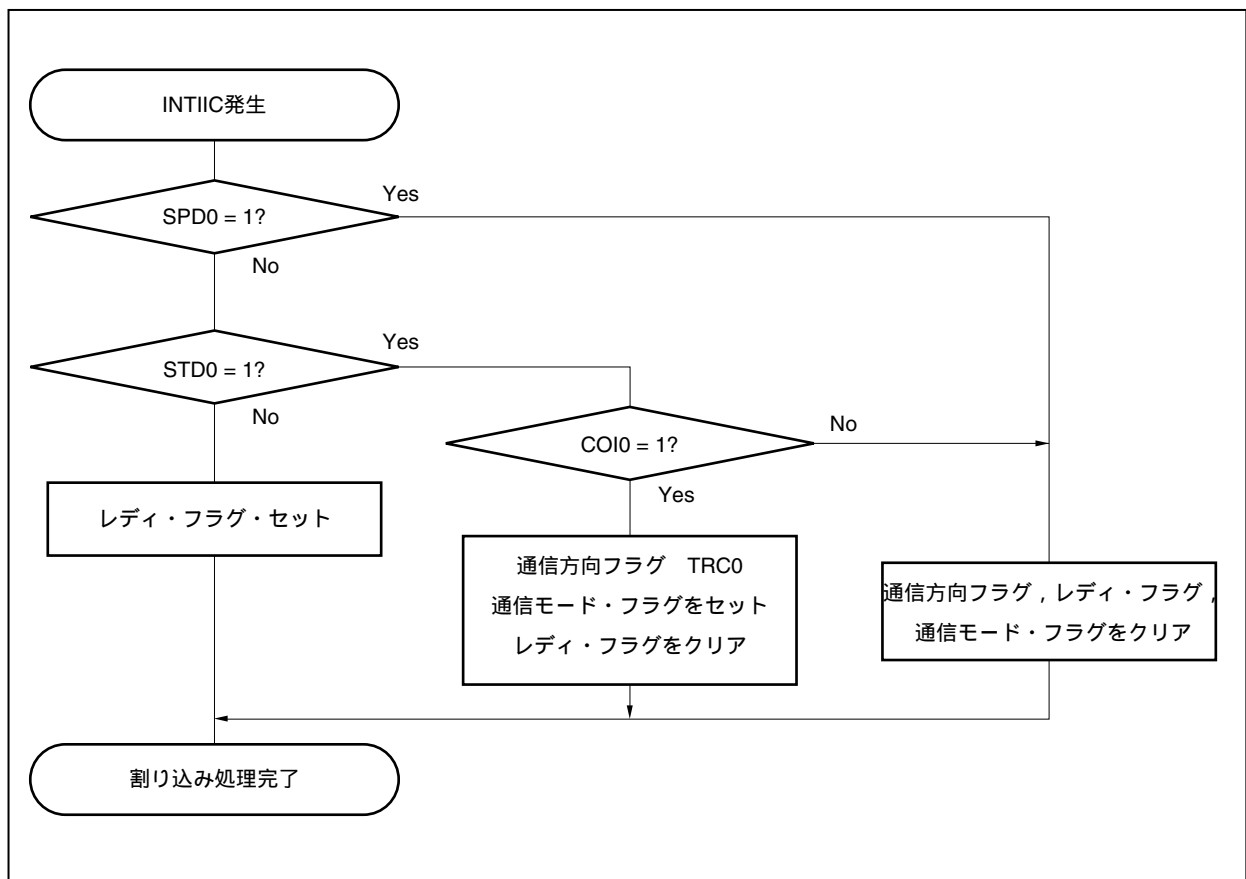
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウエイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図17-20 スレーブ動作手順(2)の ~ と対応しています。

図17-20 スレーブ動作手順(2)



17. 17 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを生成することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICS0.TRC0ビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCL端子）の立ち下がりに同期してIIC0レジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA端子からMSBファーストで出力されます。

また、SCL端子の立ち上がりでSDA端子に入力されたデータがIIC0レジスタに取り込まれます。

データ通信のタイミングを次に示します。

図17 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (1/3)

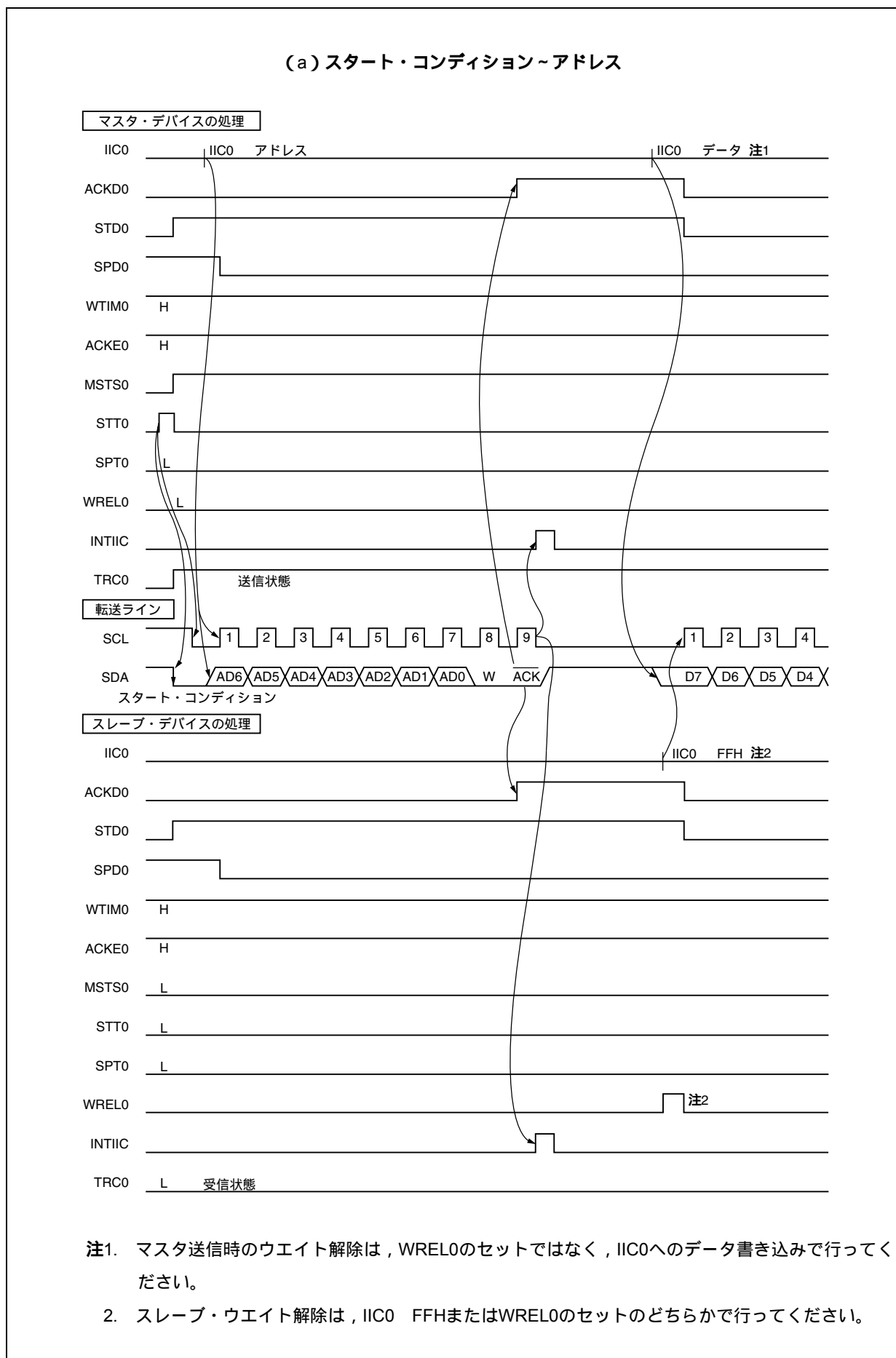


図17 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (2/3)

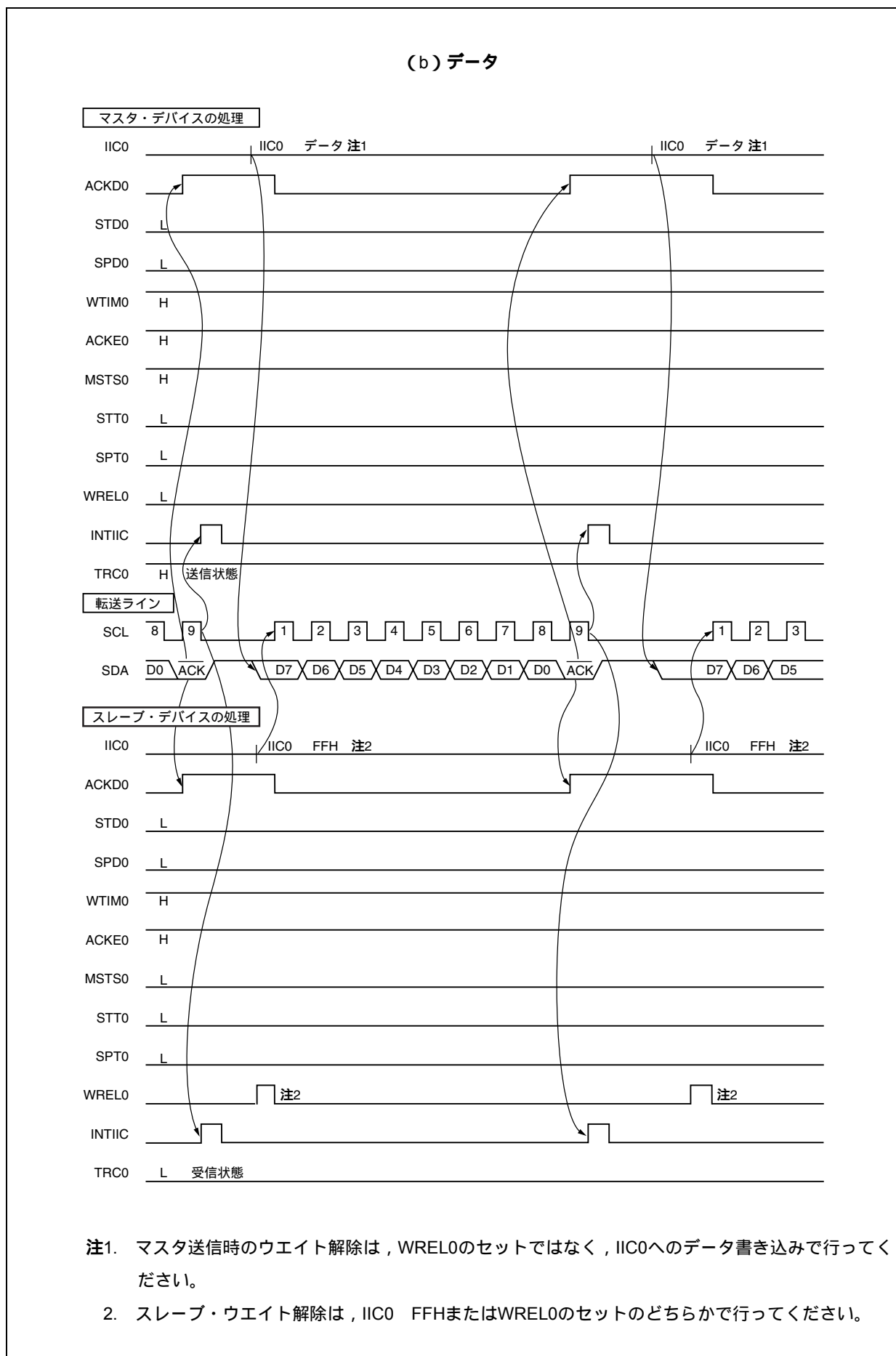


図17 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウエイト選択時) (3/3)

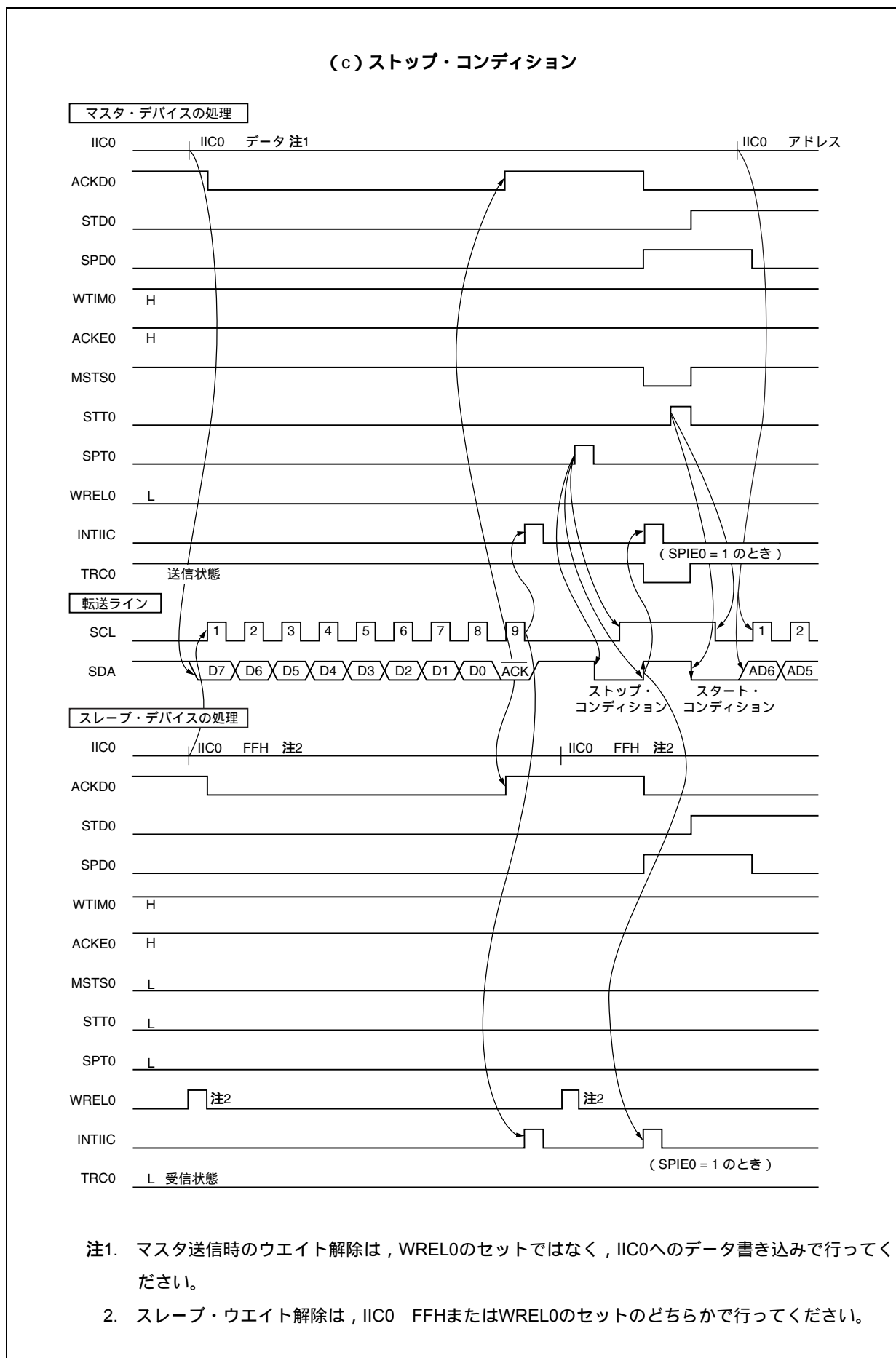


図17 - 22 スレーブ マスタ通信例 (マスタ : 8クロック , スレーブ : 9クロックでウェイト選択時) (1/3)

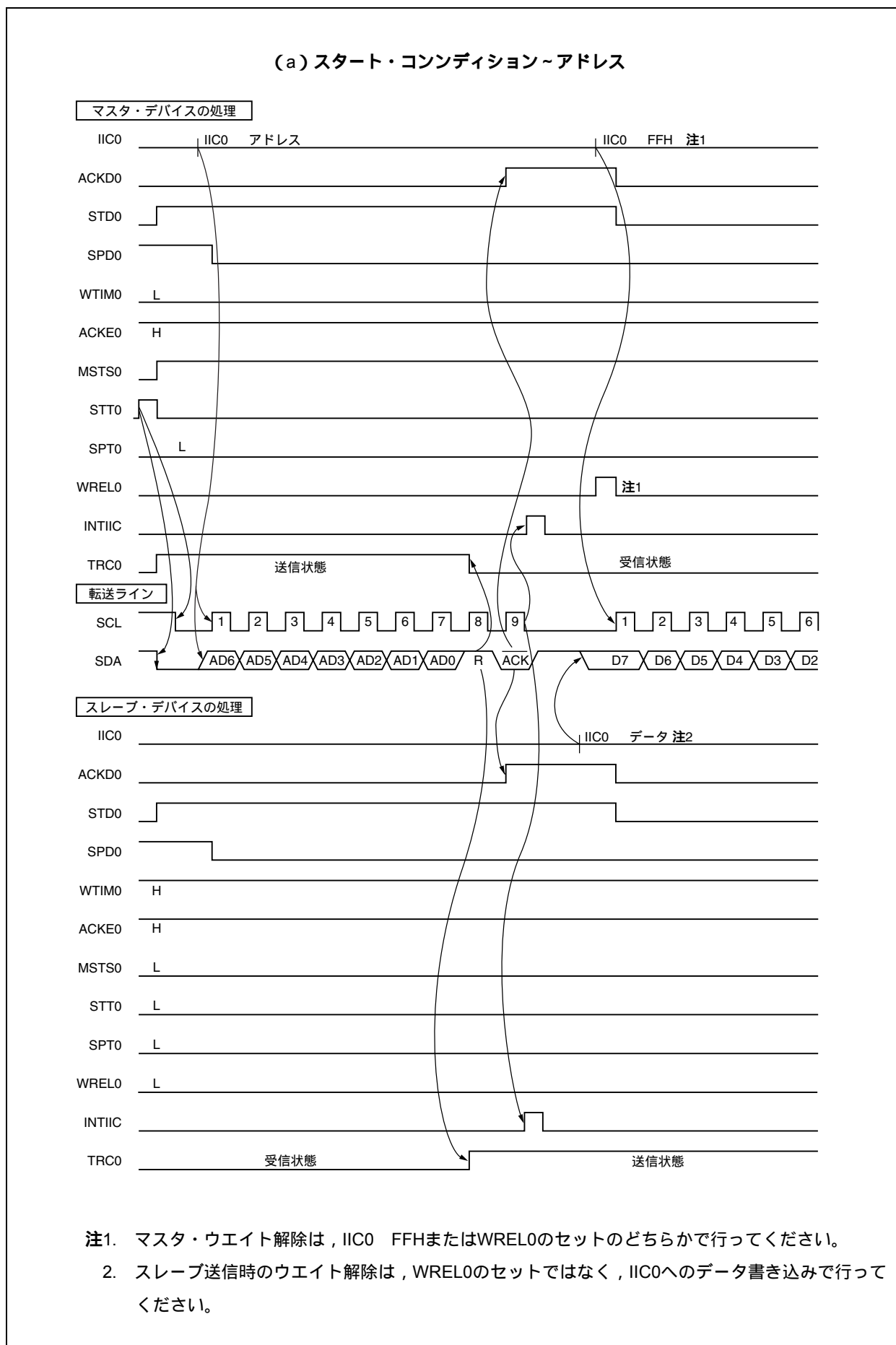


図17 - 22 スレーブ マスタ通信例 (マスタ : 8クロック , スレーブ : 9クロックでウエイト選択時) (2/3)

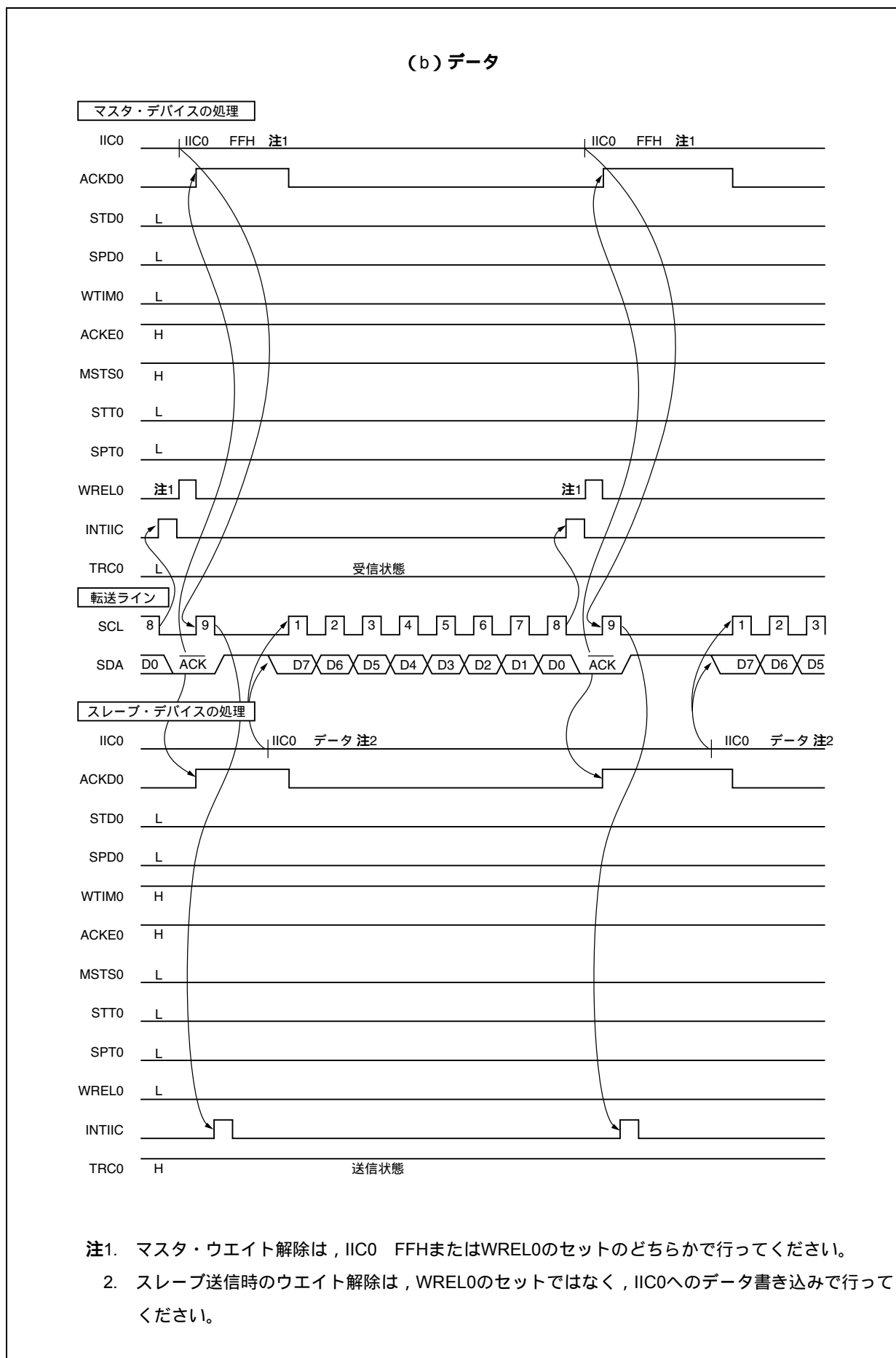
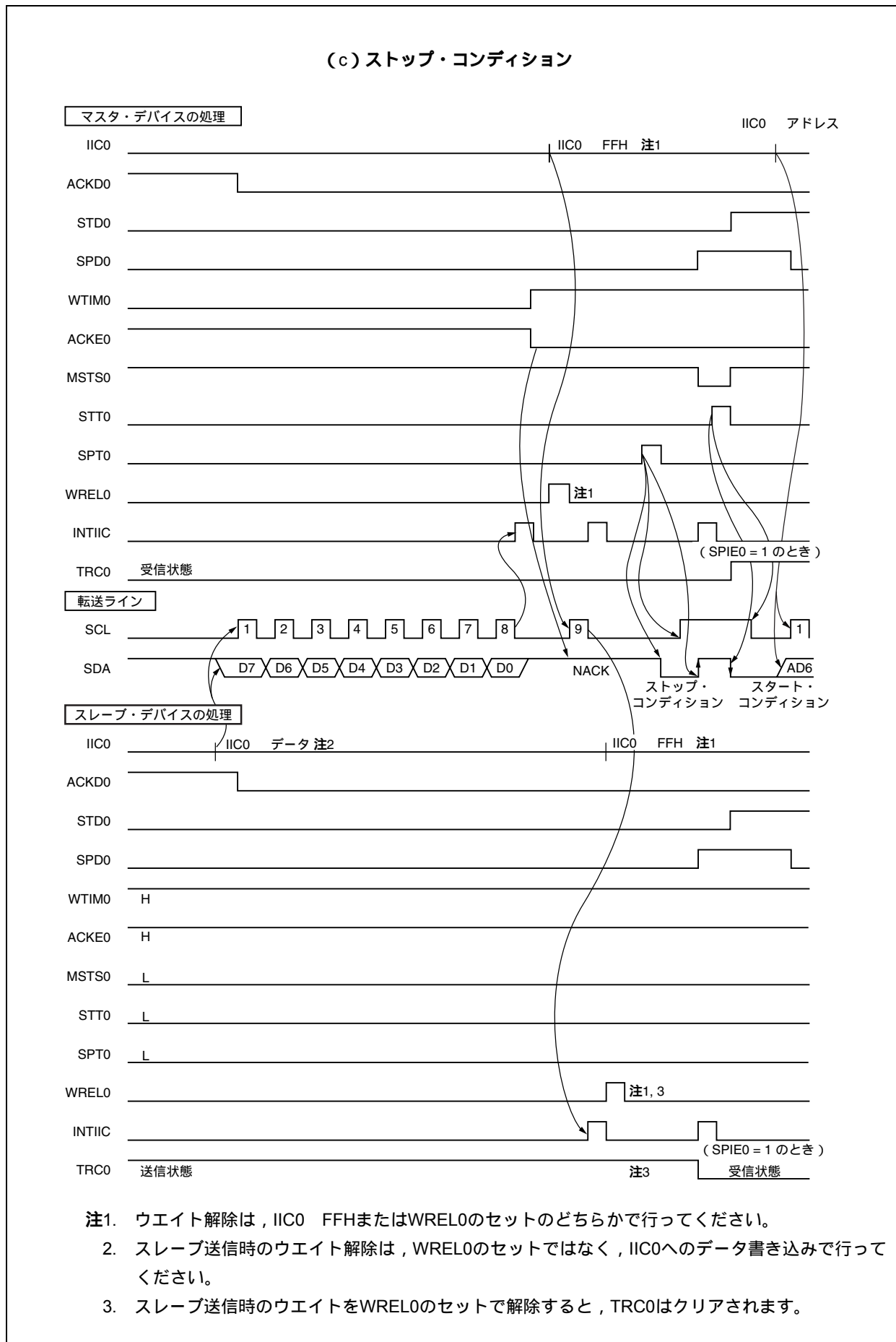


図17-22 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウエイト選択時) (3/3)



第18章 USBファンクション・コントローラ (USBF)

V850E/IG4-H, V850E/IH4-Hは、Universal Serial Bus Specificationに準拠したUSBファンクション・コントローラ (USBF) を内蔵しています。トークン・ベースのプロトコルにより、外部ホスト・デバイスとの間でポーリング方式のデータ通信を行います。

18.1 概 要

Universal Serial Bus Specificationに準拠
12 Mbps (フルスピード) 転送に対応
転送用のエンドポイントを内蔵

エンドポイント名	FIFOサイズ (バイト)	転送タイプ	備考
Endpoint0 Read	64	コントロール転送	-
Endpoint0 Write	64	コントロール転送	-
Endpoint1	64 × 2	バルク1転送 (IN)	2バッファ構成
Endpoint2	64 × 2	バルク1転送 (OUT)	2バッファ構成
Endpoint3	64 × 2	バルク2転送 (IN)	2バッファ構成
Endpoint4	64 × 2	バルク2転送 (OUT)	2バッファ構成
Endpoint7	8	インタラプト転送	-

USBクロック：内部クロック (PLL出力クロック (96 MHz) の2分周クロック ($f_{USB} = 48 \text{ MHz}$)) /
外部クロック (UCLK端子へ外部クロック入力 ($f_{USB} = 48 \text{ MHz}$)) を選択可能

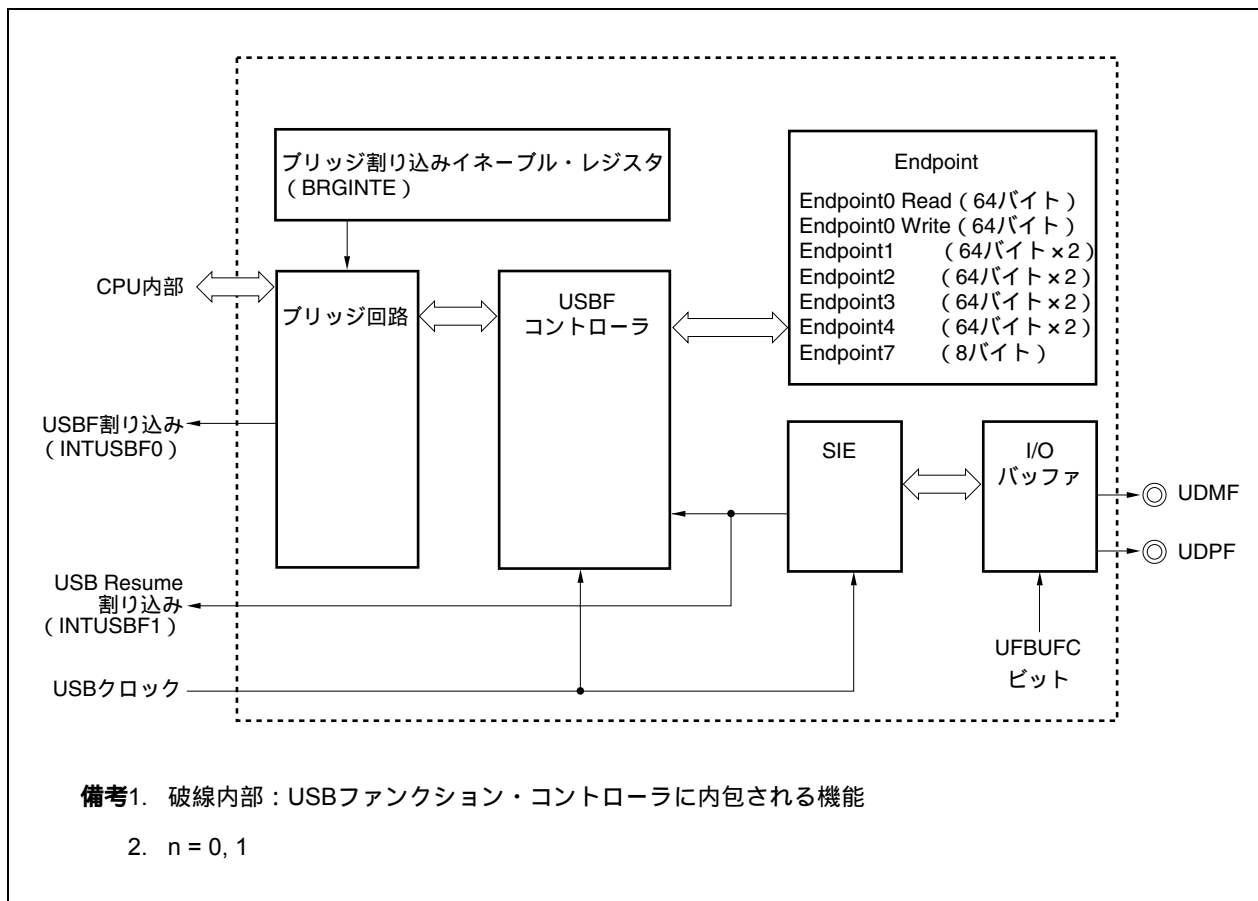
注意 USBファンクション・コントローラ・レジスタ (18.6.2参照) に記載されているレジスタ群は、USBクロックを内部クロックもしくは外部クロックに設定し、USBファンクション・コントローラにクロック供給が可能な状態にしたあとにアクセスしてください。

USBファンクション・コントローラにクロック供給されていない状態で上記レジスタ群にアクセスした場合は、リード時は00Hが読み出されます。なお、ライトは禁止します。ライトした場合の動作は保証しません。

18.2 構成

18.2.1 ブロック図

図18 - 1 USBファンクション・コントローラのブロック図



18.2.2 USBメモリ・マップ

CPUから見た場合のUSBファンクション・コントローラは、マイコン内部でCS1空間に割り当てられています。メモリ空間は、下記のように分割して使用しています。

表18 - 1 CPUメモリ空間の分割

アドレス	領域
00400000H-00400092H	EPC制御レジスタ領域
00400100H-00400114H	EPCデータ保持・レジスタ領域
00400144H-004003C4H	EPCリクエスト・データ・レジスタ領域
00400400H-00400408H	ブリッジ・レジスタ領域

18.3 外部回路構成

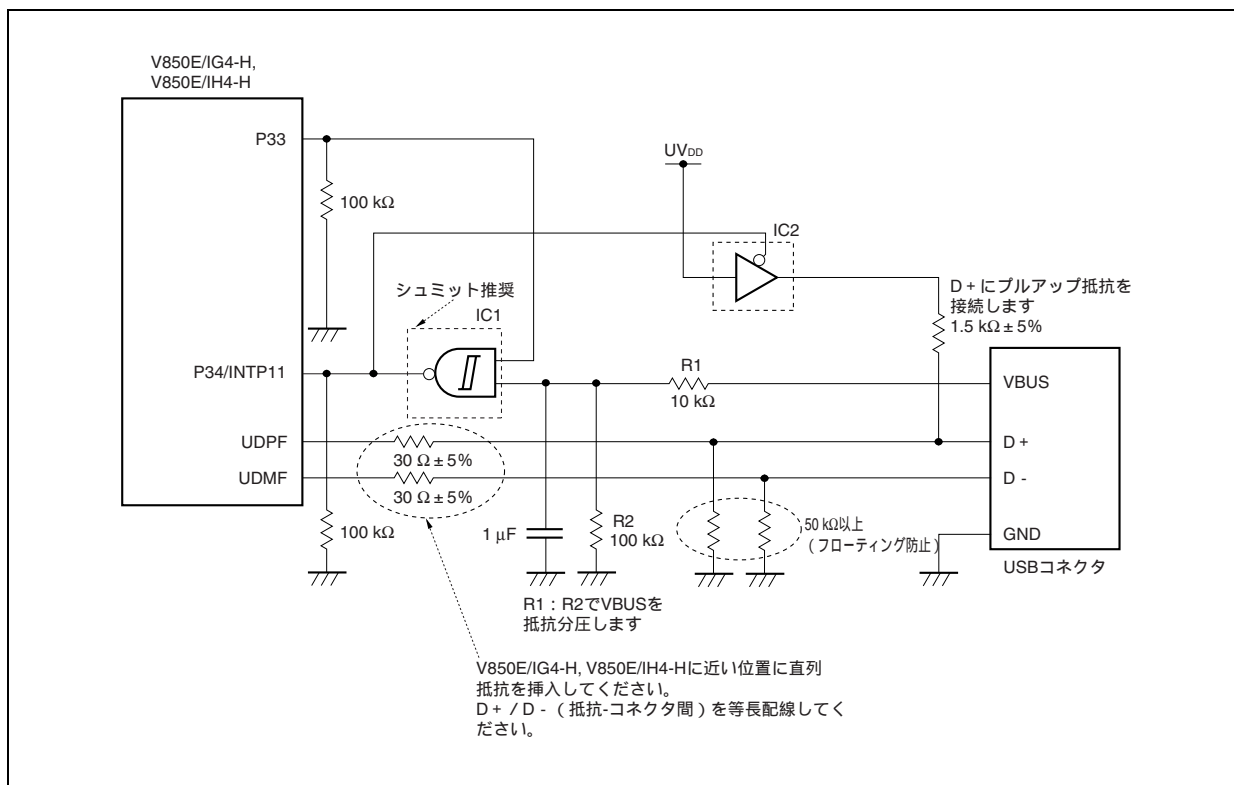
18.3.1 概要

USB伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB信号(D+/D-)にプルアップ、プルダウン抵抗を接続する必要があります。またV850E/IG4-H, V850E/IH4-Hでは、直列抵抗を接続する必要もあります。

V850E/IG4-H, V850E/IH4-Hはこれらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、V850E/IG4-H, V850E/IH4-H外部で接続してください。

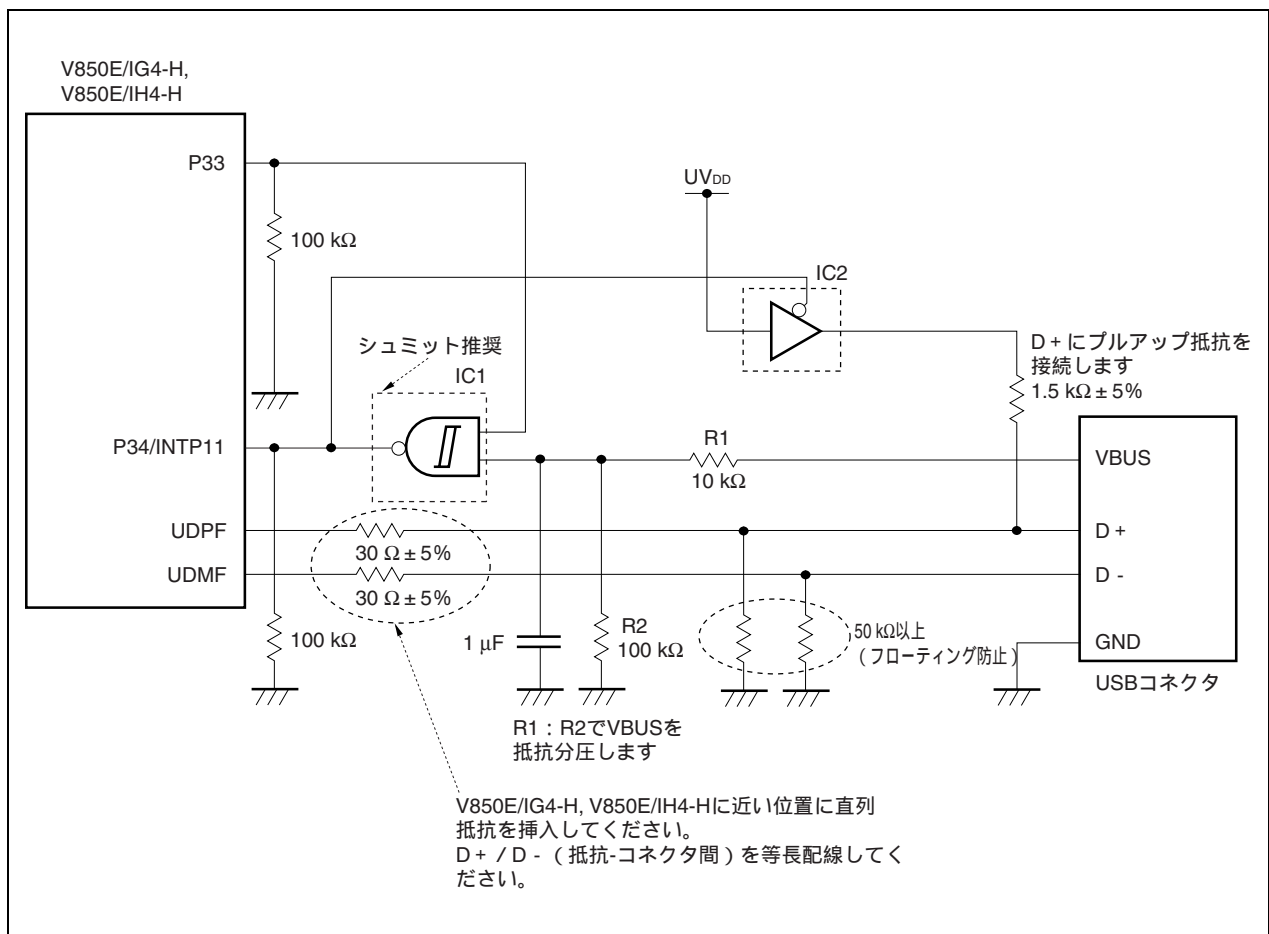
下記はUSB伝送路の構成概略図です。詳しい外付け構成については、各項にて説明します。

図18-2 USB伝送路のプルアップ、プルダウン、直列抵抗の概略構成



18.3.2 接続構成

図18-3 USBファンクション・コントローラ接続例



(1) D+ / D- への直列抵抗の接続

V850E/IG4-H, V850E/IH4-HのUSBファンクション・コントローラのD+ / D- 端子 (UDPF, UDMF) には、 $30\ \Omega \pm 5\%$ の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく、出力波形が乱れる原因となります。

直列抵抗は、なるべくV850E/IG4-H, V850E/IH4-Hに近い位置に配置し、直列抵抗からUSBコネクタまでは、D+ / D- のインピーダンスが等しくなるよう、なるべく等長配線してください (差動で $90\ \Omega \pm 5\%$ を推奨します)。

(2) D+ のプルアップ制御

V850E/IG4-H, V850E/IH4-Hのファンクション・コントローラはフルスピード (FS) です。D+ 端子 (UDPF) は $1.5\ \text{k}\Omega \pm 5\%$ でUVDDにプルアップしてください。

USBホスト / HUBへの接続通知 (D+ プルアップ) を禁止したい場合 (優先度の高い処理中、初期化処理中など)、システムではD+ のプルアップを汎用ポートにより制御してください。図18-3の回路例のようにD+ のプルアップ制御信号およびVBUS入力信号は、汎用ポートとUSBケーブルVBUSを使用して (AND回路)、制御してください。図18-3では、汎用ポートがロウ・レベルの場合、D+ プルアップ禁止となります。

また、図18-3のIC2には、システム電源オフ時に電圧印加が可能なICを使用してください。

(3) USBケーブル接続/切断の検出

USBファンクション・コントローラ (USBF) は、ハードウェアでUSBFのステートなどを管理しているため、接続/切断を認識するVBUS入力信号が必要となります。VBUS入力信号は、USBFが電源オフの場合に、USBホスト/HUBにUSBケーブルVBUSが接続されると、USBホスト/HUBから電圧(5V)が印加されます。そのため、図18-3のIC1には、システム電源オフ時に電圧印加が可能なICを使用してください。また、図18-3の回路において、切断する際、VBUSの電圧降下中にINTP11への入力信号が不安定になる場合があります。このため、図18-3のIC1にはシュミット・バッファを使用することを推奨します。

(4) 初期化時または未使用時のフローティング防止

初期化時または未使用時には、フローティング状態を避けるため、D+ / D- 端子は50 kΩ以上でプルダウンしてください。

18.4 注意事項

USBファンクション・コントローラを動作させるには、USBクロックとして、内部クロック（外部12 MHz×内部8通倍の2分周 = 内部48 MHz）あるいは外部クロック（UCLK端子への外部クロック入力（ $f_{USB} = 48 \text{ MHz}$ ））が必要です。USBクロックには、内部クロック使用時には、 $12 \text{ MHz} \pm 500 \text{ ppm}$ 以下の精度の発振子を使用してください。また外部クロック使用時には、UCLK端子に $48 \text{ MHz} \pm 500 \text{ ppm}$ 以下の精度のクロックを供給してください。USBクロックの精度が低下すると、送信データがUSB規格を満足できなくなります。

18.5 リクエスト

USBには、ホスト・デバイスからの要求をファンクション・デバイスに伝え、応答処理させるための、リクエストと呼ばれるコマンドがあります。

リクエストは、コントロール転送のSETUPステージにて受信され、一部のリクエストを除いて、USBファンクション・コントローラ (USBF) のハードウェアにて自動処理することができます。

18.5.1 自動リクエスト

(1) デコード

次にリクエストのフォーマットとリクエスト・デコード対応表を示します。

表18-2 リクエストのフォーマット

オフセット	フィールド名	
0	bmRequestType	
1	bRequest	
2	wValue	下位側
3		上位側
4	wIndex	下位側
5		上位側
6	wLength	下位側
7		上位側

表18-3 リクエスト・デコード対応表

オフセット リクエスト	デコード値								応答			データ・ ステージ
	bmRequestType	bRequest	wValue		wIndex		wLength		Df	Ad	Cf	
	0	1	3	2	5	4	7	6				
GET_INTERFACE	81H	0AH	00H	00H	00H	0nH	00H	01H	STALL	STALL	ACK NAK	
GET_CONFIGURATION	80H	08H	00H	00H	00H	00H	00H	01H	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Device	80H	06H	01H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Configuration	80H	06H	02H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Device	80H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint 0	82H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint X	82H	00H	00H	00H	00H	\$\$H	00H	02H	STALL	STALL	ACK NAK	
CLEAR_FEATURE Device ^{注2}	00H	01H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint 0 ^{注2}	02H	01H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint X ^{注2}	02H	01H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_FEATURE Device ^{注3}	00H	03H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint 0 ^{注3}	02H	03H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint X ^{注3}	02H	03H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_INTERFACE	01H	0BH	00H	0#H	00H	0?H	00H	00H	STALL	STALL	ACK NAK	×
SET_CONFIGURATION ^{注4}	00H	09H	00H	00H 01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_ADDRESS	00H	05H	XXH	XXH	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×

備考 : データ・ステージあり

× : データ・ステージなし

注1. wLength値が準備している値未満の場合、wLength値までを返信し、wLength値が準備している値以上の場合、準備している値までを返信します。

2. CLEAR_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL)、UF0 EPnステータス・レジスタL (UF0EnSL) (n = 0-4, 7) をクリアします。

- 注3. SET_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL) , UF0 EPhステータス・レジスタL (UF0EnSL) (n = 0-4, 7) をセットします。また、UF0E0SLレジスタのE0HALTビットを設定した場合は、CLEAR_FEATURE Endpoint0リクエストを受信するまで、GET_STATUS Endpoint0リクエスト、SET_FEATURE Endpoint0リクエスト、CPUDEC割り込み要求の発生するリクエスト以外のコントロール転送のデータ・ステージまたはステータス・ステージでSTALL応答します。なお、サポートしていないリクエストについてのSTALL応答では、UF0E0SLレジスタのE0HALTビットはセット (1) されず、次のSETUPトークンを受信した時点でSTALL応答はクリアされます。
4. wValue値が規定外の場合、自動STALL応答します。

注意1. 次に示す条件では、Universal Serial Bus Specificationで規定されているコントロール転送のシーケンスを満しません。この場合の動作は保証できません。

- SETUPステージなしにいきなりIN/OUTトークンを受信する場合
 - SETUPステージのデータ・フェーズでDATA PID1を送ってくる場合
 - アドレス128以上のトークンを受信する場合
 - SETUPステージで送信されるリクエスト・データが8バイト未満の場合
2. ステータス・ステージにおいて、ホストがNullパケット以外のデータを送信してきた場合でも、ACK応答します。
3. FW処理のコントロール転送 (リード) では、wLength値が00Hであった場合、コントロール転送 (データなし) としてNullパケットを自動送出します。FWリクエストの場合は、Nullパケットを自動送出しません。

備考1. Df : Defaultステート, Ad : Addressedステート, Cf : Configuredステート

2. n = 0-4
Interface番号1-4のリクエストに対して正常応答するか、またはSTALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定により、対象のInterface番号が有効かどうかで決定します。
3. \$\$: 転送方向を含んだ有効なEndpoint番号
有効なEndpointは現在設定されているAlternate Setting番号により決定します (18. 6. 3 (36) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) , (38) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM) - (42) UF0エンドポイント7インタフェース・マッピング・レジスタ (UF0E7IM) 参照)。
4. ?と#: ホストから送信される値 (Interface番号0-4の情報)
各Interface番号に対応したAlternate Settingのリクエストに対して正常応答するか、STALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) とUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) により、対象のInterface番号と対象のAlternate Settingが有効かどうかによって決まります。

(2) 処理内容

次に自動リクエストのDefaultステート, Addressedステート, Configuredステートでの処理内容を示します。

備考 Defaultステート : Default addressで動作する状態

Addressedステート : アドレスが割り当てられたあとの状態

Configuredステート : SET_CONFIGURATION wValue = 1を正常受信したあとの状態

(a) CLEAR_FEATURE()リクエスト

CLEAR_FEATURE()リクエストが, クリアできない, 存在しないFEATUREである, 対象がInterfaceか, または存在しないEndpointの場合には, ステータス・ステージでSTALL応答します。また, wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

CLEAR_FEATURE()リクエストを正常処理した場合には, UF0 CLRリクエスト・レジスタ (UF0CLR) の対象ビットがセット (1) され, UF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがクリア (0) され, 割り込みが発行されます (n = 0-4, 7)。なお, 対象がEndpointのとき, CLEAR_FEATURE()リクエストを受信した場合には, 対象Endpointのトグル・ビット (DATA0/DATA1の切り替え制御) は必ずDATA0に再設定されます。

(b) GET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表18-3 リクエスト・デコード対応表に記載以外のもの場合は, データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_CONFIGURATION()リクエストを受信したとき, UF0コンフィギュレーション・レジスタ (UF0CNF) に格納されている値を返信します。
- ・ Addressedステート : GET_CONFIGURATION()リクエストを受信したとき, UF0CNFレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_CONFIGURATION()リクエストを受信したとき, UF0CNFレジスタに格納されている値を返信します。

(c) GET_DESCRIPTOR()リクエスト

対象ディスクリプタがwMaxPacketSizeの倍数の長さを持つ場合には、データ・ステージの終わりを示すためにNullパケットを送り返します。そのとき、対象ディスクリプタの長さがwLength値未満の場合、対象ディスクリプタをすべて返信し、対象ディスクリプタの長さがwLength値以上の場合、wLength値まで返信します。

- ・ Defaultステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0デバイス・ディスクリプタ・レジスタn (UF0DDn)、UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタm (UF0CIEm)に格納されている値を返信します(n = 0-17, m = 0-255)。
- ・ Addressedステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。

UF0CIEmレジスタに格納できるディスクリプタは、総数256バイトまでです。256バイト以上のディスクリプタを返信する場合には、UF0MODCレジスタのCDCGDSTビットをセット(1)して、FWによりGET_DESCRIPTOR()リクエストを処理してください。

UF0CIEmレジスタで設定した全ディスクリプタのバイト数 - 1の値をUF0ディスクリプタ・レンジ・レジスタ (UF0DSCL) に格納してください。このデータ + 1の値とwLengthにより転送データを制御します。

(d) GET_INTERFACE()リクエスト

wValue、wLengthのいずれかが表18-3 リクエスト・デコード対応表に記載以外のもの場合、またはwIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_INTERFACE()リクエストを受信したとき、wIndex値に対応したUF0インタフェースnレジスタ (UF0IFn) に格納されている値を返信します (n = 0-4)。

(e) GET_STATUS()リクエスト

wValue, wIndex, wLengthのいずれかが表18 - 3 リクエスト・デコード対応表に記載以外のもの場合は、データ・ステージでSTALL応答します。また、対象がInterfaceか、または存在しないEndpointの場合は、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。

注対象ステータス・レジスタを次に示します。

- ・ 対象がデバイスの場合 : UF0デバイス・ステータス・レジスタL (UF0DSTL)
- ・ 対象がEndpoint0の場合 : UF0 EP0ステータス・レジスタL (UF0E0SL)
- ・ 対象がEndpoint nの場合 : UF0 EPnステータス・レジスタL (UF0EnSL) (n = 1-4, 7)

(f) SET_ADDRESS()リクエスト

wIndex, wLengthのいずれかが表18 - 3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。指定されたデバイス・アドレスが127より大きい場合は、STALL応答になります。

- ・ Defaultステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0以外の場合には、デバイスはAddressedステートに入り、SIEへ入力するUSB Address値を指定のアドレス値に変更します。指定されたアドレスが0の場合には、Defaultステートのままです。
- ・ Addressedステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはDefaultステートに入り、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。指定されたアドレスが0以外の場合には、Addressedステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。
- ・ Configuredステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはConfiguredステートのままで、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。この場合、Endpoint0以外のEndpointも有効のままで、コントロール転送 (IN)、コントロール転送 (OUT)、Endpoint0以外のEndpointに対するバルク転送およびインタラプト転送にも応答します。指定されたアドレスが0以外の場合には、Configuredステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。

(g) SET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表18 - 3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0モード・ステータス・レジスタ (UF0MODS) のCONFビットとUF0コンフィギュレーション・レジスタ (UF0CNF) がセット (1) されます。指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) されます。つまり、Addressedステートをスキップして、Default addressに응答するConfiguredステートに移行します。
- ・ Addressedステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがセット (1) され、Configuredステートに入り、指定されたコンフィギュレーション値が0の場合には、Addressedステートのままです。
- ・ Configuredステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) され、Addressedステートに戻り、指定されたコンフィギュレーション値が1の場合には、Configuredステートのままです。

SET_CONFIGURATION()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットがセット (1) され、割り込みが発行されます。指定されたコンフィギュレーション値が現在のコンフィギュレーション値と同じ場合でも、すべてのHalt FeatureはSET_CONFIGURATION()リクエストを完了したあとにクリアされます。また、SET_CONFIGURATION()リクエストを正常処理した場合には、必ずすべてのEndpointのデータ・トグルはDATA0に再び初期化されます (SET_CONFIGURATIONリクエストの受信からSET_INTERFACEリクエストを受信するまではデフォルト状態であるAlternative Setting 0に設定されているものと定義しています)。

(h) SET_FEATURE()リクエスト

SET_FEATURE()リクエストが、セットできない、存在しないFeatureである、対象がInterfaceか、または存在しないEndpointの場合には、ステータス・ステージでSTALL応答します。また、wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

SET_FEATURE()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットやUF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがセット (1) され、割り込みが発行されます (n = 0-4, 7)。

(i) SET_INTERFACE()リクエスト

wLengthが表18-3 リクエスト・デコード対応表に記載以外のもの場合、wIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、wValueがUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) 設定以外の場合のいずれかのときに、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでNullパケットを送信します。

SET_INTERFACE()リクエストを正常処理した場合には、割り込みが発行されます。対象InterfaceにリンクされたEndpointのすべてのHalt Featureは、SET_INTERFACE()リクエストを完了したあとにクリアされます。対象Interface番号に関連するすべてのEndpointのデータ・トグルは、必ずDATA0に再び初期化されます。また、SET_INTERFACE()リクエストを正常処理して、現在選択されているAlternative Settingと異なる設定に変更する場合には、影響を受けるEndpointのFIFOは完全にクリアされ、関連するすべての割り込み要因なども初期化されます。

SET_INTERFACE()リクエスト完了時、対象InterfaceにリンクされたすべてのEndpointのFIFOがクリアされます。また、同時にHalt Feature、Data PIDが初期化され、関連するUF0 INTステータスnレジスタ (UF0ISn) がクリア (0) されます (n = 0-4) (SET_CONFIGURATIONリクエスト完了時には、Halt FeatureのクリアとData PIDの初期化のみです)。

18.5.2 その他のリクエスト

(1) 応答と処理方法

次にその他のリクエストの応答と処理方法を示します。

表18 - 4 その他のリクエストの応答と処理方法

リクエスト	応答と処理方法
GET_DESCRIPTOR String	CPUDEC割り込み要求発生
GET_STATUS Interface	自動STALL応答
CLEAR_FEATURE Interface	自動STALL応答
SET_FEATURE Interface	自動STALL応答
all SET_DESCRIPTOR	CPUDEC割り込み要求発生
その他の全リクエスト	CPUDEC割り込み要求発生

18.6 レジスタ構成

18.6.1 USB制御レジスタ

(1) USBクロック選択レジスタ (UCKSEL)

USBコントローラの動作クロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF80H							
	7	6	5	4	3	2	①	0								
UCKSEL	0	0	0	0	0	0	UUSEL1	0								
UUSEL1	USBファンクション・コントローラ動作クロックの選択															
0	UCLK端子へ外部クロック入力 (f _{USB} = 48 MHz)															
1	PLL出力クロック (96 MHz) の2分周クロック (f _{USB} = 48 MHz)															
<p>注意 ビット0, 2-7には必ず0を設定してください。</p>																

(2) USBファンクション制御レジスタ (UFCTL)

USBファンクション・コントローラ動作の許可/禁止を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、03Hになります。

リセット時：03H								R/W	アドレス：FFFFFF81H							
	7	6	5	4	3	2	①	②								
UFCTL	0	0	0	0	0	0	UFBUFC	UFC								
UFBUFC	UFC	USBファンクション・コントローラ動作許可/禁止														
0	0	動作許可														
1	1	動作禁止														
上記以外		設定禁止														

18. 6. 2 USBファンクション・コントローラ・レジスタ一覧

(1) EPC制御レジスタ

(1/2)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400000H	UF0 EP0NAKレジスタ	UF0E0N	R/W				00H
00400002H	UF0 EP0NAKALLレジスタ	UF0E0NA	R/W				00H
00400004H	UF0 EPNAKレジスタ	UF0EN	R/W				00H
00400006H	UF0 EPNAKマスク・レジスタ	UF0ENM	R/W				00H
00400008H	UF0 SNDSIE レジスタ	UF0SDS	R/W				00H
0040000AH	UF0 CLRリクエスト・レジスタ	UF0CLR	R				00H
0040000CH	UF0 SETリクエスト・レジスタ	UF0SET	R				00H
0040000EH	UF0 EPステータス0レジスタ	UF0EPS0	R				00H
00400010H	UF0 EPステータス1レジスタ	UF0EPS1	R				00H
00400012H	UF0 EPステータス2レジスタ	UF0EPS2	R				00H
00400020H	UF0 INTステータス0レジスタ	UF0IS0	R				00H
00400022H	UF0 INTステータス1レジスタ	UF0IS1	R				00H
00400024H	UF0 INTステータス2レジスタ	UF0IS2	R				00H
00400026H	UF0 INTステータス3レジスタ	UF0IS3	R				00H
00400028H	UF0 INTステータス4レジスタ	UF0IS4	R				00H
0040002EH	UF0 INTマスク0レジスタ	UF0IM0	R/W				00H
00400030H	UF0 INTマスク1レジスタ	UF0IM1	R/W				00H
00400032H	UF0 INTマスク2レジスタ	UF0IM2	R/W				00H
00400034H	UF0 INTマスク3レジスタ	UF0IM3	R/W				00H
00400036H	UF0 INTマスク4レジスタ	UF0IM4	R/W				00H
0040003CH	UF0 INTクリア0レジスタ	UF0IC0	W				FFH
0040003EH	UF0 INTクリア1レジスタ	UF0IC1	W				FFH
00400040H	UF0 INTクリア2レジスタ	UF0IC2	W				FFH
00400042H	UF0 INTクリア3レジスタ	UF0IC3	W				FFH
00400044H	UF0 INTクリア4レジスタ	UF0IC4	W				FFH
00400060H	UF0 FIFOクリア0レジスタ	UF0FIC0	W				00H
00400062H	UF0 FIFOクリア1レジスタ	UF0FIC1	W				00H
0040006AH	UF0データ・エンド・レジスタ	UF0DEND	R/W				00H
0040006EH	UF0 GPRレジスタ	UF0GPR	W				00H
00400074H	UF0モード・コントロール・レジスタ	UF0MODC	R/W				00H
00400078H	UF0モード・ステータス・レジスタ	UF0MODS	R				00H

(2/2)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400080H	UF0アクティブ・インタフェース・ナンバー・レジスタ	UF0AIFN	R/W				00H
00400082H	UF0アクティブ・オルタナティブ・セッティング・レジスタ	UF0AAS	R/W				00H
00400084H	UF0オルタナティブ・セッティング・ステータス・レジスタ	UF0ASS	R				00H
00400086H	UF0エンドポイント1インタフェース・マッピング・レジスタ	UF0E1IM	R/W				00H
00400088H	UF0エンドポイント2インタフェース・マッピング・レジスタ	UF0E2IM	R/W				00H
0040008AH	UF0エンドポイント3インタフェース・マッピング・レジスタ	UF0E3IM	R/W				00H
0040008CH	UF0エンドポイント4インタフェース・マッピング・レジスタ	UF0E4IM	R/W				00H
00400092H	UF0エンドポイント7インタフェース・マッピング・レジスタ	UF0E7IM	R/W				00H

(2) EPCデータ保持レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400100 H	UF0 EP0リード・レジスタ	UF0E0R	R				不定
00400102H	UF0 EP0レンジス・レジスタ	UF0E0L	R				00H
00400104H	UF0 EP0セットアップ・レジスタ	UF0E0ST	R				00H
00400106H	UF0 EP0ライト・レジスタ	UF0E0W	W				不定
00400108H	UF0バルク・アウト1レジスタ	UF0BO1	R				不定
0040010AH	UF0バルク・アウト1レンジス・レジスタ	UF0BO1L	R				00H
0040010CH	UF0バルク・アウト2レジスタ	UF0BO2	R				不定
0040010EH	UF0バルク・アウト2レンジス・レジスタ	UF0BO2L	R				00H
00400110H	UF0バルク・イン1レジスタ	UF0BI1	W				不定
00400112H	UF0バルク・イン2レジスタ	UF0BI2	W				不定
00400114H	UF0インタラプト1レジスタ	UF0INT1	W				不定

(3) EPCリクエスト・データ・レジスタ

(1/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400144H	UF0デバイス・ステータス・レジスタL	UF0DSTL	R/W				00H
0040014CH	UF0 EP0ステータス・レジスタL	UF0E0SL	R/W				00H
00400150H	UF0 EP1ステータス・レジスタL	UF0E1SL	R/W				00H
00400154H	UF0 EP2ステータス・レジスタL	UF0E2SL	R/W				00H
00400158H	UF0 EP3ステータス・レジスタL	UF0E3SL	R/W				00H
0040015CH	UF0 EP4ステータス・レジスタL	UF0E4SL	R/W				00H
00400168H	UF0 EP7ステータス・レジスタL	UF0E7SL	R/W				00H
00400180H	UF0アドレス・レジスタ	UF0ADRS	R				00H
00400182H	UF0コンフィギュレーション・レジスタ	UF0CNF	R				00H
00400184H	UF0インタフェース0レジスタ	UF0IF0	R				00H
00400186H	UF0インタフェース1レジスタ	UF0IF1	R				00H
00400188H	UF0インタフェース2レジスタ	UF0IF2	R				00H
0040018AH	UF0インタフェース3レジスタ	UF0IF3	R				00H
0040018CH	UF0インタフェース4レジスタ	UF0IF4	R				00H
004001A0H	UF0ディスクリプタ・レングス・レジスタ	UF0D_SCL	R/W				00H
004001A2H	UF0デバイス・ディスクリプタ・レジスタ0	UF0DD0	R/W				不定
004001A4H	UF0デバイス・ディスクリプタ・レジスタ1	UF0DD1	R/W				不定
004001A6H	UF0デバイス・ディスクリプタ・レジスタ2	UF0DD2	R/W				不定
004001A8H	UF0デバイス・ディスクリプタ・レジスタ3	UF0DD3	R/W				不定
004001AAH	UF0デバイス・ディスクリプタ・レジスタ4	UF0DD4	R/W				不定
004001ACH	UF0デバイス・ディスクリプタ・レジスタ5	UF0DD5	R/W				不定
004001AEH	UF0デバイス・ディスクリプタ・レジスタ6	UF0DD6	R/W				不定
004001B0H	UF0デバイス・ディスクリプタ・レジスタ7	UF0DD7	R/W				不定
004001B2H	UF0デバイス・ディスクリプタ・レジスタ8	UF0DD8	R/W				不定
004001B4H	UF0デバイス・ディスクリプタ・レジスタ9	UF0DD9	R/W				不定
004001B6H	UF0デバイス・ディスクリプタ・レジスタ10	UF0DD10	R/W				不定
004001B8H	UF0デバイス・ディスクリプタ・レジスタ11	UF0DD11	R/W				不定
004001BAH	UF0デバイス・ディスクリプタ・レジスタ12	UF0DD12	R/W				不定
004001BCH	UF0デバイス・ディスクリプタ・レジスタ13	UF0DD13	R/W				不定
004001BEH	UF0デバイス・ディスクリプタ・レジスタ14	UF0DD14	R/W				不定
004001C0H	UF0デバイス・ディスクリプタ・レジスタ15	UF0DD15	R/W				不定
004001C2H	UF0デバイス・ディスクリプタ・レジスタ16	UF0DD16	R/W				不定
004001C4H	UF0デバイス・ディスクリプタ・レジスタ17	UF0DD17	R/W				不定
004001C6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ0	UF0CIE0	R/W				不定
004001C8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ1	UF0CIE1	R/W				不定
004001CAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ2	UF0CIE2	R/W				不定
004001CCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ3	UF0CIE3	R/W				不定

(2/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
004001CEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ4	UF0CIE4	R/W				不定
004001D0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ5	UF0CIE5	R/W				不定
004001D2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ6	UF0CIE6	R/W				不定
004001D4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ7	UF0CIE7	R/W				不定
004001D6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ8	UF0CIE8	R/W				不定
004001D8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ9	UF0CIE9	R/W				不定
004001DAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ10	UF0CIE10	R/W				不定
004001DCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ11	UF0CIE11	R/W				不定
004001DEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ12	UF0CIE12	R/W				不定
004001E0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ13	UF0CIE13	R/W				不定
004001E2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ14	UF0CIE14	R/W				不定
004001E4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ15	UF0CIE15	R/W				不定
004001E6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ16	UF0CIE16	R/W				不定
004001E8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ17	UF0CIE17	R/W				不定
004001EAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ18	UF0CIE18	R/W				不定
004001ECH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ19	UF0CIE19	R/W				不定
004001EEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ20	UF0CIE20	R/W				不定
004001F0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ21	UF0CIE21	R/W				不定
004001F2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ22	UF0CIE22	R/W				不定
004001F4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ23	UF0CIE23	R/W				不定
004001F6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ24	UF0CIE24	R/W				不定
004001F8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ25	UF0CIE25	R/W				不定

(3/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
004001FAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ26	UF0CIE26	R/W				不定
004001FCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ27	UF0CIE27	R/W				不定
004001FEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ28	UF0CIE28	R/W				不定
00400200H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ29	UF0CIE29	R/W				不定
00400202H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ30	UF0CIE30	R/W				不定
00400204H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ31	UF0CIE31	R/W				不定
00400206H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ32	UF0CIE32	R/W				不定
00400208H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ33	UF0CIE33	R/W				不定
0040020AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ34	UF0CIE34	R/W				不定
0040020CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ35	UF0CIE35	R/W				不定
0040020EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ36	UF0CIE36	R/W				不定
00400210H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ37	UF0CIE37	R/W				不定
00400212H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ38	UF0CIE38	R/W				不定
00400214H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ39	UF0CIE39	R/W				不定
00400216H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ40	UF0CIE40	R/W				不定
00400218H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ41	UF0CIE41	R/W				不定
0040021AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ42	UF0CIE42	R/W				不定
0040021CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ43	UF0CIE43	R/W				不定
0040021EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ44	UF0CIE44	R/W				不定
00400220H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ45	UF0CIE45	R/W				不定
00400222H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ46	UF0CIE46	R/W				不定
00400224H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ47	UF0CIE47	R/W				不定

(4/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400226H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ48	UF0CIE48	R/W				不定
00400228H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ49	UF0CIE49	R/W				不定
0040022AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ50	UF0CIE50	R/W				不定
0040022CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ51	UF0CIE51	R/W				不定
0040022EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ52	UF0CIE52	R/W				不定
00400230H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ53	UF0CIE53	R/W				不定
00400232H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ54	UF0CIE54	R/W				不定
00400234H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ55	UF0CIE55	R/W				不定
00400236H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ56	UF0CIE56	R/W				不定
00400238H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ57	UF0CIE57	R/W				不定
0040023AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ58	UF0CIE58	R/W				不定
0040023CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ59	UF0CIE59	R/W				不定
0040023EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ60	UF0CIE60	R/W				不定
00400240H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ61	UF0CIE61	R/W				不定
00400242H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ62	UF0CIE62	R/W				不定
00400244H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ63	UF0CIE63	R/W				不定
00400246H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ64	UF0CIE64	R/W				不定
00400248H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ65	UF0CIE65	R/W				不定
0040024AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ66	UF0CIE66	R/W				不定
0040024CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ67	UF0CIE67	R/W				不定
0040024EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ68	UF0CIE68	R/W				不定
00400250H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ69	UF0CIE69	R/W				不定

(5/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400252H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ70	UF0CIE70	R/W				不定
00400254H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ71	UF0CIE71	R/W				不定
00400256H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ72	UF0CIE72	R/W				不定
00400258H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ73	UF0CIE73	R/W				不定
0040025AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ74	UF0CIE74	R/W				不定
0040025CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ75	UF0CIE75	R/W				不定
0040025EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ76	UF0CIE76	R/W				不定
00400260H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ77	UF0CIE77	R/W				不定
00400262H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ78	UF0CIE78	R/W				不定
00400264H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ79	UF0CIE79	R/W				不定
00400266H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ80	UF0CIE80	R/W				不定
00400268H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ81	UF0CIE81	R/W				不定
0040026AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ82	UF0CIE82	R/W				不定
0040026CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ83	UF0CIE83	R/W				不定
0040026EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ84	UF0CIE84	R/W				不定
00400270H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ85	UF0CIE85	R/W				不定
00400272H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ86	UF0CIE86	R/W				不定
00400274H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ87	UF0CIE87	R/W				不定
00400276H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ88	UF0CIE88	R/W				不定
00400278H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ89	UF0CIE89	R/W				不定
0040027AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ90	UF0CIE90	R/W				不定
0040027CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ91	UF0CIE91	R/W				不定

(6/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0040027EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ92	UF0CIE92	R/W				不定
00400280H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ93	UF0CIE93	R/W				不定
00400282H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ94	UF0CIE94	R/W				不定
00400284H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ95	UF0CIE95	R/W				不定
00400286H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ96	UF0CIE96	R/W				不定
00400288H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ97	UF0CIE97	R/W				不定
0040028AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ98	UF0CIE98	R/W				不定
0040028CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ99	UF0CIE99	R/W				不定
0040028EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ100	UF0CIE100	R/W				不定
00400290H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ101	UF0CIE101	R/W				不定
00400292H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ102	UF0CIE102	R/W				不定
00400294H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ103	UF0CIE103	R/W				不定
00400296H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ104	UF0CIE104	R/W				不定
00400298H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ105	UF0CIE105	R/W				不定
0040029AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ106	UF0CIE106	R/W				不定
0040029CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ107	UF0CIE107	R/W				不定
0040029EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ108	UF0CIE108	R/W				不定
004002A0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ109	UF0CIE109	R/W				不定
004002A2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ110	UF0CIE110	R/W				不定
004002A4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ111	UF0CIE111	R/W				不定
004002A6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ112	UF0CIE112	R/W				不定
004002A8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ113	UF0CIE113	R/W				不定

(7/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
004002AAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ114	UF0CIE114	R/W				不定
004002ACH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ115	UF0CIE115	R/W				不定
004002AEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ116	UF0CIE116	R/W				不定
004002B0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ117	UF0CIE117	R/W				不定
004002B2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ118	UF0CIE118	R/W				不定
004002B4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ119	UF0CIE119	R/W				不定
004002B6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ120	UF0CIE120	R/W				不定
004002B8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ121	UF0CIE121	R/W				不定
004002BAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ122	UF0CIE122	R/W				不定
004002BCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ123	UF0CIE123	R/W				不定
004002BEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ124	UF0CIE124	R/W				不定
004002C0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ125	UF0CIE125	R/W				不定
004002C2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ126	UF0CIE126	R/W				不定
004002C4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ127	UF0CIE127	R/W				不定
004002C6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ128	UF0CIE128	R/W				不定
004002C8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ129	UF0CIE129	R/W				不定
004002CAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ130	UF0CIE130	R/W				不定
004002CCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ131	UF0CIE131	R/W				不定
004002CEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ132	UF0CIE132	R/W				不定
004002D0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ133	UF0CIE133	R/W				不定
004002D2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ134	UF0CIE134	R/W				不定
004002D4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ135	UF0CIE135	R/W				不定

(8/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
004002D6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ136	UF0CIE136	R/W				不定
004002D8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ137	UF0CIE137	R/W				不定
004002DAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ138	UF0CIE138	R/W				不定
004002DCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ139	UF0CIE139	R/W				不定
004002DEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ140	UF0CIE140	R/W				不定
004002E0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ141	UF0CIE141	R/W				不定
004002E2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ142	UF0CIE142	R/W				不定
004002E4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ143	UF0CIE143	R/W				不定
004002E6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ144	UF0CIE144	R/W				不定
004002E8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ145	UF0CIE145	R/W				不定
004002EAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ146	UF0CIE146	R/W				不定
004002ECH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ147	UF0CIE147	R/W				不定
004002EEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ148	UF0CIE148	R/W				不定
004002F0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ149	UF0CIE149	R/W				不定
004002F2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ150	UF0CIE150	R/W				不定
004002F4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ151	UF0CIE151	R/W				不定
004002F6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ152	UF0CIE152	R/W				不定
004002F8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ153	UF0CIE153	R/W				不定
004002FAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ154	UF0CIE154	R/W				不定
004002FCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ155	UF0CIE155	R/W				不定
004002FEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ156	UF0CIE156	R/W				不定
00400300H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ157	UF0CIE157	R/W				不定

(9/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400302H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ158	UF0CIE158	R/W				不定
00400304H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ159	UF0CIE159	R/W				不定
00400306H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ160	UF0CIE160	R/W				不定
00400308H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ161	UF0CIE161	R/W				不定
0040030AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ162	UF0CIE162	R/W				不定
0040030CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ163	UF0CIE163	R/W				不定
0040030EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ164	UF0CIE164	R/W				不定
00400310H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ165	UF0CIE165	R/W				不定
00400312H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ166	UF0CIE166	R/W				不定
00400314H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ167	UF0CIE167	R/W				不定
00400316H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ168	UF0CIE168	R/W				不定
00400318H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ169	UF0CIE169	R/W				不定
0040031AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ170	UF0CIE170	R/W				不定
0040031CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ171	UF0CIE171	R/W				不定
0040031EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ172	UF0CIE172	R/W				不定
00400320H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ173	UF0CIE173	R/W				不定
00400322H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ174	UF0CIE174	R/W				不定
00400324H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ175	UF0CIE175	R/W				不定
00400326H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ176	UF0CIE176	R/W				不定
00400328H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ177	UF0CIE177	R/W				不定
0040032AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ178	UF0CIE178	R/W				不定
0040032CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ179	UF0CIE179	R/W				不定

(10/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0040032EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ180	UF0CIE180	R/W				不定
00400330H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ181	UF0CIE181	R/W				不定
00400332H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ182	UF0CIE182	R/W				不定
00400334H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ183	UF0CIE183	R/W				不定
00400336H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ184	UF0CIE184	R/W				不定
00400338H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ185	UF0CIE185	R/W				不定
0040033AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ186	UF0CIE186	R/W				不定
0040033CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ187	UF0CIE187	R/W				不定
0040033EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ188	UF0CIE188	R/W				不定
00400340H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ189	UF0CIE189	R/W				不定
00400342H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ190	UF0CIE190	R/W				不定
00400344H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ191	UF0CIE191	R/W				不定
00400346H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ192	UF0CIE192	R/W				不定
00400348H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ193	UF0CIE193	R/W				不定
0040034AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ194	UF0CIE194	R/W				不定
0040034CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ195	UF0CIE195	R/W				不定
0040034EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ196	UF0CIE196	R/W				不定
00400350H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ197	UF0CIE197	R/W				不定
00400352H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ198	UF0CIE198	R/W				不定
00400354H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ199	UF0CIE199	R/W				不定
00400356H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ200	UF0CIE200	R/W				不定
00400358H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ201	UF0CIE201	R/W				不定

(11/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0040035AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ202	UF0CIE202	R/W				不定
0040035CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ203	UF0CIE203	R/W				不定
0040035EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ204	UF0CIE204	R/W				不定
00400360H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ205	UF0CIE205	R/W				不定
00400362H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ206	UF0CIE206	R/W				不定
00400364H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ207	UF0CIE207	R/W				不定
00400366H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ208	UF0CIE208	R/W				不定
00400368H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ209	UF0CIE209	R/W				不定
0040036AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ210	UF0CIE210	R/W				不定
0040036CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ211	UF0CIE211	R/W				不定
0040036EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ212	UF0CIE212	R/W				不定
00400370H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ213	UF0CIE213	R/W				不定
00400372H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ214	UF0CIE214	R/W				不定
00400374H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ215	UF0CIE215	R/W				不定
00400376H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ216	UF0CIE216	R/W				不定
00400378H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ217	UF0CIE217	R/W				不定
0040037AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ218	UF0CIE218	R/W				不定
0040037CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ219	UF0CIE219	R/W				不定
0040037EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ220	UF0CIE220	R/W				不定
00400380H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ221	UF0CIE221	R/W				不定
00400382H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ222	UF0CIE222	R/W				不定
00400384H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ223	UF0CIE223	R/W				不定

(12/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400386H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ224	UF0CIE224	R/W				不定
00400388H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ225	UF0CIE225	R/W				不定
0040038AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ226	UF0CIE226	R/W				不定
0040038CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ227	UF0CIE227	R/W				不定
0040038EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ228	UF0CIE228	R/W				不定
00400390H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ229	UF0CIE229	R/W				不定
00400392H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ230	UF0CIE230	R/W				不定
00400394H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ231	UF0CIE231	R/W				不定
00400396H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ232	UF0CIE232	R/W				不定
00400398H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ233	UF0CIE233	R/W				不定
0040039AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ234	UF0CIE234	R/W				不定
0040039CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ235	UF0CIE235	R/W				不定
0040039EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ236	UF0CIE236	R/W				不定
004003A0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ237	UF0CIE237	R/W				不定
004003A2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ238	UF0CIE238	R/W				不定
004003A4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ239	UF0CIE239	R/W				不定
004003A6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ240	UF0CIE240	R/W				不定
004003A8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ241	UF0CIE241	R/W				不定
004003AAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ242	UF0CIE242	R/W				不定
004003ACH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ243	UF0CIE243	R/W				不定
004003AEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ244	UF0CIE244	R/W				不定
004003BOH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ245	UF0CIE245	R/W				不定

(13/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
004003B2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ246	UF0CIE246	R/W				不定
004003B4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ247	UF0CIE247	R/W				不定
004003B6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ248	UF0CIE248	R/W				不定
004003B8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ249	UF0CIE249	R/W				不定
004003BAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ250	UF0CIE250	R/W				不定
004003BCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ251	UF0CIE251	R/W				不定
004003BEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ252	UF0CIE252	R/W				不定
004003C0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ253	UF0CIE253	R/W				不定
004003C2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ254	UF0CIE254	R/W				不定
004003C4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ255	UF0CIE255	R/W				不定

(4) ブリッジ・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00400400H	ブリッジ割り込み・コントロール・レジスタ	BRGINTT	R/W				0000H
00400402H	ブリッジ割り込み・イネーブル・レジスタ	BRGINTE	R/W				0000H
00400404H	EPCマクロ・コントロール・レジスタ	EPCCLT	R/W				0000H
00400408H	CPU I/F バス・コントロール・レジスタ	CPUBCTL	R/W				0000H

18.6.3 EPC制御レジスタ

(1) UF0 EP0NAKレジスタ (UF0E0N)

Endpoint0のNAKを制御します (自動実行リクエストを除きます)。

8ビット単位でリード/ライト可能です (ただし、ビット0はリードだけ可能です)。

UF0FIC0, UF0FIC1レジスタをセットしてからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって、正確にステータスを読み出す必要がある場合は、UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は、EP0NKRビットに対する書き込みは無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0N	0	0	0	0	0	0	EP0NKR	EP0NKW	00400000H	00H

ビット位置	ビット名	意味
1	EP0NKR	Endpoint0へのOUTトークンに対するNAKを制御します (自動実行リクエストを除く)。Endpoint0がデータを正常受信した際に、ハードウェアによって自動的にセット (1) されます。FWによってUF0E0Rレジスタのデータが読み出されたときに (カウンタ値 = 0), ハードウェアによって自動的にクリア (0) されます。 1: NAKを送信する 0: NAKを送信しない (初期値) USBFBがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なおこの場合には、FWでこのビットをクリア (0) するまでUSBFBはNAKを送出しつづけます。UF0E0Rレジスタをクリアした場合には同時にこのビットもクリア (0) されます。
0	EP0NKW	Endpoint0へのINトークンに対するNAK制御状況を示します (自動実行リクエストを除く)。Endpoint0のデータが送信され、送信データをホストが正常受信した場合にハードウェアによって自動的にクリア (0) されます。UF0E0Wレジスタのデータはこのタイミングまで保持されます。したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。ショート・パケットを送る場合には必ずUF0DENDレジスタのE0DEDビットをセット (1) してください。FIFOフルの場合は自動的にセット (1) されます。UF0DENDレジスタのE0DEDビットがセット (1) された場合、同時にEP0NKWビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合、UF0E0Wレジスタがクリアされると同時にこのビットもクリア (0) されます。FWによりUF0E0Wをクリアした場合にも同時にこのビットもクリア (0) されます。

次に、IN/OUTトークンをともなうSETUPトランザクションの手順を示します。

(a) INトークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア (0) してください。次に、リクエストに従った処理を行い、INトークンでデータを返す必要がある場合はUF0E0Wレジスタにデータを書き込みます。書き込みが終了したあと、UF0IS1レジスタのPROTビットが0であることを確認してから、UF0DENDレジスタのE0DEDビットをセット (1) します。ハードウェアはEP0NKWビットがセット (1) されてから最初のINトークンでデータの送出手続きを行います。UF0IS1レジスタのPROTビットが1の場合、コントロール転送終了前にSETUPトランザクションが再度発生したことを示します。その場合は、UF0IC1レジスタのPROTCビットをクリア (0) することでUF0IS1レジスタのPROTビットをクリア (0) してから、再度UF0E0STレジスタからデータを読み出してください。あとから受信したリクエストを読み出すことが可能になります。

(b) OUTトークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア (0) してください。UF0E0Rレジスタからデータを読み出す前にUF0IS1レジスタのPROTビットが0であることを確認してください。もしPROTビットが1であれば無効なデータを保持しているので、FWによりFIFOをクリアしてください (EP0NKRビットは自動的にクリア (0) されます)。UF0IS1レジスタのPROTビットが0の場合はUF0E0Lレジスタのデータを読み出し、セットされている分だけのデータをUF0E0Rレジスタから読み出してください。UF0E0Rレジスタからのデータの読み出しが完了すると (UF0E0Rレジスタのカウンタが0になったときに)、ハードウェアは自動的にEP0NKRビットをクリア (0) します。

(2) UF0 EP0NAKALLレジスタ (UF0E0NA)

Endpoint0のすべてのリクエストのNAKを制御します。自動実行リクエストに対しても有効です。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0NA	0	0	0	0	0	0	0	EP0NKA	00400002H	00H

ビット位置	ビット名	意味
0	EP0NKA	<p>Endpoint0へのSETUPトランザクション以外のNAKを制御します (自動実行リクエストを含む)。このビットの操作はFWによって行います。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>このレジスタは、自動実行リクエストで使用するデータの変更を行う場合に、FWライトとSIEからのリードの競合を防止するためのもので、SIEからのアクセスが行われている間は、FWからこのビットへの書き込みの反映を保留する機能を持っています。FWによりリクエスト・データ・レジスタの書き換えを行う際には、このビットのセット (1) が正しく行えたことを確認してから実行してください。このビットのセット (1) が反映されるのは、次の場合に限りです。</p> <ul style="list-style-type: none"> ・ USBFがリセットされた直後でSETUPトークンを一度も受信していない ・ Bus Resetの受信直後でSETUPトークンを一度も受信していない ・ SETUPトークンのPIDを検出したとき ・ ステータス・ステージへ移行したとき <p>なお、クリア (0) はINトークンの受信中でNAK応答を行っている最中を除いてすぐに反映されます。</p> <p>Endpoint0転送中のEP0NKAビットのセット (1) 反映タイミングは上記の4つの場合となりますが、Endpoint0の転送以外の場合は書き込み後すぐに反映されません。</p>

(3) UF0 EPNAKレジスタ (UF0EN)

Endpoint0以外のEndpointのNAK制御などを行います。

8ビット単位でリード/ライト可能です (ただし, ビット4, 1, 0はリードだけ可能です)。

なお, BKO2NKビットはUF0ENMレジスタのBKO2NKMビット = 1のとき, BKO1NKビットはUF0ENMレジスタのBKO1NKMビット = 1のときだけライト可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは, 関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって, 正確にステータスを読み出す必要がある場合は, UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は, BKO1NK, BKO2NKビットに対する書き込みは無視されます。

ビット5-7には必ず0を設定してください。1を設定した場合の動作は保証できません。

(1/3)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EN	0	0	0	IT1NK	BKO2NK	BKO1NK	BKI2NK	BKI1NK	00400004H	00H

ビット位置	ビット名	意味
4	IT1NK	Endpoint7 (インタラプト1転送) に対するNAKを制御します。 データ書き込みによりUF0INT1レジスタがフルになるとこのビットは自動的にセット (1) され, 送信が開始されます。FIFOがフルにならないショート・パケットを送る場合には, UF0DENDレジスタのIT1DENDビットをセット (1) してください。IT1DENDビットがセット (1) されると, 同時にこのビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお, UF0INT1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。

ビット位置	ビット名	意 味
3	BKO2NK	<p>Endpoint4 (バルク2転送 (OUT)) に対するNAKを制御します。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>UF0BO2レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) <p>FWはBLKO2DT割り込み要求を受け取った時点でUF0BO2Lレジスタのデータを読み出し、その値分のデータをUF0BO2レジスタから読み出してください。USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なお、この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO2レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>
2	BKO1NK	<p>Endpoint2 (バルク1転送 (OUT)) に対するNAKを制御します。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>UF0BO1レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) <p>FWはBLKO1DT割り込み要求を受け取った時点でUF0BO1Lレジスタのデータを読み出し、その値分のデータをUF0BO1レジスタから読み出してください。USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なお、この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

ビット位置	ビット名	意味
1	BKI2NK	<p>Endpoint3 (バルク2転送 (IN)) に対するNAKを制御します。</p> <p>1: NAKを送信しない 0: NAKを送信する (初期値)</p> <p>UF0BI2レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア(0)されます。なお、トグル動作が行われるとセット(1)されます (UF0BI2レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルがUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みによりCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット(1)されデータ送信が開始されます。ただし、UF0DENDレジスタのBKI2Tビットがクリア(0)されている状態でのCPU側のFIFOへの書き込みでFIFOがフルになった場合は、UF0DENDレジスタのBKI2DEDビットがセット(1)されるまでトグル動作の条件を満たさないため、トグル動作は発生しません。CPU側のFIFOがフルにならないショート・パケットを送る場合には、データ書き込み完了後BKI2DEDビットをセット(1)してください。BKI2DEDビットがセット(1)されると、トグル動作が行われるのと同時にこのビットも自動的にセット(1)されます。UF0BI2レジスタをクリアした場合には同時にこのビットもクリア(0)されます。</p>
0	BKI1NK	<p>Endpoint1 (バルク1転送 (IN)) に対するNAKを制御します。</p> <p>1: NAKを送信しない 0: NAKを送信する (初期値)</p> <p>UF0BI1レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア(0)されます。なお、トグル動作が行われるとセット(1)されます (UF0BI1レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルがUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みでCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット(1)されデータ送信が開始されます。ただし、UF0DENDレジスタのBKI1Tビットがクリア(0)されている状態でのCPU側のFIFOへの書き込みでFIFOがフルになった場合は、UF0DENDレジスタのBKI1DEDビットがセット(1)されるまでトグル動作の条件を満たさないため、トグル動作は発生しません。CPU側のFIFOがフルにならないショート・パケットを送る場合には、データ書き込み完了後BKI1DEDビットをセット(1)してください。BKI1DEDビットがセット(1)されると、トグル動作が行われるのと同時にこのビットも自動的にセット(1)されます。UF0BI1レジスタをクリアした場合には同時にこのビットもクリア(0)されます。</p>

(4) UF0 EPNAKマスク・レジスタ (UF0ENM)

UF0ENレジスタに対する書き込みマスクを制御します。

8ビット単位でリード/ライト可能です。

ビット0, 1, 4-7には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ENM	0	0	0	0	BKO2NKM	BKO1NKM	0	0	00400006H	00H

ビット位置	ビット名	意 味
3	BKO2NKM	UF0ENレジスタのビット3 (BKO2NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)
2	BKO1NKM	UF0ENレジスタのビット2 (BKO1NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)

(5) UF0 SNDSIEレジスタ (UF0SDS)

ノー・ハンドシェークなどの操作を行います。SIEの端子を直接操作できます。

8ビット単位でリード/ライトが可能です。

ビット1, 2, 4-7には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SDS	0	0	0	0	SNDSTL	0	0	RSUMIN	00400008H	00H

ビット位置	ビット名	意味
3	SNDSTL	<p>Endpoint0に対してSTALLハンドシェークを発行させるようにします。CPUDEC処理のリクエストがシステムで対応していないものであるときにセット(1)することで、STALLハンドシェークで応答させます。SET_CONFIGURATION, SET_INTERFACEリクエストなどでサポートしていないwValueが送られてきた場合は、ハードウェアがこのビットをセット(1)します。自動リクエストでのオーバーラン等によりEndpoint0で問題が発生した場合もこのビットはセット(1)されます。ただし、UF0E0SLレジスタのE0HALTビットへのセット(1)は行われません。</p> <p>1: STALLハンドシェークで応答する 0: STALLハンドシェークで応答しない(初期値)</p> <p>なお、次のSETUPトークンを受信したときにこのビットはクリア(0)され、バスへのハンドシェーク応答はSTALL以外になります。FWでSNDSTLビットをセット(1)する場合には、UF0E0Wレジスタへの書き込みは行わないでください。また、セット(1)するタイミングによってはSTALL応答が間に合わずNAK応答を行ったあとに次の転送にSTALL応答する場合があります。</p> <p>このビットの設定は、セット(1)されたときに実行中のFW実行リクエストの間だけ有効です。次のSETUPトークン受信時に自動的にクリア(0)されます。</p> <p>備考 SNDSTLビットはFW実行リクエストに対してだけ有効です。</p>
0	RSUMIN	<p>USBバス上にResume信号を出力させます。UF0DSTLレジスタのRMWKビットがセット(1)されていないかぎり、このビットへの書き込みは無効となります。</p> <p>1: Resume信号を発生させる 0: Resume信号を発生させない(初期値)</p> <p>このビットがセット(1)されている間はResume信号を発生させ続けますので、一定時間経過したあとFWによりクリア(0)してください。内部でクロックによるサンプリングを行っているため、CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。</p>

(6) UF0 CLRリクエスト・レジスタ (UF0CLR)

受信されたCLEAR_FEATUREリクエストが何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときだけに意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット7には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CLR	0	CLREP7	CLREP4	CLREP3	CLREP2	CLREP1	CLREP0	CLRDEV	0040000AH	00H

ビット位置	ビット名	意味
6-1	CLREPn	CLEAR_FEATURE Endpoint nリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	CLRDEV	CLEAR_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

備考 n = 0-4, 7

(7) UF0 SETリクエスト・レジスタ (UF0SET)

自動処理を行ったSET_XXXXリクエスト (SET_INTERFACEを除く) が何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SET	SETCON	0	0	0	0	SETEP	0	SETDEV	0040000CH	00H

ビット位置	ビット名	意 味
7	SETCON	SET_CONFIGURATIONリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
2	SETEP	SET_FEATURE Endpoint nリクエスト (n = 0-4, 7)を受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	SETDEV	SET_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

(8) UF0 EPステータスレジスタ (UF0EPS0)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって，正確にステータスを読み出す必要がある場合はUF0FIC0, UF0FIC1レジスタに対するライトとUF0EPS0, UF0EPS1, UF0EPS2レジスタ，UF0E0Nレジスタ，UF0ENレジスタに対するリードとの間は4USBクロック以上空けてください。

ビット7には必ず0を設定してください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS0	0	IT1	BKOUT2	BKOUT1	BKIN2	BKIN1	EP0W	EP0R	0040000EH	00H

ビット位置	ビット名	意 味
6	IT1	UF0INT1レジスタ (FIFO) にデータがあることを示します。また，UF0DENDレジスタのIT1DENDビットをセット (1) することにより，UF0INT1レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0INT1レジスタのカウンタが0であっても，UF0DENDレジスタのIT1DENDビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
5, 4	BKOUTn	CPU側に接続されたUF0BOnレジスタ (FIFO) にデータがあることを示します。UF0BOnレジスタを構成しているFIFOが切り替わったときに，ハードウェアにより自動的にセット (1) されます。CPU側に接続されたUF0BOnレジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに，ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません (FIFOのトグルも発生しません)。 1: データがある 0: データがない (初期値)
3, 2	BKINn	CPU側に接続されたUF0Binレジスタ (FIFO) にデータがあることを示します。また，UF0DENDレジスタのBKInDEDビットをセット (1) することにより，UF0Binレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0Binレジスタのカウンタが0であっても，UF0DENDレジスタのBKInDEDビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。トグル動作時にクリア (0) されます。 1: データがある 0: データがない (初期値)

備考 n = 1, 2

(2/2)

ビット位置	ビット名	意 味
1	EP0W	UF0E0Wレジスタ (FIFO) にデータがあることを示します。また、UF0DENDレジスタのE0DEDビットをセット (1) することにより、UF0E0Wレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0E0Wレジスタのカウンタが0であっても、UF0DENDレジスタのE0DEDビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
0	EP0R	UF0E0Rレジスタ (FIFO) にデータがあることを示します。UF0E0Rレジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに、ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません。 1: データがある 0: データがない (初期値)

(9) UF0 EPステータス1レジスタ (UF0EPS1)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

ビット0-6には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS1	RSUM	0	0	0	0	0	0	0	00400010H	00H

ビット位置	ビット名	意 味
7	RSUM	<p>USBバスがResume状態にあることを示します。このビットは割り込み要求が発生したときにだけ意味を持ちます。</p> <p>1 : Suspend状態になった</p> <p>0 : Resume状態になった (初期値)</p> <p>内部でクロックによるサンプリングを行っているため、CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。SIEではCLKが停止した状態でもINTUSBF1信号は動作します。したがって割り込み制御レジスタ (UFIC1) を有効にするか、USBFに対するCLKの周波数を下げることで対応が可能になります。</p> <p>このビットは読み出したときに自動的にクリア (0) されます。</p>

(10) UF0 EPステータス2レジスタ (UF0EPS2)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

ビット6, 7には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS2	0	0	HALT7	HALT4	HALT3	HALT2	HALT1	HALT0	00400012H	00H

ビット位置	ビット名	意 味
5-0	HALTn	<p>現在Endpoint nがストールしていることを示すビットです。オーバラン発生や規定外リクエスト受信などのストール条件が成立した場合にセット(1)されます。これらのビットはハードウェアにより自動的にセット(1)されます。</p> <p>1: Endpointがストールしている 0: Endpointはストールしていない(初期値)</p> <p>オーバラン発生/規定外リクエスト受信などによりHALT0ビットがセット(1)されると，同時にSNDSTLビットもセット(1)されます。この状態で次のSETUPトークンを受信すると，SNDSTLビットがクリア(0)されるため，このビットもクリア(0)されます。なお，SET_FEATURE Endpoint0リクエストによりEndpoint0をストールさせた場合には，CLEAR_FEATURE Endpoint0リクエストを受信するかFWでHalt Featureをクリアするまでこのビットはクリア(0)されません。Endpoint0のHalt Featureをセットした状態でGET_STATUS Endpoint0, CLEAR_FEATURE Endpoint0, SET_FEATURE Endpoint0リクエスト，またはCPUDEC割り込み要求によりFWで処理を行うリクエストを受信した場合には，次のSETUPトークンを受信するまでHALT0ビットはマスクされ0になります。Endpoint nがCLEAR_FEATURE Endpointリクエストを受信するまでかEndpointがリンクされたInterfaceに対するSET_INTERFACE, SET_CONFIGURATIONリクエストでHalt Featureをクリアするまで，またはFWでHalt Featureをクリアするまで，HALTnビットはクリア(0)されません。SET_INTERFACE, SET_CONFIGURATIONリクエストを正常処理した場合には，wValue値が現行の設定値と同じであったとしてもEndpoint0を除いたすべての対象EndpointのHalt Featureはリクエストを処理したあとにクリアされ，これらのビットもクリア(0)されます。Endpoint0のHalt FeatureがセットされているとSET_INTERFACE, SET_CONFIGURATIONリクエストはSTALL応答されるため，Endpoint0のHalt Featureはクリアできません。</p>

備考 n = 0-4, 7

(11) UF0 INTステータス0レジスタ (UF0IS0)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT0Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC0レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

ビット3-5には必ず0を設定してください。

注意 USBFでは、Bus Reset, Resumeなど複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSBF0) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。

例えば、Bus Reset割り込み要因とResume割り込み要因が発生している場合には、2つの要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。

この条件で、Bus Reset割り込み要因だけをクリア (0) (UF0IC0.BUSRSTC = 0) した場合、Resume割り込み要因が残っているため、V850E/IG4-H, V850E/IH4-H内部のINTUSBF0割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSBF0割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS0	BUSRST	RSUSPD	0	0	0	SETRQ	CLRRQ	EPHALT	00400020H	00H

ビット位置	ビット名	意味
7	BUSRST	Bus Resetが行われたことを示します。 1: Bus Resetが行われた (割り込み要求発生) 0: Bus Reset状態ではない (初期値)
6	RSUSPD	ResumeまたはSuspend状態が発生したことを示します。FWでUF0EPS1レジスタのビット7を参照してください。 1: ResumeまたはSuspend状態が発生した (割り込み要求発生) 0: ResumeまたはSuspend状態が発生していない (初期値)
2	SETRQ	自動処理対象のSET_XXXXリクエストを受信し、自動処理を行ったことを示します (XXXX = CONFIGURATION, FEATURE)。 1: 自動処理対象のSET_XXXXリクエストを受信した (割り込み要求発生) 0: 自動処理対象のSET_XXXXリクエストを受信していない (初期値) このビットはステータス・ステージ終了後にセット (1) されます。リクエストの対象が何かはUF0SETレジスタを参照してください。FWによりUF0SETレジスタを読み出しても、自動的にクリア (0) されません。 なお、SET_FEATURE Endpointリクエストを受信したときはEPHALTビットもセット (1) されます。

(2/2)

ビット位置	ビット名	意 味
1	CLRRQ	<p>CLEAR_FEATURE リクエストを受信し、自動処理を行ったことを示します。</p> <p>1: CLEAR_FEATURE リクエストを受信した (割り込み要求発生)</p> <p>0: CLEAR_FEATURE リクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。</p> <p>CLEAR_FEATURE リクエストの対象が何かは UF0CLR レジスタを参照してください。FW により UF0CLR レジスタを読み出しても、自動的にクリア (0) されません。</p>
0	EPHALT	<p>Endpoint がストールしていることを示します。</p> <p>1: Endpoint がストールしている (割り込み要求発生)</p> <p>0: Endpoint がストールしていない (初期値)</p> <p>なお、FW のセットにより Endpoint をストールさせた場合もこのビットがセット (1) されます。</p> <p>ストールしている Endpoint は、UF0EPS2 レジスタを参照してください。</p> <p>CLEAR_FEATURE Endpoint, SET_INTERFACE, SET_CONFIGURATION リクエストを受信しても、自動的にクリア (0) されません。また Endpoint0 のオーバーラン発生の場合、次の SETUP トークンを受信しても、自動的にクリア (0) されません。</p> <p>注意 Endpoint0 の Halt Feature がセットされてこの割り込み要求が発生した場合でも、SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0 リクエストまたは FW 処理リクエストを受信してから次の前述以外の SETUP トークンを受信するまでは UF0EPS2 レジスタのビット0 はマスクされ0 になります。</p>

(12) UF0 INTステータス1レジスタ (UF0IS1)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT0Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC1レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。ただし、UF0IS1レジスタのSUCES, STGビットは次のSETUPトークン受信で自動的にクリア (0) されます。

注意 USBFでは、Bus Reset, Resumeなど複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSBF0) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。

例えば、Bus Reset割り込み要因とResume割り込み要因が発生している場合には、2つの要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。

この条件で、Bus Reset割り込み要因だけをクリア (0) (UF0IC0.BUSRSTC = 0) した場合、Resume割り込み要因が残っているため、V850E/IG4-H, V850E/IH4-H内部のINTUSBF0割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSBF0割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS1	0	E0IN	E0INDT	E0ODT	SUCES	STG	PROT	CPU DEC	00400022H	00H

ビット位置	ビット名	意味
6	E0IN	Endpoint0に対するINトークンを受信して、ハードウェアが自動的にNAKを送信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
5	E0INDT	UF0E0Wレジスタからデータが正常に送信されたことを示します。 1: UF0E0Wレジスタから送信が完了した (割り込み要求発生) 0: UF0E0Wレジスタから送信を完了していない (初期値) データはUF0E0NレジスタのEP0NKWビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。Nullパケットでもセット (1) されます。UF0E0Wレジスタに書き込みを行った最初のライト・アクセス時にハードウェアにより自動的にクリア (0) されます。

ビット位置	ビット名	意 味
4	E0ODT	<p>データがUF0E0Rレジスタに正常に受信されたことを示します。</p> <p>1: UF0E0Rレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0Rレジスタにデータがない (初期値)</p> <p>正常に受信するとハードウェアにより自動的にセット (1) され、同時にUF0EPS0レジスタのEP0Rビットもセット (1) されます。Nullパケットを受信した場合はセット (1) されません。FWによりUF0E0Rレジスタを読み出し、UF0E0Lレジスタの値が0になるとハードウェアにより自動的にクリア (0) されます。</p>
3	SUCES	<p>FW処理またはハードウェア処理リクエストのどちらかを受信し、ステータス・ステージを正常に終了したことを示します。</p> <p>1: コントロール転送を正常に処理し終わった (割り込み要求発生)</p> <p>0: コントロール転送を正常に処理し終わっていない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。また、次のSETUPトークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、コントロール転送のステータス・ステージでData PIDが0のデータ (Nullデータ) を受信した場合もSUCESビットがセット (1) されます。</p>
2	STG	<p>コントロール転送でステータス・ステージが変わったときにセット (1) されます。FW処理またはハードウェア処理のいずれのリクエストでも有効です。また、コントロール転送 (データなし) でもステータス・ステージが変わったときにはセット (1) されます。</p> <p>1: ステータス・ステージに入った (割り込み要求発生)</p> <p>0: ステータス・ステージに入っていない (初期値)</p> <p>このビットは次のSETUPトークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージが変わった場合でもセット (1) されます。この場合、FWでコントロール転送 (リード) を処理している場合にはUF0E0Wレジスタと同時にUF0E0NレジスタのEP0NKWビットもクリア (0) されます。</p>
1	PROT	<p>SETUPトークンを受信したことを示します。ハードウェア処理またはFW処理のいずれのリクエストでも有効です。</p> <p>1: SETUPトークンを正常受信した (割り込み要求発生)</p> <p>0: SETUPトークンを受信していない (初期値)</p> <p>このビットは、UF0E0STレジスタにデータを正常受信した際にセット (1) されます。UF0E0STレジスタを最初にリード・アクセスする際などに、FWによってクリア (0) してください。FWによりクリア (0) しなかった場合、次のSETUPトークンを正常に受け取ったことを認識できません。</p> <p>このビットは、コントロール転送中に再度SETUPトランザクションが行われたことを確実に認識するために使用します。コントロール転送中に再度SETUPトランザクションが行われ、2番目のリクエストがハードウェア実行の場合CPUDECビットはセット (1) されないため、このビットで確認することができます。</p>
0	CPUDEC	<p>UF0E0STレジスタにFWでデコードを行うリクエストがあることを示します。</p> <p>1: UF0E0STレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0STレジスタにデータがない (初期値)</p> <p>UF0E0STレジスタのデータをすべてリードすると、ハードウェアにより自動的にクリア (0) されます。</p>

(13) UF0 INTステータス2レジスタ (UF0IS2)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT1Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC2レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット1-3には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS2	BKI2IN	BKI2DT	BKI1IN	BKI1DT	0	0	0	IT1DT	00400024H	00H

ビット位置	ビット名	意味
7, 5	BKInIN	UF0BInレジスタ (Endpoint m) に対するINトークンを受信してNAKを返信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
6, 4	BKInDT	UF0BInレジスタ (Endpoint m) のFIFOのトグルが発生したことを示します。これはEndpoint mにデータを書き込めることを意味します。 1: FIFOのトグル動作が発生した (割り込み要求発生) 0: FIFOのトグル動作が発生していない (初期値) Endpoint mに書き込まれたデータはUF0ENレジスタのBKInNKビットがセット (1) された次のINトークンに同期して送信されますが、FIFOのトグル動作が発生してCPU側からデータが書き込めるようになると、このビットがハードウェアにより自動的にセット (1) されます。Nullパケットの場合でもFIFOの切り替えが行われた場合はセット (1) されます。UF0BInレジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。
0	IT1DT	UF0INT1レジスタ (Endpoint7) からデータが正常に送信されたことを示します。 1: 送信が完了した (割り込み要求発生) 0: 送信が完了していない (初期値) データはUF0ENレジスタのIT1NKビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。UF0INT1レジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。Nullパケットでもセット (1) されます。

備考 n = 1, 2

n = 1のときm = 1

n = 2のときm = 3

(14) UF0 INTステータス3レジスタ (UF0IS3)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT1Bがアクティブになります。
8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC3レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS3	BKO2FL	BKO2NL	BKO2 NAK	BKO2DT	BKO1FL	BKO1NL	BKO1 NAK	BKO1DT	00400026H	00H

ビット位置	ビット名	意 味
7, 3	BKOnFL	UF0BOnレジスタ (Endpoint m) にデータが正常受信され、CPU/SIEの両方のFIFOにデータが保持されていることを示します。 1: UF0BOnレジスタの両方のFIFOに受信データが存在する (割り込み要求発生) 0: UF0BOnレジスタの少なくともSIE側FIFOには受信データが存在しない (初期値) CPU/SIEの両方のFIFOにデータが保持されると、ハードウェアにより自動的にセット (1) されます。FIFOのトグル動作が起こるとハードウェアにより自動的にクリア (0) されます。
6, 2	BKOnNL	UF0BOnレジスタ (Endpoint m) でNullパケット (0長パケット) を受信したことを示します。 1: Nullパケットを受信した (割り込み要求発生) 0: Nullパケットは受信していない (初期値) FIFOが空の状態ではNullパケットの受信により受信直後にこのビットがセット (1) されます。CPU側FIFOにデータが存在する状態ではCPU側FIFOの読み出しが完了したあとにこのビットがセット (1) されます。
5, 1	BKOnNAK	UF0BOnレジスタ (Endpoint m) に対するOUTトークンを受信してNAKを返信したことを示します。 1: OUTトークンを受信しNAKを送出した (割り込み要求発生) 0: OUTトークンを受信していない (初期値)

備考 n = 1, 2
n = 1のときm = 2
n = 2のときm = 4

(2/2)

ビット位置	ビット名	意 味
4, 0	BKOnDT	<p>UF0BOnレジスタ (Endpoint m) にデータが正常受信されたことを示します。</p> <p>1: 正常に受信が完了した (割り込み要求発生)</p> <p>0: 受信が完了していない (初期値)</p> <p>正常受信を行いFIFOが切り替わったときに,ハードウェアにより自動的にセット (1) され,同時にUF0EPS0レジスタの対応ビットもセット (1) されます。Null パケットの場合はセット (1) されません。FWIによるUF0BOnレジスタ読み出しでUF0BOnLレジスタの値が0になると,ハードウェアにより自動的にクリア (0) されます。</p> <p>このビットはCPU側のFIFOをすべて読み出したときに自動的にクリア (0) されますが,このときSIE側にデータがあれば割り込み要求はクリアされずINTUSBF1信号もインアクティブになりません。連続してデータを受信した場合は,アクティブのままになります。</p>

備考 n = 1, 2
n = 1のときm = 2
n = 2のときm = 4

(15) UF0 INTステータス4レジスタ (UF0IS4)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT2Bがアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出して割り込み要因を確認してください。

このレジスタのビットは、UF0IC4レジスタの対応ビットに0を書き込むと強制的にクリア(0)されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット0-4, 6, 7には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS4	0	0	SETINT	0	0	0	0	0	00400028H	00H

ビット位置	ビット名	意味
5	SETINT	SET_INTERFACEリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った (割り込み要求発生) 0: 自動処理を行っていない (初期値) 現在の設定がどのようになっているかはUF0ASSレジスタまたはUF0IFnレジスタ (n = 0-4) を読み出すことで判断できます。

(16) UF0 INTマスクレジスタ (UF0IM0)

UF0IS0レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクした場合もステータスは反映されます。

ビット3-5には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM0	BUS RSTM	RSU SPDM	0	0	0	SET RQM	CLR RQM	EP HALTM	0040002EH	00H

ビット位置	ビット名	意 味
7	BUSRSTM	Bus Reset割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6	RSUSPDM	Resume/Suspend割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	SETRQM	SET_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	CLRRQM	CLR_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	EPHALTM	EP_Halt割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(17) UF0 INTマスク1レジスタ (UF0IM1)

UF0IS1レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM1	0	E0INM	E0 INDTM	E0 ODTM	SUCESM	STGM	PROTM	CPU DECM	00400030H	00H

ビット位置	ビット名	意 味
6	E0INM	EP0IN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5	E0INDTM	EP0INDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	E0ODTM	EP0OUTDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	SUCESM	Success割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	STGM	Stg割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	PROTM	Protect割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	CPUDECM	CPUDECM割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(18) UF0 INTマスク2レジスタ (UF0IM2)

UF0IS2レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット1-3には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM2	BKI2INM	BKI2 DTM	BKI1INM	BKI1 DTM	0	0	0	IT1DTM	00400032H	00H

ビット位置	ビット名	意 味
7, 5	BKInINM	BLKInIN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 4	BKInDTM	BLKInDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	IT1DTM	INT1DT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(19) UF0 INTマスク3レジスタ (UF0IM3)

UF0IS3レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM3	BKO2	BKO2	BKO2	BKO2	BKO1	BKO1	BKO1	BKO1	00400034H	00H
	FLM	NLM	NAKM	DTM	FLM	NLM	NAKM	DTM		

ビット位置	ビット名	意味
7, 3	BKOnFLM	BLKOnFL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 2	BKOnNLM	BLKOnNL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5, 1	BKOnNAKM	BLKOnNK割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4, 0	BKOnDTM	BLKOnDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(20) UF0 INTマスク4レジスタ (UF0IM4)

UF0IS4レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット0-4, 6, 7には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM4	0	0	SETINTM	0	0	0	0	0	00400036H	00H

ビット位置	ビット名	意 味
5	SETINTM	SET_INT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(21) UF0 INTクリアレジスタ (UF0IC0)

UF0IS0レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

ビット3-5には必ず1を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC0	BUS RSTC	RSU SPDC	1	1	1	SET RQC	CLR RQC	EP HALTC	0040003CH	FFH

ビット位置	ビット名	意 味
7	BUSRSTC	Bus Reset割り込み要求をクリアします。 0 : クリアする
6	RSUSPDC	Resume/Suspend割り込み要求をクリアします。 0 : クリアする
2	SETRQC	SET_RQ割り込み要求をクリアします。 0 : クリアする
1	CLRRQC	CLR_RQ割り込み要求をクリアします。 0 : クリアする
0	EPHALTC	EP_Halt割り込み要求をクリアします。 0 : クリアする

(22) UF0 INTクリアレジスタ (UF0IC1)

UF0IS1レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC1	1	E0INC	E0 INDTC	E0ODTC	SUCESC	STGC	PROTC	CPU DECC	0040003EH	FFH

ビット位置	ビット名	意 味
6	E0INC	EP0IN割り込み要求をクリアします。 0 : クリアする
5	E0INDTC	EP0INDT割り込み要求をクリアします。 0 : クリアする
4	E0ODTC	EP0OUTDT割り込み要求をクリアします。 0 : クリアする
3	SUCESC	Success割り込み要求をクリアします。 0 : クリアする
2	STGC	Stg割り込み要求をクリアします。 0 : クリアする
1	PROTC	Protect割り込み要求をクリアします。 0 : クリアする
0	CPUDECC	CPUDECC割り込み要求をクリアします。 0 : クリアする

(23) UF0 INTクリアレジスタ (UF0IC2)

UF0IS2レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット1-3には必ず1を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC2	BKI2INC	BKI2 DTC	BKI1INC	BKI1 DTC	1	1	1	IT1DTC	00400040H	FFH

ビット位置	ビット名	意 味
7, 5	BKInINC	BLKInIN割り込み要求をクリアします。 0 : クリアする
6, 4	BKInDTC	BLKInDT割り込み要求をクリアします。 0 : クリアする
0	IT1DTC	INT1DT割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(24) UF0 INTクリア3レジスタ (UF0IC3)

UF0IS3レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC3	BKO2	BKO2	BKO2	BKO2	BKO1	BKO1	BKO1	BKO1	00400042H	FFH
	FLC	NLC	NAKC	DTC	FLC	NLC	NAKC	DTC		

ビット位置	ビット名	意味
7, 3	BKOnFLC	BLKOnFL割り込み要求をクリアします。 0 : クリアする
6, 2	BKOnNLC	BLKOnNL割り込み要求をクリアします。 0 : クリアする
5, 1	BKOnNAKC	BLKOnNK割り込み要求をクリアします。 0 : クリアする
4, 0	BKOnDTC	BLKOnDT割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(25) UF0 INTクリアレジスタ (UF0IC4)

UF0IS4レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット0-4, 6, 7には必ず1を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC4	1	1	SETINTC	1	1	1	1	1	00400044H	FFH

ビット位置	ビット名	意味
5	SETINTC	SET_INT割り込み要求をクリアします。 0: クリアする

(26) UF0 FIFOクリアレジスタ (UF0FIC0)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んでも無効となります。

UF0EnIMレジスタ(n = 1, 3, 7)の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット3には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC0	BKI2SC	BKI2CC	BKI1SC	BKI1CC	0	ITR1C	EP0WC	EP0RC	00400060H	00H

ビット位置	ビット名	意味
7, 5	BKInSC	UF0BInレジスタのSIE側FIFOのみをクリア(カウンタをリセット)します。 1: クリアする BKInNKビットがセット(1)されている状態でEndpoint mに対するINトークンの処理中にこのビットの書き込みを行っても無効となります。なお、BKInNKビットはFIFOをクリアすることで自動的にクリア(0)されます。このビットを使用するときにはCPU側FIFOを必ず空にしておいてください。
6, 4	BKInCC	UF0BInレジスタのCPU側FIFOのみをクリア(カウンタをリセット)します。 1: クリアする
2	ITR1C	UF0INT1レジスタをクリア(カウンタをリセット)します。 1: クリアする IT1NKビットがセット(1)されている状態でEndpoint 7に対するINトークンの処理中にこのビットの書き込みを行っても無効となります。なお、IT1NKビットはFIFOをクリアすることで自動的にクリア(0)されます。
1	EP0WC	UF0E0Wレジスタをクリア(カウンタをリセット)します。 1: クリアする EP0NKWビットがセット(1)されている状態でEndpoint 0に対するINトークンの処理中にこのビットの書き込みを行っても無効となります。なお、EP0NKWビットはFIFOをクリアすることで自動的にクリア(0)されます。
0	EP0RC	UF0E0Rレジスタをクリア(カウンタをリセット)します。 1: クリアする EP0NKRビットがセット(1)されている場合(ただし、FWでセット(1)した場合は除く)には、FIFOをクリアすることでEP0NKRビットが自動的にクリア(0)されます。

備考 n = 1, 2

n = 1のとき m = 1

n = 2のとき m = 3

(27) UF0 FIFOクリアレジスタ (UF0FIC1)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んでも無効となります。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット4-7には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC1	0	0	0	0	BKO2C	BKO2CC	BKO1C	BKO1CC	00400062H	00H

ビット位置	ビット名	意味
3, 1	BKOnC	UF0BOnレジスタのSIE側/CPU側の両FIFOをクリア (カウンタをリセット) します。 1: クリアする BKOnNKビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでBKOnNKビットが自動的にクリア (0) されます。
2, 0	BKOnCC	UF0BOnレジスタのCPU側のFIFOだけをクリア (カウンタをリセット) します。 1: クリアする BKOnNKビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでBKOnNKビットが自動的にクリア (0) されます。

備考 n = 1, 2

(28) UF0データ・エンド・レジスタ (UF0DEND)

送信系に対し書き込み終了を通知するためのレジスタです。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことで対象Endpointのデータ転送を開始させることができます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

ビット4, 5には必ず0を設定してください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DEND	BKI2T	BKI1T	0	0	IT1DEND	BKI2DED	BKI1DED	E0DED	0040006AH	00H

ビット位置	ビット名	意 味
7, 6	BKInT	UF0BInレジスタのCPU側のFIFOがフルになった場合に、FIFOのトグル動作を自動的に実行するかを設定します。 1: FIFOフルになった時点でFIFOのトグル動作を自動的に実行する 0: FIFOフルになってもFIFOのトグル動作は自動実行しない (初期値)
3	IT1DEND	UF0INT1レジスタのデータを送信するときにセット (1) してください。このビットがセット (1) されると、IT1NKビットがセット (1) されデータ転送が行われます。 1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値) UF0FIC0レジスタのITR1Cビットがセット (1) され、さらにこのビットがセット (1) された場合 (UF0INT1レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), Null (データ長0) パケットが送信されます。 UF0INT1レジスタにデータが存在し、さらにこのビットがセット (1) された場合 (UF0INT1レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), ショート・パケットが送信されます。 FIFOがフルの場合はこのビットに関連する制御はハードウェアによって自動的に行われます。

備考 n = 1, 2

(2/2)

ビット位置	ビット名	意 味
2, 1	BKInDED	<p>UF0BInレジスタへの送信データの書き込みが終了したときにセット(1)してください。このビットがセット(1)されると、FIFOのトグル動作が行えるようになったタイミングでFIFOトグル動作が起こり、BKInNKビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>このビットはCPU側のFIFOを制御します。</p> <p>UF0FIC0レジスタのBKInCCビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0BInレジスタのカウンタ = 0)、Null(データ長0)パケットが送信されます。</p> <p>UF0BInレジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0BInレジスタのカウンタ = 0)、FIFOがフルでなければショート・パケットが送信されます。</p> <p>PIOがBKInTビットをセット(1)した状態でUF0BInレジスタのCPU側のFIFOをフルにした場合、このビットをセット(1)しなくてもハードウェアはデータ送信を開始します。</p> <p>BKInTビットをクリア(0)した状態でUF0BInレジスタのCPU側のFIFOをフルにした場合、必ずこのビットをセット(1)してください(18.6.3(3)UF0 EPNACKレジスタ(UF0EN)参照)。</p>
0	E0DED	<p>UF0E0Wレジスタのデータを送信するときにセット(1)してください。このビットがセット(1)されると、EP0NKWビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>UF0FIC0レジスタのEP0WCビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0E0Wレジスタのカウンタ = 0, UF0EPS0レジスタのビット1 = 1)、Null(データ長0)パケットが送信されます。</p> <p>UF0E0Wレジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0E0Wレジスタのカウンタ = 0, UF0EPS0レジスタのビット1 = 1)、FIFOがフルでなければショート・パケットが送信されます。</p>

備考 n = 1, 2

(29) UF0 GPRレジスタ (UF0GPR)

USBFとUSBインタフェースを制御します。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタのビット0に1を書き込むことでUSBFをリセットできます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んででも無効となります。

ビット1-7には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0GPR	0	0	0	0	0	0	0	MRST	0040006EH	00H

ビット位置	ビット名	意 味
0	MRST	USBFをリセットするときにセット (1) してください。 1: リセットする このビットをFWによりセット (1) したあと実際にリセットされるのは、ライト信号のインアクティブから2USBクロック後になります。 システム・クロックの動作中にMRSTビットによるUSBFのリセットを行った場合、USBFについてはRESET端子による制御 (ハードウェア・リセット) と同じになります (レジスタ値が初期値に戻ります)。

(30) UF0モード・コントロール・レジスタ (UF0MODC)

CPUDEC処理の制御を行います。

8ビット単位でリード/ライト可能です。

このレジスタの各ビットを設定することにより、UF0MODSレジスタの設定を変更できます。ハードウェア・リセット時とUF0GRPレジスタのMRSTビットをセット(1)したときにだけ自動的にクリア(0)されます。

このレジスタのビットがハードウェアにより自動的にセット(1)されても、FWによる設定が優先されます。

ビット0-5, 7には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 このレジスタはデバッグ用に用意されています。動作検証や特殊なモードを使用する場合以外はこのレジスタは設定しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODC	0	CDC GDST	0	0	0	0	0	0	00400074H	00H

ビット位置	ビット名	意味
6	CDCGDST	GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるときにセット(1)してください。このビットをセット(1)することによりUF0MODSレジスタのCDCGDビットを強制的にセット(1)できます。 1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更(UF0MODSレジスタのCDCGDビットをセット(1)) 0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま(初期値)

(31) UF0モード・ステータス・レジスタ (UF0MODS)

コンフィギュレーション状況を示します。

8ビット単位でリードだけ可能です。

ビット0, 1, 5, 7には必ず0を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODS	0	CDCGD	0	MPACK	DFLT	CONF	0	0	00400078H	00H

ビット位置	ビット名	意 味
6	CDCGD	<p>GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるかを示します。</p> <p>1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更</p> <p>0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま (初期値)</p>
4	MPACK	<p>Endpoint0の送信パケット・サイズを示します。</p> <p>1: 8バイト以外で送信を行っている</p> <p>0: 8バイトで送信を行っている (初期値)</p> <p>このビットはGET_DESCRIPTOR Deviceリクエストを処理したあと (ステータス・ステージ正常終了時) に、ハードウェアにより自動的にセット (1) されません。なお、USBFがリセットされるまでこのビットはクリア (0) されません (Bus Resetではクリア (0) されません)。</p> <p>このビットがセット (1) されていない状態では、ハードウェアは自動実行リクエストのみ8バイト転送を行います。したがって、GET_DESCRIPTOR Deviceリクエストの完了前にFW処理のOUTトークンで8バイト以上のデータが送られた場合でも、正常受信します。</p> <p>なお、Endpoint0のサイズを8バイト構成にした場合は無視されます。</p>
3	DFLT	<p>デフォルト状態 (DFLTビット = 1) になっているかを示します。</p> <p>1: 応答許可</p> <p>0: 応答禁止 (常に無応答) (初期値)</p> <p>このビットはBus Resetにより自動的にセット (1) されます。このビットがセット (1) されるまですべてのEndpointに対するトランザクションに応答しません。</p>
2	CONF	<p>SET_CONFIGURATIONリクエストが完了したかを示します。</p> <p>1: SET_CONFIGURATIONリクエストが完了した</p> <p>0: SET_CONFIGURATIONリクエストが完了していない (初期値)</p> <p>SET_CONFIGURATIONリクエストでConfiguration値 = 1を受信したときにセット (1) されます。</p> <p>このビットがセット (1) されていないかぎり、Endpoint0以外に対するアクセスは無視されます。</p> <p>なお、SET_CONFIGURATIONリクエストでConfiguration値 = 0を受信したとき、このビットはクリア (0) されます。また、Bus Resetを検出したときもクリア (0) されます。</p>

(32) UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN)

GET/SET_INTERFACEリクエストに対して正常に応答する有効なInterface番号を設定します。なお、Interface 0は必ず有効となるため、Interface 1-4までを選択できます。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AIFN	ADDIF	0	0	0	0	0	IFNO1	IFNO0	00400080H	00H

ビット位置	ビット名	意 味															
7	ADDIF	0以外のInterface番号が利用できるように設定します。 1: IFNO1, IFNO0ビットで指定されるInterface番号までサポート 0: Interface 0だけをサポート (初期値) このビットがセット (1) されていない状態ではこのレジスタのビット1, 0の設定は無効になります。															
1, 0	IFNO1, IFNO0	サポートするInterface番号の範囲を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IFNO1</th> <th>IFNO0</th> <th>有効なInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0, 1, 2, 3, 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0, 1, 2, 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0, 1, 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0, 1</td> </tr> </tbody> </table>	IFNO1	IFNO0	有効なInterface番号	1	1	0, 1, 2, 3, 4	1	0	0, 1, 2, 3	0	1	0, 1, 2	0	0	0, 1
IFNO1	IFNO0	有効なInterface番号															
1	1	0, 1, 2, 3, 4															
1	0	0, 1, 2, 3															
0	1	0, 1, 2															
0	0	0, 1															

(33) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS)

Interface番号とAlternative Settingのリンクを設定します。

8ビット単位でリード/ライト可能です。

V850E/IG4-H, V850E/IH4-HのUSBFでは5連Alternative Setting (Alternative Setting 0, 1, 2, 3, 4を定義できる) と2連Alternative Setting (Alternative Setting 0, 1を定義できる) をそれぞれ1つのInterfaceに対して設定できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AAS	ALT2	IFAL21	IFAL20	ALT2EN	ALT5	IFAL51	IFAL50	ALT5EN	00400082H	00H

ビット位置	ビット名	意味															
7, 3	ALTn	n連Alternative SettingをInterface 0にリンクするかを設定します。このビットがセット (1) されるとIFALn1, IFALn0ビットの設定は無効になります。 1 : Interface 0にn連Alternative Settingをリンクする 0 : Interface 0にはn連Alternative Settingはリンクしない (初期値)															
6, 5, 2, 1	IFALn1, IFALn0	n連Alternative SettingにリンクされるInterface番号を設定します。リンクしたInterface番号がUF0AIFNレジスタで設定されたInterface番号の範囲外の場合は、n連Alternative Settingは無効になります (ALTnENビット = 0)。 <table border="1" data-bbox="604 1032 1323 1249"> <thead> <tr> <th>IFALn1</th> <th>IFALn0</th> <th>リンクするInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>Interface 4とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>Interface 3とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>Interface 2とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>Interface 1とリンク</td> </tr> </tbody> </table> 5連Alternative Settingと2連Alternative Settingを同じInterface番号にリンクさせないようにしてください。	IFALn1	IFALn0	リンクするInterface番号	1	1	Interface 4とリンク	1	0	Interface 3とリンク	0	1	Interface 2とリンク	0	0	Interface 1とリンク
IFALn1	IFALn0	リンクするInterface番号															
1	1	Interface 4とリンク															
1	0	Interface 3とリンク															
0	1	Interface 2とリンク															
0	0	Interface 1とリンク															
4, 0	ALTnEN	n連Alternative Settingを有効にします。このビットがセット (1) されていないとALTnビット, IFALn1, IFALn0ビットの設定は無効になります。 1 : n連Alternative Settingを有効にする 0 : n連Alternative Settingを有効にしない (初期値)															

備考 n = 2, 5

たとえば、UF0AIFNレジスタを82Hに設定し、UF0AASレジスタを15Hに設定した場合、Interface 0, 1, 2, 3が有効になりInterface 0, 2はAlternative Setting 0のみ、Interface 1はAlternative Setting 0, 1、Interface 3はAlternative Setting 0, 1, 2, 3, 4をサポートすることを示します。この設定ではGET_INTERFACE wIndex = 0/1/2/3、SET_INTERFACE wValue = 0 & wIndex = 0/2、SET_INTERFACE wValue = 0/1 & wIndex = 1、SET_INTERFACE wValue = 0/1/2/3/4 & wIndex = 3のリクエストに対して自動応答し、それ以外のGET/SET_INTERFACEリクエストにはSTALL応答します。

(34) UF0オルタナティブ・セッティング・ステータス・レジスタ (UF0ASS)

現在のAlternative Settingの設定状態を示します。

8ビット単位でリードだけ可能です。

SET_INT割り込み要求が発行されたときはこのレジスタを確認してください。なお、SET_INTERFACEリクエストで受信した値は同時にUF0IFnレジスタ (n = 0-4) にも反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ASS	0	0	0	0	AL5ST3	AL5ST2	AL5ST1	AL2ST	00400084H	00H

ビット位置	ビット名	意味																								
3-1	AL5ST3- AL5ST1	5連Alternative Settingの現在の設定状況を示します。 <table border="1"> <thead> <tr> <th>AL5ST3</th> <th>AL5ST2</th> <th>AL5ST1</th> <th>設定されているAlternative Setting番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Alternative Setting 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Alternative Setting 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Alternative Setting 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Alternative Setting 1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Alternative Setting 0</td> </tr> </tbody> </table>	AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号	1	0	0	Alternative Setting 4	0	1	1	Alternative Setting 3	0	1	0	Alternative Setting 2	0	0	1	Alternative Setting 1	0	0	0	Alternative Setting 0
AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号																							
1	0	0	Alternative Setting 4																							
0	1	1	Alternative Setting 3																							
0	1	0	Alternative Setting 2																							
0	0	1	Alternative Setting 1																							
0	0	0	Alternative Setting 0																							
0	AL2ST	2連Alternative Settingの現在の設定状況 (設定されているAlternative Setting番号) を示します。 1 : Alternative Setting 1 0 : Alternative Setting 0																								

(35) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM)

Endpoint1がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint1が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint1リクエストとEndpoint1へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1IM	E1EN2	E1EN1	E1EN0	E12AL1	E15AL4	E15AL3	E15AL2	E15AL1	00400086H	00H

ビット位置	ビット名	意 味																																			
7-5	E1EN2- E1EN0	<p>Endpoint1の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E1EN2</th> <th>E1EN1</th> <th>E1EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E12AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint1が有効になることを示します。</p>	E1EN2	E1EN1	E1EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E1EN2	E1EN1	E1EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E12AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint1が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE15AL4-E15AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E15ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint1が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(36) UF0エンドポイント2インタフェース・マッピング・レジスタ (UF0E2IM)

Endpoint2がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint2が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint2リクエストとEndpoint2へのOUTトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2IM	E2EN2	E2EN1	E2EN0	E22AL1	E25AL4	E25AL3	E25AL2	E25AL1	00400088H	00H

ビット位置	ビット名	意 味																																				
7-5	E2EN2- E2EN0	<p>Endpoint2の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E2EN2</th> <th>E2EN1</th> <th>E2EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E22AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint2が有効になることを示します。</p>	E2EN2	E2EN1	E2EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0		1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E2EN2	E2EN1	E2EN0	リンク状態																																			
1	1	1	Interfaceとリンクされていない																																			
1	1	0																																				
1	0	1	Interface 4, Alternative Setting 0とリンク																																			
1	0	0	Interface 3, Alternative Setting 0とリンク																																			
0	1	1	Interface 2, Alternative Setting 0とリンク																																			
0	1	0	Interface 1, Alternative Setting 0とリンク																																			
0	0	1	Interface 0, Alternative Setting 0とリンク																																			
0	0	0	Interfaceとリンクされていない (初期値)																																			
4	E22AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint2が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE25AL4-E25AL1ビットが0000の場合に有効になります。</p>																																				
3-0	E25ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint2が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																				

備考 n = 1-4

(37) UF0エンドポイント3インタフェース・マッピング・レジスタ (UF0E3IM)

Endpoint3がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint3が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint3リクエストとEndpoint3へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3IM	E3EN2	E3EN1	E3EN0	E32AL1	E35AL4	E35AL3	E35AL2	E35AL1	0040008AH	00H

ビット位置	ビット名	意 味																																			
7-5	E3EN2- E3EN0	<p>Endpoint3の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E3EN2</th> <th>E3EN1</th> <th>E3EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E32AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint3が有効になることを示します。</p>	E3EN2	E3EN1	E3EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E3EN2	E3EN1	E3EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E32AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint3が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE35AL4-E35AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E35ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint3が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(38) UF0エンドポイント4インタフェース・マッピング・レジスタ (UF0E4IM)

Endpoint4がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint4が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint4リクエストとEndpoint4へのOUTトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4IM	E4EN2	E4EN1	E4EN0	E42AL1	E45AL4	E45AL3	E45AL2	E45AL1	0040008CH	00H

ビット位置	ビット名	意 味																																			
7-5	E4EN2- E4EN0	<p>Endpoint4の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E4EN2</th> <th>E4EN1</th> <th>E4EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E42AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint4が有効になることを示します。</p>	E4EN2	E4EN1	E4EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E4EN2	E4EN1	E4EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E42AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint4が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE45AL4-E45AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E45ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint4が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(39) UF0エンドポイント7インタフェース・マッピング・レジスタ (UF0E7IM)

Endpoint7がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint7が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint7リクエストとEndpoint7へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7IM	E7EN2	E7EN1	E7EN0	E72AL1	E75AL4	E75AL3	E75AL2	E75AL1	00400092H	00H

ビット位置	ビット名	意 味																																			
7-5	E7EN2- E7EN0	<p>Endpoint7の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E7EN2</th> <th>E7EN1</th> <th>E7EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E72AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint7が有効になることを示します。</p>	E7EN2	E7EN1	E7EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E7EN2	E7EN1	E7EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E72AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint7が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE75AL4-E75AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E75ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint7が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

18.6.4 データ保持レジスタ

(1) UF0 EP0リード・レジスタ (UF0E0R)

UF0E0Rレジスタは、Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータを格納する64バイトのFIFOです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはホストからのデータを受信するとUF0E0Rレジスタに自動的に転送を行います。データを正常受信するとUF0IS1レジスタのE0ODTビットをセット (1) し、UF0E0Lレジスタに受信したデータ量を保持して、割り込み要求 (INTUSBF0) を発行します。UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が正常受信だった場合には割り込み要求が発生し、異常受信だった場合にはUF0E0Lレジスタはクリア (0) され割り込み要求は発生しません。

UF0E0Rレジスタに保持しているデータは、UF0E0Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。全データの読み出しが完了したかどうかはUF0EPS0レジスタのEP0Rビットで確認してください (全データの読み出し完了の場合: EP0Rビット = 0)。UF0E0Lレジスタ値が0のとき、UF0E0NレジスタのEP0NKRビットがクリア (0) され、UF0E0Rレジスタは受信可能状態になります。また、UF0E0Rレジスタは、次のSETUPトークン受信時にクリアされます。

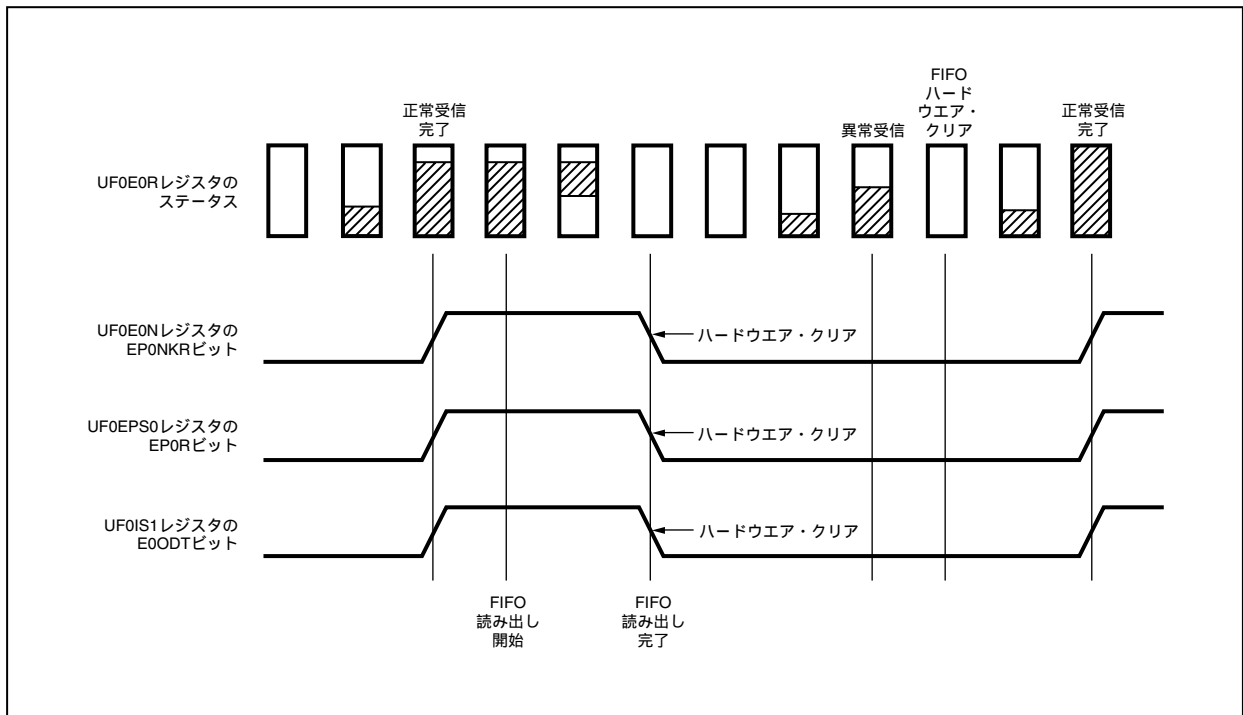
注意 格納されているデータは、すべて読み出してください。途中で廃棄する場合は、FIFOクリアを行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0R	E0R7	E0R6	E0R5	E0R4	E0R3	E0R2	E0R1	E0R0	00400100H	不定

ビット位置	ビット名	意味
7-0	E0R7-E0R0	Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータが格納されます。

次にUF0E0Rレジスタの動作を示します。

図18-4 UF0E0Rレジスタの動作



(2) UF0 EP0 レンゲス・レジスタ (UF0E0L)

UF0E0Lレジスタは、UF0E0Rレジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0E0Lレジスタはクリア (0) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWIはUF0E0Lレジスタで読み出した値分のデータだけUF0E0Rレジスタを読み出せます。UF0E0LレジスタはUF0E0Rレジスタを読み出すごとに、ディクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0L	E0L7	E0L6	E0L5	E0L4	E0L3	E0L2	E0L1	E0L0	00400102H	00H

ビット位置	ビット名	意味
7-0	E0L7-E0L0	UF0E0Rレジスタに保持されているデータ長が格納されます。

(3) UF0 EP0セットアップ・レジスタ (UF0E0ST)

UF0E0STレジスタは、ホストから送られてきたSETUPデータを保持するためのレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0STレジスタは、SETUPトランザクションを受信すると常にデータの書き込みを行います。ハードウェアはSETUPトランザクションを正常受信した場合、UF0IS1レジスタのPROTビット、FW処理のリクエスト時にはUF0IS1レジスタのCPUDECビットをセット(1)し、割り込み要求(INTUSBF0)を発行します。FW処理の場合には、必ず8バイト・リードしてください。8バイト・リードしなかった場合には、以降のリクエストを正常にデコードできません。UF0E0STレジスタのリード・カウンタは、Bus Resetの受信時にもクリアされないため、Bus Resetの受信にかかわらず常に8バイト・リードしてください。

UF0E0STレジスタは常に書き込みを許可しているため、データ・リード中にSETUPトランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。また、SETUPトランザクションを正常受信できなかった場合でも、CPUDEC割り込み要求およびProtect割り込み要求は発生しませんが前のデータは破棄されます。ただし、8バイト以下のSETUPトークンを受信した場合、受信したSETUPデータは破棄され、前回受信したSETUPデータが保持されます。したがって、1回のコントロール転送中に複数回のSETUPトークンを受信した場合、次に示す条件のときには必ずUF0IS1レジスタのPROTビットを確認してください。PROTビット = 1の場合には複数回SETUPトランザクションを受信しているため、UF0E0STレジスタを再度読み出してください。

FWよりリクエストのデコードを行い、UF0E0Rレジスタの読み出し、またはUF0E0Wレジスタの書き込みを行ったとき

デコード結果が対応していないリクエストのためにSTALL応答の準備をするとき

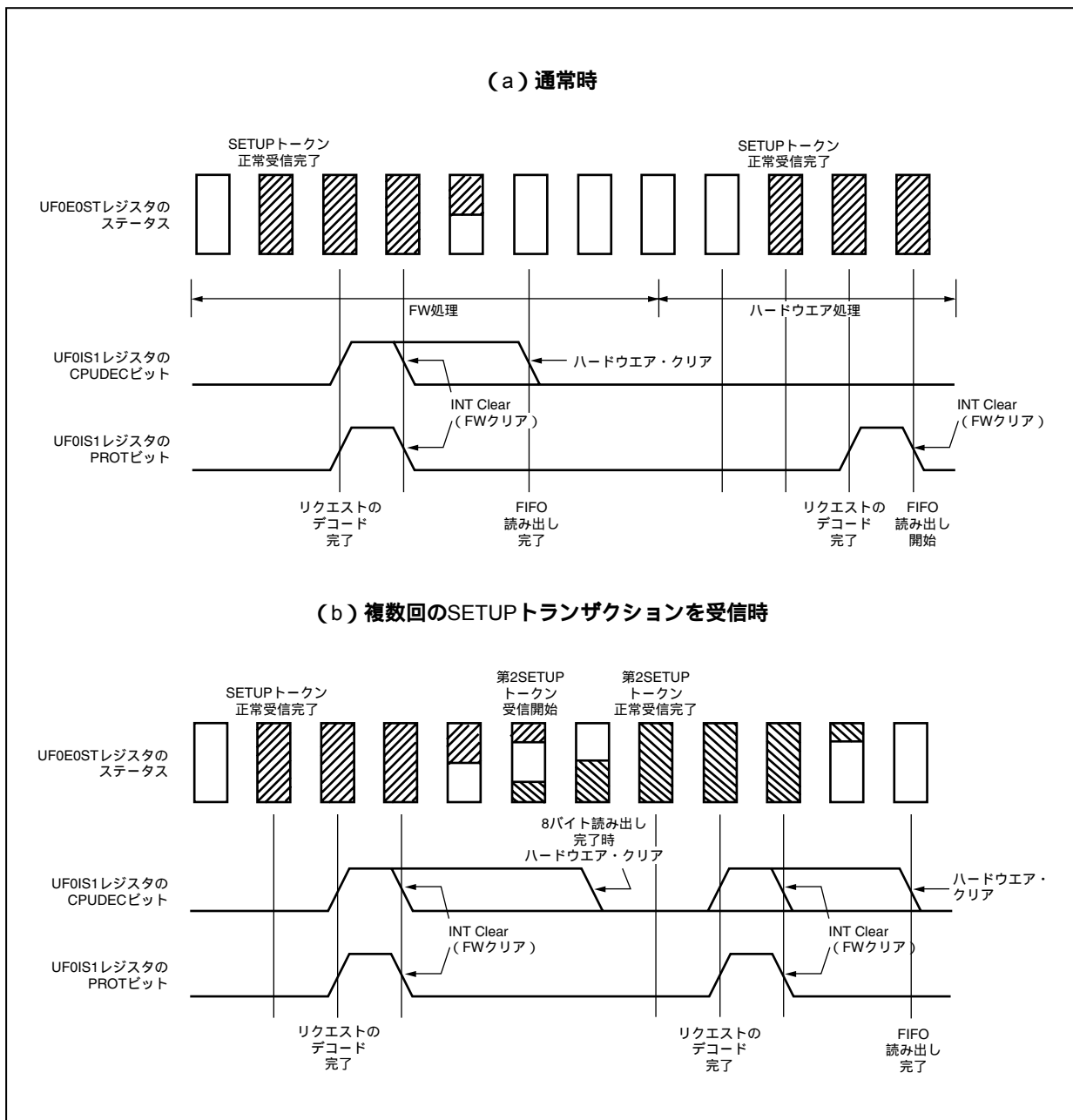
注意 格納されているデータは、すべて読み出してください。UF0E0STレジスタは、常にSETUPトランザクション内のリクエストによって更新されています。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0ST	E0S7	E0S6	E0S5	E0S4	E0S3	E0S2	E0S1	E0S0	00400104H	00H

ビット位置	ビット名	意味
7-0	E0S7-E0S0	ホストから送られてきたSETUPデータを保持します。

次にUF0E0STレジスタの動作を示します。

図18 - 5 UF0E0STレジスタの動作



(4) UF0 EP0ライト・レジスタ (UF0E0W)

UF0E0Wレジスタは、Endpoint0に対するデータ・ステージでホストに送るINデータを格納する (SIEに引き渡す) 64バイトのFIFOです。

8ビット単位でライトのみ可能です。なお、このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアはUF0E0NレジスタのEP0NKWビットがセット (1) されている (NAKを送信しない) 場合のみ、INトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0E0NレジスタのEP0NKWビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、UF0E0Wレジスタにデータを書き込み、UF0DENDレジスタのE0DEDビットをセット (1) すると送信が行われます (UF0EPS0レジスタのEP0Wビット = 1 (データがある))。Nullパケットを送信する場合は、UF0E0Wレジスタのクリアを行い、UF0DENDレジスタのE0DEDビットをセット (1) すると送信が行われます (UF0EPS0レジスタのEP0Wビット = 1 (データがある))。

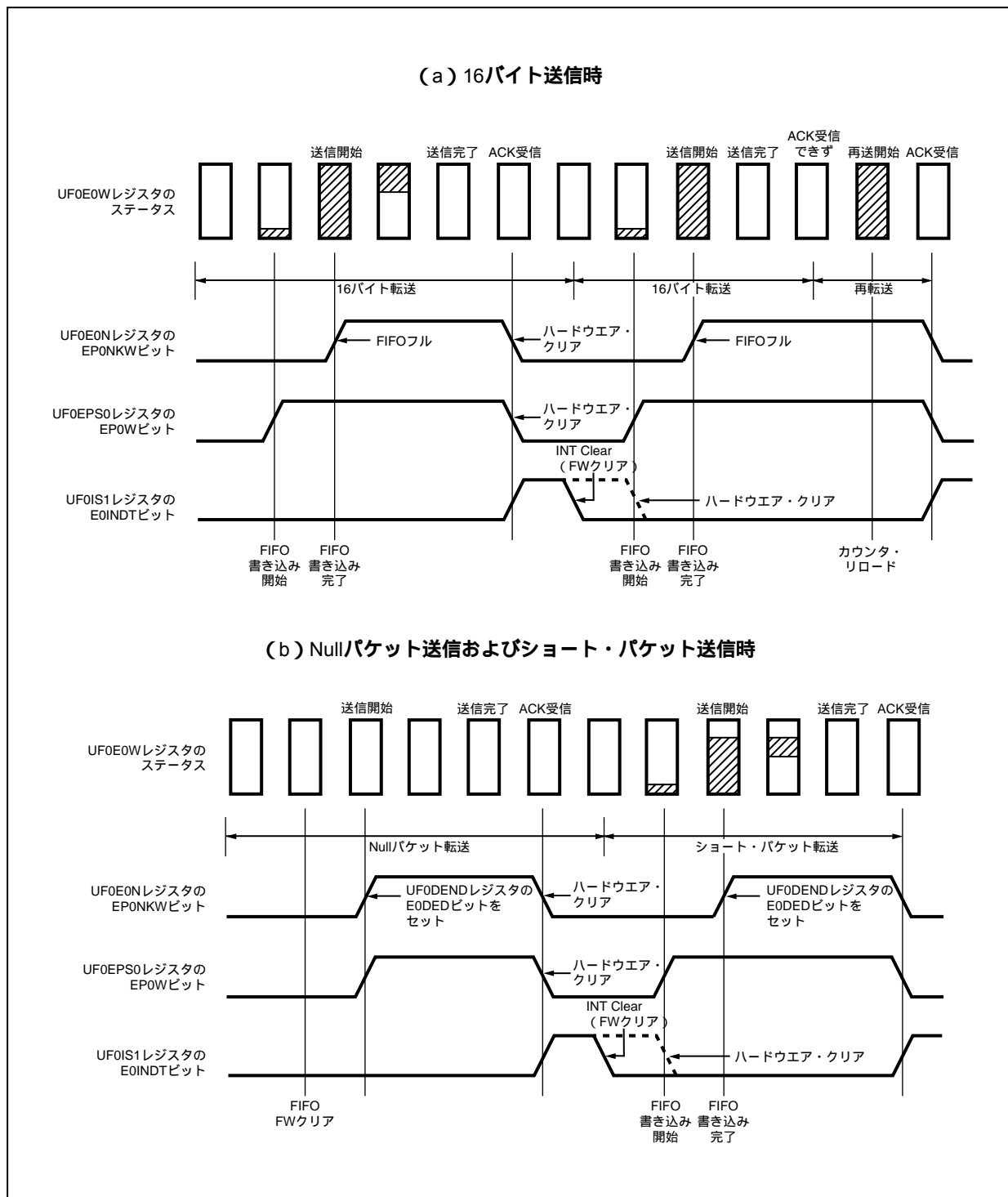
UF0E0Wレジスタは、送信が完了していない状態で次のSETUPトークンを受信したときにクリア (0) されます。また、データ・ステージでACKを正常に受信できていない状態でコントロール転送 (リード) がステータス・ステージに変わった場合、UF0E0Wレジスタは自動的にクリア (0) され、同時にUF0E0NレジスタのEP0NKWビット = 1の場合にはクリア (0) されます。

データが空の状態ではUF0E0Wレジスタを読み出した場合には、00Hが読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0W	E0W7	E0W6	E0W5	E0W4	E0W3	E0W2	E0W1	E0W0	00400106H	不定
ビット位置		ビット名		意 味						
7-0		E0W7-E0W0		Endpoint0に対するデータ・ステージでホストに送るINデータを格納します。						

次にUF0E0Wレジスタの動作を示します。

図18 - 6 UF0E0Wレジスタの動作



(5) UF0バルク・アウト1レジスタ (UF0BO1)

UF0BO1レジスタは、Endpoint2に対するデータを格納する64バイト×2のFIFOです。UF0BO1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0)ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint2に対するホストからのデータを受信するとUF0BO1レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO1DTビットをセット(1)し、UF0BO1Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求を発生します。

UF0BO1レジスタに保持しているデータは、UF0BO1Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO1Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO1NKビットが自動的にクリア(0)されます。なお、UF0BO1Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパッケージを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint2がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態でもUF0BO1レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1	BKO17	BKO16	BKO15	BKO14	BKO13	BKO12	BKO11	BKO10	00400108H	不定

ビット位置	ビット名	意味
7-0	BKO17- BKO10	Endpoint2に対するデータが格納されます。

次にUF0BO1レジスタの動作を示します。

図18-7 UF0BO1レジスタの動作 (1/2)

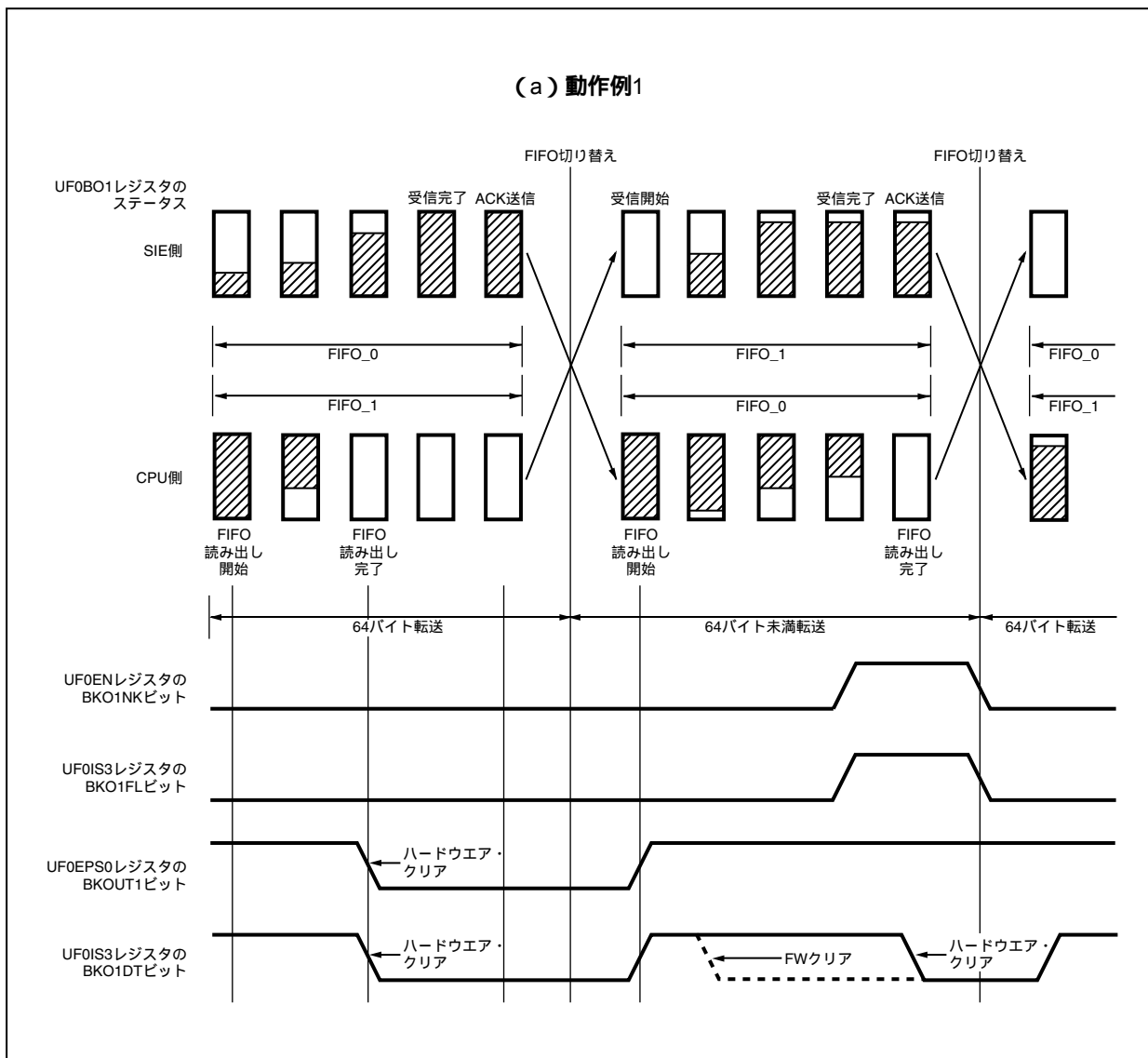
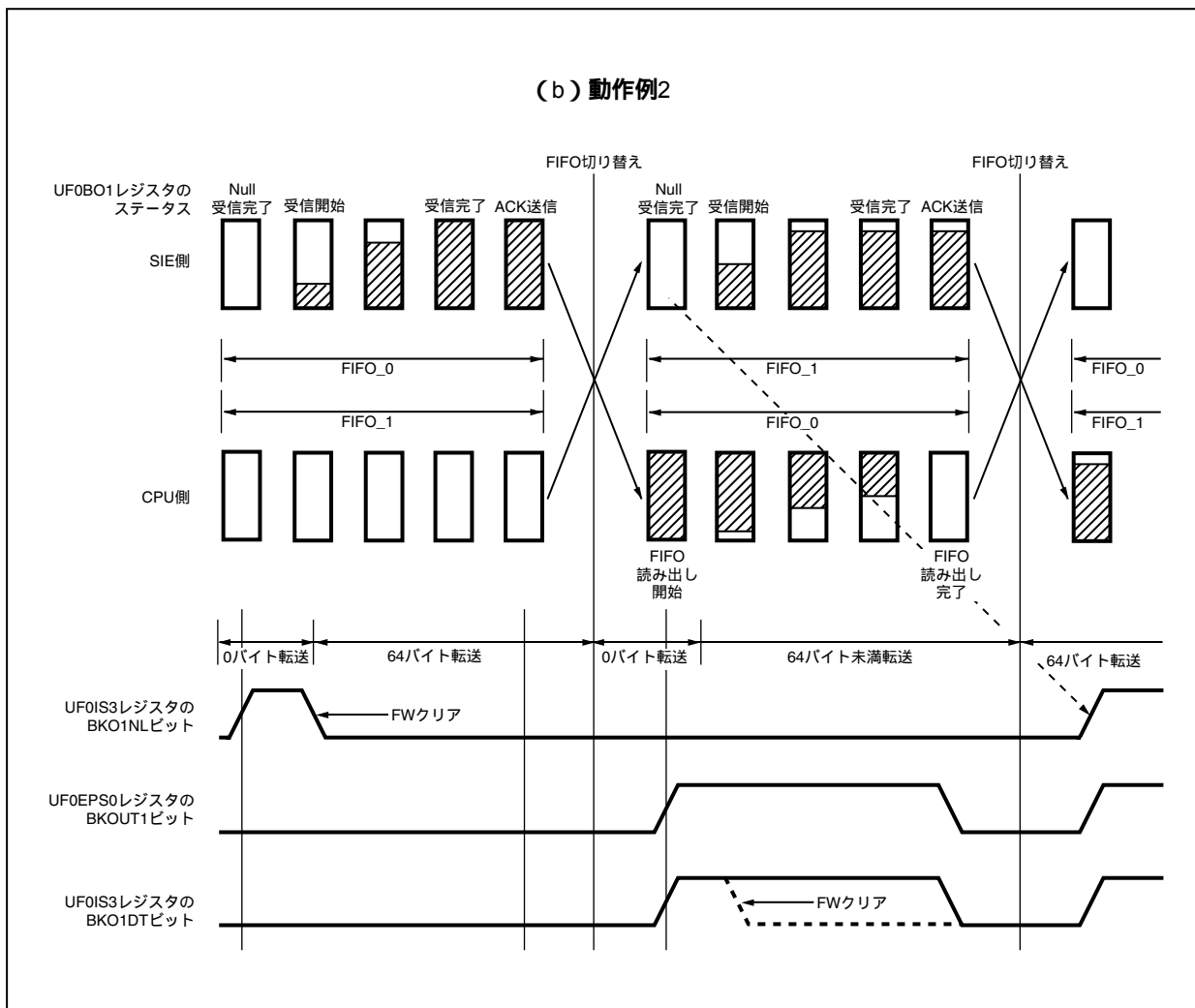


図18 - 7 UF0BO1レジスタの動作 (2/2)



(6) UF0バルク・アウト1レングス・レジスタ (UF0BO1L)

UF0BO1Lレジスタは、UF0BO1レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO1Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO1Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO1Lレジスタで読み出した値分のデータだけUF0BO1レジスタを読み出せます。UF0BO1LレジスタはUF0BO1レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1L	BKO1L7	BKO1L6	BKO1L5	BKO1L4	BKO1L3	BKO1L2	BKO1L1	BKO1L0	0040010AH	00H

ビット位置	ビット名	意味
7-0	BKO1L7- BKO1L0	UF0BO1レジスタに保持されているデータ長が格納されます。

(7) UF0バルク・アウト2レジスタ (UF0BO2)

UF0BO2レジスタは、Endpoint4に対するデータを格納する64バイト×2のFIFOです。UF0BO2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0)ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint4に対するホストからのデータを受信するとUF0BO2レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO2DTビットをセット(1)し、UF0BO2Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求を発生します。

UF0BO2レジスタに保持しているデータは、UF0BO2レジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO2Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO2NKビットが自動的にクリア(0)されます。なお、UF0BO2Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint4がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態UF0BO2レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2	BKO27	BKO26	BKO25	BKO24	BKO23	BKO22	BKO21	BKO20	0040010CH	不定

ビット位置	ビット名	意味
7-0	BKO27- BKO20	Endpoint4に対するデータが格納されます。

次にUF0BO2レジスタの動作を示します。

図18 - 8 UF0BO2レジスタの動作 (1/2)

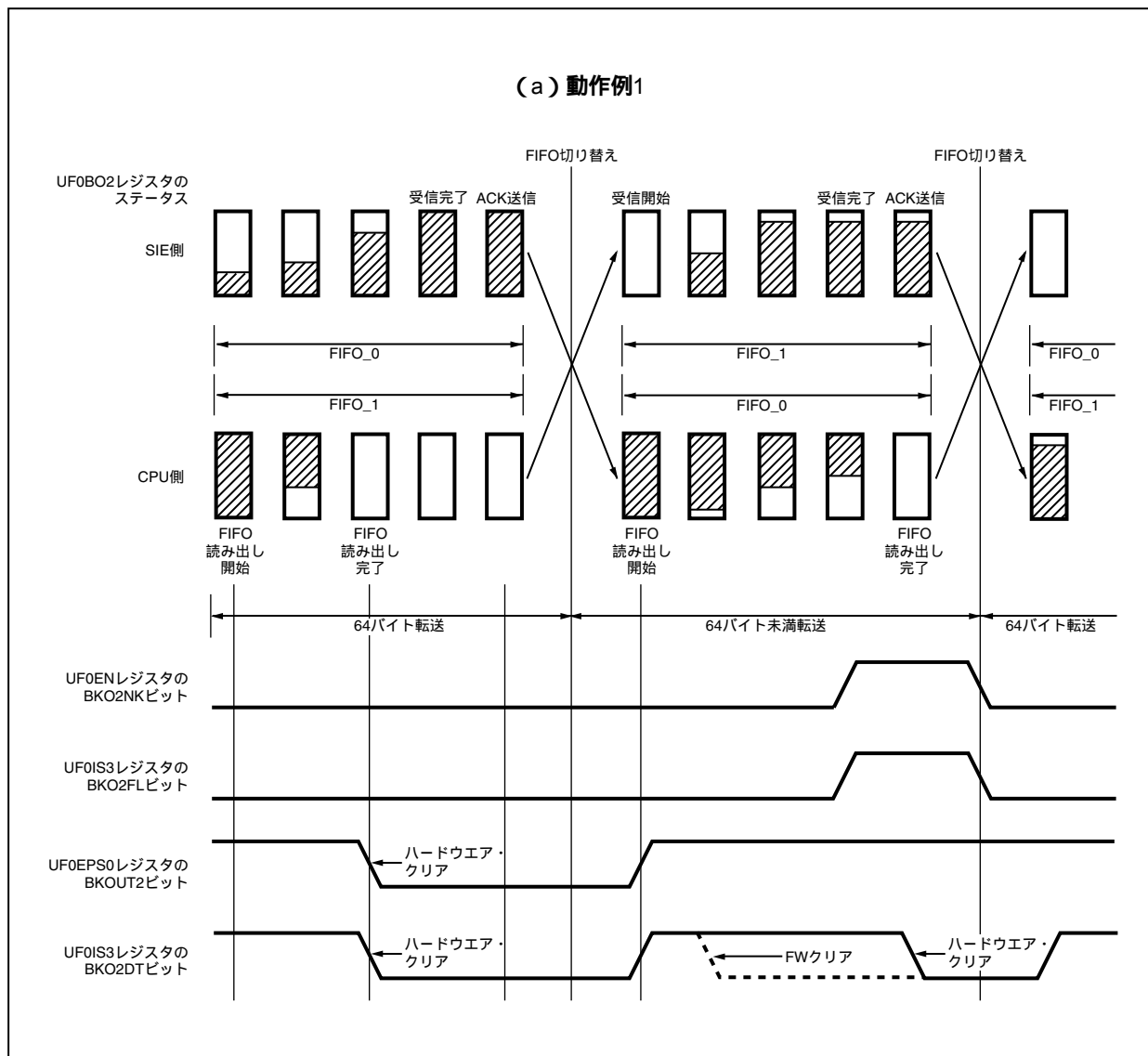
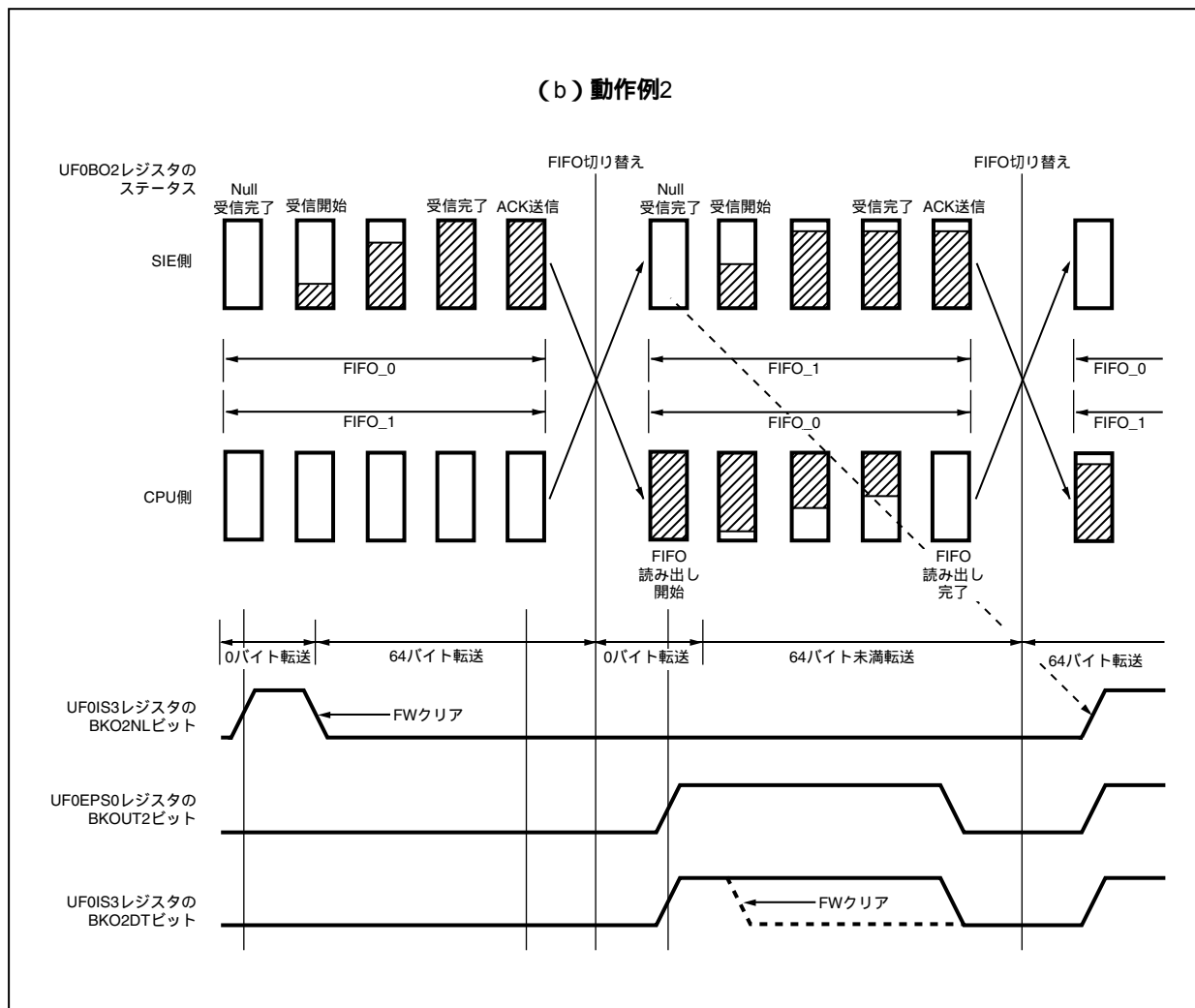


図18 - 8 UF0BO2レジスタの動作 (2/2)



(8) UF0バルク・アウト2レングス・レジスタ (UF0BO2L)

UF0BO2Lレジスタは、UF0BO2レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO2Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO2Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO2Lレジスタで読み出した値分のデータだけUF0BO2レジスタを読み出せます。UF0BO2LレジスタはUF0BO2レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2L	BKO2L7	BKO2L6	BKO2L5	BKO2L4	BKO2L3	BKO2L2	BKO2L1	BKO2L0	0040010EH	00H

ビット位置	ビット名	意味
7-0	BKO2L7- BKO2L0	UF0BO2レジスタに保持されているデータ長が格納されます。

(9) UF0バルク・イン1レジスタ (UF0BI1)

UF0BI1レジスタは、Endpoint1に対するデータを格納する64バイト×2のFIFOです。UF0BI1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBKI1DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBKI1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint1に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI1レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI1レジスタにデータを書き込み、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI1レジスタのクリアを行い、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBKI1DTビットをセット(1)し、CPUに対して割り込み要求を発生します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI1	BKI17	BKI16	BKI15	BKI14	BKI13	BKI12	BKI11	BKI10	00400110H	不定

ビット位置	ビット名	意味
7-0	BKI17-BKI10	Endpoint1に対するデータを格納します。

次にUF0BI1レジスタの動作を示します。

図18 - 9 UF0B1レジスタの動作 (1/3)

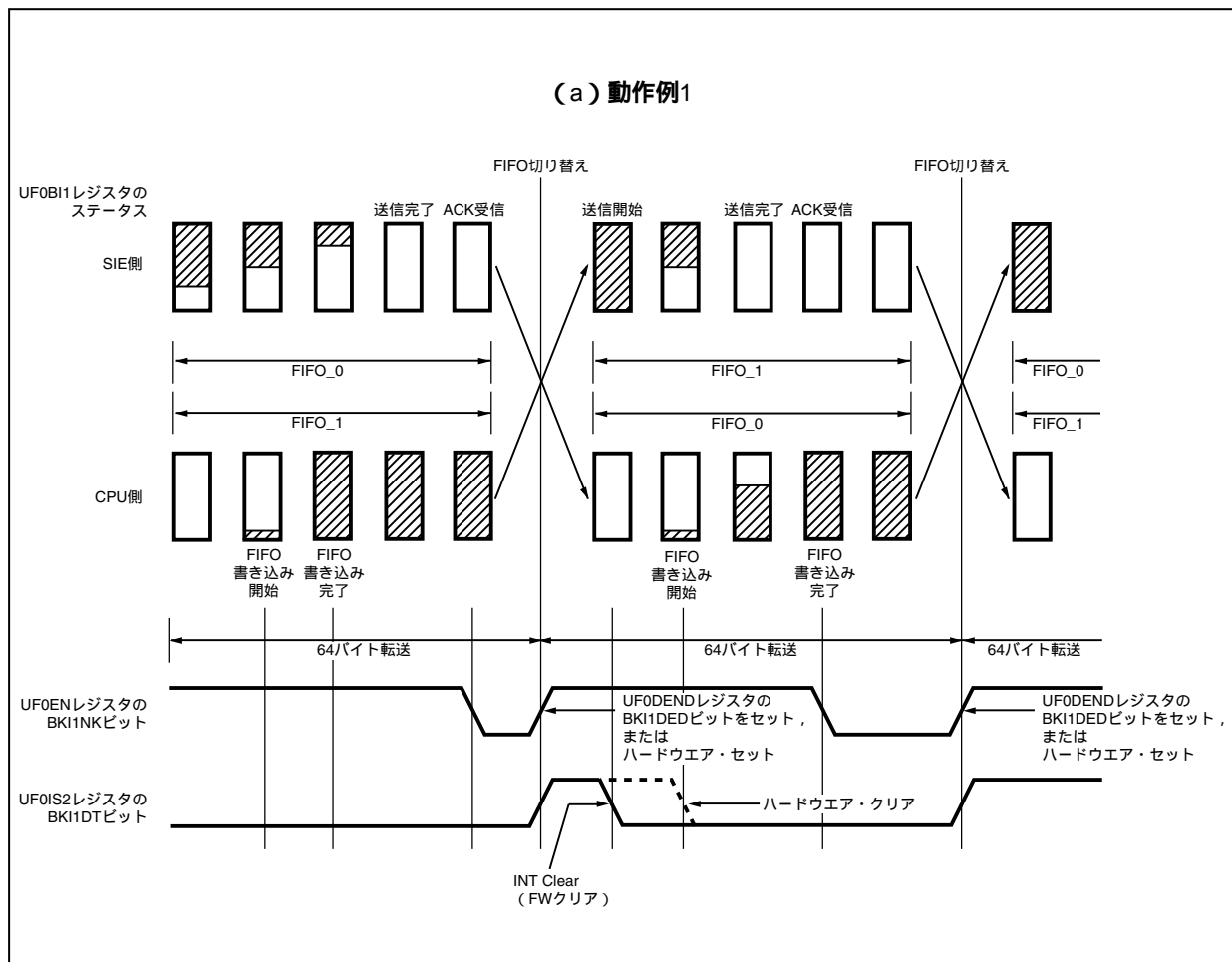


図18 - 9 UF0B1レジスタの動作 (2/3)

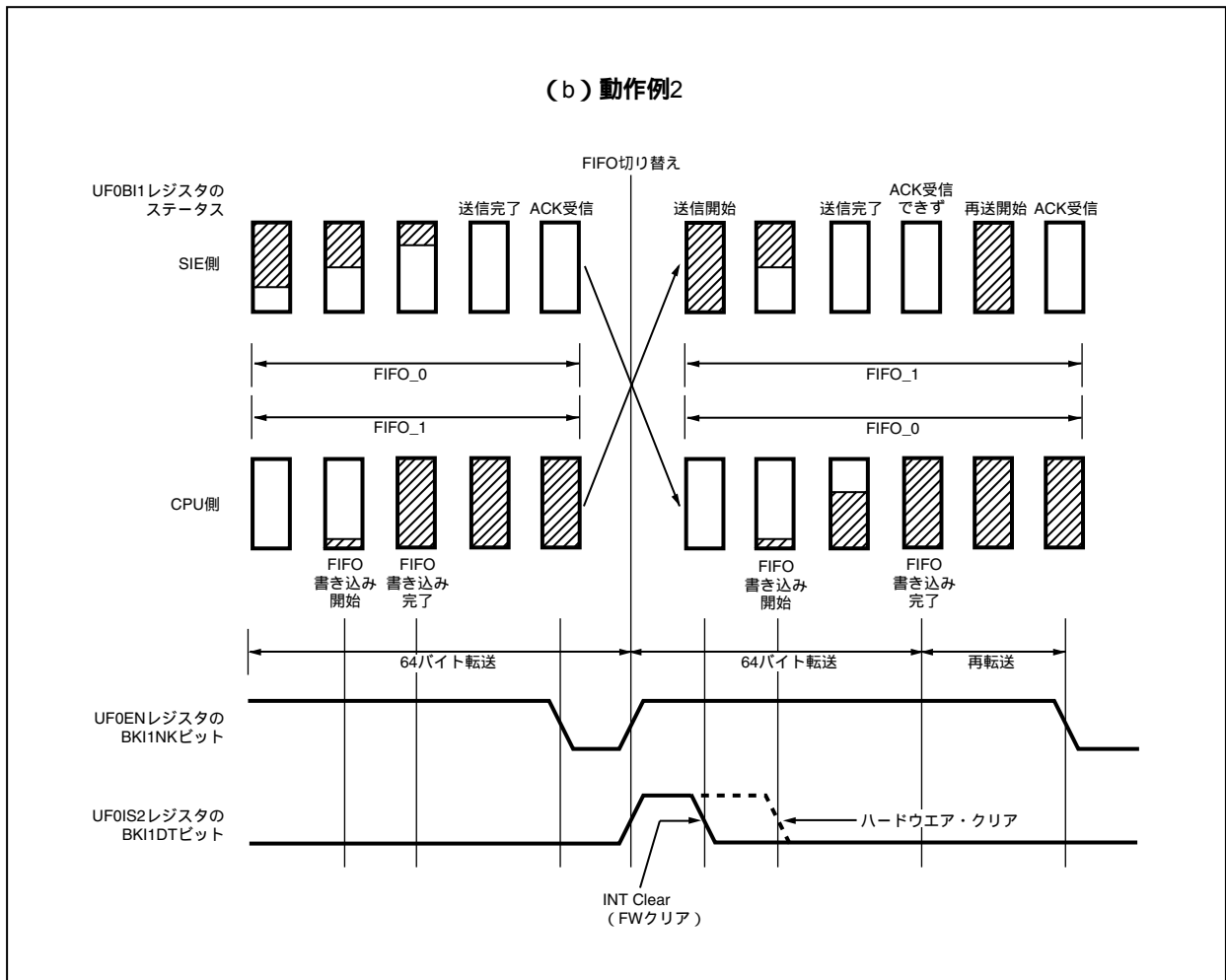
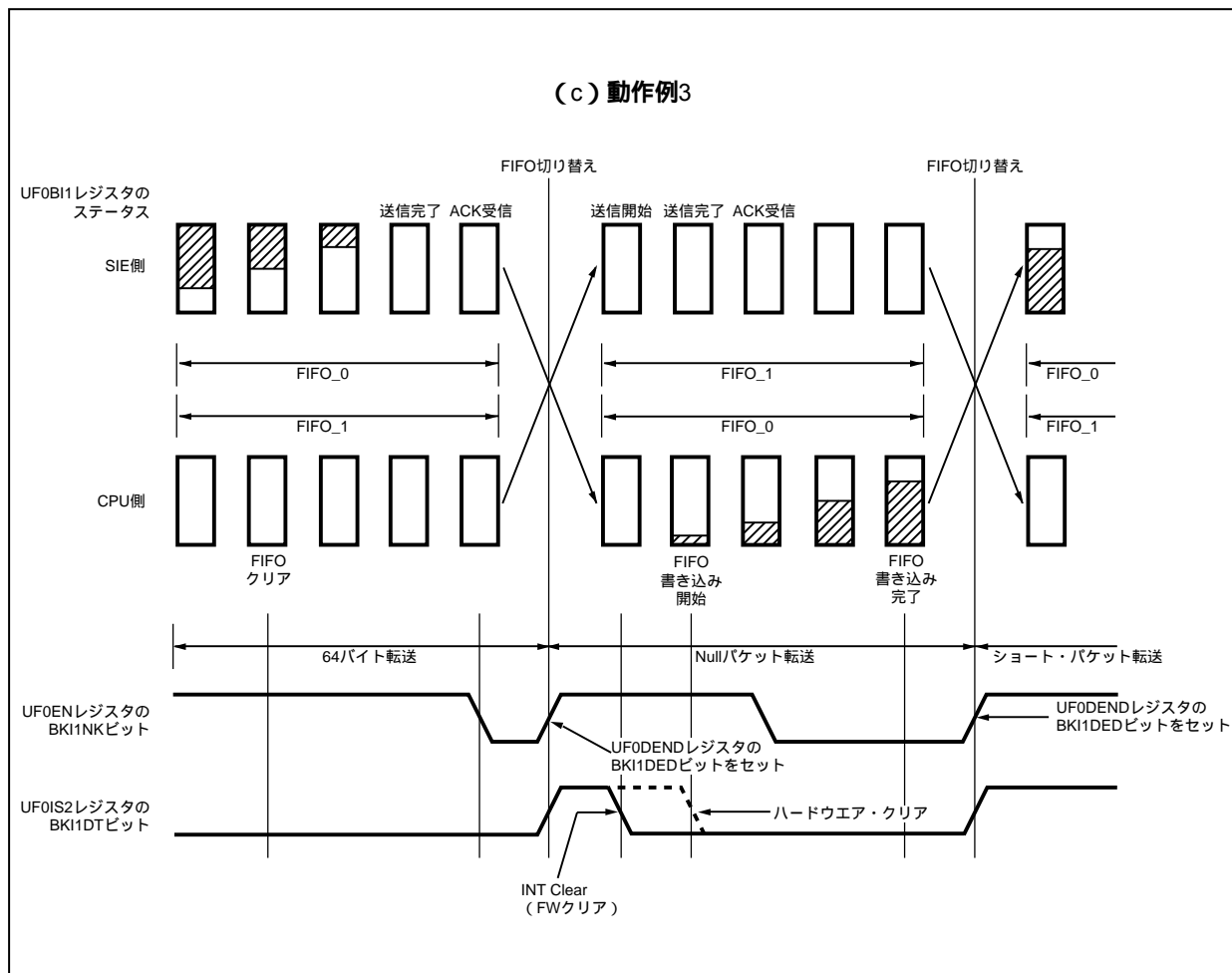


図18 - 9 UF0B1レジスタの動作 (3/3)



(10) UF0バルク・イン2レジスタ (UF0BI2)

UF0BI2レジスタは、Endpoint3に対するデータを格納する64バイト×2のFIFOです。UF0BI2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBKI2DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBKI2NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint3に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI2レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI2レジスタにデータを書き込み、UF0DENDレジスタのBKI2DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN2ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI2レジスタのクリアを行い、UF0DENDレジスタのBKI2DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN2ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBKI2DTビットをセット(1)し、CPUに対して割り込み要求を発生します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI2	BKI27	BKI26	BKI25	BKI24	BKI23	BKI22	BKI21	BKI20	00400112H	不定

ビット位置	ビット名	意味
7-0	BKI27-BKI20	Endpoint3に対するデータを格納します。

次にUF0BI2レジスタの動作を示します。

図18 - 10 UF0BI2レジスタの動作 (1/3)

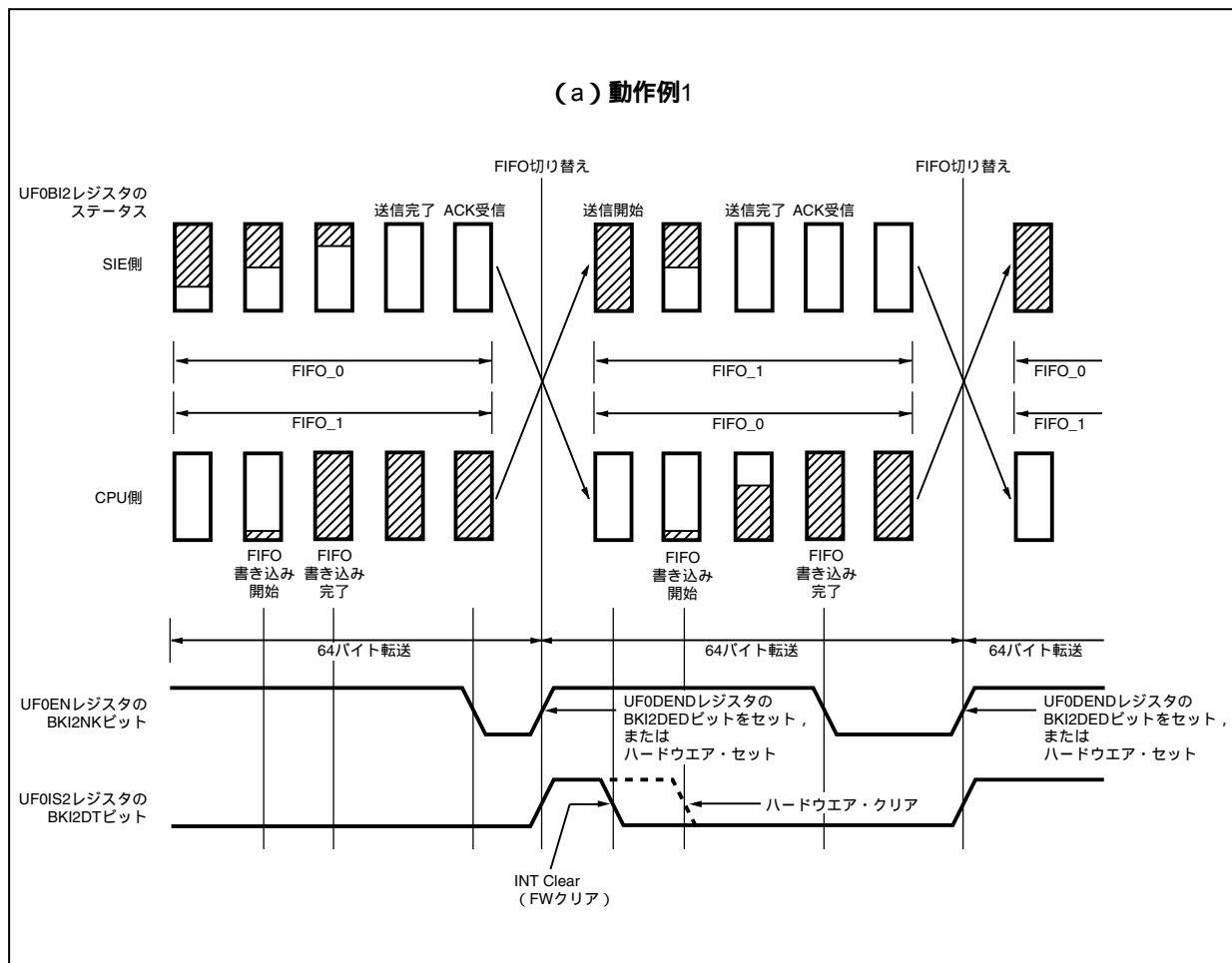


図18 - 10 UF0BI2レジスタの動作 (2/3)

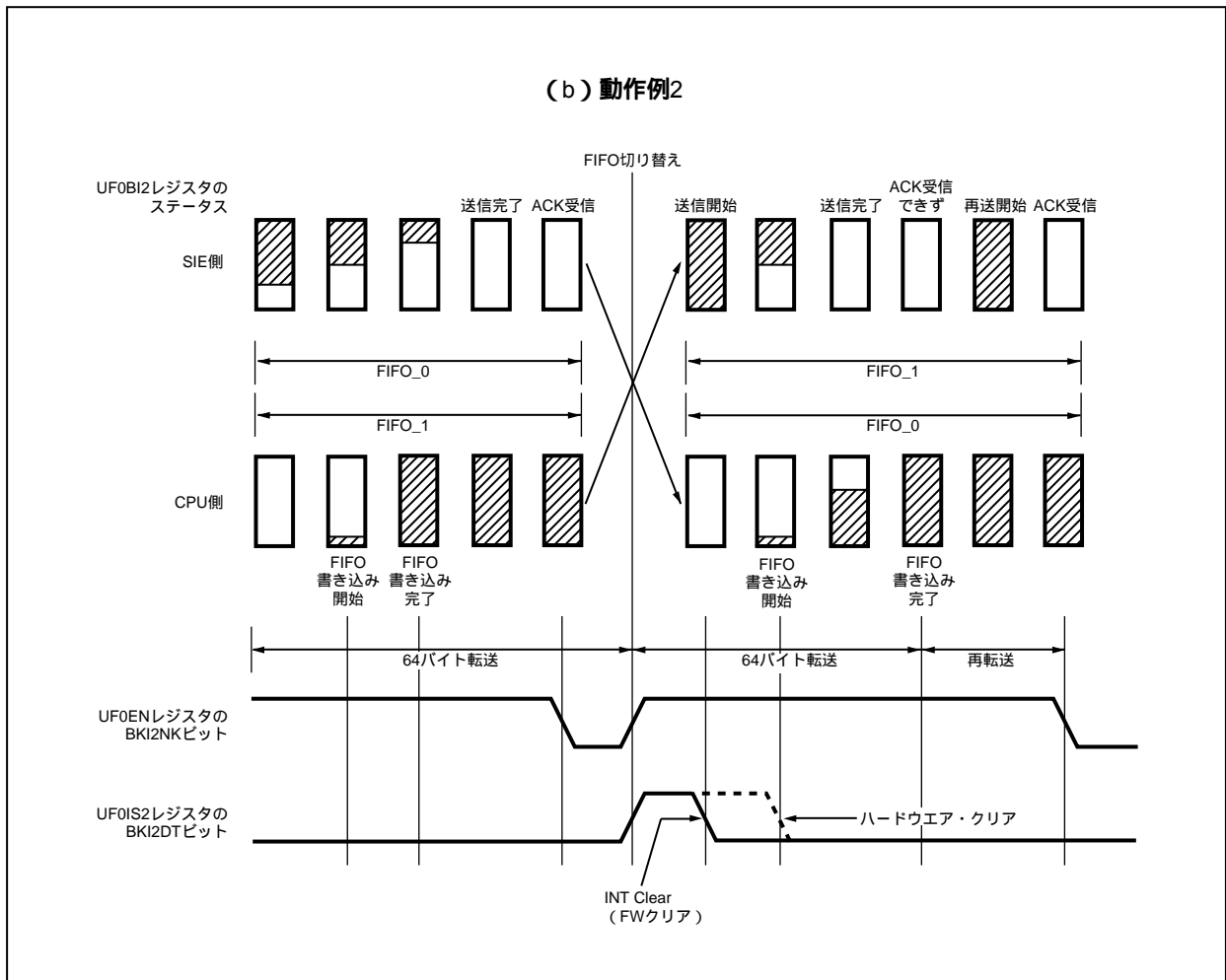
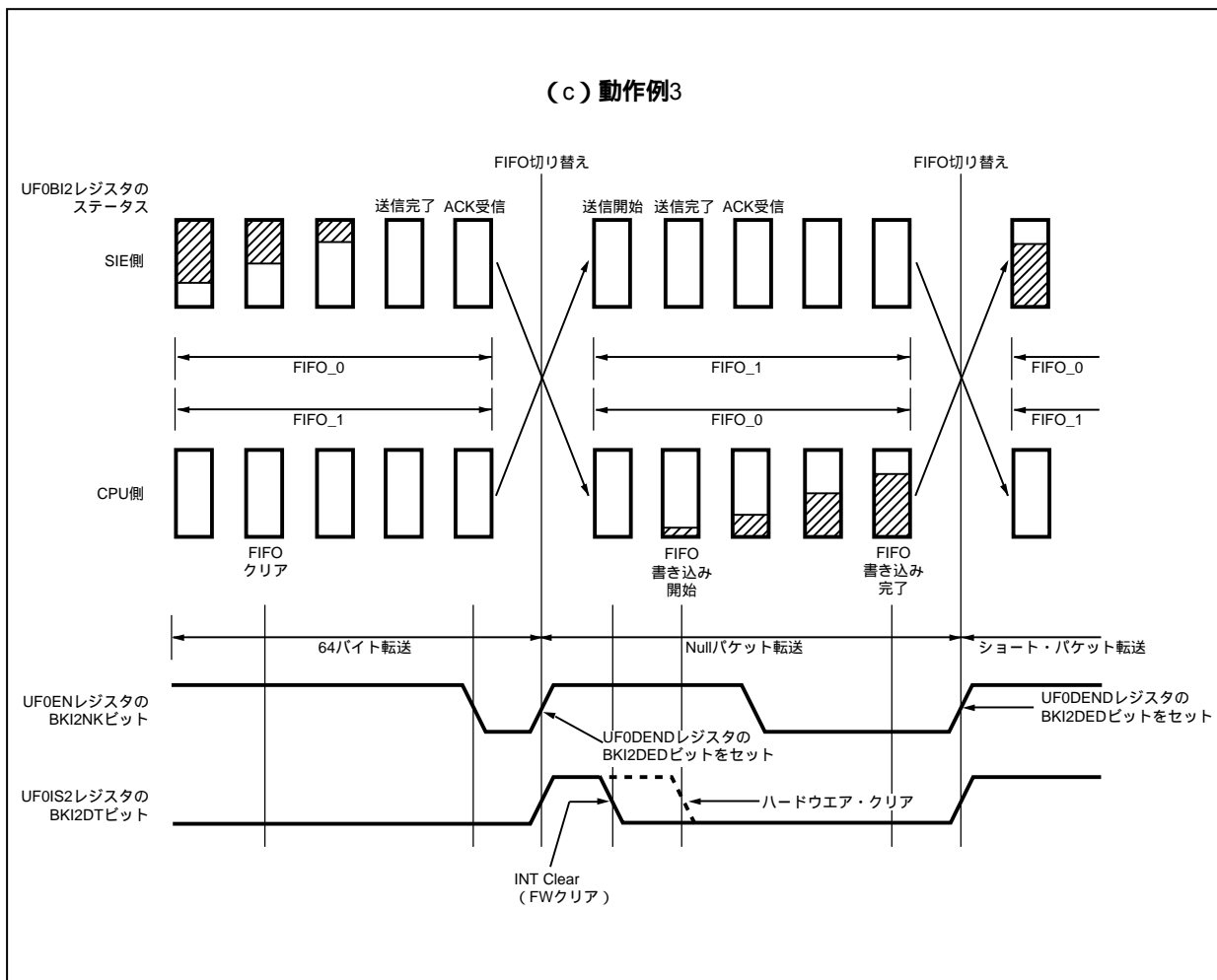


図18 - 10 UF0BI2レジスタの動作 (3/3)



(11) UF0インタラプト1レジスタ (UF0INT1)

UF0INT1レジスタは、Endpoint7に対するデータを格納する (SIEに引き渡す) 8バイトのFIFOです。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

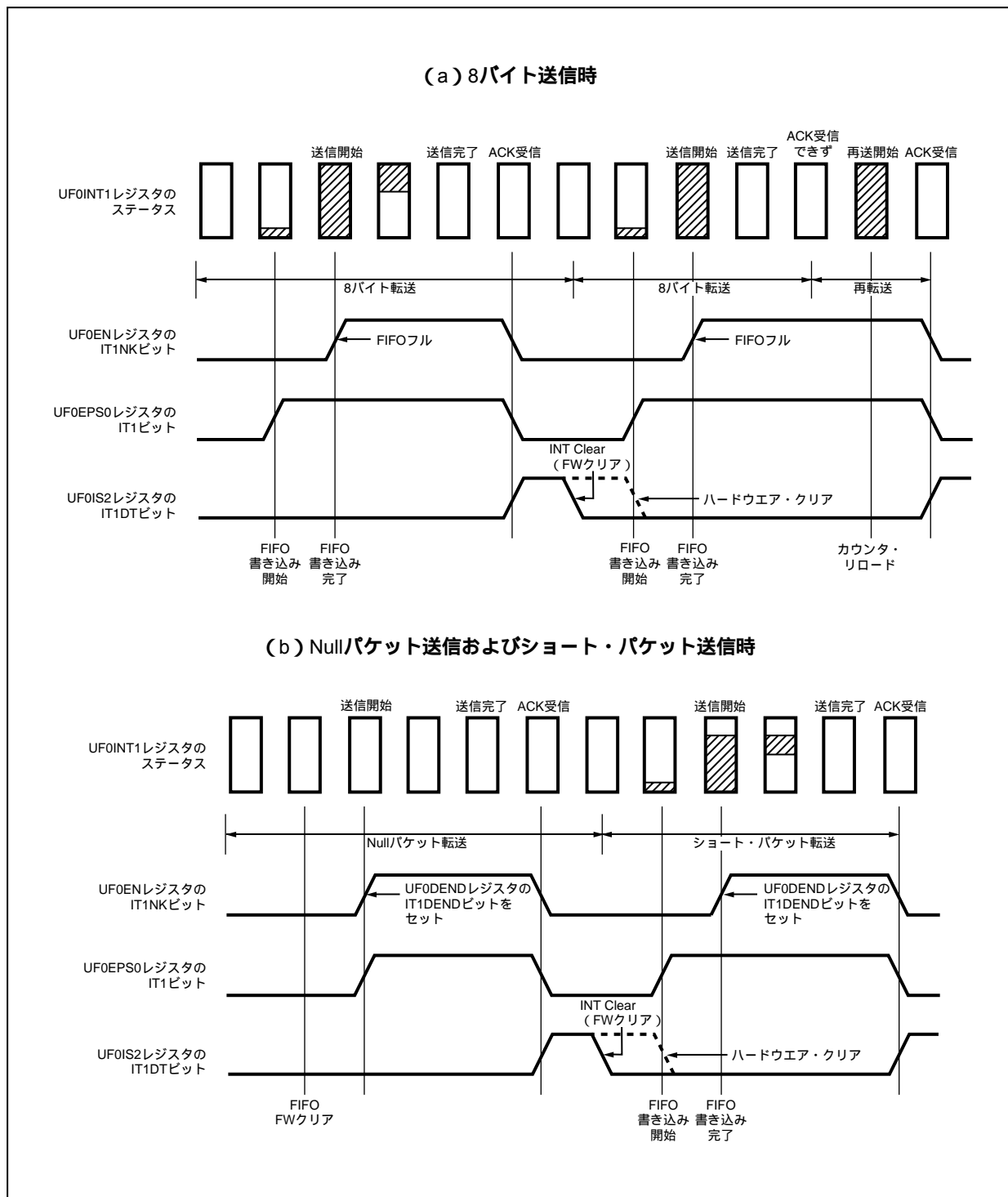
ハードウェアはUF0ENレジスタのIT1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint7に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0ENレジスタのIT1NKビットがハードウェアによって自動的にクリア(0)されます。ショート・パケットを送信する場合は、UF0INT1レジスタにデータを書き込み、UF0DENDレジスタのIT1DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT1ビット = 1 (データがある))。Nullパケットを送信する場合は、UF0INT1レジスタのクリアを行い、UF0DENDレジスタのIT1DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT1ビット = 1 (データがある))。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0INT1	IT17	IT16	IT15	IT14	IT13	IT12	IT11	IT10	00400114H	不定

ビット位置	ビット名	意 味
7-0	IT17-IT10	Endpoint7に対するデータを格納します。

次にUF0INT1レジスタの動作を示します。

図18 - 11 UF0INT1レジスタの動作



18.6.5 EPCリクエスト・データ・レジスタ

(1) UF0デバイス・ステータス・レジスタ (UF0DSTL)

GET_STATUS Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。

ハードウェアはGET_STATUS Deviceリクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSTL	0	0	0	0	0	0	RMWK	SFPW	00400144H	00H

ビット位置	ビット名	意 味
1	RMWK	デバイスによるリモート・ウエイクアップ機能を使用するかどうかを設定します。 1: 許可 0: 禁止 デバイスがリモート・ウエイクアップをサポートする場合は、SET_FEATURE Deviceリクエストを受信したときハードウェアによりセット(1)され、CLEAR_FEATURE Deviceリクエストを受信したときハードウェアによりクリア(0)されます。リモート・ウエイクアップをサポートしない場合にはホストからSET_FEATURE Deviceリクエストを発行しないようにしてください。
0	SFPW	デバイスがセルフ・パワーであるかバス・パワーであるかを示します。 1: セルフ・パワー 0: バス・パワー

(2) UF0 EP0ステータス・レジスタ (UF0E0SL)

GET_STATUS Endpoint0リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

USBF自身でエラーが発生すると、E0HALTビットがFWによってセット(1)されます。Endpoint0へのUSB側アクセスを受けている間の書き込みは無視されます。

FWでE0HALTビットをセット(1)する場合、直前のコントロール転送がSET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUA Endpoint0リクエスト, またはFW処理のリクエストの場合には次のSETUPトークンを受信するまで反映されません。

ハードウェアはGET_STATUS Endpoint0リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint0がストールした場合にはUF0E0W, UF0E0Rレジスタがクリアされ、UF0E0NレジスタのEP0NKW, EP0NKRビットがクリア(0)されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0SL	0	0	0	0	0	0	0	E0HALT	0040014CH	00H

ビット位置	ビット名	意 味
0	E0HALT	Endpoint0の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint0リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint0リクエストを受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(3) UF0 EP1ステータス・レジスタ (UF0E1SL)

GET_STATUS Endpoint1リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint1でエラーが発生すると、E1HALTビットがセット(1)されます。Endpoint1へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint1リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint1がストールした場合にはUF0B11レジスタがクリアされ、BK11NKビットがクリア(0)されます。

コントロール転送でなくEndpoint1に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1SL	0	0	0	0	0	0	0	E1HALT	00400150H	00H

ビット位置	ビット名	意味
0	E1HALT	Endpoint1の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint1リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint1リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint1がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(4) UF0 EP2ステータス・レジスタ (UF0E2SL)

GET_STATUS Endpoint2リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint2でエラーが発生すると、E2HALTビットがセット(1)されます。Endpoint2へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint2リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint2がストールした場合にはUF0BO1レジスタがクリアされ、BKO1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint2に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2SL	0	0	0	0	0	0	0	E2HALT	00400154H	00H

ビット位置	ビット名	意味
0	E2HALT	Endpoint2の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint2リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint2リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint2がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(5) UF0 EP3ステータス・レジスタ (UF0E3SL)

GET_STATUS Endpoint3リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint3でエラーが発生すると、E3HALTビットがセット(1)されます。Endpoint3へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint3リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint3がストールした場合にはUF0BI2レジスタがクリアされ、BK12NKビットがクリア(0)されます。

コントロール転送でなくEndpoint3に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3SL	0	0	0	0	0	0	0	E3HALT	00400158H	00H

ビット位置	ビット名	意味
0	E3HALT	Endpoint3の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint3リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint3リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint3がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(6) UF0 EP4ステータス・レジスタ (UF0E4SL)

GET_STATUS Endpoint4リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint4でエラーが発生すると、E4HALTビットがセット(1)されます。Endpoint4へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint4リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint4がストールした場合にはUF0BO2レジスタがクリアされ、BKO2NKビットがクリア(0)されます。

コントロール転送でなくEndpoint4に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4SL	0	0	0	0	0	0	0	E4HALT	0040015CH	00H

ビット位置	ビット名	意味
0	E4HALT	Endpoint4の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint4リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint4リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint4がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(7) UF0 EP7ステータス・レジスタ (UF0E7SL)

GET_STATUS Endpoint7リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint7でエラーが発生すると、E7HALTビットがセット(1)されます。Endpoint7へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint7リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint7がストールした場合にはUF0INT1レジスタがクリアされ、IT1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint7に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7SL	0	0	0	0	0	0	0	E7HALT	00400168H	00H

ビット位置	ビット名	意味
0	E7HALT	Endpoint7の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint7リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint7リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint7がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(8) UF0アドレス・レジスタ (UF0ADRS)

デバイス・アドレスを格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタは、SET_ADDRESSリクエストにより送られてくるデバイス・アドレスを解析し、自動的にその値を書き込みます。SET_ADDRESSリクエストをFW処理した場合、ステータス・ステージのSUCCESS信号受信時にこのレジスタの値をデバイス・アドレスとして反映します。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ADRS	0	ADRS6	ADRS5	ADRS4	ADRS3	ADRS2	ADRS1	ADRS0	00400180H	00H

ビット位置	ビット名	意味
6-0	ADRS6- ADRS0	SIEのデバイス・アドレスを保持します。

(9) UF0コンフィギュレーション・レジスタ (UF0CNF)

GET_CONFIGURATIONリクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_CONFIGURATIONリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタの値が00Hから00H以外に変化したタイミングを検出して、UF0MODSレジスタのCONFビットがセット (1) されます。また、SET_CONFIGURATIONリクエストをFWで処理した場合、このレジスタにデータを書き込んだ時点ですぐにUF0MODSレジスタに状態が反映されます (ステータス・ステージ終了前にCONFビット = 1になります)。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CNF	0	0	0	0	0	0	CONF1	CONF0	00400182H	00H

ビット位置	ビット名	意味
1, 0	CONF1, CONF0	GET_CONFIGURATIONリクエストに対して返信するデータを保持します。

(10) UF0インタフェース0レジスタ (UF0IF0)

GET_INTERFACE wIndex = 0リクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

SET_INTERFACEリクエストをFWで処理した場合、wIndex、wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア (0) します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF0	0	0	0	0	0	IF02	IF01	IF00	00400184H	00H

ビット位置	ビット名	意味
2-0	IF02-IF00	GET_INTERFACE wIndex = 0リクエストに対して返信するデータを保持します。

(11) UF0インタフェース1-4レジスタ (UF0IF1-UF0IF4)

GET_INTERFACE wIndex = nリクエストで返す値を格納するレジスタです (n = 1-4)。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタはUF0AIFNレジスタとUF0AASレジスタの設定によっては無効になります。

SET_INTERFACEリクエストをFWで処理した場合、wIndex, wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア (0) します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF1	0	0	0	0	0	IF12	IF11	IF10	00400186H	00H
UF0IF2	0	0	0	0	0	IF22	IF21	IF20	00400188H	00H
UF0IF3	0	0	0	0	0	IF32	IF31	IF30	0040018AH	00H
UF0IF4	0	0	0	0	0	IF42	IF41	IF40	0040018CH	00H

ビット位置	ビット名	意味
2-0	IFn2-IFn0	GET_INTERFACE wIndex = nリクエストに対して返信するデータを保持します。

備考 n = 1-4

(12) UF0 ディスクリプタ・レングス・レジスタ (UF0DSCL)

GET_DESCRIPTOR Configuration リクエストで返す値の長さを格納するレジスタです。このレジスタ値はUF0CIEnレジスタで設定した全ディスクリプタのバイト数 - 1の値になります (n = 0-255)。このレジスタ値によりGET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタ長が決定されます。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

wLengthの処理は自動的に制御されます。このレジスタに00Hを設定すると、返信するディスクリプタ長は1バイトを意味し、FFHを設定すると256バイトを意味します。なお、256バイトを越えるディスクリプタを使用する場合には、UF0MODC レジスタのCDCGDST ビットをセット(1)してFWによりGET_DESCRIPTOR リクエストを処理してください(このときUF0MODSレジスタのCDCGDビットもセット(1)されます)。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSCL	DPL7	DPL6	DPL5	DPL4	DPL3	DPL2	DPL1	DPL0	004001A0H	00H

ビット位置	ビット名	意味
7-0	DPL7-DPL0	GET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタのバイト数 - 1の値を設定します。

(13) UF0デバイス・ディスクリプタ・レジスタ0-17 (UF0DD0-UF0DD17)

GET_DESCRIPTOR Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

- 注意1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DDn (n = 0-17)									表18 - 5参照	不定

表18 - 5 UF0デバイス・ディスクリプタ・レジスタのマッピングとデータ

略号	アドレス	フィールド名	内容
UF0DD0	004001A2H	bLength	このディスクリプタのサイズ
UF0DD1	004001A4H	bDescriptorType	デバイス・ディスクリプタ・タイプ
UF0DD2	004001A6H	bcdUSB	USB仕様のRev.番号の小数点以下の値
UF0DD3	004001A8H		USB仕様のRev.番号の小数点以上の値
UF0DD4	004001AAH	bDeviceClass	クラス・コード
UF0DD5	004001ACH	bDeviceSubClass	サブクラス・コード
UF0DD6	004001AEH	bDeviceProtocol	プロトコル・コード
UF0DD7	004001B0H	bMaxPacketSize0	Endpoint0の最大パケット・サイズ
UF0DD8	004001B2H	idVendor	ベンダIDの下位側の値
UF0DD9	004001B4H		ベンダIDの上位側の値
UF0DD10	004001B6H	idProduct	製品IDの下位側の値
UF0DD11	004001B8H		製品IDの上位側の値
UF0DD12	004001BAH	bcdDevice	デバイス・リリース番号の下位側の値
UF0DD13	004001BCH		デバイス・リリース番号の上位側の値
UF0DD14	004001BEH	iManufacturer	メーカーを記述するstring・ディスクリプタのインデクス
UF0DD15	004001C0H	iProduct	製品を記述するstring・ディスクリプタのインデクス
UF0DD16	004001C2H	iSerialNumber	デバイス・シリアル番号を記述するstring・ディスクリプタのインデクス
UF0DD17	004001C4H	BNumConfigurations	設定可能なConfigurationの数

(14) UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0-255

(UF0CIE0-UF0CIE255)

GET_DESCRIPTOR Configurationリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

このレジスタには256バイトまでのディスクリプタ情報を格納できます。各ディスクリプタは Configuration, Interface, Endpointの順に格納してください(表18-6参照)。Interfaceが複数ある場合は、Interfaceディスクリプタ以降を繰り返し格納してください。

表18-6 UF0CIEnレジスタのマッピング

アドレス	格納するディスクリプタ
004001C6H	Configurationディスクリプタ (9バイト)
004001D8H	Interfaceディスクリプタ (9バイト)
004001EAH	Endpoint1ディスクリプタ (7バイト)
004001F8H	Endpoint2ディスクリプタ (7バイト)
00400206H	Endpoint3ディスクリプタ (7バイト)
:	:
004002xxH	Interfaceディスクリプタ (9バイト)
004002xxH + 9	Endpoint1ディスクリプタ (7バイト)
004002xxH + 16	Endpoint2ディスクリプタ (7バイト)
004002xxH + 23	Endpoint3ディスクリプタ (7バイト)
:	:

UF0DSCLレジスタの設定により、このレジスタに設定できる有効なデータ範囲が変わります。なお、表18-7に示すディスクリプタ以外にもクラスやベンダに固有のディスクリプタを格納できます。

すべての値が固定されていれば、ROM化可能です。

- 注意** 1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CIEn (n = 0-255)									004001C6H- 004003C4H	不定

表18 - 7 UF0CIEnレジスタのデータ

(a) Configurationディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	wTotalLength	Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の下位側の値
3		Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の上位側の値
4	bNumInterface	Interfaceの数
5	bConfigurationValue	このConfigurationを選択するための値
6	iConfiguration	このConfigurationを記述するSTRING・ディスクリプタのインデックス
7	bmAttributes	Configurationの特徴 (セルフ・パワード, リモート・ウエイクアップなし)
8	MaxPower	このConfigurationの最大消費電力 (単位: mA) ^注

注 2 mAの単位で表されます。(例: 50 = 100 mA)

(b) Interfaceディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bInterfaceNumber	このInterfaceの値
3	bAlternateSetting	Interfaceの代替セッティングを選択する値
4	bNumEndpoints	使用可能なEndpointの数
5	bInterfaceClass	クラス・コード
6	bInterfaceSubClass	サブクラス・コード
7	bInterfaceProtocol	プロトコル・コード
8	Interface	このInterfaceを記述するSTRING・ディスクリプタのインデックス

(c) Endpointディスクリプタ (7バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bEndpointAddress	このEndpointのアドレス / 転送方向
3	bmAttributes	転送種類
4	wMaxPaketSize	最大データ転送数の下位側の値
5		最大データ転送数の上位側の値
6	bInterval	転送周期

18.6.6 ブリッジ・レジスタ

(1) ブリッジ割り込み・コントロール・レジスタ (BRGINTT)

ブリッジ回路へのEPCからの割り込み発生ステータスを制御するレジスタです。

16ビット単位でリード/ライト可能です。

ビット3-15には必ず0を設定してください。

リセット時：0000H R/W アドレス：00400400H

	15	14	13	12	11	10	9	8
BRGINTT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	EPCINT2B	EPCINT1B	EPCINT0B

ビット位置	ビット名	意 味
2	EPCINT2B	EPCからのInterrupt信号"EPC_INT2B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0：割り込みなし 1：割り込みあり
1	EPCINT1B	EPCからのInterrupt信号"EPC_INT1B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0：割り込みなし 1：割り込みあり
0	EPCINT0B	EPCからのInterrupt信号"EPC_INT0B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0：割り込みなし 1：割り込みあり

(2) ブリッジ割り込み・イネーブル・レジスタ (BRGINTE)

ブリッジ回路で発生した割り込みを許可 / 禁止するかを制御するレジスタです。

16ビット単位でリード / ライト可能です。

ビット3-15には必ず0を設定してください。

リセット時 : 0000H R/W アドレス : 00400402H

	15	14	13	12	11	10	9	8
BRGINTE	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
	0	0	0	0	0	EPC INT2BEN	EPC INT1BEN	EPC INT0BEN

ビット位置	ビット名	意 味
2	EPCINT2BEN	EPCINT2BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
1	EPCINT1BEN	EPCINT1BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
0	EPCINT0BEN	EPCINT0BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可

(3) EPCマクロ・コントロール・レジスタ (EPCCLT)

EPCマクロへのリセット発生を制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセット時 : 0000H								R/W	アドレス : 00400404H							
	15	14	13	12	11	10	9	8								
EPCCLT	0	0	0	0	0	0	0	0								
	7	6	5	4	3	2	1	0								
	0	0	0	0	0	0	0	0	EPCRST							

ビット位置	ビット名	意味
0	EPCRST	EPCへのリセット発生を設定します。 0 : リセット解除 1 : リセット発行

(4) CPU I/Fバス・コントロール・レジスタ (CPUBCTL)

ブリッジ回路とCPU間のインタフェースを制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：00400408H

	15	14	13	12	11	10	9	8
CPUBCTL	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	BULKWAIT	DATAWAIT	NOWAIT

ビット位置	ビット名	意 味
2	BULKWAIT	<p>バルク・レジスタ・アクセス時に1ウエイト(バルク・ウエイト)を強制的に挿入します。</p> <p>0: バルク・ウエイト強制挿入なし^注(初期値) 1: バルク・ウエイト強制挿入あり</p> <p>注 ライト・アクセス時は設定が無効になり, バルク・ウエイトは強制挿入されません。</p>
1	DATAWAIT	<p>CPUバス・サイクルの最後に, 1ウエイト(データ・ウエイト)を強制的に挿入します。</p> <p>0: データ・ウエイト強制挿入なし(初期値) 1: データ・ウエイト強制挿入あり</p>
0	NOWAIT	<p>CPUバス・サイクルのノー・ウエイト動作の許可/禁止を設定します。</p> <p>0: ノー・ウエイト禁止^注(初期値) 1: ノー・ウエイ許可</p> <p>注 必ず1ウエイト以上が挿入されます。</p>

次にホスト切断 / ホスト再接続時のプログラム，電源投入時のプログラムのフロー・チャートを示します。

図18 - 12 ホスト切断 / ホスト再接続時のプログラムのフロー・チャート

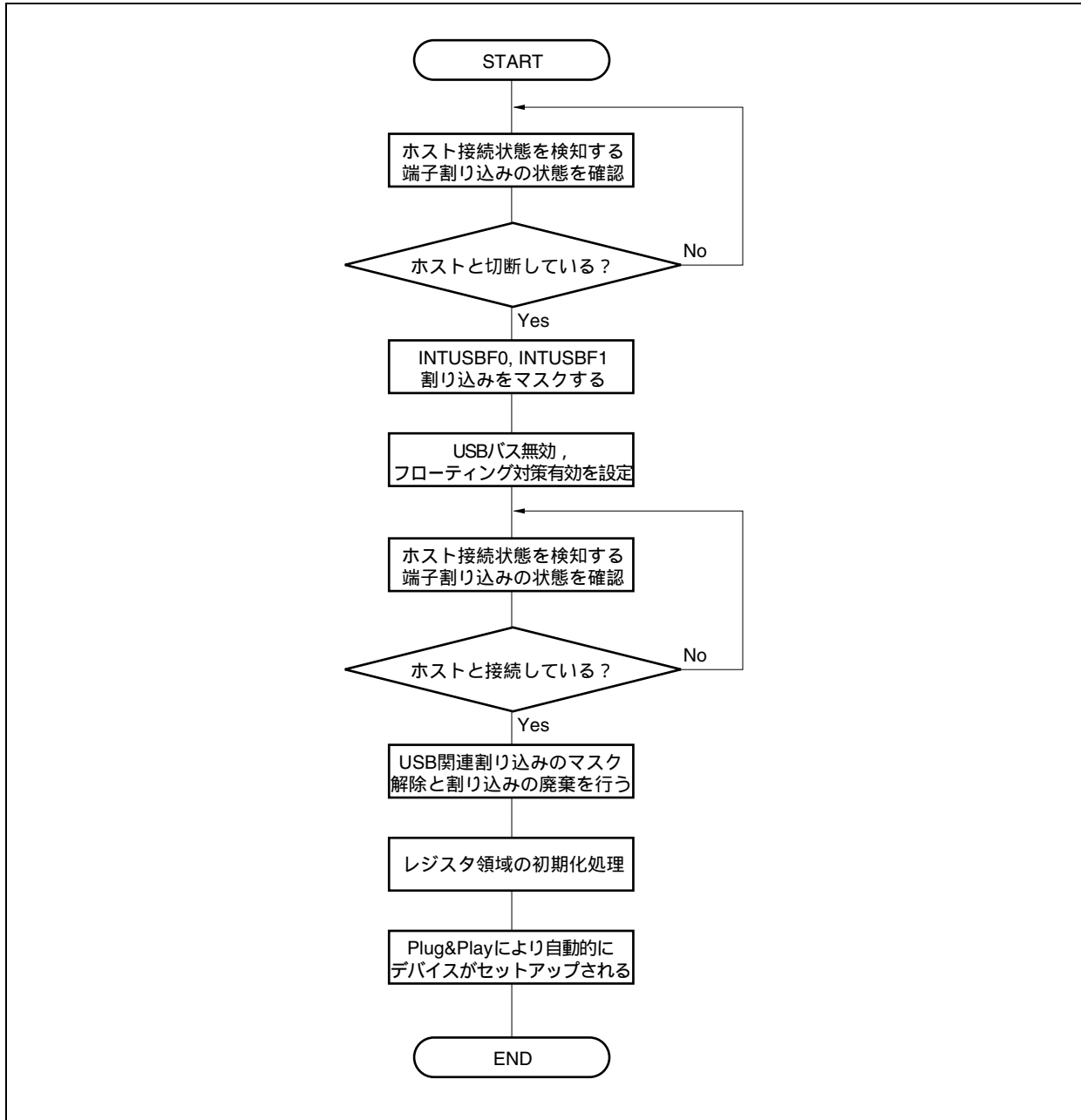
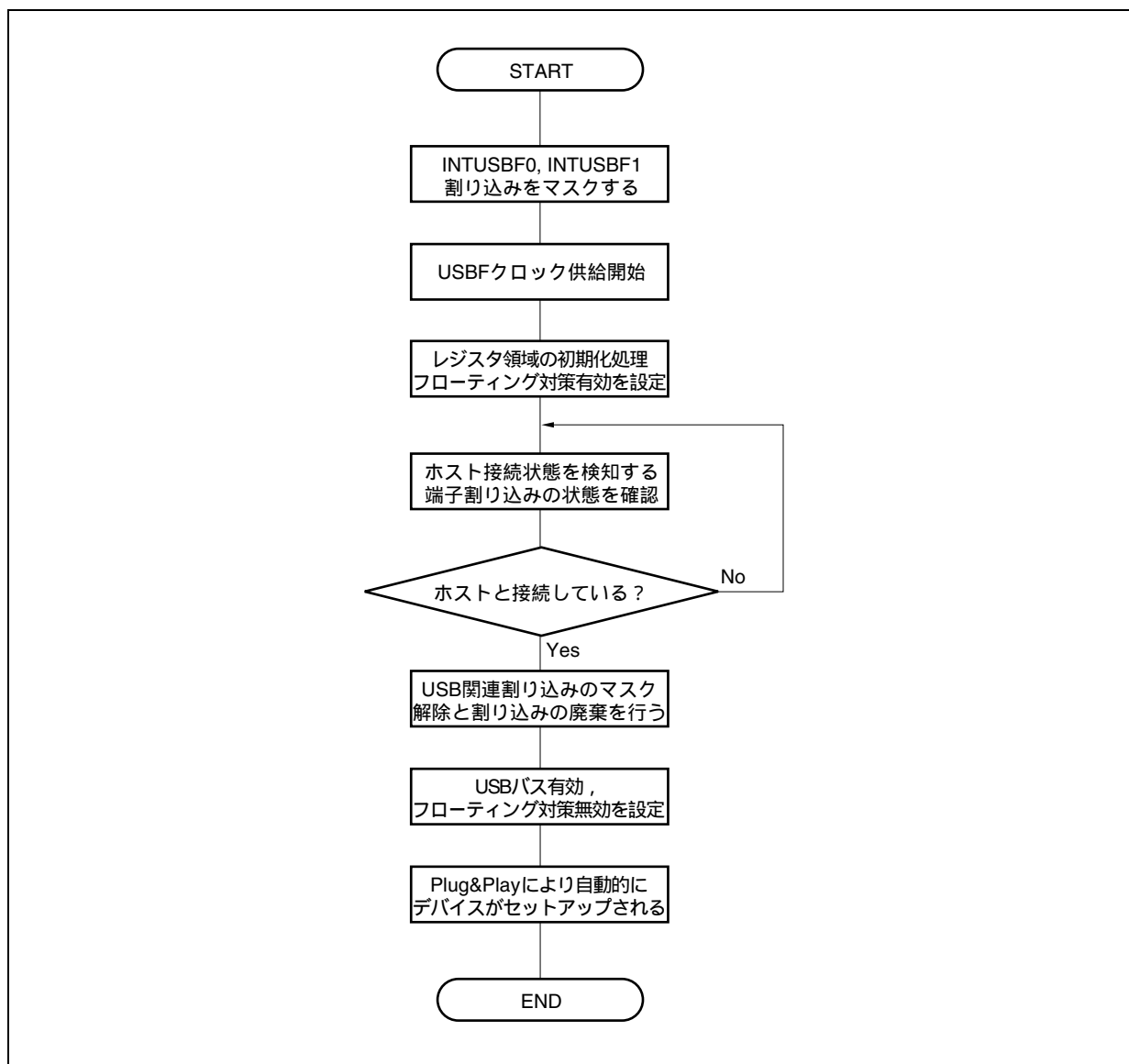


図18 - 13 電源投入時のプログラムのフロー・チャート



18.7 STALLハンドシェークまたはノー・ハンドシェーク

USBFのエラーの取り扱いは、次のように定義されています。

転送タイプ	トランザクション	対象 パケット	エラー種類	ファンクション 応答	処理内容
コントロール転送/ バルク転送/ インタラプト転送	IN/OUT/SETUP	トークン	Endpoint未対応	無応答	特になし
			Endpointに対する 転送方向不一致	無応答	特になし
			CRCエラー	無応答	特になし
			ビット・スタッフィング・エラー	無応答	特になし
コントロール転送/ バルク転送/ OUT	OUT/SETUP	データ	タイムアウト	無応答	特になし
			PID チェック・エラー	無応答	特になし
			未対応PID (Data PID以外)	無応答	特になし
			CRCエラー	無応答	受信データを破棄
	ビット・スタッフィング・エラー	無応答	受信データを破棄		
OUT	データ	Data PID不一致	ACK	受信データを破棄	
コントロール転送 (SETUPステージ)	SETUP	データ	オーバラン	無応答	受信データを破棄
コントロール転送 (データ・ステージ)	OUT	データ	オーバラン	無応答 ^{注1}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
コントロール転送 (ステータス・ ステージ)	OUT	データ	オーバラン	ACK or 無応答 ^{注2}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
バルク転送	OUT	データ	オーバラン	無応答 ^{注1}	UF0EnSLレジスタの EnHALTビットをセット(1) する (n=0-4,7)
コントロール転送/ バルク転送/ インタラプト転送	IN	ハンドシ ェーク	PIDチェック・エラー	-	送出したデータを保持し、再 転送 ^{注3}
			未対応PID (ACK PID以外)	-	送出したデータを保持し、再 転送 ^{注3}
			タイムアウト	-	送出したデータを保持し、再 転送 ^{注3}

注1. ホストの再転送に対してSTALL応答します。

- 転送データがMaxPacketSize以下の場合にはACK応答し、ステータス・ステージの受信データを破棄します。一方、MaxPacketSizeを越える場合には無応答となり、UF0SDSレジスタのSNDSTLビットがセット(1)され、受信データは破棄されます。
- コントロール転送で、データ・ステージからステータス・ステージへの変化を示すOUTトランザクションを受信した場合は対象外となり、正常受信完了と判断します。

注意1. 現在設定されているAlternate Settingの番号により対象Endpointが有効か無効かが判定されます。

- Endpoint0へのコントロール転送に含まれるリクエストに対する応答は、18.5 リクエストを参照してください。

18.8 特定状態でのレジスタ値

表18 - 8 特定状態でのレジスタ値 (1/2)

レジスタ名	CPUリセット (RESET) 時	Bus Reset時
UF0E0Nレジスタ	00H	値を保持
UF0E0NAレジスタ	00H	値を保持
UF0ENレジスタ	00H	値を保持
UF0ENMレジスタ	00H	値を保持
UF0SDSレジスタ	00H	値を保持
UF0CLRレジスタ	00H	値を保持
UF0SETレジスタ	00H	値を保持
UF0EPS0レジスタ	00H	値を保持
UF0EPS1レジスタ	00H	値を保持
UF0EPS2レジスタ	00H	値を保持
UF0IS0レジスタ	00H	値を保持
UF0IS1レジスタ	00H	値を保持
UF0IS2レジスタ	00H	値を保持
UF0IS3レジスタ	00H	値を保持
UF0IS4レジスタ	00H	値を保持
UF0IM0レジスタ	00H	値を保持
UF0IM1レジスタ	00H	値を保持
UF0IM2レジスタ	00H	値を保持
UF0IM3レジスタ	00H	値を保持
UF0IM4レジスタ	00H	値を保持
UF0IC0レジスタ	FFH	値を保持
UF0IC1レジスタ	FFH	値を保持
UF0IC2レジスタ	FFH	値を保持
UF0IC3レジスタ	FFH	値を保持
UF0IC4レジスタ	FFH	値を保持
UF0FIC0レジスタ	00H	値を保持
UF0FIC1レジスタ	00H	値を保持
UF0DENDレジスタ	00H	値を保持
UF0GPRレジスタ	00H	値を保持
UF0MODCレジスタ	00H	値を保持
UF0MODSレジスタ	00H	ビット2 (CONF) : クリア (0) , それ以外のビット : 値を保持
UF0AIFNレジスタ	00H	値を保持
UF0AASレジスタ	00H	値を保持
UF0ASSレジスタ	00H	00H
UF0E1IMレジスタ	00H	値を保持
UF0E2IMレジスタ	00H	値を保持

表18 - 8 特定状態でのレジスタ値 (2/2)

レジスタ名	CPUリセット (RESET) 時	Bus Reset時
UF0E3IMレジスタ	00H	値を保持
UF0E4IMレジスタ	00H	値を保持
UF0E7IMレジスタ	00H	値を保持
UF0E0Rレジスタ	不定 ^{注1}	値を保持
UF0E0Lレジスタ	00H	値を保持
UF0E0STレジスタ	00H	00H
UF0E0Wレジスタ	不定 ^{注1}	値を保持
UF0BO1レジスタ	不定 ^{注1}	値を保持
UF0BO1Lレジスタ	00H	値を保持
UF0BO2レジスタ	不定 ^{注1}	値を保持
UF0BO2Lレジスタ	00H	値を保持
UF0BI1レジスタ	不定 ^{注1}	値を保持
UF0BI2レジスタ	不定 ^{注1}	値を保持
UF0INT1レジスタ	不定	値を保持
UF0DSTLレジスタ	00H	00H
UF0E0SLレジスタ	00H	00H
UF0E1SLレジスタ	00H	00H
UF0E2SLレジスタ	00H	00H
UF0E3SLレジスタ	00H	00H
UF0E4SLレジスタ	00H	00H
UF0E7SLレジスタ	00H	00H
UF0ADRSレジスタ	00H	00H
UF0CNFレジスタ	00H	00H
UF0IF0レジスタ	00H	00H
UF0IF1レジスタ	00H	00H
UF0IF2レジスタ	00H	00H
UF0IF3レジスタ	00H	00H
UF0IF4レジスタ	00H	00H
UF0DSCLレジスタ	00H	値を保持
UF0DDnレジスタ (n = 0-17)	注2	注2
UF0CIEnレジスタ (n = 0-255)	注2	注2

注1. 該当のレジスタは、FIFO制御のため、UF0FICnレジスタでのクリア (0) と同様にRESET信号がアクティブになると、ライト・ポインタ、カウンタ、リード・ポインタのすべてがクリア (0) されるので、RESET信号によって、クリア (0) できます。

2. 該当のレジスタは、クリア (0) できません。ただし、FWライト可能なので、任意の値を書き込めます (その場合は、必ずUF0E0NAレジスタのEP0NKAビット = 1にしてから行ってください)。

18.9 FW処理

FW処理は次に示すものに対して行います。

エニマレーション処理中のSET_CONFIGURATION, SET_INTERFACE, SET_FEATURE,
CLEAR_FEATUREリクエストに対する装置側の設定処理
自動処理対象外のXXXXStandardリクエスト, XXXXClassリクエスト, XXXXVendorリクエストの解析とそ
の処理
バルク転送のOUTトークンに続くデータの受信バッファからの読み出し
バルク転送のINトークンに対して返信されるデータの書き込み
インタラプト転送のトークンに対して返信されるデータの書き込み

次にFW対応のリクエストを示します。

表18 - 9 FW対応の標準リクエスト

リクエスト	受信側	処理 / 頻度	説明
CLEAR_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求は来ないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
SET_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求はないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
GET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを返します。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、ホストに返すデータをUF0E0Wレジスタに書き込みます。
SET_DESCRIPTOR	Device	FW	デバイス・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータをUF0DDnレジスタに書き込みます (n = 0-17)。
SET_DESCRIPTOR	Configuration	FW	コンフィギュレーション・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータをUF0CIE nレジスタに書き込みます (n = 0-255)。
SET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを取り込みます。
その他のリクエスト	NA	FW	SETUPトークンでその他のリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、必要な処理を行ってください。

18.9.1 初期化処理

初期化処理には次の2つの設定があります。

- ・ リクエスト・データ・レジスタの初期化
- ・ 割り込みの設定

リクエスト・データ・レジスタの初期化では、自動返信処理を行うGET_XXXXリクエストに対するデータの書き込みとEndpointのInterfaceに対する割り当てを行います。割り込みの設定では、確認する必要のない割り込み要因に対して、UF0IMnレジスタにより割り込みのマスクを行います (n = 0-4)。

次にフローを示します。

図18 - 14 リクエスト・データ・レジスタの初期化

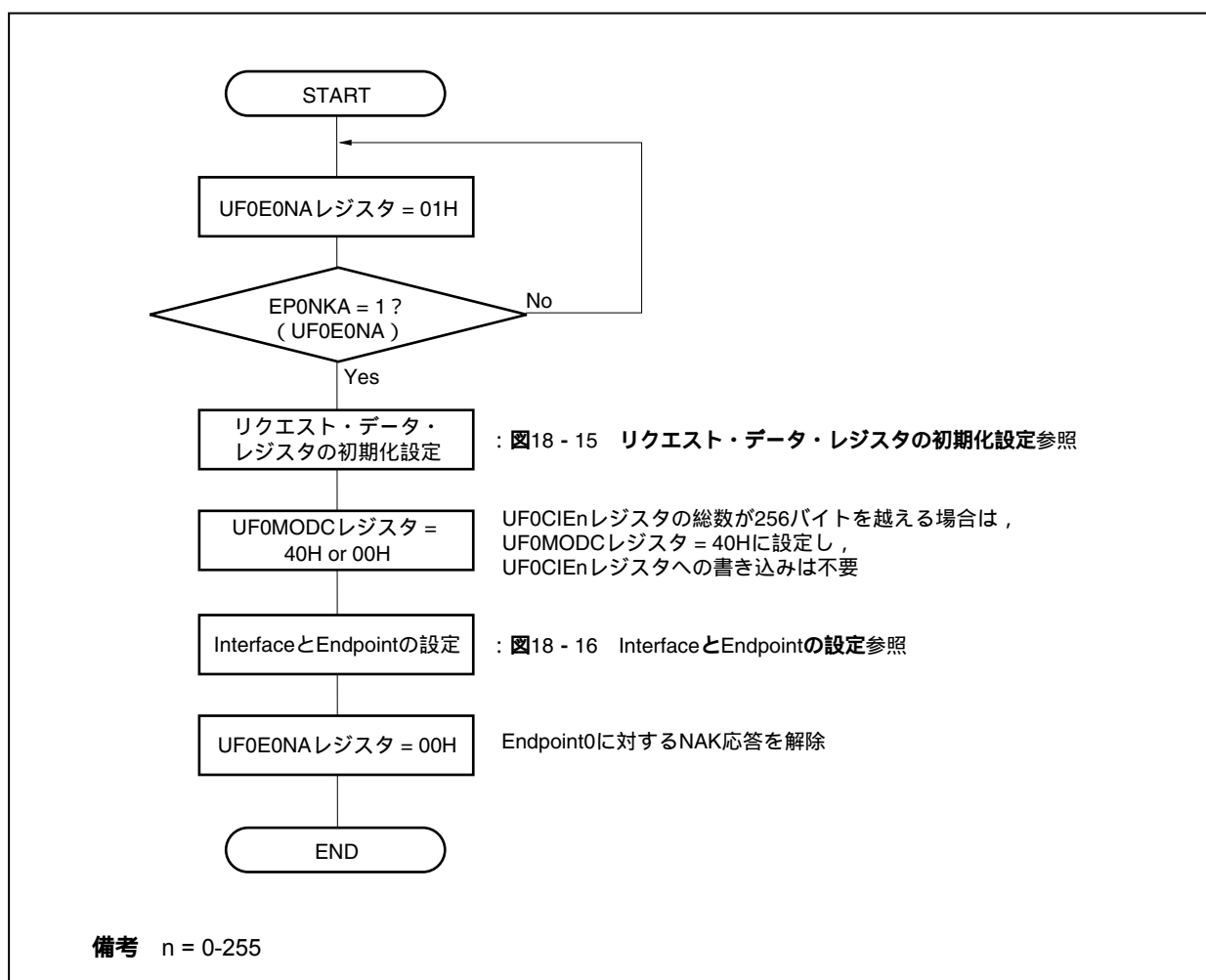


図18 - 15 リクエスト・データ・レジスタの初期化設定

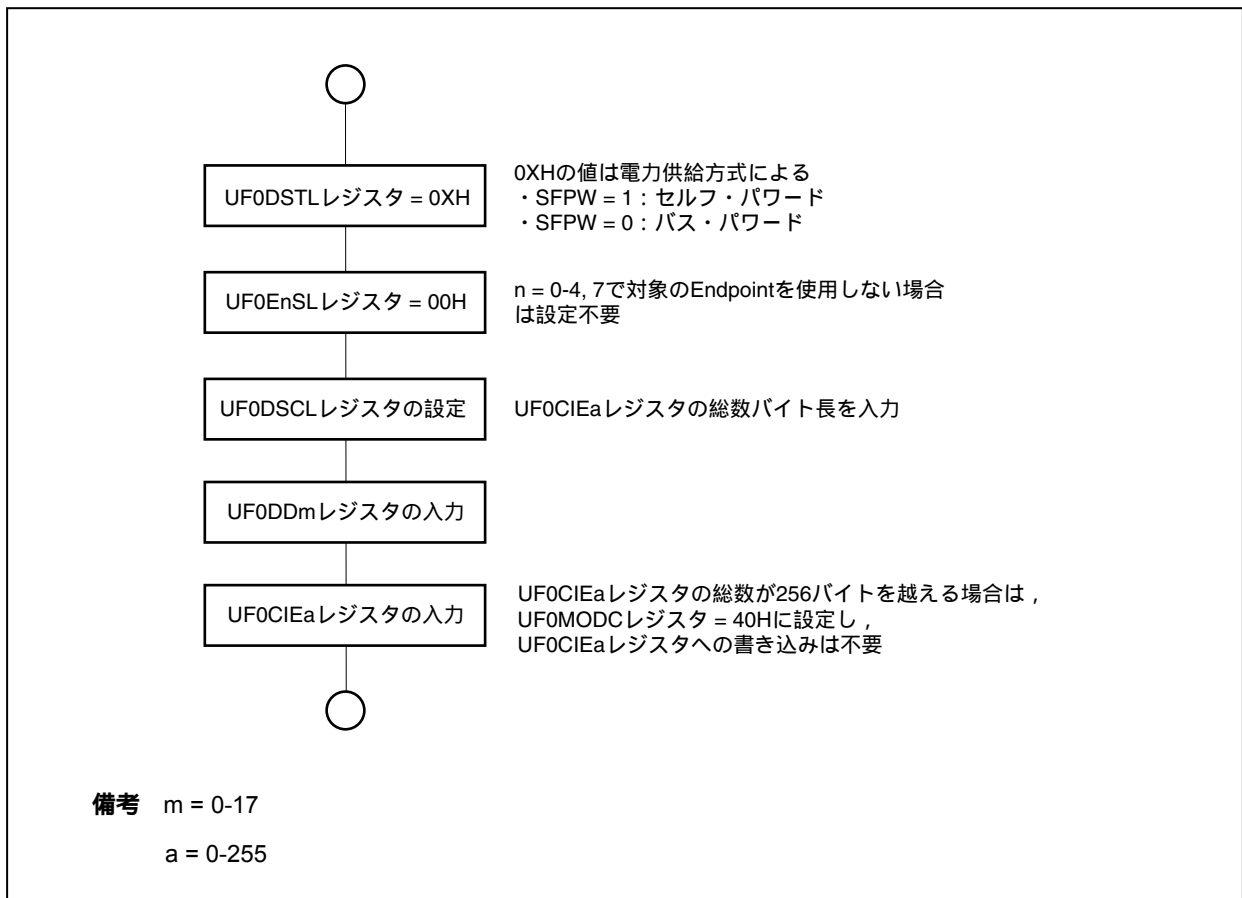


図18 - 16 InterfaceとEndpointの設定

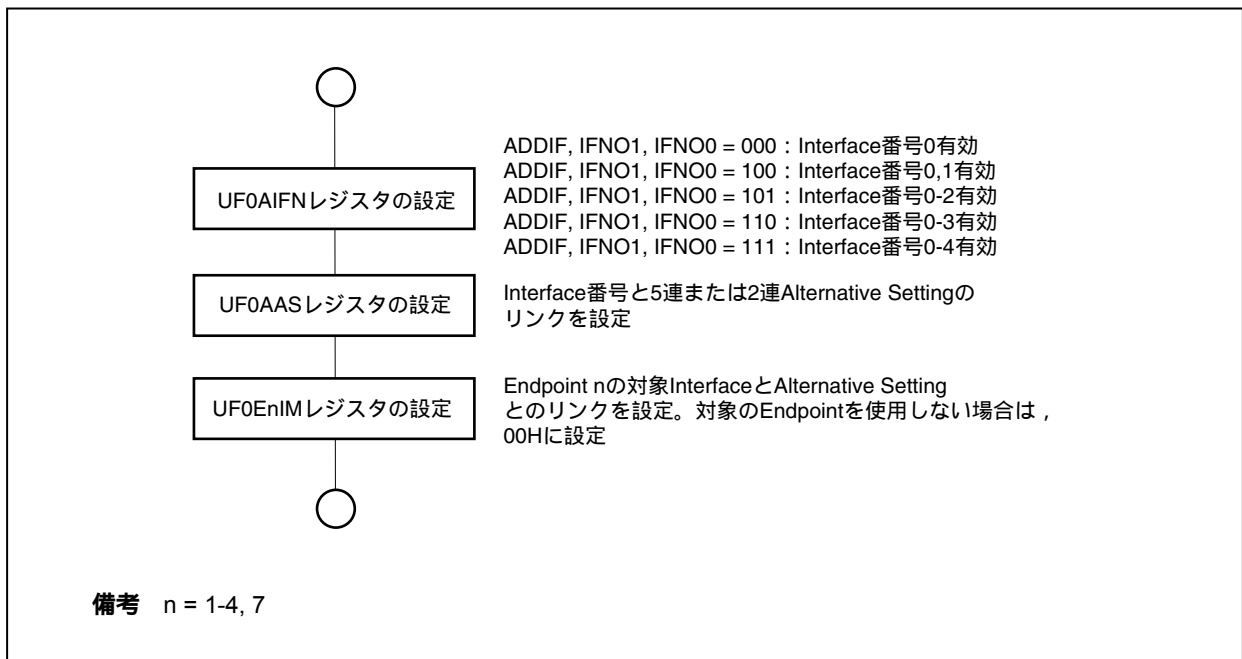
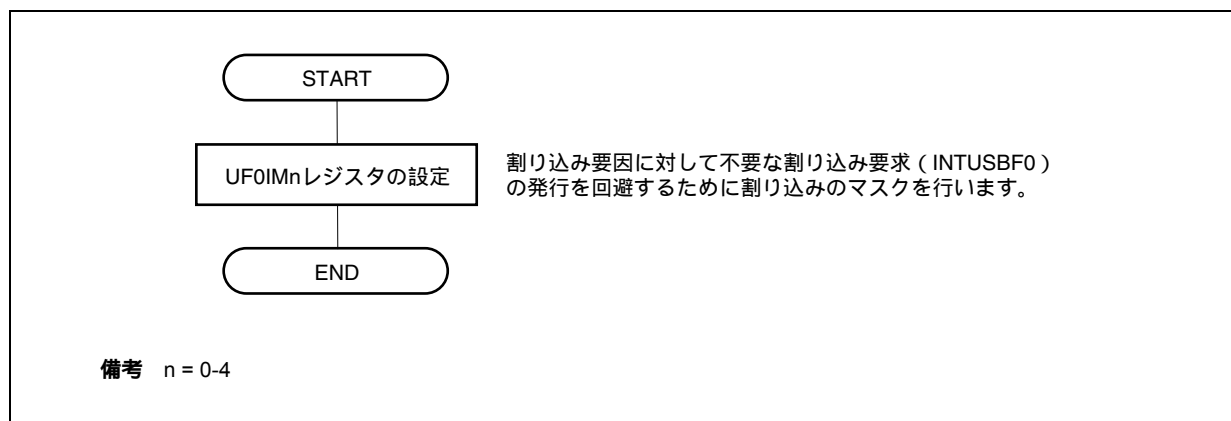


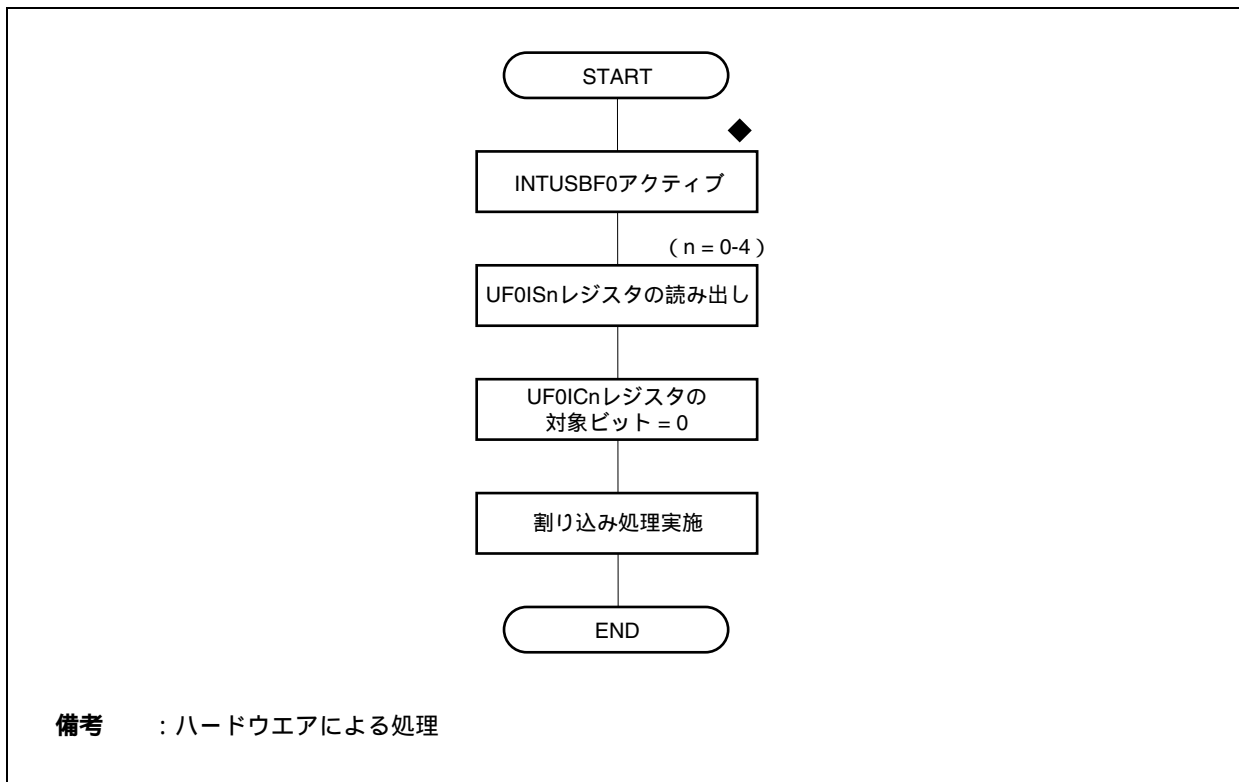
図18 - 17 割り込みの設定



18.9.2 割り込み処理

次にフローを示します。

図18 - 18 割り込み処理



次に示すUF0ISnレジスタのビットは、条件を満たしたときにハードウェアにより、自動的にクリアされます (n = 0-4)。

- ・ UF0IS1レジスタのE0INDT, E0ODT, SUCES, STG, CPUDECビット
- ・ UF0IS2レジスタのBKI2DT, BKI1DT, IT1DTビット
- ・ UF0IS3レジスタのBKO2FL, BKO2DT, BKO1FL, BKO1DTビット

なお、UF0ICnレジスタでの割り込み要因のクリアは、対象となる割り込み要因のハードウェアによるセットより、優先順位は低いため、タイミングによってはクリアできない場合があります (n = 0-4)。

18.9.3 USBメイン処理

USBメイン処理では、USBトランザクションに対する処理を行います。対象となるトランザクションのタイプは次の通りです。

- ・コントロール転送に対する完全自動処理リクエスト
- ・コントロール転送に対する自動処理リクエスト
(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)
- ・コントロール転送に対するCPUDECリクエスト
- ・バルク転送 (IN) に対する処理
- ・バルク転送 (OUT) に対する処理
- ・インタラプト転送 (IN) に対する処理

Endpoint nに対する処理は、データ転送の書き込みまたは読み出し処理です。なお、以降で示すフロー・チャートはPIOを対象にしたものです。

(1) コントロール転送に対する完全自動処理リクエスト

コントロール転送に対する完全自動処理リクエストは、ハードウェアで処理のすべてを実行するため、FWでは参照できません。このため、FWで特別に処理する必要はありません。

(2) コントロール転送に対する自動処理リクエスト

(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)

SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATUREのコントロール転送に対する自動処理リクエストに対してレジスタ等への書き込み処理などはハードウェアで自動的に実行されますが、装置側での認知のために割り込み要求を発行します。特に処理すべきことがない場合は、この処理は無視してもかまいません。

次にフローを示します。

図18 - 19 コントロール転送に対する自動処理リクエスト

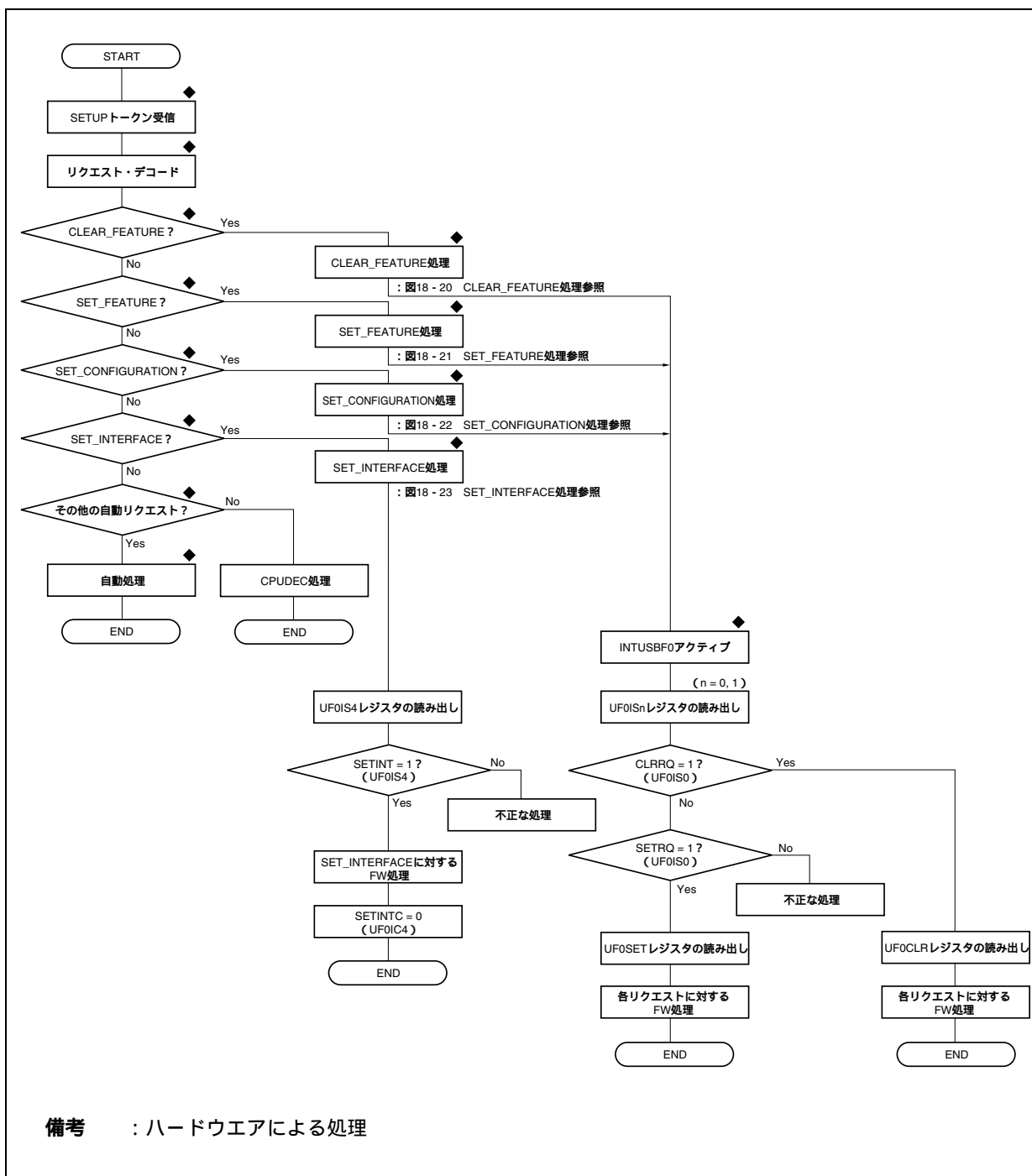


図18 - 20 CLEAR_FEATURE処理

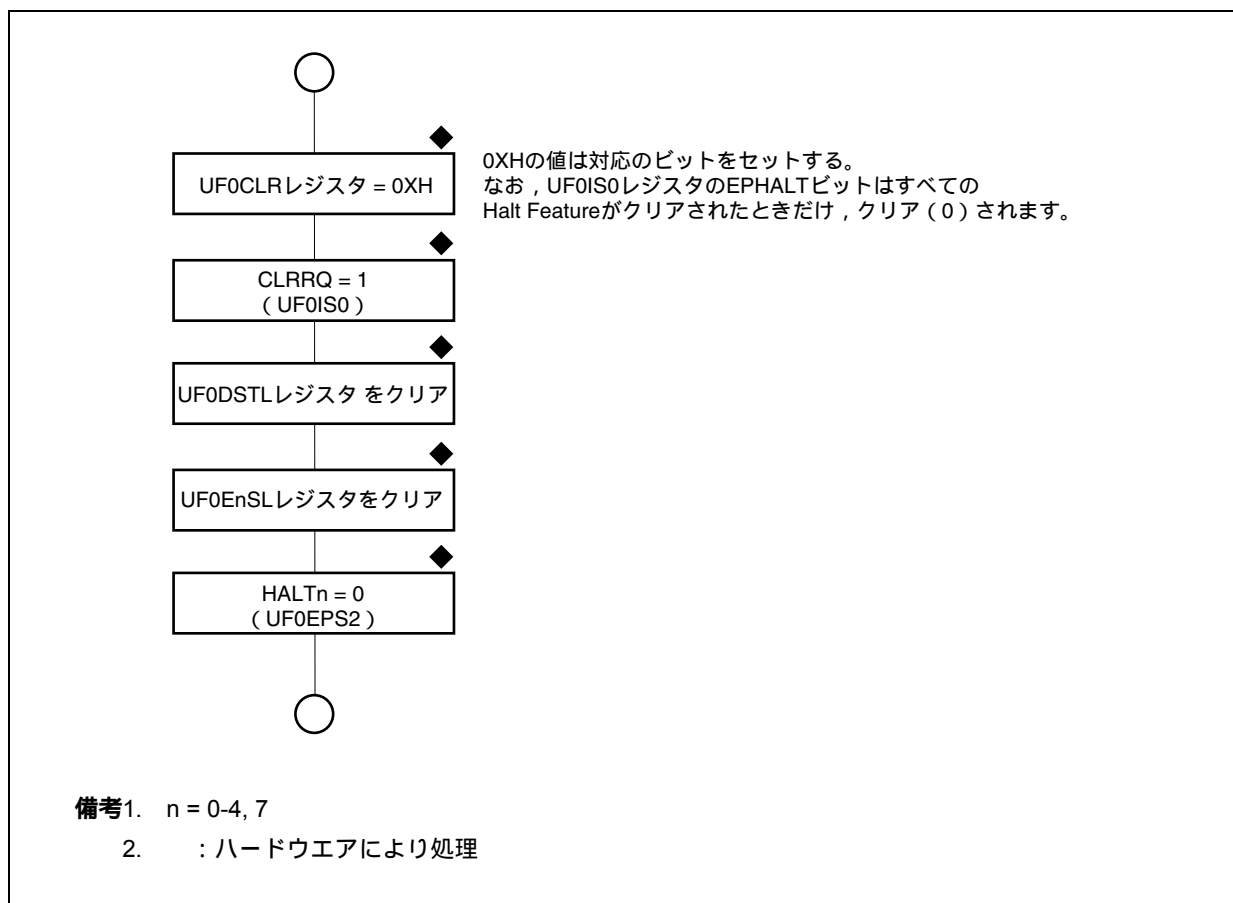


図18 - 21 SET_FEATURE処理

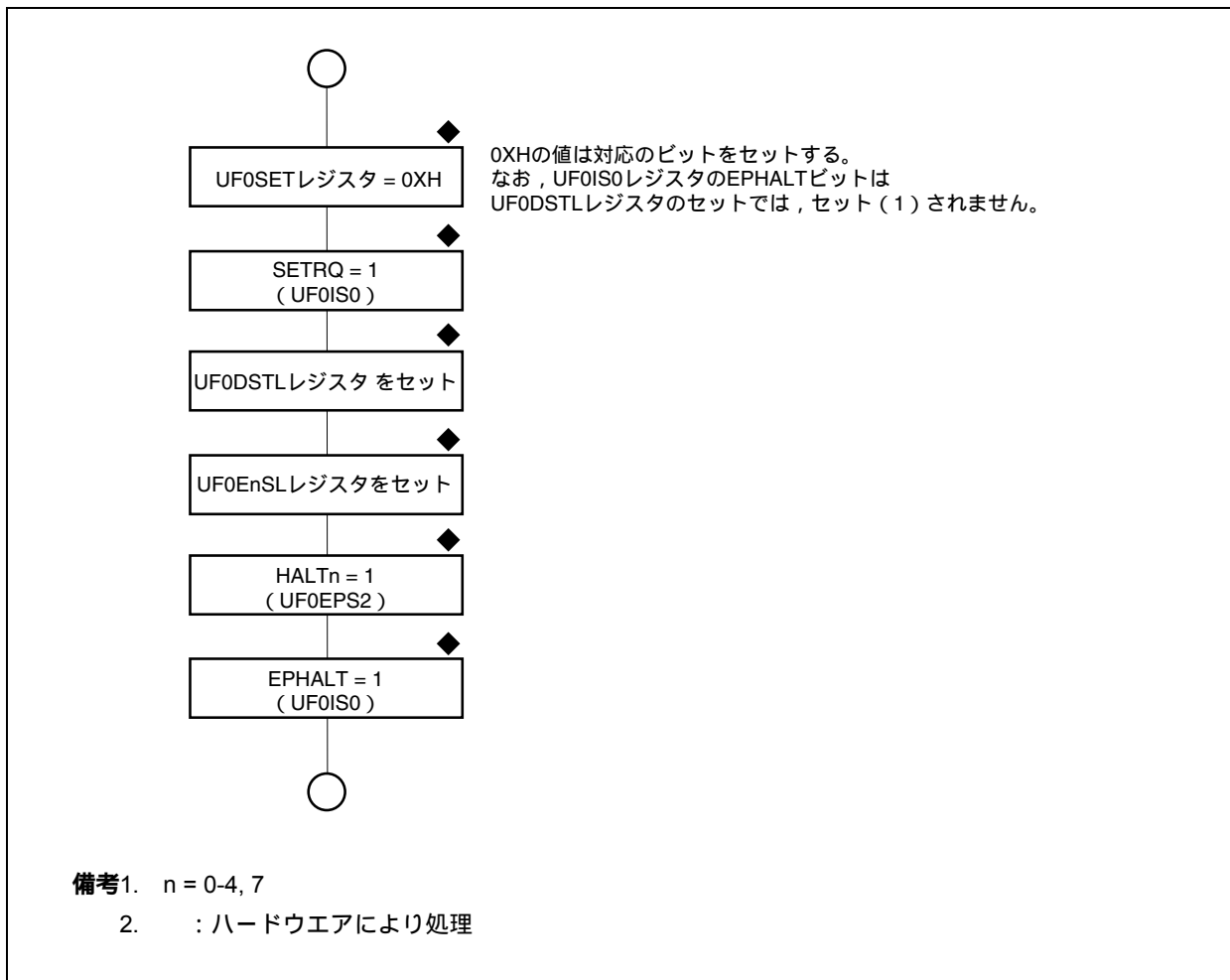


図18 - 22 SET_CONFIGURATION処理

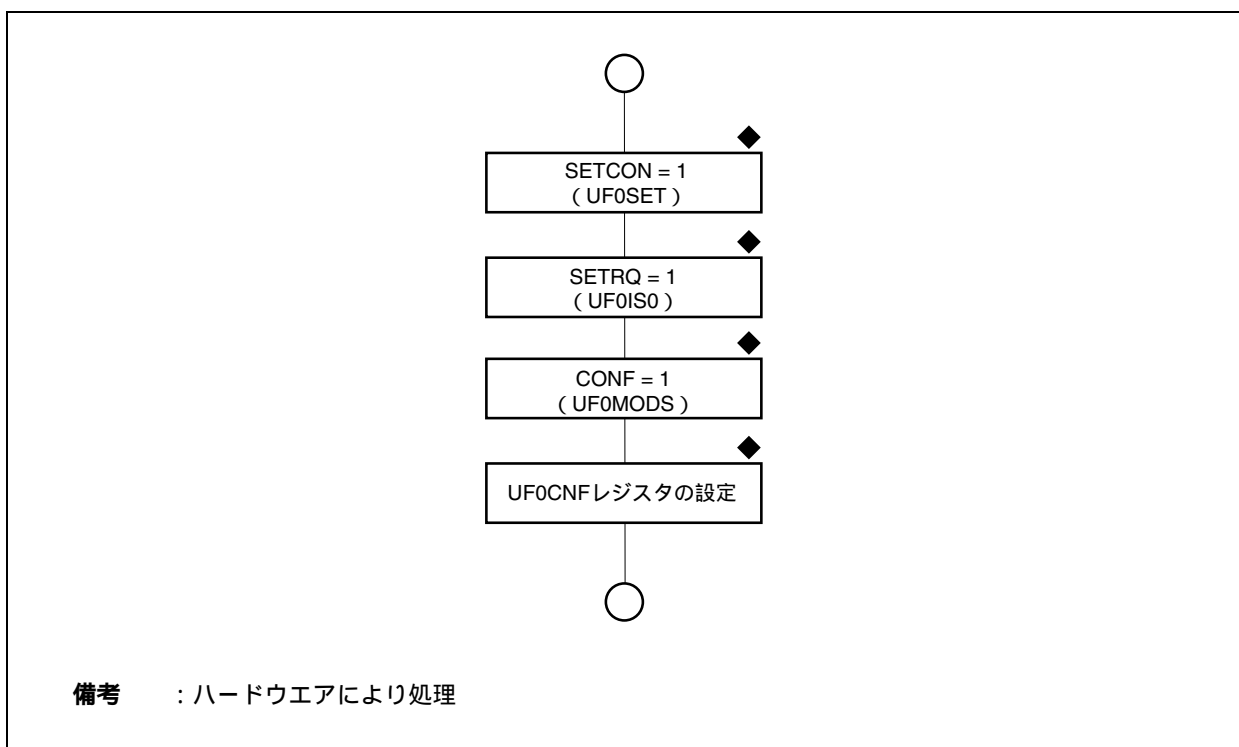
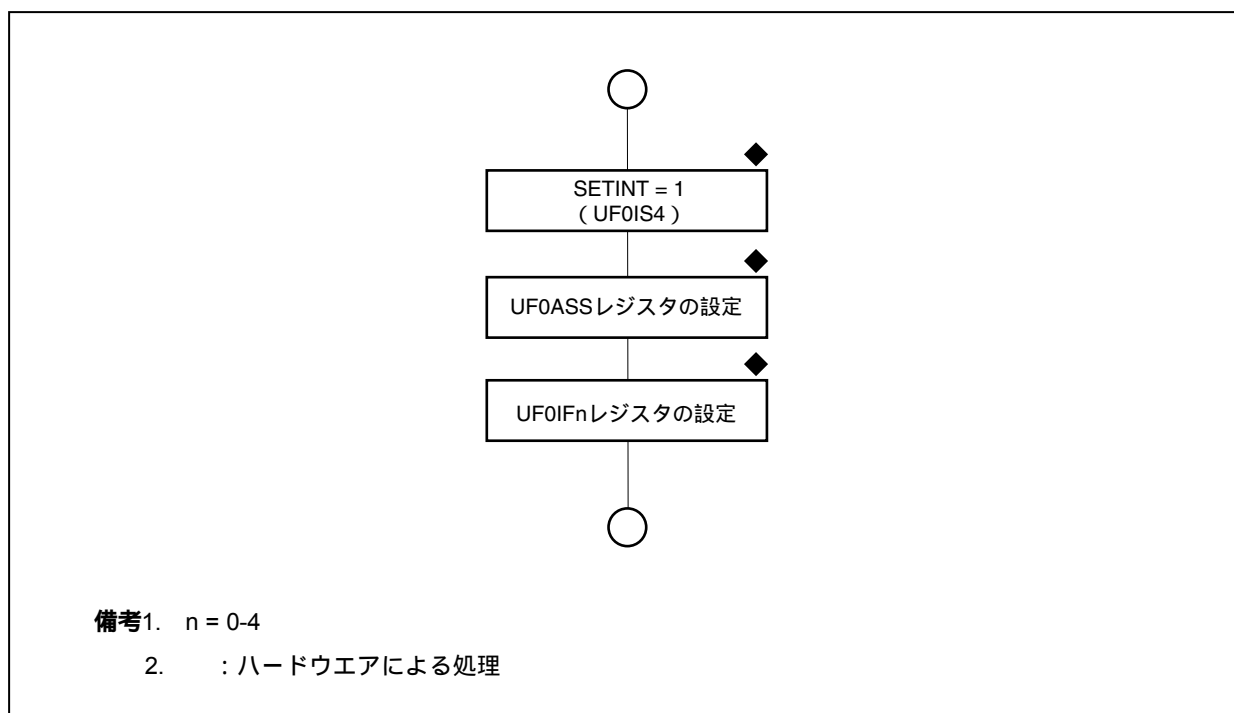


図18 - 23 SET_INTERFACE処理



(3) コントロール転送に対するCPUDECリクエスト

CPUDECリクエストは、コントロール転送(ライト)、コントロール転送(リード)、コントロール転送(データなし)の3つの処理に分類できます。コントロール転送(ライト)はデータ・ステージでOUTトランザクションを利用するリクエスト(例: SET_DESCRIPTOR)、コントロール転送(リード)はデータ・ステージでINトランザクションを利用するリクエスト(例: GET_DESCRIPTOR)、コントロール転送(データなし)はデータ・ステージを持たないリクエスト(例: SET_CONFIGURATION)を示します。

次にフローを示します。

図18 - 24 コントロール転送に対するCPUDECリクエスト (1/12)

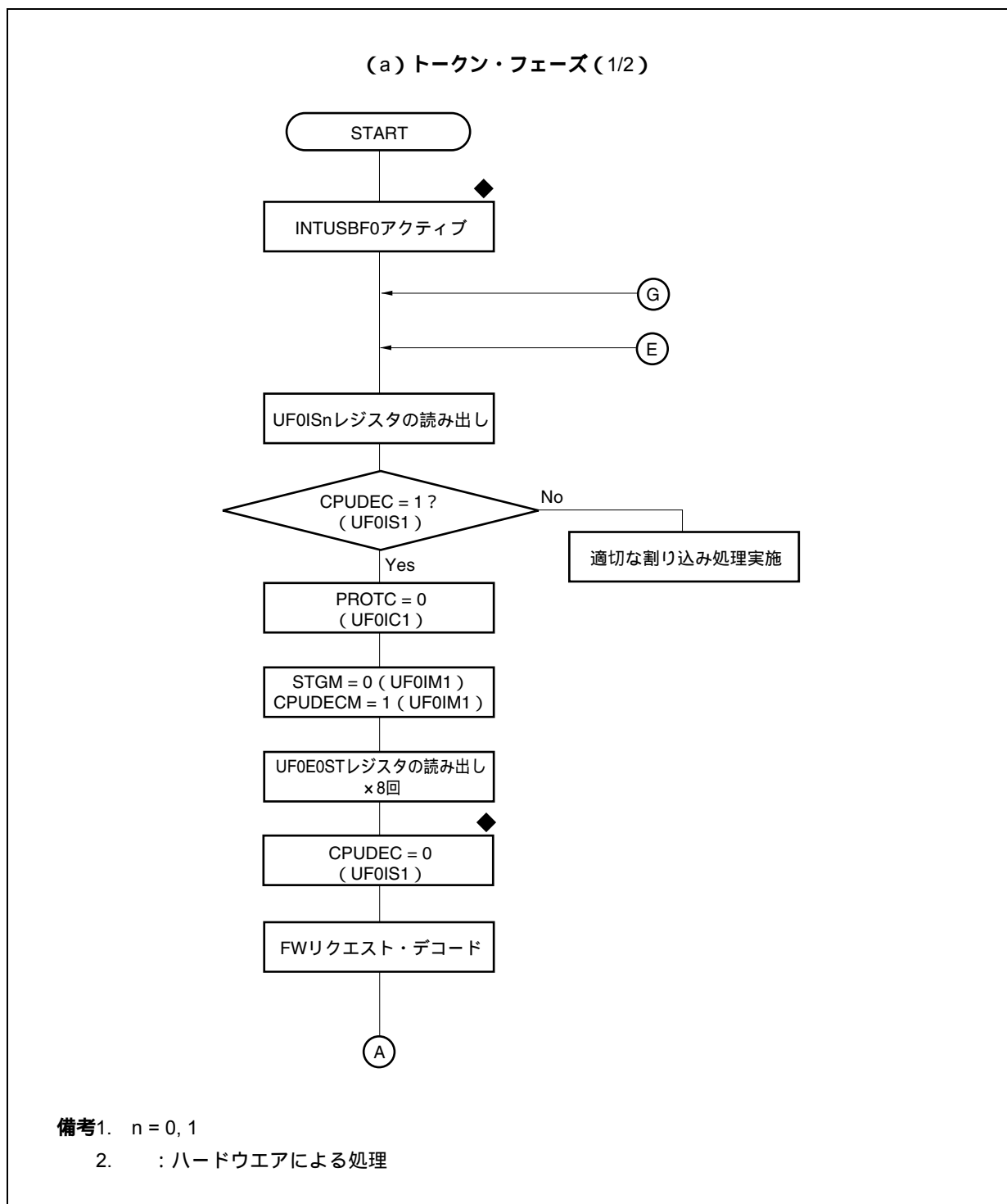


図18 - 24 コントロール転送に対するCPUDECリクエスト (2/12)

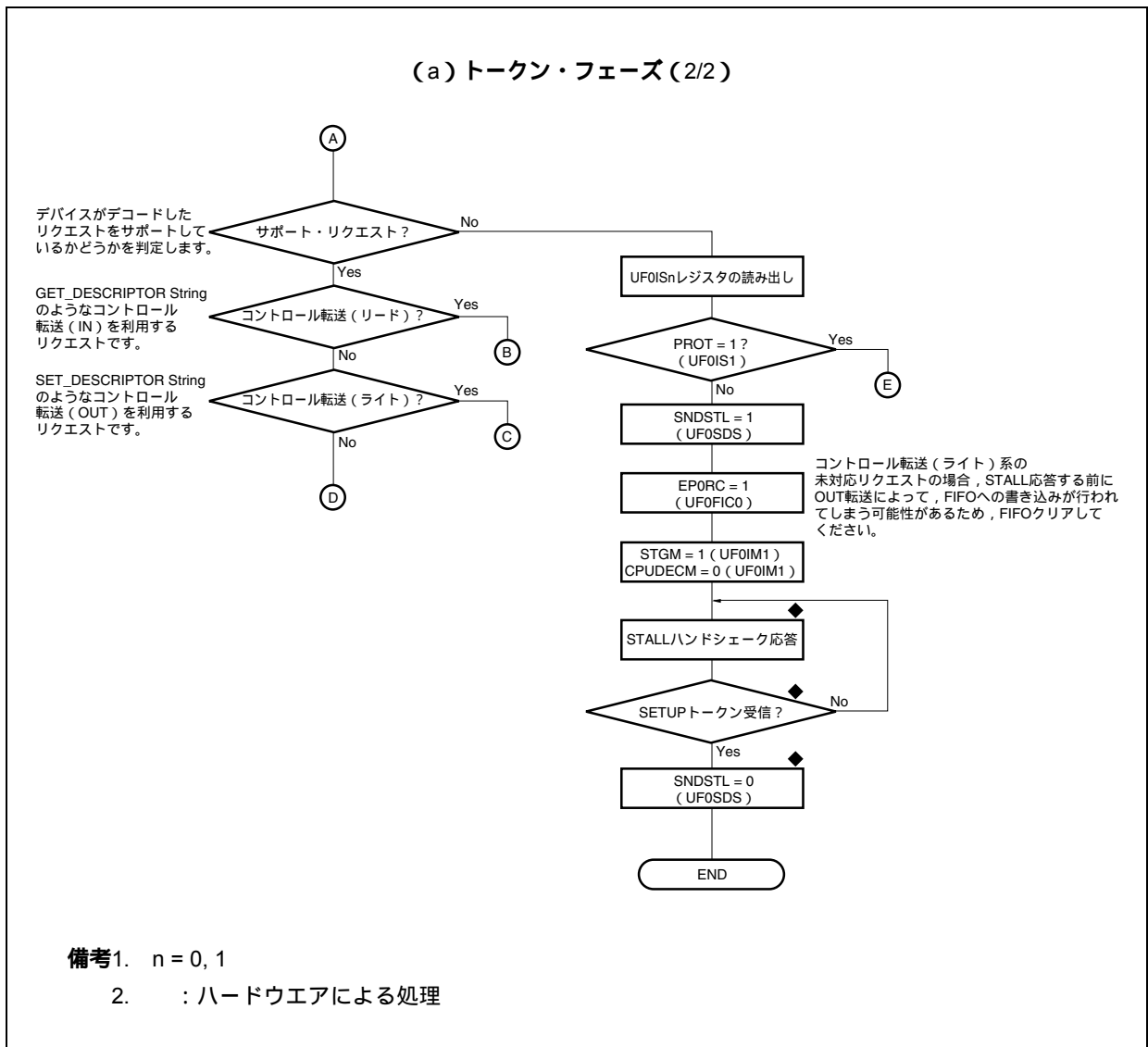


図18 - 24 コントロール転送に対するCPUDECリクエスト (3/12)

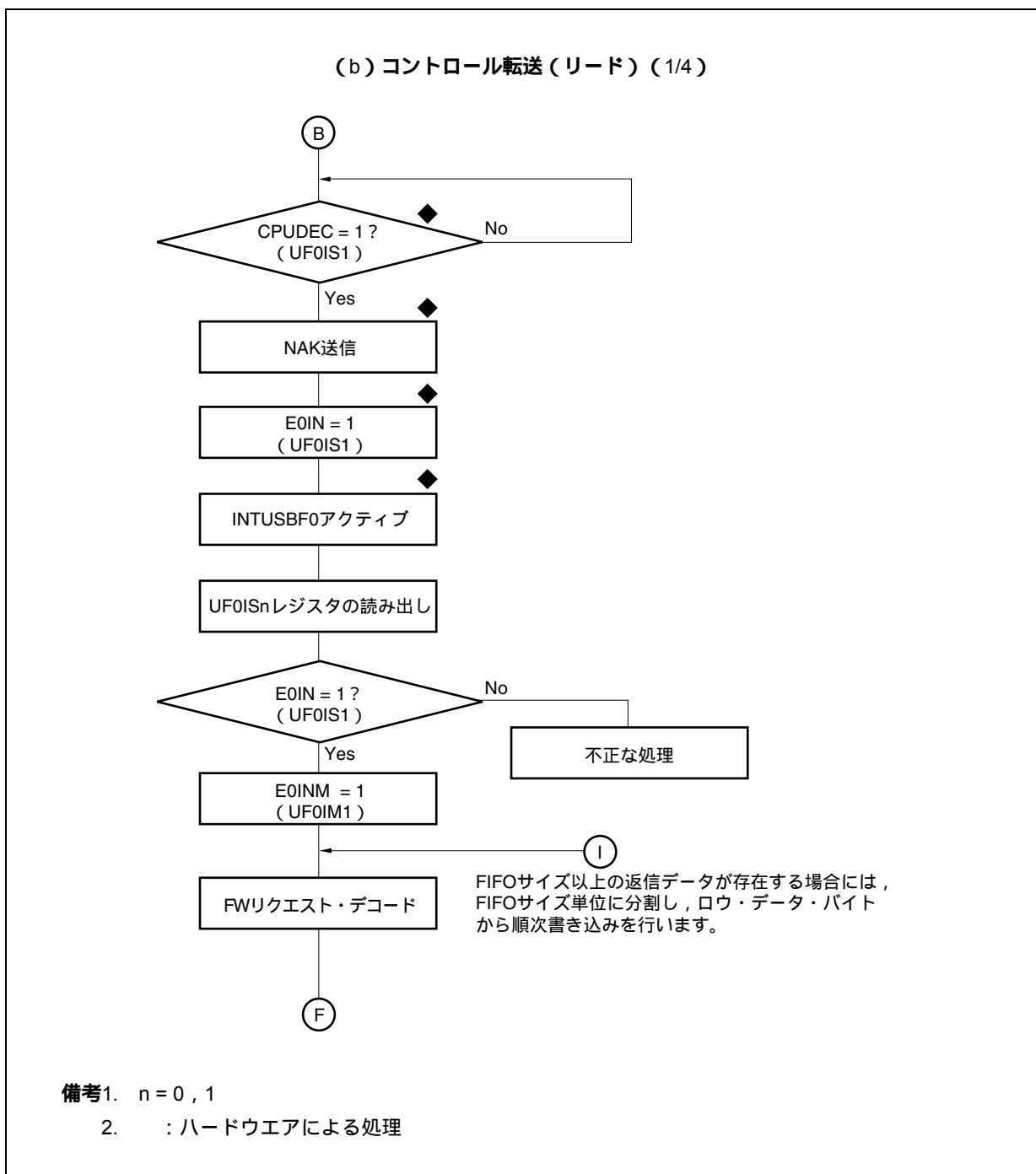


図18 - 24 コントロール転送に対するCPUDECリクエスト (4/12)

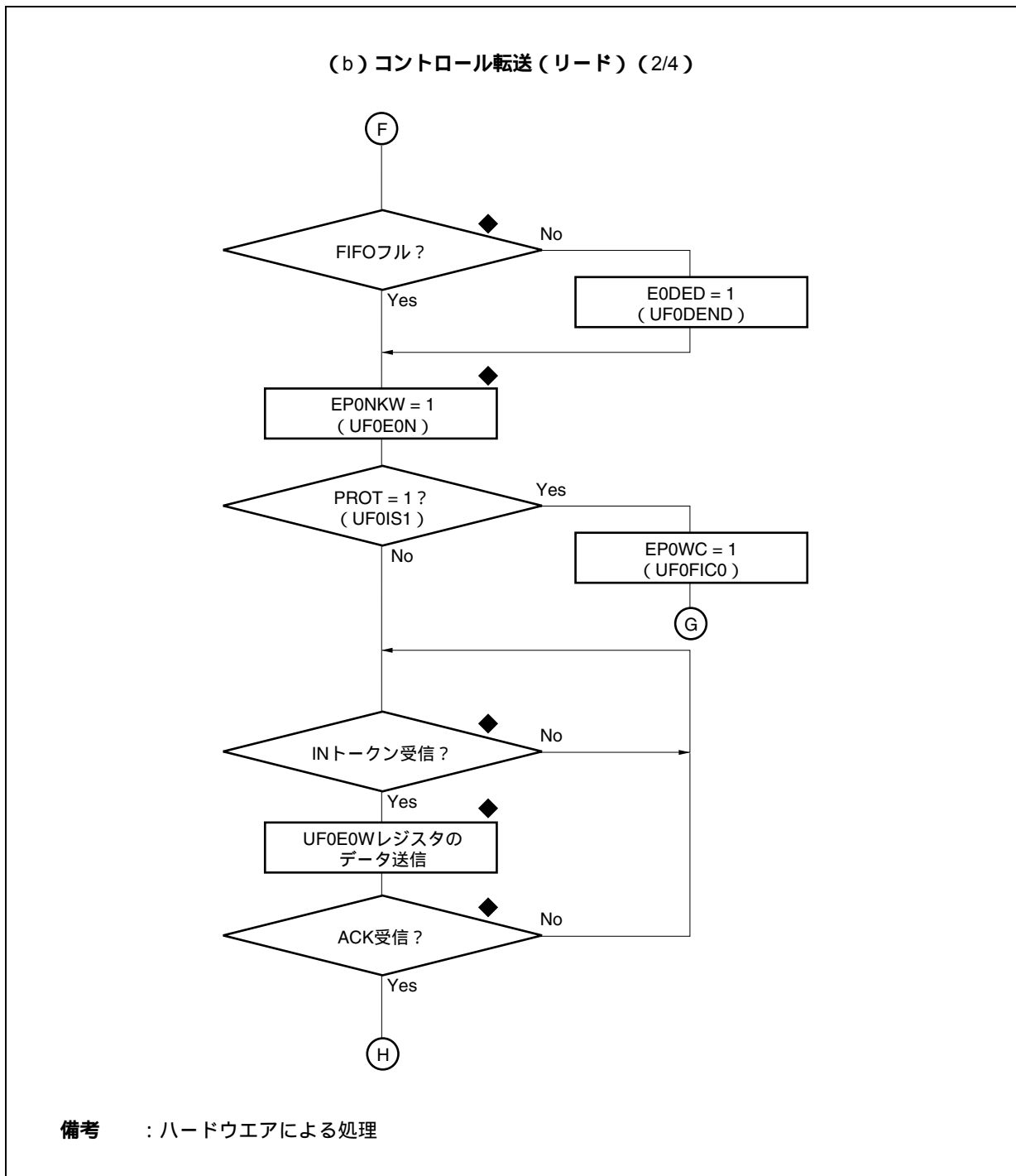


図18 - 24 コントロール転送に対するCPUDECリクエスト (5/12)

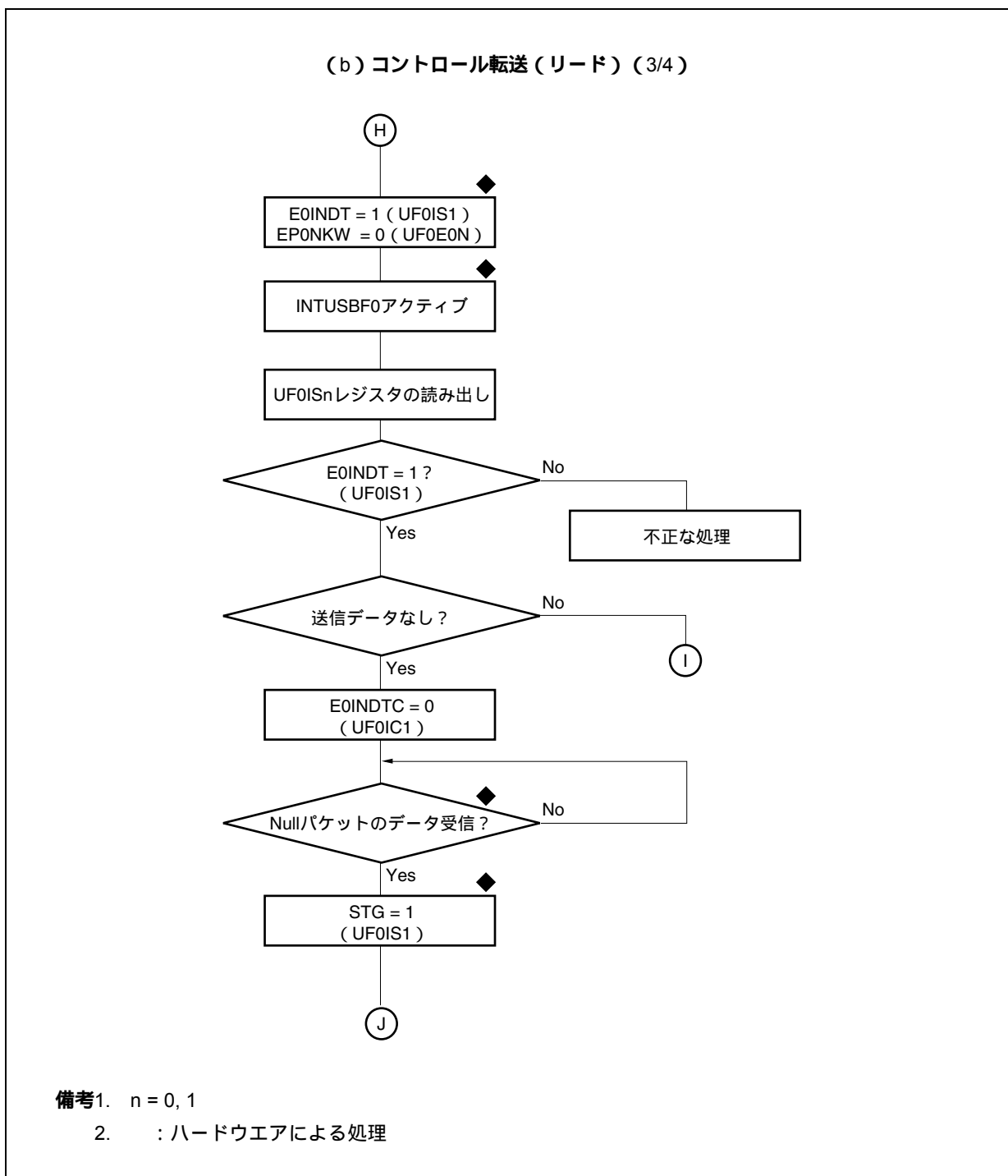


図18 - 24 コントロール転送に対するCPUDECリクエスト (6/12)

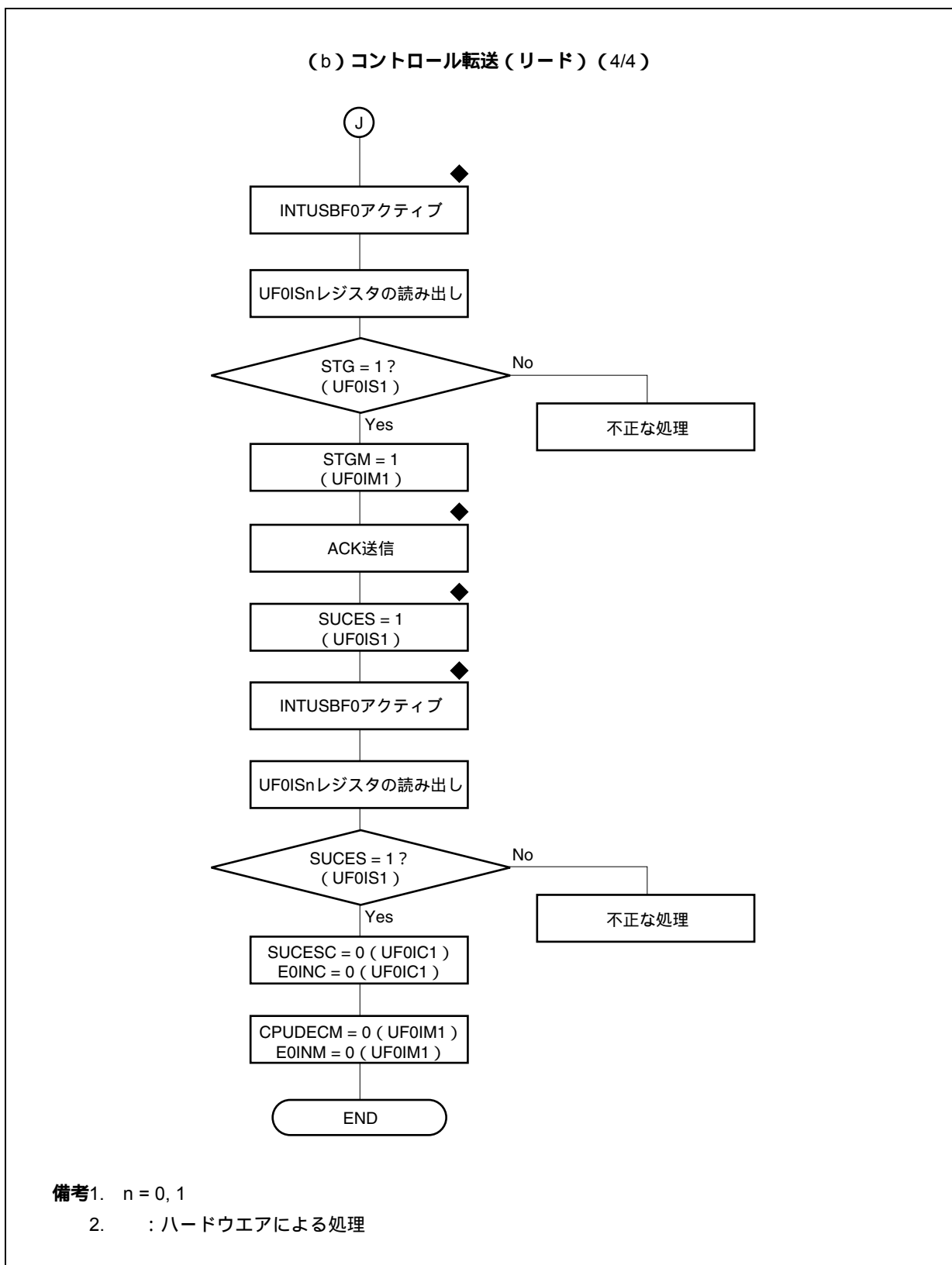


図18 - 24 コントロール転送に対するCPUDECリクエスト (7/12)

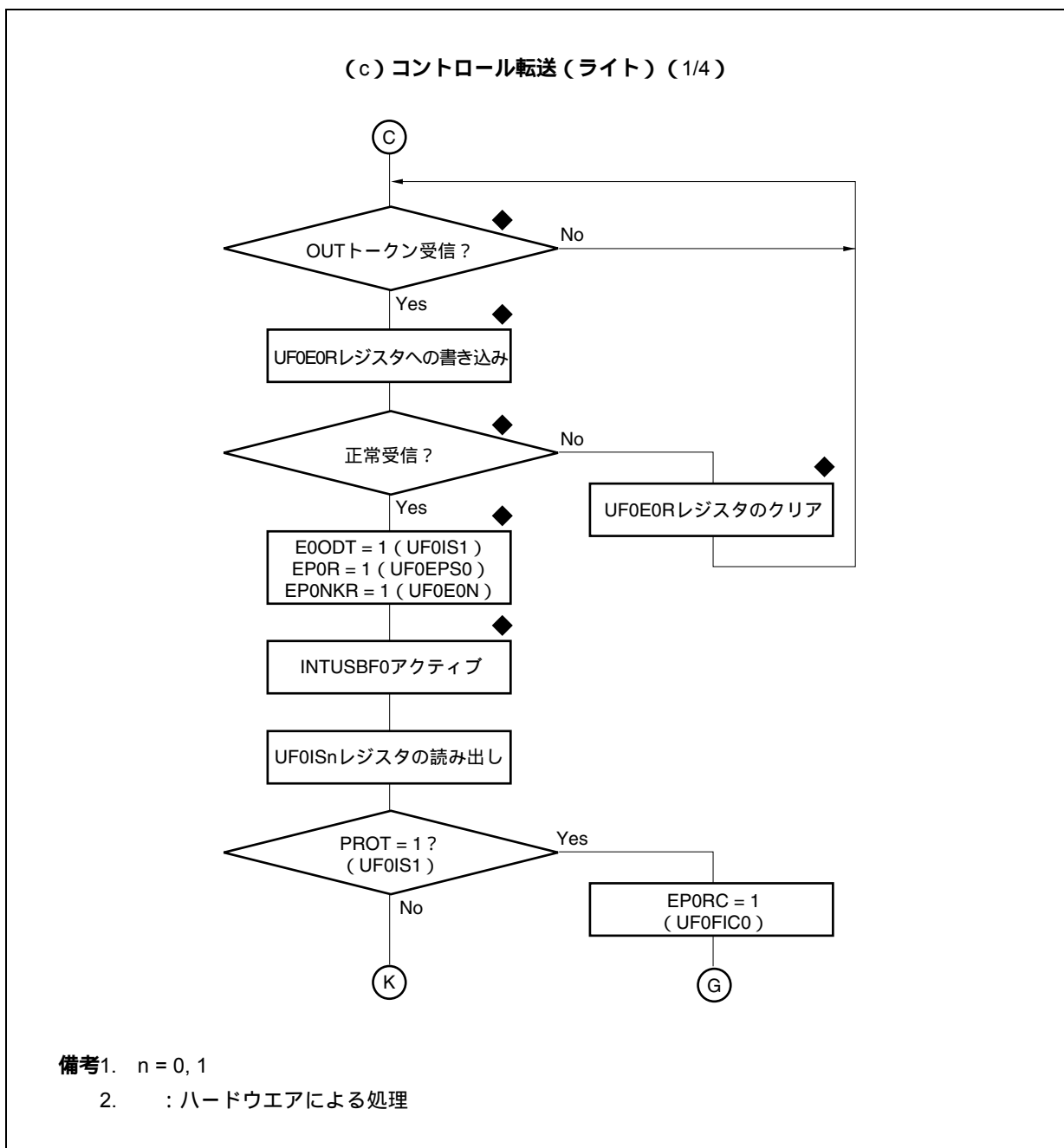


図18 - 24 コントロール転送に対するCPUDECリクエスト (8/12)

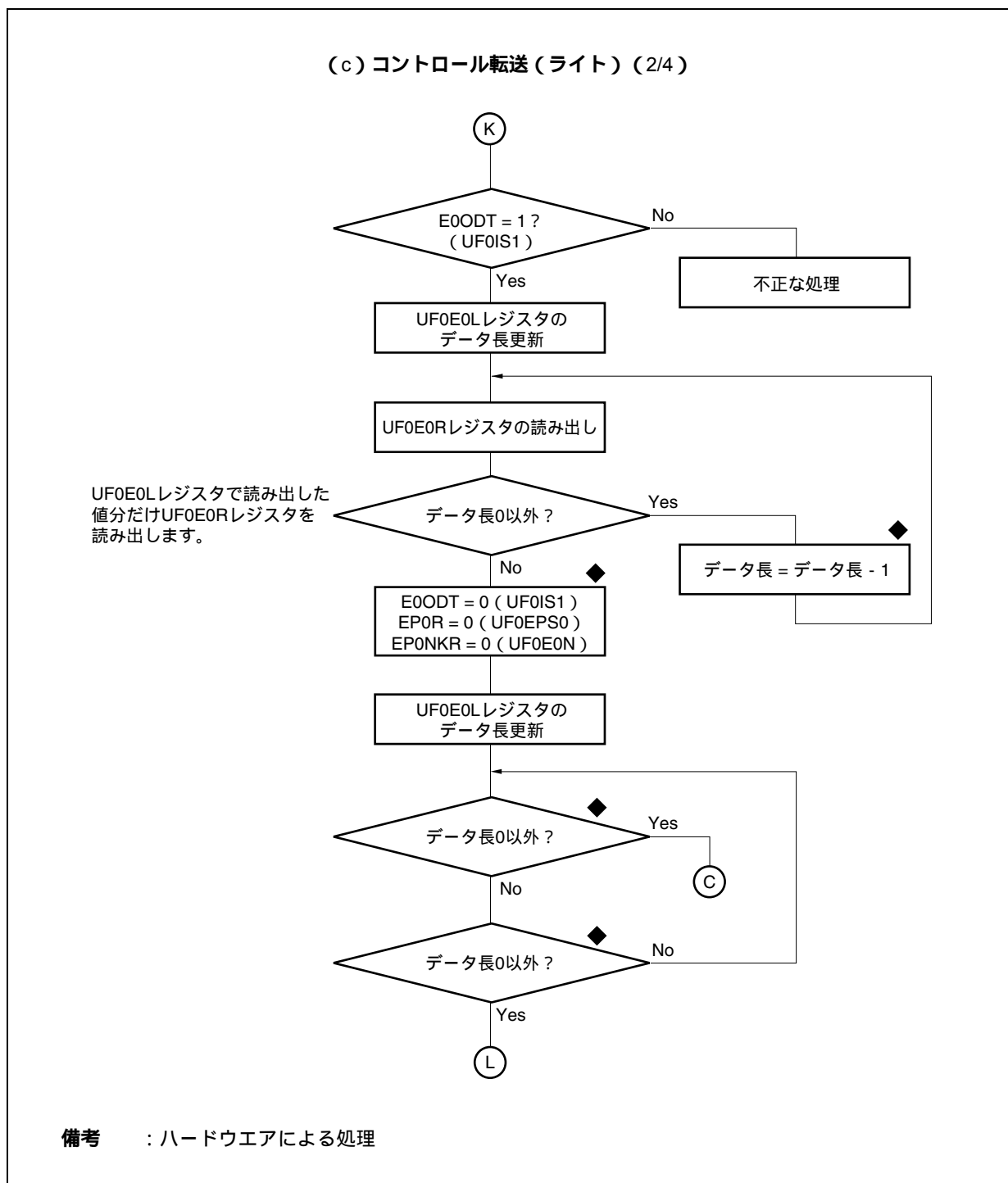


図18 - 24 コントロール転送に対するCPUDECリクエスト (9/12)

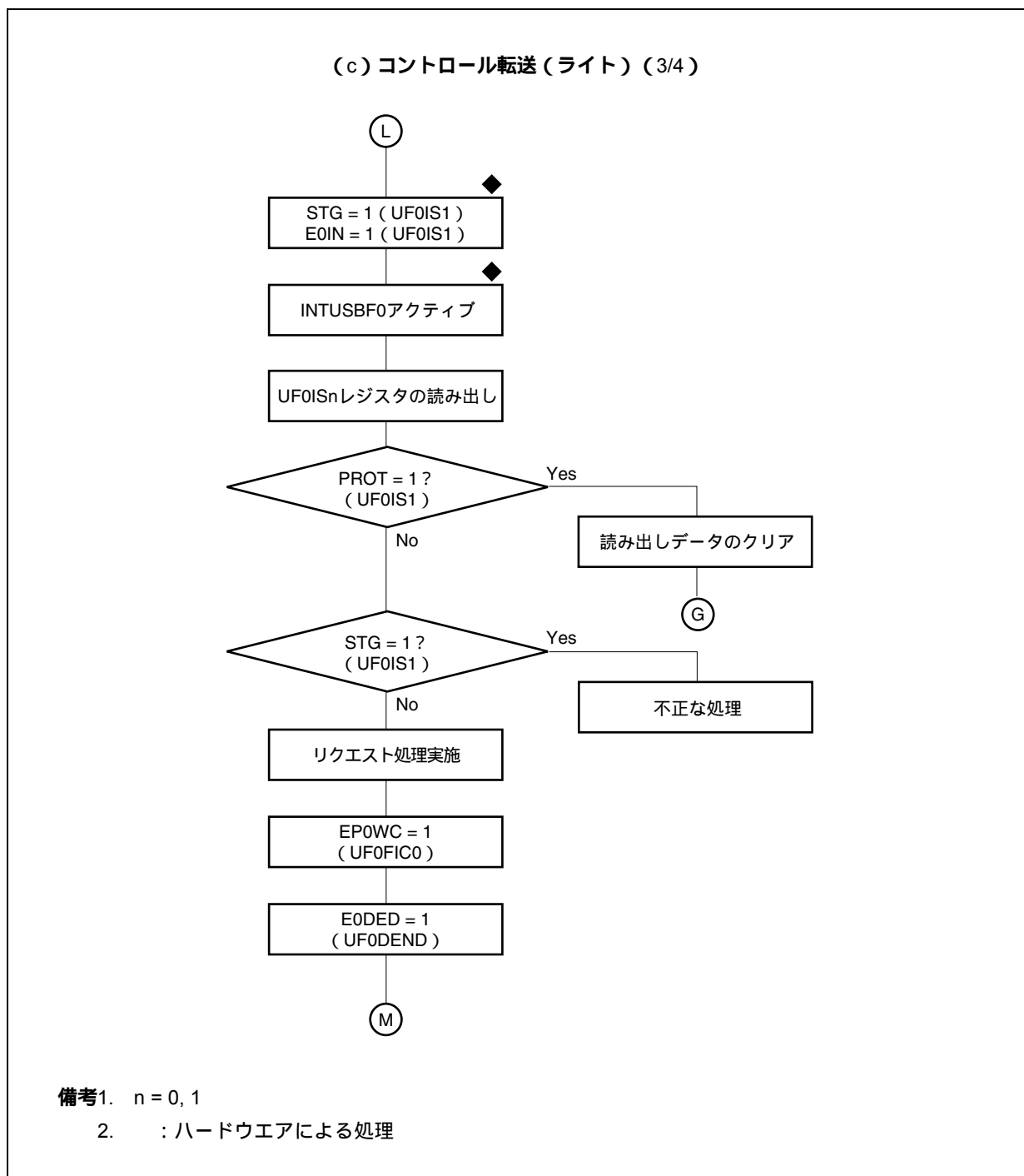


図18 - 24 コントロール転送に対するCPUDECリクエスト (10/12)

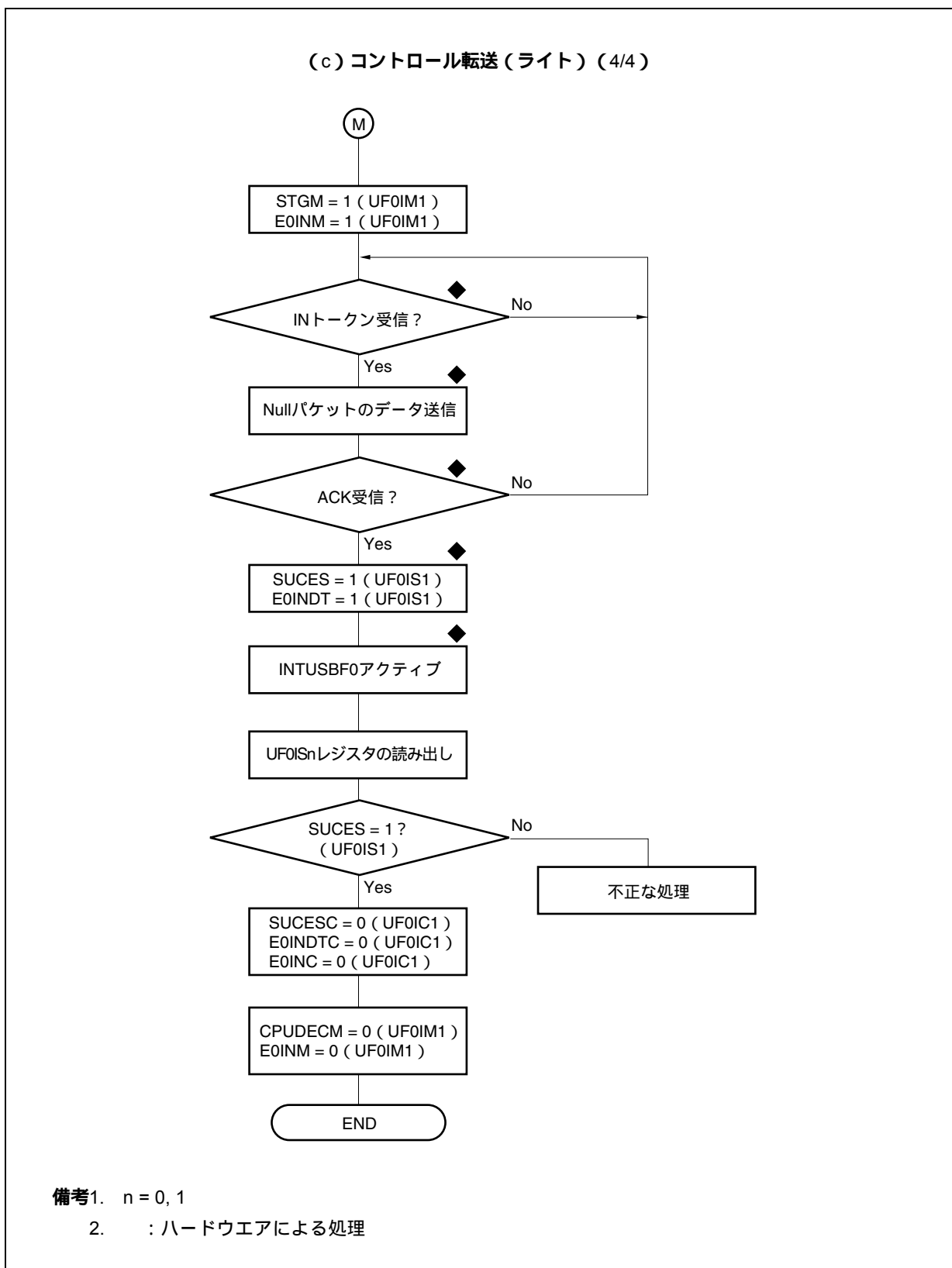


図18 - 24 コントロール転送に対するCPUDECリクエスト (11/12)

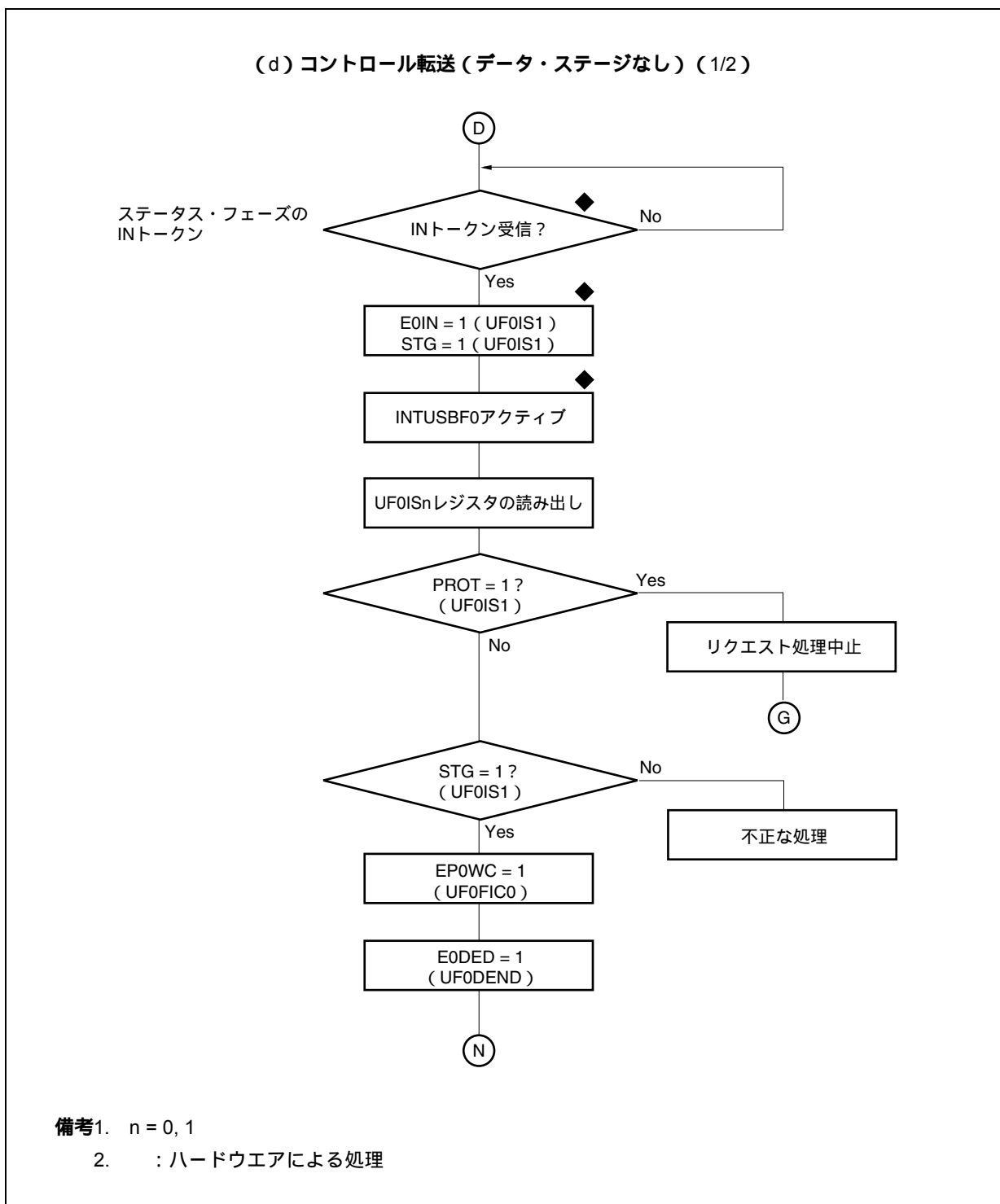
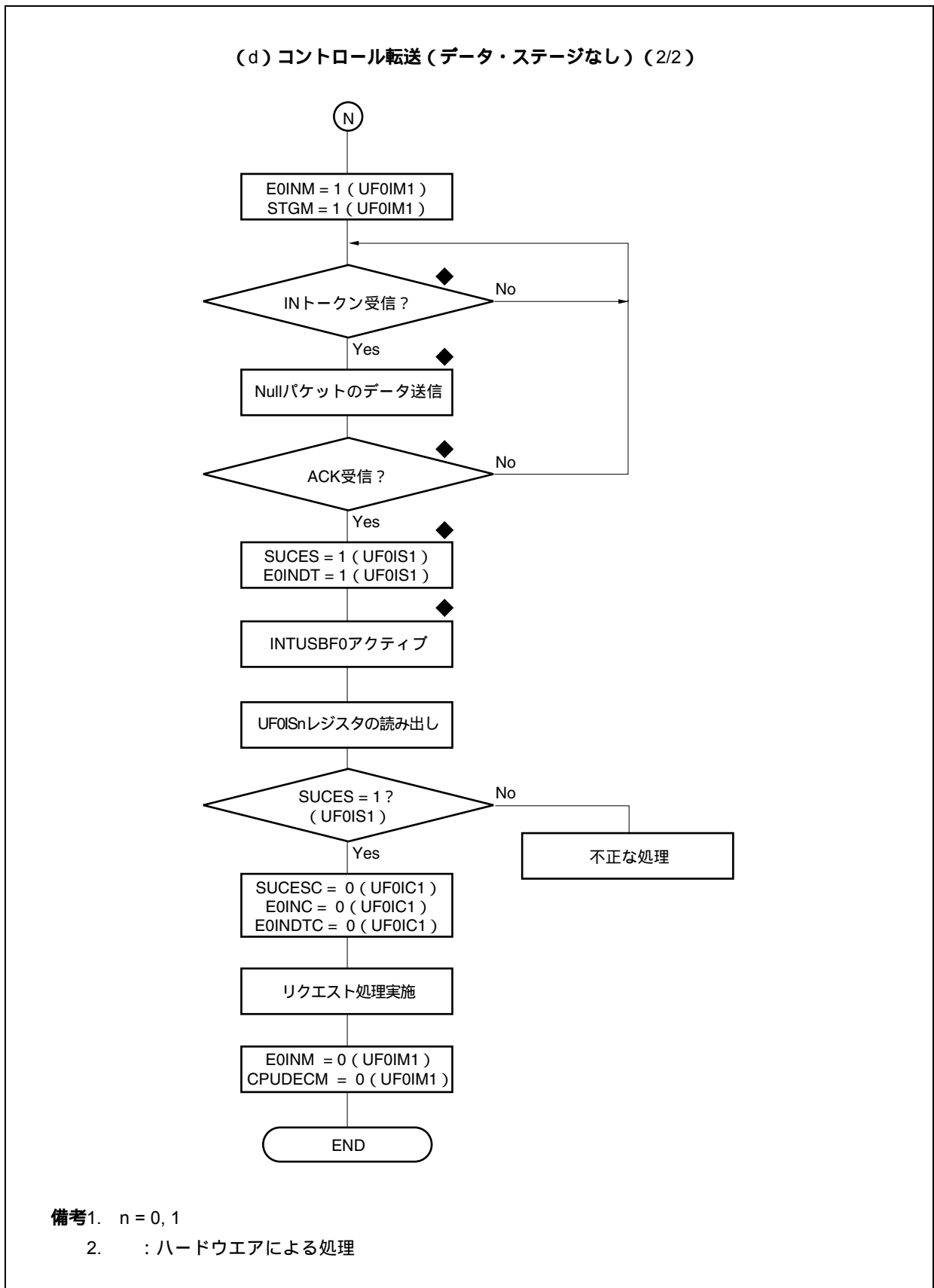


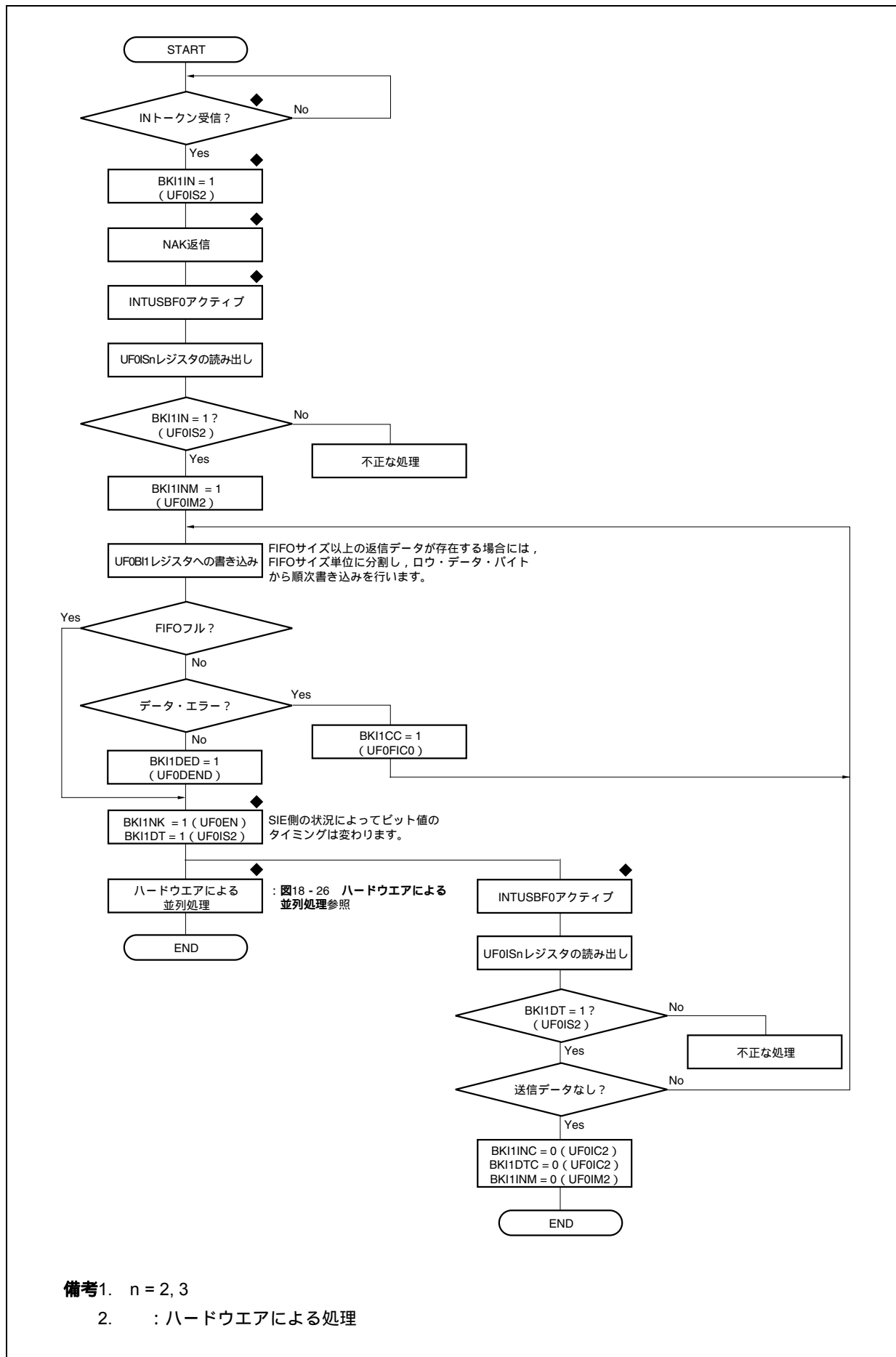
図18 - 24 コントロール転送に対するCPUDECリクエスト (12/12)



(4) バルク転送 (IN) に対する処理

バルク転送 (IN) は、Endpoint1およびEndpoint3に割り当てられています。次に示すフロー・チャートは、Endpoint1に対する制御フローです。Endpoint3についても、同じシーケンスで制御できます。したがって、Endpoint3に対する制御フローとして使用する場合は、フロー中のEndpoint1に対するビット名をEndpoint3に対するビット名に読み替えてください。

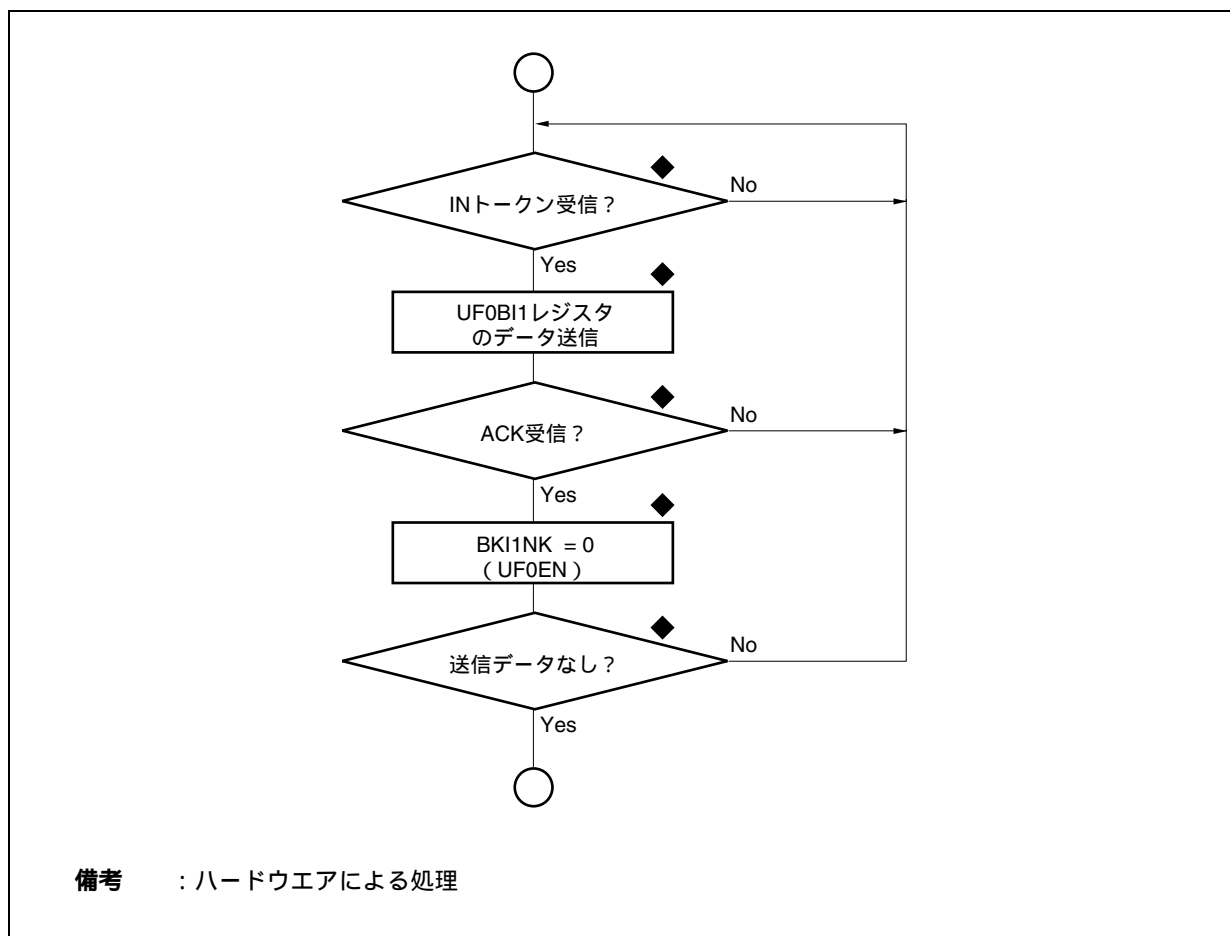
図18 - 25 バルク転送 (IN) に対する処理 (Endpoint1の場合)



備考1. n = 2, 3

2. : ハードウェアによる処理

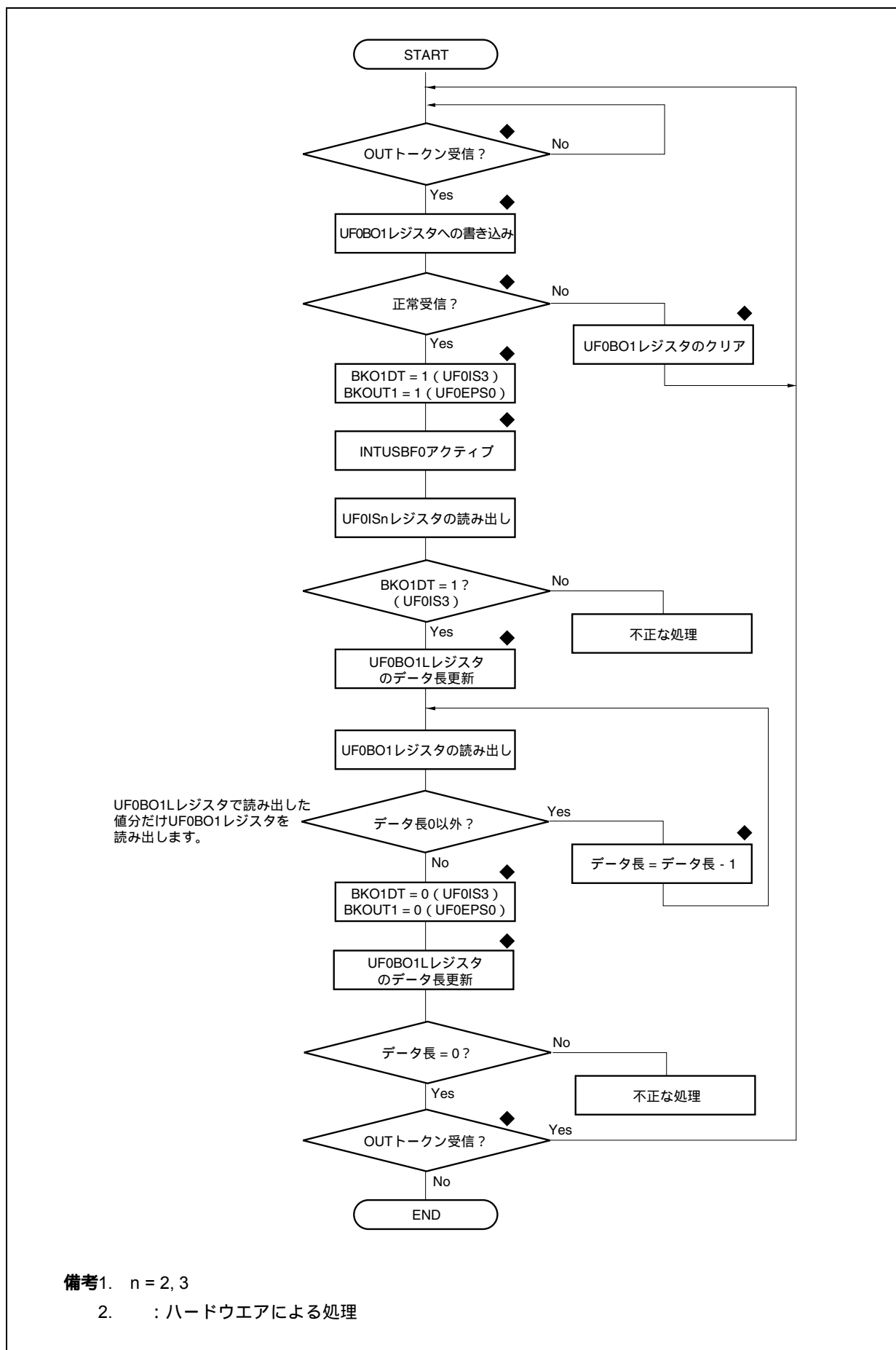
図18 - 26 ハードウェアによる並列処理



(5) バルク転送 (OUT) に対する処理

バルク転送 (OUT) は、Endpoint2およびEndpoint4に割り当てられています。次に示すフロー・チャートは、Endpoint2に対する制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

図18 - 27 バルク転送 (OUT) に対する通常処理 (Endpoint2の場合)



なお、バルク転送 (OUT) に関してシステムが期待するデータ量以上のデータがホストから送信されてくる場合も考えられます。V850E/IG4-H, V850E/IH4-Hでは、USBバスの転送レートがアップし、できるかぎりNAK応答しないようにバス側のアクセス中でもCPU側からの読み出しができるようにバルク転送 (OUT) のEndpoint2およびEndpoint4は、64バイトのダブル・バッファ構成になっています。このため、ホストがシステムの期待するデータ量以上のデータを送ってくると、最悪128バイト分、余計に自動受信する可能性があります。この場合、システムの期待するデータ量が残り2パケット分になった時点で、Endpoint2およびEndpoint4に対する通常処理から次に示す制御フローに切り替えてください。フロー・チャートは、Endpoint2に対する制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

図18 - 28 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2の場合) (1/2)

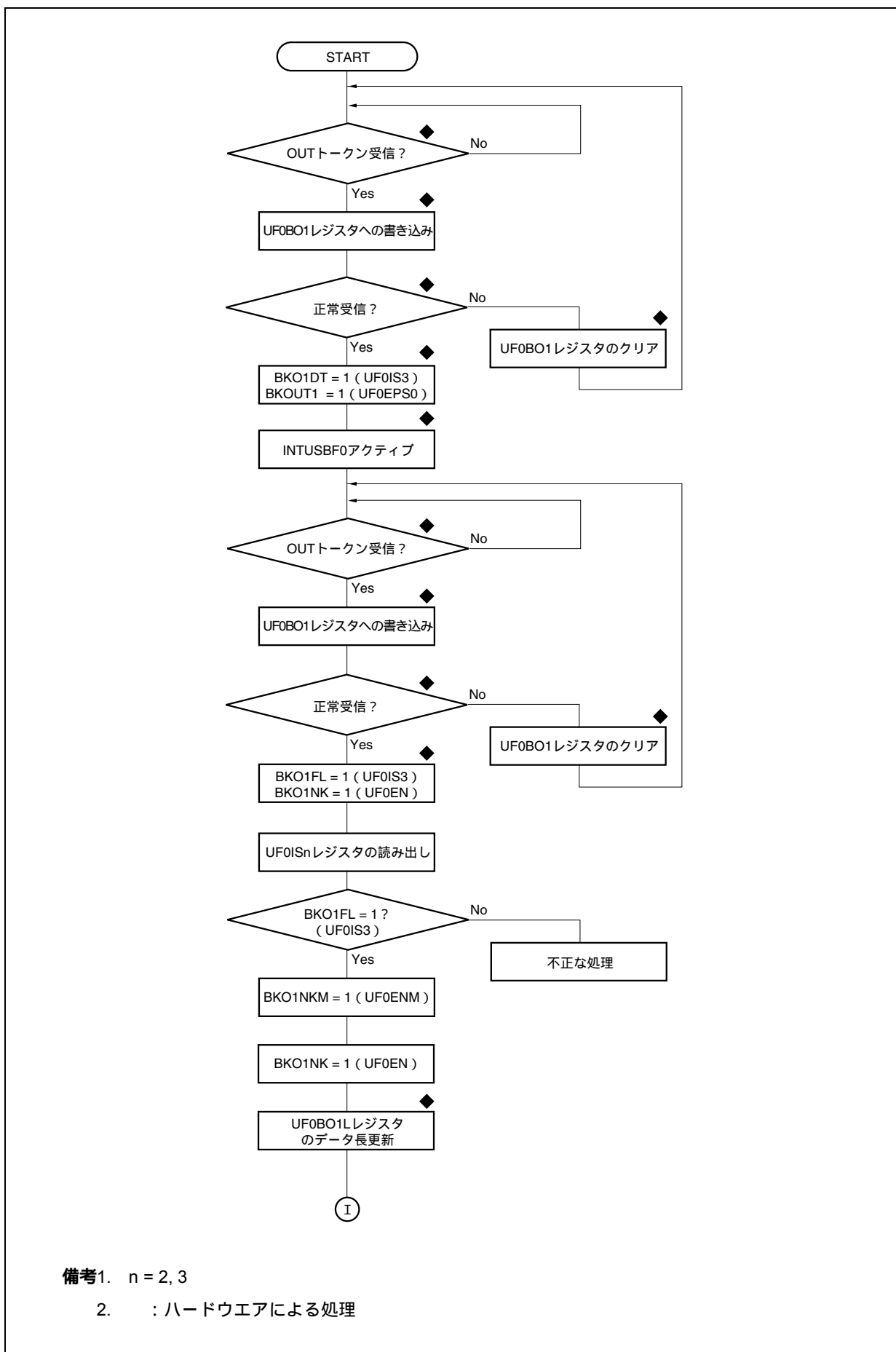
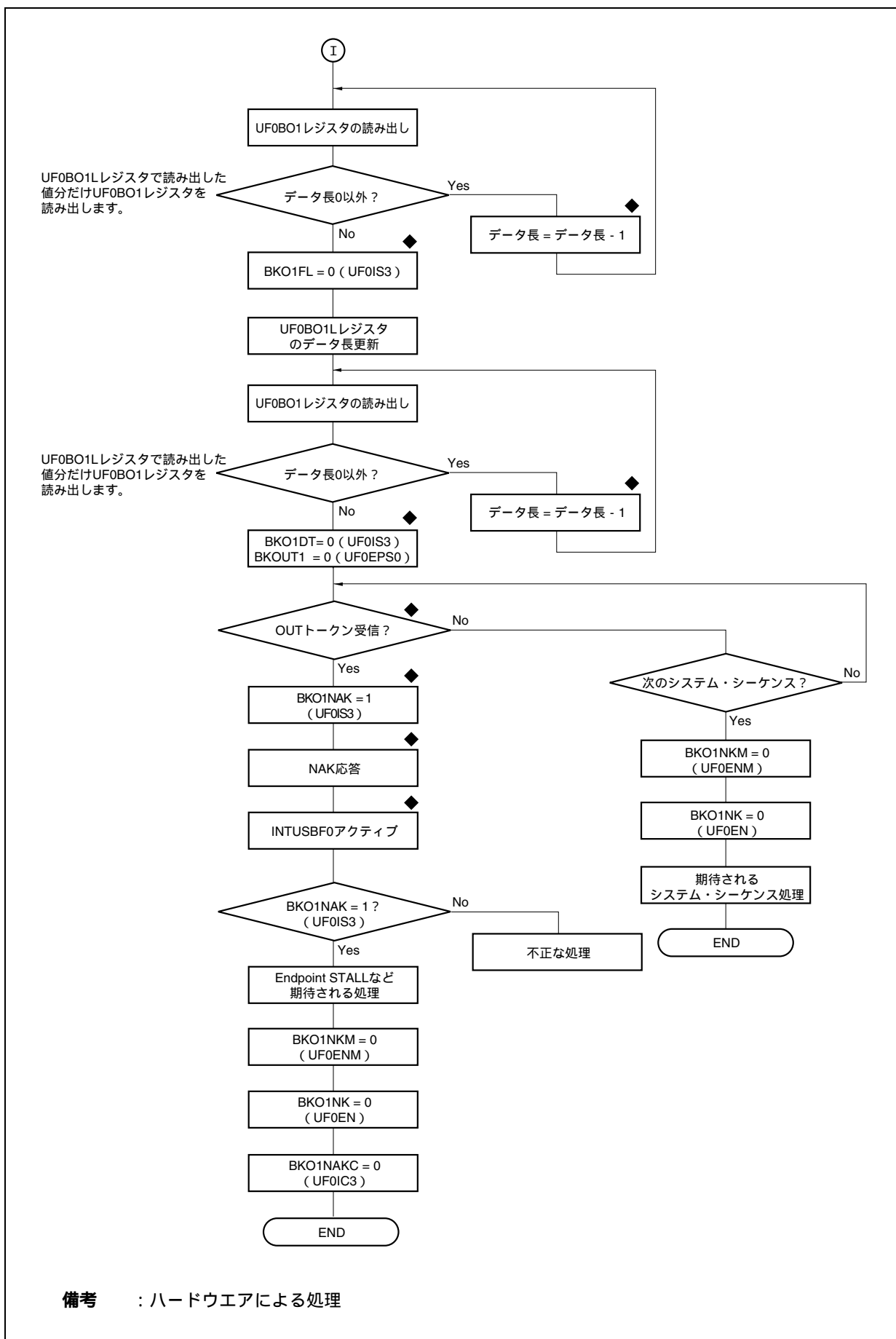


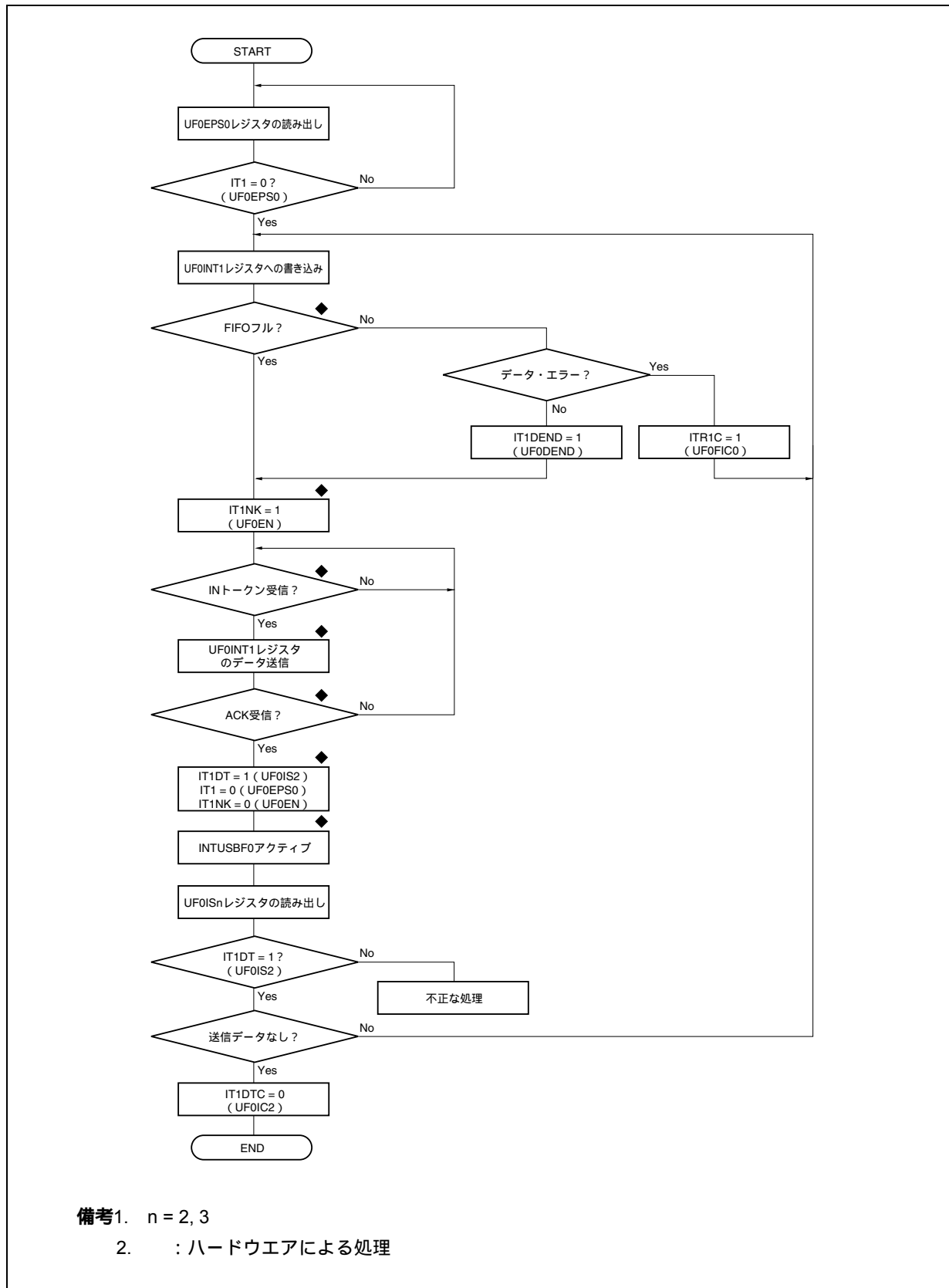
図18 - 28 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2の場合) (2/2)



(6) インタラプト転送 (IN) に対する処理

インタラプト転送 (IN) は, Endpoint7に割り当てられています。図18 - 29にフロー・チャートを示します。

図18 - 29 インタラプト転送 (IN) に対する処理 (Endpoint7)



18.9.4 Suspend/Resume処理

Suspend/Resume処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図18 - 30 Suspend/Resume処理例 (1/3)

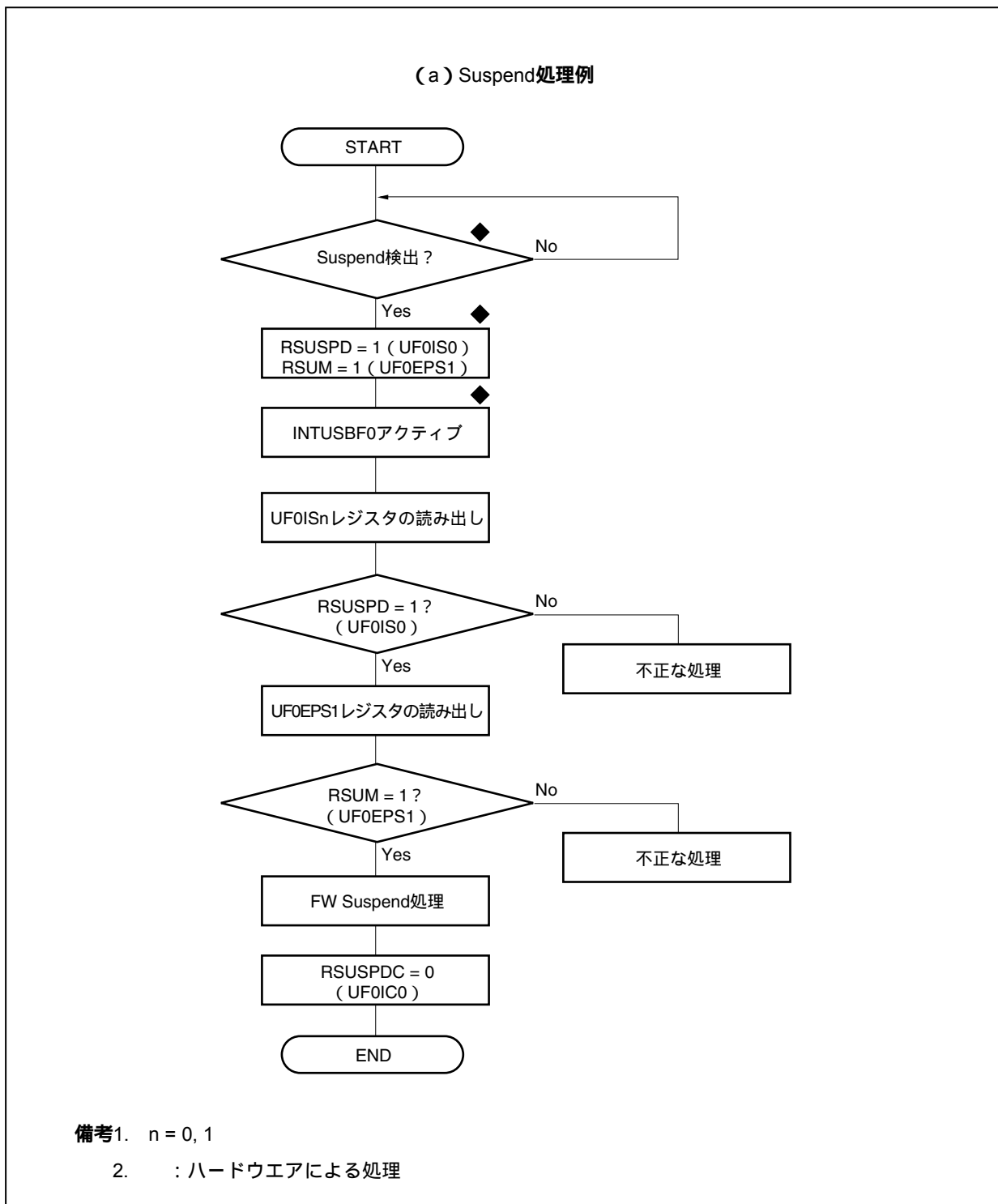


図18 - 30 Suspend/Resume処理例 (2/3)

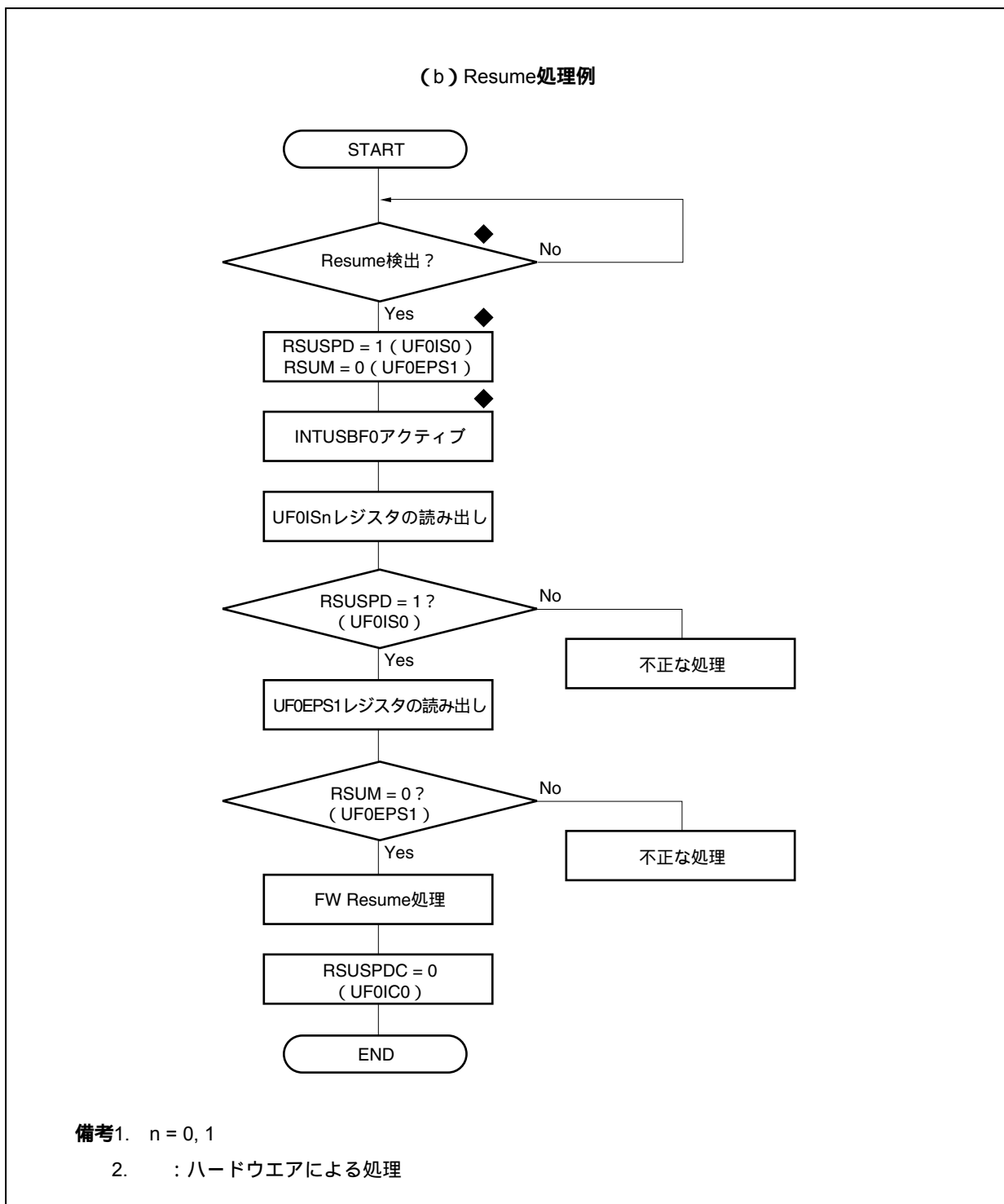
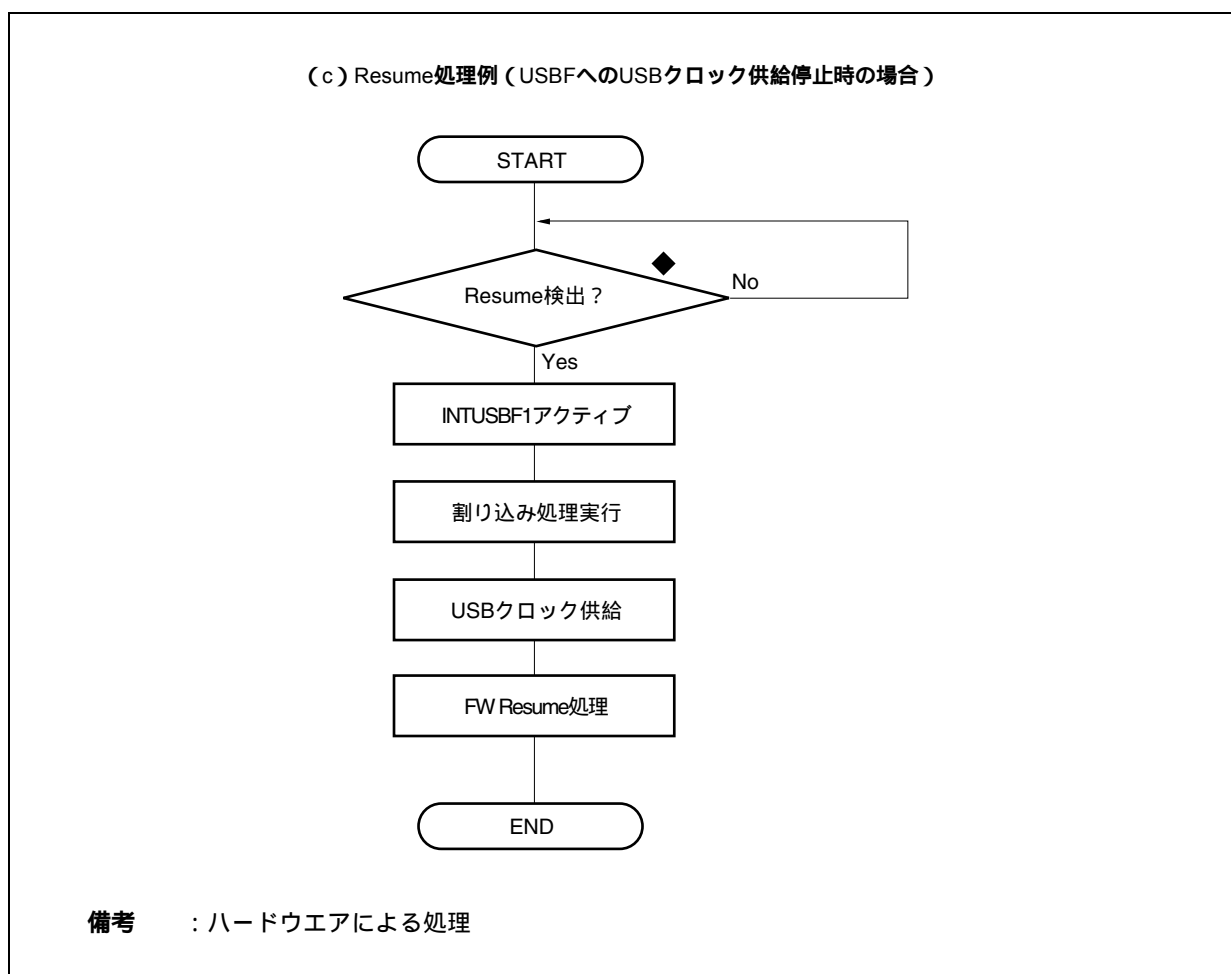


図18 - 30 Suspend/Resume処理例 (3/3)



18.9.5 電源投入後の処理

電源投入後の処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図18 - 31 電源投入後の処理 / 電源切断の処理例 (1/3)

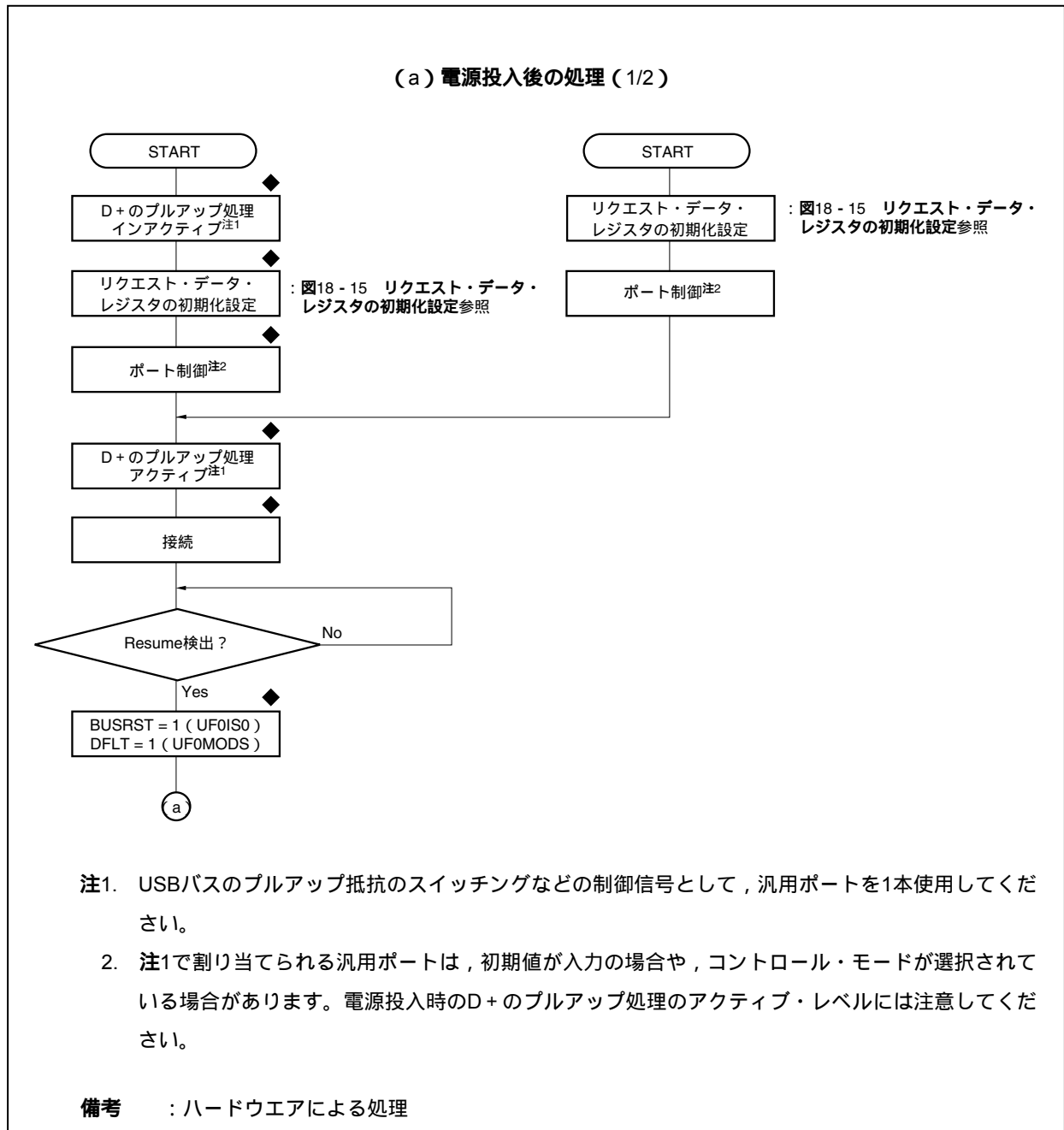


図18 - 31 電源投入後の処理 / 電源切断の処理例 (2/3)

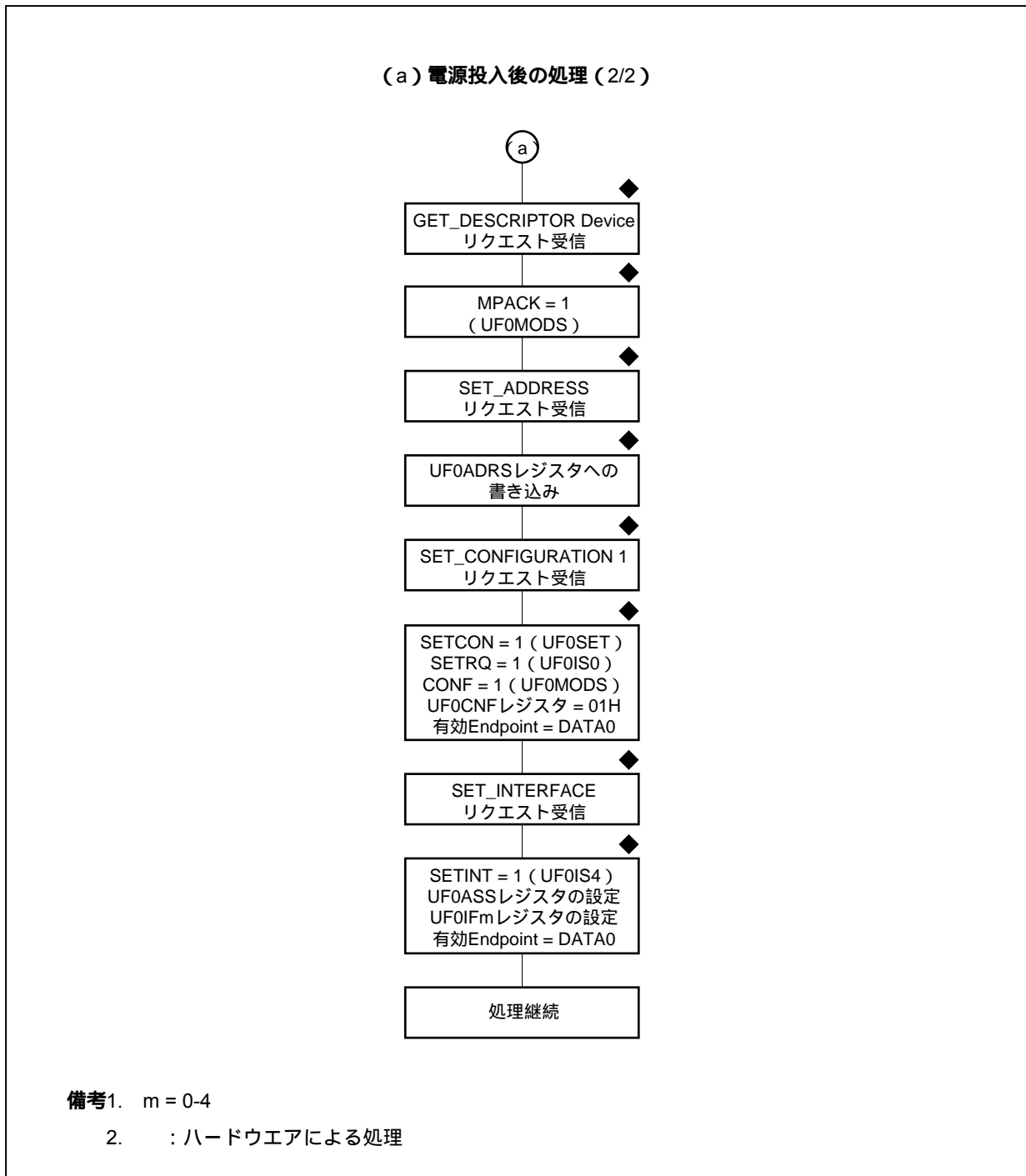
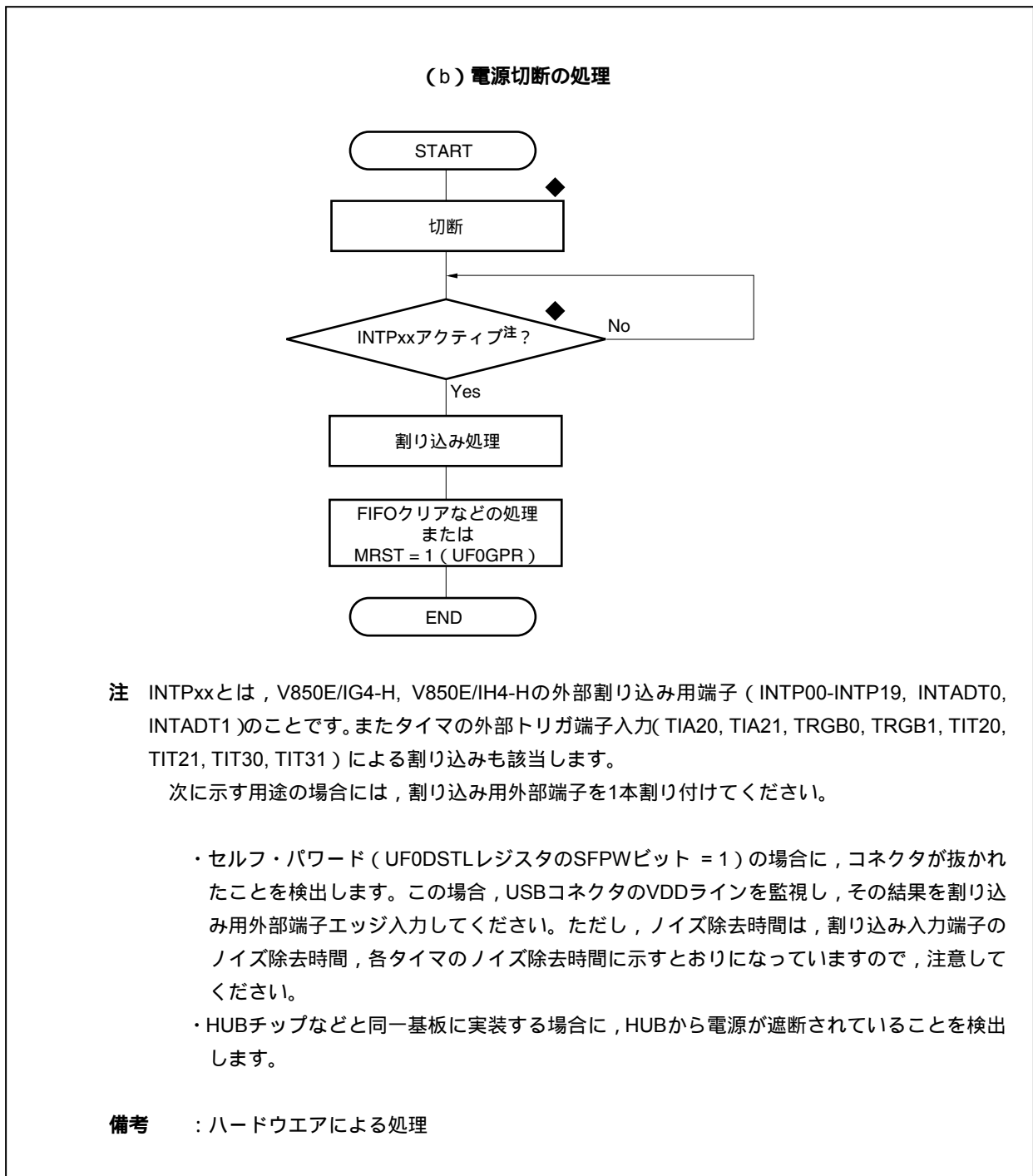


図18 - 31 電源投入後の処理 / 電源切断の処理例 (3/3)



第19章 バス制御機能

外部バス・インタフェース機能は、内蔵ROM、内蔵RAM、内蔵周辺I/O以外の領域に、外部デバイスを接続する機能です。外部デバイスの接続は、ポート0, 2-4, 9(V850E/IH4-Hのみ), DLを使用します。ポート0, 2-4, 9(V850E/IH4-Hのみ), DLは、アドレス/データ、リード/ライト・ストロープ、ウエイト、クロック出力、アドレス・ストロープなどの制御を行います。

V850E/IG4-H, V850E/IH4-Hは、外部にROM、RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

19.1 特 徴

16ビット/8ビット・データ・バス・サイジング機能

3空間のチップ・セレクト機能(ただし、 $\overline{CS2}$ はV850E/IG4-H, V850E/IH4-Hの外部信号としては存在しません。V850E/IG4-H, V850E/IH4-H内部でUSBファンクション領域に対するチップ・セレクト信号として使用していません。)

ウエイト機能

- ・各メモリ・ブロックごとに最大7ステートのプログラマブル・ウエイト機能
- ・各メモリ・ブロックごとに1ステートのアドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト挿入機能

・ \overline{WAIT} 端子による外部ウエイト機能

アイドル・ステート挿入機能

- ・リード・サイクルのあとにアイドル・ステートを挿入することで、低速デバイスの接続が可能

バス・モード

- ・V850E/IG4-H: マルチプレクス・バス・モード
- ・V850E/IH4-H: マルチプレクス・バス・モード/セパレート・バス・モード

リトル・エンディアンに対応

外部バス・クロック周波数 (f_{BUS}) = $f_{CLK}/4$

ミスアライン・アクセス可能

最大8 Mバイトの物理メモリを接続可能 (512 Kバイトは内蔵ROM領域と兼用)

19.2 バス制御端子

外部のデバイスを制御するために、各バス・モードにおいて次のような信号が使用できます。

表19 - 1 バス制御信号一覧（セバレート・バス・モード時（V850E/IH4-Hのみ））

バス制御信号	入出力	機 能	兼用ポート	ポート・モード / 兼用機能の切り替えを行うレジスタ
AD0-AD15	入出力	データ・バス	PDL0-PDL15	PMCDLレジスタ
A0-A7	出力	アドレス・バス	P90-P97	PMC9レジスタ
WAIT	入力	外部ウエイト制御	P31	PMC3レジスタ
CLKOUT	出力	外部バス・クロック出力	P07	PMC0レジスタ
CS0, CS1	出力	チップ・セレクト	P34, P32	PMC3レジスタ
WR0, WR1	出力	ライト・ストロブ信号	P27, P30	PMC2, PMC3レジスタ
RD	出力	リード・ストロブ信号	P44	PMC4レジスタ
ASTB	出力	アドレス・ストロブ信号	P37	PMC3レジスタ

表19 - 2 バス制御信号一覧（マルチプレクス・バス・モード時）

バス制御信号	入出力	機 能	兼用ポート	ポート・モード / 兼用機能の切り替えを行うレジスタ
AD0-AD15	入出力	アドレス / データ・バス	PDL0-PDL15	PMCDLレジスタ
WAIT	入力	外部ウエイト制御	P31	PMC3レジスタ
CLKOUT	出力	外部バス・クロック出力	P07	PMC0レジスタ
CS0, CS1	出力	チップ・セレクト	P34, P32	PMC3レジスタ
WR0, WR1	出力	ライト・ストロブ信号	P27, P30	PMC2, PMC3レジスタ
RD	出力	リード・ストロブ信号	P44	PMC4レジスタ
ASTB	出力	アドレス・ストロブ信号	P37	PMC3レジスタ

19.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態

内蔵ROM, 内蔵RAM, 内蔵周辺I/Oへアクセスした場合、各端子の状態は次のようになります。

表19 - 3 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態一覧

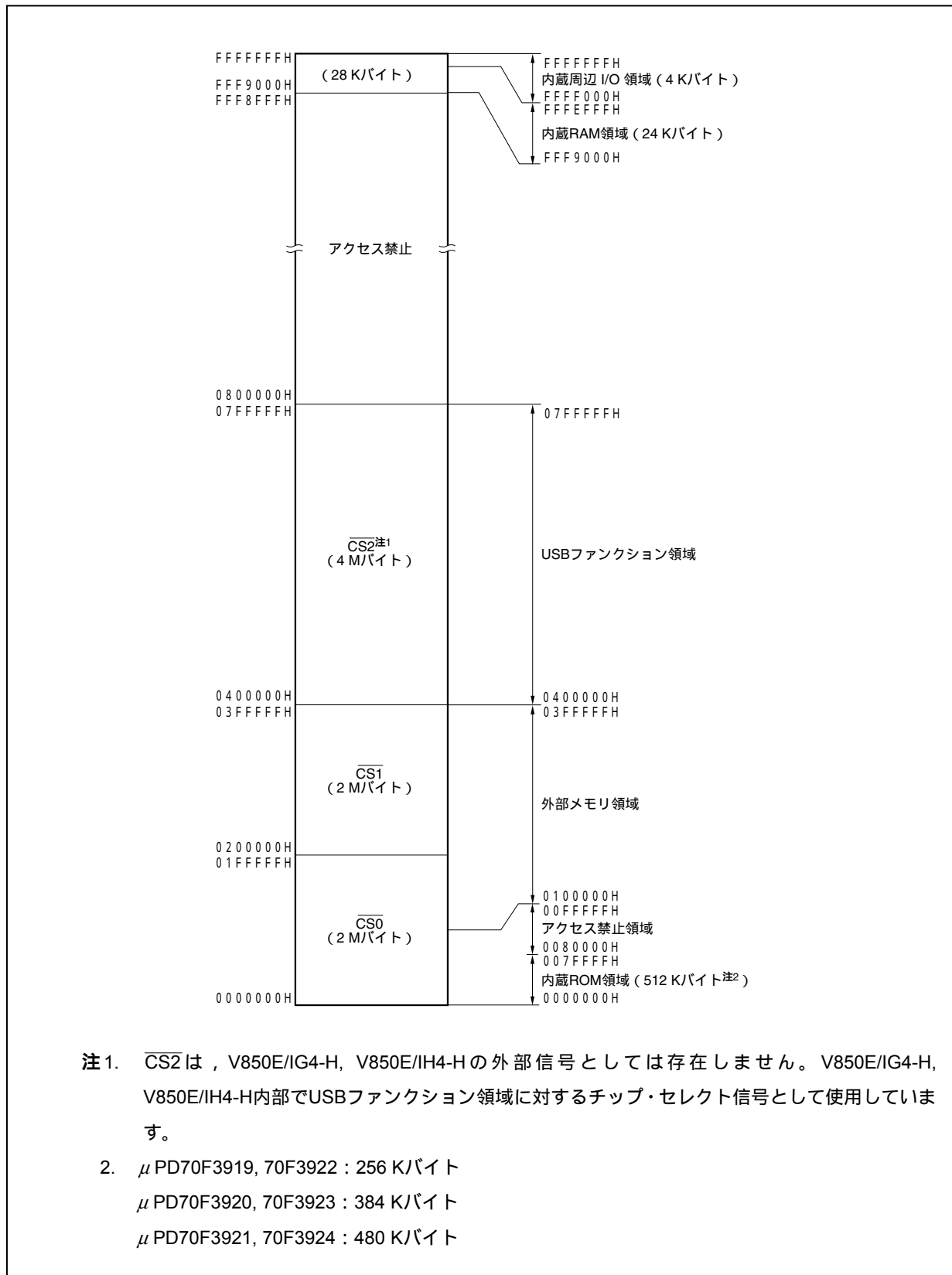
アクセス先	内蔵ROM	内蔵RAM	内蔵周辺I/O
アドレス・バス	不定	不定	注1
データ・バス	Hi-Z	Hi-Z	Hi-Z
外部バス制御信号	インアクティブ ^{注2}	インアクティブ ^{注2}	インアクティブ ^{注2}

注1 内蔵周辺I/Oアクセス時、内蔵周辺I/Oがアクセスするアドレスは、外部アドレス・バスにも出力されます。

2 WAIT端子は、この動作時には入力を受け付けません。

19.3 メモリ・ブロック機能

256 Mバイトのメモリ空間中で下位の8 Mバイトが外部拡張用に予約されており、2 M, 2 M, 4 Mバイトのメモリ・ブロックに分割されています。また、各ブロックごとにバス幅、プログラマブル・ウエイトなどが独立して設定できます。



19.3.1 チップ・セレクト制御機能

アドレス空間：256 Mバイト（リニア）のうち，下位8 Mバイト（0000000H-07FFFFFFH）は $\overline{CS0}$ - $\overline{CS2}$ の3本のチップ・セレクト機能を内蔵しています。 $\overline{CS0}$ - $\overline{CS2}$ で選択される領域は固定されています。

チップ・セレクト制御機能により，メモリ・ブロックを分割してメモリ空間を有効に利用できます。メモリ・ブロックの割り当てを次に示します。

表19 - 4 チップ・セレクト領域

チップ・セレクト信号	領域
$\overline{CS0}$	0000000H-01FFFFFFH (2 Mバイト)
$\overline{CS1}$	0200000H-03FFFFFFH (2 Mバイト)
$\overline{CS2}$ ^注	0400000H-07FFFFFFH (4 Mバイト)

注 $\overline{CS2}$ は，V850E/IG4-H, V850E/IH4-Hの外部信号としては存在しません。V850E/IG4-H, V850E/IH4-H内部でUSBファンクション領域に対するチップ・セレクト信号として使用しています。

19.4 バス・サイクル・タイプ制御機能

V850E/IG4-H, V850E/IH4-Hは，SRAM，外部ROM，外部I/Oを直結できます。

(1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0 (BCT0)

16ビット単位でリード/ライト可能です。

リセットによりCCCCHになります。

注意1. BCT0レジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

2. 動作禁止の設定を行ったチップ・セレクト空間については，各レジスタの設定内容は無効となります。

リセット時：CCCCH R/W アドレス：FFFFFF480H

	15	14	13	12	11	10	9	8
BCT0	1	1	0	0	1	1	0	0
\overline{CSn} 信号	7	6	5	4	3	2	1	0
	ME1	1	0	0	ME0	1	0	0
\overline{CSn} 信号	$\overline{CS1}$				$\overline{CS0}$			
ME _n	チップ・セレクト空間のメモリ・コントローラの動作許可 (n = 0, 1)							
0	動作禁止							
1	動作許可							

注意 ビット0, 1, 4, 5, 8, 9, 12, 13には必ず0を，ビット2, 6, 10, 11, 14, 15には必ず1を設定してください。それ以外の値を設定した場合の動作は保証しません。

19.5 バス・アクセス

19.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数 (MIN.値) を次に示します。

表19-5 アクセス・クロック数

バス・サイクル形態 リソース (バス幅)	命令フェッチ (通常アクセス)	命令フェッチ (分岐)	オペランド・データ・ アクセス
内蔵ROM (32ビット)	1	4	7
内蔵RAM (32ビット)	1 ^{注2}	1 ^{注2}	1
内蔵周辺I/O (16ビット)	-	-	3 + m
外部メモリ (16ビット)	セパレート・バス・モード ^{注1}	3 + n	3 + n
	マルチプレクス・バス・モード	3 + n	3 + n

注1. V850E/IH4-Hのみ

2. データ・アクセスと競合した場合は2になります。

備考1. 単位はクロック / アクセスです。

2. m : VSWCレジスタで設定したウェイト数
n : ウェイト・ステート挿入数

19.5.2 バス・サイジング機能

バス・サイジング機能により、チップ・セレクト空間ごとのデータ・バス幅を制御できます。データ・バス幅は、BSCレジスタで設定します。

16ビット幅に指定した場合は下位8ビットが偶数番地となり、上位8ビットが奇数番地となります。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

チップ・セレクト空間のバス幅を制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

リセット時：5555H R/W アドレス：FFFFFF066H

	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
$\overline{\text{CSn}}$ 信号								
	7	6	5	4	3	2	1	0
	0	1	0	1	0	BS10	0	BS00
$\overline{\text{CSn}}$ 信号						$\overline{\text{CS1}}$	$\overline{\text{CS0}}$	
	BSn0	チップ・セレクト空間のデータ・バス幅の指定 (n = 0, 1)						
	0	8ビット						
	1	16ビット						

注意 ビット1, 3, 5, 7, 9, 11, 13, 15には必ず0を、ビット4, 6, 8, 10, 12, 14には必ず1を設定してください。それ以外の値を設定した場合の動作は保証できません。

19.5.3 エンディアン機能

V850E/IG4-H, V850E/IH4-Hは、リトル・エンディアンに対応しています。

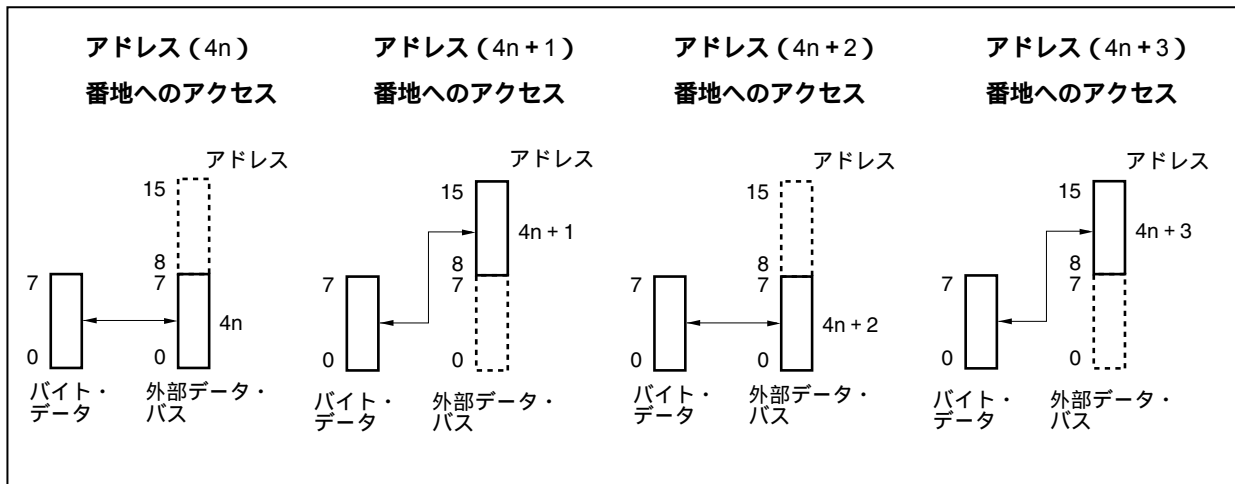
19.5.4 バス幅

V850E/IG4-H, V850E/IH4-Hが内蔵周辺I/Oアクセス, 外部メモリ・アクセスを行う場合には, 8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

(1) バイト・アクセス (8ビット)

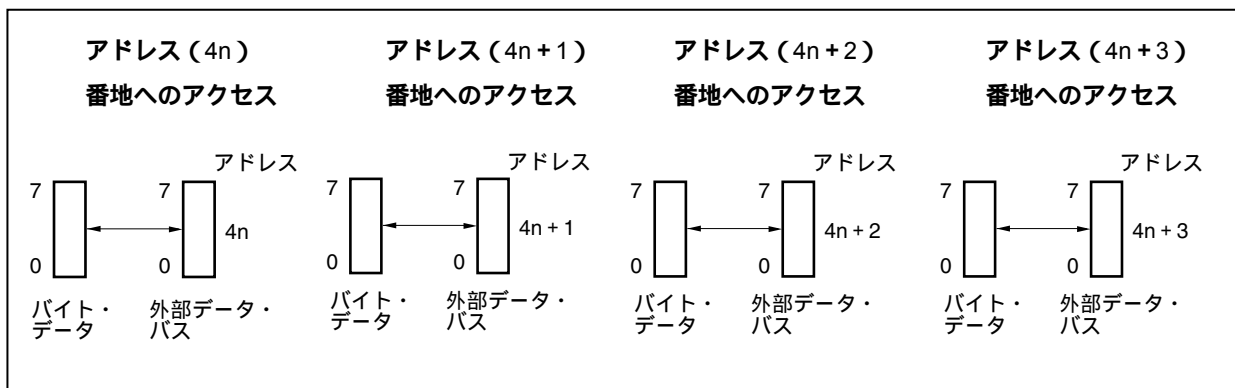
(a) 16ビット・データ・バス幅のとき

8ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合は、外部データ・バスの下位バイトを介して偶数番地にアクセスします。奇数番地指定の場合は上位バイトを介して奇数番地にアクセスします。



(b) 8ビット・データ・バス幅のとき

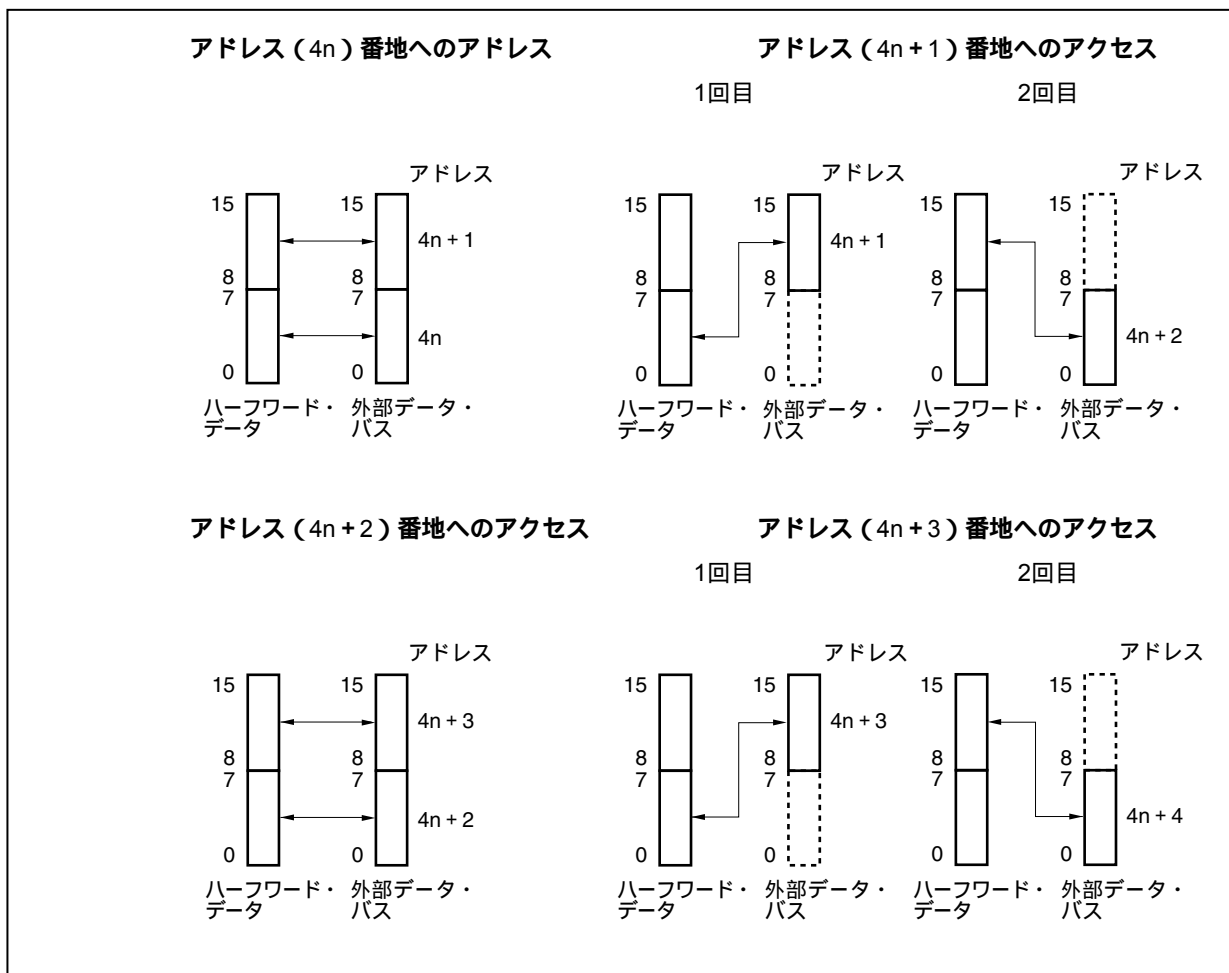
8ビットのデータに対し、バス幅が8ビットなので、偶数番地 / 奇数番地それぞれ指定の番地にアクセスします。



(2) ハーフワード・アクセス (16ビット)

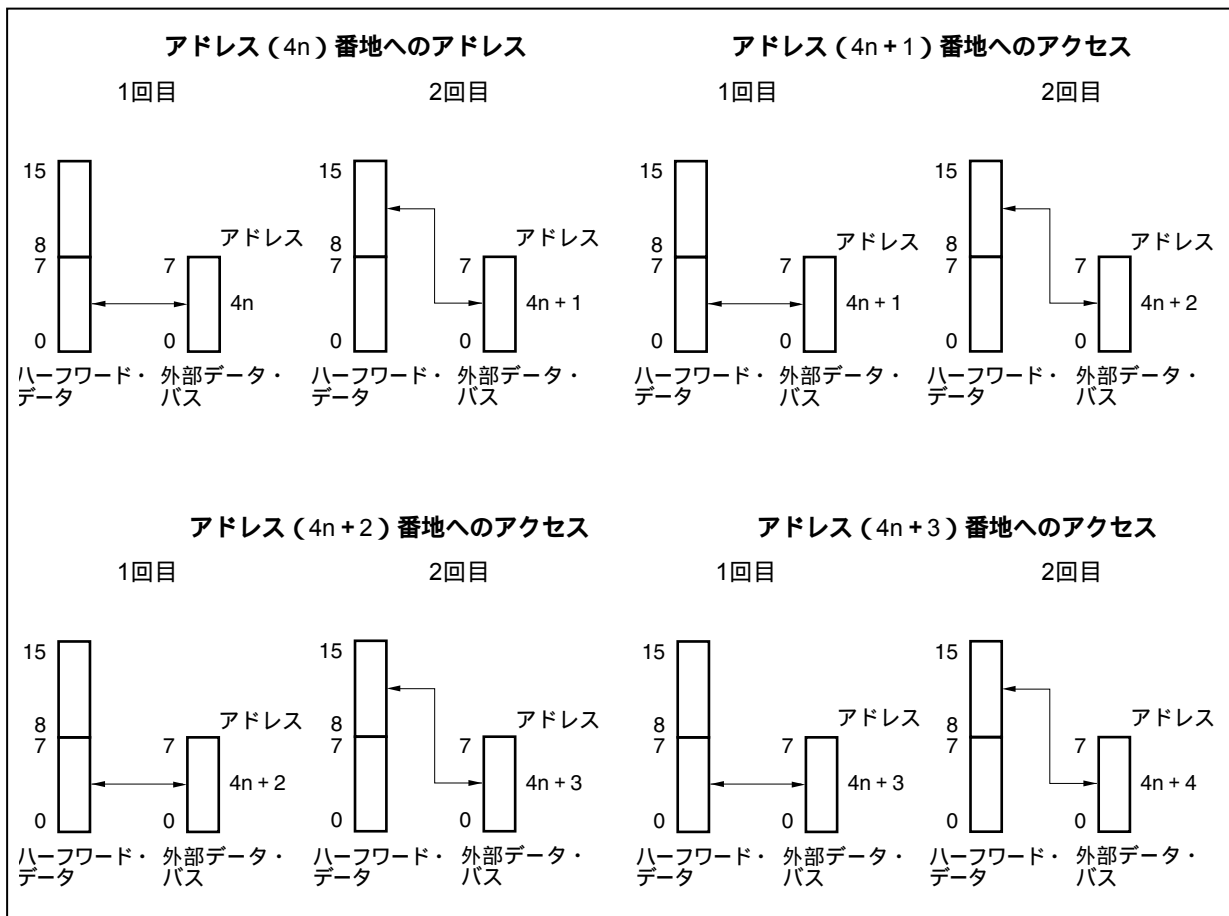
(a) 16ビット・データ・バス幅のとき

16ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合はそのままアクセスします。奇数番地指定の場合、1回目はデータの低位バイトが外部データ・バスの上位バイトを介して奇数番地にアクセスします。2回目はデータの上位バイトが外部データ・バスの下位8ビットを介して偶数番地にアクセスします。



(b) 8ビット・データ・バス幅のとき

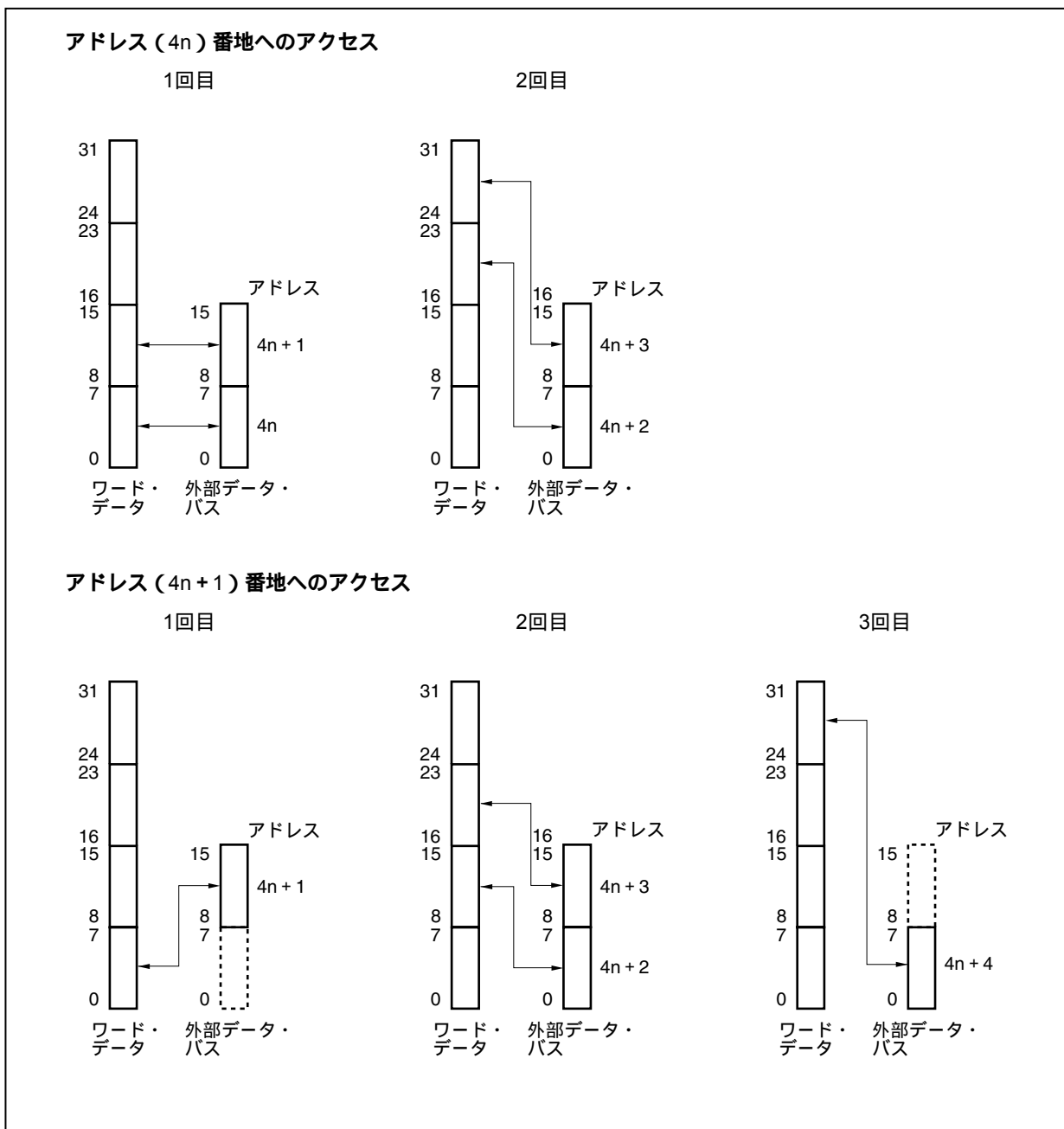
16ビットのデータに対し、バス幅が8ビットなので2回に分けて下位アドレス/上位アドレスそれぞれ対応した番地にアクセスします。



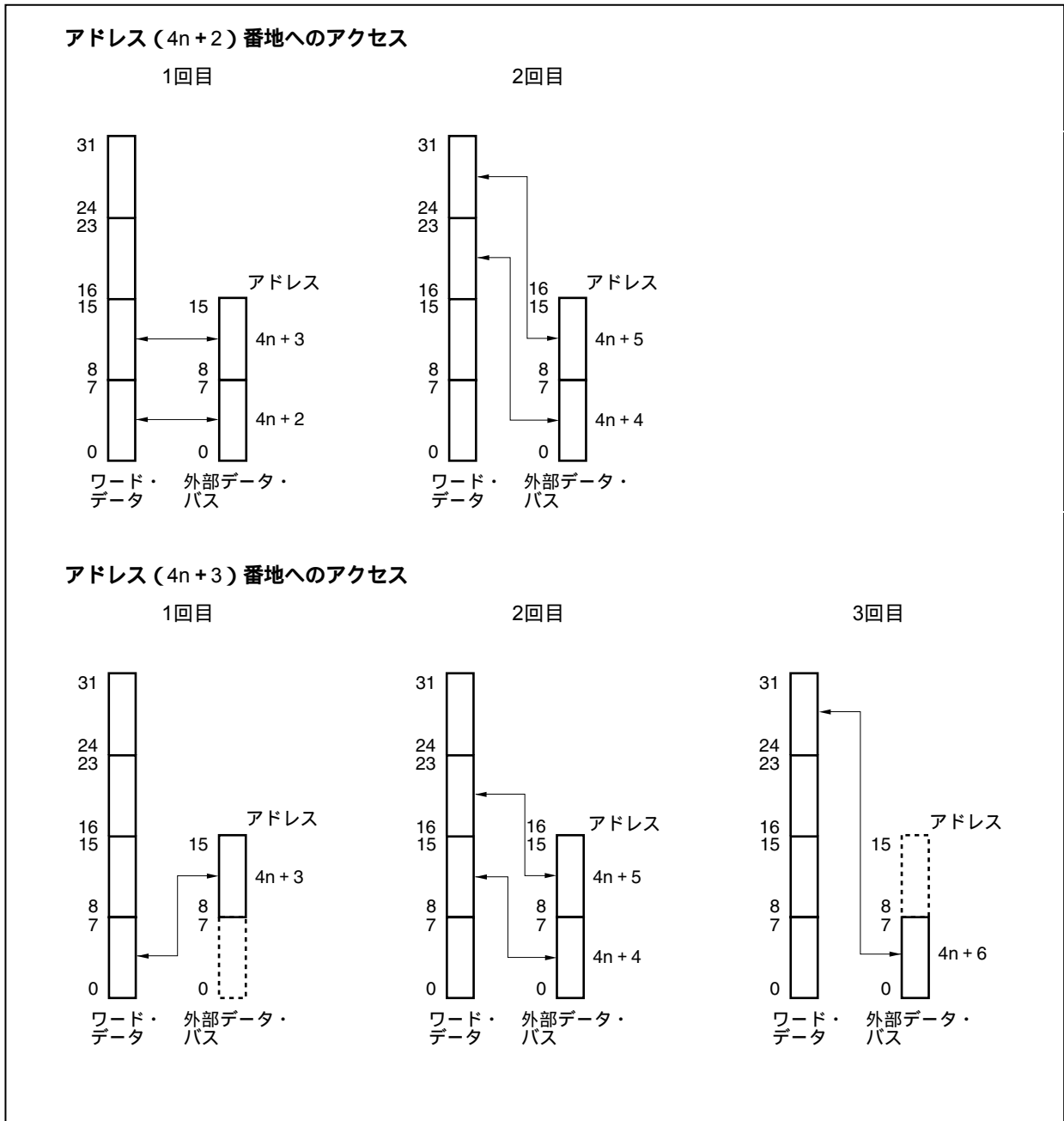
(3) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (1/2)

32ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合は16ビット単位に2回に分けてアクセスします。奇数番地指定の場合、1回目は下位1/4ワード・データを外部データ・バスの上位バイトを介して奇数番地にアクセスし、2回目は中位1/2ワード・データを16ビット・アクセスし、3回目は上位1/4ワード・データを外部データ・バスの下位バイトを介して偶数番地にアクセスします。

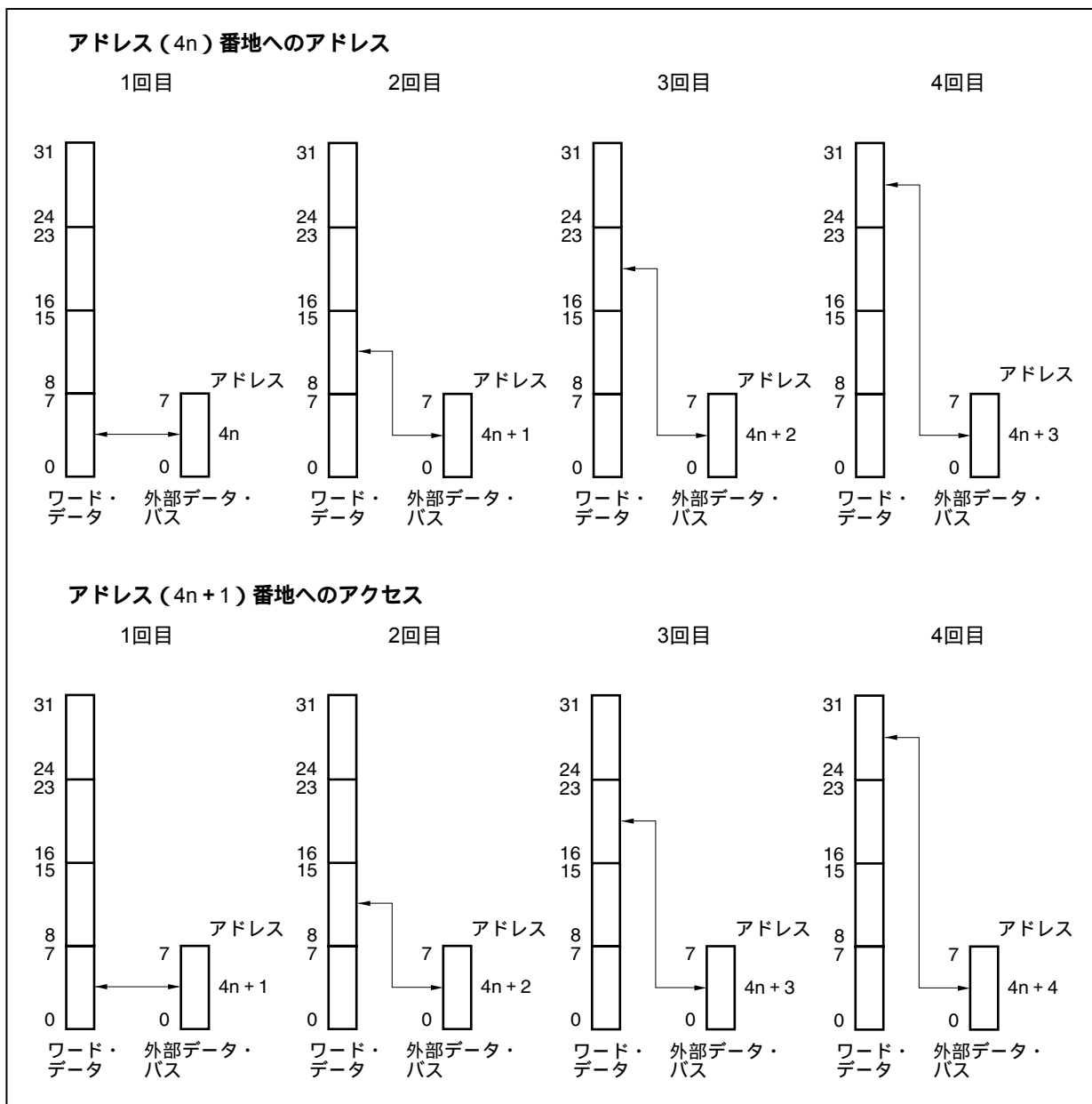


(a) 16ビット・データ・バス幅のとき (2/2)

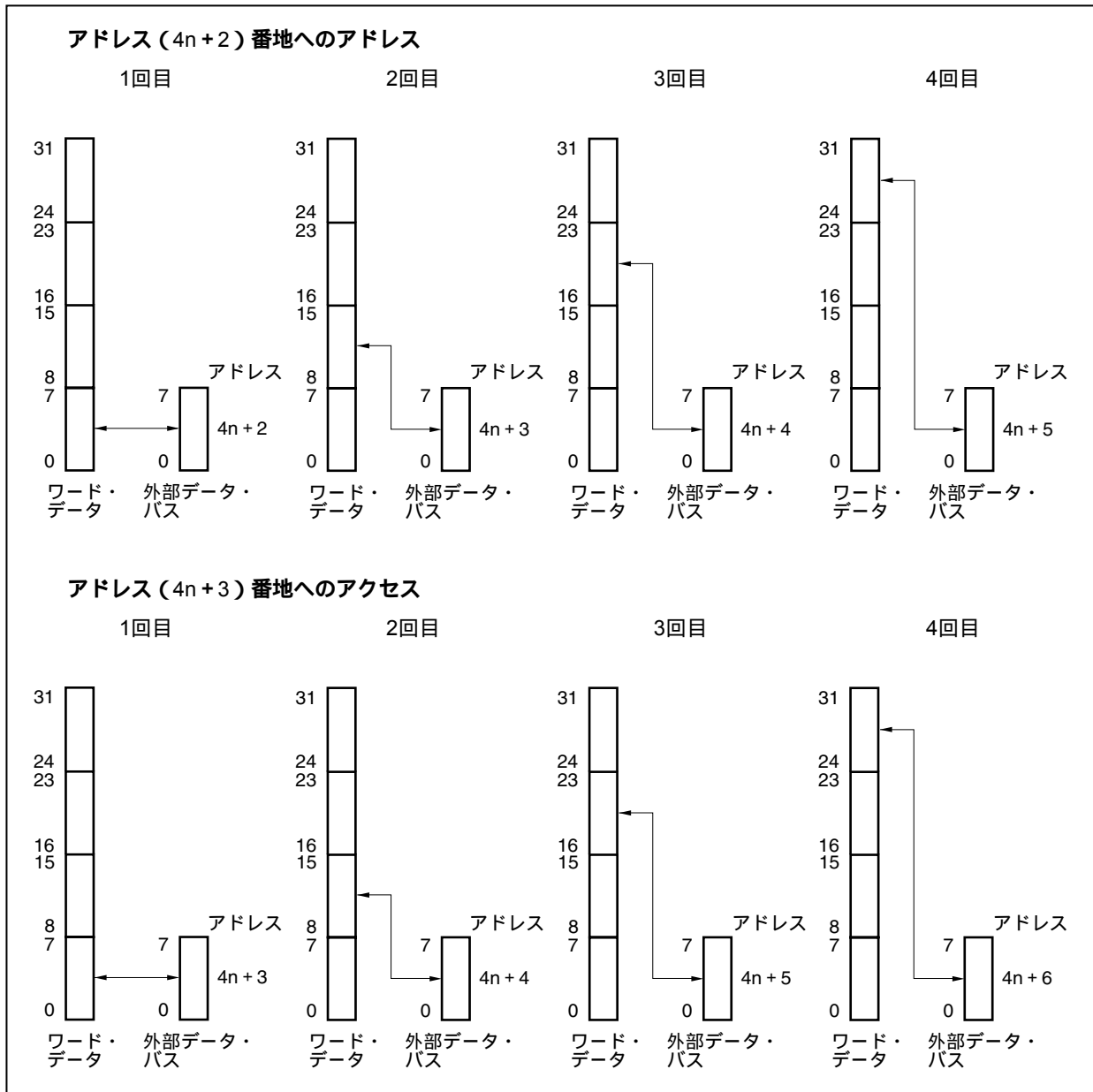


(b) 8ビット・データ・バス幅のとき (1/2)

32ビットのデータに対し、バス幅が8ビットなので4回に分けて偶数番地 / 奇数番地それぞれ指定の番地にアクセスします。



(b) 8ビット・データ・バス幅のとき (2/2)



19.6 ウェイト機能

19.6.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ, I/Oに対するインタフェース回路作成を容易に実現させることを目的とし, チップ・セレクト空間ごとに起動されるバス・サイクル[※]に対し, 最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は, DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

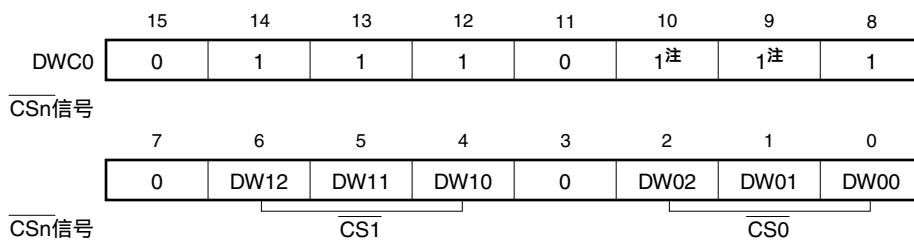
注 SRAMリード/ライト・サイクル

注意1. 内蔵ROM領域, 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。

内蔵周辺I/O領域は, プログラマブル・ウェイトの対象外で, 各内蔵周辺機能からのウェイト制御だけ行われます。

2. DWC0レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0レジスタの初期値を変更する場合は, 設定が終了するまで外部メモリ領域にアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。

リセット時 : 7777H R/W アドレス : FFFFF484H



注 USBファンクション・コントローラ (USBFC) を使用する場合、ビット9, 10には0を設定することを推奨します。

この設定は、DWC0レジスタの他のビット設定と同時にできます。

DWn2	DWn1	DWn0	チップ・セレクト空間の挿入ウエイト・ステート数指定 (n=0, 1)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注意 ビット3, 7, 11, 15には必ず0を、ビット12-14には必ず1を設定してください。それ以外の値を設定した場合の動作は保証できません。

(2) アドレス・ウエイト・コントロール・レジスタ (AWC)

アドレス・ラッチのセットアップ・ホールドを確保するための機能です。

AWCレジスタは、各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト・ステート / アドレス・ホールド・ウエイト・ステートを設定できます。アドレス・セットアップ・ウエイト・ステートはT1ステートの前に、アドレス・ホールド・ウエイト・ステートはT1ステートの次に挿入します。

アドレス・セットアップ・ウエイト・ステート / アドレス・ホールド・ウエイト・ステート挿入は各CS空間ごとに設定できます。

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

- 注意1.** 内蔵ROM領域,内蔵RAM領域,内蔵周辺I/O領域は,アドレス・セットアップ・ウエイト・ステート / アドレス・ホールド・ウエイト・ステート挿入の対象外になります。
- 2.** アドレス・セットアップ・ウエイト・ステート / アドレス・ホールド・ウエイト・ステートでは, $\overline{\text{WAIT}}$ 端子による外部ウエイト機能は無効です。
- 3.** AWCレジスタへの書き込みはリセット後に行い,そのあとは値を変更しないでください。また,AWCレジスタの初期値を変更する場合は,設定が終了するまで外部メモリ領域にアクセスしないでください。

リセット時: FFFFH R/W アドレス: FFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
$\overline{\text{CSn}}$ 信号	7	6	5	4	3	2	1	0
	1	1	1注	1注	AHW1	ASW1	AHW0	ASW0
$\overline{\text{CSn}}$ 信号					CS1		CS0	

注 USBファンクション・コントローラ (USBFC) を使用する場合,ビット4,5には0を設定することを推奨します。

この設定は,AWCレジスタの他のビット設定と同時にできます。

AHWn	チップ・セレクト空間のアドレス・ホールド・ウエイト・ステート挿入指定 (n=0,1)
0	挿入しない
1	挿入する

ASWn	チップ・セレクト空間のアドレス・セットアップ・ウエイト・ステート挿入指定 (n=0,1)
0	挿入しない
1	挿入する

注意 ビット6-15は必ず1を設定してください。0を設定した場合の動作は保証できません。

19. 6. 2 外部ウエイト機能

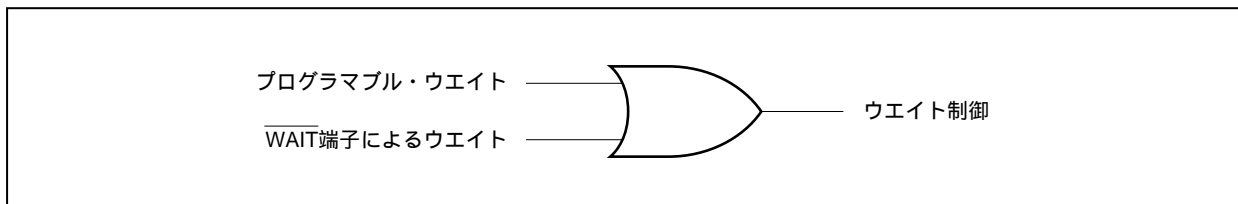
遅いデバイスや非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、外部バス・クロック周波数に対する非同期入力が可能です。

19. 6. 3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が図19 - 1のようなタイミングのとき、バス・サイクルは、3ウエイトになります。 $\overline{\text{WAIT}}$ 端子によるウエイトでは、期待するタイミングでのウエイトに間に合わない場合があります。その場合はプログラマブル・ウエイトにて調整してください。

図19 - 1 ウエイト挿入例 (1/2)

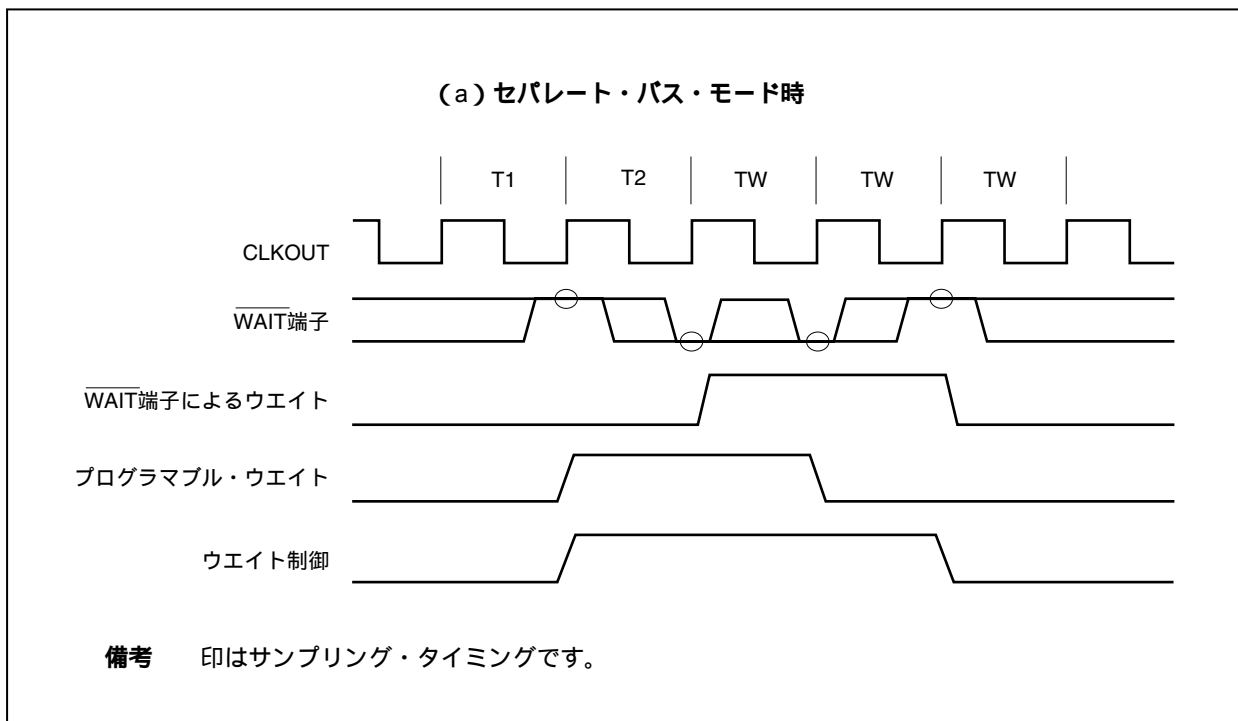
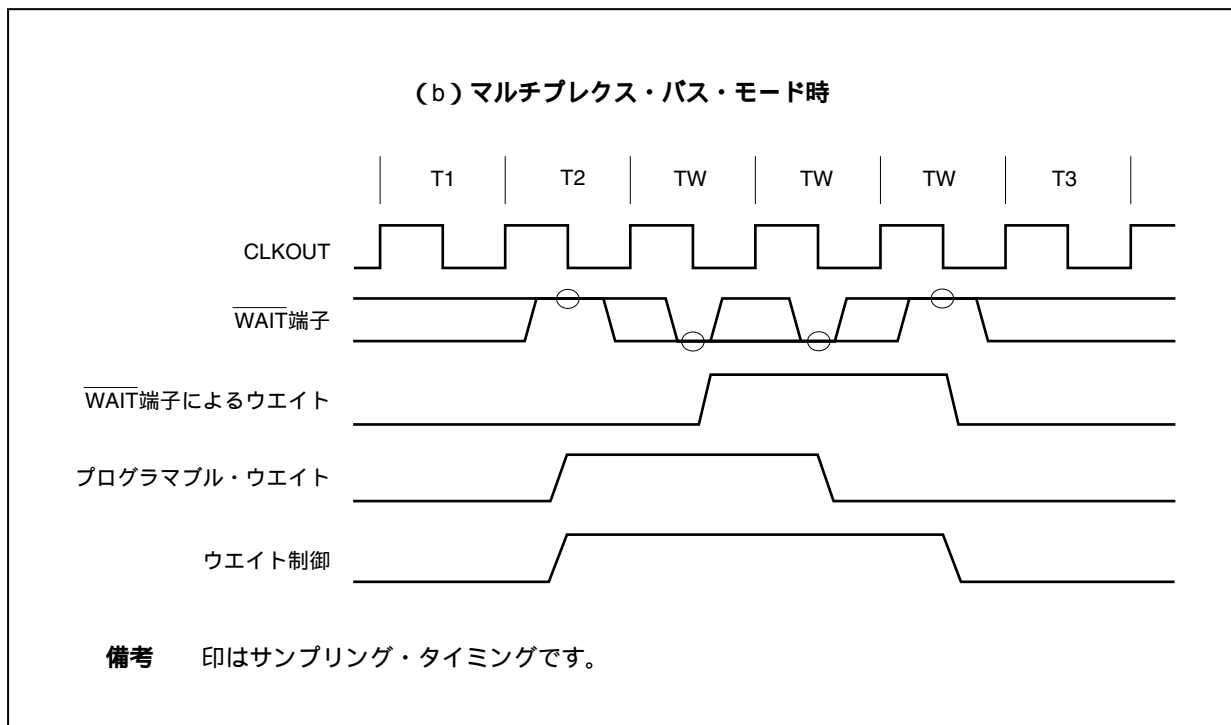


図19 - 1 ウェイト挿入例 (2/2)



19.6.4 ウェイト機能が有効なバス・サイクル

V850E/IG4-H, V850E/IH4-Hは、各メモリ・ブロックごとにウェイト数を指定できます。ウェイト機能が有効なバス・サイクルとウェイト設定を行うレジスタを次に示します。

表19 - 6 ウェイト機能が有効なバス・サイクル

バス・サイクル	ウェイトの種類	プログラマブル・ウェイトの設定			WAIT端子によるウェイト
		レジスタ	ビット	ウェイト数	
SRAM, 外部ROM, 外部I/Oサイクル	アドレス・セットアップ・ウェイト	AWC	ASWn	0, 1	× (無効)
	アドレス・ホールド・ウェイト	AWC	AHWn	0, 1	× (無効)
	データ・ウェイト	DWC0	DWn2-DWn0	0-7	(有効)

備考 n = 0, 1

19.7 アイドル・ステート挿入機能

アイドル・ステートはSRAM，外部ROM，外部I/Oに対するリード・サイクル後，ライト・サイクル後のタイミングで挿入されます。

(1) バス・サイクル・コントロール・レジスタ (BCC)

低速デバイスに対するインタフェースを容易に実現させることを目的とし，チップ・セレクト空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間を確保するために，起動されるバス・サイクルに対し，T2ステート後（データ・ウエイトが挿入される場合はTWステート後）にアイドル・ステート（TI）を挿入可能です。T2ステート（またはTWステート）の次のバス・サイクルは，挿入されたアイドル・ステートのあとから開始します。

ライト・アクセス後のアイドル・ステートについては，バス・クロック分周制御レジスタ（DVC）で挿入を設定できます。

アイドル・ステートの挿入指定は，BCCレジスタでプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対してアイドル・ステートの挿入状態になります。アイドル・ステート挿入時のタイミングは19.8 バス・タイミングを参照してください。

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

- 注意1. 内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アイドル・ステート挿入の対象外になります。**
- BCCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BCCレジスタの初期値を変更する場合は，設定が終了するまで外部メモリ領域にアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。
 - アイドル・ステート時にチップ・セレクト信号(\overline{CSn})はアクティブにはなりません($n = 0, 1$)。

リセット時：AAAAH R/W アドレス：FFFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
$\overline{\text{CSn}}$ 信号	7	6	5	4	3	2	1	0
	1	0	1注	0	BC11	0	BC01	0
$\overline{\text{CSn}}$ 信号					CS1		CS0	

注 USBファンクション・コントローラ（USBFC）を使用する場合，ビット5には0を設定することを推奨します。

この設定は，BCCレジスタの他のビット設定と同時にできます。

BCn1	チップ・セレクト空間のアイドル・ステート挿入指定（n = 0, 1）
0	挿入しない
1	挿入する

リード・サイクル終了後/ライト・サイクル終了後のチップ・セレクト空間ごとにアイドル・ステートの挿入指定ができます。
ただし，DVC.BCWIビット = 0の場合，アイドル・ステートが挿入されるのはリード・サイクル終了後だけです。ライト・サイクル終了後には挿入されません。

注意 ビット0, 2, 4, 6, 8, 10, 12, 14は必ず0を，ビット7, 9, 11, 13, 15は必ず1を設定してください。それ以外の値を設定した場合の動作は保証できません。

(2) バス・クロック分周制御レジスタ (DVC)

DVCレジスタは、ライト・サイクル終了後のアイドル・ステート (TI) の挿入指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより83Hになります。

- 注意1.** 内蔵ROM領域, 内蔵RAM領域, 内蔵周辺I/O領域は, アイドル・ステート挿入の対象外になります。
- 2.** DVCレジスタへの書き込みはリセット後に1度だけ行い (初期設定), そのあとは値を変更しないでください。また, DVCレジスタの初期設定が終わるまでは, 外部メモリ領域をアクセスしないでください。
ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。

リセット時: 83H R/W アドレス: FFFFFFF48EH

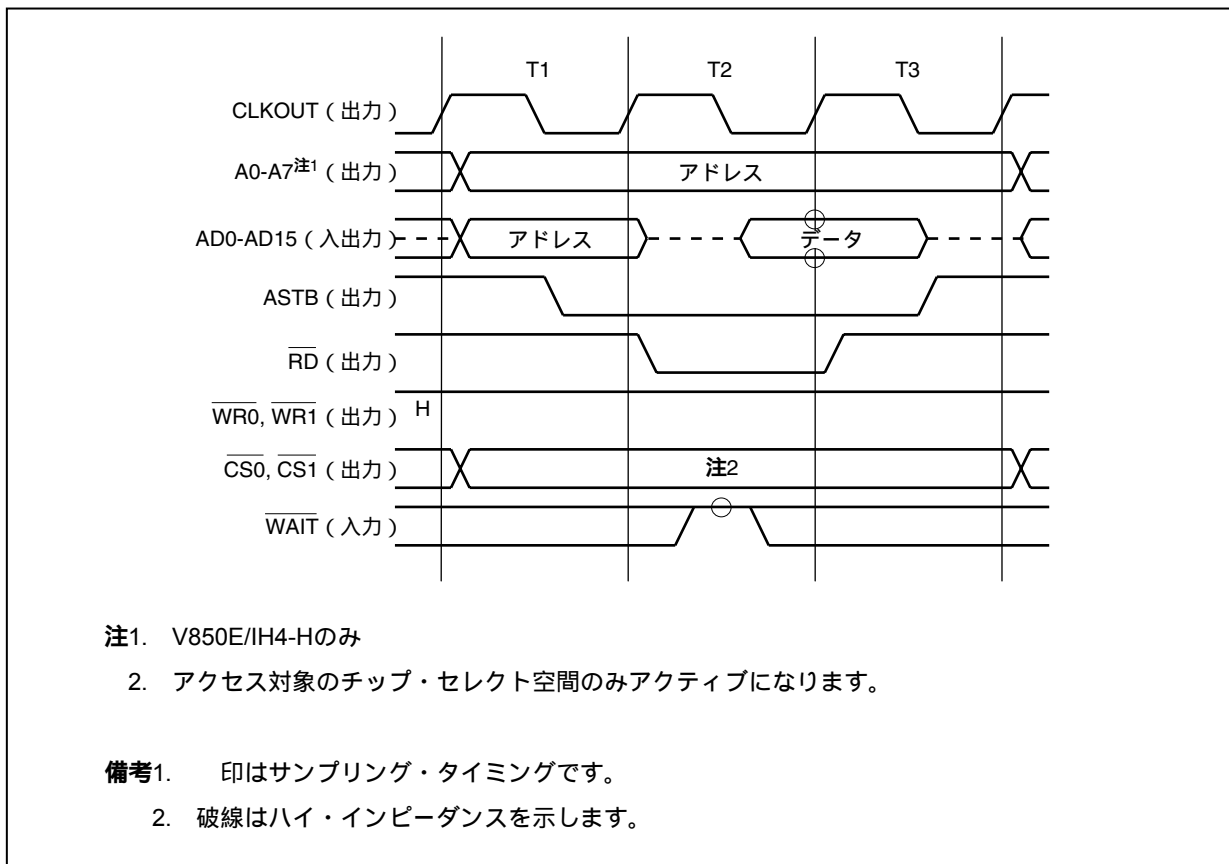
	7	6	5	4	3	2	1	0
DVC	BCWI	0	0	0	0	0	1	1

BCWI	ライト・サイクル終了後のアイドル・ステート挿入指定
0	挿入しない
1	挿入する (BCC.BC01, BC11ビット = 1の場合のみ)

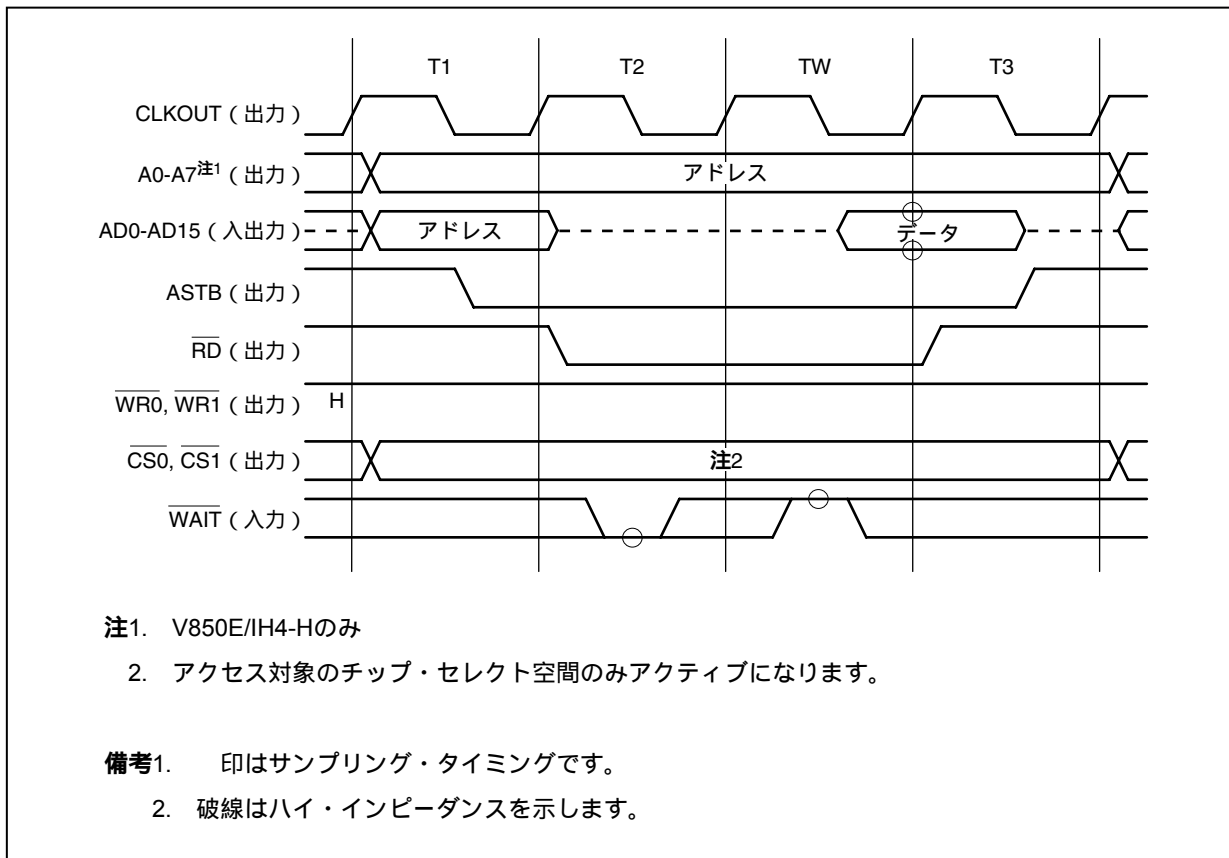
注意 ビット2-6は必ず0を, ビット0, 1は必ず1を設定してください。それ以外の値を設定した場合の動作は保証できません。

19.8 バス・タイミング

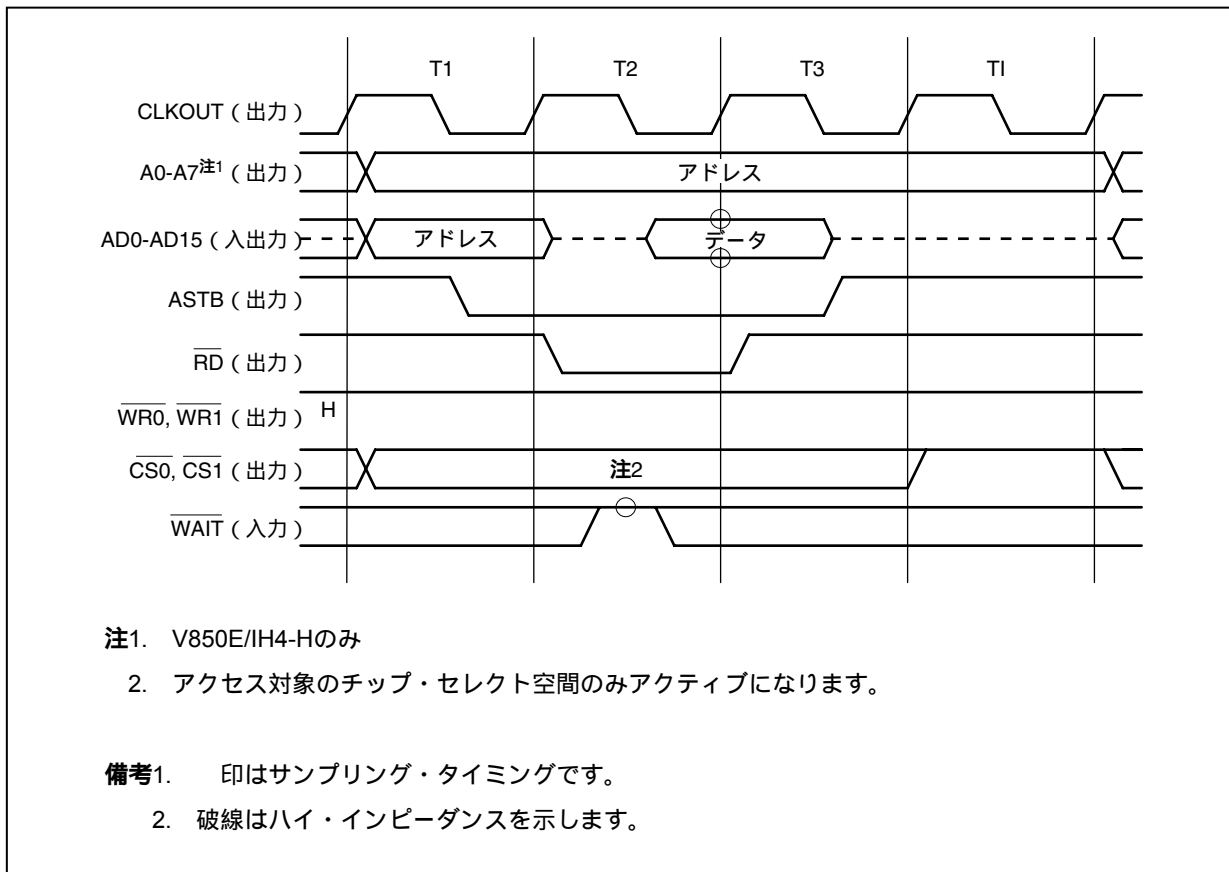
(1) リード・サイクル (基本サイクル)



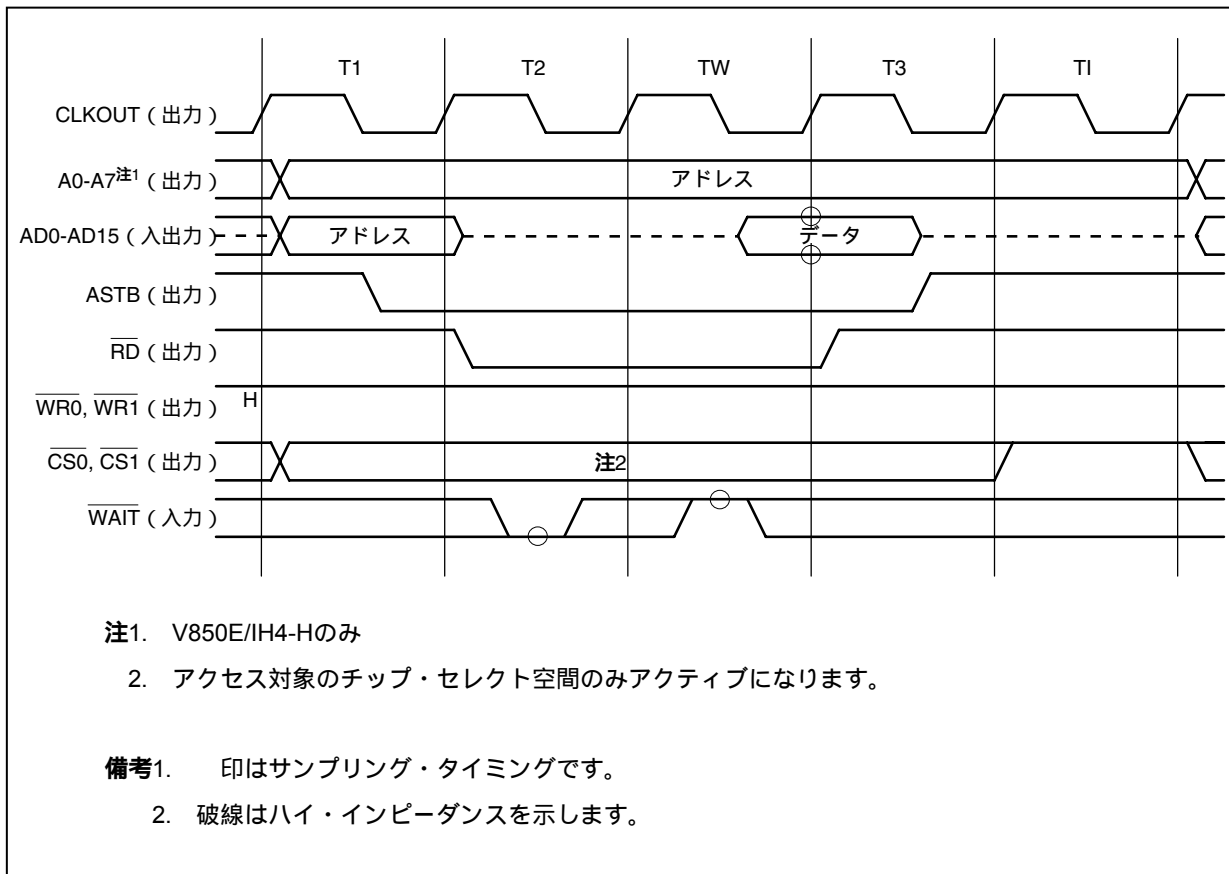
(2) リード・サイクル (データ・ウエイト・ステート (1ウエイト) 挿入時)



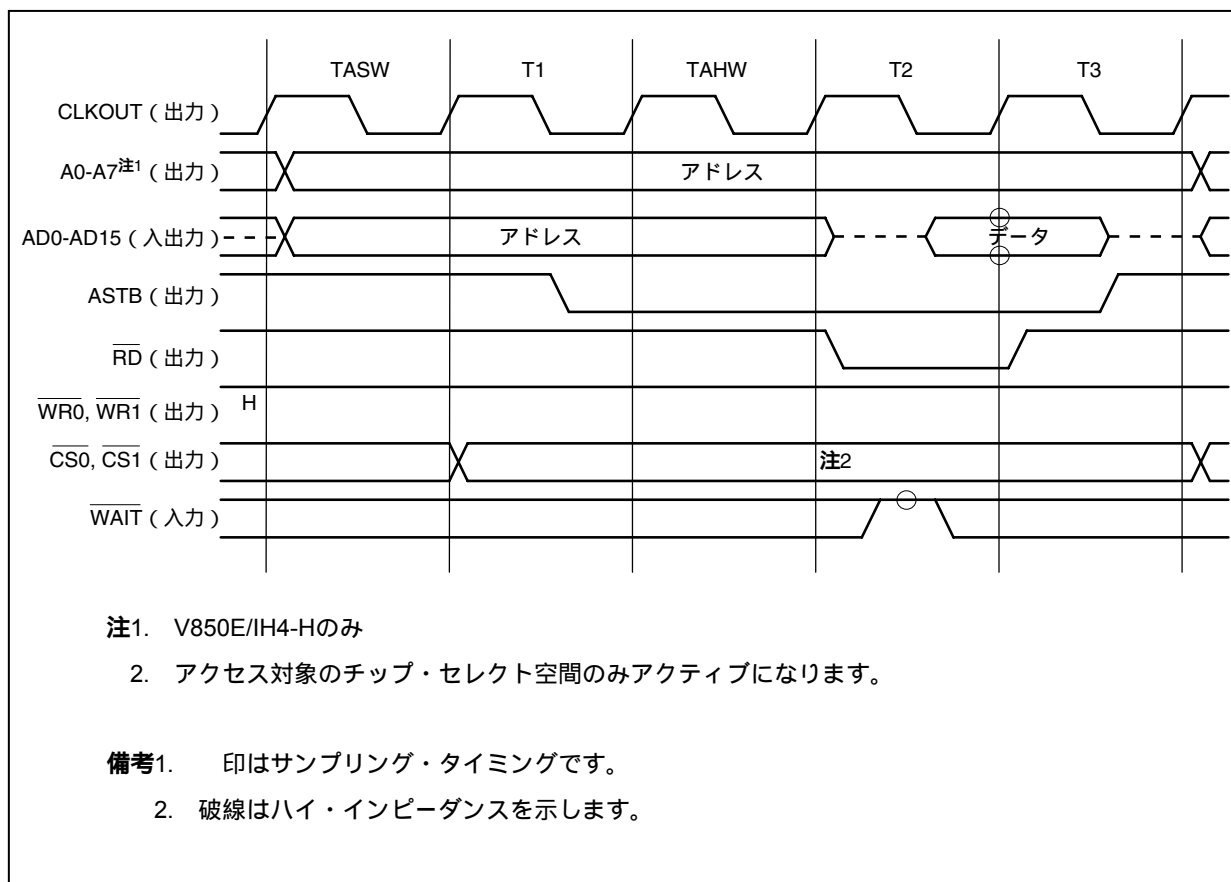
(3) リード・サイクル (アイドル・ステート挿入時)



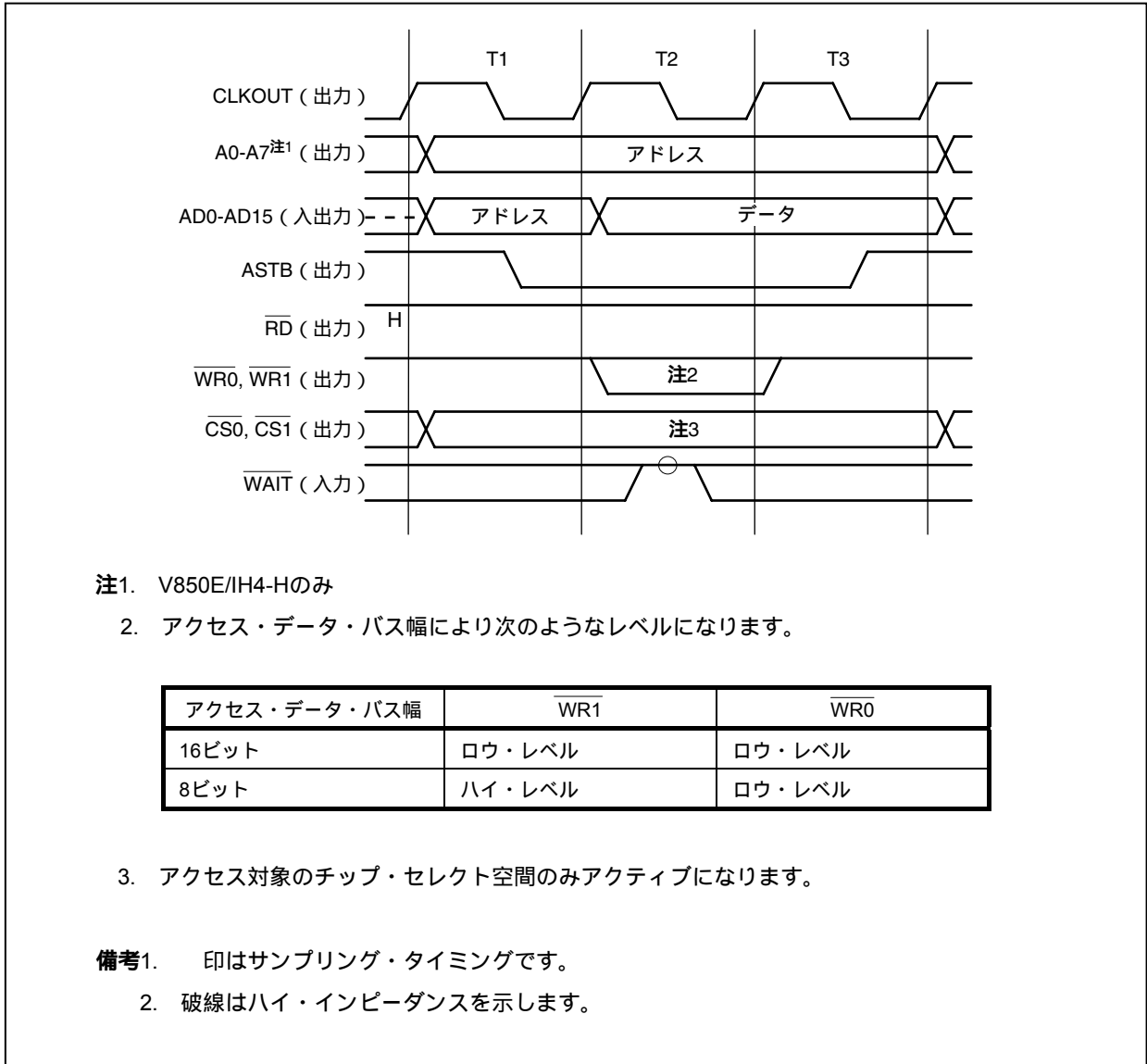
(4) リード・サイクル(データ・ウエイト・ステート(1ウエイト), アイドル・ステート挿入時)



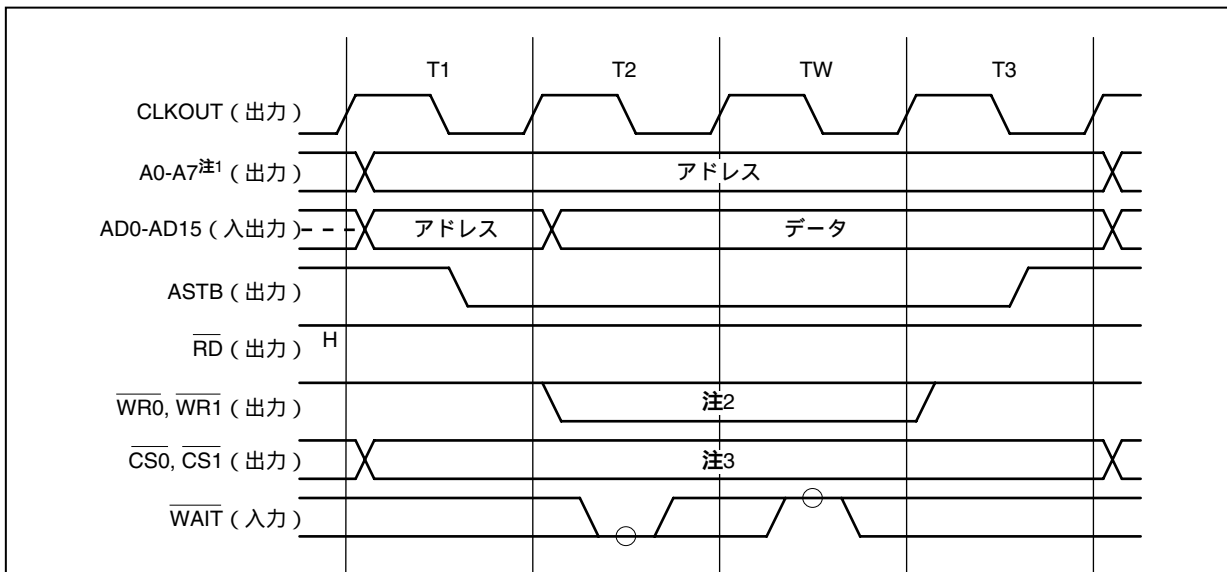
(5) リード・サイクル (アドレス・セットアップ・ウエイト・ステート, アドレス・ホールド・ウエイト・ステート挿入時)



(6) ライト・サイクル (基本サイクル)



(7) ライト・サイクル(データ・ウエイト・ステート(1ウエイト)挿入時)



注1. V850E/IH4-Hのみ

2. アクセス・データ・バス幅により次のようなレベルになります。

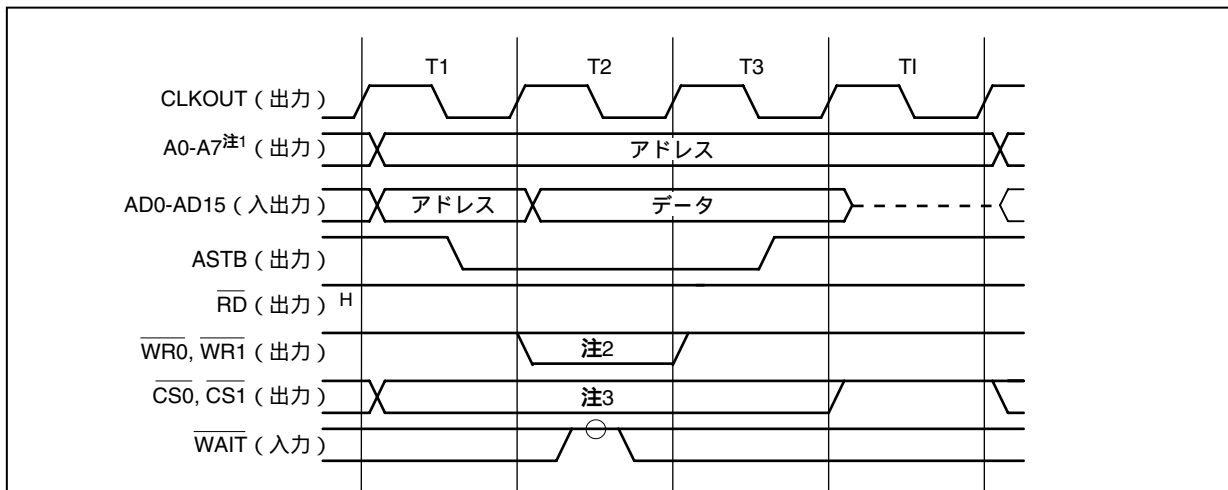
アクセス・データ・バス幅	$\overline{WR1}$	$\overline{WR0}$
16ビット	ロウ・レベル	ロウ・レベル
8ビット	ハイ・レベル	ロウ・レベル

3. アクセス対象のチップ・セレクト空間のみアクティブになります。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(8) ライト・サイクル (アイドル・ステート挿入時)



注1. V850E/IH4-Hのみ

2. アクセス・データ・バス幅により次のようなレベルになります。

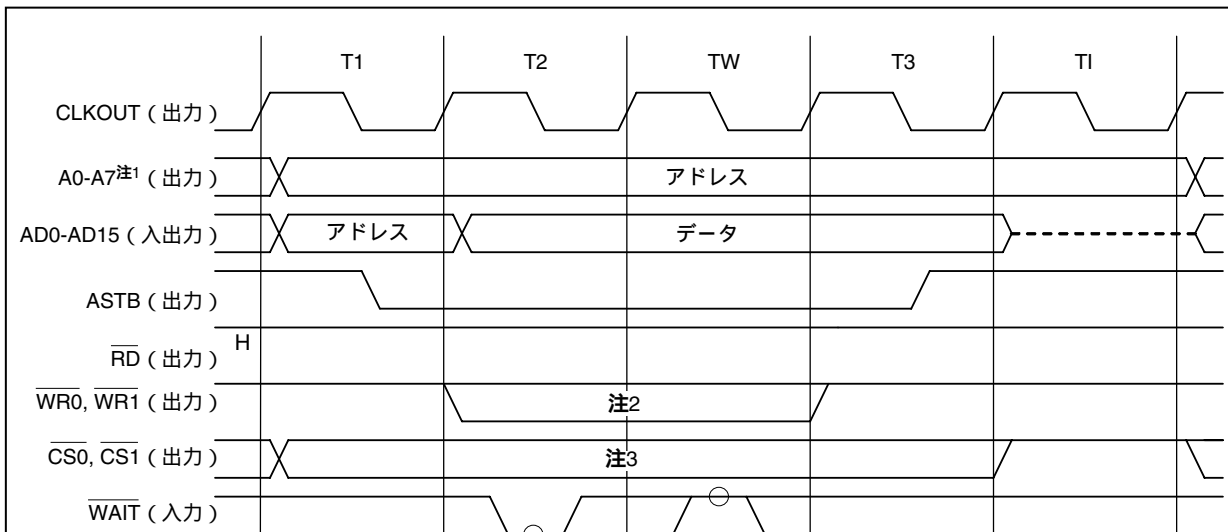
アクセス・データ・バス幅	$\overline{WR1}$	$\overline{WR0}$
16ビット	ロウ・レベル	ロウ・レベル
8ビット	ハイ・レベル	ロウ・レベル

3. アクセス対象のチップ・セレクト空間のみアクティブになります。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(9) ライト・サイクル (データ・ウエイト・ステート (1ウエイト), アイドル・ステート挿入時)



注1. V850E/IH4-Hのみ

2. アクセス・データ・バス幅により次のようなレベルになります。

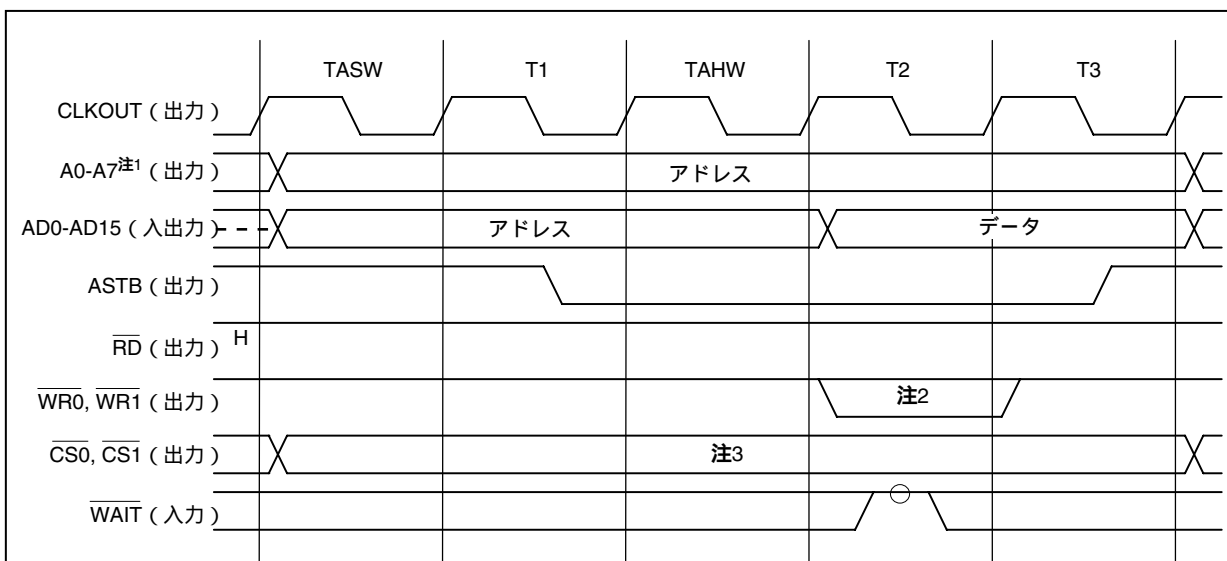
アクセス・データ・バス幅	$\overline{WR1}$	$\overline{WR0}$
16ビット	ロウ・レベル	ロウ・レベル
8ビット	ハイ・レベル	ロウ・レベル

3. アクセス対象のチップ・セレクト空間のみアクティブになります。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(10) ライト・サイクル (アドレス・セットアップ・ウエイト・ステート, アドレス・ホールド・ウエイト・ステート挿入時)



注1. V850E/IH4-Hのみ

2. アクセス・データ・バス幅により次のようなレベルになります。

アクセス・データ・バス幅	$\overline{WR1}$	$\overline{WR0}$
16ビット	ロウ・レベル	ロウ・レベル
8ビット	ハイ・レベル	ロウ・レベル

3. アクセス対象のチップ・セレクト空間のみアクティブになります。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

19.9 バスの優先順位

外部バス・サイクルには、命令フェッチ、オペランド・データ・アクセスの2つがあります。

優先順位はオペランド・データ・アクセスが高く、命令フェッチが低くなります。

ただし、リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

表19-7 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い	オペランド・データ・アクセス	CPU
低い	命令フェッチ	CPU

19.10 境界動作条件

19.10.1 プログラム空間

内蔵周辺I/O領域への分岐は行わないでください。分岐を行った場合、不定データをフェッチし、外部メモリからのフェッチなどはいりません。

19.10.2 データ空間

V850E/IG4-H, V850E/IH4-Hはアドレス・ミスアライン機能を内蔵しています。

この機能により、データの形式（ワード・データ、ハーフワード・データ）にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整列していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

(1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

(2) ワード長のデータ・アクセスの場合

(a) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。

(b) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。

第20章 DMA機能 (DMAコントローラ)

V850E/IG4-H, V850E/IH4-Hは、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ, A/Dコンバータ, 外部割り込みなど) からの割り込みによる要求, またはソフトウェア・トリガによるDMA転送要求に基づいて, 内蔵RAM 内蔵周辺I/O間でのデータ転送を制御します。

20.1 特 徴

7つの独立なDMAチャンネル

転送単位: 8ビット / 16ビット / 32ビット

最大転送回数: 4096回

転送タイプ: 2サイクル転送

2種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード

転送要求

- ・内蔵周辺I/O (シリアル・インタフェース, タイマ, A/Dコンバータ, 外部割り込み) からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

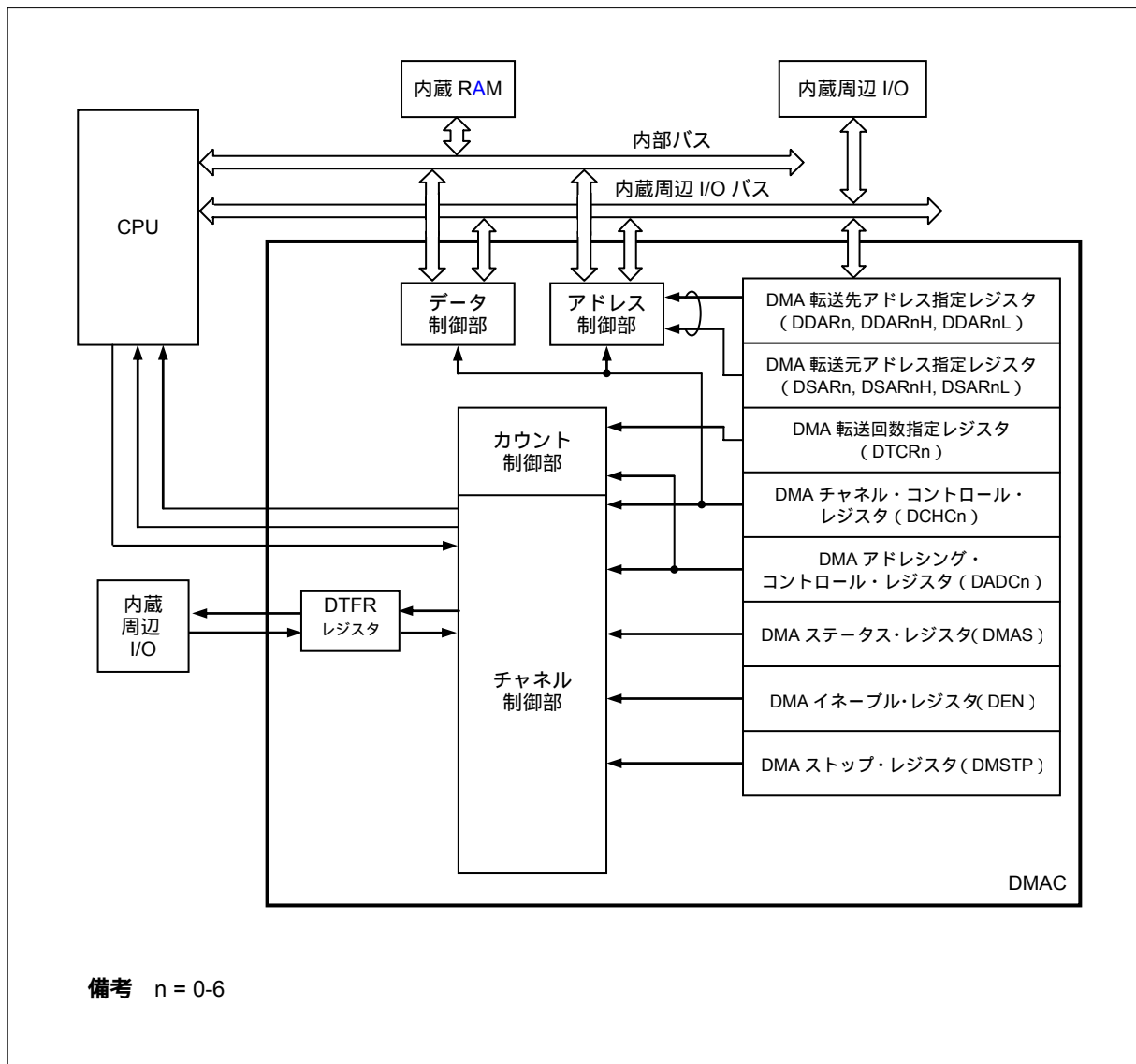
- ・内蔵RAM 内蔵周辺I/O

ネクスト・アドレス設定機能

20.2 構 成

20.2.1 DMAの構成

図20 - 1 DMACのブロック図



20.2.2 動作概要

チャンネル n はDMAトリガ要因レジスタ (DTFR n) で選択された起動要因により起動されます。起動トリガ発生後、DMA転送元アドレス指定レジスタ (DSAR n , DSAR n H, DSAR n L) で指定されたアドレス (内蔵周辺I/Oまたは内蔵RAMのアドレス) から、DMA転送先アドレス指定レジスタ (DDAR n , DDAR n H, DDAR n L) で指定されたアドレス (内蔵周辺I/Oまたは内蔵RAMのアドレス) へDMA転送を行います。

DMA転送回数指定レジスタ (DTCR n) で指定された回数のDMA転送が終了すると、DMA転送終了割り込み (INTDMA n) が発生します。

備考 $n = 0-6$

20.2.3 DMA転送クロック数

DMA転送クロック数を次に示します。

表20 - 1 DMA転送最小クロック数

転送対象	転送単位	DMA転送最小クロック数 (f _{CLK})
内蔵RAM 内蔵周辺I/O	バイト/ハーフワード	8クロック
	ワード	14クロック
内蔵周辺I/O 内蔵RAM	バイト/ハーフワード	6クロック
	ワード	12クロック

備考1. DMAWC0, DMAWC1レジスタの設定は、3.4.10 DMAウェイト・コントロール・レジスタ0, 1 (DMAWC0, DMAWC1) を参照してください。

2. f_{CLK} : 内部システム・クロック

20.3 制御レジスタ

20.3.1 DMA転送先アドレス指定レジスタ0-6 (DDAR0-DDAR6)

DMAチャンネルnのDMA転送先アドレス (17ビット) を設定します。

DMA転送ごとに、DADCnレジスタの設定により、カウントされます。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタのため、DMA転送中に新たなDMA転送の転送先アドレスを設定できます (20.9 バッファ・レジスタ構成参照)。

DCHCn.ENnビットまたはDEN.ENnnビットにより、リード時に示す値が異なります。

ENnビットまたはENnnビット ^注	0	1
リード時に示す値	マスタ・レジスタの値	スレーブ・レジスタの値

注 ENnビットの設定はENnnビットに反映されます。また、ENnnビットの設定はENnビットに反映されます。

DDARnレジスタは、32ビット単位でリード/ライト可能です。

DDARnレジスタの上位16ビットをDDARnHレジスタ、DDARnレジスタの下位16ビットをDDARnLレジスタとして使用する場合は、16ビット単位でリード/ライト可能です。

リセットにより不定になります。

- 注意1. CPUからDDARnレジスタを32ビット単位でアクセスする場合、アドレスの下位2ビットが00Bではないため、ミスアライン・アクセスとなります。内蔵RAM上のプログラム実行時にDDARnレジスタをアクセスする場合は、16ビット単位でアクセスしてください (20.14 (4) 内蔵RAMでのプログラム実行とDMA転送を参照)。
- 16ビット転送時DARn0ビットの設定は無効となります。
 - 32ビット転送時DARn1, DARn0ビットの設定は無効となります。
 - DTCRnレジスタ設定時は、DDARnレジスタでのアドレス指定は、内蔵RAMおよび内蔵周辺I/Oが存在しないアドレス空間に対して行わないでください。存在しないアドレス空間にアドレスを指定した場合の動作は保証できません。
 - DIRnビットの設定は、DCHCn.ENnビット = 0またはDEN.ENnnビット = 0にしてから行ってください。
 - DIRnビット = DSARn.SIRnビットの設定は禁止します。

- 備考1. 1固定のビットに"0"をライトした場合、ライトした値は無視されます。リード値は1固定です。
- 0固定のビットに"1"をライトした場合、ライトした値は無視されます。リード値は0固定です。

リセット時：不定 R/W アドレス：DDAR0 FFFFFFF086H,
 DDAR0L FFFFFFF086H, DDAR0H FFFFFFF088H,
 DDAR1 FFFFFFF096H,
 DDAR1L FFFFFFF096H, DDAR1H FFFFFFF098H,
 DDAR2 FFFFFFF0A6H,
 DDAR2L FFFFFFF0A6H, DDAR2H FFFFFFF0A8H,
 DDAR3 FFFFFFF0B6H,
 DDAR3L FFFFFFF0B6H, DDAR3H FFFFFFF0B8H,
 DDAR4 FFFFFFF0C6H,
 DDAR4L FFFFFFF0C6H, DDAR4H FFFFFFF0C8H,
 DDAR5 FFFFFFF0D6H,
 DDAR5L FFFFFFF0D6H, DDAR5H FFFFFFF0D8H,
 DDAR6 FFFFFFF0E6H,
 DDAR6L FFFFFFF0E6H, DDAR6H FFFFFFF0E8H

	31	30	29	28	27	26	25	24
DDARn (DDARnH)	DIRn	0	0	0	1	1	1	1
(n = 0-6)								
	23	22	21	20	19	18	17	16
	1	1	1	1	1	1	1	DARn16
(DDARnL)	15	14	13	12	11	10	9	8
	DARn15	DARn14	DARn13	DARn12	DARn11	DARn10	DARn9	DARn8
	7	6	5	4	3	2	1	0
	DARn7	DARn6	DARn5	DARn4	DARn3	DARn2	DARn1	DARn0

DIRn	DMA転送先の指定
0	内蔵周辺I/O
1	内蔵RAM

DARn16-DARn0	DMA転送先のアドレス (A16-A0) を設定します。 DADCnレジスタの設定により, DCHCn.ENnビットまたはDEN.ENnnビットがセット (1) されているときは, DMA転送ごとにレジスタ値が変化します。詳細については, 表20 - 2 DADCnレジスタ設定によるDDARnレジスタ値を参照してください。
--------------	---

表20 - 2 DADCnレジスタ設定によるDDARnレジスタ値

DADCnレジスタ				DDARnレジスタ値の増減
DSn1ビット	DSn0ビット	DADn1ビット	DADn0ビット	
0	0	0	0	+1
		0	1	-1
		1	0	0
0	1	0	0	+2
		0	1	-2
		1	0	0
1	0	0	0	+4
		0	1	-4
		1	0	0
上記以外				設定禁止

20.3.2 DMA 転送元アドレス指定レジスタ0-6 (DSAR0-DSAR6)

DMAチャネルnのDMA転送元アドレス (17ビット) を設定します。

DMA転送ごとに、DADCnレジスタの設定により、カウントされます。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタのため、DMA転送中に新たなDMA転送の転送元アドレスを設定できます (20.9 バッファ・レジスタ構成参照)。

DCHCn.ENnビットまたはDEN.ENnnビットにより、リード時に示す値が異なります。

ENnビットまたはENnnビット ^注	0	1
リード時に示す値	マスタ・レジスタの値	スレーブ・レジスタの値

注 ENnビットの設定はENnnビットに反映されます。また、ENnnビットの設定はENnビットに反映されます。

DSARnレジスタは、32ビット単位でリード/ライト可能です。

DSARnレジスタの上位16ビットをDSARnHレジスタ、DSARnレジスタの下位16ビットをDSARnLレジスタとして使用する場合は、16ビット単位でリード/ライト可能です。

リセットにより不定になります。

- 注意1.** DSARnレジスタを32ビット単位でアクセスする場合、アドレスの下位2ビットが00Bではないため、ミスライン・アクセスとなります。内蔵RAM上のプログラム実行時にDSARnレジスタをアクセスする場合は、16ビット単位でアクセスしてください (20.14 (4) 内蔵RAMでのプログラム実行とDMA転送参照)。
- 16ビット転送時SARn0ビットの設定は無効となります。
 - 32ビット転送時SARn1, SARn0ビットの設定は無効となります。
 - DTCRnレジスタ設定時は、DSARnレジスタでのアドレス指定は、内蔵RAMおよび内蔵周辺I/Oが存在しないアドレス空間に対して行わないでください。存在しないアドレス空間にアドレスを指定した場合の動作は保証できません。
 - SIRnビットの設定は、DCHCn.ENnビット = 0またはDEN.ENnnビット = 0にしてから行ってください。
 - DDARn.DIRnビット = SIRnビットの設定は禁止します。

- 備考1.** 1固定のビットに"0"をライトした場合、ライトした値は無視されます。リード値は1固定です。
- 0固定のビットに"1"をライトした場合、ライトした値は無視されます。リード値は0固定です。

リセット時 : 不定 R/W アドレス : DSAR0 FFFFF08AH,
 DSAR0L FFFFF08AH, DSAR0H FFFFF08CH,
 DSAR1 FFFFF09AH,
 DSAR1L FFFFF09AH, DSAR1H FFFFF09CH,
 DSAR2 FFFFF0AAH,
 DSAR2L FFFFF0AAH, DSAR2H FFFFF0ACH,
 DSAR3 FFFFF0BAH,
 DSAR3L FFFFF0BAH, DSAR3H FFFFF0BCH,
 DSAR4 FFFFF0CAH,
 DSAR4L FFFFF0CAH, DSAR4H FFFFF0CCH,
 DSAR5 FFFFF0DAH,
 DSAR5L FFFFF0DAH, DSAR5H FFFFF0DCH,
 DSAR6 FFFFF0EAH,
 DSAR6L FFFFF0EAH, DSAR6H FFFFF0ECH

	31	30	29	28	27	26	25	24
DSARn (DSARnH)	SIRn	0	0	0	1	1	1	1
(n = 0-6)								
	23	22	21	20	19	18	17	16
	1	1	1	1	1	1	1	SARn16
(DSARnL)	15	14	13	12	11	10	9	8
	SARn15	SARn14	SARn13	SARn12	SARn11	SARn10	SARn9	SARn8
	7	6	5	4	3	2	1	0
	SARn7	SARn6	SARn5	SARn4	SARn3	SARn2	SARn1	SARn0

SIRn	DMA転送元の指定
0	内蔵周辺I/O
1	内蔵RAM

SARn16-SARn0	DMA転送元のアドレス (A16-A0) を設定します。 DADCnレジスタの設定により, DCHCn.ENnビットまたはDEN.ENnnビットがセット (1) されているときは, DMA転送ごとにレジスタ値が変化します。 詳細については, 表20 - 3 DADCnレジスタ設定によるDSARnレジスタ値を参照してください。
--------------	---

表20 - 3 DADCnレジスタ設定によるDSARnレジスタ値

DADCnレジスタ				DSARnレジスタ値の増減
DSn1ビット	DSn0ビット	SADn1ビット	SADn0ビット	
0	0	0	0	+1
		0	1	-1
		1	0	0
0	1	0	0	+2
		0	1	-2
		1	0	0
1	0	0	0	+4
		0	1	-4
		1	0	0
上記以外				設定禁止

20.3.3 DMA転送回数指定レジスタ0-6 (DTCR0-DTCR6)

DMAチャネルnの転送数を設定する16ビット・レジスタです。DMA転送中は、残りの転送数を保持します。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタのため、DMA転送中に新たなDMA転送の転送回数を設定できます(20.9 バッファ・レジスタ構成参照)。

DCHCn.ENnビットまたはDEN.ENnnビットにより、リード時に示す値が異なります。

ENnビットまたはENnnビット ^注	0	1
リード時に示す値	マスタ・レジスタの値	スレーブ・レジスタの値

注 ENnビットの設定はENnnビットに反映されます。また、ENnnビットの設定はENnビットに反映されます。

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

- 注意1. ネクスト・アドレス機能を使用しない場合 (DCHCn.MLEnビット = 0) , DTCRnレジスタの値はDMA転送ごとにデクリメントされ、DMA転送終了後、DTCRnレジスタの値は設定値に戻ります。
2. ネクスト・アドレス機能を使用する場合 (DCHCn.MLEnビット = 1) , DTCRnレジスタの値はDMA転送ごとにデクリメントされ、DMA転送終了後、DTCRnレジスタにライトされた最新の値がリロードされます。

リセット時：不定 R/W アドレス：DTCR0 FFFFF084H, DTCR1 FFFFF094H,
DTCR2 FFFFF0A4H, DTCR3 FFFFF0B4H,
DTCR4 FFFFF0C4H, DTCR5 FFFFF0D4H,
DTCR6 FFFFF0E4H

	15	14	13	12	11	10	9	8
DTCRn	0	0	0	0	DTCRn11	DTCRn10	DTCRn9	DTCRn8
(n = 0-6)	7	6	5	4	3	2	1	0
	DTCRn7	DTCRn6	DTCRn5	DTCRn4	DTCRn3	DTCRn2	DTCRn1	DTCRn0

DTCRn11-	転送回数の設定 (DMA転送中は残りの転送回数を保持)	
DTCRn0	ライト時	リード時
0000H	4096回の転送	残り転送回数
0001H	1回の転送	
:	:	
0FFFH	4095回の転送	

20.3.4 DMAアドレッシング・コントロール・レジスタ0-6 (DADC0-DADC6)

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです。DMA転送開始から、指定した転送回数のDMA転送が終了するまでの期間にDADCnレジスタの設定を変更しないでください。DADCnレジスタの設定を変更した場合の動作は保証できません。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス： DADC0 FFFFF082H, DADC1 FFFFF092H,
DADC2 FFFFF0A2H, DADC3 FFFFF0B2H,
DADC4 FFFFF0C2H, DADC5 FFFFF0D2H,
DADC6 FFFFF0E2H

DADCn	15	14	13	12	11	10	9	8
(n = 0-6)	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	DSn1	DSn0	SADn1	SADn0	DADn1	DADn0	TMn	0

DSn1	DSn0	DMAチャネルnの転送データ・サイズの設定
0	0	8ビット
0	1	16ビット
1	0	32ビット
1	1	設定禁止

SADn1	SADn0	DMAチャネルnの転送元アドレスのカウンタ方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DADn1	DADn0	DMAチャネルnの転送先アドレスのカウンタ方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

TMn	DMA転送時の転送モードの設定
0	シングル転送モード
1	シングルステップ転送モード

20.3.5 DMAチャネル・コントロール・レジスタ0-6 (DCHC0-DCHC6)

DMAチャネルnのDMA転送動作モードを制御する16ビット・レジスタです。

16ビット単位でリード/ライト可能です。ただし、ビット7はリードのみ可能です。

リセットにより0000Hになります。

- 注意1. MLEnビットがセット(1)された状態で転送を終了し、次の転送要求を、内蔵周辺I/Oからの割り込みで起動するDMA転送(ハードウェアDMA)で行った場合、次の転送はTCnビットがセット(1)された状態で実行されます(自動的にクリア(0)されません)。
2. DMA転送の中断中(STPnビット = 1またはDMSTP.STPnnビット = 1)にENnビット, DEN.ENnnビットをクリア(0)すると、DMA転送の再開はできません。
 3. DMA転送の中断中(STPnビット = 1またはDMSTP.STPnnビット = 1)に、DMA転送動作モードおよびDMA転送の起動要因を切り替えた場合は、再開後(STPn/STPnnビット = 0)の動作保証はできません。
 4. 2段FIFO形式のバッファ・レジスタ(DDARn, DDARnL, DDARnH, DSARn, DSARnL, DSARnH, DTCRn)のデータは、ENnビットまたはDEN.ENnnビットへの0 1ライトの場合はマスタ・レジスタの値がスレーブ・レジスタへ転送され、ENn/ENnnビットへの1 1ライトの場合はマスタ・レジスタの値がスレーブ・レジスタへ転送されません。
 5. MLEnビット = 0において、DMA転送指定回数サイクル終了後(TCnビット = 1またはDMAS.TCnnビット = 1)にSTGnビットを設定する場合は、TCn/TCnnビットをクリア(0)後、ENn/ENnnビット = 1にしてからSTGnビット = 1を設定してください。TCn/TCnnビット = 1の状態で、STGnビット = 1を書き込んでも無視されます。
 6. MLEnビット = 1において、DMA転送指定回数サイクル終了後(TCn/TCnnビット = 1)にSTGnビットを設定する場合は、TCn/TCnnビットをクリア(0)後、STGnビット = 1を設定してください。TCn/TCnnビット = 1の状態で、STGnビット = 1を書き込んでも無視されます。
 7. ENnビットを0から1にする場合は、TCn/TCnnビット = 0のときのみENnビット = 1を設定できます。TCn/TCnnビット = 1のときは無視されます。
 8. DMA転送指定回数サイクル中にENnビットを1から0にした場合、転送中のDMA1サイクル終了後、強制終了します。このとき、TCn/TCnnビットはセット(1)されません。ただし、DMA転送の最後の転送サイクル時に強制終了を行い、最後の転送を終了した場合には、TCn/TCnnビットがセット(1)されDMA転送終了割り込み(INTDMA_n)が発生します。

(1/2)

リセット時：0000H R/W アドレス： DCHC0 FFFFF08EH, DCHC1 FFFFF09EH,
 DCHC2 FFFFF0AEH, DCHC3 FFFFF0BEH,
 DCHC4 FFFFF0CEH, DCHC5 FFFFF0DEH,
 DCHC6 FFFFF0EEH

	15	14	13	12	11	10	9	8
DCHCn	0	0	0	0	0	0	0	0
(n = 0-6)	7	6	5	4	3	2	1	0
	TCn	0	0	0	MLEn	STPn	STGn	ENn

TCn ^注	DMAチャンネルnのDMA転送の終了 / 未終了を示すステータス・フラグ
0	DMA転送未終了
1	DMA転送終了

・DMA転送が終了するとセット(1)され、読み出しによりクリア(0)されます。
 ・TCnビットをライトしても、ライト値は無視されます。
 ・DMAS.TCnnビットは、0のみライト可能です。TCnnビットに0を書き込むことで、対応するTCnビットもクリア(0)されます。
 ・TCnビットの設定は、DMAS.TCnnビットに反映されます。

MLEn	ネクスト・アドレス設定機能の許可 / 禁止の設定
0	ネクスト・アドレス設定機能禁止
1	ネクスト・アドレス設定機能許可

・ネクスト・アドレス設定機能禁止 (MLEnビット = 0) 時、ターミナル・カウント (指定回数の転送終了時) が発生すると、ENnビットまたはDEN.ENnnビットはクリア(0)され、DMA転送禁止状態になります。次のDMA転送要求時は、TCnビットまたはDMAS.TCnnビットをクリア(0)後、ENn/ENnnビットのセット(1)が必要です。
 ・ネクスト・アドレス設定機能許可 (MLEnビット = 1) 時、ターミナル・カウント (指定回数の転送終了時) が発生すると、ENn/ENnnビットはクリア(0)されず、DMA転送許可状態のままになります。次のDMA転送要求が内蔵周辺I/Oからの割り込みの場合 (ハードウェアDMA) は、TCn/TCnnビットをクリア(0)しなくても、DMA転送要求が受けられます。
 ・MLEnビットは、内蔵周辺I/Oからの割り込み要因によってDMAを起動する場合に有効です。ソフトウェア・トリガ (STGnビット = 1) によるDMA起動の場合は、TCn/TCnnフラグをクリア(0)してから、STGnビットをセット(1)してください。

注 TCnビットはリードのみ可能です。

(2/2)

STPn	<p>STPnビットをセット (1) すると、DMA転送を中断します。また、クリア (0) することによりDMA転送を再開します。</p> <p>STPnビットがセット (1) されているときに、ENnビットまたはDEN.ENnnビットをクリア (0) すると、DMA転送を強制終了するため、再度ENn/ENnnビットをセット (1) したあと、STPnビットをクリア (0) してもDMA転送は再開されません (強制終了)。</p> <p>シングル転送時におけるSTPnビット = 1による中断中のDMA転送の起動要因は1つのみ保留され (起動要因が2つ以上発生しても1つとなります)、STPnビット = 0後に転送を再開します。また、シングルステップ転送時におけるSTPnビット = 1による中断中のDMA転送の起動要因は保留されず無視されません。</p>
<ul style="list-style-type: none"> ・ STPnビットは、ENn/ENnnビットを0にしてもクリアされません。 ・ STPnビットの設定はDMSTP.STPnnビットに反映されます。 	

STGn	<p>DMA転送が許可の状態 (TCnビットまたはDMAS.TCnnビット = 0)、ENnビットまたはDEN.ENnnビット = 1) で、STGnビットをセット (1) すると、ソフトウェア・トリガによるDMA転送を開始します。</p> <p>リード時は常に0が読み出され、0ライトは無視されます。</p>
<ul style="list-style-type: none"> ・ ENn/ENnnビット = 1のあとにSTGnビット = 1にしてください。 ENn/ENnnビット = 0のときにSTGnビット = 1を書き込んでも無視されます。 ・ シングル転送モード時、DMA転送1サイクル中は、STGnビット = 1を書き込んでも無視されます。 ・ シングルステップ転送モード時、DMA転送指定回数サイクル中は、STGnビット = 1を書き込んでも無視されます。 	

ENn	DMAチャネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止 (強制終了)
1	DMA転送の許可

- ・ MLEnビット = 0の場合は、DMA転送が終了するとENnビットはクリア (0) されます。
- ・ ENnビットの設定はDEN.ENnnビットに反映されます。

20.3.6 DMAステータス・レジスタ (DMAS)

DMAチャンネルnの転送ステータスを示すレジスタです。DCHCn.TCnビットと常に一致していますが、0をライトすることにより、クリア(0)することができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF0F0H

	7	6	5	4	3	2	1	0
DMAS	0	TC66	TC55	TC44	TC33	TC22	TC11	TC00

TCnn	DMAチャンネルnのDMA転送の終了/未終了を示すステータス・フラグ
0	DMA転送未終了
1	DMA転送終了

- ・ 指定回数のDMA転送が終了するとセット(1)されます。
- ・ TCnnビットはリードしてもクリア(0)されません。
- ・ TCnnビットは0のみライト可能です。TCnnビットに0を書き込むことで、対応するDCHCn.TCnビットもクリア(0)されます。
TCnnビットに1を書き込んで無視されます。
- ・ TCnnビットの設定はDCHCn.TCnビットに反映されます。

備考 n = 0-6

20.3.7 DMAイネーブル・レジスタ (DEN)

DMA転送の許可 / 禁止を設定するレジスタです。このレジスタのENnnビットは、DCHCn.ENnビットと同一です。DMAチャンネルnのENnnビットをクリア (0) することにより、DMA転送を強制終了します。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

- 注意1.** DMA転送の中断中 (DCHCn.STPnビット = 1またはDMSTP.STPnnビット = 1) にENnnビット、DCHCn.ENnビットをクリア (0) すると、DMA転送の再開はできません。
2. 2段FIFO形式のバッファ・レジスタ (DDARn, DDARnL, DDARnH, DSARn, DSARnL, DSARnH, DTGRn) のデータは、DCHCn.ENnビットまたはENnnビットへの0 1ライトの場合はマスタ・レジスタの値がスレーブ・レジスタへ転送され、ENn/ENnnビットへの1 1ライトの場合はマスタ・レジスタの値がスレーブ・レジスタへ転送されません。
3. ENnnビットを0から1にする場合は、DCHCn.TCnビットまたはDMAS.TCnnビット = 0の状態のみENnnビット = 1を設定できます。TCn/TCnnビット = 1のときは無視されます。
4. DMA転送指定回数サイクル中にENnnビットを1から0にした場合、転送中のDMA1サイクル終了後、強制終了します。このとき、TCn/TCnnビットはセット (1) されません。DMA転送の最後の転送サイクル時に強制終了を行い、最後の転送を終了した場合には、TCn/TCnnビットがセット (1) されDMA転送終了割り込み (INTDMA_n) が発生します。

リセット時 : 00H R/W アドレス : FFFFF0F2H

	7	6	5	4	3	2	1	0
DEN	0	EN66	EN55	EN44	EN33	EN22	EN11	EN00

ENnn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止 (強制終了)
1	DMA転送の許可
ENnnビットの設定はDCHCn.ENnビットに反映されます。	

備考 n = 0-6

20.3.8 DMAストップ・レジスタ (DMSTP)

DMA転送を中断させるためのレジスタです。このレジスタのSTPnビットは、DCHCn.STPnビットと同一です。DMAチャンネルnのSTPnビットをクリア (0) することにより、DMA転送を再開します。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 DMA転送の中断中 (DCHCn.STPnビット = 1またはSTPnビット = 1) に、DMA転送動作モードおよびDMA転送の起動要因を切り替えた場合は、再開後 (STPn/STPnビット = 0) の動作保証はできません。

リセット時 : 00H		R/W	アドレス : FFFFF0F4H					
	7	6	5	4	3	2	1	0
DMSTP	0	STP66	STP55	STP44	STP33	STP22	STP11	STP00
STPnn	<p>STPnnビットをセット (1) すると、DMA転送を中断します。また、クリア (0) することによりDMA転送を再開します。</p> <p>STPnnビットがセット (1) されているときに、DCHCn.ENnビットまたはDEN.ENnnビットをクリア (0) すると、DMA転送を強制終了するため、再度ENn/ENnnビットをセット (1) したあと、STPnnビットをクリア (0) してもDMA転送は再開されません (強制終了)。</p> <p>シングル転送時におけるSTPnnビット = 1による中断中のDMA転送の起動要因は1つのみ保留され (起動要因が2つ以上発生しても1つとなります)、STPnnビット = 0後に転送を再開します。また、シングルステップ転送時におけるSTPnnビット = 1による中断中のDMA転送の起動要因は保留されず無視されます。</p> <ul style="list-style-type: none"> ・ STPnnビットは、ENn/ENnnビットを0にしてもクリアされません。 ・ STPnnビットの設定はDCHCn.STPnビットに反映されます。 							
備考		n = 0-6						

20.3.9 DMAトリガ要因レジスタ_n (DTFR_n)

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する16ビット・レジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因になります。

DTFR_nレジスタは、16ビット単位でリード/ライト可能です。

DTFR_nHレジスタは、DTFR_nレジスタの上位8ビットをDTFR_nHレジスタ、DTFR_nレジスタの下位8ビットをDTFR_nLレジスタとして使用する場合は、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意1. DTFR_nレジスタ (DF_n/DF_mビットのクリア除く)のIFC_n0-IFC_n6ビットを変更する場合は、IFC_n0-IFC_n6ビットを変更するDMAチャンネル_nと、そのチャンネルより優先順位の低いすべてのDMAチャンネル_mのDMA動作を禁止 (DCHC_n.EN_nビットまたはDEN.EN_nビット = 0, かつ、EN_m/EN_mビット=0)にしてからDTFR_nレジスタを変更してください。また、IFC_n0-IFC_n6ビットを変更後にDMA動作を許可する (EN_n/EN_n/EN_m/EN_mビット = 1)場合は、必ずDF_n/DF_mビットをクリアしてからDMA動作を許可にしてください。

この条件で実行しない場合、DMAチャンネル_mは、次の動作をする場合があります。

- ・DMA_m起動要因が発生していないのに、DMA_m転送が起動される。
- ・DMA_m起動要因が発生しているのに、DMA_m転送が起動されない。

2. DTFR_nレジスタに同値を上書きする場合は、DTFR_nレジスタに同値を上書きするDMAチャンネル_nを動作禁止 (EN_n/EN_nビット = 0)にしてからDTFR_nレジスタへの同値の上書きを行ってください。当該DMAチャンネル_nより優先順位の低いDMAチャンネル_mの動作を禁止する必要はありません。
3. DTFR_nレジスタに書き込みをした場合は、DMAチャンネル_nのDMA動作許可/禁止状態、およびDTFR_nレジスタへの設定値にかかわらず、当該DMAチャンネル_nの保留中、または書き込み中に発生したDMA_n起動要求はクリアされます。
4. DMAが停止中 (DCHC_n.EN_nビットまたはDEN.EN_nビット = 0, またはDCHC_n.STP_nビットまたはDMSTP.STP_nビット = 1)にDMA転送の起動要因が入力された場合、その起動要因は保留されます。保留された起動要因は、DMA動作許可 (EN_n/EN_nビット = 1, STP_n/STP_nビット = 0)で再開し、DMA転送を起動します。
5. DMA転送開始から、指定した転送回数のDMA転送が終了するまでの期間に、DTFR_nレジスタを変更しないでください。変更した場合の動作は保証できません。
6. バスの使用権や優先順位によりDMA転送が保留されているとき、保留されているDMA転送の起動要因が2回以上発生しても、保留される起動要因は1回となります。
7. スタンバイ・モード (IDLE, STOPモード)中に入力された内蔵周辺I/Oからの割り込み要求は、DMA転送の起動要因として保留されます。保留されたDMA起動要因は通常動作モードへ復帰後に実行されます。
8. 複数のDMAチャンネルを同じ起動要因で設定する場合は、いずれのDMAチャンネルに対してもDMA転送の起動要因は有効となります。

このとき、優先順位の高いDMAチャンネルから順番に起動します。

備考 n = 0-6, m = 1-6, n < m (優先順位は、DMA_mよりDMA_nが高い)

リセット時 : 0000H R/W アドレス : DTFR0 FFFFF080H,
 DTFR0L FFFFF080H, DTFR0H FFFFF081H,
 DTFR1 FFFFF090H,
 DTFR1L FFFFF090H, DTFR1H FFFFF091H,
 DTFR2 FFFFF0A0H,
 DTFR2L FFFFF0A0H, DTFR2H FFFFF0A1H,
 DTFR3 FFFFF0B0H,
 DTFR3L FFFFF0B0H, DTFR3H FFFFF0B1H,
 DTFR4 FFFFF0C0H,
 DTFR4L FFFFF0C0H, DTFR4H FFFFF0C1H,
 DTFR5 FFFFF0D0H,
 DTFR5L FFFFF0D0H, DTFR5H FFFFF0D1H,
 DTFR6 FFFFF0E0H,
 DTFR6L FFFFF0E0H, DTFR6H FFFFF0E1H

	15	14	13	12	11	10	9	8
DTFRn (DTFRnH)	DFn	0	0	0	0	0	0	0
(n = 0-6)								
	7	6	5	4	3	2	1	0
(DTFRnL)	0	IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

DFn ^注	DMA転送要求ステータス・フラグ
0	DMA転送要求なし / DMA転送要求解除
1	DMA転送要求あり

・ DMA転送要求を確認できます。また、DMA転送要求がある場合、DFnビット = 0 に設定することでDMA転送要求を解除できます。

・ シングル転送モードの場合はDMA転送開始時に、シングルステップ転送モードの場合は1回目のDMA転送開始時にクリア (0) されます。

・ DCHCn.ENnビットまたはDEN.ENnnビットに関わらず、DMAトリガ要因が発生すると、DFnビット = 1になります。

注 DFnビットはソフトウェアにより1を設定しないでください。

DMA転送を禁止 (ソフトウェアによる強制終了を含む) している間に、DMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合は、割り込み発生要因の動作を停止したあとにDFnビットに0をライトしてください。なお、次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は、割り込み発生要因の動作を停止する必要はありません。

注意 IFCn6-IFCn0ビットについては、表20 - 4 DMA転送の起動要因を参照してください。

表20 - 4 DMA転送の起動要因 (1/3)

IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止
0	0	0	0	0	0	1	INTLVIL
0	0	0	0	0	1	0	INTLVIH
0	0	0	0	0	1	1	INTP03
0	0	0	0	1	0	0	INTP04
0	0	0	0	1	0	1	INTP05
0	0	0	0	1	1	0	INTP06
0	0	0	0	1	1	1	INTP07
0	0	0	1	0	0	0	INTP08
0	0	0	1	0	0	1	INTP09
0	0	0	1	0	1	0	INTP10
0	0	0	1	0	1	1	INTP11
0	0	0	1	1	0	0	INTP12
0	0	0	1	1	0	1	INTP13
0	0	0	1	1	1	0	INTP14
0	0	0	1	1	1	1	INTTB0CC0
0	0	1	0	0	0	0	INTTB1CC0
0	0	1	0	0	0	1	INTTB0OV_BASE ^注
0	0	1	0	0	1	0	INTTB0OV
0	0	1	0	0	1	1	INTTB1OV_BASE ^注
0	0	1	0	1	0	0	INTTB1OV
0	0	1	0	1	0	1	INTCMP0L
0	0	1	0	1	1	0	INTCMP0F
0	0	1	0	1	1	1	INTCMP1L
0	0	1	1	0	0	0	INTCMP1F
0	0	1	1	0	0	1	INTTB0CC0_BASE ^注
0	0	1	1	0	1	0	INTTB0CC1
0	0	1	1	0	1	1	INTTB0CC2
0	0	1	1	1	0	0	INTTB0CC3
0	0	1	1	1	0	1	INTTB1CC0_BASE ^注
0	0	1	1	1	1	0	INTTB1CC1
0	0	1	1	1	1	1	INTTB1CC2
0	1	0	0	0	0	0	INTTB1CC3
0	1	0	0	0	0	1	INTTTIOV0
0	1	0	0	0	1	0	INTTTEQC00
0	1	0	0	0	1	1	INTTTEQC01
0	1	0	0	1	0	0	INTTTIOV1
0	1	0	0	1	0	1	INTTTEQC10
0	1	0	0	1	1	0	INTTTEQC11

備考 n = 0-6

注 INTTBaOV_BASE, INTTBaCC0_BASEは, 6相PWM出力モード時にINTTBaOV, INTTBaCC0がTMQaオプション (TMQOPa) で間引き処理される前の割り込み信号です (a = 0, 1)。詳細については, 図10 - 2 TMQnオプションを参照してください。

表20 - 4 DMA転送の起動要因 (2/3)

IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	1	0	0	1	1	1	INTTTIOV2
0	1	0	1	0	0	0	INTTTEQC20
0	1	0	1	0	0	1	INTTTEQC21
0	1	0	1	0	1	0	INTTTIOV3
0	1	0	1	0	1	1	INTTTEQC30
0	1	0	1	1	0	0	INTTTEQC31
0	1	0	1	1	0	1	INTTA0OV
0	1	0	1	1	1	0	INTTA0CC0
0	1	0	1	1	1	1	INTTA0CC1
0	1	1	0	0	0	0	INTTA1OV
0	1	1	0	0	0	1	INTTA1CC0
0	1	1	0	0	1	0	INTTA1CC1
0	1	1	0	0	1	1	INTTA2OV
0	1	1	0	1	0	0	INTTA2CC0
0	1	1	0	1	0	1	INTTA2CC1
0	1	1	0	1	1	0	INTDMA0
0	1	1	0	1	1	1	INTDMA1
0	1	1	1	0	0	0	INTDMA2
0	1	1	1	0	0	1	INTDMA3
0	1	1	1	0	1	0	INTDMA4
0	1	1	1	0	1	1	INTDMA5
0	1	1	1	1	0	0	INTUBTIR
0	1	1	1	1	0	1	INTUBTIT
0	1	1	1	1	1	0	INTUBTIF
0	1	1	1	1	1	1	INTUA0R
1	0	0	0	0	0	0	INTUA0T
1	0	0	0	0	0	1	INTCF0R
1	0	0	0	0	1	0	INTCF0T
1	0	0	0	0	1	1	INTUA1R
1	0	0	0	1	0	0	INTUA1T
1	0	0	0	1	0	1	INTCF1R
1	0	0	0	1	1	0	INTCF1T
1	0	0	0	1	1	1	INTUA2R
1	0	0	1	0	0	0	INTUA2T
1	0	0	1	0	0	1	INTCF2R
1	0	0	1	0	1	0	INTCF2T
1	0	0	1	0	1	1	INTIIC
1	0	0	1	1	0	0	INTAD0
1	0	0	1	1	0	1	INTAD1
1	0	0	1	1	1	0	INTAD2

備考 n = 0-6

表20 - 4 DMA転送の起動要因 (3/3)

IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	0	1	1	1	1	INTTM0EQ0
1	0	1	0	0	0	0	INTTM1EQ0
1	0	1	0	0	0	1	INTTM2EQ0
1	0	1	0	0	1	0	INTTM3EQ0
1	0	1	0	0	1	1	INTDMA6
その他							設定禁止

備考 n = 0-6

20.4 転送モード

20.4.1 シングル転送モード

シングル転送では、1回のDMA転送要求に対し1回のDMA転送を行います。その後、DMA転送要求があると再度1回のDMA転送を行います。この動作をターミナル・カウント（指定回数の転送終了時）が発生するまで続けます。また、DMACはDMA転送1サイクルごとにバスを解放します。

DMACがバスを解放している間に他の優先順位が高いDMA転送要求が発生した場合、次のDMA転送では、常に優先順位が高いDMA転送要求を優先させます。また、複数チャネルのDMA要因が同時に発生した場合、優先順位が高いDMA転送要求を優先させます。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

次にシングル転送の例を示します。

図20 - 2 シングル転送例1

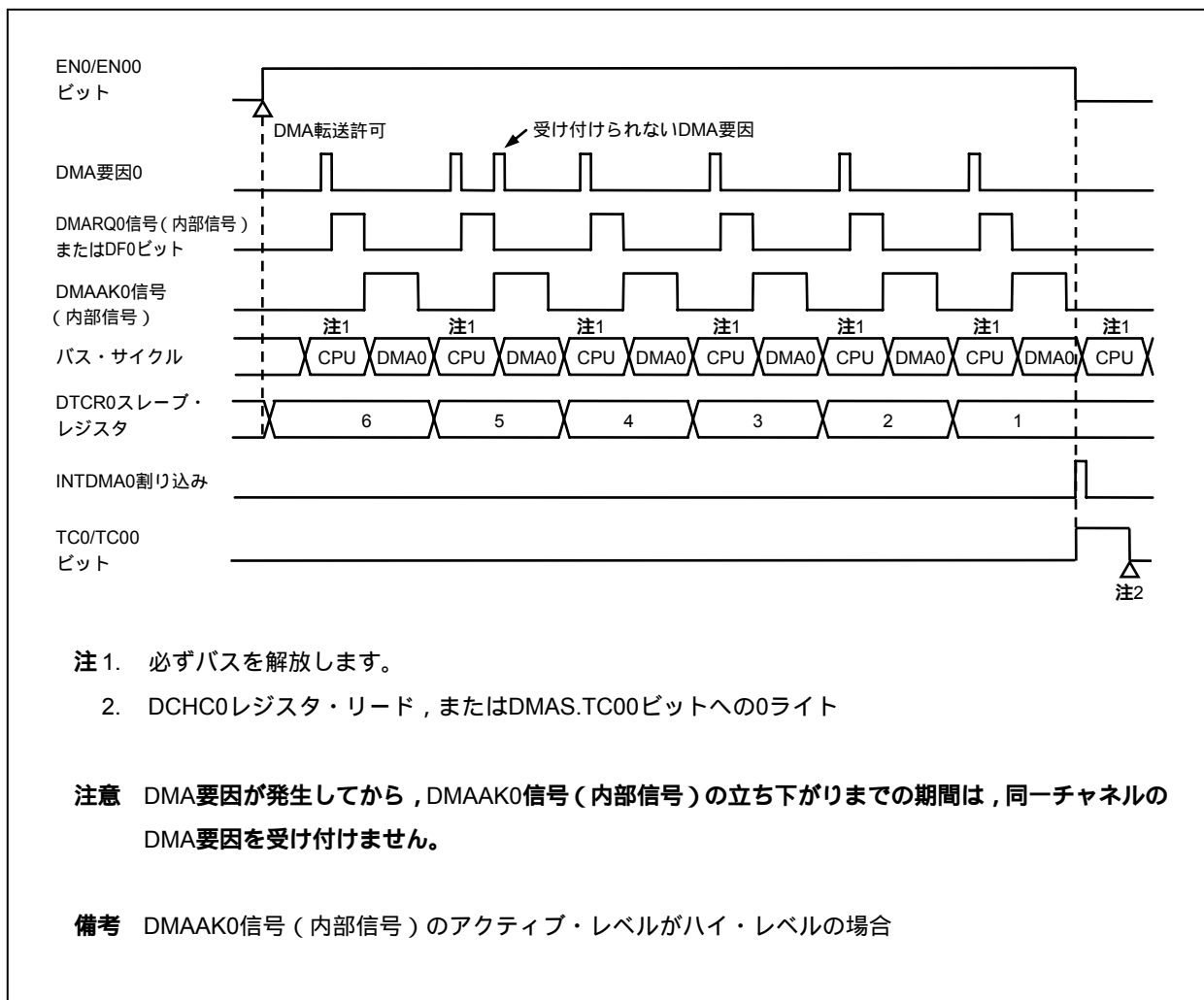


図20 - 3 シングル転送例2

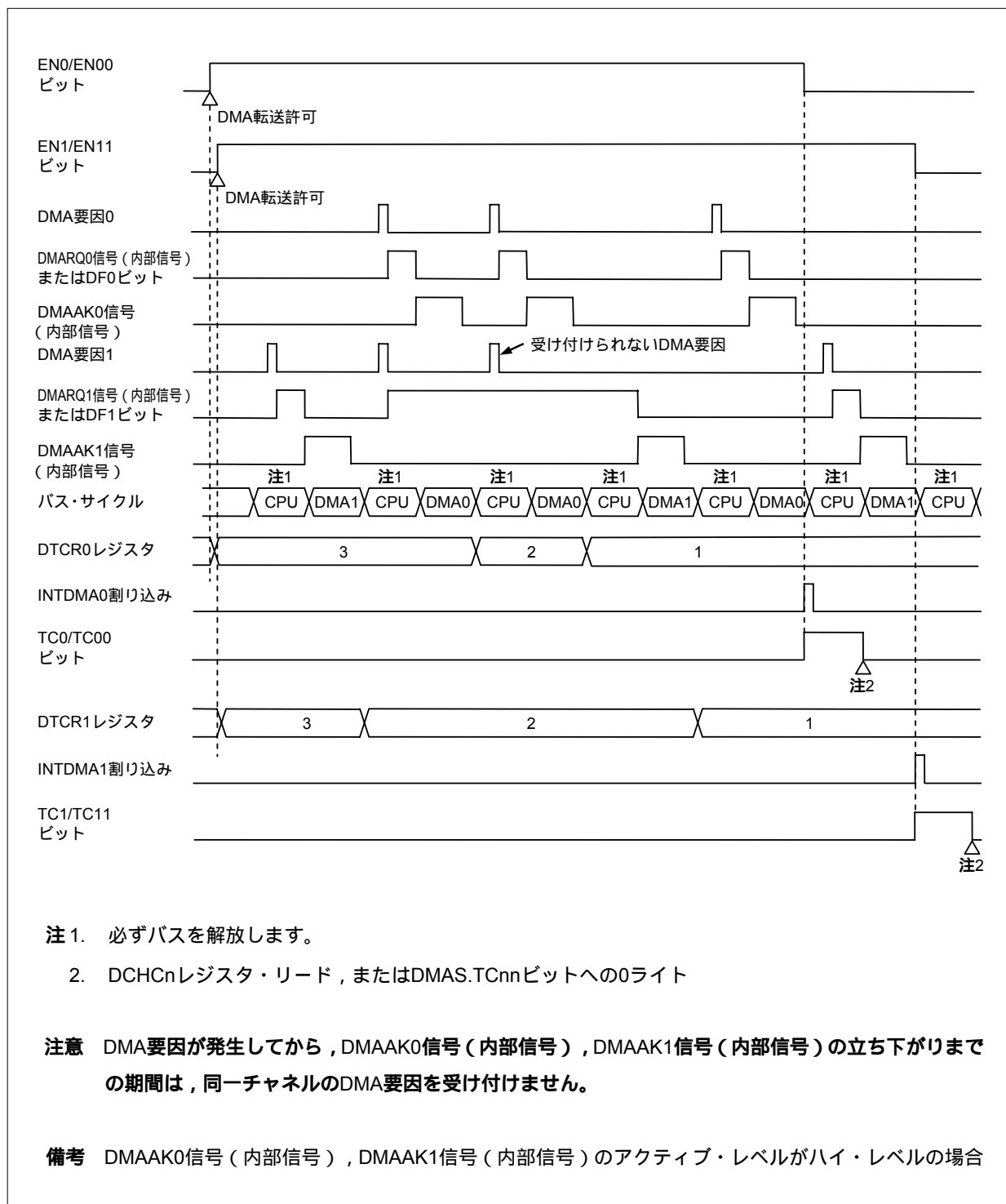
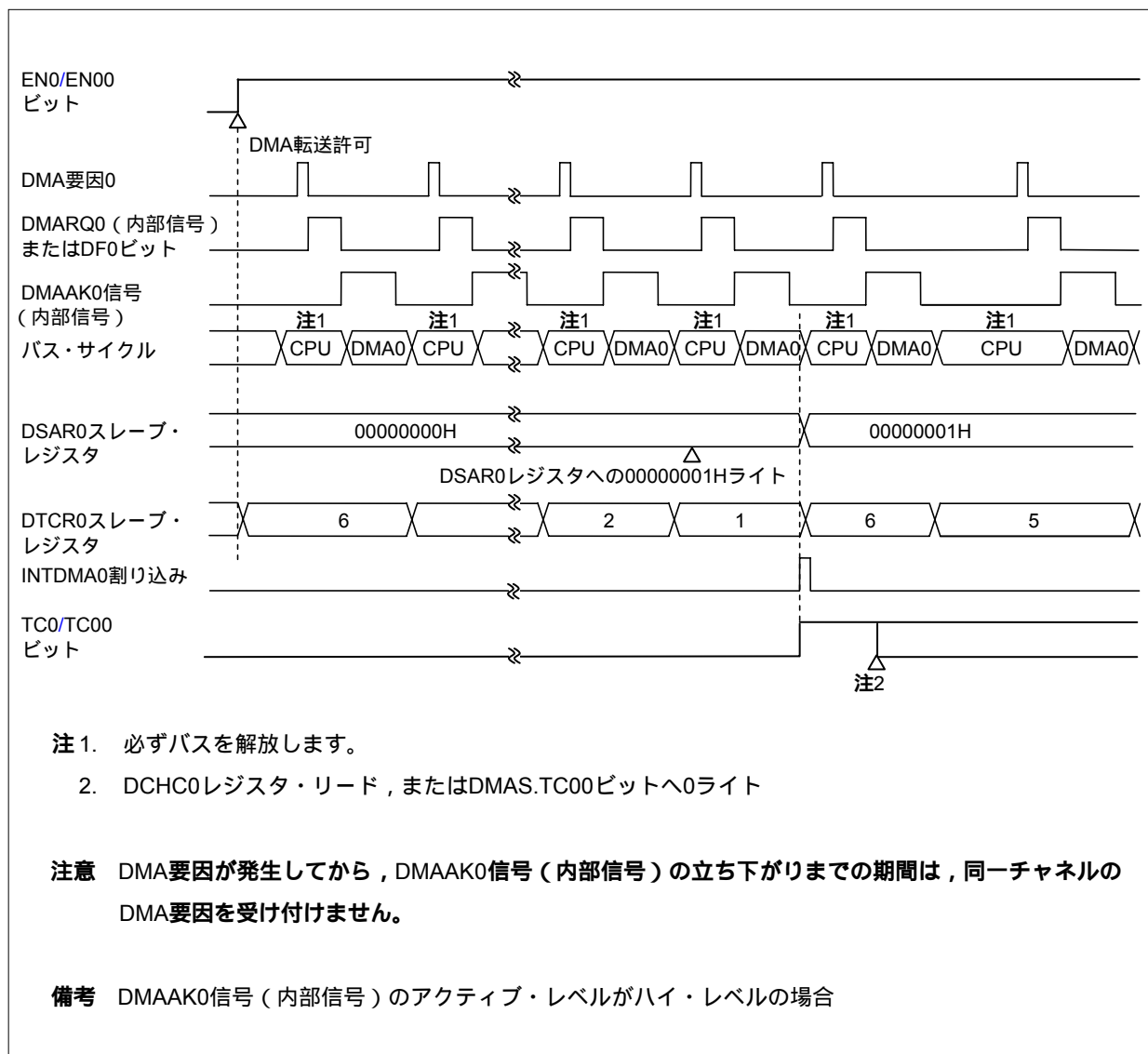


図20 - 4 シングル転送例3 (ネクスト・アドレス設定機能許可の場合)



20.4.2 シングルステップ転送モード

シングルステップ転送では、1回のDMA転送要求に対し指定回数分のDMA転送を行います。DMA転送要求を受け付けると、DMA転送1サイクルごとにバスを解放しながらターミナル・カウント（指定回数の転送終了時）が発生するまでDMA転送を続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、次のDMA転送では、常に優先順位が高いDMA転送要求を優先させます。また、複数チャネルのDMA要因が同時に発生した場合、優先順位が高いDMA転送要求を優先させます。

図20 - 5、図20 - 6にシングルステップ転送の例を示します。

図20 - 5 シングルステップ転送例1

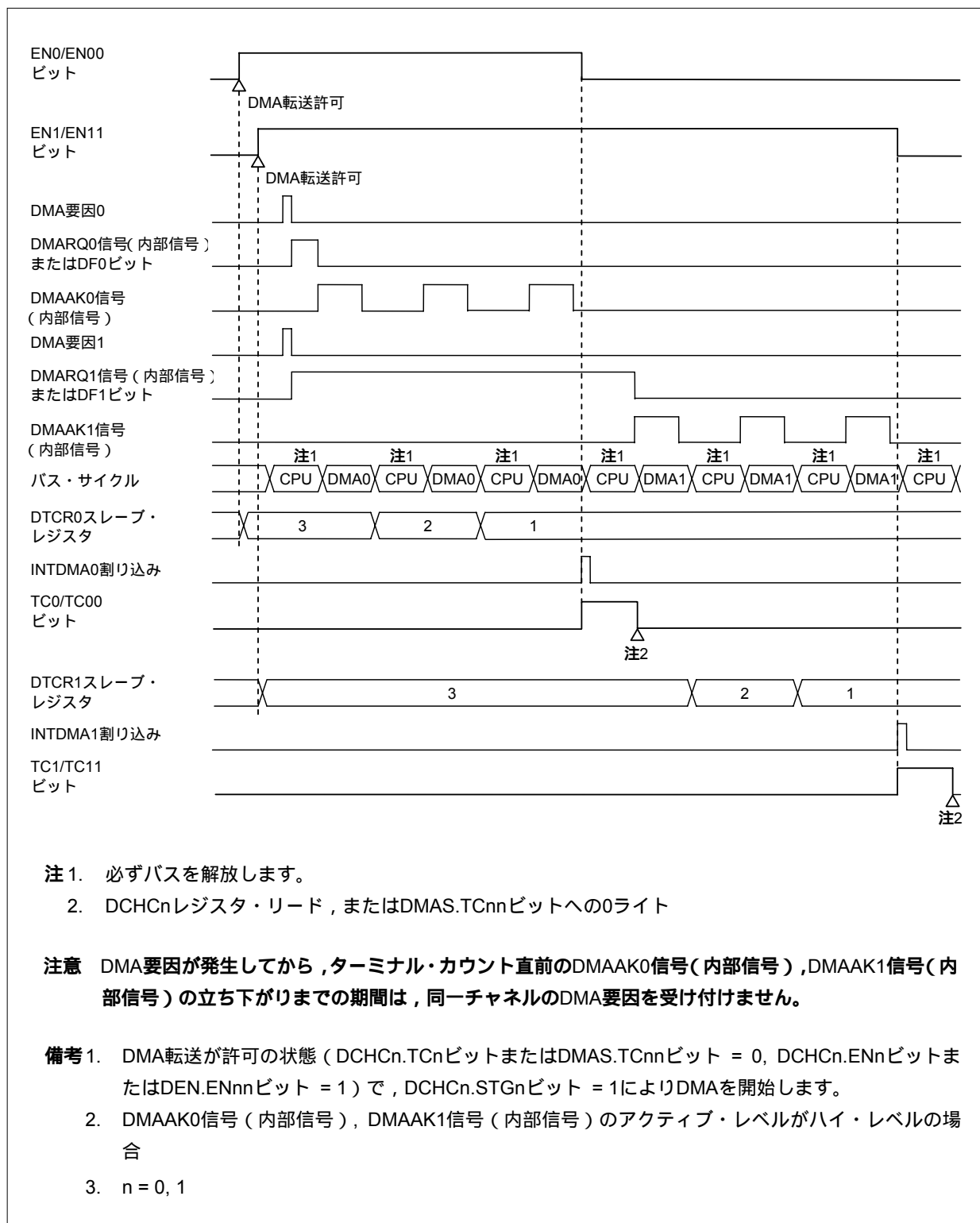
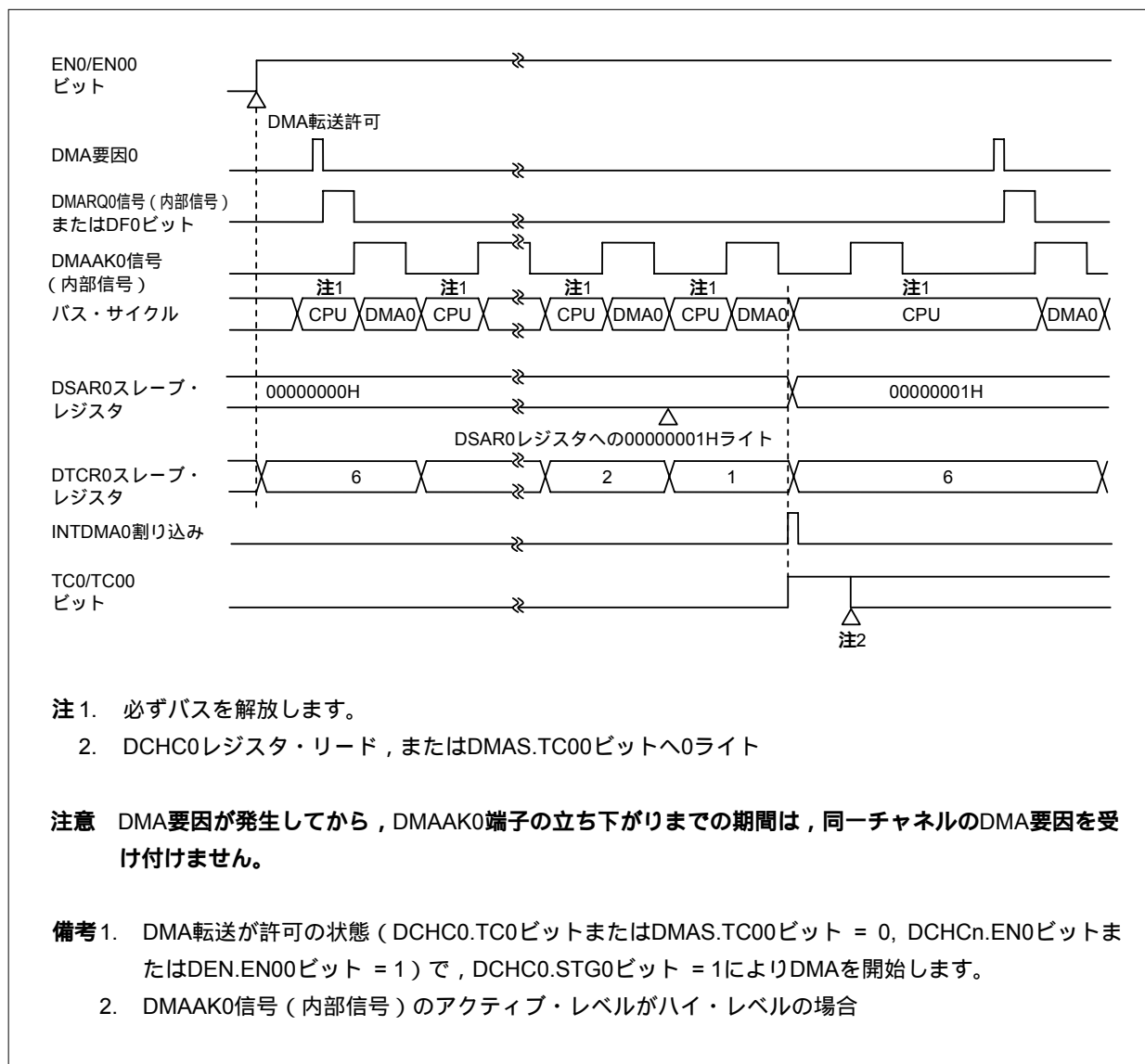


図20 - 6 シングルステップ転送例2 (ネクスト・アドレス設定機能許可の場合)



注1. 必ずバスを解放します。

2. DCHC0レジスタ・リード, またはDMAS.TC00ビットへ0ライト

注意 DMA要因が発生してから, DMAAK0端子の立ち下がりまでの期間は, 同一チャンネルのDMA要因を受け付けません。

備考1. DMA転送が許可の状態 (DCHC0.TC0ビットまたはDMAS.TC00ビット = 0, DCHCn.EN0ビットまたはDEN.EN00ビット = 1) で, DCHC0.STG0ビット = 1によりDMAを開始します。

2. DMAAK0信号 (内部信号) のアクティブ・レベルがハイ・レベルの場合

20.5 転送タイプ

DMAは、2サイクル転送を行います。2サイクル転送は、リード・サイクル(転送元 DMAC)、ライト・サイクル(DMAC 転送先)と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

20.6 転送対象

転送対象の関係を次に示します(○：転送可、×：転送不可)。

表20 - 5 転送対象の関係


		転送先		
		内蔵RAM	内蔵周辺I/O	内蔵ROM
転送元	内蔵RAM	×		×
	内蔵周辺I/O	○	×	×
	内蔵ROM	×	×	×

注意 表20 - 5に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。

20.7 DMAチャンネルの優先順位

DMAチャンネルの優先順位は固定で、次のようになります。

表20 - 6 DMAの優先順位

DMAチャンネル	優先順位
チャンネル0	最高位  最下位
チャンネル1	
チャンネル2	
チャンネル3	
チャンネル4	
チャンネル5	
チャンネル6	

シングルステップ転送中でバスを解放している期間中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

同一起動要因を複数のDMAチャンネルに割り当てた場合、優先順位の高いDMAチャンネルを、優先順位の低いDMAチャンネルより先に受け付けます。

20.8 ネクスト・アドレス設定機能

DMA転送元アドレス指定レジスタ n (DSAR n , DSAR n H, DSAR n L), DMA転送先アドレス指定レジスタ n (DDAR n , DDAR n H, DDAR n L), DMA転送回数指定レジスタ n (DTCR n) は, マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタです。

ターミナル・カウント (指定回数の転送終了時) が発生すると, マスタ・レジスタの値がスレーブ・レジスタへ転送されます。

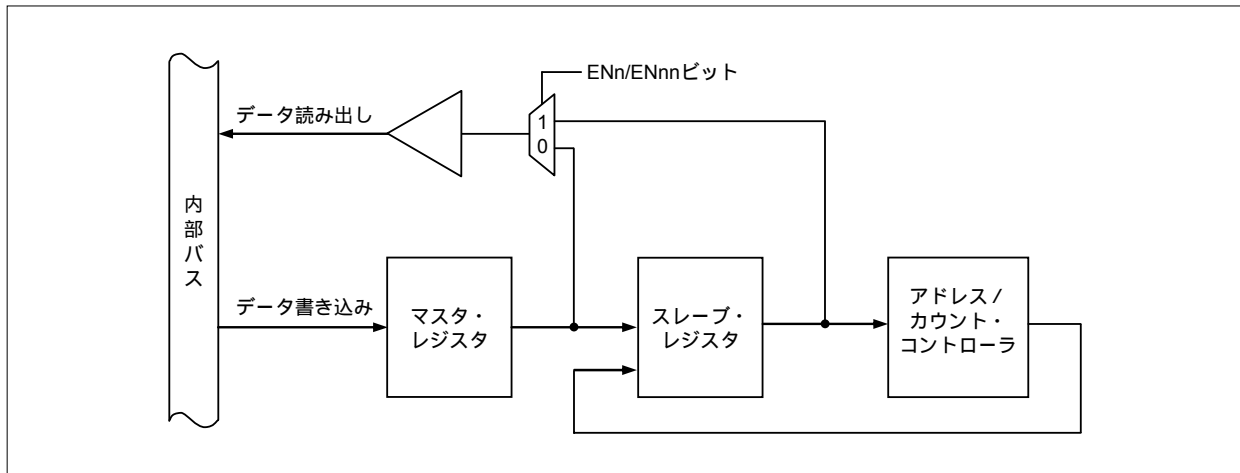
したがって, DMA転送中に, これらのレジスタに対して新たなDMA転送の設定を行えば, 転送終了後に, 自動的に新たな設定値に更新されます。

備考 $n = 0-6$

20.9 バッファ・レジスタ構成

バッファ・レジスタの構成を示します。

図20-7 バッファ・レジスタの構成



DMA転送元アドレス指定レジスタ r (DSAR n , DSAR n H, DSAR n L), DMA転送先アドレス指定レジスタ r (DDAR n , DDAR n H, DDAR n L), DMA転送回数指定レジスタ n (DTCR n)への設定値は、マスタ・レジスタに反映されます。

マスタ・レジスタからスレーブ・レジスタに反映されるタイミングはDCHC n .EN n ビットまたはDEN.EN nn ビットを0 1に切り替えたタイミングとなります。また、ネクスト・アドレス機能使用時は、DCHC n .TC n ビットまたはDMAS.TC nn ビット = 1のタイミングでも、マスタ・レジスタの内容がスレーブ・レジスタに転送されます。なお、実際のDMA転送はスレーブ・レジスタの内容に基づいて行われます。

- 注意 1.** ネクスト・アドレス機能使用時、新たなDMA転送の設定は、EN n /EN nn ビット = 1でかつ、ターミナル・カウント発生前までにマスタ・レジスタに書き込んでください。
- 2.** ネクスト・アドレス機能使用時、指定回数のDMA転送が終了すると、TC n /TC nn ビットがセット(1)されますが、EN n /EN nn ビットはクリア(0)されず、1のまま継続されます。
- 3.** ネクスト・アドレス機能使用時、DMA転送指定回数サイクルにDCHC n .STG n ビットを設定する場合は、DMA転送終了(TC n /TC nn ビット = 1)の状態ではTC n /TC nn ビットをクリア(0)後、STG n ビット = 1を設定してください。

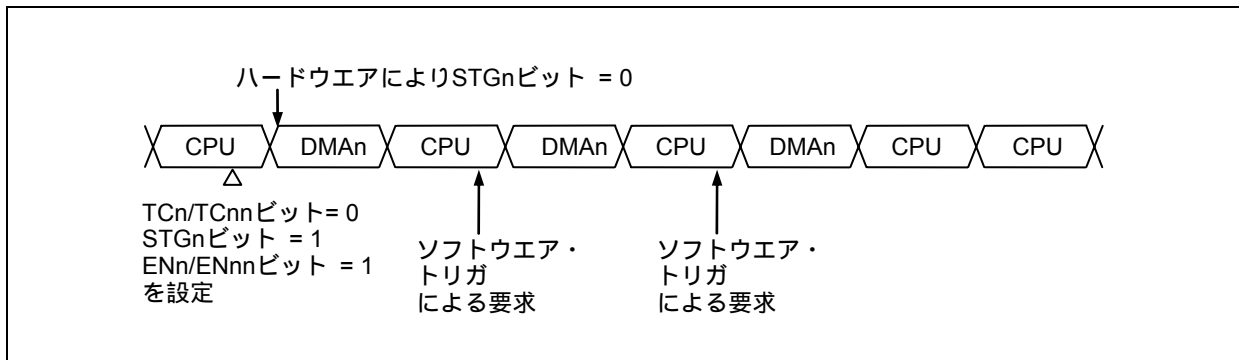
- 備考 1.** EN n /EN nn ビットを1 1に切り替えた場合はスレーブ・レジスタに転送されません。
- 2.** $n = 0-6$

20.10 DMA 転送の起動要因

DMA 転送の起動要因には、次の 2 種類があります。

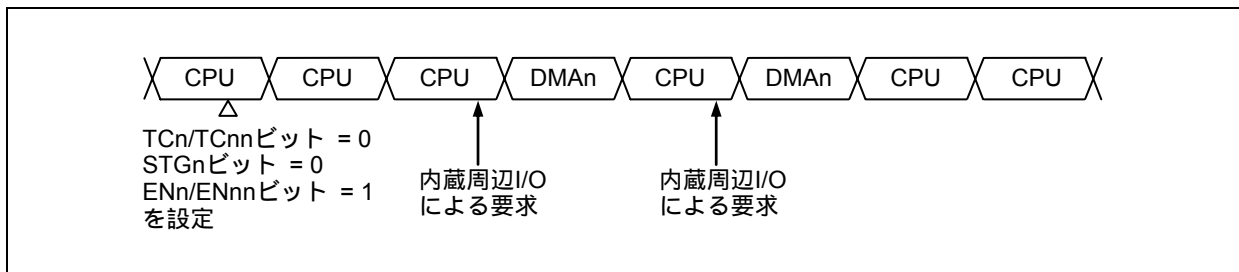
(1) ソフトウェア・トリガによる起動要因

DCHCn.TCn ビットまたは DMAS.TCnn ビット = 0, DCHCn.STGn ビット = 1, DCHCn.ENn ビットまたは DEN.ENnn ビット = 1 を設定すると、ソフトウェア要求により DMA 転送を開始します。



(2) 内蔵周辺 I/O による起動要因

DCHCn.TCn ビットまたは DMAS.TCnn ビット = 0, DCHCn.STGn ビット = 0, DCHCn.ENn ビットまたは DEN.ENnn ビット = 1 が設定されている状態で、DTFRn レジスタに設定している内蔵周辺 I/O からの割り込み要求が発生すると、DMA 転送要求を開始します。



備考 1. ネクスト・アドレス機能使用時は、TCn/TCnn ビット = 1 のときも DMA 転送要求を開始します。

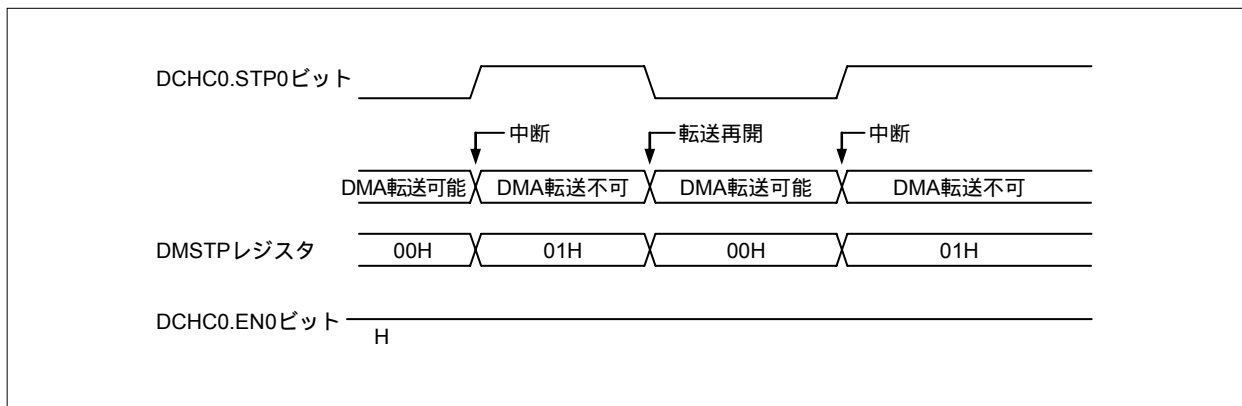
2. n = 0-6

20.11 中 断

DMA転送中のDCHCn.STPnビットまたはDMSTP.STPnnビットをセット(1)することにより、DMAを中断します。このときすでに次のDMA転送要求を受け付けていれば、次のDMA転送バス・サイクルを終了してから中断となります。中断中のチャンネルは優先順位判定から除外されます。

DMA転送要求がDMACに保持され、STPn/STPnnビットをクリア(0)すると、DMA転送を中断した次の転送からDMA転送を再開します。

図20 - 8 DMA転送の中断例 (DMA0の場合)



シングル転送時における中断中のDMA転送の起動要因は1つのみ保留され(起動要因が2つ以上発生しても1つとなります) STPn/STPnnビット = 0のあとに転送を再開します。

シングルステップ転送時における中断中のDMA転送の起動要因は保留されず無視されます。このとき、DFnビット = 1となりますが、再開後のDMA転送開始時にDFnビットはクリア(0)されます。

備考 n = 0-6

20. 12 DMA 転送の終了

ターミナル・カウント (指定回数の転送終了時) が発生すると DMA 転送終了割り込み (INTDMA_n) を発生します。また, DCHC_n.TC_n ビットまたは DMAS.TC_{nn} ビットがセット (1) されます。

備考 n = 0-6

20. 13 強制終了

DMA 転送は, DCHC_n.EN_n ビットまたは DEN.EN_{nn} ビットをクリア (0) することにより, チャンネル n の DMA 転送を強制終了することができます。このとき, DMA 転送中であれば, 転送中のバス・サイクルを終了してから強制終了します。EN_n/EN_{nn} ビット = 0 をライト後, EN_n/EN_{nn} ビットをリードして 0 であれば, 強制終了が終了したことを確認できます。

強制終了した場合, DMA 転送終了割り込み (INTDMA_n) は発生しません。

備考 n = 0-6

20. 14 注意事項

(1) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象（内蔵RAM、内蔵周辺I/O）の領域を越えた場合の動作は保証しません。

(2) ミスアライン・データの転送

32/16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。

(3) CPUへのバス・アービトレーション

バス使用权の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし、CPUはDMA転送を行っていない内蔵ROM、内蔵RAMにアクセスが可能です。

- ・内蔵周辺I/O 内蔵RAMでDMA転送が行われているときは、CPUは内蔵ROMにアクセスできます。

(4) 内蔵RAMでのプログラム実行とDMA転送

次に示す条件のすべてが一致したとき、それ以降CPUがデッドロックする可能性があります。この状態では、リセットのみが受け付け可能です。

【発生条件】

- ・内蔵RAMに配置されたビット操作命令（SET1, CLR1, NOT1）
- ・内蔵RAMに配置されたミスアライン・アドレスに対するデータ・アクセス命令

上記いずれかの命令実行中に内蔵RAMを対象としたDMA転送を実行。

したがって、次のいずれかの方法により、回避してください。

【回避方法】

- ・内蔵RAMを対象としたDMA転送を実行する場合は、内蔵RAM上に配置されたビット操作命令（SET1, CLR1, NOT1）、またはミスアライン・アドレスに対するデータ・アクセス命令を実行しない。
- ・内蔵RAM上に配置されたビット操作命令（SET1, CLR1, NOT1）、またはミスアライン・アドレスに対するデータ・アクセス命令を実行する場合は、内蔵RAMを対象としたDMA転送を行わない。

(5) DMA転送開始の遅れ

CPUの内蔵RAMアクセス、内蔵周辺I/Oアクセスにより、DMA転送の開始が遅れる場合があります。

(6) DMA使用時における特定レジスタ設定時

3. 4. 8 (1) 特定レジスタへのデータ設定を参照してください。

(7) レジスタ設定禁止条件

次に各動作時の書き込み禁止のレジスタを示します。書き込みを行った場合の動作は保証できません。

状 態	設定禁止レジスタ
停止 (ENn/ENnnビット = 0)	なし
動作中 (ENn/ENnnビット = 1)	DADCn ^{注1} , DTFRn
中断中 ^{注2} (STPn/STPnnビット = 1)	DADCn ^{注1} , DTFRn

注1. 同値であれば書き込みできます。

2. 中断中を再開する場合は禁止です。書き込み後、停止 (ENn/ENnnビット = 0) する場合は動作可能です。

備考 n = 0-6

第21章 割り込み / 例外処理機能

V850E/IG4-H, V850E/IH4-Hは、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計106要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/IG4-H, V850E/IH4-Hでは、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

21.1 特 徴

割り込み

- ・ ノンマスカブル割り込み：1要因 (外部：なし，内部：1要因)
- ・ マスカブル割り込み (製品によりマスカブル割り込みの要因数が異なります)
105要因 (外部：22要因，内部：83要因)
- ・ 8レベルのプログラマブル優先順位制御 (マスカブル割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外：32要因
- ・ 例外トラップ：2要因 (不正命令コード例外，デバッグ・トラップ)

これらの割り込み要因を表21 - 1に示します。

表21 - 1 割り込み要因一覧 (1/4)

種 類	分 類	割り込み / 例外要因				ディフオ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名 称	制御 レジスタ	発生要因	発生 ユニット				
リセット	割り込み	RESET	-	RESET端子入力 / 内部要因からのリセット入力	端子 / WDT/LVI/ POC	-	0000H	00000000H	不定
ノンマ スカブル	割り込み	INTWDT	-	WDTオーバフロー	WDT	-	0010H	00000010H	nextPC
ソフトウ エア例外	例外	TRAP0n ^注	-	TRAP命令	-	-	004nH	00000040H	nextPC
	例外	TRAP1n ^注	-	TRAP命令	-	-	005nH	00000050H	nextPC
例外トラ ップ	例外	ILGOP/ DBG0	-	不正命令コード / DBTRAP命令	-	-	0060H	00000060H	nextPC
マスカブル	割り込み	INTLVIL	LVLIC	LVI LOWレベル電圧検出	LVI	0	0080H	00000080H	nextPC
	割り込み	INTLVIH	LVIHIC	LVI HIGHレベル電圧検出	LVI	1	0090H	00000090H	nextPC
	割り込み	INTP00	PIC00	INTP00端子有効エッジ入力	端子	2	00A0H	000000A0H	nextPC
	割り込み	INTP01	PIC01	INTP01端子有効エッジ入力	端子	3	00B0H	000000B0H	nextPC
	割り込み	INTP02	PIC02	INTP02端子有効エッジ入力	端子	4	00C0H	000000C0H	nextPC
	割り込み	INTP03	PIC03	INTP03端子有効エッジ入力	端子	5	00D0H	000000D0H	nextPC
	割り込み	INTP04	PIC04	INTP04端子有効エッジ入力	端子	6	00E0H	000000E0H	nextPC
	割り込み	INTP05	PIC05	INTP05端子有効エッジ入力	端子	7	00F0H	000000F0H	nextPC
	割り込み	INTP06	PIC06	INTP06端子有効エッジ入力	端子	8	0100H	00000100H	nextPC
	割り込み	INTP07	PIC07	INTP07端子有効エッジ入力	端子	9	0110H	00000110H	nextPC
	割り込み	INTP08	PIC08	INTP08端子有効エッジ入力	端子	10	0120H	00000120H	nextPC
	割り込み	INTP09	PIC09	INTP09端子有効エッジ入力	端子	11	0130H	00000130H	nextPC
	割り込み	INTP10	PIC10	INTP10端子有効エッジ入力	端子	12	0140H	00000140H	nextPC
	割り込み	INTP11	PIC11	INTP11端子有効エッジ入力	端子	13	0150H	00000150H	nextPC
	割り込み	INTP12	PIC12	INTP12端子有効エッジ入力	端子	14	0160H	00000160H	nextPC
	割り込み	INTP13	PIC13	INTP13端子有効エッジ入力	端子	15	0170H	00000170H	nextPC
	割り込み	INTP14	PIC14	INTP14端子有効エッジ入力	端子	16	0180H	00000180H	nextPC
	割り込み	INTP15	PIC15	INTP15端子有効エッジ入力	端子	17	0190H	00000190H	nextPC
	割り込み	INTP16	PIC16	INTP16端子有効エッジ入力	端子	18	01A0H	000001A0H	nextPC
	割り込み	INTP17	PIC17	INTP17端子有効エッジ入力	端子	19	01B0H	000001B0H	nextPC
	割り込み	INTP18	PIC18	INTP18端子有効エッジ入力	端子	20	01C0H	000001C0H	nextPC
	割り込み	INTP19	PIC19	INTP19端子有効エッジ入力	端子	21	01D0H	000001D0H	nextPC
	割り込み	INTCMP0L	CMPIC0L	ADC0の過電圧検出L (コンパレータ出力)	ADC0 (コンパレータ)	22	01E0H	000001E0H	nextPC
	割り込み	INTCMP0F	CMPIC0F	ADC0の過電圧検出F (コンパレータ出力)	ADC0 (コンパレータ)	23	01F0H	000001F0H	nextPC
	割り込み	INTCMP1L	CMPIC1L	ADC1の過電圧検出L (コンパレータ出力)	ADC1 (コンパレータ)	24	0200H	00000200H	nextPC
	割り込み	INTCMP1F	CMPIC1F	ADC1の過電圧検出F (コンパレータ出力)	ADC1 (コンパレータ)	25	0210H	00000210H	nextPC

注 nは0-FHの値

表21 - 1 割り込み要因一覧 (2/4)

種 類	分 類	割り込み / 例外要因				ディフオ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名 称	制御 レジスタ	発生要因	発生 ユニット				
マ ス カ ブ ル	割り込み	INTTB0OV	TB0OVIC	TAB0オーバフロー ^{注1}	TMQOP0	26	0220H	00000220H	nextPC
	割り込み	INTTB0CC0	TB0CCIC0	TAB0CCR0キャプチャ入力/ コンペア一致 ^{注2}	TMQOP0	27	0230H	00000230H	nextPC
	割り込み	INTTB0CC1	TB0CCIC1	TAB0CCR1キャプチャ入力/ コンペア一致	TAB0	28	0240H	00000240H	nextPC
	割り込み	INTTB0CC2	TB0CCIC2	TAB0CCR2キャプチャ入力/ コンペア一致	TAB0	29	0250H	00000250H	nextPC
	割り込み	INTTB0CC3	TB0CCIC3	TAB0CCR3キャプチャ入力/ コンペア一致	TAB0	30	0260H	00000260H	nextPC
	割り込み	INTTB1OV	TB1OVIC	TAB1オーバフロー ^{注1}	TMQOP1	31	0270H	00000270H	nextPC
	割り込み	INTTB1CC0	TB1CCIC0	TAB1CCR0キャプチャ入力 ^{注3} / コンペア一致 ^{注2}	TMQOP1	32	0280H	00000280H	nextPC
	割り込み	INTTB1CC1	TB1CCIC1	TAB1CCR1キャプチャ入力 ^{注3} / コンペア一致	TAB1	33	0290H	00000290H	nextPC
	割り込み	INTTB1CC2	TB1CCIC2	TAB1CCR2キャプチャ入力 ^{注3} / コンペア一致	TAB1	34	02A0H	000002A0H	nextPC
	割り込み	INTTB1CC3	TB1CCIC3	TAB1CCR3キャプチャ入力 ^{注3} / コンペア一致	TAB1	35	02B0H	000002B0H	nextPC
	割り込み	INTTTIOV0	TT0OVIC	TMT0オーバフロー	TMT0	36	02C0H	000002C0H	nextPC
	割り込み	INTTTEQC00	TT0CCIC0	TT0CCR0キャプチャ入力/ コンペア一致	TMT0	37	02D0H	000002D0H	nextPC
	割り込み	INTTTEQC01	TT0CCIC1	TT0CCR1キャプチャ入力/ コンペア一致	TMT0	38	02E0H	000002E0H	nextPC
	割り込み	INTTIEC0	TT0IEIC	エンコーダ入力割り込み0	TMT0	39	02F0H	000002F0H	nextPC
	割り込み	INTTTIOV1	TT1OVIC	TMT1オーバフロー	TMT1	40	0300H	00000300H	nextPC
	割り込み	INTTTEQC10	TT1CCIC0	TT1CCR0キャプチャ入力/ コンペア一致	TMT1	41	0310H	00000310H	nextPC
	割り込み	INTTTEQC11	TT1CCIC1	TT1CCR1キャプチャ入力/ コンペア一致	TMT1	42	0320H	00000320H	nextPC
	割り込み	INTTIEC1	TT1IEIC	エンコーダ入力割り込み1	TMT1	43	0330H	00000330H	nextPC
割り込み	INTTTIOV2	TT2OVIC	TMT2オーバフロー	TMT2	44	0340H	00000340H	nextPC	

注1. TABmを6相PWM出力モードで使用する場合は、TMQmオプション (TMQOPm) からのINTTBmOV (谷割り込み) として機能します (m = 0, 1)。

2. TABmを6相PWM出力モードで使用する場合は、TMQmオプション (TMQOPm) からのINTTBmCC0 (山割り込み) として機能します (m = 0, 1)。

3. V850E/IH4-Hのみ。

V850E/IG4-Hではコンペア一致のみ。

表21 - 1 割り込み要因一覧 (3/4)

種 類	分 類	割り込み / 例外要因				ディフオ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名 称	制御 レジスタ	発生要因	発生 ユニット				
マ ス カ プ ル	割り込み	INTTTEQC20	TT2CCIC0	TT2CCR0キャプチャ入力/ コンペアー致	TMT2	45	0350H	00000350H	nextPC
	割り込み	INTTTEQC21	TT2CCIC1	TT2CCR1キャプチャ入力/ コンペアー致	TMT2	46	0360H	00000360H	nextPC
	割り込み	INTTTIOV3	TT3OVIC	TMT3オーバフロー	TMT3	47	0370H	00000370H	nextPC
	割り込み	INTTTEQC30	TT3CCIC0	TT3CCR0キャプチャ入力/ コンペアー致	TMT3	48	0380H	00000380H	nextPC
	割り込み	INTTTEQC31	TT3CCIC1	TT3CCR1キャプチャ入力/ コンペアー致	TMT3	49	0390H	00000390H	nextPC
	割り込み	INTTA0OV	TA0OVIC	TAA0オーバフロー	TAA0	50	03A0H	000003A0H	nextPC
	割り込み	INTTA0CC0	TA0CCIC0	TA0CCR0コンペアー致	TAA0	51	03B0H	000003B0H	nextPC
	割り込み	INTTA0CC1	TA0CCIC1	TA0CCR1コンペアー致	TAA0	52	03C0H	000003C0H	nextPC
	割り込み	INTTA1OV	TA1OVIC	TAA1オーバフロー	TAA1	53	03D0H	000003D0H	nextPC
	割り込み	INTTA1CC0	TA1CCIC0	TA1CCR0コンペアー致	TAA1	54	03E0H	000003E0H	nextPC
	割り込み	INTTA1CC1	TA1CCIC1	TA1CCR1コンペアー致	TAA1	55	03F0H	000003F0H	nextPC
	割り込み	INTTA2OV	TA2OVIC	TAA2オーバフロー	TAA2	56	0400H	00000400H	nextPC
	割り込み	INTTA2CC0	TA2CCIC0	TA2CCR0キャプチャ入力/ コンペアー致	TAA2	57	0410H	00000410H	nextPC
	割り込み	INTTA2CC1	TA2CCIC1	TA2CCR1キャプチャ入力/ コンペアー致	TAA2	58	0420H	00000420H	nextPC
	割り込み	INTDMA0	DMAIC0	DMAチャンネル0転送終了	DMA0	59	0430H	00000430H	nextPC
	割り込み	INTDMA1	DMAIC1	DMAチャンネル1転送終了	DMA1	60	0440H	00000440H	nextPC
	割り込み	INTDMA2	DMAIC2	DMAチャンネル2転送終了	DMA2	61	0450H	00000450H	nextPC
	割り込み	INTDMA3	DMAIC3	DMAチャンネル3転送終了	DMA3	62	0460H	00000460H	nextPC
	割り込み	INTDMA4	DMAIC4	DMAチャンネル4転送終了	DMA4	63	0470H	00000470H	nextPC
	割り込み	INTDMA5	DMAIC5	DMAチャンネル5転送終了	DMA5	64	0480H	00000480H	nextPC
	割り込み	INTUBTIRE	UREIC	UARTB受信エラー	UARTB	65	0490H	00000490H	nextPC
	割り込み	INTUBTIR	URIC	UARTB受信終了	UARTB	66	04A0H	000004A0H	nextPC
	割り込み	INTUBTIT	UTIC	UARTB送信許可	UARTB	67	04B0H	000004B0H	nextPC
	割り込み	INTUBTIF	UIFIC	UARTB FIFO送信終了	UARTB	68	04C0H	000004C0H	nextPC
	割り込み	INTUBTITO	UTOIC	UARTB受信タイムアウト	UARTB	69	04D0H	000004D0H	nextPC
	割り込み	INTUA0RE	UA0REIC	UARTA0受信エラー	UARTA0	70	04E0H	000004E0H	nextPC
	割り込み	INTUA0R	UA0RIC	UARTA0受信終了	UARTA0	71	04F0H	000004F0H	nextPC
	割り込み	INTUA0T	UA0TIC	UARTA0送信許可	UARTA0	72	0500H	00000500H	nextPC
	割り込み	INTCF0RE	CF0REIC	CSIF0受信エラー	CSIF0	73	0510H	00000510H	nextPC
	割り込み	INTCF0R	CF0RIC	CSIF0受信終了	CSIF0	74	0520H	00000520H	nextPC
	割り込み	INTCF0T	CF0TIC	CSIF0送信許可	CSIF0	75	0530H	00000530H	nextPC
	割り込み	INTUA1RE	UA1REIC	UARTA1受信エラー	UARTA1	76	0540H	00000540H	nextPC
割り込み	INTUA1R	UA1RIC	UARTA1受信終了	UARTA1	77	0550H	00000550H	nextPC	
割り込み	INTUA1T	UA1TIC	UARTA1送信許可	UARTA1	78	0560H	00000560H	nextPC	

表21 - 1 割り込み要因一覧 (4/4)

種 類	分 類	割り込み / 例外要因				ディフオ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名 称	制御 レジスタ	発生要因	発生 ユニット				
マ ス カ プ ル	割り込み	INTCF1RE	CF1REIC	CSIF1受信エラー	CSIF1	79	0570H	00000570H	nextPC
	割り込み	INTCF1R	CF1RIC	CSIF1受信終了	CSIF1	80	0580H	00000580H	nextPC
	割り込み	INTCF1T	CF1TIC	CSIF1送信許可	CSIF1	81	0590H	00000590H	nextPC
	割り込み	INTUA2RE	UA2REIC	UARTA2受信エラー	UARTA2	82	05A0H	000005A0H	nextPC
	割り込み	INTUA2R	UA2RIC	UARTA2受信終了	UARTA2	83	05B0H	000005B0H	nextPC
	割り込み	INTUA2T	UA2TIC	UARTA2送信許可	UARTA2	84	05C0H	000005C0H	nextPC
	割り込み	INTCF2RE	CF2REIC	CSIF2受信エラー	CSIF2	85	05D0H	000005D0H	nextPC
	割り込み	INTCF2R	CF2RIC	CSIF2受信終了	CSIF2	86	05E0H	000005E0H	nextPC
	割り込み	INTCF2T	CF2TIC	CSIF2送信許可	CSIF2	87	05F0H	000005F0H	nextPC
	割り込み	INTIIC	IICIC	IICシリアル転送終了	IIC	88	0600H	00000600H	nextPC
	割り込み	INTAD0	AD0IC	ADC0変換終了	ADC0	89	0610H	00000610H	nextPC
	割り込み	INTAD1	AD1IC	ADC1変換終了	ADC1	90	0620H	00000620H	nextPC
	割り込み	INTAD2	AD2IC	ADC2変換終了	ADC2	91	0630H	00000630H	nextPC
	割り込み	INTTM0EQ0	TM0EQIC0	TM0CMP0コンペア一致	TMM0	92	0640H	00000640H	nextPC
	割り込み	INTTM1EQ0	TM1EQIC0	TM1CMP0コンペア一致	TMM1	93	0650H	00000650H	nextPC
	割り込み	INTTM2EQ0	TM2EQIC0	TM2CMP0コンペア一致	TMM2	94	0660H	00000660H	nextPC
	割り込み	INTTM3EQ0	TM3EQIC0	TM3CMP0コンペア一致	TMM3	95	0670H	00000670H	nextPC
	割り込み	INTADT0	ADT0IC	ADTRG0端子有効エッジ入力	端子	96	0680H	00000680H	nextPC
	割り込み	INTADT1	ADT1IC	ADTRG1端子有効エッジ入力	端子	97	0690H	00000690H	nextPC
	割り込み	INTUSBF0	UFIC0	USBF割り込み	USBF	98	06A0H	000006A0H	nextPC
	割り込み	INTUSBF1	UFIC1	USBF Resume割り込み	USBF	99	06B0H	000006B0H	nextPC
	割り込み	INTDMA6	DMAIC6	DMAチャンネル6転送終了	DMA	100	06C0H	000006C0H	nextPC
	割り込み	INTB0OV_BASE	TB0OVVIC	TAB0オーバフロー ^{注1}	TAB0	101	06D0H	000006D0H	nextPC
	割り込み	INTB0CC0_BASE	TB0CCVIC	TAB0CCR0キャプチャ入力/ コンペア一致 ^{注2}	TAB0	102	06E0H	000006E0H	nextPC
	割り込み	INTB1OV_BASE	TB1OVVIC	TAB1オーバフロー ^{注1}	TAB1	103	06F0H	000006F0H	nextPC
	割り込み	INTB1CC0_BASE	TB1CCVIC	TAB1CCR0キャプチャ入力/ コンペア一致 ^{注2}	TAB1	104	0700H	00000700H	nextPC

注1. INTTBmOV_BASEは、6相PWM出力モード時にINTTBmOVがTMQmオプション (TMQOPm) で間引き処理される前の割り込み信号です (m = 0, 1)。詳細については、[図10 - 2 TMQnオプション](#)を参照してください。

2. INTTBmCC0_BASEは、6相PWM出力モード時にINTTBmCC0がTMQmオプション (TMQOPm) で間引き処理される前の割り込み信号です (m = 0, 1)。詳細については、[図10 - 2 TMQnオプション](#)を参照してください。

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令の実行中にノンマスクブル/マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます。この場合、中断された命令のアドレスが復帰PCとなります）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

21.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

V850E/IG4-H, V850E/IH4-Hのノンマスカブル割り込み要求信号は、ウォッチドッグ・タイマのオーバーフローによるノンマスカブル割り込み要求信号（INTWDT）です。

INTWDTは、WDTM.WDM1, WDM0ビットを“01”と設定することで機能します。

21.2.1 動作

ノンマスクブル割り込み要求信号 (INTWDT) が発生した場合, CPUは次の処理を行い, ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を次に示します。

図21-1 ノンマスクブル割り込みの処理形態

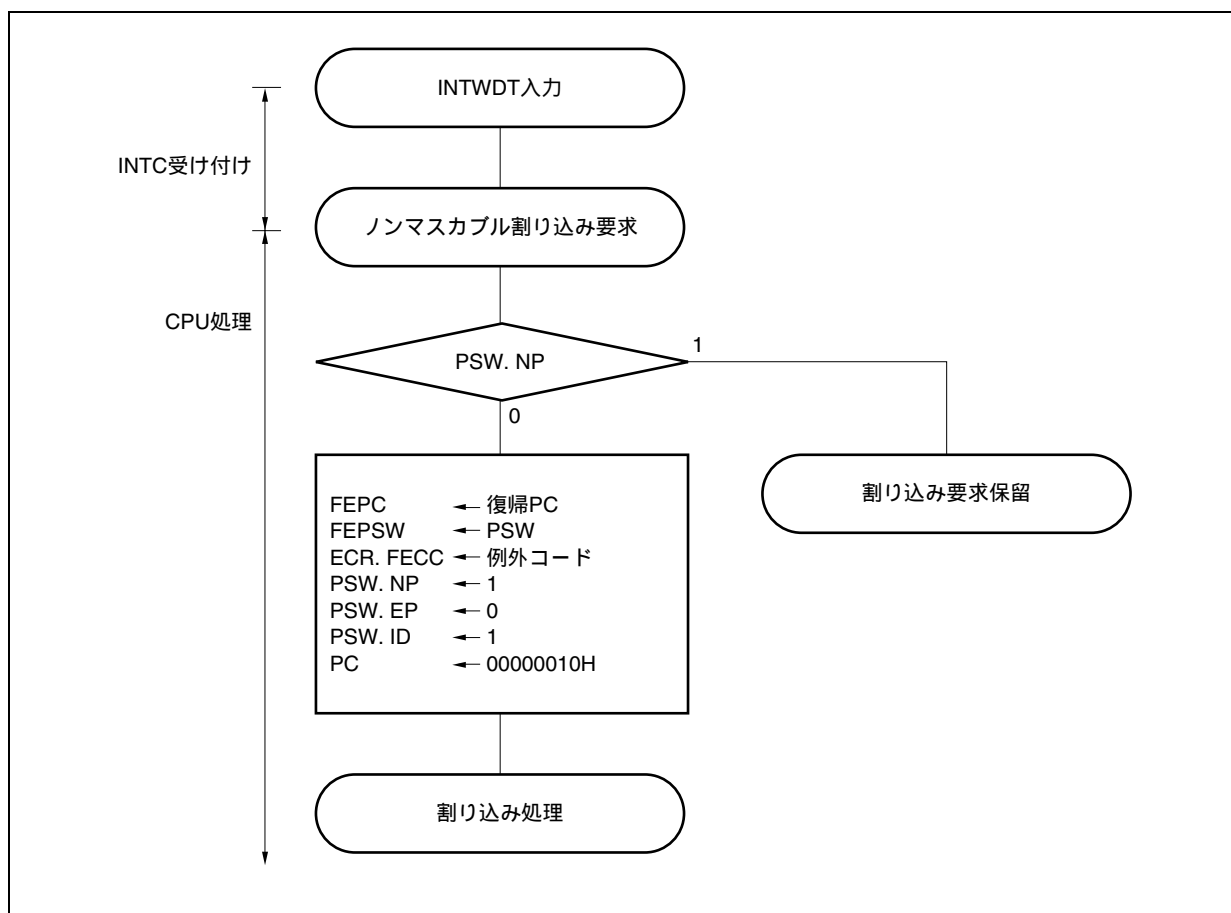
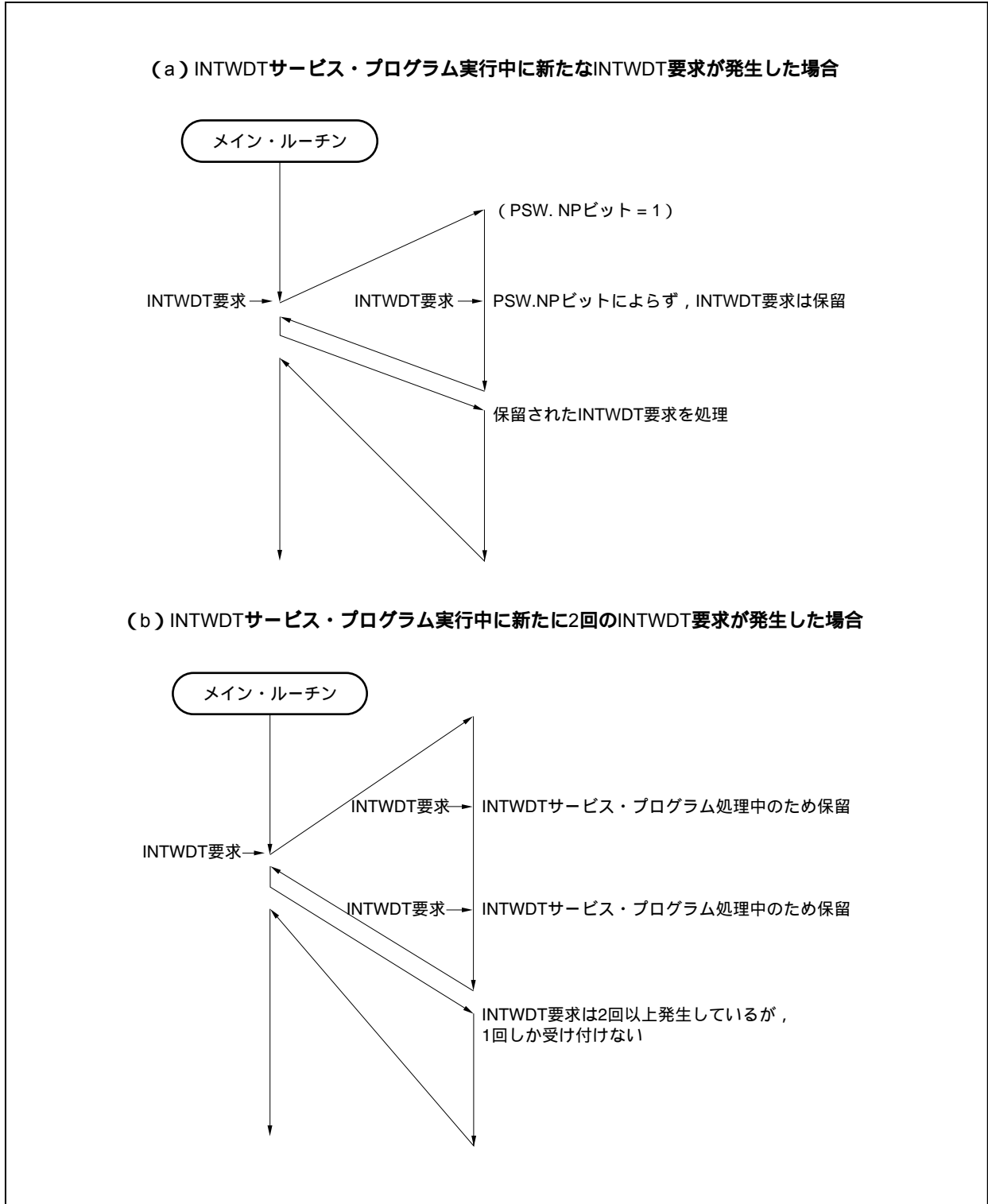


図21 - 2 ノンマスクブル割り込み要求の受け付け動作



21.2.2 復 帰

ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

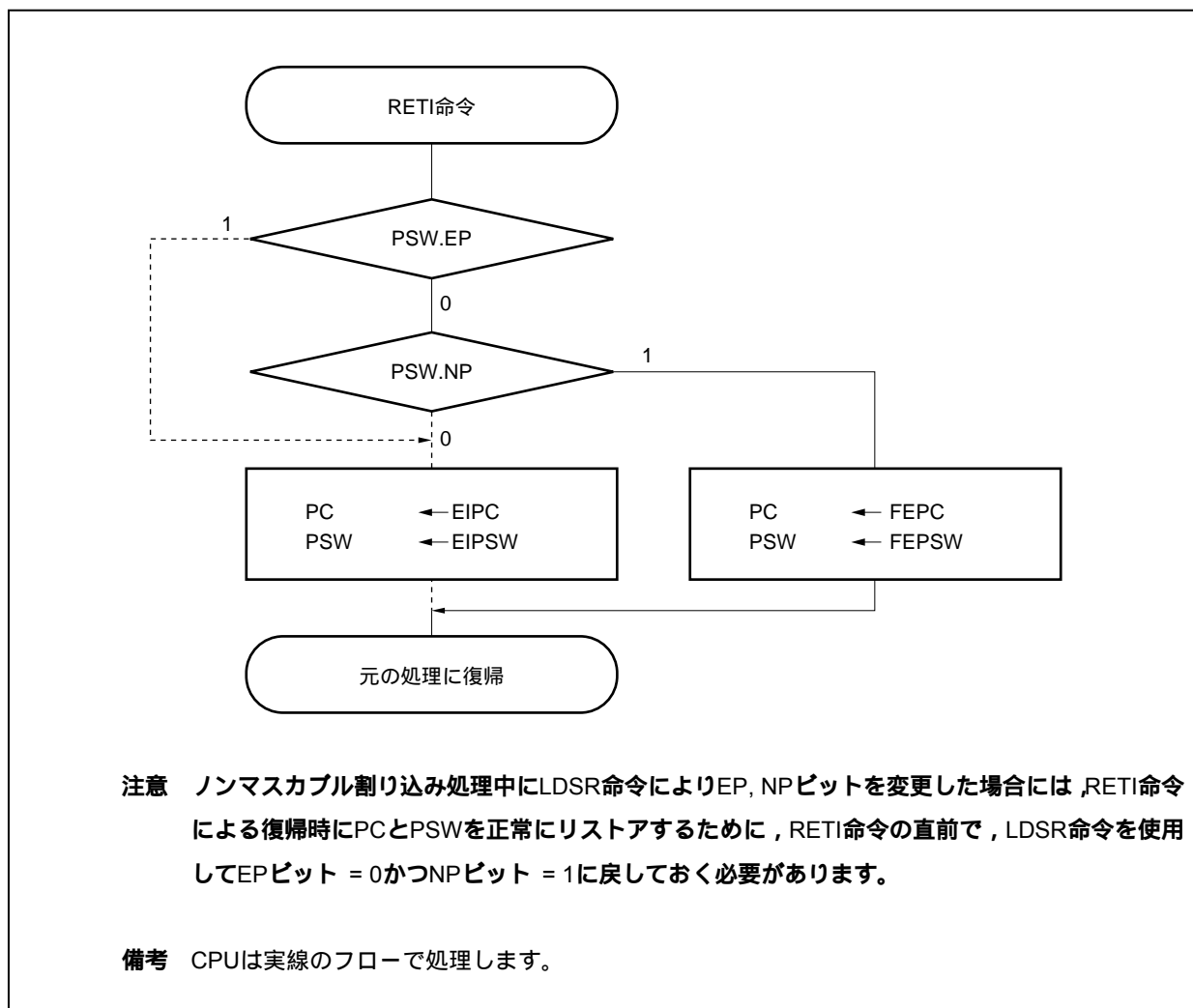
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図21 - 3 RETI命令の処理形態



21. 2. 3 ノンマスカブル割り込みステータス・フラグ (NP)

NPフラグは、ノンマスカブル割り込み (INTWDT) の処理中であることを示すステータス・フラグです。NPフラグは、PSWに割り付けられています。

INTWDT割り込み要求信号を受け付けるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。

リセットにより00000020Hになります。

リセット時 : 00000020H															
	31						8	7	6	5	4	3	2	1	0
PSW	0							NP	EP	ID	SAT	CY	OV	S	Z
	NP	ノンマスカブル割り込み (INTWDT) 処理状態													
	0	ノンマスカブル割り込み処理中でない													
	1	ノンマスカブル割り込み処理中													

21.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、105種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

21.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

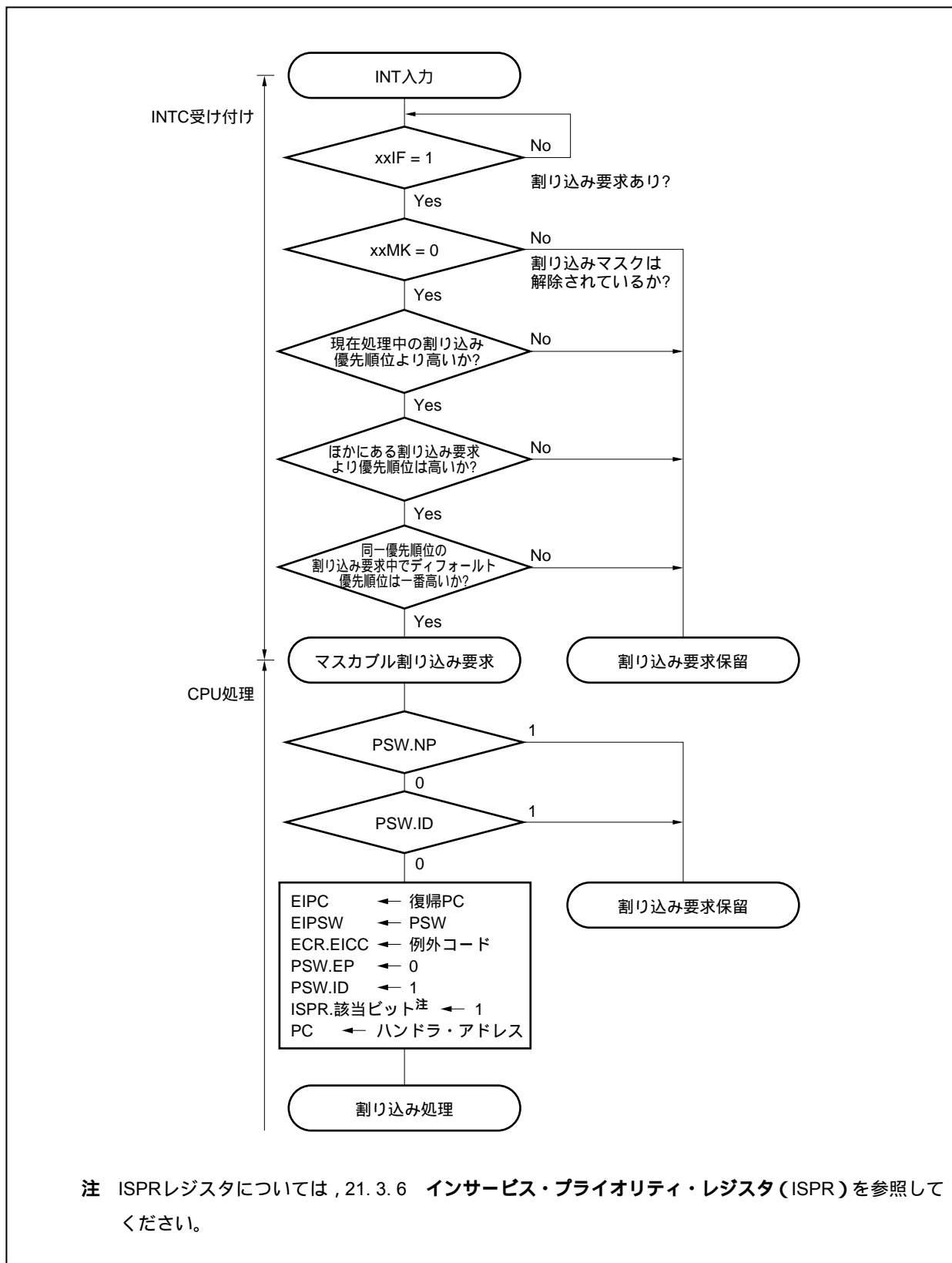
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、割り込みコントローラ（INTC）でマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図21 - 4 マスカブル割り込みの処理形態



21.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

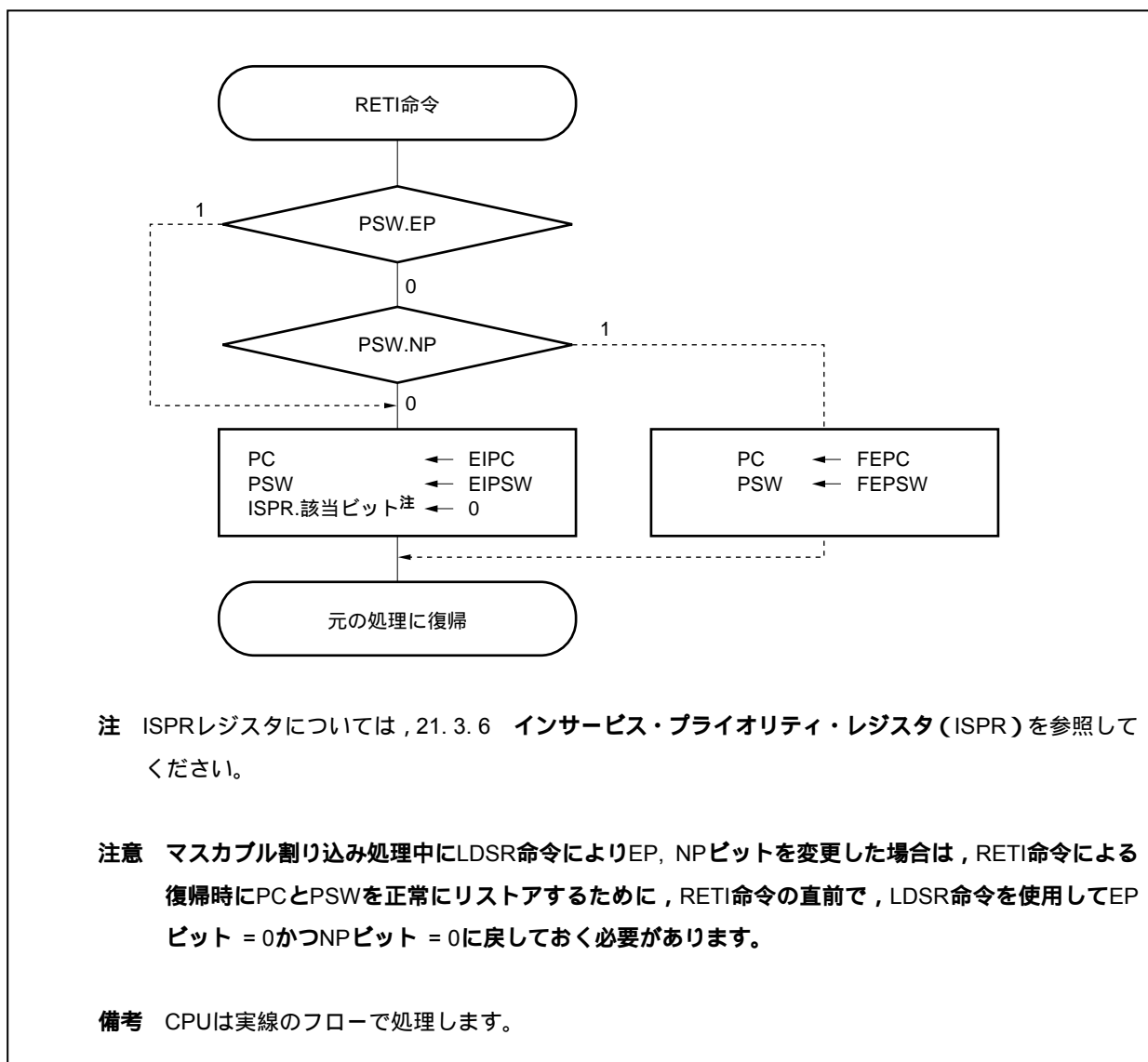
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図21-5 RETI命令の処理形態



21.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表21-1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表21-2参照)

n : 周辺ユニット番号 (表21-2参照)

図21 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

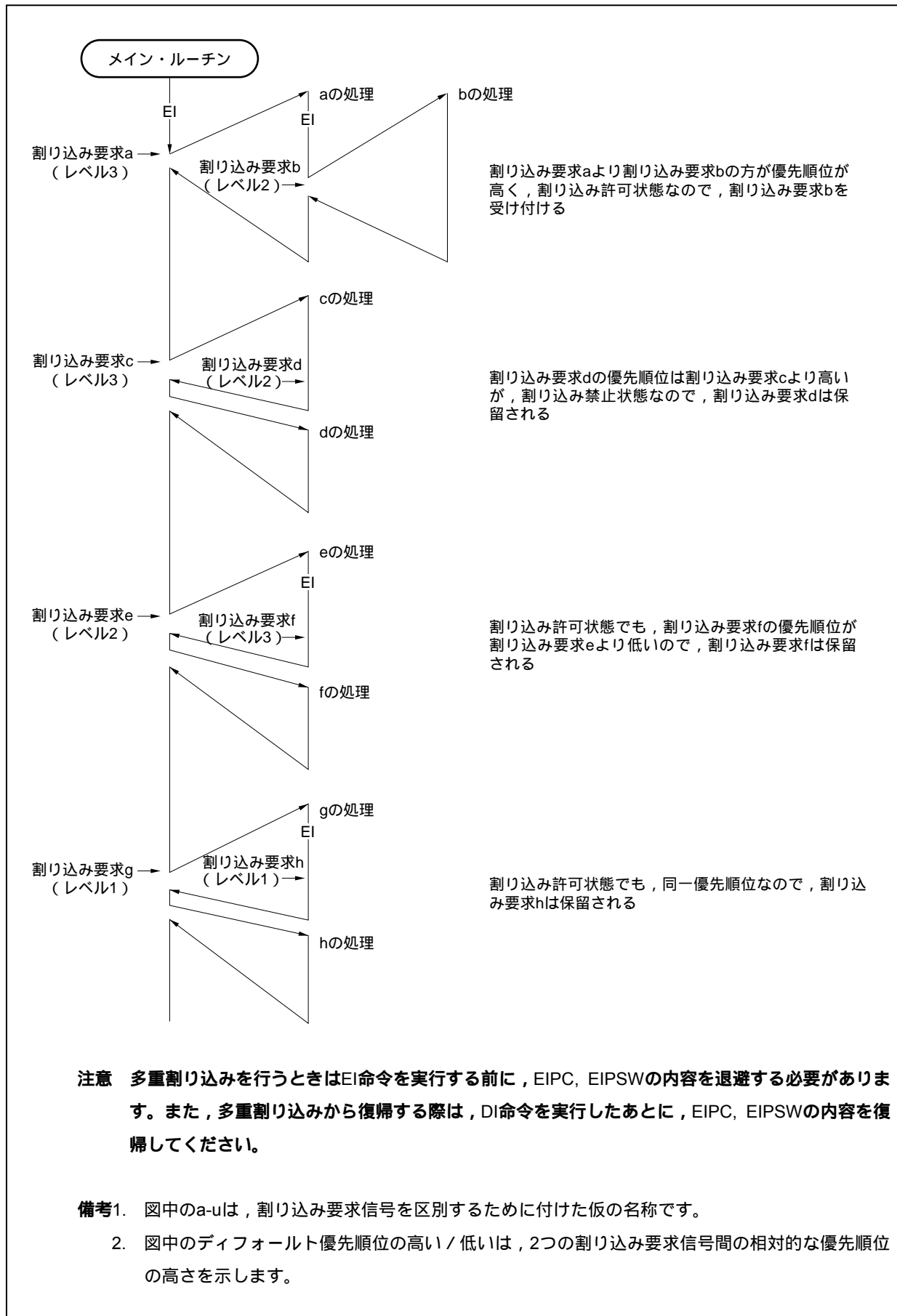


図21 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

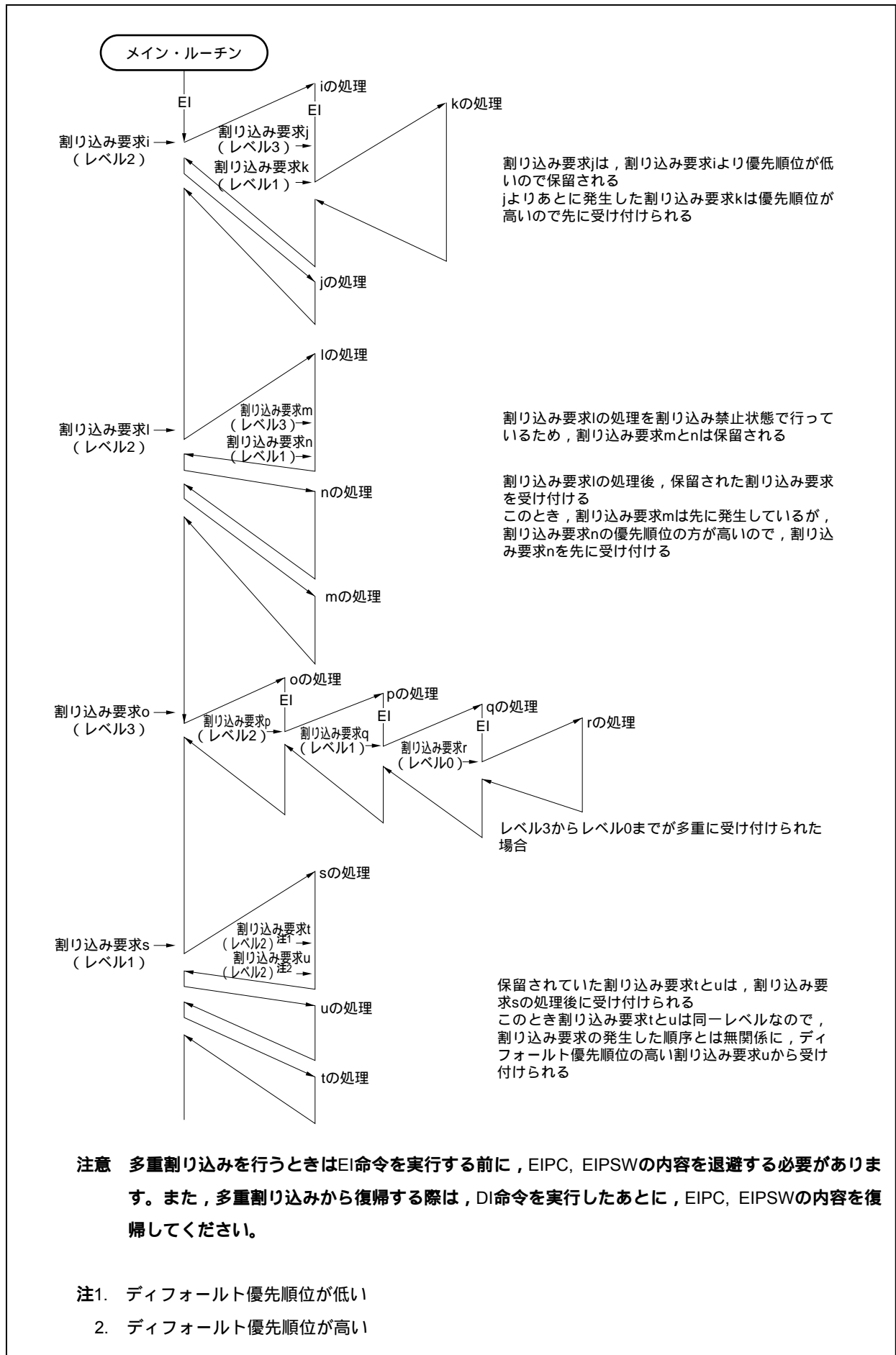
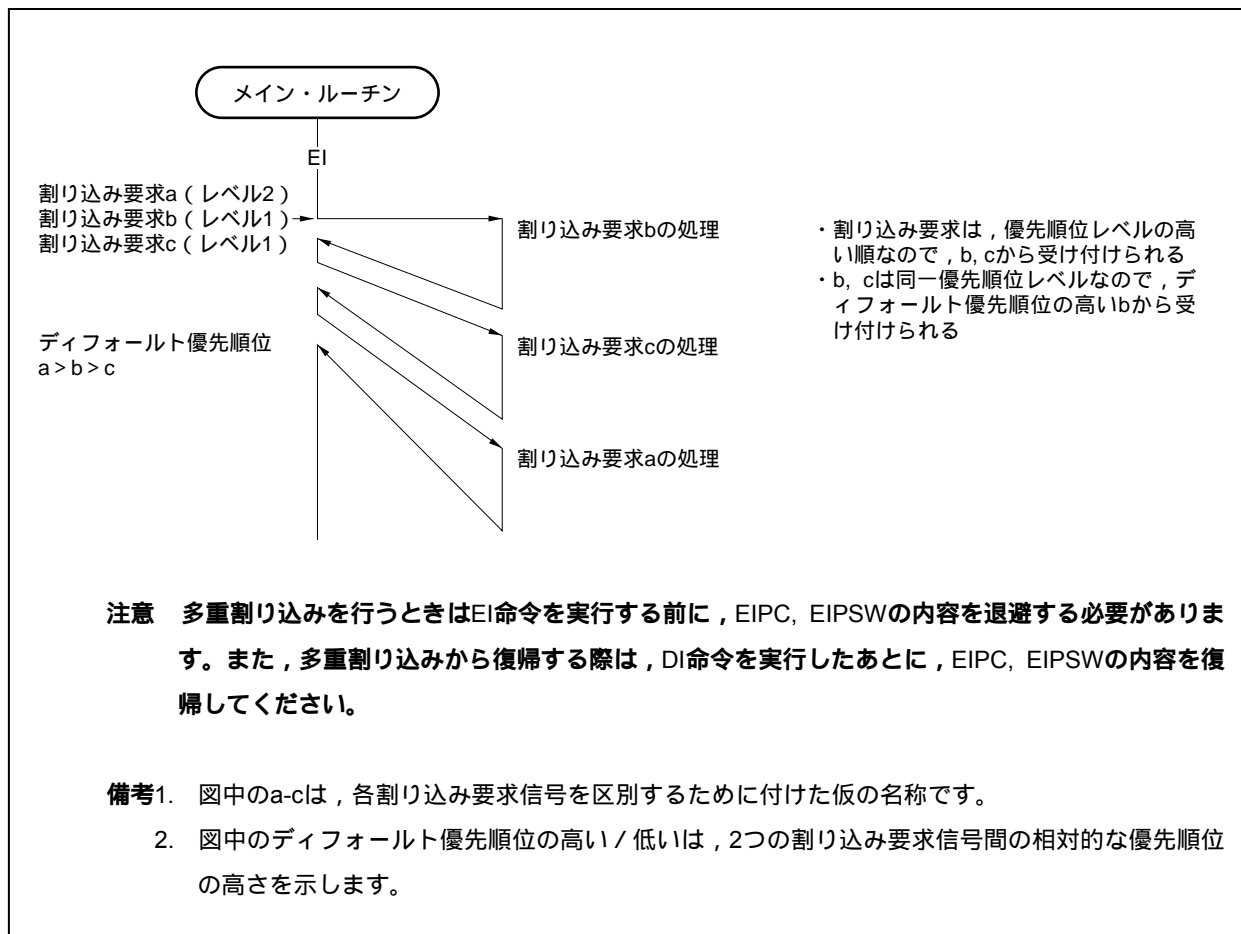


図21 - 7 同時発生した割り込み要求信号の処理例



21.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。

8/1ビット単位でリード/ライト可能です。

リセットにより47Hになります。

- 注意1.** xxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態で行ってください。割り込み許可 (EI) 状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。
- 2.** 割り込み要求が発生する状態 (割り込み禁止 (DI) 状態を含む) でxxICn.xxMKnビットを操作する場合は, 必ずビット操作命令で操作するか, またはIMRm.xxMKnビットで操作してください (m = 0-6)。

リセット時 : 47H R/W アドレス : FFFFF110H-FFFFF1E0H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされま
す。

備考 xx : 各周辺ユニット識別名称 (表21 - 2参照)
n : 周辺ユニット番号 (表21 - 2参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表21 - 2 割り込み制御レジスタのアドレスとビット (1/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	LVILIC	LVILIF	LVILMK	0	0	0	LVILPR2	LVILPR1	LVILPR0
FFFFF112H	LVIHIC	LVIHIF	LVIHMK	0	0	0	LVIHPR2	LVIHPR1	LVIHPR0
FFFFF114H	PIC00	PIF00	PMK00	0	0	0	PPR002	PPR001	PPR000
FFFFF116H	PIC01	PIF01	PMK01	0	0	0	PPR012	PPR011	PPR010
FFFFF118H	PIC02	PIF02	PMK02	0	0	0	PPR022	PPR021	PPR020
FFFFF11AH	PIC03	PIF03	PMK03	0	0	0	PPR032	PPR031	PPR030
FFFFF11CH	PIC04	PIF04	PMK04	0	0	0	PPR042	PPR041	PPR040
FFFFF11EH	PIC05	PIF05	PMK05	0	0	0	PPR052	PPR051	PPR050
FFFFF120H	PIC06	PIF06	PMK06	0	0	0	PPR062	PPR061	PPR060
FFFFF122H	PIC07	PIF07	PMK07	0	0	0	PPR072	PPR071	PPR070
FFFFF124H	PIC08	PIF08	PMK08	0	0	0	PPR082	PPR081	PPR080
FFFFF126H	PIC09	PIF09	PMK09	0	0	0	PPR092	PPR091	PPR090
FFFFF128H	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100
FFFFF12AH	PIC11	PIF11	PMK11	0	0	0	PPR112	PPR111	PPR110
FFFFF12CH	PIC12	PIF12	PMK12	0	0	0	PPR122	PPR121	PPR120
FFFFF12EH	PIC13	PIF13	PMK13	0	0	0	PPR132	PPR131	PPR130
FFFFF130H	PIC14	PIF14	PMK14	0	0	0	PPR142	PPR141	PPR140
FFFFF132H	PIC15	PIF15	PMK15	0	0	0	PPR152	PPR151	PPR150
FFFFF134H	PIC16	PIF16	PMK16	0	0	0	PPR162	PPR161	PPR160
FFFFF136H	PIC17	PIF17	PMK17	0	0	0	PPR172	PPR171	PPR170
FFFFF138H	PIC18	PIF18	PMK18	0	0	0	PPR182	PPR181	PPR180
FFFFF13AH	PIC19	PIF19	PMK19	0	0	0	PPR192	PPR191	PPR190
FFFFF13CH	CMPIC0L	CMPIF0L	CMPMK0L	0	0	0	CMPPR0L2	CMPPR0L1	CMPPR0L0
FFFFF13EH	CMPIC0F	CMPIF0F	CMPMK0F	0	0	0	CMPPR0F2	CMPPR0F1	CMPPR0F0
FFFFF140H	CMPIC1L	CMPIF1L	CMPMK1L	0	0	0	CMPPR1L2	CMPPR1L1	CMPPR1L0
FFFFF142H	CMPIC1F	CMPIF1F	CMPMK1F	0	0	0	CMPPR1F2	CMPPR1F1	CMPPR1F0
FFFFF144H	TB0OVIC	TB0OVIF	TB0OVMK	0	0	0	TB0OVPR2	TB0OVPR1	TB0OVPR0
FFFFF146H	TB0CCIC0	TB0CCIF0	TB0CCMK0	0	0	0	TB0CCPR02	TB0CCPR01	TB0CCPR00
FFFFF148H	TB0CCIC1	TB0CCIF1	TB0CCMK1	0	0	0	TB0CCPR12	TB0CCPR11	TB0CCPR10
FFFFF14AH	TB0CCIC2	TB0CCIF2	TB0CCMK2	0	0	0	TB0CCPR22	TB0CCPR21	TB0CCPR20
FFFFF14CH	TB0CCIC3	TB0CCIF3	TB0CCMK3	0	0	0	TB0CCPR32	TB0CCPR31	TB0CCPR30
FFFFF14EH	TB1OVIC	TB1OVIF	TB1OVMK	0	0	0	TB1OVPR2	TB1OVPR1	TB1OVPR0
FFFFF150H	TB1CCIC0	TB1CCIF0	TB1CCMK0	0	0	0	TB1CCPR02	TB1CCPR01	TB1CCPR00
FFFFF152H	TB1CCIC1	TB1CCIF1	TB1CCMK1	0	0	0	TB1CCPR12	TB1CCPR11	TB1CCPR10
FFFFF154H	TB1CCIC2	TB1CCIF2	TB1CCMK2	0	0	0	TB1CCPR22	TB1CCPR21	TB1CCPR20
FFFFF156H	TB1CCIC3	TB1CCIF3	TB1CCMK3	0	0	0	TB1CCPR32	TB1CCPR31	TB1CCPR30
FFFFF158H	TT0OVIC	TT0OVIF	TT0OVMK	0	0	0	TT0OVPR2	TT0OVPR1	TT0OVPR0
FFFFF15AH	TT0CCIC0	TT0CCIF0	TT0CCMK0	0	0	0	TT0CCPR02	TT0CCPR01	TT0CCPR00
FFFFF15CH	TT0CCIC1	TT0CCIF1	TT0CCMK1	0	0	0	TT0CCPR12	TT0CCPR11	TT0CCPR10
FFFFF15EH	TT0IECIC	TT0IECIF	TT0IECMK	0	0	0	TT0IECPR2	TT0IECPR1	TT0IECPR0
FFFFF160H	TT1OVIC	TT1OVIF	TT1OVMK	0	0	0	TT1OVPR2	TT1OVPR1	TT1OVPR0
FFFFF162H	TT1CCIC0	TT1CCIF0	TT1CCMK0	0	0	0	TT1CCPR02	TT1CCPR01	TT1CCPR00
FFFFF164H	TT1CCIC1	TT1CCIF1	TT1CCMK1	0	0	0	TT1CCPR12	TT1CCPR11	TT1CCPR10

表21 - 2 割り込み制御レジスタのアドレスとビット (2/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF166H	TT1IECIC	TT1IECIF	TT1IECMK	0	0	0	TT1IECPR2	TT1IECPR1	TT1IECPR0
FFFFF168H	TT2OVIC	TT2OVIF	TT2OVMK	0	0	0	TT2OVPR2	TT2OVPR1	TT2OVPR0
FFFFF16AH	TT2CCIC0	TT2CCIF0	TT2CCMK0	0	0	0	TT2CCPR02	TT2CCPR01	TT2CCPR00
FFFFF16CH	TT2CCIC1	TT2CCIF1	TT2CCMK1	0	0	0	TT2CCPR12	TT2CCPR11	TT2CCPR10
FFFFF16EH	TT3OVIC	TT3OVIF	TT3OVMK	0	0	0	TT3OVPR2	TT3OVPR1	TT3OVPR0
FFFFF170H	TT3CCIC0	TT3CCIF0	TT3CCMK0	0	0	0	TT3CCPR02	TT3CCPR01	TT3CCPR00
FFFFF172H	TT3CCIC1	TT3CCIF1	TT3CCMK1	0	0	0	TT3CCPR12	TT3CCPR11	TT3CCPR10
FFFFF174H	TA0OVIC	TA0OVIF	TA0OVMK	0	0	0	TA0OVPR2	TA0OVPR1	TA0OVPR0
FFFFF176H	TA0CCIC0	TA0CCIF0	TA0CCMK0	0	0	0	TA0CCPR02	TA0CCPR01	TA0CCPR00
FFFFF178H	TA0CCIC1	TA0CCIF1	TA0CCMK1	0	0	0	TA0CCPR12	TA0CCPR11	TA0CCPR10
FFFFF17AH	TA1OVIC	TA1OVIF	TA1OVMK	0	0	0	TA1OVPR2	TA1OVPR1	TA1OVPR0
FFFFF17CH	TA1CCIC0	TA1CCIF0	TA1CCMK0	0	0	0	TA1CCPR02	TA1CCPR01	TA1CCPR00
FFFFF17EH	TA1CCIC1	TA1CCIF1	TA1CCMK1	0	0	0	TA1CCPR12	TA1CCPR11	TA1CCPR10
FFFFF180H	TA2OVIC	TA2OVIF	TA2OVMK	0	0	0	TA2OVPR2	TA2OVPR1	TA2OVPR0
FFFFF182H	TA2CCIC0	TA2CCIF0	TA2CCMK0	0	0	0	TA2CCPR02	TA2CCPR01	TA2CCPR00
FFFFF184H	TA2CCIC1	TA2CCIF1	TA2CCMK1	0	0	0	TA2CCPR12	TA2CCPR11	TA2CCPR10
FFFFF186H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF188H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF18AH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF18CH	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF18EH	DMAIC4	DMAIF4	DMAMK4	0	0	0	DMAPR42	DMAPR41	DMAPR40
FFFFF190H	DMAIC5	DMAIF5	DMAMK5	0	0	0	DMAPR52	DMAPR51	DMAPR50
FFFFF192H	UREIC	UREIF	UREMK	0	0	0	UREPR2	UREPR1	UREPR0
FFFFF194H	URIC	URIF	URMK	0	0	0	URPR2	URPR1	URPR0
FFFFF196H	UTIC	UTIF	UTMK	0	0	0	UTPR2	UTPR1	UTPR0
FFFFF198H	UIFIC	UIFIF	UIFMK	0	0	0	UIFPR2	UIFPR1	UIFPR0
FFFFF19AH	UTOIC	UTOIF	UTOMK	0	0	0	UTOPR2	UTOPR1	UTOPR0
FFFFF19CH	UA0REIC	UA0REIF	UA0REMK	0	0	0	UA0REPR2	UA0REPR1	UA0REPR0
FFFFF19EH	UA0RIC	UA0RIF	UA0RMK	0	0	0	UA0RPR2	UA0RPR1	UA0RPR0
FFFFF1A0H	UA0TIC	UA0TIF	UA0TMK	0	0	0	UA0TPR2	UA0TPR1	UA0TPR0
FFFFF1A2H	CF0REIC	CF0REIF	CF0REMK	0	0	0	CF0REPR2	CF0REPR1	CF0REPR0
FFFFF1A4H	CF0RIC	CF0RIF	CF0RMK	0	0	0	CF0RPR2	CF0RPR1	CF0RPR0
FFFFF1A6H	CF0TIC	CF0TIF	CF0TMK	0	0	0	CF0TPR2	CF0TPR1	CF0TPR0
FFFFF1A8H	UA1REIC	UA1REIF	UA1REMK	0	0	0	UA1REPR2	UA1REPR1	UA1REPR0
FFFFF1AAH	UA1RIC	UA1RIF	UA1RMK	0	0	0	UA1RPR2	UA1RPR1	UA1RPR0
FFFFF1ACH	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFF1AEH	CF1REIC	CF1REIF	CF1REMK	0	0	0	CF1REPR2	CF1REPR1	CF1REPR0
FFFFF1B0H	CF1RIC	CF1RIF	CF1RMK	0	0	0	CF1RPR2	CF1RPR1	CF1RPR0
FFFFF1B2H	CF1TIC	CF1TIF	CF1TMK	0	0	0	CF1TPR2	CF1TPR1	CF1TPR0
FFFFF1B4H	UA2REIC	UA2REIF	UA2REMK	0	0	0	UA2REPR2	UA2REPR1	UA2REPR0
FFFFF1B6H	UA2RIC	UA2RIF	UA2RMK	0	0	0	UA2RPR2	UA2RPR1	UA2RPR0
FFFFF1B8H	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFFF1BAH	CF2REIC	CF2REIF	CF2REMK	0	0	0	CF2REPR2	CF2REPR1	CF2REPR0

表21 - 2 割り込み制御レジスタのアドレスとビット (3/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF1BCH	CF2RIC	CF2RIF	CF2RMK	0	0	0	CF2RPR2	CF2RPR1	CF2RPR0
FFFFF1BEH	CF2TIC	CF2TIF	CF2TMK	0	0	0	CF2TPR2	CF2TPR1	CF2TPR0
FFFFF1C0H	IICIC	IICIF	IICMK	0	0	0	IICPR2	IICPR1	IICPR0
FFFFF1C2H	AD0IC	AD0IF	AD0MK	0	0	0	AD0PR2	AD0PR1	AD0PR0
FFFFF1C4H	AD1IC	AD1IF	AD1MK	0	0	0	AD1PR2	AD1PR1	AD1PR0
FFFFF1C6H	AD2IC	AD2IF	AD2MK	0	0	0	AD2PR2	AD2PR1	AD2PR0
FFFFF1C8H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFF1CAH	TM1EQIC0	TM1EQIF0	TM1EQMK0	0	0	0	TM1EQPR02	TM1EQPR01	TM1EQPR00
FFFFF1CCH	TM2EQIC0	TM2EQIF0	TM2EQMK0	0	0	0	TM2EQPR02	TM2EQPR01	TM2EQPR00
FFFFF1CEH	TM3EQIC0	TM3EQIF0	TM3EQMK0	0	0	0	TM3EQPR02	TM3EQPR01	TM3EQPR00
FFFFF1D0H	ADT0IC	ADT0IF	ADT0MK	0	0	0	ADT0PR2	ADT0PR1	ADT0PR0
FFFFF1D2H	ADT1IC	ADT1IF	ADT1MK	0	0	0	ADT1PR2	ADT1PR1	ADT1PR0
FFFFF1D4H	UFIC0	UFIF0	UFMK0	0	0	0	UFPR02	UFPR01	UFPR00
FFFFF1D6H	UFIC1	UFIF1	UFMK1	0	0	0	UFPR12	UFPR11	UFPR10
FFFFF1D8H	DMAIC6	DMAIF6	DMAMK6	0	0	0	DMAPR62	DMAPR61	DMAPR60
FFFFF1DAH	TB0OVVIC	TB0OVVIF	TB0OVVBMK	0	0	0	TB0OVVPR2	TB0OVVPR1	TB0OVVPR0
FFFFF1DCH	TB0CCVIC	TB0CCVIF	TB0CCVBMK	0	0	0	TB0CCVPR2	TB0CCVPR1	TB0CCVPR0
FFFFF1DEH	TB1OVVIC	TB1OVVIF	TB1OVVBMK	0	0	0	TB1OVVPR2	TB1OVVPR1	TB1OVVPR0
FFFFF1E0H	TB1CCVIC	TB1CCVIF	TB1CCVBMK	0	0	0	TB1CCVPR2	TB1CCVPR1	TB1CCVPR0

21.3.5 割り込みマスク・レジスタ0-6 (IMR0-IMR6)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR6.xxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-6)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/16ビット単位でリード/ライト可能です。

リセットによりFFFFFFHになります。

注意 デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

(1/2)

リセット時 : FFFFH R/W アドレス : IMR6 FFFFF10CH
IMR6L FFFFF10CH, IMR6H FFFFF10DH

	15	14	13	12	11	10	9	8
IMR6 (IMR6H ^注)	1	1	1	1	1	1	1	TB1CCBMK0
	7	6	5	4	3	2	1	0
(IMR6L)	TB1OVBMK	TB0CCBMK0	TB0OVBMK	DMAMK6	UFMK1	UFMK0	ADT1MK	ADT0MK

リセット時 : FFFFH R/W アドレス : IMR5 FFFFF10AH
IMR5L FFFFF10AH, IMR5H FFFFF10BH

	15	14	13	12	11	10	9	8
IMR5 (IMR5H ^注)	TM3EQMK0	TM2EQMK0	TM1EQMK0	TM0EQMK0	AD2MK	AD1MK	AD0MK	IICMK
	7	6	5	4	3	2	1	0
(IMR5L)	CF2TMK	CF2RMK	CF2REMK	UA2TMK	UA2RMK	UA2REMK	CF1TMK	CF1RMK

リセット時 : FFFFH R/W アドレス : IMR4 FFFFF108H
IMR4L FFFFF108H, IMR4H FFFFF109H

	15	14	13	12	11	10	9	8
IMR4 (IMR4H ^注)	CF1REMK	UA1TMK	UA1RMK	UA1REMK	CF0TMK	CF0RMK	CF0REMK	UA0TMK
	7	6	5	4	3	2	1	0
(IMR4L)	UA0RMK	UA0REMK	UTOMK	UIFMK	UTMK	URMK	UREMK	DMAMK5

リセット時 : FFFFH R/W アドレス : IMR3 FFFFF106H
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^注)	DMAMK4	DMAMK3	DMAMK2	DMAMK1	DMAMK0	TA2CCMK1	TA2CCMK0	TA2OVMK
	7	6	5	4	3	2	1	0
(IMR3L)	TA1CCMK1	TA1CCMK0	TA1OVMK	TA0CCMK1	TA0CCMK0	TA0OVMK	TT3CCMK1	TT3CCMK0

リセット時 : FFFFH R/W アドレス : IMR2 FFFFF104H
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^注)	TT3OVMK	TT2CCMK1	TT2CCMK0	TT2OVMK	TT1IECMK	TT1CCMK1	TT1CCMK0	TT1OVMK
	7	6	5	4	3	2	1	0
(IMR2L)	TT0IECMK	TT0CCMK1	TT0CCMK0	TT0OVMK	TB1CCMK3	TB1CCMK2	TB1CCMK1	TB1CCMK0

リセット時 : FFFFH R/W アドレス : IMR1 FFFFF102H
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^注)	TB1OVMK	TB0CCMK3	TB0CCMK2	TB0CCMK1	TB0CCMK0	TB0OVMK	CMPMK1F	CMPMK1L
	7	6	5	4	3	2	1	0
(IMR1L)	CMPMK0F	CMPMK0L	PMK19	PMK18	PMK17	PMK16	PMK15	PMK14

注 IMR1-IMR6レジスタのビット15-8を8/1ビット単位でリード/ライトする場合は、IMR1H-IMR6Hレジスタのビット7-0として指定してください。

注意 IMR6レジスタのビット15-9 (IMR6Hレジスタのビット7-1) には1を設定してください。変更した場合の動作は保証できません。

(2/2)

リセット時 : FFFFH R/W アドレス : IMR0 FFFF100H
 IMR0L FFFF100H, IMR0H FFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^注)	PMK13	PMK12	PMK11	PMK10	PMK09	PMK08	PMK07	PMK06
	7	6	5	4	3	2	1	0
(IMR0L)	PMK05	PMK04	PMK03	PMK02	PMK01	PMK00	LVIHMK	LVILMK
xxMKn	割り込みマスク・フラグの設定							
0	割り込み処理を許可							
1	割り込み処理を禁止							

注 IMR0レジスタのビット15-8を8/1ビット単位でリード/ライトする場合は、IMR0Hレジスタのビット7-0として指定してください。

備考 xx : 各周辺ユニット識別名称 (表21 - 2参照)
 n : 周辺ユニット番号 (表21 - 2参照)

21.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にクリア (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア (0) されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH								
	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0
ISPRn	受け付け中の割り込みの優先順位							
0	優先順位nの割り込み要求信号を受け付けていない							
1	優先順位nの割り込み要求信号を受け付け中							
備考 n : 0-7 (優先順位のレベル)								

21.3.7 マスカブル割り込みステータス・フラグ (ID)

マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。IDフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0				
PSW	0							NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定 ^注
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止 (保留)

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でクリア (0) されます。また , RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また , マスカブル割り込み要求信号を受け付けると , IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は , xxCn.xxIFnビットがセット (1) され , IDフラグがクリア (0) されると受け付けられます。

21.4 外部割り込み要求入力端子 (INTP00-INTP19, INTADT0, INTADT1)

21.4.1 ノイズ除去

(1) INTP00-INTP19, INTADT0, INTADT1端子のノイズ除去

INTP00-INTP19, INTADT0, INTADT1端子はアナログ・フィルタによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(2) INTP00-INTP02, INTP17-INTP19端子のノイズ除去

INTP00-INTP02, INTP17-INTP19端子はデジタル・ノイズ除去回路を内蔵しています。デジタル・サンプリングを行うサンプリング・クロックをINTNFCm.INTNFCm2-INTNFCm0ビットで選択できます (m = 00-02, 17-19)。
なお、IDLE, STOPモードでは、システム・クロックが停止するため、INTP14-INTP16端子はIDLE, STOPモードの解除には使用できません。

21.4.2 エッジ検出

INTn端子は、有効エッジをプログラマブルに選択できます (n = P00-P19, ADT0, ADT1)。
選択できる有効エッジについて次に示します。

- ・ 立ち上がりエッジ
- ・ 立ち下がりエッジ
- ・ 立ち上がり / 立ち下がり両エッジ

エッジ検出されたINTn信号は、割り込み要因になります。

有効エッジは、INTR0-INTR3, ADTR, INTF0-INTF3, ADTFレジスタで指定します。

(1) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ0 (INTR0, INTF0)

INTP03-INTP10端子のトリガ・モードを指定するレジスタです。有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には, エッジが検出される可能性があるため, 必ずINTFn, INTRnビット = 00に設定してからポート・モードに設定してください (n = 03-10)。

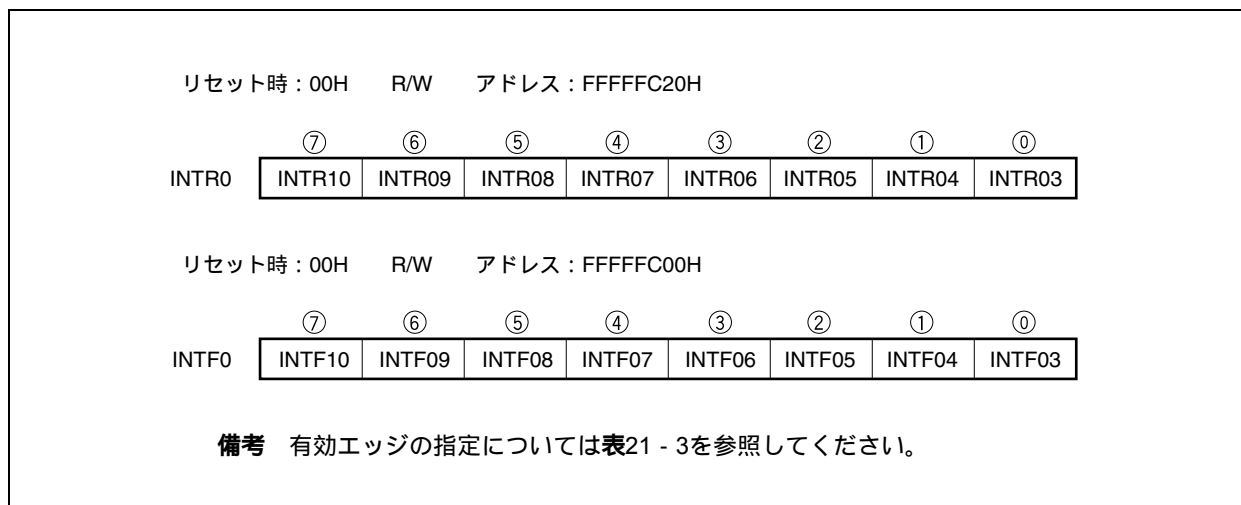


表21 - 3 INTP03-INTP10端子の有効エッジの指定

INTFn	INTRn	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注意 INTPn端子として使用しない場合, 必ずINTFn, INTRnビット = 00に設定してください。

備考 n = 03-10

(2) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ1 (INTR1, INTF1)

INTP11-INTP16端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には、エッジが検出される可能性があるため、必ずINTFn, INTRnビット = 00に設定してからポート・モードに設定してください (n = 11-16)。

リセット時 : 00H R/W アドレス : FFFFC22H								
	7	6	⑤	④	③	②	①	①
INTR1	0	0	INTR16	INTR15	INTR14	INTR13	INTR12	INTR11
リセット時 : 00H R/W アドレス : FFFFC02H								
	7	6	⑤	④	③	②	①	①
INTF1	0	0	INTF16	INTF15	INTF14	INTF13	INTF12	INTF11
備考 有効エッジの指定については表21 - 4を参照してください。								

表21 - 4 INTP11-INTP16端子の有効エッジの指定

INTFn	INTRn	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注意 INTPn端子として使用しない場合、必ずINTFn, INTRnビット = 00に設定してください。

備考 n = 11-16

(3) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ2 (INTR2, INTF2)

INTP00-INTP02端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には、エッジが検出される可能性があるため、必ずINTFn, INTRnビット = 00に設定してからポート・モードに設定してください (n = 00-02)。

リセット時 : 00H		R/W	アドレス : FFFFFFFC24H					
	7	6	5	4	3	②	①	①
INTR2	0	0	0	0	0	INTR02	INTR01	INTR00
リセット時 : 00H		R/W	アドレス : FFFFFFFC04H					
	7	6	5	4	3	②	①	①
INTF2	0	0	0	0	0	INTF02	INTF01	INTF00
備考 有効エッジの指定については表21 - 5を参照してください。								

表21 - 5 INTP00-INTP02端子の有効エッジの指定

INTFn	INTRn	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注意 INTPn端子として使用しない場合、必ずINTFn, INTRnビット = 00に設定してください。

備考 n = 00-02

(4) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ3 (INTR3, INTF3)

INTP17-INTP19端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には、エッジが検出される可能性があるため、必ずINTFn, INTRnビット = 00に設定してからポート・モードに設定してください (n = 17-19)。

リセット時 : 00H		R/W	アドレス : FFFFC26H					
	7	6	5	4	3	②	①	①
INTR3	0	0	0	0	0	INTR19	INTR18	INTR17
リセット時 : 00H		R/W	アドレス : FFFFC06H					
	7	6	5	4	3	②	①	①
INTF3	0	0	0	0	0	INTF19	INTF18	INTF17
備考 有効エッジの指定については表21 - 6を参照してください。								

表21 - 6 INTP17-INTP19端子の有効エッジの指定

INTFn	INTRn	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注意 INTPn端子として使用しない場合、必ずINTFn, INTRnビット = 00に設定してください。

備考 n = 17-19

(5) A/Dトリガ立ち上がり, 立ち下がりエッジ指定レジスタ (ADTR, ADTF)

ADTRG0/INTADT0, ADTRG1/INTADT1端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 A/Dコンバータ n の外部トリガ入力 (兼用機能) / 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には、エッジが検出される可能性があるため、必ずADTF n , ADTR n ビット = 00に設定してからポート・モードに設定してください。

リセット時 : 00H R/W アドレス : FFFFF2F2H

	7	6	5	4	3	2	1	0
ADTR	0	0	0	0	0	0	ADTR1	ADTR0

リセット時 : 00H R/W アドレス : FFFFF2F0H

	7	6	5	4	3	2	1	0
ADTF	0	0	0	0	0	0	ADTF1	ADTF0

備考 有効エッジの指定については表21 - 7を参照してください。

表21 - 7 ADTRG0/INTADT0, ADTRG1/INTADT1端子の有効エッジの指定

ADTF n	ADTR n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注意 ADTRG n /INTADT n 端子として使用しない場合、必ずADTF n , ADTR n ビット = 00に設定してください。

備考 $n = 0, 1$

21.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

21.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

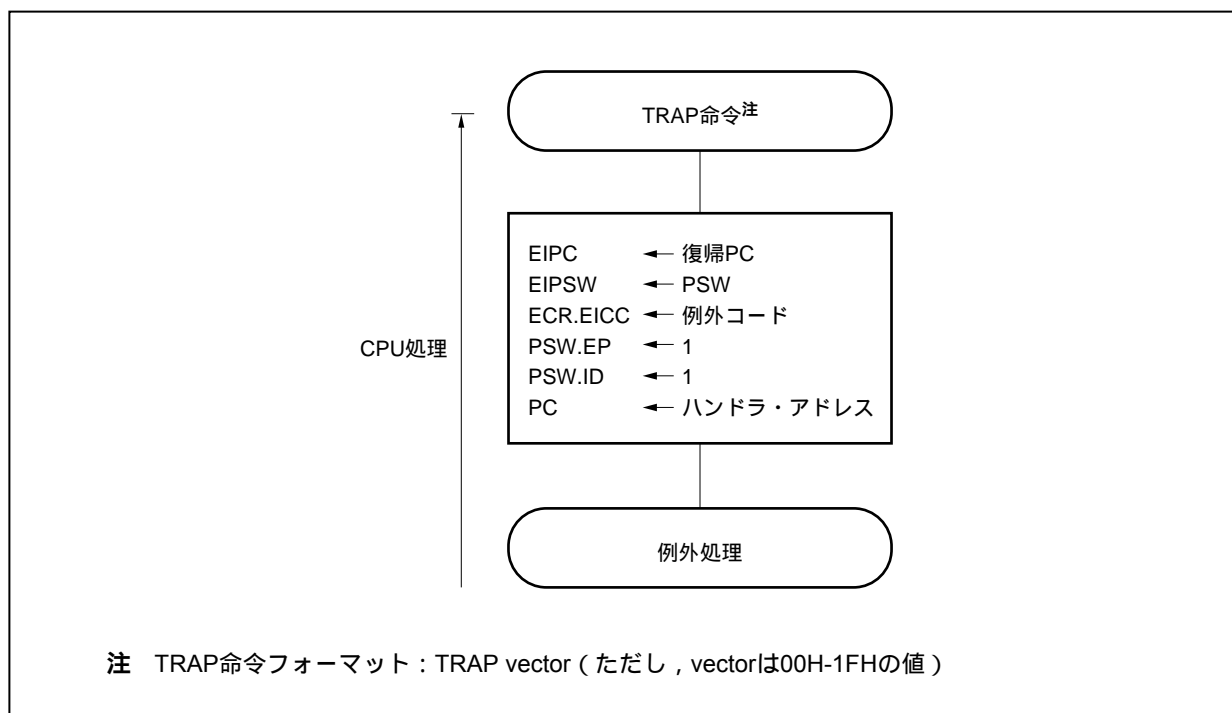
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を次に示します。

図21-8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

21.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

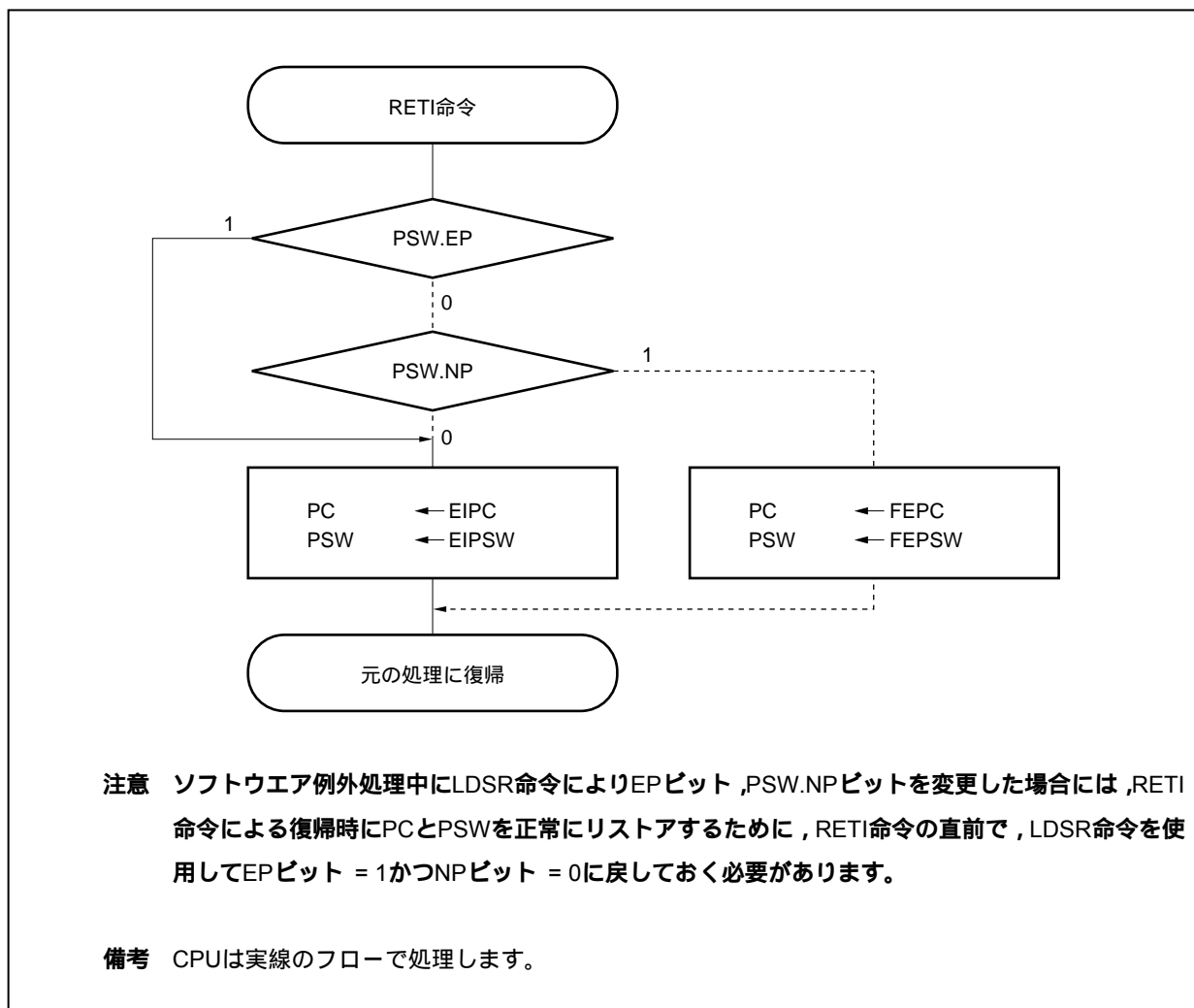
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図21 - 9 RETI命令の処理形態



21.5.3 例外ステータス・フラグ (EP)

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。EPフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0			
PSW	0						NP	EP	ID	SAT	CY	OV	S	Z

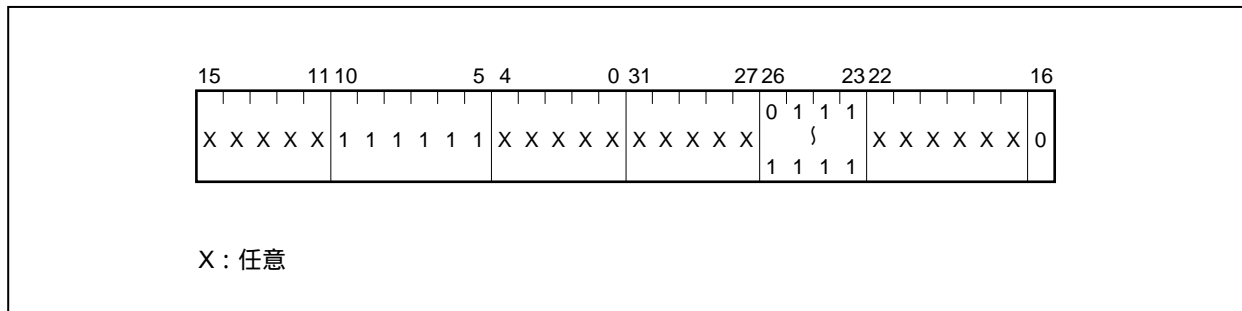
EP	例外処理状態
0	例外処理中でない
1	例外処理中

21.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/IG4-H, V850E/IH4-Hでは、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

21.6.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

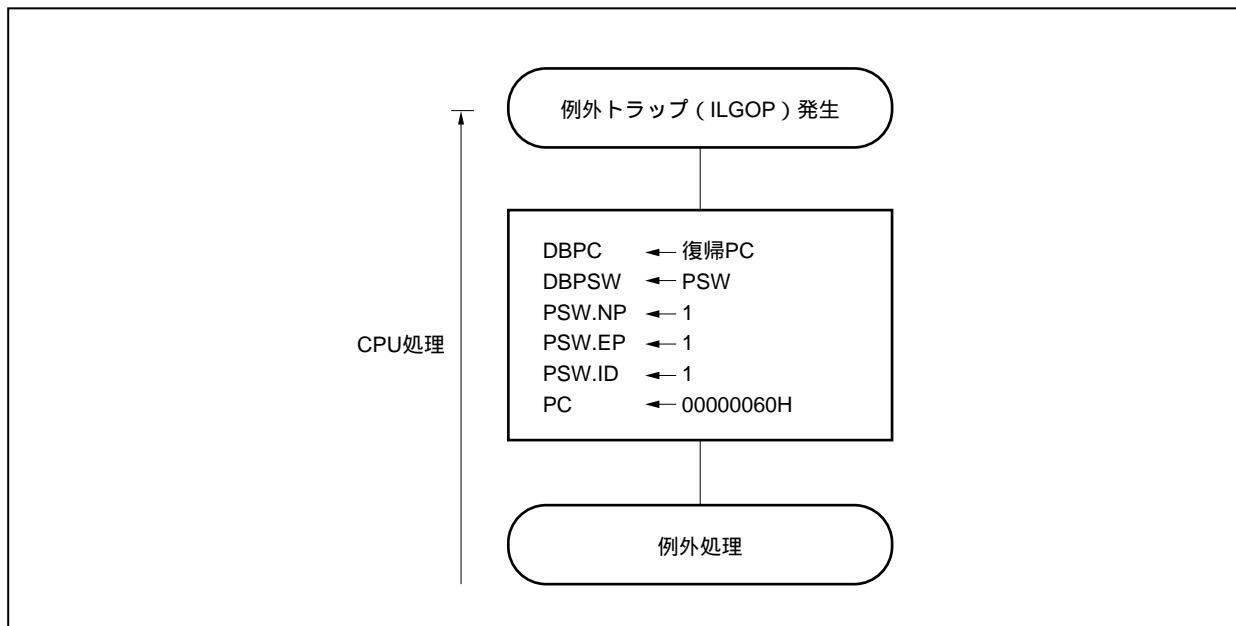
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図21 - 10 例外トラップの処理形態



(2) 復 帰

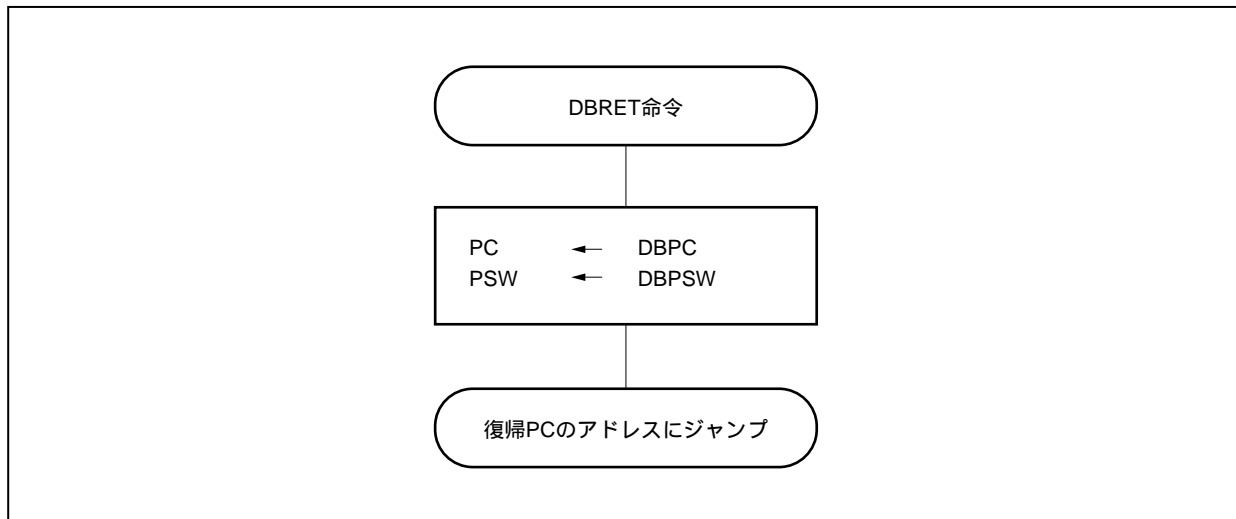
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。
 取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセスできます。

例外トラップからの復帰の処理形態を次に示します。

図21 - 11 例外トラップからの復帰の処理形態



21. 6. 2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動作

復帰PCをDBPCに退避します。

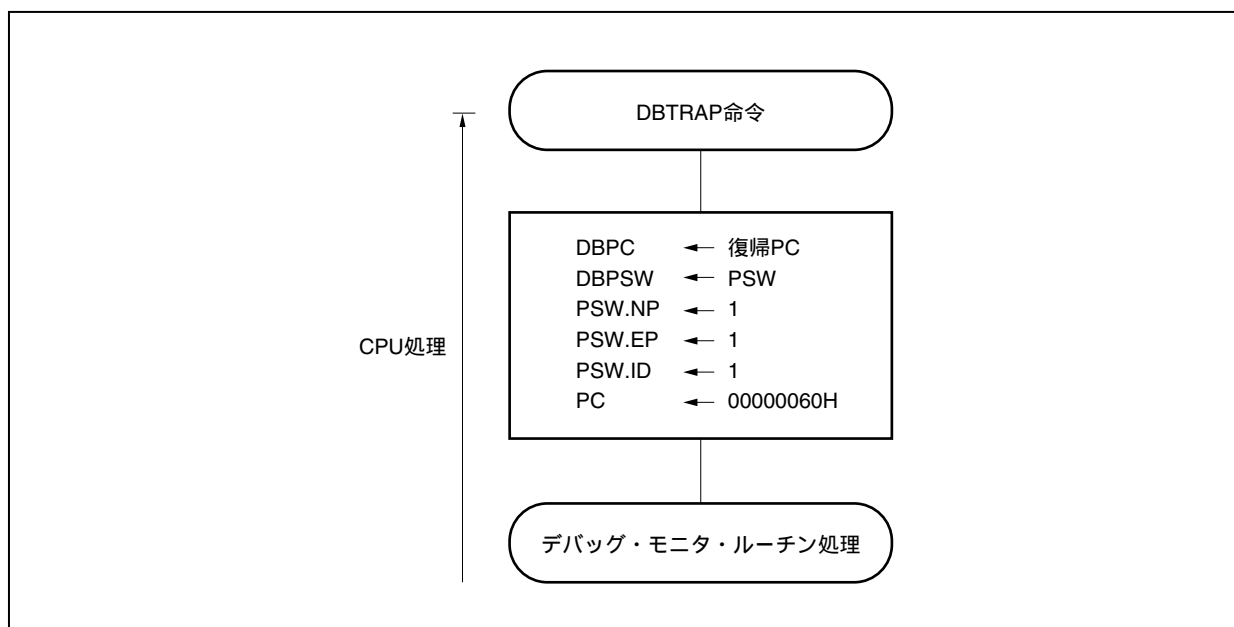
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図21 - 12 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

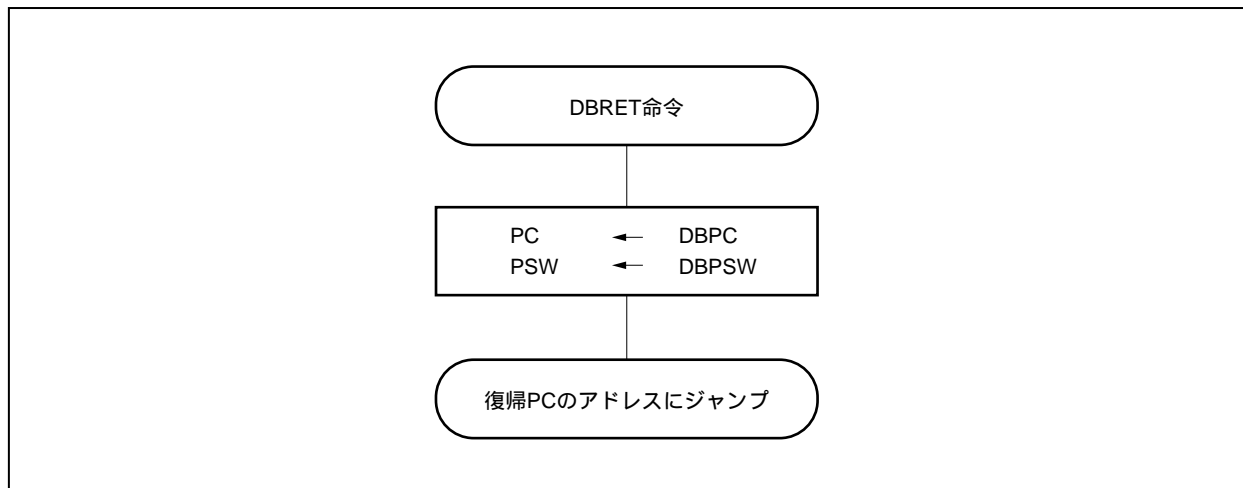
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセスできます。

デバッグ・トラップからの復帰の処理形態を次に示します。

図21 - 13 デバッグ・トラップからの復帰の処理形態



21.7 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求信号を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は、その割り込み要求信号は保留されます。

マスクブル割り込みの多重処理制御は、割り込み許可状態 (PSW.IDビット = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (PSW.IDビット = 0) にする必要があります。

マスクブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスクブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスクブル割り込み要求信号を受け付ける場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスクブル割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求信号ごとに0-7までの8レベル(0が最優先)が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求信号ごとに用意されている割り込み要求制御レジスタ($xxICn$)の $xxPRn0$ - $xxPRn2$ ビットで行います。システム・リセット時には、 $xxMKn$ ビットにより割り込み要求信号はマスクされ、 $xxPRn0$ - $xxPRn2$ ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求信号は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスクブル割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスクブル割り込みを受け付けず、保留します。

備考 xx : 各周辺ユニット識別名称 (表21 - 2参照)

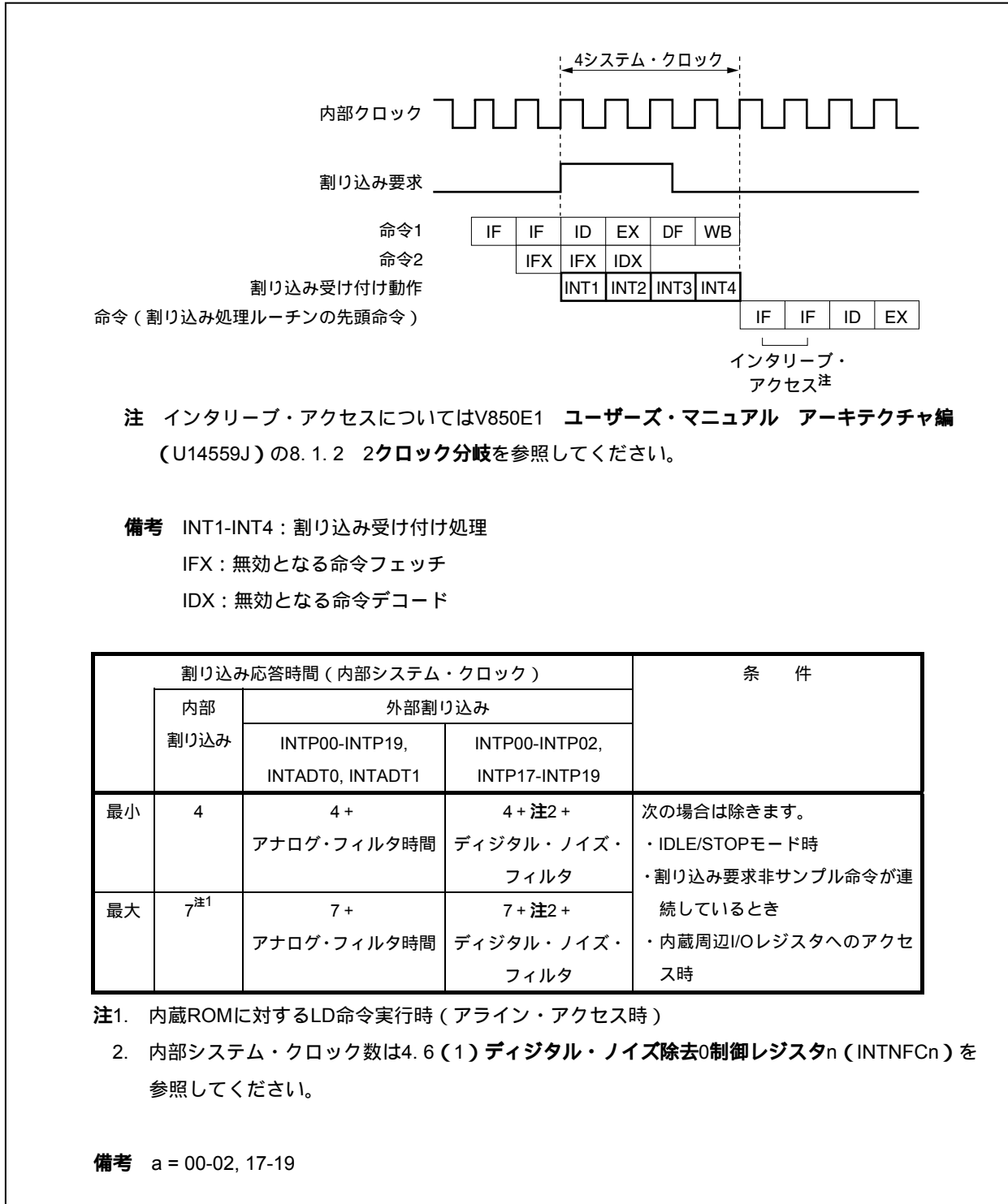
n : 周辺ユニット番号 (表21 - 2参照)

21.8 CPUの割り込み応答時間

次の場合を除き，CPUの割り込み応答時間は，最小4クロックとなります。連続して割り込み要求信号を入力する場合には，最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE/STOPモード時
- ・ 割り込み要求非サンプル命令（21.9 CPUが割り込みを受け付けない期間参照）が連続しているとき
- ・ 内蔵周辺I/Oレジスタへのアクセス時

図21 - 14 割り込み要求受け付け時のパイプライン動作 (概略)



21.9 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ コマンド・レジスタ（PRCMD）に対するストア命令
- ・ 次のレジスタに対するストア命令およびtst1命令を除くビット操作命令
 - ・ 割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-6（IMR0-IMR6）
 - ・ パワー・セーブ・コントロール・レジスタ（PSC）

備考 xx：各周辺ユニット識別名称（表21 - 2参照）

n：周辺ユニット番号（表21 - 2参照）

21.10 注意事項

ポートを外部割り込み入力（INTP00-INTP19, INTADT0, INTADT1）に設定した場合には、兼用しているタイマ / カウンタ、シリアル・インタフェース、A/Dコンバータ関連の割り込みは発生しませんので注意してください。

第22章 スタンバイ機能

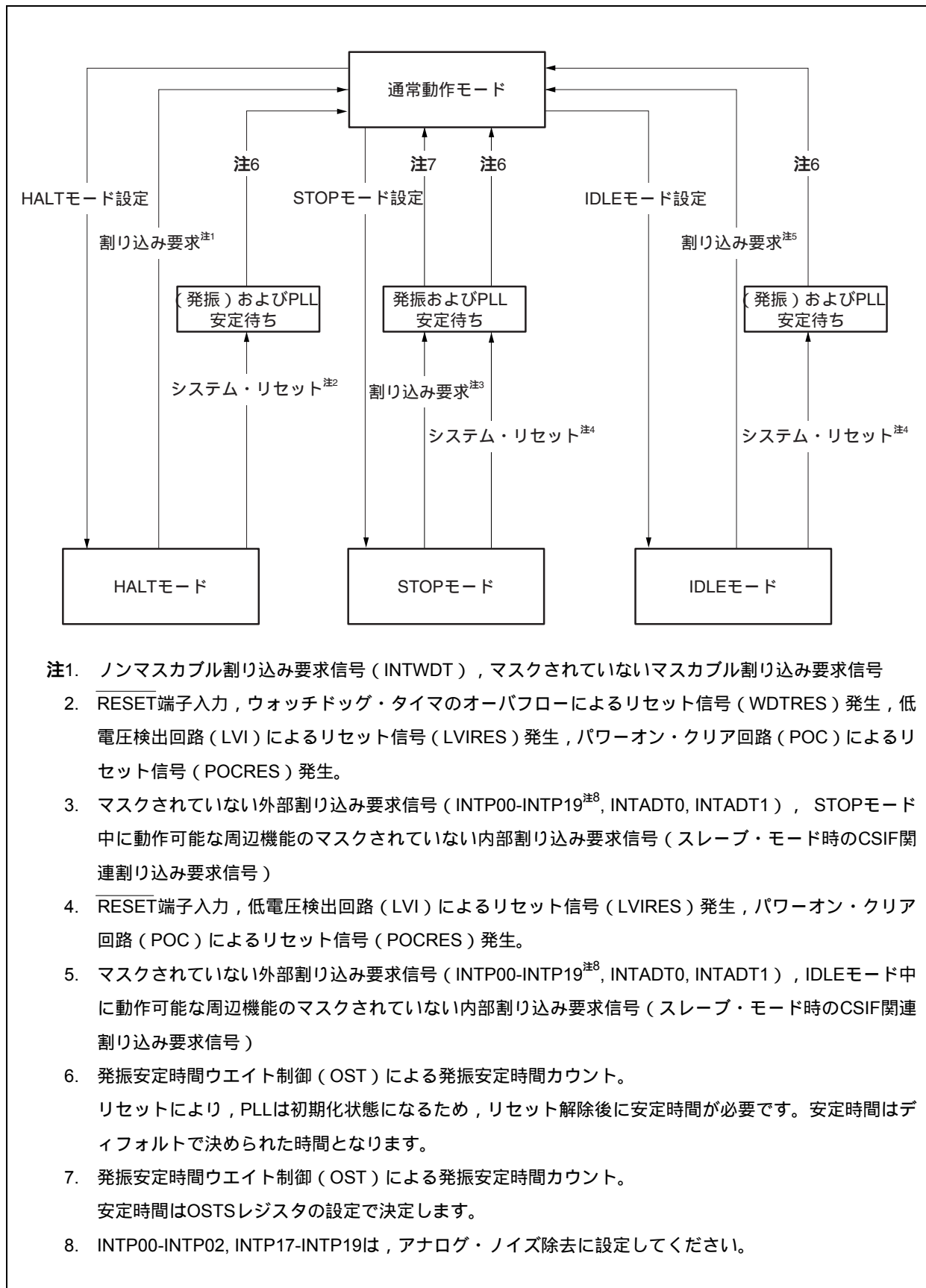
22.1 概 要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表22 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	発振回路、PLL、スレーブ・モード時のCSIF、クロック・モニタ、低電圧検出回路（LVI）、パワーオン・クリア回路（POC）以外の内部回路の動作をすべて停止させるモード
STOPモード	スレーブ・モード時のCSIF、低電圧検出回路（LVI）、パワーオン・クリア回路（POC）以外の内部回路の動作をすべて停止させるモード

図22 - 1 状態遷移図



22.2 制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STBビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです(3.4.8 特定レジスタ参照)。特定のシーケンスの組み合わせによってだけ書き込みができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFFFF1FEH

	7	6	5	④	3	2	①	0
PSC	0	0	0	INTM	0	0	STB	0

INTM	マスカブル割り込み要求 (INTxx ^{注1}) によるスタンバイ・モードの制御 ^{注2}
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定
0	通常モード
1	スタンバイ・モード

注1. 詳細は、表21-1 割り込み要因一覧を参照してください。

2. 設定はIDLEモードおよびSTOPモード時のみ有効です。

注意1. ビット0, 2, 3, 5-7には、必ず0を設定してください。

2. STBビット = 1によりスタンバイ・モードに移行する場合には、必ずPCCレジスタ = 03Hに設定してからSTBビットの指定をしてください。これ以外の設定では、スタンバイ・モードの移行や解除ができない場合があります。

なお、スタンバイ・モード解除後は、PCCレジスタを所望の値に変更してください。

3. IDLEモードおよびSTOPモードに設定する場合には、まずPCCレジスタ = 03H, PSMR.PSM0ビットの順序で設定してから、STBビット = 1にしてください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

ソフトウェア・スタンバイ・モード時の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。

22.3 HALTモード

22.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに移行します。

HALTモードに移行すると、CPUへのクロック供給のみが停止しますが、クロック・ジェネレータおよびPLLは動作を継続するので、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容はHALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表22-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減できます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. 割り込み要求が保留されている状態で、HALT命令を実行した場合は、HALTモードに移行しますが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

22.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（INTWDT）、マスクされていないマスクابل割り込み要求信号、リセット信号（RESET端子入力、ウォッチドッグ・タイマのオーバフローによるリセット信号（WDTRES）発生、低電圧検出回路（LVI）によるリセット信号（LVIRET）発生、パワーオン・クリア回路（POC）によるリセット信号（POCRET）発生）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号（INTWDT）、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込みよりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとHALTモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、HALT命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込みよりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表22-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていない マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) RESET端子入力, WDTRES信号発生, LVIRES信号発生, POCRES信号発生による解除

通常のリセット動作と同じです。

表22 - 3 HALTモード時の動作状態

HALTモードの設定		動作状態
項 目		
クロック・ジェネレータ, PLL		動作
システム・クロック (f _{xx})		供給
CPU		動作停止
DMA		動作可能
割り込みコントローラ		動作可能
タイマ	TAA0-TAA2	動作可能
	TAB0, TAB1	動作可能
	TMT0-TMT3	動作可能
	TMM0-TMM3	動作可能
ウォッチドッグ・タイマ		動作可能
シリアル・インタフェース	CSIF0-CSIF2	動作可能
	UARTA0-UARTA2	動作可能
	UARTB	動作可能
	I ² C	動作可能
A/Dコンバータ0-2		動作可能
クロック・モニタ		動作可能
低電圧検出回路		動作可能
パワーオン・クリア回路		動作可能
USBファンクション		動作可能
ポート機能		HALTモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持

22.4 IDLEモード

22.4.1 設定および動作状態

通常動作モード時、PSMR.PSM0ビットをクリア(0)し、PSC.STBビットをセット(1)することにより、IDLEモードに移行します。

IDLEモードに移行すると、クロック・ジェネレータおよびPLLは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表22-5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、クロック・ジェネレータおよびPLLは停止しないので、IDLEモード解除時、HALTモードと同様に、発振安定時間を確保することなく通常動作モードに復帰できます。

注意 IDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

22.4.2 IDLEモードの解除

IDLEモードは、マスクされていない外部割り込み要求信号(INTP00-INTP19^注、INTADT0、INTADT1端子入力)、IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレープ・モード時のCSIF関連割り込み要求信号)、リセット信号($\overline{\text{RESET}}$ 端子入力、低電圧検出回路(LVI)によるリセット信号(LVIRES)発生、パワーオン・クリア回路(POC)によるリセット信号(POCRES)発生)により解除されます。

IDLEモードの解除により、通常動作モードに移行します。

注 INTP00-INTP02、INTP17-INTP19は、アナログ・ノイズ除去に設定してください。

(1) マスクされていないマスクブル割り込み要求信号

マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスクブル割り込み要求信号によるIDLEモードの解除はできません。

- (a) 現在処理中の割り込みよりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとIDLEモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、IDLE命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込みよりも優先順位が高い割り込み要求信号が発生すると、IDLEモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表22 - 4 割り込み要求信号によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
マスクされていない マスカブル割り込み要求	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) RESET端子入力, LVIRES信号発生, POCRES信号発生による解除
通常のリセット動作と同じです。

表22 - 5 IDLEモード時の動作状態

IDLEモードの設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作
システム・クロック (f _{xx})		供給停止
CPU		動作停止
DMA		動作停止
割り込みコントローラ		動作停止
タイマ	TAA0-TAA2	動作停止
	TAB0, TAB1	動作停止
	TMT0-TMT3	動作停止
	TMM0-TMM3	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIF0-CSIF2	カウント・クロックにSCKFn入力クロック選択時 (スレープ・モード時), 動作可能 (n = 0-2)
	UARTA0-UARTA2	動作停止
	UARTB	動作停止
	I ² C	動作停止
A/Dコンバータ0-2		動作停止
クロック・モニタ		動作可能
低電圧検出回路		動作可能
パワーオン・クリア回路		動作可能
USBファンクション		動作停止
ポート機能		IDLEモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLEモード設定前の状態を保持

22.5 STOPモード

22.5.1 設定および動作状態

通常動作モード時、PSMR.PSM0ビットをセット(1)し、PSC.STBビットをセット(1)することにより、STOPモードに移行します。

STOPモードに移行するとクロック・ジェネレータは動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能については、動作を継続します。

表22-7にSTOPモード時の動作状態を示します。

STOPモードは、クロック・ジェネレータの動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、外部クロックを使用しない場合はリーク電流のみの超低消費電力を実現できます。

注意 STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

22.5.2 STOPモードの解除

STOPモードは、マスクされていない外部割り込み要求信号(INTP00-INTP19^註、INTADT0、INTADT1端子入力)、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレープ・モード時のCSIF関連割り込み要求信号)、リセット信号(RESET端子入力、低電圧検出回路(LVI)によるリセット信号(LVIRES)発生、パワーオン・クリア回路(POC)によるリセット信号(POCRES)発生)により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

注 INTP00-INTP02、INTP17-INTP19は、アナログ・ノイズ除去に設定してください。

(1) マスクされていないマスクプル割り込み要求信号

マスクされていないマスクプル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスクプル割り込み要求信号によるSTOPモードの解除はできません。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求、または同一優先順位の割り込み要求が発生するとSTOPモードの解除のみ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。したがって、STOP命令の次の命令から実行を開始します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求が発生すると、STOPモードの解除とともにこの割り込み要求を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表22 - 6 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
マスクされていない マスカブル割り込み要求	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

(2) RESET端子入力, LVIRES信号発生, POCRES信号発生による解除

通常のリセット動作と同じです。

表22 - 7 STOPモード時の動作状態

STOPモード の設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作停止
システム・クロック (f _{xx})		供給停止
CPU		動作停止
DMA		動作停止
割り込みコントローラ		動作停止
タイマ	TAA0-TAA2	動作停止
	TAB0, TAB1	動作停止
	TMT0-TMT3	動作停止
	TMM0-TMM3	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIF0-CSIF2	カウント・クロックにSCKFn入力クロック選択時 (スレープ・モード時), 動作可能 (n = 0-2)
	UARTA0-UARTA2	動作停止
	UARTB	動作停止
	I ² C	動作停止
A/Dコンバータ0-2		動作停止
クロック・モニタ		動作停止
低電圧検出回路		動作可能
パワーオン・クリア回路		動作可能
USBファンクション		動作停止
ポート機能		STOPモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持

22.6 発振安定時間の確保

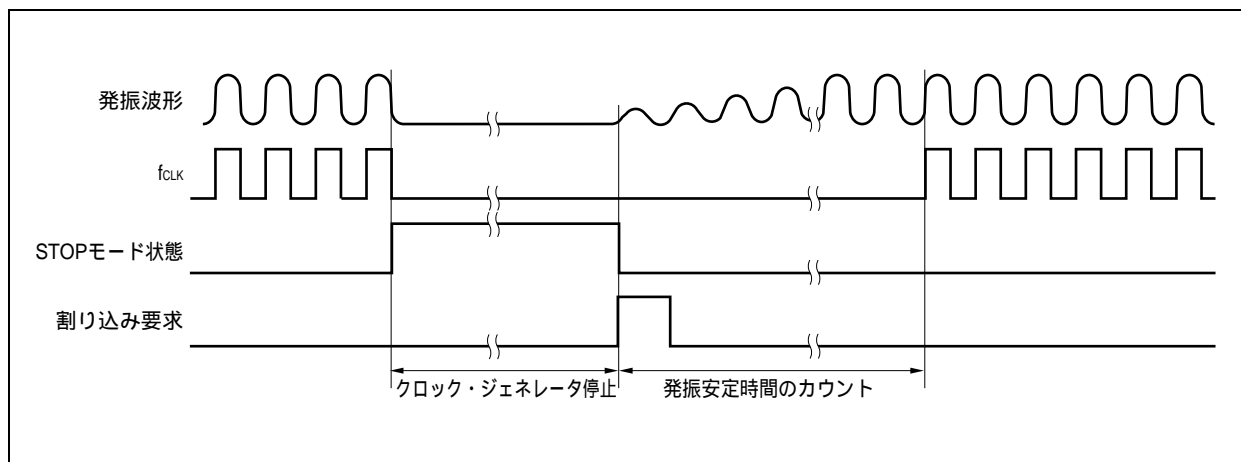
STOPモードを解除すると、OSTSレジスタで設定していた時間だけ発振安定時間を確保します。 $\overline{\text{RESET}}$ 端子入力による解除時は、OSTSレジスタのリセット値： $2^{15}/f_x$ ($f_x = 12.5 \text{ MHz}$ 時、 2.62 ms) となります。

ただし、実際の発振安定時間は 1.311 ms ($f_x = 12.5 \text{ MHz}$ 時)となり、あとの半分はPLLの安定時間となります。STOPモードからの解除時の発振安定時間は、使用する発振子の発振安定時間に対して倍の時間を設定してください。また、 $\overline{\text{RESET}}$ 端子入力による解除時、発振安定時間を考慮して、必ず「使用する発振子の発振安定時間 - 固定発振安定時間」以上の $\overline{\text{RESET}}$ 信号のロウ・レベル幅で発振安定時間を確保してください。

なお、発振安定時間カウント用タイマはそのオーバフロー時間だけ発振安定時間を確保します。

STOPモードを割り込み要求信号で解除した場合の動作を次に示します。

図22 - 2 発振安定時間



注意 OSTSレジスタの詳細は、5.3(5)発振安定時間選択レジスタ (OSTS) を参照してください。

第23章 リセット機能

23.1 概 要

- ・ $\overline{\text{RESET}}$ 端子入力によるシステム・リセット
- ・ ウォッチドッグ・タイマ (WDT) のオーバフローによるシステム・リセット信号 (WDTRES) 発生
- ・ 低電圧検出回路 (LVI) によるシステム・リセット信号 (LVIRES)
- ・ パワーオン・クリア回路 (POC) によるシステム・リセット信号 (POCRES)
- ・ オンチップ・デバッグ機能による強制リセット, リセット・マスク機能 (第26章 オンチップ・デバッグ機能参照)

23.2 制御レジスタ

(1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは、ウォッチドッグ・タイマ (WDT) または低電圧検出回路 (LVI) からのリセット要求の発生を示す8ビット・レジスタです。

WDTまたはLVIからの内部リセット要因信号がアクティブになった場合に、WDTRFまたはLVIRFビットがセット (1) されます。WDTRFまたはLVIRFビットのクリアは、リセット信号 ($\overline{\text{RESET}}$ 端子入力, パワーオン・クリア回路 (POC) によるリセット信号 (POCRES) 発生, オンチップ・デバッグ機能による強制リセット発生), またはビット操作命令またはストア命令によるクリア (WDTRFまたはLVIRFビットへの0ライト) で行います。

RESFレジスタは、特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。ただし、ビット0, 4のライトはクリア (0) のみ可能です。

$\overline{\text{RESET}}$ 端子入力, パワーオン・クリア回路 (POC) によるリセット, オンチップ・デバッグ機能による強制リセットで00Hになります。それ以外の要因のリセットによりリセット値は異なります。リセットが競合した場合の詳細については注意を参照してください。

リセット時：00H^注 R/W アドレス：FFFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) からのリセット信号発生有無
0	リード時：リセット要求の発生なし，ライト時：クリア
1	リセット要求の発生あり

LVIRF	低電圧検出回路 (LVI) からのリセット信号発生有無
0	リード時：リセット要求の発生なし，ライト時：クリア
1	リセット要求の発生あり

注 $\overline{\text{RESET}}$ 端子入力，パワーオン・クリア回路 (POC) によるリセット時，オンチップ・デバッグ機能による強制リセット：00H
ウォッチドッグ・タイマのオーバフローによるリセット時：10H
低電圧検出回路 (LVI) によるリセット時：01H

注意1. RESFレジスタのビット・セット (セット要因のリセット発生) とクリア (システム・リセットの発生，およびWDTRF, LVIRFビットへの0ライト) が競合した場合は，次のような優先順位となります。

$\overline{\text{RESET}}$ 端子入力，パワーオン・クリア回路 (POC) によるリセット発生，オンチップ・デバッグ機能による強制リセット (RESFレジスタ・クリア)
WDT, LVIによるリセット発生 (RESFレジスタ・セット)
ビット操作命令またはストア命令によるWDTRF, LVIRFビットへの0ライト (RESFレジスタ・クリア)

2. フラグ・セット要因発生時にリセット・マスクを設定していても，フラグはセットされます (リセット・マスクの影響を受けない)。

23.3 動作

(1) RESET端子入力によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

RESET端子へのロウ・レベル入力期間中も発振回路は発振を継続しますが、発振モードはクロック・スルー・モード (PLLCTLレジスタ = 01H) に、CPUクロック (f_{CPU}) 分周は、 $f_{xx}/8$ (PCCレジスタ = 03H) に初期化されます。

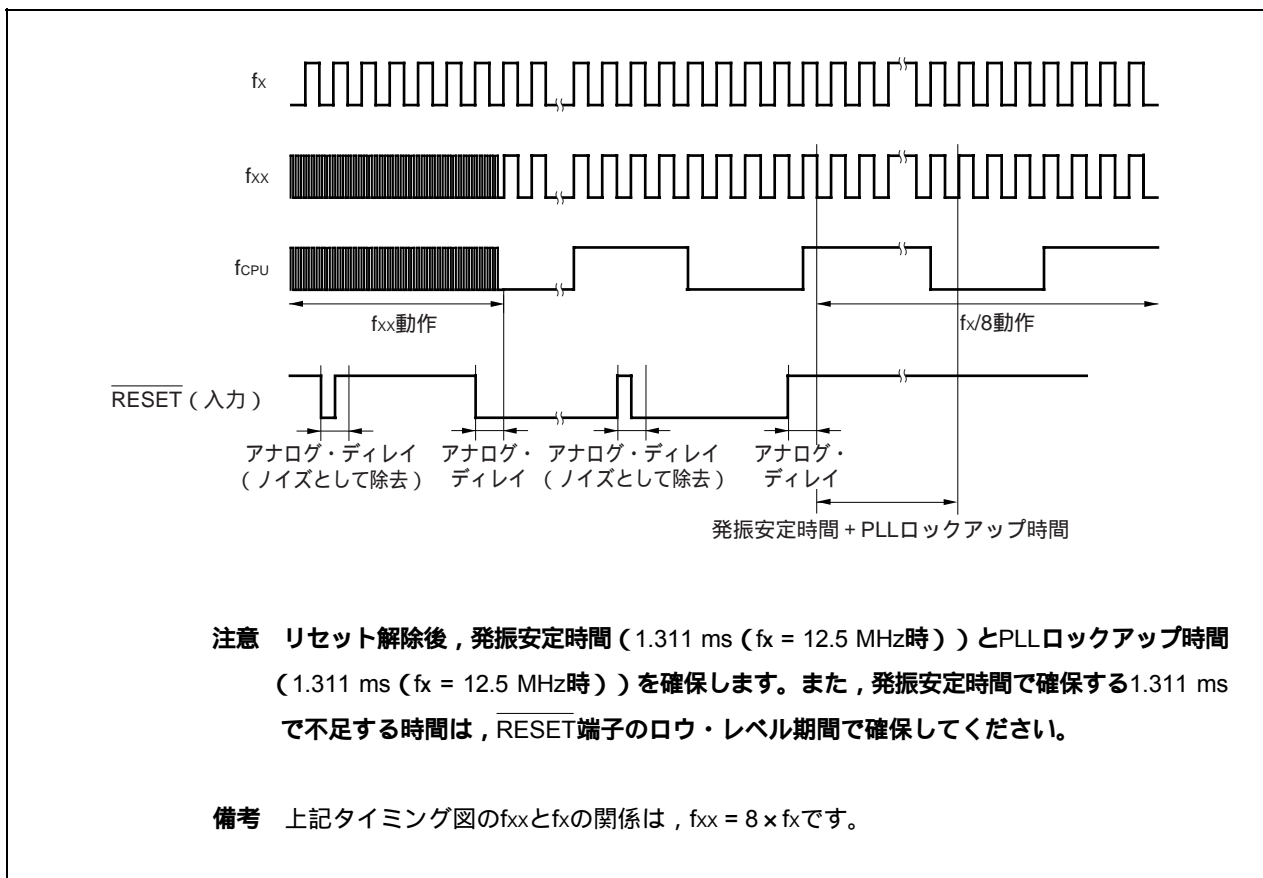
RESET端子がロウ・レベルからハイ・レベルに変化すると、リセット状態を解除します。リセット状態を解除後、発振回路の発振安定時間とPLLのロックアップ時間 (両時間の合計時間としてOSTSレジスタの初期値: $2^{15}/f_x$ (2.62 ms ($f_x = 12.5$ MHz時))) を確保したあと、CPUはプログラムの実行を開始します。したがって、リセット解除後はクロック・スルー・モードおよび $f_{xx}/8$ で動作を開始します。

リセット期間中とリセット解除後の各ハードウェアの状態を次に示します。

項目	リセット期間中	リセット解除後
クロック・ジェネレータ： 発振回路 (f_x) 内部システム・クロック (f_{CLK}) CPUクロック (f_{CPU})	発振 / 供給継続 ただし、CPUクロック (f_{CPU}) を $f_{xx}/8$ に初期化する	
クロック・ジェネレータ： 周辺クロック ($f_{xx}-f_{xx}/4096$)	発振 / 供給停止	発振安定時間を確保後、発振 / 供給開始
クロック・ジェネレータ： ウォッチドッグ・タイマ・クロック ($f_{xx}/1024$)	発振 / 供給停止	発振 / 供給開始
CPU	初期化	発振安定時間を確保後、プログラムの実行開始
内蔵RAM	リセット入力時にSTOPモードの場合のみリセット入力直前の値を保持。それ以外は不定。	
ポート (兼用端子も含む)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ (ポート以外)	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	動作開始可能

RESET端子入力によるリセット動作を次に示します。

図23 - 1 RESET端子入力によるリセット動作



リセット解除後の動作は、PLLモード、クロック・スルー・モードともに共通で、クロック・スルー・モードで立ち上がります。PLLモードにする場合には、ソフトウェアで制御してください（PLLCTL.SELPLLビット = 1に設定）。耐ノイズを考慮する場合には、PLLモードに設定してから、CPUクロックを高速化（例：PCCレジスタ = 00H（ f_{xx} 動作））させることを推奨します。

(2) ウォッチドッグ・タイマ (WDT) のオーバフローによるリセット動作 (WDTRES)

ウォッチドッグ・タイマ (WDT) のオーバフローによるリセット・モードに設定した (WDTM.WDM1, WDM0ビット = 10または11) 場合, WDTにオーバフロー (WDTRES) が発生すると, システム・リセットがかかり, 各ハードウェアを所定の状態に初期化します。

WDTRES信号が発生するとRESF.WDTRFビットをセット (1) し, 内部リセットが発生したことを示します。

RESFレジスタ動作以外のリセット期間中およびリセット解除後の動作は, $\overline{\text{RESET}}$ 端子入力によるリセット動作と同じです ((1) $\overline{\text{RESET}}$ 端子入力によるリセット動作参照)。

(3) 低電圧検出回路 (LVI) によるリセット動作 (LVIRES)

LVIの動作許可時, 電源電圧 (V850E/IG4-Hの場合: EV_{DD0} , EV_{DD1} , EV_{DD2} , V850E/IH4-Hの場合: FV_{DD}) と検出電圧 (V_{LVI}) を比較し, 電源電圧 < 検出電圧になると, システム・リセットがかかり (LVIM.LVIMDビット = 1設定時), 各ハードウェアを所定の状態に初期化します。

電源電圧 < 検出電圧でリセット状態となり, 電源電圧 検出電圧でリセット解除されます。リセット解除後は, 発振回路の発振安定時間 (OSTSレジスタの初期値: $2^{15}/f_x$) を確保したあと, CPUはプログラムの実行を開始します。

リセット期間中およびリセット解除後の各ハードウェアの状態は, $\overline{\text{RESET}}$ 端子によるリセット動作と同じです ((1) $\overline{\text{RESET}}$ 端子入力によるリセット動作参照)。

低電圧検出回路 (LVI) によるリセット動作の詳細については, 第24章 低電圧検出回路を参照してください。

(4) パワーオン・クリア回路 (POC) によるリセット動作 (POCRES)

電源電圧 (V850E/IG4-Hの場合: EV_{DD0} , EV_{DD1} , EV_{DD2} , V850E/IH4-Hの場合: FV_{DD}) と検出電圧 (V_{POC0}) を比較し, 電源電圧 < 検出電圧になる (電源投入時含む) と, システム・リセットがかかり, 各ハードウェアを所定の状態に初期化します。

電源電圧 < 検出電圧でリセット状態となり, 電源電圧 検出電圧でリセット解除されます。リセット解除後は, 発振回路の発振安定時間 (OSTSレジスタの初期値: $2^{15}/f_x$) を確保したあと, CPUはプログラムの実行を開始します。

リセット期間中およびリセット解除後の各ハードウェア状態は, $\overline{\text{RESET}}$ 端子によるリセット動作と同じです ((1) $\overline{\text{RESET}}$ 端子入力によるリセット動作参照)。

パワーオン・クリア回路 (POC) によるリセット動作の詳細については, 第25章 パワーオン・クリア回路を参照してください。

第24章 低電圧検出回路

24.1 機 能

低電圧検出回路（LVI）は、次のような機能を持ちます。

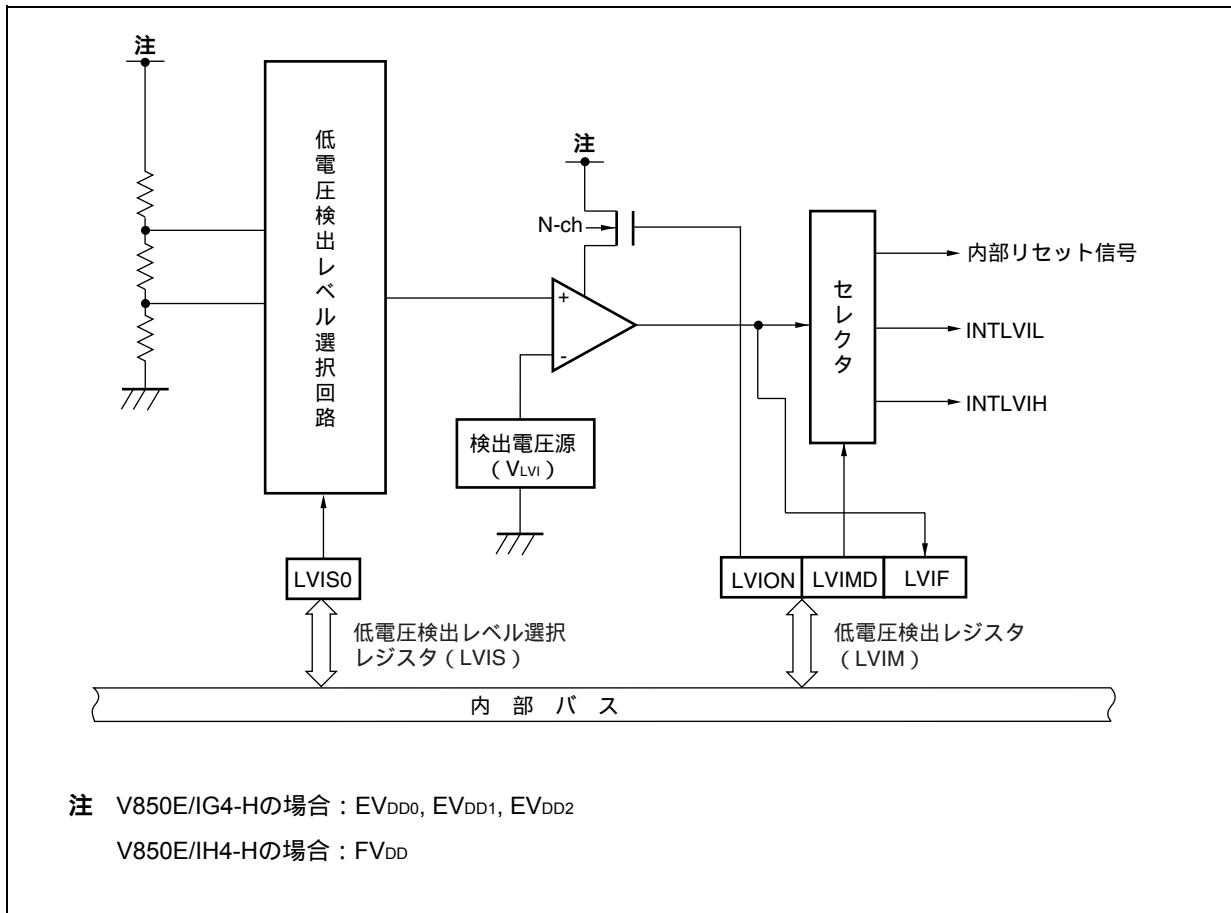
- ・電源電圧（V850E/IG4-Hの場合：EV_{DD0}, EV_{DD1}, EV_{DD2} , V850E/IH4-Hの場合：FV_{DD}）と検出電圧（V_{LVI}）を比較し、電源電圧 < 検出電圧になったとき、割り込み要求信号（INTLVIL, INTLVIH）または内部リセット信号（LVIRE）を発生します。
- ・電源電圧の検出レベル（2段階）をソフトウェアにて変更できます。
- ・割り込み要求信号（INTLVIL, INTLVIH） / 内部リセット信号（LVIRE）を選択可能です。
- ・STOPモードにおいても動作可能です。
- ・ソフトウェアにて動作停止可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとRESF.LVIRFビットがセット（1）されます。RESFレジスタについての詳細は、**第23章 リセット機能**を参照してください。

24.2 構成

次にブロック図を示します。

図24 - 1 低電圧検出回路のブロック図



24.3 制御レジスタ

(1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは、低電圧検出動作モードを設定するレジスタです。LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

低電圧検出回路 (LVI) によるリセット以外のリセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF890H

	⑦	6	5	4	3	2	①	①
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可/禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 < 検出電圧時に割り込み要求信号INTLVILを発生 電源電圧 > 検出電圧時に割り込み要求信号INTLVIHを発生
1	電源電圧 < 検出電圧時に内部リセット信号LVIRESETを発生

LVIF	低電圧検出フラグ
0	電源電圧 > 検出電圧, または動作禁止時
1	電源電圧 < 検出電圧

- 注意1. LVIONビット = 1設定後, 0.1 ms以上間隔を空けてから, LVIFビットで電圧を確認してください。
- LVIFフラグの値は, LVIONビット = 1かつLVIMDビット = 0の場合に, 出力信号INTLVILまたはINTLVIHとして出力されます。
 - LVIONビット = 1かつLVIMDビット = 1に設定した場合, 低電圧検出回路 (LVI) によるリセット以外のリセット要求が発生するまで低電圧検出回路 (LVI) は停止できません。
 - ビット2-6には, 必ず0を設定してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード/ライト可能です。

低電圧検出回路 (LVI) によるリセット以外のリセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	4.4 V ± 0.2 V
1	4.2 V ± 0.2 V

- 注意1.** LVIM.LVIONビット = 1かつLVIM.LVIMDビット = 1に設定したあと、低電圧検出回路 (LVI) によるリセット以外のリセット要求が発生するまで、LVISレジスタへの書き込みはできません。
- 2.** ビット1-7には必ず0を設定してください。

24.4 動作

LVIM.LVIMDビットの設定により、割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号 (LVIRES) を発生します。

24.4.1 内部リセット信号として使用する場合

<動作開始時>

低電圧検出回路 (LVI) の割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

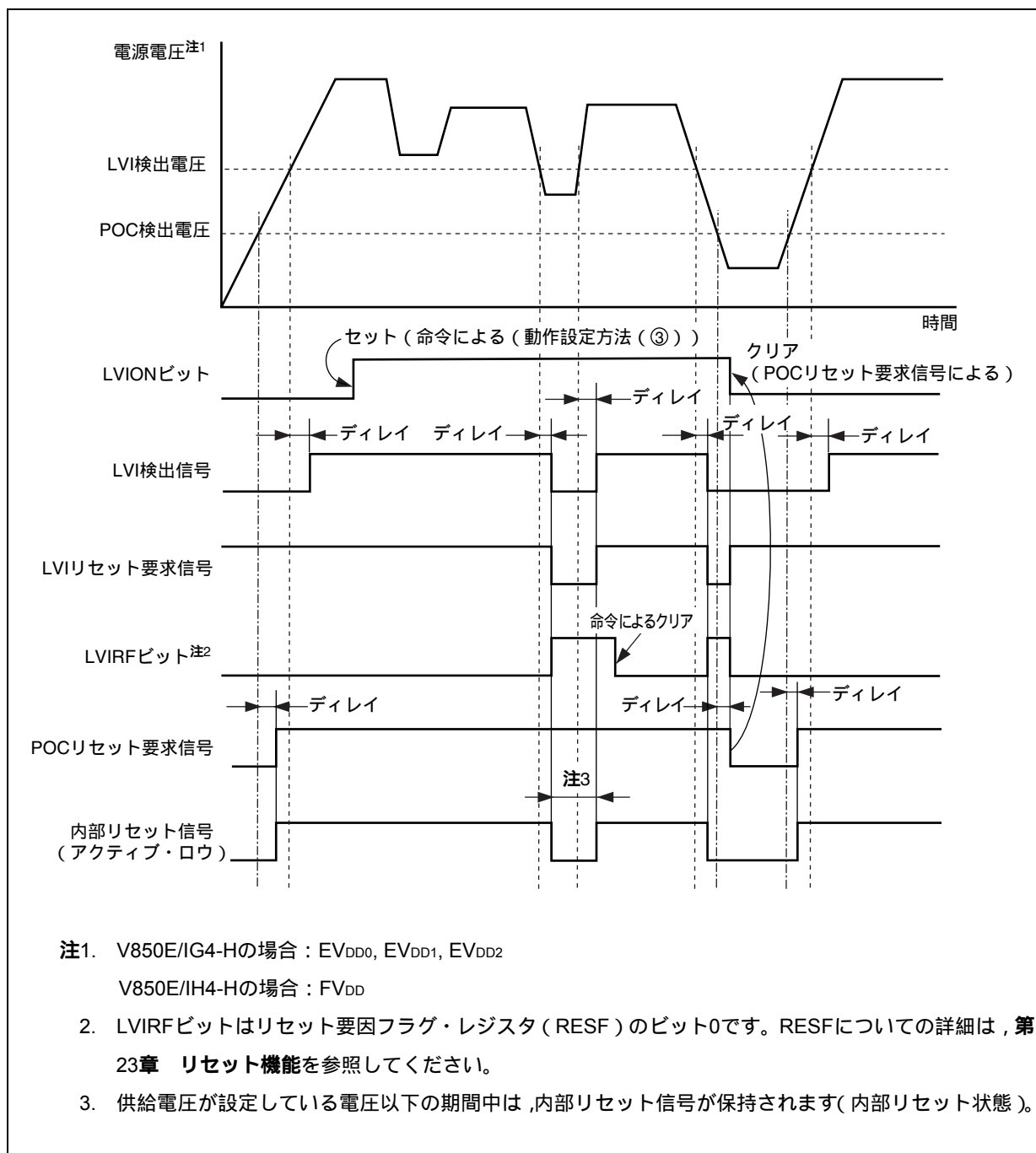
0.1 ms以上ソフトウェアにてウェイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIM.LVIMDビット = 1 (内部リセット発生) を設定します。

注意 LVIMDビット = 1に設定した場合、低電圧検出回路 (LVI) 以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

図24 - 2 低電圧検出回路の動作タイミング (LVIMDビット = 1)



24. 4. 2 割り込みとして使用する場合

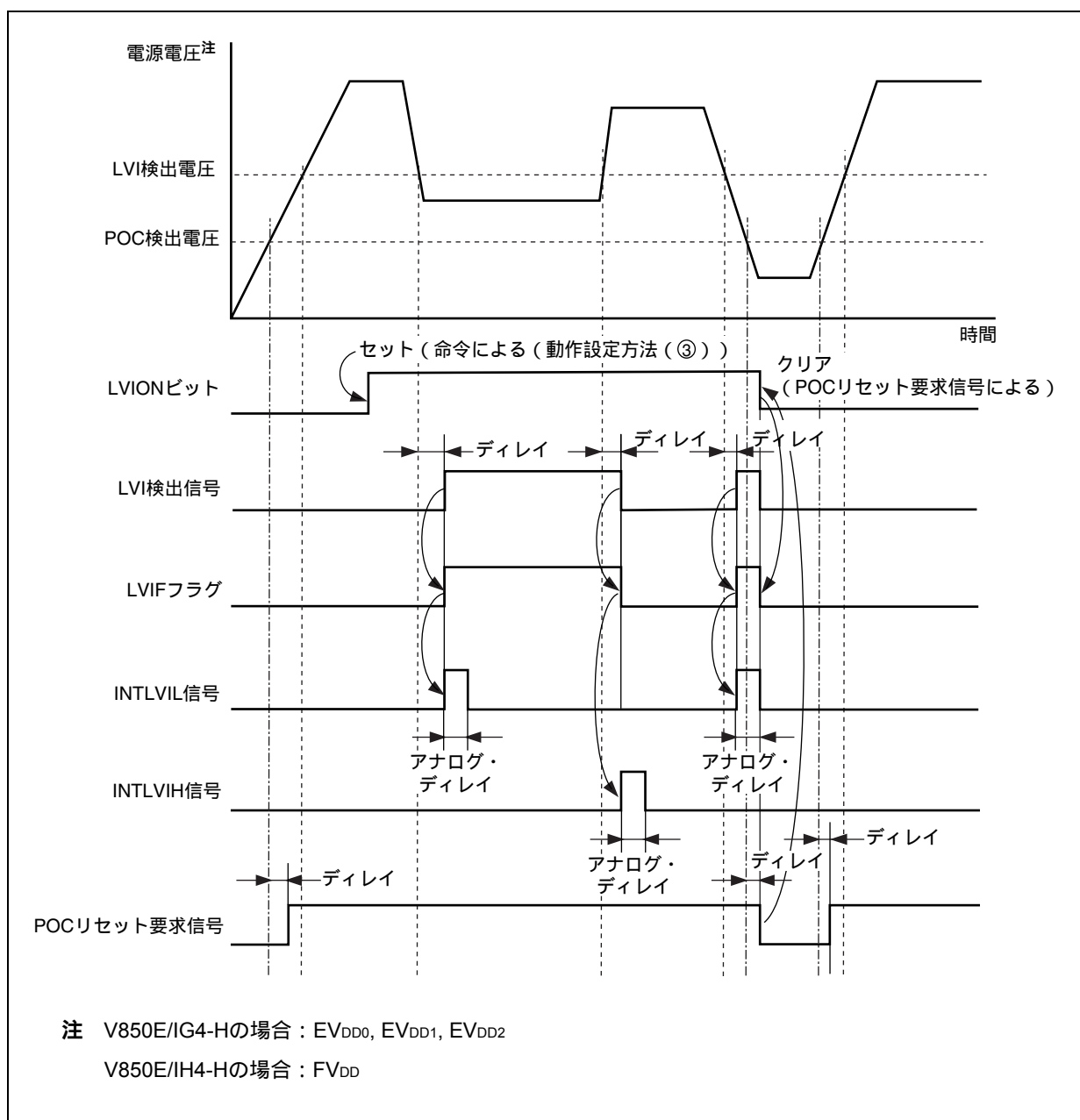
<動作開始時>

- 低電圧検出回路 (LVI) の割り込みをマスクします。
- LVIS.LVIS0ビットにて検出電圧を設定します。
- LVIM.LVIONビット = 1に設定 (動作許可) します。
- 0.1 ms以上ソフトウェアにてウェイトを挿入します。
- LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。
- LVIの割り込み要求フラグをクリアします。
- LVIの割り込みマスクを解除します。

<動作停止時>

- LVIONビット = 0に設定します。

図24 - 3 低電圧検出回路の動作タイミング (LVIMDビット = 0)



第25章 パワーオン・クリア回路

25.1 機 能

パワーオン・クリア回路 (POC) の機能を次に示します。

- ・電源投入時にリセット信号 (POCRES) を発生します。
- ・電源電圧 (V850E/IG4-Hの場合: $E_{V_{DD0}}$, $E_{V_{DD1}}$, $E_{V_{DD2}}$, V850E/IH4-Hの場合: $F_{V_{DD}}$) と検出電圧 (V_{POC0}) を比較し、電源電圧 < 検出電圧になったとき、リセット信号を発生します (検出電圧 (V_{POC0}): $3.7\text{ V} \pm 0.2\text{ V}$)。

備考 V850E/IG4-H, V850E/IH4-Hには、ウォッチドッグ・タイマのオーバーフローによるリセット信号 (WDTRES)、低電圧検出回路 (LVI) によるリセット信号 (LVIREs) の発生の有無を示すフラグが割り付けられたリセット要因フラグ・レジスタ (RESF) があります。

RESFレジスタは、WDTRES, LVIREsのいずれかのリセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。

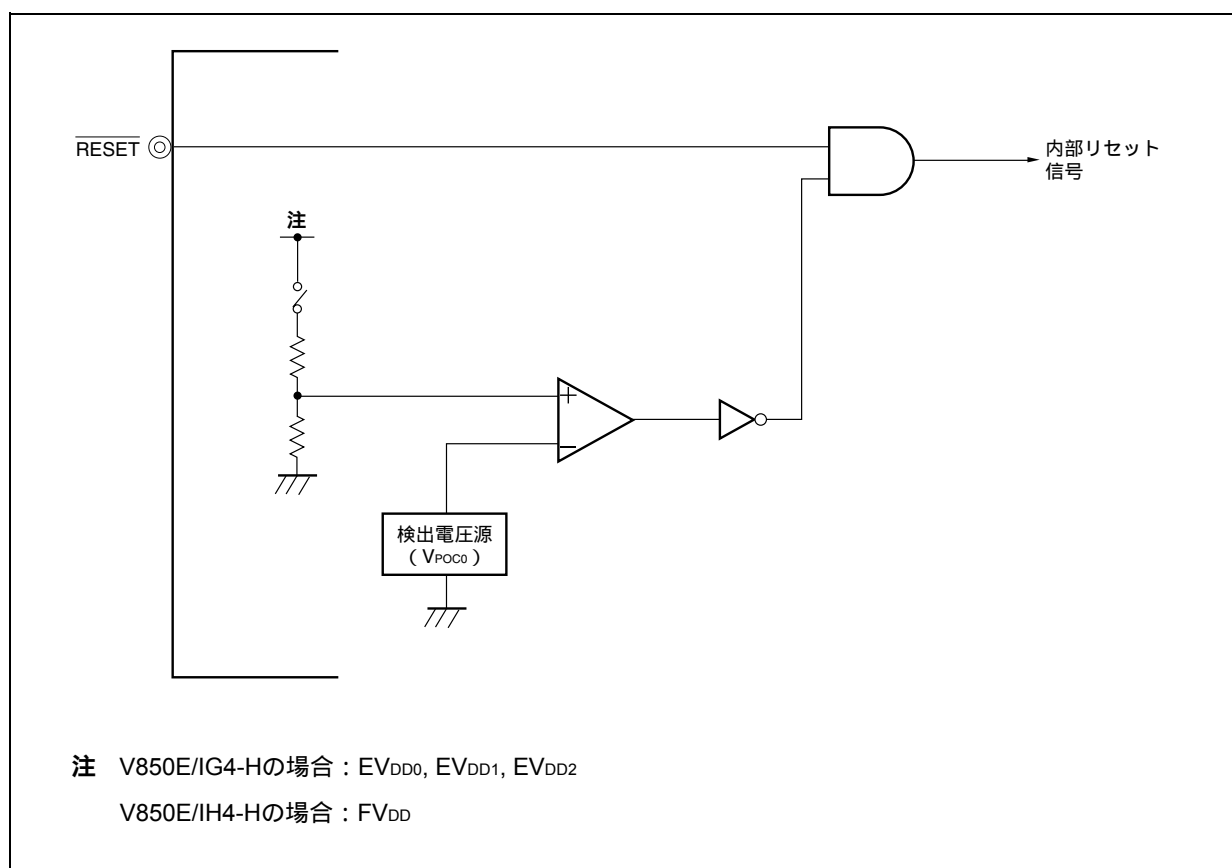
なお、パワーオン・クリア回路 (POC) によるリセット信号 (POCRES) が発生した場合は、RESFレジスタはクリア (00H) されます。

RESFレジスタの詳細については、**第23章 リセット機能**を参照してください。

25.2 構 成

次にブロック図を示します。

図25 - 1 パワーオン・クリア回路のブロック図



25.3 動作

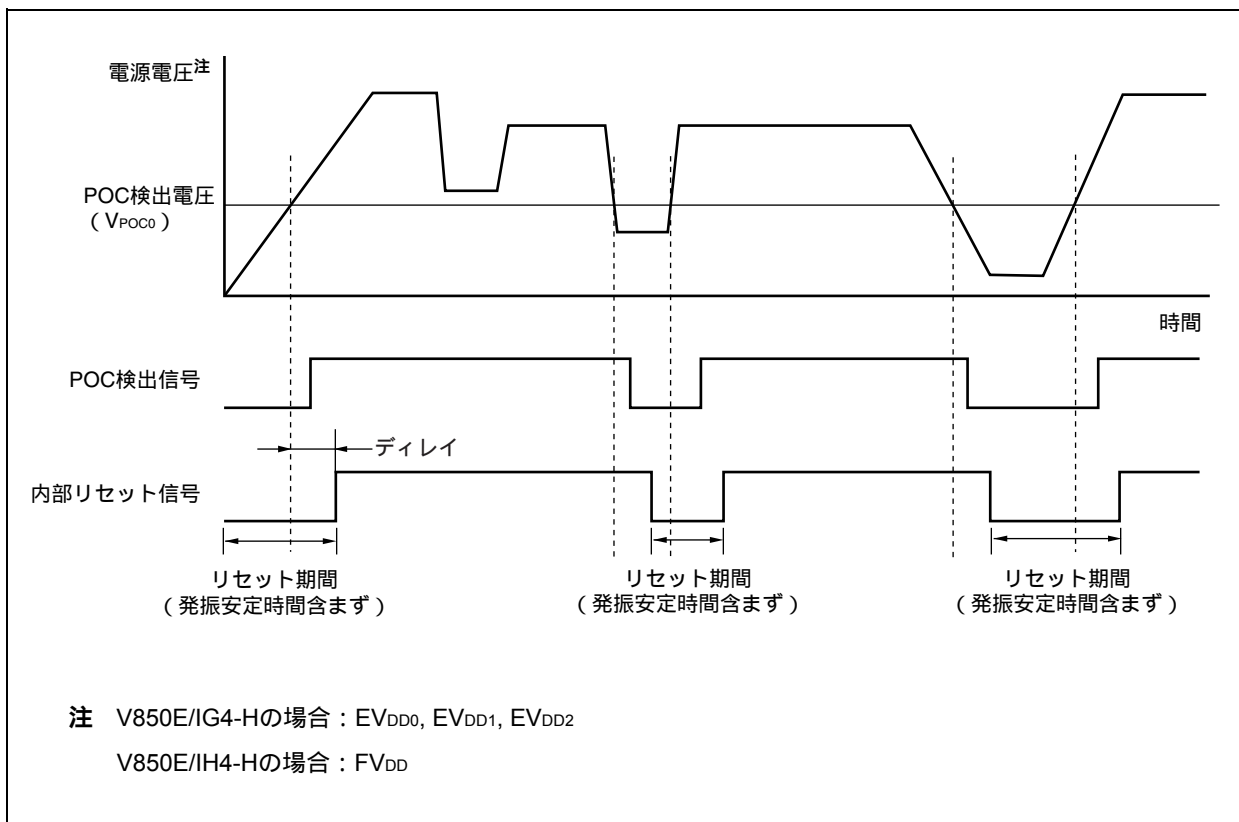
電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時含む）、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり、リセット解除後は、発振回路の発振安定時間（OSTSレジスタの初期値： $2^{15}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

リセット期間中およびリセット解除後の各ハードウェア状態は、 $\overline{\text{RESET}}$ 端子によるリセット動作と同じです（23.3(1) $\overline{\text{RESET}}$ 端子入力によるリセット動作参照）。

次にタイミング・チャートを示します。

図25-2 パワーオン・クリア回路によるリセット信号発生のタイミング



第26章 オンチップ・デバッグ機能

V850E/IG4-H, V850E/IH4-Hのオンチップ・デバッグ機能を実現するには次の3つの方法があります。

DCU (デバッグ・コントロール・ユニット) を使用する方法 (トレース機能あり) (V850E/IH4-Hのみ) :
パートナー製オンチップ・デバッグ・エミュレータ使用

\overline{DRST} , DCK, DMS, DDI, DDO, TRCCLK, TRCDATA0-TRCDATA3, TRCEND端子をデバッグ・インタフェース端子として内蔵されているDCUによってオンチップ・デバッグを実現します。

DCUを使用する方法 (トレース機能なし) : MINICUBE使用

\overline{DRST} , DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子として内蔵されているDCUによってオンチップ・デバッグを実現します。

DCUを使用しない方法 : MINICUBE2使用

DCUを使用せず, ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

3つのオンチップ・デバッグ機能の特徴を次に示します。

表26 - 1 オンチップ・デバッグ機能の特徴

	DCUを使用する方法 ()	DCUを使用する方法 ()	DCUを使用しない方法 ()
対象製品	V850E/IH4-H	V850E/IG4-H, V850E/IH4-H	V850E/IG4-H, V850E/IH4-H
デバッグ・インタフェース端子	\overline{DRST} , DCK, DMS, DDI, DDO, TRCCLK, TRCDATA0-TRCDATA3, TRCEND	\overline{DRST} , DCK, DMS, DDI, DDO	・ UARTA0使用時 RXDA0, TXDA0 ・ CSIF0使用時 SIF0, SOF0, $\overline{SCKF0}$, HS (P44)
ユーザ資源の確保	不要	不要	必要
ハードウェア・ブレイク機能	2ポイント	2ポイント	2ポイント
ソフトウェア・ブレイク機能	内蔵ROM領域	4ポイント	4ポイント
	RAM領域	2000ポイント	2000ポイント
リアルタイムRAMモニタ機能 ^{注1}	パートナー製オンチップ・デバッグ・エミュレータに依存	可能	可能
ダイナミック・メモリ・モディフィケーション (DMM) 機能 ^{注2}	パートナー製オンチップ・デバッグ・エミュレータに依存	可能	可能
マスク機能	リセット, INTWDT	リセット, INTWDT	\overline{RESET}
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証	10バイトIDコード認証
使用するハードウェア	パートナー製オンチップ・デバッグ・エミュレータ	MINICUBE	MINICUBE2
トレース機能	可能	サポートしていません	サポートしていません

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

2. プログラム実行中にRAMの内容の書き換えを行う機能です。

26. 1 DCUを使用する方法（トレース機能あり）

DCUは、JTAGでの通信やデバッグ処理の実行を実現する実行制御ユニット（RCU）、トレース機能を実現するトレース制御ユニット（TCU）、イベント検出機能を実現するトリガ・イベント・ユニット（TEU）の3つの機能ユニットから構成されています。パートナー製オンチップ・デバッグ・エミュレータを接続することにより、V850E/IH4-H単体でのオンチップ・デバッグを実現します。

注意 デバッグ機能は、V850E/IH4-Hとしてサポートしている機能であり、使用可能かどうかはデバッガによって異なります。

26. 1. 1 機能概要

(1) デバッグ機能

(a) デバッグ・インタフェース

DRST, DCK, DMS, DDI, DDO信号によりパートナー製オンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行います。インタフェースにはJTAGの通信仕様を利用しています。バウンダリ・スキャン機能はサポートしていません。

(b) オンチップ・デバッグ

ターゲット・システム上にデバッグ用の配線やコネクタを用意すれば、オンチップでのデバッグが可能です。

デバッグ用のコネクタには、パートナー製オンチップ・デバッグ・エミュレータを接続します。

(c) 強制リセット機能

V850E/IH4-H全体を強制的にリセットできます。

(d) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます（ただし、不正命令コード例外のハンドラ（先頭アドレス：00000060H）は使用できません）。

(e) デバッグ・モニタ機能

デバッグ中はユーザのメモリ空間とは異なるデバッグ用のメモリ空間を使用します（バググラウンド・モニタ形式）。ユーザ・プログラムを任意のアドレスから実行開始可能です。

また、ユーザ・プログラム中断中のユーザ・リソース（メモリ、I/Oなど）のリード/ライトやユーザ・プログラムのダウンロードが可能です。

(f) マスク機能

- (i) ノンマスカブル割り込み要求信号 (INTWDT), すべてのマスカブル割り込み要求信号のマスクが可能です。
- (ii) デバッグ接続した場合, デフォルトで, ターゲット・ボード上の $\overline{\text{RESET}}$ 端子入力は, マスクされます (V850E/IH4-Hに電源投入後, デバッグを立ち上げた時点で, $\overline{\text{RESET}}$ 端子入力がマスクされます)。
 $\overline{\text{RESET}}$ 端子への入力を有効にする場合は, デバッガ上からマスクを解除できますが, デバッグ中 (RUN実行中) に $\overline{\text{RESET}}$ 端子への入力があった場合, 次の問題が発生することがあります。

- ・ブレーク機能などが誤動作することがあります。誤動作時は, 再立ち上げを実行してください。
- ・ $\overline{\text{RESET}}$ 端子入力の前後のトレース・データが不正となることがあります。 $\overline{\text{RESET}}$ 解除後は, 正常復帰します。

(2) トレース機能

(a) PCトレース (分岐トレース) 機能

ユーザ・プログラム実行中に発生するすべての分岐 (処理の遷移) をトレースできます。

トレース要因は, 機能別に分類された12種類の分岐要因から選択可能で, 任意アドレスの命令実行からのPCトレースの開始やトレース要因の切り替えが可能です。

トレース・スタート・トリガは2本です。

(b) データ・トレース機能

CPUが発行する最大1 Kバイトから最小4バイトまでの範囲で, 任意のアドレスへのデータ・アクセスをトレースできます。

リード/ライト・データをトレース可能で, データ・トレース・ポイントは2本です。

ただし, DMACが発行するデータ・アクセスはトレースできません。

(c) リアルタイム・トレース・モード

ユーザ・プログラムのリアルタイム実行での分岐, データ・アクセスをトレースできます。

検出されたトレース要因のトレース・パケットはトレース・バッファに格納され, トレース・インタフェース端子 (TRCCLK, TRCDATA0-TRCDATA3, TRCEND) から出力されます (トレース・バッファにトレース・パケットが格納できなくなると, トレース・パケットの取りこぼしが発生します)。

(d) 完全トレース・モード (ノンリアルタイム・トレース・モード)

ユーザ・プログラムのすべての分岐, データ・アクセスをトレースできます。

完全トレース・モードでは, トレース・インタフェース端子からのトレース・データ出力の時間を確保するために, 一時的にCPUのパイプラインをホールドさせて命令の実行を停止し, トレース・パケットの取りこぼしを防止しています。

(3) イベント機能

(a) 命令系イベント検出機能

実行PCの大小比較によるイベント検出（10個）や実行PCの範囲イベント検出（2個1組で最大4組）が可能です。

なお、命令系イベント要因をブレーク要因にした場合は、イベント検出した命令実行前ブレークが2個、命令を実行したあとのブレークが8個検出できます。

(b) アクセス系イベント検出機能

次の内容でのイベント検出が可能です。

- ・アクセス・アドレスの大小比較（4個）
- ・アクセス・アドレスによる範囲（2個1組で最大2組）
- ・アクセス・データの一致，不一致
- ・データのマスクによる特定ビットのデータ
- ・アクセス・サイズ

なお、アクセス系イベント要因はアクセス後検出です。アクセス系イベント要因をブレーク要因にした場合は、イベント検出したアクセスを発行した命令から、さらに数命令実行したあとにブレークします。

(c) シーケンシャル・イベント検出機能

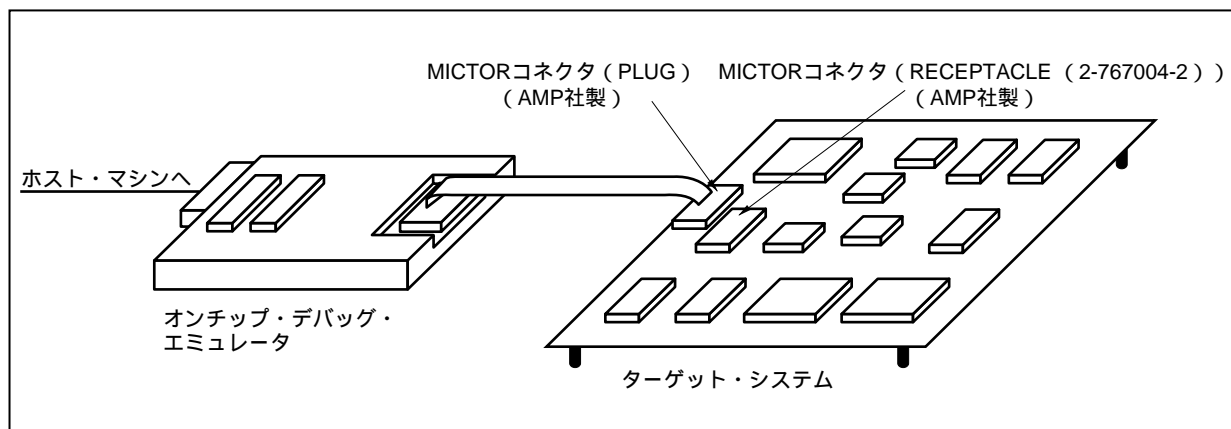
最大4段のイベントの連続発生によるイベント検出やイベントの連続発生をクリアするイベント検出が可能です。

また、12ビットのパス・カウンタによるシーケンシャル・イベントのカウントが可能です。

26. 1. 2 パートナー製オンチップ・デバッグ・エミュレータとの接続

ターゲット・システム上にエミュレータ接続用コネクタと接続用回路を実装する必要があります。

図26 - 1 パートナー製オンチップ・デバッグ・エミュレータの接続



(1) エミュレータ接続コネクタ

次にエミュレータ接続コネクタのピン機能を示します。

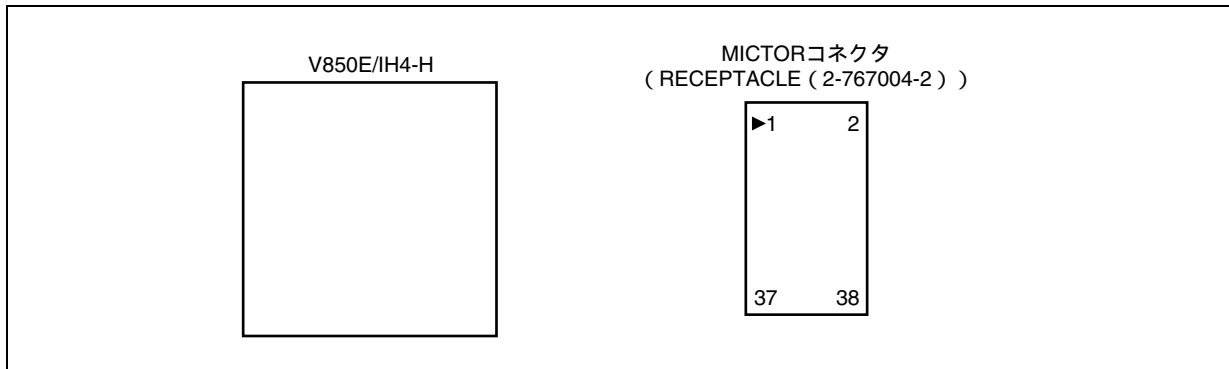
表26 - 2 エミュレータ接続コネクタ・ピン機能

ピン番号	端子名	入出力方向	端子機能
1	GND	-	-
2	GND	-	-
3	DCK	V850E/IH4-H エミュレータ	デバッグ・シリアル・インタフェース用クロック (V850E/IH4-H エミュレータ)
4	V _{DD}	-	5 V (V850E/IH4-H エミュレータ) (ターゲット電源投入監視用)
5	DMS	V850E/IH4-H エミュレータ	デバッグ・シリアル・インタフェース用転送モード選択 (V850E/IH4-H エミュレータ)
6	DRST	V850E/IH4-H エミュレータ	DCUリセット (V850E/IH4-H エミュレータ)
7	DDI	V850E/IH4-H エミュレータ	デバッグ・シリアル・インタフェース用データ (V850E/IH4-H エミュレータ)
8	RESET	V850E/IH4-H エミュレータ	システム・リセット入力信号 (V850E/IH4-H エミュレータ)
9	DDO	V850E/IH4-H エミュレータ	デバッグ・シリアル・インタフェース用データ (V850E/IH4-H エミュレータ)
10	FLMD0	V850E/IH4-H エミュレータ	プログラミング・モード信号 (V850E/IH4-H エミュレータ)
11	(予約1)	-	(オープンにしてください)
12	PORT0_OUT	V850E/IH4-H エミュレータ	汎用制御信号0 (V850E/IH4-H エミュレータ)
13	(予約2)	-	(オープンにしてください)
14	PORT0_IN	V850E/IH4-H エミュレータ	汎用制御信号0 (V850E/IH4-H エミュレータ)
15	(予約3)	-	(オープンにしてください)
16	PORT1_IN	V850E/IH4-H エミュレータ	汎用制御信号1 (V850E/IH4-H エミュレータ)
17	TRCCLK	V850E/IH4-H エミュレータ	トレース・クロック (V850E/IH4-H エミュレータ)
18	PORT2_IN	V850E/IH4-H エミュレータ	汎用制御信号2 (V850E/IH4-H エミュレータ)
19	TRCEND	V850E/IH4-H エミュレータ	トレース・データ・エンド (V850E/IH4-H エミュレータ)
20	TRCCE	V850E/IH4-H エミュレータ	トレース・パケット圧縮イネーブル信号 (V850E/IH4-H エミュレータ)
21	TRCDATA0	V850E/IH4-H エミュレータ	トレース・データ0 (V850E/IH4-H エミュレータ)
22	TRCDATA8	V850E/IH4-H エミュレータ	トレース・データ8 (V850E/IH4-H エミュレータ)
23	TRCDATA1	V850E/IH4-H エミュレータ	トレース・データ1 (V850E/IH4-H エミュレータ)
24	TRCDATA9	V850E/IH4-H エミュレータ	トレース・データ9 (V850E/IH4-H エミュレータ)
25	TRCDATA2	V850E/IH4-H エミュレータ	トレース・データ2 (V850E/IH4-H エミュレータ)
26	TRCDATA10	V850E/IH4-H エミュレータ	トレース・データ10 (V850E/IH4-H エミュレータ)
27	TRCDATA3	V850E/IH4-H エミュレータ	トレース・データ3 (V850E/IH4-H エミュレータ)
28	TRCDATA11	V850E/IH4-H エミュレータ	トレース・データ11 (V850E/IH4-H エミュレータ)
29	TRCDATA4	V850E/IH4-H エミュレータ	トレース・データ4 (V850E/IH4-H エミュレータ)
30	TRCDATA12	V850E/IH4-H エミュレータ	トレース・データ12 (V850E/IH4-H エミュレータ)
31	TRCDATA5	V850E/IH4-H エミュレータ	トレース・データ5 (V850E/IH4-H エミュレータ)
32	TRCDATA13	V850E/IH4-H エミュレータ	トレース・データ13 (V850E/IH4-H エミュレータ)
33	TRCDATA6	V850E/IH4-H エミュレータ	トレース・データ6 (V850E/IH4-H エミュレータ)
34	TRCDATA14	V850E/IH4-H エミュレータ	トレース・データ14 (V850E/IH4-H エミュレータ)
35	TRCDATA7	V850E/IH4-H エミュレータ	トレース・データ7 (V850E/IH4-H エミュレータ)
36	TRCDATA15	V850E/IH4-H エミュレータ	トレース・データ15 (V850E/IH4-H エミュレータ)
37	GND	-	-
38	GND	-	-

備考 次のページに注意の説明を記載しています。

- 注意1. V850E/IH4-Hでサポートしていない端子の接続については、使用されるエミュレータに依存します。
2. 高速対応のインタフェースにするために、ターゲット・ボード上のパターンは次に示す条件にする必要があります。

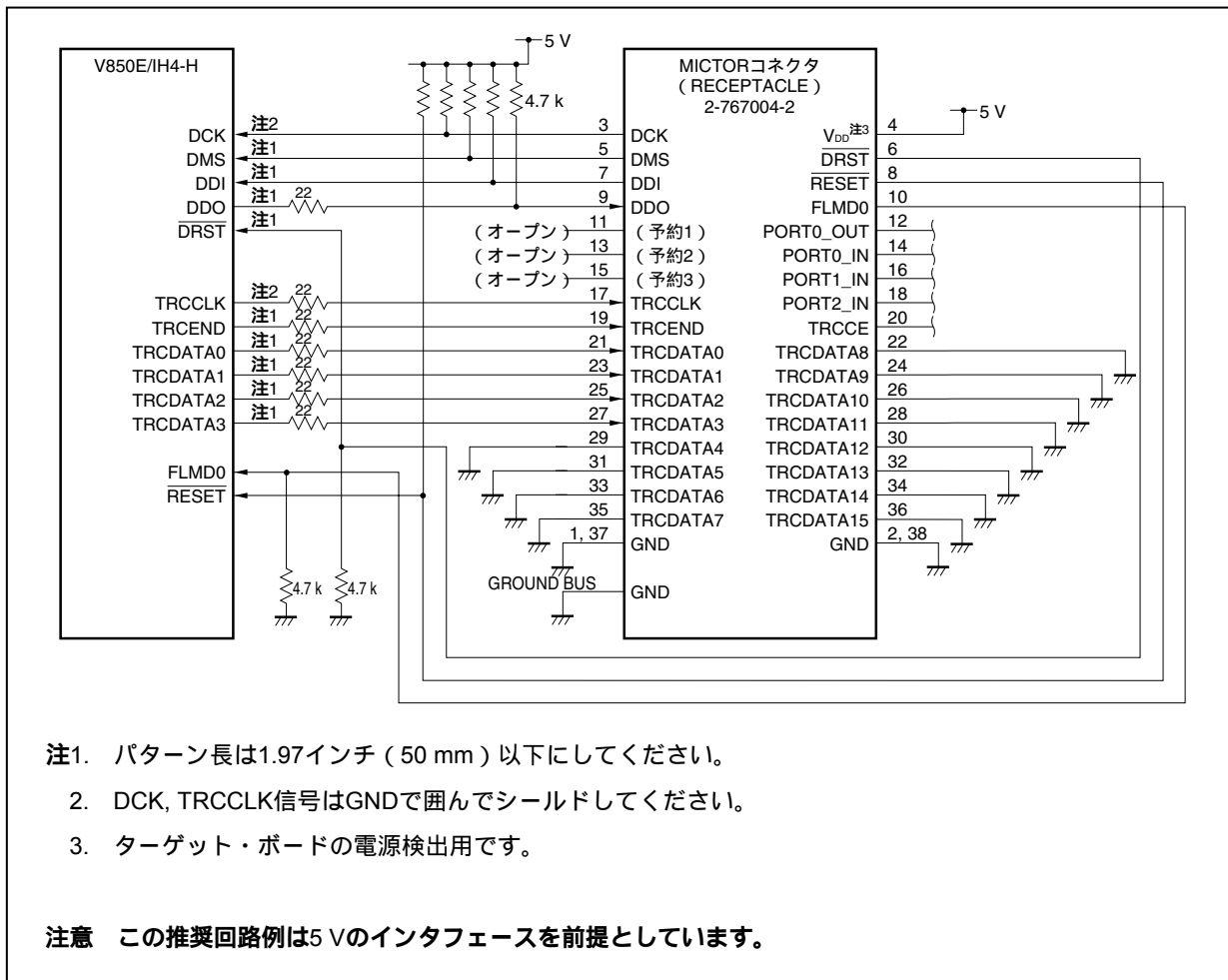
- ・デバイス (V850E/IH4-H) 側が奇数ピンになる方向でレイアウトしてください。
- ・パターン長は、1.97インチ (50 mm) 以下にしてください。
- ・クロック信号はGNDでシールドしてください。



(2) 推奨回路例

次にエミュレータ接続コネクタ部 (ターゲット・システム側) の推奨回路例を示します。

図26 - 2 エミュレータ接続推奨回路例



26.2 DCUを使用する方法（トレース機能なし）

デバッグ・インタフェース端子（ \overline{DRST} , DCK, DMS, DDI, DDO端子）を利用して，オンチップ・デバッグ・エミュレータ（MINICUBE）を接続することで，プログラムのデバッグが可能です。

26.2.1 接続回路例

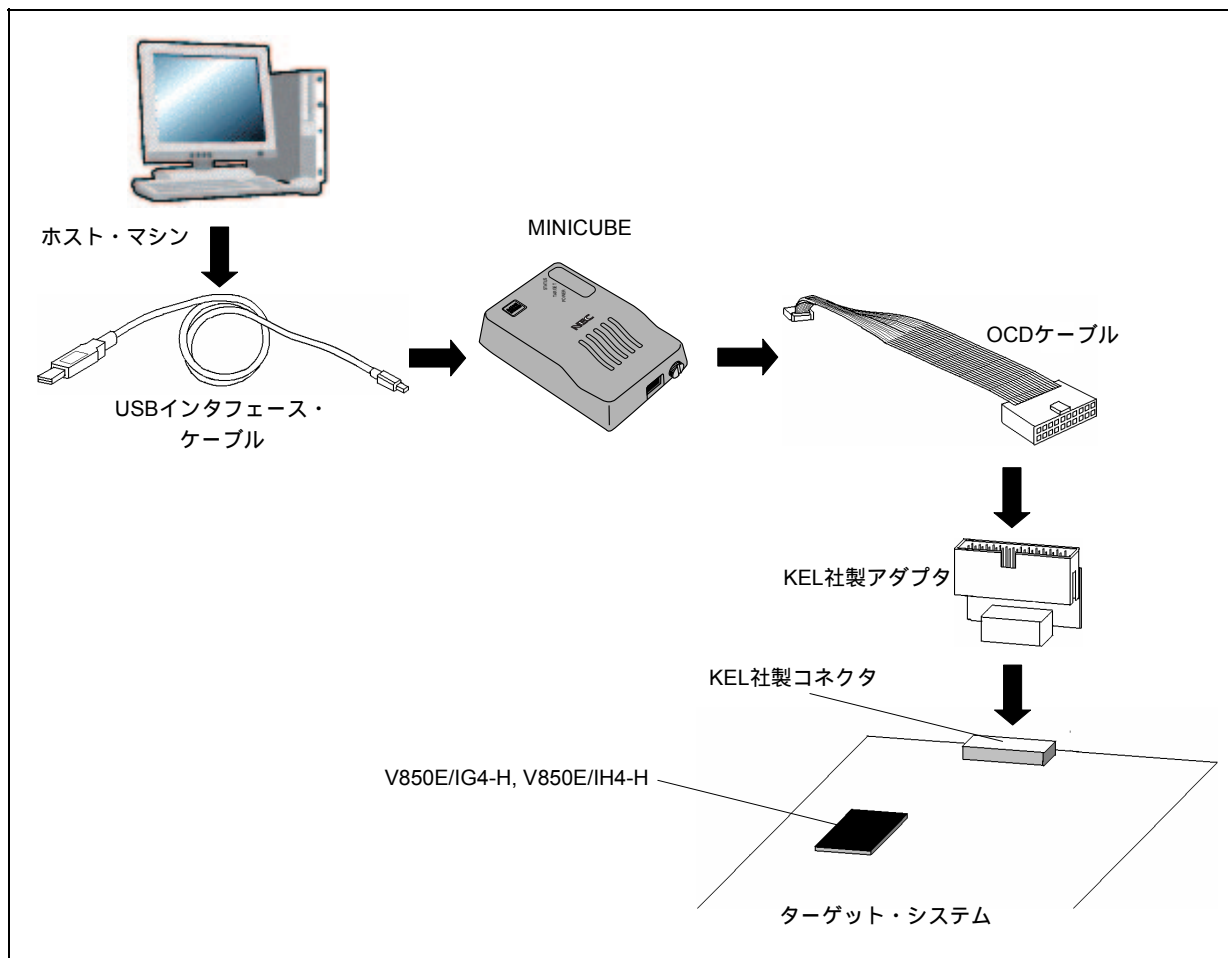
MINICUBEを使用する場合は，KEL社製の次のコネクタを推奨します。

製品名

- ・ 8830E-026-170S：ストレート・タイプ
- ・ 8830E-026-170L：ライト・アングル・タイプ

ターゲット・システム上にエミュレータと接続用回路を実装する必要があります。

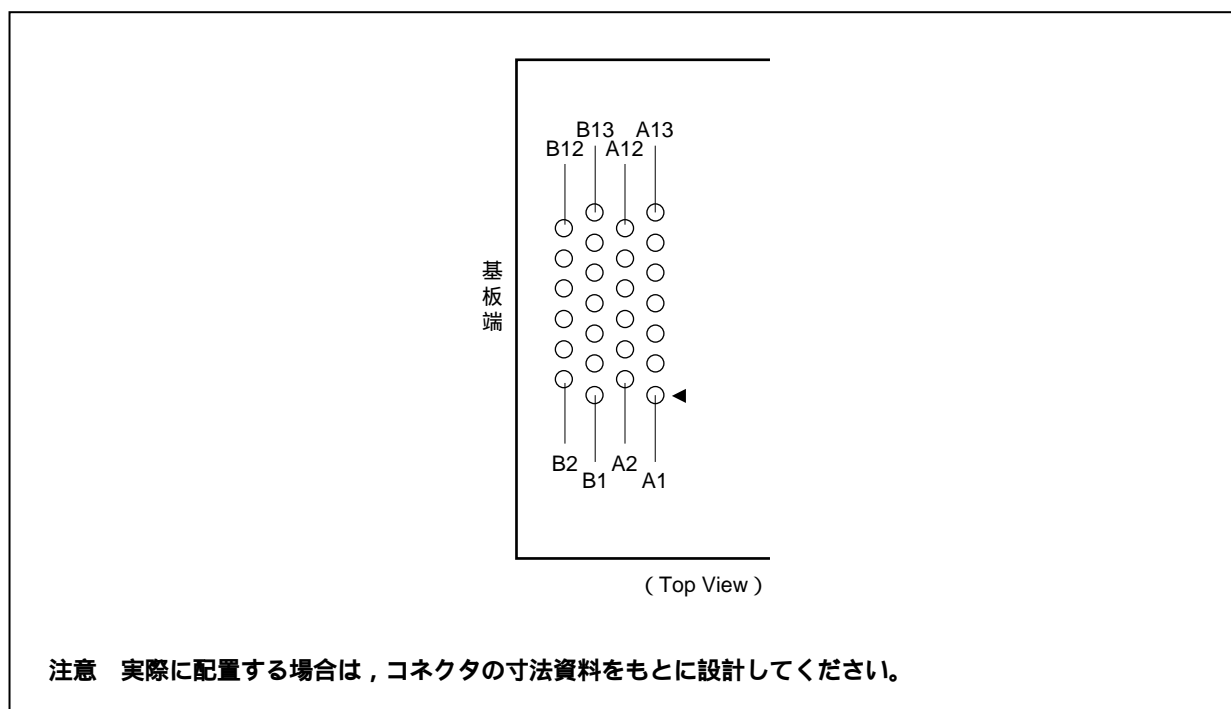
図26-3 オンチップ・デバッグ・エミュレータ（MINICUBE）との接続例



(1) ピン配置図

次にエミュレータ接続用コネクタ（ターゲット・システム側）のピン配置図を示します。

図26 - 4 エミュレータ接続用コネクタ（ターゲット・システム側）のピン配置図



(2) ピン機能

次にエミュレータ接続用コネクタ（ターゲット・システム側）のピン機能を示します。

表26 - 3 エミュレータ接続用コネクタ（ターゲット・システム側）ピン機能

ピン番号	端子名	入出力	端子機能
A1	(予約1)	-	(GNDに接続してください)
A2	(予約2)	-	(GNDに接続してください)
A3	(予約3)	-	(GNDに接続してください)
A4	(予約4)	-	(GNDに接続してください)
A5	(予約5)	-	(GNDに接続してください)
A6	(予約6)	-	(GNDに接続してください)
A7	DDI	出力	デバッグ・シリアル・インタフェース用データ出力
A8	DCK	出力	デバッグ・シリアル・インタフェース用クロック出力
A9	DMS	出力	デバッグ・シリアル・インタフェース用転送モード選択出力
A10	DDO	入力	デバッグ・シリアル・インタフェース用データ入力
A11	$\overline{\text{DRST}}$	出力	DCUリセット出力
A12	(予約7)	-	(オープンにしてください)
A13	FLMD0	出力	フラッシュ・ダウンロード用制御信号
B1	GND	-	-
B2	GND	-	-
B3	GND	-	-
B4	GND	-	-
B5	GND	-	-
B6	GND	-	-
B7	GND	-	-
B8	GND	-	-
B9	GND	-	-
B10	GND	-	-
B11	PORT0_IN	-	(GNDに接続してください)
B12	PORT1_IN	-	(GNDに接続してください)
B13	V _{DD}	-	5V入力(ターゲット電源投入監視用)

注意1. V850E/IG4-H, V850E/IH4-Hでサポートしていない端子の接続については、使用されるエミュレータに依存します。

2. ターゲット・ボード上のパターンは次に示す条件にする必要があります。

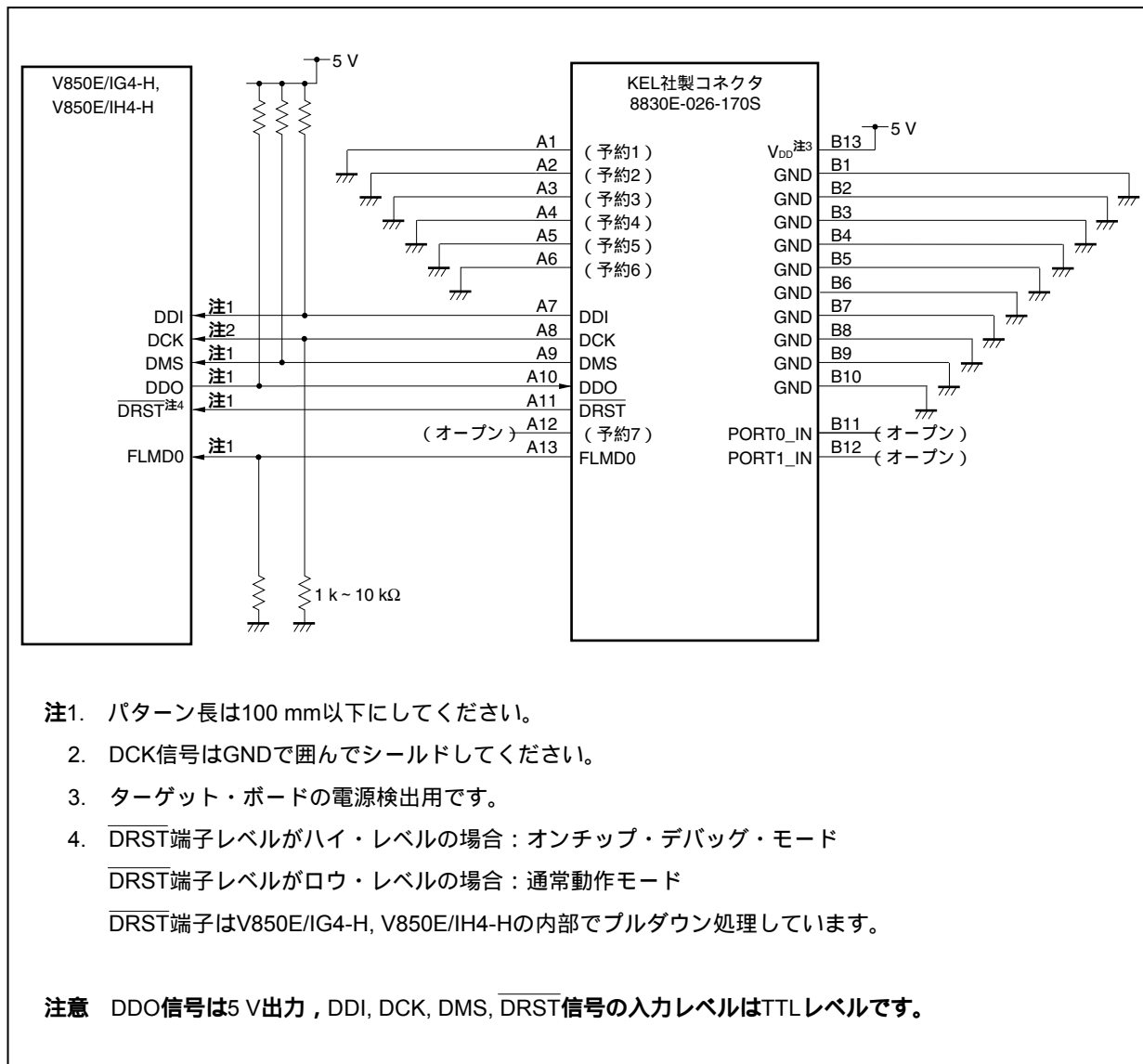
- ・パターン長は100 mm以下にしてください。
- ・クロック信号はGNDでシールドしてください。

備考 入出力はエミュレータ側からの方向です。

(3) 推奨回路例

次にエミュレータ接続用コネクタ部（ターゲット・システム側）の推奨回路例を示します。

図26 - 5 エミュレータ接続推奨回路例



26. 2. 2 インタフェース信号

V850E/IG4-H, V850E/IH4-H側のインタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

内蔵のオンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニット (DCU) を非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッグの起動後にターゲット・システムのVDDを検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルにして出力し、V850E/IG4-H, V850E/IH4-Hのオンチップ・デバッグ・ユニットを起動させます。ターゲット・システムからのVDDが未検出の場合は、MINICUBEからの出力信号 ($\overline{\text{DRST}}$, DCK, DMS, DDI, FLMD0端子) はハイ・インピーダンスになります。

V850E/IG4-H, V850E/IH4-Hは、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることで、リセットが発生します。

統合デバッグを起動してデバッグを開始する際には、必ずリセットが発生します。

(2) DCK

クロック入力信号です。MINICUBEから20 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がりに同期してDMS, DDI信号をサンプリングし、DCK信号の立ち下がりに同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりオンチップ・デバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

MINICUBEから制御する場合

MINICUBEからのFLMD0信号をV850E/IG4-H, V850E/IH4-HのFLMD0端子に接続します。

通常モード時はMINICUBEからは何もドライブしません（ハイ・インピーダンス）。

ブレイク中、統合デバッガのダウンロード機能を実行した際にMINICUBEはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

V850E/IG4-H, V850E/IH4-Hの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB Ver.3.40 **統合デバッガ ユーザーズ・マニュアル 操作編 (U18604J)** を参照してください。

26.2.3 マスク機能

リセット、INTWDT信号のマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表26 - 4 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850E/IG4-H, V850E/IH4-Hの機能
NMI0	ノンマスクブル割り込み要求信号 (INTWDT) 発生
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力、ウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) 発生、低電圧検出回路 (LVI) によるリセット信号 (LVIREs) 発生、パワーオン・クリア回路 (POC) によるリセット信号 (POCREs) 発生

26. 2. 4 注意事項

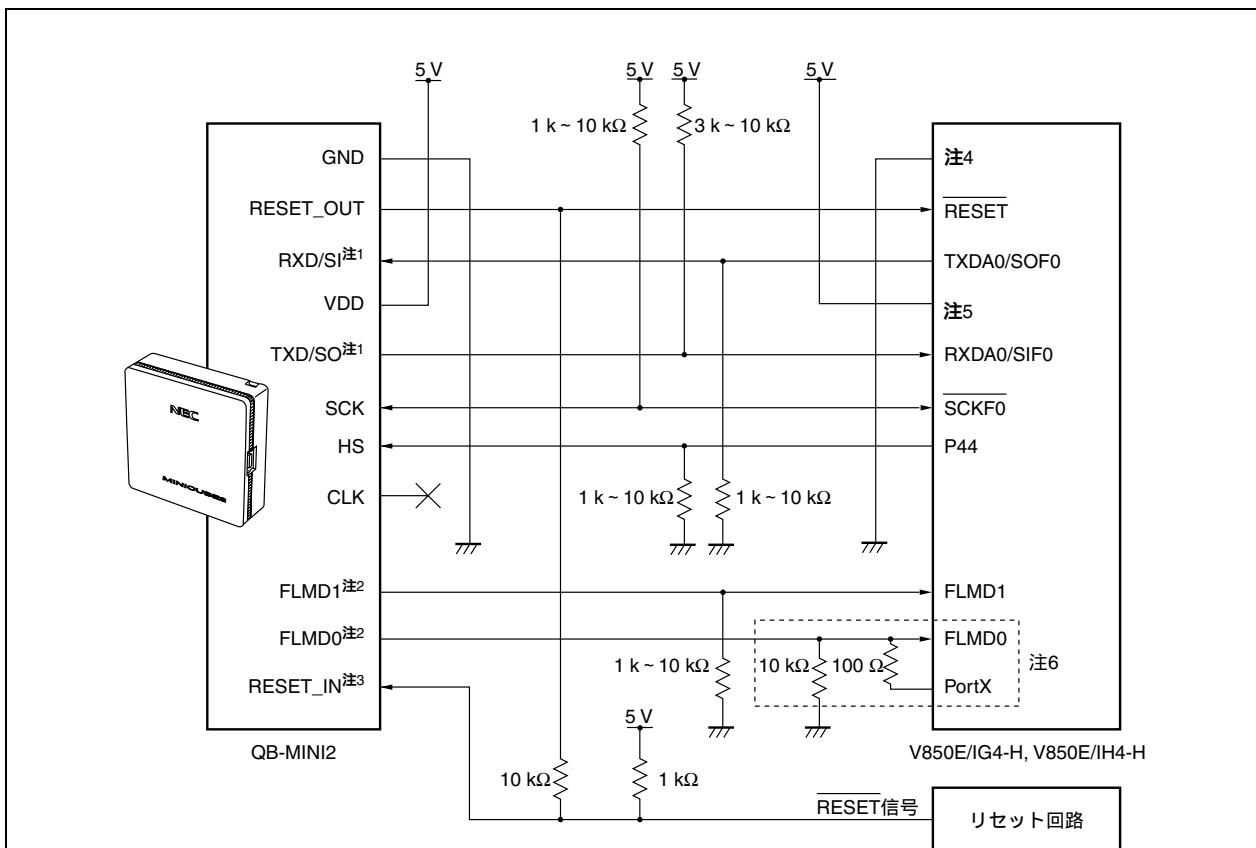
- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、内蔵フラッシュ・メモリの領域に設定したソフトウェア・ブ레이크が発生しなくなります。回避するためには、ハードウェア・ブ레이크を使用するようにしてください。なお、発生しなくなったソフトウェア・ブ레이크は、強制ブ레이크、またはハードウェア・ブ레이크の発生によって再度有効になります。
- (2) ブ레이크中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (3) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。
- (4) デバッグに使用したデバイスは、デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保障することができないため、量産製品に搭載しないでください。
- (5) DDI, DCK端子は、CSIF0の入出力端子（SIF0, $\overline{\text{SCKF0}}$ ）、UARTA0の入力端子（RXDA0）、TAA0の出力端子（TOA00, TOA10）と兼用しているため、オンチップ・デバッグ機能使用時には、CSIF0, UARTA0, TAA0は使用できません。
- (6) オンチップ・デバッグ機能使用時には、STOPモードに設定してもクロック・ジェネレータ、PLLは動作を継続します。

26.3 DCUを使用しない方法

DCUを使用せず，UARTA0用端子 (RXDA0, TXDA0) またはCSIF0用端子 (SIF0, SOF0, $\overline{\text{SCKF0}}$, HS (P44)) をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

26.3.1 接続回路例

図26 - 6 UARTA0/CSIF0を通信インタフェースとして使用する場合の回路接続例



注1. V850E/IG4-H, V850E/IH4-HのTXDA0/SOF0 (送信側) はターゲット・コネクタのRXD/SI (受信側) に，ターゲット・コネクタのTXD/SO (送信側) はV850E/IG4-H, V850E/IH4-HのRXDA0/SIF0 (受信側) に接続してください。

2. デバッグ時ブレーク中のメモリ書き換え以外は，Hi-Zになるため兼用機能としての使用は可能です。

3. $\overline{\text{RESET}}$ 信号の出力がN-chオープン・ドレインのバッファ (出力抵抗100 Ω 以下) によるものを想定した回路接続です。

4. $\text{EV}_{\text{SS}0}$, $\text{EV}_{\text{SS}1}$, $\text{EV}_{\text{SS}2}$, $\text{EV}_{\text{SS}3}$ (V850E/IH4-Hのみ) , $\text{EV}_{\text{SS}4}$, $\text{V}_{\text{SS}0}$, $\text{V}_{\text{SS}1}$, $\text{V}_{\text{SS}2}$, $\text{AV}_{\text{SS}0}$, $\text{AV}_{\text{SS}1}$, $\text{AV}_{\text{SS}2}$

5. $\text{EV}_{\text{DD}0}$, $\text{EV}_{\text{DD}1}$, $\text{EV}_{\text{DD}2}$, $\text{EV}_{\text{DD}3}$ (V850E/IH4-Hのみ) , FV_{DD} (V850E/IH4-Hのみ) , $\text{V}_{\text{DD}0}$, $\text{V}_{\text{DD}1}$, $\text{V}_{\text{DD}2}$, $\text{AV}_{\text{DD}0}$, $\text{AV}_{\text{DD}1}$, $\text{AV}_{\text{DD}2}$

6. 点線内の回路はフラッシュ・セルフ・プログラミング用にFLMD0端子をポートで制御する場合の回路です。ポートは，ハイ・レベル出力か入力で使用してください。フラッシュ・セルフ・プログラミングを使用しない場合，FLMD0端子のプルダウン抵抗は1 k Ω ~ 10 k Ω で構いません。

備考 UARTA0またはCSIF0を通信インタフェースとして使用する場合に使用する端子については表26 - 5を参照してください。

表26 - 5 V850E/IG4-H, V850E/IH4-HとMINICUBE2の配線表 (1/2)

MINICUBE2 (QB-MINI2) 接続端子			UARTA0使用時		
信号名	入出力	端子機能	端子名	ピン番号	
				V850E/IG4-H	V850E/IH4-H
				GC	GF
SI/RxD	入力	V850E/IG4-H, V850E/IH4-Hからのコマンド, データ受信端子	TXDA0	47	97
SO/TxD	出力	V850E/IG4-H, V850E/IH4-Hへのコマンド, データ送信端子	RXDA0	46	96
SCK	出力	3線式シリアル通信用クロック出力端子	必要なし	必要なし	必要なし
CLK	出力	V850E/IG4-H, V850E/IH4-Hへのクロック出力端子	必要なし	必要なし	必要なし
RESET_OUT	出力	V850E/IG4-H, V850E/IH4-Hへのリセット出力端子	RESET	39	82
FLMD0	出力	V850E/IG4-H, V850E/IH4-Hをデバッグ・モード, またはプログラミング・モードにするための出力端子	FLMD0	42	86
FLMD1	出力	プログラミング・モードにするための出力端子	FLMD1	76	1
HS	入力	CSI0 + HS通信のハンドシェイク信号	必要なし	必要なし	必要なし
GND	-	グラウンド	V _{SS0}	38	81
			V _{SS1}	64	117
			V _{SS2}	91	28
			AV _{SS0}	5	43
			AV _{SS1}	10	48
			AV _{SS2}	27	66
			EV _{SS0}	41	85
			EV _{SS1}	63	116
			EV _{SS2}	100	38
			EV _{SS3}	-	8
EV _{SS4}	31	74			
RESET_IN	入力	ターゲット・システム上のリセット入力端子			

表26 - 5 V850E/IG4-H, V850E/IH4-HとMINICUBE2の配線表 (2/2)

MINICUBE2 (QB-MINI2) 接続端子			CSIF0-HS使用時		
信号名	入出力	端子機能	端子名	ピン番号	
				V850E/IG4-H	V850E/IH4-H
				GC	GF
SI/RxD	入力	V850E/IG4-H, V850E/IH4-Hからのコマンド, データ受信端子	SOF0	47	97
SO/TxD	出力	V850E/IG4-H, V850E/IH4-Hへのコマンド, データ送信端子	SIF0	46	96
SCK	出力	3線式シリアル通信用クロック出力端子	$\overline{\text{SCKF0}}$	48	98
CLK	出力	V850E/IG4-H, V850E/IH4-Hへのクロック出力端子	必要なし	必要なし	必要なし
RESET_OUT	出力	V850E/IG4-H, V850E/IH4-Hへのリセット出力端子	$\overline{\text{RESET}}$	39	82
FLMD0	出力	V850E/IG4-H, V850E/IH4-Hをデバッグ・モード, またはプログラミング・モードにするための出力端子	FLMD0	42	86
FLMD1	出力	プログラミング・モードにするための出力端子	FLMD1	76	1
HS	入力	CSI0 + HS通信のハンドシェーク信号	P44	50	100
GND	-	グラウンド	V _{SS0}	38	81
			V _{SS1}	64	117
			V _{SS2}	91	28
			AV _{SS0}	5	43
			AV _{SS1}	10	48
			AV _{SS2}	27	66
			EV _{SS0}	41	85
			EV _{SS1}	63	116
			EV _{SS2}	100	38
			EV _{SS3}	-	8
EV _{SS4}	31	74			
RESET_IN	入力	ターゲット・システム上のリセット入力端子			

26. 3. 2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表26 - 6 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850E/IG4-H, V850E/IH4-Hの機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生

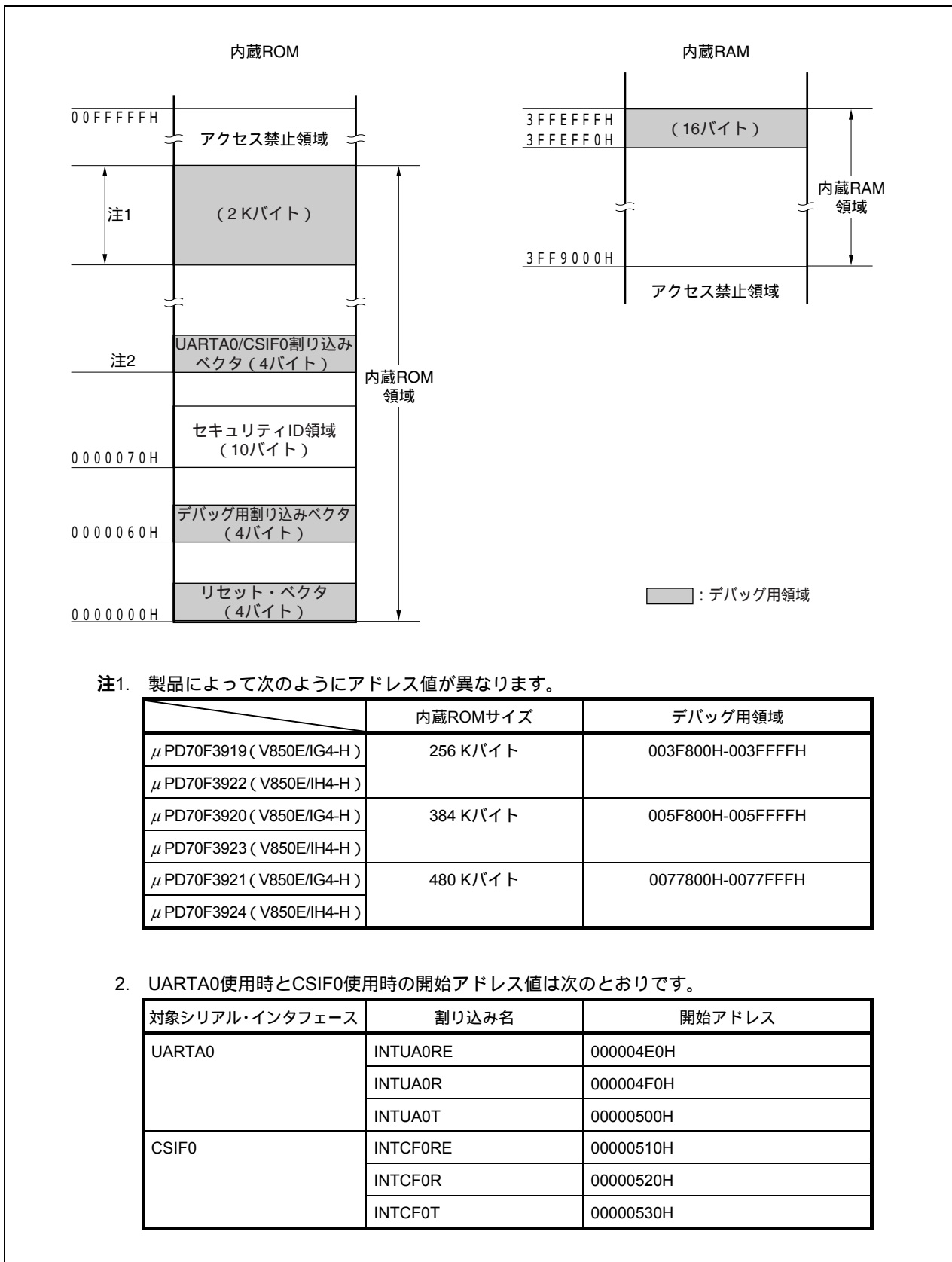
26. 3. 3 ユーザ資源の確保

MINICUBE2はV850E/IG4-H, V850E/IH4-Hとの通信 ,または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは ,ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

(1) メモリ空間の確保

図26 - 7で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために ,ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように ,領域を確保する必要があります。

図26 - 7 デバッグ用モニタ・プログラムが配置されるメモリ空間



・セキュリティIDの設定

図26 - 7で示す0000070H-0000079H領域は第3者からメモリの内容を読み取られないようにするために、IDコードを埋め込む必要があります。詳細は26.4 ROMセキュリティ機能を参照してください。

(2) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0c34番）。

(a) 0番地からnopが2個連続している場合

書き換え前	書き換え後
0x0 nop	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 nop	0x4 xxxx
0x4 xxxx	

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前	書き換え後
0x0 0xFFFF	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 0xFFFF	0x4 xxxx
0x4 xxxx	

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前	書き換え後
0x0 jr disp22	0x0 デバッグ用モニタ・プログラムへジャンプ
	0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前	書き換え後
0x0 mov imm32,reg1	0x0 デバッグ用モニタ・プログラムへジャンプ
0x6 jmp [reg1]	0x4 mov imm32,reg1
	0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前	書き換え後
0x0 デバッグ用モニタ・プログラムへジャンプ	変更なし

(3) デバッグ用モニタ・プログラム領域の確保

図26 - 7の示すデバック用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN / ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにすることが必要です。

【領域確保の方法】

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、ルネサス エレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space 0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space 4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCF0RE"
.space 4, 0xff
.section "INTCF0R"
.space 4, 0xff
.section "INTCF0T"
.space 4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm monitorrmsym, 16, 4 ; -- monitorrmsymシンボルを定義
```

- リンク・ディレクティブ (以下をリンク・ディレクティブ・ファイルの内容に追加してください)
次の例は、内蔵ROMが256 Kバイト (最終アドレス003FFFFH) , 内蔵RAMが24 Kバイト (最終アドレス : 3FFFEFFH) の場合です。

```

MROMSEG  : !LOAD ?R V0x03f800{
           MonitorROM = $PROGBITS  ?A MonitorROM;
};

MRAMSEG  : !LOAD ?RW V0x03ffeff0{
           MonitorRAM = $NOBITS    ?AW MonitorRAM;
};

```

(4) 通信用シリアル・インタフェースの確保

MINICUBE2はV850E/IG4-H, V850E/IH4-Hと通信するためにUARTA0, もしくはCSIF0のいずれかを使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信用シリアル・インタフェースの確保を行う必要があります。

【通信用シリアル・インタフェース確保の方法】

•シリアル・インタフェースのレジスタ

通信用に使用するUARTA0やCSIF0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

•割り込みマスク・レジスタ

通信用にUARTA0を使用する場合、受信終了割り込み (INTUA0R) をマスクしないようにしてください。CSIF0の場合、受信終了割り込み (INTCF0R) をマスクしないようにしてください。

(a) UARTA0の場合

	7	6	5	4	3	2	1	0
UA0RIC	x	0	x	x	x	x	x	x

(b) CSIF0の場合

	7	6	5	4	3	2	1	0
CF0RIC	x	0	x	x	x	x	x	x

備考 x : 任意

●UARTA0使用時のポートに関するレジスタ

通信用にUARTA0を使用する場合，TXDA0, RXDA0端子を有効になるように，デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	x	0	0
PFC4	0	0	0	x	x	0	1	1
PMC4	0	0	0	x	x	x	1	1

備考 x : 任意

●CSIF0使用時のポートに関するレジスタ

通信用にCSIF0を使用する場合、SIF0、SOF0、 $\overline{\text{SCKF0}}$ およびHS (P44) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください(同値書き込みは可能です)。

(a) SIF0, SOF0, $\overline{\text{SCKF0}}$ の設定

	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
PFC4	0	0	0	x	x	0	0	0

	7	6	5	4	3	2	1	0
PMC4	0	0	0	x	x	1	1	1

(b) HS (P44端子) の設定

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	x	x	x	x

	7	6	5	4	3	2	1	0
PM4	0	0	0	0	x	x	x	x

	7	6	5	4	3	2	1	0
P4	0	0	0	注	x	x	x	x

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

26.3.4 注意事項

(1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

(2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- 割り込み禁止中（DI）の場合
- MINICUBE2とV850E/IG4-H, V850E/IH4-Hの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2とV850E/IG4-H, V850E/IH4-Hの通信インタフェースがUARTA0の場合に、周辺クロックを停止している場合

(3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- 割り込み禁止中（DI）の場合
- MINICUBE2とV850E/IG4-H, V850E/IH4-Hの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2とV850E/IG4-H, V850E/IH4-Hの通信インタフェースがUARTA0の場合に、周辺クロックを停止している場合
- MINICUBE2とV850E/IG4-H, V850E/IH4-Hの通信インタフェースがUARTA0の場合に、デバッグで指定する動作クロックと異なるクロックで動作している場合

(4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。

- MINICUBE2とV850E/IG4-H, V850E/IH4-Hの通信インタフェースがCSIF0の場合
- MINICUBE2とV850E/IG4-H, V850E/IH4-Hの通信インタフェースがUARTA0の場合に、周辺クロックが停止していない場合

(5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

(6) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッグが正常に動作しなくなります。

26.4 ROMセキュリティ機能

26.4.1 セキュリティID

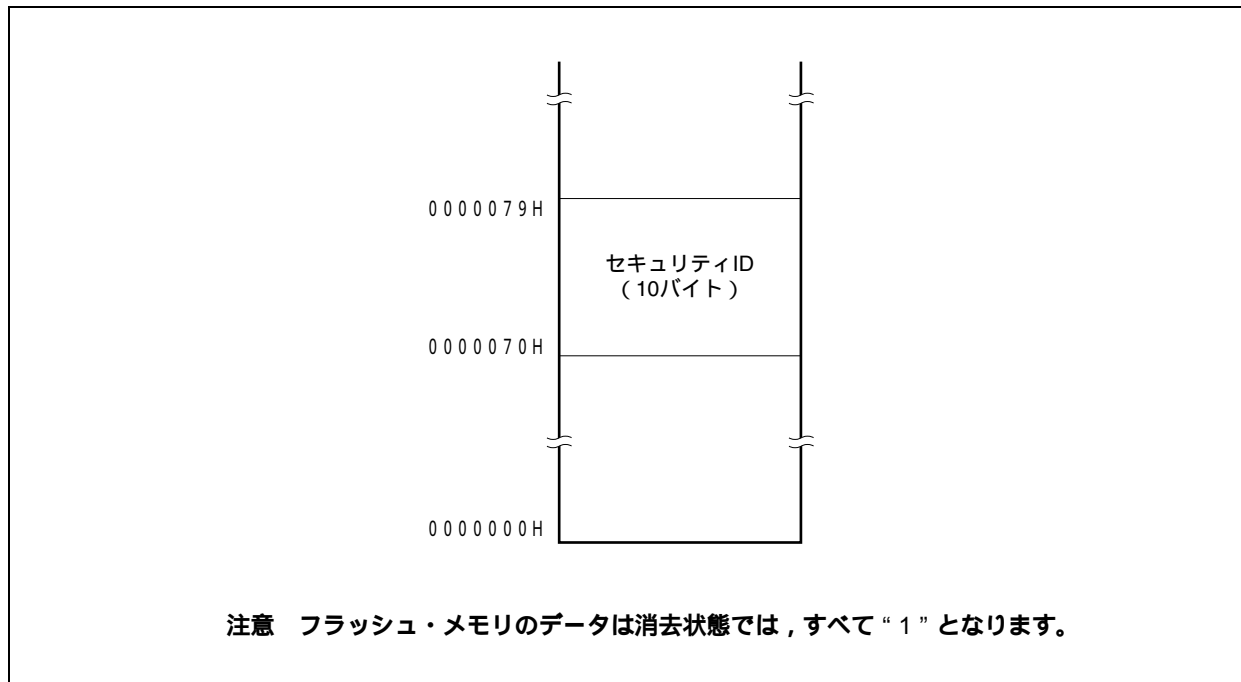
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッグがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0: 使用禁止, 1: 使用許可)
- ・オンチップ・デバッグ・エミュレータを起動すると、デバッグがID入力を要求します。デバッグ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッグが起動します。
- ・IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図26 - 8 セキュリティID領域



26. 4. 2 設定方法

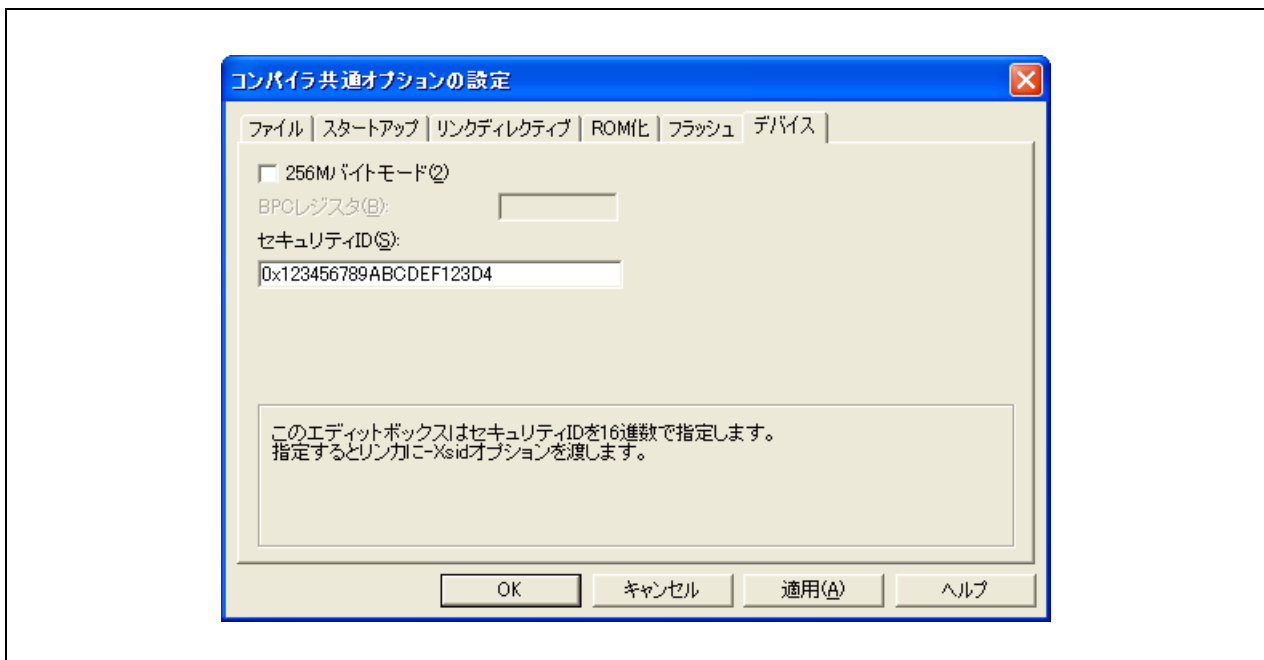
IDコードを表26 - 7のように設定する方法を次に示します。

表26 - 7のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表26 - 7 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 2.60以上とセキュリティIDに対応したデバイス・ファイルであれば、PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



第27章 フラッシュ・メモリ

V850E/IG4-H, V850E/IH4-Hは、256 Kバイト、384 Kバイト、480 Kバイトのフラッシュ・メモリを内蔵しています。

- ・ μ PD70F3919 (V850E/IG4-H) , 70F3922 (V850E/IH4-H) : 256 Kバイトのフラッシュ・メモリ内蔵品
- ・ μ PD70F3920 (V850E/IG4-H) , 70F3923 (V850E/IH4-H) : 384 Kバイトのフラッシュ・メモリ内蔵品
- ・ μ PD70F3921 (V850E/IG4-H) , 70F3924 (V850E/IH4-H) : 480 Kバイトのフラッシュ・メモリ内蔵品

フラッシュ・メモリは、フラッシュ・メモリ・プログラマと、セルフ・プログラミングの2種類で書き換え可能です。

フラッシュ・メモリ・プログラマによる書き込みは、フラッシュ・メモリ・プログラマをターゲット・システムに接続して行います。

セルフ・プログラミングによる書き換えは、フラッシュ・メモリ・プログラマを使用せず、アプリケーション・プログラムにより行います。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

- ターゲット・システムにV850E/IG4-H, V850E/IH4-Hを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

27.1 特 徴

全エリア一括消去、またはブロック（4 Kバイト）単位消去

フラッシュ・メモリ・プログラマからシリアル・インタフェースを介して通信

消去 / 書き込み電圧：単一電源による消去 / 書き込みが可能

オンボード・プログラミング

フラッシュ・メモリ・セルフ・プログラミングが可能

ブート・スワップ機能により、セルフ・プログラムによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

書き換え方式

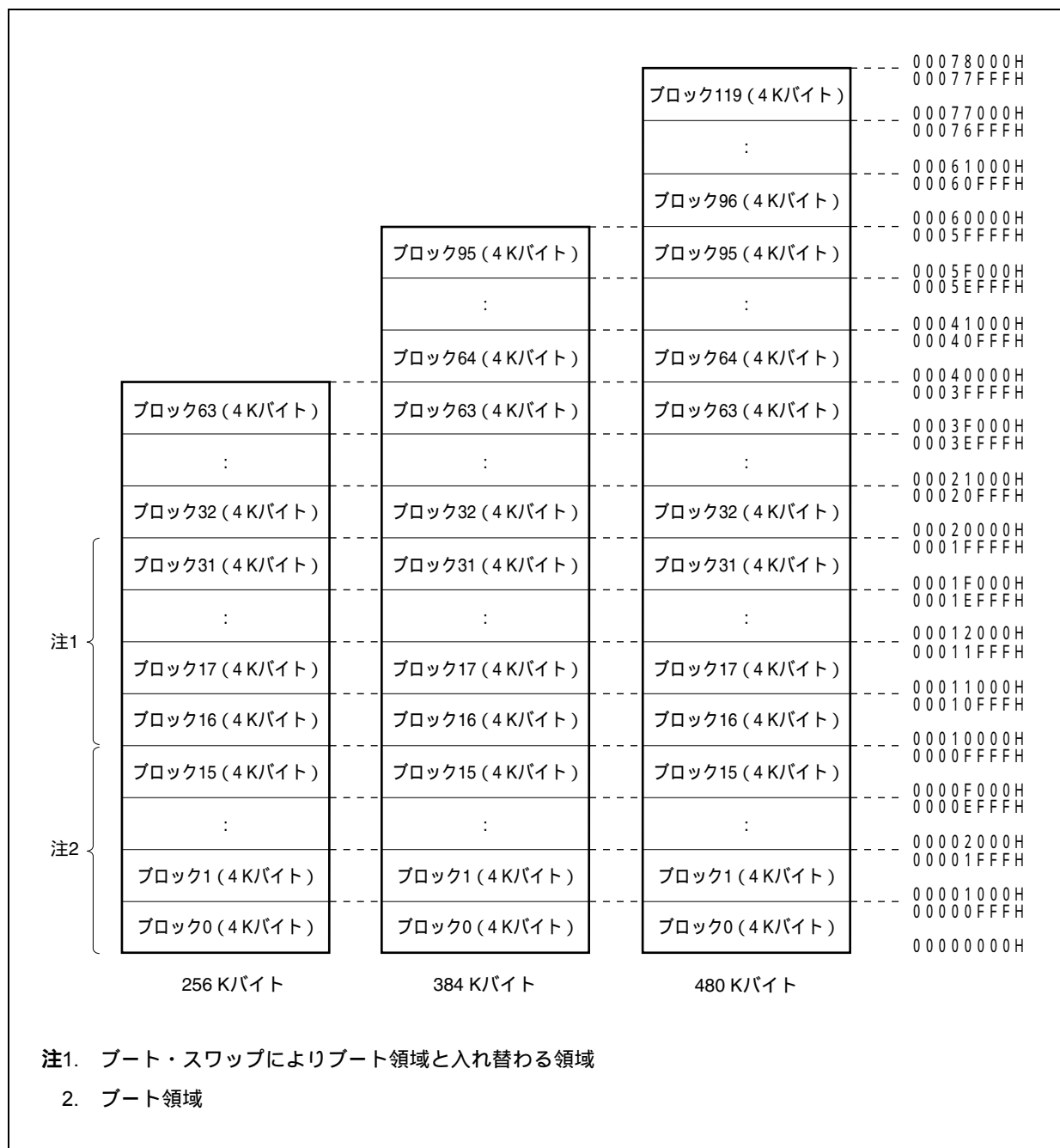
- ・フラッシュ・メモリ・プログラマとのシリアル・インタフェースを介しての通信による書き換え（オンボード / オフボード・プログラミング）
 - ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
- フラッシュ・メモリの書き換え、リード禁止機能をサポート（セキュリティ強化）
- セルフ・プログラミング中の割り込み受け付け可能

27.2 メモリ構成

V850E/IG4-H, V850E/IH4-Hの内蔵フラッシュ・メモリの領域は64, 96, 120個のブロックに分割されており, 各ブロック単位でプログラム/消去可能となっています。また, 全ブロックの一括消去も可能です。

また, ブート・スワップ機能を用いた場合, ブロック0-15のアドレスに配置された物理メモリと, ブロック16-31のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については, 27.9 セルフ・プログラミングによる書き換えを参照してください。

図27-1 フラッシュ・メモリ・マッピング



27.3 機能概要

V850E/IG4-H, V850E/IH4-Hの内蔵フラッシュ・メモリは、専用フラッシュ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オフボード/オンボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表27-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード/オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMへ書き換え用のプログラムをあらかじめ転送して実行する必要があります）。	通常動作モード

備考 FAシリーズは（株）内藤電誠町田製作所の製品です。

表27 - 2 基本機能一覧

機能	機能概要	サポートの有無 (:サポート, x :未サポート)	
		オンボード / オフボード・プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		x (ブロック消去の領域指定で可能)
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ / チェックサム	フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラマから転送されたデータの比較を行います。		x (ユーザ・プログラムにて読み出しは可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ブロック消去コマンド / チップ消去コマンド / プログラム・コマンド / リード・コマンドの使用禁止設定を行います。		x (オンボード / オフボード・プログラミングで設定した値の保持のみ可能)

表27 - 3 セキュリティ機能一覧

機能	機能概要	サポートの有無	
		オンボード / オフボード・プログラミング	セルフ・プログラミング
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。	詳細は27.3.2 セキュリティ機能 を参照してください。	
チップ消去コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。		
プログラム・コマンド禁止	全ブロックに対しての書き込みコマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。		
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止にします。 チップ消去コマンドの実行によって、禁止設定は初期化されます。		

27.3.1 消去単位

(1) 全エリア一括消去

フラッシュ・メモリ領域256 K/384 K/480 Kバイトを一括で消去できます。

(2) ブロック消去

ブロック単位で消去ができます。

- ・ μ PD70F3919 (V850E/IG4-H) , 70F3922 (V850E/IH4-H) : ブロック0~ブロック63 : 各4 Kバイト
- ・ μ PD70F3920 (V850E/IG4-H) , 70F3923 (V850E/IH4-H) : ブロック0~ブロック95 : 各4 Kバイト
- ・ μ PD70F3921 (V850E/IG4-H) , 70F3924 (V850E/IH4-H) : ブロック0~ブロック119 : 各4 Kバイト

27.3.2 セキュリティ機能

フラッシュ書き換え時のコマンド/関数にセキュリティを設定できます。

V850E/IG4-H, V850E/IH4-H出荷時の未書き込み品は、「すべて許可」の状態にセキュリティ設定されています。

表27-4 セキュリティ設定

機能	各セキュリティ設定時の消去 / 書き込み / 読み出し動作 (: 実行可能, x : 実行不可, - : 未サポート)		セキュリティ設定 注意事項	
	オンボード / オフボード・ プログラミング	セルフ・プログラミング	オンボード / オフ ボード・プログラミ ング	セルフ・プログラミ ング
ブロック消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : リード・コマンド :	ブロック消去 : チップ消去 : - 書き込み :	チップ消去コマン ドによる禁止設定 の初期化が可能	設定を許可から禁 止にする場合のみ 可能
チップ消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : x プログラム・コマンド : ^{注1} リード・コマンド :	ブロック消去 : チップ消去 : - 書き込み :	禁止設定の初期化 が不可能	
プログラム・ コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : x リード・コマンド :	ブロック消去 : チップ消去 : - 書き込み :	チップ消去コマン ドによる禁止設定 の初期化が可能	
リード・ コマンド禁止	ブロック消去コマンド : チップ消去コマンド : プログラム・コマンド : リード・コマンド : x	ブロック消去 : チップ消去 : - 書き込み :		
ブート領域の 書き換え禁止	ブロック消去コマンド : x ^{注2} チップ消去コマンド : x プログラム・コマンド : x ^{注2} リード・コマンド :	ブロック消去 : チップ消去 : - 書き込み :	禁止設定の初期化 が不可能	

注1. 消去コマンドは無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. ブート領域以外は実行可能です。

27.4 フラッシュ・メモリ・プログラマによる書き込み方法

フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5, FL-PR4, FL-PR5) およびMINICUBE2により, オンボードまたはオフボードでの書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にV850E/IG4-H, V850E/IH4-Hを実装後, フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には, フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

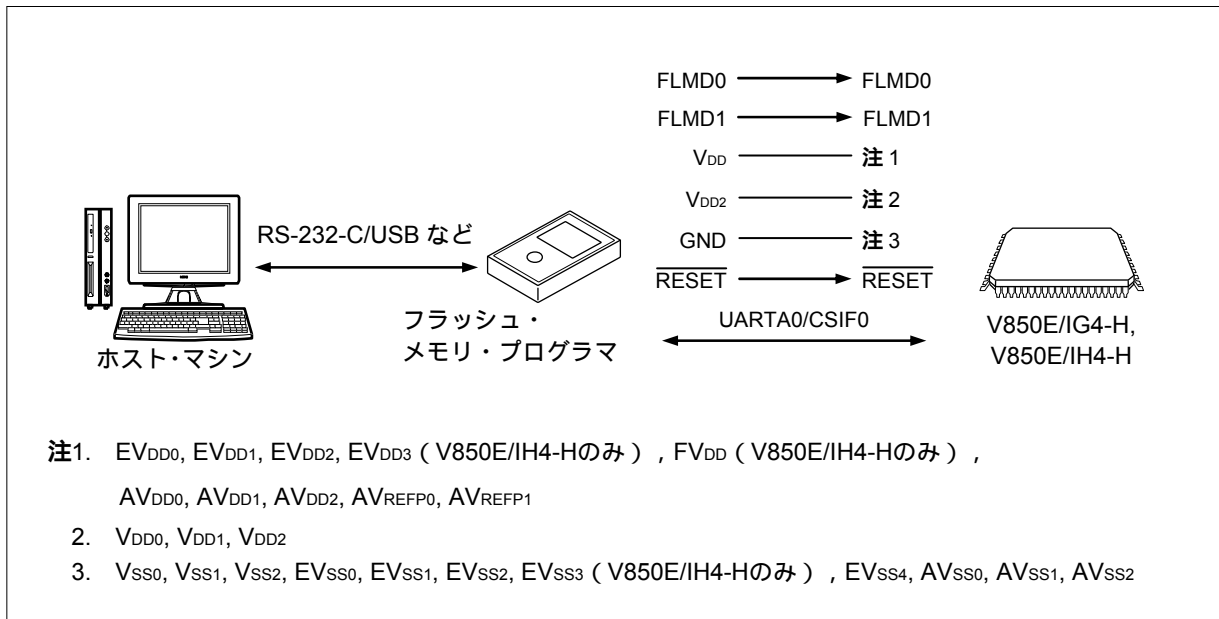
(2) オフボード・プログラミング

ターゲット・システム上にV850E/IG4-H, V850E/IH4-Hを実装する前にフラッシュ・メモリに書き込みます。

備考 FL-PR4, FL-PR5は, (株)内藤電誠町田製作所の製品です。

27.5 フラッシュ・メモリ・プログラミング環境

V850E/IG4-H, V850E/IH4-Hのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。



フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、フラッシュ・メモリ・プログラマとV850E/IG4-H, V850E/IH4-HとのインターフェースはUARTA0, CSIF0を使用して、書き込み、消去等の操作を行います。V850E/IG4-H, V850E/IH4-Hの動作クロックは、V850E/IG4-H, V850E/IH4-H搭載ボード上で発振およびコンデンサにより発振回路を構成して供給してください。

表27 - 5 環境と通信方式

環 境	通信方式		
	UARTA0	CSIF0	ハンドシェーク 対応CSIF0
フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5, FL-PR4, FL-PR5)			
MINICUBE2		×	

備考 : 対応, × : 非対応

27.6 フラッシュ・メモリ・プログラミングの通信方式

(1) UARTA0通信方式

転送レート：9600 bps ~ 153600 bps (LSBファースト)

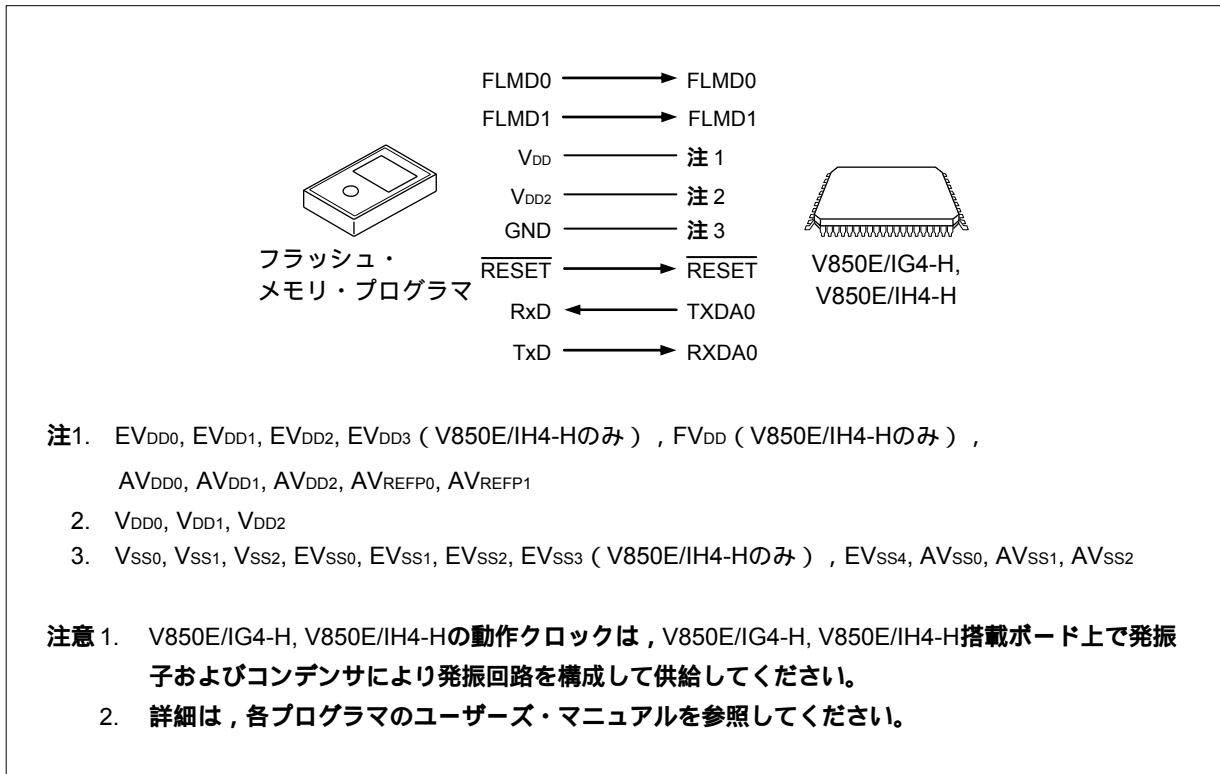


表27 - 6 フラッシュ・メモリ・プログラマとV850E/IG4-H, V850E/IH4-Hとの配線対応表 (1/2)

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IG4-H, V850E/IH4-H		
			端子名	ピン番号	
				IG4-H	IH4-H
				GC	GF
1	GND	-	V _{SS0}	38	81
			V _{SS1}	64	117
			V _{SS2}	91	28
			EV _{SS0}	41	85
			EV _{SS1}	63	116
			EV _{SS2}	100	38
			EV _{SS3} ^{注1}	-	8
			EV _{SS4}	31	74
			AV _{SS0}	5	43
			AV _{SS1}	10	48
AV _{SS2}	27	66			
2	RESET	出力	RESET	39	82
3	SI/RxD	入力	TXDA0	47	97
4	V _{DD}	-	EV _{DD0}	40	83
			EV _{DD1}	62	115
			EV _{DD2}	99	37
			EV _{DD3} ^{注1}	-	7
			FV _{DD} ^{注1}	-	114
			AV _{DD0}	7	45
			AV _{DD1}	8	46
			AV _{DD2}	26	65
			AV _{REFP0}	6	44
			AV _{REFP1}	9	47
5	SO/TxD	出力	RXDA0	46	96
6	V _{PP}	×	NC	-	-
7	SCK	×	NC	-	-
8	H/S	×	NC	-	-
9	CLK ^{注2}	出力	X1 ^{注2}	36	79
10	VDE	×	NC	-	-

注1. V850E/IH4-Hのみ

2. V850E/IG4-H, V850E/IH4-Hは外部クロックを禁止しています。ボード上に発振子を搭載してください。

備考 NC : No Connection

IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

表27 - 6 フラッシュ・メモリ・プログラマとV850E/IG4-H, V850E/IH4-Hとの配線対応表 (2/2)

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IG4-H, V850E/IH4-H		
			端子名	ピン番号	
				IG4-H	IH4-H
				GC	GF
11	V _{DD2}	-	V _{DD0}	35	78
			V _{DD1}	65	118
			V _{DD2}	90	27
12	FLMD1	出力	注	76	1
13	RFU-1	×	NC	-	-
14	FLMD0	出力	FLMD0	42	86
15	Not used	×	NC	-	-
16	Not used	×	NC	-	-

注 FLMD1または抵抗を介してGNDに接続してください。

備考 NC : No Connection

IG4-H : V850E/IG4-H

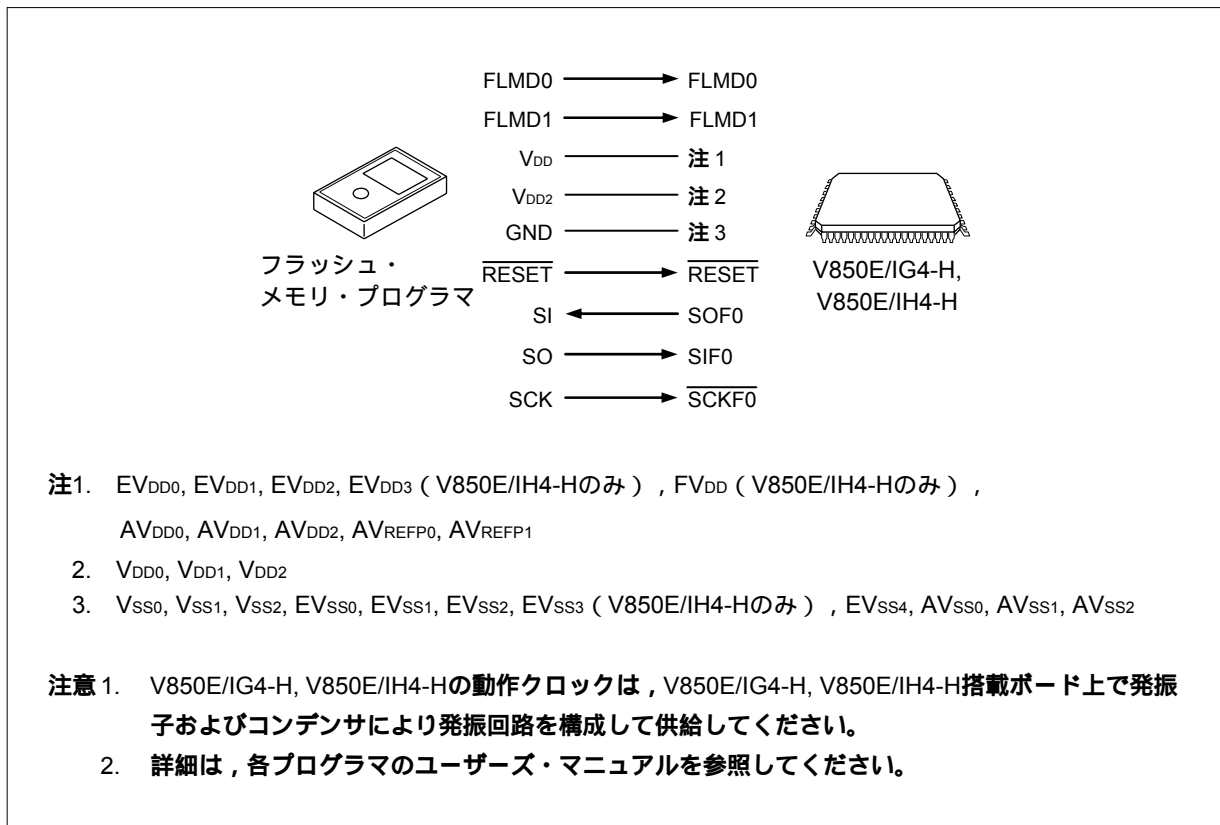
IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(2) CSIF0通信方式

シリアル・クロック : 5 MHz以下 (MSBファースト)



フラッシュ・メモリ・プログラマが転送クロックを出力 (マスタ) し, V850E/IG4-H, V850E/IH4-Hはスレーブとして動作します。

表27 - 7 フラッシュ・メモリ・プログラマとV850E/IG4-H, V850E/IH4-Hとの配線対応表 (1/2)

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IG4-H, V850E/IH4-H		
			端子名	ピン番号	
				IG4-H	IH4-H
				GC	GF
1	GND	-	V _{SS0}	38	81
			V _{SS1}	64	117
			V _{SS2}	91	28
			EV _{SS0}	41	85
			EV _{SS1}	63	116
			EV _{SS2}	100	38
			EV _{SS3} ^{注1}	-	8
			EV _{SS4}	31	74
			AV _{SS0}	5	43
			AV _{SS1}	10	48
			AV _{SS2}	27	66
2	RESET	出力	RESET	39	82
3	SI/RxD	入力	SOF0	47	97
4	V _{DD}	-	EV _{DD0}	40	83
			EV _{DD1}	62	115
			EV _{DD2}	99	37
			EV _{DD3} ^{注1}	-	7
			FV _{DD} ^{注1}	-	114
			AV _{DD0}	7	45
			AV _{DD1}	8	46
			AV _{DD2}	26	65
			AV _{REFP0}	6	44
			AV _{REFP1}	9	47
5	SO/TxD	出力	SIF0	46	96
6	V _{PP}	×	NC	-	-
7	SCK	出力	SCKF0	48	98
8	H/S	×	NC	-	-
9	CLK ^{注2}	出力	X1 ^{注2}	36	79
10	VDE	×	NC	-	-

注1. V850E/IH4-Hのみ

2. V850E/IG4-H, V850E/IH4-Hは外部クロックを禁止しています。ボード上に発振子を搭載してください。

備考 NC : No Connection

IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

表27 - 7 フラッシュ・メモリ・プログラマとV850E/IG4-H, V850E/IH4-Hとの配線対応表 (2/2)

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IG4-H, V850E/IH4-H		
			端子名	ピン番号	
				IG4-H	IH4-H
				GC	GF
11	V _{DD2}	-	V _{DD0}	35	78
			V _{DD1}	65	118
			V _{DD2}	90	27
12	FLMD1	出力	注	76	1
13	RFU-1	×	NC	-	-
14	FLMD0	出力	FLMD0	42	86
15	Not used	×	NC	-	-
16	Not used	×	NC	-	-

注 FLMD1または抵抗を介してGNDに接続してください。

備考 NC : No Connection

IG4-H : V850E/IG4-H

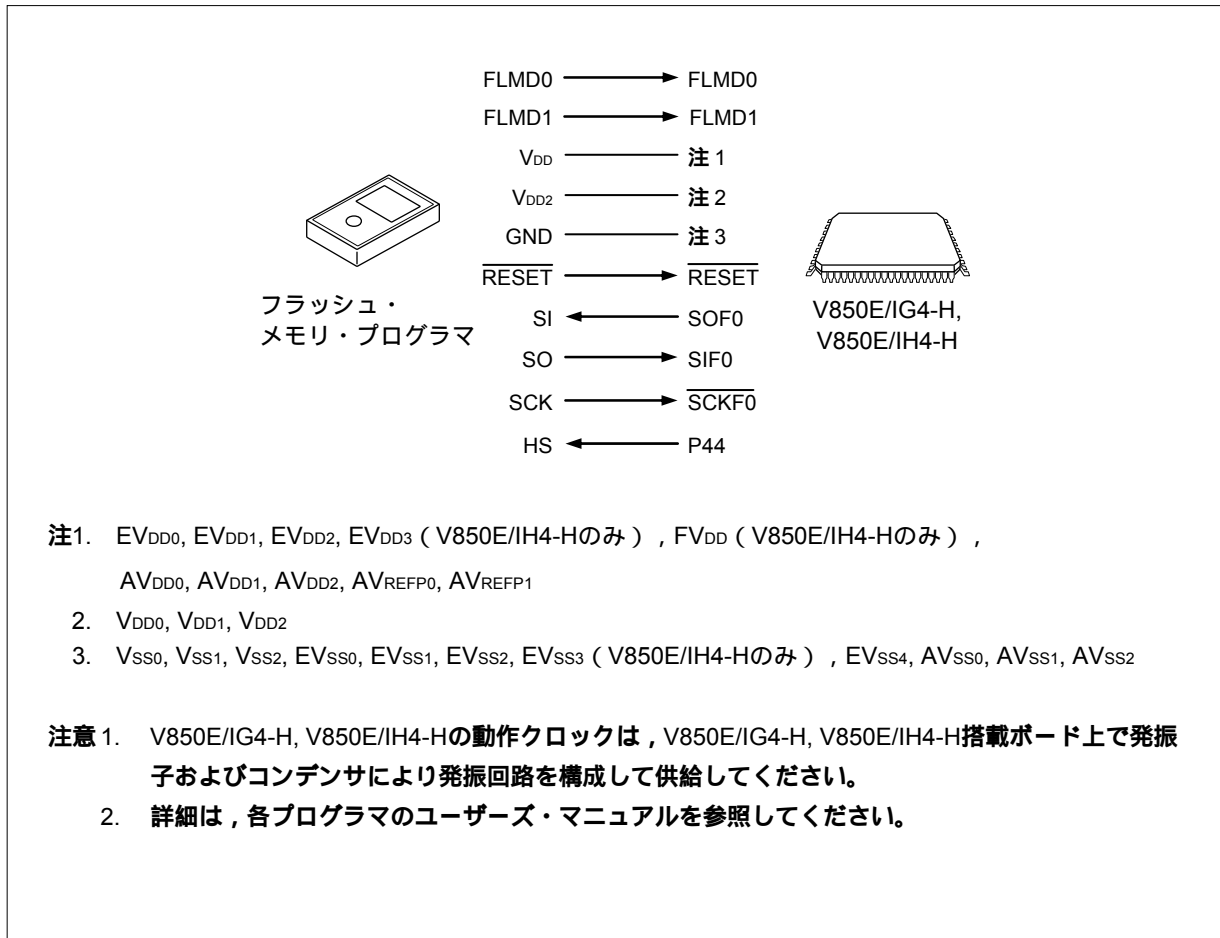
IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

(3) ハンドシェイク対応CSIF0通信方式

シリアル・クロック : 5 MHz以下



フラッシュ・メモリ・プログラマが転送クロックを出力し、V850E/IG4-H, V850E/IH4-Hはスレーブとして動作します。

フラッシュ・メモリ・プログラマとしてPG-FP4, PG-FP5を使用した場合、PG-FP4, PG-FP5はV850E/IG4-H, V850E/IH4-Hに対して次の信号を生成します。詳細はPG-FP4 ユーザズ・マニュアル (U15260J) , PG-FP5 ユーザズ・マニュアル (U18865J) を参照してください。

表27 - 8 フラッシュ・メモリ・プログラマとV850E/IG4-H, V850E/IH4-Hとの配線対応表 (1/2)

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IG4-H, V850E/IH4-H		
			端子名	ピン番号	
				IG4-H	IH4-H
				GC	GF
1	GND	-	V _{SS0}	38	81
			V _{SS1}	64	117
			V _{SS2}	91	28
			EV _{SS0}	41	85
			EV _{SS1}	63	116
			EV _{SS2}	100	38
			EV _{SS3} ^{注1}	-	8
			EV _{SS4}	31	74
			AV _{SS0}	5	43
			AV _{SS1}	10	48
AV _{SS2}	27	66			
2	RESET	出力	RESET	39	82
3	SI/RxD	入力	SOF0	47	97
4	V _{DD}	-	EV _{DD0}	40	83
			EV _{DD1}	62	115
			EV _{DD2}	99	37
			EV _{DD3} ^{注1}	-	7
			FV _{DD} ^{注1}	-	114
			AV _{DD0}	7	45
			AV _{DD1}	8	46
			AV _{DD2}	26	65
			AV _{REFP0}	6	44
AV _{REFP1}	9	47			
5	SO/TxD	出力	SIF0	46	96
6	V _{PP}	×	NC	-	-
7	SCK	出力	SCKF0	48	98
8	H/S	入力	P44	50	100
9	CLK ^{注2}	出力	X1 ^{注2}	36	79
10	VDE	×	NC	-	-

注1. V850E/IH4-Hのみ

2. V850E/IG4-H, V850E/IH4-Hは外部クロックを禁止しています。ボード上に発振子を搭載してください。

備考 NC : No Connection

IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

表27 - 8 フラッシュ・メモリ・プログラマとV850E/IG4-H, V850E/IH4-Hとの配線対応表 (2/2)

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IG4-H, V850E/IH4-H		
			端子名	ピン番号	
				IG4-H	IH4-H
				GC	GF
11	V _{DD2}	-	V _{DD0}	35	78
			V _{DD1}	65	118
			V _{DD2}	90	27
12	FLMD1	出力	注	76	1
13	RFU-1	×	NC	-	-
14	FLMD0	出力	FLMD0	42	86
15	Not used	×	NC	-	-
16	Not used	×	NC	-	-

注 FLMD1または抵抗を介してGNDに接続してください。

備考 NC : No Connection

IG4-H : V850E/IG4-H

IH4-H : V850E/IH4-H

GC (V850E/IG4-H) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IH4-H) : 128ピン・プラスチックLQFP (ファインピッチ) (14×20)

27.7 フラッシュ・メモリ・プログラミング時の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上にフラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべて通常動作モードのリセット直後と同じ状態になります。したがって、ポートはすべてハイ・インピーダンス状態になるため、外部デバイスがハイ・インピーダンス状態を認めない場合は端子処理が必要です。

27.7.1 電 源

電源(V_{DD0} , V_{DD1} , V_{DD2} , V_{SS0} , V_{SS1} , V_{SS2} , EV_{DD0} , EV_{DD1} , EV_{DD2} , EV_{DD3} (V850E/IH4-Hのみ), EV_{SS0} , EV_{SS1} , EV_{SS2} , EV_{SS3} (V850E/IH4-Hのみ), EV_{SS4} , FV_{DD} (V850E/IH4-Hのみ), AV_{DD0} , AV_{DD1} , AV_{DD2} , AV_{SS0} , AV_{SS1} , AV_{SS2} , AV_{REFP0} , AV_{REFP1}) は、通常動作モード時と同じ電源を供給してください。また、 V_{DD0} , V_{DD1} , V_{DD2} , V_{SS0} , V_{SS1} , V_{SS2} , EV_{DD0} , EV_{DD1} , EV_{DD2} , EV_{DD3} (V850E/IH4-Hのみ), EV_{SS0} , EV_{SS1} , EV_{SS2} , EV_{SS3} (V850E/IH4-Hのみ), EV_{SS4} , FV_{DD} (V850E/IH4-Hのみ), AV_{DD0} , AV_{DD1} , AV_{DD2} , AV_{SS0} , AV_{SS1} , AV_{SS2} , AV_{REFP0} , AV_{REFP1} は、フラッシュ・メモリ・プログラマの V_{DD} , V_{DD2} , GND を接続してください (フラッシュ・メモリ・プログラマの V_{DD} は、電源監視機能がついています)。

フラッシュ・メモリ・プログラミング・モード時 (フラッシュ・メモリ・セルフ・プログラミングを含む) は、 V_{DD0} , V_{DD1} , V_{DD2} 端子と V_{SS0} , V_{SS1} , V_{SS2} 端子, EV_{DD0} , EV_{DD1} , EV_{DD2} , EV_{DD3} (V850E/IH4-Hのみ), FV_{DD} (V850E/IH4-Hのみ) 端子と EV_{SS0} , EV_{SS1} , EV_{SS2} , EV_{SS3} (V850E/IH4-Hのみ), EV_{SS4} 端子の間にコンデンサを挿入し、電源電圧を安定させてください。

27.7.2 使用端子

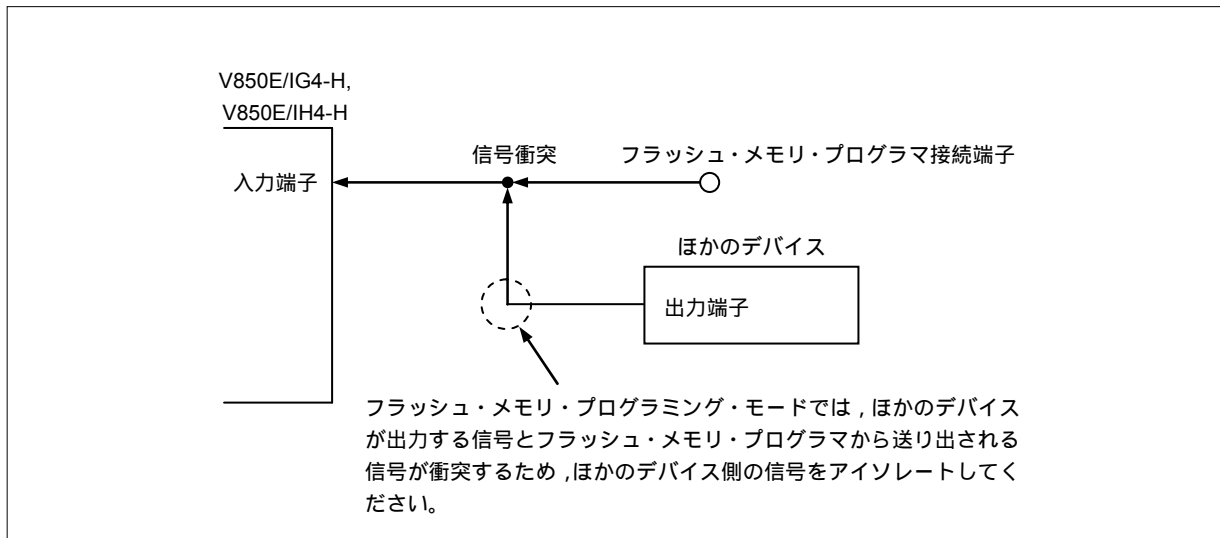
各インタフェースが使用する端子を次に示します。

通信方式	使用端子
UARTA0	TXDA0, RXDA0
CSIF0	SOF0, SIF0, SCKF0
ハンドシェイク対応CSIF0	SOF0, SIF0, SCKF0, P44

オンボード上でほかのデバイスと接続している各インタフェース用の端子に、フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

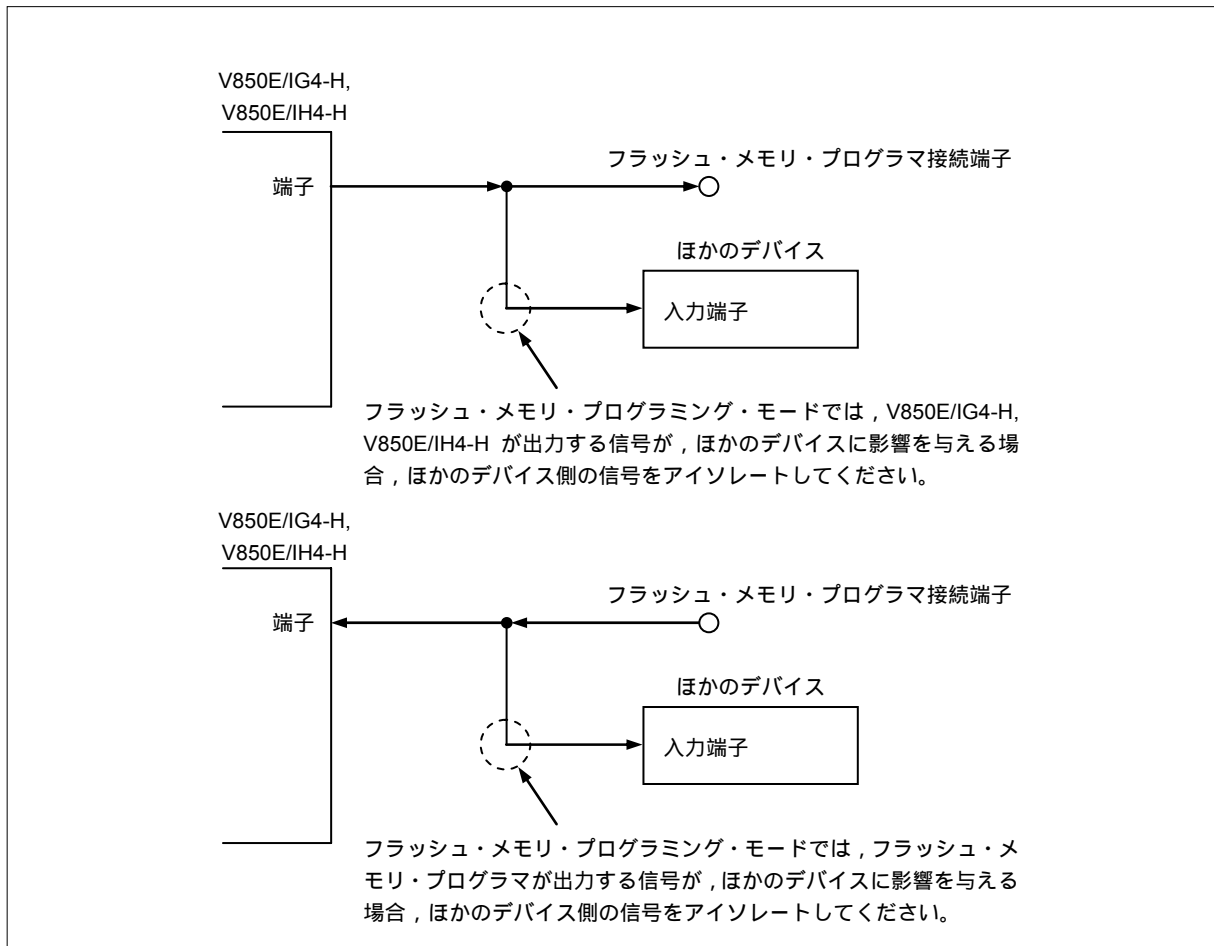
(1) 信号の衝突

ほかのデバイス（出力）と接続しているインタフェース用の端子（入力）に、フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。



(2) ほかのデバイスの異常動作

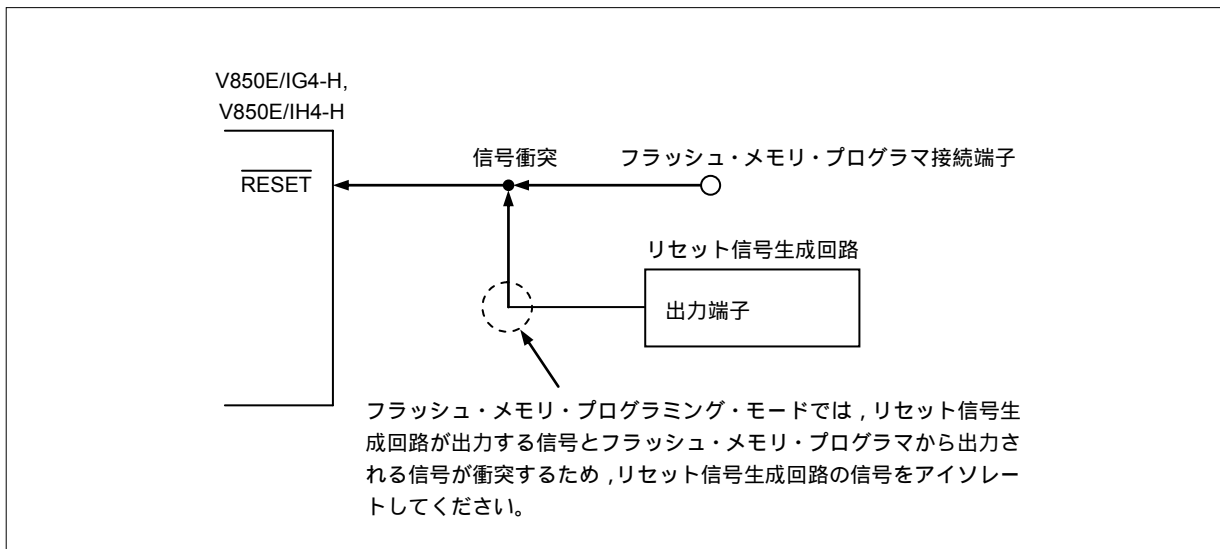
ほかのデバイス（入力）と接続しているインタフェース用の端子（入力または出力）に、フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。



27.7.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

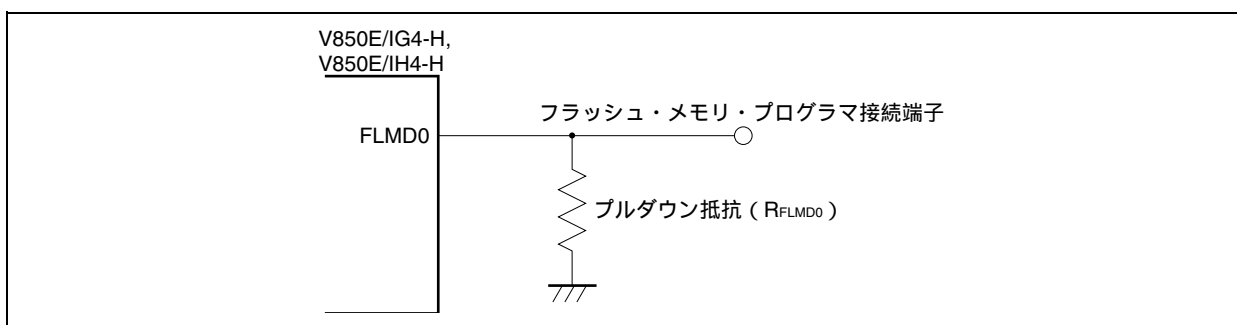


27.7.4 FLMD0, FLMD1端子

(1) FLMD0端子

通常動作モード時は、FLMD0端子に $\text{EV}_{\text{SS}0}$, $\text{EV}_{\text{SS}1}$, $\text{EV}_{\text{SS}2}$, $\text{EV}_{\text{SS}3}$ (V850E/IH4-Hのみ), $\text{EV}_{\text{SS}4}$ レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に $\text{EV}_{\text{DD}0}$, $\text{EV}_{\text{DD}1}$, $\text{EV}_{\text{DD}2}$, $\text{EV}_{\text{DD}3}$ (V850E/IH4-Hのみ)レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に $\text{EV}_{\text{DD}0}$, $\text{EV}_{\text{DD}1}$, $\text{EV}_{\text{DD}2}$, $\text{EV}_{\text{DD}3}$ (V850E/IH4-Hのみ)レベルの電圧を供給する必要があります。詳細は、27.9.5 (1) FLMD0端子を参照してください。



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子にEV_{DD0}、EV_{DD1}、EV_{DD2}、EV_{DD3} (V850E/IH4-Hのみ) が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

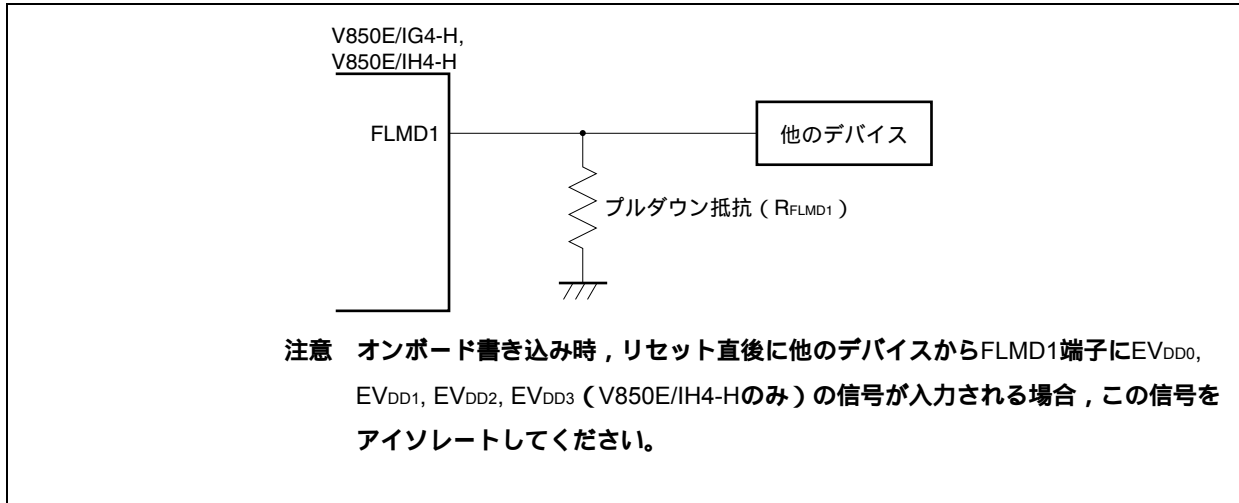


表27 - 9 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
EV _{DD}	0	フラッシュ・メモリ・プログラミング・モード
EV _{DD}	EV _{DD}	設定禁止

備考 EV_{DD} : EV_{DD0}、EV_{DD1}、EV_{DD2}、EV_{DD3} (V850E/IH4-Hのみ)

27.7.5 ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラマと通信する端子を除くすべてのポート端子はハイ・インピーダンス状態になります。これらのポート端子を処理する必要はありません。なお、ポートに接続されている外部デバイスにハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介してEV_{DD0}、EV_{DD1}、EV_{DD2}、EV_{DD3} (V850E/IH4-Hのみ) に接続するか、または抵抗を介してEV_{SS0}、EV_{SS1}、EV_{SS2}、EV_{SS3} (V850E/IH4-Hのみ) 、EV_{SS4}に接続するなどの処置をしてください。

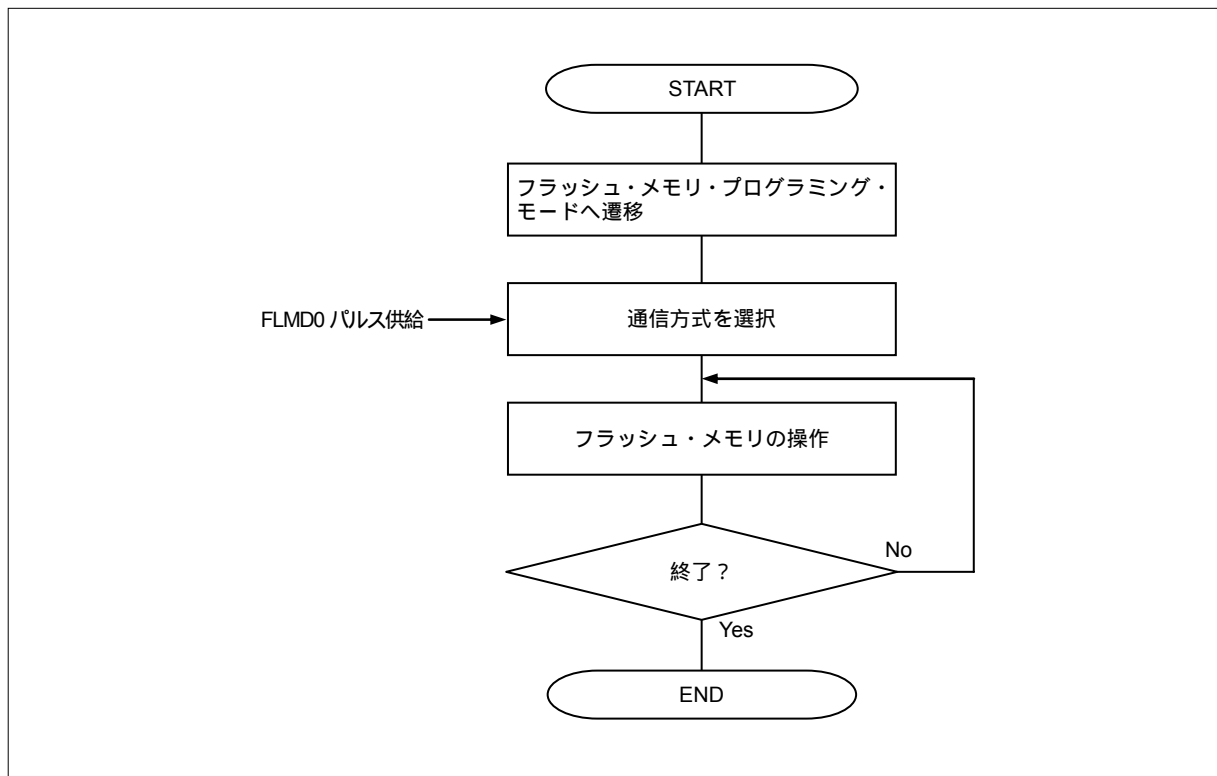
27.7.6 その他の信号端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

27.8 フラッシュ・メモリ・プログラミング方法

27.8.1 フラッシュ・メモリ制御

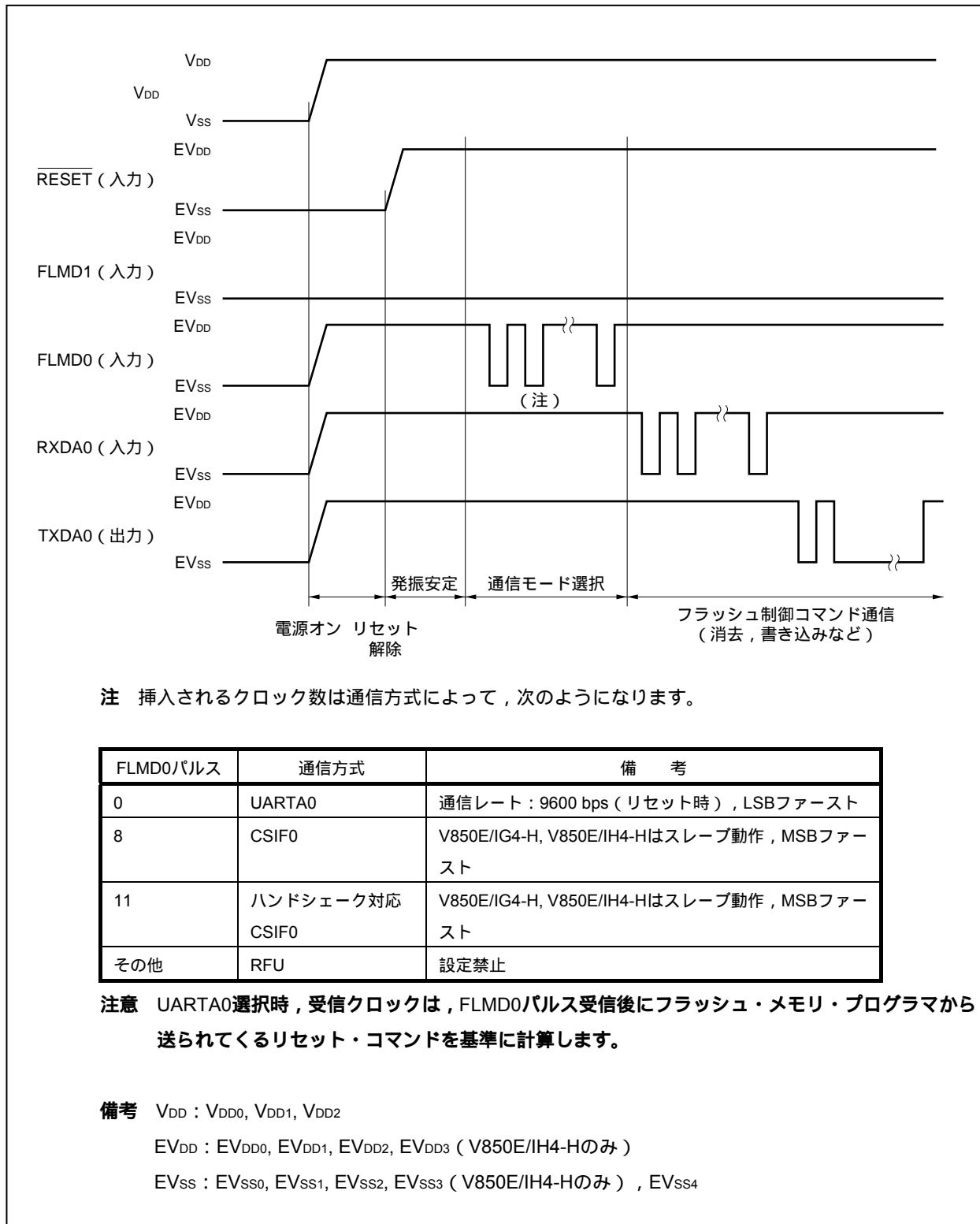
フラッシュ・メモリを操作する手順を次に示します。



27. 8. 2 通信方式の選択

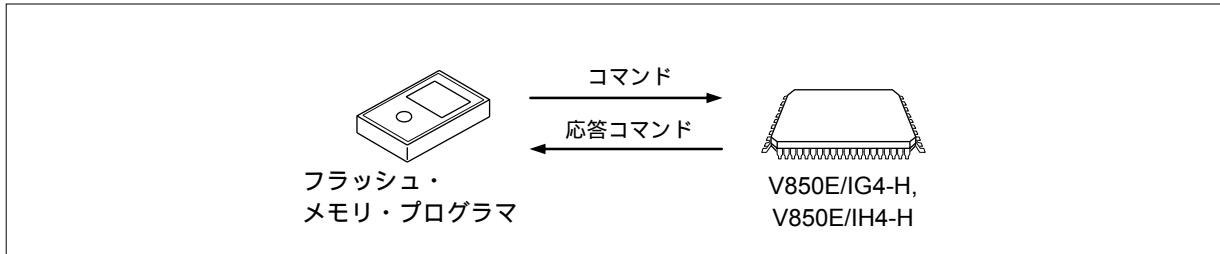
V850E/IG4-H, V850E/IH4-Hでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスはフラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。



27. 8. 3 通信コマンド

V850E/IG4-H, V850E/IH4-Hとフラッシュ・メモリ・プログラマは、コマンドを介して通信します。フラッシュ・メモリ・プログラマからV850E/IG4-H, V850E/IH4-Hへ送られるコマンドを「コマンド」と呼び、V850E/IG4-H, V850E/IH4-Hからフラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。



V850E/IG4-H, V850E/IH4-Hのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850E/IG4-H, V850E/IH4-Hがコマンドに対応した各処理を行います。

表27 - 10 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		UARTA0	CSIF0	注	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・メモリ・プログラマから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定, およびブート領域の書き換え禁止設定

注 ハンドシェイク対応CSIF0

また、フラッシュ・メモリ・プログラマから発行されたコマンドに対して、V850E/IG4-H, V850E/IH4-Hは応答コマンドを返します。V850E/IG4-H, V850E/IH4-Hが送出する応答コマンドを次に示します。

表27 - 11 応答コマンド

応答コマンド名称	機 能
ACK (アクリッジ)	コマンド/データなどのアクリッジ
NAK (ノット・アクリッジ)	不正なフレームなどのアクリッジ
コマンド番号エラー	不正なコマンド/データなどのアクリッジ
パラメータ・エラー	不正なパラメータなどのアクリッジ
チェックサム・エラー	フレームに対するチェックサムのアクリッジ
プロテクト・エラー	プロテクトが掛かっているときのアクリッジ
処理中 (BUSY)	処理中のアクリッジ
上記以外	エラー

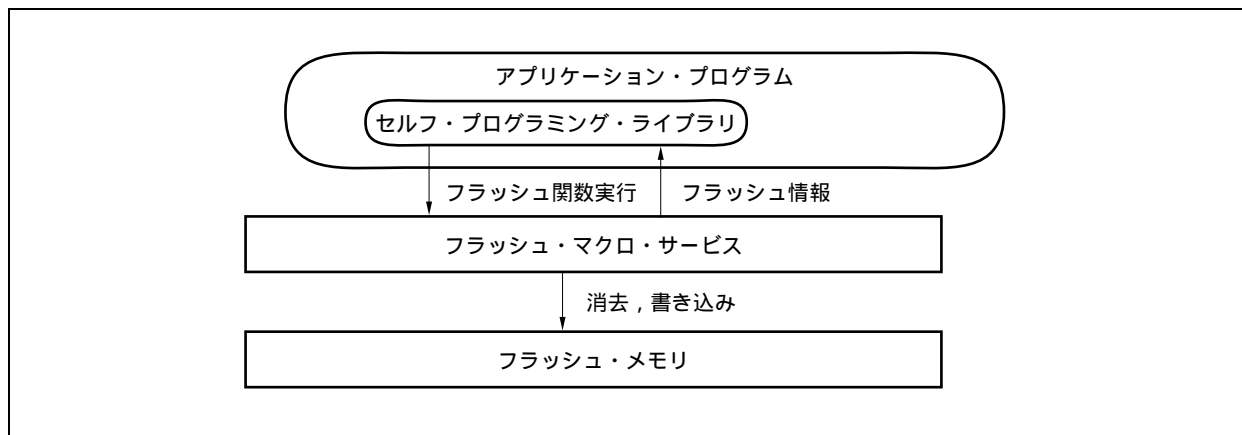
27.9 セルフ・プログラミングによる書き換え

27.9.1 概 要

V850E/IG4-H, V850E/IH4-Hは、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換え[※]を行うことができます。セルフ・プログラミングの詳細については、**フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル**を参照してください。

注 書き換え対象の定数データがあるブロックに、プログラム・コードを配置しないよう注意してください。ブロック構成については、27.2 **メモリ構成**を参照してください。

図27-2 セルフ・プログラミングの概念図



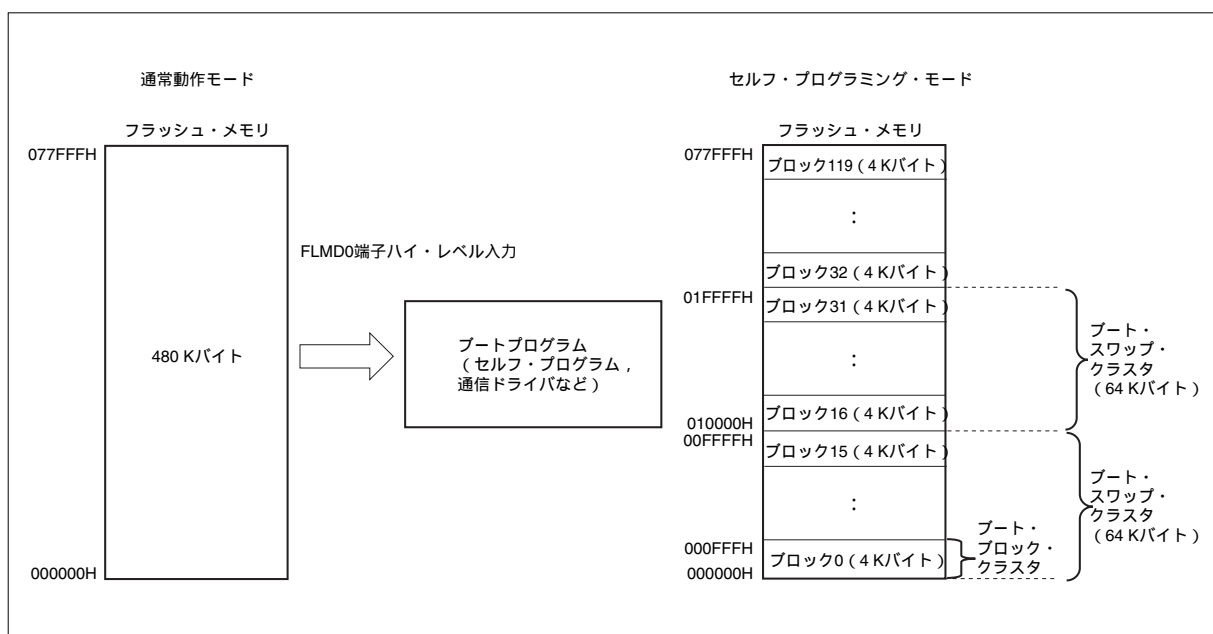
27.9.2 特 徴

(1) フラッシュ・メモリ・セルフ・プログラミング

フラッシュ・メモリ・セルフ・プログラミングは、消去 / 書き込み対象のフラッシュ・メモリ・エリア以外の領域に配置されたプログラム上で、フラッシュ関数を呼び出すことにより、フラッシュ・メモリの消去 / 書き込みを実現します。セルフ・プログラミングを実現するためのプログラムを消去 / 書き込み対象のブロックに配置する場合は、内蔵RAM領域にプログラムをコピーしたあと、コピー先でプログラムを実行して、フラッシュ関数を呼び出してください。

フラッシュ関数の呼び出しは、通常動作モードからセルフ・プログラミング・モードに切り替えて行います。

図27 - 3 セルフ・プログラミング



(a) ブート・スワップ・クラスタ

フラッシュ・メモリ・プログラミング時にアドレス下位側 (000000H-00FFFFH) のブート・スワップ・クラスタとアドレス上位側 (010000H-01FFFFH) のブート・スワップ・クラスタを入れ替えることができます。

(b) ブート・ブロック・クラスタ

フラッシュ・メモリ・プログラミング時に、ブート・ブロック・クラスタを000000Hから4 Kバイト単位で指定することにより、ブート・ブロック・クラスタの内容を書き換えないようにすることができます。

(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

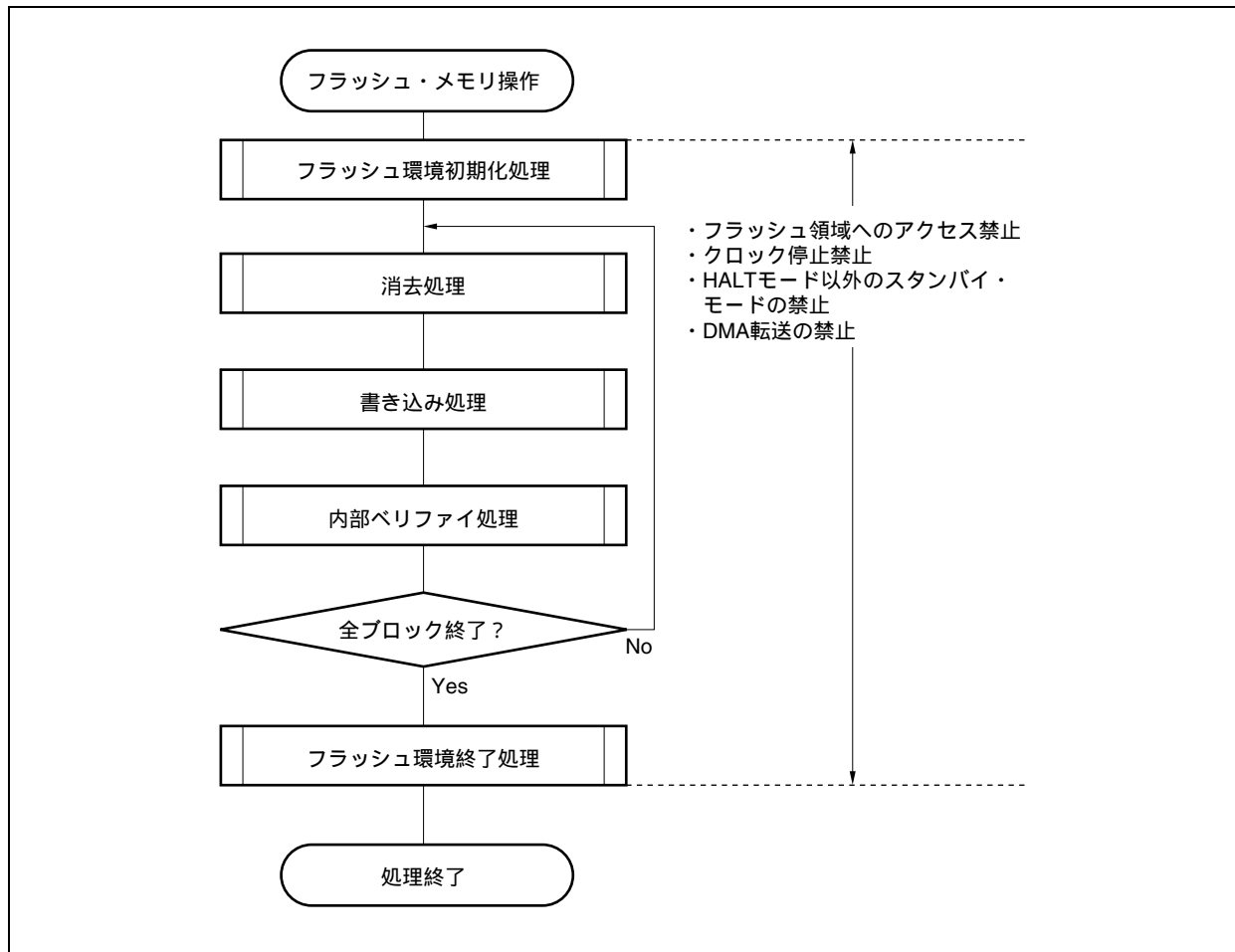
そのため、V850E/IG4-H, V850E/IH4-Hでは、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地[※]に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地[※]にユーザ割り込み処理へ遷移するJMP命令を用意してください。

- 注 NMI割り込み : 内蔵RAMの先頭番地
 マスカブル割り込み : 内蔵RAMの先頭 + 4番地

27.9.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図27-4 標準セルフ・プログラミング・フロー



27.9.4 フラッシュ関数一覧

表27 - 12 フラッシュ関数一覧

関数名	概要	対応
FlashInit	セルフ・ライブラリの初期化	
FlashEnv	フラッシュ環境の開始 / 終了	
FlashFLMDCheck	FLMD端子のチェック	
FlashStatusCheck	ハードウェア処理の実況チェック	
FlashBlockErase	ブロックの消去	
FlashWordWrite	データの書き込み	
FlashBlockVerify	ブロックの内部ベリファイ	
FlashBlockBlankCheck	ブロックのブランク・チェック	
FlashSetInfo	フラッシュ情報の設定	
FlashGetInfo	フラッシュ情報の獲得	
FlashBootSwap	ブート・スワップの実行	

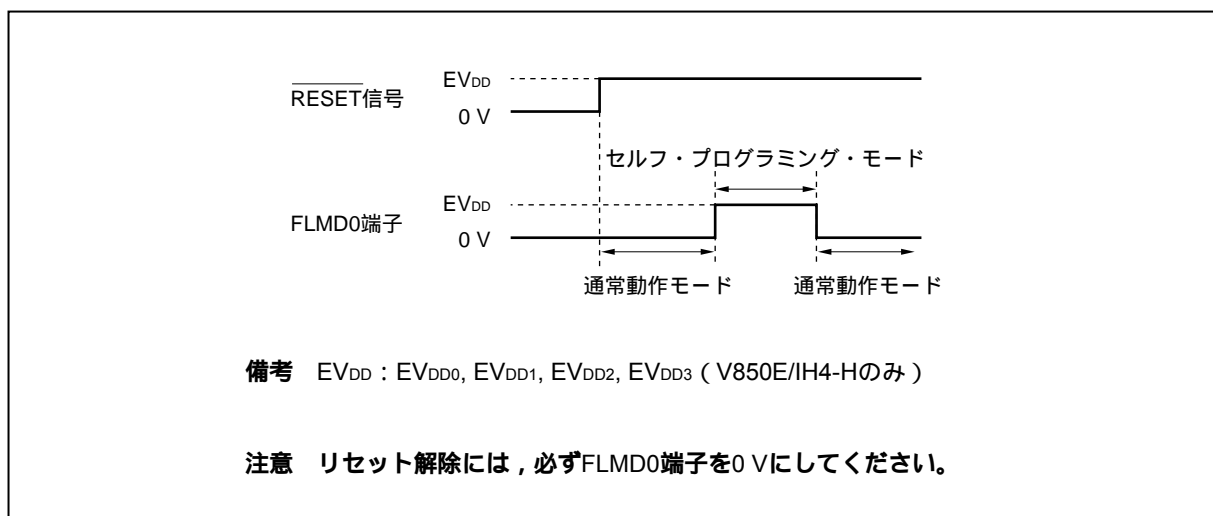
27.9.5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子にEV_{DD0}、EV_{DD1}、EV_{DD2}、EV_{DD3}（V850E/IH4-Hのみ）レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0Vに戻す必要があります。

図27-5 モード切り替わりタイミング



27.9.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表27 - 13 使用する内部資源

リソース名	説明
スタック領域	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
フラッシュ・マクロ・サービス領域 ^注	内蔵RAMの9 Kバイトの領域 (3FFCC00H-3FFEFFFH)
ライブラリ・コード ^注	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合、内蔵RAMの先頭 + 4番地に処理が移るため、あらかじめ内蔵RAMの先頭 + 4番地にユーザ割り込み処理へ遷移するjump命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合、内蔵RAMの先頭番地に処理が移るため、あらかじめ内蔵RAMの先頭番地にユーザ割り込み処理へ遷移するjump命令を用意してください。

注 使用リソースについては、**フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル**を参照してください。

第28章 電気的特性

28.1 V850E/IG4-H

28.1.1 絶対最大定格

($T_A = 25\text{ }^\circ\text{C}$)

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		- 0.5 ~ + 2.0	V	
	V_{SS}	$V_{SSn} = EV_{SSm} = AV_{SSn}$	- 0.5 ~ + 0.5	V	
	EV_{DD}		- 0.5 ~ + 6.5	V	
	EV_{SS}	$V_{SSn} = EV_{SSm} = AV_{SSn}$	- 0.5 ~ + 0.5	V	
	AV_{DD}		- 0.5 ~ + 6.5	V	
	AV_{SS}	$V_{SSn} = EV_{SSm} = AV_{SSn}$	- 0.5 ~ + 0.5	V	
	UV_{DD}		- 0.5 ~ + 4.6	V	
入力電圧	V_{I1}	注1	- 0.5 ~ $EV_{DD} + 0.5$ ^{注2}	V	
	V_{I2}	X1, X2	- 0.5 ~ $V_{DD} + 0.35$	V	
ロウ・レベル出力電流	I_{OL}	すべての端子	1端子	4	mA
			全端子合計	63	mA
ハイ・レベル出力電流	I_{OH}	すべての端子	1端子	- 4	mA
			全端子合計	- 63	mA
アナログ入力電圧	V_{IAN}	注3	- 0.5 ~ $AV_{DD} + 0.5$ ^{注2}	V	
アナログ基準入力電圧	V_{IREF}	AV_{REFP0} , AV_{REFP1}	- 0.5 ~ $AV_{DD} + 0.5$ ^{注2}	V	
動作周囲温度	T_A	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	T_{stg}		- 40 ~ + 125		

注1. P00-P07, P10-P16, P20-P24, P30-P37, P40-P44, P50-P52, P70-P711, PDL0-PDL15, \overline{RESET} , FLMD0, \overline{DRST}

- それぞれの電源電圧の絶対最大定格 (MAX. 値) を越えないようにしてください。
- P70/ANI20-P711/ANI211, ANI00/ANI05-ANI02/ANI07, ANI03, ANI10/ANI15-ANI12/ANI17

注意1. IC製品の出力(出力状態の入出力端子)をほかの出力端子(出力状態の入出力端子を含む),および V_{DD} , EV_{DD} などの電源端子やGND端子に直線接続しないでください。ただし,入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

- 各項目のうち1項目でも,また一瞬でも絶対最大定格を越えると,製品の品質を損なう恐れがあります。つまり絶対最大定格とは,製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で,製品をご使用ください。

DC特性とAC特性に示す規格や条件が,製品の正常動作,品質保証の範囲です。

備考 n = 0-2

m = 0-2, 4

28.1.2 容 量

($T_A = 25$, $V_{DD0} = V_{SS0} = V_{DD1} = V_{SS1} = V_{DD2} = V_{SS2} = EV_{DD0} = EV_{SS0} = EV_{DD1} = EV_{SS1} = EV_{DD2} = EV_{SS2} = EV_{SS4} = AV_{DD0} = AV_{SS0} = AV_{DD1} = AV_{SS1} = AV_{DD2} = AV_{SS2} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_i	$f_c = 1$ MHz			15	pF
入出力容量	C_{iO}	被測定ピン以外は0 V			15	pF
出力容量	C_o				15	pF

注 1. ANI00/ANI05-ANI02/ANI07, ANI03, ANI10/ANI15-ANI12/ANI17, \overline{RESET}

2. P00-P07, P10-P16, P24-P27, P30-P37, P40-P44, P50-P52, P70-P711, PDL0-PDL15

3. DDO

注意1. FLMD0, \overline{DRST} , X1, X2端子を除きます。

2. ANI00/ANI05-ANI02/ANI07, ANI03, ANI10/ANI15-ANI12/ANI17, ANI20-ANI211端子には入力容量のほかにサンプリング時にはサンプリング容量が追加されます。

28.1.3 動作条件

($T_A = -40 \sim +85$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0$ V)

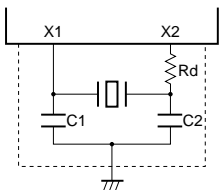
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
システム・クロック周波数	f_{xx}	PLLモード	80		100	MHz
		クロック・スルー・モード	10		12.5	MHz
CPUクロック周波数	f_{CPU}	PLLモード	10		100	MHz
		クロック・スルー・モード	1.25		12.5	MHz
V_{DD} 電圧	V_{DD}		1.35		1.65	V
EV_{DD} 電圧	EV_{DD}		3.5		5.5	V
AV_{DD} 電圧	AV_{DD}	A/Dコンバータ0-2動作時	4.0		5.5	V
		A/Dコンバータ0-2非動作時	3.5		5.5	V
UV_{DD} 電圧	UV_{DD}		3.0		3.6	V

28.1.4 クロック発振回路特性

($T_A = -40 \sim +85$ °C , $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65$ V ,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5$ V , $UV_{DD} = 3.0 \sim 3.6$ V ,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0$ V)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単 位	
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x)		10		12.5	MHz	
		発振安定時間	リセット解除後		$2^{15}/f_x$			ms
			STOPモード解除後		注			ms

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. 発振子の選択および発振回路定数については, お客様において発振評価していただくか, 発振子メーカーに評価を依頼してください。

4. V850E/IG4-Hでは外部クロック入力は禁止です。

28. 1. 5 DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1		0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	注2		0.8 EV_{DD}		EV_{DD}	V
	V_{IH3}	注3		2.2		EV_{DD}	V
	V_{IH4}	注4		0.7 AV_{DD}		AV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1		EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	注2		EV_{SS}		0.2 EV_{DD}	V
	V_{IL3}	注3		EV_{SS}		0.8	V
	V_{IL4}	注4		AV_{SS}		0.3 AV_{DD}	V
ハイ・レベル入力リーク電流	I_{LIH1}	$V_i =$ 注5,	X1以外			5	μA
	I_{LIH2}		注6	X1		20	μA
ロウ・レベル入力リーク電流	I_{LIL1}	$V_i = 0 \text{ V}$	X1以外			- 5	μA
	I_{LIL2}		X1			- 20	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_o =$ 注5				5	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_o = 0 \text{ V}$				- 5	μA
ハイ・レベル出力電圧	V_{OH1}	注7	$I_{OH} = -1.0 \text{ mA}$	端子合計 = - 52 mA	$EV_{DD} - 1.0$		V
ロウ・レベル出力電圧	V_{OL1}	注7	$I_{OL} = 1.0 \text{ mA}$	端子合計 = 52 mA		0.4	V
プルアップ抵抗	R_{L1}			10	30	120	$\text{k}\Omega$
プルダウン抵抗 ^{注8}	R_{L2}			10	30	120	$\text{k}\Omega$

注1. P33, P36, P41, PDL0-PDL15端子

2. P00-P07, P10-P16, P24-P27, P30-P32, P34, P35, P37, P40, P42-P44, P50-P52, $\overline{\text{RESET}}$, FLMD0端子

3. $\overline{\text{DRST}}$, DDI, DCK, DMS端子

4. P70-P711端子

5. $AV_{DD0} = AV_{DD1} = AV_{DD2} = EV_{DD0} = EV_{DD1} = EV_{DD2}$

6. $\overline{\text{DRST}}$ 端子は除く

7. P00-P07, P10-P16, P20-P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15, DDO端子

8. $\overline{\text{DRST}}$ 端子のみ

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = A_{VDD0} = A_{VDD1} = A_{VDD2} = 3.5 \sim 5.5 \text{ V}$, $U_{VDD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$) (2/2)

項 目	略 号	条 件	MIN.	TYP. ^{注1}	MAX.	単 位	
V _{DD} 電源電流 ^{注2}	I _{DD1}	f _{xx} = 100 MHz	通常動作		125	205	mA
	I _{DD2}		HALTモード		66	143	mA
	I _{DD3}		IDLEモード		6	50	mA
	I _{DD4}	STOPモード		0.1	16	mA	

注1. TYP.値は、 $V_{DD0} = V_{DD1} = V_{DD2} = 1.5 \text{ V}$, $T_A = 25 \text{ }^\circ\text{C}$ での参考値です。

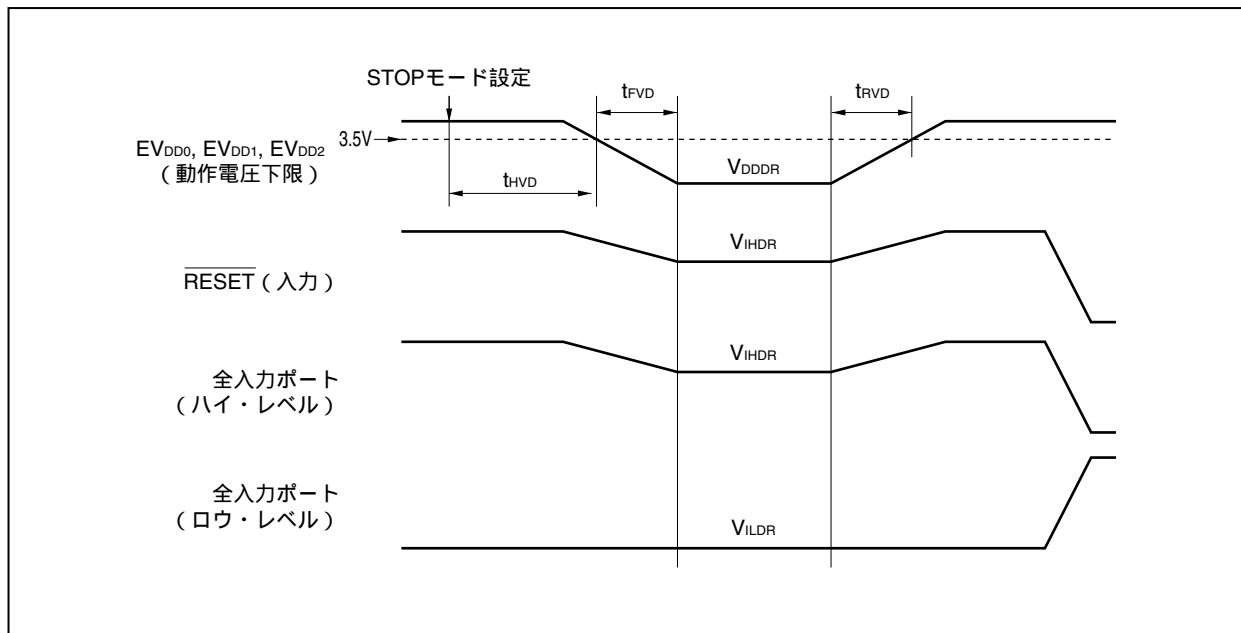
2. E_{VDD}系（出力バッファ、プルアップ抵抗）で消費する電流、A/Dコンバータ0-2およびオペアンプ、コンパレータの動作電流は含みません。

28. 1. 6 データ保持特性

STOPモード時 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$)

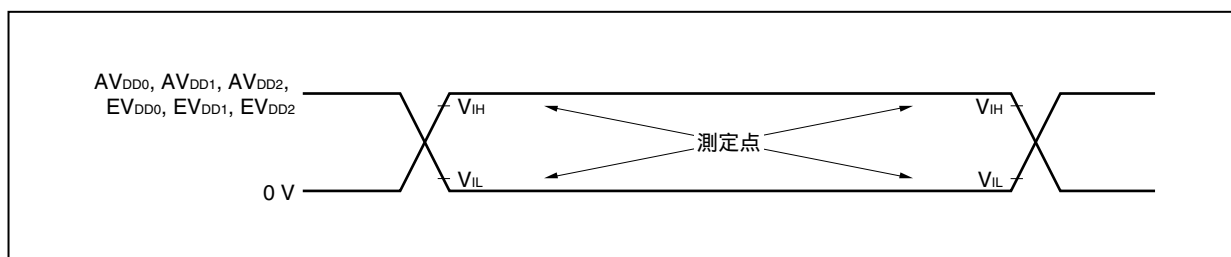
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード	注		5.5	V
データ保持電流	I_{DDDR}	$V_{DD0} = V_{DD1} = V_{DD2} = V_{DDDR}$		40	800	μA
電源電圧立ち上がり時間	t_{RVD}		1			μs
電源電圧立ち下がり時間	t_{FVD}		1			μs
電源電圧保持時間 (対STOPモード設定)	t_{HVD}		0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力ポート	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力ポート	EV_{SS}		$0.1V_{DDDR}$	V

注 低電圧検出回路 (LVI) のリセット・モード (LVIM.LVIMDビット = 0) 未使用時 : POC検出電圧 (V_{POC0})
 低電圧検出回路 (LVI) のリセット・モード (LVIM.LVIMDビット = 1) 使用時 : LVI検出電圧 (V_{LV10}/V_{LV11})

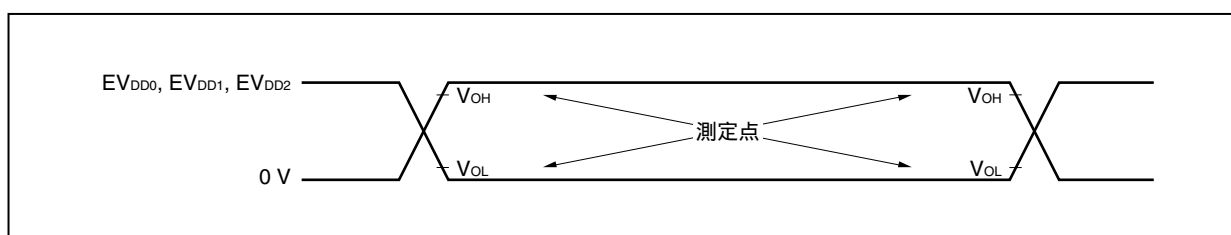


28. 1. 7 AC特性

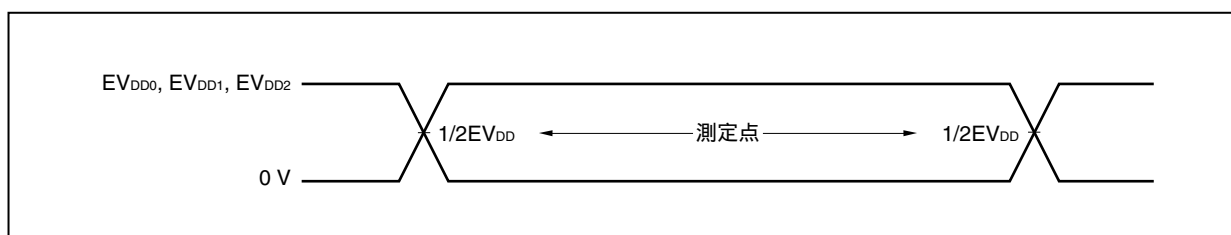
ACテスト入力測定点（外部バス，CSIF0-CSIF2以外の端子）



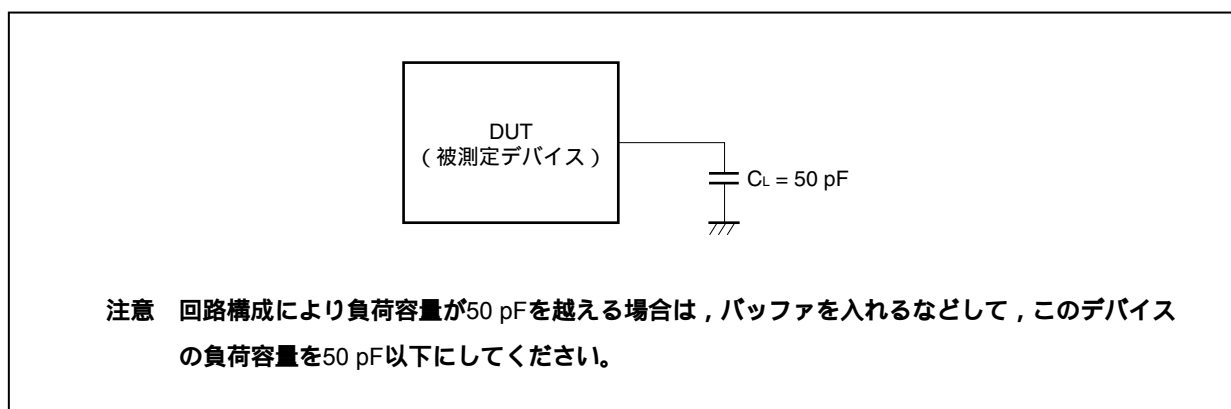
ACテスト出力測定点（外部バス，CSIF0-CSIF2以外の端子）



ACテスト入出力測定点（外部バス，CSIF0-CSIF2の端子）



負荷条件



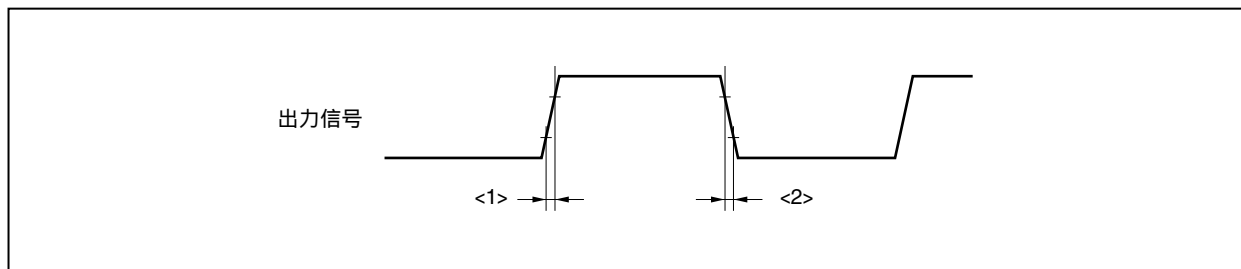
(1) 出力信号タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = A_{VDD0} = A_{VDD1} = A_{VDD2} = 4.0 \sim 5.5 \text{ V}$, $U_{VDD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	toR	<1> P07		5	ns
		PDL0-PDL15, DDO		8	ns
		上記以外		15	ns
出力立ち下がり時間	toF	<2> P07		5	ns
		PDL0-PDL15, DDO		8	ns
		上記以外		15	ns

**(2) リセット、外部割り込みタイミング**

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = A_{VDD0} = A_{VDD1} = A_{VDD2} = 4.0 \sim 5.5 \text{ V}$, $U_{VDD} = 3.0 \sim 3.6 \text{ V}$,

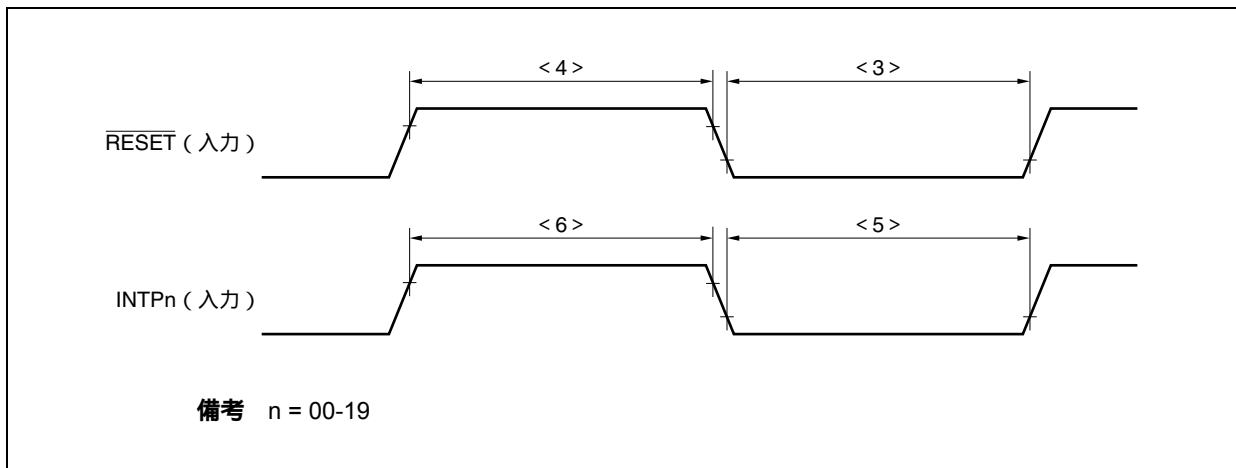
$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
RESET口ウ・レベル幅	t _{WRSL}	<3> 電源オン時, STOPモード解除時	500 + T _{os}		ns
		上記以外	500		ns
RESETハイ・レベル幅	t _{WRSH}	<4>	500		ns
INTPn口ウ・レベル幅	t _{WITL}	<5> n = 00-19 (アナログ・ノイズ除去)	500		ns
		n = 00-02, 17-19 (デジタル・ノイズ除去)	4T _{smp}		ns
INTPnハイ・レベル幅	t _{WITH}	<6> n = 00-19 (アナログ・ノイズ除去)	500		ns
		n = 00-02, 17-19 (デジタル・ノイズ除去)	4T _{smp}		ns

備考 T_{os}: 発振安定時間

T_{smp}: ノイズ除去サンプリング・クロック周期 (INTNFCnレジスタで設定)

リセット / 割り込み



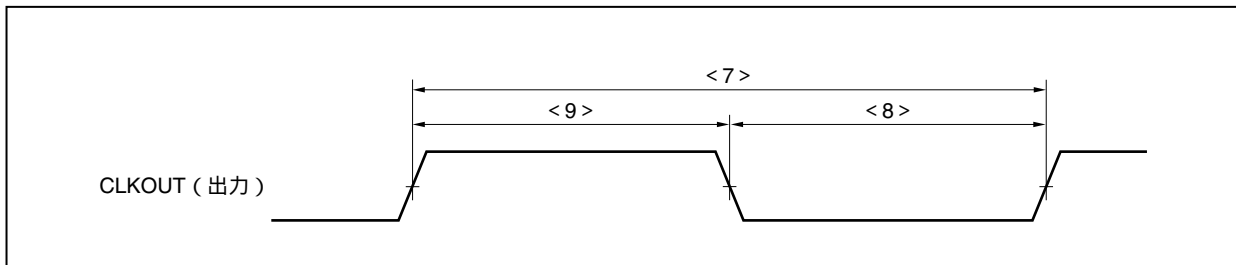
(3) CLKOUT出力タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = A_{VDD0} = A_{VDD1} = A_{VDD2} = 4.0 \sim 5.5 \text{ V}$, $U_{VDD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<7>	31.25 ns	3.2 μs	
ロウ・レベル幅	t_{WKH}	<8>	$t_{CYK}/2 - 6.2$		ns
ハイ・レベル幅	t_{WKL}	<9>	$t_{CYK}/2 - 6.2$		ns



(4) バス・タイミング

(a) リード・サイクル (CLKOUT非同期)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = 4.5 \sim 5.5 \text{ V}$, $A_{VDD0} = A_{VDD1} = A_{VDD2} = 4.0 \sim 5.5 \text{ V}$, $U_{VDD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	t_{DAST2}	<10>	$(0.5 + W_{AS}) T - 5$		ns
ASTBハイ・レベル幅	t_{WSTH}	<11>	$(1 + W_{AS} + i) T - 10$		ns
ASTB アドレス保持時間	t_{HSTA}	<12>	$(0.5 + W_{AH}) T - 5$		ns
アドレス \overline{RD} 遅延時間	t_{DARD2}	<13>	$(1 + W_{AS} + W_{AH}) T - 10$		ns
\overline{RD} アドレス・フロート遅延時間	t_{FRDA}	<14>		5	ns
ASTB データ入力設定時間	t_{DSTID}	<15>		$(1.5 + W_D + W + W_{AH}) T - 10$	ns
\overline{RD} データ入力設定時間	t_{DRDID2}	<16>		$(1 + W_D + W) T - 10$	ns
ASTB \overline{RD} 遅延時間	t_{DSTRD3}	<17>	$(0.5 + W_{AH}) T - 5$		ns
データ入力保持時間 (対 \overline{RD})	t_{HRDID2}	<18>	0		ns
\overline{RD} バス出力遅延時間	t_{DRDOD2}	<19>	$(1 + i) T - 5$		ns
\overline{RD} ASTB 遅延時間	t_{DRDST}	<20>	$0.5 T - 5$		ns
\overline{RD} ロウ・レベル幅	t_{WRDL2}	<21>	$(1 + W_D + W) T - 10$		ns
\overline{RD} ハイ・レベル幅	t_{WRDH2}	<22>	$(2 + i + W_{AS} + W_{AH}) T - 10$		ns
\overline{RD} \overline{WRn} ハイ・レベル保持時間	t_{HRDWR2}	<23>	$(2 + i + W_{AS} + W_{AH}) T - 10$		ns
WAIT設定時間 (対アドレス)	t_{DAWT2}	<24>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 10$	ns
WAIT保持時間 (対アドレス)	t_{HAWT2}	<25>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T$		ns
WAIT設定時間 (対ASTB)	t_{DSTWT}	<26>		$(1 + W_D + W + W_{AH}) T - 10$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT}	<27>	$(1 + W_D + W + W_{AH}) T$		ns
WAIT設定時間 (対 \overline{RD})	t_{DRDWT2}	<28>		$(0.5 + W_D + W) T - 10$	ns
WAIT保持時間 (対 \overline{RD})	t_{HRDWT2}	<29>	$(0.5 + W_D + W) T$		ns

注意1. Tは次の条件に従って設定してください。

40 ns T

- 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

備考1. W_{AS} : AWCレジスタによるアドレス・セットアップ・ウエイト数

W_{AH} : AWCレジスタによるアドレス・ホールド・ウエイト数

W_D : DWC0レジスタによるデータ・ウエイト数

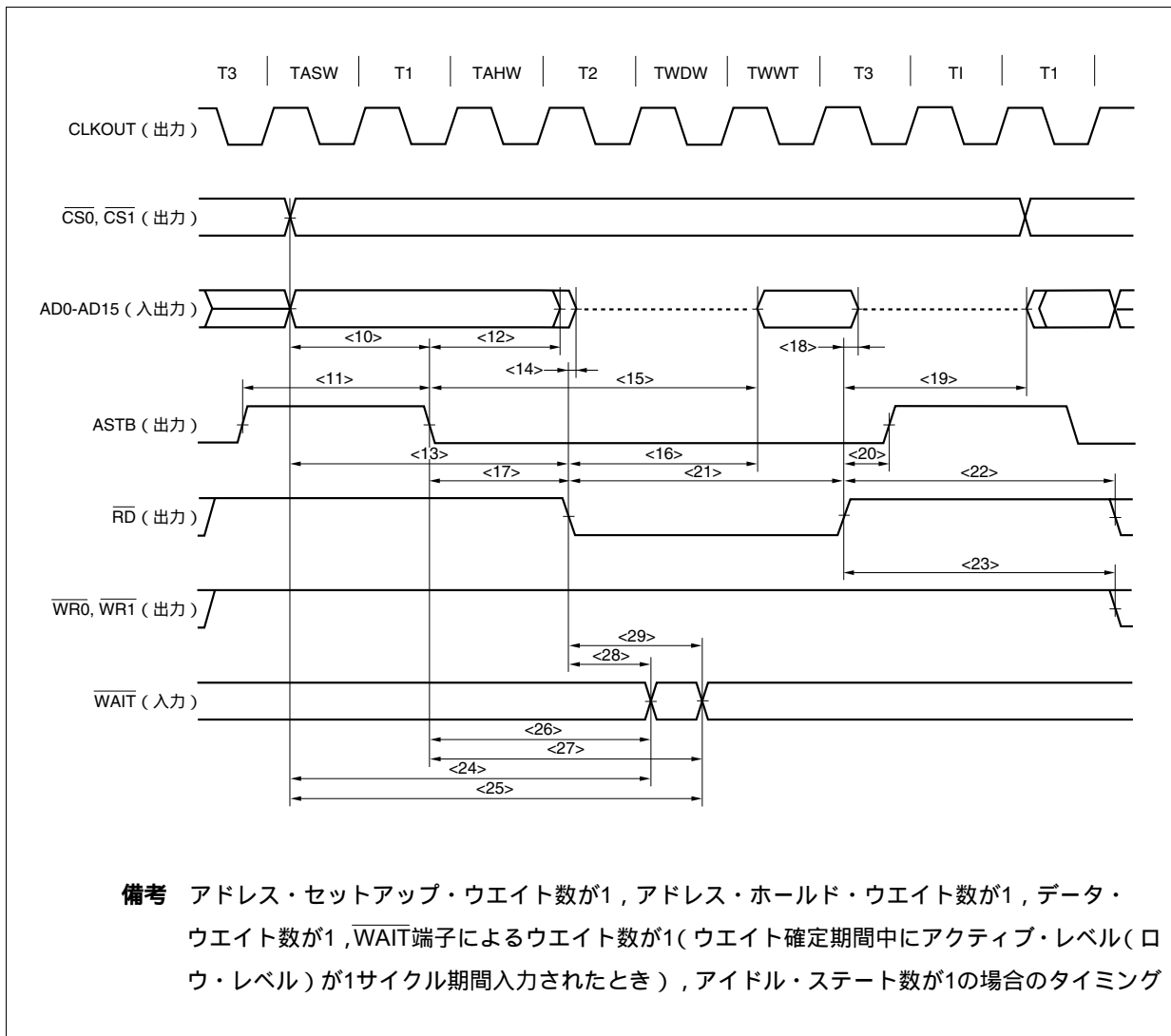
w : \overline{WAIT} 端子による外部ウエイト数

- $T = 1/f_{CPU}$ (f_{CPU} : CPUクロック周波数)

- $n = 0, 1$

- i : アイドル・ステート数

リード・サイクル (CLKOUT非同期)



(b) リード・サイクル (CLKOUT同期)

(TA = -40 ~ +85 °C, VDD0 = VDD1 = VDD2 = 1.35 ~ 1.65 V,

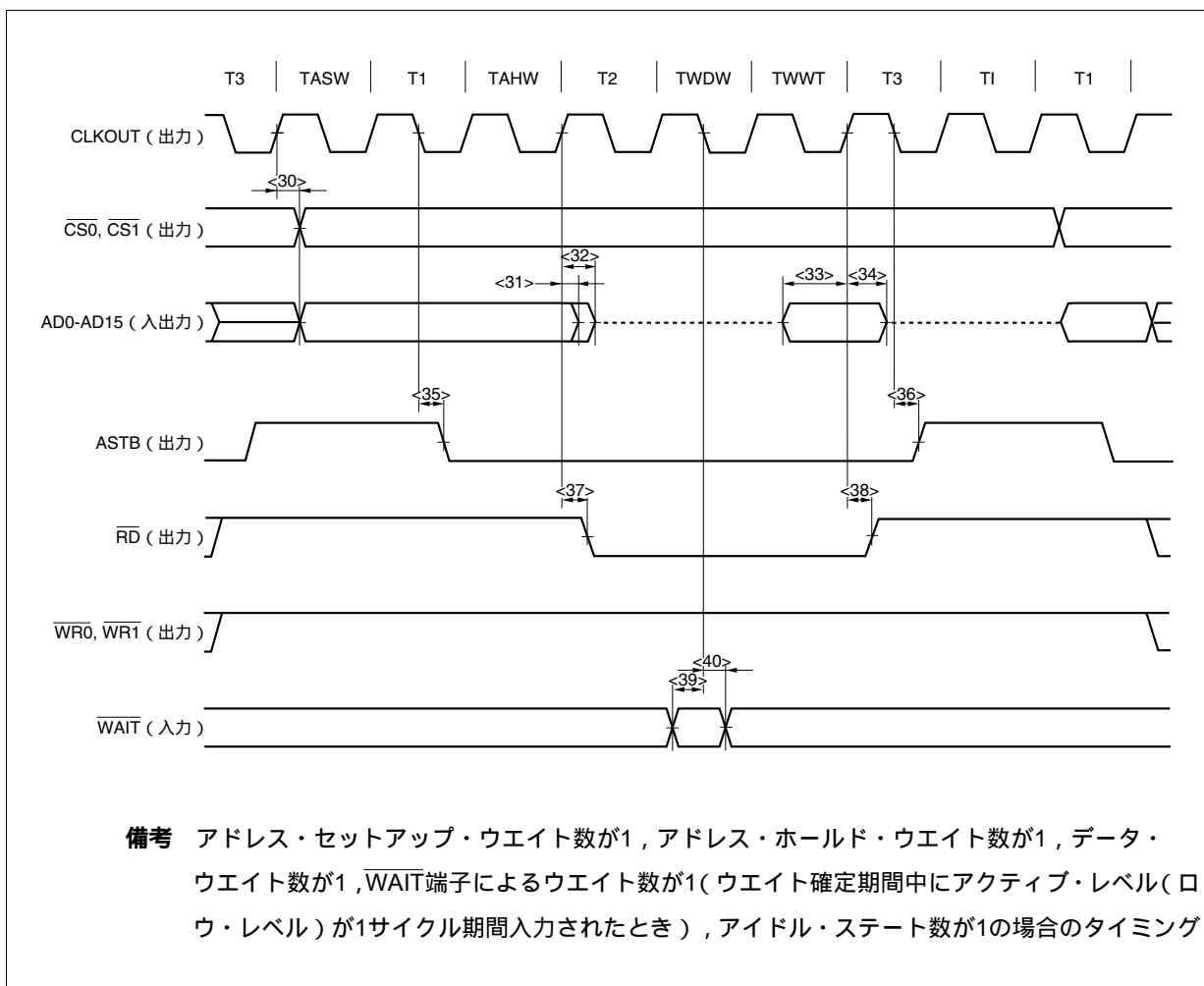
EVDD0 = EVDD1 = EVDD2 = 4.5 ~ 5.5 V, AVDD0 = AVDD1 = AVDD2 = 4.0 ~ 5.5 V, UVDD = 3.0 ~ 3.6 V,

VSS0 = VSS1 = VSS2 = EVSS0 = EVSS1 = EVSS2 = EVSS4 = AVSS0 = AVSS1 = AVSS2 = 0 V, CL = 50 pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT アドレス遅延時間	tDKA2	<30>		12	ns
CLKOUT アドレス保持時間	tHKA3	<31>	0		ns
CLKOUT アドレス・フロート遅延時間	tFKA	<32>		12	ns
データ入力設定時間 (対CLKOUT)	tsIDK2	<33>	16		ns
データ入力保持時間 (対CLKOUT)	tHKID2	<34>	0		ns
CLKOUT ASTB 遅延時間	tDKST3	<35>	0	12	ns
CLKOUT ASTB 遅延時間	tDKST4	<36>	0	12	ns
CLKOUT RD 遅延時間	tDKRD3	<37>	0	12	ns
CLKOUT RD 遅延時間	tDKRD4	<38>	0	12	ns
WAIT設定時間 (対CLKOUT)	tSWTK2	<39>	16		ns
WAIT保持時間 (対CLKOUT)	tHKWT2	<40>	0		ns

注意 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

リード・サイクル (CLKOUT同期)



(c) ライト・サイクル (CLKOUT非同期)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = 4.5 \sim 5.5 \text{ V}$, $AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス ASTB 遅延時間	t_{DAST2}	<10>	$(0.5 + W_{AS}) T - 5$		ns
ASTBハイ・レベル幅	t_{WSTH}	<11>	$(1 + W_{AS} + i) T - 10$		ns
ASTB アドレス保持時間	t_{HSTA}	<12>	$(0.5 + W_{AH}) T - 5$		ns
アドレス \overline{WRn} 遅延時間	t_{DAWR2}	<41>	$(1 + W_{AS} + W_{AH}) T - 10$		ns
\overline{WRn} データ出力遅延時間	t_{DWRD3}	<42>		5	ns
ASTB \overline{WRn} 遅延時間	t_{DSTWR3}	<43>	$(0.5 + W_{AH}) T - 5$		ns
データ出力 \overline{WRn} 遅延時間	t_{DODWR2}	<44>	$(1 + W_D + W) T - 10$		ns
\overline{WRn} データ出力保持時間	t_{HWRD2}	<45>	$T - 5$		ns
\overline{WRn} ASTB 遅延時間	t_{DWRST}	<46>	$0.5T - 5$		ns
\overline{WRn} 口ウ・レベル幅	t_{WURL2}	<47>	$(1 + W_D + W) T - 10$		ns
\overline{WRn} ハイ・レベル幅	t_{WWRH2}	<48>	$(2 + W_{AS} + W_{AH}) T - 10$		ns
\overline{WRn} RDハイ・レベル保持時間	t_{HWRD2}	<49>	$(2 + W_{AS} + W_{AH}) T - 10$		ns
WAIT設定時間 (対アドレス)	t_{DAWT2}	<24>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 10$	ns
WAIT保持時間 (対アドレス)	t_{HAWT2}	<25>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T$		ns
WAIT設定時間 (対ASTB)	t_{DSTWT}	<26>		$(1 + W_D + W + W_{AH}) T - 10$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT}	<27>	$(1 + W_D + W + W_{AH}) T$		ns
WAIT設定時間 (対 \overline{WRn})	t_{DWRWT2}	<50>		$(0.5 + W_D + W) T - 10$	ns
WAIT保持時間 (対 \overline{WRn})	t_{HWRWT2}	<51>	$(0.5 + W_D + W) T$		ns

注意1. Tは次の条件に従って設定してください。

40 ns T

- 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

備考1. W_{AS} : AWCレジスタによるアドレス・セットアップ・ウエイト数

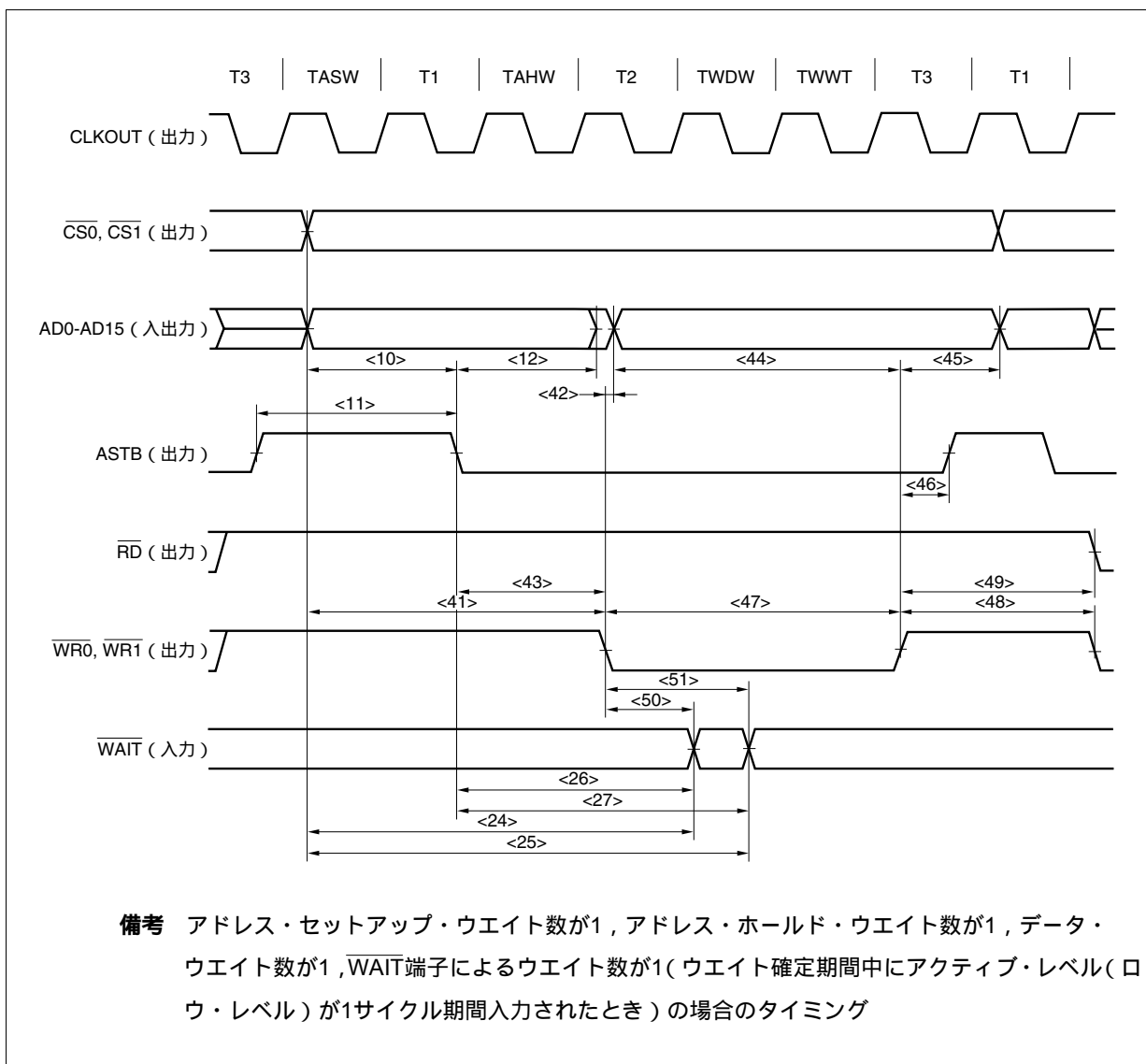
W_{AH} : AWCレジスタによるアドレス・ホールド・ウエイト数

W_D : DWC0レジスタによるデータ・ウエイト数

w : WAIT端子による外部ウエイト数

- $T = 1/f_{CPU}$ (f_{CPU} : CPUクロック周波数)
- $n = 0, 1$
- i : アイドル・ステート数

ライト・サイクル (CLKOUT非同期)



(d) ライト・サイクル (CLKOUT同期)

(TA = -40 ~ +85 °C, VDD0 = VDD1 = VDD2 = 1.35 ~ 1.65 V,

EVDD0 = EVDD1 = EVDD2 = 4.5 ~ 5.5 V, AVDD0 = AVDD1 = AVDD2 = 4.0 ~ 5.5 V, UVDD = 3.0 ~ 3.6 V,

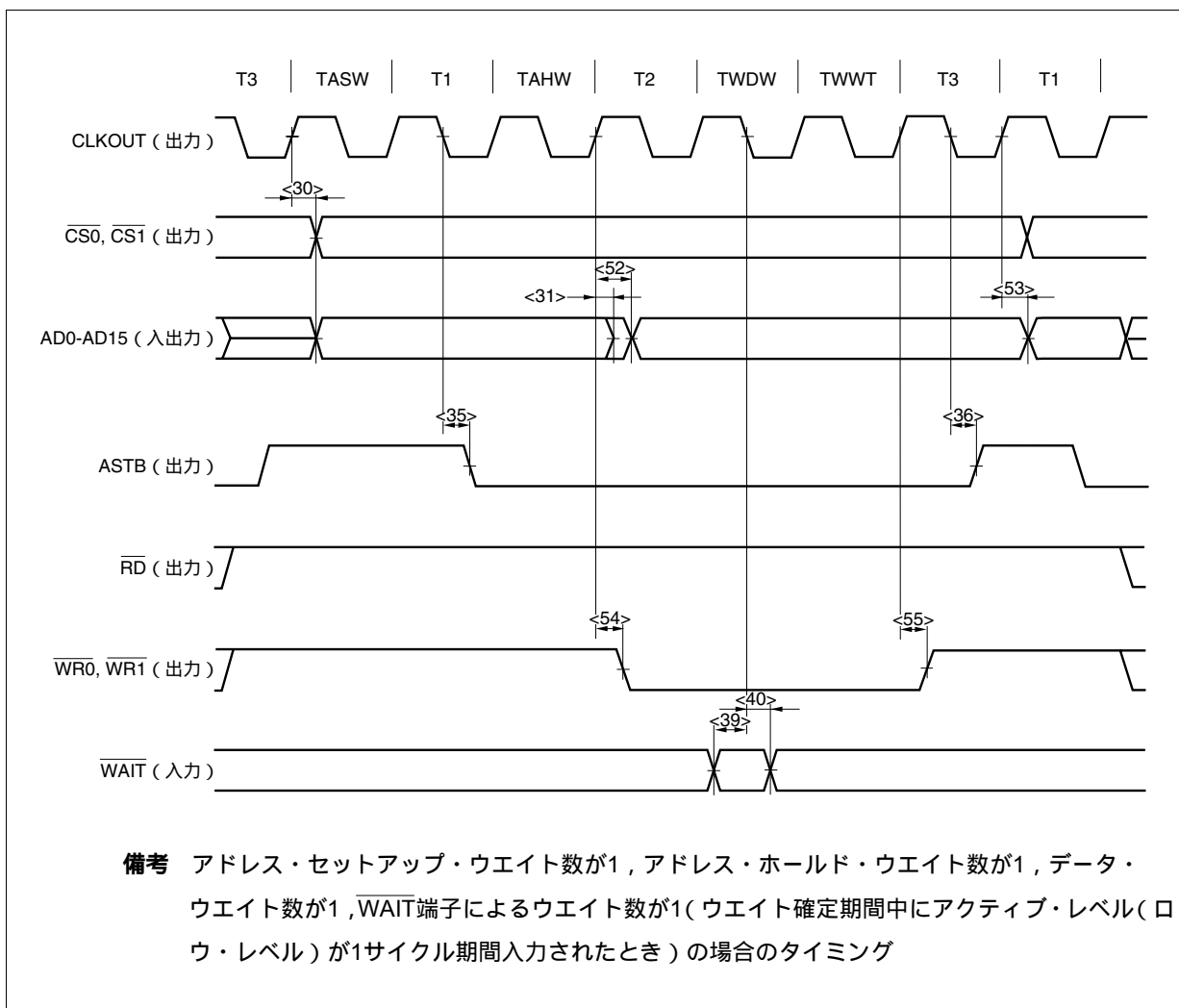
VSS0 = VSS1 = VSS2 = EVSS0 = EVSS1 = EVSS2 = EVSS4 = AVSS0 = AVSS1 = AVSS2 = 0 V, CL = 50 pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT アドレス遅延時間	tDKA2	<30>		12	ns
CLKOUT アドレス保持時間	tHKA3	<31>	0		ns
CLKOUT ASTB 遅延時間	tDKST3	<35>	0	12	ns
CLKOUT ASTB 遅延時間	tDKST4	<36>	0	12	ns
CLKOUT データ出力遅延時間	tDKOD3	<52>		12	ns
CLKOUT データ出力保持時間	tHKOD2	<53>	0		ns
CLKOUT \overline{WRn} 遅延時間	tDKWR3	<54>	0	12	ns
CLKOUT \overline{WRn} 遅延時間	tDKWR4	<55>	0	12	ns
WAIT設定時間 (対CLKOUT)	tSWTK2	<39>	16		ns
WAIT保持時間 (対CLKOUT)	tHKWT2	<40>	0		ns

注意 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

備考 n = 0, 1

ライト・サイクル (CLKOUT同期)



(3) タイマ・タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

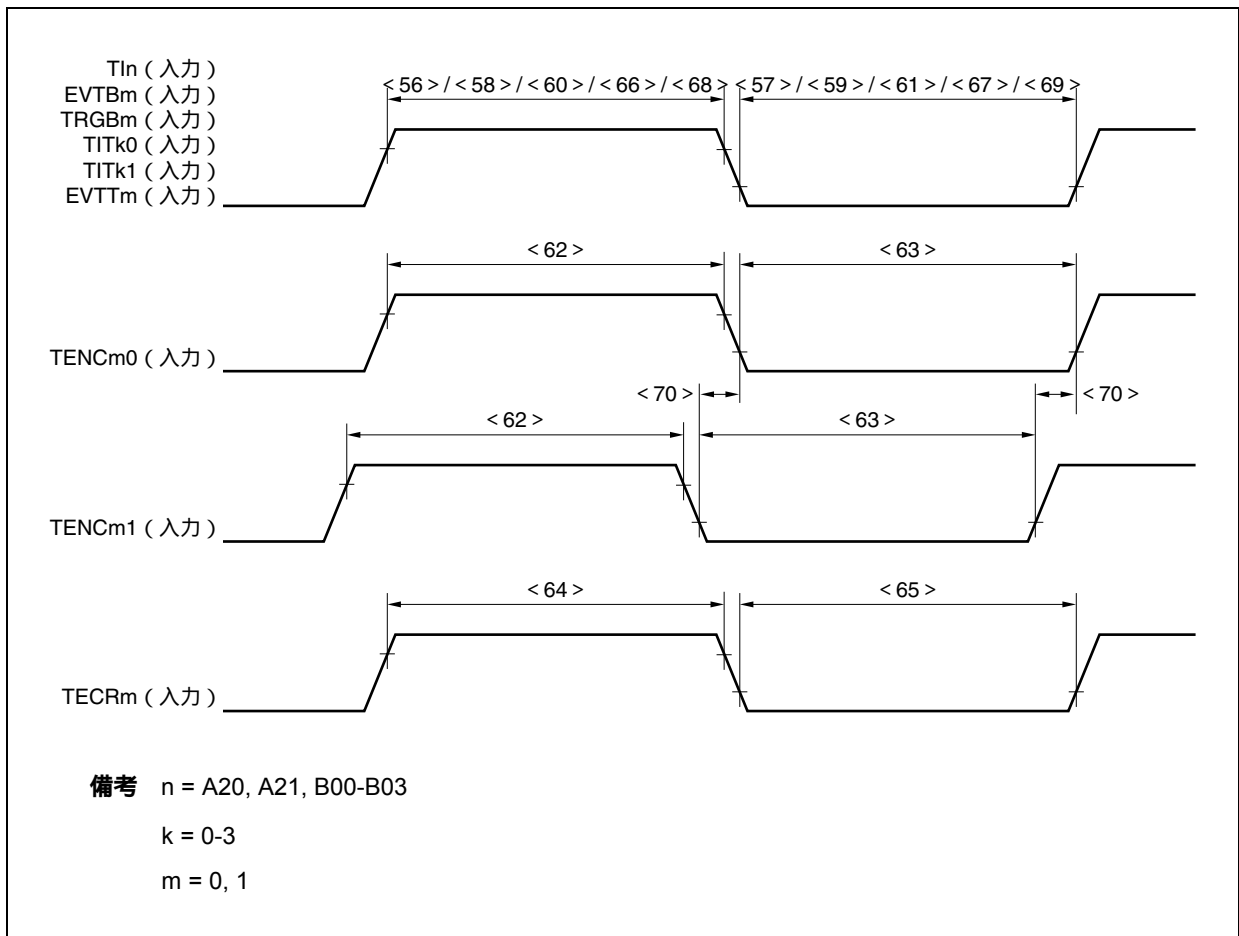
項目	略号	条件	MIN.	MAX.	単位	
TInハイ・レベル幅 ^{注1, 2}	t _{WTIHn}	<56>	n = B00-B03	12T + 10		ns
			n = A20, A21	3T _{smp1} + 10		ns
TInロウ・レベル幅 ^{注1, 2}	t _{WTILn}	<57>	n = B00-B03	12T + 10		ns
			n = A20, A21	3T _{smp1} + 10		ns
EVTBmハイ・レベル幅 ^{注1}	t _{WEVBHm}	<58>	m = 0, 1	12T + 10		ns
EVTBmロウ・レベル幅 ^{注1}	t _{WEVBLm}	<59>	m = 0, 1	12T + 10		ns
TRGBmハイ・レベル幅 ^{注1}	t _{WTRHm}	<60>	m = 0, 1	12T + 10		ns
TRGBmロウ・レベル幅 ^{注1}	t _{WTRLm}	<61>	m = 0, 1	12T + 10		ns
TENCm0/TENCm1 ハイ・レベル幅 ^{注3}	t _{WENCHm}	<62>	m = 0, 1	3T _{smp2} + 10		ns
TENCm0/TENCm1 ロウ・レベル幅 ^{注3}	t _{WENCLm}	<63>	m = 0, 1	3T _{smp2} + 10		ns
TECRmハイ・レベル幅 ^{注3}	t _{WCRHm}	<64>	m = 0, 1	3T _{smp2} + 10		ns
TECRmロウ・レベル幅 ^{注3}	t _{WCRLm}	<65>	m = 0, 1	3T _{smp2} + 10		ns
TITk0/TITk1 ハイ・レベル幅 ^{注3}	t _{WTITHk}	<66>	k = 0-3	3T _{smp2} + 10		ns
TITk0/TITk1 ロウ・レベル幅 ^{注3}	t _{WTITLk}	<67>	k = 0-3	3T _{smp2} + 10		ns
EVTTmハイ・レベル幅 ^{注3}	t _{WEVTHm}	<68>	m = 0, 1	3T _{smp2} + 10		ns
EVTTmロウ・レベル幅 ^{注3}	t _{WEVTLm}	<69>	m = 0, 1	3T _{smp2} + 10		ns
TENCm0/TENCm1 入力時間差 ^{注3}	t _{PHUDm}	<70>	m = 0, 1	3T _{smp2} + 10		ns

注1. $T = 1/f_{xx}$

2. T_{smp1}: ノイズ除去サンプリング・クロック周期 (TANFC2レジスタで設定)
3. T_{smp2}: ノイズ除去サンプリング・クロック周期 (TTNFC0-TTNFC3レジスタで設定)

備考 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。

タイマ入力タイミング



(4) UARTA タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
送信レート				1.25	Mbps

(5) UARTB タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
送信レート				5.00	Mbps

(6) CSIF タイミング

(a) マスタ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKFn周期	t _{KCYM}	<71>	125		ns
SCKFnハイ/ロウ・レベル幅	t _{KWHM} , t _{KWLM}	<72>	t _{KCYM} /2 - 10		ns
SIFnセットアップ時間 (対SCKFn)	t _{SSIM}	<73>	30		ns
SIFnセットアップ時間 (対SCKFn)			30		ns
SIFnホールド時間 (対SCKFn)	t _{HSIM}	<74>	30		ns
SIFnホールド時間 (対SCKFn)			30		ns
SOFn出力遅延時間 (対SCKFn)	t _{DSOM}	<75>		30	ns
SOFn出力遅延時間 (対SCKFn)				30	ns
SOFn出力保持時間 (対SCKFn)	t _{HSOM}	<76>	t _{KCYM} /2 - 10		ns
SOFn出力保持時間 (対SCKFn)			t _{KCYM} /2 - 10		ns

備考 n = 0-2

(b) スレーブ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

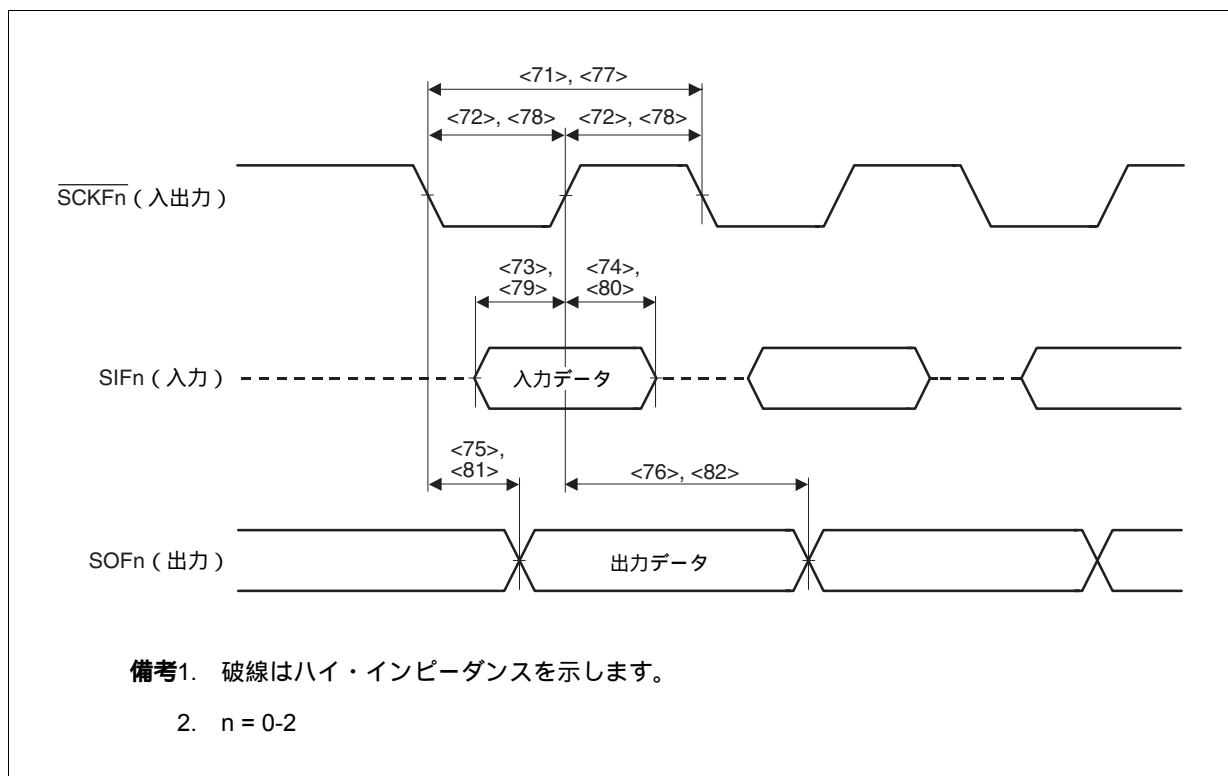
$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

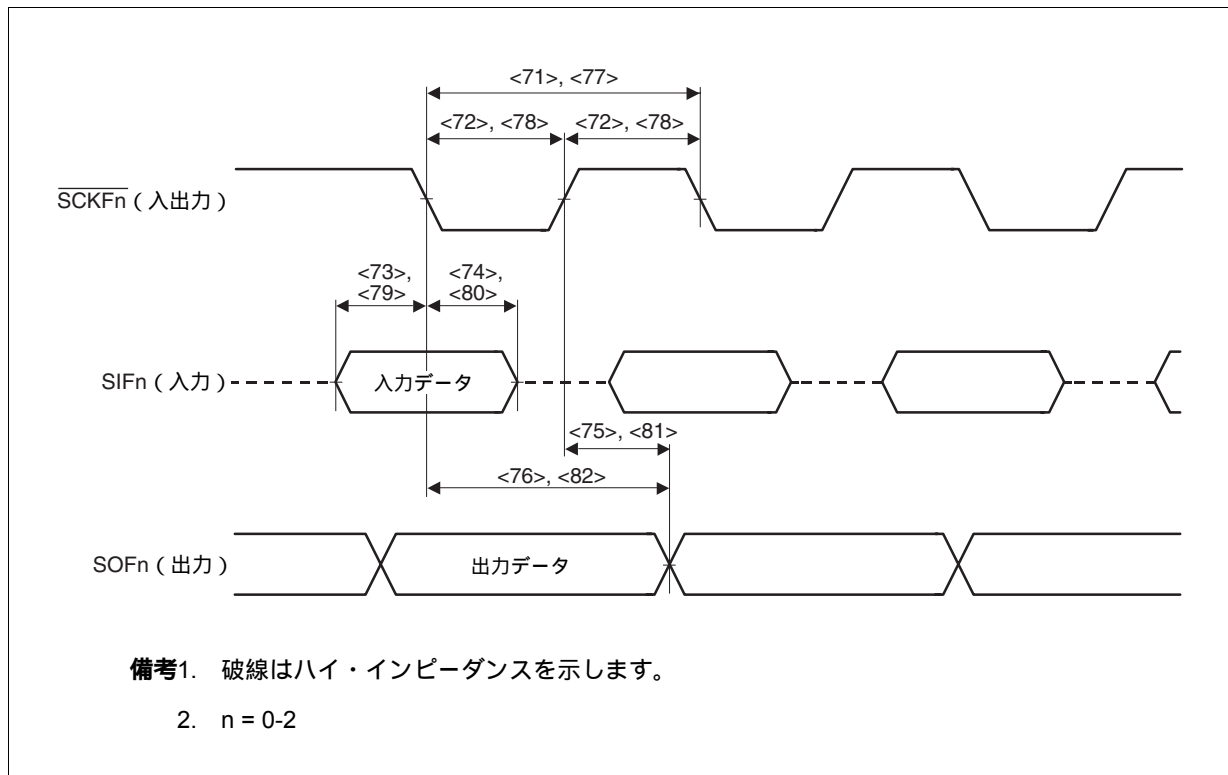
項目	略号	条件	MIN.	MAX.	単位
SCKFn周期	t _{KCYS}	<77>	125		ns
SCKFnハイ/ロウ・レベル幅	t _{KWHS} , t _{KWLS}	<78>	t _{KCYS} /2 - 10		ns
SIFnセットアップ時間 (対SCKFn)	t _{SSIS}	<79>	30		ns
SIFnセットアップ時間 (対SCKFn)			30		ns
SIFnホールド時間 (対SCKFn)	t _{HSIS}	<80>	30		ns
SIFnホールド時間 (対SCKFn)			30		ns
SOFn出力遅延時間 (対SCKFn)	t _{DSOS}	<81>		30	ns
SOFn出力遅延時間 (対SCKFn)				30	ns
SOFn出力保持時間 (対SCKFn)	t _{HSOS}	<82>	t _{KCYS} /2 - 10		ns
SOFn出力保持時間 (対SCKFn)			t _{KCYS} /2 - 10		ns

備考 n = 0-2

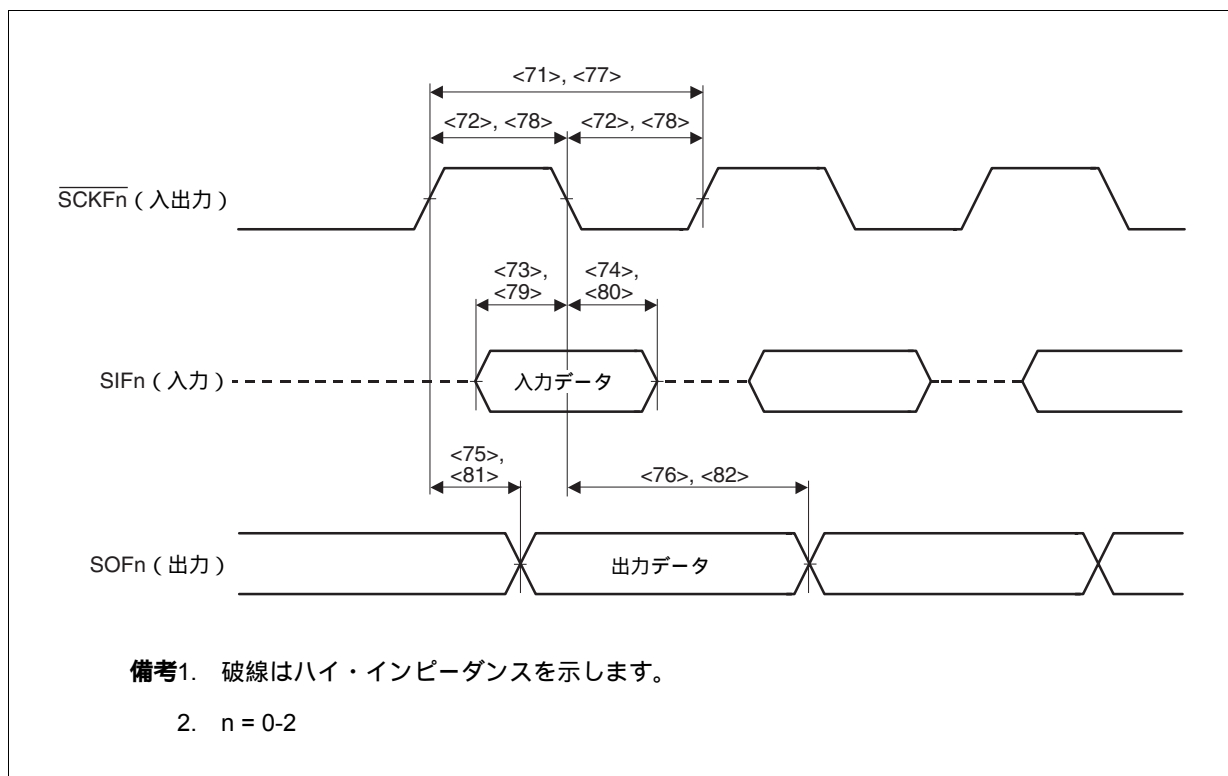
CSIF タイミング : CFnCTL1レジスタのCFnCKP, CFnDAPビット = 00時



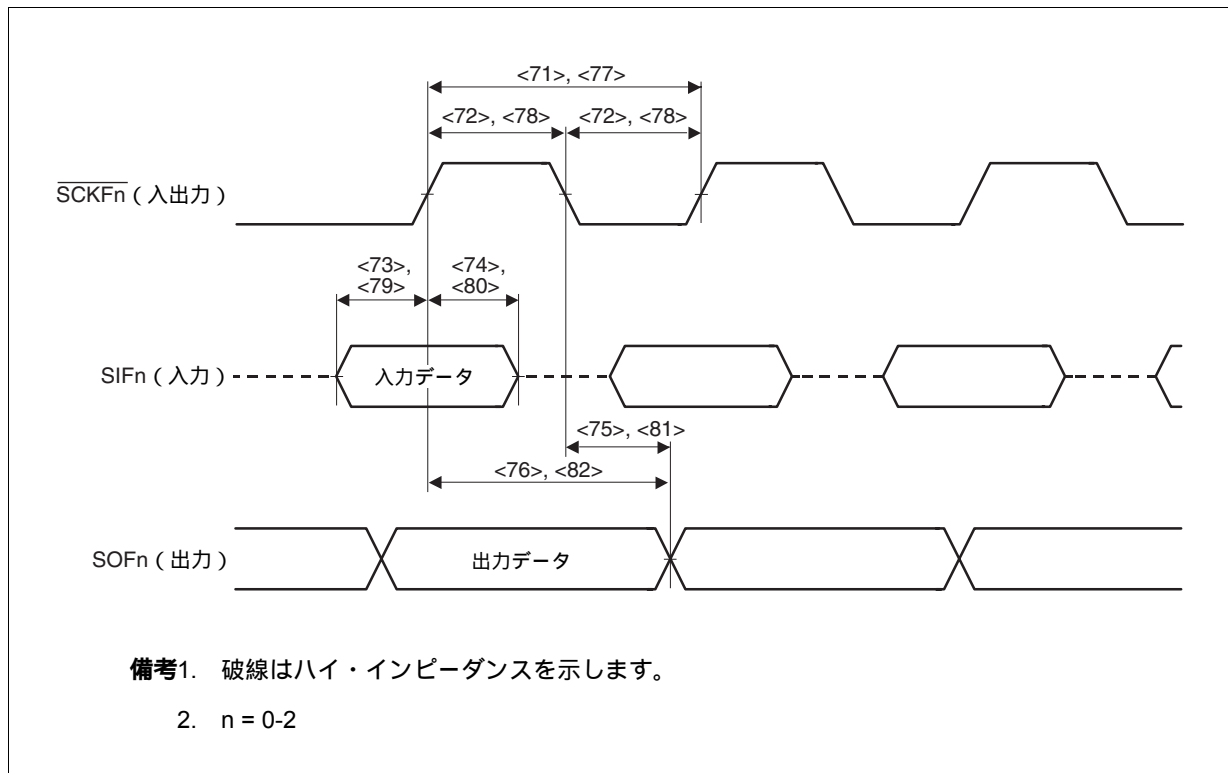
CSIF タイミング : CFnCTL1レジスタのCFnCKP, CFnDAPビット = 01時



CSIF タイミング : CFnCTL1レジスタのCFnCKP, CFnDAPビット = 10時



CSIF タイミング : CFnCTL1レジスタのCFnCKP, CFnDAPビット = 11時



(7) I²Cバス・タイミング(T_A = -40 ~ +85 °C, V_{DD0} = V_{DD1} = V_{DD2} = 1.35 ~ 1.65 V,EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 ~ 5.5 V, UV_{DD} = 3.0 ~ 3.6 V,V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 V, C_L = 50 pF)

項 目	略 号		標準モード		高速モード		単 位	
			MIN.	MAX.	MIN.	MAX.		
SCLクロック周波数	f _{CLK}	-	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<83>	4.7	-	1.3	-	μs	
ホールド時間 ^{注1}	t _{HD : STA}	<84>	4.0	-	0.6	-	μs	
SCLクロックのロウ・レベル幅	t _{LOW}	<85>	4.7	-	1.3	-	μs	
SCLクロックのハイ・レベル幅	t _{HIGH}	<86>	4.0	-	0.6	-	μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	<87>	4.7	-	0.6	-	μs	
データ・ホールド時間	CBUS互換マスタ	t _{HD : DAT}	<88>	5.0	-	-	-	μs
	I ² Cモード			0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	<89>	250	-	100 ^{注4}	-	ns	
SDAおよびSCL信号の立ち上がり時間	t _r	<90>	-	1000	20 + 0.1Cb ^{注5}	300	ns	
SDAおよびSCL信号の立ち下がり時間	t _f	<91>	-	300	20 + 0.1Cb ^{注5}	300	ns	
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<92>	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<93>	-	-	0	50	ns	
各バス・ラインの容量性負荷	C _b	-	-	400	-	400	pF	

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCLの立ち下がり端の未定義領域を埋めるために（SCL信号のV_{IHmin}での）SDA信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間（t_{HD : DAT}）のみ満たすことが必要です。
- 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL信号のロウ状態ホールド時間を延長しない場合

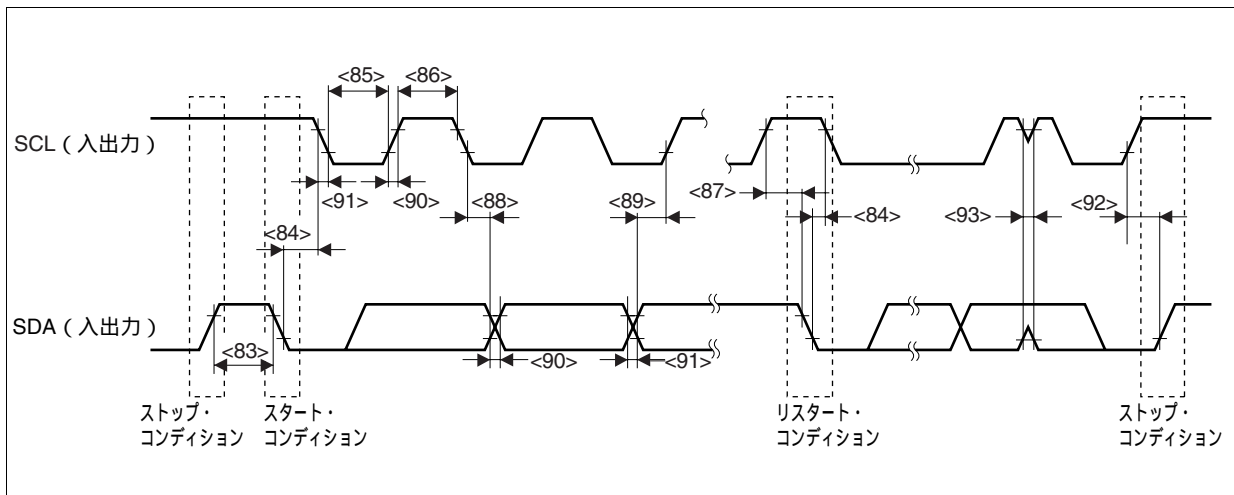
t_{SU : DAT} 250 ns

- ・装置がSCL信号のロウ状態ホールド時間を延長する場合

SCLラインが解放される（t_{rmax} + t_{SU : DAT} = 1000 + 250 = 1250 ns：標準モードI²Cバス仕様）前に、次のデータ・ビットをSDAラインに送出してください。

- C_b : 1つのバス・ラインの合計キャパシタンス（単位：pF）

I²Cバス・タイミング



(8) ハイ・インピーダンス制御タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = A_{VDD0} = A_{VDD1} = A_{VDD2} = 4.0 \sim 5.5 \text{ V}$, $U_{VDD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	t_{CLM}	クロック・モニタ動作時		65	μs
TOB0OFF, TOB01OFF 入力 タイマ出力ハイ・インピーダンス	t_{HTQn}			300	ns
TOT2OFF 入力 タイマ出力ハイ・インピーダンス	t_{HTPm}			300	ns
ANI00/ANI05-ANI02/ANI07 入力 タイマ出力ハイ・インピーダンス	t_{ANIO}			10	μs

28. 1. 8 A/Dコンバータ0, 1特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = AV_{REFP0} = AV_{REFP1} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			12	12	12	bit
総合誤差 ^{注1}					± 10	LSB
変換時間	t _{CONV}		2.00			μs
					8.00	μs
ゼロスケール誤差 ^{注1}					± 10	LSB
フルスケール誤差 ^{注1}					± 10	LSB
積分直線性誤差 ^{注1}					± 4	LSB
微分直線性誤差 ^{注1}					± 2.5	LSB
アナログ基準電圧	AV _{REF}		4.0		5.5	V
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{DD}	V
AV _{DD} 電源電流 ^{注2}	AI _{DD}	動作時		4.5	7.5	mA
	AI _{DDS}	STOPモード時 ^{注3}		3.5	17.5	μA

注1. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

2. この値はA/Dコンバータ0またはA/Dコンバータ1のいずれか1回路分です。

3. STOPモードに設定する前に、A/Dコンバータ0, 1の動作を停止 (ADnSCM.ADnCEビット = 0) してください。

備考1. LSB : Least Significant Bit

2. f_{AD01} : A/Dコンバータ0, 1の基本クロック

3. n = 0, 1

28. 1. 9 A/Dコンバータ2特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1}					± 4.0	LSB
変換時間	t_{CONV}		3.00		10.00	μs
ゼロスケール誤差 ^{注1}					± 4.0	LSB
フルスケール誤差 ^{注1}					± 4.0	LSB
積分直線性誤差 ^{注1}					± 4.0	LSB
微分直線性誤差 ^{注1}					± 2.0	LSB
アナログ基準電圧	AV_{REF}		4.0		5.5	V
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{DD}	V
AV _{DD} 電源電流	AI_{DD}	動作時		3.5	7	mA
	AI_{DDS}	STOPモード時 ^{注2}		1	10	μA

注1. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

2. STOPモードに設定する前に、A/Dコンバータ2の動作を停止 ($AD2M0.AD2CE$ ビット = 0) してください。

備考 LSB : Least Significant Bit

28. 1. 10 オペアンプ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力オフセット電圧	V_{IO}			± 9.0		mV	
入力電圧範囲	V_I	ゲイン = 2.500	$0.04AV_{DD}$		$0.36AV_{DD}$	V	
		ゲイン = 5.000	$0.02AV_{DD}$		$0.18AV_{DD}$	V	
		ゲイン = 10.00	$0.01AV_{DD}$		$0.085AV_{DD}$	V	
スルー・レート ^{注1}	S_R		10	15		$V/\mu s$	
ゲイン誤差		注2	ゲイン = 2.500 ~ 4.444		± 1.0	± 1.3	%
			ゲイン = 5.000 ~ 6.667		± 1.0	± 1.5	%
			ゲイン = 8.000, 10.00		± 1.0	± 1.7	%
		注3	ゲイン = 2.500 ~ 4.444		± 1.0	± 2.0	%
			ゲイン = 5.000 ~ 6.667		± 1.0	± 2.1	%
			ゲイン = 8.000, 10.00		± 1.0	± 2.2	%
動作電流 ^{注4}	I_{OPDD}	動作時		1.8	2.6	mA	
	A_{IDDS}	STOPモード時 ^{注5}		1.0	10	μA	

注1. 出力電圧の10% ~ 90%までの傾きの特性です。

2. 4.5 V $AV_{DD0} = AV_{DD1} = 5.5 \text{ V}$

3. 4.0 V $AV_{DD0} = AV_{DD1} < 4.5 \text{ V}$

4. オペアンプを合計6つ搭載しています。この値は1つあたりの動作電流です。

5. STOPモードに設定する前に、オペアンプの動作を停止 (OPnCTL0.OPn2EN-OPn0ENビット = 000) してください。

備考 オペアンプの電源は、 AV_{DD0} , AV_{DD1} を使用します。

28. 1. 11 コンパレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IO}			± 3.0		mV
入力電圧範囲	V_I		AV_{SS}		AV_{DD}	V
応答時間	t_{CR}	入力振幅 = 100 mV, 立ち上がり ^{注1}		1.0		μs
	t_{CF}	入力振幅 = 100 mV, 立ち下がり ^{注2}		1.0		μs
動作電流 ^{注3}	I_{CPDD}	動作時			250	μA
	A_{IDDS1}	STOPモード時 ^{注4}		2.0	20	nA
基準電圧生成用D/Aコンパレータの分解能	R_{ES}			8		bit
基準電圧生成用D/Aコンパレータの総合誤差	A_{INL}	$R_{LOAD} = 4 \text{ M}\Omega$			± 1.2	%FSR
基準電圧生成用D/Aコンパレータの動作電流 ^{注3}	I_{DADD}	動作時			5	mA
	A_{IDDS2}	STOPモード時 ^{注4}			10	μA

注1. ANIm入力がコンパレータ基準電圧 - 100 mVからコンパレータ基準電圧 + 100 mVに変化する時のパルス応答特性

2. ANIm入力がコンパレータ基準電圧 + 100 mVからコンパレータ基準電圧 - 100 mVに変化する時のパルス応答特性

3. コンパレータを合計6つ搭載しています。この値は1つあたりの動作電流です。

4. STOPモードに設定する前に、コンパレータの動作を停止 (CMPnCTL0レジスタ = 00H) してください。

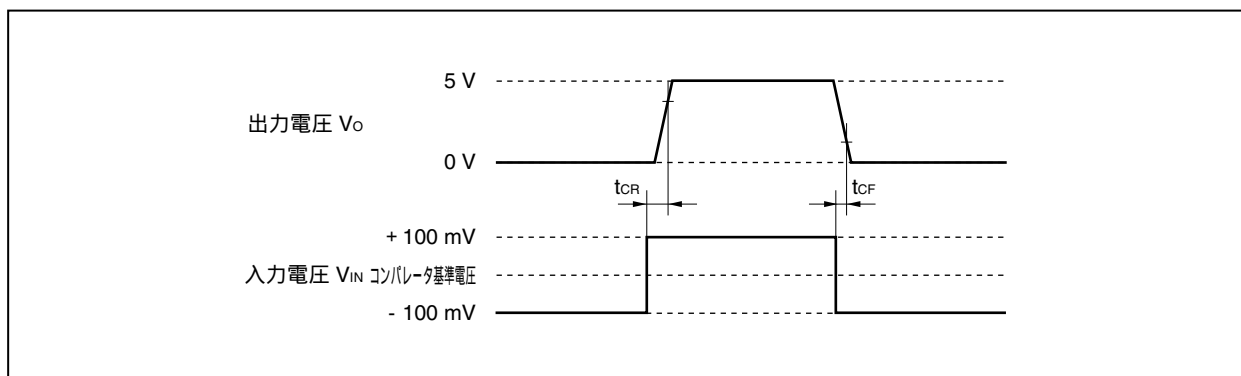
備考1. コンパレータの電源は、 AV_{DD0} , AV_{DD1} を使用します。

2. $m = 05-07, 15-17$

$n = 0, 1$

3. R_{LOAD} : ラダー抵抗の合計値 (図12-3, 図12-4参照)

コンパレータ特性



28. 1. 12 パワーオン・クリア回路 (POC)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

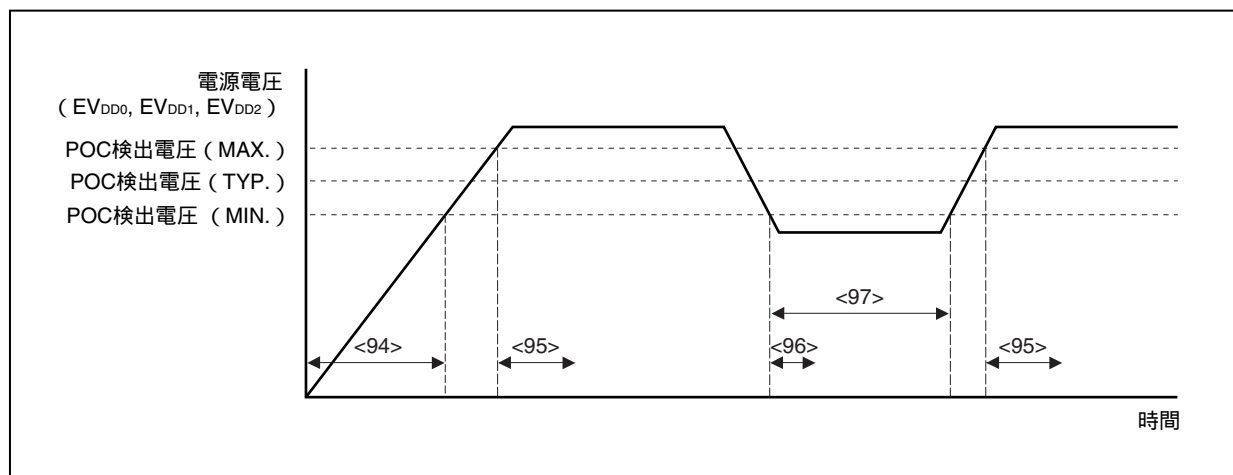
$E_{VDD0} = E_{VDD1} = E_{VDD2} = A_{VDD0} = A_{VDD1} = A_{VDD2} = 3.5 \sim 5.5 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
POC検出電圧	V_{POC0}		3.5	3.7	3.9	V
電源電圧立ち上がり時間	t_{PTH}	<94> $E_{VDD0}, E_{VDD1}, E_{VDD2} = 0 \sim 3.5 \text{ V}$	$2.5 \mu\text{s}$		1.8 s	
応答時間 ^{注1}	t_{PTH}	<95> パワーオン時, $E_{VDD0}, E_{VDD1}, E_{VDD2}$ が3.9 Vに到達後			3.0	ms
応答時間 ^{注2}	t_{PD}	<96> パワーオフ時, $E_{VDD0}, E_{VDD1}, E_{VDD2}$ が3.5 Vに落ちたあと			1.0	ms
$E_{VDD0}, E_{VDD1}, E_{VDD2}$ 最小幅	t_{PW}	<97>	0.2			ms

注1. POC検出電圧を検出してからリセット信号 (POCRES) を解除するまでの時間です。

注2. POC検出電圧を検出してからリセット信号 (POCRES) を発生するまでの時間です。



28. 1. 13 低電圧検出回路 (LVI)

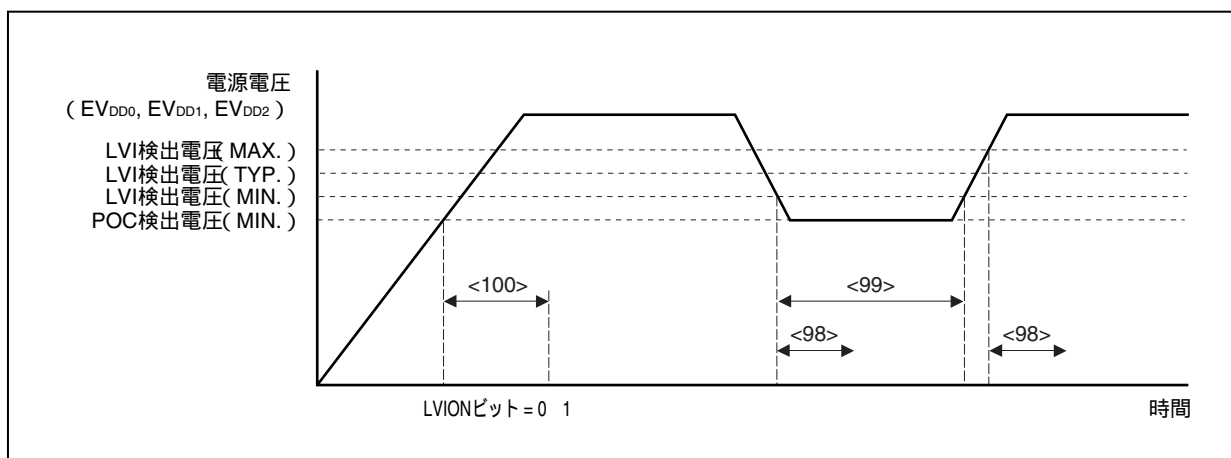
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
LVI検出電圧	V_{LV10}	LVIS.LVIS0ビット = 0	4.2	4.4	4.6	V
	V_{LV11}	LVIS.LVIS0ビット = 1	4.0	4.2	4.4	V
応答時間 ¹ 注	t_{LD}	<98> $EV_{DD0}, EV_{DD1}, EV_{DD2}$ が V_{LV10}/V_{LV11} (MAX.) に到達 後, または $EV_{DD0}, EV_{DD1}, EV_{DD2}$ が V_{LV10}/V_{LV11} (MIN.) に落ち たあと		0.2	2.0	ms
$EV_{DD0}, EV_{DD1}, EV_{DD2}$ 最小幅	t_{LW}	<99>	0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	<100> $EV_{DD0}, EV_{DD1}, EV_{DD2}$ が POC検出電圧 (MIN.) に 到達後, および LVIM.LVIONビットを0 1に変更したあと		0.1		ms

注 LVI検出電圧を検出してから割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号 (LVIRES) を発生するまでの時間です。



28. 1. 14 電源電圧投入/切断タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

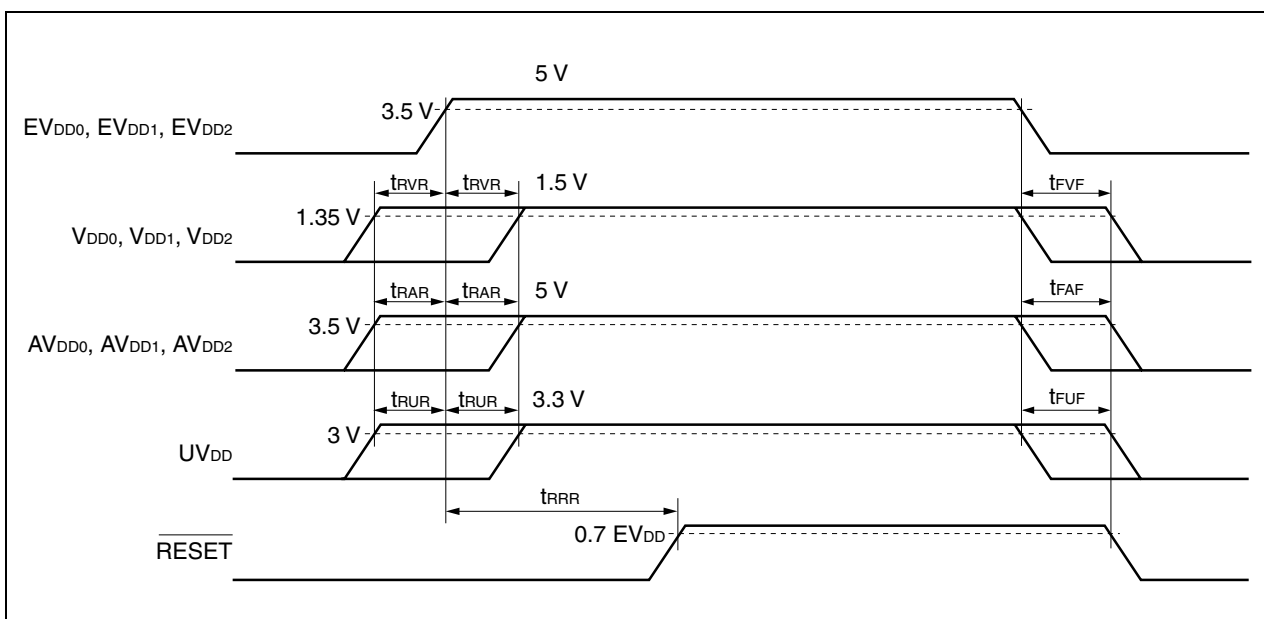
項目	略号	条件	MIN.	MAX.	単位
EV _{DD} 立ち上がり	t _{rvr}	外部リセット使用時	- 50	50	ms
V _{DD} 立ち上がり遅延時間		内部リセット使用時	- 50	0	ms
EV _{DD} 立ち上がり	t _{rar}	外部リセット使用時	- 50	50	ms
AV _{DD} 立ち上がり遅延時間		内部リセット使用時	- 50	0	ms
EV _{DD} 立ち上がり	t _{rur}	外部リセット使用時	- 50	50	ms
UV _{DD} 立ち上がり遅延時間		内部リセット使用時	- 50	0	ms
EV _{DD} 立ち上がり RESET立ち上がり遅延時間	t _{rrr}	外部リセット使用時	T _{osc} + 0.5		ms
EV _{DD} 立ち下がり	t _{fvf}		0	50	ms
V _{DD} 立ち下がり遅延時間					
EV _{DD} 立ち下がり	t _{faf}		0	50	ms
AV _{DD} 立ち下がり遅延時間					
EV _{DD} 立ち下がり	t _{fuf}		0	50	ms
UV _{DD} 立ち下がり遅延時間					

備考 T_{osc} : 発振安定時間

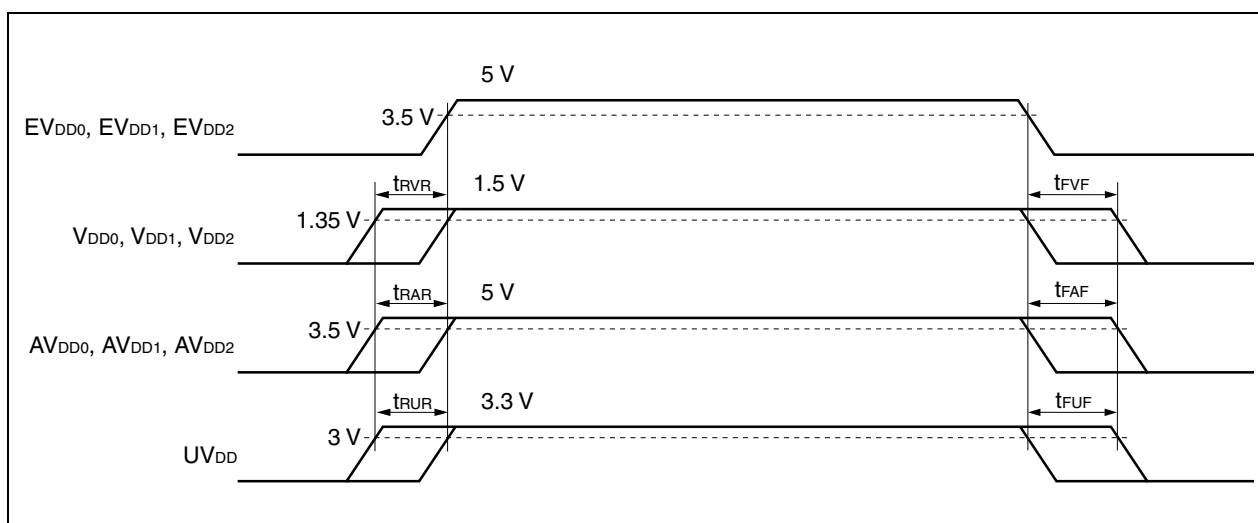
電源電圧投入/遮断タイミング

- 注意1. 電源切断後の自然放電過程では、EV_{DD0}, EV_{DD1}, EV_{DD2}, V_{DD0}, V_{DD1}, V_{DD2}, AV_{DD0}, AV_{DD1}, AV_{DD2}, UV_{DD}それぞれの電圧レベルおよびその時間に規定はありません。
2. EV_{DD0}, EV_{DD1}, EV_{DD2}, V_{DD0}, V_{DD1}, V_{DD2}, AV_{DD0}, AV_{DD1}, AV_{DD2}, UV_{DD}の電源は、すべて投入してください。いずれかの電源のみの投入状態は禁止です。

(a) 外部リセット使用 (推奨条件)



(b) 内部リセット使用 (推奨条件)



28. 1. 15 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = A_{VDD0} = A_{VDD1} = A_{VDD2} = 3.5 \sim 5.5 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	C_{ERWR}	注		100		回

注 書き換えは次の例のように行ってください。

書き換え回数3回の場合の例：出荷品 E P E P E P (P：書き込み，E：消去)

28.2 V850E/IH4-H

28.2.1 絶対最大定格

(TA = 25 °C)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}		- 0.5 ~ + 2.0	V	
	V _{SS}	V _{SSa} = EV _{SSb} = AV _{SSk}	- 0.5 ~ + 0.5	V	
	EV _{DD}		- 0.5 ~ + 6.5	V	
	EV _{SS}	V _{SSa} = EV _{SSb} = AV _{SSk}	- 0.5 ~ + 0.5	V	
	FV _{DD}		- 0.5 ~ + 6.5	V	
	AV _{DD}		- 0.5 ~ + 6.5	V	
	AV _{SS}	V _{SSa} = EV _{SSb} = AV _{SSk}	- 0.5 ~ + 0.5	V	
	UV _{DD}		- 0.5 ~ + 4.6	V	
入力電圧	V _{I1}	注1	- 0.5 ~ EV _{DD} + 0.5 ^{注2}	V	
	V _{I2}	X1, X2	- 0.5 ~ V _{DD} + 0.35	V	
ロウ・レベル出力電流	I _{OL}	すべての端子	1端子	4	mA
			全端子合計	63	mA
ハイ・レベル出力電流	I _{OH}	すべての端子	1端子	- 4	mA
			全端子合計	- 63	mA
アナログ入力電圧	V _{IAN}	注3	- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V	
アナログ基準入力電圧	V _{IREF}	AV _{REFP0} , AV _{REFP1}	- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V	
動作周囲温度	T _A	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	T _{stg}		- 40 ~ + 125		

注1. P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P56, P70-P711, P90-P97, PDL0-PDL15, $\overline{\text{RESET}}$, FLMD0, $\overline{\text{DRST}}$

- それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。
- P70/ANI20-P711/ANI211, ANI00/ANI05-ANI02/ANI07, ANI03, ANI10/ANI15-ANI12/ANI17, ANI13

注意1. IC製品の出力(出力状態の入出力端子)をほかの出力端子(出力状態の入出力端子を含む),およびV_{DD}, EV_{DD}などの電源端子やGND端子に直線接続しないでください。ただし,入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

- 各項目のうち1項目でも,また一瞬でも絶対最大定格を越えると,製品の品質を損なう恐れがあります。つまり絶対最大定格とは,製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で,製品をご使用ください。

DC特性とAC特性に示す規格や条件が,製品の正常動作,品質保証の範囲です。

備考 a = 0-2

b = 0-4

k = 0-2

28.2.2 容 量

($T_A = 25$, $V_{DD0} = V_{SS0} = V_{DD1} = V_{SS1} = V_{DD2} = V_{SS2} = EV_{DD0} = EV_{SS0} = EV_{DD1} = EV_{SS1} = EV_{DD2} = EV_{SS2} = EV_{DD3} = EV_{SS3} = EV_{SS4} = FV_{DD} = AV_{DD0} = AV_{SS0} = AV_{DD1} = AV_{SS1} = AV_{DD2} = AV_{SS2} = 0V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_i	$f_c = 1\text{ MHz}$			15	pF
入出力容量	C_{iO}	被測定ピン以外は0V			15	pF
出力容量	C_o				15	pF

注1. ANI00/ANI05-ANI02/ANI07, ANI03, ANI10/ANI15-ANI12/ANI17, ANI13, $\overline{\text{RESET}}$

2. P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P56, P70-P711, P90-P97, PDL0-PDL15

3. DDO, TRCCLK, TRCDATA0-TRCDATA3, TRCEND

注意1. FLMD0, $\overline{\text{DRST}}$, X1, X2端子を除きます。

2. ANI00/ANI05-ANI02/ANI07, ANI03, ANI10/ANI15-ANI12/ANI17, ANI13, ANI20-ANI211端子には入力容量のほかにサンプリング時にはサンプリング容量が追加されます。

28.2.3 動作条件

($T_A = -40 \sim +85$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
システム・クロック周波数	f_{xx}	PLLモード	80		100	MHz
		クロック・スルー・モード	10		12.5	MHz
CPUクロック周波数	f_{CPU}	PLLモード	10		100	MHz
		クロック・スルー・モード	1.25		12.5	MHz
V_{DD} 電圧	V_{DD}		1.35		1.65	V
EV_{DD} 電圧	EV_{DD}		3.0		5.5	V
FV_{DD} 電圧	FV_{DD}		4.0		5.5	V
AV_{DD} 電圧	AV_{DD}	A/Dコンバータ0-2動作時	4.0		5.5	V
		A/Dコンバータ0-2非動作時	3.5		5.5	V
UV_{DD} 電圧	UV_{DD}		3.0		3.6	V

28.2.4 クロック発振回路特性

($T_A = -40 \sim +85\text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65V$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5V$, $FV_{DD} = 4.0 \sim 5.5V$, $AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5V$,

$UV_{DD} = 3.0 \sim 3.6V$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x)		10		12.5	MHz
		発振安定時間	リセット解除後		$2^{15}/f_x$		ms
			STOPモード解除後		注		ms

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. 発振子の選択および発振回路定数については, お客様において発振評価していただくか, 発振子メーカーに評価を依頼してください。

4. V850E/IH4-Hでは外部クロック入力は禁止です。

28.2.5 DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = 4.0 \sim 5.5 \text{ V}$, $AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1		$0.7 EV_{DD}$		EV_{DD}	V
	V_{IH2}	注2		$0.8 EV_{DD}$		EV_{DD}	V
	V_{IH3}	注3		2.2		EV_{DD}	V
	V_{IH4}	注4		$0.7 AV_{DD}$		AV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1		EV_{SS}		$0.3 EV_{DD}$	V
	V_{IL2}	注2		EV_{SS}		$0.2 EV_{DD}$	V
	V_{IL3}	注3		EV_{SS}		0.8	V
	V_{IL4}	注4		AV_{SS}		$0.3 AV_{DD}$	V
ハイ・レベル入力リーク電流	I_{LIH1}	$V_i =$ 注5, X1以外	X1以外			5	μA
	I_{LIH2}		X1			20	μA
ロウ・レベル入力リーク電流	I_{LIL1}	$V_i = 0 \text{ V}$	X1以外			- 5	μA
	I_{LIL2}		X1			- 20	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_o =$ 注5				5	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_o = 0 \text{ V}$				- 5	μA
ハイ・レベル出力電圧	V_{OH1}	注7	$I_{OH} = -1.0 \text{ mA}$	端子合計 = - 57 mA	$EV_{DD} - 1.0$		V
ロウ・レベル出力電圧	V_{OL1}	注7	$I_{OL} = 1.0 \text{ mA}$	端子合計 = 57 mA		0.4	V
プルアップ抵抗	R_{L1}			10	30	120	$\text{k}\Omega$
プルダウン抵抗 ^{注8}	R_{L2}			10	30	120	$\text{k}\Omega$

注1. P17, P33, P36, P41, P54-P56, P90-P97, PDL0-PDL15端子

2. P00-P07, P10-P16, P20-P27, P30-P32, P34, P35, P37, P40, P42-P44, P50-P53, $\overline{\text{RESET}}$, FLMD0端子

3. $\overline{\text{DRST}}$, DDI, DCK, DMS端子

4. P70-P711端子

5. $AV_{DD0} = AV_{DD1} = AV_{DD2} = EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3}$

6. $\overline{\text{DRST}}$ 端子は除く

7. P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P56, P90-P97, PDL0-PDL15, DDO, TRCCLK, TRCDATA0-TRCDATA3, TRCEND端子

8. $\overline{\text{DRST}}$ 端子のみ

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = E_{VDD3} = 3.0 \sim 5.5 \text{ V}$, $F_{VDD} = 4.0 \sim 5.5 \text{ V}$, $A_{VDD0} = A_{VDD1} = A_{VDD2} = 3.5 \sim 5.5 \text{ V}$,

$U_{VDD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS3} = E_{VSS4} = A_{VSS0} = A_{VSS1} =$

$A_{VSS2} = 0 \text{ V}$) (2/2)

項目	略号	条件	MIN.	TYP. ^{注1}	MAX.	単位	
V _{DD} 電源電流 ^{注2}	I _{DD1}	f _{xx} = 100 MHz		通常動作	125	205	mA
	I _{DD2}			HALTモード	66	143	mA
	I _{DD3}			IDLEモード	6	50	mA
	I _{DD4}	STOPモード		0.1	16	mA	

注1. TYP.値は, $V_{DD0} = V_{DD1} = V_{DD2} = 1.5 \text{ V}$, $T_A = 25 \text{ }^\circ\text{C}$ での参考値です。

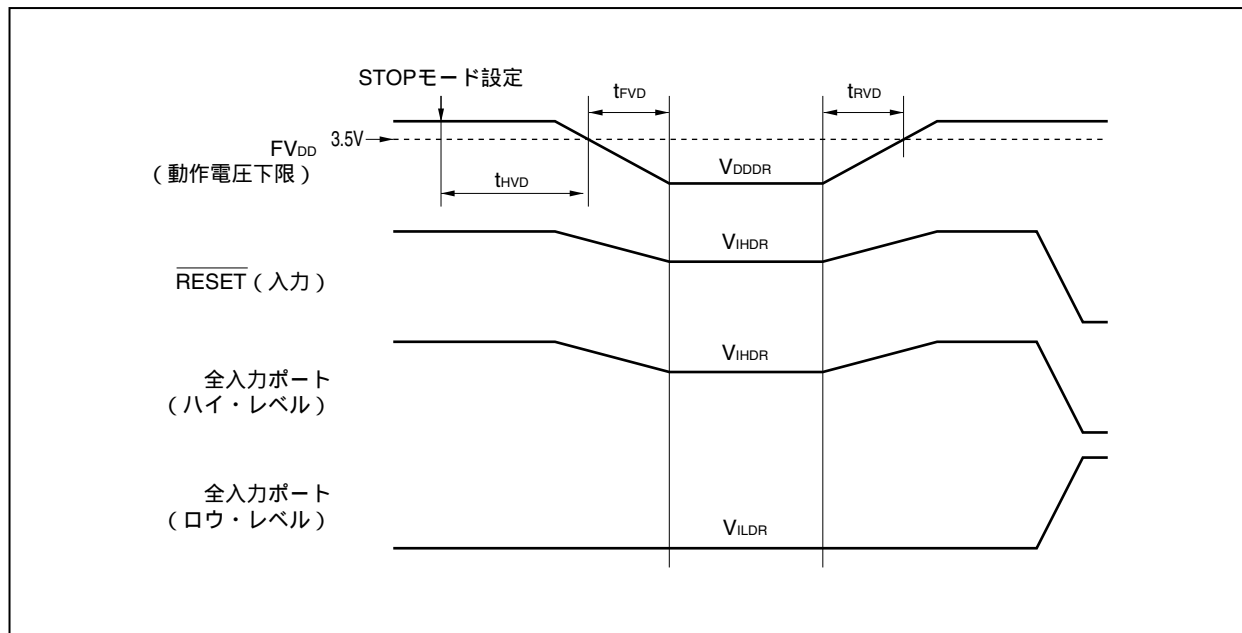
2. E_{VDD}系 (出力バッファ, プルアップ抵抗) で消費する電流, A/Dコンバータ0-2およびオペアンプ, コンパレータの動作電流は含みません。

28. 2. 6 データ保持特性

STOPモード時 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$)

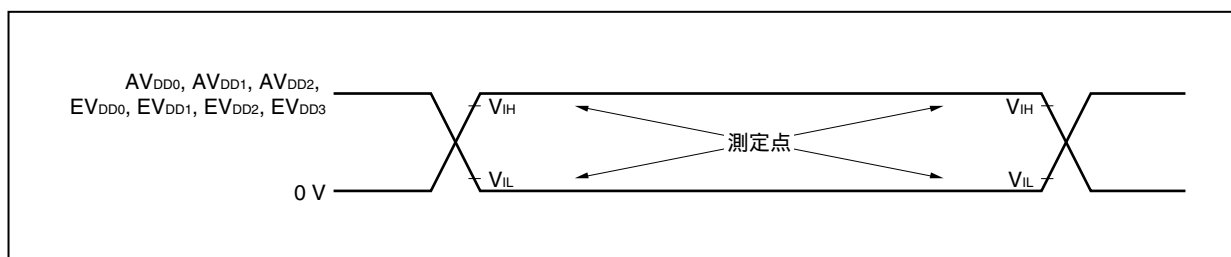
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード	注		5.5	V
データ保持電流	I_{DDDR}	$V_{DD0} = V_{DD1} = V_{DD2} = V_{DDDR}$		40	800	μA
電源電圧立ち上がり時間	t_{rVD}		1			μs
電源電圧立ち下がり時間	t_{fVD}		1			μs
電源電圧保持時間 (対STOPモード設定)	t_{hVD}		0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力ポート	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力ポート	EV_{SS}		$0.1V_{DDDR}$	V

注 低電圧検出回路 (LVI) のリセット・モード (LVIM.LVIMDビット = 0) 未使用時 : POC検出電圧 (V_{POC0})
 低電圧検出回路 (LVI) のリセット・モード (LVIM.LVIMDビット = 1) 使用時 : LVI検出電圧 (V_{LV10}/V_{LV11})

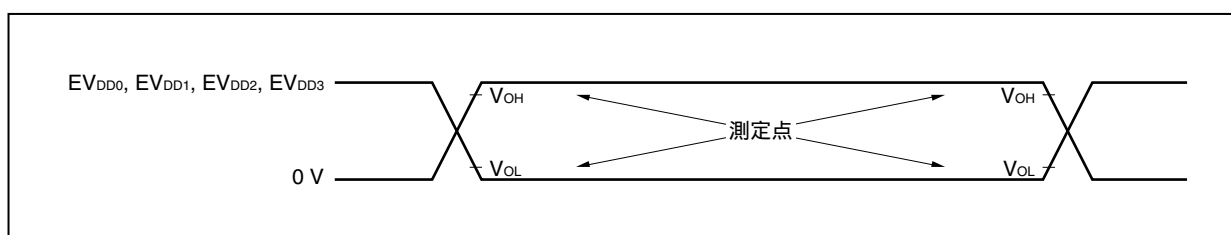


28. 2. 7 AC特性

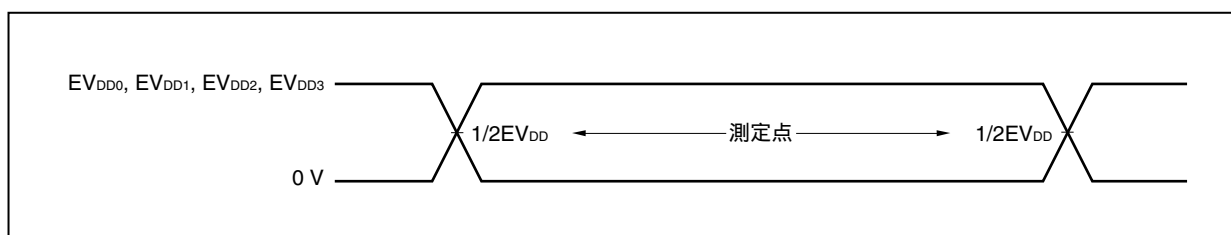
ACテスト入力測定点（外部バス，CSIF0-CSIF2以外の端子）



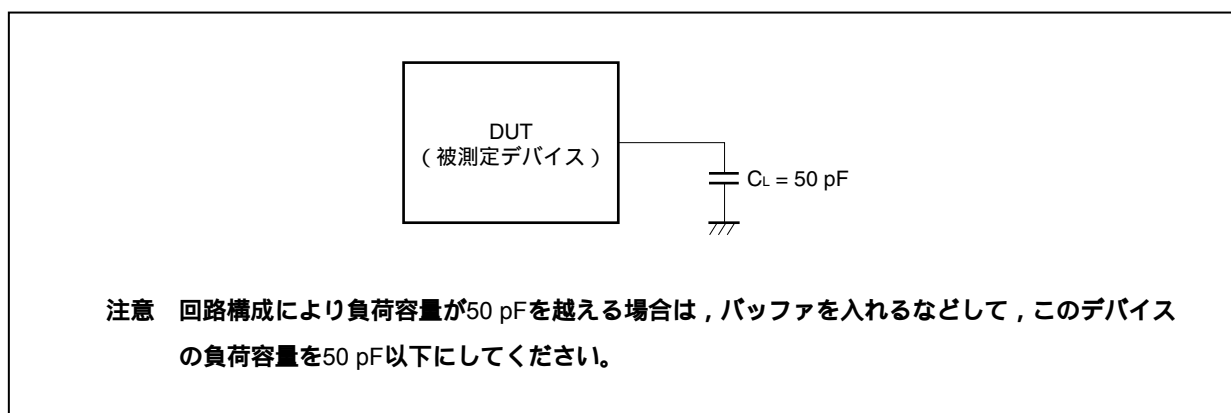
ACテスト出力測定点（外部バス，CSIF0-CSIF2以外の端子）



ACテスト入出力測定点（外部バス，CSIF0-CSIF2の端子）



負荷条件



(1) 出力信号タイミング

注意 $EV_{DD} = 3.0 \sim 4.0 \text{ V}$ のスペックと $EV_{DD} = 4.0 \sim 5.5 \text{ V}$ のスペックがあります。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 4.0 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	toR	<1> P07, TRCCLK		10	ns
		注		16	ns
		上記以外		30	ns
出力立ち下がり時間	toF	<2> P07, TRCCLK		10	ns
		注		16	ns
		上記以外		30	ns

注 PDL0-PDL15, DDO, TRCDATA0-TRCDATA3, TRCEND

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

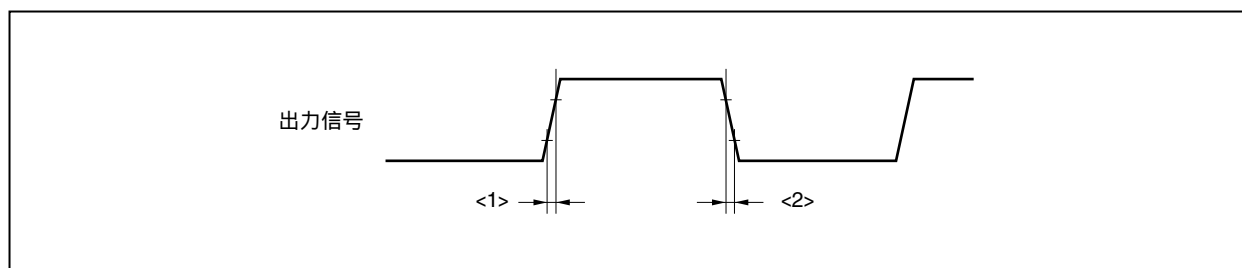
$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 4.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	toR	<1> P07, TRCCLK		5	ns
		注		8	ns
		上記以外		15	ns
出力立ち下がり時間	toF	<2> P07, TRCCLK		5	ns
		注		8	ns
		上記以外		15	ns

注 PDL0-PDL15, DDO, TRCDATA0-TRCDATA3, TRCEND



(2) リセット , 外部割り込みタイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

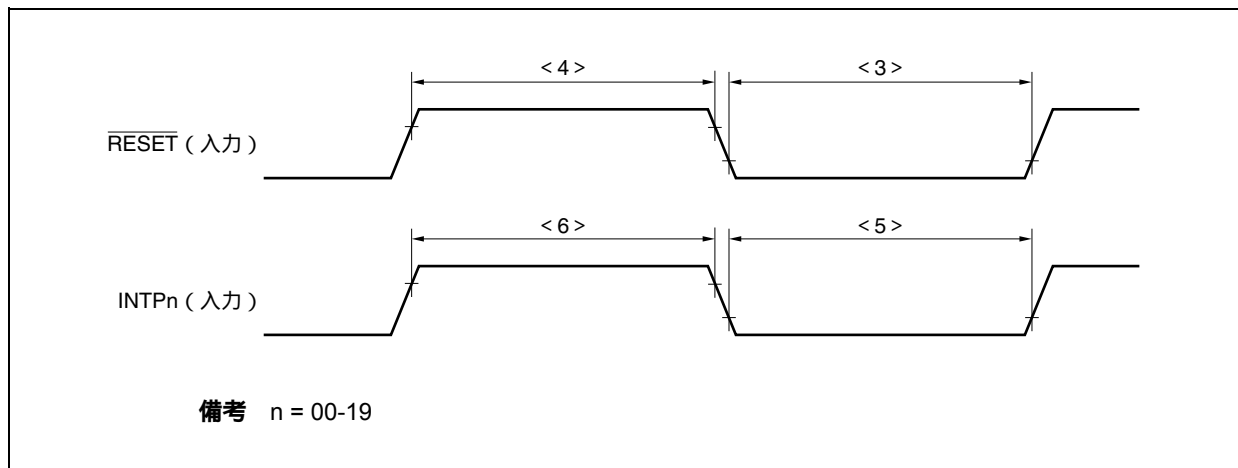
$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
RESET口・レベル幅	t_{WRSL}	<3> 電源オン時, STOPモード解除時	$500 + T_{os}$		ns
		上記以外	500		ns
RESETハイ・レベル幅	t_{WRSH}	<4>	500		ns
INTPn口・レベル幅	t_{WITL}	<5> n = 00-19 (アナログ・ノイズ除去)	500		ns
		n = 00-02, 17-19 (デジタル・ノイズ除去)	$4T_{smp}$		ns
INTPnハイ・レベル幅	t_{WITH}	<6> n = 00-19 (アナログ・ノイズ除去)	500		ns
		n = 00-02, 17-19 (デジタル・ノイズ除去)	$4T_{smp}$		ns

備考 T_{os} : 発振安定時間

T_{smp} : ノイズ除去サンプリング・クロック周期 (INTNFCnレジスタで設定)

リセット / 割り込み

(3) CLKOUT出力タイミング

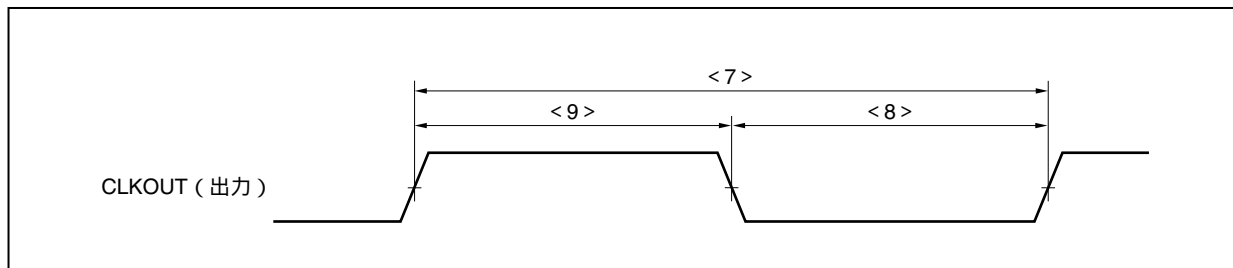
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<7>	31.25 ns	3.2 μs	
ロウ・レベル幅	t_{WKH}	<8>	$t_{CYK}/2 - 6.2$		ns
ハイ・レベル幅	t_{WKL}	<9>	$t_{CYK}/2 - 6.2$		ns



(4) バス・タイミング

(a) リード・サイクル (CLKOUT非同期)

注意1. $EV_{DD} = 3.0 \sim 3.6$ Vのスペックと $EV_{DD} = 4.0 \sim 5.5$ Vのスペックがあります。

2. Tは次の条件に従って設定してください。

$$40 \text{ ns} \leq T$$

3. 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

($T_A = -40 \sim +85$ °C, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65$ V,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 3.6$ V, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5$ V,

$UV_{DD} = 3.0 \sim 3.6$ V, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0$ V, $C_L = 50$ pF) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	t_{DAST2}	<10>	$(0.5 + W_{AS}) T - 12$		ns
ASTBハイ・レベル幅	t_{WSTH}	<11>	$(1 + W_{AS} + i) T - 12$		ns
ASTB アドレス保持時間	t_{HSTA}	<12>	$(0.5 + W_{AH}) T - 18$		ns
\overline{RD} アドレス保持時間	t_{HRDA2}	<13>	$(1 + i) T - 11$		ns
アドレス \overline{RD} 遅延時間	t_{DARD2}	<14>	$(1 + W_{AS} + W_{AH}) T - 13$		ns
\overline{RD} アドレス・フロート遅延時間	t_{FRDA}	<15>		5	ns
アドレス データ入力設定時間	t_{DAID2}	<16>		$(2 + W_D + W + W_{AS} + W_{AH}) T - 39$	ns
ASTB データ入力設定時間	t_{DSTID}	<17>		$(1.5 + W_D + W + W_{AH}) T - 38$	ns
\overline{RD} データ入力設定時間	t_{DRID2}	<18>		$(1 + W_D + W) T - 36$	ns
ASTB \overline{RD} 遅延時間	t_{DSTRD3}	<19>	$(0.5 + W_{AH}) T - 5$		ns
データ入力保持時間 (対 \overline{RD})	t_{HRID2}	<20>	0		ns
\overline{RD} バス出力遅延時間	t_{DRDOD2}	<21>	$(1 + i) T - 10$		ns
\overline{RD} ASTB 遅延時間	t_{DRDST}	<22>	$0.5T - 5$		ns
\overline{RD} ロウ・レベル幅	t_{WRDL2}	<23>	$(1 + W_D + W) T - 10$		ns
\overline{RD} ハイ・レベル幅	t_{WRDH2}	<24>	$(2 + i + W_{AS} + W_{AH}) T - 12$		ns
\overline{RD} \overline{WR}_n ハイ・レベル保持時間	t_{HRDWR2}	<25>	$(2 + i + W_{AS} + W_{AH}) T - 17$		ns
WAIT設定時間 (対アドレス)	t_{DAWT2}	<26>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 43$	ns
WAIT保持時間 (対アドレス)	t_{HAWT2}	<27>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T$		ns
WAIT設定時間 (対ASTB)	t_{DSTWT}	<28>		$(1 + W_D + W + W_{AH}) T - 42$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT}	<29>	$(1 + W_D + W + W_{AH}) T$		ns
WAIT設定時間 (対 \overline{RD})	t_{DRDWT2}	<30>		$(0.5 + W_D + W) T - 40$	ns
WAIT保持時間 (対 \overline{RD})	t_{HRDWT2}	<31>	$(0.5 + W_D + W) T$		ns

備考1. W_{AS} : AWCレジスタによるアドレス・セットアップ・ウエイト数

W_{AH} : AWCレジスタによるアドレス・ホールド・ウエイト数

W_D : DWC0レジスタによるデータ・ウエイト数

w : WAIT端子による外部ウエイト数

2. $T = 1/f_{CPU}$ (f_{CPU} : CPUクロック周波数)

3. $n = 0, 1$

4. i : アイドル・ステート数

注意1. $EV_{DD} = 3.0 \sim 3.6 \text{ V}$ のスペックと $EV_{DD} = 4.0 \sim 5.5 \text{ V}$ のスペックがあります。

2. Tは次の条件に従って設定してください。

40 ns T

3. 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 4.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス ASTB 遅延時間	t_{DAST2}	<10>	$(0.5 + W_{AS}) T - 12$		ns
ASTBハイ・レベル幅	t_{WSTH}	<11>	$(1 + W_{AS} + i) T - 10$		ns
ASTB アドレス保持時間	t_{HSTA}	<12>	$(0.5 + W_{AH}) T - 10$		ns
\overline{RD} アドレス保持時間	t_{HRDA2}	<13>	$(1 + i) T - 10$		ns
アドレス \overline{RD} 遅延時間	t_{DARD2}	<14>	$(1 + W_{AS} + W_{AH}) T - 12$		ns
\overline{RD} アドレス・フロート遅延時間	t_{FRDA}	<15>		7	ns
アドレス データ入力設定時間	t_{DAID2}	<16>		$(2 + W_D + W + W_{AS} + W_{AH}) T - 33$	ns
ASTB データ入力設定時間	t_{DSTID}	<17>		$(1.5 + W_D + W + W_{AH}) T - 27$	ns
\overline{RD} データ入力設定時間	t_{DRDID2}	<18>		$(1 + W_D + W) T - 25$	ns
ASTB \overline{RD} 遅延時間	t_{DSTRD3}	<19>	$(0.5 + W_{AH}) T - 5$		ns
データ入力保持時間 (対 \overline{RD})	t_{HRDID2}	<20>	0		ns
\overline{RD} バス出力遅延時間	t_{DRDOD2}	<21>	$(1 + i) T - 5$		ns
\overline{RD} ASTB 遅延時間	t_{DRDST}	<22>	$0.5T - 5$		ns
\overline{RD} 口ウ・レベル幅	t_{WRDL2}	<23>	$(1 + W_D + W) T - 10$		ns
\overline{RD} ハイ・レベル幅	t_{WRDH2}	<24>	$(2 + i + W_{AS} + W_{AH}) T - 10$		ns
\overline{RD} \overline{WRn} ハイ・レベル保持時間	t_{HRDWR2}	<25>	$(2 + i + W_{AS} + W_{AH}) T - 13$		ns
WAIT設定時間 (対アドレス)	t_{DAWT2}	<26>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 36$	ns
WAIT保持時間 (対アドレス)	t_{HAWT2}	<27>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T$		ns
WAIT設定時間 (対ASTB)	t_{DSTWT}	<28>		$(1 + W_D + W + W_{AH}) T - 30$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT}	<29>	$(1 + W_D + W + W_{AH}) T$		ns
WAIT設定時間 (対 \overline{RD})	t_{DRDWT2}	<30>		$(0.5 + W_D + W) T - 29$	ns
WAIT保持時間 (対 \overline{RD})	t_{HRDWT2}	<31>	$(0.5 + W_D + W) T$		ns

備考1. W_{AS} : AWCレジスタによるアドレス・セットアップ・ウエイト数

W_{AH} : AWCレジスタによるアドレス・ホールド・ウエイト数

W_D : DWC0レジスタによるデータ・ウエイト数

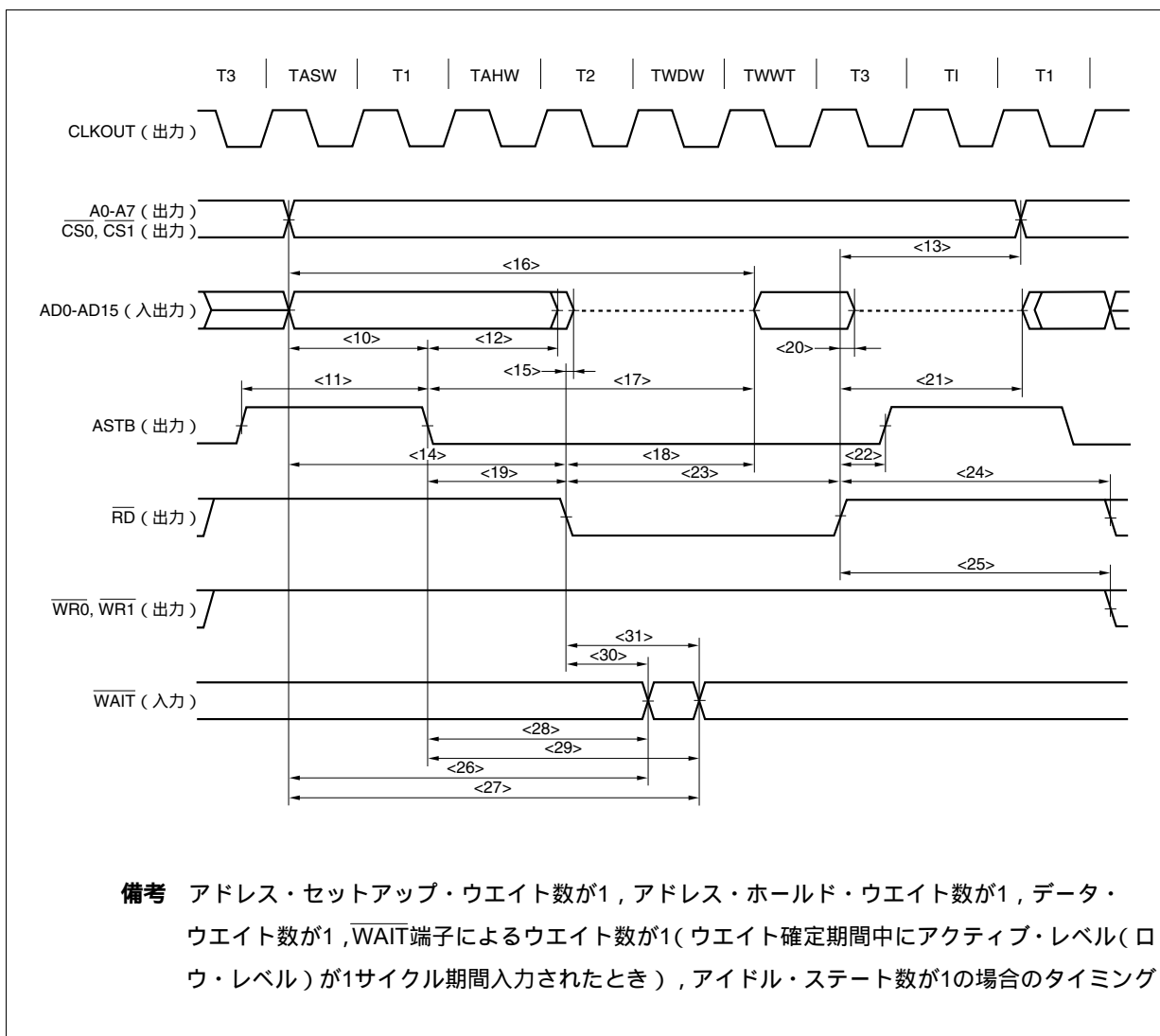
w : WAIT端子による外部ウエイト数

2. $T = 1/f_{CPU}$ (f_{CPU} : CPUクロック周波数)

3. $n = 0, 1$

4. i : アイドル・ステート数

リード・サイクル (CLKOUT非同期)



(b) リード・サイクル (CLKOUT同期)

注意1. $EV_{DD} = 3.0 \sim 3.6 \text{ V}$ のスペックと $EV_{DD} = 4.0 \sim 5.5 \text{ V}$ のスペックがあります。

2. 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 3.6 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t_{DKA2}	<32>		19	ns
CLKOUT アドレス保持時間	t_{HKA2}	<33>	0		ns
CLKOUT アドレス保持時間	t_{HKA3}	<34>	- 1		ns
CLKOUT アドレス・フロート遅延時間	t_{FKA}	<35>		12	ns
データ入力設定時間 (対CLKOUT)	t_{SIDK2}	<36>	21		ns
データ入力保持時間 (対CLKOUT)	t_{HKID2}	<37>	0		ns
CLKOUT ASTB 遅延時間	t_{DKST3}	<38>	0	17	ns
CLKOUT ASTB 遅延時間	t_{DKST4}	<39>	0	16	ns
CLKOUT \overline{RD} 遅延時間	t_{DKRD3}	<40>	0	16	ns
CLKOUT \overline{RD} 遅延時間	t_{DKRD4}	<41>	0	15	ns
WAIT設定時間 (対CLKOUT)	t_{SWTK2}	<42>	25		ns
WAIT保持時間 (対CLKOUT)	t_{HKWT2}	<43>	0		ns

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

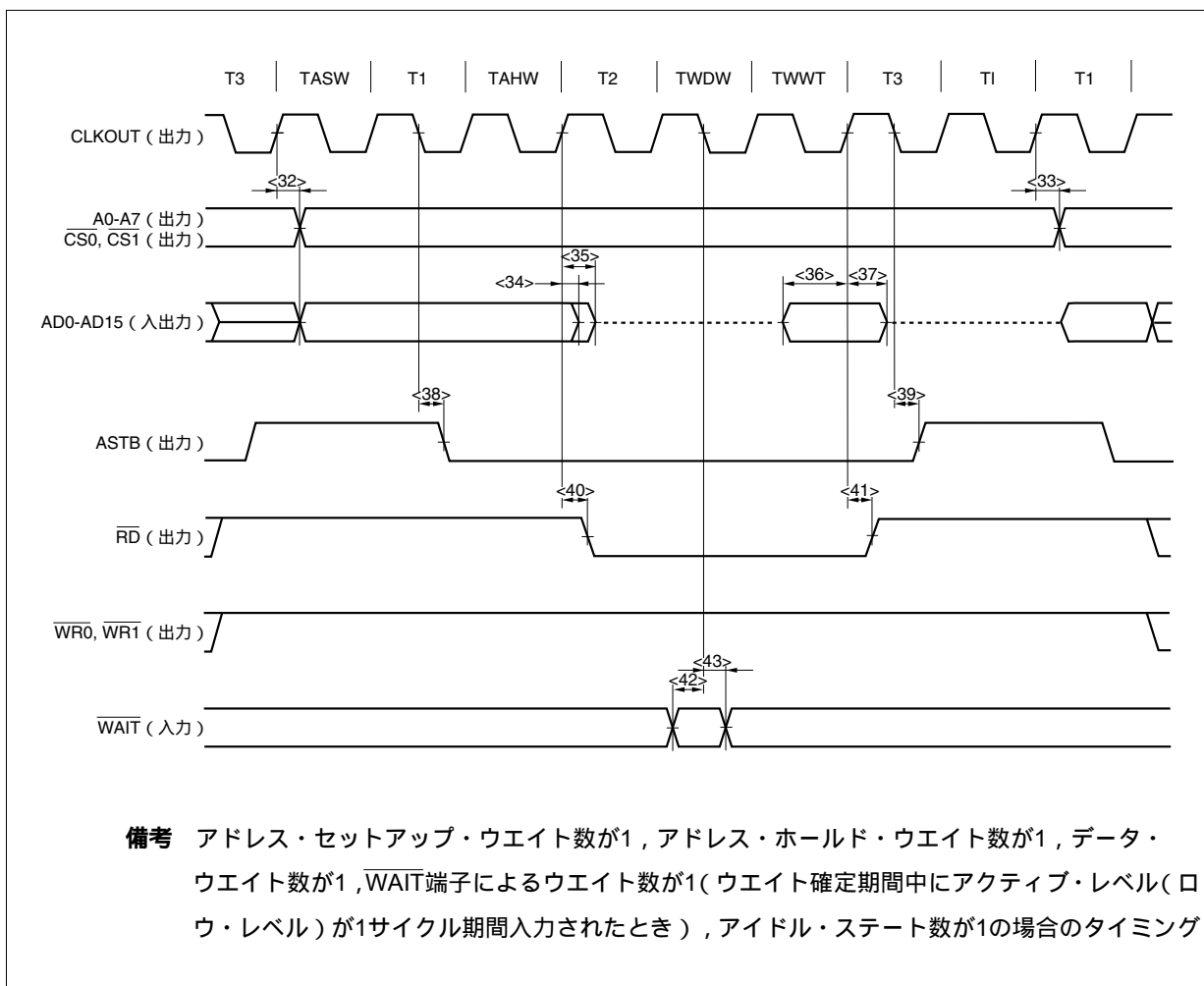
$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 4.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t_{DKA2}	<32>		16	ns
CLKOUT アドレス保持時間	t_{HKA2}	<33>	0		ns
CLKOUT アドレス保持時間	t_{HKA3}	<34>	- 1		ns
CLKOUT アドレス・フロート遅延時間	t_{FKA}	<35>		12	ns
データ入力設定時間 (対CLKOUT)	t_{SIDK2}	<36>	18		ns
データ入力保持時間 (対CLKOUT)	t_{HKID2}	<37>	0		ns
CLKOUT ASTB 遅延時間	t_{DKST3}	<38>	0	12	ns
CLKOUT ASTB 遅延時間	t_{DKST4}	<39>	0	13	ns
CLKOUT \overline{RD} 遅延時間	t_{DKRD3}	<40>	0	12	ns
CLKOUT \overline{RD} 遅延時間	t_{DKRD4}	<41>	0	12	ns
WAIT設定時間 (対CLKOUT)	t_{SWTK2}	<42>	21		ns
WAIT保持時間 (対CLKOUT)	t_{HKWT2}	<43>	0		ns

リード・サイクル (CLKOUT同期)



(c) ライト・サイクル (CLKOUT非同期)

注意1. $EV_{DD} = 3.0 \sim 3.6 \text{ V}$ のスペックと $EV_{DD} = 4.0 \sim 5.5 \text{ V}$ のスペックがあります。

2. Tは次の条件に従って設定してください。

40 ns T

3. 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 3.6 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	t_{DAST2}	<10>	$(0.5 + W_{AS}) T - 12$		ns
ASTBハイ・レベル幅	t_{WSTH}	<11>	$(1 + W_{AS} + i) T - 12$		ns
ASTB アドレス保持時間	t_{HSTA}	<12>	$(0.5 + W_{AH}) T - 18$		ns
\overline{WRn} アドレス保持時間	t_{HWRA2}	<44>	T - 16		ns
アドレス \overline{WRn} 遅延時間	t_{DAWR2}	<45>	$(1 + W_{AS} + W_{AH}) T - 12$		ns
\overline{WRn} データ出力遅延時間	t_{DWRD3}	<46>		5	ns
ASTB \overline{WRn} 遅延時間	t_{DSTWR3}	<47>	$(0.5 + W_{AH}) T - 9$		ns
データ出力 \overline{WRn} 遅延時間	t_{DODWR2}	<48>	$(1 + W_D + W) T - 10$		ns
\overline{WRn} データ出力保持時間	t_{HWROD2}	<49>	T - 15		ns
\overline{WRn} ASTB 遅延時間	t_{DWRST}	<50>	0.5T - 7		ns
\overline{WRn} ロウ・レベル幅	t_{WRL2}	<51>	$(1 + W_D + W) T - 12$		ns
\overline{WRn} ハイ・レベル幅	t_{WWRH2}	<52>	$(2 + W_{AS} + W_{AH}) T - 10$		ns
\overline{WRn} RDハイ・レベル保持時間	t_{HWRRD2}	<53>	$(2 + W_{AS} + W_{AH}) T - 17$		ns
WAIT設定時間 (対アドレス)	t_{DAWT2}	<26>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 43$	ns
WAIT保持時間 (対アドレス)	t_{HAWT2}	<27>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T$		ns
WAIT設定時間 (対ASTB)	t_{DSTWT}	<28>		$(1 + W_D + W + W_{AH}) T - 42$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT}	<29>	$(1 + W_D + W + W_{AH}) T$		ns
WAIT設定時間 (対 \overline{WRn})	t_{DWRWT2}	<54>		$(0.5 + W_D + W) T - 49$	ns
WAIT保持時間 (対 \overline{WRn})	t_{HWRWT2}	<55>	$(0.5 + W_D + W) T$		ns

備考1. W_{AS} : AWCレジスタによるアドレス・セットアップ・ウエイト数

W_{AH} : AWCレジスタによるアドレス・ホールド・ウエイト数

W_D : DWC0レジスタによるデータ・ウエイト数

w : WAIT端子による外部ウエイト数

2. $T = 1/f_{CPU}$ (f_{CPU} : CPUクロック周波数)

3. $n = 0, 1$

4. i : アイドル・ステート数

注意1. $EV_{DD} = 3.0 \sim 3.6 \text{ V}$ のスペックと $EV_{DD} = 4.0 \sim 5.5 \text{ V}$ のスペックがあります。

2. Tは次の条件に従って設定してください。

$$40 \text{ ns} \quad T$$

3. 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 4.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス ASTB 遅延時間	t_{DAST2}	<10>	$(0.5 + W_{AS}) T - 12$		ns
ASTBハイ・レベル幅	t_{WSTH}	<11>	$(1 + W_{AS} + i) T - 10$		ns
ASTB アドレス保持時間	t_{HSTA}	<12>	$(0.5 + W_{AH}) T - 10$		ns
\overline{WRn} アドレス保持時間	t_{HWRA2}	<44>	$T - 13$		ns
アドレス \overline{WRn} 遅延時間	t_{DAWR2}	<45>	$(1 + W_{AS} + W_{AH}) T - 10$		ns
\overline{WRn} データ出力遅延時間	t_{DWRD3}	<46>		7	ns
ASTB \overline{WRn} 遅延時間	t_{DSTWR3}	<47>	$(0.5 + W_{AH}) T - 9$		ns
データ出力 \overline{WRn} 遅延時間	t_{DODWR2}	<48>	$(1 + W_D + W) T - 10$		ns
\overline{WRn} データ出力保持時間	t_{HWROD2}	<49>	$T - 12$		ns
\overline{WRn} ASTB 遅延時間	t_{DWRST}	<50>	$0.5T - 7$		ns
\overline{WRn} 口ウ・レベル幅	t_{WURL2}	<51>	$(1 + W_D + W) T - 10$		ns
\overline{WRn} ハイ・レベル幅	t_{WWRH2}	<52>	$(2 + W_{AS} + W_{AH}) T - 10$		ns
\overline{WRn} RDハイ・レベル保持時間	t_{HWRD2}	<53>	$(2 + W_{AS} + W_{AH}) T - 14$		ns
WAIT設定時間 (対アドレス)	t_{DAWT2}	<26>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 36$	ns
WAIT保持時間 (対アドレス)	t_{HAWT2}	<27>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T$		ns
WAIT設定時間 (対ASTB)	t_{DSTWT}	<28>		$(1 + W_D + W + W_{AH}) T - 30$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT}	<29>	$(1 + W_D + W + W_{AH}) T$		ns
WAIT設定時間 (対 \overline{WRn})	t_{DWRWT2}	<54>		$(0.5 + W_D + W) T - 39$	ns
WAIT保持時間 (対 \overline{WRn})	t_{HWRWT2}	<55>	$(0.5 + W_D + W) T$		ns

備考1. W_{AS} : AWCレジスタによるアドレス・セットアップ・ウエイト数

W_{AH} : AWCレジスタによるアドレス・ホールド・ウエイト数

W_D : DWC0レジスタによるデータ・ウエイト数

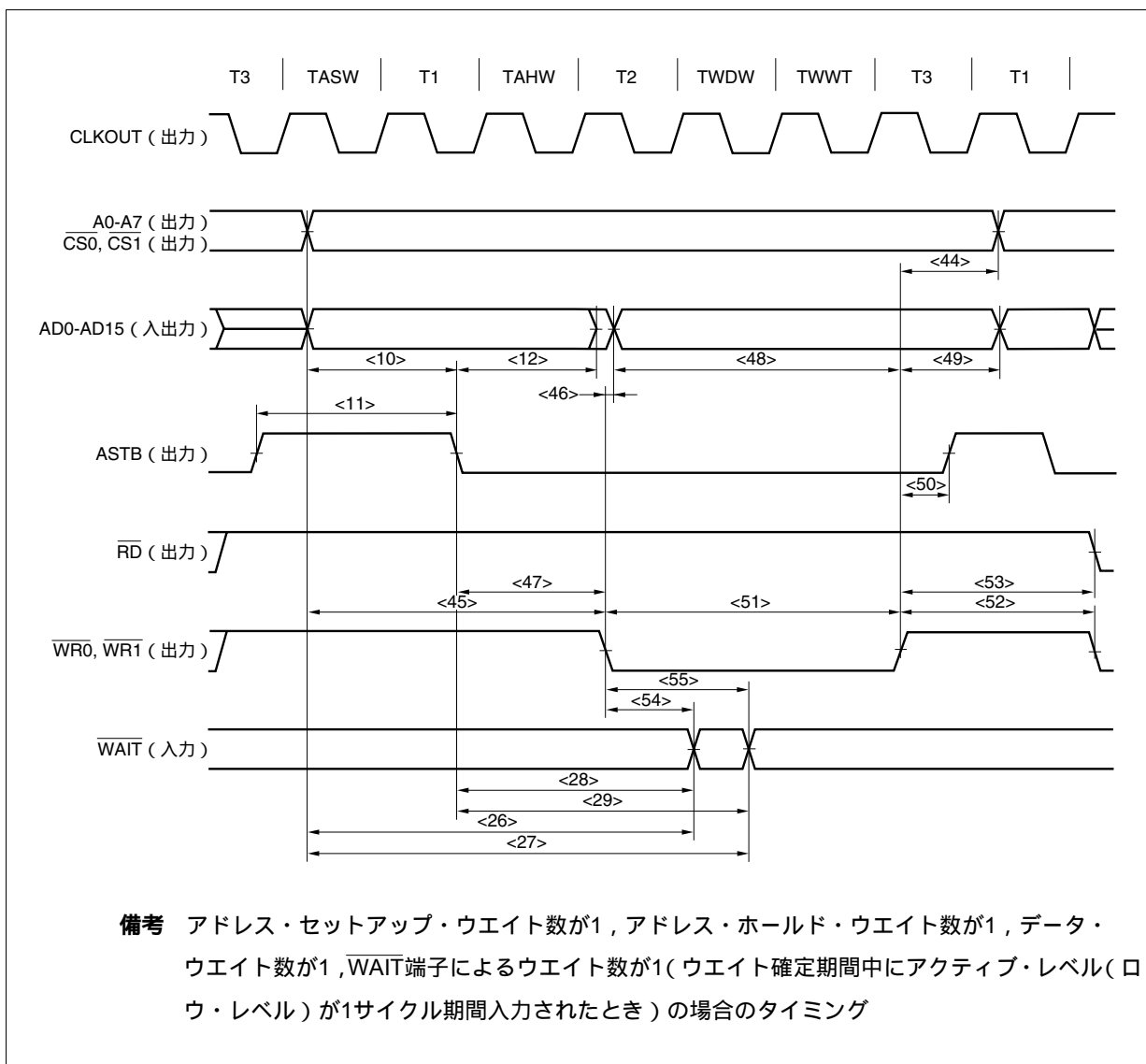
w : WAIT端子による外部ウエイト数

2. $T = 1/f_{CPU}$ (f_{CPU} : CPUクロック周波数)

3. $n = 0, 1$

4. i : アイドル・ステート数

ライト・サイクル (CLKOUT非同期)



(d) ライト・サイクル (CLKOUT同期)

注意1. $EV_{DD} = 3.0 \sim 3.6 \text{ V}$ のスペックと $EV_{DD} = 4.0 \sim 5.5 \text{ V}$ のスペックがあります。

2. 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 3.6 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t_{DKA2}	<32>		19	ns
CLKOUT アドレス保持時間	t_{HKA2}	<33>	0		ns
CLKOUT アドレス保持時間	t_{HKA3}	<34>	- 1		ns
CLKOUT ASTB 遅延時間	t_{DKST3}	<38>	0	17	ns
CLKOUT ASTB 遅延時間	t_{DKST4}	<39>	0	16	ns
CLKOUT データ出力遅延時間	t_{DKOD3}	<56>		13	ns
CLKOUT データ出力保持時間	t_{HKOD2}	<57>	0		ns
CLKOUT \overline{WRn} 遅延時間	t_{DKWR3}	<58>	0	25	ns
CLKOUT \overline{WRn} 遅延時間	t_{DKWR4}	<59>	0	23	ns
WAIT設定時間 (対CLKOUT)	t_{SWTK2}	<42>	25		ns
WAIT保持時間 (対CLKOUT)	t_{HKWT2}	<43>	0		ns

備考 n = 0, 1

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 4.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

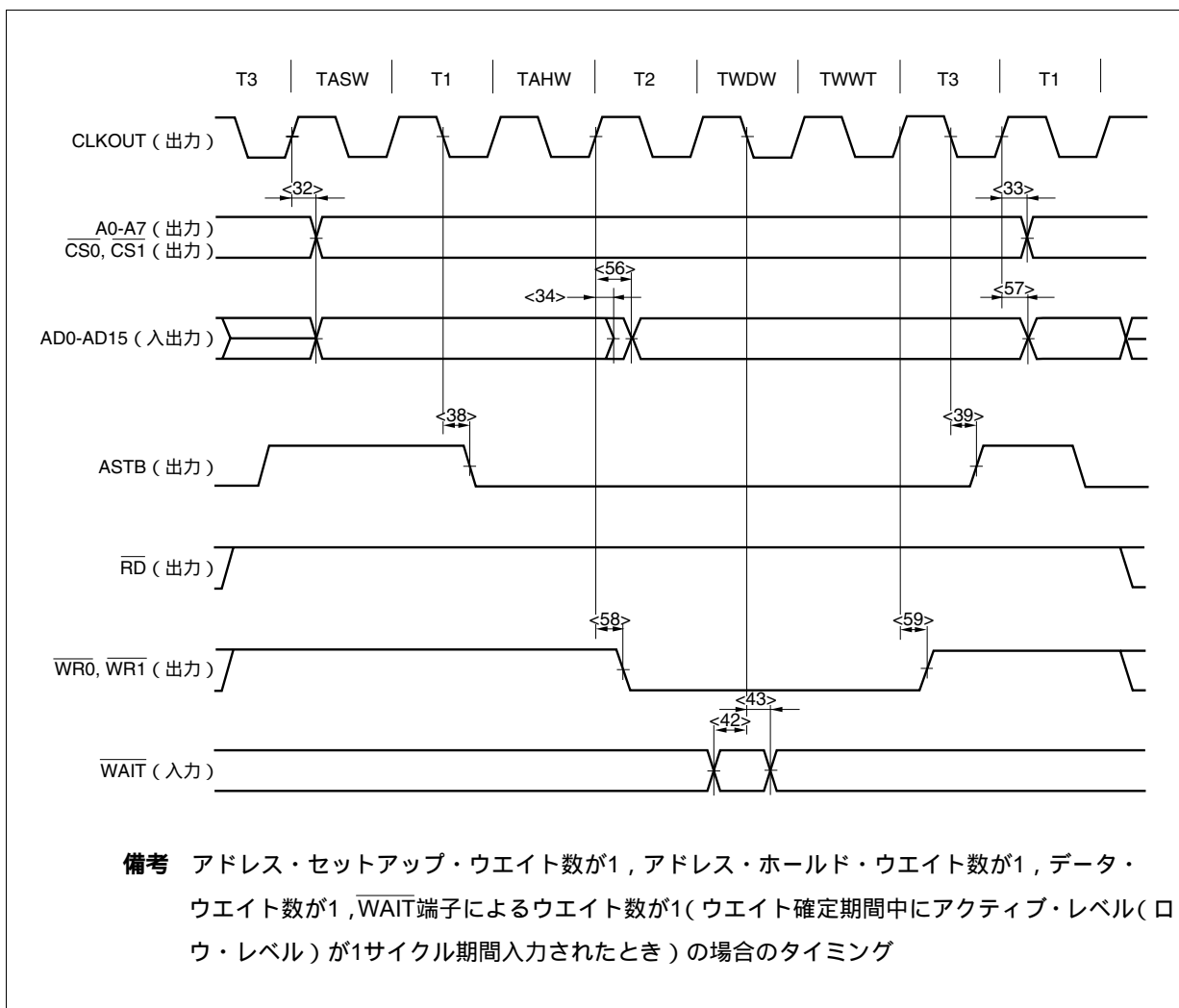
$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t_{DKA2}	<32>		16	ns
CLKOUT アドレス保持時間	t_{HKA2}	<33>	0		ns
CLKOUT アドレス保持時間	t_{HKA3}	<34>	- 1		ns
CLKOUT ASTB 遅延時間	t_{DKST3}	<38>	0	12	ns
CLKOUT ASTB 遅延時間	t_{DKST4}	<39>	0	13	ns
CLKOUT データ出力遅延時間	t_{DKOD3}	<56>		12	ns
CLKOUT データ出力保持時間	t_{HKOD2}	<57>	0		ns
CLKOUT \overline{WRn} 遅延時間	t_{DKWR3}	<58>	0	18	ns
CLKOUT \overline{WRn} 遅延時間	t_{DKWR4}	<59>	0	18	ns
WAIT設定時間 (対CLKOUT)	t_{SWTK2}	<42>	21		ns
WAIT保持時間 (対CLKOUT)	t_{HKWT2}	<43>	0		ns

備考 n = 0, 1

ライト・サイクル (CLKOUT同期)



(3) タイマ・タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

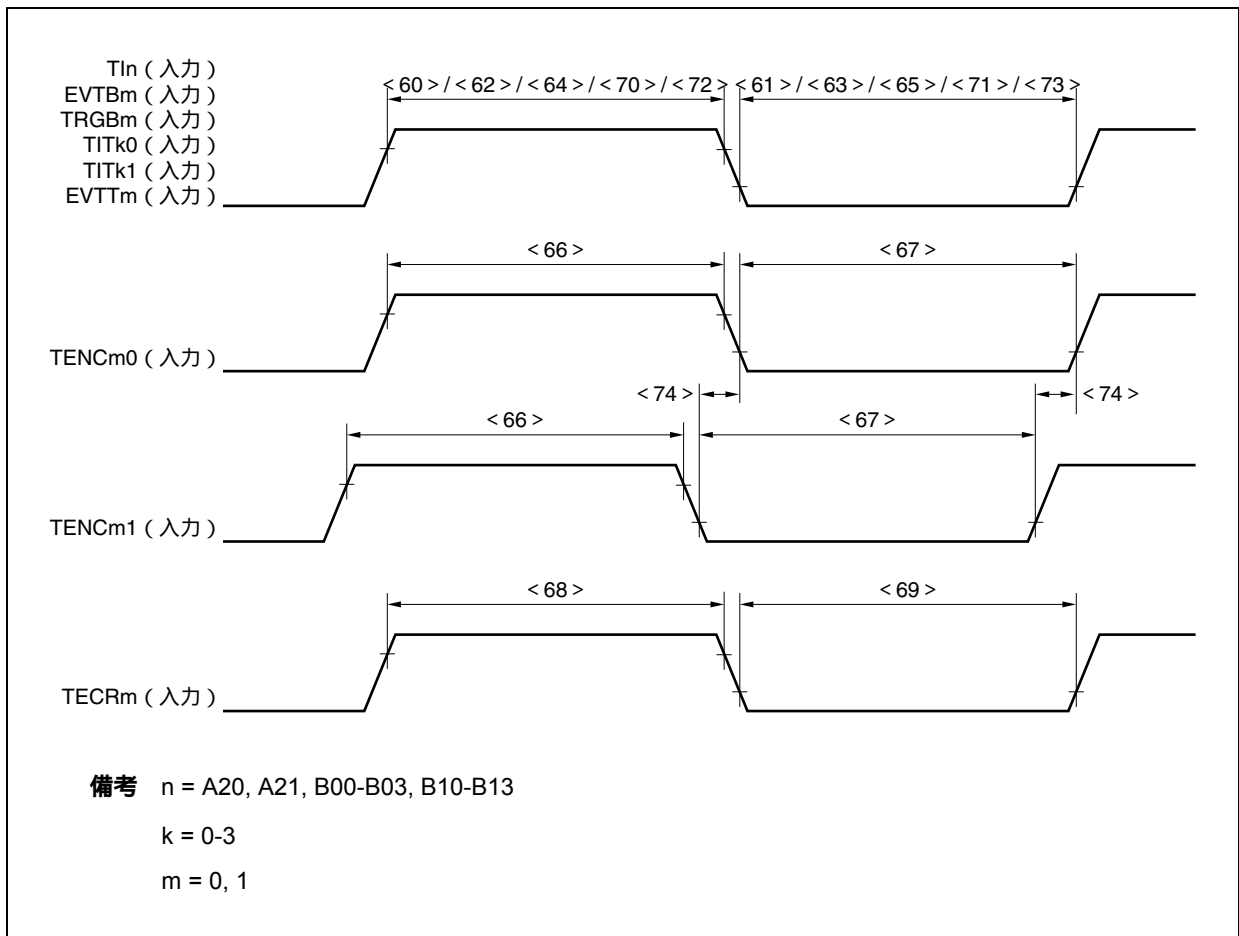
項目	略号	条件	MIN.	MAX.	単位	
TInハイ・レベル幅 ^{注1,2}	tWTIHn	<60>	n = B00-B03, B10-B13	12T + 10		ns
			n = A20, A21	3T _{smp1} + 10		ns
TInロウ・レベル幅 ^{注1,2}	tWTILn	<61>	n = B00-B03, B10-B13	12T + 10		ns
			n = A20, A21	3T _{smp1} + 10		ns
EVTBmハイ・レベル幅 ^{注1}	tWEVBHm	<62>	m = 0, 1	12T + 10		ns
EVTBmロウ・レベル幅 ^{注1}	tWEVBLm	<63>	m = 0, 1	12T + 10		ns
TRGBmハイ・レベル幅 ^{注1}	tWTRHm	<64>	m = 0, 1	12T + 10		ns
TRGBmロウ・レベル幅 ^{注1}	tWTRLm	<65>	m = 0, 1	12T + 10		ns
TENCm0/TENCm1 ハイ・レベル幅 ^{注3}	tWENCHm	<66>	m = 0, 1	3T _{smp2} + 10		ns
TENCm0/TENCm1 ロウ・レベル幅 ^{注3}	tWENCLm	<67>	m = 0, 1	3T _{smp2} + 10		ns
TECRmハイ・レベル幅 ^{注3}	tWCRHm	<68>	m = 0, 1	3T _{smp2} + 10		ns
TECRmロウ・レベル幅 ^{注3}	tWCRLm	<69>	m = 0, 1	3T _{smp2} + 10		ns
TITk0/TITk1 ハイ・レベル幅 ^{注3}	tWTITHk	<70>	k = 0-3	3T _{smp2} + 10		ns
TITk0/TITk1 ロウ・レベル幅 ^{注3}	tWTITLk	<71>	k = 0-3	3T _{smp2} + 10		ns
EVTtmハイ・レベル幅 ^{注3}	tWEVTHm	<72>	m = 0, 1	3T _{smp2} + 10		ns
EVTtmロウ・レベル幅 ^{注3}	tWEVTLm	<73>	m = 0, 1	3T _{smp2} + 10		ns
TENCm0/TENCm1 入力時間差 ^{注3}	tPHUDm	<74>	m = 0, 1	3T _{smp2} + 10		ns

注1. $T = 1/f_{xx}$

2. T_{smp1}: ノイズ除去サンプリング・クロック周期 (TANFC2レジスタで設定)
3. T_{smp2}: ノイズ除去サンプリング・クロック周期 (TTNFC0-TTNFC3レジスタで設定)

備考 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。

タイマ入力タイミング



(4) UARTA タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
送信レート				1.25	Mbps

(5) UARTB タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
送信レート				5.00	Mbps

(6) CSIF タイミング

(a) マスタ・モード

注意 EV_{DD} = 3.0 ~ 4.0 V のスペックと EV_{DD} = 4.0 ~ 5.5 V のスペックがあります。

(T_A = -40 ~ +85 °C, V_{DD0} = V_{DD1} = V_{DD2} = 1.35 ~ 1.65 V,

EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 ~ 4.0 V, FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 ~ 5.5 V,

UV_{DD} = 3.0 ~ 3.6 V, V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 V,

C_L = 50 pF) (1/2)

項目	略号	条件	MIN.	MAX.	単位
SCKFn 周期	t _{KCYM}	<75>	125		ns
SCKFn ハイ / ロウ・レベル幅	t _{KWHM}	<76>	t _{KCYM} /2 - 15		ns
	t _{KWLM}				
SIFn セットアップ時間 (対 SCKFn)	t _{SSIM}	<77>	40		ns
SIFn セットアップ時間 (対 SCKFn)			40		ns
SIFn ホールド時間 (対 SCKFn)	t _{HSIM}	<78>	40		ns
SIFn ホールド時間 (対 SCKFn)			40		ns
SOFn 出力遅延時間 (対 SCKFn)	t _{DSOM}	<79>		30	ns
SOFn 出力遅延時間 (対 SCKFn)				30	ns
SOFn 出力保持時間 (対 SCKFn)	t _{HSOM}	<80>	t _{KCYM} /2 - 10		ns
SOFn 出力保持時間 (対 SCKFn)			t _{KCYM} /2 - 10		ns

備考 n = 0-2

(T_A = -40 ~ +85 °C, V_{DD0} = V_{DD1} = V_{DD2} = 1.35 ~ 1.65 V,

EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 4.0 ~ 5.5 V, FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 ~ 5.5 V,

UV_{DD} = 3.0 ~ 3.6 V, V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 V,

C_L = 50 pF) (2/2)

項目	略号	条件	MIN.	MAX.	単位
SCKFn 周期	t _{KCYM}	<75>	125		ns
SCKFn ハイ / ロウ・レベル幅	t _{KWHM}	<76>	t _{KCYM} /2 - 10		ns
	t _{KWLM}				
SIFn セットアップ時間 (対 SCKFn)	t _{SSIM}	<77>	30		ns
SIFn セットアップ時間 (対 SCKFn)			30		ns
SIFn ホールド時間 (対 SCKFn)	t _{HSIM}	<78>	30		ns
SIFn ホールド時間 (対 SCKFn)			30		ns
SOFn 出力遅延時間 (対 SCKFn)	t _{DSOM}	<79>		30	ns
SOFn 出力遅延時間 (対 SCKFn)				30	ns
SOFn 出力保持時間 (対 SCKFn)	t _{HSOM}	<80>	t _{KCYM} /2 - 10		ns
SOFn 出力保持時間 (対 SCKFn)			t _{KCYM} /2 - 10		ns

備考 n = 0-2

(b) スレーブ・モード

注意 EV_{DD} = 3.0 ~ 4.0 VのスペックとEV_{DD} = 4.0 ~ 5.5 Vのスペックがあります。

(T_A = -40 ~ +85 °C, V_{DD0} = V_{DD1} = V_{DD2} = 1.35 ~ 1.65 V,

EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 ~ 4.0 V, FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 ~ 5.5 V,

UV_{DD} = 3.0 ~ 3.6 V, V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 V,

C_L = 50 pF) (1/2)

項目	略号	条件	MIN.	MAX.	単位
SCKFn周期	t _{KCY5}	<81>	125		ns
SCKFnハイ/ロウ・レベル幅	t _{KWHS} , t _{KWLS}	<82>	t _{KCY5} /2 - 10		ns
SIFnセットアップ時間 (対SCKFn)	t _{SSIS}	<83>	30		ns
SIFnセットアップ時間 (対SCKFn)			30		ns
SIFnホールド時間 (対SCKFn)	t _{HSIS}	<84>	30		ns
SIFnホールド時間 (対SCKFn)			30		ns
SOFn出力遅延時間 (対SCKFn)	t _{DSOS}	<85>		40	ns
SOFn出力遅延時間 (対SCKFn)				40	ns
SOFn出力保持時間 (対SCKFn)	t _{HSOS}	<86>	t _{KCY5} /2 - 10		ns
SOFn出力保持時間 (対SCKFn)			t _{KCY5} /2 - 10		ns

備考 n = 0-2

(T_A = -40 ~ +85 °C, V_{DD0} = V_{DD1} = V_{DD2} = 1.35 ~ 1.65 V,

EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 4.0 ~ 5.5 V, FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 ~ 5.5 V,

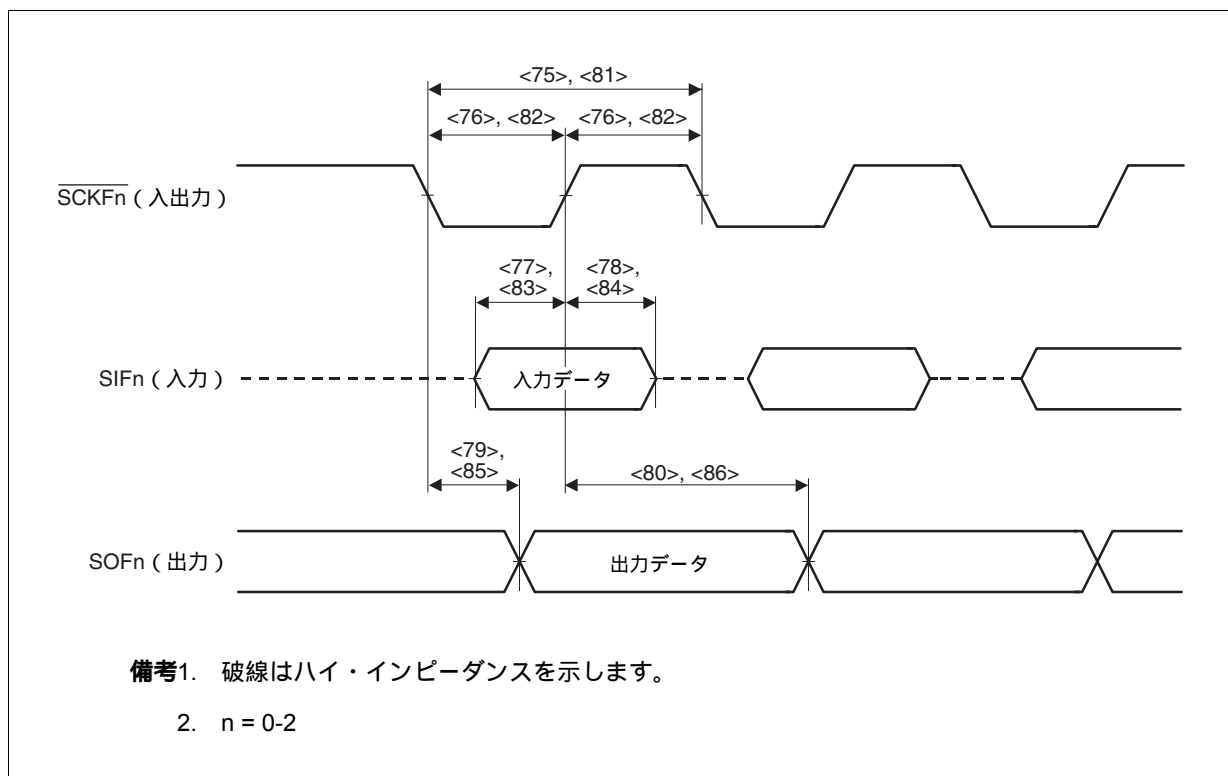
UV_{DD} = 3.0 ~ 3.6 V, V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 V,

C_L = 50 pF) (2/2)

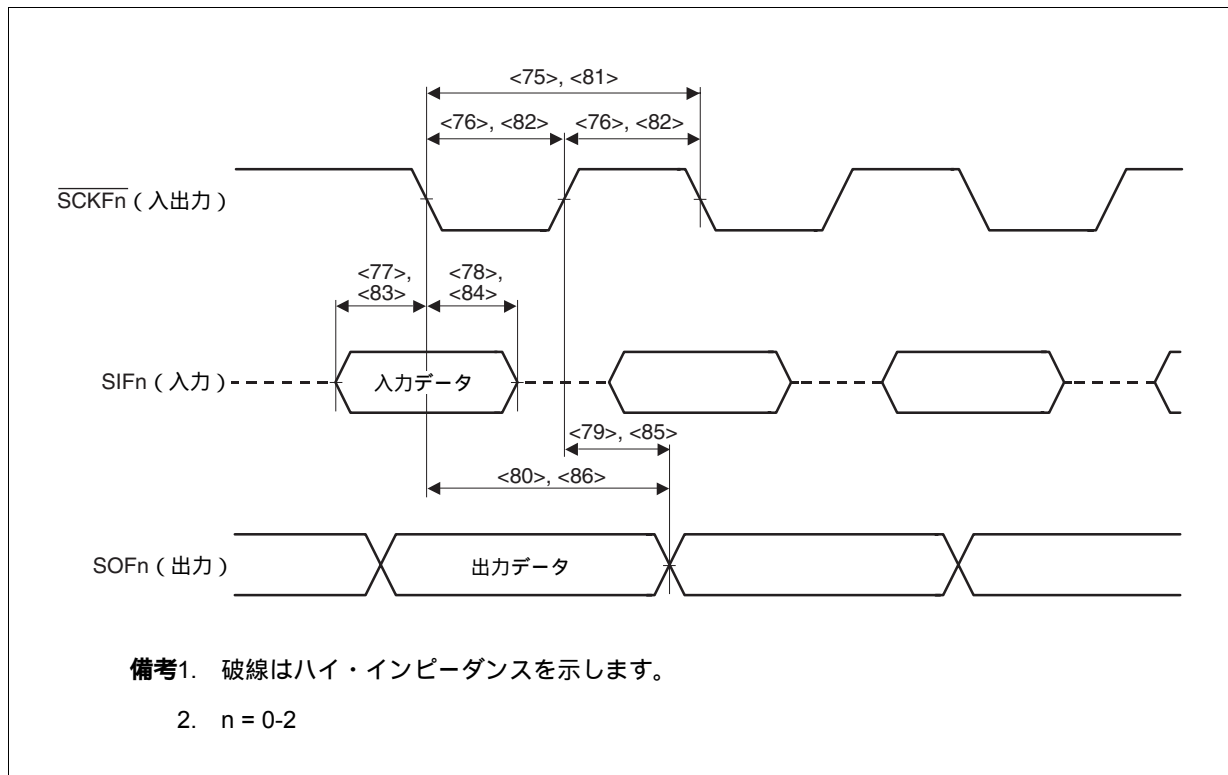
項目	略号	条件	MIN.	MAX.	単位
SCKFn周期	t _{KCY5}	<81>	125		ns
SCKFnハイ/ロウ・レベル幅	t _{KWHS} , t _{KWLS}	<82>	t _{KCY5} /2 - 10		ns
SIFnセットアップ時間 (対SCKFn)	t _{SSIS}	<83>	30		ns
SIFnセットアップ時間 (対SCKFn)			30		ns
SIFnホールド時間 (対SCKFn)	t _{HSIS}	<84>	30		ns
SIFnホールド時間 (対SCKFn)			30		ns
SOFn出力遅延時間 (対SCKFn)	t _{DSOS}	<85>		30	ns
SOFn出力遅延時間 (対SCKFn)				30	ns
SOFn出力保持時間 (対SCKFn)	t _{HSOS}	<86>	t _{KCY5} /2 - 10		ns
SOFn出力保持時間 (対SCKFn)			t _{KCY5} /2 - 10		ns

備考 n = 0-2

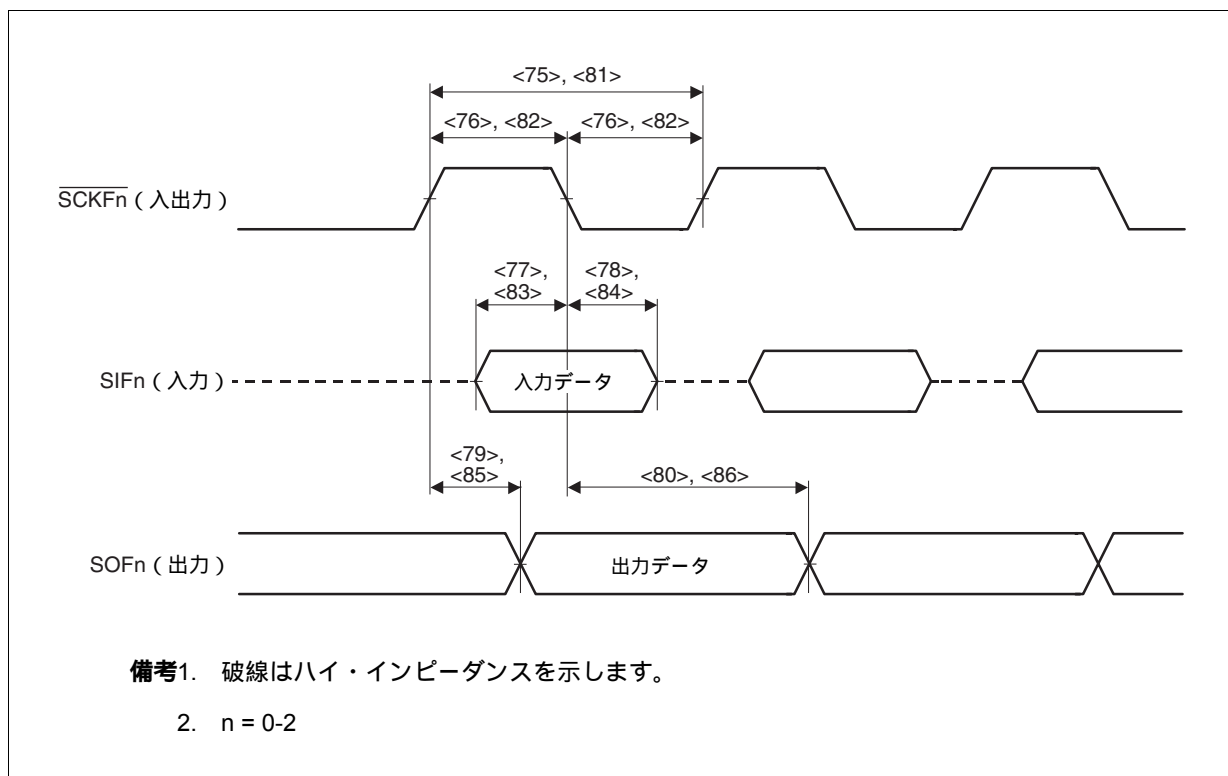
CSIF タイミング : CFnCTL1レジスタのCFnCKP, CFnDAPビット = 00時



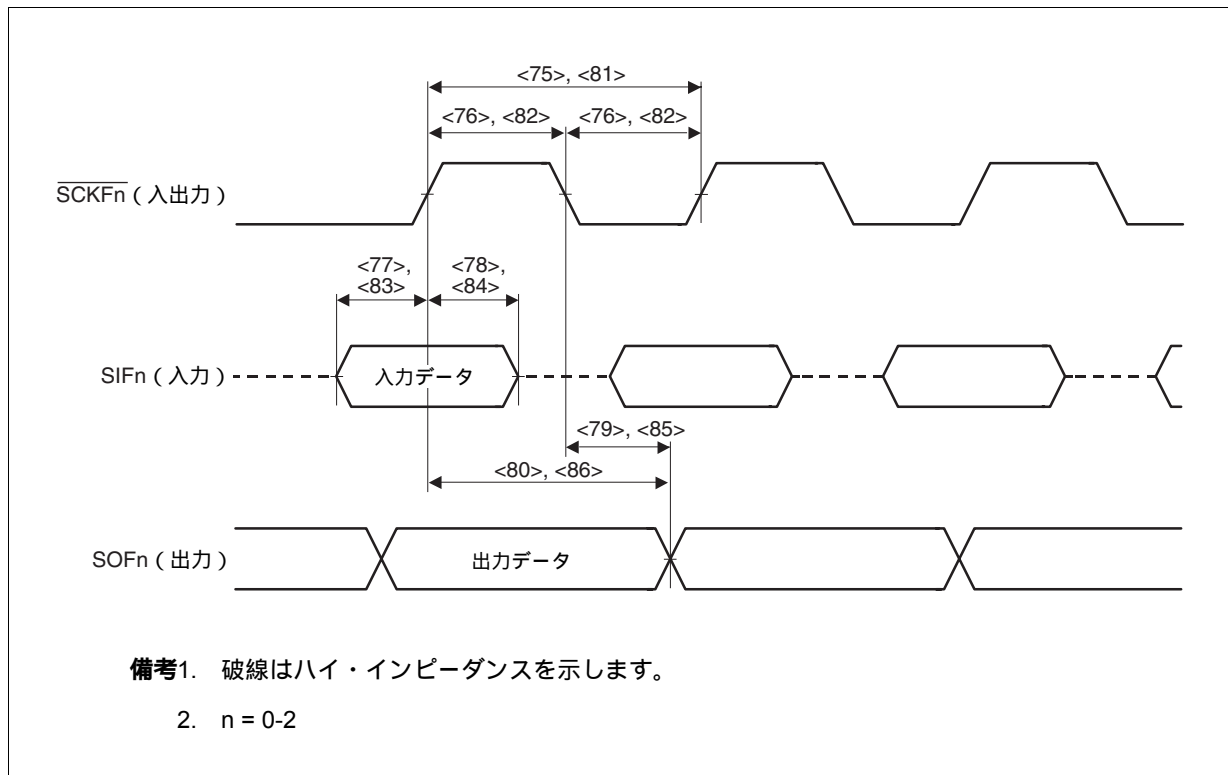
CSIF タイミング : CFnCTL1レジスタのCFnCKP, CFnDAPビット = 01時



CSIFタイミング : CFnCTL1レジスタのCFnCKP, CFnDAPビット = 10時



CSIFタイミング : CFnCTL1レジスタのCFnCKP, CFnDAPビット = 11時



(7) I²Cバス・タイミング(T_A = -40 ~ +85 °C, V_{DD0} = V_{DD1} = V_{DD2} = 1.35 ~ 1.65 V,EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 ~ 5.5 V, FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 ~ 5.5 V,UV_{DD} = 3.0 ~ 3.6 V, V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =AV_{SS2} = 0 V, C_L = 50 pF)

項目	略号	標準モード		高速モード		単位		
		MIN.	MAX.	MIN.	MAX.			
SCLクロック周波数	f _{CLK}	-	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<87>	4.7	-	1.3	-	μs	
ホールド時間 ^{注1}	t _{HD : STA}	<88>	4.0	-	0.6	-	μs	
SCLクロックのロウ・レベル幅	t _{LOW}	<89>	4.7	-	1.3	-	μs	
SCLクロックのハイ・レベル幅	t _{HIGH}	<90>	4.0	-	0.6	-	μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	<91>	4.7	-	0.6	-	μs	
データ・ホールド時間	CBUS互換マスタ	t _{HD : DAT}	<92>	5.0	-	-	-	μs
	I ² Cモード			0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	<93>	250	-	100 ^{注4}	-	ns	
SDAおよびSCL信号の立ち上がり時間	t _r	<94>	-	1000	20 + 0.1Cb ^{注5}	300	ns	
SDAおよびSCL信号の立ち下がり時間	t _f	<95>	-	300	20 + 0.1Cb ^{注5}	300	ns	
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<96>	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<97>	-	-	0	50	ns	
各バス・ラインの容量性負荷	C _b	-	-	400	-	400	pF	

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置は、SCLの立ち下がり端の未定義領域を埋めるために（SCL信号のV_{IHmin.}での）SDA信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間（t_{HD : DAT}）のみ満たすことが必要です。
4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

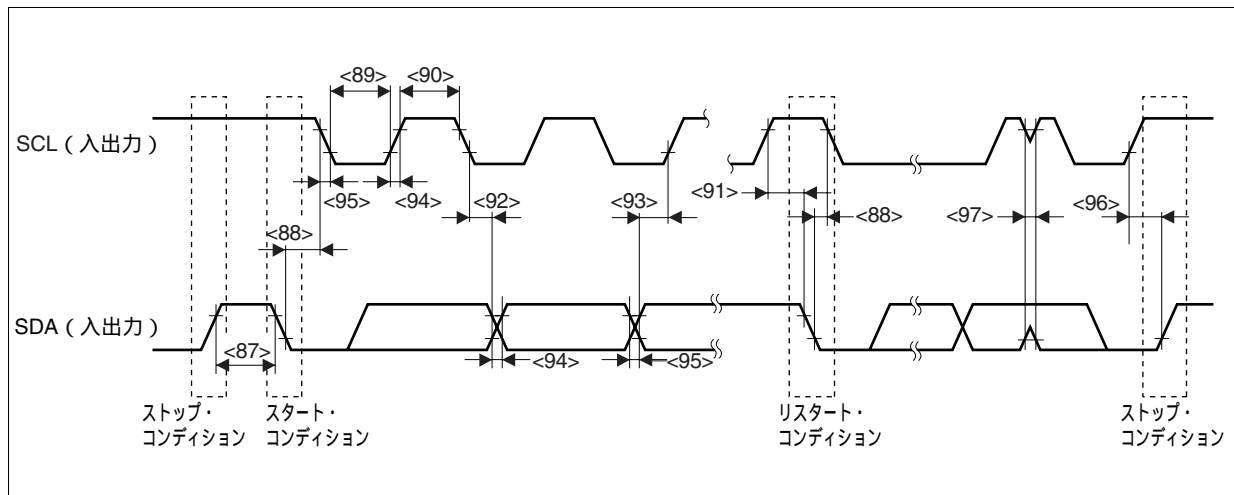
- ・装置がSCL信号のロウ状態ホールド時間を延長しない場合

t_{SU : DAT} 250 ns

- ・装置がSCL信号のロウ状態ホールド時間を延長する場合

SCLラインが解放される（t_{rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns：標準モードI²Cバス仕様）前に、次のデータ・ビットをSDAラインに送出してください。

5. C_b : 1つのバス・ラインの合計キャパシタンス（単位：pF）

I²Cバス・タイミング

(8) ハイ・インピーダンス制御タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$E_{VDD0} = E_{VDD1} = E_{VDD2} = E_{VDD3} = 3.0 \sim 5.5 \text{ V}$, $F_{VDD} = A_{VDD0} = A_{VDD1} = A_{VDD2} = 4.0 \sim 5.5 \text{ V}$,

$U_{VDD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS3} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	t_{CLM}	クロック・モニタ動作時		65	μs
TOBnOFF, TOB01OFF 入力 タイマ出力ハイ・インピーダンス	t_{HTQn}			300	ns
TOTmOFF 入力 タイマ出力ハイ・インピーダンス	t_{HTPm}			300	ns
ANI00/ANI05-ANI02/ANI07 入力 タイマ出力ハイ・インピーダンス	t_{ANI0}			10	μs
ANI10/ANI15-ANI12/ANI17 入力 タイマ出力ハイ・インピーダンス	t_{ANI1}			10	μs

備考 $n = 0, 1$

$m = 2, 3$

28. 2. 8 A/Dコンバータ0, 1特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = AV_{REFP0} = AV_{REFP1} =$

$4.0 \sim 5.5 \text{ V}$, $UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} =$

$AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			12	12	12	bit
総合誤差 ^{注1}					± 10	LSB
変換時間	t_{CONV}		2.00			μs
					8.00	μs
ゼロスケール誤差 ^{注1}					± 10	LSB
フルスケール誤差 ^{注1}					± 10	LSB
積分直線性誤差 ^{注1}					± 4	LSB
微分直線性誤差 ^{注1}					± 2.5	LSB
アナログ基準電圧	AV_{REF}		4.0		5.5	V
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{DD}	V
AV_{DD} 電源電流 ^{注2}	AI_{DD}	動作時		4.5	7.5	mA
	AI_{DDs}	STOPモード時 ^{注3}		3.5	17.5	μA

注1. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

2. この値はA/Dコンバータ0またはA/Dコンバータ1のいずれか1回路分です。

3. STOPモードに設定する前に, A/Dコンバータ0, 1の動作を停止 ($ADnSCM.ADnCE$ ビット = 0) してください。

備考1. LSB : Least Significant Bit

2. f_{AD01} : A/Dコンバータ0, 1の基本クロック

3. $n = 0, 1$

28. 2. 9 A/Dコンバータ2特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1}					± 4.0	LSB
変換時間	t_{CONV}		3.00		10.00	μs
ゼロスケール誤差 ^{注1}					± 4.0	LSB
フルスケール誤差 ^{注1}					± 4.0	LSB
積分直線性誤差 ^{注1}					± 4.0	LSB
微分直線性誤差 ^{注1}					± 2.0	LSB
アナログ基準電圧	AV_{REF}		4.0		5.5	V
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{DD}	V
AV _{DD} 電源電流	AI_{DD}	動作時		3.5	7	mA
	AI_{DDS}	STOPモード時 ^{注2}		1	10	μA

注1. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

2. STOPモードに設定する前に, A/Dコンバータ2の動作を停止 ($AD2M0.AD2CE$ ビット = 0) してください。

備考 LSB : Least Significant Bit

28. 2. 10 オペアンプ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IO}			± 9.0		mV
入力電圧範囲	V_I	ゲイン = 2.500	$0.04AV_{DD}$		$0.36AV_{DD}$	V
		ゲイン = 5.000	$0.02AV_{DD}$		$0.18AV_{DD}$	V
		ゲイン = 10.00	$0.01AV_{DD}$		$0.085AV_{DD}$	V
スルー・レート ^{注1}	S_R		10	15		$V/\mu\text{s}$
ゲイン誤差		注2 ゲイン = 2.500 ~ 4.444		± 1.0	± 1.3	%
		ゲイン = 5.000 ~ 6.667		± 1.0	± 1.5	%
		ゲイン = 8.000, 10.00		± 1.0	± 1.7	%
		注3 ゲイン = 2.500 ~ 4.444		± 1.0	± 2.0	%
		ゲイン = 5.000 ~ 6.667		± 1.0	± 2.1	%
		ゲイン = 8.000, 10.00		± 1.0	± 2.2	%
動作電流 ^{注4}	I_{OPDD}	動作時		1.8	2.6	mA
	A_{IDDS}	STOPモード時 ^{注5}		1.0	10	μA

注1. 出力電圧の10% ~ 90%までの傾きの特性です。

2. 4.5 V $AV_{DD0} = AV_{DD1} = 5.5 \text{ V}$

3. 4.0 V $AV_{DD0} = AV_{DD1} < 4.5 \text{ V}$

4. オペアンプを合計6つ搭載しています。この値は1つあたりの動作電流です。

5. STOPモードに設定する前に、オペアンプの動作を停止 (OPnCTL0.OPn2EN-OPn0ENビット = 000) してください。

備考 オペアンプの電源は、 AV_{DD0} , AV_{DD1} を使用します。

28. 2. 11 コンパレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IO}			± 3.0		mV
入力電圧範囲	V_I		AV_{SS}		AV_{DD}	V
応答時間	t_{CR}	入力振幅 = 100 mV, 立ち上がり ^{注1}		1.0		μs
	t_{CF}	入力振幅 = 100 mV, 立ち下がり ^{注2}		1.0		μs
動作電流 ^{注3}	I_{CPDD}	動作時			250	μA
	A_{IDDS1}	STOPモード時 ^{注4}		2.0	20	nA
基準電圧生成用D/Aコンパレータの分解能	R_{ES}			8		bit
基準電圧生成用D/Aコンパレータの総合誤差	A_{INL}	$R_{LOAD} = 4 \text{ M}\Omega$			± 1.2	%FSR
基準電圧生成用D/Aコンパレータの動作電流 ^{注3}	I_{DADD}	動作時			5	mA
	A_{IDDS2}	STOPモード時 ^{注4}			10	μA

注1. ANIm入力がコンパレータ基準電圧 - 100 mVからコンパレータ基準電圧 + 100 mVに変化する時のパルス応答特性

2. ANIm入力がコンパレータ基準電圧 + 100 mVからコンパレータ基準電圧 - 100 mVに変化する時のパルス応答特性

3. コンパレータを合計6つ搭載しています。この値は1つあたりの動作電流です。

4. STOPモードに設定する前に、コンパレータの動作を停止 (CMPnCTL0レジスタ = 00H) してください。

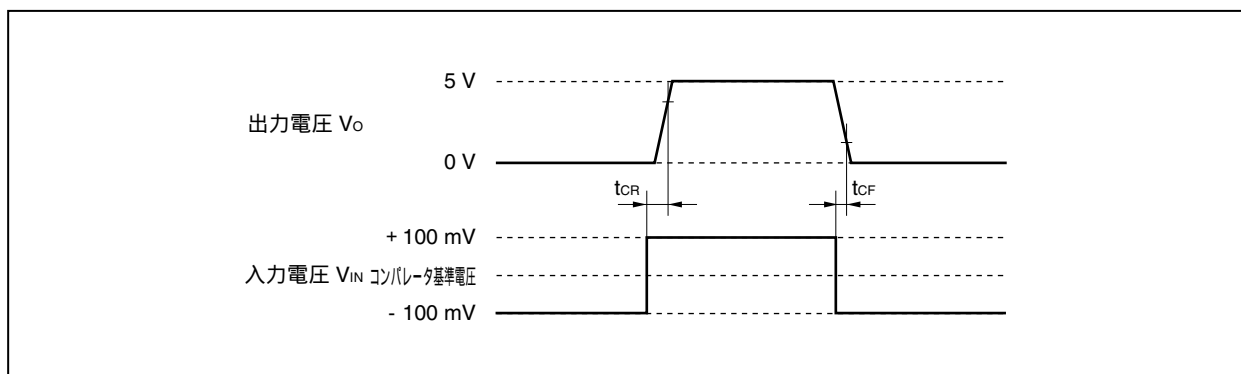
備考1. コンパレータの電源は、 AV_{DD0} , AV_{DD1} を使用します。

2. $m = 05-07, 15-17$

$n = 0, 1$

3. R_{LOAD} : ラダー抵抗の合計値 (図12 - 3, 図12 - 4参照)

コンパレータ特性



28. 2. 12 パワーオン・クリア回路 (POC)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$,

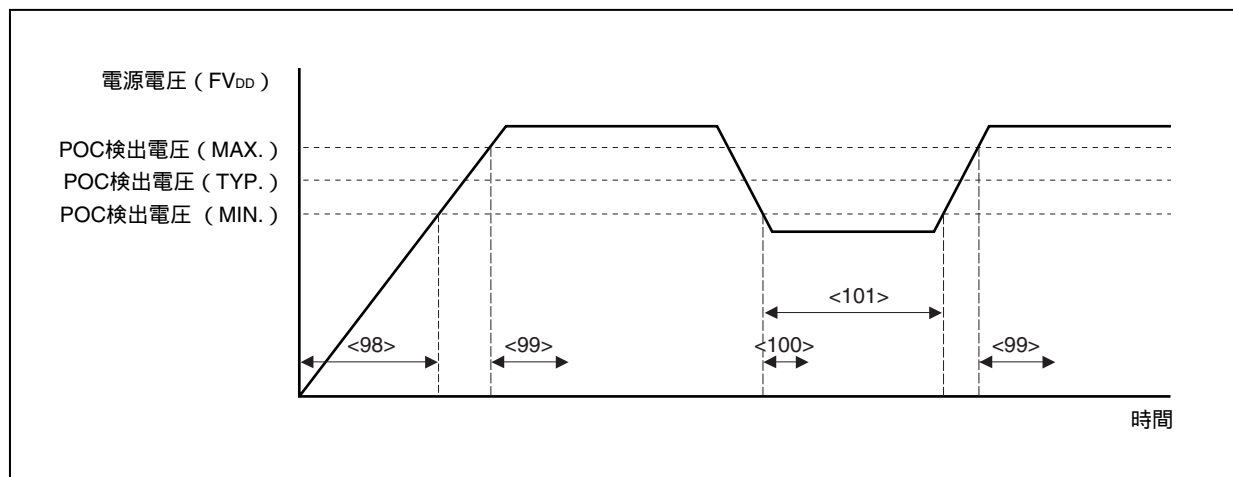
$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$,

$C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
POC検出電圧	V_{POC0}		3.5	3.7	3.9	V
電源電圧立ち上がり時間	t_{PTH}	<98> $FV_{DD} = 0 \sim 3.5 \text{ V}$	$2.5 \mu\text{s}$		1.8 s	
応答時間 ^{注1}	t_{PTH}	<99> パワーオン時, FV_{DD} が 3.9 Vに到達後			3.0	ms
応答時間 ^{注2}	t_{PD}	<100> パワーオフ時, FV_{DD} が 3.5 Vに落ちたあと			1.0	ms
FV_{DD} 最小幅	t_{PW}	<101>	0.2			ms

注1. POC検出電圧を検出してからリセット信号 (POCRES) を解除するまでの時間です。

2. POC検出電圧を検出してからリセット信号 (POCRES) を発生するまでの時間です。



28. 2. 13 低電圧検出回路 (LVI)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

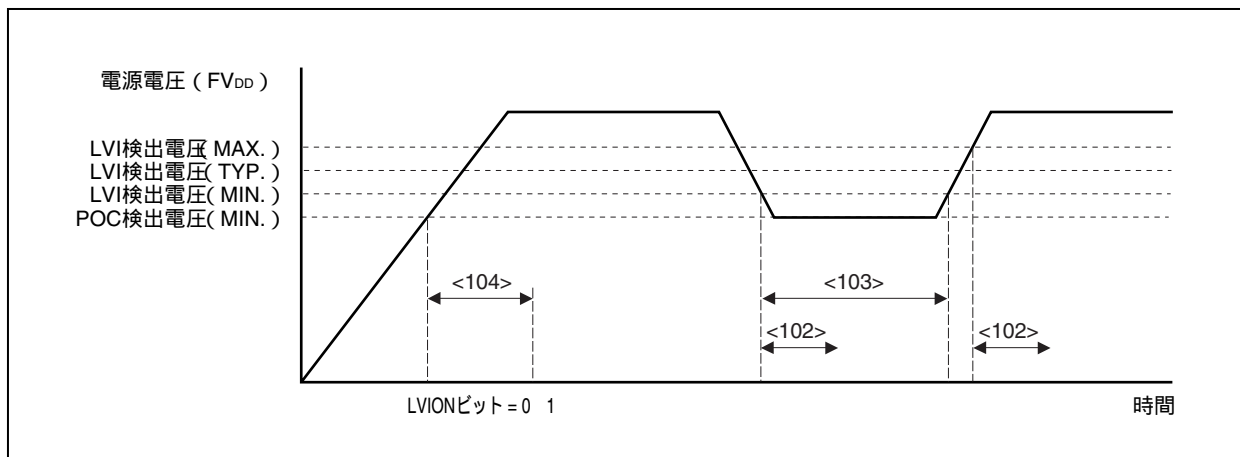
$E_{VDD0} = E_{VDD1} = E_{VDD2} = E_{VDD3} = 3.0 \sim 5.5 \text{ V}$, $F_{VDD} = 4.0 \sim 5.5 \text{ V}$, $A_{VDD0} = A_{VDD1} = A_{VDD2} = 3.5 \sim 5.5 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = E_{VSS0} = E_{VSS1} = E_{VSS2} = E_{VSS3} = E_{VSS4} = A_{VSS0} = A_{VSS1} = A_{VSS2} = 0 \text{ V}$,

$C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LVI検出電圧	V_{LV10}	LVIS.LVIS0ビット = 0	4.2	4.4	4.6	V
	V_{LV11}	LVIS.LVIS0ビット = 1	4.0	4.2	4.4	V
応答時間 ¹ 注	t_{LD}	<102> F_{VDD} が V_{LV10}/V_{LV11} (MAX.)に到達 後、または F_{VDD} が V_{LV10}/V_{LV11} (MIN.)に落ち たあと		0.2	2.0	ms
F_{VDD} 最小幅	t_{LW}	<103>	0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	<104> F_{VDD} が POC検出電圧 (MIN.)に 到達後、および LVIM.LVIONビットを0 1に変更したあと		0.1		ms

注 LVI検出電圧を検出してから割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号 (LVIRESET) を発生するまでの時間です。



28. 2. 14 電源電圧投入/切断タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$,

$UV_{DD} = 3.0 \sim 3.6 \text{ V}$, $V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} =$

$AV_{SS2} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
FV _{DD} 立ち上がり EV _{DD} 立ち上がり遅延時間	t _{RER}		- 50	0	ms
FV _{DD} 立ち上がり V _{DD} 立ち上がり遅延時間	t _{RVR}		- 50	0	ms
FV _{DD} 立ち上がり AV _{DD} 立ち上がり遅延時間	t _{RAR}		- 50	0	ms
FV _{DD} 立ち上がり UV _{DD} 立ち上がり遅延時間	t _{RUR}		- 50	0	ms
FV _{DD} 立ち上がり RESET立ち上がり遅延時間	t _{RRR}	外部リセット使用時	$T_{osc} + 0.5$		ms
FV _{DD} 立ち下がり EV _{DD} 立ち下がり遅延時間	t _{FEF}		0	50	ms
FV _{DD} 立ち下がり V _{DD} 立ち下がり遅延時間	t _{FVF}		0	50	ms
FV _{DD} 立ち下がり AV _{DD} 立ち下がり遅延時間	t _{FAF}		0	50	ms
FV _{DD} 立ち下がり UV _{DD} 立ち下がり遅延時間	t _{FUF}		0	50	ms

備考 T_{osc} : 発振安定時間

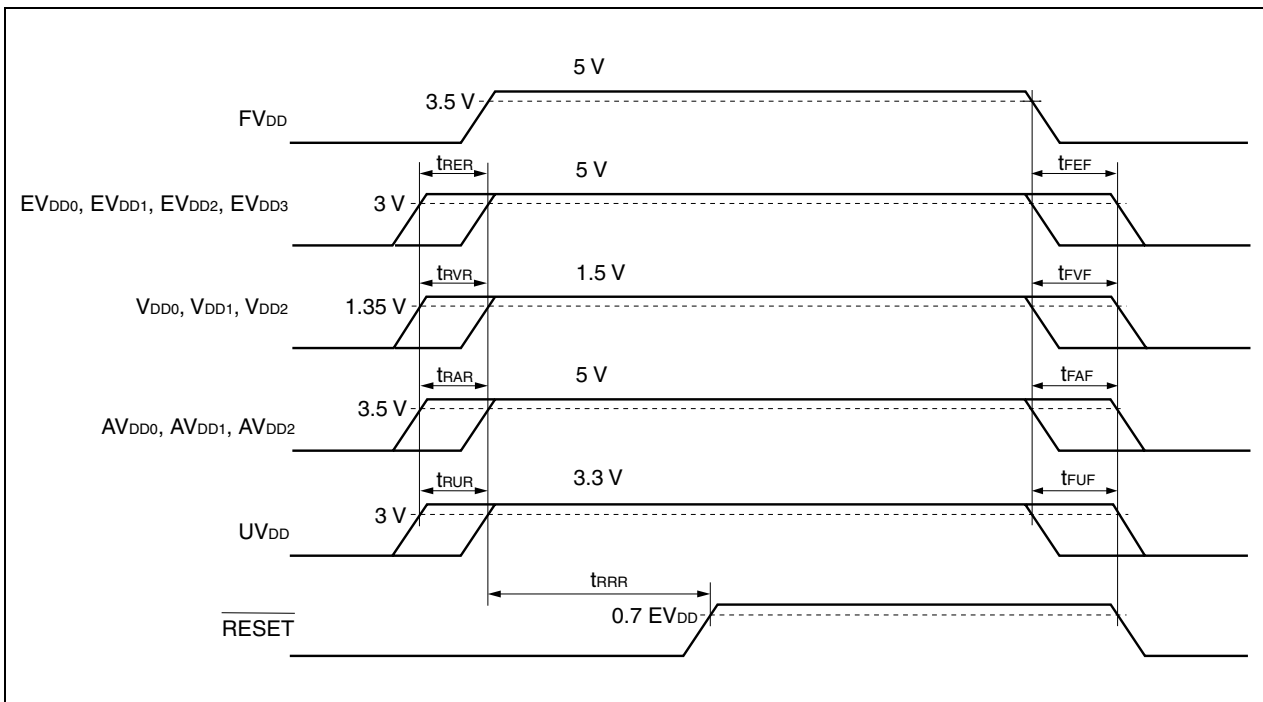
電源電圧投入/遮断タイミング

注意1. 電源切断後の自然放電過程では、FV_{DD}、EV_{DD0}、EV_{DD1}、EV_{DD2}、EV_{DD3}、V_{DD0}、V_{DD1}、V_{DD2}、AV_{DD0}、AV_{DD1}、AV_{DD2}、UV_{DD}それぞれの電圧レベルおよびその時間に規定はありません。

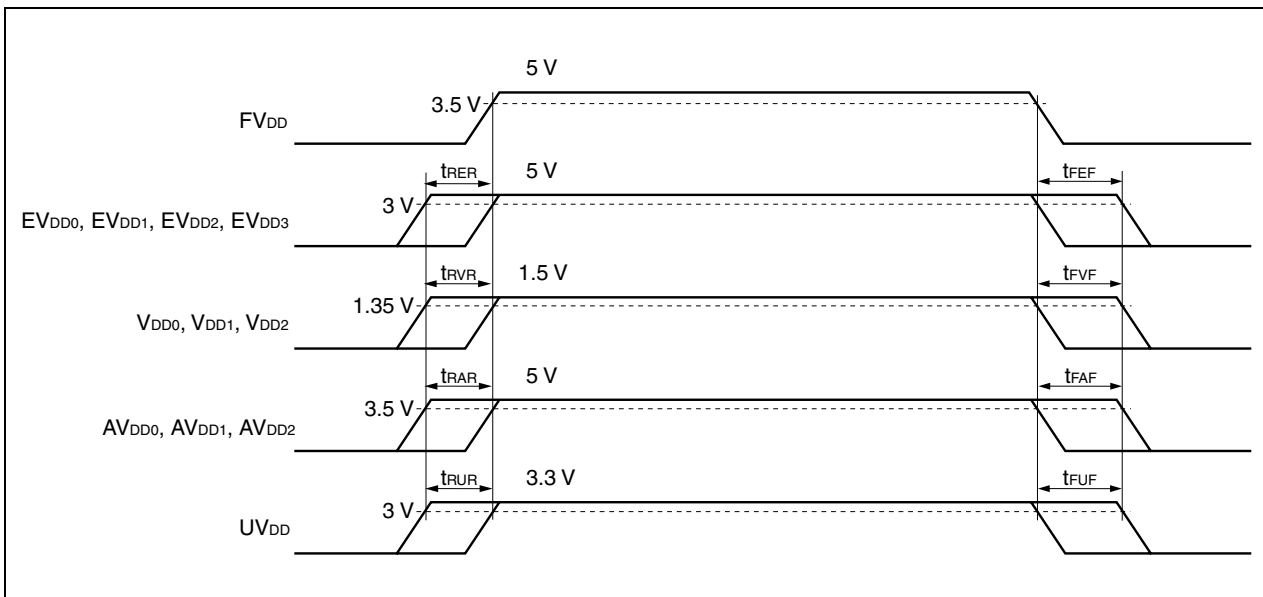
2. FV_{DD}、EV_{DD0}、EV_{DD1}、EV_{DD2}、EV_{DD3}、V_{DD0}、V_{DD1}、V_{DD2}、AV_{DD0}、AV_{DD1}、AV_{DD2}、UV_{DD}の電源は、すべて投入してください。

いずれかの電源のみの投入状態は禁止です。

(a) 外部リセット使用 (推奨条件)



(b) 内部リセット使用 (推奨条件)



28. 2. 15 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD0} = V_{DD1} = V_{DD2} = 1.35 \sim 1.65 \text{ V}$,

$EV_{DD0} = EV_{DD1} = EV_{DD2} = EV_{DD3} = 3.0 \sim 5.5 \text{ V}$, $FV_{DD} = 4.0 \sim 5.5 \text{ V}$, $AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$,

$V_{SS0} = V_{SS1} = V_{SS2} = EV_{SS0} = EV_{SS1} = EV_{SS2} = EV_{SS3} = EV_{SS4} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$,

$C_L = 50 \text{ pF}$)

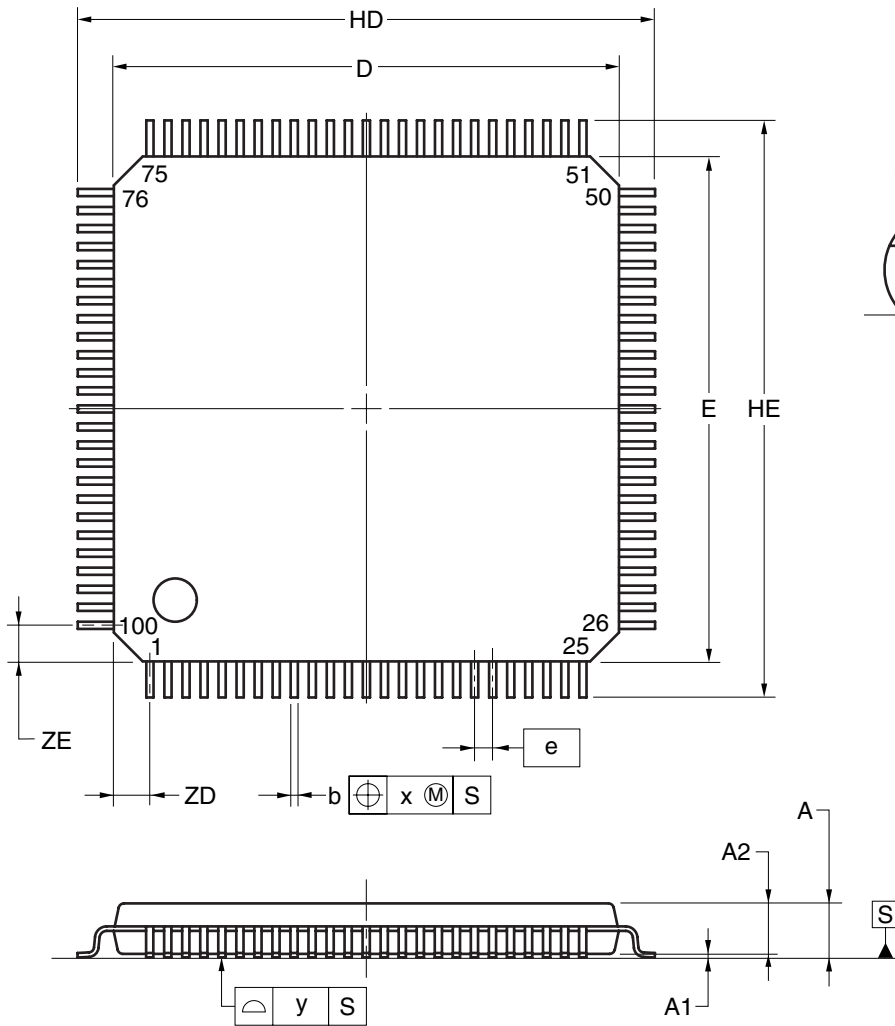
項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	C_{ERWR}	注		100		回

注 書き換えは次の例のように行ってください。

書き換え回数3回の場合の例：出荷品 E P E P E P (P：書き込み，E：消去)

第29章 外形图

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)

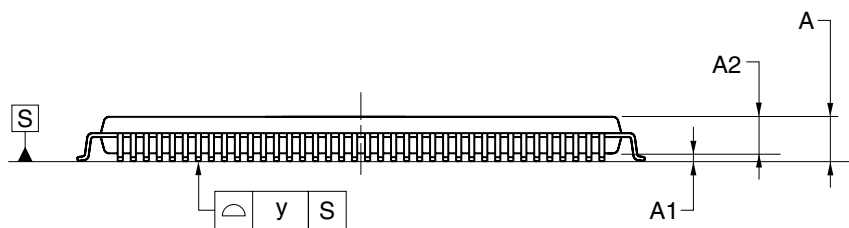
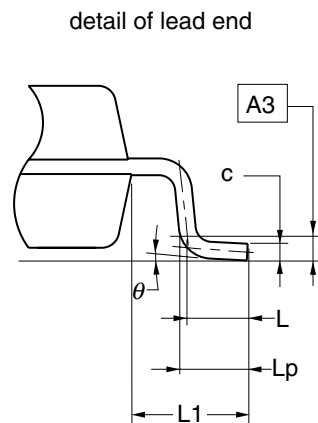
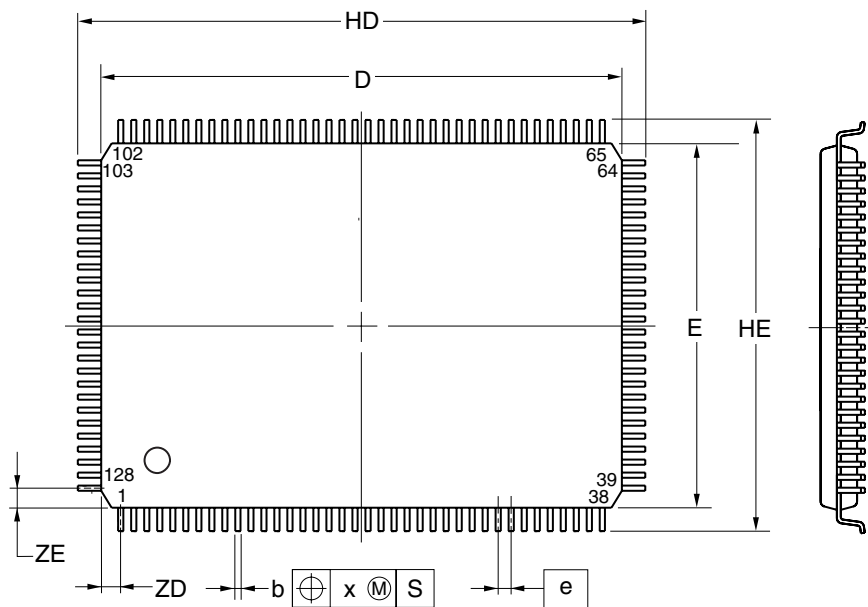


detail of lead end

(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00
P100GC-50-UEU-1	

128-PIN PLASTIC LQFP (FINE PITCH) (14x20)



NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

P128GF-50-GAT

第30章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://japan.renesas.com/prod/package/manual/index.html>)

表30 - 1 表面実装タイプの半田付け条件

μ PD70F3919GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)
μ PD70F3920GC-UEU-AX	"
μ PD70F3921GC-UEU-AX	"
μ PD70F3922GF-GAT-AX	128ピン・プラスチックLQFP (ファインピッチ) (14 × 20)
μ PD70F3923GF-GAT-AX	"
μ PD70F3924GF-GAT-AX	"

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内 (220 以上) ，回数：3回以内 制限日数：7日間 ^注 (以降は125 プリバーク10～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は、包装状態でのベーキング ができません。	IR60-107-3
端子部分加熱	端子温度：350 以下, 時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管状態は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱は除く)。

備考1. オーダ名称末尾「-AX」の製品は、鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については、当社販売員にお問い合わせください。

付録A 注意事項

A. 1 sld命令と割り込み競合に関する制限事項

A. 1. 1 内 容

次の命令<1>の事項が完了する前に、後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

<pre>< > ld.w [r11], r10 . . < > mov r10, r28 < > sld.w 0x28, r10</pre>	<p>< >のld命令の実行が完了する前に、< >のsld命令の直前のmov命令< >のデコード動作と割り込み要求が競合した場合、< >のld命令の実行結果がレジスタに格納されないことがあります。</p>
---	--

A. 1. 2 回避策

(1) コンパイラ (CA850) 使用時

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

(2) アセンブラでの対策

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld命令の直前にnop命令を入れる。
- ・ sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記< >の命令で使用しない。

付録B レジスタ索引

(1/24)

略号	名称	ユニット	ページ
AD0CH1	A/Dコンバータ0チャンネル指定レジスタ1	ADC0	684
AD0CH2	A/Dコンバータ0チャンネル指定レジスタ2	ADC0	686
AD0CHEN	A/Dコンバータ0変換チャンネル指定レジスタ	ADC0	676
AD0CHENH	A/Dコンバータ0変換チャンネル指定レジスタH	ADC0	676
AD0CHENL	A/Dコンバータ0変換チャンネル指定レジスタL	ADC0	676
AD0CR0	A/D0変換結果レジスタ0	ADC0	678
AD0CR0H	A/D0変換結果レジスタ0H	ADC0	678
AD0CR1	A/D0変換結果レジスタ1	ADC0	678
AD0CR1H	A/D0変換結果レジスタ1H	ADC0	678
AD0CR2	A/D0変換結果レジスタ2	ADC0	678
AD0CR2H	A/D0変換結果レジスタ2H	ADC0	678
AD0CR3	A/D0変換結果レジスタ3	ADC0	678
AD0CR3H	A/D0変換結果レジスタ3H	ADC0	678
AD0CR4	A/D0変換結果レジスタ4	ADC0	678
AD0CR4H	A/D0変換結果レジスタ4H	ADC0	678
AD0CR5	A/D0変換結果レジスタ5	ADC0	678
AD0CR5H	A/D0変換結果レジスタ5H	ADC0	678
AD0CR6	A/D0変換結果レジスタ6	ADC0	678
AD0CR6H	A/D0変換結果レジスタ6H	ADC0	678
AD0CR7	A/D0変換結果レジスタ7	ADC0	678
AD0CR7H	A/D0変換結果レジスタ7H	ADC0	678
AD0CR8	A/D0変換結果レジスタ8	ADC0	678
AD0CR8H	A/D0変換結果レジスタ8H	ADC0	678
AD0CR9	A/D0変換結果レジスタ9	ADC0	678
AD0CR9H	A/D0変換結果レジスタ9H	ADC0	678
AD0CR10	A/D0変換結果レジスタ10	ADC0	678
AD0CR10H	A/D0変換結果レジスタ10H	ADC0	678
AD0CR11	A/D0変換結果レジスタ11	ADC0	678
AD0CR11H	A/D0変換結果レジスタ11H	ADC0	678
AD0CR12	A/D0変換結果レジスタ12	ADC0	678
AD0CR12H	A/D0変換結果レジスタ12H	ADC0	678
AD0CR13	A/D0変換結果レジスタ13	ADC0	678
AD0CR13H	A/D0変換結果レジスタ13H	ADC0	678
AD0CR14	A/D0変換結果レジスタ14	ADC0	678
AD0CR14H	A/D0変換結果レジスタ14H	ADC0	678
AD0CR15	A/D0変換結果レジスタ15	ADC0	678
AD0CR15H	A/D0変換結果レジスタ15H	ADC0	678
AD0CTC	A/Dコンバータ0変換時間制御レジスタ	ADC0	675
AD0CTL0	A/Dコンバータ0制御レジスタ	ADC0	682

(2/24)

略号	名称	ユニット	ページ
AD0ECR0	A/D0変換結果拡張レジスタ0	ADC0	688
AD0ECR0H	A/D0変換結果拡張レジスタ0H	ADC0	688
AD0ECR1	A/D0変換結果拡張レジスタ1	ADC0	688
AD0ECR1H	A/D0変換結果拡張レジスタ1H	ADC0	688
AD0ECR2	A/D0変換結果拡張レジスタ2	ADC0	688
AD0ECR2H	A/D0変換結果拡張レジスタ2H	ADC0	688
AD0ECR3	A/D0変換結果拡張レジスタ3	ADC0	688
AD0ECR3H	A/D0変換結果拡張レジスタ3H	ADC0	688
AD0ECR4	A/D0変換結果拡張レジスタ4	ADC0	688
AD0ECR4H	A/D0変換結果拡張レジスタ4H	ADC0	688
AD0FLG	A/Dコンバータ0フラグ・レジスタ	ADC0	690
AD0FLGB	A/Dコンバータ0フラグ・バッファ・レジスタ	ADC0	691
AD0IC	割り込み制御レジスタ	INTC	1240
AD0OCKS	A/Dコンバータ0クロック選択レジスタ	ADC0	693
AD0SCM	A/Dコンバータ0スキャン・モード・レジスタ	ADC0	672
AD0SCMH	A/Dコンバータ0スキャン・モード・レジスタH	ADC0	672
AD0SCML	A/Dコンバータ0スキャン・モード・レジスタL	ADC0	672
AD0TSEL	A/Dコンバータ0トリガ選択レジスタ	ADC0	683
AD1CH1	A/Dコンバータ1チャンネル指定レジスタ1	ADC1	684
AD1CH2	A/Dコンバータ1チャンネル指定レジスタ2	ADC1	686
AD1CHEN	A/Dコンバータ1変換チャンネル指定レジスタ	ADC1	676
AD1CHENH	A/Dコンバータ1変換チャンネル指定レジスタH	ADC1	676
AD1CHENL	A/Dコンバータ1変換チャンネル指定レジスタL	ADC1	676
AD1CR0	A/D1変換結果レジスタ0	ADC1	678
AD1CR0H	A/D1変換結果レジスタ0H	ADC1	678
AD1CR1	A/D1変換結果レジスタ1	ADC1	678
AD1CR1H	A/D1変換結果レジスタ1H	ADC1	678
AD1CR2	A/D1変換結果レジスタ2	ADC1	678
AD1CR2H	A/D1変換結果レジスタ2H	ADC1	678
AD1CR3	A/D1変換結果レジスタ3	ADC1	678
AD1CR3H	A/D1変換結果レジスタ3H	ADC1	678
AD1CR4	A/D1変換結果レジスタ4	ADC1	678
AD1CR4H	A/D1変換結果レジスタ4H	ADC1	678
AD1CR5	A/D1変換結果レジスタ5	ADC1	678
AD1CR5H	A/D1変換結果レジスタ5H	ADC1	678
AD1CR6	A/D1変換結果レジスタ6	ADC1	678
AD1CR6H	A/D1変換結果レジスタ6H	ADC1	678
AD1CR7	A/D1変換結果レジスタ7	ADC1	678
AD1CR7H	A/D1変換結果レジスタ7H	ADC1	678
AD1CR8	A/D1変換結果レジスタ8	ADC1	678
AD1CR8H	A/D1変換結果レジスタ8H	ADC1	678
AD1CR9	A/D1変換結果レジスタ9	ADC1	678
AD1CR9H	A/D1変換結果レジスタ9H	ADC1	678
AD1CR10	A/D1変換結果レジスタ10	ADC1	678

(3/24)

略号	名称	ユニット	ページ
AD1CR10H	A/D1変換結果レジスタ10H	ADC1	678
AD1CR11	A/D1変換結果レジスタ11	ADC1	678
AD1CR11H	A/D1変換結果レジスタ11H	ADC1	678
AD1CR12	A/D1変換結果レジスタ12	ADC1	678
AD1CR12H	A/D1変換結果レジスタ12H	ADC1	678
AD1CR13	A/D1変換結果レジスタ13	ADC1	678
AD1CR13H	A/D1変換結果レジスタ13H	ADC1	678
AD1CR14	A/D1変換結果レジスタ14	ADC1	678
AD1CR14H	A/D1変換結果レジスタ14H	ADC1	678
AD1CR15	A/D1変換結果レジスタ15	ADC1	678
AD1CR15H	A/D1変換結果レジスタ15H	ADC1	678
AD1CTC	A/Dコンバータ1変換時間制御レジスタ	ADC1	675
AD1CTL0	A/Dコンバータ1制御レジスタ	ADC1	682
AD1ECR0	A/D1変換結果拡張レジスタ0	ADC1	688
AD1ECR0H	A/D1変換結果拡張レジスタ0H	ADC1	688
AD1ECR1	A/D1変換結果拡張レジスタ1	ADC1	688
AD1ECR1H	A/D1変換結果拡張レジスタ1H	ADC1	688
AD1ECR2	A/D1変換結果拡張レジスタ2	ADC1	688
AD1ECR2H	A/D1変換結果拡張レジスタ2H	ADC1	688
AD1ECR3	A/D1変換結果拡張レジスタ3	ADC1	688
AD1ECR3H	A/D1変換結果拡張レジスタ3H	ADC1	688
AD1ECR4	A/D1変換結果拡張レジスタ4	ADC1	688
AD1ECR4H	A/D1変換結果拡張レジスタ4H	ADC1	688
AD1FLG	A/Dコンバータ1フラグ・レジスタ	ADC1	690
AD1FLGB	A/Dコンバータ1フラグ・バッファ・レジスタ	ADC1	691
AD1IC	割り込み制御レジスタ	INTC	1240
AD1OCKS	A/Dコンバータ1クロック選択レジスタ	ADC1	693
AD1SCM	A/Dコンバータ1スキャン・モード・レジスタ	ADC1	672
AD1SCMH	A/Dコンバータ1スキャン・モード・レジスタH	ADC1	672
AD1SCML	A/Dコンバータ1スキャン・モード・レジスタL	ADC1	672
AD1TSEL	A/Dコンバータ1トリガ選択レジスタ	ADC1	683
AD2CR0	A/D2変換結果レジスタ0	ADC2	743
AD2CR0H	A/D2変換結果レジスタ0H	ADC2	743
AD2CR1	A/D2変換結果レジスタ1	ADC2	743
AD2CR1H	A/D2変換結果レジスタ1H	ADC2	743
AD2CR2	A/D2変換結果レジスタ2	ADC2	743
AD2CR2H	A/D2変換結果レジスタ2H	ADC2	743
AD2CR3	A/D2変換結果レジスタ3	ADC2	743
AD2CR3H	A/D2変換結果レジスタ3H	ADC2	743
AD2CR4	A/D2変換結果レジスタ4	ADC2	743
AD2CR4H	A/D2変換結果レジスタ4H	ADC2	743
AD2CR5	A/D2変換結果レジスタ5	ADC2	743
AD2CR5H	A/D2変換結果レジスタ5H	ADC2	743
AD2CR6	A/D2変換結果レジスタ6	ADC2	743

(4/24)

略号	名称	ユニット	ページ
AD2CR6H	A/D2変換結果レジスタ6H	ADC2	743
AD2CR7	A/D2変換結果レジスタ7	ADC2	743
AD2CR7H	A/D2変換結果レジスタ7H	ADC2	743
AD2CR8	A/D2変換結果レジスタ8	ADC2	743
AD2CR8H	A/D2変換結果レジスタ8H	ADC2	743
AD2CR9	A/D2変換結果レジスタ9	ADC2	743
AD2CR9H	A/D2変換結果レジスタ9H	ADC2	743
AD2CR10	A/D2変換結果レジスタ10	ADC2	743
AD2CR10H	A/D2変換結果レジスタ10H	ADC2	743
AD2CR11	A/D2変換結果レジスタ11	ADC2	743
AD2CR11H	A/D2変換結果レジスタ11H	ADC2	743
AD2IC	割り込み制御レジスタ	INTC	1240
AD2M0	A/Dコンバータ2モード・レジスタ0	ADC2	740
AD2M1	A/Dコンバータ2モード・レジスタ1	ADC2	741
AD2S	A/Dコンバータ2チャンネル指定レジスタ	ADC2	742
ADLTS1	A/DLDRG1入力選択レジスタ	ADC0, ADC1	692
ADLTS2	A/DLDRG2入力選択レジスタ	ADC0, ADC1	692
ADT0IC	割り込み制御レジスタ	INTC	1240
ADT1IC	割り込み制御レジスタ	INTC	1240
ADTF	A/Dトリガ立ち下がりエッジ指定レジスタ	ADC0, ADC1	694, 1255
ADTR	A/Dトリガ立ち上がりエッジ指定レジスタ	ADC0, ADC1	694, 1255
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	1169
BCC	バス・サイクル・コントロール・レジスタ	BCU	1172
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	1157
BRGINTE	ブリッジ割り込み・イネーブル・レジスタ	USBF	1107
BRGINTT	ブリッジ割り込み・コントロール・レジスタ	USBF	1106
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	1159
CF0CTL0	CSIF0制御レジスタ0	CSIF	864
CF0CTL1	CSIF0制御レジスタ1	CSIF	867
CF0CTL2	CSIF0制御レジスタ2	CSIF	868
CF0REIC	割り込み制御レジスタ	INTC	1240
CF0RIC	割り込み制御レジスタ	INTC	1240
CF0RX	CSIF0受信データ・レジスタ	CSIF	862
CF0RXL	CSIF0受信データ・レジスタL	CSIF	862
CF0STR	CSIF0状態レジスタ	CSIF	870
CF0TIC	割り込み制御レジスタ	INTC	1240
CF0TX	CSIF0送信データ・レジスタ	CSIF	863
CF0TXL	CSIF0送信データ・レジスタL	CSIF	863
CF1CTL0	CSIF1制御レジスタ0	CSIF	864
CF1CTL1	CSIF1制御レジスタ1	CSIF	867
CF1CTL2	CSIF1制御レジスタ2	CSIF	868
CF1REIC	割り込み制御レジスタ	INTC	1240
CF1RIC	割り込み制御レジスタ	INTC	1240
CF1RX	CSIF1受信データ・レジスタ	CSIF	862

(5/24)

略号	名称	ユニット	ページ
CF1RXL	CSIF1受信データ・レジスタL	CSIF	862
CF1STR	CSIF1状態レジスタ	CSIF	870
CF1TIC	割り込み制御レジスタ	INTC	1240
CF1TX	CSIF1送信データ・レジスタ	CSIF	863
CF1TXL	CSIF1送信データ・レジスタL	CSIF	863
CF2CTL0	CSIF2制御レジスタ0	CSIF	864
CF2CTL1	CSIF2制御レジスタ1	CSIF	867
CF2CTL2	CSIF2制御レジスタ2	CSIF	868
CF2REIC	割り込み制御レジスタ	INTC	1240
CF2RIC	割り込み制御レジスタ	INTC	1240
CF2RX	CSIF2受信データ・レジスタ	CSIF	862
CF2RXL	CSIF2受信データ・レジスタL	CSIF	862
CF2STR	CSIF2状態レジスタ	CSIF	870
CF2TIC	割り込み制御レジスタ	INTC	1240
CF2TX	CSIF2送信データ・レジスタ	CSIF	863
CF2TXL	CSIF2送信データ・レジスタL	CSIF	863
CLM	クロック・モニタ・モード・レジスタ	CG	195
CMPOCTL0	コンパレータ0制御レジスタ0	ADC0	696
CMPOCTL1	コンパレータ0制御レジスタ1	ADC0	697
CMPOCTL2	コンパレータ0制御レジスタ2	ADC0	698
CMPOCTL3	コンパレータ0制御レジスタ3	ADC0	699
CMP1CTL0	コンパレータ1制御レジスタ0	ADC1	696
CMP1CTL1	コンパレータ1制御レジスタ1	ADC1	697
CMP1CTL2	コンパレータ1制御レジスタ2	ADC1	698
CMP1CTL3	コンパレータ1制御レジスタ3	ADC1	699
CMPIC0F	割り込み制御レジスタ	INTC	1240
CMPIC0L	割り込み制御レジスタ	INTC	1240
CMPIC1F	割り込み制御レジスタ	INTC	1240
CMPIC1L	割り込み制御レジスタ	INTC	1240
CMPNFC0F	コンパレータ出力デジタル・ノイズ除去レジスタ0F	ADC0	700
CMPNFC0L	コンパレータ出力デジタル・ノイズ除去レジスタ0L	ADC0	700
CMPNFC1F	コンパレータ出力デジタル・ノイズ除去レジスタ1F	ADC1	700
CMPNFC1L	コンパレータ出力デジタル・ノイズ除去レジスタ1L	ADC1	700
CMPOF	コンパレータ出力割り込み立ち下がりエッジ指定レジスタ	ADC0, ADC1	701
CMPOR	コンパレータ出力割り込み立ち上がりエッジ指定レジスタ	ADC0, ADC1	701
CPUBCTL	CPU I/F バス・コントロール・レジスタ	USBF	1109
DA0CS0	D/Aコンバータ0変換値設定レジスタ0	ADC0	703
DA0CS1	D/Aコンバータ0変換値設定レジスタ1	ADC0	703
DA0M	D/Aコンバータ0モード・レジスタ	ADC0	702
DA1CS0	D/Aコンバータ1変換値設定レジスタ0	ADC1	703
DA1CS1	D/Aコンバータ1変換値設定レジスタ1	ADC1	703
DA1M	D/Aコンバータ1モード・レジスタ	ADC1	702
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	1196
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	1196

(6/24)

略号	名称	ユニット	ページ
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	1196
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	1196
DADC4	DMAアドレッシング・コントロール・レジスタ4	DMAC	1196
DADC5	DMAアドレッシング・コントロール・レジスタ5	DMAC	1196
DADC6	DMAアドレッシング・コントロール・レジスタ6	DMAC	1196
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	1197
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	1197
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	1197
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	1197
DCHC4	DMAチャンネル・コントロール・レジスタ4	DMAC	1197
DCHC5	DMAチャンネル・コントロール・レジスタ5	DMAC	1197
DCHC6	DMAチャンネル・コントロール・レジスタ6	DMAC	1197
DDAR0	DMA転送先アドレス指定レジスタ0	DMAC	1189
DDAR0H	DMA転送先アドレス指定レジスタ0H	DMAC	1189
DDAR0L	DMA転送先アドレス指定レジスタ0L	DMAC	1189
DDAR1	DMA転送先アドレス指定レジスタ1	DMAC	1189
DDAR1H	DMA転送先アドレス指定レジスタ1H	DMAC	1189
DDAR1L	DMA転送先アドレス指定レジスタ1L	DMAC	1189
DDAR2	DMA転送先アドレス指定レジスタ2	DMAC	1189
DDAR2H	DMA転送先アドレス指定レジスタ2H	DMAC	1189
DDAR2L	DMA転送先アドレス指定レジスタ2L	DMAC	1189
DDAR3	DMA転送先アドレス指定レジスタ3	DMAC	1189
DDAR3H	DMA転送先アドレス指定レジスタ3H	DMAC	1189
DDAR3L	DMA転送先アドレス指定レジスタ3L	DMAC	1189
DDAR4	DMA転送先アドレス指定レジスタ4	DMAC	1189
DDAR4H	DMA転送先アドレス指定レジスタ4H	DMAC	1189
DDAR4L	DMA転送先アドレス指定レジスタ4L	DMAC	1189
DDAR5	DMA転送先アドレス指定レジスタ5	DMAC	1189
DDAR5H	DMA転送先アドレス指定レジスタ5H	DMAC	1189
DDAR5L	DMA転送先アドレス指定レジスタ5L	DMAC	1189
DDAR6	DMA転送先アドレス指定レジスタ6	DMAC	1189
DDAR6H	DMA転送先アドレス指定レジスタ6H	DMAC	1189
DDAR6L	DMA転送先アドレス指定レジスタ6L	DMAC	1189
DEN	DMAイネーブル・レジスタ	DMAC	1201
DMAIC0	割り込み制御レジスタ	INTC	1240
DMAIC1	割り込み制御レジスタ	INTC	1240
DMAIC2	割り込み制御レジスタ	INTC	1240
DMAIC3	割り込み制御レジスタ	INTC	1240
DMAIC4	割り込み制御レジスタ	INTC	1240
DMAIC5	割り込み制御レジスタ	INTC	1240
DMAIC6	割り込み制御レジスタ	INTC	1240
DMAS	DMAステータス・レジスタ	DMAC	1200
DMAWC0	DMAウェイト・コントロール・レジスタ0	DMAC	94
DMAWC1	DMAウェイト・コントロール・レジスタ1	DMAC	94

(7/24)

略号	名称	ユニット	ページ
DMSTP	DMAストップ・レジスタ	DMAC	1202
DSAR0	DMA転送元アドレス指定レジスタ0	DMAC	1192
DSAR0H	DMA転送元アドレス指定レジスタ0H	DMAC	1192
DSAR0L	DMA転送元アドレス指定レジスタ0L	DMAC	1192
DSAR1	DMA転送元アドレス指定レジスタ1	DMAC	1192
DSAR1H	DMA転送元アドレス指定レジスタ1H	DMAC	1192
DSAR1L	DMA転送元アドレス指定レジスタ1L	DMAC	1192
DSAR2	DMA転送元アドレス指定レジスタ2	DMAC	1192
DSAR2H	DMA転送元アドレス指定レジスタ2H	DMAC	1192
DSAR2L	DMA転送元アドレス指定レジスタ2L	DMAC	1192
DSAR3	DMA転送元アドレス指定レジスタ3	DMAC	1192
DSAR3H	DMA転送元アドレス指定レジスタ3H	DMAC	1192
DSAR3L	DMA転送元アドレス指定レジスタ3L	DMAC	1192
DSAR4	DMA転送元アドレス指定レジスタ4	DMAC	1192
DSAR4H	DMA転送元アドレス指定レジスタ4H	DMAC	1192
DSAR4L	DMA転送元アドレス指定レジスタ4L	DMAC	1192
DSAR5	DMA転送元アドレス指定レジスタ5	DMAC	1192
DSAR5H	DMA転送元アドレス指定レジスタ5H	DMAC	1192
DSAR5L	DMA転送元アドレス指定レジスタ5L	DMAC	1192
DSAR6	DMA転送元アドレス指定レジスタ6	DMAC	1192
DSAR6H	DMA転送元アドレス指定レジスタ6H	DMAC	1192
DSAR6L	DMA転送元アドレス指定レジスタ6L	DMAC	1192
DTCR0	DMA転送回数指定レジスタ0	DMAC	1195
DTCR1	DMA転送回数指定レジスタ1	DMAC	1195
DTCR2	DMA転送回数指定レジスタ2	DMAC	1195
DTCR3	DMA転送回数指定レジスタ3	DMAC	1195
DTCR4	DMA転送回数指定レジスタ4	DMAC	1195
DTCR5	DMA転送回数指定レジスタ5	DMAC	1195
DTCR6	DMA転送回数指定レジスタ6	DMAC	1195
DTFR0	DMAトリガ要因レジスタ0	DMAC	1203
DTFR0H	DMAトリガ要因レジスタ0H	DMAC	1203
DTFR0L	DMAトリガ要因レジスタ0L	DMAC	1203
DTFR1	DMAトリガ要因レジスタ1	DMAC	1203
DTFR1H	DMAトリガ要因レジスタ1H	DMAC	1203
DTFR1L	DMAトリガ要因レジスタ1L	DMAC	1203
DTFR2	DMAトリガ要因レジスタ2	DMAC	1203
DTFR2H	DMAトリガ要因レジスタ2H	DMAC	1203
DTFR2L	DMAトリガ要因レジスタ2L	DMAC	1203
DTFR3	DMAトリガ要因レジスタ3	DMAC	1203
DTFR3H	DMAトリガ要因レジスタ3H	DMAC	1203
DTFR3L	DMAトリガ要因レジスタ3L	DMAC	1203
DTFR4	DMAトリガ要因レジスタ4	DMAC	1203
DTFR4H	DMAトリガ要因レジスタ4H	DMAC	1203
DTFR4L	DMAトリガ要因レジスタ4L	DMAC	1203

(8/24)

略号	名称	ユニット	ページ
DTFR5	DMAトリガ要因レジスタ5	DMAC	1203
DTFR5H	DMAトリガ要因レジスタ5H	DMAC	1203
DTFR5L	DMAトリガ要因レジスタ5L	DMAC	1203
DTFR6	DMAトリガ要因レジスタ6	DMAC	1203
DTFR6H	DMAトリガ要因レジスタ6H	DMAC	1203
DTFR6L	DMAトリガ要因レジスタ6L	DMAC	1203
DVC	バス・クロック分周制御レジスタ	BCU	1174
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	1167
EPCCLT	EPCマクロ・コントロール・レジスタ	USBF	1108
HZA0CTL0	ハイ・インピーダンス出力制御レジスタ00	タイマ	596
HZA0CTL1	ハイ・インピーダンス出力制御レジスタ01	タイマ	596
HZA1CTL0	ハイ・インピーダンス出力制御レジスタ10	タイマ	596
HZA1CTL1	ハイ・インピーダンス出力制御レジスタ11	タイマ	596
HZA2CTL0	ハイ・インピーダンス出力制御レジスタ20	タイマ	596
HZA2CTL1	ハイ・インピーダンス出力制御レジスタ21	タイマ	596
HZA3CTL0	ハイ・インピーダンス出力制御レジスタ30	タイマ	596
HZA3CTL1	ハイ・インピーダンス出力制御レジスタ31	タイマ	596
HZA4CTL0	ハイ・インピーダンス出力制御レジスタ40	タイマ	596
HZA4CTL1	ハイ・インピーダンス出力制御レジスタ41	タイマ	596
HZA5CTL0	ハイ・インピーダンス出力制御レジスタ50	タイマ	596
HZA5CTL1	ハイ・インピーダンス出力制御レジスタ51	タイマ	596
HZA6CTL0	ハイ・インピーダンス出力制御レジスタ60	タイマ	596
HZA6CTL1	ハイ・インピーダンス出力制御レジスタ61	タイマ	596
HZA7CTL0	ハイ・インピーダンス出力制御レジスタ70	タイマ	596
HZA7CTL1	ハイ・インピーダンス出力制御レジスタ71	タイマ	596
HZA8CTL0	ハイ・インピーダンス出力制御レジスタ80	タイマ	596
HZA8CTL1	ハイ・インピーダンス出力制御レジスタ81	タイマ	596
HZA9CTL0	ハイ・インピーダンス出力制御レジスタ90	タイマ	596
HZA9CTL1	ハイ・インピーダンス出力制御レジスタ91	タイマ	596
HZA10CTL0	ハイ・インピーダンス出力制御レジスタ100	タイマ	596
HZA10CTL1	ハイ・インピーダンス出力制御レジスタ101	タイマ	596
HZA11CTL0	ハイ・インピーダンス出力制御レジスタ110	タイマ	596
HZA11CTL1	ハイ・インピーダンス出力制御レジスタ111	タイマ	596
HZA12CTL0	ハイ・インピーダンス出力制御レジスタ120	タイマ	596
HZA12CTL1	ハイ・インピーダンス出力制御レジスタ121	タイマ	596
IIC0	IICシフト・レジスタ0	I ² C	925
IICC0	IICコントロール・レジスタ0	I ² C	913
IICCL0	IICクロック選択レジスタ0	I ² C	922
IICF0	IICフラグ・レジスタ0	I ² C	920
IICIC	割り込み制御レジスタ	INTC	1240
IICOCKS	IICOPSクロック選択レジスタ	I ² C	923
IICS0	IIC状態レジスタ0	I ² C	917
IICX0	IIC機能拡張レジスタ0	I ² C	923
IMR0	割り込みマスク・レジスタ0	INTC	1245

(9/24)

略号	名称	ユニット	ページ
IMR0H	割り込みマスク・レジスタ0H	INTC	1245
IMR0L	割り込みマスク・レジスタ0L	INTC	1245
IMR1	割り込みマスク・レジスタ1	INTC	1245
IMR1H	割り込みマスク・レジスタ1H	INTC	1245
IMR1L	割り込みマスク・レジスタ1L	INTC	1245
IMR2	割り込みマスク・レジスタ2	INTC	1245
IMR2H	割り込みマスク・レジスタ2H	INTC	1245
IMR2L	割り込みマスク・レジスタ2L	INTC	1245
IMR3	割り込みマスク・レジスタ3	INTC	1245
IMR3H	割り込みマスク・レジスタ3H	INTC	1245
IMR3L	割り込みマスク・レジスタ3L	INTC	1245
IMR4	割り込みマスク・レジスタ4	INTC	1245
IMR4H	割り込みマスク・レジスタ4H	INTC	1245
IMR4L	割り込みマスク・レジスタ4L	INTC	1245
IMR5	割り込みマスク・レジスタ5	INTC	1245
IMR5H	割り込みマスク・レジスタ5H	INTC	1245
IMR5L	割り込みマスク・レジスタ5L	INTC	1245
IMR6	割り込みマスク・レジスタ6	INTC	1245
IMR6H	割り込みマスク・レジスタ6H	INTC	1245
IMR6L	割り込みマスク・レジスタ6L	INTC	1245
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	1251
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	1252
INTF2	外部割り込み立ち下がりエッジ指定レジスタ2	INTC	1253
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	1254
INTNFC00	デジタル・ノイズ除去0制御レジスタ00	ポート	179
INTNFC01	デジタル・ノイズ除去0制御レジスタ01	ポート	179
INTNFC02	デジタル・ノイズ除去0制御レジスタ02	ポート	179
INTNFC17	デジタル・ノイズ除去0制御レジスタ17	ポート	179
INTNFC18	デジタル・ノイズ除去0制御レジスタ18	ポート	179
INTNFC19	デジタル・ノイズ除去0制御レジスタ19	ポート	179
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	1251
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	1252
INTR2	外部割り込み立ち上がりエッジ指定レジスタ2	INTC	1253
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	1254
ISPR	インサースビス・プライオリティ・レジスタ	INTC	1248
LVIHIC	割り込み制御レジスタ	INTC	1240
LVILIC	割り込み制御レジスタ	INTC	1240
LVIM	低電圧検出レジスタ	LVI	1286
LVIS	低電圧検出レベル選択レジスタ	LVI	1287
OPOCTL0	オペアンプ0制御レジスタ0	ADC0	695
OP1CTL0	オペアンプ1制御レジスタ0	ADC1	695
OSTS	発振安定時間選択レジスタ	CG	194
P0	ポート0レジスタ	ポート	105
P1	ポート1レジスタ	ポート	111

(10/24)

略号	名称	ユニット	ページ
P2	ポート2レジスタ	ポート	117
P3	ポート3レジスタ	ポート	123
P4	ポート4レジスタ	ポート	129
P5	ポート5レジスタ	ポート	135
P7H	ポート7レジスタH	ポート	140
P7L	ポート7レジスタL	ポート	140
P9	ポート9レジスタ	ポート	142
PCC	プロセッサ・クロック・コントロール・レジスタ	ポート	191
PDL	ポートDLレジスタ	ポート	146
PDLH	ポートDLHレジスタ	ポート	146
PDLL	ポートDLLレジスタ	ポート	146
PF3	ポート3ファンクション・レジスタ	ポート	127
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	107
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	113
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	119
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	125
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	131
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	136
PFCDL	ポートDLファンクション・コントロール・レジスタ	ポート	148
PFCDLH	ポートDLファンクション・コントロール・レジスタH	ポート	148
PFCDLL	ポートDLファンクション・コントロール・レジスタL	ポート	148
PFCE0	ポート0ファンクション・コントロール拡張レジスタ	ポート	107
PFCE1	ポート1ファンクション・コントロール拡張レジスタ	ポート	113
PFCE2	ポート2ファンクション・コントロール拡張レジスタ	ポート	119
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	125
PFCE4	ポート4ファンクション・コントロール拡張レジスタ	ポート	131
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	137
PFCEDL	ポートDLファンクション・コントロール拡張レジスタ	ポート	149
PFCEDLH	ポートDLファンクション・コントロール拡張レジスタH	ポート	149
PFCEDLL	ポートDLファンクション・コントロール拡張レジスタL	ポート	149
PIC00	割り込み制御レジスタ	INTC	1240
PIC01	割り込み制御レジスタ	INTC	1240
PIC02	割り込み制御レジスタ	INTC	1240
PIC03	割り込み制御レジスタ	INTC	1240
PIC04	割り込み制御レジスタ	INTC	1240
PIC05	割り込み制御レジスタ	INTC	1240
PIC06	割り込み制御レジスタ	INTC	1240
PIC07	割り込み制御レジスタ	INTC	1240
PIC08	割り込み制御レジスタ	INTC	1240
PIC09	割り込み制御レジスタ	INTC	1240
PIC10	割り込み制御レジスタ	INTC	1240
PIC11	割り込み制御レジスタ	INTC	1240
PIC12	割り込み制御レジスタ	INTC	1240
PIC13	割り込み制御レジスタ	INTC	1240

(11/24)

略号	名称	ユニット	ページ
PIC14	割り込み制御レジスタ	INTC	1240
PIC15	割り込み制御レジスタ	INTC	1240
PIC16	割り込み制御レジスタ	INTC	1240
PIC17	割り込み制御レジスタ	INTC	1240
PIC18	割り込み制御レジスタ	INTC	1240
PIC19	割り込み制御レジスタ	INTC	1240
PLLCTL	PLLコントロール・レジスタ	CG	190
PM0	ポート0モード・レジスタ	ポート	105
PM1	ポート1モード・レジスタ	ポート	111
PM2	ポート2モード・レジスタ	ポート	117
PM3	ポート3モード・レジスタ	ポート	123
PM4	ポート4モード・レジスタ	ポート	129
PM5	ポート5モード・レジスタ	ポート	135
PM9	ポート9モード・レジスタ	ポート	142
PMC0	ポート0モード・コントロール・レジスタ	ポート	106
PMC1	ポート1モード・コントロール・レジスタ	ポート	112
PMC2	ポート2モード・コントロール・レジスタ	ポート	118
PMC3	ポート3モード・コントロール・レジスタ	ポート	124
PMC4	ポート4モード・コントロール・レジスタ	ポート	130
PMC5	ポート5モード・コントロール・レジスタ	ポート	136
PMC7H	ポート7モード・コントロール・レジスタH	ポート	140
PMC7L	ポート7モード・コントロール・レジスタL	ポート	140
PMC9	ポート9モード・コントロール・レジスタ	ポート	143
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	148
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	148
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	148
PMDL	ポートDLモード・レジスタ	ポート	147
PMDLH	ポートDLモード・レジスタH	ポート	147
PMDLL	ポートDLモード・レジスタL	ポート	147
PRCMD	コマンド・レジスタ	CPU	92
PSC	パワー・セーブ・コントロール・レジスタ	CPU	192, 1270
PSMR	パワー・セーブ・モード・レジスタ	CPU	193, 1270
PU0	ブルアップ抵抗オプション・レジスタ0	ポート	109
PU1	ブルアップ抵抗オプション・レジスタ1	ポート	115
PU2	ブルアップ抵抗オプション・レジスタ2	ポート	121
PU3	ブルアップ抵抗オプション・レジスタ3	ポート	126
PU4	ブルアップ抵抗オプション・レジスタ4	ポート	133
PU5	ブルアップ抵抗オプション・レジスタ5	ポート	138
PU9	ブルアップ抵抗オプション・レジスタ9	ポート	144
PUDL	ブルアップ抵抗オプション・レジスタDL	ポート	150
PUDLH	ブルアップ抵抗オプション・レジスタDLH	ポート	150
PUDLL	ブルアップ抵抗オプション・レジスタDLL	ポート	150
RESF	リセット要因フラグ・レジスタ	リセット	1279
SVA0	スレーブ・アドレス・レジスタ0	I ² C	925

(12/24)

略号	名称	ユニット	ページ
SYS	システム・ステータス・レジスタ	CPU	93
TA0CCIC0	割り込み制御レジスタ	INTC	1240
TA0CCIC1	割り込み制御レジスタ	INTC	1240
TA0OVIC	割り込み制御レジスタ	INTC	1240
TA1CCIC0	割り込み制御レジスタ	INTC	1240
TA1CCIC1	割り込み制御レジスタ	INTC	1240
TA1OVIC	割り込み制御レジスタ	INTC	1240
TA2CCIC0	割り込み制御レジスタ	INTC	1240
TA2CCIC1	割り込み制御レジスタ	INTC	1240
TA2OVIC	割り込み制御レジスタ	INTC	1240
TAA0CCR0	TAA0キャプチャ/コンペア・レジスタ0	TAA	216
TAA0CCR1	TAA0キャプチャ/コンペア・レジスタ1	TAA	218
TAA0CNT	TAA0カウンタ・リード・バッファ・レジスタ	TAA	220
TAA0CTL0	TAA0制御レジスタ0	TAA	208
TAA0CTL1	TAA0制御レジスタ1	TAA	209
TAA0IOC0	TAA0I/O制御レジスタ0	TAA	211
TAA0OPT0	TAA0オプション・レジスタ0	TAA	215
TAA1CCR0	TAA1キャプチャ/コンペア・レジスタ0	TAA	216
TAA1CCR1	TAA1キャプチャ/コンペア・レジスタ1	TAA	218
TAA1CNT	TAA1カウンタ・リード・バッファ・レジスタ	TAA	220
TAA1CTL0	TAA1制御レジスタ0	TAA	208
TAA1CTL1	TAA1制御レジスタ1	TAA	209
TAA1IOC0	TAA1I/O制御レジスタ0	TAA	211
TAA1OPT0	TAA1オプション・レジスタ0	TAA	215
TAA2CCR0	TAA2キャプチャ/コンペア・レジスタ0	TAA	216
TAA2CCR1	TAA2キャプチャ/コンペア・レジスタ1	TAA	218
TAA2CNT	TAA2カウンタ・リード・バッファ・レジスタ	TAA	220
TAA2CTL0	TAA2制御レジスタ0	TAA	208
TAA2CTL1	TAA2制御レジスタ1	TAA	209
TAA2IOC0	TAA2I/O制御レジスタ0	TAA	211
TAA2IOC1	TAA2I/O制御レジスタ1	TAA	213
TAA2IOC2	TAA2I/O制御レジスタ2	TAA	214
TAA2OPT0	TAA2オプション・レジスタ0	TAA	215
TAB0CCR0	TAB0キャプチャ/コンペア・レジスタ0	TAB	327
TAB0CCR1	TAB0キャプチャ/コンペア・レジスタ1	TAB	329
TAB0CCR2	TAB0キャプチャ/コンペア・レジスタ2	TAB	330
TAB0CCR3	TAB0キャプチャ/コンペア・レジスタ3	TAB	332
TAB0CNT	TAB0カウンタ・リード・バッファ・レジスタ	TAB	333
TAB0CTL0	TAB0制御レジスタ0	TAB	320
TAB0CTL1	TAB0制御レジスタ1	TAB	320
TAB0DTC	TAB0デッド・タイム・コンペア・レジスタ	TAB	587
TAB0IOC0	TAB0I/O制御レジスタ0	TAB	322
TAB0IOC1	TAB0I/O制御レジスタ1	TAB	324
TAB0IOC2	TAB0I/O制御レジスタ2	TAB	325

(13/24)

略号	名称	ユニット	ページ
TAB0IOC3	TAB0I/O制御レジスタ3	TAB	593
TAB0OPT0	TAB0オプション・レジスタ0	TAB	326, 588
TAB0OPT1	TAB0オプション・レジスタ1	TAB	589
TAB0OPT2	TAB0オプション・レジスタ2	TAB	590
TAB0OPT3	TAB0オプション・レジスタ3	TAB	592
TAB1CCR0	TAB1キャプチャ/コンペア・レジスタ0	TAB	327
TAB1CCR1	TAB1キャプチャ/コンペア・レジスタ1	TAB	329
TAB1CCR2	TAB1キャプチャ/コンペア・レジスタ2	TAB	330
TAB1CCR3	TAB1キャプチャ/コンペア・レジスタ3	TAB	332
TAB1CNT	TAB1カウンタ・リード・バッファ・レジスタ	TAB	333
TAB1CTL0	TAB1制御レジスタ0	TAB	320
TAB1CTL1	TAB1制御レジスタ1	TAB	320
TAB1DTC	TAB1デッド・タイム・コンペア・レジスタ	TAB	587
TAB1IOC0	TAB1I/O制御レジスタ0	TAB	322
TAB1IOC1	TAB1I/O制御レジスタ1	TAB	324
TAB1IOC2	TAB1I/O制御レジスタ2	TAB	325
TAB1IOC3	TAB1I/O制御レジスタ3	TAB	593
TAB1OPT0	TAB1オプション・レジスタ0	TAB	326, 588
TAB1OPT1	TAB1オプション・レジスタ1	TAB	589
TAB1OPT2	TAB1オプション・レジスタ2	TAB	590
TAB1OPT3	TAB1オプション・レジスタ3	TAB	592
TANFC2	デジタル・ノイズ除去1制御レジスタ2	ポート	180
TB0CCBIC0	割り込み制御レジスタ	INTC	1240
TB0CCIC0	割り込み制御レジスタ	INTC	1240
TB0CCIC1	割り込み制御レジスタ	INTC	1240
TB0CCIC2	割り込み制御レジスタ	INTC	1240
TB0CCIC3	割り込み制御レジスタ	INTC	1240
TB0OVBIC	割り込み制御レジスタ	INTC	1240
TB0OVIC	割り込み制御レジスタ	INTC	1240
TB1CCBIC0	割り込み制御レジスタ	INTC	1240
TB1CCIC0	割り込み制御レジスタ	INTC	1240
TB1CCIC1	割り込み制御レジスタ	INTC	1240
TB1CCIC2	割り込み制御レジスタ	INTC	1240
TB1CCIC3	割り込み制御レジスタ	INTC	1240
TB1OVBIC	割り込み制御レジスタ	INTC	1240
TB1OVIC	割り込み制御レジスタ	INTC	1240
TM0CMP0	TMM0コンペア・レジスタ0	TMM	576
TM0CTL0	TMM0制御レジスタ0	TMM	577
TM0EQIC0	割り込み制御レジスタ	INTC	1240
TM1CMP0	TMM1コンペア・レジスタ0	TMM	576
TM1CTL0	TMM1制御レジスタ0	TMM	577
TM1EQIC0	割り込み制御レジスタ	INTC	1240
TM2CMP0	TMM2コンペア・レジスタ0	TMM	576
TM2CTL0	TMM2制御レジスタ0	TMM	577

(14/24)

略号	名称	ユニット	ページ
TM2EQIC0	割り込み制御レジスタ	INTC	1240
TM3CMP0	TMM3コンペア・レジスタ0	TMM	576
TM3CTL0	TMM3制御レジスタ0	TMM	577
TM3EQIC0	割り込み制御レジスタ	INTC	1240
TT0CCIC0	割り込み制御レジスタ	INTC	1240
TT0CCIC1	割り込み制御レジスタ	INTC	1240
TT0CCR0	TMT0キャプチャ/コンペア・レジスタ0	TMT	449
TT0CCR1	TMT0キャプチャ/コンペア・レジスタ1	TMT	451
TT0CNT	TMT0カウンタ・リード・バッファ・レジスタ	TMT	453
TT0CTL0	TMT0制御レジスタ0	TMT	434
TT0CTL1	TMT0制御レジスタ1	TMT	435
TT0CTL2	TMT0制御レジスタ2	TMT	437
TT0IECIC	割り込み制御レジスタ	INTC	1240
TT0IOC0	TMT0I/O制御レジスタ0	TMT	439
TT0IOC1	TMT0I/O制御レジスタ1	TMT	441
TT0IOC2	TMT0I/O制御レジスタ2	TMT	442
TT0IOC3	TMT0I/O制御レジスタ3	TMT	443
TT0OPT0	TMT0オプション・レジスタ0	TMT	445
TT0OPT1	TMT0オプション・レジスタ1	TMT	446
TT0OVIC	割り込み制御レジスタ	INTC	1240
TT0TCW	TMT0カウンタ・ライト・レジスタ	TMT	453
TT1CCIC0	割り込み制御レジスタ	INTC	1240
TT1CCIC1	割り込み制御レジスタ	INTC	1240
TT1CCR0	TMT1キャプチャ/コンペア・レジスタ0	TMT	449
TT1CCR1	TMT1キャプチャ/コンペア・レジスタ1	TMT	451
TT1CNT	TMT1カウンタ・リード・バッファ・レジスタ	TMT	453
TT1CTL0	TMT1制御レジスタ0	TMT	434
TT1CTL1	TMT1制御レジスタ1	TMT	435
TT1CTL2	TMT1制御レジスタ2	TMT	437
TT1IECIC	割り込み制御レジスタ	INTC	1240
TT1IOC0	TMT1I/O制御レジスタ0	TMT	439
TT1IOC1	TMT1I/O制御レジスタ1	TMT	441
TT1IOC2	TMT1I/O制御レジスタ2	TMT	442
TT1IOC3	TMT1I/O制御レジスタ3	TMT	443
TT1OPT0	TMT1オプション・レジスタ0	TMT	445
TT1OPT1	TMT1オプション・レジスタ1	TMT	446
TT1OVIC	割り込み制御レジスタ	INTC	1240
TT1TCW	TMT1カウンタ・ライト・レジスタ	TMT	453
TT2CCIC0	割り込み制御レジスタ	INTC	1240
TT2CCIC1	割り込み制御レジスタ	INTC	1240
TT2CCR0	TMT2キャプチャ/コンペア・レジスタ0	TMT	449
TT2CCR1	TMT2キャプチャ/コンペア・レジスタ1	TMT	451
TT2CNT	TMT2カウンタ・リード・バッファ・レジスタ	TMT	453
TT2CTL0	TMT2制御レジスタ0	TMT	434

(15/24)

略号	名称	ユニット	ページ
TT2CTL1	TMT2制御レジスタ1	TMT	435
TT2IOC0	TMT2/I/O制御レジスタ0	TMT	439
TT2IOC1	TMT2/I/O制御レジスタ1	TMT	441
TT2IOC2	TMT2/I/O制御レジスタ2	TMT	442
TT2OPT0	TMT2オプション・レジスタ0	TMT	445
TT2OVIC	割り込み制御レジスタ	INTC	1240
TT3CCIC0	割り込み制御レジスタ	INTC	1240
TT3CCIC1	割り込み制御レジスタ	INTC	1240
TT3CCR0	TMT3キャプチャ/コンペア・レジスタ0	TMT	449
TT3CCR1	TMT3キャプチャ/コンペア・レジスタ1	TMT	451
TT3CNT	TMT3カウンタ・リード・バッファ・レジスタ	TMT	453
TT3CTL0	TMT3制御レジスタ0	TMT	434
TT3CTL1	TMT3制御レジスタ1	TMT	435
TT3IOC0	TMT3/I/O制御レジスタ0	TMT	439
TT3IOC1	TMT3/I/O制御レジスタ1	TMT	441
TT3IOC2	TMT3/I/O制御レジスタ2	TMT	442
TT3OPT0	TMT3オプション・レジスタ0	TMT	445
TT3OVIC	割り込み制御レジスタ	INTC	1240
TTISL0	TMT0キャプチャ入力選択レジスタ	TMT	448
TTISL1	TMT1キャプチャ入力選択レジスタ	TMT	448
TTNFC0	デジタル・ノイズ除去2制御レジスタ0	ポート	181
TTNFC1	デジタル・ノイズ除去2制御レジスタ1	ポート	181
TTNFC2	デジタル・ノイズ除去3制御レジスタ2	ポート	182
TTNFC3	デジタル・ノイズ除去3制御レジスタ3	ポート	182
UA0CTL0	UARTA0制御レジスタ0	UARTA	773
UA0CTL1	UARTA0制御レジスタ1	UARTA	790
UA0CTL2	UARTA0制御レジスタ2	UARTA	791
UA0OPT0	UARTA0オプション制御レジスタ0	UARTA	775
UA0REIC	割り込み制御レジスタ	INTC	1240
UA0RIC	割り込み制御レジスタ	INTC	1240
UA0RX	UARTA0受信データ・レジスタ	UARTA	778
UA0STR	UARTA0状態レジスタ	UARTA	776
UA0TIC	割り込み制御レジスタ	INTC	1240
UA0TX	UARTA0送信データ・レジスタ	UARTA	778
UA1CTL0	UARTA1制御レジスタ0	UARTA	773
UA1CTL1	UARTA1制御レジスタ1	UARTA	790
UA1CTL2	UARTA1制御レジスタ2	UARTA	791
UA1OPT0	UARTA1オプション制御レジスタ0	UARTA	775
UA1REIC	割り込み制御レジスタ	INTC	1240
UA1RIC	割り込み制御レジスタ	INTC	1240
UA1RX	UARTA1受信データ・レジスタ	UARTA	778
UA1STR	UARTA1状態レジスタ	UARTA	776
UA1TIC	割り込み制御レジスタ	INTC	1240
UA1TX	UARTA1送信データ・レジスタ	UARTA	778

(16/24)

略号	名称	ユニット	ページ
UA2CTL0	UARTA2制御レジスタ0	UARTA	773
UA2CTL1	UARTA2制御レジスタ1	UARTA	790
UA2CTL2	UARTA2制御レジスタ2	UARTA	791
UA2OPT0	UARTA2オプション制御レジスタ0	UARTA	775
UA2REIC	割り込み制御レジスタ	INTC	1240
UA2RIC	割り込み制御レジスタ	INTC	1240
UA2RX	UARTA2受信データ・レジスタ	UARTA	778
UA2STR	UARTA2状態レジスタ	UARTA	776
UA2TIC	割り込み制御レジスタ	INTC	1240
UA2TX	UARTA2送信データ・レジスタ	UARTA	778
UBCTL0	UARTB制御レジスタ0	UARTB	804
UBCTL2	UARTB制御レジスタ2	UARTB	809
UBFIC0	UARTBFIFO制御レジスタ0	UARTB	813
UBFIC1	UARTBFIFO制御レジスタ1	UARTB	815
UBFIC2	UARTBFIFO制御レジスタ2	UARTB	816
UBFIC2H	UARTBFIFO制御レジスタ2H	UARTB	816
UBFIC2L	UARTBFIFO制御レジスタ2L	UARTB	816
UBFIS0	UARTBFIFO状態レジスタ0	UARTB	818
UBFIS1	UARTBFIFO状態レジスタ1	UARTB	819
UBRX	UARTB受信データ・レジスタ	UARTB	811
UBRXAP	UARTB受信データ・レジスタAP	UARTB	811
UBSTR	UARTB状態レジスタ	UARTB	807
UBTX	UARTB送信データ・レジスタ	UARTB	810
UCKSEL	USBクロック選択レジスタ	USBF	999
UF0AAS	UF0アクティブ・オルタナティブ・セッティング・レジスタ	USBF	1056
UF0ADRS	UF0アドレス・レジスタ	USBF	1098
UF0AIFN	UF0アクティブ・インタフェース・ナンバー・レジスタ	USBF	1055
UF0ASS	UF0オルタナティブ・セッティング・ステータス・レジスタ	USBF	1057
UF0BI1	UF0バルク・イン1レジスタ	USBF	1081
UF0BI2	UF0バルク・イン2レジスタ	USBF	1085
UF0BO1	UF0バルク・アウト1レジスタ	USBF	1074
UF0BO1L	UF0バルク・アウト1レンジス・レジスタ	USBF	1077
UF0BO2	UF0バルク・アウト2レジスタ	USBF	1078
UF0BO2L	UF0バルク・アウト2レンジス・レジスタ	USBF	1080
UF0CIE0	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0	USBF	1104
UF0CIE1	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ1	USBF	1104
UF0CIE2	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ2	USBF	1104
UF0CIE3	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ3	USBF	1104
UF0CIE4	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ4	USBF	1104
UF0CIE5	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ5	USBF	1104
UF0CIE6	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ6	USBF	1104
UF0CIE7	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ7	USBF	1104
UF0CIE8	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ8	USBF	1104
UF0CIE9	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ9	USBF	1104

(23/24)

略号	名称	ユニット	ページ
UF0DD16	UF0デバイス・ディスクリプタ・レジスタ16	USBF	1103
UF0DD17	UF0デバイス・ディスクリプタ・レジスタ17	USBF	1103
UF0DEND	UF0データ・エンド・レジスタ	USBF	1050
UF0DSCL	UF0ディスクリプタ・レングス・レジスタ	USBF	1102
UF0DSTL	UF0デバイス・ステータス・レジスタL	USBF	1091
UF0E0L	UF0 EP0レングス・レジスタ	USBF	1069
UF0E0N	UF0 EP0NAKレジスタ	USBF	1016
UF0E0NA	UF0 EP0NAKALLレジスタ	USBF	1018
UF0E0R	UF0 EP0リード・レジスタ	USBF	1068
UF0E0SL	UF0 EP0ステータス・レジスタL	USBF	1092
UF0E0ST	UF0 EP0セットアップ・レジスタ	USBF	1070
UF0E0W	UF0 EP0ライト・レジスタ	USBF	1072
UF0E1IM	UF0エンドポイント1インタフェース・マッピング・レジスタ	USBF	1058
UF0E1SL	UF0 EP1ステータス・レジスタL	USBF	1093
UF0E2IM	UF0エンドポイント2インタフェース・マッピング・レジスタ	USBF	1060
UF0E2SL	UF0 EP2ステータス・レジスタL	USBF	1094
UF0E3IM	UF0エンドポイント3インタフェース・マッピング・レジスタ	USBF	1062
UF0E3SL	UF0 EP3ステータス・レジスタL	USBF	1095
UF0E4IM	UF0エンドポイント4インタフェース・マッピング・レジスタ	USBF	1064
UF0E4SL	UF0 EP4ステータス・レジスタL	USBF	1096
UF0E7IM	UF0エンドポイント7インタフェース・マッピング・レジスタ	USBF	1066
UF0E7SL	UF0 EP7ステータス・レジスタL	USBF	1097
UF0EN	UF0 EPNAKレジスタ	USBF	1019
UF0ENM	UF0 EPNAKマスク・レジスタ	USBF	1022
UF0EPS0	UF0 EPステータス0レジスタ	USBF	1026
UF0EPS1	UF0 EPステータス1レジスタ	USBF	1028
UF0EPS2	UF0 EPステータス2レジスタ	USBF	1029
UF0FIC0	UF0 FIFOクリア0レジスタ	USBF	1048
UF0FIC1	UF0 FIFOクリア1レジスタ	USBF	1049
UF0GPR	UF0 GPRレジスタ	USBF	1052
UF0IC0	UF0 INTクリア0レジスタ	USBF	1043
UF0IC1	UF0 INTクリア1レジスタ	USBF	1044
UF0IC2	UF0 INTクリア2レジスタ	USBF	1045
UF0IC3	UF0 INTクリア3レジスタ	USBF	1046
UF0IC4	UF0 INTクリア4レジスタ	USBF	1047
UF0IF0	UF0インタフェース0レジスタ	USBF	1100
UF0IF1	UF0インタフェース1レジスタ	USBF	1101
UF0IF2	UF0インタフェース2レジスタ	USBF	1101
UF0IF3	UF0インタフェース3レジスタ	USBF	1101
UF0IF4	UF0インタフェース4レジスタ	USBF	1101
UF0IM0	UF0 INTマスク0レジスタ	USBF	1038
UF0IM1	UF0 INTマスク1レジスタ	USBF	1039
UF0IM2	UF0 INTマスク2レジスタ	USBF	1040
UF0IM3	UF0 INTマスク3レジスタ	USBF	1041

(24/24)

略号	名称	ユニット	ページ
UF0IM4	UF0 INTマスク4レジスタ	USBF	1042
UF0INT1	UF0インタラプト1レジスタ	USBF	1089
UF0IS0	UF0 INTステータス0レジスタ	USBF	1030
UF0IS1	UF0 INTステータス1レジスタ	USBF	1032
UF0IS2	UF0 INTステータス2レジスタ	USBF	1034
UF0IS3	UF0 INTステータス3レジスタ	USBF	1035
UF0IS4	UF0 INTステータス4レジスタ	USBF	1037
UF0MODC	UF0モード・コントロール・レジスタ	USBF	1053
UF0MODS	UF0モード・ステータス・レジスタ	USBF	1054
UF0SDS	UF0 SNDSIEレジスタ	USBF	1023
UF0SET	UF0 SETリクエスト・レジスタ	USBF	1025
UFCTL	USBファンクション制御レジスタ	USBF	999
UFIC0	割り込み制御レジスタ	INTC	1240
UFIC1	割り込み制御レジスタ	INTC	1240
UFIC	割り込み制御レジスタ	INTC	1240
UREIC	割り込み制御レジスタ	INTC	1240
URIC	割り込み制御レジスタ	INTC	1240
UTIC	割り込み制御レジスタ	INTC	1240
UTOIC	割り込み制御レジスタ	INTC	1240
VSWC	システム・ウエイト・コントロール・レジスタ	CPU	94
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	657
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	656

付録C 命令セット一覧

C.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果, n 7FFFFFFFHとなった場合, n = 7FFFFFFFHとする。 nが計算の結果, n 80000000Hとなった場合, n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S \text{ xor } OV) = 1$	Less than signed
GE	1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
LE	0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
GT	1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

C.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	0	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	3	3	3					
			then PC PC + sign-extend (disp9)	注2	注2	注2						
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr, Half-word))	5	5	5						
CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3					x	
	reg2, [reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3					x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	4	4	4	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	4	4	4	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	4	4	4						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

(2/5)

二モニツク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		1000011111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	3	3	3					
JMP	[reg1]	00000000011RRRRR	PC GR[reg1]	4	4	4					
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	3	3	3					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 0000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1				
				regID = PSW	1	1	1	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11					

(3/5)

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1						
MUL ^{注22}	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	2	2						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^{注6} × GR[reg1] ^{注6}	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^{注6} × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^{注6} × imm16	1	1	2						
MULU ^{注22}	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	2	2						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	×	×		
NOT1	bit#3, disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					×	
				注3	注3	注3						
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	×	×		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+2 注4	n+2 注4	n+2 注4						
				注17	注17	注17						

(4/5)

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9						
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9						
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1						
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1						
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1						
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1						
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1						
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1						
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1						
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x		
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5						
SXB	reg1	0000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1						
SXH	reg1	0000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1						
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 例外コード (40H-4FH, 50H-5FH) PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FH (例外コード : 40H-4FH) のとき) 0000050H (vectorが10H-1FH (例外コード : 50H-5FH) のとき)	4	4	4						
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3	注3	注3	注3		x	
	reg2, [reg1]	rrrrr11111RRRRR 000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3	注3	注3	注3		x	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x		
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x		
ZXB	reg1	0000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1						
ZXH	reg1	0000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1						

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は4。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ合計数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. reg2 = reg3 (結果の下位32ビットがレジスタに書き込まれない), またはreg3 = r0 (結果の上位32ビットはレジスタに書き込まれない) 場合は1クロック短縮されます。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミューディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミューディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミューディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビットです。
 22. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。
 - reg1 = reg3
 - reg1 reg2
 - reg1 r0
 - reg3 r0

付録D 改版履歴

D. 1 本版で改訂された主な箇所

箇所	内容
p.726	12. 5 内部等価回路 記述追加
p.761	13. 6 内部等価回路 記述追加
p.1381	28. 1. 14 電源電圧投入/切断タイミング 注意追加
p.1417	28. 2. 14 電源電圧投入/切断タイミング 注意追加
p.1458	D. 2 前版までの改版履歴 追加

D.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版数	内容	適用箇所
2版	・開発中 量産	全般
	1.2 特徴 記述削除	第1章 インTRODククション
	図8 - 51 三角波PWM出力モードの基本タイミング 記述変更	第8章 16ビット・タイマ/イベント・カウンタ(TMT)
	図10 - 6 6相PWM出力モードのタイミング図 記述変更	第10章 モータ制御機能
	図10 - 21 書き換え値の反映タイミング 記述変更	
	10.4.5(3) TAA _n を同調動作させない場合について 記述変更	
	図10 - 37 同調動作時のTAA _n 記述変更	
	10.4.6(1) 境界条件での動作(16ビット・カウンタとINTTAnCC0信号の一致発生時の動作説明) 記述変更	
	12.1 特徴 記述削除	
	図12 - 3 A/Dコンバータ0の入力レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図 記述変更	
	図12 - 4 A/Dコンバータ1の入力レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図 記述変更	
	図12 - 5 CMPnCTL3レジスタのセレクト回路構成 追加	
	12.2(9) AV _{REFPn} 端子(n = 0, 1) 記述削除	
	12.2(11) AV _{DDn} 端子(n = 0, 1) 記述削除	
	13.1 特徴 記述削除	第13章 A/Dコンバータ2
	13.2(7) AV _{DD2} 端子 記述削除	
	18.6.3(28) UF0データ・エンド・レジスタ(UF0DEND) 記述変更	第18章 USBファンクション・コントローラ(USBF)
	19.6.1(1) データ・ウェイト・コントロール・レジスタ0(DWC0) 記述変更	第19章 バス制御機能
	19.6.1(2) アドレス・ウェイト・コントロール・レジスタ(AWC) 記述変更	
	19.7(1) バス・サイクル・コントロール・レジスタ(BCC) 記述変更	
	26.2.4 注意事項 記述削除	第26章 オンチップ・デバッグ機能
	27.2 メモリ構成 追加	第27章 フラッシュ・メモリ
	27.3 機能概要 記述追加	
	27.9 セルフ・プログラミングによる書き換え 記述変更	
	28.1.3 動作条件 記述変更	
	28.1.4 クロック発振回路特性 記述変更	第28章 電気的特性
	28.1.5 DC特性 記述変更	
	28.1.12 パワーオン・クリア回路(POC) 記述変更	
	28.1.13 低電圧検出回路(LVI) 記述変更	
	28.1.14 電源電圧投入/切断タイミング 追加	
	28.1.15 フラッシュ・メモリ・プログラミング特性 記述変更	
	28.2.3 動作条件 記述変更	
28.2.4 クロック発振回路特性 記述変更		

(2/2)

版 数	内 容	適応箇所
2版	28.2.5 DC特性 記述変更	第28章 電気的特性
	28.2.7(1) 出力信号タイミング 記述変更	
	28.2.7(4) バス・タイミング 記述変更	
	28.2.7(6) CSIFタイミング 記述変更	
	28.2.12 パワーオン・クリア回路(POC) 記述変更	
	28.2.13 低電圧検出回路(LVI) 記述変更	
	28.2.14 電源電圧投入/切断タイミング 追加	
	28.2.15 フラッシュ・メモリ・プログラミング特性 記述変更	
第30章 半田付け推奨条件 記述変更	第30章 半田付け推奨条件	
付録D 改版履歴 追加	付録D 改版履歴	

V850E/IG4-H, V850E/IH4-H ハードウェア編

発行年月日 2011年9月30日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

V850E/IG4-H, V850E/IH4-H