User's Manual

16

RL78/I1C

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev. 2.20　2023.07

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2022 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対 象 者　このマニュアルはRL78/I1Cの機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。
対象製品は，次に示す各製品です。

・64ピン：　R5F10NLEDFB, R5F10NLGDFB, R5F11TLEDFB, R5F11TLGDFB
・80ピン：　R5F10NMEDFB, R5F10NMGDFB, R5F10NMJDFB
・100ピン：R5F10NPJDFB, R5F10NPGDFB

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/I1Cのマニュアルは，このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/I1C ユーザーズマニュアル ハードウェア編	RL78ファミリ ユーザーズマニュアル ソフトウェア編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき
→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この“★”をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方
→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。

□RL78/I1Cマイクロコントローラの命令機能の詳細を知りたいとき
→別冊のRL78ファミリ　ユーザーズマニュアル　ソフトウェア編（R01US0015J）を参照してください。

凡　　例　　データ表記の重み　　：左が上位桁，右が下位桁

アクティブ・ロウの表記　：$\overline{\times\times\times}$（端子，信号名称に上線）

注　　：本文中につけた注の説明

注意　　：気をつけて読んでいただきたい内容

備考　　：本文の補足説明

数の表記　　：2進数…××××または××××B

10進数…××××

16進数…××××H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和　　文	英　　文
RL78/I1C　ユーザーズマニュアル　ハードウェア編	このマニュアル	R01UH0587E
RL78ファミリ　ユーザーズマニュアル　ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズマニュアル）

資　料　名	資料番号	
	和　　文	英　　文
PG-FP5　フラッシュ・メモリ・プログラマ	–	–
RL78，78K，V850，RX100，RX200，RX600（RX64x除く），R8C，SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E
PG-FP6　フラッシュメモリプログラマ　ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20エミュレータ　ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2エミュレータ　ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Liteエミュレータ　ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資　料　名	資料番号	
	和　　文	英　　文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。
SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章　概　　説 1

1. 1　特　　徴 1
1. 2　型名一覧 5
1. 3　端子接続図（Top View） 7
1. 3. 1　64ピン製品 7
1. 3. 2　80ピン製品 8
1. 3. 3　100ピン製品 9
1. 4　端子名称 10
1. 5　ブロック図 11
1. 5. 1　64ピン製品 11
1. 5. 2　80ピン製品 12
1. 5. 3　100ピン製品 13
1. 6　機能概要 14

第2章　端子機能 17

2. 1　ポート機能 17
2. 1. 1　64ピン製品 18
2. 1. 2　80ピン製品 20
2. 1. 3　100ピン製品 23
2. 2　ポート以外の機能 26
2. 2. 1　製品別の搭載機能 26
2. 2. 2　機能説明 28
2. 3　未使用端子の処理 31
2. 4　端子ブロック図 33

第3章　CPUアーキテクチャ 47

3. 1　メモリ空間 47
3. 1. 1　内部プログラム・メモリ空間 55
3. 1. 2　ミラー領域 58
3. 1. 3　内部データ・メモリ空間 60
3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域 60
3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 60
3. 1. 6　データ・メモリ・アドレッシング 61

3. 2　プロセッサ・レジスタ 62
3. 2. 1　制御レジスタ 62
3. 2. 2　汎用レジスタ 65
3. 2. 3　ES, CSレジスタ 66
3. 2. 4　特殊機能レジスタ（SFR：Special Function Register） 67
3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 72
3. 3　命令アドレスのアドレッシング 85
3. 3. 1　レラティブ・アドレッシング 85
3. 3. 2　イミーディエト・アドレッシング 85
3. 3. 3　テーブル・インダイレクト・アドレッシング 86
3. 3. 4　レジスタ・ダイレクト・アドレッシング 86
3. 4　処理データ・アドレスに対するアドレッシング 87
3. 4. 1　インプライド・アドレッシング 87
3. 4. 2　レジスタ・アドレッシング 87
3. 4. 3　ダイレクト・アドレッシング 88
3. 4. 4　ショート・ダイレクト・アドレッシング 89
3. 4. 5　SFRアドレッシング 90
3. 4. 6　レジスタ・インダイレクト・アドレッシング 91
3. 4. 7　ベースト・アドレッシング 92
3. 4. 8　ベースト・インデクスト・アドレッシング 95
3. 4. 9　スタック・アドレッシング 96

第4章　ポート機能 99

4. 1　ポートの機能 99
4. 2　ポートの構成 99
4. 2. 1　ポート0 100
4. 2. 2　ポート1 100
4. 2. 3　ポート2 101
4. 2. 4　ポート3 101
4. 2. 5　ポート4 102
4. 2. 6　ポート5 102
4. 2. 7　ポート6 102
4. 2. 8　ポート7 102
4. 2. 9　ポート8 103
4. 2. 10　ポート12 103
4. 2. 11　ポート13 103
4. 2. 12　ポート15 103
4. 3　ポート機能を制御するレジスタ 104

4. 3. 1　ポート・モード・レジスタ（PMxx） 108
4. 3. 2　ポート・レジスタ（Pxx） 109
4. 3. 3　プルアップ抵抗オプション・レジスタ（PUxx） 110
4. 3. 4　ポート入力モード・レジスタ（PIMxx） 111
4. 3. 5　ポート出力モード・レジスタ（POMxx） 112
4. 3. 6　A/Dポート・コンフィギュレーション・レジスタ（ADPC） 113
4. 3. 7　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS） 114
4. 3. 8　周辺I/Oリダイレクション・レジスタ（PIOR0） 115
4. 3. 9　LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5） 116
4. 3. 10　LCD入力切り替え制御レジスタ（ISCLCD） 119
4. 4　ポート機能の動作 120
4. 4. 1　入出力ポートへの書き込み 120
4. 4. 2　入出力ポートからの読み出し 120
4. 4. 3　入出力ポートでの演算 120
4. 4. 4　異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法 121
4. 4. 5　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応 121
4. 5　兼用機能使用時のレジスタの設定 123
4. 5. 1　兼用機能使用時の基本的な考え方 123
4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定 124
4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例 125
4. 5. 4　SEGxx端子兼用ポートの動作 134
4. 5. 5　V_{L3}, CAPL, CAPH端子兼用ポートの動作 135
4. 6　ポート機能使用時の注意事項 137
4. 6. 1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項 137
4. 6. 2　端子設定に関する注意事項 138

第5章　オペレーション・ステート・コントロール 139

5. 1　オペレーション・ステート・コントロールの構成 139
5. 2　オペレーション・ステート・コントロールを制御するレジスタ 141
5. 2. 1　フラッシュ動作モード選択レジスタ（FLMODE） 141
5. 2. 2　フラッシュ動作モード・プロテクト・レジスタ（FLMWRP） 143
5. 2. 3　レギュレータ・モード制御レジスタ（PMMC） 143
5. 3　フラッシュ動作モードの初期設定 144
5. 4　フラッシュ動作モードの遷移 145
5. 5　フラッシュ動作モードの詳細 146
5. 5. 1　HS（高速メイン）モードの詳細 146
5. 5. 2　LS（低速メイン）モードの詳細 147
5. 5. 3　LP（低電力メイン）モードの詳細 148

5. 5. 4　LV（低電圧メイン）モードの詳細 149

第6章　クロック発生回路 150

6. 1　クロック発生回路の機能 150
6. 2　クロック発生回路の構成 153
6. 3　クロック発生回路を制御するレジスタ 155
6. 3. 1　クロック動作モード制御レジスタ（CMC） 155
6. 3. 2　システム・クロック制御レジスタ（CKC） 157
6. 3. 3　クロック動作ステータス制御レジスタ（CSC） 159
6. 3. 4　サブ・クロック動作モード制御レジスタ（SCMC） 161
6. 3. 5　サブ・クロック動作ステータス制御レジスタ（SCSC） 163
6. 3. 6　発振安定時間カウンタ状態レジスタ（OSTC） 163
6. 3. 7　発振安定時間選択レジスタ（OSTS） 165
6. 3. 8　サブシステム・クロック選択レジスタ（CKSEL） 167
6. 3. 9　周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2） 168
6. 3. 10　サブシステム・クロック供給オプション制御レジスタ（OSMC） 173
6. 3. 11　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 175
6. 3. 12　中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV） 176
6. 3. 13　周波数測定回路クロック選択レジスタ（FMCKS） 177
6. 3. 14　PLL制御レジスタ（DSCCTL） 178
6. 3. 15　メイン・クロック制御レジスタ（MCKC） 179
6. 3. 16　ペリフェラル・クロックコントロールレジスタ（PCKC） 180
6. 4　システム・クロック発振回路 181
6. 4. 1　X1発振回路 181
6. 4. 2　XT1発振回路 181
6. 4. 3　高速オンチップ・オシレータ 185
6. 4. 4　中速オンチップ・オシレータ 185
6. 4. 5　低速オンチップ・オシレータ 185
6. 4. 6　PLL (Phase Locked Loop) 185
6. 5　クロック発生回路の動作 186
6. 6　クロックの制御 188
6. 6. 1　高速オンチップ・オシレータの設定例 188
6. 6. 2　X1発振回路の設定例 190
6. 6. 3　XT1発振回路の設定例 192
6. 6. 4　XT1発振回路をCPU／周辺ハードウエア・クロックに使用しない場合の設定手順 193
6. 6. 5　CPUクロック状態移行図 194
6. 6. 6　CPUクロックの移行前の条件と移行後の処理 199
6. 6. 7　CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 206

6.6.8　クロック発振停止前の条件 208
6.7　発振子と発振回路定数 209

第7章　高速オンチップ・オシレータ・クロック周波数補正機能 210

7.1　高速オンチップ・オシレータ・クロック周波数補正機能 210
7.2　レジスタ説明 211
7.2.1　高速オンチップ・オシレータ・クロック周波数補正制御レジスタ（HOCOFC） 211
7.3　動作説明 212
7.3.1　動作概要 212
7.3.2　動作手順 215
7.4　使用上の注意事項 216
7.4.1　SFRアクセス 216
7.4.2　スタンバイ時動作 216
7.4.3　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）の変更について 216

第8章　タイマ・アレイ・ユニット 217

8.1　タイマ・アレイ・ユニットの機能 218
8.1.1　単独チャネル動作機能 218
8.1.2　複数チャネル連動動作機能 219
8.1.3　8ビット・タイマ動作機能（チャネル1, 3のみ） 220
8.1.4　LIN-bus対応機能（チャネル7のみ） 221
8.2　タイマ・アレイ・ユニットの構成 222
8.2.1　タイマ・カウンタ・レジスタmn（TCRmn） 227
8.2.2　タイマ・データ・レジスタmn（TDRmn） 229
8.3　タイマ・アレイ・ユニットを制御するレジスタ 230
8.3.1　周辺イネーブル・レジスタ0（PER0） 231
8.3.2 周辺リセット制御レジスタ0 (PRR0) 232
8.3.3　タイマ・クロック選択レジスタm（TPSm） 233
8.3.4　タイマ・モード・レジスタmn（TMRmn） 236
8.3.5　タイマ・ステータス・レジスタmn（TSRmn） 241
8.3.6　タイマ・チャネル許可ステータス・レジスタm（TEm） 242
8.3.7　タイマ・チャネル開始レジスタm（TSm） 243
8.3.8　タイマ・チャネル停止レジスタm（TTm） 245
8.3.9　タイマ入力選択レジスタ0（TIS0） 246
8.3.10　タイマ出力許可レジスタm（TOEm） 247
8.3.11　タイマ出力レジスタm（TOm） 248
8.3.12　タイマ出力レベル・レジスタm（TOLm） 249
8.3.13　タイマ出力モード・レジスタm（TOMm） 250

8. 3. 14　入力切り替え制御レジスタ（ISC） 251
8. 3. 15　ノイズ・フィルタ許可レジスタ1（NFEN1） 252
8. 3. 16　タイマ入出力端子のポート機能を制御するレジスタ 254
8. 4　タイマ・アレイ・ユニットの基本ルール 255
8. 4. 1　複数チャネル連動動作機能の基本ルール 255
8. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ） 257
8. 5　カウンタの動作 258
8. 5. 1　カウント・クロック（f_{TCLK}） 258
8. 5. 2　カウンタのスタート・タイミング 260
8. 5. 3　カウンタの動作 261
8. 6　チャネル出力（TOmn端子）の制御 266
8. 6. 1　TOmn端子の出力回路の構成 266
8. 6. 2　TOmn端子の出力設定 267
8. 6. 3　チャネル出力操作時の注意事項 268
8. 6. 4　TOmnビットの一括操作 273
8. 6. 5　カウント動作開始時のタイマ割り込みとTOmn端子出力について 274
8. 7　タイマ入力（TImn）の制御 275
8. 7. 1　TImnの入力回路構成 275
8. 7. 2　ノイズ・フィルタ 275
8. 7. 3　チャネル入力操作時の注意事項 276
8. 8　タイマ・アレイ・ユニットの単独チャネル動作機能 277
8. 8. 1　インターバル・タイマ／方形波出力としての動作 277
8. 8. 2　外部イベント・カウンタとしての動作 282
8. 8. 3　入力パルス間隔測定としての動作 286
8. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作 290
8. 8. 5　ディレイ・カウンタとしての動作 294
8. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能 298
8. 9. 1　ワンショット・パルス出力機能としての動作 298
8. 9. 2　PWM機能としての動作 305
8. 9. 3　多重PWM出力機能としての動作 312
8. 10　タイマ・アレイ・ユニット使用時の注意事項 320
8. 10. 1　タイマ出力使用時の注意事項 320

第9章　独立電源RTC 321

9. 1　独立電源RTCの機能 321
9. 2　独立電源RTCを制御するレジスタ 324
9. 2. 1　周辺イネーブル・レジスタ2（PER2） 326
9. 2. 2　64 Hzカウンタ（R64CNT） 327

9. 2. 3　秒カウンタ（RSECCNT）／バイナリカウンタ0（BCNT0） 328
9. 2. 4　分カウンタ（RMINCNT）／バイナリカウンタ1（BCNT1） 329
9. 2. 5　時カウンタ（RHRCNT）／バイナリカウンタ2（BCNT2） 330
9. 2. 6　曜日カウンタ（RWKCNT）／バイナリカウンタ3（BCNT3） 331
9. 2. 7　日カウンタ（RDAYCNT） 332
9. 2. 8　月カウンタ（RMONCNT） 333
9. 2. 9　年カウンタ（RYRCNT） 334
9. 2. 10　秒アラームレジスタ（RSECAR）／
バイナリカウンタ0アラームレジスタ（BCNT0AR） 335
9. 2. 11　分アラームレジスタ（RMINAR）／
バイナリカウンタ1アラームレジスタ（BCNT1AR） 336
9. 2. 12　時アラームレジスタ（RHRAR）／
バイナリカウンタ2アラームレジスタ（BCNT2AR） 337
9. 2. 13　曜日アラームレジスタ（RWKAR）／
バイナリカウンタ3アラームレジスタ（BCNT3AR） 339
9. 2. 14　日アラームレジスタ（RDAYAR）／
バイナリカウンタ0アラーム許可レジスタ（BCNT0AER） 340
9. 2. 15　月アラームレジスタ（RMONAR）／
バイナリカウンタ1アラーム許可レジスタ（BCNT1AER） 341
9. 2. 16　年アラームレジスタ（RYRAR）／
バイナリカウンタ2アラーム許可レジスタ（BCNT2AER） 342
9. 2. 17　年アラーム許可レジスタ（RYRAREN）／
バイナリカウンタ3アラーム許可レジスタ（BCNT3AER） 343
9. 2. 18　RTCコントロールレジスタ1（RCR1） 344
9. 2. 19　RTCコントロールレジスタ2（RCR2） 345
9. 2. 20　RTCコントロールレジスタ3（RCR3） 349
9. 2. 21　RTCコントロールレジスタ4（RCR4） 350
9. 2. 22　RTCコントロールレジスタ5（RCR5） 351
9. 2. 23　RCR5ガードレジスタ（RCR5GD） 352
9. 2. 24　時間誤差補正レジスタ（RADJ） 353
9. 2. 25　時間キャプチャ制御レジスタy（RTCCRy）（y = 0～2） 354
9. 2. 26　秒キャプチャレジスタy（RSECCPy）（y = 0～2）／
BCNT0キャプチャレジスタy（BCNT0CPy）（y = 0～2） 356
9. 2. 27　分キャプチャレジスタy（RMINCPy）（y = 0～2）／
BCNT1キャプチャレジスタy（BCNT1CPy）（y = 0～2） 357
9. 2. 28　時キャプチャレジスタy（RHRCPy）（y = 0～2）／
BCNT2キャプチャレジスタy（BCNT2CPy）（y = 0～2） 358
9. 2. 29　日キャプチャレジスタy（RDAYCPy）（y = 0～2）／
BCNT3キャプチャレジスタy（BCNT3CPy）（y = 0～2） 359
9. 2. 30　月キャプチャレジスタy（RMONCPy）（y = 0～2） 360

9. 2. 31　RTCステータスレジスタ（RSR） 361
9. 2. 32　サブ・クロック動作モード制御レジスタ（SCMC） 363
9. 2. 33　サブ・クロック動作ステータス制御レジスタ（SCSC） 365
9. 2. 34　RTCパワーオン・リセットステータスレジスタ（RTCPORSR） 366
9. 2. 35　RTCICn端子（n = 0～2）用ノイズ・フィルタ許可レジスタ（RTCICNFEN） 367
9. 3　動作説明 368
9. 3. 1　電源投入後のレジスタの初期設定概要 368
9. 3. 2　初期化手順 369
9. 3. 3　クロックとカウントモード設定手順 370
9. 3. 4　時刻設定手順 371
9. 3. 5　30秒調整手順 372
9. 3. 6　64 Hzカウンタおよび時刻読み出し手順 373
9. 3. 7　アラーム機能 374
9. 3. 8　アラーム割り込み禁止手順 375
9. 3. 9　時計誤差補正機能 375
9. 3. 9. 1　自動補正機能 376
9. 3. 9. 2　ソフトウェアによる補正 377
9. 3. 9. 3　補正モードの変更手順 377
9. 3. 9. 4　補正機能の停止手順 377
9. 3. 9. 5　時間キャプチャ機能 378
9. 3. 10　RTCICn端子（n = 0～2）用ノイズ・フィルタ動作 379
9. 4　割り込み要因 380
9. 5　イベントリンク出力機能 382
9. 5. 1　割り込み処理とイベントリンクの関係 382
9. 6　使用上の注意事項 383
9. 6. 1　カウント動作時のレジスタ書き込みについて 383
9. 6. 2　周期割り込みの使用について 383
9. 6. 3　RTCOUT（1 Hz/64 Hz）出力について 383
9. 6. 4　レジスタの書き込み／読み出し時の注意事項 384
9. 6. 5　カウントモードの変更について 384
9. 6. 6　独立電源RTCの停止手順 385
9. 6. 7　タンパ検出機能の注意事項 385

第10章　周波数測定回路 386

10. 1　周波数測定回路 386
10. 2　周波数測定回路の構成 386
10. 3　周波数測定回路を制御するレジスタ 387
10. 3. 1　周辺イネーブル・レジスタ1（PER1） 388

10. 3. 2　サブシステム・クロック供給オプション制御レジスタ（OSMC） 389
10. 3. 3　周波数測定カウント・レジスタL（FMCRL） 391
10. 3. 4　周波数測定カウント・レジスタH（FMCRH） 391
10. 3. 5　周波数測定コントロール・レジスタ（FMCTL） 392
10. 3. 6　周波数測定回路クロック選択レジスタ（FMCKS） 393
10. 4　周波数測定回路の動作 394
10. 4. 1　基準クロックによる周波数測定回路の設定 394
10. 4. 2　周波数測定回路の動作タイミング 395

第11章　12ビット・インターバル・タイマ 396

11. 1　12ビット・インターバル・タイマの機能 396
11. 2　12ビット・インターバル・タイマの構成 396
11. 3　12ビット・インターバル・タイマを制御するレジスタ 397
11. 3. 1　周辺イネーブル・レジスタ2（PER2） 397
11. 3. 2　周辺リセット制御レジスタ2（PRR2） 398
11. 3. 3　サブシステム・クロック供給オプション制御レジスタ（OSMC） 399
11. 3. 4　12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC） 400
11. 4　12ビット・インターバル・タイマの動作 401
11. 4. 1　12ビット・インターバル・タイマの動作タイミング 401
11. 4. 2　HALT/STOPモードから復帰後にカウンタ動作開始し，再度HALT/STOPモードへの移行 ... 402

第12章　8ビット・インターバル・タイマ 403

12. 1　概要 403
12. 2　入出力端子 405
12. 3　レジスタの説明 405
12. 3. 1　8ビット・インターバル・タイマ・カウンタ・レジスタni（TRTni）
（n = 0, 1, i = 0, 1） 406
12. 3. 2　8ビット・インターバル・タイマ・カウンタ・レジスタn（TRTn）　（n = 0, 1） 406
12. 3. 3　8ビット・インターバル・タイマ・コンペア・レジスタni（TRTCMPni）
（n = 0, 1, i = 0, 1） 407
12. 3. 4　8ビット・インターバル・タイマ・コンペア・レジスタn（TRTCMPn）　（n = 0, 1） 407
12. 3. 5　8ビット・インターバル・タイマ制御レジスタn（TRTCRn）（n = 0, 1） 408
12. 3. 6　8ビット・インターバル・タイマ分周レジスタn（TRTMDn）（n = 0, 1） 409
12. 4　動作説明 410
12. 4. 1　カウンタ・モード 410
12. 4. 2　タイマ動作 411
12. 4. 3　開始／停止タイミング 413
12. 4. 3. 1　カウント・ソース（f_{SX}）選択時 413

12. 4. 3. 2　カウント・ソース（$f_{SX}/2^m$）選択時 415
12. 4. 4　コンペア・レジスタ値の反映タイミング 417
12. 5　8ビット・インターバル・タイマ使用上の注意事項 418
12. 5. 1　動作モード設定変更について 418
12. 5. 2　コンペア・レジスタへのアクセスについて 418
12. 5. 3　8ビット・インターバル・タイマ設定手順について 418

第13章　クロック出力／ブザー出力制御回路 419

13. 1　クロック出力／ブザー出力制御回路の機能 419
13. 2　クロック出力／ブザー出力制御回路の構成 420
13. 3　クロック出力／ブザー出力制御回路を制御するレジスタ 420
13. 3. 1　クロック出力選択レジスタn（CKSn） 420
13. 3. 2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ 422
13. 4　クロック出力／ブザー出力制御回路の動作 423
13. 4. 1　出力端子の動作 423
13. 5　クロック出力／ブザー出力制御回路の注意事項 423

第14章　ウォッチドッグ・タイマ 424

14. 1　ウォッチドッグ・タイマの機能 424
14. 2　ウォッチドッグ・タイマの構成 425
14. 3　ウォッチドッグ・タイマを制御するレジスタ 426
14. 3. 1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） 426
14. 4　ウォッチドッグ・タイマの動作 427
14. 4. 1　ウォッチドッグ・タイマの動作制御 427
14. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定 429
14. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定 430
14. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定 432

第15章　A/Dコンバータ 433

15. 1　A/Dコンバータの機能 433
15. 2　A/Dコンバータの構成 436
15. 3　A/Dコンバータを制御するレジスタ 438
15. 3. 1　周辺イネーブル・レジスタ0（PER0） 439
15. 3. 2　周辺リセット制御レジスタ0 (PRR0) 440
15. 3. 3　A/Dコンバータ・モード・レジスタ0（ADM0） 441
15. 3. 4　A/Dコンバータ・モード・レジスタ1（ADM1） 448
15. 3. 5　A/Dコンバータ・モード・レジスタ2（ADM2） 449
15. 3. 6　10ビットA/D変換結果レジスタ（ADCR） 451

15. 3. 7　8ビットA/D変換結果レジスタ（ADCRH） 452
15. 3. 8　アナログ入力チャネル指定レジスタ（ADS） 453
15. 3. 9　変換結果比較上限値設定レジスタ（ADUL） 454
15. 3. 10　変換結果比較下限値設定レジスタ（ADLL） 454
15. 3. 11　A/Dテスト・レジスタ（ADTES） 455
15. 3. 12　アナログ入力端子のポート機能を制御するレジスタ 456
15. 4　A/Dコンバータの変換動作 457
15. 5　入力電圧と変換結果 459
15. 6　A/Dコンバータの動作モード 460
15. 6. 1　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード） 460
15. 6. 2　ソフトウエア・トリガ・モード （セレクト・モード，ワンショット変換モード） 461
15. 6. 3　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード） 462
15. 6. 4　ソフトウエア・トリガ・モード （スキャン・モード，ワンショット変換モード） 463
15. 6. 5　ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，連続変換モード） 464
15. 6. 6　ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，ワンショット変換モード） 465
15. 6. 7　ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，連続変換モード） 466
15. 6. 8　ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，ワンショット変換モード） 467
15. 6. 9　ハードウエア・トリガ・ウエイト・モード （セレクト・モード，連続変換モード） 468
15. 6. 10　ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，ワンショット変換モード） 469
15. 6. 11　ハードウエア・トリガ・ウエイト・モード （スキャン・モード，連続変換モード） 470
15. 6. 12　ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，ワンショット変換モード） 471
15. 7　A/Dコンバータの設定フロー・チャート 472
15. 7. 1　ソフトウエア・トリガ・モード設定 472
15. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定 473
15. 7. 3　ハードウエア・トリガ・ウエイト・モード設定 474
15. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定
（例　ソフトウエア・トリガ・モード，ワンショット変換モード時） 475
15. 7. 5　テスト・モード設定 476
15. 8　SNOOZEモード機能 477
15. 9　A/Dコンバータ特性表の読み方 481
15. 10　A/Dコンバータの注意事項 484

第16章　温度センサ2 488

16. 1　温度センサの機能 488
16. 2　レジスタの説明 489
16. 2. 1　周辺イネーブル・レジスタ0（PER0） 489
16. 2. 2　温度センサ・コントロール・テスト・レジスタ（TMPCTL） 490
16. 2. 3　周辺リセット制御レジスタ0 (PRR0) 490
16. 3　設定手順 491
16. 3. 1　温度センサ動作開始 491
16. 3. 2　モード切り替え 492

第17章　24ビットΔΣA/Dコンバータ 493

17. 1　24ビットΔΣA/Dコンバータの機能 493
17. 1. 1　入出力端子 496
17. 1. 2　プリアンプ 496
17. 1. 3　ΔΣA/Dコンバータ 496
17. 1. 4　基準電圧発生 497
17. 1. 5　位相調整回路（PHCn） 497
17. 1. 6　デジタル・フィルタ（DF） 497
17. 1. 7　ゼロクロス検出 497
17. 1. 8　ハイパス・フィルタ（HPF） 497
17. 2　レジスタの説明 498
17. 2. 1　ΔΣA/Dコンバータ・モード・レジスタ（DSADMR） 499
17. 2. 2　ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ0（DSADGCR0） 501
17. 2. 3　ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ1（DSADGCR1） 502
17. 2. 4　ΔΣA/DコンバータHPFコントロール・レジスタ（DSADHPFCR） 503
17. 2. 5　ΔΣA/Dコンバータ割り込み制御レジスタ（DSADICR） 504
17. 2. 6　ΔΣA/Dコンバータ割り込みクリア・レジスタ（DSADICLR） 507
17. 2. 7　ΔΣA/Dコンバータ割り込みステータス・レジスタ（DSADISR） 508
17. 2. 8　ΔΣA/Dコンバータ位相コントロール・レジスタn（DSADPHCRn）　（n = 0, 1, 2, 3） 509
17. 2. 9　ΔΣA/Dコンバータ変換結果レジスタn　（DSADCRnL, DSADCRnM, DSADCRnH）
（n = 0, 1, 2, 3） 510
17. 2. 10　ΔΣA/Dコンバータ変換結果レジスタn（DSADCRn）（n = 0, 1, 2, 3） 512
17. 2. 11　周辺イネーブル・レジスタ1（PER1） 513
17. 2. 12　周辺リセット制御レジスタ1（PRR1） 514
17. 2. 13　周辺クロック制御レジスタ（PCKC） 515
17. 3　動作説明 516
17. 3. 1　24ビットΔΣA/Dコンバータの動作 517
17. 3. 2　Normal OperationモードからNeutral Missingモードへの切替手順 519

17. 3. 3　割り込み動作 520
17. 3. 3. 1　ゼロクロス検出割り込み動作 520
17. 3. 3. 2　ΔΣA/D変換終了割り込み動作 522
17. 3. 4　スタンバイ時の動作 522
17. 4　24ビットΔΣA/Dコンバータ使用上の注意事項 523
17. 4. 1　外部端子 523
17. 4. 2　SFRアクセス 523
17. 4. 3　動作クロックの設定 524
17. 4. 4　ELCを用いたゼロクロス検出割り込みの周期測定 525
17. 4. 5　ゼロクロス検出割り込みのソフトウェアクリア 525
17. 4. 6　入力範囲 525

第18章　シリアル・アレイ・ユニット 526

18. 1　シリアル・アレイ・ユニットの機能 527
18. 1. 1　簡易SPI（CSI00, CSI10, CSI30） 527
18. 1. 2　UART（UART0-UART3） 528
18. 1. 3　簡易I²C（IIC00, IIC10, IIC30） 529
18. 1. 4　IrDA 529
18. 2　シリアル・アレイ・ユニットの構成 530
18. 2. 1　シフト・レジスタ 534
18. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット 534
18. 3　シリアル・アレイ・ユニットを制御するレジスタ 536
18. 3. 1　周辺イネーブル・レジスタ0（PER0） 537
18. 3. 2　シリアル・クロック選択レジスタm（SPSm） 538
18. 3. 3　シリアル・モード・レジスタmn（SMRmn） 539
18. 3. 4　シリアル通信動作設定レジスタmn（SCRmn） 540
18. 3. 5　シリアル・データ・レジスタmn（SDRmn） 543
18. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn） 545
18. 3. 7　シリアル・ステータス・レジスタmn（SSRmn） 546
18. 3. 8　シリアル・チャネル開始レジスタm（SSm） 548
18. 3. 9　シリアル・チャネル停止レジスタm（STm） 549
18. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm） 550
18. 3. 11　シリアル出力許可レジスタm（SOEm） 551
18. 3. 12　シリアル出力レジスタm（SOm） 552
18. 3. 13　シリアル出力レベル・レジスタm（SOLm） 554
18. 3. 14　シリアル・スタンバイ・コントロール・レジスタ0（SSC0） 556
18. 3. 15　入力切り替え制御レジスタ（ISC） 557
18. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0） 558

18. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ 559
18. 3. 18　周辺リセット制御レジスタ0 (PRR0) 560
18. 4　動作停止モード 561
18. 4. 1　ユニット単位で動作停止とする場合 562
18. 4. 2　チャネルごとに動作停止とする場合 563
18. 5　簡易SPI（CSI00, CSI10, CSI30）通信の動作 564
18. 5. 1　マスタ送信 566
18. 5. 2　マスタ受信 574
18. 5. 3　マスタ送受信 582
18. 5. 4　スレーブ送信 590
18. 5. 5　スレーブ受信 598
18. 5. 6　スレーブ送受信 604
18. 5. 7　SNOOZEモード機能 612
18. 5. 8　転送クロック周波数の算出 616
18. 5. 9　簡易SPI（CSI00, CSI10, CSI30）通信時におけるエラー発生時の処理手順 618
18. 6　UART（UART0-UART3）通信の動作 619
18. 6. 1　UART送信 621
18. 6. 2　UART受信 630
18. 6. 3　SNOOZEモード機能 637
18. 6. 4　ボー・レートの算出 645
18. 6. 5　UART（UART0-UART3）通信時におけるエラー発生時の処理手順 649
18. 7　LIN通信の動作 650
18. 7. 1　LIN送信 650
18. 7. 2　LIN受信 653
18. 8　簡易I²C（IIC00, IIC10, IIC30）通信の動作 658
18. 8. 1　アドレス・フィールド送信 660
18. 8. 2　データ送信 665
18. 8. 3　データ受信 668
18. 8. 4　ストップ・コンディション発生 672
18. 8. 5　転送レートの算出 673
18. 8. 6　簡易I²C（IIC00, IIC10, IIC30）通信時におけるエラー発生時の処理手順 675

第19章　シリアル・インタフェースIICA 676

19. 1　シリアル・インタフェースIICAの機能 676
19. 2　シリアル・インタフェースIICAの構成 679
19. 3　シリアル・インタフェースIICAを制御するレジスタ 682
19. 3. 1　周辺イネーブル・レジスタ0（PER0） 683
19. 3. 2　周辺リセット制御レジスタ0（PRR0） 684

19. 3. 3　IICAコントロール・レジスタn0（IICCTLn0） 684
19. 3. 4　IICAステータス・レジスタn（IICSn） 689
19. 3. 5　IICAフラグ・レジスタn（IICFn） 692
19. 3. 6　IICAコントロール・レジスタn1（IICCTLn1） 694
19. 3. 7　IICAロウ・レベル幅設定レジスタn（IICWLn） 696
19. 3. 8　IICAハイ・レベル幅設定レジスタn（IICWHn） 696
19. 3. 9　ポート・モード・レジスタ6（PM6） 697
19. 4　I²Cバス・モードの機能 698
19. 4. 1　端子構成 698
19. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法 699
19. 5　I²Cバスの定義および制御方法 701
19. 5. 1　スタート・コンディション 701
19. 5. 2　アドレス 702
19. 5. 3　転送方向指定 702
19. 5. 4　アクノリッジ（ACK） 703
19. 5. 5　ストップ・コンディション 704
19. 5. 6　クロック・ストレッチ 705
19. 5. 7　クロック・ストレッチ解除方法 707
19. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびクロック・ストレッチ制御 708
19. 5. 9　アドレスの一致検出方法 709
19. 5. 10　エラーの検出 709
19. 5. 11　拡張コード 710
19. 5. 12　アービトレーション 711
19. 5. 13　ウエイク・アップ機能 713
19. 5. 14　通信予約 716
19. 5. 15　その他の注意事項 720
19. 5. 16　通信動作 721
19. 5. 17　I²C割り込み要求（INTIICAn）の発生タイミング 729
19. 6　タイミング・チャート 750

第20章　IrDA 765

20. 1　IrDAの機能 765
20. 2　レジスタの説明 766
20. 2. 1　周辺イネーブル・レジスタ0（PER0） 766
20. 2. 2　周辺リセット制御レジスタ0（PRR0） 767
20. 2. 3　IrDAコントロール・レジスタ（IRCR） 768
20. 3　動作説明 769
20. 3. 1　IrDA通信操作手順 769

20. 3. 2　送信 770
20. 3. 3　受信 771
20. 3. 4　ハイ・パルス幅の選択 771
20. 4　IrDA使用上の注意事項 772

第21章　LCDコントローラ／ドライバ 773

21. 1　LCDコントローラ／ドライバの機能 774
21. 2　LCDコントローラ／ドライバの構成 777
21. 3　LCDコントローラ／ドライバを制御するレジスタ 779
21. 3. 1　LCDモード・レジスタ0（LCDM0） 780
21. 3. 2　LCDモード・レジスタ1（LCDM1） 782
21. 3. 3　サブシステム・クロック供給オプション制御レジスタ（OSMC） 784
21. 3. 4　LCDクロック制御レジスタ0（LCDC0） 786
21. 3. 5　LCD昇圧レベル制御レジスタ（VLCD） 787
21. 3. 6　LCD入力切り替え制御レジスタ（ISCLCD） 788
21. 3. 7　LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5） 790
21. 3. 8　ポート・モード・レジスタ0, 1, 3, 5, 7, 8（PM0, PM1, PM3, PM5, PM7, PM8） 794
21. 4　LCD表示データ・レジスタ 795
21. 5　LCD表示レジスタの選択 799
21. 5. 1　Aパターン領域，Bパターン領域のデータ表示 800
21. 5. 2　点滅表示（Aパターン領域とBパターン領域のデータを交互に表示） 800
21. 6　LCDコントローラ／ドライバの設定 801
21. 7　動作停止手順 804
21. 8　LCD駆動電圧V_{L1}, V_{L2}, V_{L3}, V_{L4}の供給 805
21. 8. 1　外部抵抗分割方式 805
21. 8. 2　内部昇圧方式 807
21. 8. 3　容量分割方式 808
21. 9　コモン信号とセグメント信号 809
21. 9. 1　通常液晶波形の場合 809
21. 10　表示モード 818
21. 10. 1　スタティック表示例 818
21. 10. 2　2時分割表示例 821
21. 10. 3　3時分割表示例 824
21. 10. 4　4時分割表示例 828
21. 10. 5　6時分割表示例 832
21. 10. 6　8時分割表示例 835

第22章　データ・トランスファ・コントローラ（DTC） 839

22. 1　DTCの機能 839
22. 2　DTCの構成 841
22. 3　DTCを制御するレジスタ 842
22. 3. 1　DTCコントロールデータ領域とDTCベクタテーブル領域の配置 843
22. 3. 2　コントロールデータの配置 844
22. 3. 3　ベクタテーブル 846
22. 3. 4　周辺イネーブル・レジスタ1（PER1） 848
22. 3. 5　DTC制御レジスタj（DTCCRj）（j = 0～23） 849
22. 3. 6　DTCブロック・サイズ・レジスタj（DTBLSj）（j = 0～23） 850
22. 3. 7　DTC転送回数レジスタj（DTCCTj）（j = 0～23） 850
22. 3. 8　DTC転送回数リロード・レジスタj（DTRLDj）（j = 0～23） 851
22. 3. 9　DTCソース・アドレス・レジスタj（DTSARj）（j = 0～23） 851
22. 3. 10　DTCデスティネーション・アドレス・レジスタj（DTDARj）（j = 0～23） 851
22. 3. 11　DTC起動許可レジスタi（DTCENi）（i = 0～4） 852
22. 3. 12　DTCベース・アドレス・レジスタ（DTCBAR） 854
22. 4　DTCの動作 855
22. 4. 1　起動要因 855
22. 4. 2　ノーマルモード 856
22. 4. 3　リピートモード 859
22. 4. 4　チェイン転送 862
22. 5　DTC使用上の注意事項 864
22. 5. 1　DTCのコントロールデータおよびベクタテーブルの設定 864
22. 5. 2　DTCコントロールデータ領域とDTCベクタテーブル領域の配置 864
22. 5. 3　DTC保留命令 865
22. 5. 4　データ・フラッシュ空間にアクセスする場合の動作 865
22. 5. 5　DTC実行クロック数 866
22. 5. 6　DTC応答時間 867
22. 5. 7　DTC起動要因 867
22. 5. 8　スタンバイ・モード時の動作 868

第23章　イベント・リンク・コントローラ（ELC） 869

23. 1　ELCの機能 869
23. 2　ELCの構成 869
23. 3　ELCを制御するレジスタ 870
23. 3. 1　イベント出力先選択レジスタn（ELSELRn）（n = 00～21） 871
23. 3. 2　タイマ入力選択レジスタ0（TIS0） 874
23. 3. 3　A/Dコンバータ・モード・レジスタ（ADM1） 875

23. 4　ELCの動作 876
23. 5　ELC使用上の注意事項 877

第24章　割り込み機能 878

24. 1　割り込み機能の種類 878
24. 2　割り込み要因と構成 878
24. 3　割り込み機能を制御するレジスタ 883
24. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L） 886
24. 3. 2　割り込みマスク・フラグ・レジスタ
（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L） 887
24. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H,
PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L） 889
24. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），
外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1） 892
24. 3. 5　プログラム・ステータス・ワード（PSW） 894
24. 4　割り込み処理動作 895
24. 4. 1　マスカブル割り込み要求の受け付け動作 895
24. 4. 2　ソフトウエア割り込み要求の受け付け動作 898
24. 4. 3　多重割り込み処理 898
24. 4. 4　除算命令中の割り込み処理 902
24. 4. 5　割り込み要求の保留 904

第25章　キー割り込み機能 905

25. 1　キー割り込みの機能 905
25. 2　キー割り込みの構成 905
25. 3　キー割り込みを制御するレジスタ 907
25. 3. 1　キー・リターン・コントロール・レジスタ（KRCTL） 907
25. 3. 2　キー・リターン・モード・レジスタ0（KRM0） 908
25. 3. 3　キー・リターン・フラグ・レジスタ（KRF） 909
25. 3. 4　ポート・モード・レジスタ7（PM7） 910

第26章　スタンバイ機能 911

26.1　スタンバイ機能 911
26. 2　スタンバイ機能を制御するレジスタ 912
26. 3　スタンバイ機能の動作 913
26. 3. 1　HALTモード 913
26. 3. 2　STOPモード 920
26. 3. 3　SNOOZEモード 926

第27章　リセット機能 931

27. 1　リセット動作のタイミング 933
27. 2　リセット期間中の動作状態 935
27. 3　リセット要因を確認するレジスタ 937
27. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF） 937
27. 3. 2　パワーオン・リセット・ステータス・レジスタ（PORSR） 940
27. 3. 3　RTCパワーオン・リセット・ステータス・レジスタ（RTCPORSR） 941
27. 3. 4　周辺リセット制御レジスタ0 (PRR0) 941
27. 3. 5　周辺リセット制御レジスタ1（PRR1） 942
27. 3. 6　周辺リセット制御レジスタ2 (PRR2) 943

第28章　パワーオン・リセット回路 944

28. 1　パワーオン・リセット回路の機能 944
28. 2　パワーオン・リセット回路の構成 945
28. 3　パワーオン・リセット回路の動作 945

第29章　電圧検出回路 949

29. 1　電圧検出回路の機能 949
29. 2　電圧検出回路の構成 950
29. 3　電圧検出回路を制御するレジスタ 953
29. 3. 1　電圧検出レジスタ（LVIM） 953
29. 3. 2　電圧検出レベル・レジスタ（LVIS） 954
29. 3. 3　V_{DD}端子電圧検出制御レジスタ（LVDVDD） 958
29. 3. 4　VBAT端子電圧検出制御レジスタ（LVDVBAT） 959
29. 3. 5　VRTC端子電圧検出制御レジスタ（LVDVRTC） 960
29. 3. 6　EXLVD端子電圧検出制御レジスタ（LVDEXLVD） 961
29. 4　電圧検出回路の動作 962
29. 4. 1　リセット・モードとして使用する場合の設定 962
29. 4. 2　割り込みモードとして使用する場合の設定 964
29. 4. 3　割り込み＆リセット・モードとして使用時の設定 966
29. 4. 4　各電源端子電圧検出の設定手順 971
29. 5　LVD検出電圧の設定変更 975
29. 5. 1　LVDリセット・モード時のLVD検出電圧の設定変更 976
29. 5. 2　LVD割り込みモード時のLVD検出電圧の設定変更 977
29. 5. 3　各電源端子電圧検出のLVD検出電圧の設定変更 979
29. 6　電圧検出回路の注意事項 980

第30章　バッテリ・バックアップ機能 983

30. 1　バッテリ・バックアップの機能 983

30. 1. 1　端子構成 985

30. 2　レジスタ説明 986

30. 2. 1　バックアップ電源切り替えコントロール・レジスタ0（BUPCTL0） 986

30. 2. 2　バックアップ電源切り替えコントロール・レジスタ1（BUPCTL1） 988

30. 2. 3　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS） 988

30. 3　動作説明 989

30. 3. 1　バッテリ・バックアップ機能 989

30. 3. 2　バッテリ・バックアップ機能の使用方法 993

30. 4　使用上の注意事項 999

第31章　発振停止検出回路 1000

31. 1　発振停止検出回路の機能 1000

31. 2　発振停止検出回路の構成 1001

31. 3　発振停止検出回路で使用するレジスタ 1002

31. 3. 1　周辺イネーブル・レジスタ2（PER2） 1002

31. 3. 2　周辺リセット制御レジスタ2（PRR2） 1003

31. 3. 3　サブシステム・クロック供給オプション制御レジスタ（OSMC） 1004

31. 3. 4　発振停止検出制御レジスタ（OSDC） 1005

31. 4　発振停止検出回路の動作 1006

31. 4. 1　発振停止検出回路の動作方法 1006

31. 5　発振停止検出機能使用時の注意事項 1007

第32章　安全機能 1008

32. 1　安全機能の概要 1008

32. 2　安全機能で使用するレジスタ 1009

32. 3　安全機能の動作 1009

32. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC） 1009

32. 3. 1. 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL） 1010

32. 3. 1. 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL） 1011

32. 3. 2　CRC演算機能（汎用CRC） 1013

32. 3. 2. 1　CRC入力レジスタ（CRCIN） 1013

32. 3. 2. 2　CRCデータ・レジスタ（CRCD） 1014

32. 3. 3　RAMパリティ・エラー検出機能 1015

32. 3. 3. 1　RAMパリティ・エラー制御レジスタ（RPECTL） 1015

32. 3. 4　RAMガード機能 1016

32. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL） 1016

32. 3. 5　SFRガード機能 1017
32. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL） 1017
32. 3. 6　不正メモリ・アクセス検出機能 1018
32. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL） 1019
32. 3. 7　周波数検出機能 1020
32. 3. 7. 1　タイマ入力選択レジスタ0（TIS0） 1021
32. 3. 8　A/Dテスト機能 1022
32. 3. 8. 1　A/Dテスト・レジスタ（ADTES） 1024
32. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS） 1025
32. 3. 9　入出力ポートのデジタル出力信号レベル検出機能 1026
32. 3. 9. 1　ポート・モード選択レジスタ（PMS） 1026

第33章　AES機能（R5F10Nのみ） 1027

33. 1　AES機能の概要 1027

第34章　レギュレータ 1028

34. 1　レギュレータの概要 1028
34. 2　レギュレータを制御するレジスタ 1029
34. 2. 1　レギュレータ・モード制御レジスタ（PMMC） 1029

第35章　オプション･バイト 1030

35. 1　オプション・バイトの機能 1030
35. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H） 1030
35. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H） 1031
35. 2　ユーザ・オプション・バイトのフォーマット 1032
35. 3　オンチップ・デバッグ・オプション・バイトのフォーマット 1037
35. 4　オプション・バイトの設定 1038

第36章　フラッシュ・メモリ 1039

36. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング 1040
36. 1. 1　プログラミング環境 1042
36. 1. 2　通信方式 1042
36. 2　外部デバイス（UART内蔵）によるシリアル・プログラミング 1043
36. 2. 1　プログラミング環境 1043
36. 2. 2　通信方式 1044
36. 3　オンボード上の端子処理 1044
36. 3. 1　P40/TOOL0端子 1045
36. 3. 2　RESET端子 1045

36. 3. 3　ポート端子 1046
36. 3. 4　REGC端子 1046
36. 3. 5　X1, X2端子 1046
36. 3. 6　電源 1046
36. 4　プログラミング方法 1047
36. 4. 1　シリアル・プログラミング手順 1047
36. 4. 2　フラッシュ・メモリ・プログラミング・モード 1048
36. 4. 3　通信方式 1050
36. 4. 4　通信コマンド 1051
36. 5　専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値） 1053
36. 6　セルフ・プログラミング 1054
36. 6. 1　セルフ・プログラミング手順 1055
36. 6. 2　ブート・スワップ機能 1056
36. 6. 3　フラッシュ・シールド・ウインドウ機能 1058
36. 7　セキュリティ設定 1059
36. 8　データ・フラッシュ 1061
36. 8. 1　データ・フラッシュの概要 1061
36. 8. 2　データ・フラッシュを制御するレジスタ 1062
36. 8. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL） 1062
36. 8. 3　データ・フラッシュへのアクセス手順 1063

第37章　オンチップ・デバッグ機能 1064

37. 1　E1, E2, E2 Lite, E20オンチップデバッギングエミュレータとの 接続 1064
37. 2　オンチップ・デバッグ・セキュリティID 1067
37. 3　ユーザ資源の確保 1067

第38章　10進補正（BCD）回路 1069

38. 1　10進補正回路の機能 1069
38. 2　10進補正回路で使用するレジスタ 1069
38. 2. 1　BCD補正結果レジスタ（BCDADJ） 1069
38. 3　10進補正回路の動作 1070

第39章　32ビット積和演算回路 1072

39. 1　32ビット積和演算回路の機能 1072
39. 2　32ビット積和演算回路の構成 1073
39. 2. 1　乗算データ・レジスタA（MUL32UH, MUL32UL, MUL32SH, MUL32SL, MAC32UH, MAC32UL, MAC32SH, MAC32SL） 1075
39. 2. 2　乗算データ・レジスタB（MULBL, MULBH） 1076

39. 2. 3　演算結果レジスタ（MULR0, MULR1, MULR2, MULR3） 1077
39. 3　32ビット積和演算回路を制御するレジスタ 1079
39. 3. 1　周辺イネーブル・レジスタ2（PER2） 1079
39. 3. 2　周辺リセット制御レジスタ2（PRR2） 1080
39. 3. 3　乗算コントロール・レジスタ（MULC） 1080
39. 4　32ビット積和演算回路の動作 1082
39. 4. 1　基本動作 1082
39. 4. 2　演算に必要なクロック数 1082
39. 4. 3　演算モード切り替え 1083
39. 4. 4　乗算動作 1083
39. 4. 5　積和演算動作 1083
39. 4. 6　固定小数点モード 1084
39. 4. 7　固定小数点モードの動作 1085
39. 4. 8　割り込み動作 1086
39. 5　32ビット積和演算回路の動作説明 1087
39. 6　32ビット積和演算回路の注意事項 1091
39. 6. 1　演算中（MULST = 1）の注意事項 1091

第40章　命令セットの概要 1092

40. 1　凡例 1093
40. 1. 1　オペランドの表現形式と記述方法 1093
40. 1. 2　オペレーション欄の説明 1094
40. 1. 3　フラグ動作欄の説明 1095
40. 1. 4　PREFIX命令 1095
40. 2　オペレーション一覧 1096

第41章　電気的特性 1114

41. 1　絶対最大定格 1115
41. 2　発振回路特性 1118
41. 2. 1　X1, XT1発振回路特性 1118
41. 2. 2　オンチップ・オシレータ特性 1119
41. 2. 3　PLL発振回路特性 1120
41. 3　DC特性 1121
41. 3. 1　端子特性 1121
41. 3. 2　電源電流特性 1126
41. 4　AC特性 1135
41. 5　周辺機能特性 1139
41. 5. 1　シリアル・アレイ・ユニット 1139

41. 5. 2　シリアル・インタフェースIICA 1166
41. 6　アナログ特性 1172
41. 6. 1　A/Dコンバータ特性 1172
41. 6. 2　24ビットΔΣA/Dコンバータ特性 1174
41. 6. 3　温度センサ2特性 1177
41. 6. 4　POR回路特性 1178
41. 6. 5　LVD回路特性 1178
41. 6. 6　電源電圧立ち上がり傾き特性 1179
41. 7　バッテリ・バックアップ機能 1180
41. 7. 1　電源切り替え特性 1180
41. 7. 2　VDD端子電圧検出特性 1181
41. 7. 3　VBAT端子電圧検出特性 1182
41. 7. 4　VRTC端子電圧検出特性 1183
41. 7. 5　EXLVD端子電圧検出特性 1184
41. 8　LCD特性 1185
41. 8. 1　外部抵抗分割方式 1185
41. 8. 2　内部昇圧方式 1186
41. 8. 3　容量分割方式 1188
41. 9　RAMデータ保持特性 1189
41. 10　フラッシュ・メモリ・プログラミング特性 1189
41. 11　専用フラッシュ・メモリ・プログラマ通信（UART） 1189
41. 12　フラッシュ・メモリ・プログラミング・モードの引き込みタイミング 1190

第42章　外 形 図 1191

42. 1　64ピン製品 1191
42. 2　80ピン製品 1193
42. 3　100ピン製品 1195

付録A　改版履歴 1197

A. 1　本版で改訂された主な箇所 1197
A. 2　前版までの改版履歴 1198

第1章　概　　説

1.1　特　　徴

対象アプリケーション

- 電力メータ

超低消費電力テクノロジー

- V_{DD} = 1.7～5.5 Vの単一電源[注1]
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.03125 μs：PLLクロック32 MHz選択時，0.04167 μs：高速オンチップ・オシレータ・クロック24 MHz選択時）から超低速（66.6 μs：低速オンチップ・オシレータ・クロック15 kHz動作時）まで最小命令実行時間を変更可能
- 16ビット乗算，16ビット積和演算，32ビット除算演算命令に対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット×8レジスタ×4バンク
- 内蔵RAM：6 KB～16 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：64 KB～256 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止，書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：2 KB
- バックグランド・オペレーション（BGO）；データ・フラッシュ書き換え中に，プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回（TYP.）
- 書き換え電圧：V_{DD} = 1.9～5.5 V

PLLクロック[注2]

- 32 MHzを選択可能（ΔΣA/Dコンバータ動作可能）

高速オンチップ・オシレータ

- 1 MHz～24 MHz（TYP.）から選択可能。ただしΔΣA/Dコンバータの動作クロックとして選択する場合は24 MHz（TYP.）／12 MHz（TYP.）／6 MHz（TYP.）／3 MHz（TYP.）から選択可能。
- 高精度±1.0 %（V_{DD} = 1.9～5.5 V，T_A = －20～＋85℃）
- 高速オンチップ・オシレータ・クロック周波数補正機能内蔵

中速オンチップ・オシレータ

- 4 MHz（TYP.）／2 MHz（TYP.）／1 MHz（TYP.）から選択可能（ただしΔΣA/Dコンバータ動作不可）

動作周囲温度

- T_A = －40～＋85 ℃

電源管理とリセット回路

- V_{DD}[注3]電源用パワーオン・リセット（POR）回路内蔵
- VRTC電源用RTCパワーオン・リセット（RTCPOR）回路内蔵
- 電圧検出（LVD）回路内蔵（割り込み，リセットを13段階で選択）

電圧検出回路

- V_{DD}端子電圧検出（割り込みを6段階で選択）
- VBAT端子電圧検出（割り込みを7段階で選択）
- VRTC端子電圧検出（割り込みを4段階で選択）
- EXLVD端子電圧検出（割り込みを1段階で選択）

データ・トランスファ・コントローラ（DTC）

- 転送モード：ノーマル転送モード，リピート転送モード，ブロック転送モード
- 起動要因：割り込み要因により起動
- チェイン転送機能あり

イベント・リンク・コントローラ（ELC）

- 22種類のイベント信号を特定の周辺機能へリンク可能

32ビット乗算・積和演算器

- 32ビット×32ビット ＝64ビット（符号付／符号なし）
- 32ビット×32ビット＋64ビット ＝64ビット（符号付／符号なし）

シリアル・インタフェース

- 簡易SPI (CSI[注]) ： 2～3チャネル
- UART/UART（LIN-bus対応） ： 2～3チャネル
- UART/IrDA ： 1チャネル
- 簡易I^2C ： 2～3チャネル
- I^2C ： 1チャネル

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

タイマ

- 16ビット・タイマ：8チャネル
- 12ビット・インターバル・タイマ：1チャネル
- 8ビット・インターバル・タイマ：4チャネル
- 独立電源RTC：1チャネル（99年カレンダ，アラーム機能，時計補正機能）
- ウォッチドッグ・タイマ：1チャネル
- 発振停止検出回路：1チャネル

LCDコントローラ／ドライバ

- 内部昇圧／容量分割／外部抵抗分割を切り替え可能
- セグメント信号出力：19（15）本[注4]～42（38）本[注4]
- コモン信号出力：4（8）本[注4]

A/Dコンバータ

- 24ビットΔΣA/Dコンバータ：3または4チャネル
- 8/10ビット分解能A/Dコンバータ（V_{DD} = 1.9～5.5 V）：4または6チャネル
- 内部基準電圧（TYP. 1.45 V）と温度センサを搭載

入出力ポート

- I/Oポート：35～68本（N-chオープン・ドレイン入出力[6V耐圧]：3本，
  N-chオープン・ドレイン入出力[V_{DD}耐圧[注5]/EV_{DD}耐圧[注6]]：10～16本）
- N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップの切り替え可能
- 異電位（1.8/2.5/3 V）動作デバイスと接続可能
- クロック出力／ブザー出力制御回路内蔵
- キー割込み機能内蔵

AES回路[注7]

- 暗号利用モード：GCM/ECB/CBC
- 暗号鍵長：128/192/256ビット

その他

- 10進補正（BCD）回路内蔵
- バッテリ・バックアップ機能内蔵

注1. VBATEN設定値によって，製品動作下限電圧が異なります。
VBATEN = 0の時，動作下限電圧 = 1.7 V
VBATEN = 1の時，動作下限電圧 = 1.9 V
なお，VRTCの動作下限電圧は1.6 Vです。

2. R5F10NPJ, R5F10NMJ, R5F10NPGのみ搭載

3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

4. （ ）内は8 com使用時の信号出力本数です。

5. 64ピン製品の場合

6. 80, 100ピン製品の場合

7. R5F10Nのみ

備考 製品によって，搭載している機能が異なります。**1. 6 機能概要**を参照してください。

○ROM, RAM容量

コード・フラッシュ	データ・フラッシュ	RAM	AES機能	RL78/I1C		
				64ピン	80ピン	100ピン
256 KB	2 KB	16 KB注1	搭載	－	R5F10NMJ	R5F10NPJ
128 KB	2 KB	8 KB注2	搭載	R5F10NLG	R5F10NMG	R5F10NPG
			非搭載	R5F11TLG	－	－
64 KB	2 KB	6 KB	搭載	R5F10NLE	R5F10NME	－
			非搭載	R5F11TLE	－	－

注1. セルフ・プログラミング機能使用時は，約15 KB（詳細は，**第3章**参照）

2. セルフ・プログラミング機能使用時は，約7 KB（ただし，R5F10NPGを除く）（詳細は，**第3章**参照）

1.2　型名一覧

図1－1　RL78/I1Cの型名とメモリ・サイズ，パッケージ

型名　R 5 F 10N P J D xxx FB #30

- 梱包仕様
  - #10, #30 : Tray (LFQFP) Ver.1.0
  - #15, #35 : Tray (LFQFP) Ver.1.1
  - #50 : Embossed Tape (LFQFP) Ver.1.0
  - #55 : Embossed Tape (LFQFP) Ver.1.1
- パッケージ種類
  - FB : LFQFP, 0.50 mmピッチ
- ROM番号（ブランク品は省略）
- 用途区分
  - D : 産業用途，T_A = －40～＋85 ℃
- ROM容量
  - E : 64 KB
  - G : 128 KB
  - J : 256 KB
- ピン数
  - L : 64ピン
  - M : 80ピン
  - P : 100ピン
- RL78/I1Cグループ
  - 10N : AES搭載
  - 11T : AES非搭載
- ROMの種類
  - F : フラッシュメモリ
- ルネサスマイコン
- ルネサス半導体

表1－1 発注型名一覧

ピン数	パッケージ	データ・フラッシュ	AES機能	用途・区分注	発注型名
64ピン	64ピン・プラスチックLFQFP（10x10 mm, 0.5 mmピッチ）	搭載	搭載	D	R5F10NLEDFB#10, R5F10NLGDFB#10, R5F10NLEDFB#15, R5F10NLGDFB#15, R5F10NLEDFB#30, R5F10NLGDFB#30, R5F10NLEDFB#35, R5F10NLGDFB#35, R5F10NLEDFB#50, R5F10NLGDFB#50, R5F10NLEDFB#55, R5F10NLGDFB#55
			非搭載	D	R5F11TLEDFB#10, R5F11TLGDFB#10, R5F11TLEDFB#15, R5F11TLGDFB#15, R5F11TLEDFB#30, R5F11TLGDFB#30, R5F11TLEDFB#35, R5F11TLGDFB#35, R5F11TLEDFB#50, R5F11TLGDFB#50, R5F11TLEDFB#55, R5F11TLGDFB#55
80ピン	80ピン・プラスチックLFQFP（12x12 mm, 0.5 mmピッチ）	搭載	搭載	D	R5F10NMEDFB#10, R5F10NMGDFB#10, R5F10NMJDFB#10, R5F10NMEDFB#15, R5F10NMGDFB#15, R5F10NMJDFB#15, R5F10NMEDFB#30, R5F10NMGDFB#30, R5F10NMJDFB#30, R5F10NMEDFB#35, R5F10NMGDFB#35, R5F10NMJDFB#35, R5F10NMEDFB#50, R5F10NMGDFB#50, R5F10NMJDFB#50, R5F10NMEDFB#55, R5F10NMGDFB#55, R5F10NMJDFB#55
100ピン	100ピン・プラスチックLFQFP（14x14 mm, 0.5 mmピッチ）	搭載	搭載	D	R5F10NPJDFB#10, R5F10NPGDFB#10, R5F10NPJDFB#15, R5F10NPGDFB#15, R5F10NPJDFB#30, R5F10NPGDFB#30, R5F10NPJDFB#35, R5F10NPGDFB#35, R5F10NPJDFB#50, R5F10NPGDFB#50, R5F10NPJDFB#55, R5F10NPGDFB#55

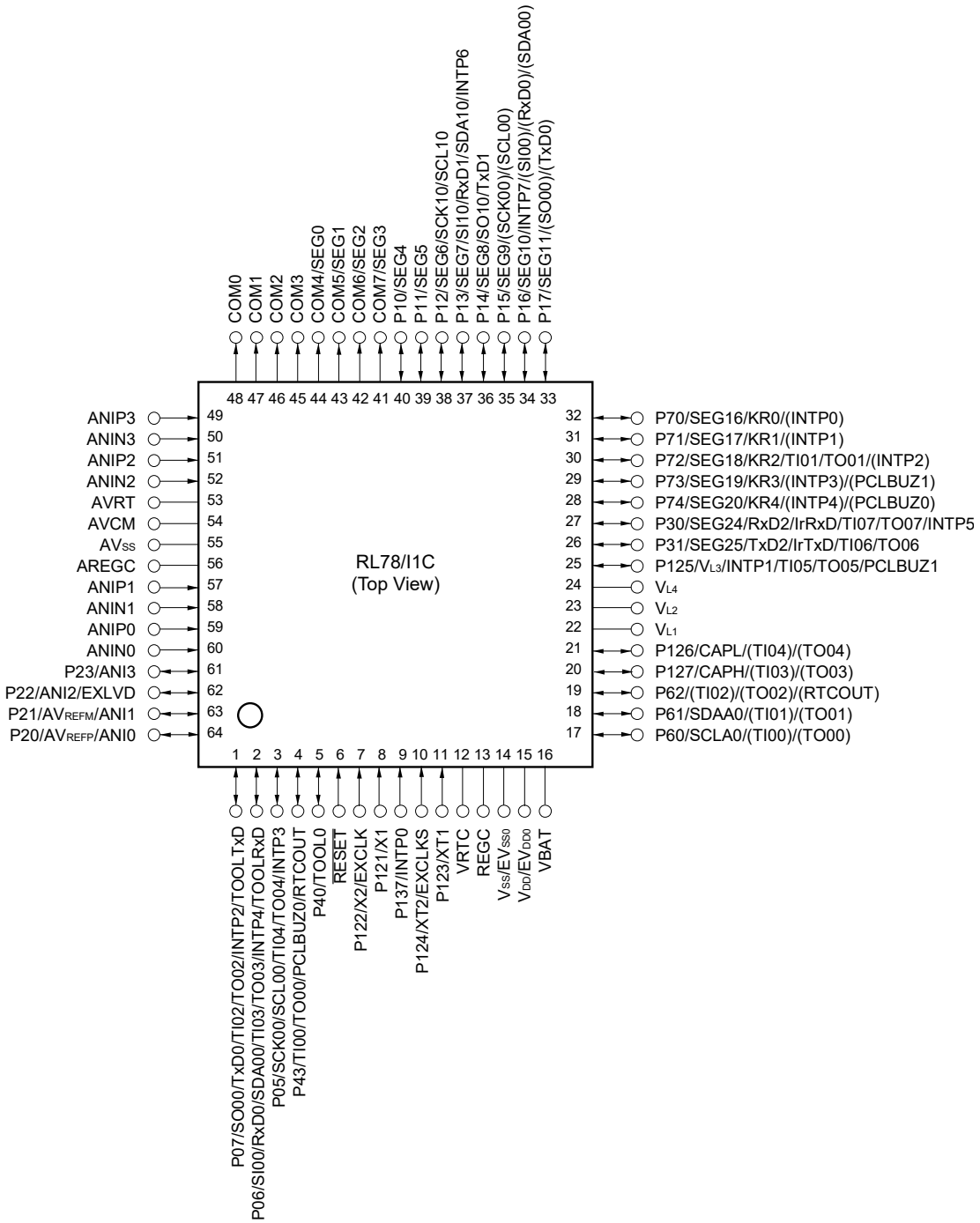
注 用途・区分は，**図1－1 RL78/I1Cの型名とメモリ・サイズ，パッケージ**を参照してください。

注意 発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

1. 3 端子接続図（Top View）

1. 3. 1 64ピン製品

・64ピン・プラスチックLFQFP（10x10 mm, 0.5 mmピッチ）



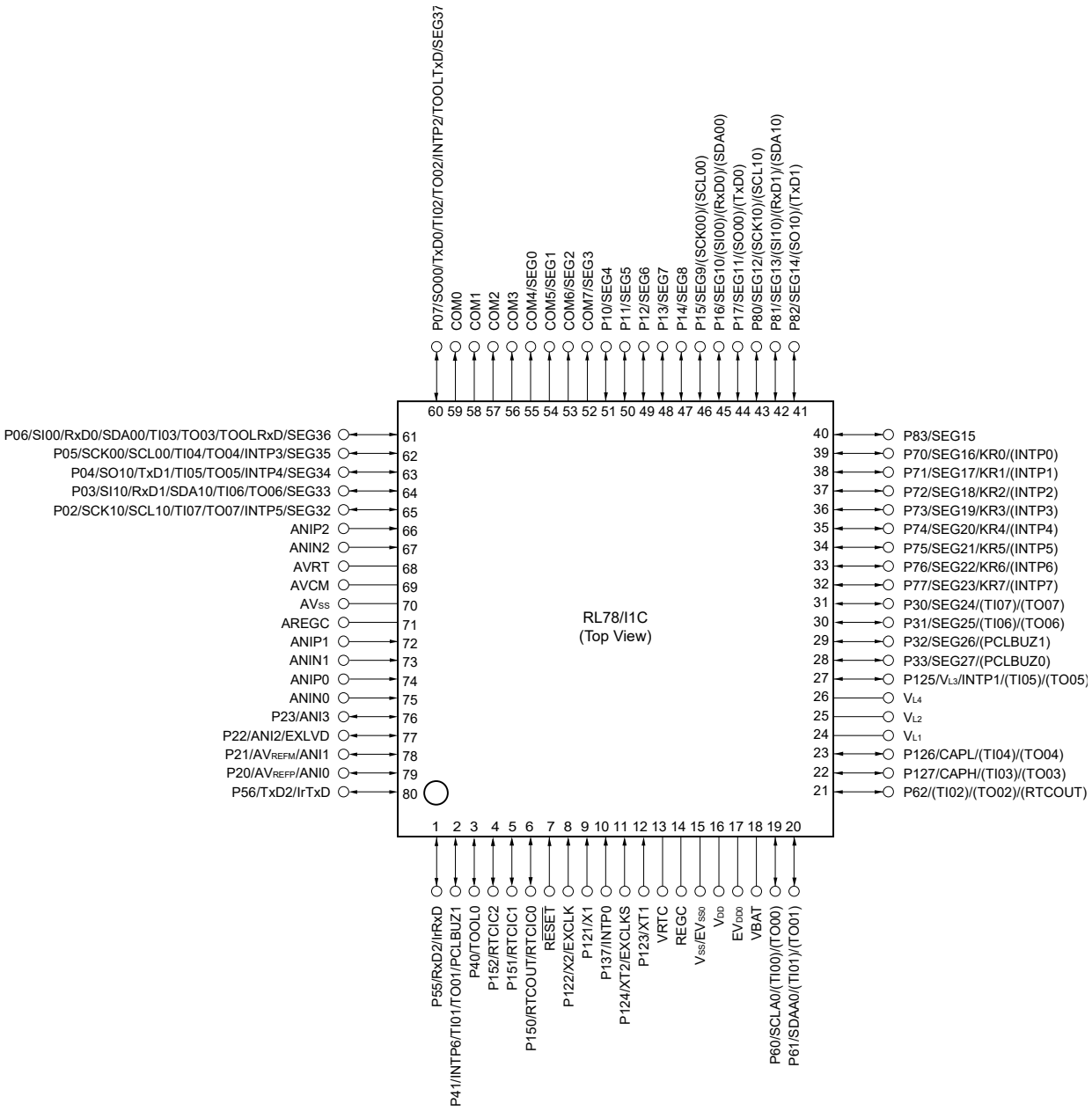
注意 REGC端子はコンデンサ（0.47～1 μF）を介し，Vssに接続してください。

備考1. 端子名称は，**1. 4 端子名称**を参照してください。

2. 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

1. 3. 2 80ピン製品

・80ピン・プラスチックLFQFP（12×12mm, 0.5mmピッチ）



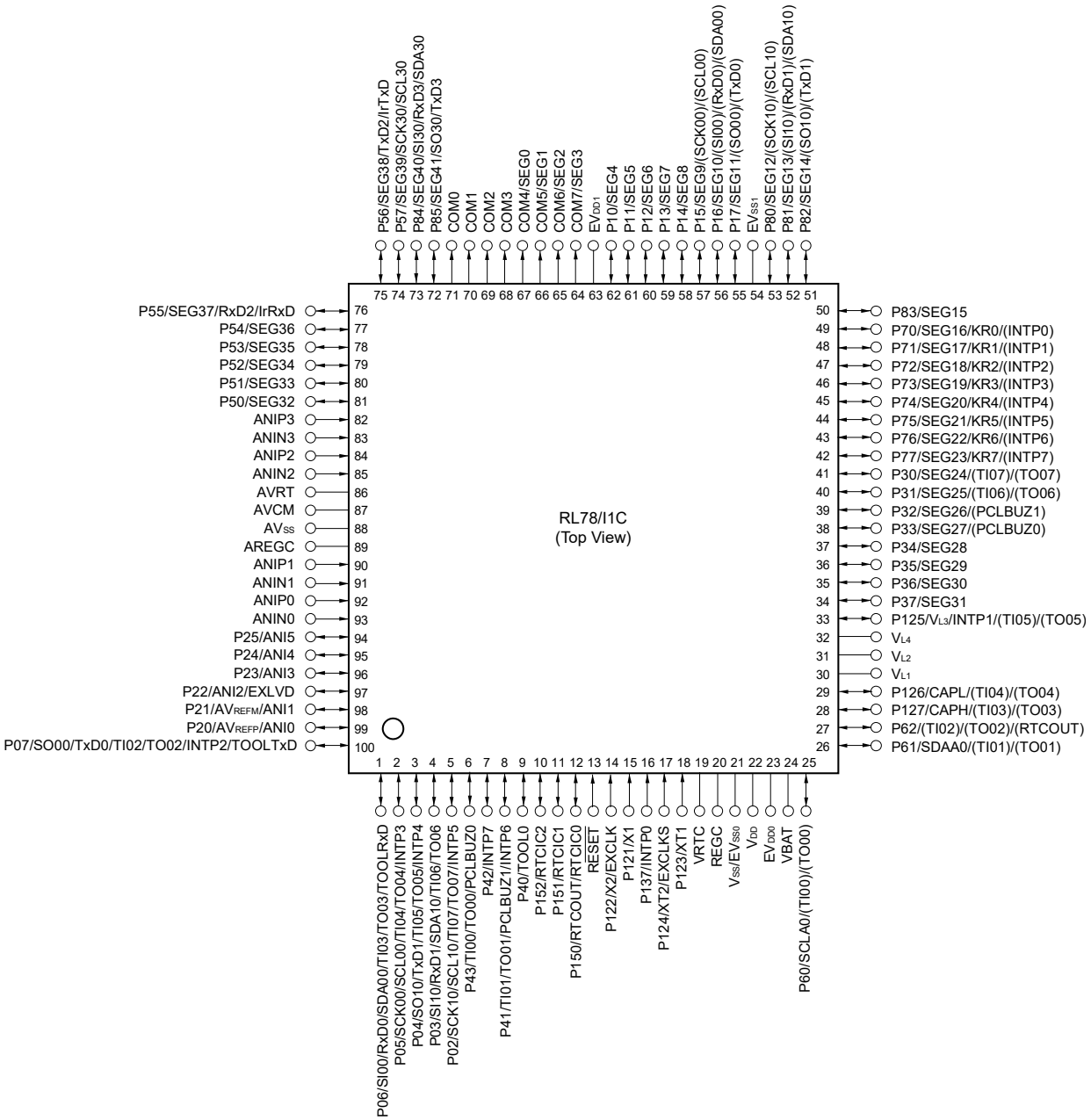
注意 REGC端子はコンデンサ（0.47～1 μF）を介し，Vssに接続してください。

備考1. 端子名称は，**1. 4 端子名称**を参照してください。

2. 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

1. 3. 3 100ピン製品

・100ピン・プラスチックLFQFP（14x14mm, 0.5mmピッチ）



注意1. EVSS1端子は，VSS/EVSS0端子と同電位にしてください。

2. EVDD1端子は，EVDD0端子と同電位にしてください。

3. REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

備考1. 端子名称は，**1. 4 端子名称**を参照してください。

2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合，VDDとEVDD1に個別の電源を供給し，VSSとEVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

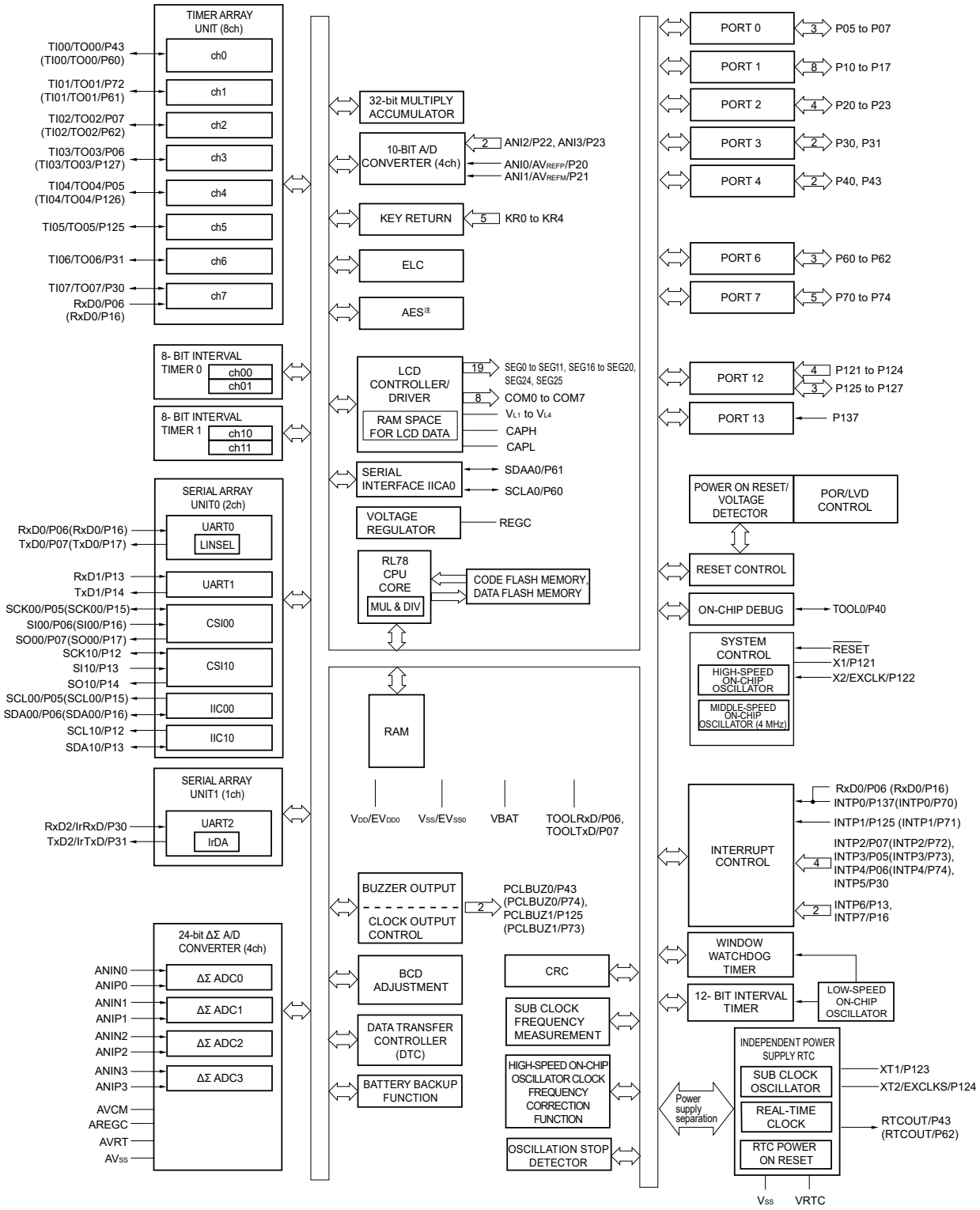
3. 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

1.4 端子名称

ANI0-ANI5	: Analog Input
ANIN0-ANIN3, ANIP0-ANIP3	: Analog Input for ΔΣ ADC
AREGC	: Regulator Capacitance for ΔΣ ADC
AVCM	: Control for ΔΣ ADC
AV_{REFM}	: A/D Converter Reference Potential (– side) Input
AV_{REFP}	: A/D Converter Reference Potential (+ side) Input
AVRT	: Reference Potential for ΔΣ ADC
AV_{SS}	: Ground for ΔΣ ADC
CAPH, CAPL	: Capacitor Connection for LCD Controller/Driver
COM0-COM7	: Common Signal Output for LCD Controller/Driver
EV_{DD0}, EV_{DD1}	: Power Supply for Port
EV_{SS0}, EV_{SS1}	: Ground for Port
EXCLK	: External Clock Input (Main System Clock)
EXCLKS	: External Clock Input (Subsystem clock)
EXLVD	: External Input for Low Voltage Detector
INTP0-INTP7	: Interrupt Request From Peripheral
IrRxD	: Receive Data for IrDA
IrTxD	: Transmit Data for IrDA
KR0-KR7	: Key Return
P02-P07	: Port 0
P10-P17	: Port 1
P20-P25	: Port 2
P30-P37	: Port 3
P40-P43	: Port 4
P50-P57	: Port 5
P60-P62	: Port 6
P70-P77	: Port 7
P80-P85	: Port 8
P121-P127	: Port 12
P137	: Port 13
P150-P152	: Port 15
PCLBUZ0, PCLBUZ1	: Programmable Clock Output/Buzzer Output
REGC	: Regulator Capacitance
$\overline{\text{RESET}}$	: Reset
RTCOUT	: Real-time Clock Correction Clock (1 Hz/64 Hz) Output
RTCIC0-RTCIC2	: RTC Time Capture Event Input
RxD0-RxD3	: Receive Data for UART
SCK00, SCK10, SCK30	: Serial Clock Input/Output for CSI
SCLA0	: Serial Clock Input/Output for IICA0
SCL00, SCL10, SCL30	: Serial Clock Output for Simpified IIC
SDAA0	: Serial Data Input/Output for IICA0
SDA00,SDA10, SDA30	: Serial Data Input/Output for Simplified IIC
SEG0-SEG41	: Segment Signal Output for LCD Controller/Driver
SI00, SI10, SI30	: Serial Data Input for CSI
SO00, SO10, SO30	: Serial Data Output for CSI
TI00-TI07	: Timer Input
TO00-TO07	: Timer Output
TOOL0	: Data Input/Output for Tool
TOOLRxD, TOOLTxD	: Data Input/Output for External Device
TxD0-TxD3	: Transmit Data for UART
VBAT	: Battery Backup Power Supply
V_{DD}	: Power Supply
V_{L1}-V_{L4}	: Voltage for Driving LCD
VRTC	: RTC Power Supply
V_{SS}	: Ground
X1, X2	: Crystal Oscillator (Main System Clock)
XT1, XT2	: Crystal Oscillator (Subsystem Clock)

1. 5 ブロック図

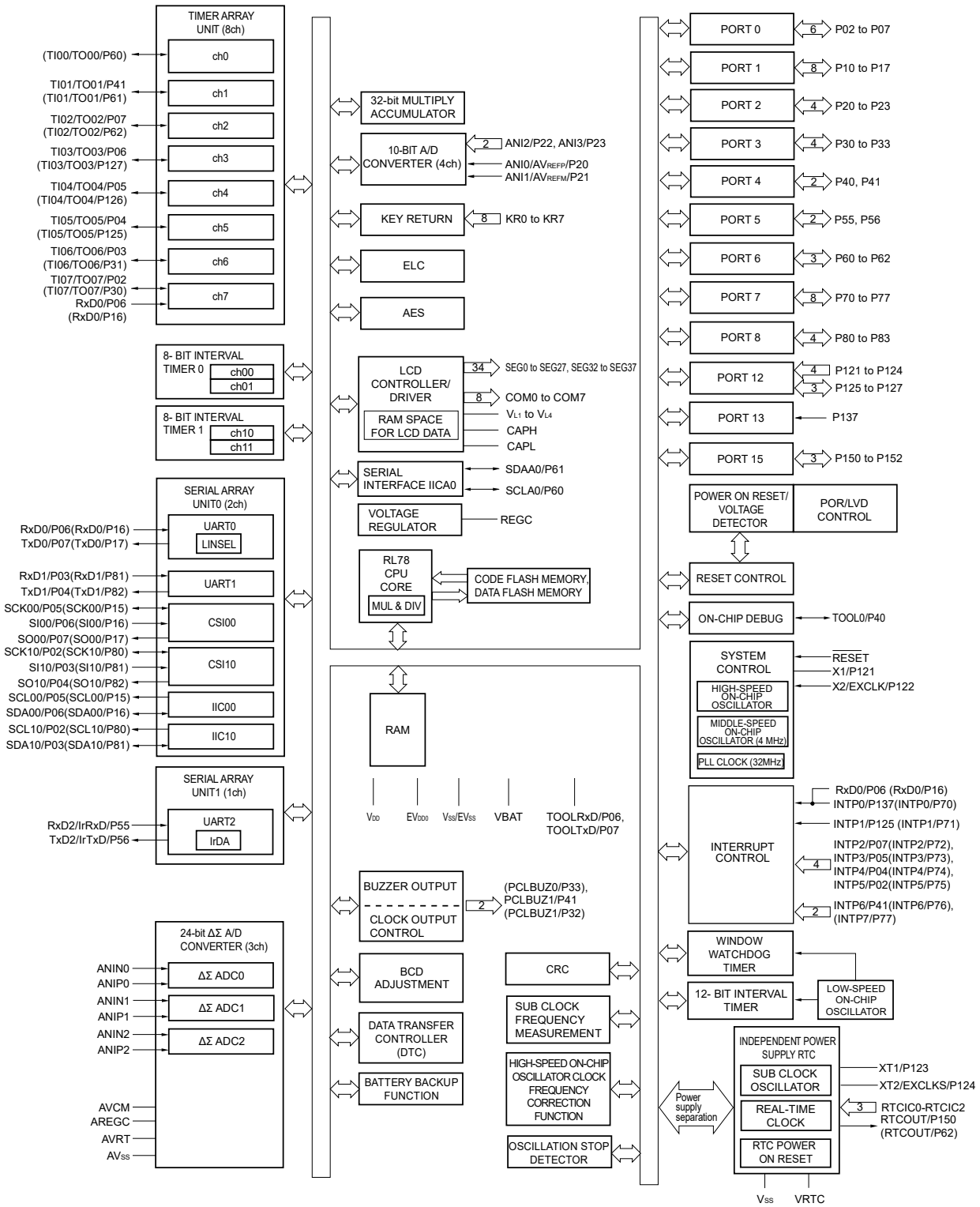
1. 5. 1 64ピン製品



注 R5F10Nのみ

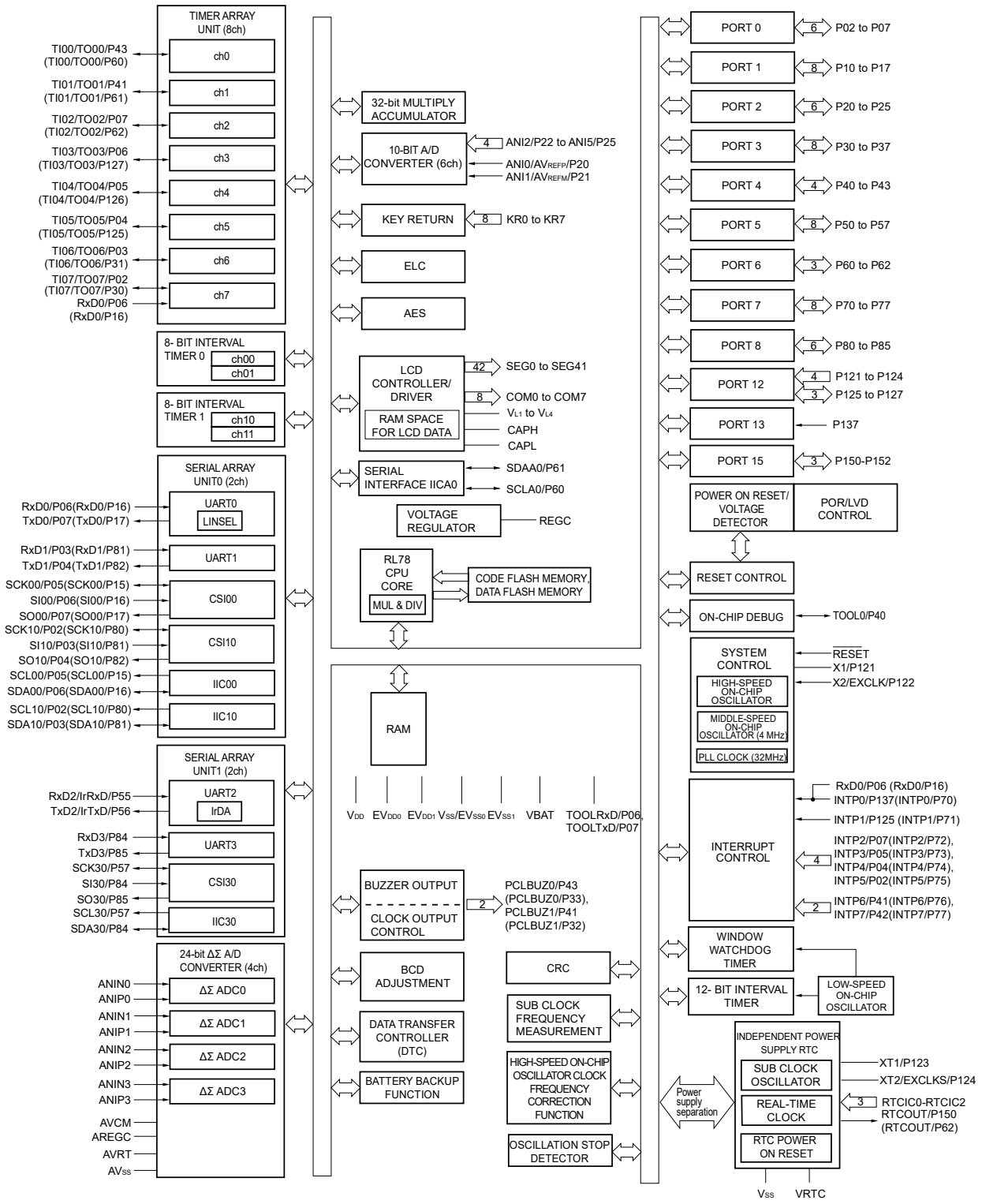
備考 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

1. 5. 2 80ピン製品



備考 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

1. 5. 3 100ピン製品



備考 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

1. 6 機能概要

（1/3）

項 目		64ピン		80ピン			100ピン	
		R5F10NLEDFB/ R5F11TLEDFB	R5F10NLGDFB/ R5F11TLGDFB	R5F10NMEDFB	R5F10NMGDFB	R5F10NMJDFB	R5F10NPGDFB	R5F10NPJDFB
コード・フラッシュ・メモリ		64 KB	128 KB	64 KB	128 KB	256 KB	128 KB	256 KB
データ・フラッシュ・メモリ		2KB						
RAM		6 KB	8 KB注1	6 KB	8 KB注1	16 KB注2	8 KB	16 KB注2
アドレス空間		1 Mバイト						
メイン・システム・クロック	高速システム・クロック	X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） HS（高速メイン）モード： 1～20 MHz（V_{DD} = 2.7～5.5 V）， HS（高速メイン）モード： 1～16 MHz（V_{DD} = 2.5～5.5 V）， HS（高速メイン）モード： 1～12 MHz（V_{DD} = 2.4～5.5 V）， HS（高速メイン）モード： 1～6 MHz（V_{DD} = 2.1～5.5 V）， LS（低速メイン）モード： 1～8 MHz（V_{DD} = 1.9～5.5 V）， LV（低電圧メイン）モード： 1～4 MHz（V_{DD} = 1.7～5.5 V）， LP（低電力メイン）モード： 1 MHz（V_{DD} = 1.9～5.5 V）						
	高速オンチップ・オシレータ・クロック（f_{IH}） Max：24 MHz	HS（高速メイン）モード： 1～24 MHz（V_{DD} = 2.7～5.5 V）， HS（高速メイン）モード： 1～16 MHz（V_{DD} = 2.5～5.5 V）， HS（高速メイン）モード： 1～12 MHz（V_{DD} = 2.4～5.5 V）， HS（高速メイン）モード： 1～6 MHz（V_{DD} = 2.1～5.5 V）， LS（低速メイン）モード： 1～8 MHz（V_{DD} = 1.9～5.5 V）， LV（低電圧メイン）モード： 1～4 MHz（V_{DD} = 1.7～5.5 V）， LP（低電力メイン）モード： 1 MHz（V_{DD} = 1.9～5.5 V）						
	中速オンチップ・オシレータ・クロック（f_{IM}） Max： 4 MHz							
	PLLクロック（f_{PLL}）	－				HS（高速メイン）モード： 32 MHz（V_{DD} = 2.8～5.5 V）		
サブシステム・クロック	サブシステム・クロック発振回路クロック（f_{SX}）	XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz（TYP.）：V_{DD} = 1.7～5.5 V						
	低速オンチップ・オシレータ・クロック（f_{IL}）	15 kHz（TYP.）：V_{DD} = 1.7～5.5 V						
高速オンチップ・オシレータ・クロック周波数補正機能		サブシステム・クロックによる高速オンチップ・オシレータ・クロックの周波数補正						
汎用レジスタ		8ビット×8レジスタ×4バンク						
最小命令実行時間		0.03125 μs（PLLクロック32 MHz選択時）						
		0.04167 μs（高速オンチップ・オシレータ・クロック：f_{IH} = 24 MHz動作時）						
		30.5 μs（サブシステム・クロック：f_{SUB} = 32.768 kHz動作時）						
		66.6 μs（低速オンチップ・オシレータ・クロック15 kHz動作時）						
命令セット		・データ転送（8/16ビット） ・加減／論理演算（8/16ビット） ・乗算（16×16ビット），除算（32÷32ビット） ・積和演算（16×16＋32ビット） ・ローテート，バレル・シフト，ビット操作（セット，リセット，テスト，ブール演算）など						

注1. 8 Kバイトの場合，セルフ・プログラミング機能使用時は約7 KB

2. 16 Kバイトの場合，セルフ・プログラミング機能使用時は約15 KB

（2/3）

項　目		64ピン		80ピン			100ピン	
		R5F10NLEDFB/ R5F11TLEDFB	R5F10NLGDFB/ R5F11TLGDFB	R5F10NMEDFB	R5F10NMGDFB	R5F10NMJDFB	R5F10NPGDFB	R5F10NPJDFB
I/Oポート	合計	35		52			68	
	CMOS入出力	27		44			60	
	CMOS入力	5		5			5	
	CMOS出力	—		—			—	
	N-ch O.D.入出力 （6 V耐圧）	3		3			3	
タイマ	16ビット・タイマTAU	8チャネル						
	ウォッチドッグ・タイマ	1チャネル						
	12ビット・インターバル・タイマ	1チャネル						
	8/16ビット・インターバル・タイマ	4チャネル（8ビット）／2チャネル（16ビット）						
	独立電源リアルタイム・クロック（RTC）	1チャネル						
	発振停止検出回路	1チャネル						
	タイマ出力	タイマ：出力8本 PWM出力：7本注						
	RTC出力	1本 ・1 Hz/64 Hz（サブ・クロック：f_{SX} = 32.768 kHz）						
	RTC時間キャプチャ入力	なし		3チャネル				
クロック出力／ブザー出力		2本						
		・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz （メイン・システム・クロック：f_{MAIN} = 20 MHz動作時） ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz （サブ・クロック：f_{SX} = 32.768 kHz動作時）						
10ビット分解能A/Dコンバータ		4チャネル		4チャネル			6チャネル	
24ビットΔΣA/Dコンバータ		4チャネル		3チャネル			4チャネル	
	SNDR	TYP. 80 dB（ゲイン×1） MIN. 69 dB（ゲイン×16） MIN. 65 dB（ゲイン×32）						
	サンプリング周波数	3.906 kHz/1.953 kHz						
	PGA	×1，×2，×4，×8，×16，×32						
シリアル・インタフェース	簡易SPI（CSI）／UART／簡易I^2C	2チャネル		2チャネル			3チャネル	
	UART／IrDA	1チャネル						
	I^2Cバス	1チャネル						
32ビット積和演算器		乗算：32ビット×32ビット＝64ビット（符号付/なし）（5クロック） 積和演算：32ビット×32ビット＋64ビット＝64ビット（符号付/なし）（5クロック）						
データ・トランスファ・コントローラ（DTC）		36要因					38要因	
イベント・リンク・コントローラ（ELC）	イベント入力	9						
	イベント・トリガ出力	13						

注　マスタの数と使用チャネルの設定によって，出力数は変わります（**8. 9. 3　多重PWM出力機能としての動作**参照）。

（3/3）

項 目		64ピン		80ピン			100ピン	
		R5F10NLEDFB/ R5F11TLEDFB	R5F10NLGDFB/ R5F11TLGDFB	R5F10NMEDFB	R5F10NMGDFB	R5F10NMJDFB	R5F10NPGDFB	R5F10NPJDFB
LCDコントローラ／ドライバ		内部昇圧／容量分割／外部抵抗分割の切り替えが可能						
	セグメント信号出力	19（15）本注1		34（30）本注1			42（38）本注1	
	コモン信号出力	4（8）本注1						
ベクタ割り込み要因	内部	41		41			44	
	外部	9		12			12	
キー割り込み		5		8				
AES回路（R5F10Nのみ）		暗号利用モード：GCM/ECB/CBC 暗号鍵長：128/192/256ビット						
リセット	MCU	・$\overline{\text{RESET}}$端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・内部V_{DD}注2電源のパワーオン・リセットによる内部リセット ・内部V_{DD}注2電源の電圧検出回路による内部リセット ・不正命令の実行による内部リセット注3 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット						
	RTC	RTCパワーオン・リセットによるRTC回路リセット						
パワーオン・リセット回路	内部 V_{DD} 注2	・パワーオン・リセット ：1.51 V（TYP.） ・パワーダウン・リセット：1.50 V（TYP.）						
	VRTC	・RTCパワーオン・リセット ：1.52 V（TYP.） ・RTCパワーダウン・リセット：1.50 V（TYP.）						
電圧検出回路	内部 V_{DD} 注2	・立ち上がり：1.77 V～4.06 V（13段階） ・立ち下がり：1.73 V～3.98 V（13段階）						
	V_{DD}	・立ち上がり：2.53 V～3.77 V（6段階） ・立ち下がり：2.46 V～3.70 V（6段階）						
	VBAT	・立ち上がり：2.11 V～2.73 V（7段階） ・立ち下がり：2.05 V～2.67 V（7段階）						
	VRTC	・立ち上がり：2.22 V～2.84 V（7段階） ・立ち下がり：2.16 V～2.78 V（7段階）						
	EXLVD	・立ち上がり：1.33 V ・立ち下がり：1.28 V						
バッテリ・バックアップ機能	CPU	V_{DD}/VBAT						
	ΔΣA/D コンバータ	V_{DD}/VBAT						
	RTC	VRTC（独立電源）						
オンチップ・デバッグ機能		あり						
電源電圧		V_{DD} = 1.7～5.5 V						
動作周囲温度		T_A = －40～＋85 ℃						

注1. （ ）内は8 com使用時の信号出力本数です。

2. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

3. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章　端子機能

2. 1　ポート機能

端子の入出力バッファ電源は，製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2－1　各端子の入出力バッファ電源

（1）64ピン製品

電源	対応する端子
V_{DD}	P20-P23, P121-P124, P137以外のポート端子[注1]
V_{DD}またはVBAT[注2, 3]	・P20-P23, P121-P122, P137 ・$\overline{\text{RESET}}$, REGC ・ANIP0-ANIP3, ANIN0-ANIN3
VRTC	P123-P124

（2）80ピン製品

電源	対応する端子
EV_{DD}	P20-P23, P121-P124, P137, P150-P152以外のポート端子[注1]
V_{DD}またはVBAT[注2, 3]	・P20-P23, P121-P122, P137, P150-P152 ・RTCIC0-RTCIC2 ・$\overline{\text{RESET}}$, REGC ・ANIP0-ANIP2, ANIN0-ANIN2
VRTC	P123-P124

（3）100ピン製品

電源	対応する端子
EV_{DD0}	P20-P25, P121-P124, P137, P150-P152以外のポート端子[注1]
V_{DD}またはVBAT[注2, 3]	・P20-P25, P121-P122, P137, P150-P152 ・RTCIC0-RTCIC2 ・$\overline{\text{RESET}}$, REGC ・ANIP0-ANIP3, ANIN0-ANIN3
VRTC	P123-P124

注 1. バッテリ・バックアップ機能を使用する場合，VBAT端子からの給電に切替わった際も，本端子の内部I/Oバッファの電源はV_{DD}端子から給電されています。V_{DD}端子の電源がなくなる場合は，入力電圧が絶対最大定格を超えないよう注意してください。

2. バッテリ・バックアップ機能によりI/Oバッファの電源供給端子が切り替わります。

3. 「V_{DD}またはVBAT」と定義されている端子の入出力信号の電圧は，I/Oバッファの供給電圧に合わせる必要があります。

各ポートで設定した入出力やバッファ，プルアップ抵抗は，兼用機能に対しても有効です。

2. 1. 1　64ピン製品

（1/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P05	8-5-10	入出力	入力ポート	SCK00/SCL00/TI04/TO04/INTP3	ポート0。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P05, P06の入力はTTL入力バッファに設定可能。 P05-P07の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P06				SI00/RxD0/TI03/TO03/SDA00/INTP4/TOOLRxD	
P07	7-5-10			SO00/TxD0/TI02/TO02/INTP2/TOOLTxD	
P10	7-5-4	入出力	デジタル入力無効[注1]	SEG4	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P12, P13, P15, P16の入力はTTL入力バッファに設定可能。 P12-P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 LCD出力に設定可能[注2]。
P11				SEG5	
P12	8-5-10			SEG6/SCK10/SCL10	
P13				SEG7/INTP6/SI10/RxD1/SDA10/	
P14	7-5-10			SEG8/SO10/TxD1	
P15	8-5-10			SEG9/(SCK00)/(SCL00)	
P16				SEG10/INTP7/(SI00)/(RxD0)/(SDA00)	
P17	7-5-10			SEG11/(SO00)/(TxD0)	
P20	4-3-3	入出力	アナログ入力	AV_{REFP}/ANI0	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注3]。
P21				AV_{REFM}/ANI1	
P22	4-17-1			ANI2/EXLVD	
P23	4-3-3			ANI3	
P30	8-5-10	入出力	デジタル入力無効[注1]	SEG24/INTP5/TI07/TO07/RxD2/IrRxD	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能[注2]。 P30の入力はTTL入力バッファに設定可能。 P31の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P31	7-5-10			SEG25/TI06/TO06/TxD2/IrTxD	

注 1.　デジタル入力無効状態とは，デジタル出力，デジタル入力，LCD出力のいずれもが無効な状態を示します。

2.　各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx）および，LCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

3.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。
詳細は，**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

（2/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。
P43				TI00/TO00/PCLBUZ0/RTCOUT	
P60	12-1-2	入出力	入力ポート	SCLA0/(TI00)/(TO00)	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-62の出力はN-chオープン・ドレイン出力（6V耐圧）に設定可能。
P61				SDAA0/(TI01)/(TO01)	
P62	12-1-1			(TI02)/(TO02)/(RTCOUT)	
P70	7-5-4	入出力	デジタル入力無効[注1]	SEG16/KR0/(INTP0)	ポート7。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能[注2]。
P71				SEG17/KR1 /(INTP1)	
P72				SEG18/KR2/TI01/TO01/(INTP2)	
P73				SEG19/KR3/(INTP3)/(PCLBUZ1)	
P74				SEG20/KR4/(INTP4) /(PCLBUZ0)	
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127は，1ビット単位で入力／出力の指定が可能。 P125-P127は，入力ポートではソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P125-P127はLCD出力に設定可能[注2]。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル入力無効[注1]	V_{L3}/INTP1/TI05/TO05/PCLBUZ1	
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127				CAPH/(TI03)/(TO03)	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
$\overline{\text{RESET}}$	3-1-1	入力	－	－	外部リセット用の入力専用端子。 常時内蔵プルアップ抵抗を使用可能。 外部リセットを使用しない場合は，オープンにしてください。

注 1.　デジタル入力無効状態とは，デジタル出力，デジタル入力，LCD出力のいずれもが無効な状態を示します。

2.　各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx）および，LCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。
詳細は，**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

2. 1. 2　80ピン製品

（1/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P02	8-5-10	入出力	デジタル入力無効[注1]	SEG32/SCK10/SCL10/TI07/TO07/INTP5	ポート0。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P02, P03, P05, P06の入力はTTL入力バッファに設定可能。 P02-P07の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P03				SEG33/SI10/RxD1/TI06/TO06/SDA10	
P04	7-5-10			SEG34/SO10/TxD1/TI05/TO05/INTP4	
P05	8-5-10			SEG35/SCK00/SCL00/TI04/TO04/INTP3	
P06				SEG36/SI00/RxD0/TI03/TO03/SDA00/TOOLRxD	
P07	7-5-10			SEG37/SO00/TxD0/TI02/TO02/INTP2/TOOLTxD	
P10	7-5-4	入出力	デジタル入力無効[注1]	SEG4	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P15, P16の入力はTTL入力バッファに設定可能。 P15-P17の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 LCD出力に設定可能[注2]。
P11				SEG5	
P12				SEG6	
P13				SEG7	
P14				SEG8	
P15	8-5-10			SEG9/(SCK00)/(SCL00)	
P16				SEG10/(SI00)/(RxD0)/(SDA00)	
P17	7-5-10			SEG11/(SO00)/(TxD0)	
P20	4-3-3	入出力	アナログ入力	AV_{REFP}/ANI0	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注3]。
P21				AV_{REFM}/ANI1	
P22	4-17-1			ANI2/EXLVD	
P23	4-3-3			ANI3	
P30	7-5-4	入出力	デジタル入力無効[注1]	SEG24/(TI07)/(TO07)	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能[注2]。
P31				SEG25/(TI06)/(TO06)	
P32				SEG26/(PCLBUZ1)	
P33				SEG27/(PCLBUZ0)	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。
P41	8-1-3			TI01/TO01/PCLBUZ1/INTP6	

注 1.　デジタル入力無効状態とは，デジタル出力，デジタル入力，LCD出力のいずれもが無効な状態を示します。

2.　各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx）および，LCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

3.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。
詳細は，**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

（2/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P55	8-5-10	入出力	入力ポート	RxD2/IrRxD	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P55の入力はTTL入力バッファに設定可能。 P56の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P56				TxD2/IrTxD	
P60	12-1-2	入出力	入力ポート	SCLA0/(TI00)/(TO00)	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-62の出力はN-chオープン・ドレイン出力（6 V耐圧）に設定可能。
P61				SDAA0/(TI01)/(TO01)	
P62	12-1-1			(TI02)/(TO02)/(RTCOUT)	
P70	7-5-4	入出力	デジタル入力無効[注1]	SEG16/KR0/(INTP0)	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能[注2]。
P71				SEG17/KR1/(INTP1)	
P72				SEG18/KR2/(INTP2)	
P73				SEG19/KR3/(INTP3)	
P74				SEG20/KR4/(INTP4)	
P75				SEG21/KR5/(INTP5)	
P76				SEG22/KR6/(INTP6)	
P77				SEG23/KR7/(INTP7)	
P80	8-5-10	入出力	デジタル入力無効[注1]	SEG12/(SCL10)/(SCK10)	ポート8。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P80, P81の入力はTTL入力バッファに設定可能。 P80-P82の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 LCD出力に設定可能[注2]。
P81				SEG13/(RxD1)/(SDA10)/(SI10)	
P82	7-5-10			SEG14/(TxD1) /(SO10)	
P83	7-5-4			SEG15	
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127は，1ビット単位で入力／出力の指定が可能。 P125-P127は，入力ポートではソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P125-P127はLCD出力に設定可能[注2]。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル入力無効[注1]	V_{L3}/INTP1/(TI05)/(TO05)	
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127				CAPH/(TI03)/(TO03)	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

注 1.　デジタル入力無効状態とは，デジタル出力，デジタル入力，LCD出力のいずれもが無効な状態を示します。

2.　各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx）および，LCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。詳細は，**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

（3/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P150	4-3-6	入出力	入力ポート	RTCOUT/RTCIC0	ポート15。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P151				RTCIC1	
P152				RTCIC2	
$\overline{\text{RESET}}$	3-1-1	入力	－	－	外部リセット用の入力専用端子。 常時内蔵プルアップ抵抗を使用可能。 外部リセットを使用しない場合は，オープンにしてください。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。
詳細は，**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

2. 1. 3　100ピン製品

（1/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P02	8-5-10	入出力	入力ポート	SCK10/SCL10/TI07/TO07/INTP5	ポート0。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P02, P03, P05, P06の入力はTTL入力バッファに設定可能。 P02-P07の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P03				SI10/RxD1/TI06/TO06/SDA10	
P04	7-5-10			SO10/TxD1/TI05/TO05/INTP4	
P05	8-5-10			SCK00/SCL00/TI04/TO04/INTP3	
P06				SI00/RxD0/TI03/TO03/SDA00/TOOLRxD	
P07	7-5-10			SO00/TxD0/TI02/TO02/INTP2/TOOLTxD	
P10	7-5-4	入出力	デジタル入力無効[注1]	SEG4	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P15, P16の入力はTTL入力バッファに設定可能。 P15-P17の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 LCD出力に設定可能[注2]。
P11				SEG5	
P12				SEG6	
P13				SEG7	
P14				SEG8	
P15	8-5-10			SEG9/(SCK00)/(SCL00)	
P16				SEG10/(SI00)/(RxD0)/(SDA00)	
P17	7-5-10			SEG11/(SO00)/(TxD0)	
P20	4-3-3	入出力	アナログ入力	AV_{REFP}/ANI0	ポート2。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注3]。
P21				AV_{REFM}/ANI1	
P22	4-17-1			ANI2/EXLVD	
P23	4-3-3			ANI3	
P24				ANI4	
P25				ANI5	

注 1.　デジタル入力無効状態とは，デジタル出力，デジタル入力，LCD出力のいずれもが無効な状態を示します。

2.　各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx）および，LCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

3.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。
詳細は，**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

（2/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P30	7-5-4	入出力	デジタル入力無効注1	SEG24/(TI07)/(TO07)	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能注2。
P31				SEG25/(TI06)/(TO06)	
P32				SEG26/(PCLBUZ1)	
P33				SEG27/(PCLBUZ0)	
P34				SEG28	
P35				SEG29	
P36				SEG30	
P37				SEG31	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。
P41	8-1-3			TI01/TO01/PCLBUZ1/INTP6	
P42				INTP7	
P43	7-1-3			TI00/TO00/PCLBUZ0	
P50	7-5-4	入出力	デジタル入力無効注1	SEG32	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P55, P57の入力はTTL入力バッファに設定可能。 P56-P57の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 LCD出力に設定可能注2。
P51				SEG33	
P52				SEG34	
P53				SEG35	
P54				SEG36	
P55	8-5-10			SEG37/RxD2/IrRxD	
P56				SEG38/TxD2/IrTxD	
P57				SEG39/SCK30/SCL30	
P60	12-1-2	入出力	入力ポート	SCLA0/(TI00)/(TO00)	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-62の出力はN-chオープン・ドレイン出力（6V耐圧）に設定可能。
P61				SDAA0/(TI01)/(TO01)	
P62	12-1-1			(TI02)/(TO02)/(RTCOUT)	

注 1.　デジタル入力無効状態とは，デジタル出力，デジタル入力，LCD出力のいずれもが無効な状態を示します。

2.　各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx）および，LCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。詳細は，**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

（3/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P70	7-5-4	入出力	デジタル入力無効注1	SEG16/KR0/(INTP0)	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能注2。
P71				SEG17/KR1/(INTP1)	
P72				SEG18/KR2/(INTP2)	
P73				SEG19/KR3/(INTP3)	
P74				SEG20/KR4/(INTP4)	
P75				SEG21/KR5/(INTP5)	
P76				SEG22/KR6/(INTP6)	
P77				SEG23/KR7/(INTP7)	
P80	8-5-10	入出力	デジタル入力無効注1	SEG12/(SCL10)/(SCK10)	ポート8。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P80，P81，P84入力はTTL入力バッファに設定可能。 P80-P82, P84, P85の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 LCD出力に設定可能注2。
P81				SEG13/(RxD1)/(SDA10)/(SI10)	
P82	7-5-10			SEG14/(TxD1) /(SO10)	
P83	7-5-4			SEG15	
P84	8-5-10			SI30/RxD3/SDA30/SEG40	
P85	7-5-10			SO30/TxD3/SEG41	
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127は，1ビット単位で入力／出力の指定が可能。 P125-P127は，入力ポートではソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P125-P127はLCD出力に設定可能注2。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル入力無効注1	V_{L3}/INTP1/(TI05)/(TO05)	
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127				CAPH/(TI03)/(TO03)	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P150	4-3-6	入出力	入力ポート	RTCOUT/RTCIC0	ポート15。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P151				RTCIC1	
P152				RTCIC2	
$\overline{\text{RESET}}$	3-1-1	入力	－	－	外部リセット用の入力専用端子。 常時内蔵プルアップ抵抗を使用可能。 外部リセットを使用しない場合は，オープンにしてください。

注 1.　デジタル入力無効状態とは，デジタル出力，デジタル入力，LCD出力のいずれもが無効な状態を示します。

2.　各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx）および，LCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。詳細は，**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

2. 2　ポート以外の機能

2. 2. 1　製品別の搭載機能

（1/2）

機能名称	100ピン	80ピン	64ピン	機能名称	100ピン	80ピン	64ピン	機能名称	100ピン	80ピン	64ピン
ANI0	○	○	○	RxD2	○	○	○	V_{L1}	○	○	○
ANI1	○	○	○	RxD3	○	—	—	V_{L2}	○	○	○
ANI2	○	○	○	TxD0	○	○	○	V_{L3}	○	○	○
ANI3	○	○	○	TxD1	○	○	○	V_{L4}	○	○	○
ANI4	○	—	—	TxD2	○	○	○	CAPH	○	○	○
ANI5	○	—	—	TxD3	○	—	—	CAPL	○	○	○
ANIN0	○	○	○	SCK00	○	○	○	X1	○	○	○
ANIN1	○	○	○	SCK10	○	○	○	X2	○	○	○
ANIN2	○	○	○	SCK30	○	—	—	EXCLK	○	○	○
ANIN3	○	—	○	SI00	○	○	○	XT1	○	○	○
ANIP0	○	○	○	SI10	○	○	○	XT2	○	○	○
ANIP1	○	○	○	SI30	○	—	—	EXCLKS	○	○	○
ANIP2	○	○	○	SO00	○	○	○	V_{DD}	○	○	○
ANIP3	○	—	○	SO10	○	○	○	EV_{DD0}	○	○	○
INTP0	○	○	○	SO30	○	—	—	EV_{DD1}	○	—	—
INTP1	○	○	○	SCL00	○	○	○	VBAT	○	○	○
INTP2	○	○	○	SCL10	○	○	○	VRTC	○	○	○
INTP3	○	○	○	SCL30	○	—	—	AV_{REFP}	○	○	○
INTP4	○	○	○	SDA00	○	○	○	AV_{REFM}	○	○	○
INTP5	○	○	○	SDA10	○	○	○	V_{SS}	○	○	○
INTP6	○	○	○	SDA30	○	—	—	EV_{SS0}	○	○	○
INTP7	○	○	○	SDAA0	○	○	○	EV_{SS1}	○	—	—
KR0	○	○	○	SCLA0	○	○	○	AVRT	○	○	○
KR1	○	○	○	IrRxD	○	○	○	AVCM	○	○	○
KR2	○	○	○	IrTxD	○	○	○	AREGC	○	○	○
KR3	○	○	○	TI00	○	○	○	AV_{SS}	○	○	○
KR4	○	○	○	TI01	○	○	○	TOOLRxD	○	○	○
KR5	○	○	—	TI02	○	○	○	TOOLTxD	○	○	○
KR6	○	○	—	TI03	○	○	○	TOOL0	○	○	○
KR7	○	○	—	TI04	○	○	○	COM0	○	○	○
RTCIC0	○	○	—	TI05	○	○	○	COM1	○	○	○
RTCIC1	○	○	—	TI06	○	○	○	COM2	○	○	○
RTCIC2	○	○	—	TI07	○	○	○	COM3	○	○	○
EXLVD	○	○	○	TO00	○	○	○	COM4	○	○	○
PCLBUZ0	○	○	○	TO01	○	○	○	COM5	○	○	○
PCLBUZ1	○	○	○	TO02	○	○	○	COM6	○	○	○
RTCOUT	○	○	○	TO03	○	○	○	COM7	○	○	○
REGC	○	○	○	TO04	○	○	○	SEG0	○	○	○
$\overline{RESET}$	○	○	○	TO05	○	○	○	SEG1	○	○	○
RxD0	○	○	○	TO06	○	○	○	SEG2	○	○	○
RxD1	○	○	○	TO07	○	○	○	SEG3	○	○	○

（2/2）

機能名称	100ピン	80ピン	64ピン	機能名称	100ピン	80ピン	64ピン	機能名称	100ピン	80ピン	64ピン
SEG4	○	○	○	SEG17	○	○	○	SEG30	○	－	－
SEG5	○	○	○	SEG18	○	○	○	SEG31	○	－	－
SEG6	○	○	○	SEG19	○	○	○	SEG32	○	○	－
SEG7	○	○	○	SEG20	○	○	○	SEG33	○	○	－
SEG8	○	○	○	SEG21	○	○	－	SEG34	○	○	－
SEG9	○	○	○	SEG22	○	○	－	SEG35	○	○	－
SEG10	○	○	○	SEG23	○	○	－	SEG36	○	○	－
SEG11	○	○	○	SEG24	○	○	○	SEG37	○	○	－
SEG12	○	○	－	SEG25	○	○	○	SEG38	○	－	－
SEG13	○	○	－	SEG26	○	○	－	SEG39	○	－	－
SEG14	○	○	－	SEG27	○	○	－	SEG40	○	－	－
SEG15	○	○	－	SEG28	○	－	－	SEG41	○	－	－
SEG16	○	○	○	SEG29	○	－	－				

2. 2. 2　機能説明

（1/2）

機能名称	入出力	機　　能
ANI0-ANI5	入力	A/Dコンバータのアナログ入力（**図15－45　アナログ入力端子の処理**参照）
ANIN0-ANIN3	入力	24ビットΔΣA/Dコンバータのアナログ入力。負側入力。
ANIP0-ANIP3	入力	24ビットΔΣA/Dコンバータのアナログ入力。正側入力。
INTP0-INTP7	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ INTP0は，内部V_{DD}で動作する端子です。バッテリ・バックアップ機能を使用する場合は，選択されている電源（V_{DD}またはVBAT）に合わせた入力閾値になります。入力可能な最大電圧は5.5 Vです。未使用の場合は，V_{DD}とVBATの高い方の電圧でプルアップしてください。
PCLBUZ0, PCLBUZ1	出力	クロック出力／ブザー出力
REGC	－	内部動作用レギュレータ出力安定容量接続。 コンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。 また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。
RTCOUT	出力	独立電源RTC（1 Hz/64 Hz）出力
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力。 常時内蔵プルアップが有効となります。 外部リセット端子を使用しない場合はオープンにしてください。
RxD0-RxD3	入力	シリアル・インタフェースUART0-UART3のシリアル・データ入力
TxD0-TxD3	出力	シリアル・インタフェースUART0-UART3のシリアル・データ出力
SCK00, SCK10, SCK30	入出力	シリアル・インタフェースCSI00, CSI10, CSI30のシリアル・クロック入力／出力
SI00, SI10, SI30	入力	シリアル・インタフェースCSI00, CSI10, CSI30のシリアル・データ入力
SO00, SO10, SO30	出力	シリアル・インタフェースCSI00, CSI10, CSI30のシリアル・データ出力
IrRxD	入力	IrDA用受信データ
IrTxD	出力	IrDA用送信データ
SCL00, SCL10, SCL30	出力	シリアル・インタフェースIIC00, IIC10, IIC30のシリアル・クロック出力
SDA00, SDA10, SDA30	入出力	シリアル・インタフェースIIC00, IIC10, IIC30のシリアル・データ入出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
TI00-TI07	入力	16ビット・タイマ00-07への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07	出力	16ビット・タイマ00-07のタイマ出力
V_{L1}-V_{L4}	－	LCD駆動用電圧
CAPH, CAPL	－	LCDコントローラ／ドライバ用コンデンサ接続
X1, X2	－	外部クロック入力で24bitΔΣ型A/Dコンバータを使用する場合は，12 MHzの発振子を接続する必要があります。
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	－	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力

（2/2）

機能名称	入出力	機　　能
V_{DD}	－	＜64ピン＞ P123-P124以外のすべての端子の正電源 24ビットΔΣA/Dコンバータの電源 ＜80ピン＞ P20-P23, P121-P122, P137, P150-P152およびポート以外の端子の正電源 24ビットΔΣA/Dコンバータの電源 ＜100ピン＞ P20-P25, P121-P122, P137, P150-P152およびポート以外の端子の正電源 24ビットΔΣA/Dコンバータの電源
EV_{DD0}, EV_{DD1}	－	ポート端子（P20-P25, P121-P124, P137, P150-P152以外）の正電源
VBAT	－	バッテリバックアップ用電源 24ビットΔΣA/Dコンバータの電源
VRTC	－	RTC用電源 P123-P124端子の正電源
AV_{REFP}	入力	A/Dコンバータの基準電圧（＋側）入力
AV_{REFM}	入力	A/Dコンバータの基準電圧（－側）入力
V_{SS}	－	＜64ピン＞ すべての端子のグランド電位 ＜80ピン＞ P20-P23, P121-P124, P137, P150-P152およびポート以外の端子のグランド電位 ＜100ピン＞ P20-P25, P121-P124, P137, P150-P152およびポート以外の端子のグランド電位
EV_{SS0}, EV_{SS1}	－	ポート端子（P20-P25, P121-P124, P137, P150-P152以外）のグランド電位
AVRT	－	24ビットΔΣA/Dコンバータの基準電圧
AVCM	－	24ビットΔΣA/Dコンバータの同相電圧
AREGC	－	24ビットΔΣA/Dコンバータのレギュレータ容量
AV_{SS}	－	24ビットΔΣA/Dコンバータのグランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力
COM0-COM7	出力	LCDコントローラ／ドライバのコモン信号出力
EXLVD	入力	外部端子低電圧検出
RTCIC0-RTCIC2	入力	RTCの時間キャプチャイベント入力
KR0-KR7	入力	キー割込み入力
SEG0-SEG41	出力	LCDコントローラ／ドライバのセグメント信号出力

注意　リセット解除時のP40/TOOL0と動作モードとの関係は，次のようになります。

表2－2　リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
EV_{DD0}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は，**36. 4　プログラミング方法**を参照してください。

備考 1. ノイズ対策およびラッチアップ対策として，V_{DD} - V_{SS}，EV_{DD0} - EV_{SS0}, EV_{DD1} - EV_{SS1}ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ，比較的太い配線を使って接続してください。

2. EV_{DD0}端子がない製品は，EV_{DD0}をV_{DD}に置き換えてください。

2. 3　未使用端子の処理

各端子の未使用端子の処理を**表2－3**に示します。

備考　製品により，搭載している端子が異なります。**1. 3　端子接続図（Top View）**，**2. 1　ポート機能**を参照してください。

表2－3　各端子の未使用端子処理（1/2）

端子名称	入出力	未使用時の推奨接続方法
P02-P07	入出力	入力時：個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P10-P17		<ポート設定時> 入力時：個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P20-P25		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。なお，バッテリ・バックアップ機能を使用する際は，個別に抵抗を介してV_{SS}に接続してください。 出力時：オープンにしてください。
P30-P37		<ポート設定時> 入力時：個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介してEV_{DD0}に接続，またはオープンにしてください。 出力時：オープンにしてください。
P41-P43		入力時：個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P50-P57		<ポート設定時> 入力時：個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P60-P62		入力時：個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。 出力時：ポートの出力ラッチに0を設定してオープン，またはポートの出力ラッチに1を設定し，個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。

備考　EV_{DD0}, EV_{SS0}端子がない製品は，EV_{DD0}をV_{DD}に，EV_{SS0}をV_{SS}に置き換えてください。

表2－3　各端子の未使用端子処理（2/2）

端子名称	入出力	未使用時の推奨接続方法
P70-P77 P80-P85	入出力	<ポート設定時> 入力時：個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P121, P122	入力	個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。なお、バッテリ・バックアップ機能を使用する場合は、個別に抵抗を介してV_{SS}に接続してください。
P123, P124	入力	個別に抵抗を介して、V_{SS}に接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して，EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P137	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。なお，バッテリ・バックアップ機能を使用する場合は，個別に抵抗を介してV_{SS}に接続してください。
P150-P152	入出力	オープンにしてください。
$\overline{\text{RESET}}$	入力	オープンにしてください。
REGC	－	コンデンサを介して，V_{SS}に接続してください（0.47～1 μF）。
COM0-COM7	出力	オープンにしてください。
ANIP0-ANIP3 ANIN0-ANIN3	入力	オープンにしてください。
V_{L1}, V_{L2}, V_{L4}	－	オープンにしてください。
VBAT	－	V_{SS}に直接接続してください。なお，VBAT端子を使用しない場合は，必ずソフトウェアでVBATENビットを0に設定してください。
VRTC	－	V_{SS}に直接接続してください
AVRT, AVCM	－	コンデンサを介して，AV_{SS}に接続してください（0.47 μF）。
AV_{SS}	－	AV_{SS}とV_{SS}を同電位に接続してください。
AREGC	－	コンデンサを介して，AV_{SS}に接続してください（0.47 μF）。

備考　EV_{DD0}, EV_{SS0}端子がない製品は，EV_{DD0}をV_{DD}に，EV_{SS0}をV_{SS}に置き換えてください。

2. 4　端子ブロック図

2. 1. 1　64ピン製品，**2. 1. 2　80ピン製品**，**2. 1. 3　100ピン製品**に記載した端子タイプについて，端子ブロック図を**図2－1～図2－15**に示します。64ピン製品では，EV_{DD1}, EV_{SS1}をV_{DD}, V_{SS}と読み替えてください。80ピン製品では，EV_{DD1}, EV_{SS1}をEV_{DD0}, EV_{SS0}と読み替えてください。

図2－1　端子タイプ2-1-2の端子ブロック図

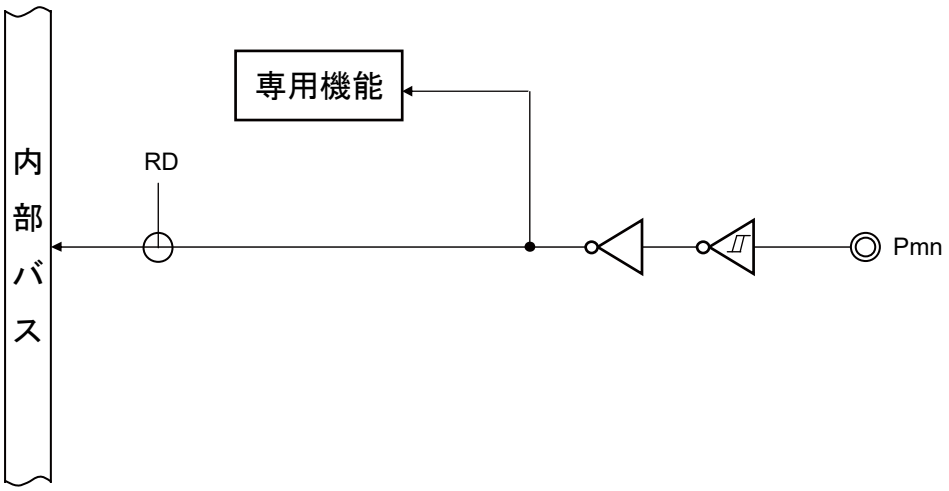
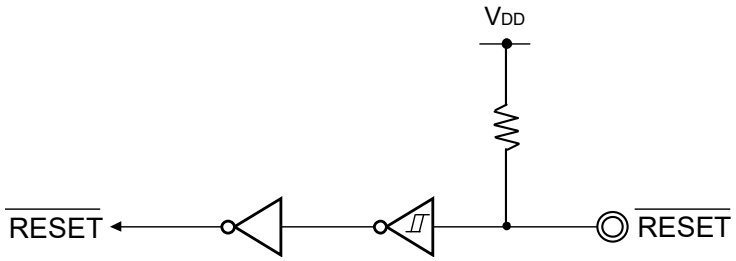
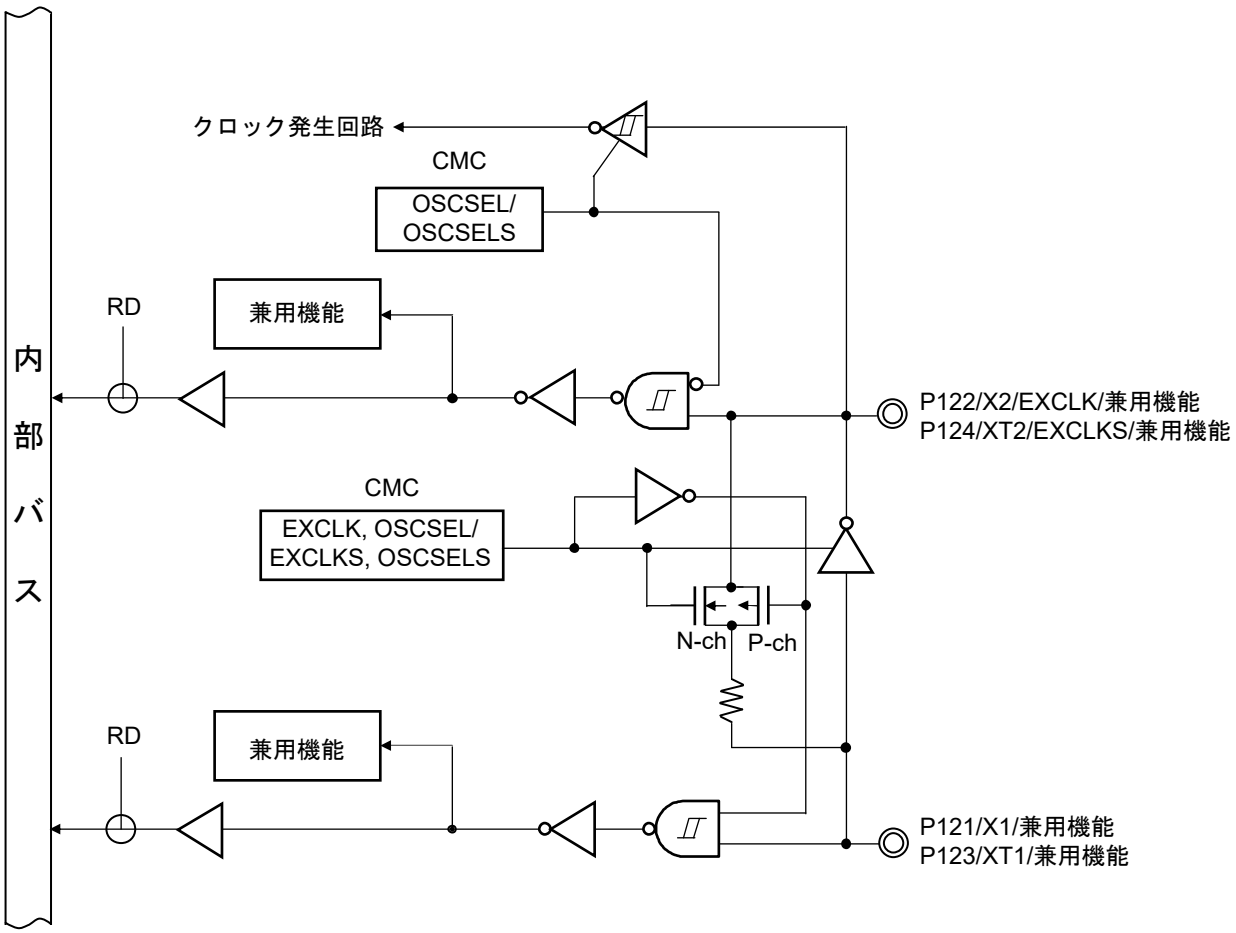


図2－2　端子タイプ3-1-1の端子ブロック図



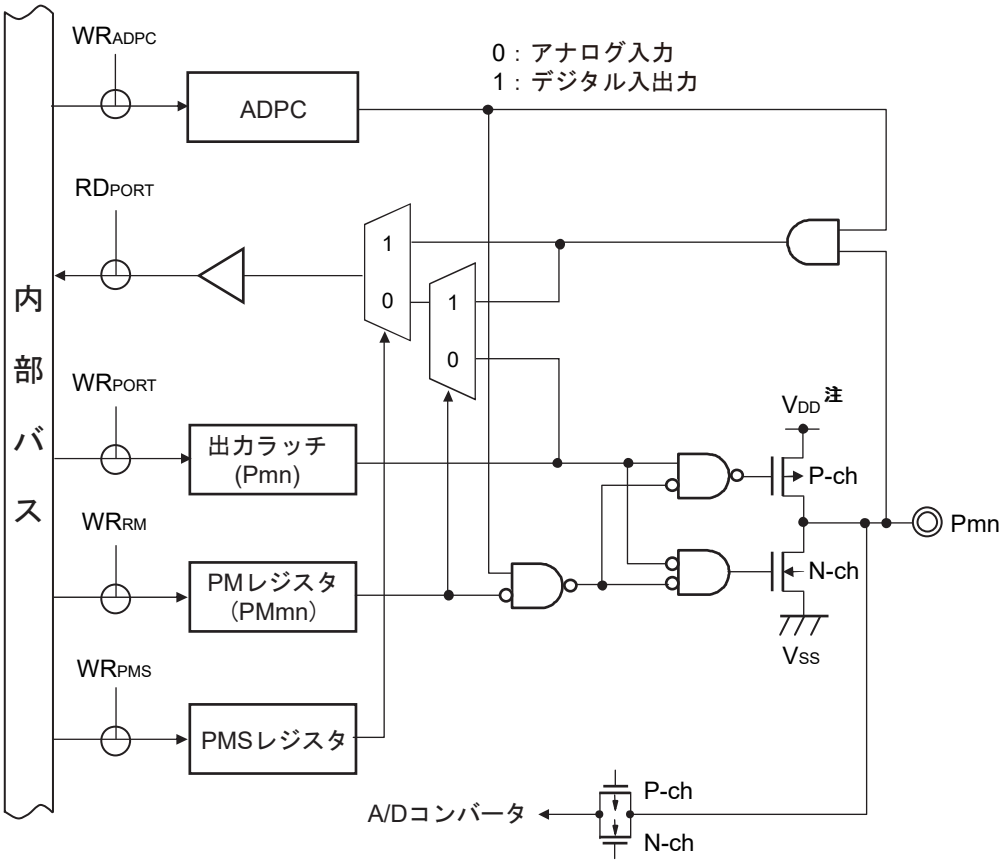
備考　兼用機能は，**2. 1　ポート機能**を参照してください。

図2－3　端子タイプ2-2-1の端子ブロック図



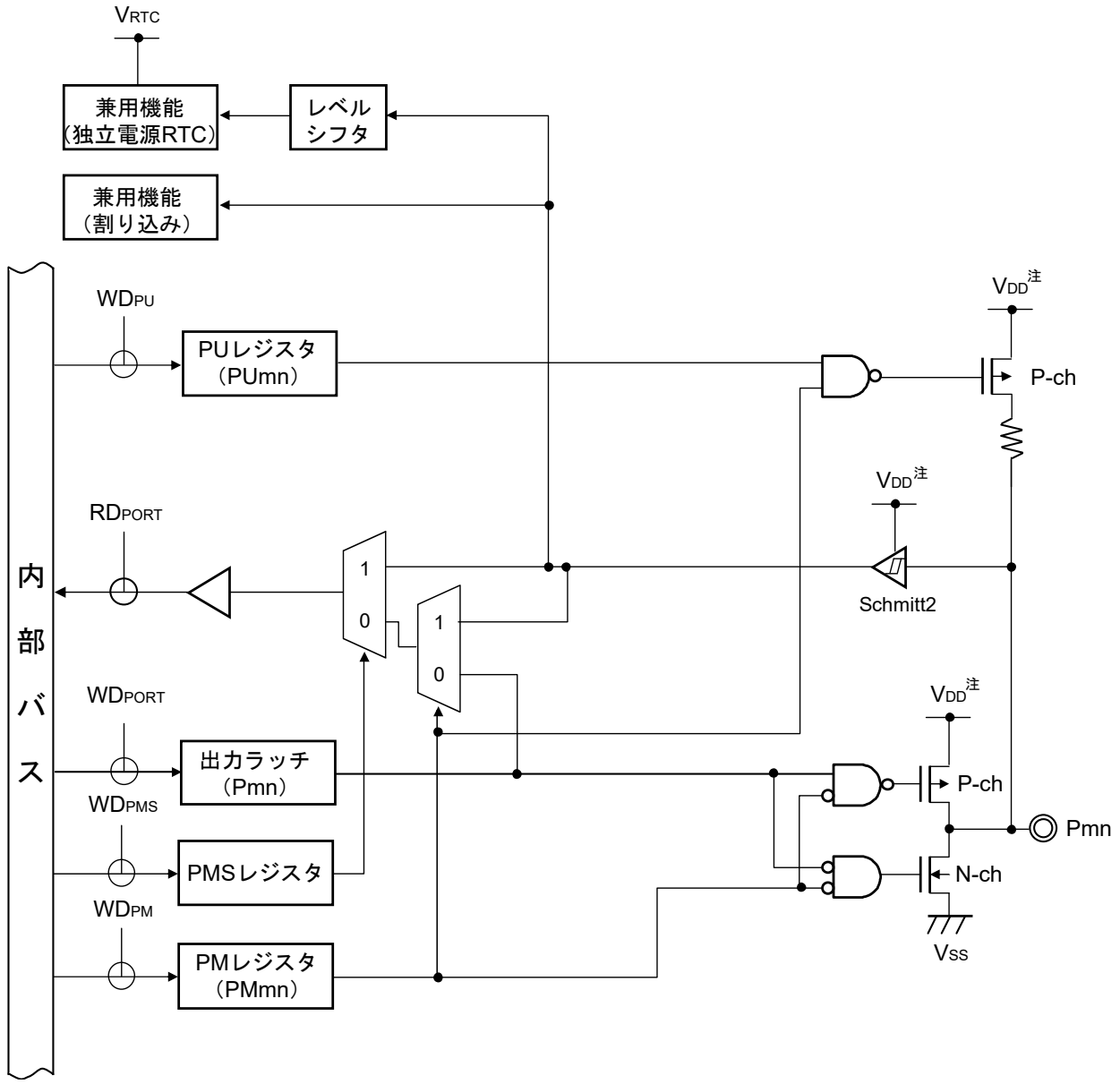
備考　兼用機能は，**2. 1　ポート機能**を参照してください。

図2－4　端子タイプ4-3-3の端子ブロック図



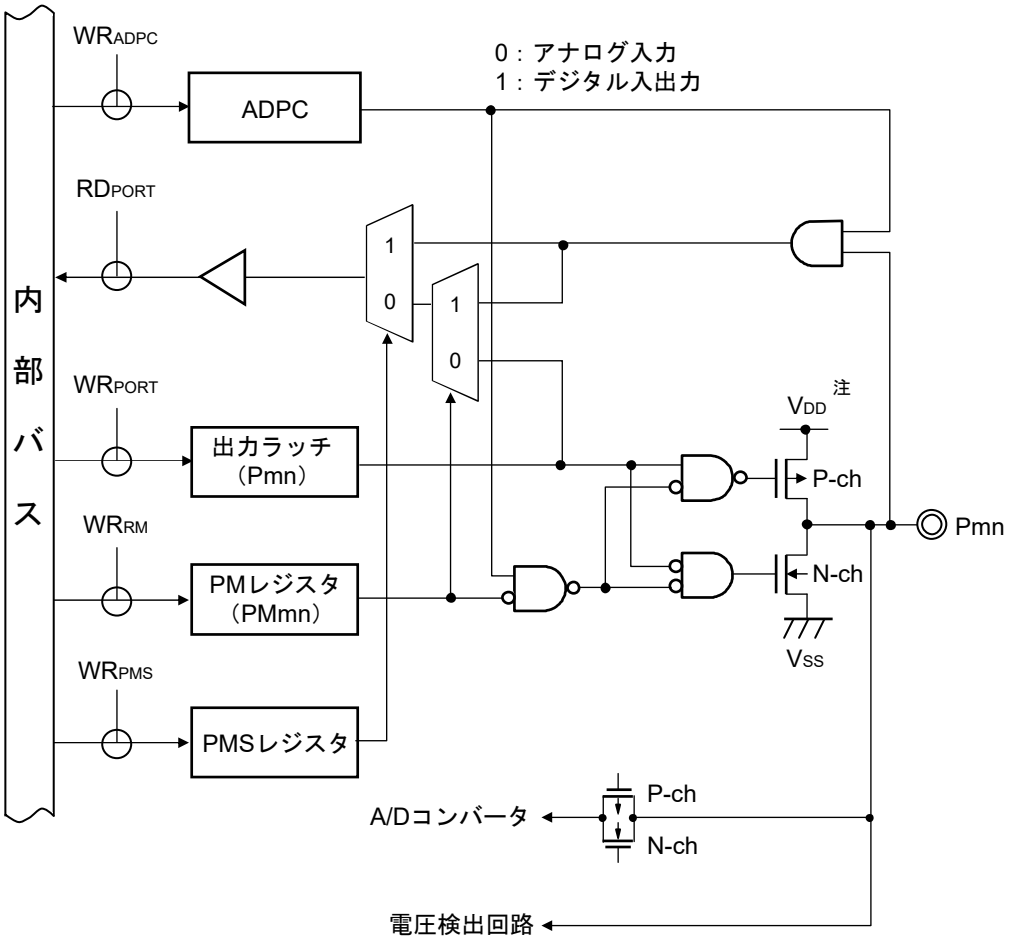
注　バッテリ・バックアップ機能で選択された電源電圧(V_{DD} 端子または VBAT 端子)です。

図2－5　端子タイプ4-3-6の端子ブロック図



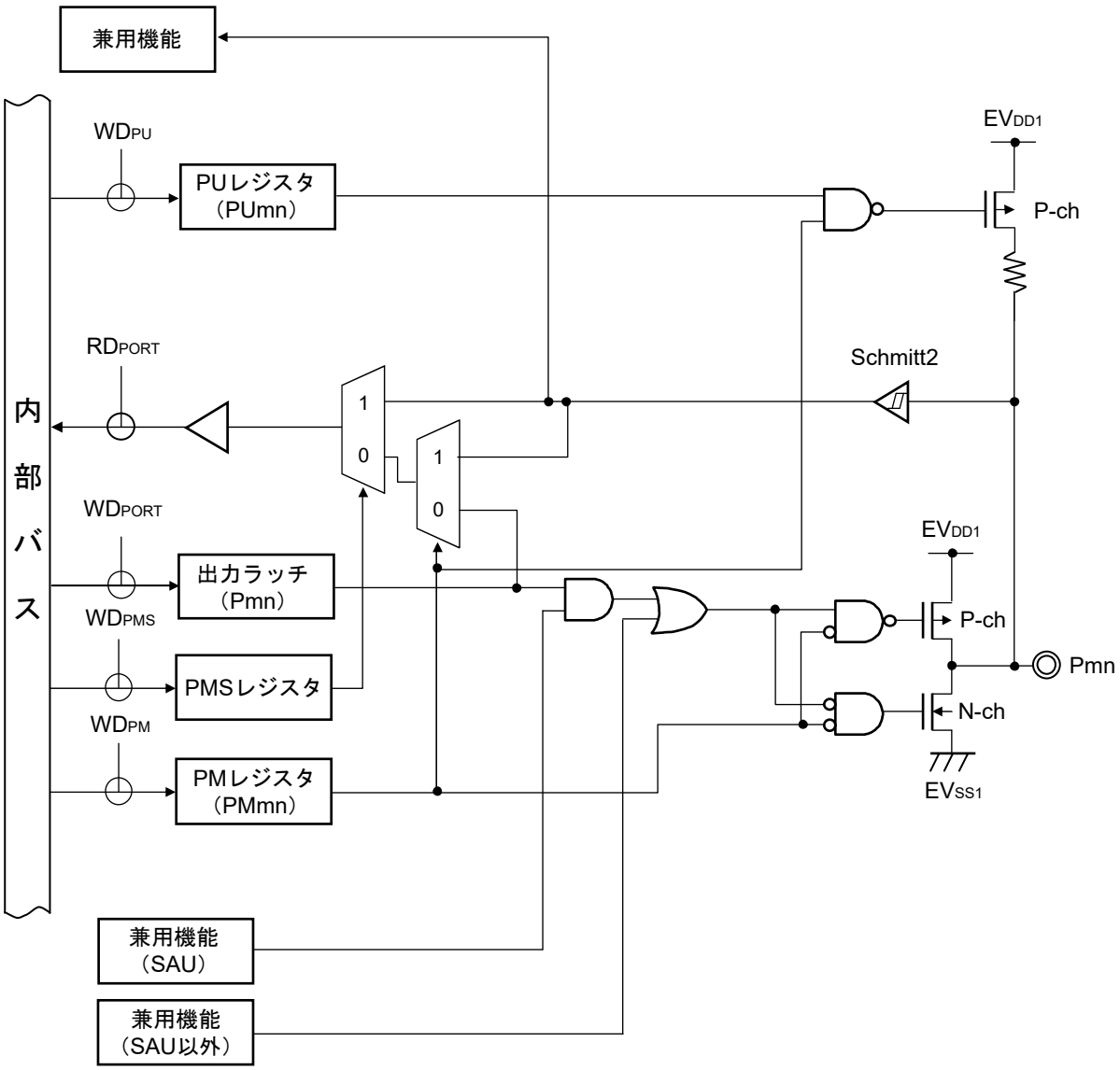
注　バッテリ・バックアップ機能で選択された電源電圧(V_{DD} 端子または VBAT 端子)です。

図2－6　端子タイプ4-17-1の端子ブロック図



注　バッテリ・バックアップ機能で選択された電源電圧(V_{DD} 端子または VBAT 端子)です。

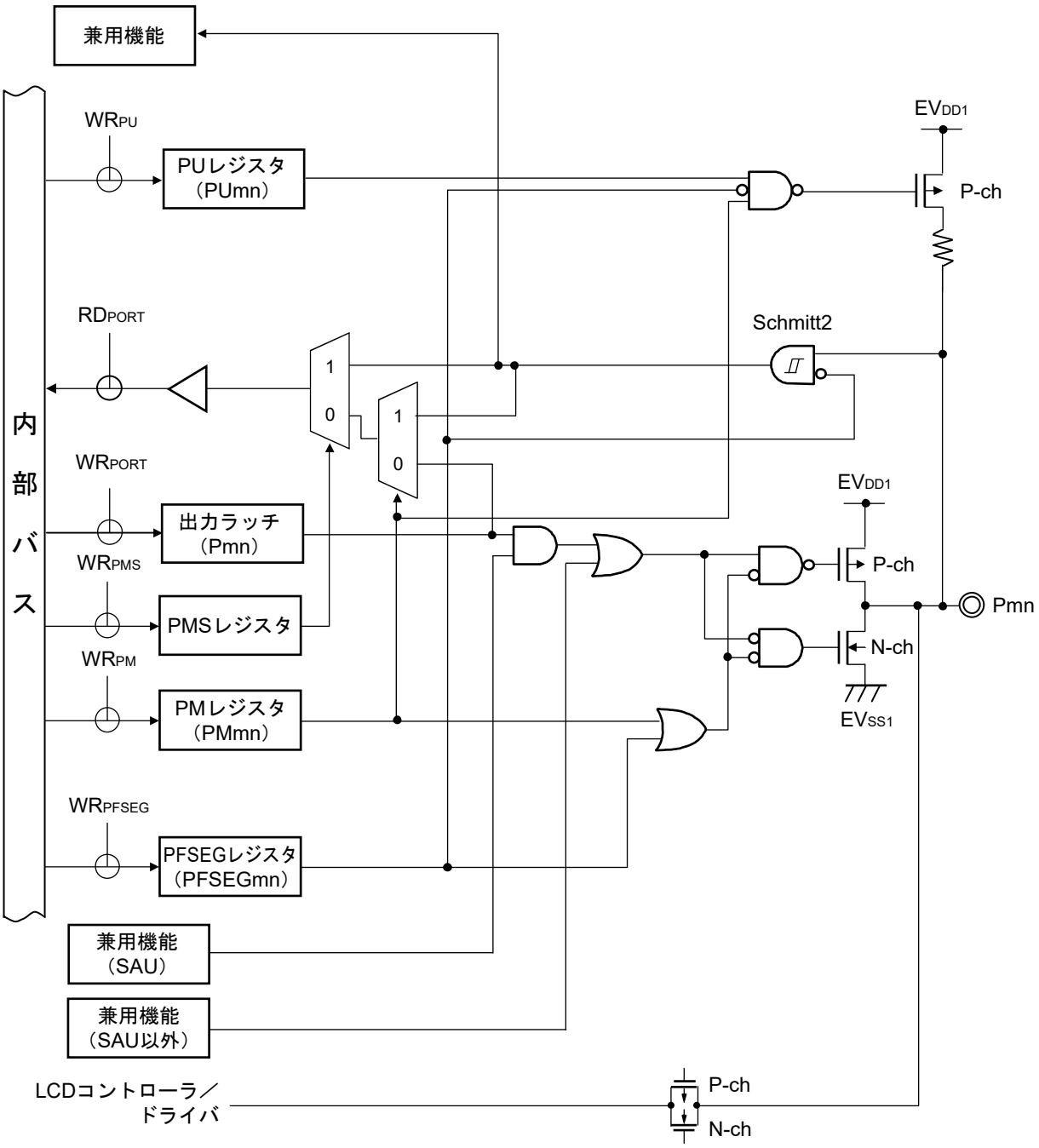
図2－7　端子タイプ7-1-3の端子ブロック図



備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

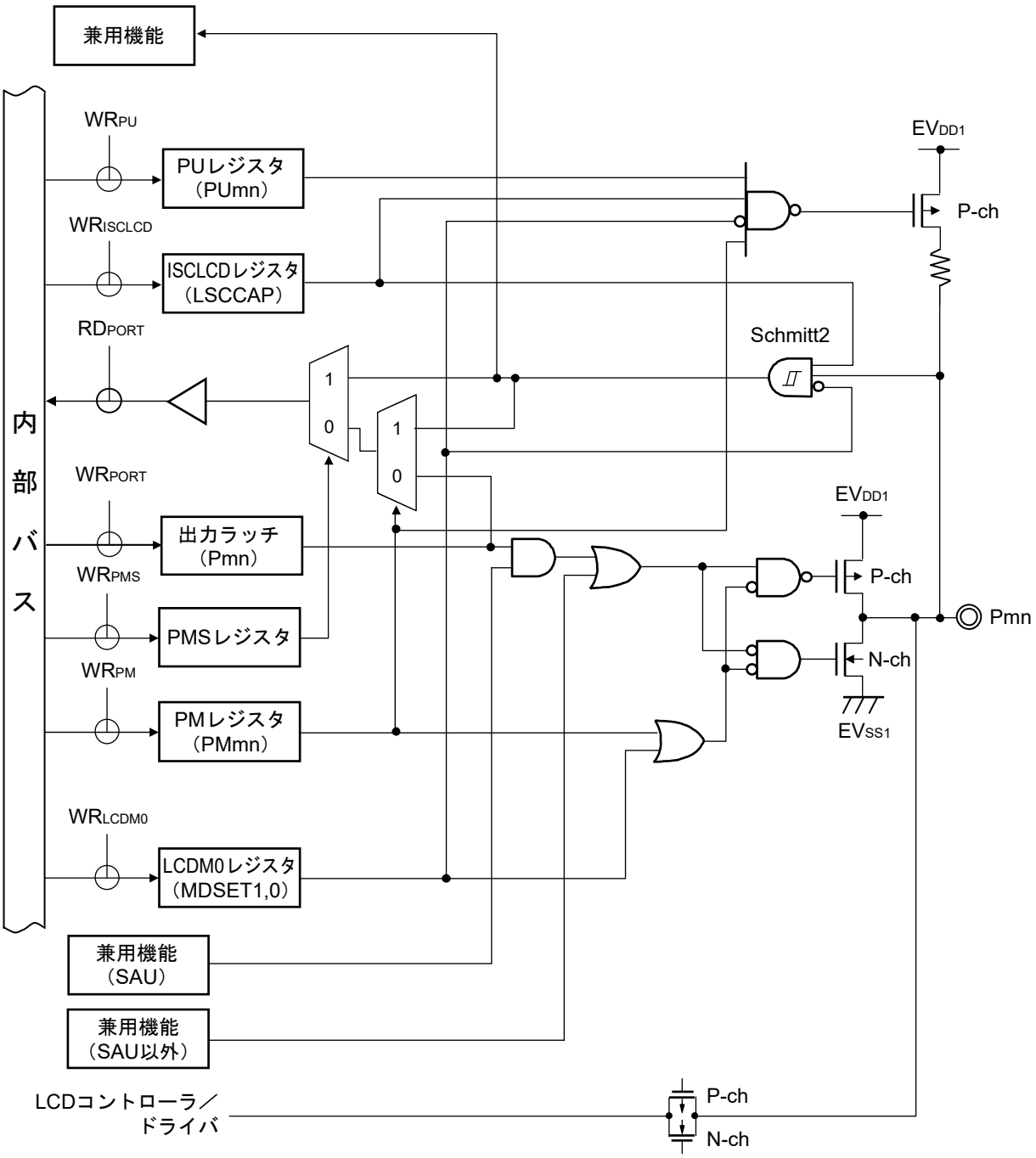
図2－8　端子タイプ7-5-4の端子ブロック図



備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

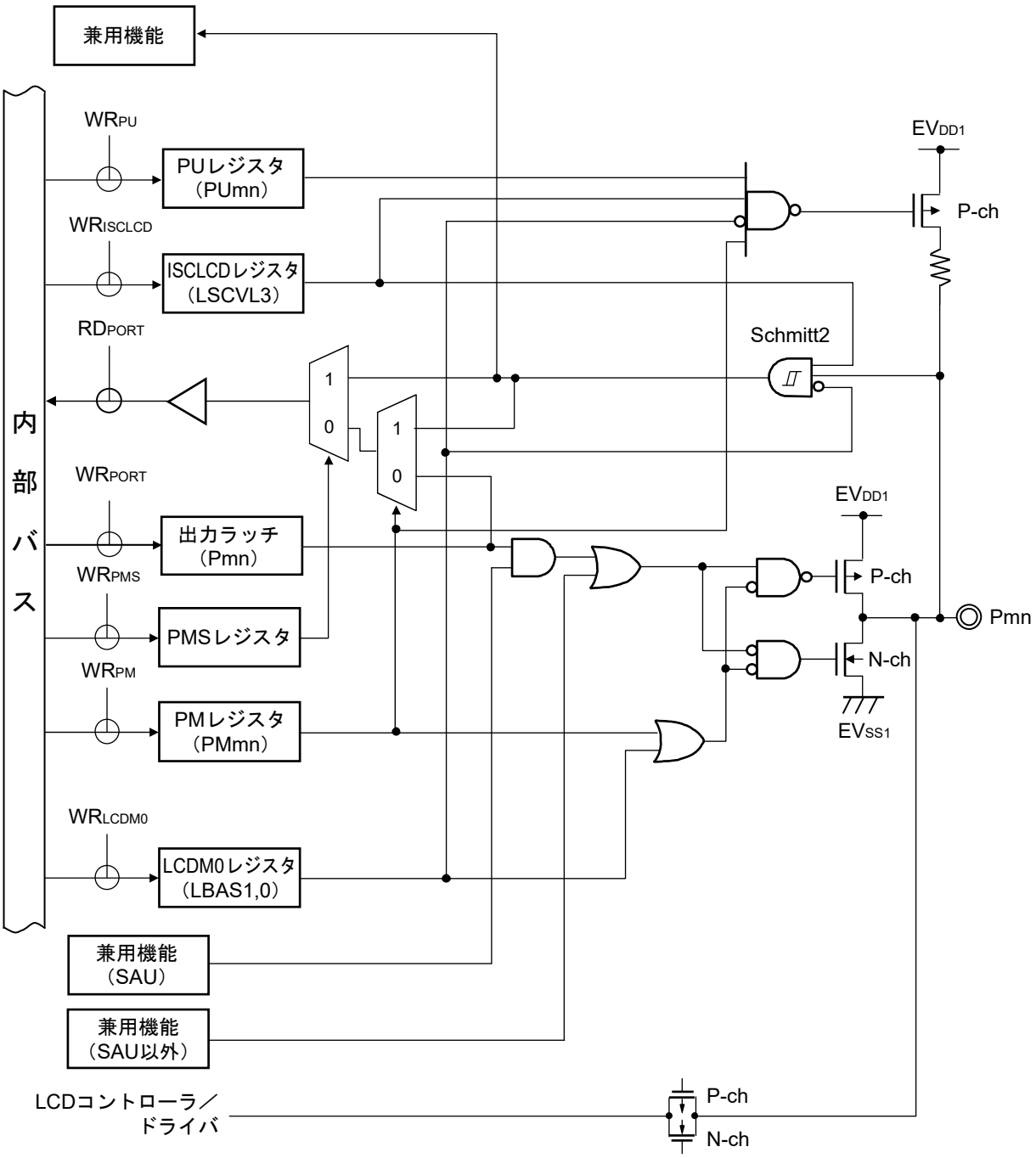
図2－9　端子タイプ7-5-5の端子ブロック図



備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

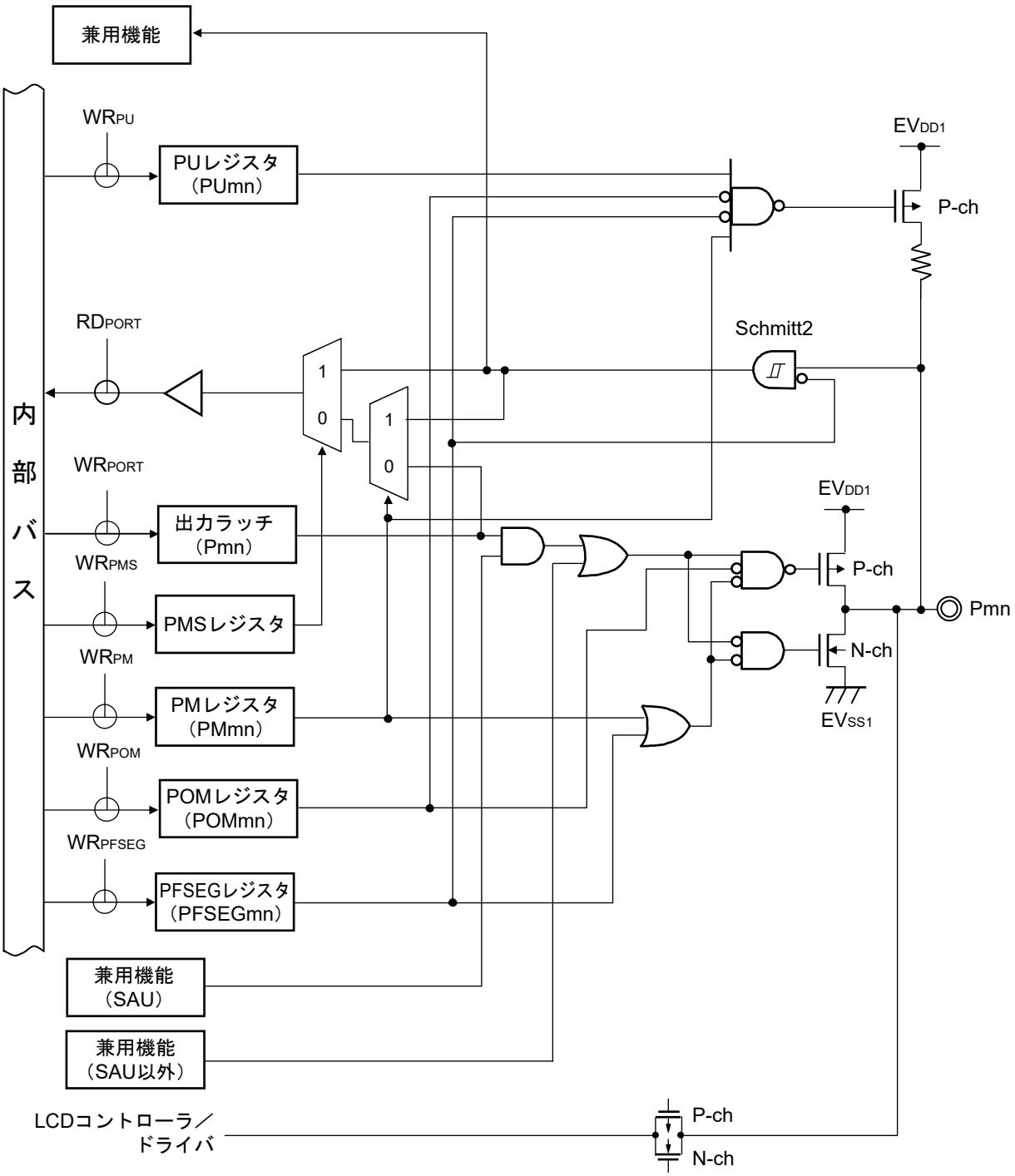
図2－10　端子タイプ7-5-6の端子ブロック図



備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－11　端子タイプ7-5-10の端子ブロック図

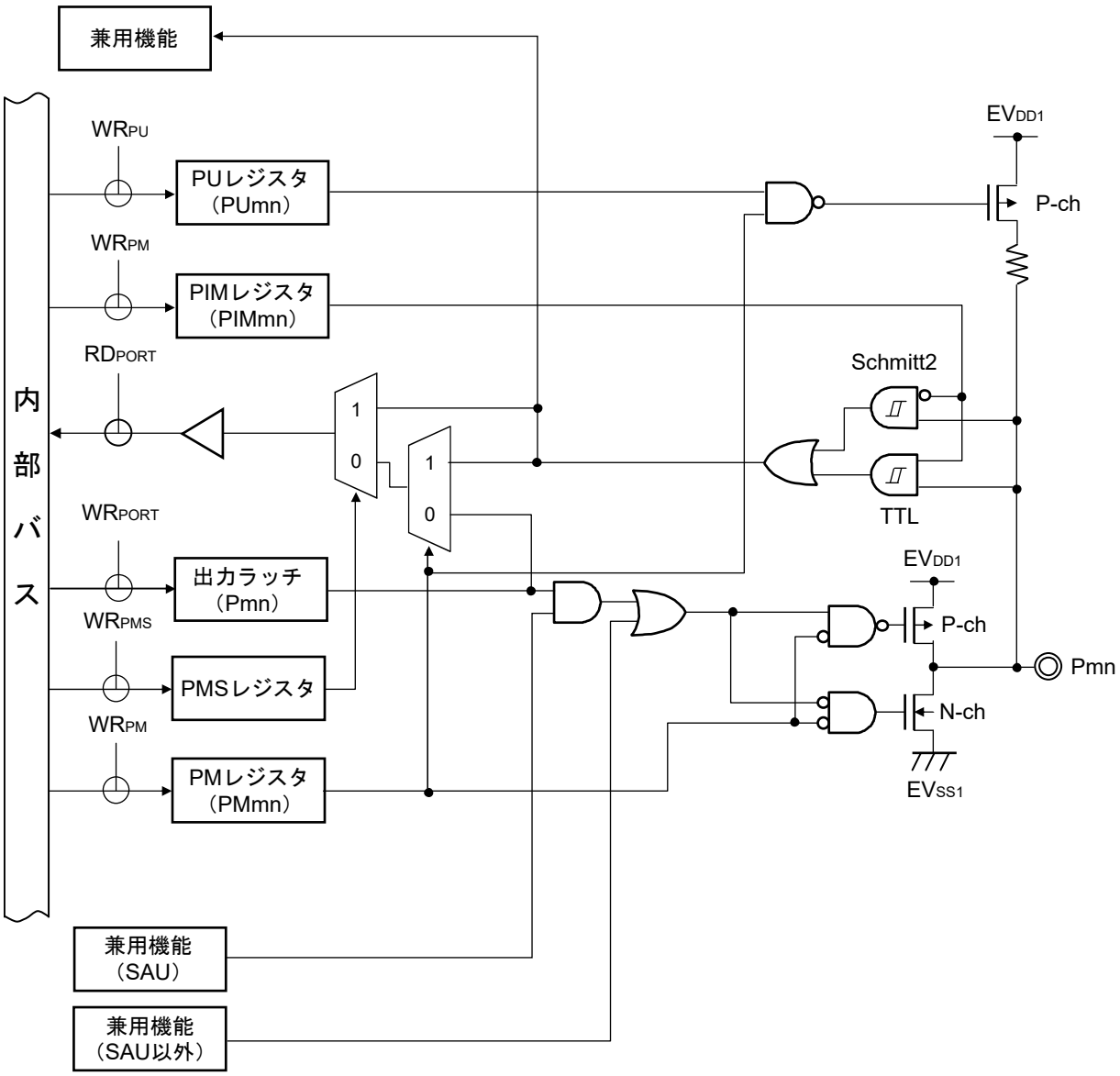


注意　ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

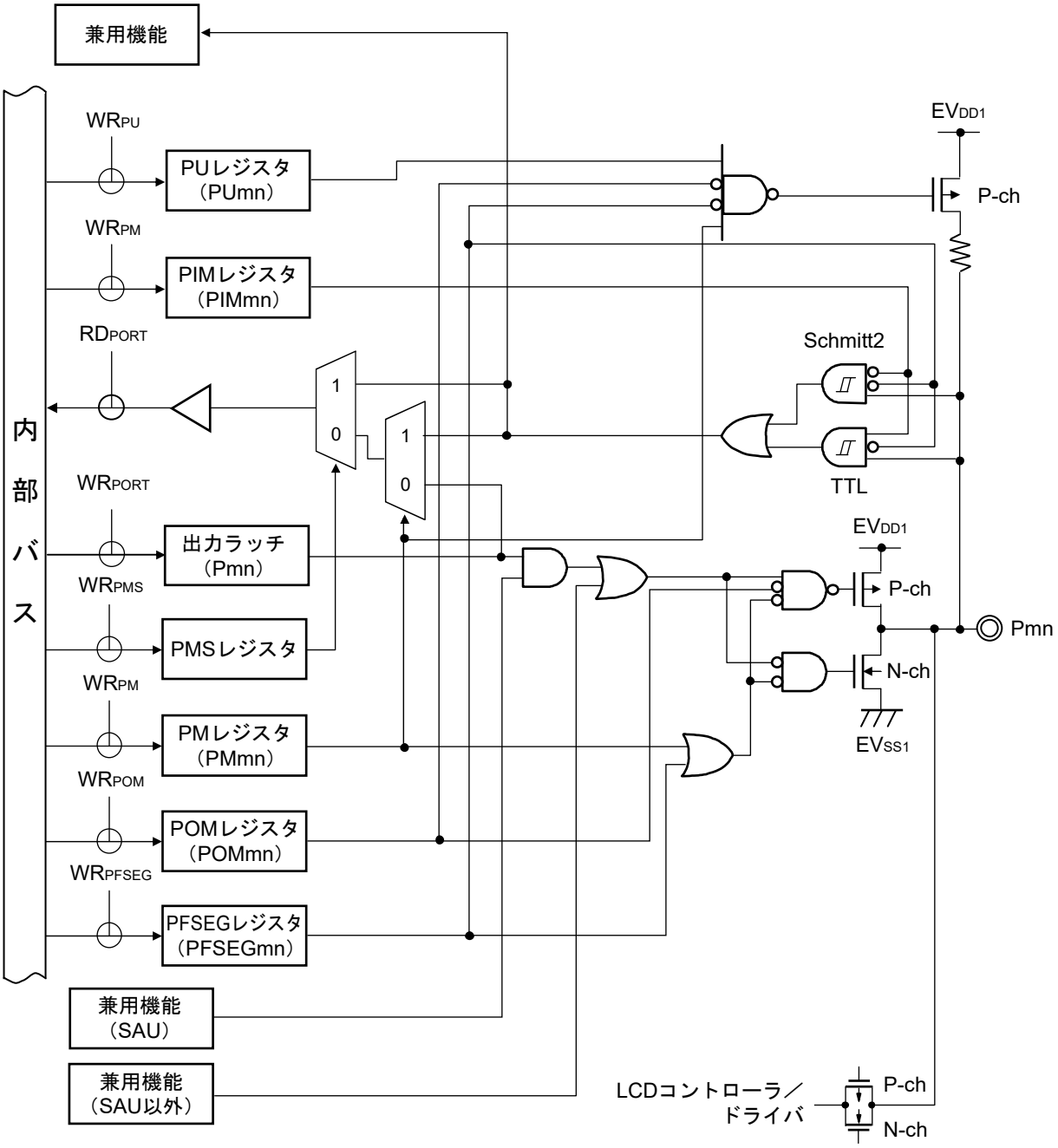
図2－12　端子タイプ8-1-3の端子ブロック図



備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－13　端子タイプ8-5-10の端子ブロック図



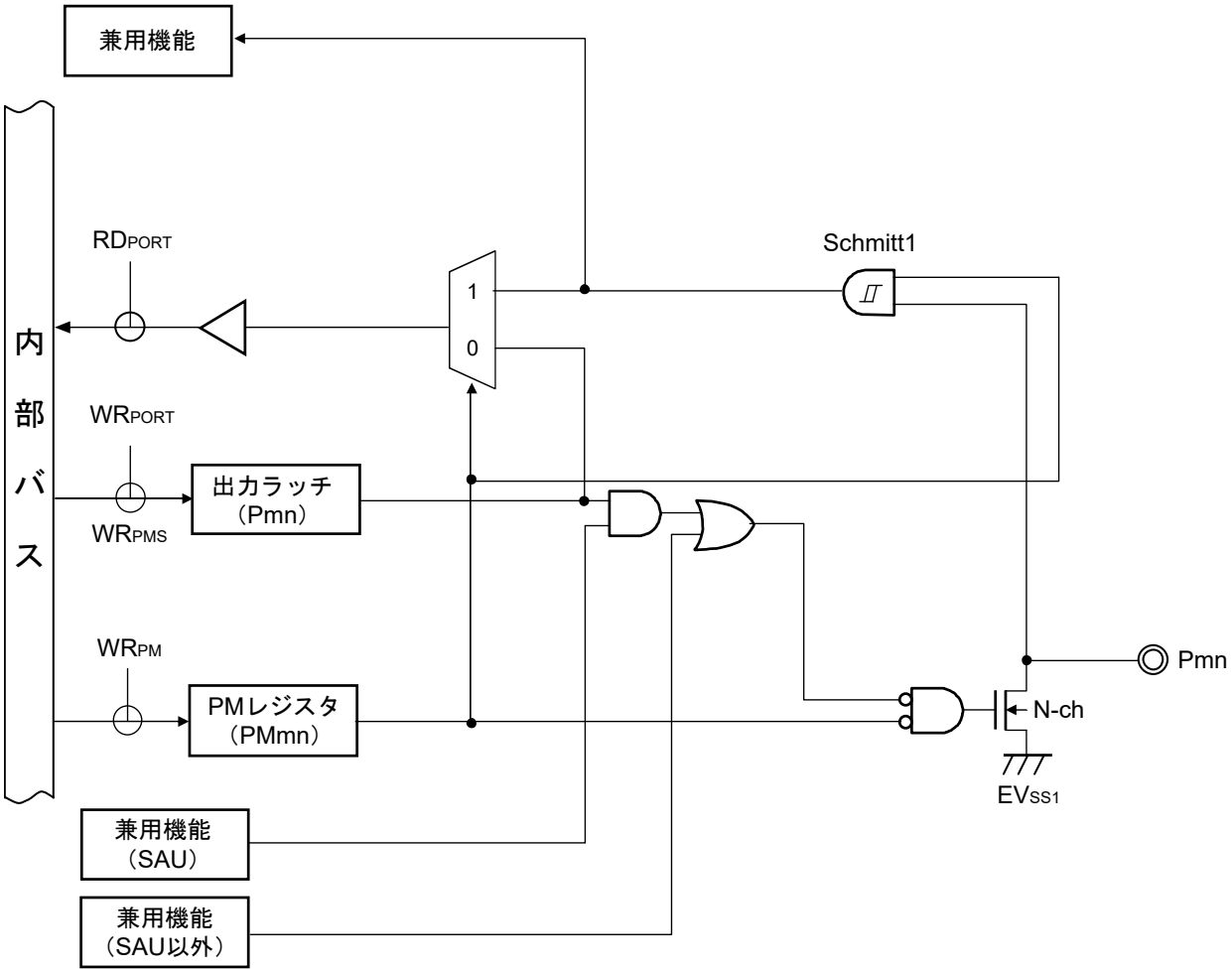
注意 1.　ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

2.　ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－14　端子タイプ12-1-1の端子ブロック図

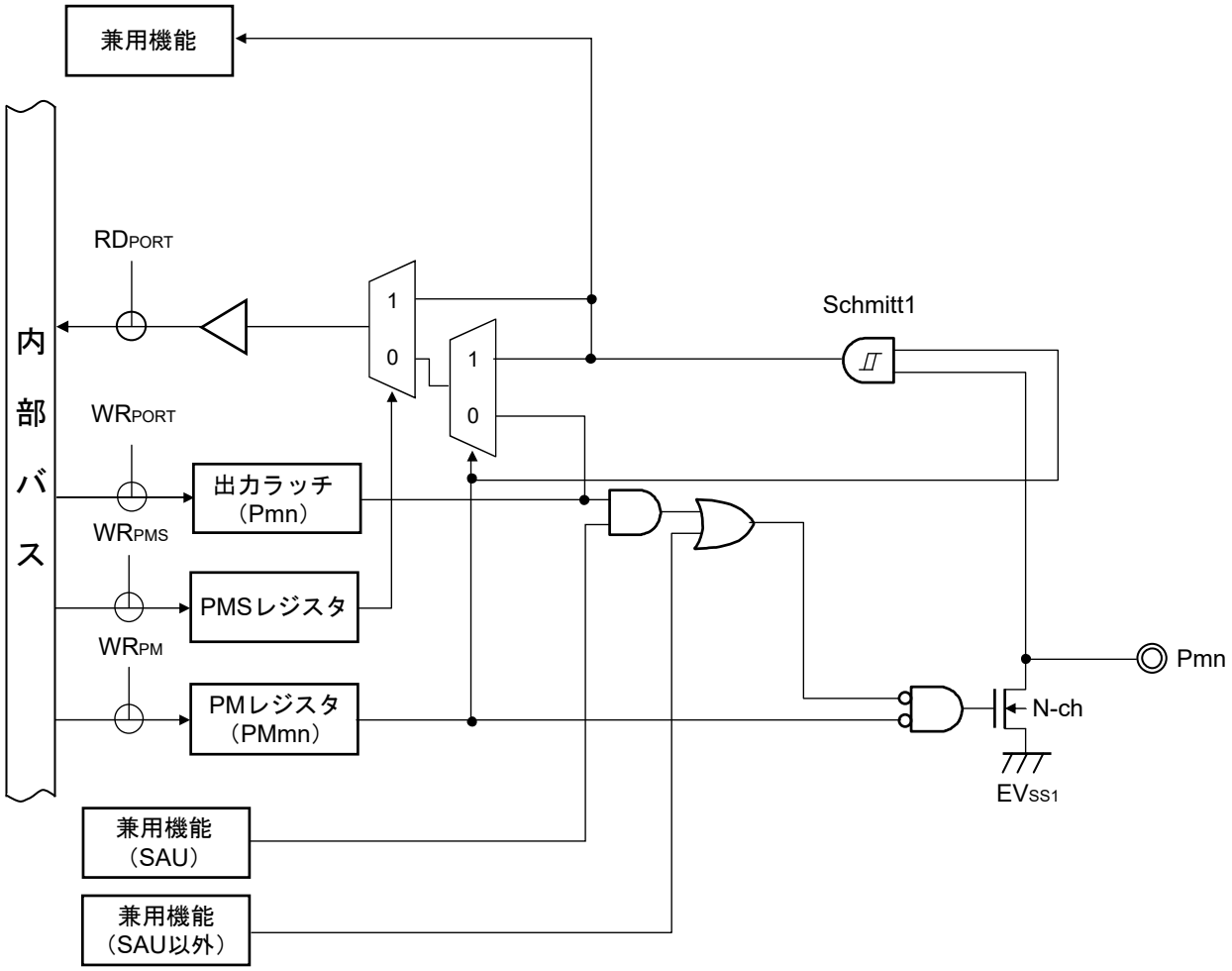


注意　**出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。**

備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－15　端子タイプ12-1-2の端子ブロック図



注意　**出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。**

備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

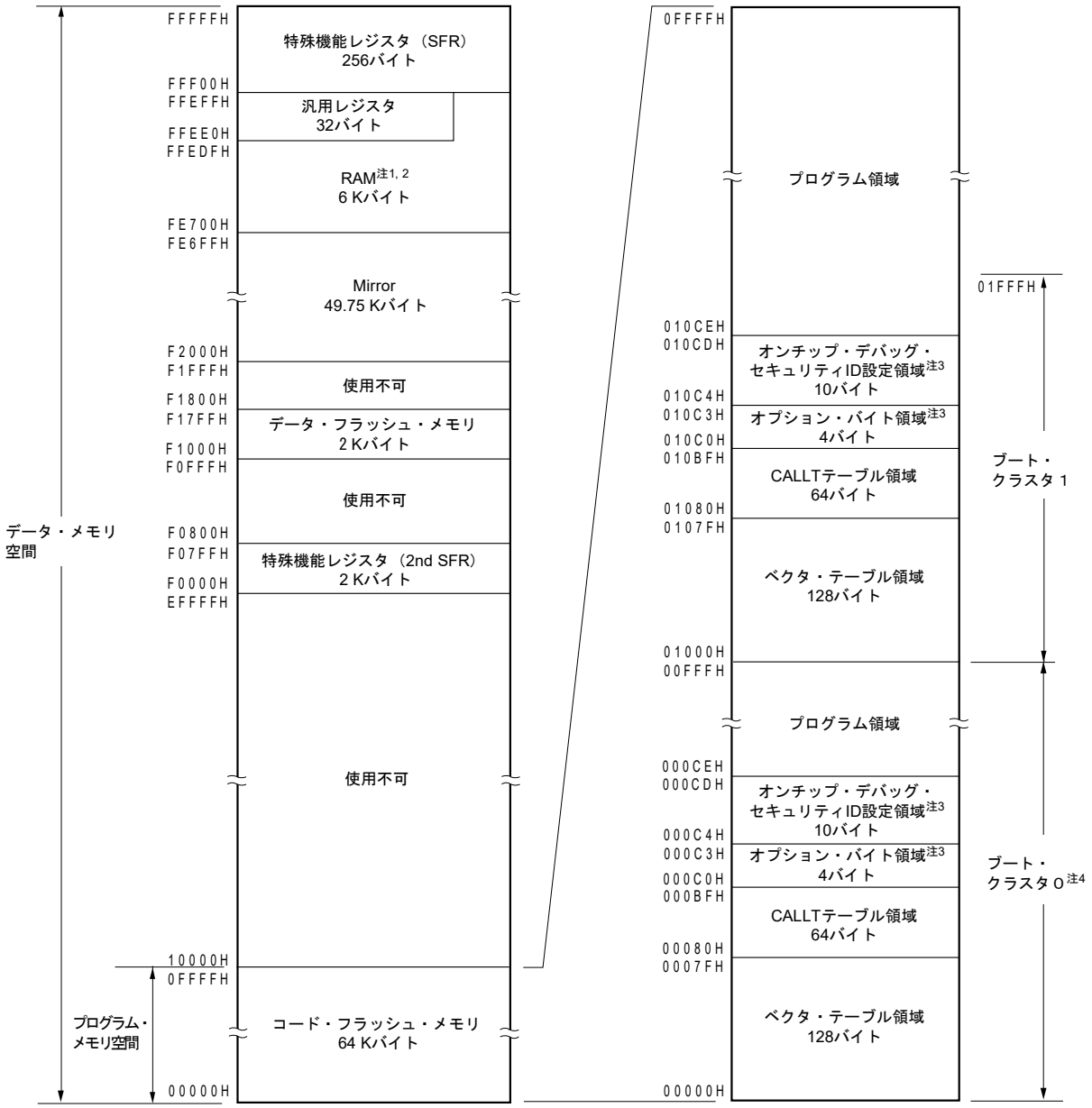
2.　SAU：シリアル・アレイ・ユニット

第3章　CPUアーキテクチャ

3. 1　メモリ空間

RL78/I1Cは，1 Mバイトのアドレス空間をアクセスできます。**図3－1～図3－3**にメモリ・マップを示します。

図3－1　メモリ・マップ（R5F10NLE, R5F10NME, R5F11TLE）



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

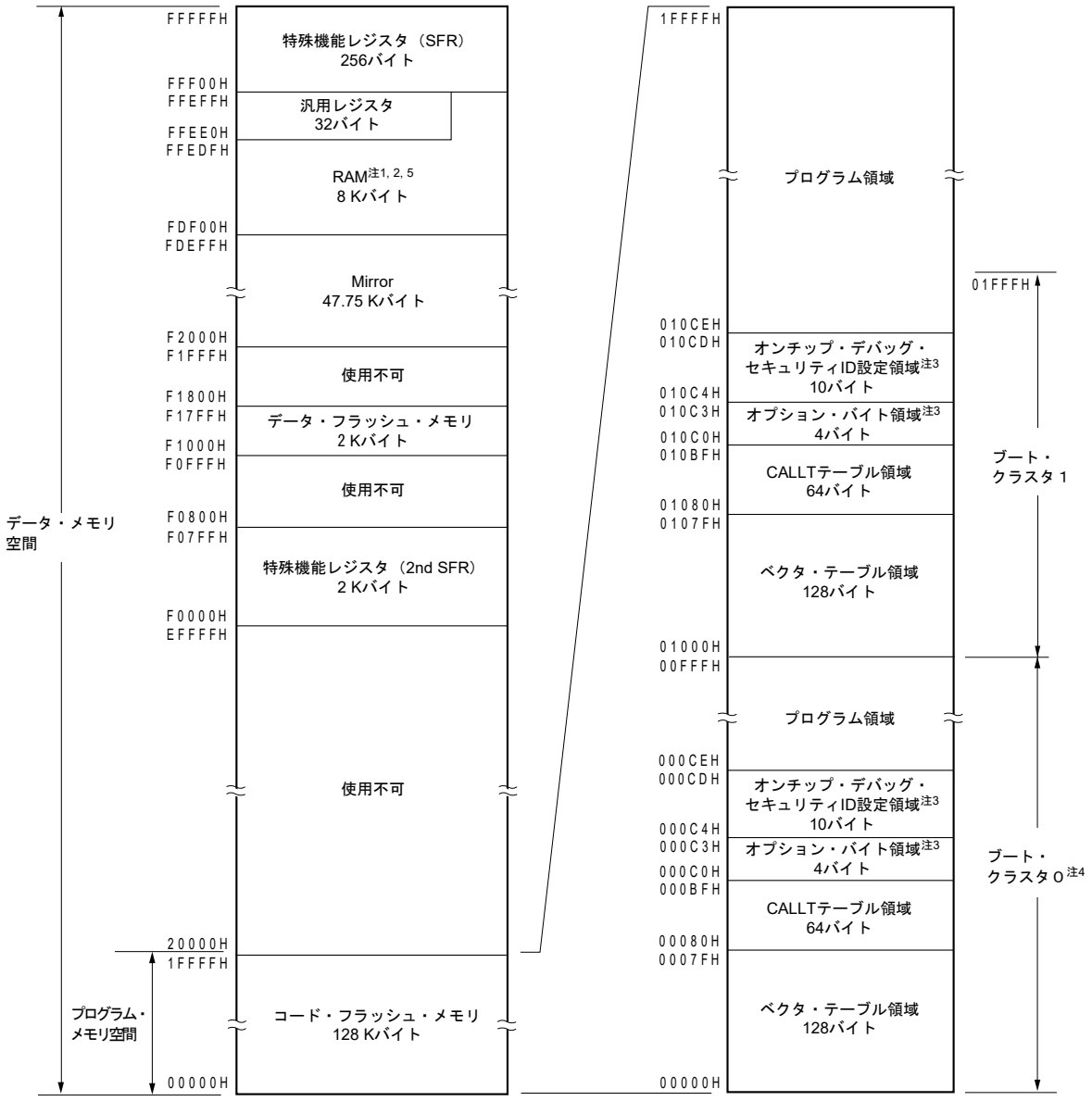
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**36. 7　セキュリティ設定**を参照）。

注意　RAM領域から命令実行し，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）**となります。詳細は32. 3. 3　RAMパリティ・エラー検出機能を参照してください。**

図3－2　メモリ・マップ（R5F10NLG, R5F10NMG, R5F10NPG, R5F11TLG）



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合，スタック，フラッシュ・ライブラリで使用するデータ・バッファ，ライブラリ関数の引数，ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

また，R5F10NLG, R5F10NMG, R5F11TLGはフラッシュ・ライブラリがFDF00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は，**RL78ファミリセルフプログラミングライブラリ セルフRAMリスト（R20UT2943）**を参照してください。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

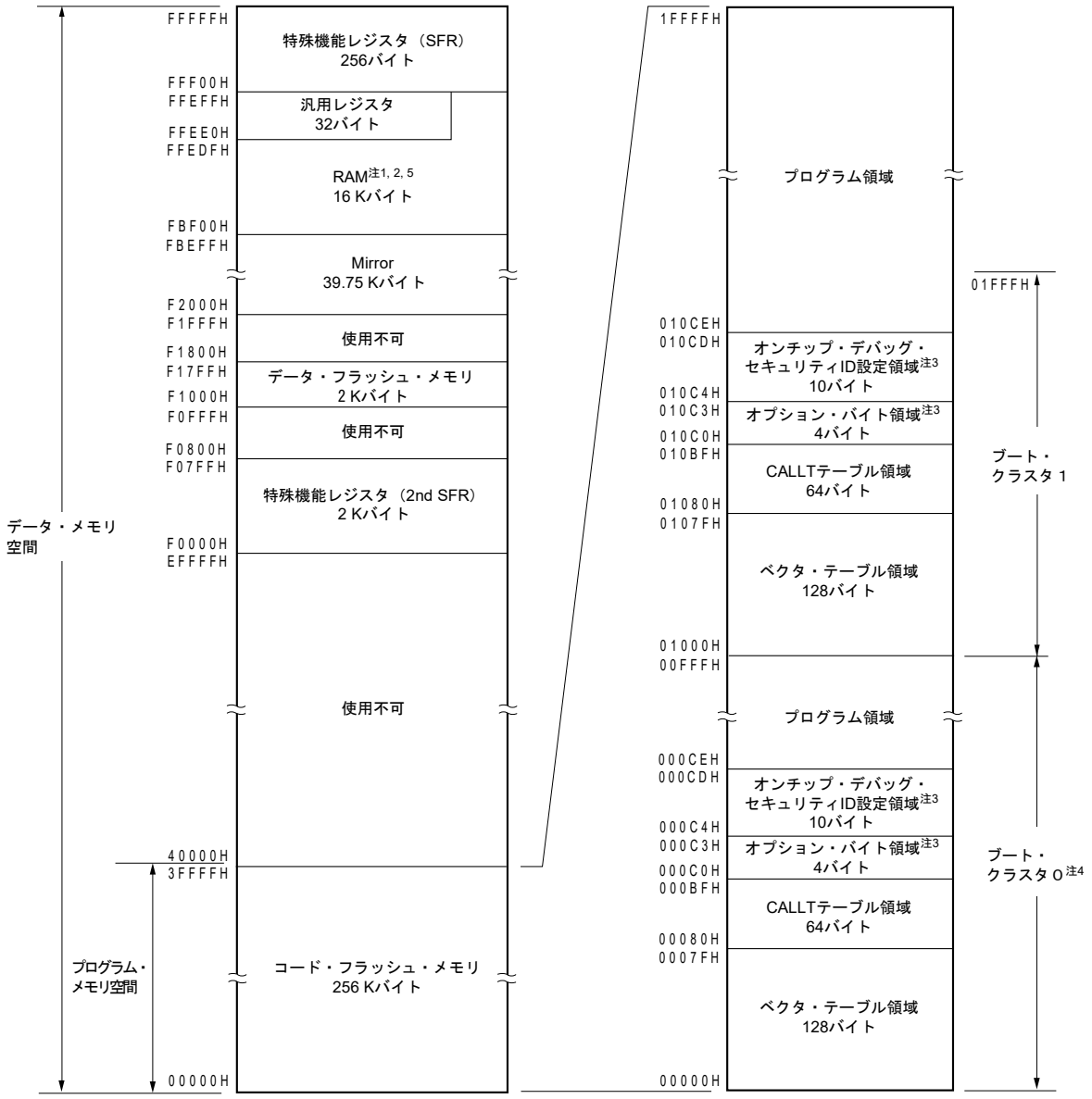
ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**36. 7　セキュリティ設定**を参照）。

5. オンチップ・デバッキングのトレース機能使用時は，FE300H-FE6FFHの領域が使用禁止になります。

注意　RAM領域から命令実行し，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は32. 3. 3　RAMパリティ・エラー検出機能を参照してください。

図3－3　メモリ・マップ（R5F10NMJ, R5F10NPJ）



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合，スタック，フラッシュ・ライブラリで使用するデータ・バッファ，ライブラリ関数の引数，ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

また，フラッシュ・ライブラリがFBF00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、**RL78ファミリセルフプログラミングライブラリ セルフRAMリスト（R20UT2943）**を参照してください。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

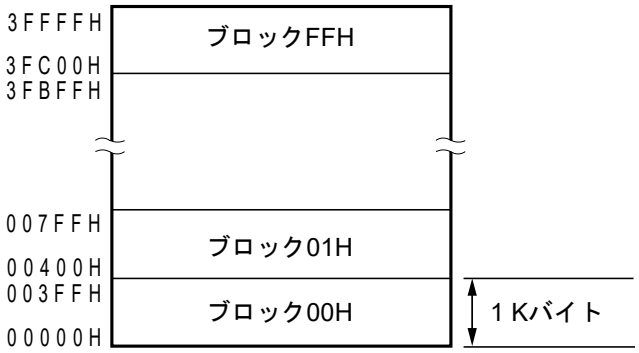
ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**36. 7　セキュリティ設定**を参照）。

5. オンチップ・デバッキングのトレース機能使用時は，FC300H-FC6FFHの領域が使用禁止になります。

注意　RAM領域から命令実行し，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は32. 3. 3　RAMパリティ・エラー検出機能を参照してください。

備考　フラッシュ・メモリはブロックごとに分かれています（1ブロック ＝1 Kバイト）。アドレス値とブロック番号については，**表3ー1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。



（R5F10NPJ, R5F10NMJの場合）

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3－1　フラッシュ・メモリのアドレス値とブロック番号の対応（1/2）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考　R5F10NME, R5F10NLE, R5F11TLE　：ブロック番号00H-3FH

R5F10NPG, R5F10NMG, R5F10NLG, R5F11TLG　：ブロック番号00H-7FH

表3－1　フラッシュ・メモリのアドレス値とブロック番号の対応（2/2）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
20000H-203FFH	80H	28000H-283FFH	A0H	30000H-303FFH	C0H	38000H-383FFH	E0H
20400H-207FFH	81H	28400H-287FFH	A1H	30400H-307FFH	C1H	38400H-387FFH	E1H
20800H-20BFFH	82H	28800H-28BFFH	A2H	30800H-30BFFH	C2H	38800H-38BFFH	E2H
20C00H-20FFFH	83H	28C00H-28FFFH	A3H	30C00H-30FFFH	C3H	38C00H-38FFFH	E3H
21000H-213FFH	84H	29000H-293FFH	A4H	31000H-313FFH	C4H	39000H-393FFH	E4H
21400H-217FFH	85H	29400H-297FFH	A5H	31400H-317FFH	C5H	39400H-397FFH	E5H
21800H-21BFFH	86H	29800H-29BFFH	A6H	31800H-31BFFH	C6H	39800H-39BFFH	E6H
21C00H-21FFFH	87H	29C00H-29FFFH	A7H	31C00H-31FFFH	C7H	39C00H-39FFFH	E7H
22000H-223FFH	88H	2A000H-2A3FFH	A8H	32000H-323FFH	C8H	3A000H-3A3FFH	E8H
22400H-227FFH	89H	2A400H-2A7FFH	A9H	32400H-327FFH	C9H	3A400H-3A7FFH	E9H
22800H-22BFFH	8AH	2A800H-2ABFFH	AAH	32800H-32BFFH	CAH	3A800H-3ABFFH	EAH
22C00H-22FFFH	8BH	2AC00H-2AFFFH	ABH	32C00H-32FFFH	CBH	3AC00H-3AFFFH	EBH
23000H-233FFH	8CH	2B000H-2B3FFH	ACH	33000H-333FFH	CCH	3B000H-3B3FFH	ECH
23400H-237FFH	8DH	2B400H-2B7FFH	ADH	33400H-337FFH	CDH	3B400H-3B7FFH	EDH
23800H-23BFFH	8EH	2B800H-2BBFFH	AEH	33800H-33BFFH	CEH	3B800H-3BBFFH	EEH
23C00H-23FFFH	8FH	2BC00H-2BFFFH	AFH	33C00H-33FFFH	CFH	3BC00H-3BFFFH	EFH
24000H-243FFH	90H	2C000H-2C3FFH	B0H	34000H-343FFH	D0H	3C000H-3C3FFH	F0H
24400H-247FFH	91H	2C400H-2C7FFH	B1H	34400H-347FFH	D1H	3C400H-3C7FFH	F1H
24800H-24BFFH	92H	2C800H-2CBFFH	B2H	34800H-34BFFH	D2H	3C800H-3CBFFH	F2H
24C00H-24FFFH	93H	2CC00H-2CFFFH	B3H	34C00H-34FFFH	D3H	3CC00H-3CFFFH	F3H
25000H-253FFH	94H	2D000H-2D3FFH	B4H	35000H-353FFH	D4H	3D000H-3D3FFH	F4H
25400H-257FFH	95H	2D400H-2D7FFH	B5H	35400H-357FFH	D5H	3D400H-3D7FFH	F5H
25800H-25BFFH	96H	2D800H-2DBFFH	B6H	35800H-35BFFH	D6H	3D800H-3DBFFH	F6H
25C00H-25FFFH	97H	2DC00H-2DFFFH	B7H	35C00H-35FFFH	D7H	3DC00H-3DFFFH	F7H
26000H-263FFH	98H	2E000H-2E3FFH	B8H	36000H-363FFH	D8H	3E000H-3E3FFH	F8H
26400H-267FFH	99H	2E400H-2E7FFH	B9H	36400H-367FFH	D9H	3E400H-3E7FFH	F9H
26800H-26BFFH	9AH	2E800H-2EBFFH	BAH	36800H-36BFFH	DAH	3E800H-3EBFFH	FAH
26C00H-26FFFH	9BH	2EC00H-2EFFFH	BBH	36C00H-36FFFH	DBH	3EC00H-3EFFFH	FBH
27000H-273FFH	9CH	2F000H-2F3FFH	BCH	37000H-373FFH	DCH	3F000H-3F3FFH	FCH
27400H-277FFH	9DH	2F400H-2F7FFH	BDH	37400H-377FFH	DDH	3F400H-3F7FFH	FDH
27800H-27BFFH	9EH	2F800H2FBFFH	BEH	37800H-37BFFH	DEH	3F800H-3FBFFH	FEH
27C00H-27FFFH	9FH	2FC00H-2FFFFH	BFH	37C00H-37FFFH	DFH	3FC00H-3FFFFH	FFH

備考　R5F10NPJ, R5F10NMJ　　：ブロック番号00H-FFH

3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/I1Cは，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3－2　内部ROM容量

製　　品	内部ROM	
	構　　造	容　　量
R5F10NME, R5F10NLE, R5F11TLE	フラッシュ・メモリ	65536×8ビット（00000H-0FFFFH）
R5F10NPG, R5F10NMG, R5F10NLG, R5F11TLG		131072×8ビット（00000H-1FFFFH）
R5F10NPJ, R5F10NMJ		262144×8ビット（00000H-3FFFFH）

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは2バイトとしているため，割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット･アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には，01000H-0107FHにもベクタ・テーブルを設定してください。

表3－3　ベクタ・テーブル（1/2）

ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE
0004H	INTWDTI
0006H	INTLVI
0008H	INTP0
000AH	INTP1
000CH	INTP2
000EH	INTP3
0010H	INTP4
0012H	INTP5
0014H	INTST2
0016H	INTSR2
0018H	INTSRE2
001AH	INTCR
001CH	INTAES/INTAESF
001EH	INTST0/INTCSI00/INTIIC00
0020H	INTIICA0
0022H	INTSR0
0024H	INTSRE0
	INTTM01H
0026H	INTST1/INTCSI10/INTIIC10
0028H	INTSR1
002AH	INTSRE1
	INTTM03H
002CH	INTTM00
0030H	INTFM
0032H	INTTM01
0034H	INTTM02
0036H	INTTM03
0038H	INTAD
003AH	INTRTCALM/INTRTCPRD
003CH	INTIT
003EH	INTKR
0040H	INTST3/INTCSI30/INTIIC30
0042H	INTSR3
0044H	INTDSAD

表3－3　ベクタ・テーブル（2/2）

ベクタ・テーブル・アドレス	割り込み要因
0046H	INTTM04
0048H	INTTM05
004AH	INTP6
004CH	INTP7
004EH	INTRTCIC0
0050H	INTRTCIC1
0052H	INTRTCIC2
0054H	INTTM06
0056H	INTTM07
0058H	INTIT00
005AH	INTIT01
005CH	INTSRE3
005EH	INTMACLOF
0060H	INTOSDC
0062H	INTFL
0064H	INTDSADZC0
0066H	INTDSADZC1
0068H	INTIT10
006AH	INTIT11
006CH	INTLVDVDD
006EH	INTLVDVBAT
0070H	INTLVDVRTC
0072H	INTLVDEXLVD
007EH	BRK

（2）CALLT命令テーブル領域

00080H-000BFHの64バイト領域には，2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には，01080H-010BFHにもCALLT命令テーブルを設定してください。

（3）オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は**第35章　オプション・バイト**を参照してください。

（4）オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH，010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに，ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は**第37章　オンチップ・デバッグ機能**を参照してください。

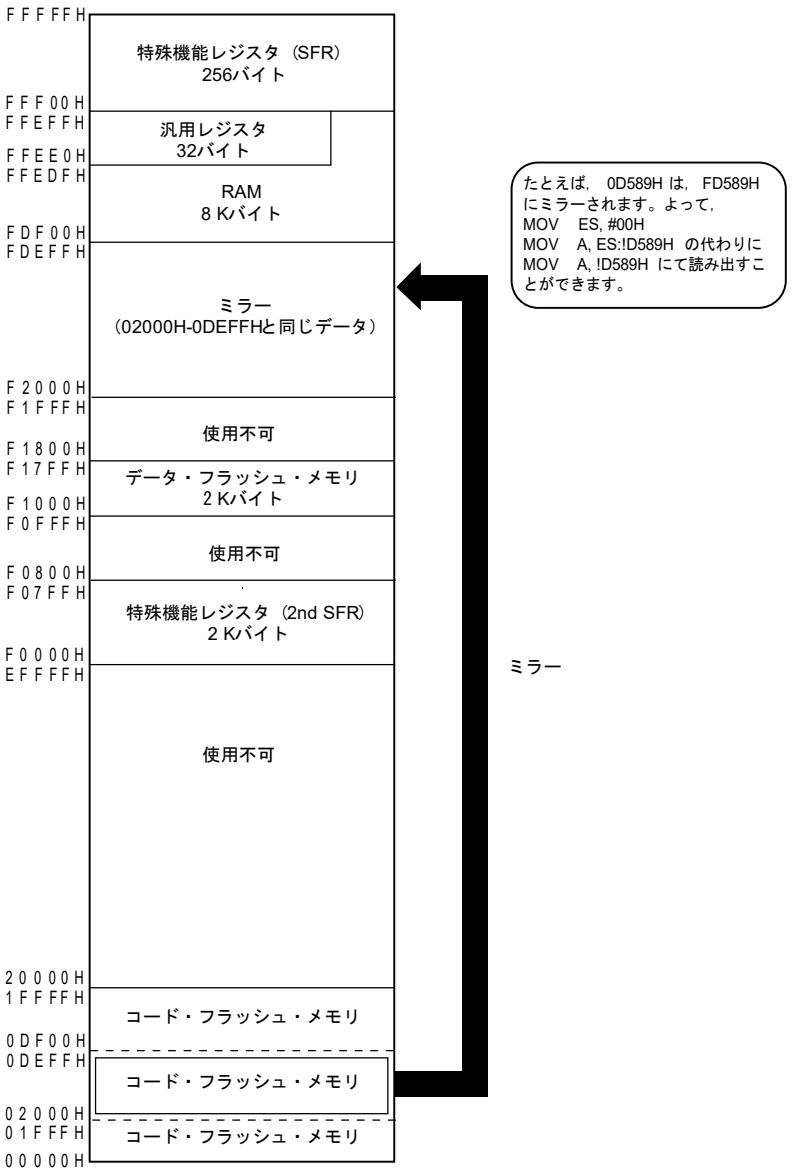
3. 1. 2　ミラー領域

RL78/I1Cでは，00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーしています。フラッシュ・メモリが128 KB以上の製品では，00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーしています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

ミラー先のF0000H-FFFFFHからデータを読み出すことにより，オペランドにESレジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし，SFR，拡張SFR，RAM領域，使用不可領域にはミラーされません。

各製品のミラー領域は，**3. 1　メモリ空間**を参照してください。
ミラー領域は読み出しのみ可能で，命令フェッチはできません。
次に例を示します。

例　R5F10NPG, R5F10NMG, R5F10NLG, R5F11TLG
（フラッシュ・メモリ 128 Kバイト，RAM 8 Kバイト）の場合



次に，PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ（PMC）

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図3－4　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFHへミラー

注意1.　フラッシュ・メモリが64 KBの製品の場合は，必ずビット0（MAA）を0（初期値）でご使用ください。

2.　PMCレジスタの設定後，1命令以上空けてミラー領域にアクセスしてください。

3. 1. 3　内部データ・メモリ空間

RL78/I1Cは，次に示すRAMを内蔵しています。

表3－4　内部RAM容量

製　　品	内部RAM
R5F10NME, R5F10NLE, R5F11TLE	6144×8ビット（FE700H-FFEFFH）
R5F10NPG, R5F10NMG, R5F10NLG, R5F11TLG	8192×8ビット（FDF00H-FFEFFH）
R5F10NPJ, R5F10NMJ	16384×8ビット（FBF00H-FFEFFH）

内部RAMは，データ領域として使用できるほか，プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。また，スタック・メモリは内部RAMを使用します。

注意1.　汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は，命令フェッチやスタックの領域に使用できません。

2.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDTC による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

3.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，次に示す製品のRAM領域は，各ライブラリで使用するため使用禁止になります。

R5F10NPJ, R5F10NMJ：FBF00H-FC309H

R5F10NMG, R5F10NLG, R5F11TLG：FDF00H-FE309H

4.　次に示す製品の内部RAM領域は，オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F10NPJ, R5F10NMJ：FC300H-FC6FFH

R5F10NMG, R5F10NLG, R5F11TLG：FE300H-FE6FFH

3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（**3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）の表3－5**参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には，オン・チップ周辺ハードウエアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（**3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）の表3－6**参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意　拡張SFRが割り付けられていないアドレスにアクセスしないでください。

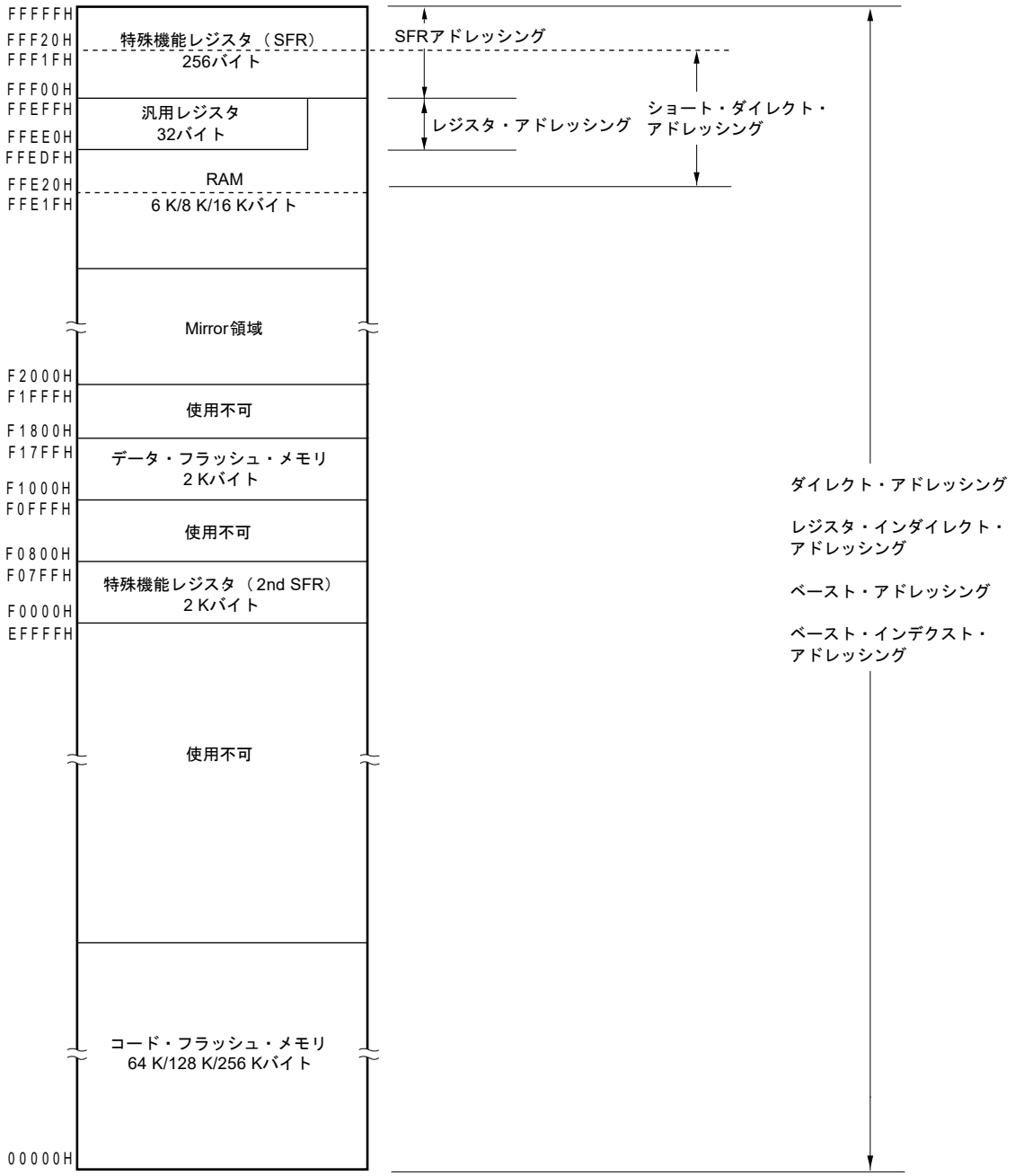
3. 1. 6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/I1Cでは，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。**図3－5**にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については，**3. 4　処理データ・アドレスに対するアドレッシング**を参照してください。

図3－5　データ・メモリとアドレッシングの対応



3. 2　プロセッサ・レジスタ

RL78/I1Cは，次のプロセッサ・レジスタを内蔵しています。

3. 2. 1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

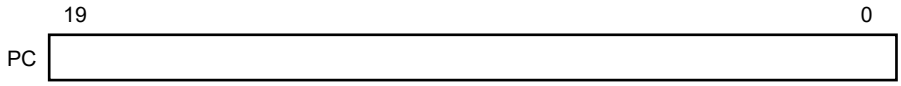
（1）プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3－6　プログラム・カウンタの構成



（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により，06Hになります。

図3－7　プログラム・ステータス・ワードの構成

	7							0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

（a）割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP1，ISP0），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

（b）ゼロ・フラグ（Z）

演算結果がゼロまたは等しいときセット（1）され，それ以外のときにリセット（0）されるフラグです。

（c）レジスタ・バンク選択フラグ（RBS0, RBS1）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

（d）補助キャリー・フラグ（AC）

演算結果で，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。

（e）インサービス・プライオリティ・フラグ（ISP1, ISP0）

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L）（**24. 3. 3**参照）でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際にベクタ割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（IE）の状態により制御されます。

備考　n = 0, 1

（f）キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

（3）スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3－8　スタック・ポインタの構成

	15															0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは，スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

注意1.　SPの内容はリセット信号の発生により，不定になりますので，必ずスタック使用前にイニシャライズしてください。

2.　汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は，命令フェッチやスタックの領域に使用できません。

3.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

4.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，次に示す製品のRAM領域は，各ライブラリで使用するため使用禁止になります。

R5F10NPJ, R5F10NMJ：FBF00H-FC309H

R5F10NMG, R5F10NLG, R5F11TLG：FDF00H-FE309H

5.　次に示す製品の内部RAM領域は，オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F10NPJ, R5F10NMJ：FC300H-FC6FFH

R5F10NMG, R5F10NLG, R5F11TLG：FE300H-FE6FFH

3. 2. 2　汎用レジスタ

汎用レジスタは，データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

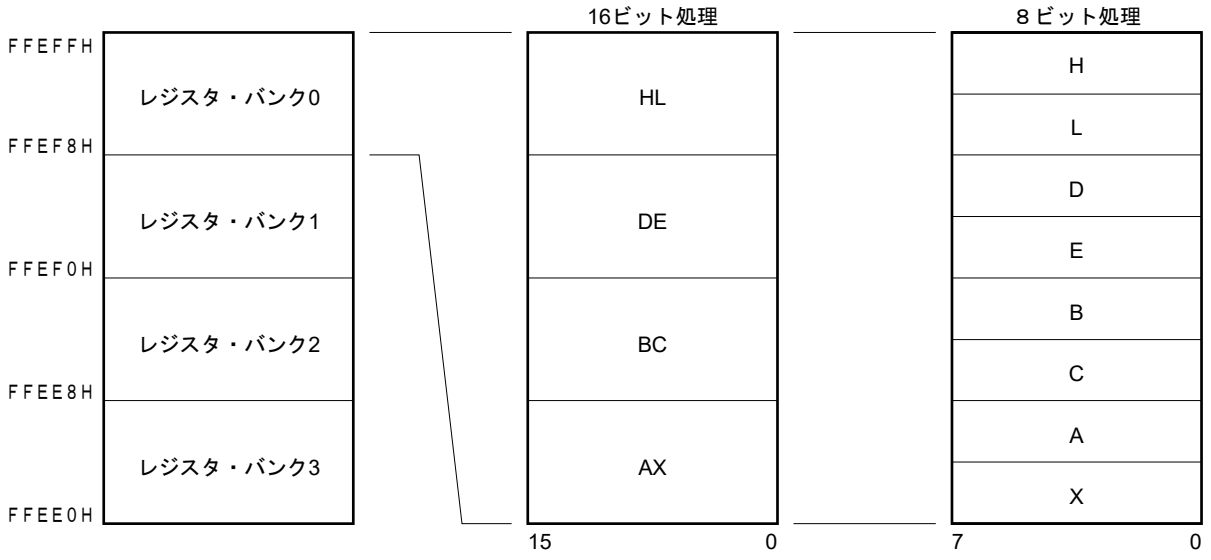
各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは，CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み時で使用するレジスタをバンク切り替えすれば，効率のよいプログラムを作成できます。

注意　汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は，命令フェッチやスタックの領域に使用できません。

図3－9　汎用レジスタの構成

（a）機能名称



3. 2. 3　ES, CSレジスタ

ESレジスタでデータ・アクセス，CSレジスタで（レジスタ・ダイレクト・アドレシング）分岐命令実行時の，それぞれ上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

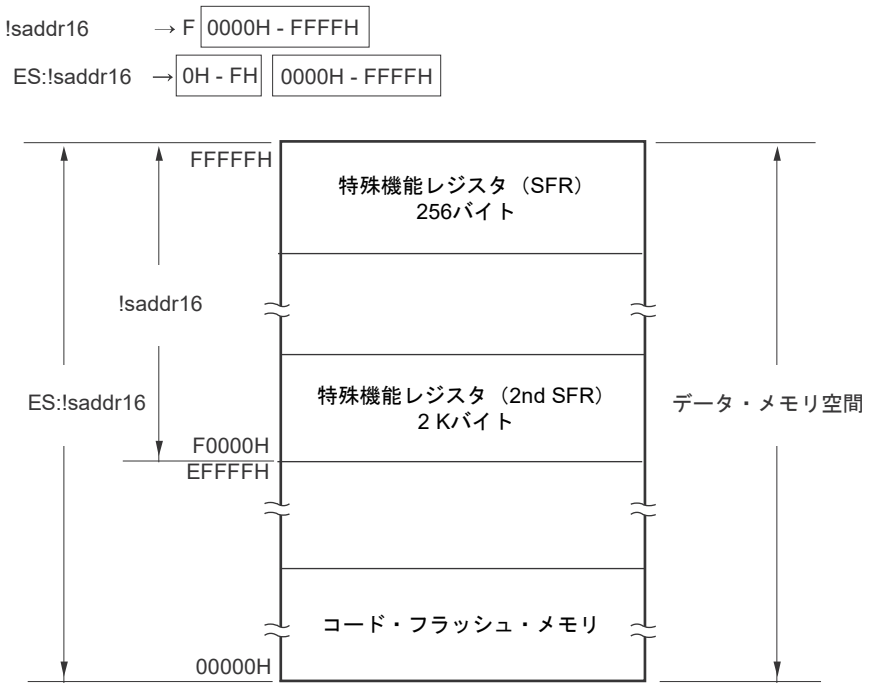
図3－10　ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16ビット・アドレスでアクセスできるデータ領域は，F0000H-FFFFFHの64 Kバイト空間ですが，ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3－11　データ・アクセス領域の拡張



3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）

SFRは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR空間は，FFF00H-FFFFFHの領域に割り付けられています。

SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（sfr.bit）には，次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：＜レジスタ名＞.＜ビット番号＞または＜アドレス＞.＜ビット番号＞

・8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W　：読み出し／書き込みがともに可能

R　：読み出しのみ可能

W　：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

備考　拡張SFR（2nd SFR）については，**3. 2. 5　拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）**を参照してください。

表3－5　SFR一覧（1/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	－	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	－	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	－	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	－	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	－	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	－	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	－	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	－	00H
FFF08H	ポート・レジスタ8	P8		R/W	○	○	－	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	－	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	－	不定
FFF0FH	ポート・レジスタ15	P15		R/W	○	○	－	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	－	○	○	0000H
FFF11H		－			－	－		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	－	○	○	0000H
FFF13H		－			－	－		
FFF14H	シリアル・データ・レジスタ12	TXD3/SIO30	SDR12	R/W注	－	○	○	0000H
FFF15H		－			－	－		
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W注	－	○	○	0000H
FFF17H		－			－	－		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	－	－	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	－	○	○	00H
FFF1BH		TDR01H			－	○		00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	－	－	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	－	○	－	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	－	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	－	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	－	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	－	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	－	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	－	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	－	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	－	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W	○	○	－	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	－	FFH
FFF2FH	ポート・モード・レジスタ15	PM15		R/W	○	○	－	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	－	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	－	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	－	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	－	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	－	○	－	00H

注　R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEはRead Onlyです。

表3－5　SFR一覧（2/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF37H	キー・リターン・モード・レジスタ0	KRM0		R/W	○	○	－	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	－	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	－	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1注	EGP1		R/W	○	○	－	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1注	EGN1		R/W	○	○	－	00H
FFF3CH	乗算データ・レジスタB(L)	MULBL		R/W	－	－	○	0000H
FFF3DH								
FFF3EH	乗算データ・レジスタB(H)	MULBH		R/W	－	－	○	0000H
FFF3FH								
FFF40H	LCDモード・レジスタ0	LCDM0		R/W	－	○	－	00H
FFF41H	LCDモード・レジスタ1	LCDM1		R/W	○	○	－	00H
FFF42H	LCDクロック制御レジスタ0	LCDC0		R/W	－	○	－	00H
FFF43H	LCD昇圧レベル制御レジスタ	VLCD		R/W	－	○	－	04H
FFF44H	シリアル・データ・レジスタ02	TXD1/SIO10	SDR02	R/W	－	○	○	0000H
FFF45H		－			－	－		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	－	○	○	0000H
FFF47H		－			－	－		
FFF48H	シリアル・データ・レジスタ10	TXD2	SDR10	R/W	－	○	○	0000H
FFF49H		－			－	－		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	－	○	○	0000H
FFF4BH		－			－	－		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	－	○	－	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	－	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	－	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	－	－	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	－	○	○	00H
FFF67H		TDR03H			－	○		00H
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	－	－	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	－	－	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	－	－	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	－	－	○	0000H
FFF6FH								

注　100 pin製品および80 pin製品のみ搭載し，64 pin製品は非搭載です。

表3－5　SFR一覧（3/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF90H FFF91H	12ビット・インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	－	－	○	0FFFH
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	－	○	－	00H注1
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	－	C0H注1
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	－	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	－	○	－	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	－	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	－	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	－	00H
FFFA7H	サブシステム・クロック選択レジスタ	CKSEL		R/W	○	○	－	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	－	○	－	不定注2
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	－	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	－	00H/01H/81H注2
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	－	○	－	1AH/9AH注3
FFFACH	CRC入力レジスタ	CRCIN		R/W	－	○	－	00H
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3L	IF3L	IF3	R/W	○	○	○	00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3L	MK3L	MK3	R/W	○	○	○	FFH

注1.　パワーオン・リセットによるリセット時のみ初期化されます。

2.　リセット要因により，次のように異なります。

レジスタ ＼ リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
RESF	TRAP	クリア（0）		セット（1）	保持			保持
	WDTRF			保持	セット（1）	保持		
	RPERF			保持		セット（1）	保持	
	IAWRF			保持			セット（1）	
	LVIRF			保持				セット（1）
LVIM	LVISEN	クリア（0）						保持
	LVIOMSK	保持						
	LVIF							
LVIS		クリア(00H/01H/81H)						クリア(00H/81H)注4

3.　WDTEレジスタのリセット値は，オプション・バイトの設定で決定します。

4.　オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき：LVDリセットは発生しません。

表3－5　SFR一覧（4/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ03L	PR03L	PR03	R/W	○	○	○	FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13L	PR13L	PR13	R/W	○	○	○	FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH	優先順位指定フラグ・レジスタ11H	PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ（L）	MACRL		R/W	－	－	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ（H）	MACRH		R/W	－	－	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	－	00H

備考　拡張SFR（2nd SFR）については，**表3－6　拡張SFR（2nd SFR）一覧**を参照してください。

3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張SFR（2nd SFR）は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張SFR空間は，F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（!addr16.bit）には，次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

・8ビット操作

8ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W　：読み出し／書き込みがともに可能

R　：読み出しのみ可能

W　：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意　2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考　SFR領域のSFRについては，**3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）**を参照してください。

表3－6　拡張SFR（2nd SFR）一覧（1/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	－	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	－	○	－	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	－	○	－	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	－	○	－	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	－	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	－	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	－	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	－	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	－	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	－	00H
F0038H	プルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○	－	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	－	00H
F003FH	プルアップ抵抗オプション・レジスタ15	PU15	R/W	○	○	－	07H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	－	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	－	00H
F0043H	ポート入力モード・レジスタ3注1	PIM3	R/W	○	○	－	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	－	00H
F0048H	ポート入力モード・レジスタ8	PIM8	R/W	○	○	－	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	－	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	－	00H
F0053H	ポート出力モード・レジスタ3注1	POM3	R/W	○	○	－	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	－	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W	○	○	－	00H
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	－	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	－	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	－	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	－	○	－	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	－	○	－	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	－	○	－	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	－	○	－	00H
F007AH	周波数測定回路クロック選択レジスタ	FMCKS	R/W	○	○	－	00H
F007BH	ポートモード選択レジスタ	PMS	R/W	○	○	－	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	－	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	－	00H
F0098H	ペリフェラル・クロック・コントロール・レジスタ	PCKC	R/W	○	○	－	00H
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	－	○	－	不定注2
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	－	注3
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	－	00H

注1. 64pin製品のみ搭載し、100pin製品および80pin製品は非搭載です。

2. オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

3. FLMODEレジスタのリセット値は，オプション・バイトの設定で決定します。

表3－6　拡張SFR（2nd SFR）一覧（2/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	－	00H
F00F1H	周辺リセット制御レジスタ0	PRR0		R/W	○	○	－	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV		R/W	－	○	－	00H
F00F3H	サブシステム・クロック供給オプション制御レジスタ	OSMC		R/W	○	○	－	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	－	00H
F00F8H	レギュレータ・モード制御レジスタ	PMMC		R/W	○	○	－	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR		R/W	－	○	－	00H注
F00FAH	周辺イネーブル・レジスタ1	PER1		R/W	○	○	－	00H
F00FBH	周辺リセット制御レジスタ1	PRR1		R/W	○	○	－	00H
F00FCH	周辺イネーブル・レジスタ2	PER2		R/W	○	○	－	00H
F00FDH	周辺リセット制御レジスタ2	PRR2		R/W	○	○	－	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	－	○	－	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	－	○	○	0000H
F0101H		－			－	－		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	－	○	○	0000H
F0103H		－			－	－		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	－	○	○	0000H
F0105H		－			－	－		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	－	○	○	0000H
F0107H		－			－	－		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	－	○	○	0000H
F0109H		－			－	－		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	－	○	○	0000H
F010BH		－			－	－		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	－	○	○	0000H
F010DH		－			－	－		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	－	○	○	0000H
F010FH		－			－	－		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	－	－	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	－	－	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	－	－	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	－	－	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	－	－	○	0087H
F0119H								

注　パワーオン・リセットによるリセット時のみ初期化されます。

表3－6　拡張SFR（2nd SFR）一覧（3/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	－	－	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	－	－	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	－	－	○	0087H
F011FH								
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		－			－	－		
F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		－			－	－		
F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		－			－	－		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	－	○	○	0000H
F0127H		－			－	－		
F0128H	シリアル出力レジスタ0	SO0		R/W	－	－	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		－			－	－		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	－	○	○	0000H
F0135H		－			－	－		
F0138H	シリアル・スタンバイ・コントロール・	SSC0L	SSC0	R/W	－	○	○	0000H
F0139H	レジスタ0	－			－	－		
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	－	○	○	0000H
F0141H		－			－	－		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	－	○	○	0000H
F0143H		－			－	－		
F0144H	シリアル・ステータス・レジスタ12	SSR12L	SSR12	R	－	○	○	0000H
F0145H		－			－	－		
F0146H	シリアル・ステータス・レジスタ13	SSR13L	SSR13	R	－	○	○	0000H
F0147H		－			－	－		
F0148H	シリアル・フラグ・クリア・トリガ・	SIR10L	SIR10	R/W	－	○	○	0000H
F0149H	レジスタ10	－			－	－		
F014AH	シリアル・フラグ・クリア・トリガ・	SIR11L	SIR11	R/W	－	○	○	0000H
F014BH	レジスタ11	－			－	－		
F014CH	シリアル・フラグ・クリア・トリガ・	SIR12L	SIR12	R/W注	－	○	○	0000H
F014DH	レジスタ12	－			－	－		
F014EH	シリアル・フラグ・クリア・トリガ・	SIR13L	SIR13	R/W注	－	○	○	0000H
F014FH	レジスタ13	－			－	－		
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	－	－	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	－	－	○	0020H
F0153H								

注　R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEはRead Onlyです。

表3－6　拡張SFR（2nd SFR）一覧（4/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0154H	シリアル・モード・レジスタ12	SMR12		R/W注1	－	－	○	0020H/
F0155H								0000H注2
F0156H	シリアル・モード・レジスタ13	SMR13		R/W注1	－	－	○	0020H/
F0157H								0000H注2
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	－	－	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	－	－	○	0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ12	SCR12		R/W注1	－	－	○	0087H/
F015DH								0000H注3
F015EH	シリアル通信動作設定レジスタ13	SCR13		R/W注1	－	－	○	0087H/
F015FH								0000H注3
F0160H	シリアル・チャネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
F0161H		－			－	－		
F0162H	シリアル・チャネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		－			－	－		
F0164H	シリアル・チャネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		－			－	－		
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	－	○	○	0000H
F0167H		－			－	－		
F0168H	シリアル出力レジスタ1	SO1		R/W	－	－	○	0F0FH/
F0169H								0303H注4
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		－			－	－		
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	－	○	○	0000H
F0175H		－			－	－		
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	－	－	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	－	－	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	－	－	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	－	－	○	FFFFH
F0187H								

注1. R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEはRead Onlyです。

2. R5F10NPJ, R5F10NMJ, R5F10NPGは0020H, R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEは0000Hになります。

3. R5F10NPJ, R5F10NMJ, R5F10NPGは0087H, R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEは0000Hになります。

4. R5F10NPJ, R5F10NMJ, R5F10NPGは0F0FH, R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEは0303Hになります。

表3－6　拡張SFR（2nd SFR）一覧（5/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	－	－	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	－	－	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	－	－	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	－	－	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	－	－	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	－	－	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	－	－	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	－	－	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	－	－	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	－	－	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	－	－	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	－	－	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	－	○	○	0000H
F01A1H		－			－	－		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	－	○	○	0000H
F01A3H		－			－	－		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	－	○	○	0000H
F01A5H		－			－	－		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	－	○	○	0000H
F01A7H		－			－	－		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	－	○	○	0000H
F01A9H		－			－	－		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	－	○	○	0000H
F01ABH		－			－	－		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	－	○	○	0000H
F01ADH		－			－	－		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	－	○	○	0000H
F01AFH		－			－	－		
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		－			－	－		

表3－6　拡張SFR（2nd SFR）一覧（6/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		－			－	－		
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		－			－	－		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	－	－	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	－	○	○	0000H
F01B9H		－			－	－		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		－			－	－		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	－	○	○	0000H
F01BDH		－			－	－		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	－	○	○	0000H
F01BFH		－			－	－		
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	－	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	－	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	－	○	－	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	－	○	－	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	－	○	－	00H
F0240H	イベント出力先選択レジスタ00	ELSELR00		R/W	－	○	－	00H
F0241H	イベント出力先選択レジスタ01	ELSELR01		R/W	－	○	－	00H
F0242H	イベント出力先選択レジスタ02	ELSELR02		R/W	－	○	－	00H
F0243H	イベント出力先選択レジスタ03	ELSELR03		R/W	－	○	－	00H
F0244H	イベント出力先選択レジスタ04	ELSELR04		R/W	－	○	－	00H
F0245H	イベント出力先選択レジスタ05	ELSELR05		R/W	－	○	－	00H
F0246H	イベント出力先選択レジスタ06	ELSELR06		R/W	－	○	－	00H
F0247H	イベント出力先選択レジスタ07	ELSELR07		R/W	－	○	－	00H
F0248H	イベント出力先選択レジスタ08	ELSELR08		R/W	－	○	－	00H
F0249H	イベント出力先選択レジスタ09	ELSELR09		R/W	－	○	－	00H
F024AH	イベント出力先選択レジスタ10	ELSELR10		R/W	－	○	－	00H
F024BH	イベント出力先選択レジスタ11	ELSELR11		R/W	－	○	－	00H
F024CH	イベント出力先選択レジスタ12	ELSELR12		R/W	－	○	－	00H
F024DH	イベント出力先選択レジスタ13	ELSELR13		R/W	－	○	－	00H
F024EH	イベント出力先選択レジスタ14	ELSELR14		R/W	－	○	－	00H
F025FH	イベント出力先選択レジスタ15	ELSELR15		R/W	－	○	－	00H
F0250H	イベント出力先選択レジスタ16	ELSELR16		R/W	－	○	－	00H
F0251H	イベント出力先選択レジスタ17	ELSELR17		R/W	－	○	－	00H
F0252H	イベント出力先選択レジスタ18	ELSELR18		R/W	－	○	－	00H
F0253H	イベント出力先選択レジスタ19	ELSELR19		R/W	－	○	－	00H
F0254H	イベント出力先選択レジスタ20	ELSELR20		R/W	－	○	－	00H
F0255H	イベント出力先選択レジスタ21	ELSELR21		R/W	－	○	－	00H
F0280H	乗算データ・レジスタA（L）（符号なし乗算）	MUL32UL		R/W	－	－	○	0000H
F0281H								

表3－6　拡張SFR（2nd SFR）一覧（7/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0282H F0283H	乗算データ・レジスタA（H）（符号なし乗算）	MUL32UH	R/W	－	－	○	0000H
F0284H F0285H	乗算データ・レジスタA（L）（符号あり乗算）	MUL32SL	R/W	－	－	○	0000H
F0286H F0287H	乗算データ・レジスタA（H）（符号あり乗算）	MUL32SH	R/W	－	－	○	0000H
F0288H F0289H	乗算データ・レジスタA（L） （符号なし積和演算）	MAC32UL	R/W	－	－	○	0000H
F028AH F028BH	乗算データ・レジスタA（H） （符号なし積和演算）	MAC32UH	R/W	－	－	○	0000H
F028CH F028DH	乗算データ・レジスタA（L） （符号あり積和演算）	MAC32SL	R/W	－	－	○	0000H
F028EH F028FH	乗算データ・レジスタA（H） （符号あり積和演算）	MAC32SH	R/W	－	－	○	0000H
F0290H F0291H	演算結果レジスタ0	MULR0	R/W	－	－	○	0000H
F0292H F0293H	演算結果レジスタ1	MULR1	R/W	－	－	○	0000H
F0294H F0295H	演算結果レジスタ2	MULR2	R/W	－	－	○	0000H
F0296H F0297H	演算結果レジスタ3	MULR3	R/W	－	－	○	0000H
F029AH	乗算コントロール・レジスタ	MULC	R/W	○	○	－	00H
F02D0H F02D1H	発振停止検出制御レジスタ	OSDC	R/W	－	－	○	0FFFH
F02D8H	高速オンチップ・オシレータ・クロック周波数補正制御レジスタ	HOCOFC	R/W	－	○	－	00H
F02E0H	DTCベース・アドレス・レジスタ	DTCBAR	R/W	－	○	－	00H
F02E5H	PLL制御レジスタ注	DSCCTL	R/W	○	○	－	00H
F02E6H	メイン・クロック制御レジスタ注	MCKC	R/W	○	○	－	00H
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	－	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	－	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	－	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	－	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4	R/W	○	○	－	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	－	00H
F02F2H F02F3H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/Wv	－	－	○	0000H
F02FAH F02FBH	CRCデータ・レジスタ	CRCD	R/W	－	－	○	0000H
F0300H	LCDポート・ファンクション・レジスタ0	PFSEG0	R/W	○	○	－	F0H
F0301H	LCDポート・ファンクション・レジスタ1	PFSEG1	R/W	○	○	－	FFH

注　R5F10NPJ, R5F10NMJ, R5F10NPGのみ搭載し、R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEは非搭載です。

表3－6　拡張SFR（2nd SFR）一覧（8/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0302H	LCDポート・ファンクション・レジスタ2	PFSEG2		R/W	○	○	－	FFH
F0303H	LCDポート・ファンクション・レジスタ3	PFSEG3		R/W	○	○	－	FFH/0FH注1
F0304H	LCDポート・ファンクション・レジスタ4	PFSEG4		R/W	○	○	－	FFH/3FH注2
F0305H	LCDポート・ファンクション・レジスタ5	PFSEG5		R/W	○	○	－	03H
F0308H	LCD入力切り替え制御レジスタ	ISCLCD		R/W	○	○	－	00H
F0312H F0313H	周波数測定カウント・レジスタL	FMCRL		R	－	－	○	0000H
F0314H F0315H	周波数測定カウント・レジスタH	FMCRH		R	－	－	○	0000H
F0316H	周波数測定コントロール・レジスタ	FMCTL		R/W	○	○	－	00H
F0330H	バックアップ電源切り替えコントロール・レジスタ0	BUPCTL0		R/W	○	○	－	00H
F0331H	バックアップ電源切り替えコントロール・レジスタ1	BUPCTL1		R/W	○	○	－	00H
F0332H	V_{DD}端子電圧検出制御レジスタ	LVDVDD		R/W	○	○	－	00H
F0333H	VBAT端子電圧検出制御レジスタ	LVDVBAT		R/W	○	○	－	00H
F0334H	VRTC端子電圧検出制御レジスタ	LVDVRTC		R/W	○	○	－	00H
F0335H	EXLVD端子電圧検出制御レジスタ	LVDEXLVD		R/W	○	○	－	00H
F0350H	8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00	TRTCMP0	R/W	－	○	○	FFH
F0351H	8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01		R/W	－	○		FFH
F0352H	8ビット・インターバル・タイマ制御レジスタ0	TRTCR0		R/W	○	○	－	00H
F0353H	8ビット・インターバル・タイマ分周レジスタ0	TRTMD0		R/W	－	○	－	00H
F0358H	8ビット・インターバル・タイマ・コンペア・レジスタ10	TRTCMP10	TRTCMP1	R/W	－	○	○	FFH
F0359H	8ビット・インターバル・タイマ・コンペア・レジスタ11	TRTCMP11		R/W	－	○		FFH
F035AH	8ビット・インターバル・タイマ制御レジスタ1	TRTCR1		R/W	○	○	－	00H
F035BH	8ビット・インターバル・タイマ分周レジスタ1	TRTMD1		R/W	－	○	－	00H
F0380H	RTCパワーオン・リセット・ステータス・レジスタ	RTCPORSR		R/W	－	○	－	00H
F0382H	RTCICn端子（n = 0-2）用ノイズ・フィルタ許可レジスタ	RTCICNFEN		R/W	－	○	－	00H
F0384H	サブ・クロック動作モード制御レジスタ	SCMC		R/W	－	○	－	00H注3
F0386H	サブ・クロック動作ステータス制御レジスタ	SCSC		R/W	○	○	－	40H
F03A0H	IrDAコントロール・レジスタ	IRCR		R/W	○	○	－	00H
F03B0H	温度センサ・コントロール・テスト・レジスタ	TMPCTL		R/W	○	○	－	00H
F03C0H F03C1H	ΔΣA/Dコンバータ・モード・レジスタ	DSADMR		R/W	－	－	○	0000H

注1. R5F10NPJ, R5F10NMJ, R5F10NPGはFFH, R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEは0FHになります。

2. R5F10NPJ, R5F10NMJ, R5F10NPGはFFH, R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEは3FHになります。

3. パワーオン・リセットによるリセット時のみ初期化されます。

表3－6　拡張SFR（2nd SFR）一覧（9/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F03C2H	ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ0	DSADGCR0		R/W	－	○	－	00H
F03C3H	ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ1	DSADGCR1		R/W	－	○	－	00H
F03C5H	ΔΣA/DコンバータHPFコントロール・レジスタ	DSADHPFCR		R/W	－	○	－	00H
F03C8H	ΔΣA/Dコンバータ割り込み制御レジスタ	DSADICR		R/W	－	○	－	00H
F03C9H	ΔΣA/Dコンバータ割り込みクリア・レジスタ	DSADICLR		W	－	○	－	00H
F03CAH	ΔΣA/Dコンバータ割り込みステータス・レジスタ	DSADISR		R	－	○	－	22H
F03D0H F03D1H	ΔΣA/Dコンバータ位相コントロール・レジスタ0	DSADPHCR0		R/W	－	－	○	0000H
F03D2H F03D3H	ΔΣA/Dコンバータ位相コントロール・レジスタ1	DSADPHCR1		R/W	－	－	○	0000H
F03D4H F03D5H	ΔΣA/Dコンバータ位相コントロール・レジスタ2	DSADPHCR2		R/W	－	－	○	0000H
F03D6H F03D7H	ΔΣA/Dコンバータ位相コントロール・レジスタ3[注]	DSADPHCR3		R/W	－	－	○	0000H
F03E0H	ΔΣA/Dコンバータ変換結果レジスタ0L	DSADCR0L	DSADCR0	R	－	○	○	00H
F03E1H	ΔΣA/Dコンバータ変換結果レジスタ0M	DSADCR0M		R	－	○		00H
F03E2H	ΔΣA/Dコンバータ変換結果レジスタ0H	DSADCR0H		R	－	○	－	00H
F03E4H	ΔΣA/Dコンバータ変換結果レジスタ1L	DSADCR1L	DSADCR1	R	－	○	○	00H
F03E5H	ΔΣA/Dコンバータ変換結果レジスタ1M	DSADCR1M		R	－	○		00H
F03E6H	ΔΣA/Dコンバータ変換結果レジスタ1H	DSADCR1H		R	－	○	－	00H
F03E8H	ΔΣA/Dコンバータ変換結果レジスタ2L	DSADCR2L	DSADCR2	R	－	○	○	00H
F03E9H	ΔΣA/Dコンバータ変換結果レジスタ2M	DSADCR2M		R	－	○		00H
F03EAH	ΔΣA/Dコンバータ変換結果レジスタ2H	DSADCR2H		R	－	○	－	00H
F03ECH	ΔΣA/Dコンバータ変換結果レジスタ3L[注]	DSADCR3L	DSADCR3	R	－	○	○	00H
F03EDH	ΔΣA/Dコンバータ変換結果レジスタ3M[注]	DSADCR3M		R	－	○		00H
F03EEH	ΔΣA/Dコンバータ変換結果レジスタ3H[注]	DSADCR3H		R	－	○	－	00H
F0400H	LCD表示データ・メモリ0	SEG0		R/W	－	○	－	00H
F0401H	LCD表示データ・メモリ1	SEG1		R/W	－	○	－	00H
F0402H	LCD表示データ・メモリ2	SEG2		R/W	－	○	－	00H
F0403H	LCD表示データ・メモリ3	SEG3		R/W	－	○	－	00H
F0404H	LCD表示データ・メモリ4	SEG4		R/W	－	○	－	00H
F0405H	LCD表示データ・メモリ5	SEG5		R/W	－	○	－	00H

注　100pin製品および64pin製品のみ搭載し、80pin製品は非搭載です。

表3－6　拡張SFR（2nd SFR）一覧（10/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0406H	LCD表示データ・メモリ6	SEG6		R/W	－	○	－	00H
F0407H	LCD表示データ・メモリ7	SEG7		R/W	－	○	－	00H
F0408H	LCD表示データ・メモリ8	SEG8		R/W	－	○	－	00H
F0409H	LCD表示データ・メモリ9	SEG9		R/W	－	○	－	00H
F040AH	LCD表示データ・メモリ10	SEG10		R/W	－	○	－	00H
F040BH	LCD表示データ・メモリ11	SEG11		R/W	－	○	－	00H
F040CH	LCD表示データ・メモリ12	SEG12		R/W	－	○	－	00H
F040DH	LCD表示データ・メモリ13	SEG13		R/W	－	○	－	00H
F040EH	LCD表示データ・メモリ14	SEG14		R/W	－	○	－	00H
F040FH	LCD表示データ・メモリ15	SEG15		R/W	－	○	－	00H
F0410H	LCD表示データ・メモリ16	SEG16		R/W	－	○	－	00H
F0411H	LCD表示データ・メモリ17	SEG17		R/W	－	○	－	00H
F0412H	LCD表示データ・メモリ18	SEG18		R/W	－	○	－	00H
F0413H	LCD表示データ・メモリ19	SEG19		R/W	－	○	－	00H
F0414H	LCD表示データ・メモリ20	SEG20		R/W	－	○	－	00H
F0415H	LCD表示データ・メモリ21	SEG21		R/W	－	○	－	00H
F0416H	LCD表示データ・メモリ22	SEG22		R/W	－	○	－	00H
F0417H	LCD表示データ・メモリ23	SEG23		R/W	－	○	－	00H
F0418H	LCD表示データ・メモリ24	SEG24		R/W	－	○	－	00H
F0419H	LCD表示データ・メモリ25	SEG25		R/W	－	○	－	00H
F041AH	LCD表示データ・メモリ26	SEG26		R/W	－	○	－	00H
F041BH	LCD表示データ・メモリ27	SEG27		R/W	－	○	－	00H
F041CH	LCD表示データ・メモリ28	SEG28		R/W	－	○	－	00H
F041DH	LCD表示データ・メモリ29	SEG29		R/W	－	○	－	00H
F041EH	LCD表示データ・メモリ30	SEG30		R/W	－	○	－	00H
F041FH	LCD表示データ・メモリ31	SEG31		R/W	－	○	－	00H
F0420H	LCD表示データ・メモリ32	SEG32		R/W	－	○	－	00H
F0421H	LCD表示データ・メモリ33	SEG33		R/W	－	○	－	00H
F0422H	LCD表示データ・メモリ34	SEG34		R/W	－	○	－	00H
F0423H	LCD表示データ・メモリ35	SEG35		R/W	－	○	－	00H
F0424H	LCD表示データ・メモリ36	SEG36		R/W	－	○	－	00H
F0425H	LCD表示データ・メモリ37	SEG37		R/W	－	○	－	00H
F0426H	LCD表示データ・メモリ38	SEG38		R/W	－	○	－	00H
F0427H	LCD表示データ・メモリ39	SEG39		R/W	－	○	－	00H
F0428H	LCD表示データ・メモリ40	SEG40		R/W	－	○	－	00H
F0429H	LCD表示データ・メモリ41	SEG41		R/W	－	○	－	00H
F0540H	8ビット・インターバル・タイマ・カウンタ・レジスタ00	TRT00	TRT0	R	－	○	○	00H
F0541H	8ビット・インターバル・タイマ・カウンタ・レジスタ01	TRT01		R	－	○		00H

表3－6　拡張SFR（2nd SFR）一覧（11/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0548H	8ビット・インターバル・タイマ・カウンタ・レジスタ10	TRT10	TRT1	R	－	○	○	00H
F0549H	8ビット・インターバル・タイマ・カウンタ・レジスタ11	TRT11		R	－	○		00H
F0581H	64Hz カウンタ	R64CNT		R	－	○	－	不定
F0583H	秒カウンタ	RSECCNT		R/W	－	○	－	不定
F0583H	バイナリカウンタ0	BCNT0		R/W	－	○	－	不定
F0585H	分カウンタ	RMINCNT		R/W	－	○	－	不定
F0585H	バイナリカウンタ1	BCNT1		R/W	－	○	－	不定
F0587H	時カウンタ	RHRCNT		R/W	－	○	－	不定
F0587H	バイナリカウンタ2	BCNT2		R/W	－	○	－	不定
F0589H	曜日カウンタ	RWKCNT		R/W	－	○	－	不定
F0589H	バイナリカウンタ3	BCNT3		R/W	－	○	－	不定
F058BH	日カウンタ	RDAYCNT		R/W	－	○	－	不定
F058DH	月カウンタ	RMONCNT		R/W	－	○	－	不定
F058EH F058FH	年カウンタ	RYRCNT		R/W	－	－	○	不定
F0591H	秒アラーム・レジスタ	RSECAR		R/W	－	○	－	不定
F0591H	バイナリカウンタ0 アラーム・レジスタ	BCNT0AR		R/W	－	○	－	不定
F0593H	分アラーム・レジスタ	RMINAR		R/W	－	○	－	不定
F0593H	バイナリカウンタ1 アラーム・レジスタ	BCNT1AR		R/W	－	○	－	不定
F0595H	時アラーム・レジスタ	RHRAR		R/W	－	○	－	不定
F0595H	バイナリカウンタ2 アラーム・レジスタ	BCNT2AR		R/W	－	○	－	不定
F0597H	曜日アラーム・レジスタ	RWKAR		R/W	－	○	－	不定
F0597H	バイナリカウンタ3 アラーム・レジスタ	BCNT3AR		R/W	－	○	－	不定
F0599H	日アラーム・レジスタ	RDAYAR		R/W	－	○	－	不定
F0599H	バイナリカウンタ0 アラーム許可レジスタ	BCNT0AER		R/W	－	○	－	不定
F059BH	月アラーム・レジスタ	RMONAR		R/W	－	○	－	不定
F059BH	バイナリカウンタ1 アラーム許可レジスタ	BCNT1AER		R/W	－	○	－	不定
F059CH F059DH	年アラーム・レジスタ	RYRAR		R/W	－	－	○	不定
F059CH F059DH	バイナリカウンタ2 アラーム許可レジスタ	BCNT2AER		R/W	－	－	○	不定
F059FH	年アラーム許可レジスタ	RYRAREN		R/W	－	○	－	不定
F059FH	バイナリカウンタ3 アラーム許可レジスタ	BCNT3AER		R/W	－	○	－	不定
F05A1H	RTCステータス・レジスタ	RSR		R/W	－	○	－	不定
F05A3H	RTCコントロール・レジスタ1	RCR1		R/W	－	○	－	不定
F05A5H	RTCコントロール・レジスタ2	RCR2		R/W	－	○	－	不定
F05A7H	RTCコントロール・レジスタ3	RCR3		R/W	－	○	－	不定
F05A9H	RTCコントロール・レジスタ4	RCR4		R/W	－	○	－	不定
F05AFH	時間誤差補正レジスタ	RADJ		R/W	－	○	－	不定
F05B3H	RTCコントロール・レジスタ5	RCR5		R/W	－	○	－	不定
F05B9H	RCR5ガード・レジスタ	RCR5GD		W	－	○	－	00H

表3－6　拡張SFR（2nd SFR）一覧（12/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F05C1H	時間キャプチャ制御レジスタ0	RTCCR0	R/W	－	○	－	不定
F05C3H	時間キャプチャ制御レジスタ1	RTCCR1	R/W	－	○	－	不定
F05C5H	時間キャプチャ制御レジスタ2	RTCCR2	R/W	－	○	－	不定
F05D3H	秒キャプチャ・レジスタ0	RSECCP0	R	－	○	－	不定
F05D3H	BCNT0 キャプチャ・レジスタ0	BCNT0CP0	R	－	○	－	不定
F05D5H	分キャプチャ・レジスタ0	RMINCP0	R	－	○	－	不定
F05D5H	BCNT1 キャプチャ・レジスタ0	BCNT1CP0	R	－	○	－	不定
F05D7H	時キャプチャ・レジスタ0	RHRCP0	R	－	○	－	不定
F05D7H	BCNT2 キャプチャ・レジスタ0	BCNT2CP0	R	－	○	－	不定
F05DBH	日キャプチャ・レジスタ0	RDAYCP0	R	－	○	－	不定
F05DBH	BCNT3 キャプチャ・レジスタ0	BCNT3CP0	R	－	○	－	不定
F05DDH	月キャプチャ・レジスタ0	RMONCP0	R	－	○	－	不定
F05E3H	秒キャプチャ・レジスタ1	RSECCP1	R	－	○	－	不定
F05E3H	BCNT0 キャプチャ・レジスタ1	BCNT0CP1	R	－	○	－	不定
F05E5H	分キャプチャ・レジスタ1	RMINCP1	R	－	○	－	不定
F05E5H	BCNT1 キャプチャ・レジスタ1	BCNT1CP1	R	－	○	－	不定
F05E7H	時キャプチャ・レジスタ1	RHRCP1	R	－	○	－	不定
F05E7H	BCNT2 キャプチャ・レジスタ1	BCNT2CP1	R	－	○	－	不定
F05EBH	日キャプチャ・レジスタ1	RDAYCP1	R	－	○	－	不定
F05EBH	BCNT3 キャプチャ・レジスタ1	BCNT3CP1	R	－	○	－	不定
F05EDH	月キャプチャ・レジスタ1	RMONCP1	R	－	○	－	不定
F05F3H	秒キャプチャ・レジスタ2	RSECCP2	R	－	○	－	不定
F05F3H	BCNT0 キャプチャ・レジスタ2	BCNT0CP2	R	－	○	－	不定
F05F5H	分キャプチャ・レジスタ2	RMINCP2	R	－	○	－	不定
F05F5H	BCNT1 キャプチャ・レジスタ2	BCNT1CP2	R	－	○	－	不定
F05F7H	時キャプチャ・レジスタ2	RHRCP2	R	－	○	－	不定
F05F7H	BCNT2 キャプチャ・レジスタ2	BCNT2CP2	R	－	○	－	不定
F05FBH	日キャプチャ・レジスタ2	RDAYCP2	R	－	○	－	不定
F05FBH	BCNT3 キャプチャ・レジスタ2	BCNT3CP2	R	－	○	－	不定
F05FDH	月キャプチャ・レジスタ2	RMONCP2	R	－	○	－	不定

備考　SFR領域のSFRについては，**表3－5　SFR一覧**を参照してください。

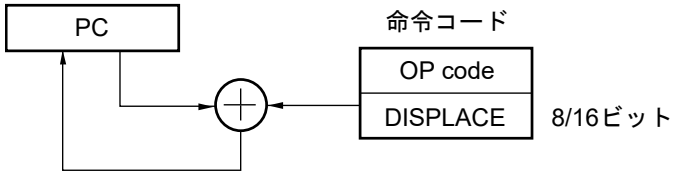
3. 3　命令アドレスのアドレッシング

3. 3. 1　レラティブ・アドレッシング

【機　　能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し，命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127または－32768～＋32767）を加算した結果を，プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3－12　レラティブ・アドレッシングの概略



3. 3. 2　イミーディエト・アドレッシング

【機　　能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と，16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3－13　CALL !!addr20/BR !!addr20の例

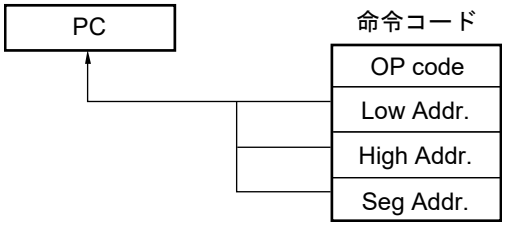
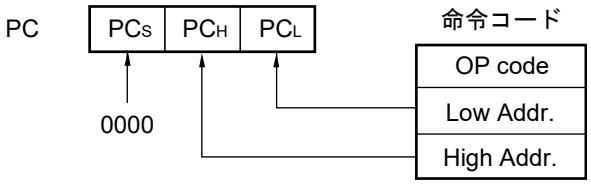


図3－14　CALL !addr16/BR !addr16の例



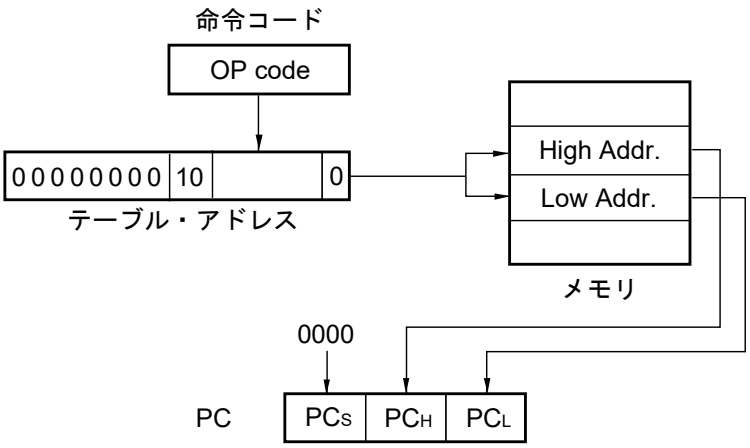
3. 3. 3　テーブル・インダイレクト・アドレッシング

【機　　能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは，00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3－15　テーブル・インダイレクト・アドレッシングの概略

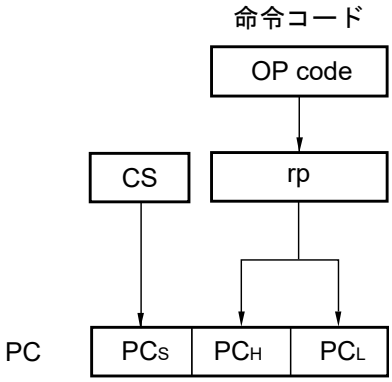


3. 3. 4　レジスタ・ダイレクト・アドレッシング

【機　　能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3－16　レジスタ・ダイレクト・アドレッシングの概略



3. 4　処理データ・アドレスに対するアドレッシング

3. 4. 1　インプライド・アドレッシング

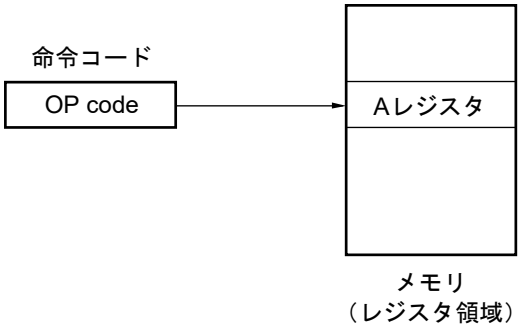
【機　　能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3－17　インプライド・アドレッシングの概略



3. 4. 2　レジスタ・アドレッシング

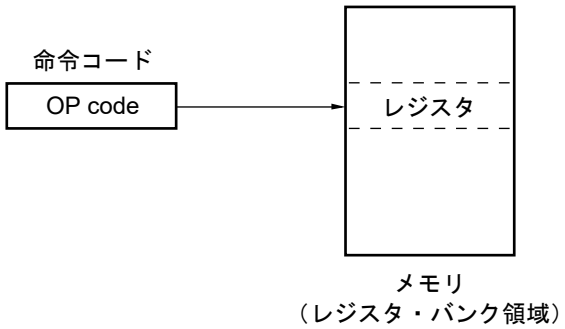
【機　　能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット，16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X，A，C，B，E，D，L，H
rp	AX，BC，DE，HL

図3－18　レジスタ・アドレッシングの概略



3. 4. 3　ダイレクト・アドレッシング

【機　　能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミーディエト・データ （F0000H-FFFFFH空間のみ指定可能）
ES:!addr16	ラベルまたは16ビット・イミーディエト・データ （ESレジスタにて上位4ビット・アドレス指定）

図3－19　!addr16の例

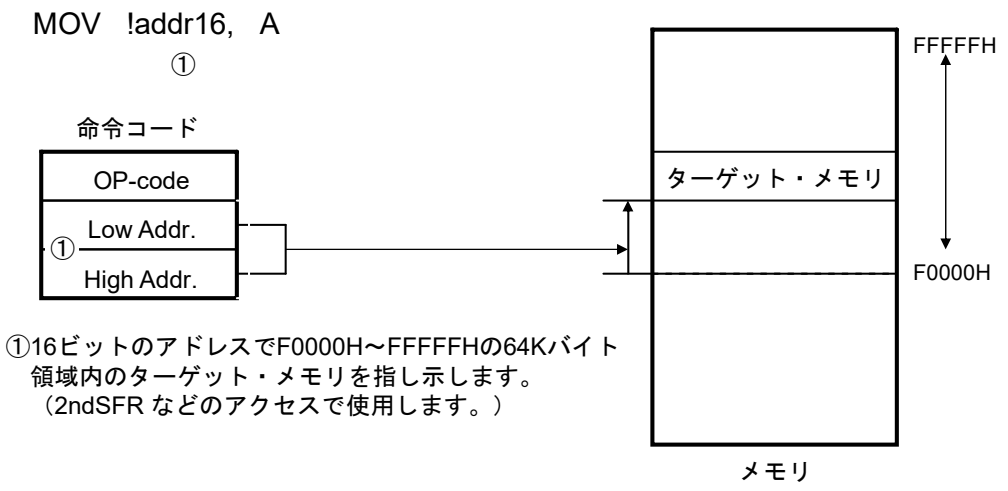
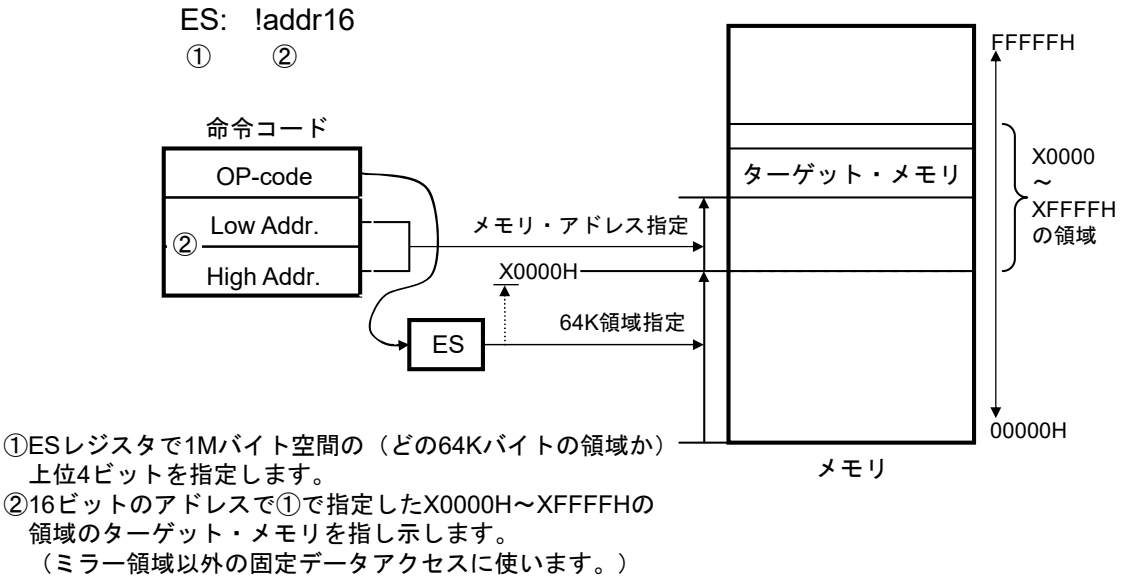


図3－20　ES:!addr16の例



3. 4. 4　ショート・ダイレクト・アドレッシング

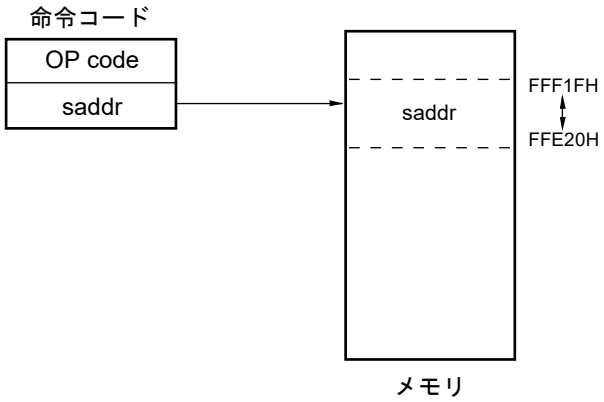
【機　　能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ （FFE20H-FFF1FH空間のみ指定可能）
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（偶数アドレスのみ） （FFE20H-FFF1FH空間のみ指定可能）

図3－21　ショート・ダイレクト・アドレッシングの概略



備考　SADDR, SADDRPは，（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また，20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし，どちらの形式で書いても，メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3. 4. 5　SFRアドレッシング

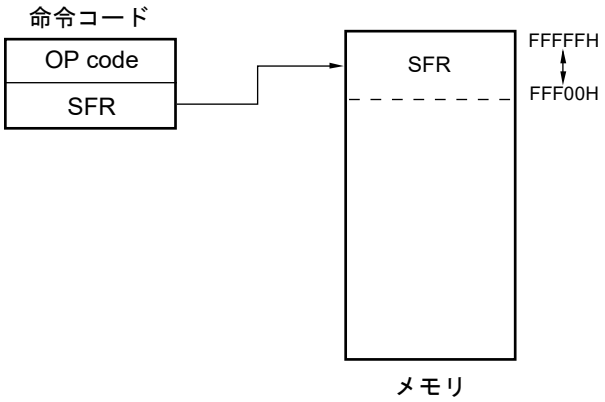
【機　　能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3－22　SFRアドレッシングの概略



3.4.6　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[DE]，[HL] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[DE]，ES:[HL] （ESレジスタにて上位4ビット・アドレス指定）

図3－23　[DE]，[HL]の例

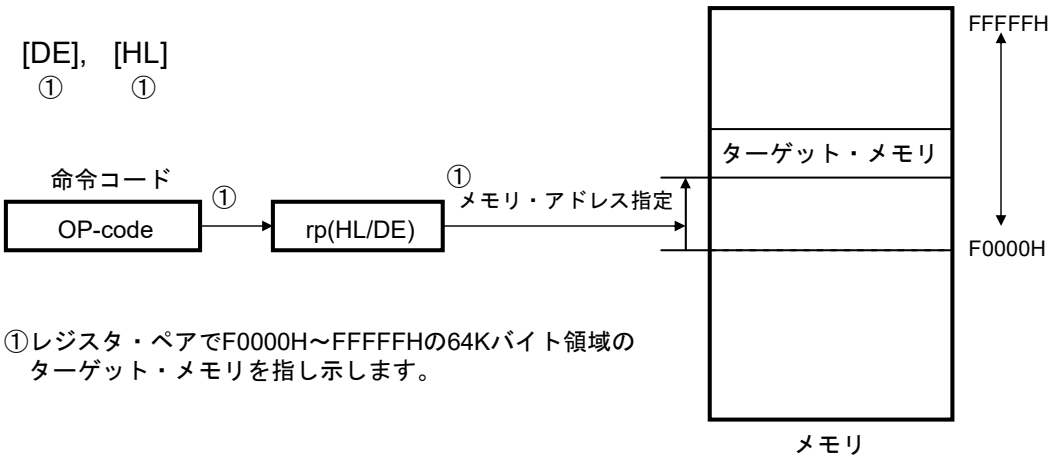
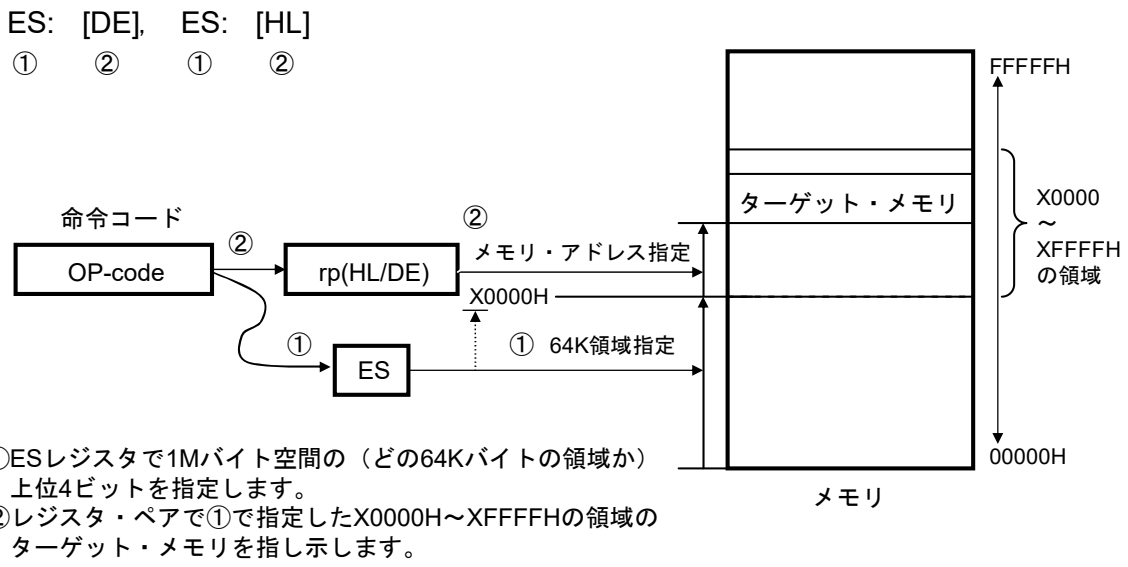


図3－24　ES:[DE]，ES:[HL]の例



3.4.7　ベースト・アドレッシング

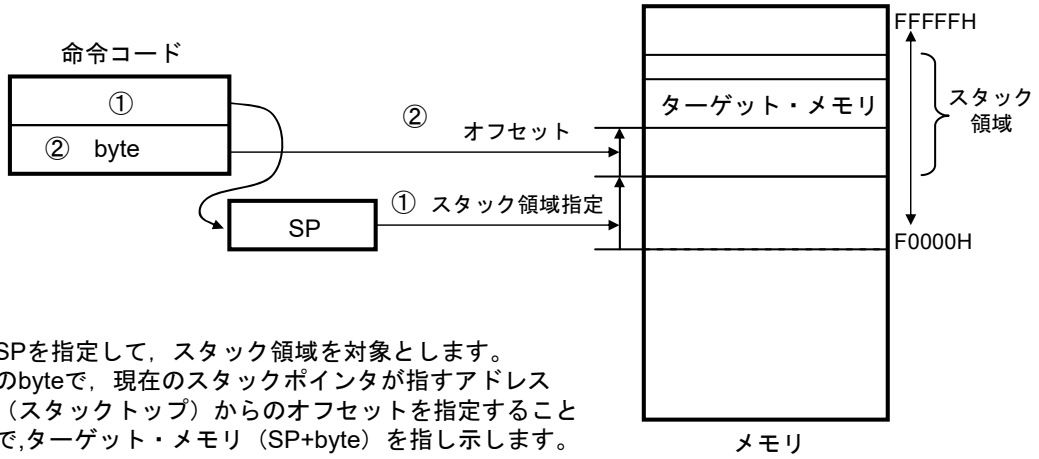
【機　　能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし，8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋byte]，[DE + byte]，[SP + byte] （F0000H-FFFFFH空間のみ指定可能）
－	word[B]，word[C] （F0000H-FFFFFH空間のみ指定可能）
－	word[BC] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋byte]，ES:[DE + byte] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[B]，ES:word[C] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[BC] （ESレジスタにて上位4ビット・アドレス指定）

図3－25　[SP+byte]の例



①SPを指定して，スタック領域を対象とします。
②のbyteで，現在のスタックポインタが指すアドレス（スタックトップ）からのオフセットを指定することで,ターゲット・メモリ（SP+byte）を指し示します。

図3－26　[HL+byte]，[DE+byte]の例

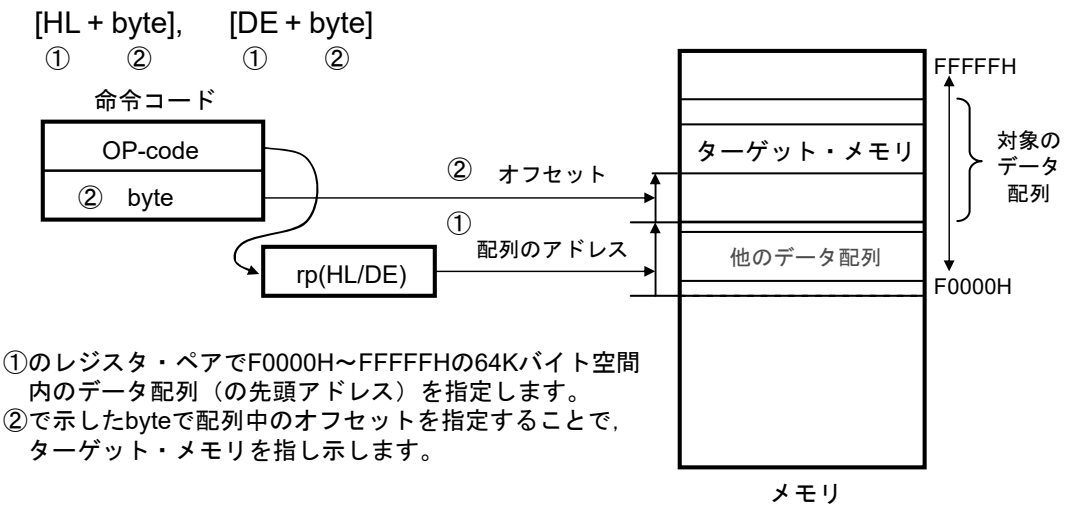


図3－27　word[B]，word[C]の例

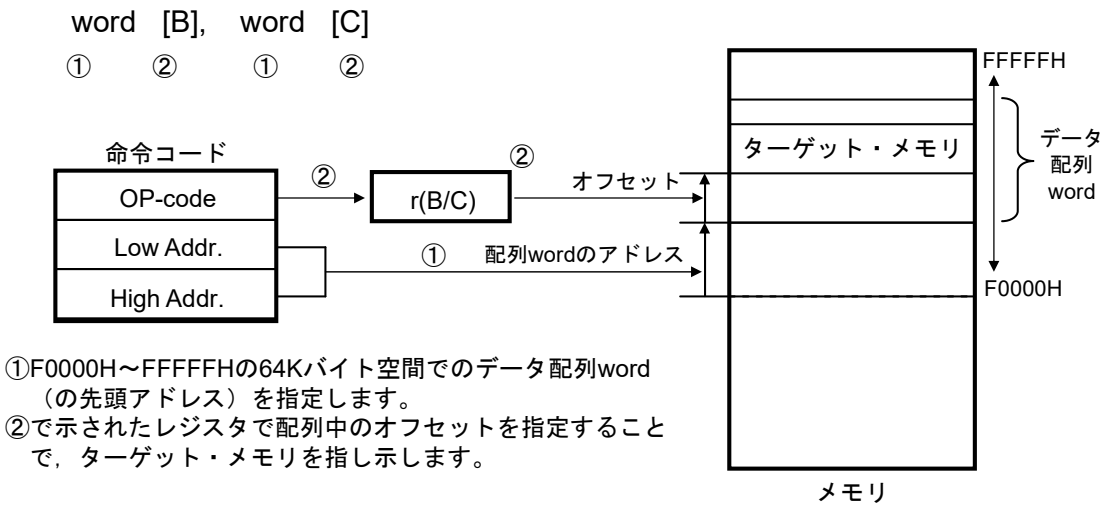


図3－28　word[BC]の例

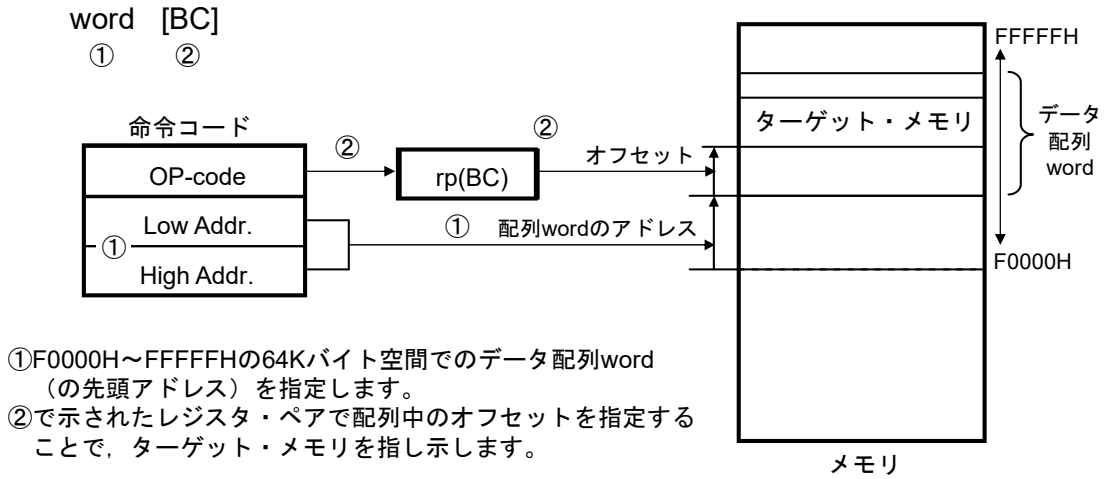


図3－29　ES:[HL+byte]，ES:[DE+byte]の例

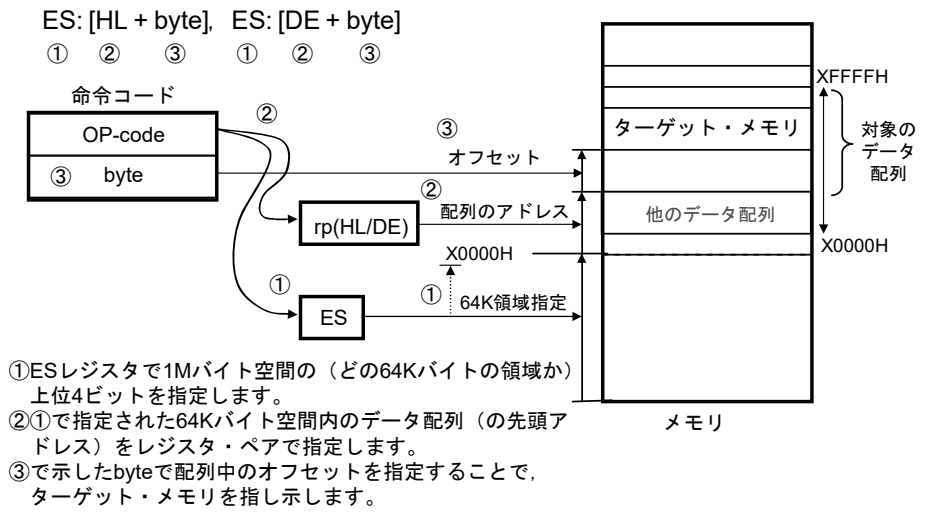


図3－30　ES:word[B]，ES:word[C]の例

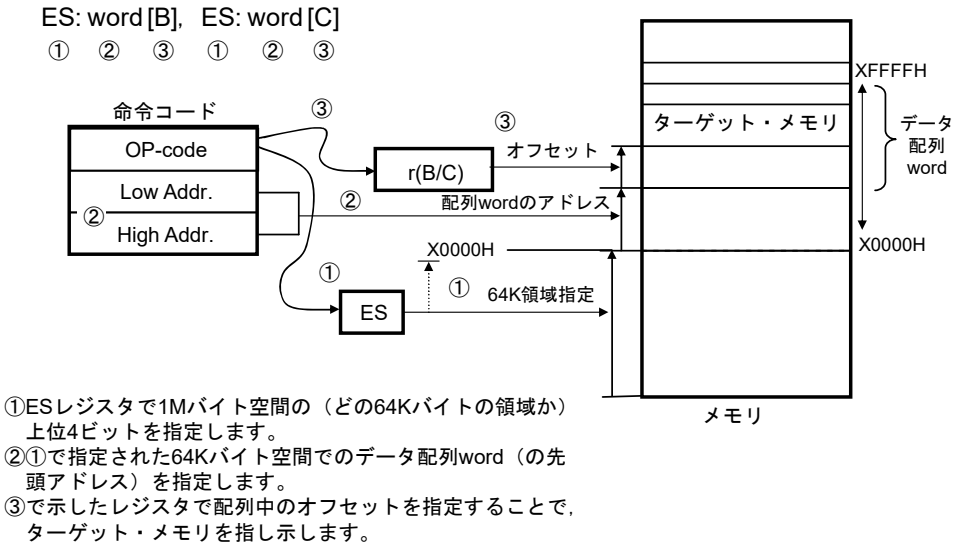
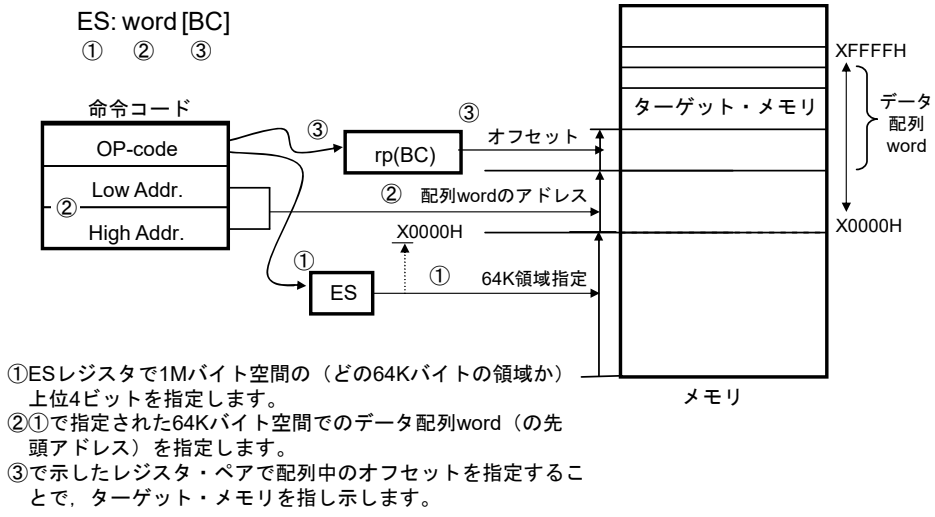


図3－31　ES:word[BC]の例



3. 4. 8　ベースト・インデクスト・アドレッシング

【機　　能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋B]，[HL＋C] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋B]，ES:[HL＋C] （ESレジスタにて上位4ビット・アドレス指定）

図3－32　[HL+B]，[HL+C]の例

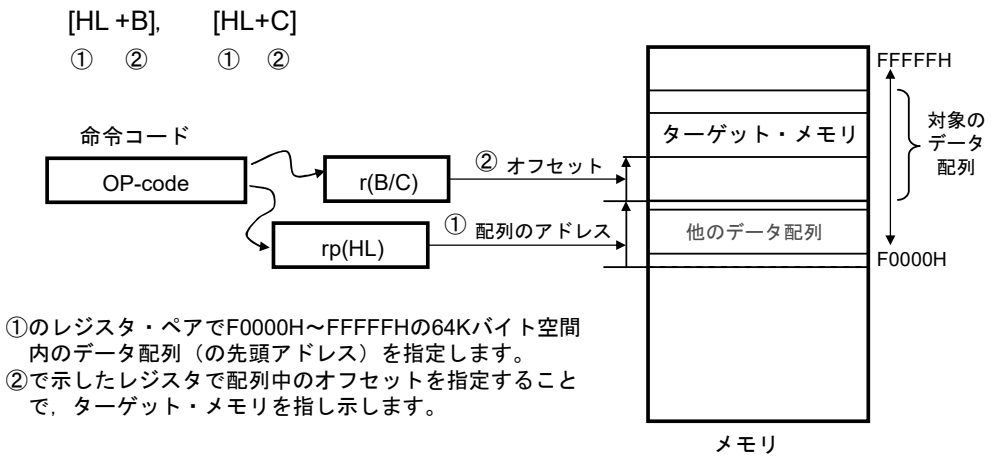
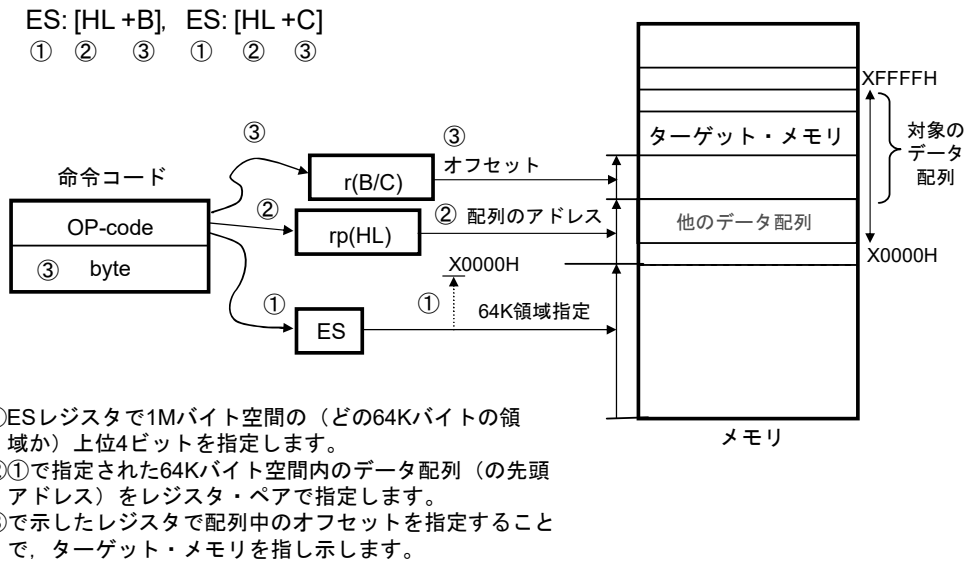


図3－33　ES:[HL+B]，ES:[HL+C]の例



3.4.9　スタック・アドレッシング

【機　　能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

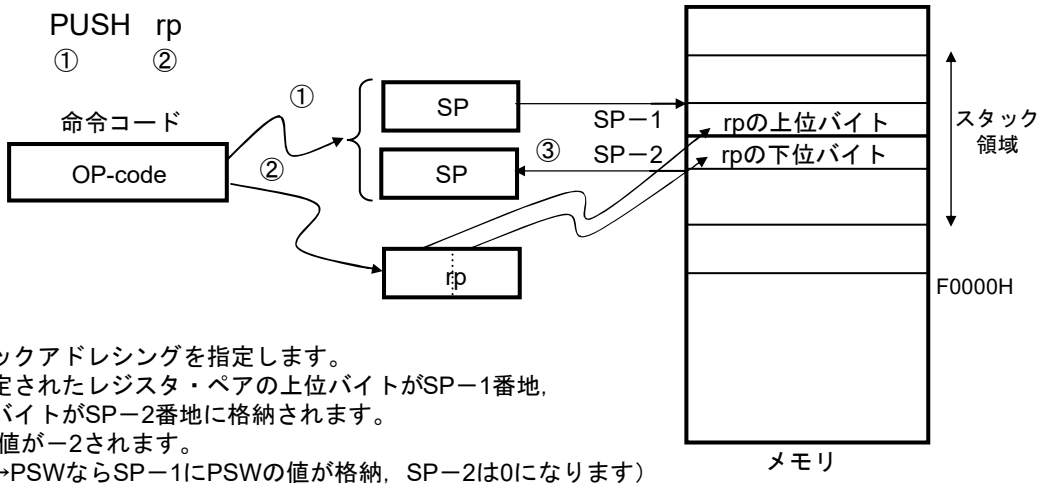
スタック領域は内部RAM上にだけ設定できます。

【オペランド形式】

表現形式	記述方法
－	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

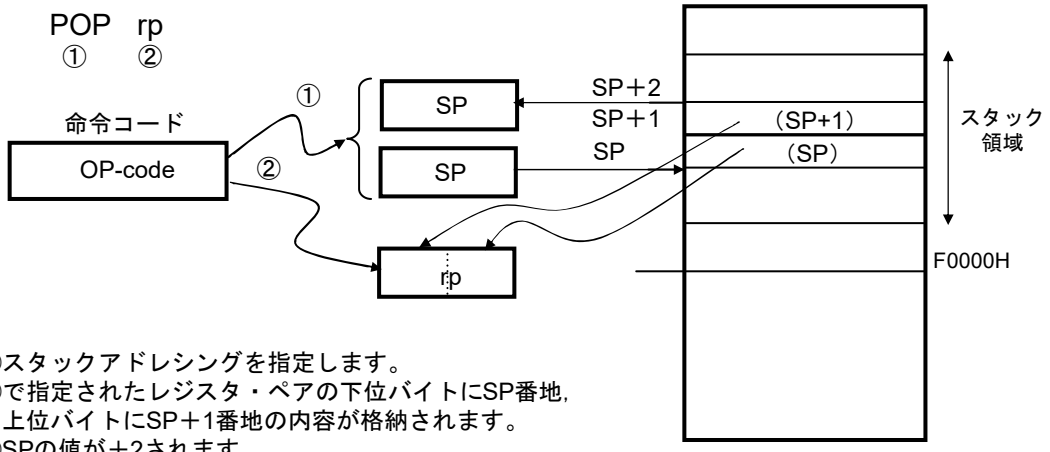
各スタック動作によって退避／復帰されるデータは図3－34～図3－39のようになります。

図3－34　PUSH rpの例



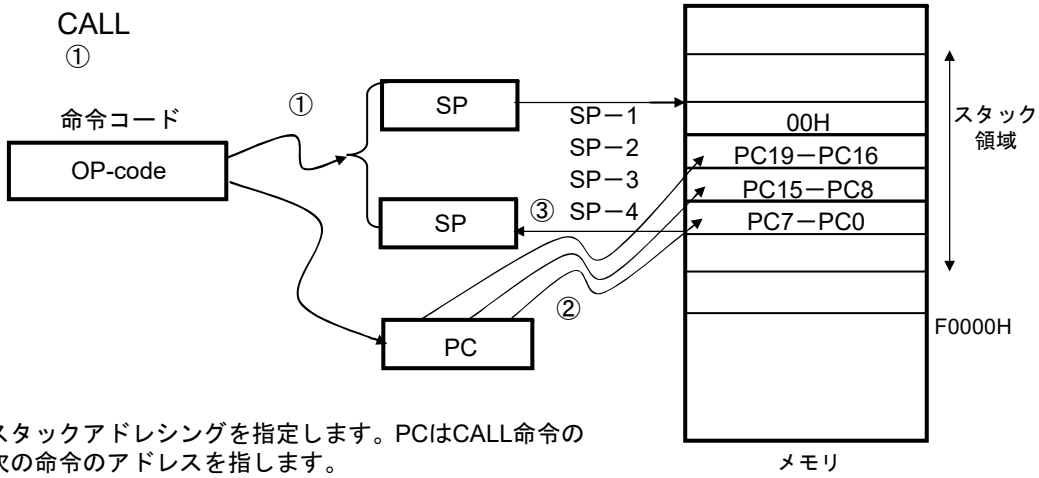
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP－1番地，
　下位バイトがSP－2番地に格納されます。
③SPの値が－2されます。
　（rp→PSWならSP－1にPSWの値が格納，SP－2は0になります）

図3－35　POPの例



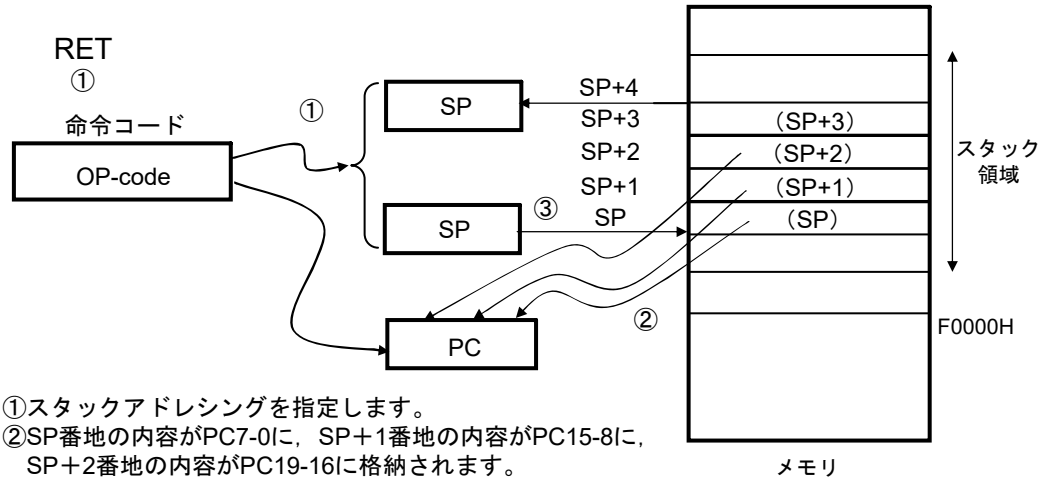
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
　上位バイトにSP＋1番地の内容が格納されます。
③SPの値が＋2されます。
　（rp→PSWならSP＋1番地の内容がPSWに格納されます）

図3－36　CALL，CALLTの例



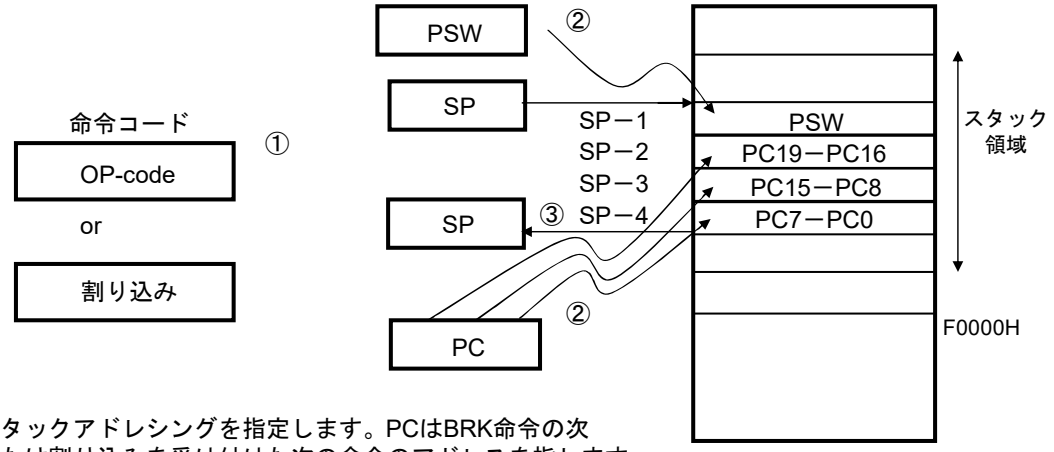
①スタックアドレシングを指定します。PCはCALL命令の
　次の命令のアドレスを指します。
②SP－1番地には00Hが，SP－2番地にはPC19-16の値が，
　SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の
　値が格納されます。
③SPの値が－4されます。

図3－37　RETの例



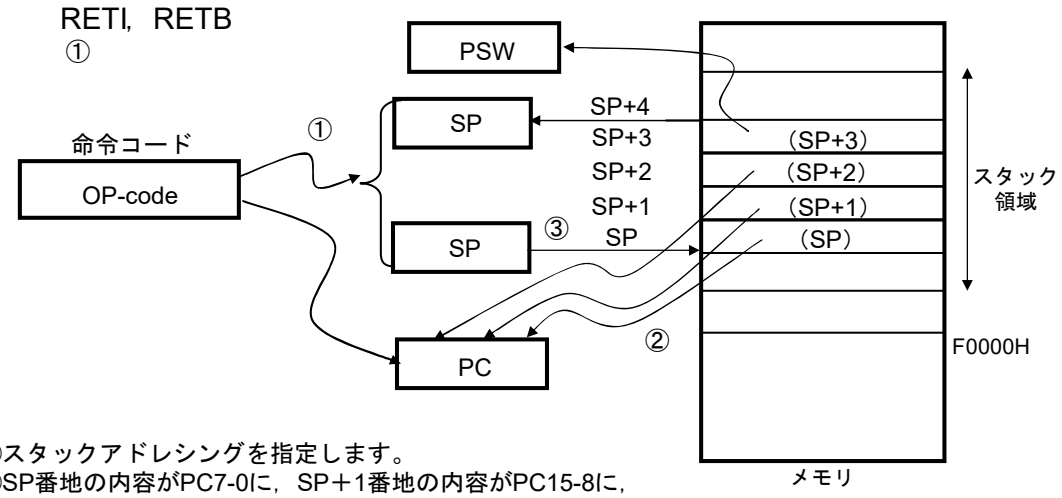
①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に格納されます。
③SPの値が＋4されます。

図3－38　割り込み，BRKの例



①スタックアドレシングを指定します。PCはBRK命令の次
　または割り込みを受け付けた次の命令のアドレスを指します。
②SP－1番地にはPSWの値が，SP－2番地にはPC19-16の値が，
　SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の値が
　格納されます。
③SPの値が－4されます。

図3－39　RETI，RETBの例



①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に，SP＋3番地の内容がPSW
　格納されます。
③SPの値が＋4されます。

第4章　ポート機能

4. 1　ポートの機能

RL78/I1Cは，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，**第2章 端子機能**を参照してください。

4. 2　ポートの構成

ポートは，次のハードウエアで構成しています。

表4－1　ポートの構成

項　　目	構　　成
制御レジスタ	ポート・モード・レジスタ（PM0-PM8, PM12, PM15） ポート・レジスタ（P0-P8, P12, P13, P15） プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3-PU5, PU7, PU8, PU12, PU15） ポート入力モード・レジスタ（PIM0, PIM1, PIM5, PIM8） ポート出力モード・レジスタ（POM0, POM1, POM5, POM8） A/Dポート・コンフィギュレーション・レジスタ（ADPC） 周辺I/Oリダイレクション・レジスタ（PIOR0） グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS） LCDポート・ファンクション・レジスタ（PFSEG0-PFSEG5） LCD入力切り替え制御レジスタ（ISCLCD）
ポート	・64ピン製品： 合計：35本（CMOS入出力：27本（N-ch O.D.入出力[V_{DD}耐圧]：10本），CMOS入力：5本，N-ch オープン・ドレイン入出力[6 V耐圧]：3本） ・80ピン製品： 合計：52本（CMOS入出力：44本（N-ch O.D.入出力[EV_{DD}耐圧]：13本），CMOS入力：5本，N-ch オープン・ドレイン入出力[6 V耐圧]：3本） ・100ピン製品： 合計：68本（CMOS入出力：60本（N-ch O.D.入出力[EV_{DD}耐圧]：16本），CMOS入力：5本，N-ch オープン・ドレイン入出力[6 V耐圧]：3本）
プルアップ抵抗	・64ピン製品：合計：24本 ・80ピン製品：合計：41本 ・100ピン製品：合計：55本

4. 2. 1　ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P02-P07端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P02, P03, P05, P06端子の入力は，ポート入力モード・レジスタ0（PIM0）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P02-P07端子の出力は，ポート出力モード・レジスタ0（POM0）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）に設定可能です。

また，兼用機能としてプログラミングUARTの送受信，シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，外部割り込み要求入力があります。80ピン製品はLCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により，入力モードになります。80ピン製品はP02-P07端子はデジタル入力無効[注3]になります。

注1　64ピン製品の場合

2　80, 100ピン製品の場合

3　デジタル入力無効とは，デジタル出力，デジタル入力，LCD出力のいずれも無効な状態を示します。

4. 2. 2　ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P12[注1], P13[注1], P15, P16端子の入力は，ポート入力モード・レジスタ1（PIM1）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P12-P14[注1], P15-P17端子の出力は，ポート出力モード・レジスタ1（POM1）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）に設定可能です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により，デジタル入力無効[注3]になります。

注1　64ピン製品の場合

2　80, 100ピン製品の場合

3　デジタル入力無効とは，デジタル出力，デジタル入力，LCD出力のいずれも無効な状態を示します。

4. 2. 3　ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力，A/Dコンバータの＋側基準電圧入力，A/Dコンバータの－側基準電圧入力，外部低電圧検出用電位入力があります。

P20/ANI0-P25/ANI5をデジタル入出力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で“デジタル入出力”に設定して，上位ビットから使用してください。

P20/ANI0-P25/ANI5をアナログ入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に，かつPM2レジスタで入力モードに設定して，下位ビットから使用してください。

リセット信号の発生により，アナログ入力になります。

表4－2　ANI0/P21-ANI5/P25端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/AVREFP/ANI0, P21/AVREFM/ANI1, P22/ANI2/EXLVD, P23/ANI3, P24/ANI4, P25/ANI5端子
デジタル入出力選択	入力モード	×	デジタル入力
	出力モード	×	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象） （ANI0-ANI5端子使用時）
		ANI非選択	アナログ入力（非変換対象） （EXLVD端子使用時）
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考　×：don’t care

4. 2. 4　ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30-P37端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

64ピン製品のP30端子の入力は，ポート入力モード・レジスタ3(PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

64ピン製品のP31端子の出力は，ポート出力モード・レジスタ3(POM3)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧)に設定可能です。

また，兼用機能としてクロック出力／ブザー出力，タイマの入出力，LCDコントローラ／ドライバのセグメント出力があります。64ピン製品はシリアル・インタフェースのデータ入出力、IrDA用送受信,外部割込み要求入力があります。

リセット信号の発生により，デジタル入力無効[注]になります。

注　デジタル入力無効とは，デジタル出力，デジタル入力，LCD出力のいずれも無効な状態を示します。

4. 2. 5　ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力，クロック出力／ブザー出力，タイマ入出力，フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 6　ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P55, P57端子の入力は，ポート入力モード・レジスタ5(PIM5)の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P56, P57端子の出力は，ポート出力モード・レジスタ5(POM5)により1ビット単位でN-chオープン・ドレイン出力(EV_{DD}耐圧)に設定可能です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，IrDA用送受信，LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により，デジタル入力無効[注]になります。

注　デジタル入力無効とは，デジタル出力，デジタル入力，LCD出力のいずれも無効な状態を示します。

4. 2. 7　ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61, P62端子の出力は，N-chオープン・ドレイン出力（6 V耐圧）です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，リアルタイム・クロックの補正クロック出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 8　ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7（PM7）により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてLCDコントローラ／ドライバのセグメント出力，キー割込み入力，外部割り込み要求入力があります。

リセット信号の発生により，デジタル入力無効[注]になります。

注　デジタル入力無効とは，デジタル出力，デジタル入力，LCD出力のいずれも無効な状態を示します。

4. 2. 9　ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8（PM8）により1ビット単位で入力モード／出力モードの指定ができます。P80-P85端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ8（PU8）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P80，P81，P84端子の入力は，ポート入力モード・レジスタ8（PIM8）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P80-P82, P84-P85端子の出力は，ポート出力モード・レジスタ8（POM8）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）に設定可能です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により，デジタル入力無効[注3]になります。

注1　64ピン製品の場合

2　80, 100ピン製品の場合

3　デジタル入力無効とは，デジタル出力，デジタル入力，LCD出力のいずれも無効な状態を示します。

4. 2. 10　ポート12

P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12（PM12）により，1ビット単位で入力モード／出力モードの指定ができます。P125-P127端子を入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力専用ポートです。

また兼用機能としてメイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力，LCDコントローラ／ドライバ用コンデンサ接続，LCD駆動用電圧端子，外部割り込み要求入力，タイマの入出力があります。

リセット信号の発生により，P121-P124が入力モードになります。P125-P127がデジタル入力無効[注]になります。

注　デジタル入力無効とは，デジタル出力，デジタル入力，LCD出力のいずれも無効な状態を示します。

4. 2. 11　ポート13

P137は1ビット入力専用ポートです。P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

4. 2. 12　ポート15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15（PM15）により1ビット単位で入力モード／出力モードの指定ができます。P150-P152端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ15（PU15）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P150-P152端子はリセット信号の発生により，デフォルトで内蔵プルアップ抵抗が有効になります。

また，兼用機能としてRTC時間キャプチャ入力，リアルタイム・クロックの補正クロック出力があります。

リセット信号の発生により，入力モード（内蔵プルアップ抵抗接続）になります。

4. 3　ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

・ポート・モード・レジスタ（PMxx）
・ポート・レジスタ（Pxx）
・プルアップ抵抗オプション・レジスタ（PUxx）
・ポート入力モード・レジスタ（PIMx）
・ポート出力モード・レジスタ（POMx）
・A/Dポート・コンフィギュレーション・レジスタ（ADPC）
・周辺I/Oリダイレクション・レジスタ（PIOR0）
・グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）
・LCDポート・ファンクション・レジスタ（PFSEG0-PFSEG5）
・LCD入力切り替え制御レジスタ（ISCLCD）

注意　製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表4−3を参照してください。また，搭載していないビットには必ず初期値を設定してください。

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット（1/3）

ポート		ビット名					64ピン	80ピン	100ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ			
ポート0	0	－	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－	－
	2	PM02	P02	PU02	PIM02	POM02	－	○	○
	3	PM03	P03	PU03	PIM03	POM03	－	○	○
	4	PM04	P04	PU04	－	POM04	－	○	○
	5	PM05	P05	PU05	PIM05	POM05	○	○	○
	6	PM06	P06	PU06	PIM06	POM06	○	○	○
	7	PM07	P07	PU07	－	POM07	○	○	○
ポート1	0	PM10	P10	PU10	－	－	○	○	○
	1	PM11	P11	PU11	－	－	○	○	○
	2	PM12	P12	PU12	PIM12 注	POM12注	○	○	○
	3	PM13	P13	PU13	PIM13 注	POM13注	○	○	○
	4	PM14	P14	PU14	－	POM14注	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	○	○	○
	6	PM16	P16	PU16	PIM16	POM16	○	○	○
	7	PM17	P17	PU17	－	POM17	○	○	○
ポート2	0	PM20	P20	－	－	－	○	○	○
	1	PM21	P21	－	－	－	○	○	○
	2	PM22	P22	－	－	－	○	○	○
	3	PM23	P23	－	－	－	○	○	○
	4	PM24	P24	－	－	－	－	－	○
	5	PM25	P25	－	－	－	－	－	○
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート3	0	PM30	P30	PU30	PIM30 注	－	○	○	○
	1	PM31	P31	PU31	－	POM31 注	○	○	○
	2	PM32	P32	PU32	－	－	－	○	○
	3	PM33	P33	PU33	－	－	－	○	○
	4	PM34	P34	PU34	－	－	－	－	○
	5	PM35	P35	PU35	－	－	－	－	○
	6	PM36	P36	PU36	－	－	－	－	○
	7	PM37	P37	PU37	－	－	－	－	○

注.　64ピン製品のみ

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット（2/3）

ポート		ビット名					64ピン	80ピン	100ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ			
ポート4	0	PM40	P40	PU40	－	－	○	○	○
	1	PM41	P41	PU41	－	－	－	○	○
	2	PM42	P42	PU42	－	－	－	－	○
	3	PM43	P43	PU43	－	－	○	－	○
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート5	0	PM50	P50	PU50	－	－	－	－	○
	1	PM51	P51	PU51	－	－	－	－	○
	2	PM52	P52	PU52	－	－	－	－	○
	3	PM53	P53	PU53	－	－	－	－	○
	4	PM54	P54	PU54	－	－	－	－	○
	5	PM55	P55	PU55	PIM55	－	－	○	○
	6	PM56	P56	PU56	－	POM56	－	○	○
	7	PM57	P57	PU57	PIM57	POM57	－	－	○
ポート6	0	PM60	P60	－	－	－	○	○	○
	1	PM61	P61	－	－	－	○	○	○
	2	PM62	P62	－	－	－	○	○	○
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート7	0	PM70	P70	PU70	－	－	○	○	○
	1	PM71	P71	PU71	－	－	○	○	○
	2	PM72	P72	PU72	－	－	○	○	○
	3	PM73	P73	PU73	－	－	○	○	○
	4	PM74	P74	PU74	－	－	○	○	○
	5	PM75	P75	PU75	－	－	－	○	○
	6	PM76	P76	PU76	－	－	－	○	○
	7	PM77	P77	PU77	－	－	－	○	○

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット（3/3）

ポート		ビット名					64ピン	80ピン	100ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ			
ポート8	0	PM80	P80	PU80	PIM80	POM80	－	○	○
	1	PM81	P81	PU81	PIM81	POM81	－	○	○
	2	PM82	P82	PU82	－	POM82	－	○	○
	3	PM83	P83	PU83	－	－	－	○	○
	4	PM84	P84	PU84	PIM84	POM84	－	－	○
	5	PM85	P85	PU85	－	POM85	－	－	○
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート12	0	－	－	－	－	－	－	－	－
	1	－	P121	－	－	－	○	○	○
	2	－	P122	－	－	－	○	○	○
	3	－	P123	－	－	－	○	○	○
	4	－	P124	－	－	－	○	○	○
	5	PM125	P125	PU125	－	－	○	○	○
	6	PM126	P126	PU126	－	－	○	○	○
	7	PM127	P127	PU127	－	－	○	○	○
ポート13	0	－	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	P137	－	－	－	○	○	○
ポート15	0	PM150	P150	PU150	－	－	－	○	○
	1	PM151	P151	PU151	－	－	－	○	○
	2	PM152	P152	PU152	－	－	－	○	○
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－

4. 3. 1　ポート・モード・レジスタ（PMxx）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，**4. 5　兼用機能使用時のレジスタの設定**を参照し，設定してください。

図4－1　ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	1	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	1	FFF2CH	FFH	R/W
PM15	1	1	1	1	1	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 （m = 0-8, 12, 15 ; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 2　ポート・レジスタ（Pxx）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます[注]。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注　P20-P25をA/Dコンバータまたはコンパレータのアナログ入力機能として設定した場合，ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4－2　ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	0	0	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	0	0	P25	P24	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	0	0	0	0	P43	P42	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	0	0	0	0	0	P62	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H（出力ラッチ）	R/W
P8	0	0	P85	P84	P83	P82	P81	P80	FFF08H	00H（出力ラッチ）	R/W
P12	P127	P126	P125	P124	P123	P122	P121	0	FFF0CH	不定	R/W[注]
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R/W[注]
P15	0	0	0	0	0	P152	P151	P150	FFF0FH	00H（出力ラッチ）	R/W

Pmn	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注　P121-P124, P137はRead Onlyです。

注意　搭載していないビットには必ず初期値を設定してください。

備考　m = 0-8, 12, 13, 15 ; n = 0-7

4. 3. 3　プルアップ抵抗オプション・レジスタ（PUxx）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，通常出力モード（POMmn = 0）かつ入力モード（PMmn = 1）に設定したビットにのみ，ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定（ADPC = 1）にしている場合も同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H（PU4は01H、PU15は07H）になります。

注意　PIMnレジスタがあるポートで，異電位デバイスからTTLバッファに入力する場合は，PUmn = 0を設定して，外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4－3　プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	0	0	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	0	0	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	0	F003CH	00H	R/W
PU15	0	0	0	0	0	PU152	PU151	PU150	F003FH	07H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 （m = 0, 1, 3-5, 7, 8, 12, 15 ; n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 4　ポート入力モード・レジスタ（PIMxx）

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－4　ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	PIM06	PIM05	0	PIM03	PIM02	0	0	F0040H	00H	R/W
PIM1	0	PIM16	PIM15	0	PIM13 注	PIM12 注	0	0	F0041H	00H	R/W
PIM3注	0	0	0	0	0	0	0	PIM30 注	F0043H	00H	R/W
PIM5	PIM57	0	PIM55	0	0	0	0	0	F0045H	00H	R/W
PIM8	0	0	0	PIM84	0	0	PIM81	PIM80	F0048H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 （m = 0, 1, 3 注, 5, 8 ; n = 0-7）
0	通常入力バッファ
1	TTL入力バッファ

注.　64ピン製品のみ

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 5　ポート出力モード・レジスタ（POMxx）

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA00, SDA10端子にN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モードを選択できます。

また，POMxxレジスタはPUxxレジスタとともに，内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD1}耐圧[注2]）モード（POMmn = 1）を設定したビットは，内蔵プルアップ抵抗が接続されません。

図4－5　ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	0	0	F0050H	00H	R/W
POM1	POM17	POM16	POM15	POM14 注1	POM13 注1	POM12 注1	0	0	F0051H	00H	R/W
POM3[注1]	0	0	0	0	0	0	POM31 注1	0	F0053H	00H	R/W
POM5	POM57	POM56	0	0	0	0	0	0	F0055H	00H	R/W
POM8	0	0	POM85	POM84	0	POM82	POM81	POM80	F0058H	00H	R/W

POMmn	Pmn端子の出力モードの選択 （m = 0, 1, 5, 8 ; n = 0-7）
0	通常出力モード
1	N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD1}耐圧[注2]）モード

注1.　64ピン製品の場合

2.　80, 100ピン製品の場合

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 6　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

P20/AVREFP/ANI0, P21/AVREFM/ANI1, P22/ANI2/EXLVD, P23/ANI3, P24/ANI4, P25/ANI5端子を，ポートのデジタル入出力／A/Dコンバータまたはコンパレータのアナログ入力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－6　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え					
			ANI5/P25	ANI4/P24	ANI3/ P23	ANI2/EXLVD/ P22	ANI1/P21	ANI0/P20
0	0	0	A	A	A	A	A	A
0	0	1	D	D	D	D	D	D
0	1	0	D	D	D	D	D	A
0	1	1	D	D	D	D	A	A
1	0	0	D	D	D	A	A	A
1	0	1	D	D	A	A	A	A
1	1	0	D	A	A	A	A	A
上記以外			設定禁止					

注意1.　ADPCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。

2.　ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

3.　AVREFPとAVREFMを使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

4. 3. 7　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）

バッテリ･バックアップ機能使用時などにおいて, EVDDの電源をオフするときに, EVDDを電源とする入力バッファの貫通電流を防止するレジスタです。

GDIDIS0ビットを1に設定することにより，EVDDに接続されているすべての入力バッファを入力禁止とし，EVDDに接続されている電源がオフになったときの貫通電流を防止します。

GDIDISレジスタは，1ビット・メモリ操作または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－7　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）のフォーマット

アドレス：F007DH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EVDD電源の入力バッファ設定
0	入力バッファの入力許可（デフォルト）
1	入力バッファの入力禁止。入力バッファへの貫通電流防止

EVDDの電源をオフする場合は，次の手順で設定してください。

① 入力バッファの入力禁止（GDIDIS0 = 1）に設定

② EVDDの電源オフ

EVDDの電源を再投入する場合は，次の手順で設定してください。

① EVDDの電源オン

② 入力バッファの入力許可（GDIDIS0 = 0）に設定

注意1.　EVDDを電源とする入力ポートに，EVDD以上の入力電圧を入力しないでください。

2.　入力バッファの入力禁止（GDIDIS0 = 1）を設定した場合，EVDDを電源とするポートのポート・レジスタ（Pxx）の読み出し値は“1”となります。また，ポート出力モード・レジスタ（POMxx）に“1”（N-chオープン・ドレイン出力（EVDD耐圧））設定時は，ポート・レジスタ（Pxx）の読み出し値は“0”となります。

備考　入力バッファの入力禁止（GDIDIS0 = 1）を設定した場合でも，EVDDを電源とするポート機能を使用しない周辺機能は使用できます。

4. 3. 8　周辺I/Oリダイレクション・レジスタ（PIOR0）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は，PIOR0レジスタでポートを割り当ててから，動作許可にしてください。

なお，リダイレクトの設定を変更できるのは，その機能を動作許可にするまでです。

PIOR0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット

アドレス：F0077H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR0	0	0	0	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00

ビット	機能	100ピン		80ピン		64ピン	
		設定値		設定値		設定値	
		0	1	0	1	0	1
PIOR04	INTP0[注]	P137	P70	P137	P70	P137	P70
	INTP1	P125	P71	P125	P71	P125	P71
	INTP2	P07	P72	P07	P72	P07	P72
	INTP3	P05	P73	P05	P73	P05	P73
	INTP4	P04	P74	P04	P74	P06	P74
	INTP5	P02	P75	P02	P75	P30	–
	INTP6	P41	P76	P41	P76	P13	–
	INTP7	P42	P77	–	P77	P16	–
PIOR03	PCLBUZ0	P43	P33	–	P33	P43	P74
	PCLBUZ1	P41	P32	P41	P32	P125	P73
	RTCOUT	P150	P62	P150	P62	P43	P62
PIOR02	SO10/TXD1	P04	P82	P04	P82	P14	–
	SI10/RXD1/SDA10	P03	P81	P03	P81	P13	–
	SCK10/SCL10	P02	P80	P02	P80	P12	–
PIOR01	SO00/TXD0	P07	P17	P07	P17	P07	P17
	SI00/RXD0/SDA00	P06	P16	P06	P16	P06	P16
	SCK00/SCL00	P05	P15	P05	P15	P05	P15
PIOR00	TI00/TO00	P43	P60	–	P60	P43	P60
	TI01/TO01	P41	P61	P41	P61	P72	P61
	TI02/TO02	P07	P62	P07	P62	P07	P62
	TI03/TO03	P06	P127	P06	P127	P06	P127
	TI04/TO04	P05	P126	P05	P126	P05	P126
	TI05/TO05	P04	P125	P04	P125	P125	–
	TI06/TO06	P03	P31	P03	P31	P31	–
	TI07/TO07	P02	P30	P02	P30	P30	–

注　バッテリ・バックアップ機能を使用し，VBAT端子から給電した時，P137端子は動作可能端子です。INTP0機能をP70へ割り当て，VBAT端子から給電した時，割込み機能が使えなくなりますので，注意してください。

4. 3. 9　LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5）

P10-P17, P30-P37, P50-P57, P70-P77, P80-P85端子をポート（セグメント出力以外）／セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG5レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります（PFSEG0はF0H, PFSEG5は03H）。

備考 セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と，製品によるSEGxx端子の有無を**表4－4　各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）**に示します。

図4－9　LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5）のフォーマット

アドレス：F0300H　リセット時：F0H　R/W

略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

アドレス：F0301H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15 注3	PFSEG14 注3	PFSEG13 注3	PFSEG12 注3	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス：F0302H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23 注3	PFSEG22 注3	PFSEG21 注3	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

アドレス：F0303H　リセット時：FFH(R5F10NPJ，R5F10NMJ，R5F10NPG)、0FH(R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLE)　R/W

略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31 注1, 2, 3	PFSEG30 注1, 2, 3	PFSEG29 注1, 2, 3	PFSEG28 注1, 2, 3	PFSEG27 注3	PFSEG26 注3	PFSEG25	PFSEG24

アドレス：F0304H　リセット時：FFH(R5F10NPJ，R5F10NMJ，R5F10NPG)、3FH(R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLE)　R/W

略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39 注1, 2	PFSEG38 注1, 2	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

アドレス：F0305H　リセット時：03H　R/W

略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	0	0	0	PFSEG41	PFSEG40

PFSEGxx (xx = 04-41)	Pmn端子のポート（セグメント出力以外）／セグメント出力の指定 (mn = 10-17, 30-37, 50-57, 70-77, 80-85)
0	ポート（セグメント出力以外）として使用
1	セグメント出力として使用

注1. R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEの初期値は“0”になります。また“1”を設定しても動作に影響はなく読み出した値は“0”になります。

2. 80ピン製品では必ず“1”を設定してください。

3. 64ピン製品では必ず“1”を設定してください。

注意　搭載していないビットには必ず初期値を設定してください。

備考　セグメント出力として使用する（PFSEGxx = 1）場合には必ずPUmレジスタのPUmnビット = 0，POMmレジスタのPOMmnビット = 0，PIMmレジスタのPIMmnビット = 0に設定してください。

表4－4　各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	64-pin	80-pin	100-pin
PFSEG04	SEG4	P10	○	○	○
PFSEG05	SEG5	P11	○	○	○
PFSEG06	SEG6	P12	○	○	○
PFSEG07	SEG7	P13	○	○	○
PFSEG08	SEG8	P14	○	○	○
PFSEG09	SEG9	P15	○	○	○
PFSEG10	SEG10	P16	○	○	○
PFSEG11	SEG11	P17	○	○	○
PFSEG12	SEG12	P80	－	○	○
PFSEG13	SEG13	P81	－	○	○
PFSEG14	SEG14	P82	－	○	○
PFSEG15	SEG15	P83	－	○	○
PFSEG16	SEG16	P70	○	○	○
PFSEG17	SEG17	P71	○	○	○
PFSEG18	SEG18	P72	○	○	○
PFSEG19	SEG19	P73	○	○	○
PFSEG20	SEG20	P74	○	○	○
PFSEG21	SEG21	P75	－	○	○
PFSEG22	SEG22	P76	－	○	○
PFSEG23	SEG23	P77	－	○	○
PFSEG24	SEG24	P30	○	○	○
PFSEG25	SEG25	P31	○	○	○
PFSEG26	SEG26	P32	－	○	○
PFSEG27	SEG27	P33	－	○	○
PFSEG28	SEG28	P34	－	－	○
PFSEG29	SEG29	P35	－	－	○
PFSEG30	SEG30	P36	－	－	○
PFSEG31	SEG31	P37	－	－	○
PFSEG32	SEG32	80ピン製品　：P02 100ピン製品　：P50	－	○	○
PFSEG33	SEG33	80ピン製品　：P03 100ピン製品　：P51	－	○	○
PFSEG34	SEG34	80ピン製品　：P04 100ピン製品　：P52	－	○	○
PFSEG35	SEG35	80ピン製品　：P05 100ピン製品　：P53	－	○	○
PFSEG36	SEG36	80ピン製品　：P06 100ピン製品　：P54	－	○	○
PFSEG37	SEG37	80ピン製品　：P07 100ピン製品　：P55	－	○	○
PFSEG38	SEG38	P56	－	－	○
PFSEG39	SEG39	P57	－	－	○
PFSEG40	SEG40	P84	－	－	○
PFSEG41	SEG41	P85	－	－	○

4. 3. 10　LCD入力切り替え制御レジスタ（ISCLCD）

P125-P127端子をポート（LCD機能以外）／LCD機能（V_{L3}，CAPL，CAPH）のどちらで使用するかを設定するレジスタです。

ISCLCDレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－10　LCD入力切り替え制御レジスタ（ISCLCD）のフォーマット

アドレス：F0308H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	V_{L3}/P125端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効（LCD機能（V_{L3}）として使用）
1	デジタル入力有効

ISCCAP	CAPL/P126, CAPH/P127端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効（LCD機能（CAPL, CAPH）として使用）
1	デジタル入力有効

注意　ISCVL3ビット = 0，ISCCAP ビット = 0の場合，対応するポート制御レジスタは，次のように設定してください。

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0
PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0
PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

4.4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1　入出力ポートへの書き込み

（1）出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

（2）入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.2　入出力ポートからの読み出し

（1）出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

（2）入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3　入出力ポートでの演算

（1）出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

（2）入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4. 4. 4　異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法

異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続時には，EV_{DD}を接続先の電源に合わせることで汎用ポートでの入出力接続が可能です。

4. 4. 5　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応

ポート入力モード・レジスタ0, 1, 3, 5, 8 (PIM0, PIM1, PIM3, PIM5, PIM8)，ポート出力モード・レジスタ0, 1, 3, 5, 8 (POM0, POM1, POM3, POM5, POM8)で入出力バッファを切り換えることにより，異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスからの入力を受ける場合，ポート入力モード・レジスタ0, 1, 3, 5, 8 (PIM0, PIM1, PIM3, PIM5, PIM8)をビットごとに設定して，通常入力（CMOS）/TTL入力バッファを切り換えます。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスへ出力する場合，ポート出力モード・レジスタ0, 1, 3, 5, 8 (POM0, POM1, POM3, POM5, POM8)をビットごとに設定して，通常出力（CMOS）/N-chオープン・ドレイン（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）を切り換えます。

以下，シリアル・インタフェースでの接続について説明します。

注1. 64ピン製品の場合
2. 80, 100ピン製品の場合

(1) UART0-UART3, CSI00, CSI10, CSI30機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合　：P06 (P16)
UART1の場合　：P03 (P81)
UART2の場合　：P55
UART3の場合　：P84
CSI00の場合　：P05, P06 (P15, P16)
CSI10の場合　：P02, P03 (P80, P81)
CSI30の場合　：P57, P84

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。

① 使用する入力端子を，外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② PIM0, PIM1, PIM3, PIM5, PIM8レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，V_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。
③ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI（CSI[注]）モードに設定します。

注　一般的にはSPI と呼ばれる機能ですが、本製品ではCSI とも呼称しているため、本マニュアルでは併記します。

（2）UART0-UART3, CSI00, CSI10, CSI30機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合　：P07 (P17)
UART1の場合　：P04 (P82)
UART2の場合　：P56
UART3の場合　：P85
CSI00の場合　：P05, P07 (P15, P17)
CSI10の場合　：P02, P04 (P80, P82)
CSI30の場合　：P57, P85

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。

① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM0, POM1, POM3, POM5, POM8レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モードに設定します。
⑤ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI (CSI)モードに設定します。
⑥ PM0, PM1, PM3, PM5, PM8レジスタを操作して出力モードに設定します。
この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

注1. 64ピン製品の場合
2. 80, 100ピン製品の場合

（3）IIC00, IIC10, IIC30機能の入出力ポートを，異電位（1.8 V系, 2.5 V系, 3 V系）で使用する場合の設定手順

IIC00の場合　：P05, P06 (P15, P16)
IIC10の場合　：P02, P03 (P80, P81)
IIC30の場合　：P57,P84

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。

① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM0，POM1，POM5，POM8レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モードに設定します。
⑤ PIM0，PIM1，PIM5，PIM8レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，VIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。
⑥ シリアル・アレイ・ユニットを動作許可し，簡易I^2Cモードに設定します。
⑦ PM0, PM1, PM5, PM8レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

注1. 64ピン製品の場合
2. 80, 100ピン製品の場合

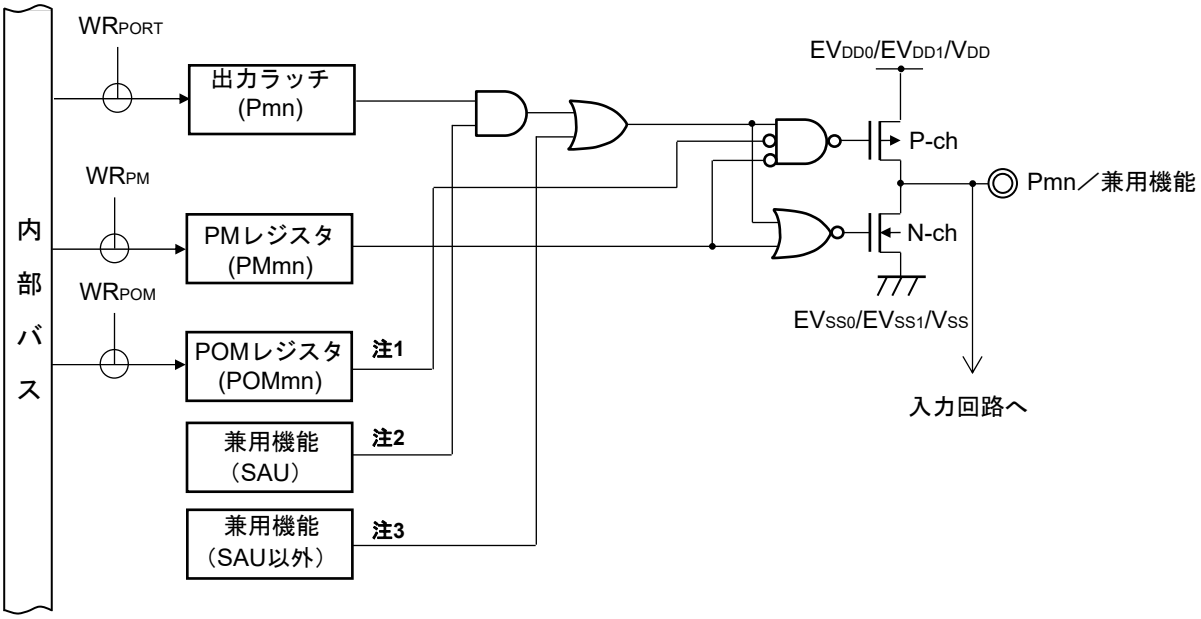
4. 5　兼用機能使用時のレジスタの設定

4. 5. 1　兼用機能使用時の基本的な考え方

最初に，アナログ入力と兼用している端子については，アナログ入力で使用するかデジタル入出力で使用するかをADPCレジスタで設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を**図4－11**に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には，兼用しているSAU以外の機能（TAU，RTC2，クロック／ブザー出力，IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には，使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を**表4－5**に示します。

図4－11　端子の出力回路の基本的な構成



注1. POMレジスタがない場合には，この信号はLow（0）と考えてください。

2. 兼用機能がない場合には，この信号はHigh（1）と考えてください。

3. 兼用機能がない場合には，この信号はLow（0）と考えてください。

備考　m：ポート番号（m = 0-8, 12, 13, 15），n：ビット番号（n = 0-7）

表4－5　基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	－	出力はHigh（1）	出力はLow（0）
SAUの出力機能	High（1）	－	出力はLow（0）
SAU以外の出力機能	Low（0）	出力はHigh（1）	出力はLow（0）注

注　1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので，使用しない兼用機能の出力はLow（0）にしておく必要があります。具体的な設定方法については，**4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定**を参照してください。

4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には，次に示す設定を行ってください。なお，周辺I/Oリダイレクト機能の対象になっている場合には，周辺I/Oリダイレクション・レジスタ（PIOR0）を設定することで，出力を他の端子に切り替えることもできます。これにより，対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります

(1) SOp = 1/TxDq = 1（SAUのシリアル出力（SOp/TxDq）を使用しない場合の設定）
SAUをシリアル入力のみで使用するなど，シリアル出力（SOp/TxDq）を使用しない場合は，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(2) SCKp = 1/SDAr = 1/SCLr = 1（SAUのチャネルnを使用しない場合の設定）
SAUを使用しない場合は，シリアル・チャネル許可ステータス・レジスタm（SEm）のビットn（SEmn）を0（動作停止状態）に設定し，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットとCKOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(3) TOmn = 0（TAUのチャネルnの出力を使用しない場合の設定）
TAUのTOmn出力を使用しない場合は，使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットを0（出力禁止），タイマ出力レジスタ0（TO0）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(4) SDAAn = 0/SCLAn = 0（IICAを使用しない場合の設定）
IICAを使用しない場合は，IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5) PCLBUZn = 0（クロック出力/ブザー出力を使用しない場合の設定）
クロック出力/ブザー出力を使用しない場合は，クロック出力選択レジスタn（CKSn）のPCLOEnビットを0（出力禁止）にしてください。これは初期状態と同じ設定です。

4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を**表4－6**に示します。ポート機能を制御するレジスタを**表4－6**のように設定してください。なお，**表4－6**の表記については次の備考を参照してください。

備考

－	：対象外
×	：don’t care
PIOR0×	：周辺I/Oリダイレクション・レジスタ
POM××	：ポート出力モード・レジスタ
PM××	：ポート・モード・レジスタ
P××	：ポートの出力ラッチ
PU××	：プルアップ抵抗オプション・レジスタ
PIM××	：ポート入力モード・レジスタ
PFSEG××	：LCDポート・ファンクション・レジスタ
ISCLCD	：LCD入力切り替え制御レジスタ

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（1/10）

端子名称	使用機能		PIOR0×	POM××	PM××	P××	PFSEG××（ISCVL3, ISCCAP）注	兼用機能出力		64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P02	P02	入力	－	×	1	×	0	－	－	×	○	○
		出力	×	0	0	0/1	0	SCL10 = 1	TO07 = 0			
		N-chOD出力	×	1	0	0/1	0					
	SCL10	出力	PIOR02 = 0	0/1	0	1	0	－	TO07 = 0			
	SCK10	入力	PIOR02 = 0	×	1	×	0	－	－	×	○	○
		出力	PIOR02 = 0	0/1	0	1	0	－	TO07 = 0			
	TI07	入力	PIOR00 = 0	×	1	×	0	－	－			
	TO07	出力	PIOR00 = 0	0	0	0	0	SCL10 = 1	－			
	INTP5	入力	PIOR04 = 0	×	1	×	0	－	－			
	SEG32	出力	×	0	0	0	1	－	－	×	○	×
P03	P03	入力	－	×	1	×	0	－	－	×	○	○
		出力	×	0	0	0/1	0	SDA10 = 1	TO06 = 0			
		N-chOD出力	×	1	0	0/1	0					
	RxD1	入力	PIOR02 = 0	×	1	×	0	－	－			
	TI06	入力	PIOR00 = 0	×	1	×	0	－	－			
	TO06	出力	PIOR00 = 0	0	0	0	0	SDA10 = 1	－			
	SDA10	入出力	PIOR02 = 0	1	0	1	0	－	TO06 = 0			
	SI10	入力	PIOR02 = 0	×	1	×	0	－	－			
	SEG33	出力	×	0	0	0	1	－	－	×	○	×
P04	P04	入力	－	×	1	×	0	－	－	×	○	○
		出力	×	0	0	0/1	0	TxD1/SO10 = 1	TO05 = 0			
		N-chOD出力	×	1	0	0/1	0					
	TxD1	出力	PIOR02 = 0	0/1	0	1	0	－	TO05 = 0			
	TI05	入力	PIOR00 = 0	×	1	×	0	TxD1/SO10 = 1	－			
	TO05	出力	PIOR00 = 0	0	0	0	0	TxD1 = 1	－			
	INTP4	入力	PIOR04 = 0	×	1	×	0	－	－			
	SO10	出力	PIOR02 = 0	0/1	0	1	0	－	TO05 = 0			
	SEG34	出力	×	0	0	0	1	－	－	×	○	×
P05	P05	入力	－	×	1	×	0	－	－	○	○	○
		出力	×	0	0	0/1	0	SCK00/SCL00 = 1	TO04 = 0			
		N-chOD出力	×	1	0	0/1	0					
	SCK00	入力	PIOR01 = 0	×	1	×	0	－	－			
		出力		0/1	0	1	0	－	TO04 = 0			
	SCL00	出力	PIOR01 = 0	0/1	0	1	0	－	TO04 = 0			
	TI04	入力	PIOR00 = 0	×	1	×	0	－	－			
	TO04	出力	PIOR00 = 0	0	0	0	0	SCK00/SCL00 = 1	－			
	INTP3	入力	PIOR04 = 0	×	1	×	0	－	－			
	SEG35	出力	×	0	0	0	1	－	－	×	○	×
P06	P06	入力	－	×	1	×	0	－	－	○	○	○
		出力	×	0	0	0/1	0	SDA00 = 1	TO03 = 0			
		N-chOD出力	×	1	0	0/1	0					
	SI00	入力	PIOR01 = 0	×	1	×	0	－	－			
	RxD0	入力	PIOR01 = 0	×	1	×	0	－	－			
	TI03	入力	PIOR00 = 0	×	1	×	0	－	－			
	TO03	出力	PIOR00 = 0	0	0	0	0	SDA00 = 1	－			
	SDA00	入出力	PIOR01 = 0	1	0	1	0	－	TO03 = 0			
	TOOLRxD	入力	×	×	1	×	0	－	－			
	SEG36	出力	×	0	0	0	1	－	－	×	○	×
	INTP4	入力	PIOR04 = 0	×	1	×	0	－	－	○	×	×

注　ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（2/10）

端子名称	使用機能		PIOR0×	POM××	PM××	P××	PFSEG××（ISCVL3, ISCCAP）注	兼用機能出力		64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P07	P07	入力	－	×	1	×	0	－	－	○	○	○
		出力	×	0	0	0/1	0	SO00/TxD0 = 1	TO02 = 0			
		N-chOD出力	×	1	0	0/1	0					
	SO00	出力	PIOR01 = 0	0/1	0	1	0	－	TO02 = 0			
	TxD0	出力	PIOR01 = 0	0/1	0	1	0	－	TO02 = 0			
	TI02	入力	PIOR00 = 0	×	1	×	0	－	－			
	TO02	出力	PIOR00 = 0	0	0	0	0	SO00/TxD0 = 1	－			
	INTP2	入力	PIOR04 = 0	×	1	×	0	－	－			
	TOOLTxD	出力	×	0/1	0	1	0	－	－			
	SEG37	出力	×	0	0	0	1	－	－	×	○	×
P10	P10	入力	－	－	1	×	0	－	－	○	○	○
		出力	－	－	0	0/1	0	－	－			
	SEG4	出力	－	－	0	0	1	－	－			
P11	P11	入力	－	－	1	×	0	－	－	○	○	○
		出力	－	－	0	0/1	0	－	－			
	SEG5	出力	－	－	0	0	1	－	－			
P12	P12	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	SCK10/SCL10 = 1	－			
		N-chOD出力	×	1	0	0/1	0			○	×	×
	SEG6	出力	×	－	0	0	1	SCK10/SCL10 = 1	－	○	○	○
	SCK10	入力	PIOR02 = 0	×	1	×	0	－	－	○	×	×
		出力	PIOR02 = 0	0/1	0	1	0	－	－			
	SCL10	出力	PIOR02 = 0	0/1	0	1	0	－	－	○	×	×
P13	P13	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	SDA10 = 1	－			
		N-chOD出力	×	1	0	0/1	0			○	×	×
	SEG7	出力	×	－	0	0	1	－	－	○	○	○
	INTP6	入力	PIOR04 = 0	－	1	×	0	－	－	○	×	×
	SI10	入力	PIOR02 = 0	×	1	×	0	－	－			
	RXD1	入力	PIOR02 = 0	×	1	×	0	－	－			
	SDA10	入出力	PIOR02 = 0	1	0	1	0	－	－			
P14	P14	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	SO10/TxD1 = 1	－			
		N-chOD出力	×	1	0	0/1	0		－	○	×	×
	SEG8	出力	×	－	0	0	1	－	－	○	○	○
	SO10	出力	PIOR02 = 0	0/1	0	1	0	－	－	○	×	×
	TxD1	出力	PIOR02 = 0	0/1	0	1	0	－	－			
P15	P15	入力	－	×	1	×	0	－	－	○	○	○
		出力	×	0	0	0/1	0	(SCK00/SCL00) = 1	－			
		N-chOD出力	×	1	0	0/1	0					
	SEG9	出力	×	0	0	0	1	－	－			
	(SCK00)	入力	PIOR01 = 1	×	1	×	0	－	－			
		出力	PIOR01 = 1	0/1	0	1	0	－	－			
	(SCL00)	出力	PIOR01 = 1	0/1	0	1	0	－	－			

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（3/10）

端子名称	使用機能		PIOR0×	POM××	PM××	P××	PFSEG××（ISCVL3, ISCCAP）注	兼用機能出力		64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P16	P16	入力	－	×	1	×	0	－	－	○	○	○
		出力	×	0	0	0/1	0	(SDA00) = 1	－			
		N-chOD出力	×	1	0	0/1	0					
	SEG10	出力	×	0	0	0	1	－				
	(SI00)	入力	PIOR01 = 1	×	1	×	0	－	－			
	(RxD0)	入力	PIOR01 = 1	×	1	×	0	－	－			
	(SDA00)	入出力	PIOR01 = 1	1	0	0	0	－	－			
	INTP7	入力	PIOR04 = 0	－	1	×	0	－	－	○	×	×
P17	P17	入力	－	×	1	×	0	－	－	○	○	○
		出力	×	0	0	0/1	0	(SO00/TxD0) = 1	－			
		N-chOD出力	×	1	0	0/1	0					
	SEG11	出力	×	0	0	0	1	－	－			
	(SO00)	出力	PIOR01 = 1	0/1	0	1	0	－	－			
	(TxD0)	出力	PIOR01 = 1	0/1	0	1	0	－	－			

注　ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（4/10）

端子名称	使用機能		ADPC	ADM2	PM××	P××	64ピン	80ピン	100ピン
	機能名称	入出力							
P20	P20	入力	01H	×	1	×	○	○	○
		出力	01H	×	0	0/1			
	ANI0	アナログ入力	00H/02H～06H	00x0xx0xB 10x0xx0xB	1	×			
	AV_{REFP}	基準電圧入力	00H/02H～06H	01x0xx0xB	1	×			
P21	P21	入力	01H/02H	×	1	×	○	○	○
		出力	01H/02H	×	0	0/1			
	ANI1	アナログ入力	00H/03H～06H	xx00xx0xB	1	×			
	AV_{REFM}	基準電圧入力	00H/03H～06H	xx10xx0xB	1	×			
P22	P22	入力	01H～03H	×	1	×	○	○	○
		出力	01H～03H	×	0	0/1			
	ANI2	アナログ入力	00H/04H～06H	×	1	×			
	EXLVD	アナログ入力	00H/04H～06H	×	1	×			
P23	P23	入力	01H～04H	×	1	×	○	○	○
		出力	01H～04H	×	0	0/1			
	ANI3	アナログ入力	00H/05H/06H	×	1	×			
P24	P24	入力	01H～05H	×	1	×	×	○	○
		出力	01H～05H	×	0	0/1			
	ANI4	アナログ入力	00H/06H	×	1	×			
P25	P25	入力	01H～06H	×	1	×	×	×	○
		出力	01H～06H	×	0	0/1			
	ANI5	アナログ入力	00H	×	1	×			

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（5/10）

端子名称	使用機能		PIOR0×	POM××	PM××	P××	PFSEG××（ISCVL3, ISCCAP）注	兼用機能出力		64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P30	P30	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	－	(TO07) = 0			
	SEG24	出力	×	－	0	0	1	－	－			
	(TI07)	入力	PIOR00 = 1	－	1	×	0	－	－	×	○	○
	TI07	入力	PIOR00 = 0	－	1	×	0	－	－	○	×	×
	(TO07)	出力	PIOR00 = 1	－	0	0	0	－	－	×	○	○
	TO07	出力	PIOR00 = 0	－	0	0	0	－	－	○	×	×
	RxD2	入力	×	－	1	×	0	－	－	○	×	×
	IrRxD	入力	×	－	1	×	0	－	－			
	INTP5	入力	PIOR04 = 0	－	1	×	0	－	－			
P31	P31	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	TxD2/IrTxD = 1	(TO06) = 0			
		N-chOD出力	×	1	0	0/1	0		－	○	×	×
	SEG25	出力	×	－	0	0	1	－	－	○	○	○
	(TI06)	入力	PIOR00 = 1	－	1	×	0	－	－	×	○	○
	TI06		PIOR00 = 0	－	1	×	0	－	－	○	×	×
	(TO06)	出力	PIOR00 = 1	－	0	0	0	－	－	×	○	○
	TO06		PIOR00 = 0	－	0	0	0	－	－	○	×	×
	TxD2	出力	×	0/1	0	1	0	－	－	○	×	×
	IrTxD	出力	×	0/1	0	1	0	－	－			
P32	P32	入力	－	－	1	×	0	－	－	×	○	○
		出力	×	－	0	0/1	0	－	(PCLBUZ1) = 0			
	SEG26	出力	×	－	0	0	1	－	－			
	(PCLBUZ1)	出力	PIOR03 = 1	－	0	0	0	－	－			
P33	P33	入力	－	－	1	×	0	－	－	×	○	○
		出力	×	－	0	0/1	0	－	(PCLBUZ0) = 0			
	SEG27	出力	×	－	0	0	1	－	－			
	(PCLBUZ0)	出力	PIOR03 = 1	－	0	0	0	－	－			
P34	P34	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG28	出力	－	－	0	0	1	－	－			
P35	P35	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG29	出力	－	－	0	0	1	－	－			
P36	P36	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG30	出力	－	－	0	0	1	－	－			
P37	P37	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG31	出力	－	－	0	0	1	－	－			
P40	P40	入力	－	－	1	×	－	－	－	○	○	○
		出力	－	－	0	0/1	－	－	－			
	TOOL0	入出力	－	－	×	×	－	－	－			
P41	P41	入力	－	－	1	×	－	－	－	×	○	○
		出力	×	－	0	0/1	－	－	TO01 = 0 PCLBUZ1 = 0			
	TI01	入力	PIOR00 = 0	－	1	×	－	－	－	○	○	○
	TO01	出力	PIOR00 = 0	－	0	0	－	－	PCLBUZ1 = 0			
	PCLBUZ1	出力	PIOR03 = 0	－	0	0	－	－	TO01 = 0	×	○	○
	INTP6	入力	PIOR04 = 0	－	1	×	－	－	－			

注　ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（6/10）

端子名称	使用機能		PIOR0×	POM××	PM××	P××	PFSEG××（ISCVL3, ISCCAP）注	兼用機能出力		64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P42	P42	入力	－	－	1	×	－	－	－	×	○	○
		出力	×	－	0	0/1	－	－	－			
	INTP7	入力	PIOR04 = 0	－	1	×	－	－	－	×	×	○
P43	P43	入力	－	－	1	×	－	－	－	○	○	○
		出力	×	－	0	0/1	－	－	TO00 = 0 PCLBUZ0 = 0			
	TI00	入力	PIOR00 = 0	－	1	×	－	－	－	○	×	○
	TO00	出力	PIOR00 = 0	－	0	0	－	－	PCLBUZ0 = 0			
	PCLBUZ0	出力	PIOR03 = 0	－	0	0	－	－	TO00 = 0	○	×	○
	RTCOUT	出力	PIOR03 = 0	－	0	0	－	－	－	○	×	×
P50	P50	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG32	出力	－	－	0	0	1	－	－			
P51	P51	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG33	出力	－	－	0	0	1	－	－			
P52	P52	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG34	出力	－	－	0	0	1	－	－			
P53	P53	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG35	出力	－	－	0	0	1	－	－			
P54	P54	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	－	－			
	SEG36	出力	－	－	0	0	1	－	－			
P55	P55	入力	－	－	1	×	0	－	－	×	○	○
		出力	－	－	0	0/1	0	－	－			
	RxD2	入力	－	－	1	×	0	－	－	×	○	○
	IrRxD	入力	－	－	1	×	0	－	－			
	SEG37	出力	－	－	0	0	1	－	－	×	×	○
P56	P56	入力	－	－	1	×	0	－	－	×	○	○
		出力	－	－	0	0/1	0	TxD2/IrTxD = 1	－			
		N-chOD出力	－	1	0	0/1	0					
	TxD2	出力	－	0/1	0	1	0	－	－	×	○	○
	IrTxD	出力	－	0/1	0	1	0	－	－			
	SEG38	出力	－	－	0	0	1	－	－	×	×	○
P57	P57	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	SCK30/SCL30 = 1	－			
		N-chOD出力	－	1	0	0/1	0					
	SCK30	入力	－	×	1	×	0	－	－	×	×	○
		出力	－	0/1	0	1	0	－	－			
	SCL30	出力	－	0/1	0	1	0	－	－			
	SEG39	出力	－	－	0	0	1	－	－			
P60	P60	入力	－	－	1	×	－	－	－	○	○	○
		N-chOD出力（6 V耐圧）	×	－	0	0/1	－	－	SCLA0 = 0 (TO00) = 0			
	SCLA0	入出力	×	－	0	0	－	－	(TO00) = 0			
	(TI00)	入力	PIOR00 = 1	－	1	×	－	－	－			
	(TO00)	出力	PIOR00 = 1	－	0	0	－	－	SCLA0 = 0			

注　ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（7/10）

端子名称	使用機能		PIOR0×	POM××	PM××	P××	PFSEG××（ISCVL3, ISCCAP）注	兼用機能出力		64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P61	P61	入力	－	－	1	×	－	－	－	○	○	○
		N-chOD出力 (6 V耐圧)	×	－	0	0/1	－	－	SDAA0 = 0 (TO01) = 0			
	SDAA0	入出力	×	－	0	0	－	－	(TO01) = 0			
	(TI01)	入力	PIOR00 = 1	－	1	×	－	－	－			
	(TO01)	出力	PIOR00 = 1	－	0	0	－	－	SDAA0 = 0			
P62	P62	入力	－	－	1	×	－	－	－	○	○	○
		N-chOD出力 (6 V耐圧)	×	－	0	0/1	－	－	(TO02) = 0 (RTCOUT) = 0			
	(TI02)	入力	PIOR00 = 1	－	1	×	－	－	－			
	(TO02)	出力	PIOR00 = 1	－	0	0	－	－	(RTCOUT) = 0			
	(RTCOUT)	出力	PIOR03 = 1	－	0	0	－	－	(TO02) = 0			
P70	P70	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	－	－			
	SEG16	出力	×	－	0	0	1	－	－			
	KR0	入力	×	－	1	×	0	－	－			
	(INTP0)	入力	PIOR04 = 1	－	1	×	0	－	－			
P71	P71	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	－	－			
	SEG17	出力	×	－	0	0	1	－	－			
	KR1	入力	×	－	1	×	0	－	－			
	(INTP1)	入力	PIOR04 = 1	－	1	×	0	－	－			
P72	P72	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	－	－			
	KR2	入力	×	－	1	×	0	－	－			
	SEG18	出力	×	－	0	0	1	－	－			
	(INTP2)	入力	PIOR04 = 1	－	1	×	0	－	－			
	(TI01)	入力	PIOR00 = 1	－	1	×	0	－	－	○	×	×
	(TO01)	入力	PIOR00 = 1	－	0	0	0	－	－			
P73	P73	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	－	－			
	KR3	入力	×	－	1	×	0	－	－			
	SEG19	出力	×	－	0	0	1	－	－			
	(INTP3)	入力	PIOR04 = 1	－	1	×	0	－	－			
	(PCLBUZ1)	出力	PIOR03 = 1	－	1	0	0	－	－	○	×	×
P74	P74	入力	－	－	1	×	0	－	－	○	○	○
		出力	×	－	0	0/1	0	－	(PCLBUZ0) = 0			
	KR4	入力	×	－	1	×	0	－	－			
	SEG20	出力	×	－	0	0	1	－	－			
	(INTP4)	入力	PIOR04 = 1	－	1	×	0	－	－			
	(PCLBUZ0)	出力	PIOR03 = 1	－	0	0	0	－	－	○	×	×
P75	P75	入力	－	－	1	×	0	－	－	×	○	○
		出力	×	－	0	0/1	0	－	－			
	KR5	入力	×	－	1	×	0	－	－			
	SEG21	出力	×	－	0	0	1	－	－			
	(INTP5)	入力	PIOR04 = 1	－	1	×	0	－	－			

注　ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（8/10）

端子名称	使用機能		PIOR0×	POM××	PM××	P××	PFSEG××（ISCVL3, ISCCAP）注	兼用機能出力		64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P76	P76	入力	－	－	1	×	0	－	－	×	○	○
		出力	×	－	0	0/1	0	－	－			
	KR6	入力	×	－	1	×	0	－	－			
	SEG22	出力	×	－	0	0	1	－	－			
	(INTP6)	入力	PIOR04 = 1	－	1	×	0	－	－			
P77	P77	入力	－	－	1	×	0	－	－	×	○	○
		出力	×	－	0	0/1	0	－	－			
	KR7	入力	×	－	1	×	0	－	－			
	SEG23	出力	×	－	0	0	1	－	－			
	(INTP7)	入力	PIOR04 = 1	－	1	×	0	－	－			
P80	P80	入力	－	×	1	×	0	－	－	×	○	○
		出力	×	0	0	0/1	0	(SCK10/SCL10) = 1	－			
		N-chOD出力	×	1	0	0/1	0					
	SEG12	出力	×	×	0	0	1	－	－			
	(SCL10)	出力	PIOR02 = 1	0/1	0	1	0	－	－			
	(SCK10)	入力	PIOR02 = 1	×	1	×	0	－	－			
		出力	PIOR02 = 1	0/1	0	1	0	－	－			
P81	P81	入力	－	×	1	×	0	－	－	×	○	○
		出力	×	0	0	0/1	0	(SDA10) = 1	－			
		N-chOD出力	×	1	0	0/1	0					
	SEG13	出力	×	×	0	0	1	－	－			
	(RxD1)	入力	PIOR02 = 1	×	1	×	0	－	－			
	(SDA10)	入出力	PIOR02 = 1	1	0	1	0	－	－			
	(SI10)	入力	PIOR02 = 1	×	1	×	0	－	－			
P82	P82	入力	－	×	1	×	0	－	－	×	○	○
		出力	×	0	0	0/1	0	(TxD1/SO10) = 1	－			
		N-chOD出力	×	1	0	0/1	0					
	SEG14	出力	×	×	0	0	1	－	－			
	(TxD1)	出力	PIOR02 = 1	0/1	0	1	0	－	－			
	(SO10)	出力	PIOR02 = 1	0/1	0	1	0	－	－			
P83	P83	入力	－	－	1	×	0	－	－	×	○	○
		出力	－	－	0	0/1	0	－	－			
	SEG15	出力	－	－	0	0	1	－	－			
P84	P84	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	SDA30=1	－			
		N-chOD出力	－	1	0	0/1	0					
	SEG40	出力	－	－	0	0	1	－	－			
	SI30	入力	－	×	1	×	0	－	－			
	RxD3	入力	－	×	1	×	0	－	－			
	SDA30	入出力	－	1	0	1	0	－	－			
P85	P85	入力	－	－	1	×	0	－	－	×	×	○
		出力	－	－	0	0/1	0	SO30/TxD3 = 1	－			
		N-chOD出力	－	1	0	0/1	0					
	SEG41	出力	－	－	0	0	1	－	－			
	SO30	出力	－	0/1	0	1	0	－	－			
	TxD3	出力	－	0/1	0	1	0	－	－			

注　ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（9/10）

端子名称	使用機能		CMCレジスタ	SCMCレジスタ	P××	64ピン	80ピン	100ピン
	機能名称	入出力	(EXCLK,OSCSEL)	(EXCLKS,OSCSELS)				
P121	P121	入力	00/10/11	－	×	○	○	○
	X1	－	01		－			
P122	P122	入力	00/10		×	○	○	○
	X2	－	01		－			
	EXCLK	入力	11		－			
P123	P123	入力	－	00/10/11	×	○	○	○
	XT1	－		01	－			
P124	P124	入力		00/10	×	○	○	○
	XT2	－		01	－			
	EXCLKS	入力		11	－			

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（10/10）

端子名称	使用機能		PIOR0×	POM××	PM××	P××	PFSEG××（ISCVL3, ISCCAP）注	兼用機能出力		64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P125	P125	入力	－	－	1	×	1	－	－	○	○	○
		出力	×	－	0	0/1	1	－	(TO05) = 0 PCLBUZ1 = 0			
	V_{L3}	－	×	－	1	×	0	－	－			
	INTP1	入力	PIOR04 = 0	－	1	×	1	－	－			
	(TI05)	入力	PIOR00 = 1	－	1	×	1	－	－	×	○	○
	TI05	入力	PIOR00 = 0	－	1	×	1	－	－	○	×	×
	(TO05)	出力	PIOR00 = 1	－	0	0	1	－	PCLBUZ1 = 0	×	○	○
	TO05	出力	PIOR00 = 0	－	0	0	1	－	PCLBUZ1 = 0	○	×	×
	PCLBUZ1	出力	PIOR03 = 0	－	0	0	1	－	TO05 = 0	○	×	×
P126	P126	入力	－	－	1	×	1	－	－	○	○	○
		出力	×	－	0	0/1	1	－	(TO04) = 0			
	CAPL	－	×	－	1	×	0	－	－			
	(TI04)	入力	PIOR00 = 1	－	1	×	1	－	－			
	(TO04)	出力	PIOR00 = 1	－	0	0	1	－	－			
P127	P127	入力	－	－	1	×	1	－	－	○	○	○
		出力	×	－	0	0/1	1	－	(TO03) = 0			
	CAPH	－	×	－	1	×	0	－	－			
	(TI03)	入力	PIOR00 = 1	－	1	×	1	－	－			
	(TO03)	出力	PIOR00 = 1	－	0	0	1	－	－			
P137	P137	入力	－	－	－	×	－	－	－	○	○	○
	INTP0	入力	PIOR04 = 0	－	－	×	－	－	－			
P150	P150	入力	－	×	1	×	－	－	－	×	○	○
		出力	×	－	0	0/1	－	－	－			
	RTCOUT	出力	PIOR03 = 0	－	0	0	－	－	－			
	RTCIC0	入力	×	－	1	×	－	－	－			
P151	P151	入力	－	×	1	×	－	－	－	×	○	○
		出力	－	－	0	0/1	－	－	－			
	RTCIC1	入力	－	－	1	×	－	－	－			
P152	P152	入力	－	－	1	×	－	－	－	×	○	○
		出力	－	－	0	0/1	－	－	－			
	RTCIC2	入力	－	－	1	×	－	－	－			

注　ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

4. 5. 4　SEGxx端子兼用ポートの動作

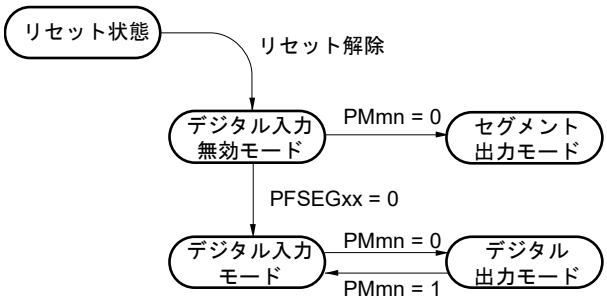
セグメント出力端子（SEGxx）を兼用するポートの機能は，ポート・モード・レジスタ（PMxx），LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5）の設定で決定します。

表4－7　SEGxx/ポート端子機能の設定

PFSEG0-PFSEG5レジスタのPFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	–
0	1	デジタル入力モード	–
1	0	セグメント出力モード	–

SEGxx/ポート端子機能の状態遷移を次に示します。

図4－12　SEGxx/ポート端子機能の状態遷移図



注意　セグメント出力モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。

4. 5. 5　V_{L3}, CAPL, CAPH端子兼用ポートの動作

V_{L3}/P125, CAPL/P126, CAPH/P127端子の機能は，LCD入力切り替え制御レジスタ（ISCLCD），LCDモード・レジスタ0（LCDM0），ポート・モード・レジスタ12（PM12）の設定で決定します。

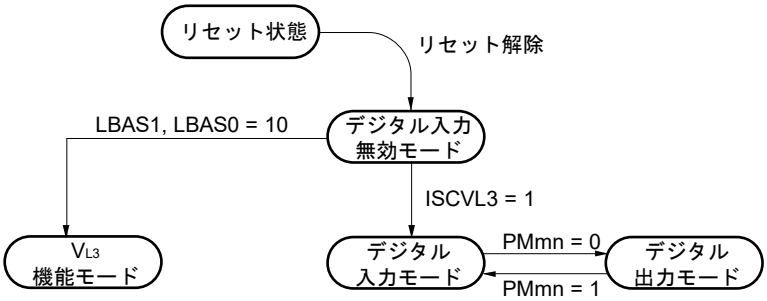
（1）　V_{L3}/P125

表4－8　V_{L3}/P125端子機能の設定

バイアス設定（LCDM0レジスタのLBAS1, LBAS0ビット）	ISCLCDレジスタのISCVL3ビット	PM12レジスタのPM125ビット	端子機能	初期状態
1/4バイアス法以外（LBAS1，LBAS0 = 00または01）	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	–
	1	1	デジタル入力モード	–
1/4バイアス法（LBAS1, LBAS0 = 10）	0	1	V_{L3}機能モード	–
上記以外			設定禁止	

V_{L3}/P125端子機能の状態遷移を次に示します。

図4－13　V_{L3}/P125端子機能の状態遷移図



注意　V_{L3}機能モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。

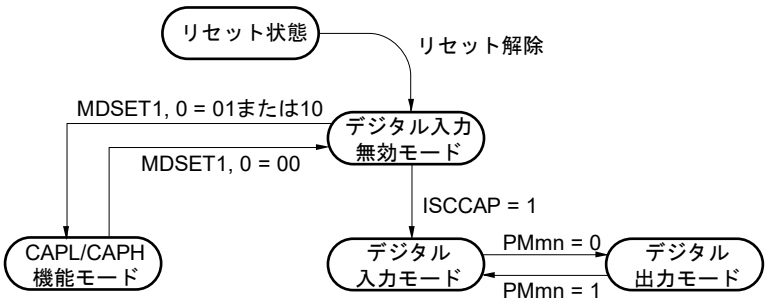
（2）　CAPL/P126, CAPH/P127

表4－9　CAPL/P126, CAPH/P127端子機能の設定

LCD駆動電圧生成回路（LCDM0レジスタのMDSET1, MDSET0ビット）	ISCLCDレジスタのISCCAPビット	PM12レジスタのPM126, PM127ビット	端子機能	初期状態
外部抵抗分割（MDSET1, MDSET0 = 00）	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	–
	1	1	デジタル入力モード	–
内部昇圧／容量分割（MDSET1, MDSET0 = 01または10）	0	1	CAPL/CAPH機能モード	–
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図4－14　CAPL/P126, CAPH/P127端子機能の状態遷移図



注意　CAPL/CAPH機能モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。

4. 6　ポート機能使用時の注意事項

4. 6. 1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P10は出力ポート，P11-P17は入力ポート（端子状態はすべてハイ・レベル）で，かつポート1の出力ラッチの値が“00H”のとき，出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート1の出力ラッチの値は，“FFH”になります。

説明： PMnmビット ＝1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/I1C内部で，次の順序で行われます。

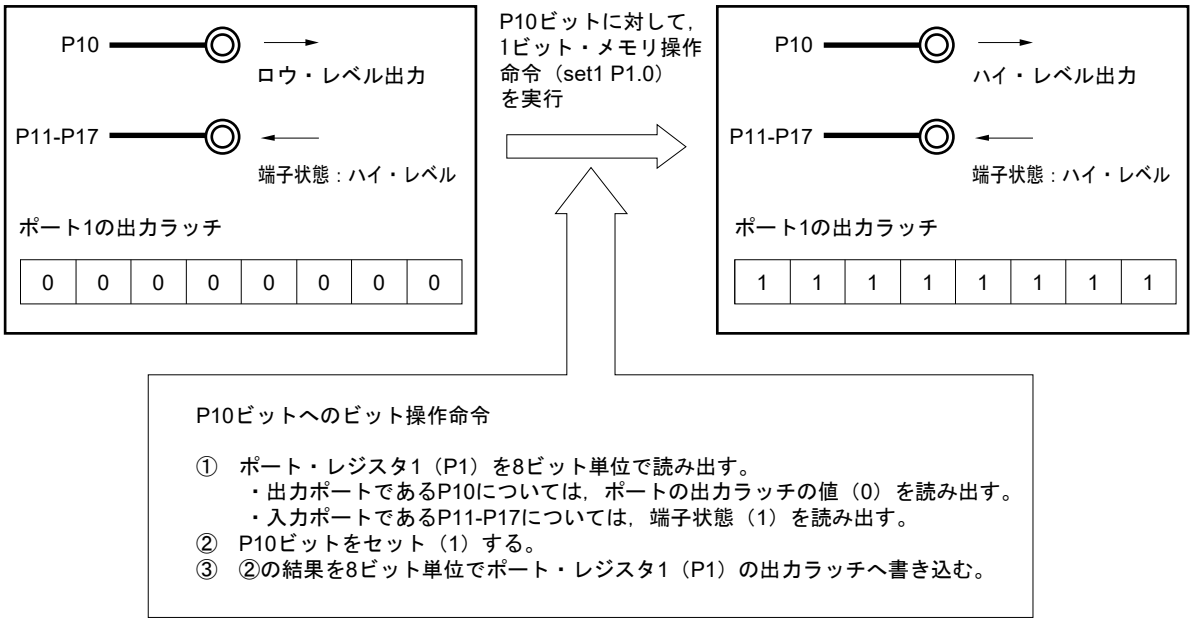
<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP10は出力ラッチの値（0）を読み出し，入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ･レベル”とすると，読み出し値は“FEH”となります。

<2> の操作で，値は“FFH”となります。

<3> の操作で，出力ラッチに“FFH”が書き込まれます。

図4－15　1ビット・メモリ操作命令（P10の場合）



4. 6. 2　端子設定に関する注意事項

使用する出力端子に，他の兼用出力機能が割り当てられている場合，使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当てられた機能も同様です。兼用出力については，**4. 5　兼用機能使用時のレジスタの設定**を参照してください。

入力として使用する端子では，兼用の出力機能が無効（バッファ出力がHi-Z）となるので，処理不要です。

なお，入力だけや出力のないブロックを含めて，低消費電力化のために，使用しない機能は停止させることをおすすめします。

第5章　オペレーション・ステート・コントロール

内部回路の動作電圧，動作タイミング，動作電流は，フラッシュ動作モードによって最適化されます。マイコンを動作させる電源電圧範囲やクロック周波数に合わせて，適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後，レジスタの設定により各モードで動作します。

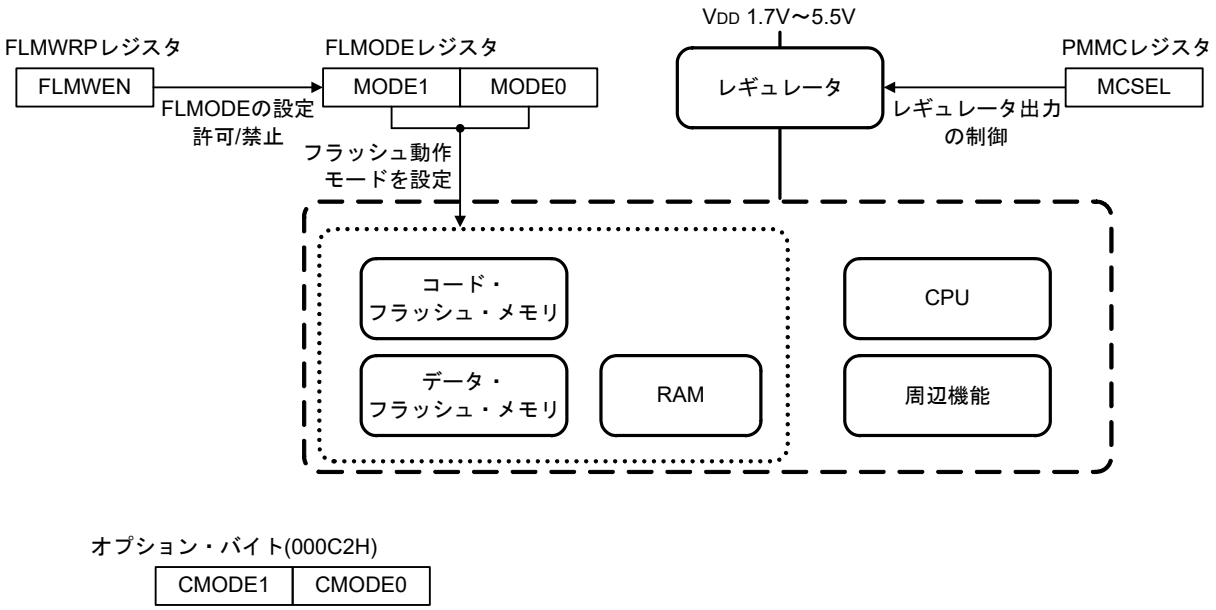
5.1　オペレーション・ステート・コントロールの構成

オペレーション・ステート・コントロールは，次のハードウエアで構成されています。

表5－1　オペレーション・ステート・コントロールの構成

項　　目	構　　成
オプション・バイト	• ユーザ・オプション・バイト アドレス：000C2H
制御レジスタ	• フラッシュ動作モード選択レジスタ（FLMODE） • フラッシュ動作モード・プロテクト・レジスタ（FLMWRP） • レギュレータ・モード制御レジスタ（PMMC）

図5－1　オペレーション・ステート・コントロールの概略図



フラッシュ動作モードは，以下の4つのモードあります。

- HS（高速メイン）モード
- LS（低速メイン）モード
- LV（低電圧メイン）モード
- LP（低電力メイン）モード

マイコンの動作環境に合わせてこれらのフラッシュ動作モードを設定することにより，効率よくマイコンを動作させることができます。**表5－2**に各フラッシュ動作モードの特長を示します。

表5－2　各フラッシュ動作モードの特長

フラッシュ動作モード	レギュレータ・モード	推奨動作範囲		動作電流（typ.）	説明
HS（高速メイン）モード	通常設定のみ（MCSEL = 0）	2.8 V～5.5 V	1 MHz～32 MHz 注 3	3.9 mA（24 MHz注1 動作時）	CPU の高速動作（32 MHz 注 3 (max.)）が可能なモードです。CPUの処理能力が必要な場合に最適です。
		2.7 V～5.5 V	1 MHz～24 MHz		
		2.5 V～5.5 V	1 MHz～16 MHz		
		2.4 V～5.5 V	1 MHz～12 MHz		
		2.1 V～5.5 V	1 MHz～6 MHz		
LS（低速メイン）モード	通常設定（MCSEL = 0）	1.9 V～5.5 V	1 MHz～8 MHz	1.3 mA（8 MHz注1 動作時）	動作電流とCPUの演算処理（8 MHz（max.））のバランスのとれたモードです。CPUを4 MHz～8 MHzで動作させる場合，レギュレータ・モードを通常設定にしてください。 CPUを1 MHz～4 MHzで動作させる場合は，レギュレータ・モードを低消費設定にする事でより動作電流を低減する事ができます。
	低消費設定（MCSEL = 1）	1.9 V～5.5 V	1 MHz～4 MHz	0.7 mA（4 MHz注2 動作時）	
LP（低電力メイン）モード	低消費設定のみ（MCSEL = 1）	1.9 V～5.5 V	1 MHz	160 μA（1 MHz注2 動作時）	1 MHzで動作するモードです。 1 MHzで低動作電流を実現します。
LV（低電圧メイン）モード注1	通常設定のみ（MCSEL = 0）	1.7 V～5.5 V	1 MHz～4 MHz	1.3 mA（4 MHz 動作時）	1.7 Vまで低電圧動作が可能なモードです。電源電圧が1.7 V～1.9 VでCPUを動作させる場合はこのモードを選択してください。

注 1. 高速オンチップ・オシレータのみで動作可能

2. 中速オンチップ・オシレータ動作時

3. R5F10NPJ, R5F10NMJ, R5F10NPG製品でかつ，PLLクロック（32MHz）のみで動作可能。R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLE製品の最大動作周波数は24MHzとなります。

5.2　オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ（FLMODE）
- フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）
- レギュレータ・モード制御レジスタ（PMMC）

5.2.1　フラッシュ動作モード選択レジスタ（FLMODE）

FLMODEレジスタは，フラッシュ動作モードとコード・フラッシュ・メモリの動作を制御する8ビットのレジスタです。

FLMODEレジスタは1ビット・メモリ操作命令または，8ビット・メモリ操作命令で設定します。但し，フラッシュ動作モード・プロテクト・レジスタ（FLWRP）のFLMWENが0の時，値を変更することはできません。

リセット発生により，MODE1, MODE0はオプション・バイトのCMODE1, CMODE0（アドレス：000C2H）の設定値が反映されます。

図5－2　フラッシュ動作モード選択レジスタ（FLMODE）のフォーマット

アドレス：F00AAH　　リセット時：00H/80H/C0H[注1]　　R/W

略号	7	6	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	0	0

MODE1	MODE0	フラッシュ動作モードの選択
0	0	LV（低電圧メイン）モード （LSモードで1 MHz≦f_{CLK}≦4 MHzの時，選択可能です。）
0	1	LP（低電力メイン）モード （LSモードで1.9 V≦V_{DD}≦5.5 Vかつf_{CLK} = 1 MHzの時，選択可能です。[注2]）
1	0	LS（低速メイン）モード （HSモードまたはLPモードまたはLVモードで1.9 V≦V_{DD}≦5.5 Vかつ1 MHz≦f_{CLK}≦8 MHzの時，選択可能です。）
1	1	HS（高速メイン）モード （LSモードで2.4V≦V_{DD}≦5.5Vの時，選択可能です。）

注1. FLMODEレジスタの初期値は，MODE1ビット，MODE0ビットにオプション・バイトのCMODE1ビット，CMODE0ビット（アドレス：000C2H）の設定値が反映された値になります。

2. LP（低電力メイン）モードを選択後，レギュレータ・モード制御レジスタ（PMMC）のMCSELビットを1に設定してください。

注意1. FLMODEレジスタは，フラッシュ動作モードプロテクトレジスタ（FLMWRP）のFLMWENビットが0の時，値を変更できません。また，レギュレータ・モード制御レジスタのMCSELビットが1の時，値を変更しないでください。FLMODEレジスタの値を変更する場合は，MCSELが0の時にFLMERPレジスタのFLMWENビットに1を設定した後に行ってください。また，FLMODEレジスタの値を変更した後はFLMWENビットを0に設定してください。

2. MODE1ビット，MODE0ビットはシステム・クロック制御レジスタ（CKC）のCSSビットが1（CPU/周辺機能がサブシステム・クロック動作）の時，設定できません。

注意3. MODE1ビット，MODE0ビットをDTCで値を変更しないでください。

4. フラッシュ動作モードを変更する場合，変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認した後，フラッシュ動作モードを変更してください。

5. LV（低電圧メイン）モードでは中速オンチップ・オシレータを使用できません。LVモードに遷移する場合，前もって動作クロックを中速オンチップ・オシレータ以外の発振に切り替えたのち，LVモードに遷移してください。

6. MODE1ビット，MODE0ビットでフラッシュ動作モードを変更した場合，フラッシュ動作モードが遷移するまで下記の時間CPUはウエイト状態になります。このウエイト期間中の割り込み要求は保留されます。

表5－3　フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS（低速メイン）モード ⇒ HS（高速メイン）モード	225サイクル*1
LS（低速メイン）モード ⇒ LV（低電圧メイン）モード	99サイクル*1,*2
LP（低電力メイン）モード ⇒ LS（低速メイン）モード	10サイクル*1
LS（低速メイン）モード⇒LP（低電力メイン）モード	10サイクル*1
LV（低電圧メイン）モード ⇒ LS（低速メイン）モード	20サイクル*1
HS（高速メイン）モード ⇒ LS（低速メイン）モード	30サイクル*1

***1**：CPU/周辺クロック（f_{CLK}）のサイクル数

***2**：LV（低電圧メイン）モードに切り替える場合は，高速オンチップ・オシレータの発振が安定している状態で行ってください。

注意7. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後，1クロック以上間を空けてから書き込みを行ってください。FLMODEレジスタへの連続書き込みはしないでください。

8. フラッシュ・メモリ書き換えの際にFLMODEレジスタは変更しないでください。

5. 2. 2　フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

FLMWRPレジスタは，フラッシュ動作モード選択レジスタへのアクセスを制御する8ビットのレジスタです。

FLMWRPレジスタは1ビット・メモリ操作命令または，8ビット・メモリ操作命令で設定します。

リセット発生により，FLMWRPレジスタは00Hになります。

図5－3　フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）のフォーマット

アドレス：F00ABH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FLMWRP	0	0	0	0	0	0	0	FLMWEN

FLMWEN	フラッシュ動作モード選択レジスタ（FLMODE）の制御
0	FLMODEレジスタの書き換え禁止
1	FLMODEレジスタの書き換え許可

5. 2. 3　レギュレータ・モード制御レジスタ（PMMC）

PMMCレジスタは，内蔵されているレギュレータのモードを制御する8ビットのレジスタです。

PMMCレジスタは1ビット・メモリ操作命令または，8ビット・メモリ操作命令で設定します。

リセット発生により，PMMCレジスタは00Hになります。

図5－4　レギュレータ・モード制御レジスタ（PMMC）のフォーマット

アドレス：F00F8H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PMMC	0	MCSEL	0	0	0	0	0	0

MCSEL	レギュレータ・モードの制御
0	通常設定
1	低消費設定

注意1. MCSELが1の時フラッシュ動作モード選択レジスタ（FLMODE）を変更しないでください。

2. HS（高速メイン）モード，LV（低電圧メイン）モードではMCSELを1に設定しないでください。

3. LS（低速メイン）モードではMCSELが1の時にSTOPモード状態に遷移することは禁止です。

5. 3　フラッシュ動作モードの初期設定

オプション・バイト（000C2H）は，フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時のV_{DD}の電圧と高速オンチップ・オシレータの周波数に合わせて，適切なフラッシュ動作モードを設定してください。

リセット解除時にCMODE1，CMODE0の値はフラッシュ動作モード選択レジスタ（FLMODE）のMODE1，MODE0に，FRQSEL2-FRQSEL0の値は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）に反映されます。

図5－5　ユーザ・オプション・バイト（000C2H）のフォーマット

アドレス：000C2H

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

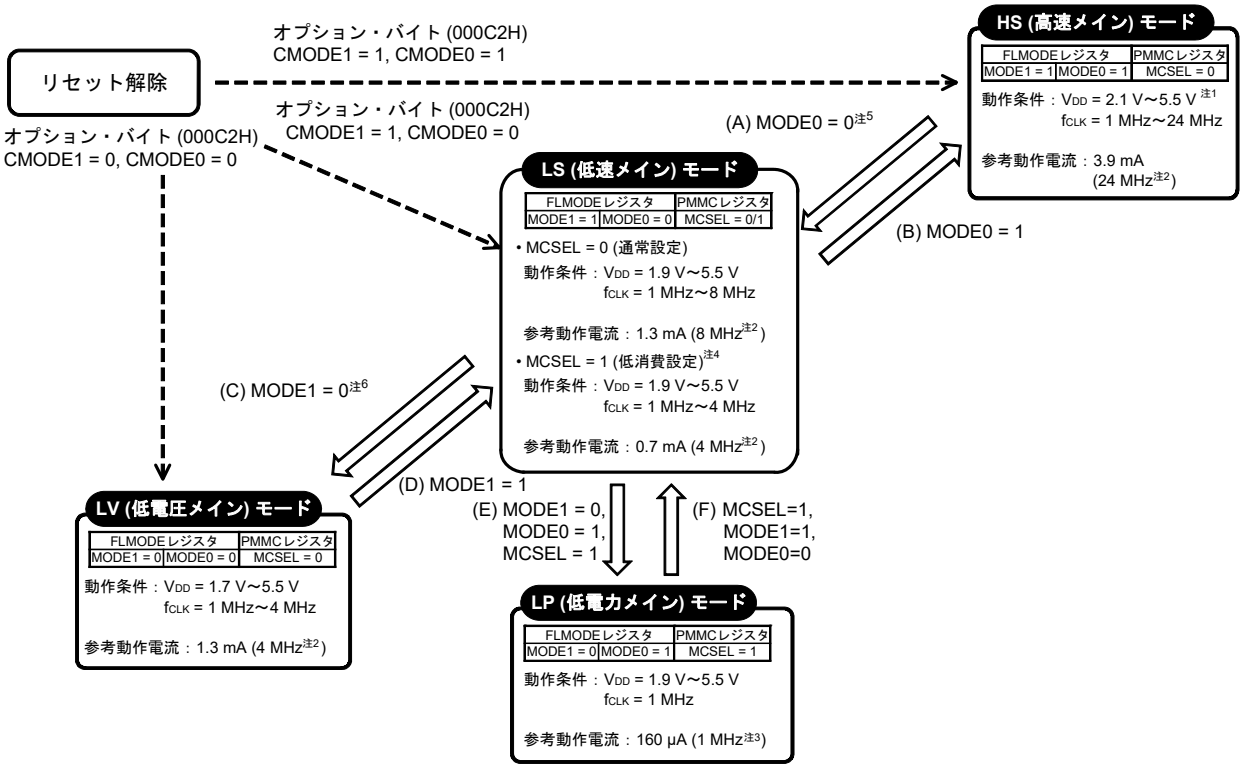
CMODE1	CMODE0	リセット解除後のフラッシュ動作モードの選択
0	0	LV（低電圧メイン）モード
1	0	LS（低速メイン）モード
1	1	HS（高速メイン）モード
上記以外		設定禁止

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
0	1	0	0	1.5 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

5. 4　フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは，オプション・バイト（000C2H）のCMODE1, CMODE0で設定によって，HS（高速メイン）モード，LS（低速メイン）モード，LV（低電圧メイン）モードを選択する事ができます。また，CMODE1, CMODE0の値はフラッシュ動作モード選択レジスタ（FLMODE）のMODE1, MODE0ビットに反映されます。その後は，CPU動作中にFLMODEレジスタの値を変更することによって，フラッシュ動作モードを遷移させることができます。

図5－6　フラッシュ動作モードの状態遷移



注1. 動作周波数と動作電圧範囲は下記の通りです。

1MHz≦f_{CLK}≦6MHz（2.1V≦V_{DD}≦5.5V）

1MHz≦f_{CLK}≦12MHz（2.4V≦V_{DD}≦5.5V）

1MHz≦f_{CLK}≦16MHz（2.5V≦V_{DD}≦5.5V）

1MHz≦f_{CLK}≦24MHz（2.7V≦V_{DD}≦5.5V）

1MHz≦f_{CLK}≦32MHz（2.8V≦V_{DD}≦5.5V）

2. 高速オンチップ・オシレータ動作時の電流です。

3. 中速オンチップ・オシレータ動作時の電流です。

4. MCSEL = 1（低消費設定）の時は，各フラッシュ動作モードおよび，STOPモードへ遷移できません。フラッシュ動作モードを変更，およびSTOPモードに遷移する場合，必ずMCSEL = 0（通常設定）で変更してください。

5. オプション・バイト（000C2H）のCMODE1 = 1, CMODE0 = 1に設定した場合，LS（低速メイン）モードへ遷移後，動作電圧2.4 V未満でリセットが発生した場合の動作は保障できません。

6. オプション・バイト（000C2H）のCMODE1 = 1, CMODE0 = 0に設定した場合，LV（低電圧メイン）モードへ遷移後，動作電圧1.9 V未満でリセットが発生した場合の動作は保障できません。

注意1. マイコンの動作中にリセットが入った場合，リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで 動作を開始します。従って，LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲以上に設定するなど，リセット解除時に動作電圧範囲外で動作を開始しないようにしてください。

2. バッテリ・バックアップ機能動作時（VBATEN = 1），LVモード（低電圧メイン）は設定禁止です。

5. 5　フラッシュ動作モードの詳細

5. 5. 1　HS（高速メイン）モードの詳細

HS（高速メイン）モードは，CPUの高速処理が必要なアプリケーションに最適なモードです。

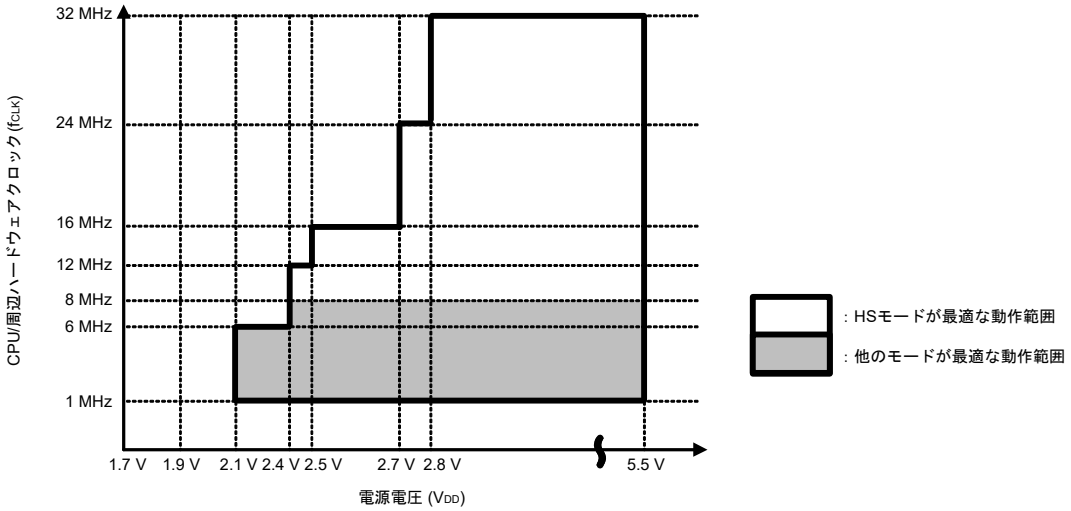
HSモードは，リセット解除直後から動作可能です。また，LS（低速メイン）モードから遷移する事が可能です。HSモードに遷移する場合は，LSモードで電源電圧が2.4 V≦V_{DD}≦5.5 Vの状態で遷移してください。

HSモードの最適動作範囲は，電源電圧が以下の条件の時です。

- 2.4 V≦V_{DD}≦5.5 V，動作周波数が8MHz＜f_{CLK}≦12MHz
- 2.5 V≦V_{DD}≦5.5 V，動作周波数が8MHz＜f_{CLK}≦16MHz
- 2.7 V≦V_{DD}≦5.5 V，動作周波数が8MHz＜f_{CLK}≦24 MHz
- 2.8 V≦V_{DD}≦5.5 V，動作周波数が8MHz＜f_{CLK}≦32 MHz

8 MHz以下で動作させる場合は，その他のモードが最適なフラッシュ動作モードになります。

図5－7　HSモードの動作範囲



5. 5. 2　LS（低速メイン）モードの詳細

LS（低速メイン）モードは，CPUの処理能力と動作電力性能を両立しており，1 MHz～8 MHzで低消費電力が必要なアプリケーションに最適なモードです。

LSモードはリセット解除直後から動作可能です。また，HS（高速メイン）モード，LV（低電圧メイン）モード，LP（低電力メイン）モードから遷移する事が可能です。HSモードからLSモードに遷移する場合，動作周波数が1 MHz≦f_{CLK}≦ 8 MHzの状態で遷移してください。

LSモードはレギュレータ・モード制御レジスタ（PMMC）のMCSELビットによって，低消費設定にする事が可能です。低消費設定にする場合，動作周波数が1 MHz≦f_{CLK}≦4 MHzの状態でMCSELビットを1に設定してください。

LSモードの最適動作範囲は，MCSEL = 0の場合，電源電圧が1.9 V≦V_{DD}≦5.5 V，動作周波数が4 MHz＜f_{CLK}≦8 MHzの時で，MCSEL = 1の場合，電源電圧が1.9 V≦V_{DD}≦5.5 V，動作周波数が1 MHz＜f_{CLK}≦4 MHzの時です。

図5－8　LSモードの動作範囲（MCSEL = 0）

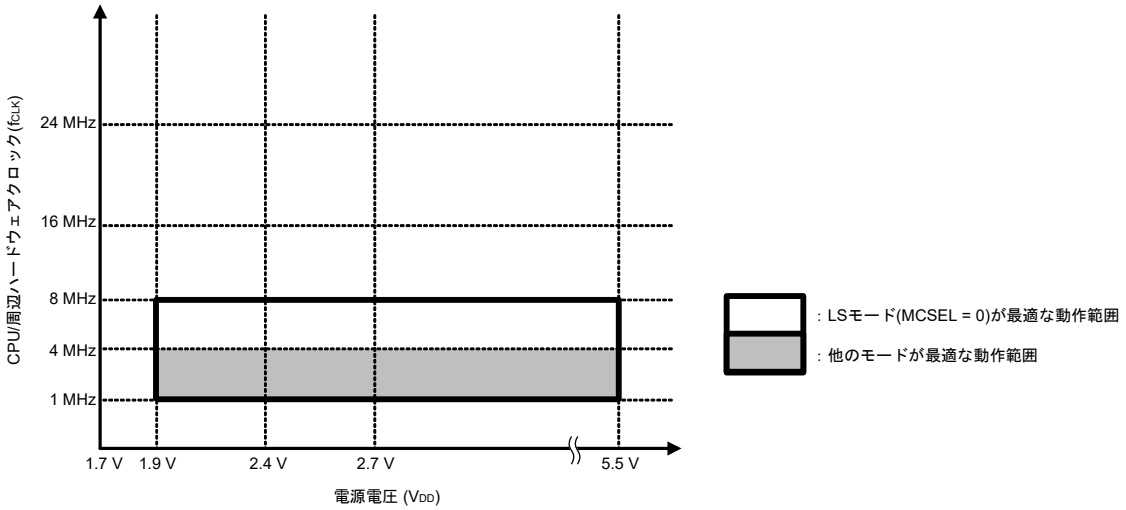
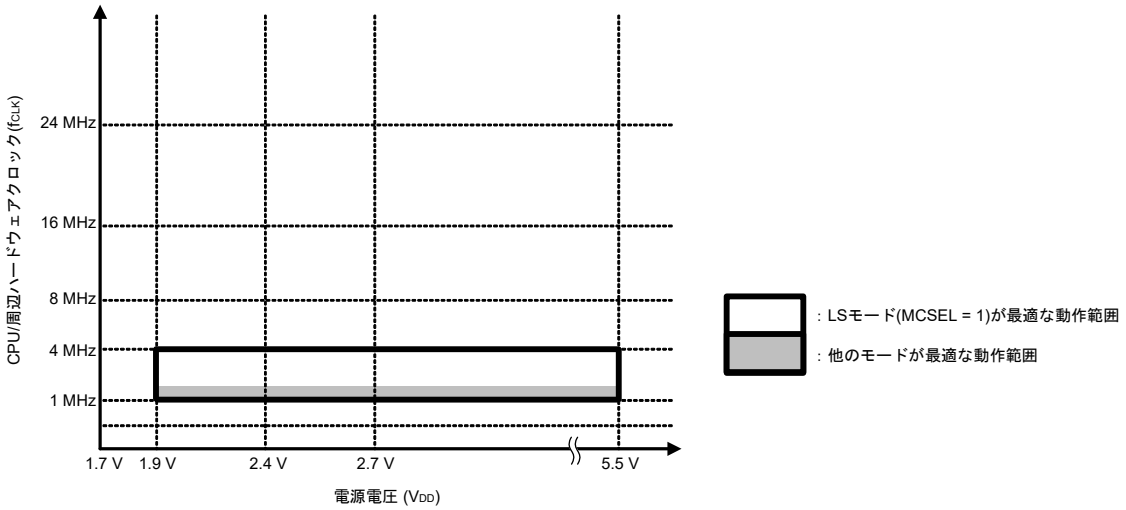


図5－9　LSモードの動作範囲（MCSEL = 1）



注意　他のフラッシュ動作モードに遷移する場合は，MCSEL = 0の状態で遷移してください。

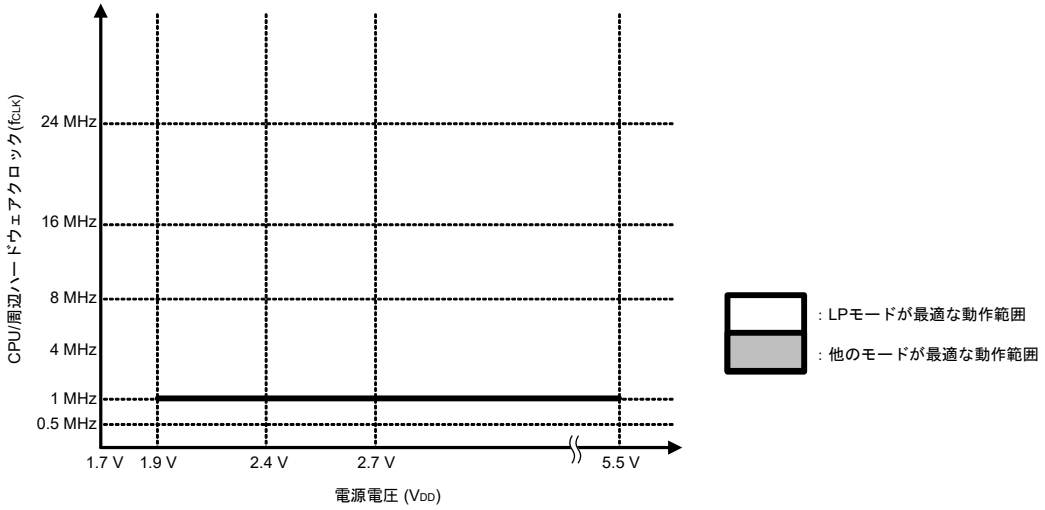
5. 5. 3　LP（低電力メイン）モードの詳細

LP（低電力メイン）モードは，1 MHzの動作周波数によって低電力でCPUを動作させるモードです。

LPモードはLS（低速メイン）モードから遷移する事が可能です。LSモードからLPモードに遷移する場合，動作周波数がf_{CLK} ＝ 1 MHzの状態で遷移してください。遷移後は，レギュレータ・モード制御レジスタのMCSELビットを1にセットしてください。

LPモードの最適動作範囲は，電源電圧が1.9 V≦V_{DD}≦5.5 V，動作周波数が1 MHzの時です。

図5－10　LPモードの動作範囲



注意1.　LS（低速メイン）モードに遷移する場合は，MCSEL = 0の状態で遷移してください。

2.　LP（低電力メイン）モード，LV（低電圧メイン）モード時には24ビットΔΣ A/Dコンバータ機能は使用できません。

5. 5. 4　LV（低電圧メイン）モードの詳細

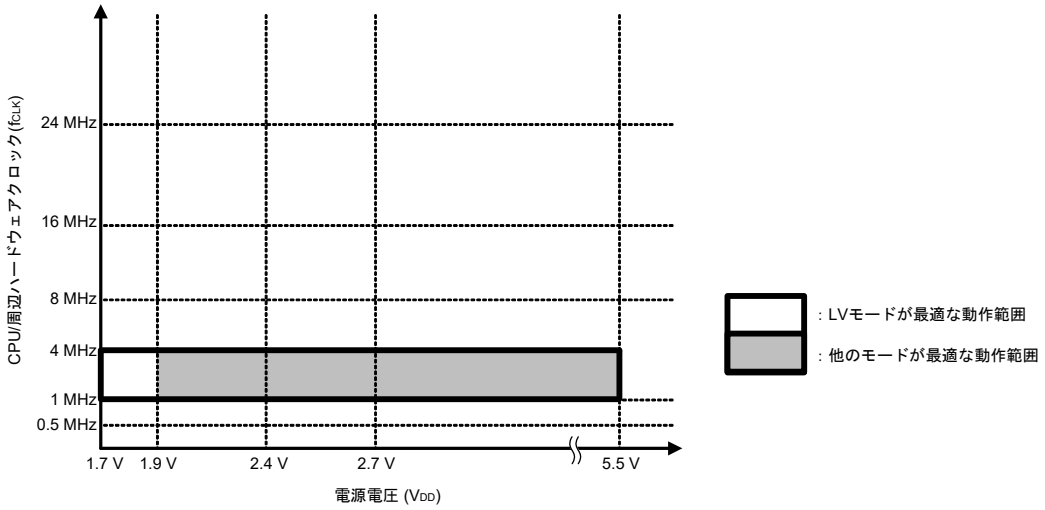
LV（低電圧メイン）モードは，1.9 V以下の動作が必要なアプリケーションに最適なモードです。

LVモードはリセット解除直後から動作可能です。また，LS（低速メイン）モードから遷移する事が可能です。

LSモードからLVモードに遷移する場合，動作周波数が1 MHz≦f_{CLK}≦4 MHzの状態で遷移してください。

LVモードの最適動作範囲は，電源電圧が1.7 V≦V_{DD}＜1.9 Vの時です。電源電圧が1.9 V≦V_{DD}≦5.5 Vで動作させる場合は他のモードが最適なフラッシュ動作になります。

図5－11　LVモードの動作範囲



注意1.　LV（低電圧メイン）モードでは中速オンチップ・オシレータを使用できません。LVモードに遷移する場合，前もって動作クロックを中速オンチップ・オシレータ以外の発振に切り替えたのち，LVモードに遷移してください。

2.　バッテリ・バックアップ機能動作時（VBATEN = 1），LVモード（低電圧メイン）は設定禁止です。

3.　LP（低電力メイン）モード，LV（低電圧メイン）モード時には24ビットΔΣ A/Dコンバータ機能は使用できません。

第6章　クロック発生回路

6.1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の6種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子，X2端子に発振子を接続することにより，f_X = 1～20 MHz注のクロックを発振させることができます。STOP命令の実行または MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により，発振を停止することができます。

注 24 ビットΔΣA/Dコンバータの動作クロックに高速システム・クロック（f_{MX}）を供給する場合は，水晶発振子は 12MHz のみ使用可能です。

② 高速オンチップ・オシレータ

オプションバイト（000C2H）により，f_{IH} = 24 MHz/12 MHz/6 MHz /3 MHz/1.5MHz（FRQSEL3=0設定時）または，f_{IH} = 16 MHz/8 MHz/4 MHz /2 MHz /1 MHz（FRQSEL3=1設定時）から周波数を選択し，発振させることができます。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は，**図6－14　高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV）のフォーマット**を参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数（MHz）									
	1	1.5	2	3	4	6	8	12	16	24
2.7 V≦V_{DD}注≦5.5 V	○	○	○	○	○	○	○	○	○	○
2.5 V≦V_{DD}注≦5.5 V	○	○	○	○	○	○	○	○	○	－
2.4 V≦V_{DD}注≦5.5 V	○	○	○	○	○	○	○	○	－	－
1.9 V≦V_{DD}注≦5.5 V	○	○	○	○	○	○	○	－	－	－
1.7 V≦V_{DD}注≦5.5 V	○	○	○	○	○	－	－	－	－	－

注 バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

③中速オンチップ・オシレータ

MOCODIVビット（MOCODIVレジスタのビット0，1）の設定により，f_{IM} = 4 MHz/2 MHz/1 MHz（TYP.）から周波数を選択し，発振させることができます。STOP命令の実行またはMIOENビット（CSCレジスタのビット1）の設定により，発振を停止することができます。

④PLL発振回路[注1]

メイン・クロック制御レジスタ（MCKC）からPLLクロックを選択し，PLL制御レジスタ（DSCCTL）の設定することにより，f_{PLL} = 32MHzを発振することが可能です。

また，EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz[注2]）を供給することができます。STOP 命令の実行またはMSTOPビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは，高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，PLLクロック[注2]を切り替えられます。

なお，メイン・システム・クロックは，電源電圧V_{DD}によって使用可能な周波数範囲が異なり，オプション・バイト（000C2H）のCMODE0, CMODE1によりフラッシュの動作電圧モードの設定（**第35章　オプション・バイト**参照）が必要です。

注 1.　R5F10NPJ, R5F10NMJ, R5F10NPGのみ。

2.　24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロック（f_{MX}）を供給する場合は，外部メイン・システム・クロック（f_{EX}）に12 MHzを供給してください。

（2）サブシステム・クロック

① XT1発振回路

XT1端子，XT2端子に32.768 kHzの発振子を接続することにより，f_{XT} = 32.768 kHzのクロックを発振させることができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により，発振を停止することができます。

また，EXCLKS/XT2/P124端子から外部サブシステム・クロック（f_{EXS} = 32.768 kHz）を供給することができます。XTSTOPビットの設定により，外部サブシステム・クロック入力を無効にすることができます。

注意　XT1発振回路は，VRTC電源で動作します。VRTC端子に電源を投入後，RTCパワーオン・リセット解除後に動作可能となります。VRTC端子電圧が検出電圧(V_{PDR})を下回った場合，RTCパワーオン・リセットが発生しXT1発振回路は停止します。

② 低速オンチップ・オシレータ

f_{IL} = 15 kHz（TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして選択する事ができます。また，低速オンチップ・オシレータ・クロックで下記の周辺ハードウエアが動作します。

- ウォッチドッグ・タイマ
- 12ビット・インターバル・タイマ
- 8ビット・インターバル・タイマ
- 周波数測定回路
- 発振停止検出回路
- LCDコントローラ／ドライバ

オプション・バイト（000C0H）のビット4（WDTON）または，サブシステム・クロック供給オプション制御レジスタ（OSMC）のビット4（WUTMMCK0）または，サブシステム・クロック選択レジスタ（CKSEL）のビット0（SELLOSC）のいずれか，または複数のビットが1の時に動作します。

ただし，WDTON = 1, WUTMMCK0 = 0, SELLOSC = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0のときにHALT命令またはSTOP命令を実行した場合，低速オンチップ・オシレータは発振を停止します。

備考

f_X ：X1クロック発振周波数

f_{IH} ：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）

f_{IM} ：中速オンチップ・オシレータ・クロック周波数（最大4 MHz）

f_{EX} ：外部メイン・システム・クロック周波数

f_{XT} ：XT1クロック発振周波数

f_{EXS} ：外部サブシステム・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

f_{PLL} ：PLLクロック周波数

6. 2　クロック発生回路の構成

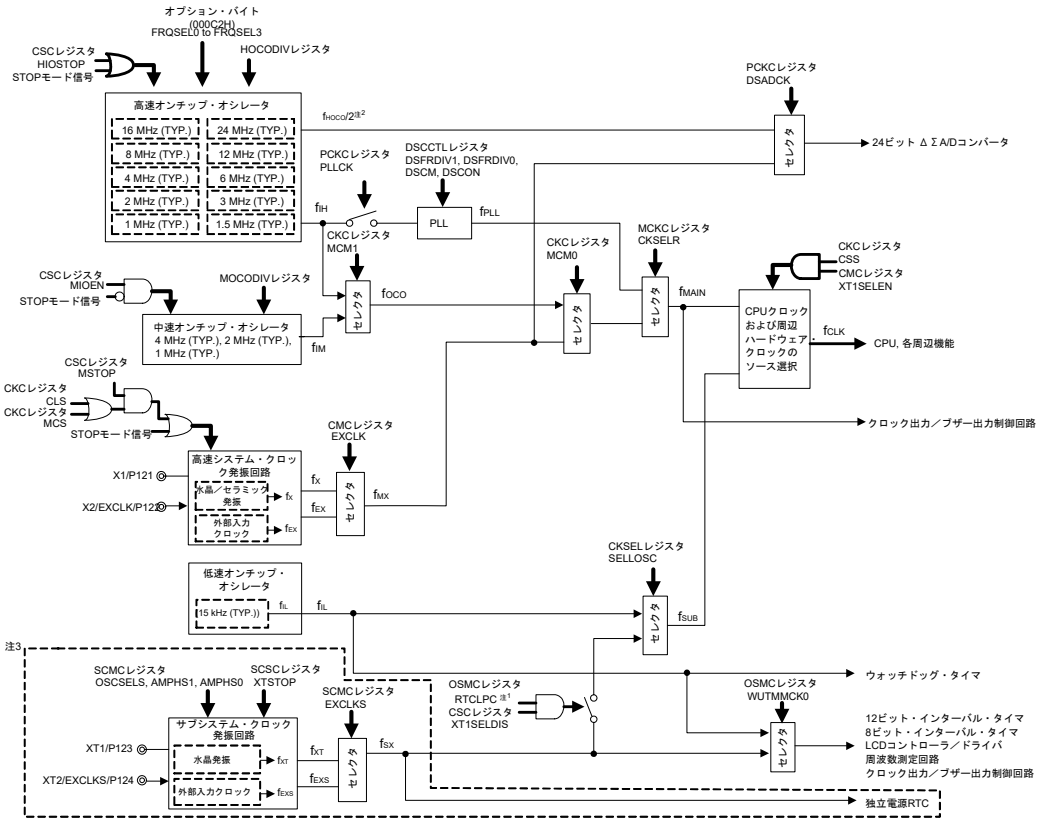
クロック発生回路は，次のハードウエアで構成しています。

表6－1　クロック発生回路の構成

項　　目	構　　成
制御レジスタ	クロック動作モード制御レジスタ（CMC） システム・クロック制御レジスタ（CKC） クロック動作ステータス制御レジスタ（CSC） 発振安定時間カウンタ状態レジスタ（OSTC） 発振安定時間選択レジスタ（OSTS） 周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2） サブシステム・クロック供給オプション制御レジスタ（OSMC） 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） サブシステム・クロック選択レジスタ（CKSEL） 中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV） 周波数測定回路クロック選択レジスタ（FMCKS） ペリフェラル・クロックコントロールレジスタ（PCKC） PLL制御レジスタ（DSCCTL）注 メイン・クロック制御レジスタ（MCKC）注 サブ・クロック動作モード制御レジスタ（SCMC） サブ・クロック動作ステータス制御レジスタ（SCSC）
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 中速オンチップ・オシレータ 低速オンチップ・オシレータ PLL発振回路注

注　R5F10NPJ, R5F10NMJ, R5F10NPGのみ。

図6－1　クロック発生回路のブロック図



注1. RTCLPC=1に設定した場合，STOPモード時又はサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモード時にクロック供給を停止します。

2. 24ビットΔΣA/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロックを供給する場合はFRQSEL3=0（f_{HOCO}=24MHz）を選択してください。高速オンチップ・オシレータ・クロック（f_{IH}）の周波数設定に因らずf_{HOCO}/2=12MHzが供給されます。

3. 点線で囲ったブロックはVRTC電源で動作します。VRTC端子に電源を投入後，RTCパワーオン・リセット解除後に動作可能となります。VRTC端子電圧が検出電圧(V_{PDR})を下回った場合，RTCパワーオン・リセットが発生し点線で囲ったブロックは動作停止します。

備考 f_X　：X1クロック発振周波数

f_{IH}　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）

f_{IM}　：中速オンチップ・オシレータ・クロック周波数（最大4 MHz）

f_{EX}　：外部メイン・システム・クロック周波数

f_{MX}　：高速システム・クロック周波数

f_{MAIN}　：メイン・システム・クロック周波数

f_{XT}　：XT1クロック発振周波数

f_{EXS}　：外部サブシステム・クロック周波数

f_{SX}　：サブ・クロック

f_{SUB}　：サブシステム・クロック周波数

f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック周波数

f_{OCO}　：メイン・オンチップ・オシレータ・クロック周波数（f_{IH}またはf_{IM}）

f_{PLL}　：PLLクロック周波数

f_{HOCO}　：高速オンチップ・オシレータ・クロック発振周波数

（24MHz（FRQSEL3 = 0設定時），32MHz（FRQSEL3 = 1設定時））

6. 3　クロック発生回路を制御するレジスタ

クロック発生回路は，次のレジスタで制御します。

- クロック動作モード制御レジスタ　（CMC）
- システム・クロック制御レジスタ　（CKC）
- クロック動作ステータス制御レジスタ（CSC）
- サブ・クロック動作モード制御レジスタ（SCMC）
- サブ・クロック動作ステータス制御レジスタ（SCSC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- 周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2）
- サブシステム・クロック供給オプション制御レジスタ（OSMC）
- 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
- サブシステム・クロック選択レジスタ（CKSEL）
- 中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）
- 周波数測定回路クロック選択レジスタ（FMCKS）
- PLL制御レジスタ（DSCCTL）
- メイン・クロック制御レジスタ（MCKC）
- ペリフェラル・クロックコントロールレジスタ（PCKC）

注意　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

6. 3. 1　クロック動作モード制御レジスタ（CMC）

X1/P121, X2/EXCLK/P122端子の動作モードの設定と, X1発振回路のゲインを選択及びXT1発振クロックまたは外部サブシステム・クロックの選択許可を制御するレジスタです。

CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

RTCパワーオン・リセットを除くすべてのリセット信号の発生により，00Hになります。

図6－2　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	XT1SELEN	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

XT1SELEN	CPU／周辺ハードウエア・クロック（f_{CLK}）へのXT1発振クロック（f_{XT}）または外部サブシステム・クロック（f_{EXS}）の選択許可[注1, 2, 3]
0	禁止（CKCレジスタのCSSビットによるクロック切り替えが無効）
1	許可（CKCレジスタのCSSビットによるクロック切り替えが有効）

AMPH	X1クロック発振周波数の制御
0	1 MHz≦f_X≦10 MHz
1	10 MHz＜f_X≦20 MHz

注 1. CKCレジスタのCSSビットによるクロック切り替えを許可するだけであり，本ビットの設定によりCPU／周辺ハードウエア・クロック（f_{CLK}）が切り替わることはありません。

2. 低速オンチップ・オシレータ・クロック（f_{IL}）をCPU／周辺ハードウエア・クロック（f_{CLK}）に選択する場合は，本ビットの設定は必要ありません。

3. 必ずSCMCレジスタのOSCSELSビットと同じ値を書き込んでください。

注意 1. CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために，リセット解除後は必ず00Hに設定してください。

2. リセット解除後，クロック動作ステータス制御レジスタ（CSC）またはサブ・クロック動作ステータス制御レジスタ（SCSC）の設定でX1発振またはXT1発振を開始する前に，CMCレジスタを設定してください。

3. X1クロック発振周波数が10 MHzを越える場合は，必ずAMPHビットに1を設定してください。

4. AMPHビットは，リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}やf_{SUB}に切り替える前の状態）で設定してください。

5. システム・クロックの周波数上限は32 MHzですが，X1発振回路の周波数上限は20 MHzになります。

備考　f_X：X1クロック発振周波数

6. 3. 2　システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウエア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RTCパワーオン・リセットを除くすべてのリセット信号の発生により，00Hになります。

図6－3　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	MCS1	MCM1

CLS	CPU／周辺ハードウエア・クロック（f_{CLK}）のステータス
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

CSS[注2]	CPU／周辺ハードウエア・クロック（f_{CLK}）の選択
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	メイン・オンチップ・オシレータ・クロック（f_{OCO}）
1	高速システム・クロック（f_{MX}）

MCM0[注2]	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）にメイン・オンチップ・オシレータ・クロック（f_{OCO}）を選択
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

MCS1	メイン・オンチップ・オシレータ・クロック（f_{OCO}）のステータス
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

MCM1[注2]	メイン・オンチップ・オシレータ・クロック（f_{OCO}）の動作制御
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

注 1. ビット7, 5, 1は，Read Onlyです。

2. CSS = 1を設定した状態で，MCM0ビット，MCM1ビットの値を変更することは禁止です。

備考　f_{IH}　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）

f_{MX}　：高速システム・クロック周波数

f_{MAIN}　：メイン・システム・クロック周波数

f_{SUB}　：サブシステム・クロック周波数

f_{OCO}　：メイン・オンチップ・オシレータ・クロック周波数（f_{IH}またはf_{IM}）

注意 1. ビット2, 3には，必ず0を設定してください。

2. CSSビットで設定したクロックは，CPUと周辺ハードウエアに供給されます。したがって，CPUクロックを変更すると，周辺ハードウエア・クロックも同時に変更されます（独立電源RTC，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ，8ビット・インターバル・タイマ，周波数測定回路，発振停止検出回路およびウォッチドッグ・タイマは除く）。よって，CPU／周辺ハードウエア・クロック を変更する場合は，各周辺機能を停止してください。

3. 周辺ハードウエア・クロックとしてサブシステム・クロックが使われている場合，A/Dコンバータ，IICAの動作は保証できません。周辺ハードウエアの動作特性については，各周辺ハードウエアの章および第41章　電気的特性を参照してください。

6. 3. 3　クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RTCパワーオン・リセットを除くすべてのリセット信号の発生により，C0Hになります。

図6－4　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H　　リセット時：C0H　　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XT1SELDIS	0	0	0	0	MIOEN	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XT1SELDIS	CPU／周辺ハードウエア・クロック（f_{CLK}）へのサブ・クロック（f_{SX}）[注3]の供給停止制御[注1, 2]
0	供給
1	停止

MIOEN	中速オンチップ・オシレータ・クロックの動作制御
0	中速オンチップ・オシレータ停止
1	中速オンチップ・オシレータ動作

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注 1. サブ・クロック（f_{SX}）の供給停止を制御するだけであり，本ビットによりXT1発振回路の発振制御を行うわけではありません。

2. CPU／周辺ハードウエア・クロック（f_{CLK}）にXT1発振クロック（f_{XT}）または外部サブシステム・クロック（f_{EXS}）を設定する場合は必ず本ビットに"0"を書いてください。

3. 独立電源RTC，周波数測定回路，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDへ供給されるクロックを除く

注意 1. リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

3. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

4. CPU／周辺ハードウエア・クロック（f_{CLK}）に選択しているクロックは，CSCレジスタで停止させないでください。

5. クロック発振停止（外部クロック入力無効）するための停止前条件とレジスタの設定は，表6－2のようになります。
クロックを停止する場合は，クロック停止前条件を確認した後に停止してください。

表6－2　クロック発振停止前の条件とレジスタの設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタの設定
高速オンチップ・オシレータ・クロック	MCS1 = 1またはMCS = 1または CLS = 1 （CPUクロックが高速オンチップ・オシレータ・クロックまたはPLLクロック以外で動作）	CSC.HIOSTOP = 1
中速オンチップ・オシレータ・クロック	MCS1 = 0またはMCS = 1またはCLS = 1 （CPUクロックが中速オンチップ・オシレータ・クロック以外で動作）	CSC.MIOEN = 0
PLLクロック	CKSTR = 0 （CPUクロックがPLLクロック以外で動作）	DSCCTL.DSCON = 0
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 （CPUクロックが高速システム・クロック以外で動作）	CSC.MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 （CPUクロックがサブシステム・クロック以外で動作）	SCSC.XTSTOP = 1 CMC.XT1SELEN = 0 CSC.XT1SELDIS = 1
低速オンチップ・オシレータ・クロック	CLS = 0 （CPUクロックが低速オンチップ・オシレータ・クロック以外で動作）	CKSEL.SELLOSC = 0

6. 3. 4　サブ・クロック動作モード制御レジスタ（SCMC）

XT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

SCMCレジスタは，すべてのリセット要因及びRTCパワーオン・リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

SCMCレジスタはVRTC電源で動作します。VRTC電源起動直後は，RTC端子の電圧検出機能（**29. 3. 5　VRTC端子電圧検出制御レジスタ（LVDVRTC）**参照）を使用して，VRTC端子への電源供給開始を確認してください。RTCパワーオン・リセット信号の発生により，00Hになります。その他リセット要因（内部V_{DD}電源のパワーオン・リセットを含む）ではリセットされません。

図6－5　サブ・クロック動作モード制御レジスタ（SCMC）のフォーマット

アドレス：F0384H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
SCMC	0	0	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	0

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振（デフォルト）
0	1	通常発振
1	0	超低消費発振
1	1	禁止設定

注　EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはRTCパワーオン･リセットによるリセット時のみ初期化され，その他リセット要因（内部V_{DD}電源のパワーオン・リセットを含む）では，値を保持します。

注意 1.　SCMCレジスタは，CPUのリセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。SCMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために，CPUのリセット解除後は必ず00Hに設定してください。

2.　CPUのリセット解除後，サブ・クロック動作ステータス制御レジスタ（SCSC）の設定でXT1発振を開始する前に，SCMCレジスタを設定してください。

3.　AMPHS1, AMPHS0ビットは，リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}に切り替える前の状態）で設定してください。

4.　f_{XT}の発振安定時間は，ソフトウエアでカウントしてください。

5.　SCMCレジスタ書き込み後，RTCパワーオン・リセット以外のリセットが発生した場合，暴走時の誤動作を防ぐためCPUのリセット解除後は必ずリセット発生前と同じ値を設定してください。

注意 6. XT1発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は，6.7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。なお，高い発振余裕度を確保が必要な用途（例：ユーティリティメータ）では超低消費発振（AMPHS1, AMPHS0 = 1, 0）のご使用は推奨しません。通常発振（AMPHS1, AMPHS0 = 0,1）のご使用を推奨します。
- XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
- 回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。
- XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる 線と接近させないでください。
- 高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

7. XT1発振回路は，VRTC電源で動作します。VRTC端子に電源を投入し，RTCパワーオン・リセットを解除した後に動作可能となります。
8. ビット7-6, 3, 0には必ず"0"を設定してください。

6. 3. 5　サブ・クロック動作ステータス制御レジスタ（SCSC）

サブ・クロックの動作を制御するレジスタです。

SCSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

SCSCレジスタはVRTC電源で動作します。VRTC電源起動直後は，VRTC端子の電圧検出機能（**29. 3. 5 VRTC端子電圧検出制御レジスタ（LVDVRTC）**参照）を使用して，VRTC端子への電源供給開始を確認してください。

RTCのパワーオン・リセット信号の発生により，40Hになります。

図6－6　サブ・クロック動作ステータス制御レジスタ（SCSC）のフォーマット

アドレス：F0386H　　リセット時：40H　　R/W

略号	7	6	5	4	3	2	1	0
SCSC	0	XTSTOP	0	0	0	0	0	0

XTSTOP注	XT1発振回路の動作／停止制御
0	XT1発振モード時：XT1発振回路動作 外部クロック入力モード時：EXCLKSからの外部クロック有効 入力ポート・モード時：入力ポート
1	XT1発振モード時：XT1発振回路停止 外部クロック入力モード時：EXCLKSから外部クロック無効 入力ポート・モード時：入力ポート

注　XTSTOPビットはRTCのパワーオン・リセット時のみ初期化され，その他のリセット要因（内部V_{DD}電源のパワーオン・リセットを含む）では値を保持します。

注意 1.　XTSTOPビットの設定でXT1発振を開始する場合は，サブ・クロックに必要な発振安定時間をソフトウエアにてウエイトしてください。

2.　ビット7, 5-0には必ず"0"を設定してください。

6. 3. 6　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始した場合

・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

備考　発振安定時間カウンタは，次の場合にカウントを開始します。

・X1 クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）

・STOPモードを解除したとき

図6－7　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.2 ms以上	13.1 ms以上

注意 1.　上記時間経過後，MOST8ビットから順番に“1”となっていき，そのまま“1”を保持します。

2.　発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

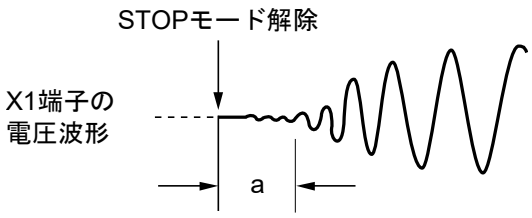
次のときには，OSTSレジスタの発振安定時間を，OSTCレジスタで確認したいカウント値より大きい値に設定してください。

・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合

・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合

（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

6. 3. 7　発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は，X1発振回路動作（MSTOP = 0）後，OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから，X1クロックに切り換える場合や，CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後STOP モードを解除した場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図6－8　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	$2^8/f_X$	25.6 μs	12.8 μs
0	0	1	$2^9/f_X$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_X$	102 μs	51.2 μs
0	1	1	$2^{11}/f_X$	204 μs	102 μs
1	0	0	$2^{13}/f_X$	819 μs	409 μs
1	0	1	$2^{15}/f_X$	3.27 ms	1.63 ms
1	1	0	$2^{17}/f_X$	13.1 ms	6.55 ms
1	1	1	$2^{18}/f_X$	26.2 ms	13.1 ms

注意 1.　OSTSレジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（CSC）のMSTOPビットを0に設定する前に行ってください。

2.　発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

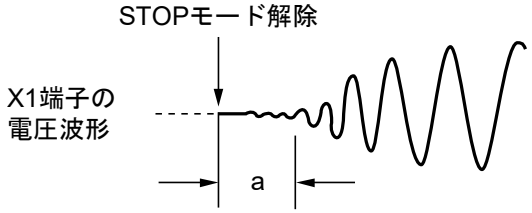
次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合

・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合

（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　f_X：X1クロック発振周波数

6. 3. 8　サブシステム・クロック選択レジスタ（CKSEL）

サブシステム・クロックとしてサブ・クロック／低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSELレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6－9　サブシステム・クロック選択レジスタ（CKSEL）のフォーマット

アドレス：FFFA7H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	0	0	0	0	0	0	0	SELLOSC

SELLOSC	サブシステム・クロック（f_{SUB}）の選択
0	サブ・クロック（f_{SX}）
1	低速オンチップ・オシレータクロック（f_{IL}）注

注　サブ・クロック（f_{SX}）動作時はSELLOSC = 1の設定は禁止です。

注意　SELLOSCを変更する場合は，必ずCSS = 0（f_{MAIN}選択）に設定し，CLS = 0の状態で切り替えてください。

6. 3. 9　周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

・タイマ・アレイ・ユニット
・シリアル・アレイ・ユニット0
・シリアル・アレイ・ユニット1
・シリアル・インタフェースIICA0
・10ビットA/Dコンバータ
・IrDA
・24ビットΔΣ型A/Dコンバータ
・DTC
・周波数測定回路
・独立電源RTC
・32ビット積和演算器
・発振停止検出回路
・12ビット・インターバル・タイマ

PER0, PER1, PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図6－10　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IRDAEN	IrDAの入力クロック供給の制御
0	入力クロック供給停止 ・IrDAで使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注1
1	入力クロック供給 ・IrDAで使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注2
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICA0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注3
1	入力クロック供給 ・シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注4
1	入力クロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 シリアル・アレイ・ユニット0で使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注5
1	入力クロック供給 シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注6
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

（注，注意は次ページにあります。）

注 1. IrDAおよびIrDAで使用するSFRを初期化する場合，PRR0のビット6（IRDARES）を使用してください。

2. A/Dコンバータおよび A/Dコンバータで使用するSFRを初期化する場合，PRR0のビット5（ADCRES）を使用してください。

3. シリアル・インタフェースIICA0およびシリアル・インタフェースIICA0で使用するSFRを初期化する場合，PRR0のビット4（IICA0RES）を使用してください。

4. シリアル・アレイ・ユニット1およびシリアル・アレイ・ユニット1で使用するSFRを初期化する場合，PRR0のビット3（SAU1RES）を使用してください。

5. シリアル・アレイ・ユニット0およびシリアル・アレイ・ユニット0で使用するSFRを初期化する場合，PRR0のビット2（SAU0RES）を使用してください。

6. タイマ・アレイ・ユニット0およびタイマ・アレイ・ユニット0で使用するSFRを初期化する場合，PRR0のビット0（TAU0RES）を使用してください。

注意 1. 次のビットには必ず“0”を設定してください。

ビット1, 7

2. 各周辺機能が動作許可の状態で，PER0レジスタの対象ビットを切り替えないでください。PER0による設定は，PER0に割り当てている各周辺機能が停止している状態で切り替えてください。

図6－11　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F007AH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	0	0	DTCEN	0	0	DSADCEN

FMCEN	周波数測定回路の入力クロック供給の制御
0	入力クロック供給停止 ・周波数測定回路で使用するSFRへのライト不可，リードした場合は00Hが読めます。 ・周波数測定回路はリセット状態
1	入力クロック供給 ・周波数測定回路で使用するSFRへのリード／ライト可

DTCEN	DTCの入力クロック供給の制御
0	入力クロック供給停止 ・DTCは動作不可
1	入力クロック供給 ・DTCは動作可

DSADCEN	24ビットΔΣA/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・24ビットΔΣ型A/Dコンバータで使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給 ・24ビットΔΣ型A/Dコンバータで使用するSFRへのリード／ライト可

注　24ビットΔΣ型A/Dコンバータおよび24ビットΔΣ型A/Dコンバータで使用するSFRを初期化する場合，PRR1のビット0（DSADRES）を使用してください。

注意 1.　次のビットには必ず“0”を設定してください。
ビット1, 2, 4, 5, 7

2.　各周辺機能が動作許可の状態で，PER1レジスタの対象ビットを切り替えないでください。PER1による設定は，PER1に割り当てている各周辺機能が停止している状態で切り替えてください。

図6－12　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F00FCH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	OSDCEN	0	0	0	MACEN	0	VRTCEN

TMKAEN	12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注1
1	入力クロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

OSDCEN	発振停止検出回路の入力クロック供給の制御
0	入力クロック供給停止 ・発振停止検出回路で使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注2
1	入力クロック供給 ・発振停止検出回路で使用するSFRへのリード／ライト可

MACEN	32ビット積和演算器の入力クロック供給の制御
0	入力クロック供給停止 ・32ビット積和演算器で使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注3
1	入力クロック供給 ・32ビット積和演算器で使用するSFRへのリード／ライト可

VRTCEN	独立電源RTCの入力クロック供給の制御
0	入力クロック供給停止 ・独立電源RTCで使用するSFRへのライト不可，リードした場合は00Hが読めます。独立電源RTCはサブ・クロック（f_{SX}）により動作可能。
1	入力クロック供給 ・独立電源RTCで使用するSFRへのリード／ライト可注4

注 1. 12ビット・インターバル・タイマおよび12ビット・インターバル・タイマで使用するSFRを初期化する場合，PRR2のビット7（TMKARES）を使用してください。

2. 発振停止検出回路および発振停止検出回路で使用するSFRを初期化する場合，PRR2のビット6（OSDCRES）を使用してください。

3. 32ビット積和演算器および32ビット積和演算器で使用するSFRを初期化する場合，PRR2のビット2（MACRES）を使用してください。

4. 独立電源RTCで使用するSFRへリード／ライトアクセスする時以外は，VRTCEN=0に設定してください。

注意 1. 次のビットには必ず“0”を設定してください。

ビット1, 3～5

2. 各周辺機能が動作許可の状態で，PER2レジスタの対象ビットを切り替えないでください。PER2による設定は，PER2に割り当てている各周辺機能が停止している状態で切り替えてください。

6. 3. 10　サブシステム・クロック供給オプション制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブ・クロック（fsx）でCPU動作中のHALTモード時に，独立電源RTC，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，発振停止検出回路，周波数測定回路以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタでは12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，周波数測定回路の動作クロックの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6－13　サブシステム・クロック供給オプション制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC[注4]	STOPモード時およびサブ・クロック（f_{SX}）でCPU動作中のHALTモード時の設定
0	周辺機能へのサブ・クロック（f_{SX}）供給許可 （動作許可となる周辺機能については，**表26－1～表26－3**参照）
1	独立電源RTC，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，発振停止検出回路，周波数測定回路以外の周辺機能へのサブ・クロック（f_{SX}）供給停止

WUTMMCK0	12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，LCDコントローラ／ドライバ，周波数測定回路の動作クロックの選択	周波数測定回路のカウント動作／停止トリガクロック選択	クロック出力／ブザー出力制御回路の出力クロックの選択
0	サブ・クロック（f_{SX}）	サブ・クロック（f_{SX}）を選択	サブ・クロック（f_{SX}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）[注2, 3, 6, 7]	低速オンチップ・オシレータ・クロック（f_{IL}）を選択[注6]	クロック出力禁止[注5]

注 1. ビット0-3, 5, 6には，必ず0を設定してください。

2. サブ・クロック（f_{SX}）発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

3. WUTMMCK0ビットによるサブ・クロック（f_{SX}）と低速オンチップ・オシレータ・クロック（f_{IL}）の切り替えは，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，周波数測定回路の全ての機能が停止中のみ可能です。

4. CKSELレジスタのビット0（SELLOSC）によりサブ・クロック（f_{SX}）を選択（SELLOSC = 0）してRTCLPC = 1とした場合，サブシステム・クロック（f_{SUB}）は停止しますが，低速オンチップ・オシレータ・クロックを選択（SELLOSC= 1）してRTCLPC = 1とした場合，サブシステム・クロック（f_{SUB}）は停止しません。

5. WUTMMCK0を"1"に設定した場合，PCLBUZn端子からクロック出力を禁止します。

6. WUTMMCK0を"1"に設定すると低速オンチップ・オシレータ・クロック（f_{IL}）が発振します。

7. WUTMMCK0を"1"に設定した場合，LCDコントローラ／ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

6. 3. 11　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

オプション・バイト（000C2H）で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし，オプション・バイト（000C2H）のFRQSEL3ビットの値によって，選択できる周波数が異なります。

HOCODIVは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，オプション・バイト（000C2H）のFRQSEL2-FRQSEL0で設定した値になります。

図6－14　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　　リセット時：オプション・バイト（000C2H）FRQSEL2 - FRQSEL0の設定値　　R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1[注2]
0	0	0	f_{IH} = 24 MHz[注1]	設定禁止[注1]
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz[注2]
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz[注2]
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz[注2]
1	0	0	f_{IH} = 1.5 MHz	f_{IH} = 2 MHz[注2]
1	0	1	設定禁止	f_{IH} = 1 MHz[注2]
上記以外			設定禁止	

注 1. CPU／周辺ハードウエア・クロック（f_{CLK}）に32 MHzを選択する場合は，高速オンチップ・オシレータクロック（f_{IH}）を24MHzに設定して，PLLクロック（32 MHz）を選択してください。

2. 24ビットΔΣA/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック（f_{HOCO}/2）を選択する場合（PCKCレジスタのDSADCKビットに0設定時），24ビットΔΣA/Dコンバータは使用できません。

注意1. HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト（000C2H）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	1	LP（低消費メイン）モード	1 MHz	1.9 V～5.5 V
0	0	LV（低電圧メイン）モード	1 MHz～4 MHz	1.7 V～5.5 V
1	0	LS（低速メイン）モード	1 MHz～8 MHz	1.9 V～5.5 V
1	1	HS（高速メイン）モード	1 MHz～12 MHz	2.4 V～5.5 V
			1 MHz～16 MHz	2.5 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V
			1 MHz～32 MHz	2.8 V～5.5 V
上記以外		設定禁止		

2. HOCODIVレジスタの設定は，高速オンチップ・オシレータ・クロック（f_{IH}）をCPU／周辺ハードウエア・クロック（f_{CLK}）に選択している状態で行ってください。

3. HOCODIVレジスタで周波数を変更後，次の遷移時間経過して周波数が切り替わります。

・変更前の周波数で最大3クロック動作

・変更後の周波数で最大3クロックのCPU／周辺ハードウエア・クロックウエイト

6. 3. 12　中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）

中速オンチップ・オシレータの分周比を選択するレジスタです。

MOCODIVレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6－15　中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）のフォーマット

アドレス：F00F2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
MOCODIV	0	0	0	0	0	0	MOCODIV1	MOCODIV0

MOCODIV1	MOCODIV0	中速オンチップ・オシレータ・クロック選択
0	0	4 MHz
0	1	2 MHz
1	0	1 MHz
上記以外		設定禁止

6. 3. 13　周波数測定回路クロック選択レジスタ（FMCKS）

FMCKSレジスタは，周波数測定回路に入力する動作クロックおよび周波数カウントクロックを選択するレジスタです。

FMCKSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FMCKSレジスタは00Hになります。

図6－16　周波数測定回路クロック選択レジスタ（FMCKS）のフォーマット

アドレス：F007AH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FMCKS	0	0	0	0	0	0	FMCKSEL1	FMCKSEL0

FMCKSEL1	FMCKSEL0	周波数カウントクロック選択
0	0	f_{MX}を選択
0	1	f_{IM}を選択
1	×	f_{IH}を選択

6. 3. 14　PLL制御レジスタ（DSCCTL）

PLL発振回路の動作を制御するレジスタです。

24ビットΔΣA/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック（f_{HOCO}/2）を選択（PCKCレジスタのDSADCKビットに0設定）した状態でCPU／周辺ハードウエアクロック（f_{CLK}）に32 MHzを選択したい場合は，高速オンチップ・オシレータクロック（f_{IH} = 24 MHz）を6分周した4 MHzをPLLリファレンスクロックとし，PLLで16逓倍／2（8倍）した32 MHzのPLLクロック（f_{PLL}）を選択することができます。

DSCCTLは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6－17　PLL制御レジスタ（DSCCTL）のフォーマット

アドレス：F02E5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	DSFRDIV1	DSFRDIV0	DSCM	DSCON

DSFRDIV1	DSFRDIV0	PLLリファレンス・クロック分周制御[注3, 4]
1	1	6分周（f_{IH}/6）
上記以外		設定禁止

DSCM	PLL逓倍選択[注1]
1	16逓倍／2（8倍）
上記以外	設定禁止

DSCON	PLL発振，出力制御[注5]
0	PLL停止
1	PLL発振，出力[注2]

注 1. PLL発振回路の最終段にて2分周されるため，（）内の倍数となります。

2. PLL動作開始後，周波数安定の為にロックアップ待ち時間（40 μs以上）が必要となります。

3. PLL動作中は，PLLリファレンス・クロックの分周設定を変更しないこと。変更する場合はPLLを停止すること。

4. PLLリファレンス・クロックはf_{IH} = 24 MHzのみとする。

5. STOPモードに移行する際は，高速オンチップ・オシレータクロック（f_{IH} = 24 MHz）に切り替え，PLLを停止させる事。

注意　ビット4-7には必ず"0"を設定してください。

6. 3. 15　メイン・クロック制御レジスタ（MCKC）

メイン・クロックの動作を制御するレジスタです。

MCKCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6－18　メイン・クロック制御レジスタ（MCKC）のフォーマット

アドレス：F02E6H　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
MCKC	CKSTR	0	0	0	0	0	0	CKSELR

CKSTR	メイン・システム・クロック（f_{MAIN}）切り替えのステータス
0	オンチップ・オシレータクロック（f_{OCO}）／高速システム・クロック（f_{MX}）[注2]
1	PLLクロック（f_{PLL}）

CKSELR	メイン・システム・クロック（f_{MAIN}）の選択
0	オンチップ・オシレータクロック（f_{OCO}）／高速システム・クロック（f_{MX}）[注2]
1	PLLクロック（f_{PLL}）[注3]

注 1. ビット7はRead onlyです。

2. システム・クロック制御レジスタ（CKC）のビット4（MCM0）で選択してください。

3. PLL選択時は，高速オンチップ・オシレータクロックは停止しないこと。

注意　ビット1～6には必ず"0"を設定してください。

備考　MCM0ビットのクロック選択に対して，CKSELRビットのクロック選択が優先して，メイン・システム・クロック（f_{MAIN}）になります。

6. 3. 16　ペリフェラル・クロックコントロールレジスタ（PCKC）

周辺クロック（24ビットΔΣA/Dコンバータの動作クロック及びPLLクロック）を選択するレジスタです。

24ビットΔΣA/Dコンバータの動作クロックとして使用する場合，高速システム・クロックの周波数（f_{MX}）は水晶発振子12 MHzのみ使用可能です。PCKCレジスタは，1ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6－19　ペリフェラル・クロックコントロールレジスタ（PCKC）のフォーマット

アドレス：F0098H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PCKC	0	0	0	0	0	0	PLLCK	DSADCK

PLLCK	PLLの動作クロック供給制御
0	高速オンチップ・オシレータ・クロック（f_{IH}）供給停止
1	高速オンチップ・オシレータ・クロック（f_{IH}）供給

DSADCK	24ビットΔΣA/Dコンバータの動作クロックの選択
0	高速オンチップ・オシレータ・クロック（f_{HOCO}/2）注2,3供給。（f_{MX}供給停止）
1	高速システム・クロック（f_{MX}）供給注1

注 1. 高速システム・クロックの周波数（f_{MX}）は水晶発振子12 MHzのみ使用可能。

2. 高速オンチップ・オシレータ・クロック（f_{HOCO}/2）を選択する場合は，f_{IH} = 24MHz/12MHz/6MHz/3MHz/1.5MHz（FRQSEL3 = 0）の設定にすること。

3. CPU／周辺ハードウエア・クロック（f_{CLK}）にPLLクロック（f_{PLL}）を選択した場合でも，24ビットΔΣA/Dコンバータの動作クロックには高速オンチップ・オシレータ・クロック（f_{HOCO}/2 = 12 MHz）が供給されます。

6.4　システム・クロック発振回路

6.4.1　X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また, 外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

・水晶，セラミック発振　：EXCLK, OSCSEL = 0, 1

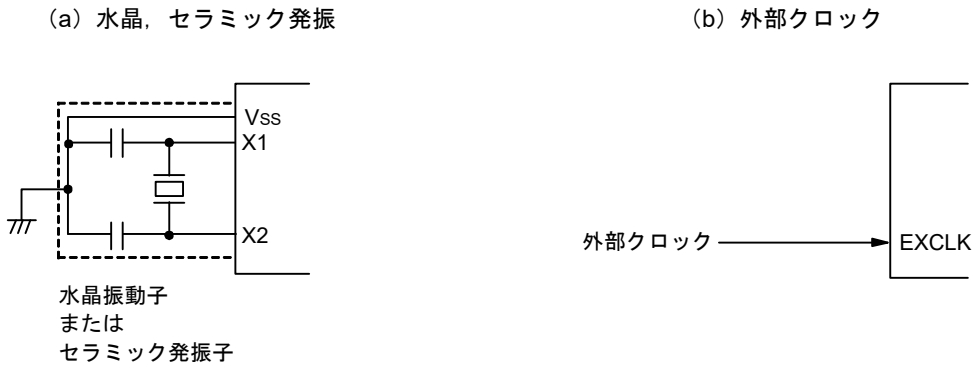
・外部クロック入力　　：EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，**表2－3　各端子の未使用端子処理**を参照してください。

図6－20にX1発振回路の外付け回路例を示します。

図6－20　X1発振回路の外付け回路例



注意を次ページに示します。

6.4.2　XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（32.768 kHz（TYP.））によって発振します。

XT1発振回路は，VRTC電源で動作します。XT1発振回路を使用する場合，VRTC端子に電源を投入しRTCのパワーオン・リセット解除後に，サブ・クロック動作モード制御レジスタ（SCMC）のビット4（OSCSELS）とクロック動作モード制御レジスタ（CMC）のビット4（XT1SELEN）の両方のビットに1を設定してください。

また，外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合，VRTC端子に電源を投入しRTCのパワーオン・リセット解除後に，サブ・クロック動作モード制御レジスタ（SCMC）のビット5, 4（EXCLKS, OSCSELS）およびクロック動作モード制御レジスタ（CMC）のビット4（XT1SELEN）を次のように設定してください。

・水晶発振　　：EXCLKS, OSCSELS = 0, 1, XT1SELEN = 1

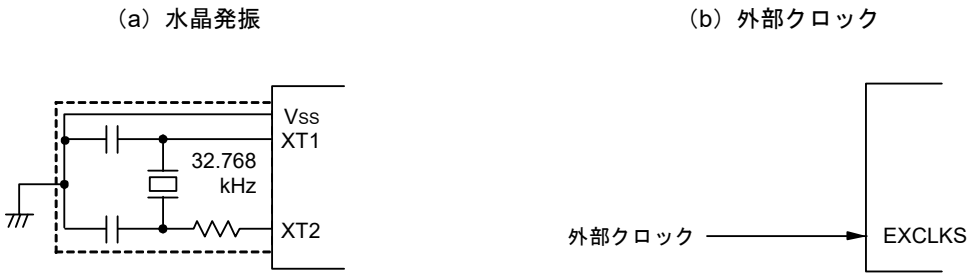
・外部クロック入力　：EXCLKS, OSCSELS = 1, 1, XT1SELEN = 1

XT1発振回路を使用しない場合は，入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，**表2－3　各端子の未使用端子処理**を参照してください。

図6－21にXT1発振回路の外付け回路例を示します。

図6－21　XT1発振回路の外付け回路例



注意　X1発振回路およびXT1発振回路を使用する場合は，配線容量などの影響を避けるために，図6－20，図6－21の破線の部分を次のように配線してください。

・配線は極力短くしてください。

・他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。

・発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。

・発振回路から信号を取り出さないでください。

特に，XT1発振回路は，低消費電力にするために増幅度の低い回路になっています。設計の際は，次の点に注意してください。

・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。

・XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は6. 7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。

・XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。

・回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。

・XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。

・XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。

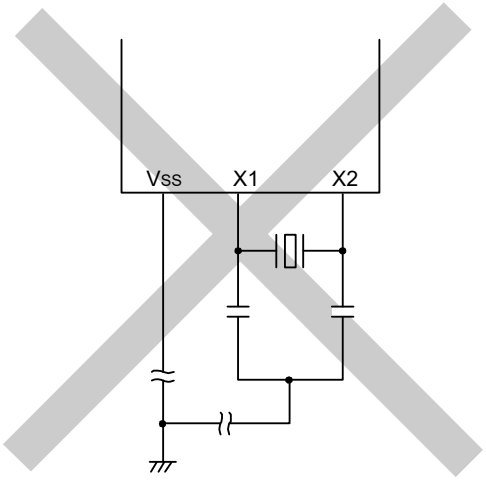
・高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。

・回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

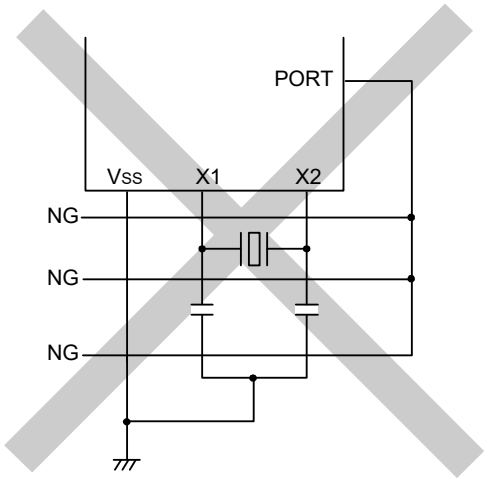
図6－22に発振子の接続の悪い例を示します。

図6－22　発振子の接続の悪い例（1/2）

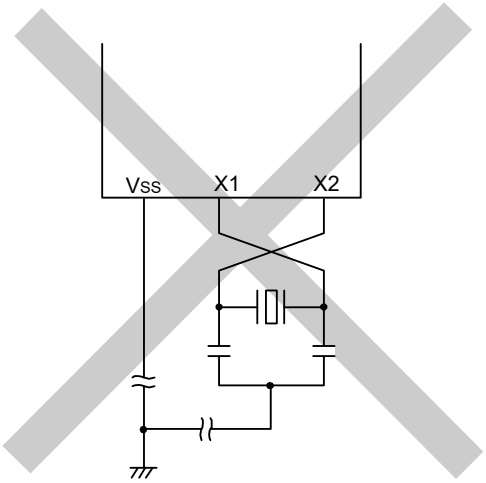
（a）接続回路の配線が長い



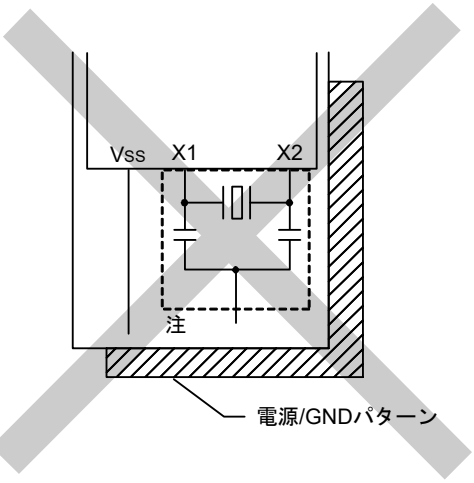
（b）信号線が交差している



（c）X1, X2の信号線の配線が交差している



（d）X1, X2配線の下に電源／GNDパターンがある

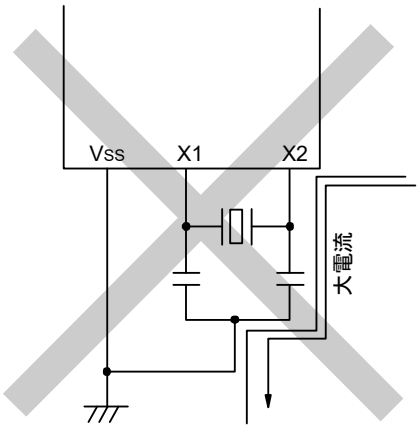


注　多層基板や両面基板において，X1，X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

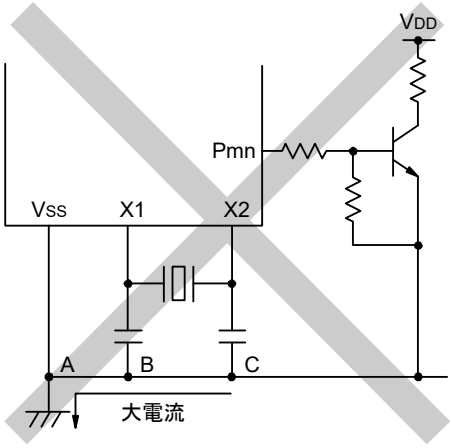
備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。

図6－22　発振子の接続の悪い例（2/2）

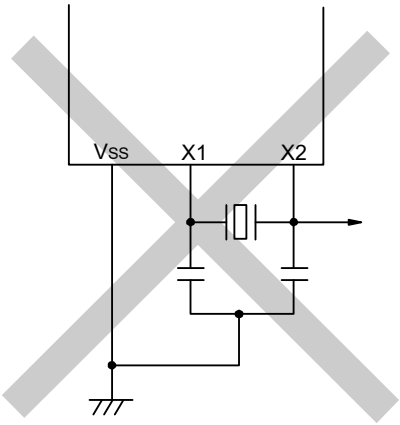
（e）変化する大電流が信号線に近接している



（f）発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



（g）信号を取り出している



注意　X2とXT1が平行に配線されている場合，X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。

6. 4. 3　高速オンチップ・オシレータ

RL78/I1Cは，高速オンチップ・オシレータを内蔵しています。オプションバイト（000C2H）により24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1.5MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）にて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

6. 4. 4　中速オンチップ・オシレータ

RL78/I1Cは，中速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ（CSC）のビット1（MIOEN）にて発振を制御できます。

6. 4. 5　低速オンチップ・オシレータ

ウォッチドッグ・タイマの動作時，または，サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）とサブシステム・クロック選択レジスタ（CKSEL）のビット0（SELLOSC）のいずれか，または両ビットが1のときに低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ，WUTMMCK0 = 0かつ，SELLOSC = 0のとき，低速オンチップ・オシレータは停止します。

6. 4. 6　PLL (Phase Locked Loop)

RL78/I1Cは，PLL回路を内蔵しています。

高速オンチップ・オシレータクロック（f_{IH} = 24MHz）を6分周した4 MHzをPLLリファレンス・クロックとし，PLLによって16逓倍／2（8倍）した32 MHzのPLLクロック（f_{PLL}）を生成することができます。

PLL制御レジスタ（DSCCTL）のビット0（DSCON）にて動作を制御できます。

注意　STOPモードに移行する場合，高速オンチップ・オシレータ・クロックに切り替え，PLLを停止してください。

PLL使用中は，高速オンチップ・オシレータクロックは停止しないでください。

6. 5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（**図6－1**を参照）。

○CPU／周辺ハードウエア・クロック　f_{CLK}

（1）メイン・システム・クロック　f_{MAIN}

（1-1）高速システム・クロック　f_{MX}

・X1クロック　f_X

・外部メイン・システム・クロック　f_{EX}

（1-2）メイン・オンチップ・オシレータ・クロック　f_{OCO}

・高速オンチップ・オシレータ・クロック　$f_{HOCO}/2$

・中速オンチップ・オシレータ・クロック　f_{IM}

（1-3）PLLクロック　f_{PLL}

（2）サブシステム・クロック　f_{SUB}

（2-1）サブ・クロック　f_{SX}

・XT1クロック　f_{XT}

・外部サブシステム・クロック　f_{EXS}

（2-2）低速オンチップ・オシレータ・クロック　f_{IL}

○周辺ハードウエア用クロック

（1）ウォッチドッグ・タイマ用クロック

・低速オンチップ・オシレータ・クロック　f_{IL}

（2）独立電源RTC用クロック

・サブ・クロック　f_{SX}

（3）12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，LCDコントローラ／ドライバ，発振停止検出回路，周波数測定回路，クロック出力／ブザー出力制御回路用クロック

・サブ・クロック　f_{SX}

・低速オンチップ・オシレータ・クロック　f_{IL}

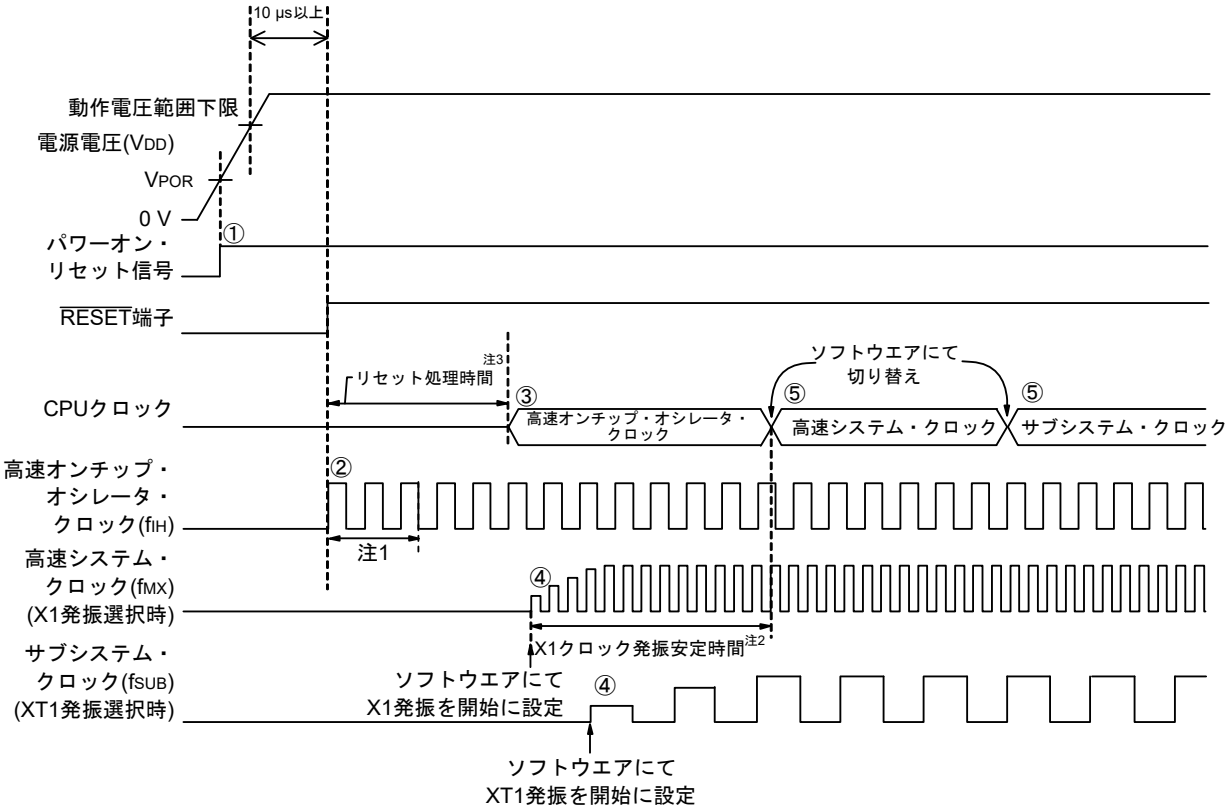
（4）24ビットΔΣA/Dコンバータ動作クロック

・高速オンチップ・オシレータ・クロック　$f_{HOCO}/2$

・高速システム・クロック　f_{MX}

RL78/I1Cでは，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。
電源電圧投入時のクロック発生回路の動作を，**図6－23**に示します。

図6－23　電源電圧投入時のクロック発生回路の動作



① 電源投入後，パワーオン・リセット（POR）回路による内部リセット信号が発生します。
ただし，**41.4　AC特性**に示す動作電圧範囲に達するまで，電圧検出回路か外部リセットでリセット状態を保ちます（上図は，外部リセット使用時の例）。

② リセットが解除されると，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに，CPUが高速オンチップ・オシレータ・クロックで動作開始します。

④ X1クロックまたはXT1クロックは，ソフトウエアにて発振開始を設定してください（**6. 6. 2　X1発振回路の設定例**，**6. 6. 3　XT1発振回路の設定例**を参照）。

⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください（**6. 6. 2　X1発振回路の設定例**，**6. 6. 3　XT1発振回路の設定例**を参照）。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，リセット処理時間に含まれます。

2. リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3. リセット処理時間は，**第28章　パワーオン・リセット回路**を参照してください。

注意1.　EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

2.　サブシステム・クロックはVRTC端子に電源を投入し，RTCパワーオン・リセットを解除した後に設定してください。

6. 6　クロックの制御

6. 6. 1　高速オンチップ・オシレータの設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は，オプション・バイト（000C2H）のFRQSEL0-FRQSEL3により，24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1.5 MHz, 1 MHzから選択可能です。また，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により，周波数を変更することもできます。

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト（000C2H）	7	6	5	4	3	2	1	0
	CMODE1 0/1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV（低電圧メイン）モード	V_{DD} = 1.7 V～5.5 V @ 1 MHz～4 MHz
1	0	LS（低速メイン）モード	V_{DD} = 1.9 V～5.5 V @ 1 MHz～8 MHz
1	1	HS（高速メイン）モード	V_{DD} = 2.1 V～5.5 V @ 1 MHz～6 MHz V_{DD} = 2.4 V～5.5 V @ 1 MHz～12 MHz V_{DD} = 2.5 V～5.5 V @ 1 MHz～16 MHz V_{DD} = 2.7 V～5.5 V@ 1 MHz～24 MHz V_{DD} = 2.8 V～5.5 V @ 1 MHz～32 MHz
上記以外		設定禁止	

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
0	1	0	0	1.5 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1[注2]
0	0	0	f_{IH} = 24 MHz[注1]	設定禁止[注1]
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz[注2]
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz[注2]
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz[注2]
1	0	0	f_{IH} =1.5 MHz	f_{IH} = 2 MHz[注2]
1	0	1	設定禁止	f_{IH} = 1 MHz[注2]
上記以外			設定禁止	

注1. CPU／周辺ハードウエア・クロック（f_{CLK}）に32 MHzを選択する場合は，高速オンチップ・オシレータクロック（f_{IH}）を24 MHzに設定して，PLLクロック（32 MHz）を選択してください。

2. 24ビットΔΣA/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック（f_{HOCO}/2）を選択する場合（PCKCレジスタのDSADCKビットに0設定時），24ビットΔΣA/Dコンバータは使用できません。

6. 6. 2　X1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1発振クロックに変更する場合，発振安定時間選択レジスタ（OSTS），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ（CKC）でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMCレジスタのOSCSELビットをセット（1），fx＞10 MHz以上の場合はAMPHビットをセット（1）してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	 0	XT1SELEN 0	 0	 0	 0	AMPH 0/1

② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例）10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	 0	 0	 0	 0	 0	OSTS2 0	OSTS1 1	OSTS0 0

③ CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XT1SELDIS 1	 0	 0	 0	 0	MIOEN 0	HIOSTOP 0

④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
例）10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	 0	 0	MCS1 0	MCM1 0

注意　HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト（000C2H）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	1	LP（低消費メイン）モード	1 MHz	1.9 V～5.5 V
0	0	LV（低電圧メイン）モード	1 MHz～4 MHz	1.7 V～5.5 V
1	0	LS（低速メイン）モード	1 MHz～8 MHz	1.9 V～5.5 V
1	1	HS（高速メイン）モード	1 MHz～12 MHz	2.4 V～5.5 V
			1 MHz～16 MHz	2.5 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V
			1 MHz～32 MHz	2.8 V～5.5 V
上記以外		設定禁止		

6. 6. 3　XT1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後（但しRTCパワーオン・リセットを除く）必ず高速オンチップ・オシレータ・クロックで動作します。VRTC端子に電源を投入しRTCパワーオン・リセット解除後に，XT1発振回路およびRTC回路は動作可能となります。その後，CPU／周辺ハードウエア・クロック（f_{CLK}）をXT1発振クロックに変更する場合，サブシステム・クロック供給オプション制御レジスタ（OSMC），サブ・クロック動作モード制御レジスタ（SCMC），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC），サブ・クロック動作ステータス制御レジスタ（SCSC）で発振回路の設定と発振開始を行い，システム・クロック制御レジスタ（CKC）でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑩の順に設定してください。

① VRTC端子に電源を投入し，RTCパワーオン・リセットを解除します。

② STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に周波数測定回路，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力，発振停止検出回路，LCDコントローラ／ドライバのみサブシステム・クロックで動作（超低消費電流）させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

③ PER2レジスタVRTCENビットをセット（1）してVRTC電源で動作する領域のSFRへのアクセスを許可します。

④ SCMCレジスタのEXCLKSビット，OSCSELSビット，AMPHS1ビット，AMPHS0ビットを設定してXT1発振モードおよびXT1発振回路のゲインを設定します。

	7	6	5	4	3	2	1	0
SCMC	0	0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	0

AMPHS0, AMPHS1ビット：XT1発振回路の発振モードを設定します。

⑤ CMCレジスタのXT1SELENビットをセット（1）してCPUへのXT1クロック選択を許可します。

⑥ SCSCレジスタのXTSTOPビットをクリア（0）してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
SCSC	0	XTSTOP 0	0	0	0	0	0	0

⑦ タイマ機能などを用いて，XT1発振クロックに必要な発振安定時間をソフトウエアでウエイトしてください。

⑧ CSCレジスタのXT1SELDISビットをクリア（0）してCPU／周辺ハードウエア・クロックへのXT1クロック選択を許可します。

⑨　CKCレジスタのCSSビットでXT1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	MCS1 0	MCM1 0

⑩　VRTC電源領域のSFRの設定が完了したらPER2レジスタのVRTCENビットをクリア（0）して，VRTC電源領域のSFRへのアクセスを禁止します。

注意　手順④，⑥，⑦の処理は一度設定したら，RTCパワーオン・リセットが発生していない場合は値を保持する為，再度設定は不要です。

6. 6. 4　XT1発振回路をCPU／周辺ハードウエア・クロックに使用しない場合の設定手順

【レジスタ設定】①～④の順に設定してください。

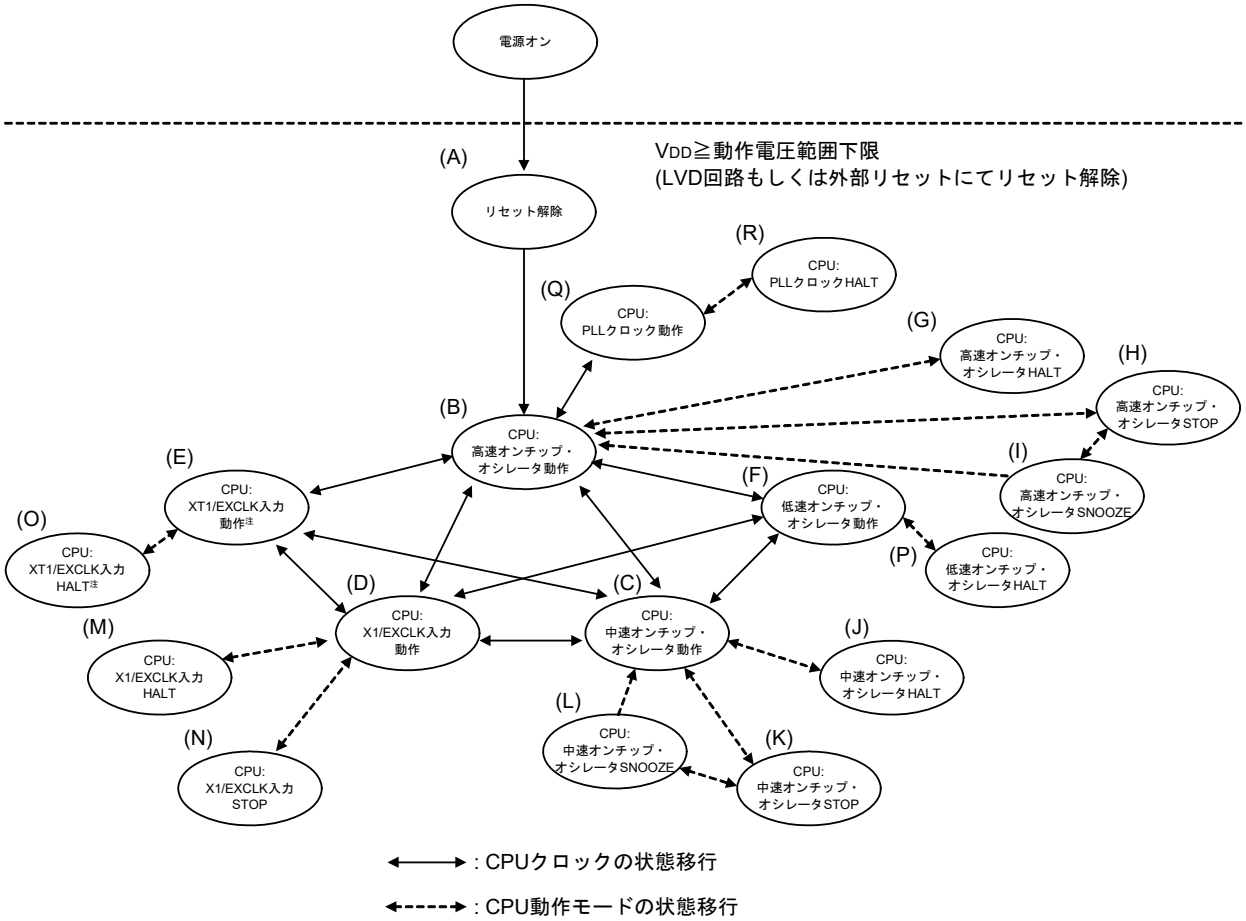
①　VRTC端子に電源を投入しRTCパワーオン・リセットを解除します。
②　SCMCレジスタのEXCLKSビット，OSCSELSビット，AMPHS1ビット，AMPHS0ビットを設定してXT1発振モードおよびXT1発振回路のゲインを設定します。XT1クロックを使用しない場合はSCMCレジスタに00Hを設定してXT1/P123端子，XT2/EXCLKS/P124端子を入力ポート・モードに設定してください。
③　CMCレジスタのXT1SELENビットをクリア（0）してCPUへのXT1クロック選択を禁止します。
④　CSCレジスタのXT1SELDISビットをセット（1）してCPU／周辺ハードウエア・クロックへのXT1クロック選択を禁止します。

注意　手順②の処理は一旦設定したら，RTCパワーオン・リセットが発生していない場合は設定は保持される為，リセット解除後に再度設定は不要です。

6. 6. 5　CPUクロック状態移行図

この製品のCPUクロック状態移行図を**図6－24**に示します。

図6－24　CPUクロック状態移行図



注　RTCパワーオン・リセット解除後に動作可能

CPUクロックの状態移行とレジスタの設定例などを**表6－3**に示します。

表6－3　CPUクロックの移行とSFRレジスタの設定例（1/4）

（1）リセット解除後 (A) に，CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

対象状態遷移：(A) → (B)

移行先のクロック	SFRレジスタの設定
高速オンチップ・オシレータ	SFRレジスタ設定不要（リセット解除後の初期状態）

（2）高速オンチップ・オシレータ・クロック動作 (B) へ移行

対象状態遷移： (C) → (B)，(D) → (B)，(E) → (B)，(F) → (B)

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	HIOSTOP		CSS	MCM0	MCM1
高速オンチップ・オシレータ	0	65 μs	0	0	0

高速オンチップ・オシレータ・
クロック動作中の場合は不要

対象状態遷移：(Q) → (B)

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 移行先のクロック	MCKCレジスタ	クロック切り替え待ち	DSCCTLレジスタ	PCKCレジスタ
	CKSELR		DSCON	PLLCK
高速オンチップ・オシレータ	0	MCKCレジスタの CKSTR = 0を確認	0	0

（3）中速オンチップ・オシレータ・クロック動作 (C) へ移行

対象状態遷移：(B) → (C)，(D) → (C)，(E) → (C)，(F) → (C)

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	MIOEN		CSS	MCM0	MCM1
中速オンチップ・オシレータ	1	4 μs	0	0	1

中速オンチップ・オシレータ・
クロック動作中の場合は不要

備考　**表6－3**の (A) – (R) は，**図6－24**の (A) – (R) と対応しています。

表6－3　CPUクロックの移行とSFRレジスタの設定例（2/4）

（4）PLLクロック動作（Q）へ移行

対象状態遷移：(B) → (Q)

（SFRレジスタの設定順序）

SFRレジスタの設定フラグ ＼ 移行先のクロック	DSCCTLレジスタ			PCKCレジスタ	DSCCTLレジスタ
	DSFRDIV1	DSFRDIV0	DSCM	PLLCK	DSCON
PLLクロック	1	1	1	1	1

ロックアップ待ち時間	MCKCレジスタ CKSELR	クロック切り替え確認
40 μs	1	MCKCレジスタのCKSTR = 1を確認

注意　高速オンチップ・オシレータ（f_{IH}）の周波数は24 MHzを選択すること。

（5）CPUを高速システム・クロック動作（D）へ移行

対象状態遷移：(B) → (D)，(C) → (D)，(E) → (D)，(F) → (D)

（SFRレジスタの設定順序）

SFRレジスタの設定フラグ ＼ 移行先のクロック	CMCレジスタ[注1]			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ	
	EXCLK	OSCSEL	AMPH		MSTOP		CSS	MCM0
X1クロックに移行：1 MHz≦fx≦10 MHz	0	1	0	注2	0	確認必要	0	1
X1クロックに移行：10 MHz＜fx≦20 MHz	0	1	1	注2	0	確認必要	0	1
外部メイン・クロックに移行	1	1	×	注2	0	確認不要	0	1

設定済みの場合は不要　　高速システム・クロック動作中の場合は不要

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，1回のみ設定可能です。設定済みの場合は不要です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第41章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

備考　表6－3の（A）–（R）は，**図6－24**の（A）–（R）と対応しています。

表6－3　CPUクロックの移行とSFRレジスタの設定例（3/4）

（6）CPUをサブシステム・クロック動作 (E) へ移行

対象状態遷移：(B) → (E)，(C) → (E)，(D) → (E)

（SFRレジスタの設定順序）

SFRレジスタの設定フラグ ＼ 移行先のクロック	PER2レジスタ	SCMCレジスタ注			
	VRTCEN	EXCLKS	OSCSELS	AMPHS1	AMPHS0
XT1クロックに移行	1	0	1	0/1	0/1
外部サブ・クロックに移行	1	1	1	×	×

設定済みの場合は不要

SCSCレジスタ	CMCレジスタ	発振安定待ち	CSCレジスタ	CKCレジスタ	PER2レジスタ
XTSTOP	XT1SELEN		XT1SELDIS	CSS	VRTCEN
0	1	必要	0	1	0
0	1	必要	0	1	0

サブシステム・クロック動作中の場合は不要

注　サブ・クロック動作モード制御レジスタ（SCMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

VRTC端子に電源投入しRTCパワーオン・リセット解除後に動作可能となります。

（7）低速オンチップ・オシレータ・クロック動作 (F) へ移行

対象状態遷移：(B) → (F)，(C) → (F)，(D) → (F)

（SFRレジスタの設定順序）

SFRレジスタの設定フラグ ＼ 移行先のクロック	CKSEL	発振精度安定待ち	CKCレジスタ
	SELLOSC		CSS
低速オンチップ・オシレータに移行	1	210 μs	1

低速オンチップ・オシレータ・クロック動作中の場合は不要

備考1.　× ：don’t care

2.　**表6－3**の (A) – (R) は，**図6－24**の (A) – (R) と対応しています。

表6－3　CPUクロックの移行とSFRレジスタの設定例（4/4）

（8）CPU動作モード (B), (C), (D), (E), (F), (Q) からHALTモード (G), (J), (M), (O), (P), (R) へ移行
対象状態遷移：(B) → (G), (C) → (J), (D) → (M), (E) → (O), (F) → (P), (Q) → (R)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

（9）CPU動作モード (B), (C), (D) からSTOPモード (H), (K), (N) へ移行
対象状態遷移：(B) → (H), (C) → (K), (D) → (N)

（設定順序）→

移行先のモード	設定内容		
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTSレジスタを設定する	STOP命令を実行する

CPUが高速システム・クロック動作中からSTOP モードに移行する場合以外は設定不要

（10）STOPモード (H), (K) とSNOOZEモード (I), (L) の移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については，**15. 8　SNOOZEモード機能**，**18. 5. 7　SNOOZEモード機能**，**18. 6. 3　SNOOZEモード機能**を参照してください。

備考　表6－3の (A) – (R) は，**図6－24**の (A) – (R) と対応しています。

6. 6. 6　CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について，次に示します。

表6－4　CPUクロックの移行について（1/7）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	中速オンチップ・オシレータ・クロック	中速オンチップ･オシレータが発振されていること ・MIOEN = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後，高速オンチップ・オシレータを停止（HIOSTOP = 1）すると，動作電流を低減可能
	X1クロック	X1発振が安定していること OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	PLLクロック	高速オンチップ・オシレータがf_{IH} = 24 MHzで発振され，かつPLLの動作クロックとして供給されていること ・FRQSEL3-0 = 0000B ・HIOSTOP = 0 ・PLLCK = 1 PLL発振が安定していること ・DSFRDIV1 = 1, DSFRDIV0 = 1, DSCM = 1, DSCON = 1 ・ロックアップ待ち時間（40 μs）経過後	－
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，高速オンチップ・オシレータを停止（HIOSTOP = 1）すると，動作電流を低減可能
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ･オシレータが選択されていること。 ・SELLOSC = 1	

表6－4　CPUクロックの移行について（2/7）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
中速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後，中速オンチップ・オシレータを停止（MIOEN = 0）すると，動作電流を低減可能
	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	
	PLLクロック	設定禁止（一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること）	－
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後，中速オンチップ・オシレータを停止（MIOEN = 0）すると，動作電流を低減可能
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 ・SELLOSC = 1	

表6－4　CPUクロックの移行について（3/7）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
PLLクロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後，PLLを停止（DSCON = 0）すると動作電流を低減可能 DSCON=0 PLLCK=0
	中速オンチップ・オシレータ・クロック	移行不可	－
	X1クロック	移行不可	－
	外部メイン・システム・クロック	移行不可	－
	XT1クロック	移行不可	－
	外部サブシステム・クロック	移行不可	－
	低速オンチップ・オシレータ・クロック	移行不可	－

表6－4　CPUクロックの移行について（4/7）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能（MSTOP = 1）
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・MIOEN = 1	
	外部メイン・システム・クロック	移行不可	－
	PLLクロック	設定禁止（一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること）	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 ・SELLOSC = 1	
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・MIOEN = 1	
	PLLクロック	設定禁止（一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること）	－
	X1クロック	移行不可	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 ・SELLOSC = 1	

表6－4　CPUクロックの移行について（5/7）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後，XT1発振停止に設定可能（XTSTOP = 1）
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され，中速オンチップ・オシレータ・クロックが選択されていること ・MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止（一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること）	－
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後，XT1発振停止に設定可能（XTSTOP = 1）
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可	－
	低速オンチップ・オシレータ・クロック	移行不可	

表6－4　CPUクロックの移行について（6/7）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後，外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1）
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され，中速オンチップ・オシレータ・クロックが選択されていること ・MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止（一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること）	－
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後，外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1）
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	－
	外部サブシステム・クロック	移行不可	

表6－4　CPUクロックの移行について（7/7）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	－
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され，中速オンチップ・オシレータ・クロックが選択されていること ・MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止（一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること）	
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	
	低速オンチップ・オシレータ・クロック	移行不可	

6. 6. 7　CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット0, 4, 6（MCM0, MCM1, CSS）の設定により，CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック），メイン・システム・クロックの切り替え（オンチップ・オシレータ・クロック→高速システム・クロック），オンチップ・オシレータ・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔中速オンチップ・オシレータ・クロック）をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します（**表6－5～表6－8**参照）。

CPUクロックがメイン・システム・クロックで動作しているか，サブシステム・クロックで動作しているかは，CKCレジスタのビット7（CLS）で判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか，メイン・オンチップ・オシレータ・クロックまたはPLLクロックで動作しているかは，CKCレジスタのビット5（MCS）で判定できます。メイン・システム・クロックが高速オンチップ・オシレータ・クロックで動作しているか，PLLクロックで動作しているかは，MCKCレジスタのビット7（CKSTR）で判定できます。メイン・オンチップ・オシレータ・クロックが高速オンチップ・オシレータ・クロックで動作しているか，中速オンチップ・オシレータで動作しているかは，CKCレジスタのビット1（MCS1）で判定できます。

CPUクロックを切り替えると，周辺ハードウエア・クロックも同時に切り替わります。

表6－5　メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{OCO}	◀―▶	f_{MX}	**表6－6**参照
f_{IH}	◀―▶	f_{IM}	**表6－7**参照
f_{MAIN}	◀―▶	f_{SUB}	**表6－8**参照

表6－6　f_{OCO} ↔ f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM0	
		0（f_{MAIN} = f_{OCO}）	1（f_{MAIN} = f_{MX}）
0（f_{MAIN} = f_{OCO}）	f_{MX}≧f_{OCO}		2クロック
	f_{MX}＜f_{OCO}		2f_{OCO}/f_{MX}クロック
1（f_{MAIN} = f_{MX}）	f_{MX}≧f_{OCO}	2f_{MX}/f_{OCO}クロック	
	f_{MX}＜f_{OCO}	2クロック	

表6－7　f_{IH} ↔ f_{IM}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM1	
		0 （f_{MAIN} ＝ f_{IH}）	1 （f_{MAIN} ＝ f_{IM}）
0 （f_{MAIN} ＝ f_{IH}）	f_{IM}≧f_{IH}		2クロック
	f_{IM}＜f_{IH}		2f_{IH}/f_{IM}クロック
1 （f_{MAIN} ＝ f_{IM}）	f_{IM}≧f_{IH}	2f_{IM}/f_{IH}クロック	
	f_{IM}＜f_{IH}	2クロック	

表6－8　f_{MAIN} ↔ f_{SUB}で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 （f_{CLK} ＝ f_{MAIN}）	1 （f_{CLK} ＝ f_{SUB}）
0 （f_{CLK} ＝ f_{MAIN}）		1＋2f_{MAIN}/f_{SUB}クロック
1 （f_{CLK} ＝ f_{SUB}）	3クロック	

備考1.　**表6－6**，**表6－7**，**表6－8**のクロック数は，切り替え前のCPUクロックのクロック数です。

2.　**表6－6**，**表6－7**，**表6－8**のクロック数は，小数点以下を切り上げてください。

例　メイン・システム・クロックを高速オンチップ・オシレータ・クロック（8 MHz選択時）から高速システム・クロックに切り替える場合（f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時）

1 + fIH/fMX = 1 + 8/10 = 1 + 0.8 = 1.8 → 2クロック

6. 6. 8　クロック発振停止前の条件

クロックを停止する場合は，クロック停止前条件を確認した後に停止してください。

クロック発振停止（外部クロック入力無効）するための停止前条件とレジスタの設定は**表6－2　クロック発振停止前の条件とレジスタの設定**を参照してください。

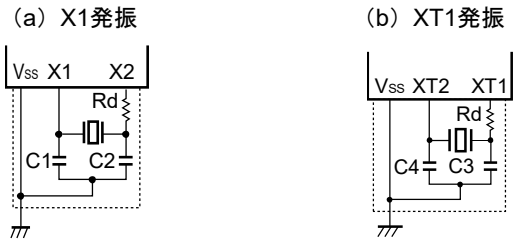
6.7　発振子と発振回路定数

動作確認済みの発振子と，その発振回路定数（参考）は，当社ホームページの対象製品ページを参照してください。

注意1.　この発振回路定数は，発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションでは，実装回路上での評価を発振子メーカに依頼してください。
また，別製品からのマイコンの変更，基板の変更の際には，再度，実装回路上での評価を発振子メーカに依頼してください。

2.　発振電圧，発振周波数は，あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については，DC, AC特性の規格内で使用してください。

図6－25　外付け回路例



第7章　高速オンチップ・オシレータ・クロック周波数補正機能

7.1　高速オンチップ・オシレータ・クロック周波数補正機能

サブシステム・クロックf_{SUB}（32.768 kHz）を基準として，高速オンチップ・オシレータの周波数を測定し，リアルタイムに高速オンチップ・オシレータ・クロック（f_{IH}）の周波数精度補正を行います。

表7－1に高速オンチップ・オシレータ・クロック周波数補正機能の動作仕様を，**図7－1**に高速オンチップ・オシレータ・クロック周波数補正機能のブロック図を示します。

表7－1　高速オンチップ・オシレータ・クロック周波数補正機能の動作仕様

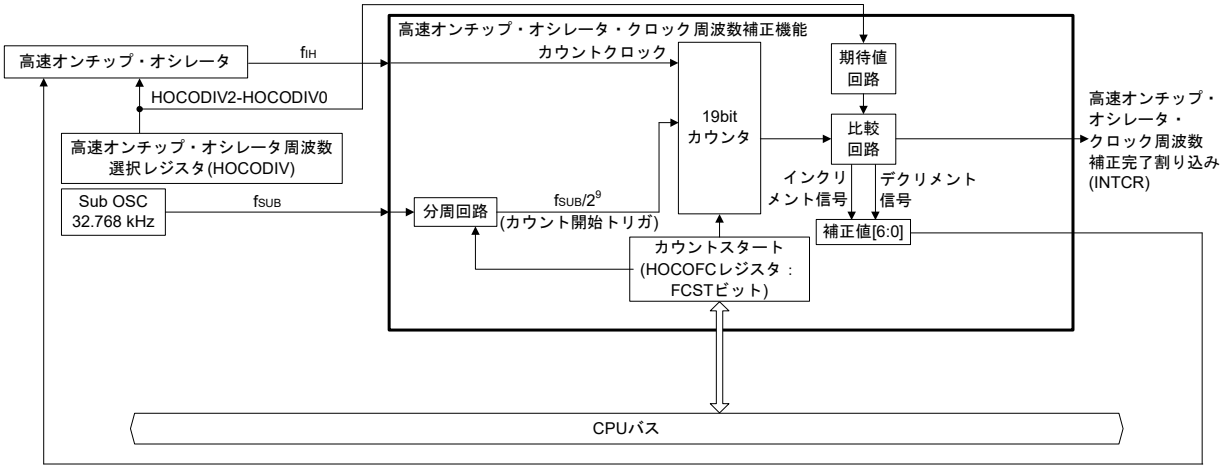
項　　目	内　　容
基準クロック	• $f_{SUB}/2^9$（サブシステム・クロック32.768 kHz）
補正対象クロック	• f_{IH}（高速オンチップ・オシレータ・クロック）
動作モード	• 連続動作モード 常時高速オンチップ・オシレータ・クロック周波数補正を行うモード • 間欠動作モード タイマ割り込み等を使い，間欠的に高速オンチップ・オシレータ・クロック周波数補正を行うモード
クロック精度調整機能	• 補正時間：補正周期（31.2 ms）×（補正回数 －0.5）注
割り込み	• 高速オンチップ・オシレータ・クロック周波数補正完了したとき出力（割り込み出力許可時）

注　補正時間：補正回数により変化します。

補正周期：周波数測定フェーズと周波数補正フェーズの合計時間です。

補正回数：周波数が期待値範囲内に収まるまで，繰り返した補正周期の回数になります。

図7－1　高速オンチップ・オシレータ・クロック周波数補正機能のブロック図



注意1.　高速オンチップ・オシレータ・クロック周波数補正機能を使用するには、サブシステム・クロックが必要です。XT1, XT2にサブ・クロック振動子を接続してください。

2.　24ビットΔΣ型A/Dコンバータを使用する際に，動作クロックに高速オンチップ・オシレータを選択する場合は，必要に応じて本機能を使用してください。

7.2　レジスタ説明

表7－2に高速オンチップ・オシレータ・クロック周波数補正機能で使用するレジスター覧を示します。

表7－2　高速オンチップ・オシレータ・クロック周波数補正機能レジスター覧

項　　目	構　　成
制御レジスタ	高速オンチップ・オシレータ・クロック周波数補正制御レジスタ（HOCOFC）

7.2.1　高速オンチップ･オシレータ･クロック周波数補正制御レジスタ（HOCOFC）

高速オンチップ・オシレータ・クロック周波数補正機能を制御するレジスタです。

HOCOFCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－2　高速オンチップ・オシレータ・クロック周波数補正制御レジスタ（HOCOFC）のフォーマット

アドレス：F02D8H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
HOCOFC	FCMD	FCIE	0	0	0	0	0	FCST

FCMD注1	高速オンチップ・オシレータ・クロック周波数補正機能動作モード
0	連続動作モード
1	間欠動作モード

FCIE	高速オンチップ・オシレータ・クロック周波数補正完了割り込み制御
0	高速オンチップ・オシレータ・クロック周波数補正完了後に割り込みを発生しない
1	高速オンチップ・オシレータ・クロック周波数補正完了後に割り込みを発生する

FCST注2	高速オンチップ・オシレータ・クロック周波数補正回路動作制御／ステータス
0	高速オンチップ・オシレータ・クロック周波数補正回路動作停止／停止中
1	高速オンチップ・オシレータ・クロック周波数補正回路動作開始／動作中
連続動作モード時は，ソフトウェアで0を書くと停止します。 間欠動作モード時は，補正が完了後，FCSTビットはハードウェアクリアされます。	

注1.　FCSTビットが1の時には，FCMDビットを書き換えないでください。

2.　FCSTビットに1を書き込む場合は，FCSTビットが0である事を確認してからFCSTビットに1を書き込んでください。ただし，間欠動作完了直後（高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生時）にFCSTビットに1を書き込む場合は，ハードウェアクリアを優先するため，高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生からf_{IH}が1サイクル以上経過後に行ってください。
FCSTビットに0を書き込み（高速オンチップ・オシレータ・クロック周波数補正回路動作停止）後，f_{IH}で2サイクル以内にFCSTビットに1（高速オンチップ・オシレータ・クロック周波数補正回路動作開始）を書き込まないでください。

注意　ビット5-1には必ず0を設定してください。

7. 3　動作説明

7. 3. 1　動作概要

高速オンチップ・オシレータ・クロック周波数補正は，サブシステム・クロック（f_{SUB}）を基準として補正周期が生成され，高速オンチップ・オシレータの周波数を測定し，リアルタイムに高速オンチップ・オシレータ・クロック周波数精度補正を行います。クロック調整は，周波数測定フェーズと周波数補正フェーズの動作を繰り返します。周波数測定フェーズでは補正演算，周波数補正フェーズでは補正演算結果を反映した補正値出力を保持します。

表7－3に高速オンチップ・オシレータ入力周波数と補正周期を，**図7－3**に高速オンチップ・オシレータ・クロック周波数補正動作タイミング（詳細）を示します。

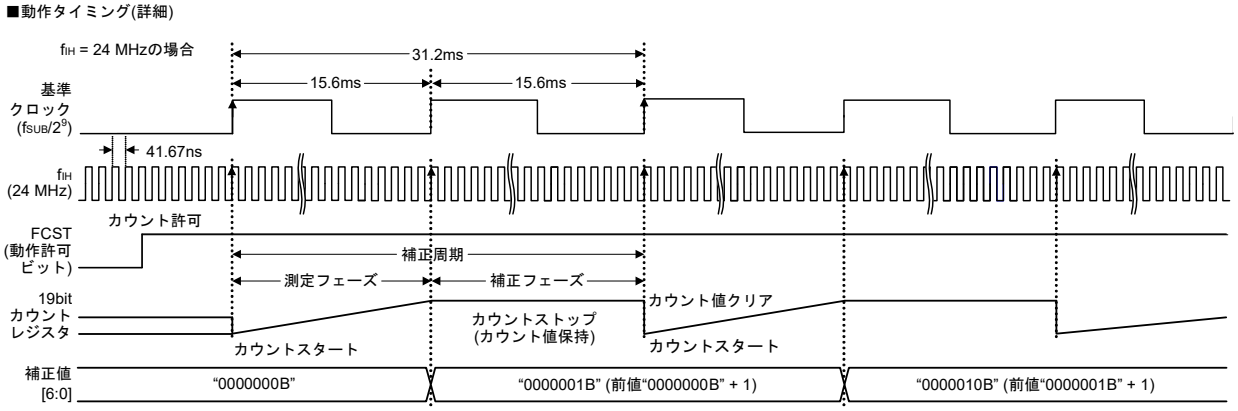
表7－3　高速オンチップ・オシレータ入力周波数と補正周期

f_{IH}（MHz）	FRQSEL3, HOCODIV2-HOCODIV0注 （HOCODIVレジスタ）	補正周期（ms）
24	0000	31.2 （周波数測定フェーズ ＋ 周波数補正フェーズ）
12	0001	
6	0010	
3	0011	
1.5	0011	
16	0100	
8	1010	
4	1011	
2	1100	
1	1101	
上記以外	設定禁止	

注　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）を変更する場合は，必ず高速オンチップ・オシレータ・クロック周波数補正機能未使用時に行ってください。

補正周期の周波数測定フェーズ期間を高速オンチップ・オシレータ・クロックでカウントし，カウント結果と期待値との大小により高速オンチップ・オシレータの周波数を補正します。

図7－3　高速オンチップ・オシレータ・クロック周波数補正動作タイミング（詳細）



備考　連続動作モードも間欠動作モードも基本動作は同じです。違いはFCSTビットのクリアがソフトウェア制御かハードウェア制御の違いのみです。また，システムリセットがかかるまでは，補正値はクリアされません。

（1）連続動作モード

連続動作モードは，常時高速オンチップ・オシレータ・クロック周波数補正を行うモードです。HOCOFCレジスタのFCMDビットを“0”に設定することで連続動作モードになります。

HOCOFCレジスタのFCSTビットに“1”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作を開始します。同様にFCSTビットに“0”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作が停止します。

高速オンチップ・オシレータ・クロック周波数補正動作を開始すると，基準クロック（$f_{SUB}/2^9$）の立ち上りで周波数カウントを開始し，次の基準クロック（$f_{SUB}/2^9$）の立ち上りでカウントを停止します。（周波数測定フェーズ）

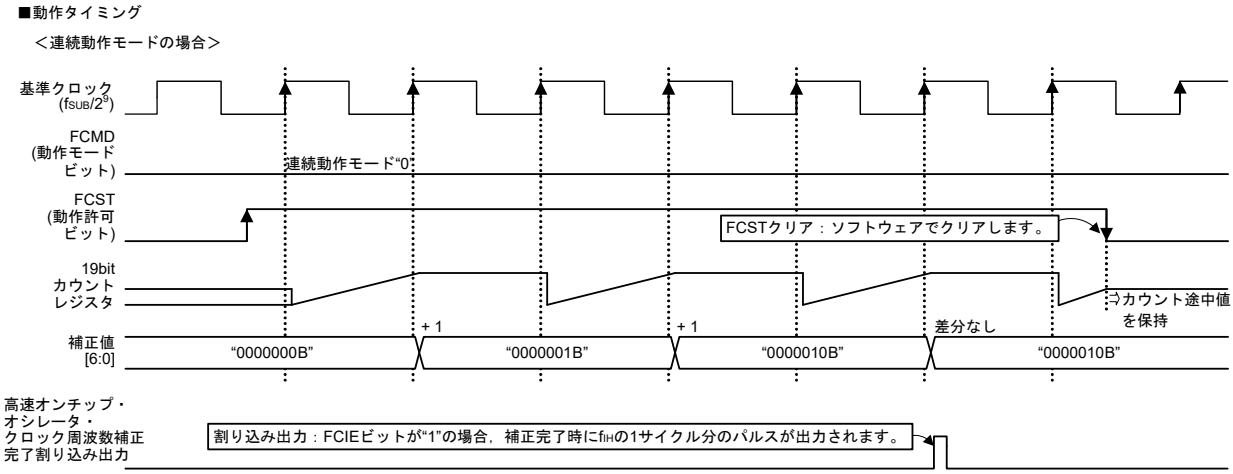
次に，カウント値と期待値を比較し，補正値を以下の通り調整します。（周波数補正フェーズ）

- カウント値が期待値よりも大きい場合：補正値　－1
- カウント値が期待値よりも小さい場合：補正値　＋1
- カウント値が期待値の範囲内の場合：補正値保持（高速オンチップ・オシレータ・クロック周波数補正完了）

HOCOFCレジスタのFCIEビットを“1”に設定している場合は，高速オンチップ・オシレータ・クロック周波数補正完了ごとに高速オンチップ・オシレータ・クロック周波数補正完了割り込みを出力します。連続動作モードでは，高速オンチップ・オシレータ・クロック周波数補正機能が停止するまで周波数測定フェーズと周波数補正フェーズを繰り返します。

図7－4に連続動作モードタイミングを示します。

図7－4　連続動作モードタイミング



（2）間欠動作モード

間欠動作モードは，タイマ割り込み等を使い，間欠的に高速オンチップ・オシレータ・クロック周波数補正を行うモードです。HOCOFCレジスタのFCMDビットを“1”に設定することで間欠動作モードになります。

HOCOFCレジスタのFCSTビットに“1”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作を開始します。

高速オンチップ・オシレータ・クロック周波数補正動作を開始すると，基準クロック（$f_{SUB}/2^9$）の立ち上りで周波数カウントを開始し，次の基準クロック（$f_{SUB}/2^9$）の立ち上りでカウントを停止します。（周波数測定フェーズ）

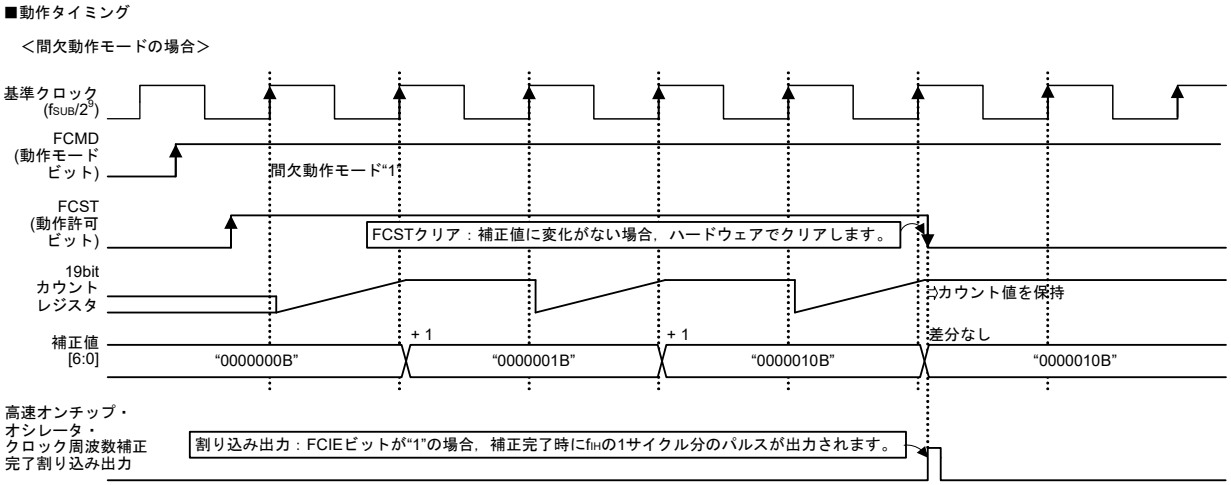
次にカウント値と期待値を比較し，補正値を以下の通り調整します。（周波数補正フェーズ）

- カウント値が期待値よりも大きい場合：補正値　－1
- カウント値が期待値よりも小さい場合：補正値　＋1
- カウント値が期待値の範囲内の場合：補正値保持＋FCSTビットをクリア（高速オンチップ・オシレータ・クロック周波数補正完了）

HOCOFCレジスタのFCIEビットを“1”に設定している場合は，高速オンチップ・オシレータ・クロック周波数補正完了時に高速オンチップ・オシレータ・クロック周波数補正完了割り込みを出力します。間欠動作モードでは周波数測定フェーズと周波数補正フェーズを繰り返し，高速オンチップ・オシレータ・クロック周波数補正完了後に高速オンチップ・オシレータ・クロック周波数補正動作が停止します。

図7－5に間欠動作モードタイミングを示します。

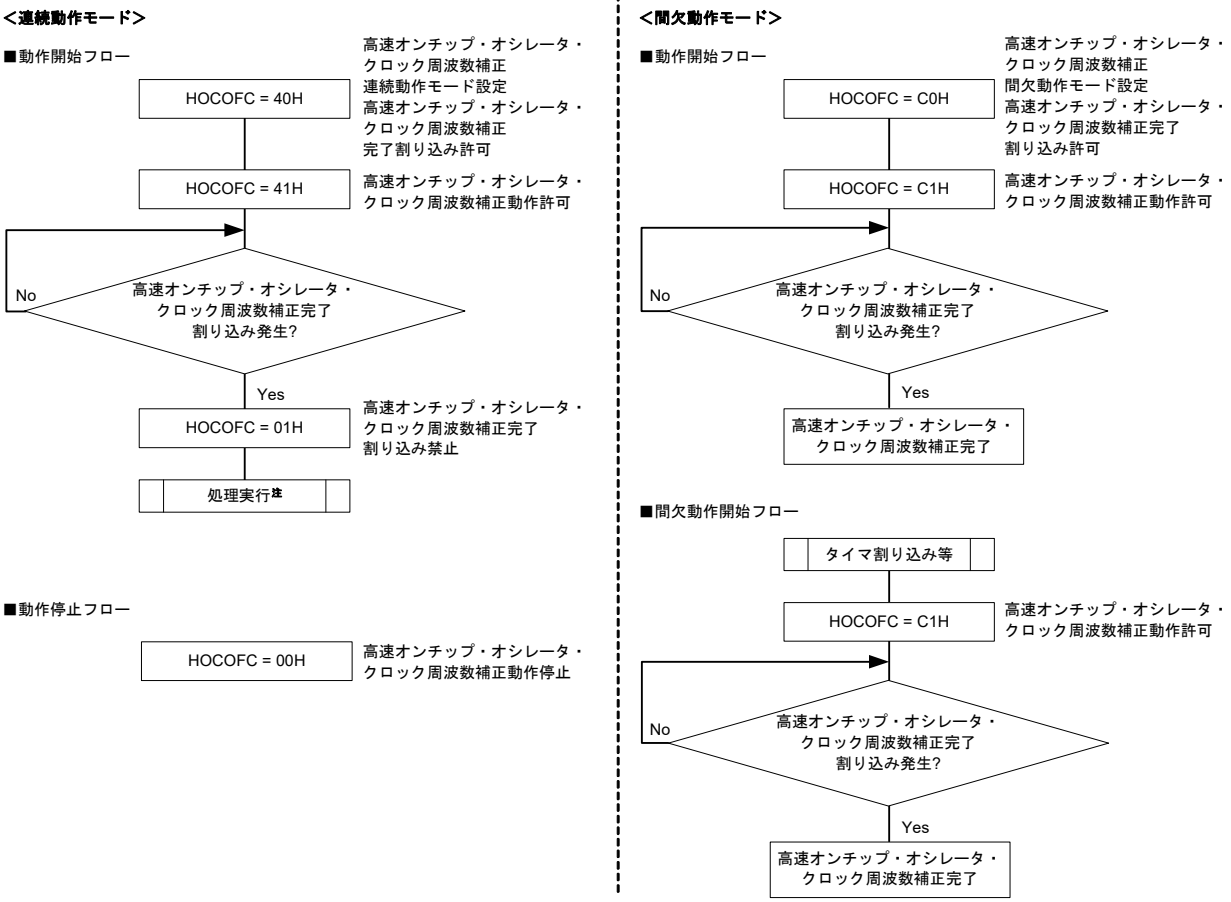
図7－5　間欠動作モードタイミング



7. 3. 2　動作手順

高速オンチップ・オシレータ・クロック周波数補正機能使用時の動作開始・停止のフローを以下に示します。

図7－6　動作モード設定手順例



注　高速オンチップ・オシレータ・クロック周波数補正動作は，高速オンチップ・オシレータ・クロック周波数補正機能が停止するまで繰り返されます。

7.4　使用上の注意事項

7.4.1　SFRアクセス

間欠動作モード時のFCSTビット制御について，FCSTに“1”を書き込む際はFCSTビットが“0”であることを確認してからFCSTビットに“1”を書き込んでください。ただし，間欠動作完了直後（割り込み発生時）にFCSTビットに“1”を書き込む場合は，ハードウェアクリアを優先するため，高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生からf_{IH}が1サイクル以上経過後に行ってください。

7.4.2　スタンバイ時動作

STOP命令実行前に，必ず高速オンチップ・オシレータ・クロック周波数補正動作を停止させてください。

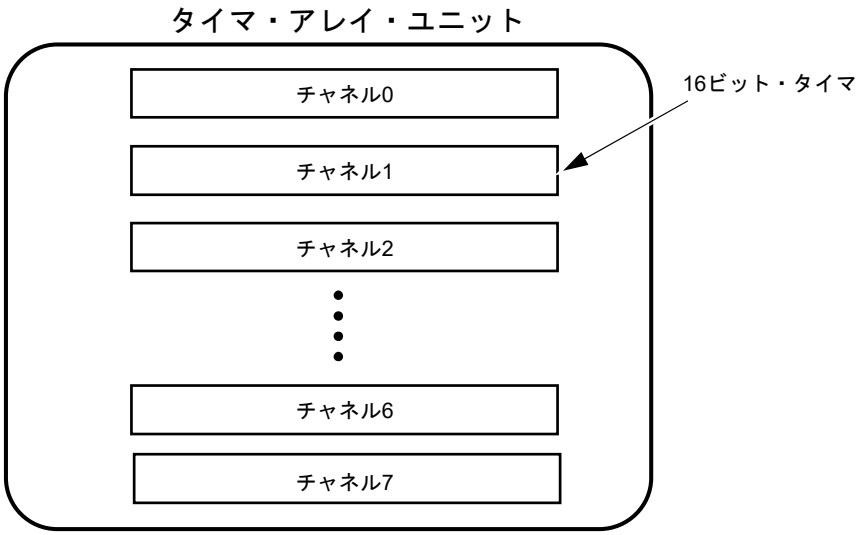
7.4.3　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）の変更について

高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）を変更する場合は，必ず高速オンチップ・オシレータ・クロック周波数補正機能未使用時に行ってください。

第8章　タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
・インターバル・タイマ（→**8. 8. 1**参照） ・方形波出力（→**8. 8. 1**参照） ・外部イベント・カウンタ（→**8. 8. 2**参照） ・入力パルス間隔測定（→**8. 8. 3**参照） ・入力信号のハイ／ロウ・レベル幅測定（→**8. 8. 4**参照） ・ディレイ・カウンタ（→**8. 8. 5**参照）	・ワンショット・パルス出力（→**8. 9. 1**参照） ・PWM出力（→**8. 9. 2**参照） ・多重PWM出力（→**8. 9. 3**参照）

チャネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

・インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
・外部イベント・カウンタ（下位8ビット・タイマのみ）
・ディレイ・カウンタ（下位8ビット・タイマのみ）

また，チャネル7は，シリアル・アレイ・ユニットのUART0と連携し，LIN-bus通信動作を実現することができます。

8. 1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには，次のような機能があります。

8. 1. 1　単独チャネル動作機能

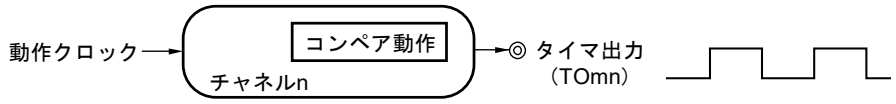
単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

（1）インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。

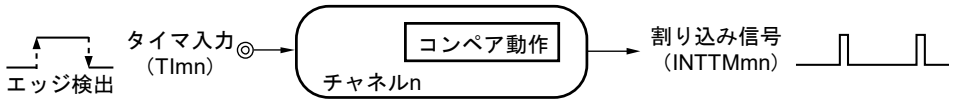
（2）方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い，デューティ50%の方形波をタイマ出力端子（TOmn）より出力します。



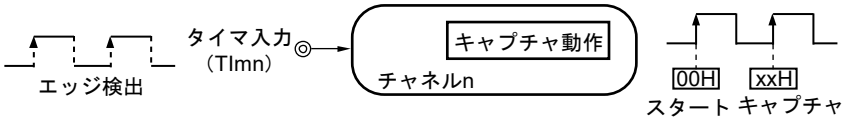
（3）外部イベント・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



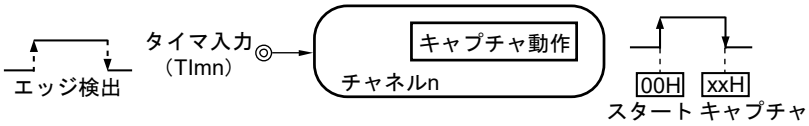
（4）入力パルス間隔測定

タイマ入力端子（TImn）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



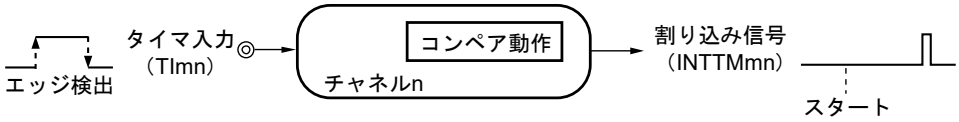
（5）入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TImn）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



（6）ディレイ・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

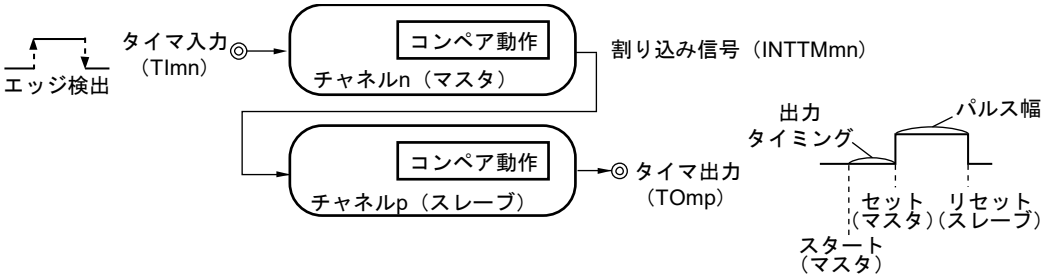
8. 1. 2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

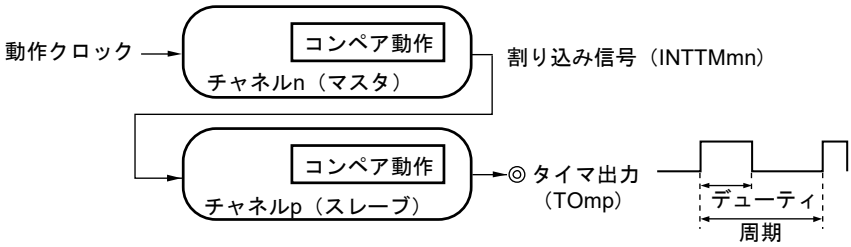
（1）ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



（2）PWM（Pulse Width Modulation）出力

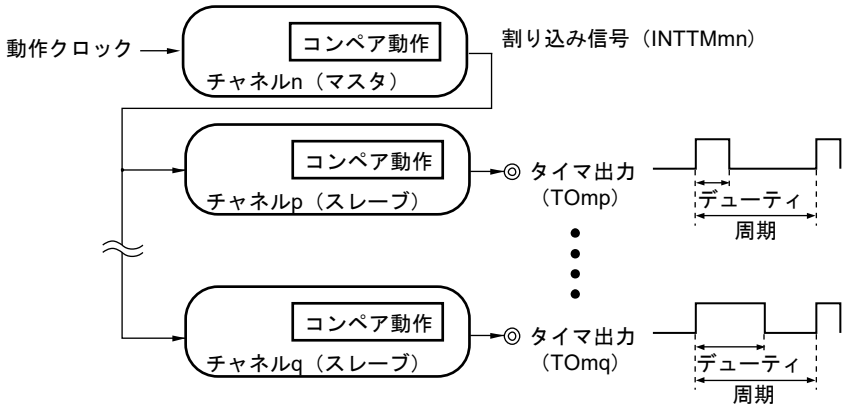
2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（注意，備考は次ページにあります。）

（3）多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大7種類生成することができます。



注意　複数チャネル連動動作機能のルールの詳細については，8. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7），
p, q：スレーブ・チャネル番号（n＜p＜q≦7）

8. 1. 3　8ビット・タイマ動作機能（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。チャネル1, 3のみが使用できます。

注意　8ビット・タイマ動作機能の使用にあたっては，いくつかのルールがあります。
詳細は，8. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）を参照してください。

8. 1. 4　LIN-bus対応機能（チャネル7のみ）

LIN-bus通信機能において，受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

（1）ウエイクアップ信号の検出

UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ウエイクアップ信号と認識します。

（2）ブレーク・フィールドの検出

ウエイクアップ信号検出後，UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ブレーク・フィールドと認識します。

（3）シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後，UART0のシリアル・データ入力端子（RxD0）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考　LIN-bus対応機能の動作設定については，**8. 3. 14　入力切り替え制御レジスタ（ISC）**，**8. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作**を参照してください。

8. 2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウェアで構成されています。

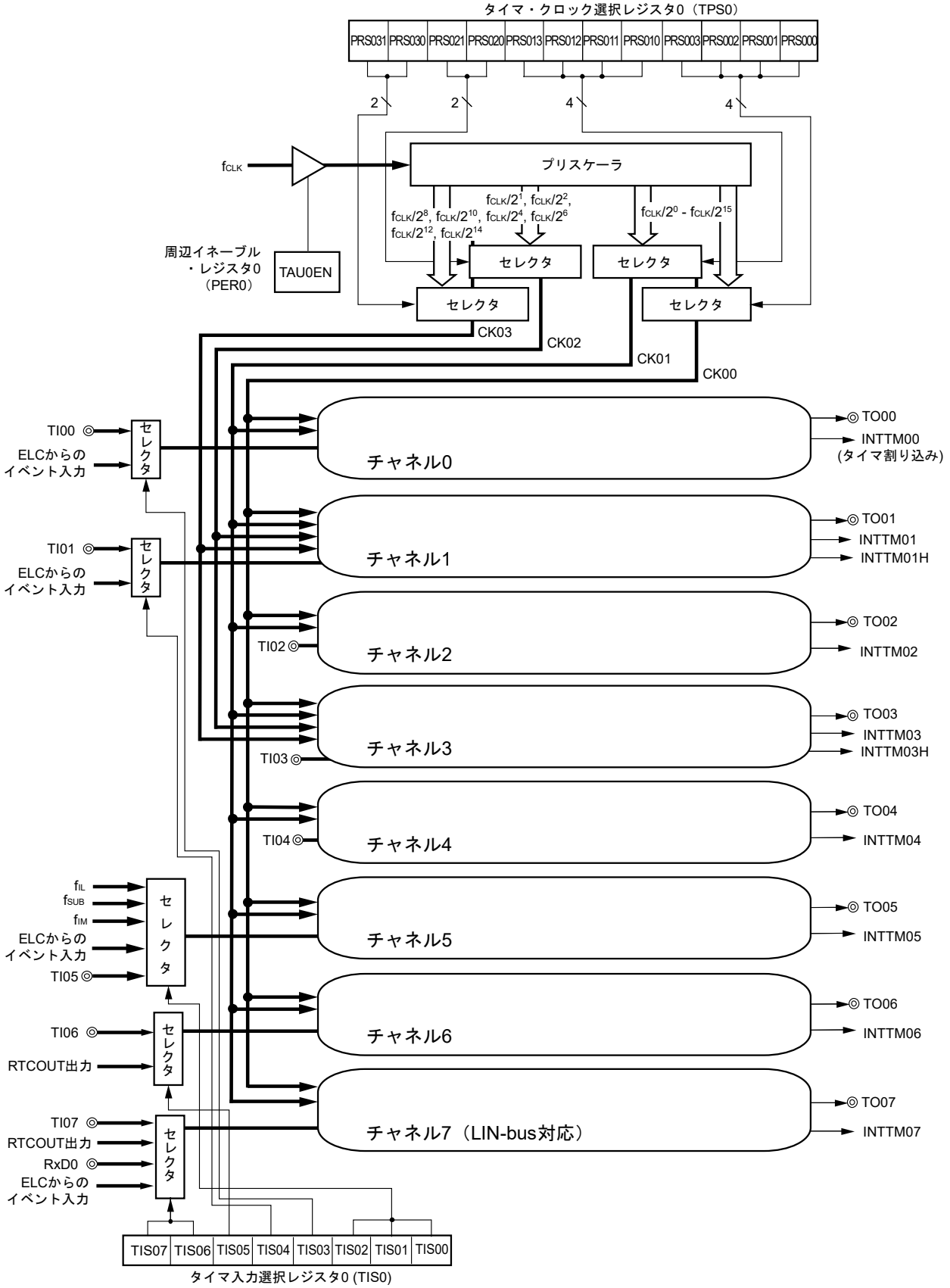
表8－1　タイマ・アレイ・ユニットの構成

項　　目	構　　成
タイマ／カウンタ	タイマ・カウンタ・レジスタmn（TCRmn）
レジスタ	タイマ・データ・レジスタmn（TDRmn）
タイマ入力	TI00-TI07, RxD0端子（LIN-bus用）
タイマ出力	TO00-TO07，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・周辺リセット制御レジスタ0（PRR0） ・タイマ・クロック選択レジスタm（TPSm） ・タイマ・チャネル許可ステータス・レジスタm（TEm） ・タイマ・チャネル開始レジスタm（TSm） ・タイマ・チャネル停止レジスタm（TTm） ・タイマ入力選択レジスタ0（TIS0） ・タイマ出力許可レジスタm（TOEm） ・タイマ出力レジスタm（TOm） ・タイマ出力レベル・レジスタm（TOLm） ・タイマ出力モード・レジスタm（TOMm）
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタmn（TMRmn） ・タイマ・ステータス・レジスタmn（TSRmn） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ1（NFEN1） ・ポート・モード・レジスタ（PM0, PM3, PM4, PM6, PM12） ・ポート・レジスタ（P0, P3, P4, P6, P12）

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－1にタイマ・アレイ・ユニットのブロック図を示します。

図8－1　タイマ・アレイ・ユニットの全体ブロック図



備考　f_{SUB}　：サブシステム・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック周波数

f_{IM}　：中速オンチップ・オシレータ・クロック周波数

図8－2　タイマ・アレイ・ユニットのチャネル0内部ブロック図

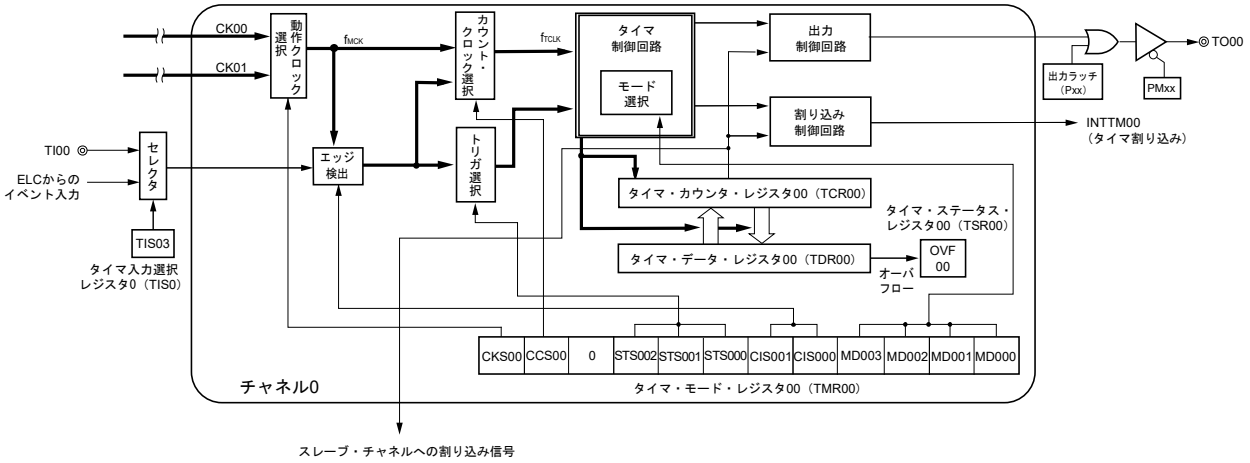
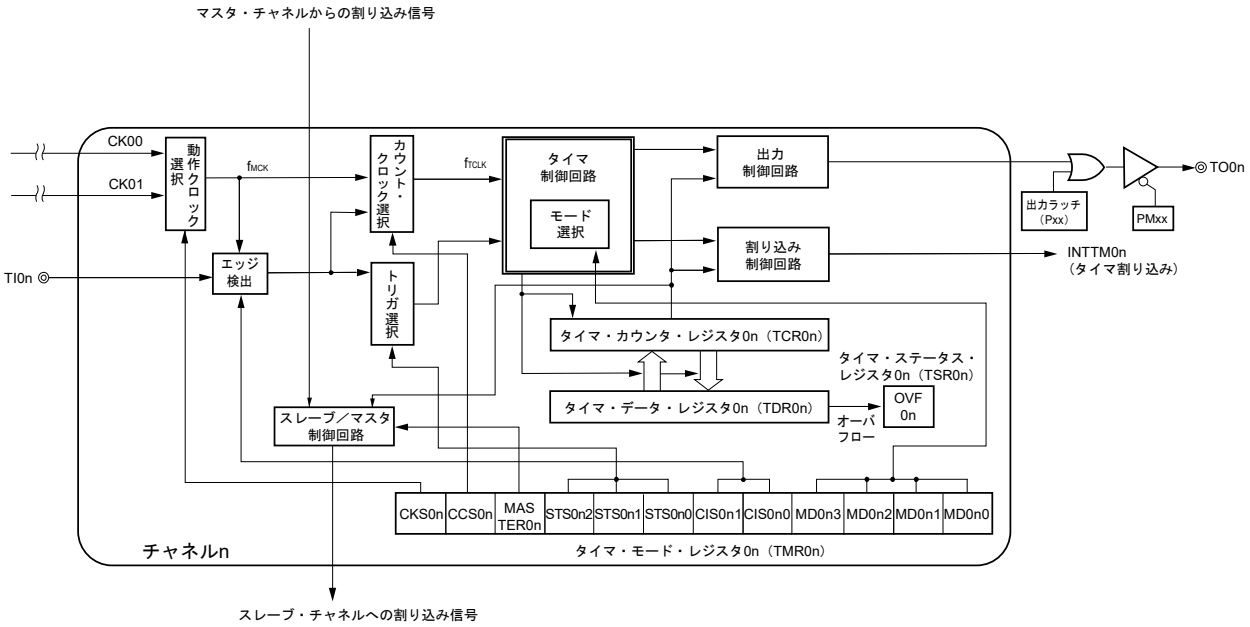


図8－3　タイマ・アレイ・ユニットのチャネル2, 4内部ブロック図



備考　n = 2, 4

図8－4　タイマ・アレイ・ユニットのチャネル1内部ブロック図

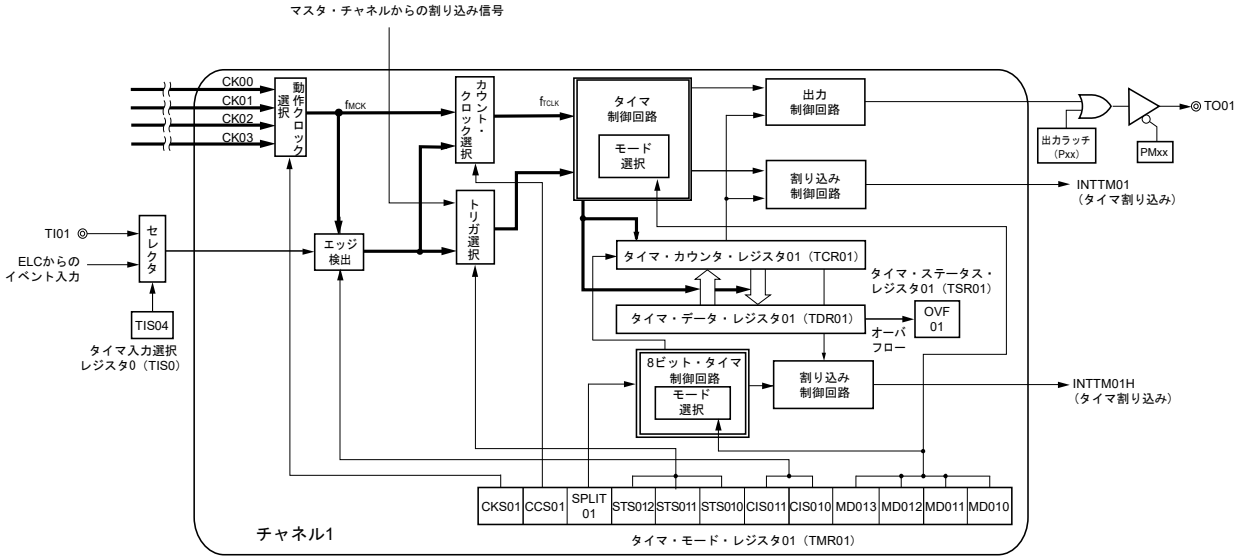


図8－5　タイマ・アレイ・ユニットのチャネル3内部ブロック図

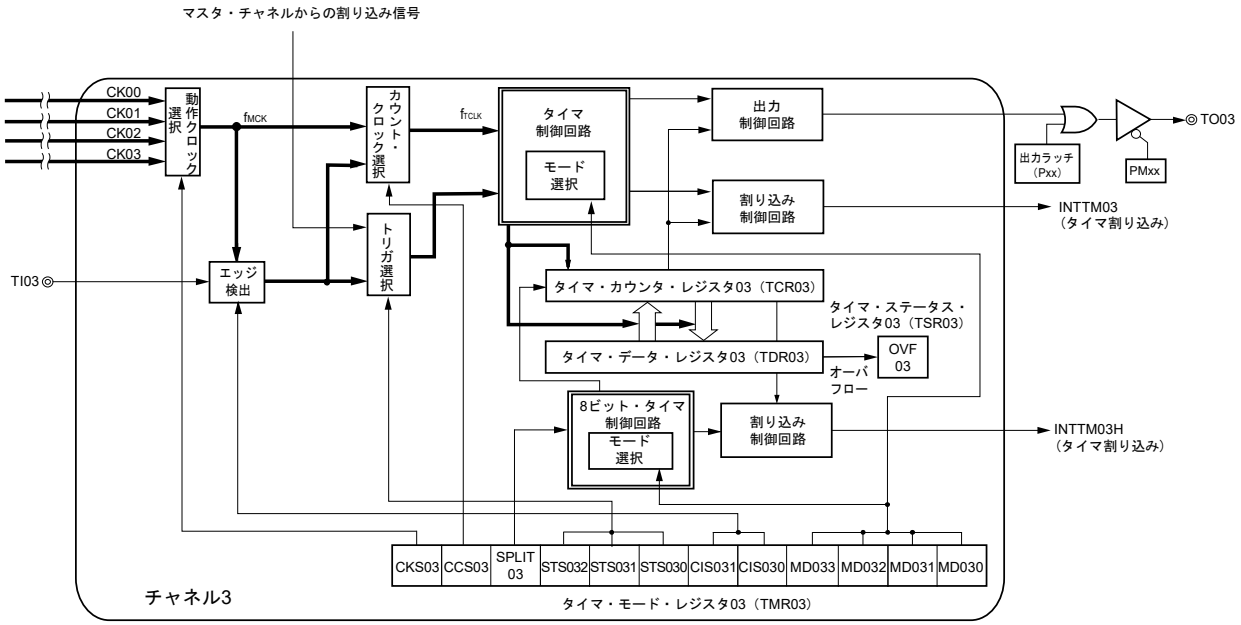


図8－6 タイマ・アレイ・ユニットのチャネル5内部ブロック図

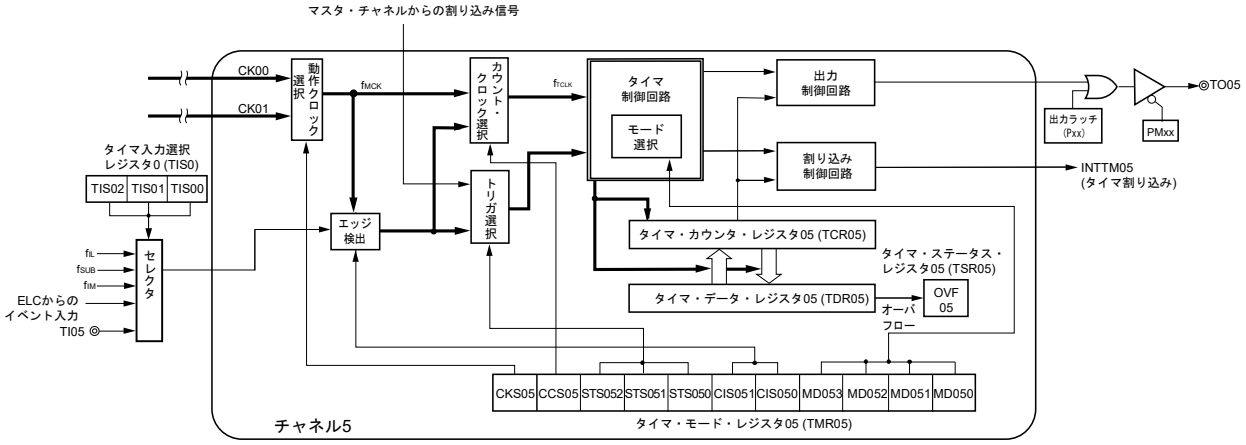


図8－7 タイマ・アレイ・ユニットのチャネル6内部ブロック図

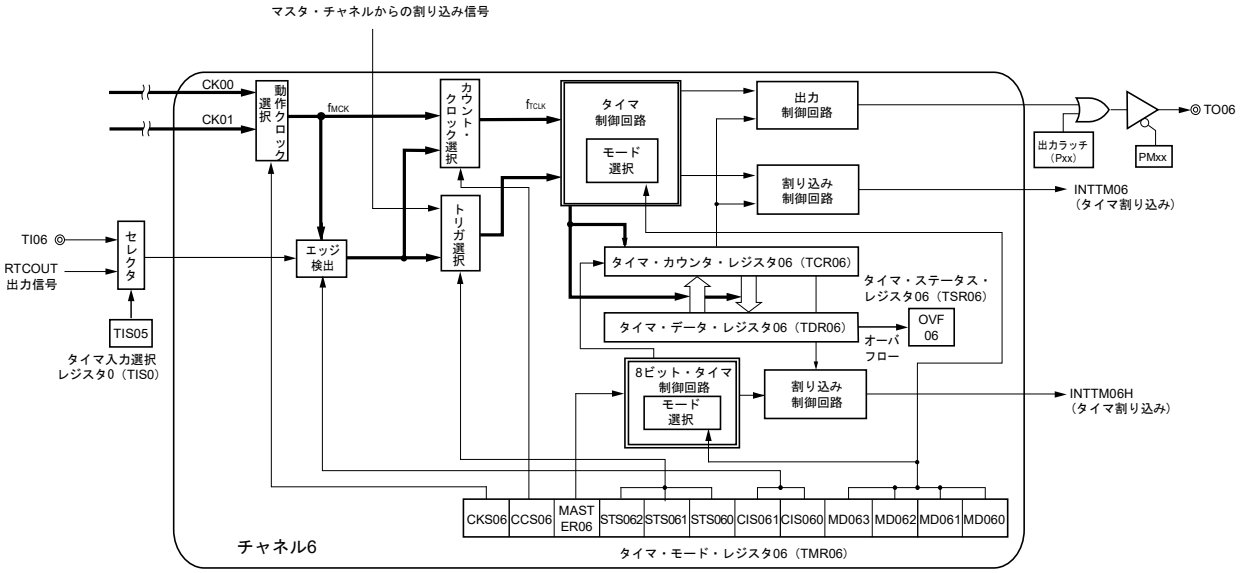
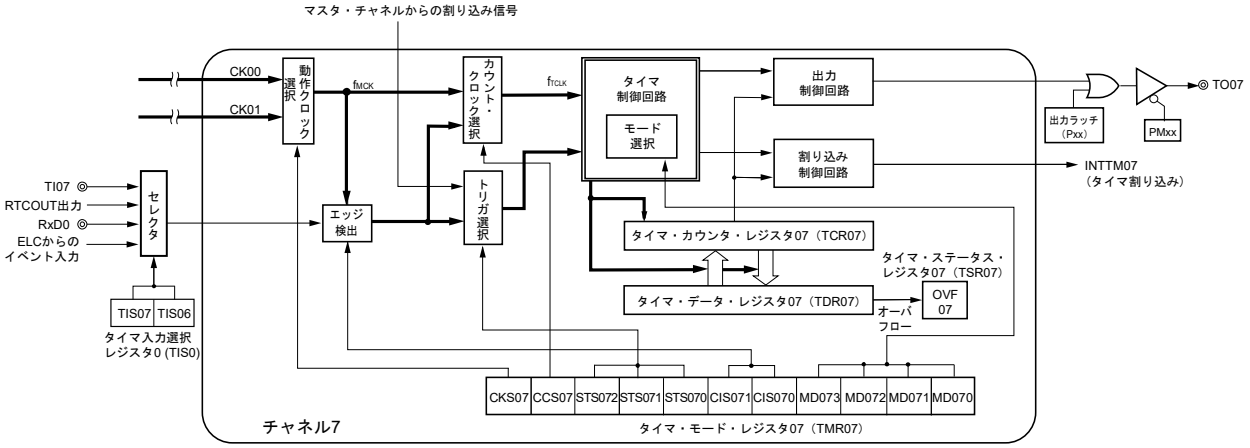


図8－8　タイマ・アレイ・ユニットのチャネル7内部ブロック図



8. 2. 1　タイマ・カウンタ・レジスタmn（TCRmn）

TCRmnレジスタは，カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります（**8. 3. 4　タイマ・モード・レジスタmn（TMRmn）**参照）。

図8－9　タイマ・カウンタ・レジスタmn（TCRmn）のフォーマット

アドレス：F0180H, F0181H（TCR00）- F018EH, F018FH（TCR07）　リセット時：FFFFH　　R

	F0181H（TCR00の場合）								F0180H（TCR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCRmn																

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

タイマ・カウンタ・レジスタmn（TCRmn）をリードすることにより，カウント値をリードできます。
次の場合，カウント値はFFFFHになります。

・リセット信号の発生時
・周辺イネーブル・レジスタ0（PER0）のTAUmENビットをクリアしたとき
・PWM出力モードで，スレーブ・チャネルのカウント完了時
・ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時
・ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
・多重PWM出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は0000Hになります。

・キャプチャ・モード時に，スタート・トリガが入力されたとき
・キャプチャ・モード時で，キャプチャ完了時

注意　TCRmnレジスタをリードしても，タイマ・データ・レジスタmn（TDRmn）にはキャプチャしません。

TCRmnレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表8－2　各動作モード時のタイマ・カウンタ・レジスタmn（TCRmn）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TCRmn）の読み出し値[注]			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）した場合の値	カウント動作を一時停止（TTmn = 1）後，動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン･カウント	FFFFH	停止時の値	不定	－
キャプチャ・モード	アップ･カウント	0000H	停止時の値	不定	－
イベント・カウンタ・モード	ダウン･カウント	FFFFH	停止時の値	不定	－
ワンカウント・モード	ダウン･カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ･カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値＋1

注　チャネルnがタイマ動作停止状態（TEmn = 0）かつカウント動作許可状態（TSmn = 1）にした時点の，TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 2. 2　タイマ・データ・レジスタmn（TDRmn）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また，TDRm1, TDRm3レジスタは，8ビット・タイマ・モード時（タイマ・モード・レジスタm1, m3（TMRm1, TMRm3）のSPLITビットが1）に，上位8ビットをTDRm1H, TDRm3H，下位8ビットをTDRm1L, TDRm3Lとして，8ビット単位でリード／ライト可能になります。

リセット信号の発生により，TDRmnレジスタは0000Hになります。

図8－10　タイマ・データ・レジスタmn（TDRmn）（n = 0, 2, 4-7）のフォーマット

アドレス：FFF18H, FFF19H（TDR00）, FFF64H, FFF65H（TDR02），　リセット時：0000H　　R/W
FFF68H, FFF69H（TDR04）- FFF6EH, FFF6FH（TDR07）

	FFF19H（TDR00の場合）								FFF18H（TDR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDRmn																

図8－11　タイマ・データ・レジスタmn（TDRmn）（n = 1, 3）のフォーマット

アドレス：FFF1AH, FFF1BH（TDR01）, FFF66H, FFF67H（TDR03）　リセット時：0000H　　R/W

	FFF1BH（TDR01Hの場合）								FFF1AH（TDR01Lの場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDRmn																

（ｉ）タイマ・データ・レジスタmn（TDRmn）をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み信号（INTTMmn）を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

（ii）タイマ・データ・レジスタmn（TDRmn）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタmn（TCRmn）のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして，TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタmn（TMRmn）で設定します。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・周辺リセット制御レジスタ0（PRR0）
・タイマ・クロック選択レジスタm（TPSm）
・タイマ・モード・レジスタmn（TMRmn）
・タイマ・ステータス・レジスタmn（TSRmn）
・タイマ・チャネル許可ステータス・レジスタm（TEm）
・タイマ・チャネル開始レジスタm（TSm）
・タイマ・チャネル停止レジスタm（TTm）
・タイマ入力選択レジスタ0（TIS0）
・タイマ出力許可レジスタm（TOEm）
・タイマ出力レジスタm（TOm）
・タイマ出力レベル・レジスタm（TOLm）
・タイマ出力モード・レジスタm（TOMm）
・入力切り替え制御レジスタ（ISC）
・ノイズ・フィルタ許可レジスタ1（NFEN1）
・ポート・モード・レジスタ（PM0, PM3, PM4, PM6, PM12）
・ポート・レジスタ（P0, P3, P4, P6, P12）

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は，必ずビット0（TAU0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図8－12　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可， リードした場合は00Hが読めます。ただし、初期化はされていません。注
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注　タイマ・アレイ・ユニット0およびタイマ・アレイ・ユニット0で使用するSFR を初期化する場合，PRR0のビット0(TAU0RES)を使用してください。

注意1. タイマ・アレイ・ユニットの設定をする際には，必ず最初にTAUmEN = 1の状態で，下記のレジスタの設定を行ってください。TAUmEN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタは初期値となり，書き込みは無視されます（タイマ入力選択レジスタ0（TIS0），入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ1（NFEN1），ポート・モード・レジスタ0, 3, 4, 6, 12（PM0, PM3, PM4, PM6, PM12），ポート・レジスタ0, 3, 4, 6, 12（P0, P3, P4, P6, P12）は除く）。

・タイマ・クロック選択レジスタm（TPSm）
・タイマ・モード・レジスタmn（TMRmn）
・タイマ・ステータス・レジスタmn（TSRmn）
・タイマ・チャネル許可ステータス・レジスタm（TEm）
・タイマ・チャネル開始レジスタm（TSm）
・タイマ・チャネル停止レジスタm（TTm）
・タイマ出力許可レジスタm（TOEm）
・タイマ出力レジスタm（TOm）
・タイマ出力レベル・レジスタm（TOLm）
・タイマ出力モード・レジスタm（TOMm）

2. ビット7, 1には必ず“0”を設定してください。

8. 3. 2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニットをリセットする場合は，必ずビット0 (TAU0RES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図8－13　周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES

TAU0RES	タイマ・アレイ・ユニットのリセット制御
0	タイマ・アレイ・ユニットのリセット解除
1	タイマ・アレイ・ユニットのリセット状態

8. 3. 3　タイマ・クロック選択レジスタm（TPSm）

TPSmレジスタは, 各チャネルに共通して供給される2種類または4種類の動作クロック（CKm0, CKm1, CKm2, CKm3）を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で，CKm1はTPSmレジスタのビット7-4で選択します。さらにチャネル1, 3のみ，CKm2，CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で，CKm3はTPSmレジスタのビット13，12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは，次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm0を選択（CKSmn1, CKSmn0 = 0, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm10-PRSm13ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm2を選択（CKSmn1, CKSmn0 = 0, 1）しているチャネルがすべて停止状態（TEmn = 0）

PRSm20, PRSm21ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCKm1を選択（CKSmn1, CKSmn0 = 1, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm30-PRSm31ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCKm3を選択（CKSmn1, CKSmn0 = 1, 1）しているチャネルがすべて停止状態（TEmn = 0）

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPSmレジスタは0000Hになります。

図8－14　タイマ・クロック選択レジスタm（TPSm）のフォーマット（1/2）

アドレス：F01B6H, F01B7H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択[注]（k = 0, 1）					
					f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 12 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	0	0	f_{CLK}	4 MHz	8 MHz	12 MHz	20 MHz	24 MHz
0	0	0	1	$f_{CLK}/2$	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz
0	0	1	0	$f_{CLK}/2^2$	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz
0	0	1	1	$f_{CLK}/2^3$	500 kHz	1 MHz	1.5 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{CLK}/2^4$	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{CLK}/2^5$	125 kHz	250 kHz	375 kHz	625 kHz	750 kHz
0	1	1	0	$f_{CLK}/2^6$	62.5 kHz	125 kHz	188 kHz	313 kHz	375 kHz
0	1	1	1	$f_{CLK}/2^7$	31.3 kHz	62.5 kHz	93.8 kHz	156 kHz	188 kHz
1	0	0	0	$f_{CLK}/2^8$	15.6 kHz	31.3 kHz	46.9 kHz	78.1 kHz	93.8 kHz
1	0	0	1	$f_{CLK}/2^9$	7.81 kHz	15.6 kHz	23.4 kHz	39.1 kHz	46.9 kHz
1	0	1	0	$f_{CLK}/2^{10}$	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz
1	0	1	1	$f_{CLK}/2^{11}$	1.95 kHz	3.91 kHz	5.86 kHz	9.76 kHz	11.7 kHz
1	1	0	0	$f_{CLK}/2^{12}$	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz
1	1	0	1	$f_{CLK}/2^{13}$	488 Hz	976 Hz	1.46 kHz	2.44 kHz	2.93 kHz
1	1	1	0	$f_{CLK}/2^{14}$	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz
1	1	1	1	$f_{CLK}/2^{15}$	122 Hz	244 Hz	366 Hz	610 Hz	732 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。

注意1.　ビット15, 14, 11, 10には，必ず0を設定してください。

2.　動作クロック（CKmk）にf_{CLK}（分周なし）を選択し，TDRnm = 0000H（n = 0, m = 0-7）を設定すると，タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1.　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

2.　TPSmレジスタで選択する$f_{CLK}/2^r$の波形は，単純に2^r分周した波形ではなく，その立ち上がりからf_{CLK}の1周期分ハイ・レベルになります（r = 1-15）。詳しくは，**8. 5. 1　カウント・クロック（f_{TCLK}）**を参照してください。

図8－14　タイマ・クロック選択レジスタm（TPSm）のフォーマット（2/2）

アドレス：F01B6H, F01B7H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック（CKm2）の選択注					
			f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 12 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	$f_{CLK}/2$	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz
0	1	$f_{CLK}/2^2$	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz
1	0	$f_{CLK}/2^4$	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz
1	1	$f_{CLK}/2^6$	62.5 kHz	125 kHz	188 kHz	313 kHz	375 kHz

PRS m31	PRS m30	動作クロック（CKm3）の選択注					
			f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 12 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	$f_{CLK}/2^8$	15.6 kHz	31.3 kHz	46.9 kHz	78.1 kHz	93.8 kHz
0	1	$f_{CLK}/2^{10}$	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz
1	0	$f_{CLK}/2^{12}$	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz
1	1	$f_{CLK}/2^{14}$	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。
カウント・クロック（f_{TCLK}）にCKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}），TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意　ビット15, 14, 11, 10には，必ず0を設定してください。

チャネル1, 3を8ビット・タイマ・モードで使用し，CKm2, CKm3を動作クロックとすることにより，インターバル・タイマ機能で，**表8－3**に示すインターバル時間を実現することが可能です。

表8－3　動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注（f_{CLK} = 20 MHz）			
		16 μs	160 μs	1.6 ms	16 ms
CKm2	$f_{CLK}/2$	○	－	－	－
	$f_{CLK}/2^2$	○	－	－	－
	$f_{CLK}/2^4$	○	○	－	－
	$f_{CLK}/2^6$	○	○	－	－
CKm3	$f_{CLK}/2^8$	－	○	○	－
	$f_{CLK}/2^{10}$	－	○	○	－
	$f_{CLK}/2^{12}$	－	－	○	○
	$f_{CLK}/2^{14}$	－	－	○	○

注　○には5%以下の誤差が含まれます。

備考1.　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

2.　TPSmレジスタで選択する$f_{CLK}/2^j$の波形の詳細は，**8. 5. 1　カウント・クロック（f_{TCLK}）**を参照してください。

8. 3. 4　タイマ・モード・レジスタmn（TMRmn）

TMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，カウント・クロックの選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択（チャネル1, 3のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMRmnレジスタは，動作中（TEmn = 1のとき）の書き換えは禁止です。ただし，ビット7，6（CISmn1, CISmn0）は，一部の機能で動作中（TEmn = 1のとき）の書き換えが可能です（詳細は**8. 8　タイマ・アレイ・ユニットの単独チャネル動作機能**，**8. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能**を参照）。

TMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TMRmnレジスタは0000Hになります。

注意　TMRmnレジスタのビット11は，チャネルによって搭載するビットが異なります。
TMRm2, TMRm4, TMRm6：MASTERmnビット（n = 2, 4, 6）
TMRm1, TMRm3：SPLITmnビット（n = 1, 3）
TMRm0, TMRm5, TMRm7：0固定

図8－15　タイマ・モード・レジスタmn（TMRmn）のフォーマット（1/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2, 4, 6）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0, 5, 7）	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャネルnの動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm3
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。 動作クロックCKm2, CKm3は，チャネル1, 3のみ選択可能です。		

CCS mn	チャネルnのカウント・クロック（f_{TCLK}）の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）
1	TImn端子からの入力信号の有効エッジ チャネル0, 1, 5, 6, 7では，TIS0で選択した入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

注意1.　ビット13, 5, 4には，必ず0を設定してください。

2.　カウント・クロック（f_{TCLK}）にCKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}），TImn端子からの入力信号の有効エッジのどれを選択していても，f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm＝00FFH）させてください。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－15　タイマ・モード・レジスタmn（TMRmn）のフォーマット（2/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2, 4, 6）	CKS mn1	CKS mn0	0	CCS mn	MASTERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0, 5, 7）	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

（TMRmn（n = 2, 4, 6）のビット11）

MASTERmn	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル2, 4, 6のみマスタ・チャネル（MASTERmn = 1）に設定できます。 チャネル0, 5, 7は0固定となります（チャネル0は最上位チャネルのため，このビットの設定によらずマスタとして動作します）。 また，単独チャネル動作機能として使用するチャネルは，MASTERmn = 0 にします。	

（TMRmn（n = 1, 3）のビット11）

SPLITmn	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TImn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－15　タイマ・モード・レジスタmn（TMRmn）のフォーマット（3/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2, 4, 6）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0, 5, 7）	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	TImn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0ビット ＝ 010B時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0ビット ＝ 10Bに設定してください。		

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－15　タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2, 4, 6）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0, 5, 7）	CKS mn1	CKS mn0	0	CCS mn	0[注1]	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／PWM出力（マスタ）	ダウン･カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ･カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン･カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ）	ダウン･カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ･カウント
上記以外			設定禁止		
各モードの動作は，MDmn0ビットによって変わります（下表を参照）。					

動作モード（MDmn3-MDmn1で設定（上表参照））	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0） ・キャプチャ・モード（0, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード[注2]（1, 0, 0）	0	カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする[注3]。 その際に割り込みは発生しない。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。

注1.　ビット11はRead onlyの0固定で，書き込みは無視されます。

2.　ワンカウント・モードでは，カウント動作開始時の割り込み出力（INTTMmn），TOmn出力は制御しません。

3.　動作中にスタート・トリガ（TSmn = 1）が掛かると，カウンタを初期化し，再カウント・スタートします（割り込み要求は発生せず）。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3. 5　タイマ・ステータス・レジスタmn（TSRmn）

TSRmnレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは，キャプチャ・モード（MDmn3-MDmn1 = 010B）とキャプチャ＆ワンカウント・モード（MDmn3-MDmn1 = 110B）のみ有効です。各動作モードでのOVFビットの動作とセット／クリア条件は**表8－4**を参照してください。

TSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは，TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSRmnレジスタは0000Hになります。

図8－16　タイマ・ステータス・レジスタmn（TSRmn）のフォーマット

アドレス：F01A0H, F01A1H（TSR00）- F01AEH, F01AFH（TSR07）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

表8－4　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード ・キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

8. 3. 6　タイマ・チャネル許可ステータス・レジスタm（TEm）

TEmレジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは，タイマ・チャネル開始レジスタm（TSm）とタイマ・チャネル停止レジスタm（TTm）の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると，TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

TEmレジスタは，16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは，TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TEmレジスタは0000Hになります。

図8－17　タイマ・チャネル許可ステータス・レジスタm（TEm）のフォーマット

アドレス：F01B0H, F01B1H　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm3	0	TEHm1	0	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1，3が8ビット・タイマ・モード時は，TEm1，TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3. 7　タイマ・チャネル開始レジスタm（TSm）

TSmレジスタは，タイマ・カウンタ・レジスタmn（TCRmn）を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので，動作許可状態（TEmn, TEHm1, TEHm3 = 1）になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは，16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは，TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TSmレジスタは0000Hになります。

図8－18　タイマ・チャネル開始レジスタm（TSm）のフォーマット

アドレス：F01B2H, F01B3H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は，インターバル・タイマ・モードになります（**8. 5. 2　カウンタのスタート・タイミング**の**表8－5**参照）。

TSHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は，インターバル・タイマ・モードになります（**8. 5. 2　カウンタのスタート・タイミング**の**表8－5**参照）。

TSmn	チャネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は，各動作モードにより異なります（**8. 5. 2　カウンタのスタート・タイミング**の**表8－5**参照）。 チャネル1, 3が8ビット・タイマ・モード時は，TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。

（注意，備考は次ページにあります。）

注意1.　ビット15-12, 10, 8には必ず0を設定してください。

2.　TImn端子入力を使用しない機能から，TImn端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタmn（TMRmn）設定後，TSmn（TSHm1，TSHm3）ビットを1に設定するまでに，次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時（TNFENmn = 1）：動作クロック（f_{MCK}）の4クロック

TImn端子のノイズ・フィルタ無効時（TNFENmn = 0）：動作クロック（f_{MCK}）の2クロック

備考1.　TSmレジスタの読み出し値は常に0となります。

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3. 8　タイマ・チャネル停止レジスタm（TTm）

TTmレジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので，動作停止状態（TEmn, TTHm1, TTHm3 = 0）になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは，16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは，TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TTmレジスタは0000Hになります。

図8－19　タイマ・チャネル停止レジスタm（TTm）のフォーマット

アドレス：F01B4H, F01B5H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし，カウント動作停止状態になる。

TTHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし，カウント動作停止状態になる。

TTmn	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし，カウント動作停止可状態になる。 チャネル1，3が8ビット・タイマ・モード時は，TTm1，TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意　ビット15-12, 10, 8には必ず0を設定してください。

備考1.　TTmレジスタの読み出し値は常に0となります。

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3. 9　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，チャネル0, 1, 5, 6, 7のタイマ入力を選択するレジスタです。
TIS0レジスタは8ビット・メモリ操作命令で設定します。
リセット信号の発生により，TIS0レジスタは00Hになります。

図8－20　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TIS07	TIS06	チャネル7で使用するタイマ入力の選択
0	0	タイマ入力端子（TI07）の入力信号
0	1	RTCOUT出力信号注
1	0	RXD0入力端子
1	1	ELCからのイベント入力信号

TIS05	チャネル6で使用するタイマ入力の選択
0	タイマ入力端子（TI06）の入力信号
1	RTCOUT出力信号注

TIS04	チャネル1で使用するタイマ入力の選択
0	タイマ入力端子（TI01）の入力信号
1	ELCからのイベント入力信号

TIS03	チャネル0で使用するタイマ入力の選択
0	タイマ入力端子（TI00）の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子（TI05）の入力信号
0	1	1	中速オンチップ・オシレータ・クロック（f_{IM}）
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブ・システム・クロック（f_{SUB}）
上記以外			設定禁止

注　入力ソースにRTCOUT出力信号を選択する場合，チャネル6，7の入力ソースは共にRTCOUT出力信号を選択してください。

注意　選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，1/f_{MCK}+10 ns以上必要となります。そのため，f_{CLK}にf_{SUB}を選択時（CKCレジスタのCSS = 1）は，TIS02ビットに1を設定できません。

8. 3. 10　タイマ出力許可レジスタm（TOEm）

TOEmレジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタm（TOm）のTOmnビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOmn）から出力されます。

TOEmレジスタは，16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは，TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOEmレジスタは0000Hになります。

図8－21　タイマ出力許可レジスタm（TOEm）のフォーマット

アドレス：F01BAH, F01BBH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOEm7	TOEm6	TOEm5	TOEm4	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず，出力を固定します。 TOmnビットへの書き込みが可能となり，TOmnビットに設定したレベルがTOmn端子から出力されます。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し，出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意　ビット15-8には必ず0を設定してください。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3. 11　タイマ出力レジスタm（TOm）

TOmレジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TOmn）から出力されます。

このレジスタのTOmnビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOEmn = 0）のみ可能です。タイマ出力許可時（TOEmn = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また，P43/TI00/TO00，P41/TI01/TO01，P07/TI02/TO02，P06/TI03/TO03，P05/TI04/TO04，P04/TI05/TO05，P03/TI06/TO06, P02/TI07/TO07をポート機能として使用する場合は，該当するTOmnビットに“0”を設定してください。

TOmレジスタは，16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは，TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOmレジスタは0000Hになります。

図8－22　タイマ出力レジスタm（TOm）のフォーマット

アドレス：F01B8H, F01B9H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOmn	チャネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意　ビット15-8には必ず0を設定してください。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3. 12　タイマ出力レベル・レジスタm（TOLm）

TOLmレジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は，タイマ出力許可（TOEmn = 1），複数チャネル連動動作機能（TOMmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMmn = 0）時には，このレジスタの設定は無効となります。

TOLmレジスタは，16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは，TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOLmレジスタは0000Hになります。

図8－23　タイマ出力レベル・レジスタm（TOLm）のフォーマット

アドレス：F01BCH, F01BDH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0

TOLmn	チャネルnのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	負論理出力（アクティブ・ロウ）

注意　ビット15-8, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

2. m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 3. 13　タイマ出力モード・レジスタm（TOMm）

TOMmレジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（PWM出力，ワンショット・パルス出力，多重PWM出力）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOMmレジスタは，16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは，TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOMmレジスタは0000Hになります。

図8－24　タイマ出力モード・レジスタm（TOMm）のフォーマット

アドレス：F01BEH, F01BFH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOMm7	TOMm6	TOMm5	TOMm4	TOMm3	TOMm2	TOMm1	0

TOMmn	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTMmn）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

注意　ビット15-8, 0には必ず0を設定してください。

備考　m：ユニット番号（m = 0）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

p：スレーブ・チャネル番号

n＜p≦7

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，**8. 4. 1　複数チャネル連動動作機能の基本ルール**を参照してください）

8. 3. 14　入力切り替え制御レジスタ（ISC）

ISCレジスタは、外部割り込み（INTP0）の入力信号を選択するレジスタです。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図8－25　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	0	ISC0

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD0端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出）

注意　ビット7-1に必ず0を設定してください。

8. 3. 15　ノイズ・フィルタ許可レジスタ1（NFEN1）

NFEN1レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います[注]。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN1レジスタは00Hになります。

注　詳細は，**8. 5. 1（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）**，**8. 5. 2　カウンタのスタート・タイミング**，**8. 7　タイマ入力（TImn）の制御**を参照してください。

図8－26　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット

アドレス：F0071H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	TI07端子またはRxD0端子入力信号のノイズ・フィルタ使用可否[注]
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN06	TI06端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN05	TI05端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN04	TI04端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注　入力切り替え制御レジスタ（ISC）のISC1ビットを設定することにより，適用する端子を切り替えることができます。

ISC1 = 0に設定：TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定：RxD0端子のノイズ・フィルタ使用可否選択が可能

8. 3. 16　タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx）を設定してください。詳細は，**4. 3. 1　ポート・モード・レジスタ（PMxx）**，**4. 3. 2　ポート・レジスタ（Pxx）**を参照してください。

また，製品によって設定するポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx）が異なります。詳細は，**4. 5　兼用機能使用時のレジスタの設定**を参照してください。

タイマ出力端子を兼用するポート（P43/TI00/TO00など）をタイマ出力として使用するときは，　各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P43/TO00をタイマ出力として使用する場合
　　ポート・モード・レジスタ4のPM43ビットを0に設定
　　ポート・レジスタ4のP43ビットを0に設定

タイマ入力端子を兼用するポート（P43/TI00など）をタイマ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例）P43/TI00をタイマ入力として使用する場合
　　ポート・モード・レジスタ4のPM43ビットを1に設定
　　ポート・レジスタ4のP43ビットを0または1に設定

備考1. 80ピン製品の場合，セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は，LCDポート・ファンクション・レジスタ4（PFSEG4）のPFSEG32-PFSEG37ビットのうち，対応するビットを必ず“0”に設定してください。
64ピン製品の場合，セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は，LCDポート・ファンクション・レジスタ3（PFSEG3）のPFSEG25，PFSEG24ビットのうち，対応するビットを必ず“0”に設定してください。

2. P125/(TI05)/(TO05)/V_{L3}端子をタイマ入出力機能として使用する場合は，LCD入力切り換え制御レジスタ（ISCLCD）のISCVL3ビットを必ず“0”に設定してください。

3. P126/(TI04)/(TO04)/CAPL, P127/(TI03)/(TO03)/CAPH端子をタイマ入出力機能として使用する場合は，LCD入力切り換え制御レジスタ（ISCLCD）のISCCAPビットを必ず“1”に設定してください。

8.4　タイマ・アレイ・ユニットの基本ルール

8.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

(1) マスタ・チャネルには，偶数チャネル（チャネル0，チャネル2，チャネル4，…）のみ設定できます。
(2) スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。
(3) スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。
　例　チャネル2をマスタ・チャネルにした場合，チャネル3以降（チャネル3，チャネル4，チャネル5，…）をスレーブ・チャネルに設定できます。

(4) 1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。
(5) マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
　例　チャネル0，チャネル4をマスタ・チャネルにした場合，マスタ・チャネル0は，チャネル1-3までをスレーブ・チャネルとして設定できます。マスタ・チャネル0は，チャネル5-7をスレーブ・チャネルとして設定できません。

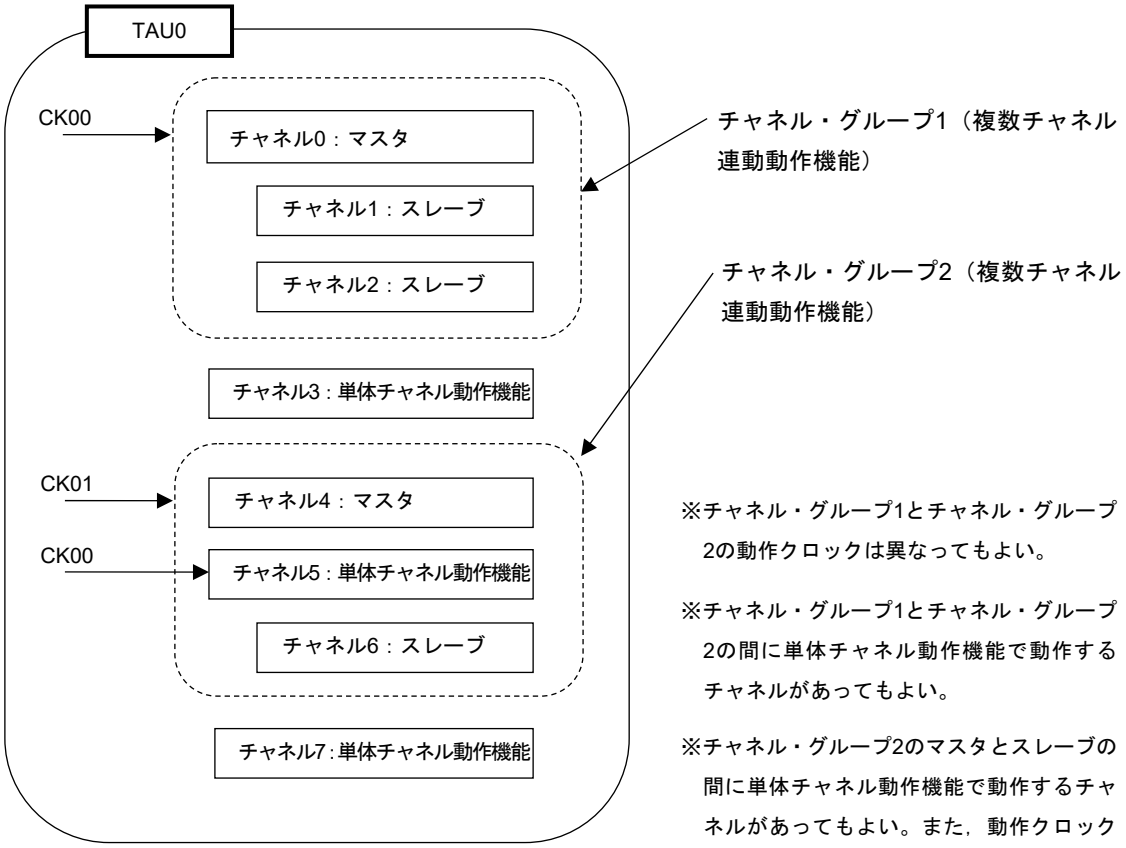
(6) マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
(7) マスタ・チャネルはINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
(8) スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。
(9) マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
(10) 連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。
(11) カウント動作中のTSmnビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。
(12) 連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。
(13) 連動動作時は，マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため，CKm2/CKm3は選択できません。
(14) タイマ・モード・レジスタm0（TMRm0）は，マスタ・ビットがなく，“0”に固定されています。しかし，チャネル0は最上位チャネルなので，連動動作時は，チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

例



※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。

※チャネル・グループ1とチャネル・グループ2の間に単体チャネル動作機能で動作するチャネルがあってもよい。

※チャネル・グループ2のマスタとスレーブの間に単体チャネル動作機能で動作するチャネルがあってもよい。また，動作クロックを個別に設定できる。

8. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8 ビットタイマ動作機能は，チャネル1, 3のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

(1) 8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。
(2) 8ビット・タイマとして使用する場合には，タイマ・モード・レジスタmn（TMRmn）のSPLITビットを“1”に設定します。
(3) 上位8ビットは，インターバル・タイマ機能として動作することができます。
(4) 上位8ビットは，動作開始時にINTTMm1H/INTTMm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。
(5) 上位8ビットの動作クロック選択は，下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。
(6) 上位8ビットは，TSHm1/TSHm3ビットを操作することでチャネル動作を開始し，TTHm1/TTHm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEHm1/TEHm3ビットで確認できます。
(7) 下位8ビットは，TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は，以下の3機能です。
　・インターバル・タイマ機能
　・外部イベント・カウンタ機能
　・ディレイ・カウント機能

(8) 下位8ビットは，TSm1/TSm3 ビットを操作することでチャネル動作を開始し，TTm1/TTm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEm1/TEm3ビットで確認できます。
(9) 16ビットで動作させる場合には，TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
(10) 8ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重PWM）を使用することはできません。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 1, 3）

8. 5　カウンタの動作

8. 5. 1　カウント・クロック（f_{TCLK}）

タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は，タイマ・モード・レジスタmn（TMRmn）のCCSmnビットにより，以下のどちらかを選択することができます。

・CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）
・TImn端子からの入力信号の有効エッジ

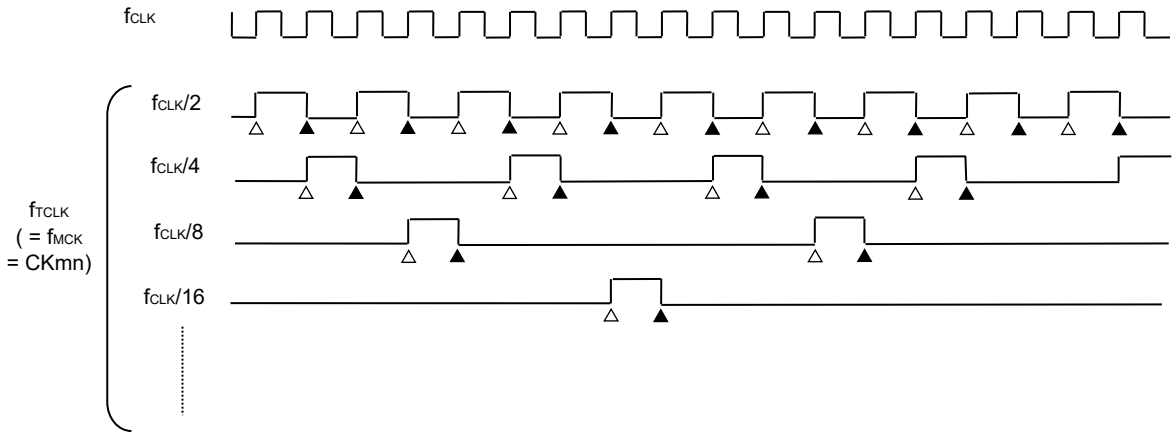
タイマ・アレイ・ユニットは，f_{CLK}との同期をとって動作するよう設計されているため，カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

（1）CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCSmn = 0）

カウント・クロック（f_{TCLK}）は，タイマ・クロック選択レジスタm（TPSm）の設定により，f_{CLK} ～ $f_{CLK}/2^{15}$となります。ただし，f_{CLK}の分周を選んだ場合，TPSmレジスタで選択するクロックは，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は，ハイ・レベル固定となります。

タイマ・カウンタ・レジスタmn（TCRmn）は，f_{CLK}との同期をとるため，カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図8－27　f_{CLK}とカウント・クロック（f_{TCLK}）のタイミング（CCSmn = 0時）



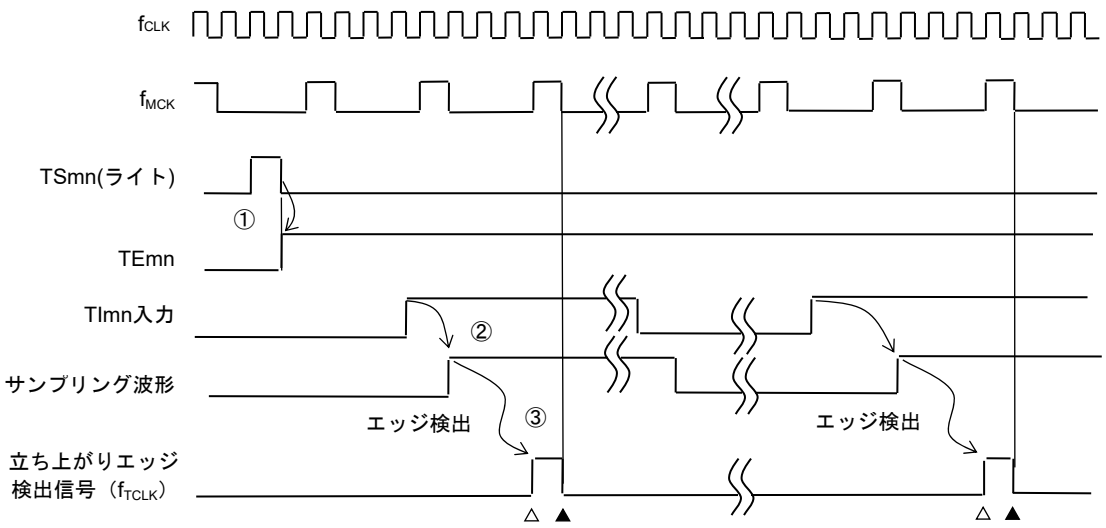
備考1.　△：カウント･クロックの立ち上がり
　　▲：同期化，カウンタのインクリメント／デクリメント
2.　f_{CLK}：CPU／周辺ハードウェア・クロック

（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）

カウント・クロック（f_{TCLK}）は，TImn端子からの入力信号の有効エッジを検出し，次のf_{MCK}の立ち上がりに同期した信号になります。これは，実際のTImn端子からの入力信号よりf_{MCK}の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は，f_{MCK}の3～4クロック分遅れます）。

また，タイマ・カウンタ・レジスタmn（TCRmn）は，f_{CLK}との同期をとるためにカウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図8－28　カウント・クロック（f_{TCLK}）のタイミング（CCSmn = 1，ノイズ・フィルタ未使用時）



①TSmnビットをセットすることでタイマが動作を開始し，TImn入力の有効エッジ待ちになります。

②TImn入力の立ち上がりがf_{MCK}でサンプリングされます。

③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号（カウント・クロック）が出力されます。

備考1. △：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

2. f_{CLK}：CPU／周辺ハードウェア・クロック

f_{MCK}：チャネルnの動作クロック

3. 入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能のTImn入力も同様の波形になります。

8. 5. 2　カウンタのスタート・タイミング

タイマ・カウント・レジスタmn（TCRmn）は，タイマ・チャネル開始レジスタm（TSm）のTSmnビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作を，**表8－5**に示します。

表8－5　カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（**8. 5. 3（1）インターバル・タイマ・モードの動作**参照）。
・イベント・カウンタ・モード	TSmnビットに1を書き込むことにより， TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると，以降のカウント・クロックでダウン・カウント動作を行います（**8. 5. 3（2）イベント・カウンタ・モードの動作**参照）。
・キャプチャ・モード	スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（**8. 5. 3（3）キャプチャ・モードの動作（入力パルス間隔測定）**参照）。
・ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（**8. 5. 3（4）ワンカウント・モードの動作**参照）。
・キャプチャ＆ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（**8. 5. 3（5）キャプチャ＆ワンカウント・モードの動作（ハイ・レベル幅測定）**参照）。

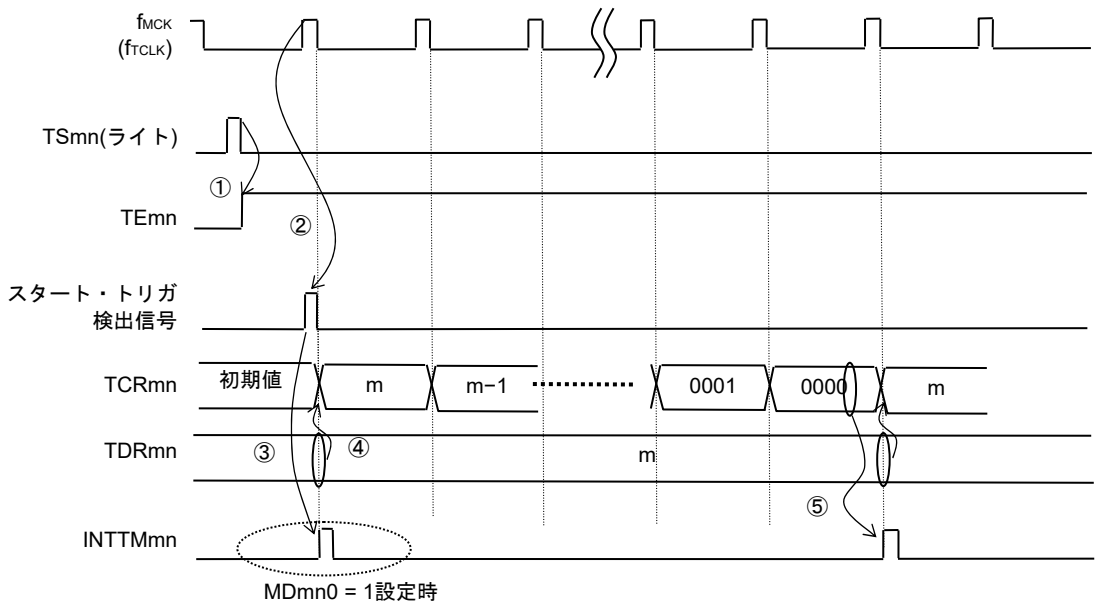
8. 5. 3　カウンタの動作

各モードでのカウンタ動作を説明します。

（1）インターバル・タイマ・モードの動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。
② 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。
③ MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。
④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロック（f_{MCK}）でINTTMmnを発生し，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードしてカウントを継続します。

図8－29　動作タイミング（インターバル・タイマ・モード）



注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考　f_{MCK}，スタート・トリガ検出信号，INTTMmnは，f_{CLK}に同期して1クロック間アクティブとなります。

（2）イベント・カウンタ・モードの動作

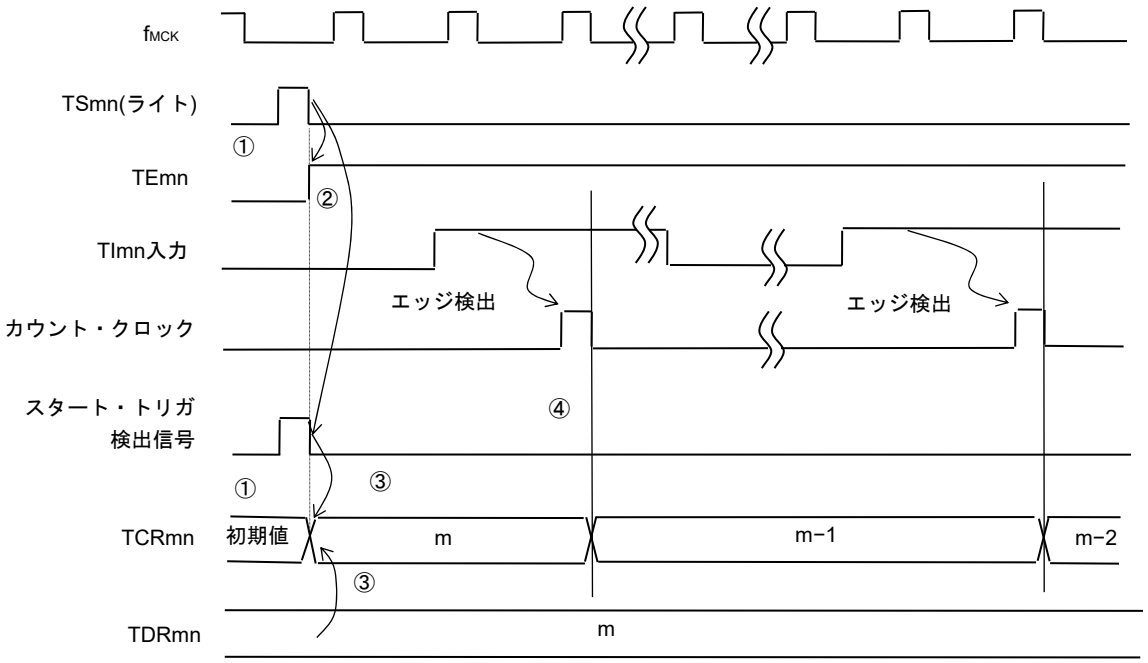
① 動作停止状態（TEmn = 0）の期間，タイマ・カウンタ・レジスタmn（TCRmn）は，初期値を保持します。

② TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。

③ TSmn = 1→TEmn = 1と同時に， TCRmnレジスタにタイマ・データ・レジスタmn（TDRmn）の値をロードし，カウントを開始します。

④ 以降はTImn入力の有効エッジでのカウント・クロックに従い， TCRmnレジスタの値をダウン・カウントします。

図8－30　動作タイミング（イベント・カウンタ・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

（3）キャプチャ・モードの動作（入力パルス間隔測定）

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。

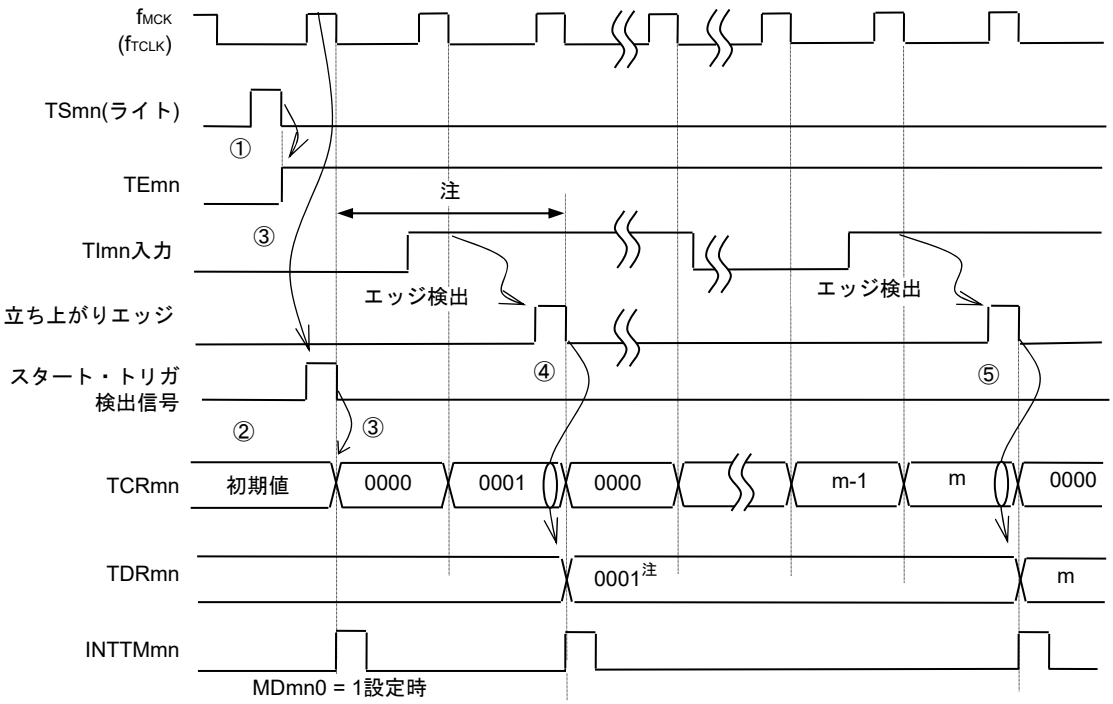
② タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。

③ 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし，キャプチャ・モードでのカウントを開始します。（MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。）

④ TImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。

⑤ 次のTImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図8－31　動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注　スタート前からTImnにクロックが入力されている（トリガがある）場合，エッジ検出をしなくても，トリガ検出でカウントを開始するため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので，無視してください。

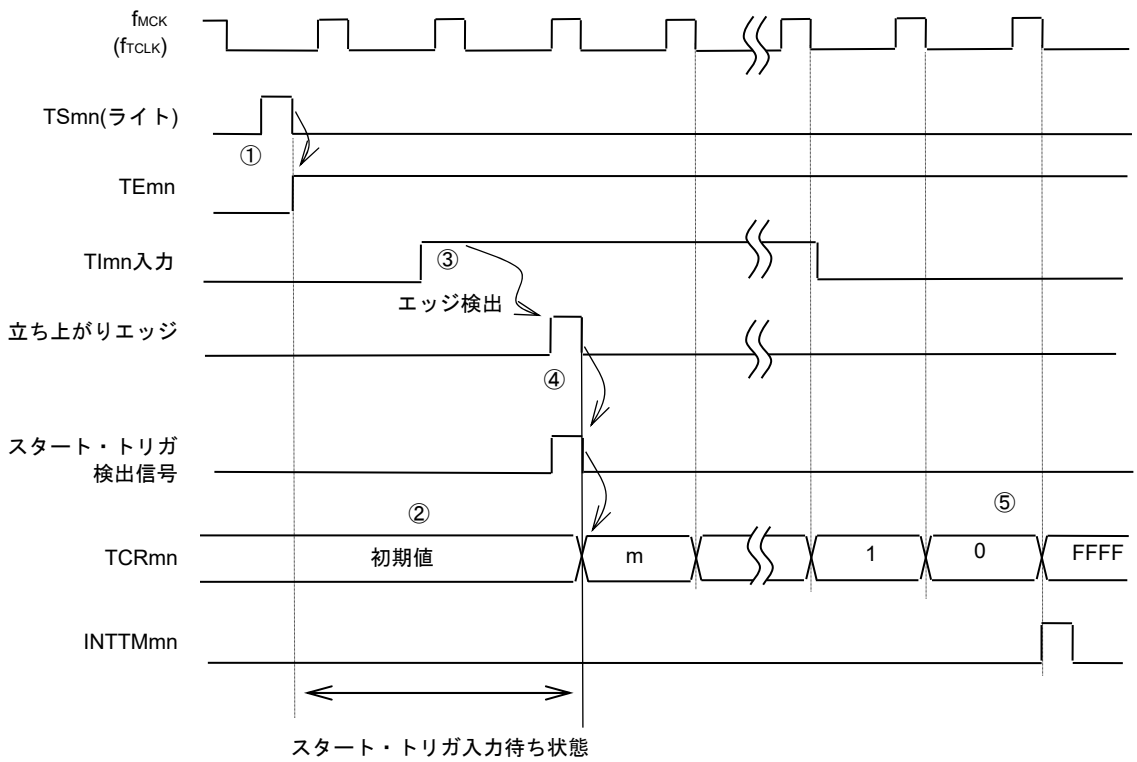
注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（f_{MCK}）が非同期なためです。

（4）ワンカウント・モードの動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持しています。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，TDRmnレジスタの値（m）をTCRmnレジスタにロードし，カウントを開始します。
⑤ TCRmnレジスタがカウント･ダウンしてカウント値が0000Hになると，INTTMmn割り込みを発生し，TCRmnレジスタはFFFFHで停止します。

図8－32　動作タイミング（ワンカウント・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

（5）キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

① タイマ・チャネル開始レジスタm（TSm）のTSmnビットに1を書き込むことにより，動作許可状態（TEmn = 1）となります。

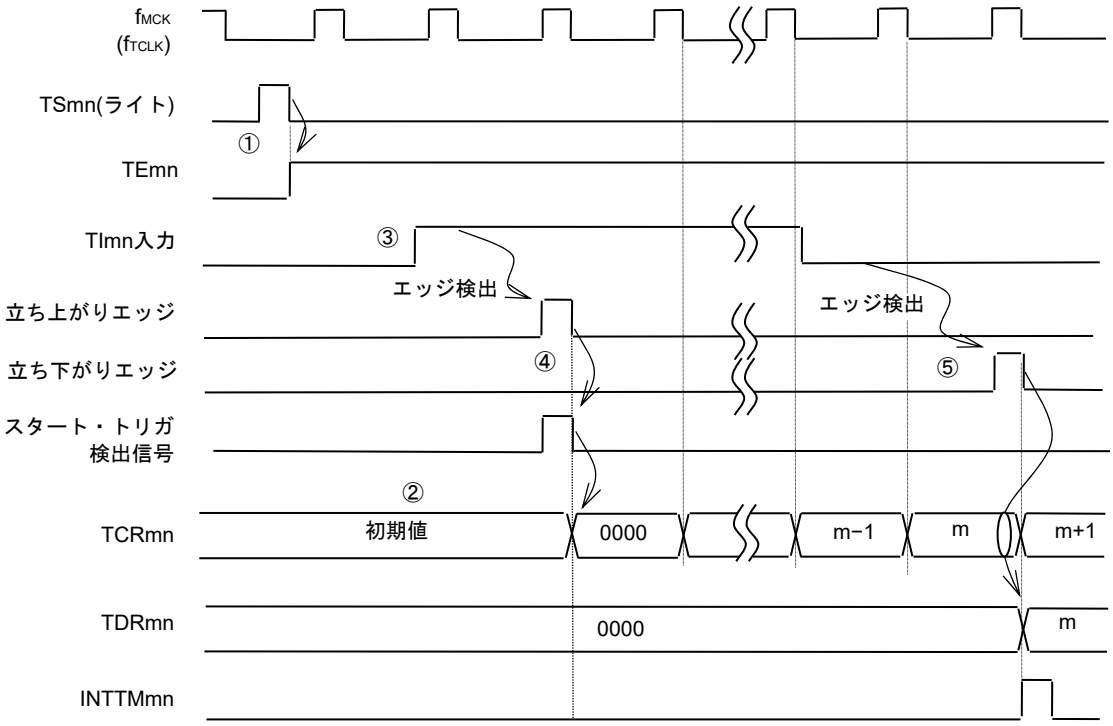
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持します。

③ TImn入力の立ち上がりエッジを検出します。

④ スタート・トリガが発生して，0000HをTCRmnレジスタにロードし，カウントを開始します。

⑤ TImn入力の立ち下がりエッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図8－33　動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

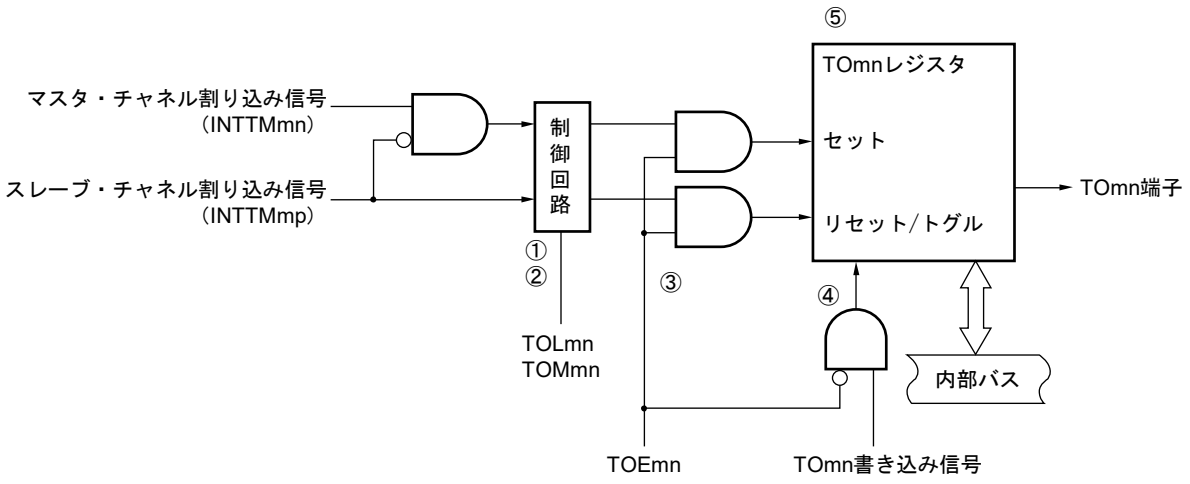


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

8. 6　チャネル出力（TOmn端子）の制御

8. 6. 1　TOmn端子の出力回路の構成

図8－34　出力回路構成図



TOmn端子の出力回路の説明を次に示します。

① TOMmn = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタm（TOLm）の設定値は無視され，INTTMmp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタm（TOm）に伝えられます。

② TOMmn = 1（スレーブ・チャネル出力モード）のときは，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。
このとき，TOLmレジスタが有効となり，次のように信号を制御します。

TOLmn = 0の場合　：正論理出力（INTTMmn→セット，INTTMmp→リセット）
TOLmn = 1の場合　：負論理出力（INTTMmn→リセット，INTTMmp→セット）

また，INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は，INTTMmp（リセット信号）が優先され，INTTMmn（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEmn = 1）で，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。TOmレジスタへの書き込み（TOmnライト信号）は無効となります。
また，TOEmn = 1のとき，割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は，タイマ動作停止（TOEmn = 0）に設定しTOmレジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEmn = 0）で，対象チャネルのTOmnビットへの書き込み（TOmnライト信号）が有効となります。 タイマ出力禁止状態（TOEmn = 0）のとき，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）はTOmレジスタに伝えられません。

⑤ TOmレジスタは常に読み出し可能であり，TOmn端子の出力レベルを確認することができます。

注意　P60, P61, P62をチャネル出力として使用する場合は，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

（備考は次ページにあります。）

備考　m：ユニット番号（m = 0）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

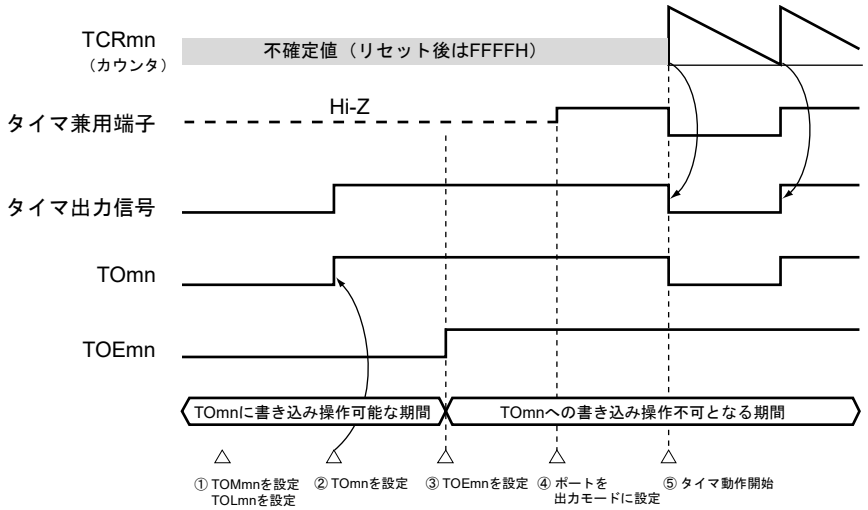
p：スレーブ・チャネル番号

n＜p≦7

8. 6. 2　TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図8－35　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

・TOMmnビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）

・TOLmnビット（0：正論理出力，1：負論理出力）

② タイマ出力レジスタm（TOm）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOEmnビットに1を書き込み，タイマ出力動作を許可します（TOmレジスタへの書き込みは不可となります）。

④ ポートの入出力設定を出力に設定します（8. 3. 16　タイマ入出力端子のポート機能を制御するレジスタ参照）。

⑤ タイマを動作許可にします（TSmn = 1）。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 6. 3　チャネル出力操作時の注意事項

（1）タイマ動作中のTOm, TOEm, TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn（TCRmn），タイマ・データ・レジスタmn（TDRmn）の動作）は，TOmn出力回路とは独立しています。よって，タイマ出力レジスタm（TOm），タイマ出力許可レジスタm（TOEm），タイマ出力レベル・レジスタm（TOLm）の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形をTOmn端子から出力するためには，8. 8, 8. 9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み（INTTMmn）近辺で，TOmレジスタを除くTOEmレジスタ，TOLmレジスタの設定値変更を行うと，タイマ割り込み（INTTMmn）信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み（INTTMmn）信号発生タイミング直後に設定値変更が実施された場合とでは，TOmn端子に出力される波形が異なる場合があります。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

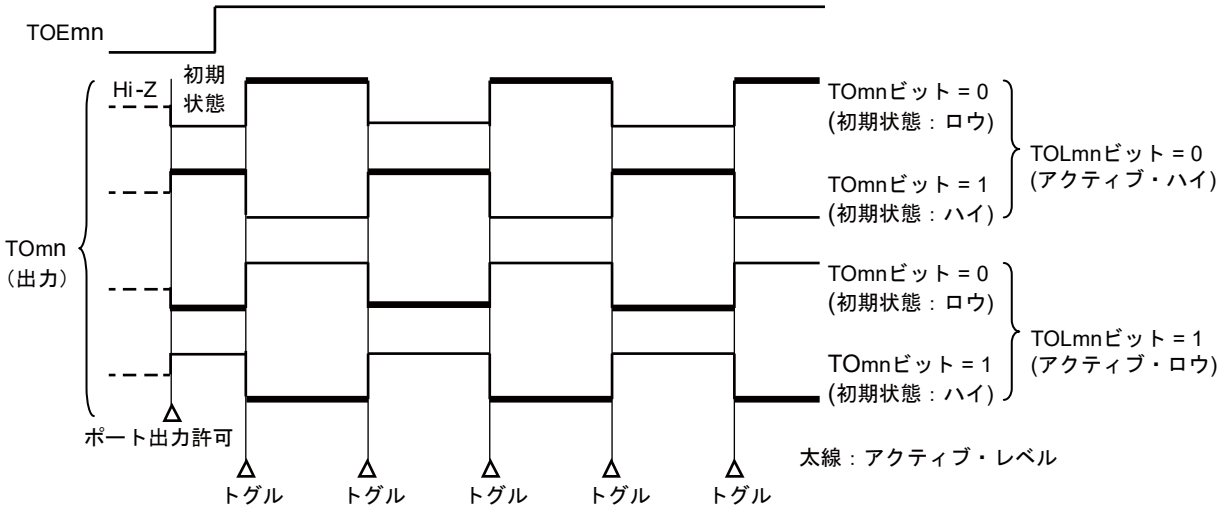
（2）TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOEmn = 0）の状態でタイマ出力レジスタm（TOm）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOEmn = 1）に設定した場合のTOmn端子出力レベルの変化を次に示します。

（a）マスタ・チャネル出力モード（TOMmn= 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMmn= 0）の時，タイマ出力レベル・レジスタm（TOLm）の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図8－36　トグル出力時（TOMmn = 0）のTOmn端子出力状態



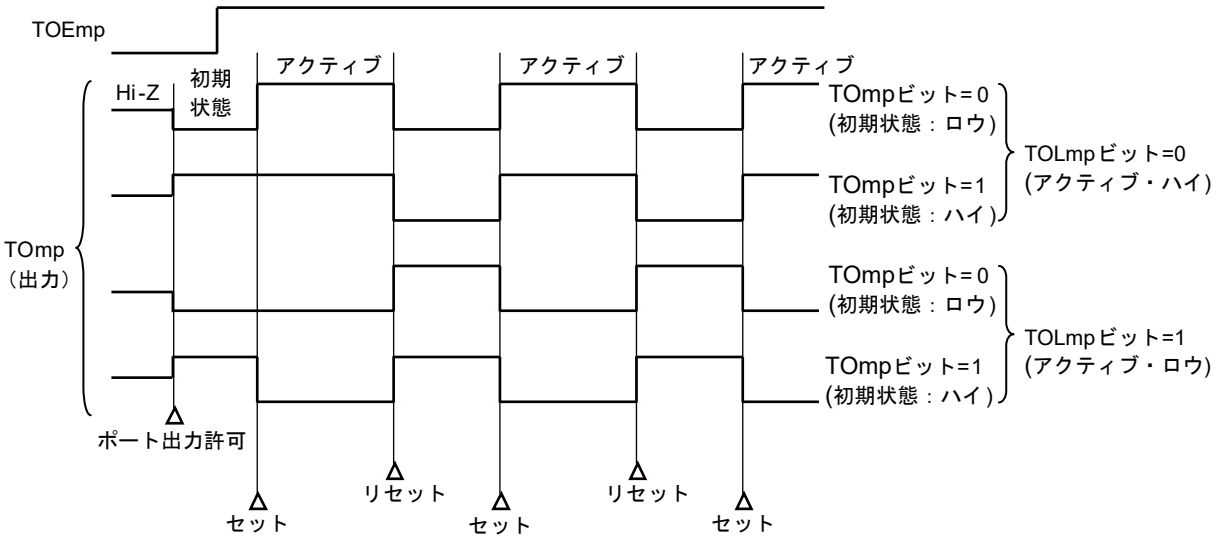
備考1.　トグル：TOmn端子の出力状態を反転

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

（b）スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOMmp = 1）の時，タイマ出力レベル・レジスタm（TOLm）の設定によりアクティブ・レベルを決定します。

図8－37　PWM出力時（TOMmp = 1）のTOmp端子出力状態



備考1.　セット　　：TOmp端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TOmp端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　m：ユニット番号（m = 0），p：チャネル番号（p = 1-7）

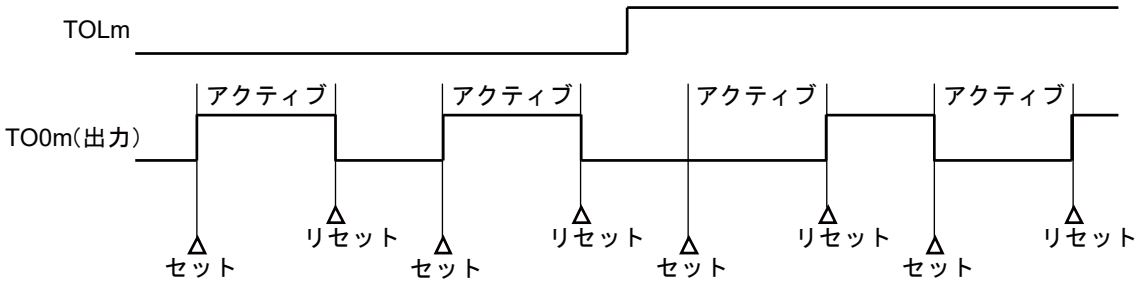
（3）TOmn端子のスレーブ・チャネル出力モード（TOMmn = 1）での動作について

（a）タイマ動作中にタイマ出力レベル・レジスタm（TOLm）の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合，設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは，TOmn端子の出力レベルは変化しません。

TOMmn = 1で，タイマ動作中（TEmn = 1）にTOLmレジスタの値を変更した場合の動作を次に示します。

図8－38　タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1.　セット　　：TOmn端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TOmn端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

（b）セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み（INTTMmn）発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

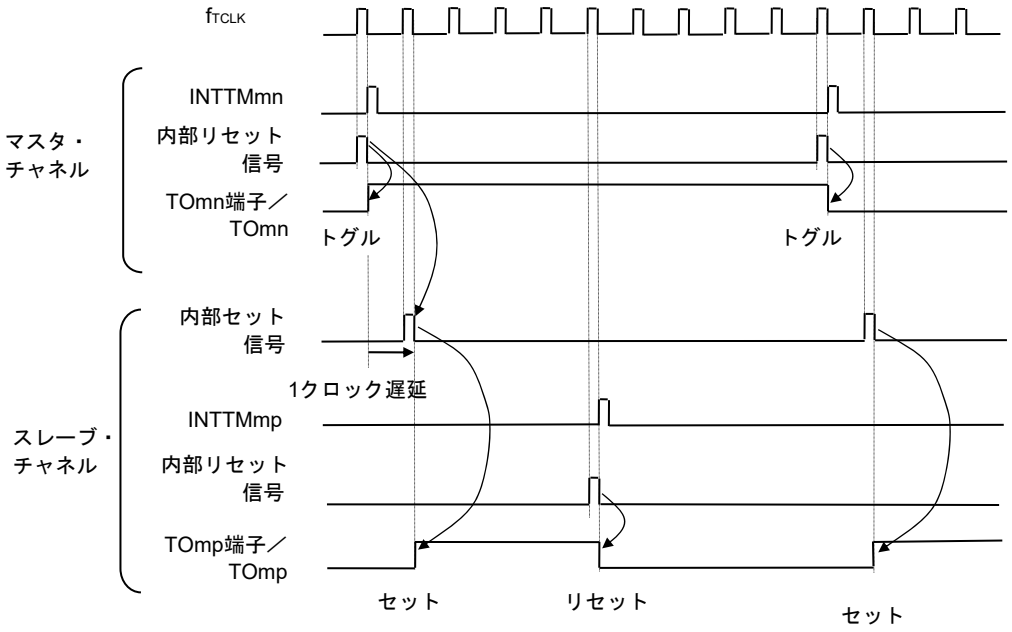
マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を**図8－39**に示します。

マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0

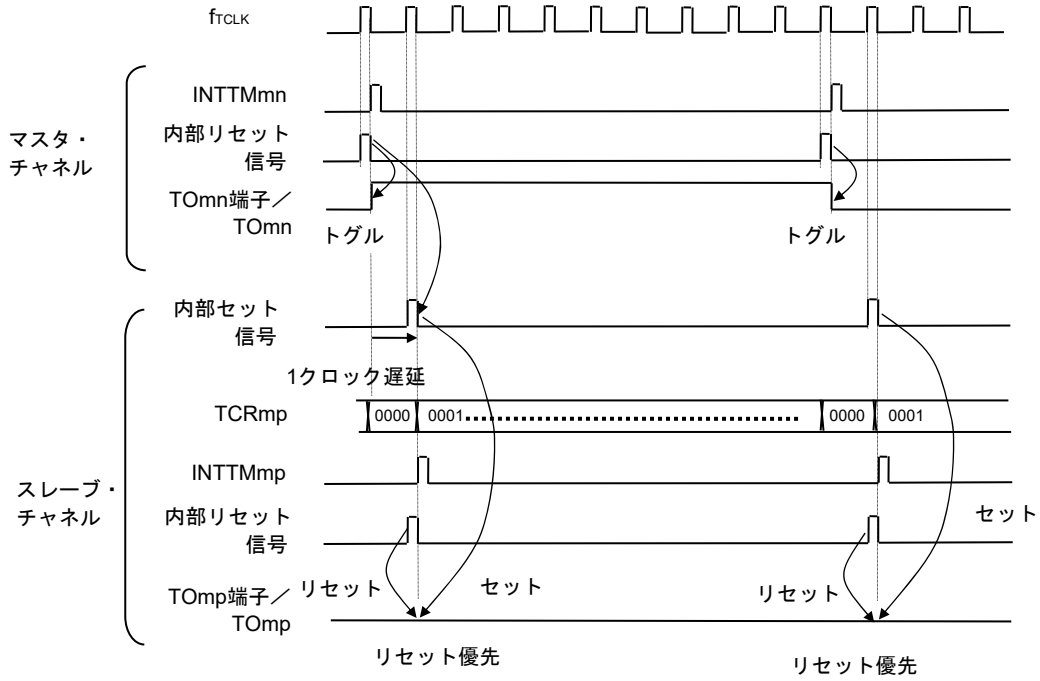
スレーブ・チャネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図8－39　セット／リセット・タイミング動作状態

（1）基本動作タイミング



（2）0 %デューティ時の動作タイミング



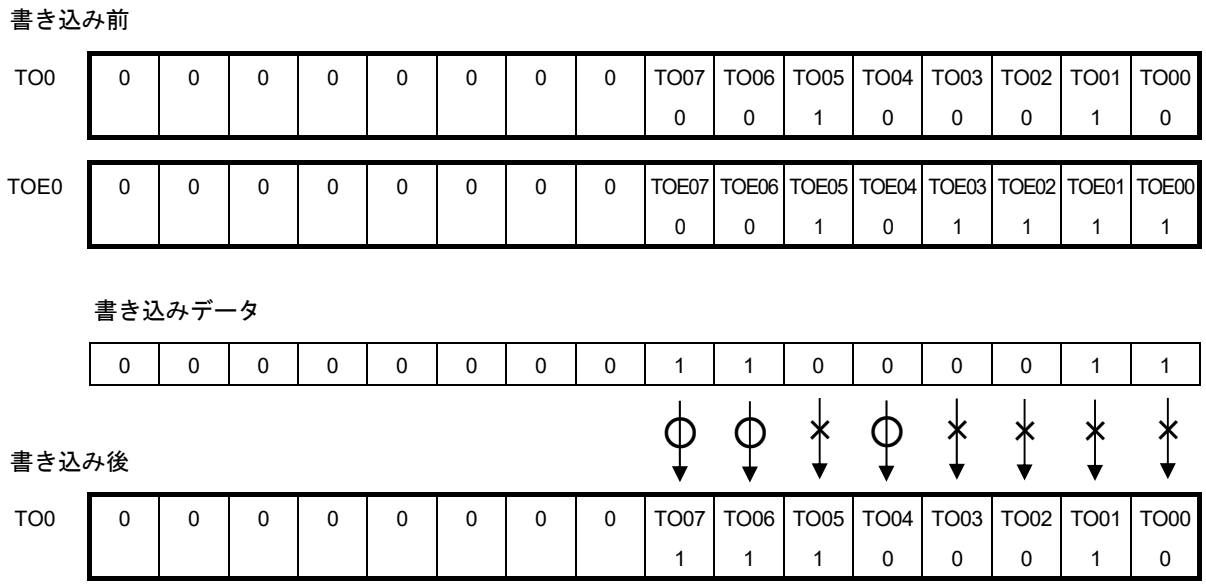
備考1.　内部リセット信号：TOmn端子のリセット／トグル信号
　　内部セット信号　：TOmn端子のセット信号

2.　m：ユニット番号（m = 0）
　　n：チャネル番号
　　n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
　　p：スレーブ・チャネル番号
　　n＜p≦7

8. 6. 4　TOmnビットの一括操作

タイマ出力レジスタm（TOm）には，タイマ・チャネル開始レジスタm（TSm）と同様に，1レジスタに全チャネル分の設定ビット（TOmn）が配置されています。よって，全チャネルのTOmnビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TOmn）のみTOmnビットへの書き込み可能（TOEmn = 0）とすることによって任意のビットのみ操作することが可能です。

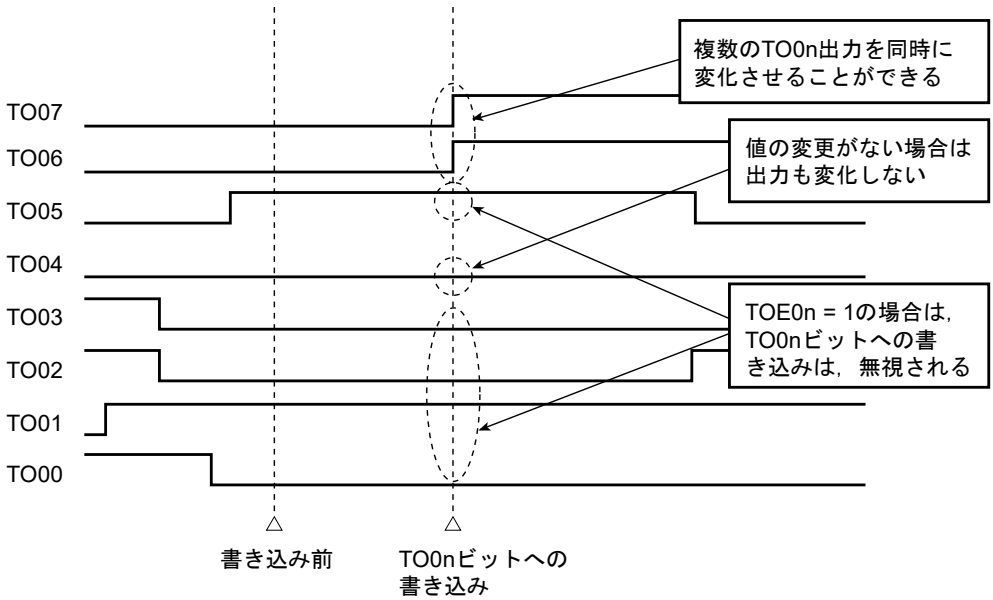
図8－40　TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn（チャネル出力）は，書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図8－41　TO0nビットの一括操作によるTO0nの端子状態



備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 6. 5　カウント動作開始時のタイマ割り込みとTOmn端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタmn（TMRmn）のMDmn0ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

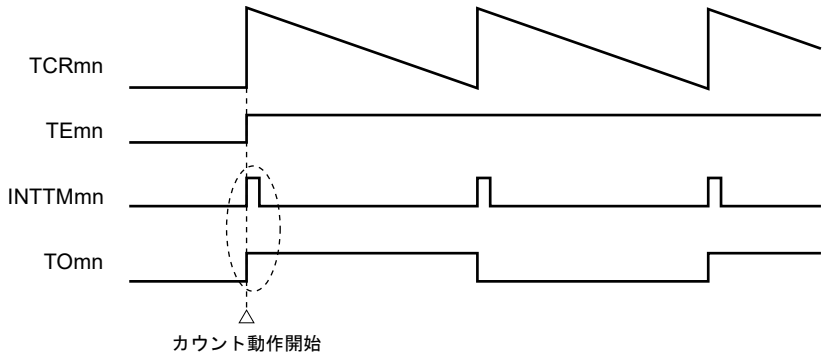
MDmn0 = 1に設定することで，タイマ割り込み（INTTMmn）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TOmn出力は制御しません。

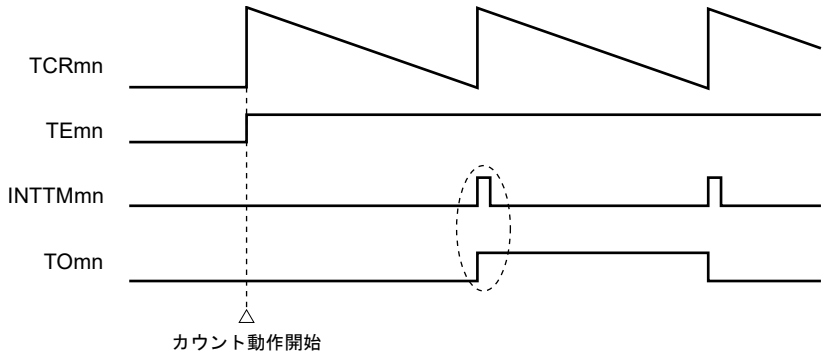
インターバル・タイマ・モード（TOEmn = 1, TOMmn = 0）に設定した場合の動作例を次に示します。

図8－42　カウント動作開始時のタイマ割り込み，TOmn出力の動作例

（a）MDmn0 = 1に設定した場合



（b）MDmn0 = 0に設定した場合



MDmn0 = 1に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）が出力され，TOmnがトグル動作します。

MDmn0 = 0に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）を出力しません。TOmnも変化しません。1周期をカウント後，INTTMmnを出力し，TOmnがトグル動作します。

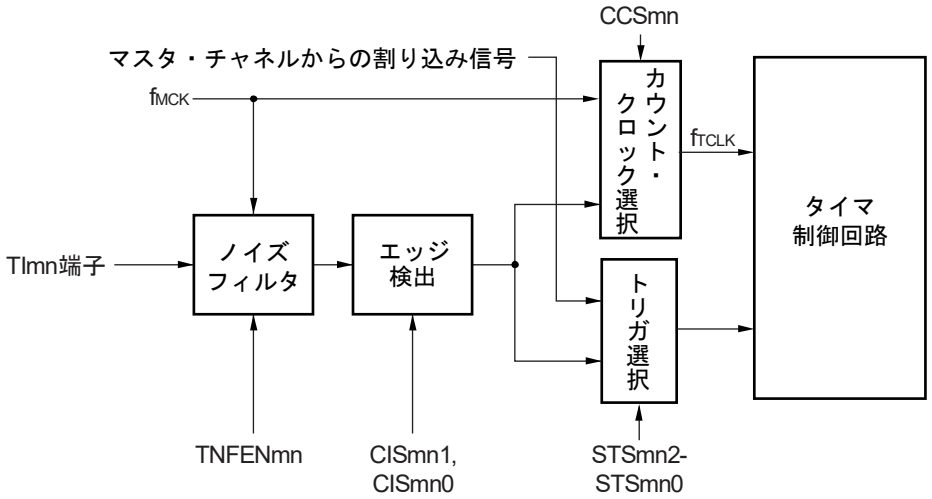
備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8.7　タイマ入力（TImn）の制御

8.7.1　TImnの入力回路構成

タイマ入力端子から信号は，ノイズ･フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は，対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

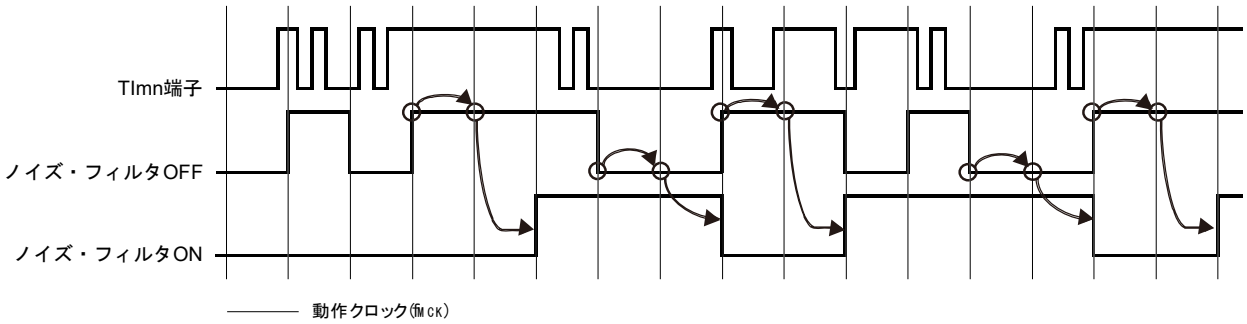
図8－43　入力回路構成図



8.7.2　ノイズ・フィルタ

ノイズ・フィルタ無効時は，チャネルnの動作クロック（fMCK）で同期化だけ行います。ノイズ・フィルタ有効時は，チャネルnの動作クロック（fMCK）で同期化のあと，2クロックの一致検出を行います。以下に，TImn入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図8－44　TImn入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



注意　TImn端子の入力波形は，ノイズ・フィルタON/OFFの動作を説明するためのものであり，実際は，41.4 AC特性に示す入力ハイ・レベル幅／ロウ・レベル幅に従ってください。

8. 7. 3　チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において，ノイズ・フィルタ回路へ動作クロックは供給されません。そのため，タイマ入力端子を使用する設定をしてから，タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで，以下の待ち時間が必要になります。

（1）ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn（TMRmn）のビット12（CCSmn），ビット9（STSmn1），ビット8（STSmn0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の2サイクル以上経過してから，タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

（2）ノイズ・フィルタONの場合

タイマ・モード・レジスタmn（TMRmn）のビット12（CCSmn），ビット9（STSmn1），ビット8（STSmn0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の4サイクル以上経過してから，タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

8. 8　タイマ・アレイ・ユニットの単独チャネル動作機能

8. 8. 1　インターバル・タイマ／方形波出力としての動作

（1）インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）

（2）方形波出力としての動作

TOmnは，INTTMmn発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TOmn出力波形の周期と周波数は，次の式で求めることができます。

・TOmnからの出力方形波の周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）×2
・TOmnからの出力方形波の周波数 ＝ カウント・クロックの周波数／｛（TDRmnの設定値＋1）×2｝

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定後，最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば，INTTMmnを出力せず，TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば，INTTMmnを出力して，TOmnをトグルします。

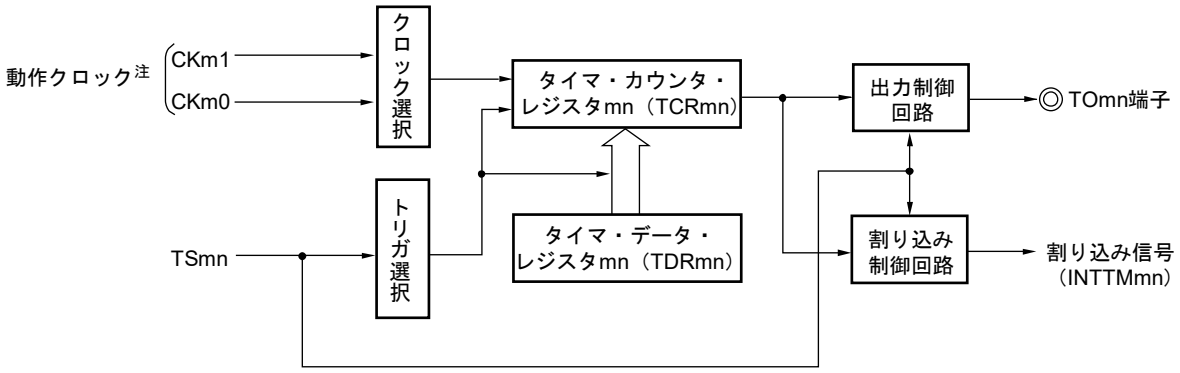
その後，TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら，次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また，同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降，同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

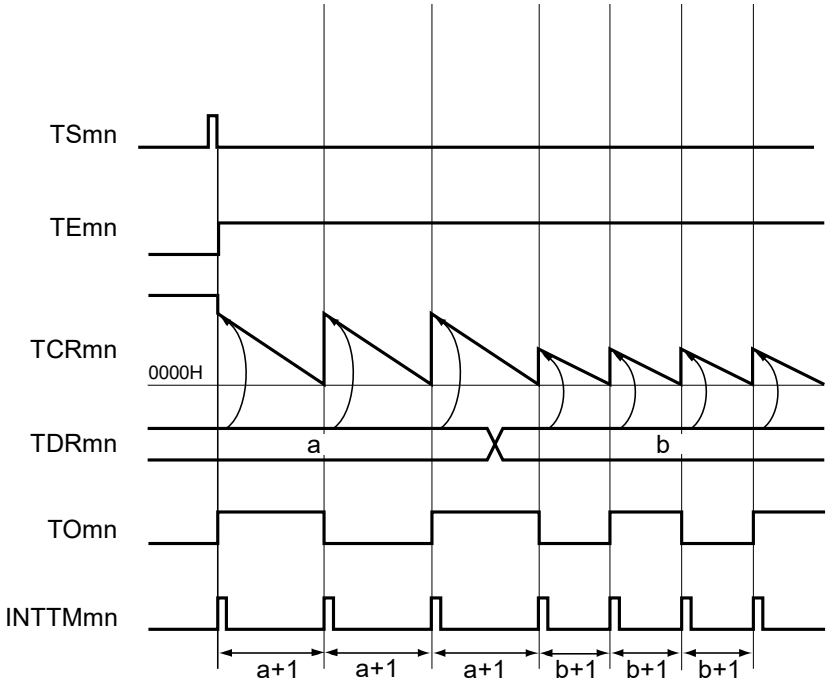
備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－45　インターバル・タイマ／方形波出力としての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図8－46　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDmn0 = 1）



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

TOmn　：TOmn端子出力信号

図8－47　インターバル・タイマ／方形波出力時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	0	0	0	0	0	0	0	0	1/0

チャネルnの動作モード
000B:インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生せず，タイマ出力反転せず
1：カウント開始時にINTTMmn発生し，タイマ出力反転する

TImn端子入力のエッジ選択
00B:使用しないので00を設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	1/0

0：TOmnより0を出力する
1：TOmnより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	1/0

0：カウント動作によるTOmn出力動作停止
1：カウント動作によるTOmn出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－48　インターバル・タイマ／方形波出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	TOmn出力を使用する場合， タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する TOLmnビットに0を設定する TOmnビットを設定し，TOmn出力の初期レベルを確定する →	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し，TOmnの動作を許可 →	チャネルは動作停止状態なので，TOmnは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmn端子はTOmn設定レベルを出力
動作開始	（TOmn出力を使用する場合で，かつ動作再開時のみTOEmnビットに1を設定する） TSmn（TSHm1, TSHm3）ビットに1を設定する →	TEmn（TEHm1, TEHm3）= 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。
	TSmn（TSHm1, TSHm3）ビットはトリガ・ビットなので，自動的に0に戻る	
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TOm, TOEmレジスタは，設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは，設定値変更禁止	カウンタ（TCRmn）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し，TOmnはトグル動作する。以降，この動作を繰り返す。
動作停止	TTmn（TTHm1, TTHm3）ビットに1を設定する →	TEmn（TEHm1, TEHmn）= 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず，状態保持
	TTmn（TTHm1, TTHm3）ビットはトリガ・ビットなので，自動的に0に戻る	
	TOEmnビットに0を設定し，TOmnビットに値を設定する →	TOmn端子はTOmnビットに設定したレベルを出力

動作再開 →

（備考は次ページにあります。）

図8－48　インターバル・タイマ／方形波出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する →	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOmnビットが0になり，TOmn端子はポート機能となる）

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 8. 2　外部イベント・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 = TDRmnの設定値＋1

タイマ・カウンタ・レジスタmn（TCRmn）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）の任意のチャネル・スタート・トリガ・ビット（TSmn，TSHm1，TSHm3）に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。

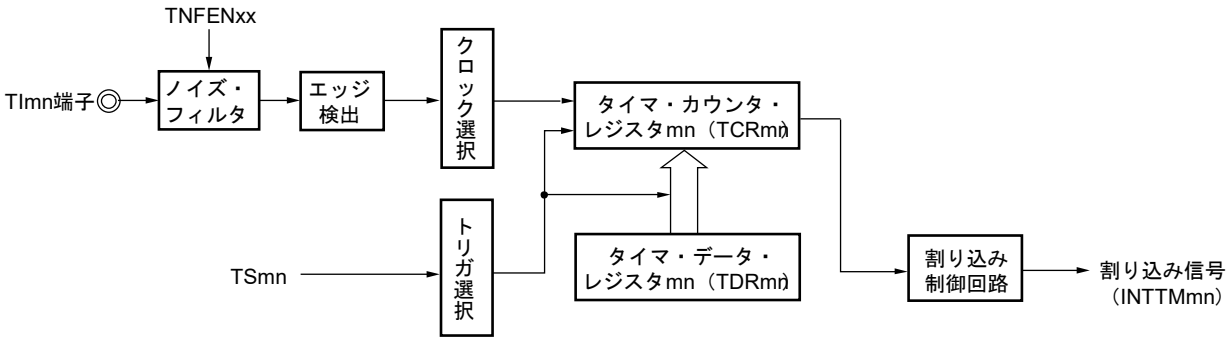
TCRmnレジスタはTImn端子入力の有効エッジ検出に合わせてダウン・カウントを行い，TCRmn = 0000Hとなったら，再びTDRmnレジスタの値をロードして，INTTMmnを出力します。

以降，同様の動作を継続します。

TOmn端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定して出力動作を停止するようにしてください。

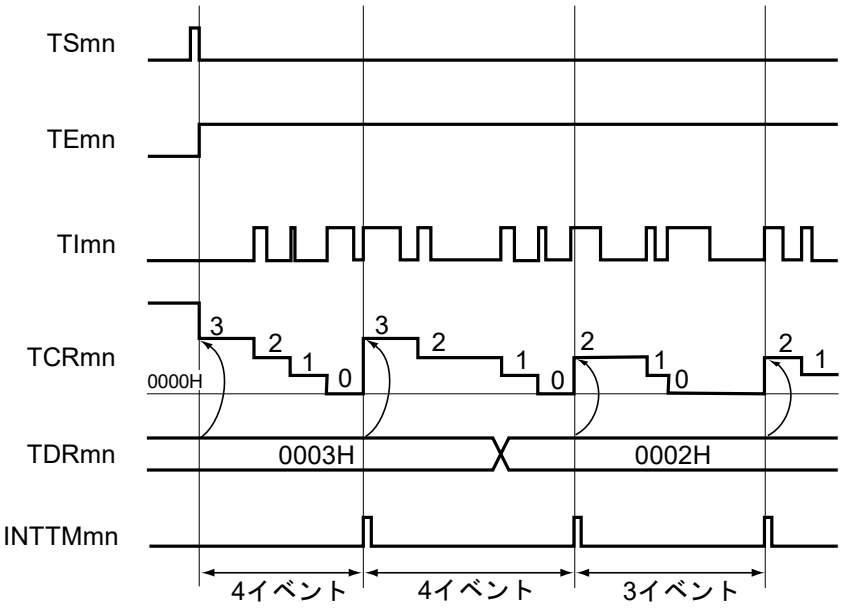
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図8－49　外部イベント・カウンタとしての動作のブロック図



備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－50　外部イベント・カウンタとしての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図8－51　外部イベント・カウンタ・モード時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	1	0/1	0	0	0	1/0	1/0	0	0	0	1	1	0

チャネルnの動作モード
011B：イベント・カウント・モード

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生せず，タイマ出力反転せず

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
1：TImn端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－52　外部イベント・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にカウント数を設定する タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，TImn端子入力のエッジ検出待ち状態になる
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止	TImn端子入力のエッジが検出されるごとに，カウンタ（TCRmn）はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 8. 3　入力パルス間隔測定としての動作

TImn有効エッジでカウント値をキャプチャし，TImn入力パルスの間隔を測定することができます。また，TEmn = 1の期間中に，ソフトウェア操作（TSmn = 1）をキャプチャ・トリガにして，カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

TImn入力パルス間隔 = カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ･レジスタmn（TCRmn）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

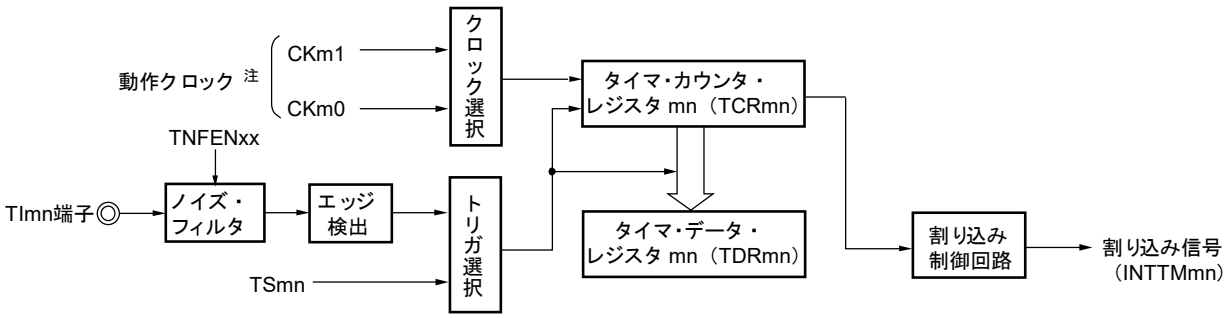
TImn端子入力の有効エッジを検出すると，TCRmnレジスタのカウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）すると同時に，TCRmnレジスタを0000Hにクリアして，INTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

カウント値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して，TImn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

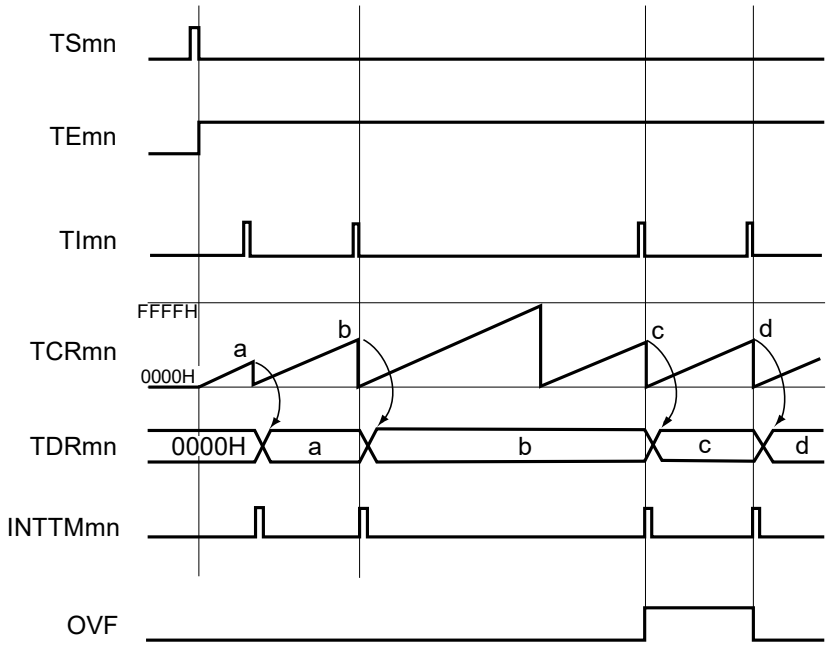
図8－53　入力パルス間隔測定としての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－54　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図8－55　入力パルス間隔測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0

チャネルnの動作モード
010B：キャプチャ・モード

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生しない
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

キャプチャ・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－56　入力パルス間隔測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタmのTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定）	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生する。
動作中	TMRmnレジスタは，CISmn1，CISmn0ビットのみ設定値変更可能 TDRmnレジスタは，常に読み出し可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmnビットは，設定値変更禁止	カウンタ（TCRmn）は0000Hからアップ・カウント動作を行い，TImn端子入力の有効エッジが検出または，TSmnビットに１を設定すると，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）する。同時に，TCRmnレジスタを0000Hにクリアし，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作

注意　LIN-bus対応機能として使用する場合は，入力切り替え制御レジスタ（ISC）のビット1（ISC1）を1に設定してください。また，以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TImnの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TImnの信号幅は次の式で求めることができます。

TImn入力の信号幅 =
カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn（TCRmn）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタmn（TDRmn）に転送すると同時にINTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは，「TDRmnレジスタに転送した値＋1」の値で停止し，TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

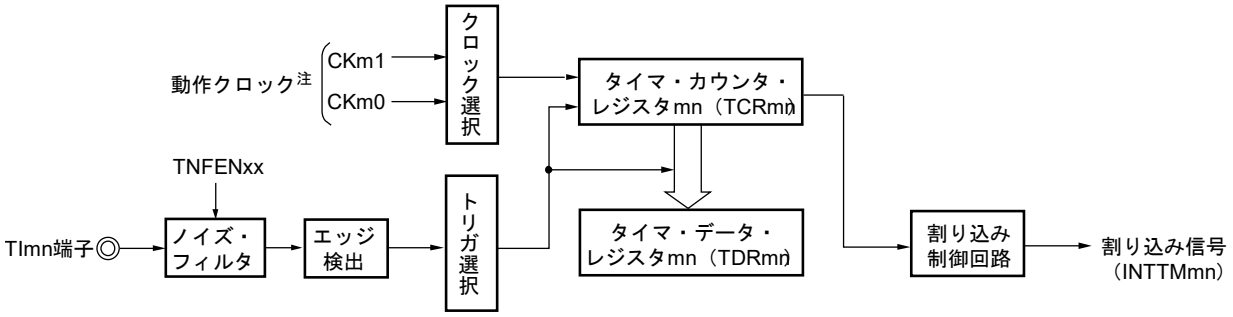
カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TImn端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは，TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は，TImn端子入力の信号幅測定を目的とするため，TEmn = 1期間中のTSmnビットのセット（1）は使用できません。

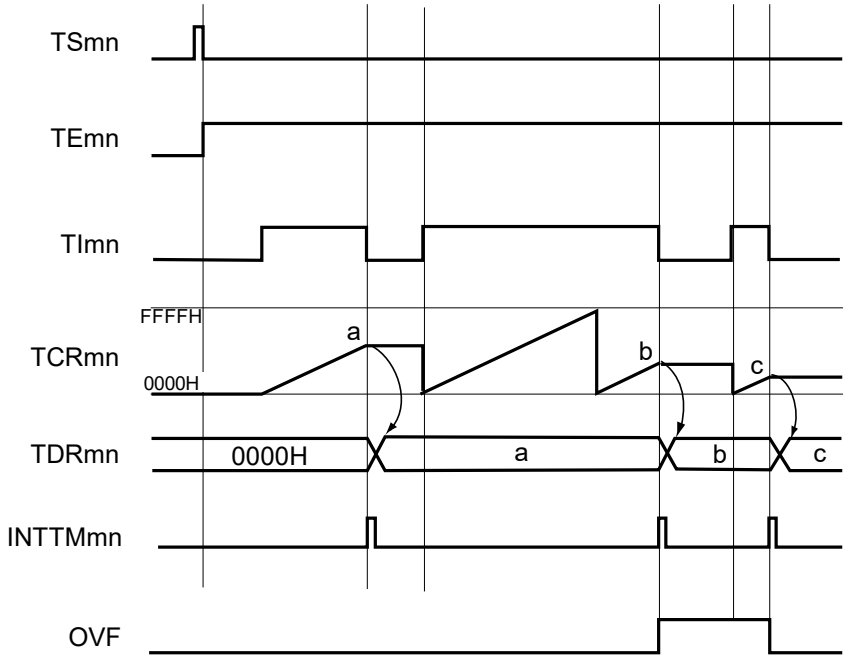
TMRmnレジスタのCISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する
TMRmnレジスタのCISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

図8－57　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図8－58　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図8－59　入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSn0	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	0	0	1	0	1	1/0	0	0	1	1	0	0

チャネルnの動作モード
110B：キャプチャ＆ワンカウント

カウント開始時の動作設定
0：カウント開始時にINTTMmn
発生しない

TImn端子入力のエッジ選択
10B：両エッジ選択（ロウ幅測定）
11B：両エッジ選択（ハイ幅測定）

スタート・トリガ選択
010B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－60　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアし，カウント・アップ動作を開始する
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止	TImn端子のスタート・エッジ検出後，カウンタ（TCRmn）は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送し，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは，次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8. 8. 5　ディレイ・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することができます。

また，TEmn = 1の期間中に，ソフトウエア操作でTSmn = 1に設定することで，ダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することもできます。

割り込み発生周期は，次の式で求める事ができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）

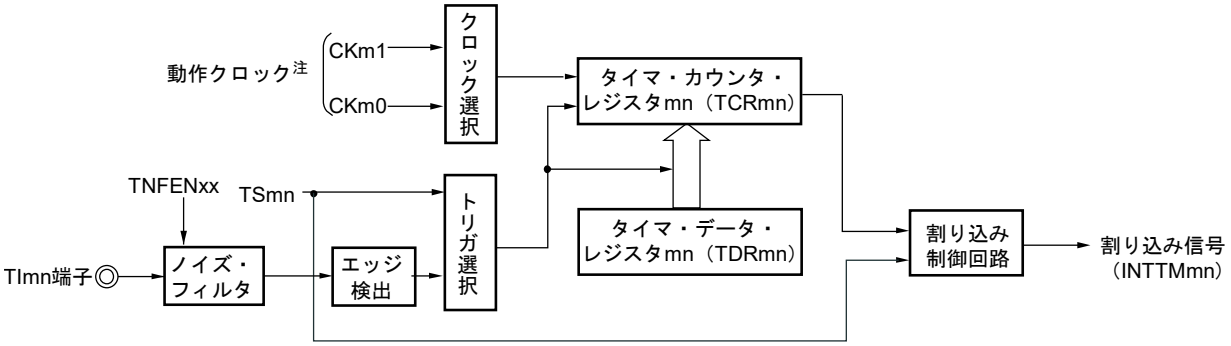
タイマ・カウンタ・レジスタmn（TCRmn）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定すると，TEmn, TEHm1, TEHm3 = 1となりTImn端子の有効エッジ検出待ち状態となります。

TCRmnレジスタは，TImn端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TCRmn = 0000Hとなったら INTTMmnを出力し，次のTImn端子入力の有効エッジがあるまで，カウントを停止します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

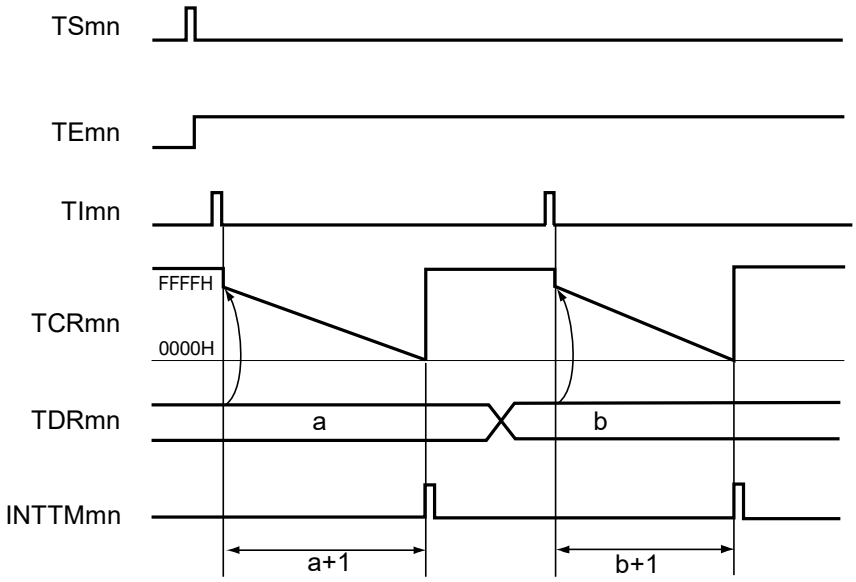
図8－61　ディレイ・カウンタとしての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－62　ディレイ・カウンタとしての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn：タイマ・データ・レジスタmn（TDRmn）

図8－63　ディレイ・カウンタ機能時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	1	1/0	1/0	0	0	1	0	0	1/0

チャネルnの動作モード
100B:ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効
1：トリガ入力は有効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図8－64　ディレイ・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルnの動作モード確定） タイマ・データ・レジスタmn（TDRmn）に遅延時間を設定する TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，スタート・トリガ検出（TImn端子入力の有効エッジの検出，またはTSmnビットに1を設定）待ち状態となる
	次のスタート・トリガ検出によって，ダウン・カウントを開始します。 → ・TImn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない	カウンタ（TCRmn）はダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し，次のスタート・トリガ検出（TImn端子入力の有効エッジの検出，またはTSmnビットに1を設定）までTCRmn = 0000Hでカウント動作を停止する。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

8.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能

8.9.1　ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して，TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ ＝｛TDRmn（マスタ）の設定値＋2｝×カウント・クロック周期
パルス幅 ＝｛TDRmp（スレーブ）の設定値｝×カウント・クロック周期

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TCRmn = 0000HとなったらINTTMmnを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

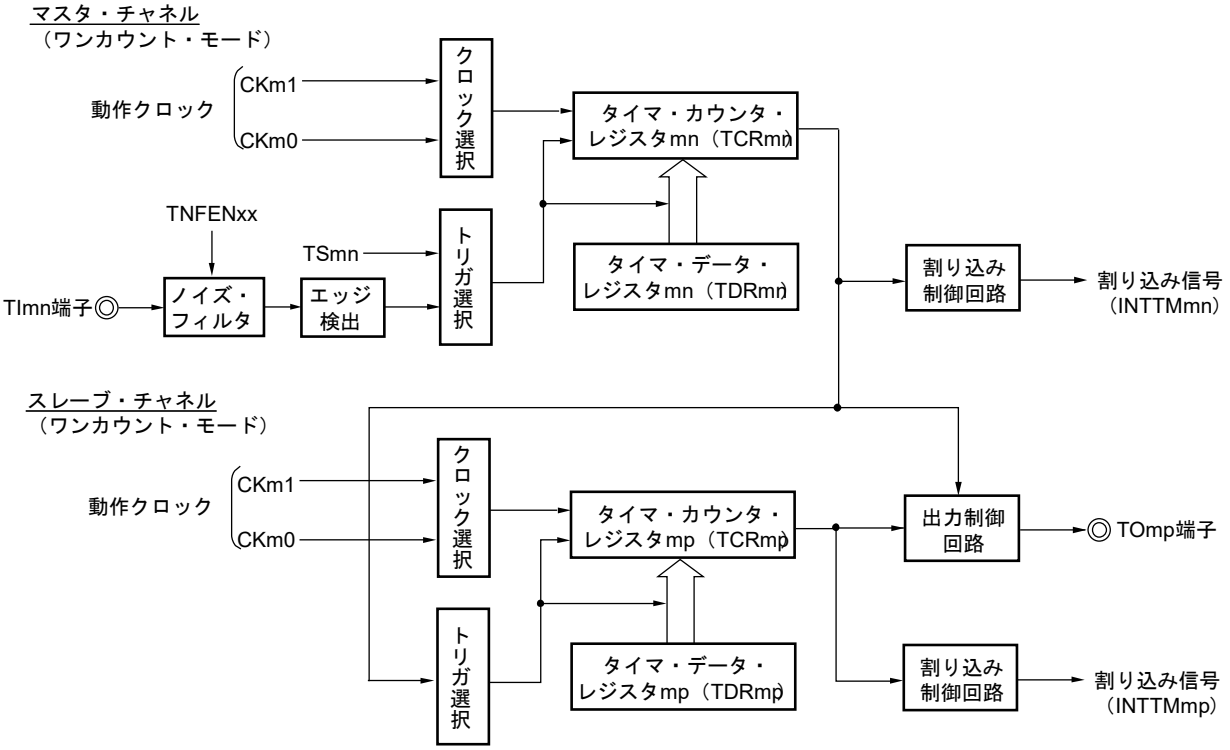
スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し，TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルのINTTMmn）検出があるまで，カウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は，TImn端子入力を使用せず，ソフトウエア操作（TSmn = 1）をスタート・トリガにすることもできます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタでは，ロード・タイミングが異なるため，カウント動作中にTDRmnレジスタ，TDRmpレジスタを書き換えるとロード・タイミングと競合して不正波形が出力される場合があります。TDRmnレジスタはINTTMmn発生後に，TDRmpレジスタはINTTMmp発生後に書き換えてください。

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

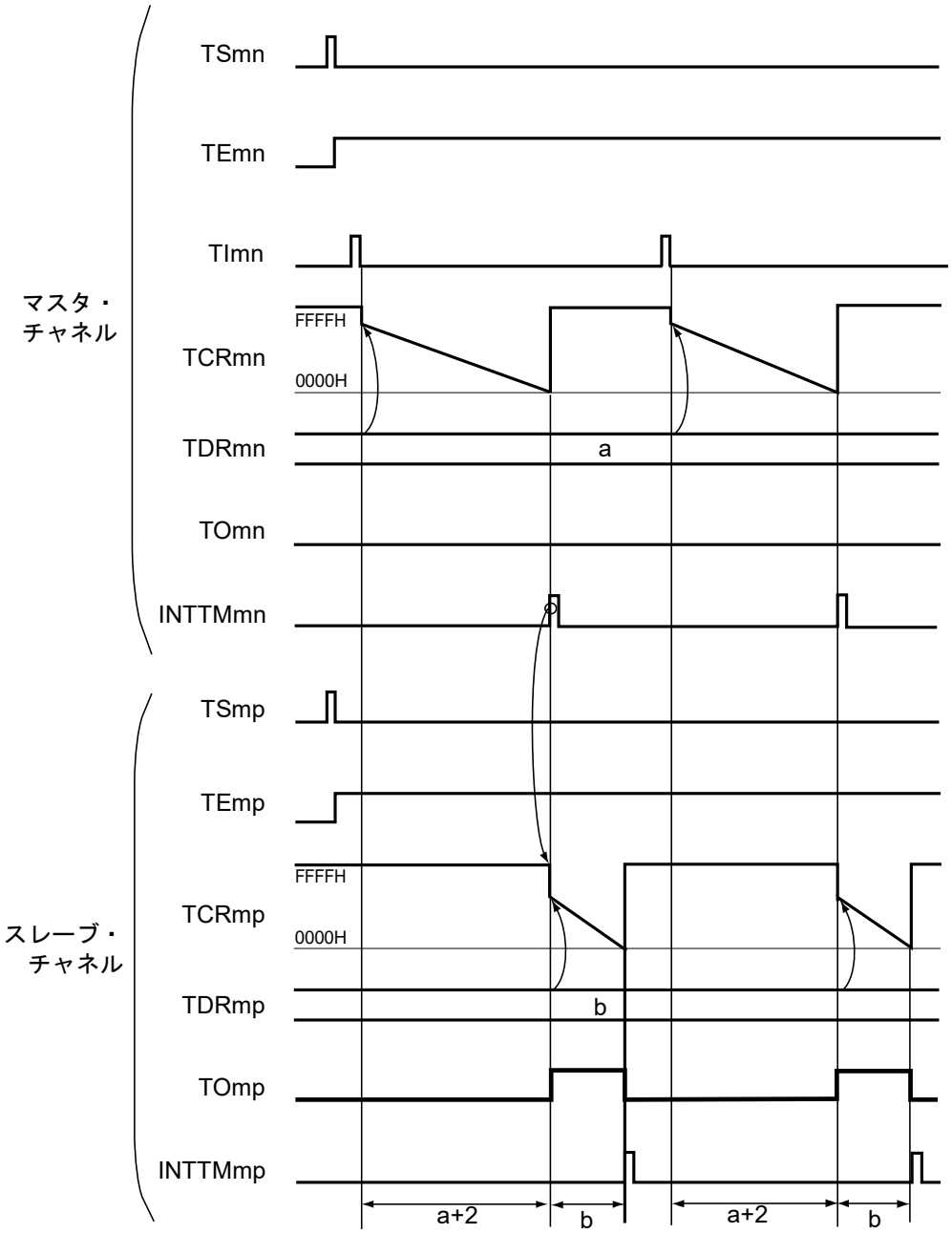
図8－65　ワンショット・パルス出力機能としての動作のブロック図



備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

図8－66　ワンショット・パルス出力機能としての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

2.　TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p

TImn, TImp　：TImn, TImp端子入力信号

TCRmn, TCRmp：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）

TDRmn, TDRmp：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）

TOmn, TOmp　：TOmn, TOmp端子出力信号

図8－67　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	1	0	0	1	1/0	1/0	0	0	1	0	0	0

チャネルnの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

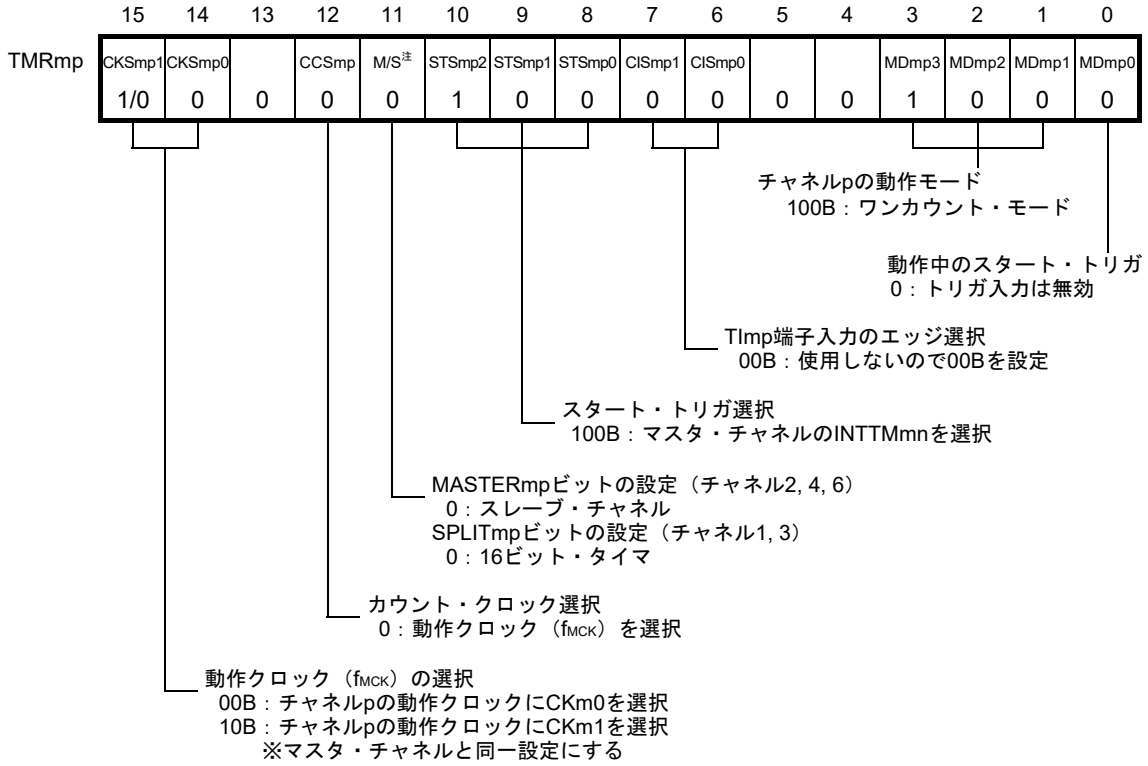
0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図8－68　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmp（TMRmp）



（b）タイマ出力レジスタm（TOm）

	ビットp	
TOm	TOmp 1/0	0：TOmpより0を出力する 1：TOmpより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットp	
TOEm	TOEmp 1/0	0：カウント動作によるTOmp出力動作停止 1：カウント動作によるTOmp出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットp	
TOLm	TOLmp 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

	ビットp	
TOMm	TOMmp 1	1：スレーブ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmpビット
TMRm5, TMRm7　：0固定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

図8－69　ワンショット・パルス出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに1を設定する 使用する2チャネルのタイマ・モード・レジスタmn，mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）に出力遅延時間，スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はTOmp設定レベルを出力

（注，備考は次ページにあります。）

図8－69　ワンショット・パルス出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp = 1となり，マスタ・チャネルはスタート・トリガ検出（TImn端子入力の有効エッジの検出，またはマスタ・チャネルのTSmnビットに1を設定）待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャネルのスタート・トリガ検出によって，マスタ・チャネルのカウント動作を開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでマスタ・チャネルのTSmnビットに1を設定[注] **注**　スレーブ・チャネルのTSmnビットには1を設定しないでください	マスタ・チャネルがカウント動作開始
動作中	TMRmnレジスタは，CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp，TDRmn，TDRmpレジスタ，TOMmn，TOMmp，TOLmn, TOLmpビットは，設定値変更禁止 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない スレーブ・チャネルのTOm，TOEmレジスタは，設定値変更可能	マスタ・チャネルでは，スタート・トリガ検出（TImn端子入力の有効エッジの検出，またはマスタ・チャネルのTSmnビットに1を設定）により，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmn出力を発生し，次のスタート・トリガ検出までカウント動作を停止する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOmpビットが0になり，TOmp端子はポート機能となる）

動作再開

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

8. 9. 2　PWM機能としての動作

2チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TDRmn（マスタ）の設定値＋1} ×カウント・クロック周期
デューティ [%] = {TDRmp（スレーブ）の設定値} ／ {TDRmn（マスタ）の設定値＋1} ×100
0 %出力　　: TDRmp（スレーブ）の設定値 = 0000H
100 %出力　: TDRmp（スレーブ）の設定値≧ {TDRmn（マスタ）の設定値＋1}

備考　TDRmp（スレーブの設定値）＞ {TDRmn（マスタ）の設定値＋1} の場合は，デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，割り込み（INTTMmn）を出力して，タイマ・データ・レジスタmn（TDRmn）に設定した値をタイマ・カウンタ・レジスタmn（TCRmn）にロードし，カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで，INTTMmnを出力して，再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタm（TTm）のチャネル・ストップ・トリガ・ビット（TTmn）に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTMmnをスタート・トリガとして，TDRmpレジスタからTCRmpレジスタに値をロードし，0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTMmn）が来るまで待機します。

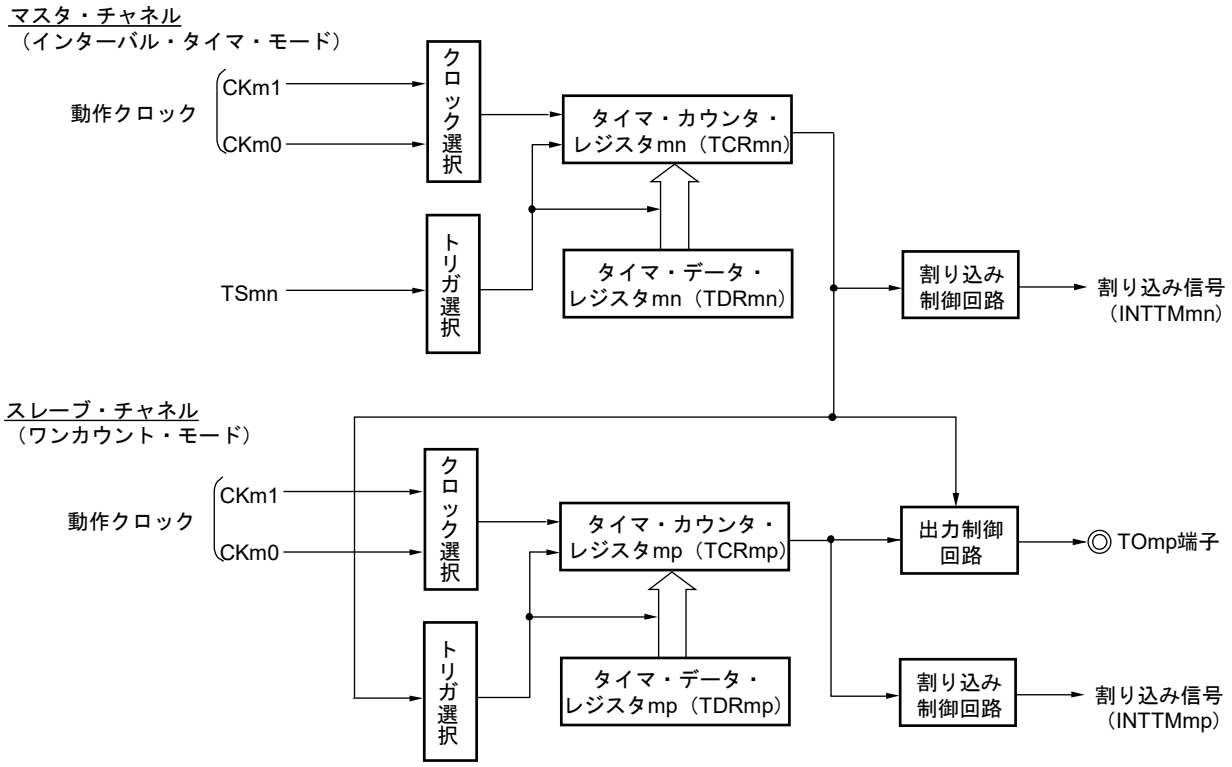
PWM機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）のデューティとなります。

PWM出力（TOmp）は，マスタ・チャネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタを両方とも書き換える場合，2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは，マスタ・チャネルのINTTMmn発生時となります。そのため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は期待通りの波形を出力できません。したがって，マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

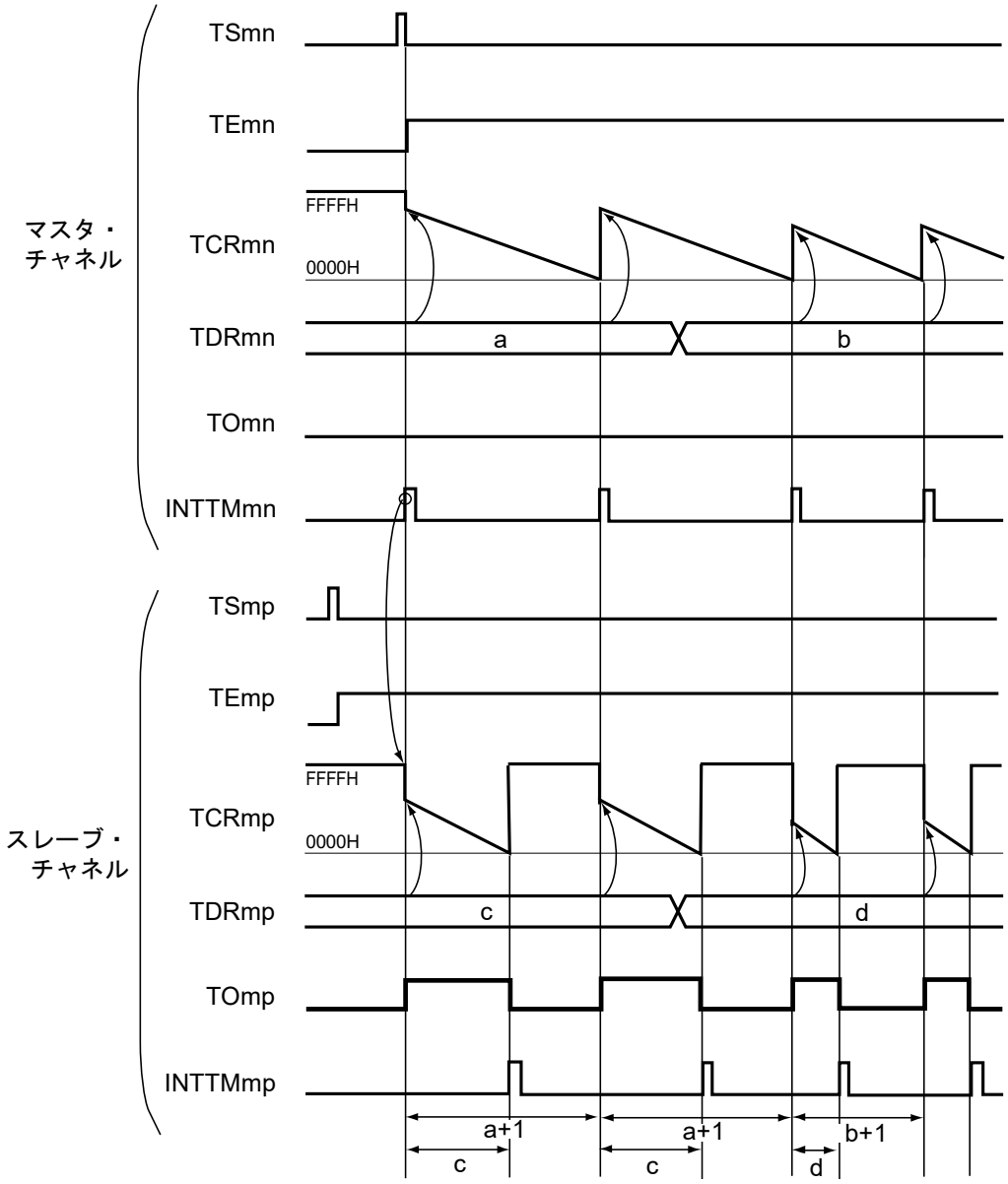
図8－70　PWM機能としての動作のブロック図



備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

図8－71　PWM機能としての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

2.　TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p

TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）

TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）

TOmn, TOmp　：TOmn, TOmp端子出力信号

図8－72　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTERmnビットの設定（チャネル2, 4, 6）
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図8－73　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmp（TMRmp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TImp端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLITmpビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルpの動作クロックにCKm0を選択
10B：チャネルpの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタm（TOm）

	ビットp
TOm	TOmp
	1/0

0：TOmpより0を出力
1：TOmpより1を出力

（c）タイマ出力許可レジスタm（TOEm）

	ビットp
TOEm	TOEmp
	1/0

0：カウント動作によるTOmp出力動作停止
1：カウント動作によるTOmp出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットp
TOLm	TOLmp
	1/0

0：正論理出力（アクティブ・ハイ）
1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

	ビットp
TOMm	TOMmp
	1

1：スレーブ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合：MASTERmnビット
TMRm1, TMRm3の場合：SPLITmpビット
TMRm5, TMRm7：0固定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

図8－74　PWM機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタmn，mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はTOmp設定レベルを出力

（備考は次ページにあります。）

図8－74　PWM機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャネルがカウント動作開始し，INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn，TMRmpレジスタ，TOMmn，TOMmp，TOLmn，TOLmpビットは，設定値変更禁止 TDRmn，TDRmpレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmpビットが0になり，TOmp端子はポート機能となる）

動作再開

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

8. 9. 3　多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャネルを2個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 ＝｛TDRmn（マスタ）の設定値＋1｝×カウント・クロック周期
デューティ1 [%] ＝｛TDRmp（スレーブ1）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100
デューティ2 [%] ＝｛TDRmq（スレーブ2）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100

備考　TDRmp（スレーブ1）の設定値＞｛TDRmn（マスタ）の設定値＋1｝の場合
または TDRmq（スレーブ2）の設定値＞｛TDRmn（マスタ）の設定値＋1｝の場合は，
デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル1のTCRmpレジスタは，ワンカウント・モードで動作して，デューティをカウントし，TOmp端子よりPWM波形を出力します。TCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして，タイマ・データ・レジスタmp（TDRmp）の値をロードし，ダウン・カウントを行います。TCRmp = 0000Hとなったら，INTTMmpを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

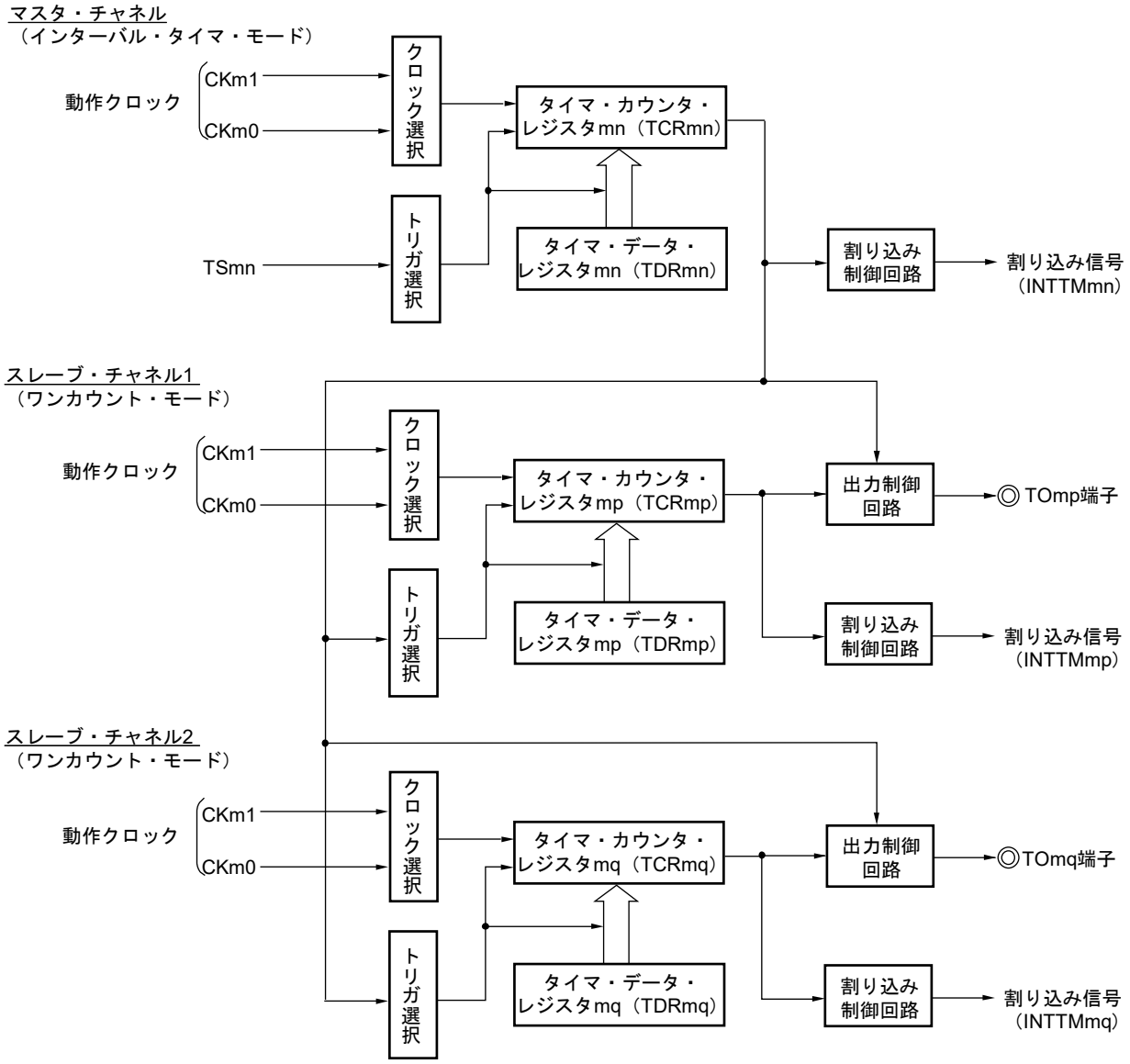
スレーブ・チャネル2のTCRmqレジスタも，スレーブ・チャネル1のTCRmpレジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TOmq端子よりPWM波形を出力します。TCRmqレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして，TDRmqレジスタの値をロードし，ダウン・カウントを行います。TCRmq = 0000Hとなったら，INTTMmqを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmqの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして，チャネル0をマスタ・チャネルとした場合は，最大7種のPWMを同時に出力できます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネル1のTDRmpレジスタを両方とも書き換える場合，最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは，マスタ・チャネルのINTTMmn発生後となるため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は，期待通りの波形を出力できません。したがって，TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。（スレーブ・チャネル2のTDRmqレジスタの場合も同様です。）

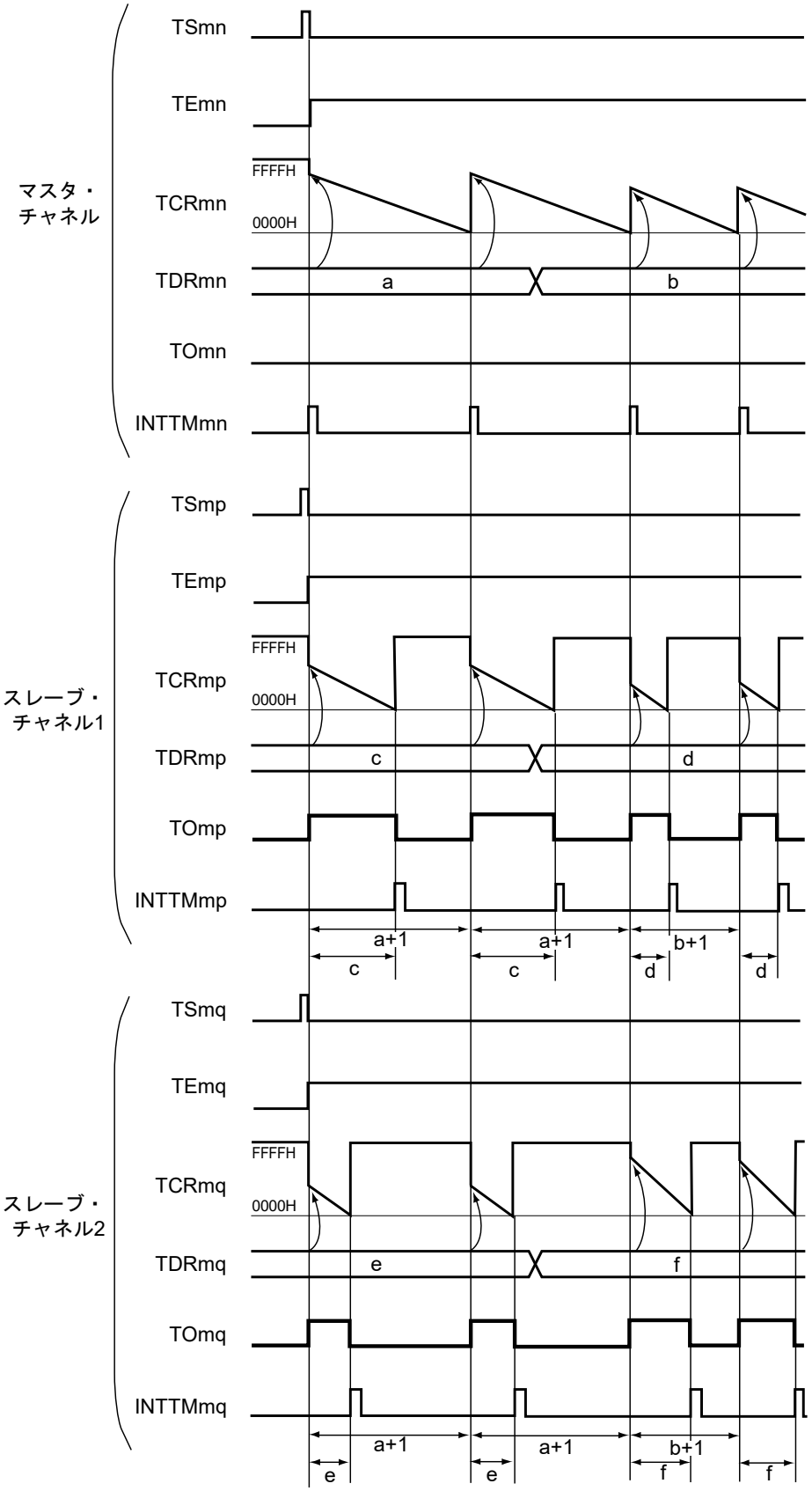
備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図8－75　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）



備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図8－76　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



（備考は次ページにあります。）

備考1. m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

2. TSmn, TSmp, TSmq　：タイマ・チャネル開始レジスタm（TSm）のビットn, p, q
TEmn, TEmp, TEmq　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p, q
TCRmn, TCRmp, TCRmq　：タイマ・カウンタ・レジスタmn, mp, mq（TCRmn, TCRmp, TCRmq）
TDRmn, TDRmp, TDRmq　：タイマ・データ・レジスタmn, mp, mq（TDRmn, TDRmp, TDRmq）
TOmn, TOmp, TOmq　：TOmn, TOmp, TOmq端子出力信号

図8－77　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTERmnビットの設定（チャネル2,4,6）
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）

図8－78　多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

（a）タイマ・モード・レジスタmp, mq（TMRmp, TMRmq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
TMRmq	CKSmq1	CKSmq0		CCSmq	M/S注	STSmq2	STSmq1	STSmq0	CISmq1	CISmq0			MDmq3	MDmq2	MDmq1	MDmq0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルp, qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TImp, TImq端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmp, MASTERmqビットの設定（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLITmp, SPLITmqビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルp, qの動作クロックにCKm0を選択
10B：チャネルp, qの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタm（TOm）

	ビットq	ビットp	
TOm	TOmq	TOmp	0：TOmp, TOmqより0を出力する
	1/0	1/0	1：TOmp, TOmqより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットq	ビットp	
TOEm	TOEmq	TOEmp	0：カウント動作によるTOmp, TOmq出力動作停止
	1/0	1/0	1：カウント動作によるTOmp, TOmq出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットq	ビットp	
TOLm	TOLmq	TOLmp	0：正論理出力（アクティブ・ハイ）
	1/0	1/0	1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

	ビットq	ビットp	
TOMm	TOMmq	TOMmp	1：スレーブ・チャネル出力モードを設定
	1	1	

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmp, MASTERmqビット
TMRm1, TMRm3の場合　：SPLITmp, SPLITmqビット
TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図8－79　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入力クロック供給状態， 各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq（TMRmn, TMRmp, TMRmq）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmp，TDRmqレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmp, TOMmqビットに1（スレーブ・チャネル出力モード）を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し，TOmp, TOmq出力の初期レベルを確定する TOEmp，TOEmqビットに1を設定し，TOmp，TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp, TOmq初期設定レベルが出力される。 チャネルは動作停止状態なので，TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作開始	（動作再開時のみTOEmp, TOEmq（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp，TSmq（スレーブ）ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp, TEmq = 1となる マスタ・チャネルがカウント動作開始し，INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

（備考は次ページにあります。）

動作再開（次ページへ）

図8－79　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開（前ページへ）

	ソフトウエア操作	ハードウエアの状態
動　作 中	TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは, 設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは，常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn ＝ 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネル1では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmpレジスタ値をTCRmpレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 スレーブ・チャネル2では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmqレジスタ値をTCRmqレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmq出力レベルをインアクティブ・レベルにして，カウント動作を停止する。以降，この動作を繰り返す。
動　作 停止	TTmn（マスタ），TTmp，TTmq（スレーブ）ビットに同時に1を設定する TTmn, TTmp, TTmqビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp, TEmq = 0になり，カウント動作停止 TCRmn，TCRmp，TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmp, TOEmqビットに0を設定し，TOmp, TOmqビットに値を設定する	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
TAU 停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmp, TOmqビットに0を設定する TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要	TOmp，TOmq端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmp, TOmqビットが0になり，TOmp, TOmq端子はポート機能となる）

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の連続した整数）

8. 10　タイマ・アレイ・ユニット使用時の注意事項

8. 10. 1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには，他方の兼用機能の出力を初期状態にする必要があります。

詳細は，**4. 5　兼用機能使用時のレジスタの設定**を参照してください。

（a）TO02-TO07出力を使用する場合（80ピン製品のみ）

ポート・モード・レジスタ（PMxxビット）およびポート・レジスタ（Pxxビット）に0を設定するだけでなく，LCDポート・ファンクション・レジスタ4（PFSEG37-PFSEG32）の対応するビットを必ず“0”に設定してください。

（b）TO01, TO06, TO07出力を使用する場合（64ピン製品のみ）

ポート・モード・レジスタ（PMxxビット）およびポート・レジスタ（Pxxビット）に0を設定するだけでなく，LCDポート・ファンクション・レジスタ2（PFSEG18）およびLCDポート・ファンクション・レジスタ3（PFSEG24-PFSEG25）の対応するビットを必ず“0”に設定してください。

（c）P43, P41に割り当てられたTO00, TO01出力を使用する場合

ポート・モード・レジスタ（PM43，PM41ビット）およびポート・レジスタ（P43，P41ビット）に0を設定するだけでなく，兼用になっているPCLBUZ1，PCLBUZ0出力を0にするために，クロック出力選択レジスタn（CSKn）のビット7を初期状態と同じ設定にしてください。

（d）P07-P02に割り当てられたTO02-TO07出力を使用する場合

ポート・モード・レジスタ（PM07-PM02ビット）およびポート・レジスタ（P07-P02ビット）に0を設定するだけでなく，兼用になっているP07/SO00/TxD0，P06/SDA00，P05/SCK00/SCL00, P04/TxD1, P03/SDA10, P02/SCL10出力を1にするために，シリアル・チャネル許可ステータス・レジスタ0（SE0），シリアル出力レジスタ0（SO0），シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定にしてください。

（e）P31に割り当てられたTO06出力を使用する場合

ポート・モード・レジスタ（PM06ビット）およびポート・レジスタ（P06ビット）に0を設定するだけでなく，　兼用になっているP06/TxD2/IrTxD出力を1にするために，シリアル・チャネル許可ステータス・レジスタ0（SE0），シリアル出力レジスタ0（SO0），シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定にしてください。

第9章　独立電源RTC

9. 1　独立電源RTCの機能

RTCはカウントモードとして，カレンダカウントモードとバイナリカウントモードの2種類を持ち，レジスタの設定により切り替えて使用します。

カレンダカウントモードは，2000年から2099年の100年間を，うるう年を自動で判定してカウントするモードです。

バイナリカウントモードは，年，月，日，曜日，時，分の概念を持たず，秒のみをカウントし，その情報をシリアル値として保持するモードで，西暦以外のカレンダに対応できます。

RTCは，カウントソースをプリスケーラで分周した128 Hzクロックを基準クロックとして年，月，日，曜日，午前／午後（12時間モード時），時，分，秒，または32ビットバイナリを1/128秒単位でカウントします。

表9－1にRTCの仕様を，**図9－1**にRTCのブロック図を，**表9－2**にRTCの入出力端子を示します。

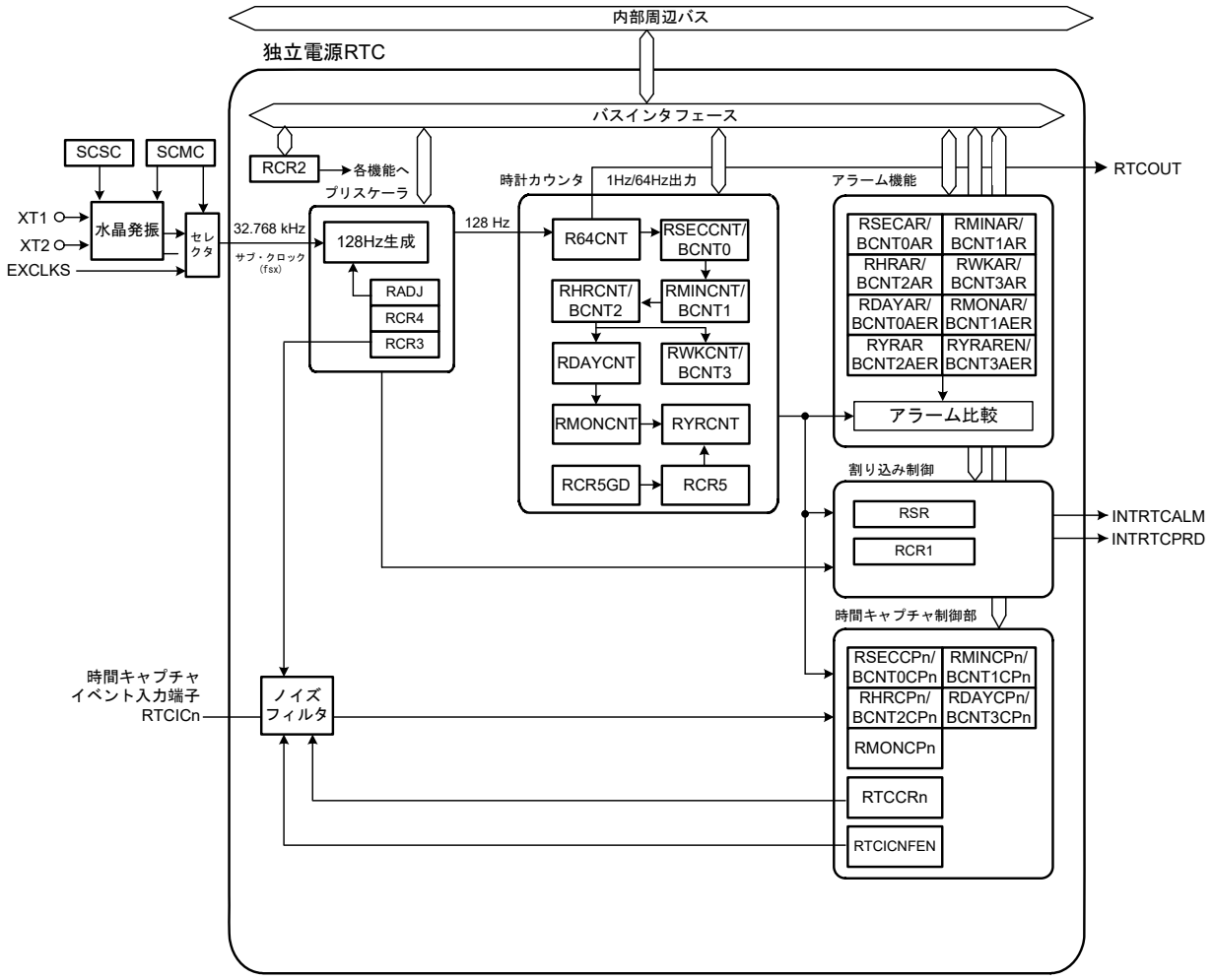
表9－1　RTCの仕様

項目	内容
カウントモード	カレンダカウントモード／バイナリカウントモード
カウントソース	サブ・クロック(f_{SX})注
時計／カレンダ機能	● カレンダカウントモード 年，月，日，曜日，時，分，秒をカウント，BCD表示 12時間/24時間モード切り替え機能 30秒調整機能（30秒未満は00秒に切り捨て，30秒以降は1分に桁上げ） うるう年自動補正機能 ● バイナリカウントモード 秒を32ビットでカウント，バイナリ表示 ● 両モード共通 スタート／ストップ機能 秒以下の桁のバイナリ表示（1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz, 32 Hz, 64 Hz） 時計誤差補正機能 クロック（1 Hz/64 Hz）出力
割り込み	● アラーム割り込み（ALM） アラーム割り込み条件として，以下のいずれと比較するか選択可能 カレンダカウントモード：年，月，日，曜日，時，分，秒 バイナリカウントモード：32ビットバイナリカウンタの各ビット ● 周期割り込み（PRD） 割り込み周期として，2秒，1秒，1/2秒，1/4秒，1/8秒，1/16秒，1/32秒，1/64秒，1/128秒，1/256秒周期から選択可能 ● アラーム割り込み，周期割り込みによる，スタンバイモードからの復帰が可能
時間キャプチャ機能	● 時間キャプチャイベント入力端子のエッジ検出によって，時間のキャプチャが可能 イベント入力ごとに，月，日，時，分，秒をキャプチャ，または32ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力

（注は次ページにあります。）

注　XT1発振回路は，VRTC電源で動作します。VRTC端子に電源を投入後，RTCパワーオン・リセット解除後に動作可能となります。VRTC電源供給が停止した場合，RTCパワーオン・リセットが発生し，XT1発振回路は動作を停止します。

図9－1　RTCのブロック図



R64CNT: ：64Hzカウンタ
RSECCNT/BCNT0: ：秒カウンタ/バイナリカウンタ0
RMINCNT/BCNT1: ：分カウンタ/バイナリカウンタ 1
RHRCNT/BCNT2: ：時カウンタ/バイナリカウンタ 2
RWKCNT/BCNT3: ：曜日カウンタ/バイナリカウンタ3
RDAYCNT: ：日カウンタ
RMONCNT: ：月カウンタ
RYRCNT: ：年カウンタ
RSR: ：ステータスレジスタ
RCR1: ：RTCコントロールレジスタ1
RCR2: ：RTCコントロールレジスタ2
RCR3: ：RTCコントロールレジスタ3
RCR4: ：RTCコントロールレジスタ4
RCR5: ：RTCコントロールレジスタ5
RCR5GD: ：RCR5ガードレジスタ
RADJ: ：時間誤差補正レジスタ
RTCCRn: ：時間キャプチャ制御レジスタn
RSECCPn/BCNT0CPn: ：秒キャプチャレジスタn/BCNT0キャプチャレジスタn
RMINCPn/BCNT1CPn: ：分キャプチャレジスタn/BCNT1キャプチャレジスタn
RHRCPn/BCNT2CPn: ：時キャプチャレジスタn/BCNT2キャプチャレジスタn
RDAYCPn/BCNT3CPn: ：日キャプチャレジスタn/BCNT3キャプチャレジスタn
RMONCPn: ：月キャプチャレジスタn
RSECAR/BCNT0AR: ：秒アラームレジスタ/バイナリカウント0アラームレジスタ
RMINAR/BCNT1AR: ：分アラームレジスタ/バイナリカウント1アラームレジスタ
RHRAR/BCNT2AR: ：時アラームレジスタ/バイナリカウント2アラームレジスタ
RWKAR/BCNT3AR: ：曜日アラームレジスタ/バイナリカウント3アラームレジスタ
RDAYAR/BCNT0AER: ：日アラームレジスタ/バイナリカウント0アラーム許可レジスタ
RMONAR/BCNT1AER: ：月アラームレジスタ/バイナリカウント1アラーム許可レジスタ
RYRAR/BCNT2AER: ：年アラームレジスタ/バイナリカウント2アラーム許可レジスタ
RYRAREN/BCNT3AER: ：年アラーム許可レジスタ/バイナリカウント3アラーム許可レジスタ

備考　n = 0～2

表9－2　RTCの入出力端子

端子名	入出力	機能
XT1	入力	32.768 kHzの水晶振動子を接続します。
XT2	入力	
EXCLKS	入力	32.768 kHzの外部クロック入力を接続します。
RTCOUT	出力	1 Hz/64 Hzの波形を出力します。
RTCIC0	入力	時間キャプチャイベント入力端子です
RTCIC1	入力	
RTCIC2	入力	

9. 2　独立電源RTCを制御するレジスタ

RTCのレジスタの書き込み／読み出しは，**9. 6. 4　レジスタの書き込み／読み出し時の注意事項**に従って行う必要があります。

RTCのレジスタで，リセット時の値が不定の場合は，リセットでは初期化されません。また，カウント動作時（RCR2.STARTビット="1"のとき）にリセット状態へ遷移した場合，年／月／曜日／日／時／分／秒／64 Hzカウンタは動作を継続します。レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は，レジスタ値を破壊する可能性がありますので，ご注意ください。

独立電源RTCを制御するレジスタで，レジスタの電源ドメイン，リセット発生時の初期値，VRTCENの設定によるレジスタのリード／ライト可否を**表9－3**に示します。

表9－3　RTC関連レジスター覧（1/2）

特殊機能レジスタ（SFR）名称	ビット名称	電源ドメイン	RTCパワーオン・リセット	MCUリセット時		RTCソフトウエアリセット	VRTCENの設定によるR/W可否	
				パワーオン・リセット	RTCPOR以外[注2]		VRTCEN=0	VRTCEN=1
PER2	VRTCEN	V_{DD}[注1]	—	0	0	—	R/W可	R/W可[注6]
R64CNT	—	VRTC	不定	—	—	00H	R不可	R可[注4]
RSECCNT/BCNT0	—	VRTC	不定	—	—	—	R/W不可	R/W可[注4, 7, 9]
RMINCNT/BCNT1	—	VRTC	不定	—	—	—	R/W不可	R/W可[注4, 7, 9]
RHRCNT/BCNT2	—	VRTC	不定	—	—	—	R/W不可	R/W可[注4, 7, 9]
RWKCNT/BCNT3	—	VRTC	不定	—	—	—	R/W不可	R/W可[注4, 7, 9]
RDAYCNT	—	VRTC	不定	—	—	—	R/W不可	R/W可[注4, 7, 9]
RMONCNT	—	VRTC	不定	—	—	—	R/W不可	R/W可[注4, 7, 9]
RYRCNT	—	VRTC	不定	—	—	—	R/W不可	R/W可[注4, 7, 9]
RSECAR/BCNT0AR	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注7]
RMINAR/BCNT1AR	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注7]
RHRAR/BCNT2AR	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注7]
RWKAR/BCNT3AR	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注7]
RDAYAR/BCNT0AER	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注7]
RMONAR/BCNT1AER	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注7]
RYRAR/BCNT2AER	—	VRTC	不定	—	—	0000H	R/W不可	R/W可[注7]
RYRAREN/BCNT3AER	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注7]
RCR1	AIE	VRTC	不定	—	—	—	R/W不可	R/W可[注5, 8, 10]
	PIE	VRTC	不定	—	—	—	R/W不可	R/W可[注5, 8, 10]
	RTCOS	V_{DD}[注1]	—	0	—	—	R/W不可	R/W可[注6, 9]
	PES	VRTC	不定	—	—	—	R/W不可	R/W可[注8, 10]
RCR2	START	VRTC	不定	—	—	—	R/W不可	R/W可[注5, 8, 10]
	RESET	V_{DD}[注1]	—	0	—	—	R/W不可	R/W可[注6, 8, 10]
	ADJ30	V_{DD}[注1]	—	0	—	0	R/W不可	R/W可[注6, 8, 10]
	RTCOE	V_{DD}[注1]	—	0	—	—	R/W不可	R/W可[注6, 9]
	AADJE	VRTC	不定	—	—	0	R/W不可	R/W可[注7]

表9－3　RTC関連レジスター覧（2/2）

特殊機能レジスタ（SFR）名称	ビット名称	電源ドメイン	RTCパワーオン・リセット	MCUリセット時		RTCソフトウエアリセット	VRTCENの設定によるR/W可否	
				パワーオン・リセット	RTCPOR以外[注2]		VRTCEN=0	VRTCEN=1
RCR2	AADJP	VRTC	不定	—	—	0	R/W不可	R/W可[注7]
	HR24	VRTC	不定	—	—	—	R/W不可	R/W可[注7, 9]
	CNTMD	VRTC	不定	—	—	—	R/W不可	R/W可[注8, 10]
RCR3	RTCICEN	VRTC	不定	—	—	—	R/W不可	R/W可[注7]
RCR4	RCKSEL	VRTC	不定	—	—	—	R/W不可	R/W可[注7]
RCR5	—	VRTC	不定	—	—	—	R/W不可	R/W可[注7]
RCR5GD	—	V_{DD}[注1]	—	00H	—	—	W不可	W可
RADJ	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注8, 10]
RTCCRy (y=0-2)	—	VRTC	不定	—	—	00H	R/W不可	R/W可[注8, 10]
RSECCPy/BCNT0CPy (y=0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RMINCPy/BCNT1CPy (y=0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RHRCPy/BCNT2CPy (y=0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RDAYCPy/BCNT3CPy (y=0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RMONCPy (y=0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RSR	AF	V_{DD}[注1]	—	0[注3]	—	0	R/W不可	R/W可[注6]
	CF	V_{DD}[注1]	—	0[注3]	—	0	R/W不可	R/W可[注6]
	PF	V_{DD}[注1]	—	0[注3]	—	0	R/W不可	R/W可[注6]
SCMC	—	VRTC	00H	—	—	—	R/W不可	R/W可[注6]
SCSC	—	VRTC	40H	—	—	—	R/W不可	R/W可[注6]
RTCPORSR	—	VRTC	00H	—	—	—	R/W不可	R/W可[注6]
RTCICNFEN	—	VRTC	00H	—	—	—	R/W不可	R/W可[注6]

注1. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

2. リセット要因は，**第27章　リセット機能**の（1）～（7）を参照してください。

3. リセット解除後，読み出し値が不定になる場合があります。

4. 下記のいずれかの条件の後に時計カウンタの値を読み出す場合は，時計動作中（RCR2.STARTビット＝“1”）で1/128秒待ってから読み出しを行ってください。
- -RTCPOR以外のリセット（RTCソフトウェアリセットを除く）から復帰した後
- -パワーオン・リセット状態から復帰した後
- -STOPモードから復帰した後
- -RTCLPC = 1かつサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモードから復帰した後
- -VRTCENを0から1に設定した後

5. VRTCENを0から1に設定後，CPUクロック（f_{CLK}）で2サイクル待ってから読み出しを行ってください。

6. 書き込み後すぐに書いた値を読み出すことができます。

7. 書き込み後の読み出しは，CPUクロック（f_{CLK}）で4サイクル目から読み出しが可能です。

8. カウントソースに同期して更新されるので，レジスタを書き換えた場合は，値が更新されたことを確認してから次の処理を実行してください。

9. カウント動作時（RCR2.STARTビット ＝1のとき）は，書き込みを行わないでください。書き込みを行う場合は，一度カウント動作を停止してから書き込んでください。

10. リセット発生後，RTCレジスタへの書き込みは，カウントソースクロック6サイクル経過後に行ってください。VRTCが遮断状態のとき，RTC関連レジスタを設定するのは禁止です。

9. 2. 1　周辺イネーブル・レジスタ2（PER2）

PER2レジスタは，各周辺ハードウェア・マクロへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。独立電源RTCのレジスタを操作するときは，必ずビット0（VRTCEN）を“1”に設定してください。PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により，00Hになります。

図9－2　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F00FCH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	OSDCEN	0	0	0	MACEN	0	VRTCEN

VRTCEN	独立電源RTC（VRTC電源動作回路を含む）へのクロック供給／停止制御
0	SFRに対するライトクロックのみ停止（独立電源RTCはf_{SX}で動作可能）独立電源RTCのSFRに対するライト不可。リード時は00Hが読み出される。
1	SFRに対するリード/ライトクロック供給（独立電源RTCはf_{SX}で動作可能）独立電源RTCのSFRに対するリード／ライトが可能。

注意1. バッテリバックアップ機能を使用しない場合，V_{DD}端子の電源電圧が1.9 V以下に低下した場合にVRTC端子でリーク電流が発生する可能性があります。その為，独立電源RTCのSFRにリード／ライトする時以外はVRTCEN = 0に設定してください。

2. バッテリバックアップ機能を使用時，VBAT端子の電源電圧が1.9 V以下に低下した場合にVRTC端子でリーク電流が発生する可能性があります。その為，独立電源RTCのSFRにリード／ライトする時以外はVRTCEN = 0に設定してください。

3. VRTC端子に電源が供給されていない時にはVRTCEN = 0に設定してください。

4. 次のビットには必ず“0”を設定してください。
ビット1, 3～5

9. 2. 2　64 Hzカウンタ（R64CNT）

R64CNTカウンタは，カレンダカウントモード／バイナリカウントモード共通で使用します。

R64CNTカウンタは，128 Hzクロックでアップカウントするカウンタで，秒周期を生成します。

R64CNTカウンタを読み出すことで，秒以下の状態が確認できます。

RTCソフトウェアリセットまたは30秒調整を実行すると“00h”になります。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－3　64 Hzカウンタ（R64CNT）のフォーマット

アドレス：F0581H　　リセット時：不定　　R

略号	7	6	5	4	3	2	1	0
R64CNT	0	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ

F1HZ	1 Hzビット
秒以下の桁の1 Hzの状態を示します。	

F2HZ	2 Hzビット
秒以下の桁の2 Hzの状態を示します。	

F4HZ	4 Hzビット
秒以下の桁の4 Hzの状態を示します。	

F8HZ	8 Hzビット
秒以下の桁の8 Hzの状態を示します。	

F16HZ	16 Hzビット
秒以下の桁の16 Hzの状態を示します。	

F32HZ	32 Hzビット
秒以下の桁の32 Hzの状態を示します。	

F64HZ	64 Hzビット
秒以下の桁の64 Hzの状態を示します。	

9. 2. 3　秒カウンタ（RSECCNT）／バイナリカウンタ0（BCNT0）

(1) カレンダカウントモード時

RSECCNTカウンタは，BCDコード化された秒部分の設定・カウント用のカウンタであり，64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は，10進（BCD）で“00”～“59”です。それ以外の値が設定されると，正常に動作しません。また，書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－4　秒カウンタ（RSECCNT）のフォーマット

アドレス：F0583H　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
RSECCNT	0	SEC10			SEC1			

SEC10	10秒カウントビット
十秒の位は0から5をカウントして，60秒のカウントを行います。	

SEC1	1秒カウントビット
一秒の位は1秒ごとに0から9をカウントします。桁上げが発生すると，十秒の位が+1されます。	

(2) バイナリカウントモード時

BCNT0カウンタは，書き込み／読み出し可能な32ビットバイナリカウンタのb7～b0です。

32ビットバイナリカウンタは，64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－5　バイナリカウンタ0（BCNT0）のフォーマット

アドレス：F0583H　　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT0	BCNT[7:0]							

9. 2. 4　分カウンタ（RMINCNT）／バイナリカウンタ1（BCNT1）

(1) カレンダカウントモード時

RMINCNTカウンタは，BCDコード化された分部分の設定，カウント用のカウンタであり，秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は，10進（BCD）で“00”～“59”です。それ以外の値が設定されると，正常に動作しません。また，書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－6　分カウンタ（RMINCNT）のフォーマット

アドレス：F0585H　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RMINCNT	0	MIN10			MIN1			

MIN10	10分カウントビット
十分の位は0から5をカウントして，60分のカウントを行います。	

MIN1	1分カウントビット
一分の位は1分ごとに0から9をカウントします。桁上げが発生すると，十分の位が+1されます。	

(2) バイナリカウントモード時

BCNT1カウンタは，書き込み／読み出し可能な32ビットバイナリカウンタのb15～b8です。

32ビットバイナリカウンタは，64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－7　バイナリカウンタ1（BCNT1）のフォーマット

アドレス：F0585H　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT1	BCNT[15:8]							

9. 2. 5　時カウンタ（RHRCNT）／バイナリカウンタ2（BCNT2）

(1) カレンダカウントモード時

RHRCNTカウンタは，BCDコード化された時部分の設定・カウント用のカウンタであり，分カウンタの1時間ごとの桁上げによってカウント動作を行います。

設定可能範囲は，時間モードビット（RCR2.HR24）によってそれぞれ以下の範囲となります。

RCR2.HR24ビットが“0”：10進（BCD）で“00”～“11”

RCR2.HR24ビットが“1”：10進（BCD）で“00”～“23”

上記以外の値が設定されると，正常に動作しません。また，書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

RHRCNTカウンタを読み出す場合は，RCR2.HR24 ビットが“0”の場合のみPMビットが有効になります。

RCR2.HR24ビットが“1”の場合は，PMビットの値を無視してください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－8　時カウンタ（RHRCNT）のフォーマット

アドレス：F0587H　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
RHRCNT	0	PM	HR10		HR1			

PM	PMビット
0	午前
1	午後
時カウンタのAM/PMの設定を行います。	

HR10	10時間カウントビット
十時間の位は一時間の位の桁上げごとに0から2をカウントします。	

HR1	1時間カウントビット
一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると，十時間の位が+1されます。	

(2) バイナリカウントモード時

BCNT2カウンタは，書き込み／読み出し可能な32ビットバイナリカウンタのb23～b16です。

32ビットバイナリカウンタは，64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－9　バイナリカウンタ2（BCNT2）のフォーマット

アドレス：F0587H　　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT2	BCNT[23:16]							

9. 2. 6　曜日カウンタ（RWKCNT）／バイナリカウンタ3（BCNT3）

(1) カレンダカウントモード時

RWKCNTカウンタはコード化された曜日部分の設定・カウント用のカウンタであり，時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は，10進で“0”～“6”です。それ以外の値が設定されると，正常に動作しません。また，書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－10　曜日カウンタ（RWKCNT）のフォーマット

アドレス：F0589H　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
RWKCNT	0	0	0	0	0	DAYW		

DAYW	曜日カウントビット
000	日曜日
001	月曜日
010	火曜日
011	水曜日
100	木曜日
101	金曜日
110	土曜日
111	設定禁止

(2) バイナリカウントモード時

BCNT3カウンタは，書き込み／読み出し可能な32ビットバイナリカウンタのb31～b24です。

32ビットバイナリカウンタは，64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－11　バイナリカウンタ3（BCNT3）のフォーマット

アドレス：F0589H　　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT3	BCNT[31:24]							

9. 2. 7　日カウンタ（RDAYCNT）

RDAYCNTカウンタは，カレンダカウントモード時に使用します。

RDAYCNTカウンタは，BCDコード化された日部分の設定・カウント用のカウンタであり，時カウンタの1日ごとの桁上げによってカウント動作を行います。また，うるう年，月に対応したカウント動作を行います。

うるう年は年カウンタ（RYRCNT）の“00”を2000年とみなして2000年から2099年を，400，100，4で割り切れるかどうかによって計算されます。

設定可能範囲は，10進（BCD）で“01”～“31”です。それ以外の値が設定されると，正常に動作しません（月ごとおよびうるう年によって設定可能範囲が変化しますので，確認の上，設定してください）。また，書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－12　日カウンタ（RDAYCNT）のフォーマット

アドレス：F058BH　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RDAYCNT	0	0	DATE10		DATE1			

DATE10	10日カウントビット
十日の位は一日の位の桁上げごとに0～3をカウントします。	

DATE1	1日カウントビット
一日の位は1日ごとに0～9をカウントします。桁上げが発生すると十日の位が+1されます。	

9. 2. 8　月カウンタ（RMONCNT）

RMONCNTカウンタは，カレンダカウントモード時に使用します。

RMONCNTカウンタは，BCDコード化された月部分の設定・カウント用のカウンタであり，日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は，10進（BCD）で“01”～“12”です。それ以外の値が設定されると，正常に動作しません。また，書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9－13　月カウンタ（RMONCNT）のフォーマット

アドレス：F058DH　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
RMONCNT	0	0	0	MON10	MON1			

MON10	10月カウントビット
十月の位は一月の位の桁上げごとに0～1をカウントします。	

MON1	1月カウントビット
一月の位は1月ごとに0～9をカウントします。桁上げが発生すると十月の位が+1されます。	

9. 2. 9　年カウンタ（RYRCNT）

RYRCNTカウンタは，カレンダカウントモード時に使用します。

RYRCNTカウンタは，BCDコード化された年部分の設定・カウント用のカウンタであり，月カウンタの1年ごとの桁上げによって，カウント動作を行います。

設定可能範囲は，10進（BCD）で“00”～“99”です。それ以外の値が設定されると，正常に動作しません。また，書き込みは，スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。

RYRCNTレジスタは，16ビット・メモリ操作命令でのみ設定可能です。

図9－14　年カウンタ（RYRCNT）のフォーマット

アドレス：F058EH　　リセット時：不定　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RYRCNT	0	0	0	0	0	0	0	0	YR10				YR1			

YR10	10年カウントビット
十年の位は一年の位の桁上げごとに0～9をカウントします。	

YR1	1年カウントビット
一年の位は1年ごとに0～9をカウントします。桁上げが発生すると十年の位が+1されます。	

9. 2. 10　秒アラームレジスタ（RSECAR）／バイナリカウンタ0アラームレジスタ（BCNT0AR）

(1) カレンダカウントモード時

RSECARレジスタは，BCDコード化された秒カウンタ（RSECCNT）に対応するアラームレジスタです。ENBビットが“1”であれば，RSECARレジスタの値とRSECCNTカウンタの値との比較を行います。アラームレジスタ（RSECAR，RMINAR，RHRAR，RWKAR，RDAYAR，RMONAR，RYRAREN）のうち，ENBビットが“1”になっているもののみ，カウンタとアラームレジスタの比較を行い，おのおのがすべて一致するとき，RSRレジスタのアラームフラグが“1”になります。

設定可能範囲は，10進（BCD）で“00”～“59”であり，それ以外の値が設定されると，正常に動作しません。

RTCソフトウェアリセットを実行すると00hになります。

図9－15　秒アラームレジスタ（RSECAR）のフォーマット

アドレス：F0591H　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RSECAR	ENB	SEC10			SEC1			

ENB	ENBビット
0	RSECCNTカウンタの値と比較を行わない。
1	RSECCNTカウンタの値と比較を行う。

SEC10	10秒ビット
十秒の位の設定値	

SEC1	1秒ビット
一秒の位の設定値	

(2) バイナリカウントモード時

BCNT0ARカウンタは，32ビットバイナリカウンタのb7～b0に対応する書き込み／読み出し可能なアラームレジスタです。

RTCソフトウェアリセットを実行すると00hになります。

図9－16　バイナリカウンタ0アラームレジスタ（BCNT0AR）のフォーマット

アドレス：F0591H　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT0AR	BCNTAR[7:0]							

9. 2. 11　分アラームレジスタ（RMINAR）／バイナリカウンタ1アラームレジスタ（BCNT1AR）

(1) カレンダカウントモード時

RMINARレジスタは，BCDコード化された分カウンタ（RMINCNT）に対応するアラームレジスタです。ENBビットが“1”であれば，RMINARレジスタの値とRMINCNTカウンタの値との比較を行います。アラームレジスタ（RSECAR，RMINAR，RHRAR，RWKAR，RDAYAR，RMONAR，RYRAREN）のうち，ENBビットが“1”になっているもののみ，カウンタとアラームレジスタの比較を行い，おのおのがすべて一致するとき，RSRレジスタのアラームフラグが“1”になります。

設定可能範囲は，10進（BCD）で“00”～“59”であり，それ以外の値が設定されると，正常に動作しません。

RTCソフトウェアリセットを実行すると00hになります。

図9－17　分アラームレジスタ（RMINAR）のフォーマット

アドレス：F0593H　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RMINAR	ENB	MIN10			MIN1			

ENB	ENBビット
0	RMINCNTカウンタの値と比較を行わない。
1	RMINCNTカウンタの値と比較を行う。

MIN10	10分ビット
十分の位の設定値	

MIN1	1分ビット
一分の位の設定値	

(2) バイナリカウントモード時

BCNT1ARカウンタは，32ビットバイナリカウンタのb15～b8に対応する書き込み／読み出し可能なアラームレジスタです。

RTCソフトウェアリセットを実行すると00hになります。

図9－18　バイナリカウンタ1アラームレジスタ（BCNT1AR）のフォーマット

アドレス：F0593H　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT1AR	BCNTAR[15:8]							

9. 2. 12　時アラームレジスタ（RHRAR）／バイナリカウンタ2アラームレジスタ（BCNT2AR）

(1) カレンダカウントモード時

RHRARレジスタは，BCDコード化された時カウンタ（RHRCNT）に対応するアラームレジスタです。ENBビットが“1”であれば，RHRARレジスタの値とRHRCNTカウンタの値との比較を行います。アラームレジスタ（RSECAR，RMINAR，RHRAR，RWKAR，RDAYAR，RMONAR，RYRAREN）のうち，ENBビットが“1”になっているもののみ，カウンタとアラームレジスタの比較を行い，おのおのがすべて一致するとき，RSRレジスタのアラームフラグが“1”になります。

設定可能範囲は，時間モードビット（RCR2.HR24）によってそれぞれ以下の範囲となります。

RCR2.HR24ビットが“0”：10進（BCD）で“00”～“11”

RCR2.HR24ビットが“1”：10進（BCD）で“00”～“23”

上記以外の値が設定されると，正常に動作しません。

RCR2.HR24ビットが“0”の場合は，PMビットの設定も行ってください。

RCR2.HR24ビットが“1”の場合は，PMビットの値は無効となります。

RTCソフトウェアリセットを実行すると00hになります。

図9－19　時アラームレジスタ（RHRAR）のフォーマット

アドレス：F0595H　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RHRAR	ENB	PM	HR10		HR1			

ENB	ENBビット
0	RHRCNTカウンタの値と比較を行わない。
1	RHRCNTカウンタの値と比較を行う。

PM	PMビット
0	午前
1	午後
時アラームのAM/PMの設定を行います。	

HR10	10時間ビット
十時間の位の設定値	

HR1	1時間ビット
一時間の位の設定値	

(2) バイナリカウントモード時

BCNT2ARカウンタは，32ビットバイナリカウンタのb23～b16に対応する書き込み／読み出し可能なアラームレジスタです。

RTCソフトウェアリセットを実行すると00hになります。

図9－20　バイナリカウンタ2アラームレジスタ（BCNT2AR）のフォーマット

アドレス：F0595H　　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT2AR	BCNTAR[23:16]							

9. 2. 13　曜日アラームレジスタ（RWKAR）／バイナリカウンタ3アラームレジスタ（BCNT3AR）

(1) カレンダカウントモード時

RWKARレジスタは，コード化された曜日カウンタ（RWKCNT）に対応するアラームレジスタです。ENBビットが“1”であれば，RWKARレジスタの値とRWKCNTカウンタの値との比較を行います。アラームレジスタ（RSECAR，RMINAR，RHRAR，RWKAR，RDAYAR，RMONAR，RYRAREN）のうち，ENBビットが“1”になっているもののみ，カウンタとアラームレジスタの比較を行い，おのおのがすべて一致するとき，RSRレジスタのアラームフラグが“1”になります。

設定可能範囲は，10進で“0”～“6”であり，それ以外の値が設定されると，正常に動作しません。

RTCソフトウェアリセットを実行すると00hになります。

図9－21　曜日アラームレジスタ（RWKAR）のフォーマット

アドレス：F0597H　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RWKAR	ENB	0	0	0	0	DAYW		

ENB	ENBビット
0	RWKCNTカウンタの値と比較を行わない。
1	RWKCNTカウンタの値と比較を行う。

DAYW	曜日の設定値ビット
000	日曜日
001	月曜日
010	火曜日
011	水曜日
100	木曜日
101	金曜日
110	土曜日
“111”は設定しないでください。	

(2) バイナリカウントモード時

BCNT3ARカウンタは，32ビットバイナリカウンタのb31～b24に対応する書き込み／読み出し可能なアラームレジスタです。

RTCソフトウェアリセットを実行すると00hになります。

図9－22　バイナリカウンタ3アラームレジスタ（BCNT3AR）のフォーマット

アドレス：F0597H　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT3AR	BCNTAR[31:24]							

9. 2. 14　日アラームレジスタ（RDAYAR）／バイナリカウンタ0アラーム許可レジスタ（BCNT0AER）

(1) カレンダカウントモード時

RDAYARレジスタは，BCDコード化された日カウンタ（RDAYCNT）に対応するアラームレジスタです。ENBビットが“1”であれば，RDAYARレジスタの値とRDAYCNTカウンタの値との比較を行います。アラームレジスタ（RSECAR，RMINAR，RHRAR，RWKAR，RDAYAR，RMONAR，RYRAREN）のうち，ENBビットが“1”になっているもののみ，カウンタとアラームレジスタの比較を行い，おのおのがすべて一致するとき，RSRレジスタのアラームフラグが“1”になります。

設定可能範囲は，10進（BCD）で“01”～“31”であり，それ以外の値が設定されると，正常に動作しません。

RTCソフトウェアリセットを実行すると00hになります。

図9－23　日アラームレジスタ（RDAYAR）のフォーマット

アドレス：F0599H　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RDAYAR	ENB	0	DATE10		DATE1			

ENB	ENBビット
0	RDAYCNTカウンタの値と比較を行わない。
1	RDAYCNTカウンタの値と比較を行う。

DATE10	10日ビット
十日の位の設定値	

DATE1	1日ビット
一日の位の設定値	

(2) バイナリカウントモード時

BCNT0AERレジスタは，32ビットバイナリカウンタのb7～b0に対応するアラーム許可を設定する書き込み／読み出し可能なレジスタです。ENB[31:0]ビットのうち，“1”になっているビットに対応したバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）の比較を行い，おのおのすべてが一致するとき，RSRレジスタのアラームフラグが“1”になります。

RTCソフトウェアリセットを実行すると00hになります。

図9－24　バイナリカウンタ0アラーム許可レジスタ（BCNT0AER）のフォーマット

アドレス：F0599H　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT0AER	ENB[7:0]							

9. 2. 15　月アラームレジスタ（RMONAR）／バイナリカウンタ1アラーム許可レジスタ（BCNT1AER）

(1) カレンダカウントモード時

RMONARレジスタは，BCDコード化された月カウンタ（RMONCNT）に対応するアラームレジスタです。ENBビットが“1”であれば，RMONARレジスタの値とRMONCNTカウンタの値との比較を行います。アラームレジスタ（RSECAR，RMINAR，RHRAR，RWKAR，RDAYAR，RMONAR，RYRAREN）のうち，ENBビットが“1”になっているもののみ，カウンタとアラームレジスタの比較を行い，おのおのがすべて一致するとき，RSRレジスタのアラームフラグが“1”になります。

設定可能範囲は，10進（BCD）で“01”～“12”であり，それ以外の値が設定されると，正常に動作しません。

RTCソフトウェアリセットを実行すると00hになります。

図9－25　月アラームレジスタ（RMONAR）のフォーマット

アドレス：F059BH　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RMONAR	ENB	0	0	MON10	MON1			

ENB	ENBビット
0	RMONCNTカウンタの値と比較を行わない。
1	RMONCNTカウンタの値と比較を行う。

MON10	10月ビット
十月の位の設定値	

MON1	1月ビット
一月の位の設定値	

(2) バイナリカウントモード時

BCNT1AERレジスタは，32ビットバイナリカウンタのb15～b8に対応するアラーム許可を設定する書き込み／読み出し可能なレジスタです。ENB[31:0]ビットのうち，“1”になっているビットに対応したバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）の比較を行い，おのおのすべてが一致するとき，RSRレジスタのアラームフラグが“1”になります。

RTCソフトウェアリセットを実行すると00hになります。

図9－26　バイナリカウンタ1アラーム許可レジスタ（BCNT1AER）のフォーマット

アドレス：F059BH　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT1AER	ENB[15:8]							

9. 2. 16　年アラームレジスタ（RYRAR）／バイナリカウンタ2アラーム許可レジスタ（BCNT2AER）

(1) カレンダカウントモード時

RYRARレジスタは，BCDコード化された年カウンタ（RYRCNT）に対応するアラームレジスタです。

設定可能範囲は，10進（BCD）で“00”～“99”であり，それ以外の値が設定されると，正常に動作しません。

RTCソフトウェアリセットを実行すると0000hになります。

RYRARレジスタは，16ビット・メモリ操作命令でのみ設定可能です。

図9－27　年アラームレジスタ（RYRAR）のフォーマット

アドレス：F059CH　　リセット時：不定　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RYRAR	0	0	0	0	0	0	0	0	YR10				YR1			

YR10	10年ビット
十年の位の設定値	

YR1	1年ビット
一年の位の設定値	

(2) バイナリカウントモード時

BCNT2AERレジスタは，32ビットバイナリカウンタのb23～b16に対応するアラーム許可を設定する書き込み／読み出し可能なレジスタです。ENB[31:0]ビットのうち，“1”になっているビットに対応したバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）の比較を行い，おのおのすべてが一致するとき，RSRレジスタのアラームフラグが“1”になります。

RTCソフトウェアリセットを実行すると0000hになります。

BCNT2AERレジスタは，16ビット・メモリ操作命令でのみ設定可能です。

図9－28　バイナリカウンタ2アラーム許可レジスタ（BCNT2AER）のフォーマット

アドレス：F059CH　　リセット時：不定

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCNT2AER	0	0	0	0	0	0	0	0	ENB[23:16]							

9. 2. 17　年アラーム許可レジスタ（RYRAREN）／バイナリカウンタ3アラーム許可レジスタ（BCNT3AER）

(1) カレンダカウントモード時

RYRARENレジスタは，ENBビットが“1”であれば，RYRARレジスタの値とRYRCNTカウンタの値との比較を行います。アラームレジスタ（RSECAR，RMINAR，RHRAR，RWKAR，RDAYAR，RMONAR，RYRAREN）のうち，ENBビットが“1”になっているもののみ，カウンタとアラームレジスタの比較を行い，おのおのがすべて一致するとき，RSRレジスタのアラームフラグが“1”になります。

RTCソフトウェアリセットを実行すると00hになります。

図9－29　年アラーム許可レジスタ（RYRAREN）のフォーマット

アドレス：F059FH　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RYRAREN	ENB	0	0	0	0	0	0	0

ENB	ENBビット
0	RYRCNTカウンタの値と比較を行わない。
1	RYRCNTカウンタの値と比較を行う。

(2) バイナリカウントモード時

BCNT3AERレジスタは，32ビットバイナリカウンタのb31～b24に対応するアラーム許可を設定する書き込み／読み出し可能なレジスタです。ENB[31:0]ビットのうち，“1”になっているビットに対応したバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）の比較を行い，おのおのすべてが一致するとき，RSRレジスタのアラームフラグが“1”になります。

RTCソフトウェアリセットを実行すると00hになります。

図9－30　バイナリカウンタ3アラーム許可レジスタ（BCNT3AER）のフォーマット

アドレス：F059FH　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT3AER	ENB[31:24]							

9. 2. 18　RTCコントロールレジスタ1（RCR1）

RCR1レジスタは，カレンダカウントモード／バイナリカウントモード共通で使用します。

AIE，PIE，PESビットは，カウントソースに同期して更新されるので，RCR1レジスタを書き換えた場合は，全ビットの値が更新されたことを確認してから次の処理を実行してください。

図9－31　RTCコントロールレジスタ1（RCR1）のフォーマット

アドレス：F05A3H　　リセット時：不定[注]　　R/W

略号	7	6	5	4	3	2	1	0
RCR1	PES				RTCOS	PIE	0	AIE

PES	周期割り込みの選択
0110	周期割り込み発生の周期は1/256秒ごと
0111	周期割り込み発生の周期は1/128秒ごと
1000	周期割り込み発生の周期は1/64秒ごと
1001	周期割り込み発生の周期は1/32秒ごと
1010	周期割り込み発生の周期は1/16秒ごと
1011	周期割り込み発生の周期は1/8秒ごと
1100	周期割り込み発生の周期は1/4秒ごと
1101	周期割り込み発生の周期は1/2秒ごと
1110	周期割り込み発生の周期は1秒ごと
1111	周期割り込み発生の周期は2秒ごと
上記以外	周期割り込みを発生しない
周期割り込みの周期を設定します。PESビットで設定した周期に応じて周期割り込みを要求します。	

RTCOS	RTCOUT出力の選択
0	RTCOUTは1 Hzを出力。
1	RTCOUTは64 Hzを出力。
RTCOUTの出力周期を選択するビットです。カウント動作停止中（RCR2.STARTビット="0"）かつRTCOUT出力禁止（RCR2.RTCOEビット="0"）のときに書き換えてください。RTCOUTを外部端子に出力する場合は，RCR2.RTCOEビットを有効にしてください。I/Oポートの制御については，**第4章　ポート機能**を参照してください。	

PIE	周期割り込みの制御
0	周期割り込み要求を禁止。
1	周期割り込み要求を許可。
周期割り込み要求の許可または禁止を選択します。	

AIE	アラーム割り込みの制御
0	アラーム割り込み要求を禁止。
1	アラーム割り込み要求を許可。
アラーム割り込み要求の許可または禁止を選択します。	

注　パワーオン・リセット信号の発生により，RTCOSビットは0になります。

注意　ビット1には必ず"0"を設定してください。
また，本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。

9. 2. 19　RTCコントロールレジスタ2（RCR2）

(1) カレンダカウントモード時

RCR2レジスタは，時間モード，自動補正機能，RTCOUT出力許可，30秒調整，RTCソフトウェアリセット，カウント制御に関するレジスタです。

図9－32　RTCコントロールレジスタ2（RCR2）のフォーマット（カレンダカウントモード時）（1/2）

アドレス：F05A5H　　リセット時：不定注　　R/W

略号	7	6	5	4	3	2	1	0
RCR2	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START

CNTMD	カウントモードの選択
0	カレンダカウントモード
1	バイナリカウントモード

RTCのカウントモードを，カレンダカウントモードで動作させるか，バイナリカウントモードで動作させるかを指定するビットです。
カウントモード設定時は，RTCソフトウェアリセットを実行し，初期設定からやり直してください。
本ビットは，カウントソースに同期して更新され，RTCソフトウェアリセット完了までに値が確定します。
初期設定の詳細は，**9. 3. 1　電源投入後のレジスタの初期設定概要**を参照してください。

HR24	時間モードの選択
0	RTCは12時間モードで動作。
1	RTCは24時間モードで動作。

RTCの時間モードを12時間モードで動作させるか，24時間モードで動作させるかを指定するビットです。
HR24ビットの書き換えは，STARTビットでカウント動作を停止させてから行ってください。STARTビットと同時にHR24ビットの値を書き換えないでください。

AADJP	自動補正周期の選択
0	1分ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減する。
1	10秒ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減する。

自動補正周期を選択するビットです。
AADJPビットの書き換えは，プラスマイナスビット（RADJ.PMADJ）を“00b”（補正しない）にしてから行ってください。
RTCソフトウェアリセットを実行するとAADJPビットは，“0”になります。

AADJE	自動補正機能の制御
0	自動補正機能禁止。
1	自動補正機能許可。

自動補正機能の禁止，許可を制御するビットです。
AADJEビットの書き換えは，プラスマイナスビット（RADJ.PMADJ）を“00b”（補正しない）にしてから行ってください。
RTCソフトウェアリセットを実行するとAADJEビットは，“0”になります。

RTCOE	RTCOUT出力の制御
0	RTCOUT出力禁止。
1	RTCOUT出力許可。

RTCOUT（1 Hz/64 Hzクロック）の出力を許可するビットです。
RTCOEビットの書き換えは，STARTビットでカウント動作を停止させてから行ってください。カウント動作を停止（STARTビットへの“0”書き込み）するときは，同時にRTCOEビットの値を書き換えないでください。
RTCOUTを外部端子に出力する場合は，RTCOEビットを許可にし，かつポート制御の設定もしてください。

注　パワーオン・リセット信号の発生により，RESET, ADJ30, RTCOEビットは0になります。

図9－32 RTCコントロールレジスタ2（RCR2）のフォーマット（カレンダカウントモード時）（2/2）

アドレス：F05A5H リセット時：不定[注1] R/W

略号	7	6	5	4	3	2	1	0
RCR2	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START

ADJ30	30秒調整の制御
書き込み時	
0	書き込み無効。
1	30秒調整の実行。
読み出し時	
0	通常の時計動作または30秒調整が完了。
1	30秒調整中。

30秒調整を行うビットです。
ADJ30ビットに“1”が書き込まれたときのRSECCNTカウンタの値が30秒未満の場合は00秒に切り捨て，30秒以上の場合は1分に桁上げします。
30秒調整は，カウントソースに同期して行われます。ADJ30ビットに“1”が書き込まれた場合，30秒調整が完了するとADJ30ビットは自動的に“0”になります。ADJ30ビットに“1”を書き込んだ場合は，“0”になったことを確認してから次の処理を実行してください。ただし，30秒調整が完了するまでは必ずVRTCEN = 1の状態を維持してください。
30秒調整が行われると，プリスケーラおよびR64CNTカウンタもリセットされます。
RTCソフトウェアリセットを実行するとADJ30ビットは，“0”になります。

RESET	RTCソフトウェアリセットの制御
書き込み時	
0	書き込み無効。
1	プリスケーラおよびRTCソフトウェアリセット対象レジスタ[注2]を初期化。
読み出し時	
0	通常の時計動作またはRTCソフトウェアリセット完了。
1	RTCソフトウェアリセット中。

プリスケーラおよびRTCソフトウェアリセット対象レジスタを初期化するビットです。
RESETビットに“1”が書き込まれた場合，カウントソースに同期して初期化が実行され，初期化が完了するとRESETビットは自動的に“0”になります。
RESETビットに“1”を書き込んだ場合は，“0”になったことを確認してから次の処理を実行してください。ただし，初期化が完了するまでは必ずVRTCEN = 1の状態を維持してください。

START	プリスケーラと時計カウンタの動作制御
0	プリスケーラと時計カウンタは停止。
1	プリスケーラと時計カウンタは通常動作。

プリスケーラおよび時計カウンタの停止または動作を制御するビットです。
STARTビットは，カウントソースに同期して更新されるので，STARTビットを書き換えた場合は，値が更新されたことを確認してから次の処理を実行してください。ただし，値が更新されるまでは必ずVRTCEN = 1の状態を維持してください。

注1. パワーオン・リセット信号の発生により，RESET, ADJ30, RTCOEビットは0になります。

2. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRy, RSECCPy/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCPy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP, RSR

注意 本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。

(2) バイナリカウントモード時

図9－33　RTCコントロールレジスタ2（RCR2）のフォーマット（バイナリカウントモード時）（1/2）

アドレス：F05A5H　　リセット時：不定[注]　　R/W

略号	7	6	5	4	3	2	1	0
RCR2	CNTMD	0	AADJP	AADJE	RTCOE	0	RESET	START

CNTMD	カウントモードの選択
0	カレンダカウントモード
1	バイナリカウントモード

RTCのカウントモードを，カレンダカウントモードで動作するか，バイナリカウントモードで動作するかを指定するビットです。
カウントモード設定時は，RTCソフトウェアリセットを実行し，初期設定からやり直してください。
本ビットは，カウントソースに同期して更新され，RTCソフトウェアリセット完了までに値が確定します。
初期設定の詳細は，**9. 3. 1　電源投入後のレジスタの初期設定概要**を参照してください。

AADJP	自動補正周期の選択
0	32秒ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減する。
1	8秒ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減する。

自動補正周期を選択するビットです。
バイナリカウントモードでは32秒ごとまたは8秒ごとの補正周期を選択することができます。
AADJPビットの書き換えは，プラスマイナスビット（RADJ.PMADJ）を“00b”（補正しない）にしてから行ってください。
RTCソフトウェアリセットを実行するとAADJPビットは，“0”になります。

AADJE	自動補正機能の制御
0	自動補正機能禁止。
1	自動補正機能許可。

自動補正機能の禁止，許可を制御するビットです。
AADJEビットの書き換えは，プラスマイナスビット（RADJ.PMADJ）を“00b”（補正しない）にしてから行ってください。
RTCソフトウェアリセットを実行するとAADJEビットは，“0”になります。

RTCOE	RTCOUT出力の制御
0	RTCOUT出力禁止。
1	RTCOUT出力許可。

RTCOUT（1 Hz/64 Hzクロック）の出力を許可するビットです。
RTCOEビットの書き換えは，STARTビットでカウント動作を停止させてから行ってください。カウント動作を停止する（STARTビットへ“0”を書く）ときは，同時にRTCOEビットの値を書き換えないでください。
RTCOUTを外部端子に出力する場合は，RTCOEビットを有効にし，かつポート制御も有効にしてください。

注　パワーオン・リセット信号の発生により，RESET, RTCOEビットは0になります。

図9－33　RTCコントロールレジスタ2（RCR2）のフォーマット（バイナリカウントモード時）（2/2）

アドレス：F05A5H　　リセット時：不定[注1]　　R/W

略号	7	6	5	4	3	2	1	0
RCR2	CNTMD	0	AADJP	AADJE	RTCOE	0	RESET	START

RESET	RTCソフトウェアリセットの制御
書き込み時	
0	書き込み無効。
1	プリスケーラおよびRTCソフトウェアリセット対象レジスタ[注2]を初期化。
読み出し時	
0	通常の時計動作またはRTCソフトウェアリセット完了。
1	RTCソフトウェアリセット中。

プリスケーラおよびRTCソフトウェアリセット対象レジスタを初期化するビットです。
RESETビットに“1”が書き込まれた場合，カウントソースに同期して初期化が実行され，初期化が完了するとRESETビットは自動的に“0”になります。
RESETビットに“1”を書き込んだ場合は，“0”になったことを確認してから次の処理を実行してください。ただし，初期化が完了するまでは必ずVRTCEN = 1の状態を維持してください。

START	32ビットバイナリカウンタ，64 Hzカウンタ，およびプリスケーラの動作制御
0	32ビットバイナリカウンタ，64 Hzカウンタ，およびプリスケーラは停止。
1	32ビットバイナリカウンタ，64 Hzカウンタ，およびプリスケーラは通常動作。

プリスケーラおよびカウンタ（時計）の停止または動作を制御するビットです。
STARTビットは，カウントソースに同期して更新されます。STARTビットを書き換えた場合は，値が更新されたことを確認してから次の処理を実行してください。ただし，値が更新されるまでは必ずVRTCEN = 1の状態を維持してください。

注1. パワーオン・リセット信号の発生により，RESET, RTCOEビットは0になります。

2. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ，RTCCRy, RSECCPy/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCPy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP, RSR

注意　本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。

9. 2. 20　RTCコントロールレジスタ3（RCR3）

RCR3レジスタは，時間キャプチャイベント入力（RTCICn）端子の入力許可／無効を制御するためのレジスタです。

図9－34　RTCコントロールレジスタ3（RCR3）のフォーマット

アドレス：F05A7H　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
RCR3	0	0	0	0	0	0	0	RTCICEN

RCR3レジスタ RTCICEN	RTCCRnレジスタ TCEN	時間キャプチャイベント入力（RTCICn）の入力許可／無効制御
0	0	RTCICn入力無効
0	1	設定禁止注
1	0	RTCICn入力無効
1	1	RTCICn入力許可

RTCICENビット（時間キャプチャイベント入力（RTCICn）制御ビット）
時間キャプチャイベント入力（RTCICn）端子の入力許可／無効を制御します。
時間キャプチャイベント機能を使用する場合は，必ずRTCICENビットを1に設定してRTCICn端子入力を許可した後に，RTCCRnレジスタのTCENビットに1を設定してください。RTCICENビットが0設定時にRTCCRnレジスタのTCENビットを1に設定する事を禁止します。
時間キャプチャイベント機能を使用しない場合はRTCICENビットに0を設定してください。但しRTCICENビットに0を設定した場合でも，RTCICn端子の外部割込み機能は使用可能です。

注　RTCICENビットが0設定時にRTCCRnレジスタのTCENビットを1に設定する事を禁止します。RTCICn端子を使用する場合は必ず，RTCICEN = 1に設定した後にTCEN = 1に設定してください。

注意　**ビット7-1には必ず“0”を設定してください。また，本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。**

備考　n = 0-2

9. 2. 21　RTCコントロールレジスタ4（RCR4）

RCR4レジスタは，カウントソース選択レジスタです。本レジスタはカレンダーカウントモード／バイナリカウントモードで共通の機能です。

RCR4レジスタのRCKSELビットが0にセットされていると，サブ・クロック（fsx）を使用して時計のカウント動作を行います。

図9－35　RTCコントロールレジスタ4（RCR4）のフォーマット

アドレス：F05A9H　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
RCR4	0	0	0	0	0	0	0	RCKSEL

RCKSEL	カウントソースの選択
0	サブ・クロック（fsx）
1	設定禁止。
カウントソースに，サブ・クロック（fsx）を選択します。カウントソースの選択は，電源投入後，独立電源RTCのレジスタ初期設定前に一度だけ行ってください。	

注意　RCKSELビットには必ず“0”を設定してください。本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。

9. 2. 22　RTCコントロールレジスタ5（RCR5）

RCR5レジスタは，リアルタイム・クロックのカウントソース選択レジスタです。本レジスタはカレンダーカウントモード／バイナリカウントモードで共通の機能です。

図9－36　RTCコントロールレジスタ5（RCR5）のフォーマット

アドレス：F05B3H　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
RCR5	0	0	0	0	RCR5[3:0]			

RCR5[3:0]	リアルタイム・クロックのカウントソースの選択
0000	リアルタイム・クロックのカウントソースにサブ・クロック（f_{SX}）を選択。
上記以外	設定禁止。

カウントソースの選択は，V_{DD}電源投入後，独立電源RTCのレジスタ初期設定前に設定してください。
本レジスタへのアクセスは，RCR5GDレジスタでレジスタガード解除後のみアクセスが可能です。
詳しくは，図9－54　電源投入後の初期設定概要に従って，設定してください。

注意　RCR5[3:0]には必ず“0”を設定してください。また，本レジスタは8ビット・メモリ操作命令でのみアクセス可能です。

9. 2. 23　RCR5ガードレジスタ（RCR5GD）

RCR5GDレジスタは，RTCコントロールレジスタ5（RCR5）のガード機能を制御するためのレジスタです。

図9－37　RCR5ガードレジスタ（RCR5GD）のフォーマット

アドレス：F05B9H　　リセット時：00H　　W

略号	7	6	5	4	3	2	1	0
RCR5GD	RCR5GD							

RCR5GD	RTCコントロールレジスタ5（RCR5）のガード機能制御
連続で00h，72h，64hと書き込みを行った場合にRCRコントロールレジスタ5（RCR5）へのアクセスが可能となります。ガード機能を有効にする場合は，00hを1回ライトしてください。	

注意　本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。
また，本レジスタは書き込み専用レジスタです。リード時は常に0が読み出されます。

9. 2. 24　時間誤差補正レジスタ（RADJ）

RADJレジスタは，カレンダカウントモード／バイナリカウントモード共通で使用します。

時計を誤差補正値に応じて進めるか，遅らせることによって，補正を行います。

自動補正機能許可ビット（RCR2.AADJE）が“0”の場合は，RADJレジスタを書き込むときに補正動作を行います。

RCR2.AADJEビットが“1”の場合は，自動補正周期選択ビット（RCR2.AADJP）で設定した間隔で補正動作を行います。

ソフトウェア設定（自動補正しない設定）による補正時は，レジスタ設定後，カウントソースで320サイクル以内に次の補正値を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は，レジスタ設定後，カウントソースで320サイクル以上待ってから再設定してください。

RADJレジスタは，カウントソースに同期して更新されます。RADJレジスタを書き換えた場合は，全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTCソフトウェアリセットを実行すると00hになります。

図9－38　時間誤差補正レジスタ（RADJ）のフォーマット

アドレス：F05AFH　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
RADJ	PMADJ		ADJ					

PMADJ	時計誤差補正の動作制御
00	補正動作を行いません。
01	時計を進める。
10	時計を遅らせる。
11	設定禁止
ADJビットで設定した誤差補正値に応じて時計を進めるか，遅らせるかを選択します。	

ADJ	時計誤差補正値の設定
時計の誤差に応じて誤差補正値（サブ・クロックのクロックサイクル数）を設定します。	

9. 2. 25　時間キャプチャ制御レジスタy（RTCCRy）（y = 0～2）

RTCCRyレジスタは，カレンダカウントモード／バイナリカウントモード共通で使用します。

RTCCR0レジスタがRTCIC0端子，RTCCR1レジスタがRTCIC1端子，RTCCR2レジスタがRTCIC2端子をそれぞれ制御します。

RTCCRyレジスタは，カウントソースに同期して更新されます。RTCCRyレジスタを書き換えた場合は，TCSTビットを除く全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTCソフトウェアリセットを実行すると00hになります。

注意　バッテリ・バックアップ機能によりVDD端子またはVBAT端子が選択された内部電源電圧（内部VDD）が遮断した場合，VRTC端子が電源供給状態であってもRTC時間キャプチャは使用不可となります。

図9－39 時間キャプチャ制御レジスタy（RTCCRy）（y = 0～2）のフォーマット

アドレス：RTCCR0 F05C1H, RTCCR1 F05C3H, RTCCR2 F05C5H リセット時：不定 R/W

略号	7	6	5	4	3	2	1	0
RTCCRy	TCEN	0	TCNF		0	TCST	TCCT	

TCEN	時間キャプチャイベント入力端子制御
0	RTCICy端子が時間キャプチャイベント入力端子として無効。
1	RTCICy端子が時間キャプチャイベント入力端子として有効。

時間キャプチャイベント入力端子（RTCIC0, RTCIC1, RTCIC2）の有効／無効を制御するビットです。
サブ・クロック選択時（RCR4.RCKSELビット = “0”かつRCR3.RTCICENビット = “0”）は，TCENビットの値に関わらす時間キャプチャイベント入力端子（RTCIC0, RTCIC1, RTCIC2）は無効となります。
時間キャプチャイベント入力端子（RTCIC0, RTCIC1, RTCIC2）に複数の機能が割り当てられている場合，ポート制御の設定をし，かつ，本ビットも有効にしてください。このとき，ポート制御の設定を必ず先に行ってください。
本ビットを“0”にする場合，TCCTビットも“00b”にしてください。

TCNF	時間キャプチャノイズフィルタ制御
00	ノイズフィルタOFF。
01	設定禁止
10	ノイズフィルタON（カウントソース）。
11	ノイズフィルタON（カウントソースの32分周）。

時間キャプチャイベント入力端子（RTCIC0, RTCIC1, RTCIC2）のノイズフィルタを制御するビットです。
ノイズフィルタがONの場合，カウントソースの1分周，32分周のどちらかを選択することが可能です。このとき，時間キャプチャイベント入力端子の入力レベルが選択されたサンプル間隔で3回連続で一致すると，入力レベルを決定します。
TCNFビットの設定は，TCCTビットを“00b”（イベント検出しない）にした状態で行ってください。ノイズフィルタを使用する場合は，TCNFビットの設定後，設定したサンプリング周期の3周期分待った後，TCCTビットの設定を行ってください。また，TCNFビットは，TCENビットが“1”の状態で設定してください。

TCST	時間キャプチャステータス
0	イベント検出なし。
1	イベント検出あり。注

時間キャプチャイベント入力端子（RTCIC0, RTCIC1, RTCIC2）のイベントが検出されたことを示すビットです。
TCSTビットが“0”の場合は，イベント検出されていないことを示します。
TCSTビットが“1”の場合は，該当する端子のイベントが検出されたことを示し，そのキャプチャレジスタが有効になります。複数回イベントが検出された場合は，最初のキャプチャ時刻を保持します。
カウント動作停止中（RCR2.STARTビットが“0”）にイベントを検出した場合，キャプチャした値は保証できませんので，TCSTビットを“0”にして，キャプチャした値を破棄してください。
TCSTビットに“0”を書き込むことで，TCSTビットを“0”にできます。また，“0”以外の値の書き込みは無効になります。
TCSTビットを“0”にするときは，TCCTビットを“00b”（イベント検出しない）にした状態で行ってください。
TCSTビットは，カウントソースに同期して“0”になります。TCSTビットを“0”にした場合は，値が更新されたことを確認してから次の処理を実行してください。

TCCT	時間キャプチャ制御
00	イベント検出しない。
01	立ち上がりエッジ検出。
10	立ち下がりエッジ検出。
11	両エッジ検出。

時間キャプチャイベント入力端子（RTCIC0, RTCIC1, RTCIC2）のエッジ検出を制御するビットです。
検出するエッジの選択が可能です。ビットは，TCENビットが“1”の状態で設定してください。

注 イベント検出されたことを示します。“1”の書き込みは無効です。“0”を書き込むことで“0”にすることができます。

9. 2. 26　秒キャプチャレジスタy（RSECCPy）（y = 0～2）／BCNT0キャプチャレジスタy（BCNT0CPy）（y = 0～2）

(1) カレンダカウントモード時

RSECCPyレジスタは，時間キャプチャイベント検出時にRSECCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRSECCP0レジスタに，RTCIC1端子によるイベント検出時はRSECCP1レジスタに，RTCIC2端子によるイベント検出時はRSECCP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－40　秒キャプチャレジスタy（RSECCPy）（y = 0～2）のフォーマット

アドレス：RSECCP0 F05D3H, RSECCP1 F05E3H, RSECCP2 F05F3H　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
RSECCPy	0	SEC10			SEC1			

SEC10	10秒キャプチャビット
十秒の位のキャプチャ値を示します。	

SEC1	1秒キャプチャビット
一秒の位のキャプチャ値を示します。	

(2) バイナリカウントモード時

BCNT0CPyレジスタは，時間キャプチャイベント検出時にBCNT0カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0端子によるイベント検出時はBCNT0CP0レジスタに，RTCIC1端子によるイベント検出時はBCNT0CP1レジスタに，RTCIC2端子によるイベント検出時はBCNT0CP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－41　BCNT0キャプチャレジスタy（BCNT0CPy）（y = 0～2）のフォーマット

アドレス：BCNT0CP0 F05D3H,BCNT0CP1 F05E3H, BCNT0CP2 F05F3H　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT0CPy	BCNTCPy							

9. 2. 27　分キャプチャレジスタy（RMINCPy）（y = 0～2）／BCNT1キャプチャレジスタy（BCNT1CPy）（y = 0～2）

(1) カレンダカウントモード時

RMINCPyレジスタは，時間キャプチャイベント検出時にRMINCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRMINCP0レジスタに，RTCIC1端子によるイベント検出時はRMINCP1レジスタに，RTCIC2端子によるイベント検出時はRMINCP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－42　分キャプチャレジスタy（RMINCPy）（y = 0～2）のフォーマット

アドレス：RMINCP0 F05D5H, RMINCP1 F05E5H, RMINCP2 F05F5H　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
RMINCPy	0	MIN10			MIN1			

MIN10	10分キャプチャビット
十分の位のキャプチャ値を示します。	

MIN1	1分キャプチャビット
一分の位のキャプチャ値を示します。	

(2) バイナリカウントモード時

BCNT1CPyレジスタは，時間キャプチャイベント検出時にBCNT1カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0端子によるイベント検出時はBCNT1CP0レジスタに，RTCIC1端子によるイベント検出時はBCNT1CP1レジスタに，RTCIC2端子によるイベント検出時はBCNT1CP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－43　BCNT1キャプチャレジスタy（BCNT1CPy）（y = 0～2）のフォーマット

アドレス：BCNT1CP0 F05D5H, BCNT1CP1 F05E5H, BCNT1CP2 F05F5H　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT1CPy	BCNTCPy							

9. 2. 28　時キャプチャレジスタy（RHRCPy）（y = 0～2）／BCNT2キャプチャレジスタy（BCNT2CPy）（y = 0～2）

(1) カレンダカウントモード時

RHRCPyレジスタは，時間キャプチャイベント検出時にRHRCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRHRCP0レジスタに，RTCIC1端子によるイベント検出時はRHRCP1レジスタに，RTCIC2端子によるイベント検出時はRHRCP2レジスタにそれぞれのイベント検出時刻を格納します。

RCR2.HR24ビットが“0”（12時間モードで動作）の場合のみ，PMビットが有効になります。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－44　時キャプチャレジスタy（RHRCPy）（y = 0～2）のフォーマット

アドレス：RHRCP0 F05D7H, RHRCP1 F05E7H, RHRCP2 F05F7H　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
RHRCPy	0	PM	HR10		HR1			

PM	PMビット
0	午前
1	午後

HR10	10時間キャプチャビット
十時間の位のキャプチャ値を示します。	

HR1	1時間キャプチャビット
一時間の位のキャプチャ値を示します。	

(2) バイナリカウントモード時

BCNT2CPyレジスタは，時間キャプチャイベント検出時にBCNT2カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0端子によるイベント検出時はBCNT2CP0レジスタに，RTCIC1端子によるイベント検出時はBCNT2CP1レジスタに，RTCIC2端子によるイベント検出時はBCNT2CP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－45　BCNT2キャプチャレジスタy（BCNT2CPy）（y = 0～2）のフォーマット

アドレス：BCNT2CP0 F05D7H, BCNT2CP1 F05E7H, BCNT2CP2 F05F7H　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT2CPy	BCNTCPy							

9. 2. 29　日キャプチャレジスタy（RDAYCPy）（y = 0～2）／BCNT3キャプチャレジスタy（BCNT3CPy）（y = 0～2）

(1) カレンダカウントモード時

RDAYCPyレジスタは，時間キャプチャイベント検出時にRDAYCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRDAYCP0レジスタに，RTCIC1端子によるイベント検出時はRDAYCP1レジスタに，RTCIC2端子によるイベント検出時はRDAYCP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－46　日キャプチャレジスタy（RDAYCPy）（y = 0～2）のフォーマット

アドレス：RDAYCP0 F05DBH, RDAYCP1 F05EBH, RDAYCP2 F05FBH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
RDAYCPy	0	0	DATE10		DATE1			

DATE10	10日キャプチャビット
十日の位のキャプチャ値を示します。	

DATE1	1日キャプチャビット
一日の位のキャプチャ値を示します。	

(2) バイナリカウントモード時

BCNT3CPyレジスタは，時間キャプチャイベント検出時にBCNT3カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0端子によるイベント検出時はBCNT3CP0レジスタに，RTCIC1端子によるイベント検出時はBCNT3CP1レジスタに，RTCIC2端子によるイベント検出時はBCNT3CP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－47　BCNT3キャプチャレジスタy（BCNT3CPy）（y = 0～2）のフォーマット

アドレス：BCNT3CP0 F05DBH, BCNT3CP1 F05EBH, BCNT3CP2 F05FBH　リセット時：不定

略号	7	6	5	4	3	2	1	0
BCNT3CPy	BCNTCPy							

9. 2. 30　月キャプチャレジスタy（RMONCPy）（y = 0～2）

RMONCPyレジスタは，時間キャプチャイベント検出時にRMONCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRMONCP0レジスタに，RTCIC1端子によるイベント検出時はRMONCP1レジスタに，RTCIC2端子によるイベント検出時はRMONCP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは，RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9－48　月キャプチャレジスタy（RMONCPy）（y = 0～2）のフォーマット

アドレス：RMONCP0 F05DDH, RMONCP1 F05EDH, RMONCP2 F05FDH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
RMONCPy	0	0	0	MON10	MON1			

MON10	10月キャプチャビット
十月の位のキャプチャ値を示します。	

MON1	1月キャプチャビット
一月の位のキャプチャ値を示します。	

9. 2. 31 RTCステータスレジスタ（RSR）

RSRは，周期割り込み，桁上げおよびアラームフラグレジスタです。本レジスタはカレンダーカウントモード／バイナリカウントモードで共通の機能です。

各フラグは，プリスケーラや時計カウンタが，各割り込み設定条件と一致したときに“1”にセットされます。プリスケーラ，時計カウンタ，各割り込み設定レジスタは，リセットされないため，各フラグを読み出すまでにフラグがセットされる場合があります。

RTCソフトウェアリセットを実行すると00hにクリアされます。

図9－49 RTCステータスレジスタ（RSR）のフォーマット

アドレス：F05A1H リセット時：00H[注1] R/W

略号	7	6	5	4	3	2	1	0
RSR	0	0	0	0	0	PF	CF	AF

PF	周期割り込みフラグ
0	RCR1.PES[3:0]ビットで設定された周期で割り込み発生なし。
1	RCR1.PES[3:0]ビットで設定された周期で割り込み発生あり。[注2]

RCR1.PES[3:0]ビットで設定された周期で割り込み発生を示すフラグです。RCR1.PES[3:0]ビットで設定された周期で割り込みが発生したとき，本フラグが“1”にセットされます。
[0になる条件]
・PFフラグに0を書き込んだとき
[1になる条件]
・RCR1.PES[3:0]ビットで設定された周期で割り込みが発生したとき

CF	桁上げフラグ
0	秒カウンタ／バイナリカウンタ0への桁上げおよび64 Hzカウンタ読み出し時の64 Hzカウンタへの桁上げなし。
1	秒カウンタ／バイナリカウンタ0への桁上げまたは64 Hzカウンタ読み出し時の64 Hzカウンタへの桁上げあり。

本フラグが“1”にセットされた場合，秒カウンタ／バイナリカウンタ0への桁上げ，または64 Hzカウンタ読み出し時に64 Hzカウンタへの桁上げが発生したことを示し，この時点で読み出したカウントレジスタの値は，保証されません。再度の読み出しが必要です。
[0になる条件]
・CFフラグに“0”を書き込んだとき
[1になる条件]
・秒カウンタ／バイナリカウンタ 0への桁上げまたは64 Hzカウンタ読み出し時に64 Hzカウンタへの桁上げが発生したとき
・CFフラグに“1”を書き込んだとき

AF	アラームフラグ
0	アラームレジスタとカウンタは不一致。
1	アラームレジスタとカウンタは一致。[注2]

アラームレジスタ（カレンダーカウントモード：RSECAR，RMINAR，RHRAR，RWKAR，RDAYAR，RMONAR，RYRAR，バイナリカウントモード：BCNT0AR，BCNT1AR，BCNT2AR，BCNT3AR）で設定したアラーム時刻（ENBビットを“1”に設定したレジスタのみ）とカウンタが一致したとき“1”にセットされます。
[0になる条件]
・AFに“0”を書き込んだとき
[1になる条件]
・アラームレジスタ（ENBビットを“1”に設定したレジスタのみ）とカウンタが一致したとき

注1. リセット解除後，読み出し値が不定になる場合があります。
2. “1”書き込みは無効です。

注意1.　アラーム割り込みと周期割り込みは排他的に使用してください。アラーム割り込みと周期割り込みの割り込み要因の判別は，AF, PFを使用せずに，割り込み処理ルーチンでRTCコントロールレジスタ1(RCR1)のAIEビットとPIEビットの値で判別してください。

2.　アラーム割り込みのみ単独で使用する場合，アラーム割り込みの発生はAFを使用せずに，割り込み要求フラグレジスタ(IF1H)のRTCAIFフラグを使用して下さい。

3.　周期割り込みのみ単独で使用する場合，周期割り込みの発生はPFを使用せずに割り込み要求フラグレジスタ(IF1H)のRTCRIFフラグを使用して下さい。

9. 2. 32　サブ・クロック動作モード制御レジスタ（SCMC）

XT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

SCMCレジスタは，すべてのリセット要因及びRTCパワーオン・リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

SCMCレジスタはVRTC電源で動作します。VRTC電源起動直後は，VRTC端子の電圧検出機能（**29. 3. 5 VRTC端子電圧検出制御レジスタ（LVDVRTC）**参照）を使用して，VRTC端子への電源供給開始を確認してください。

RTCパワーオン・リセット信号の発生により，00Hになります。その他リセット要因（内部V_{DD}電源のパワーオン・リセットを含む）ではリセットされません。

図9－50　サブ・クロック動作モード制御レジスタ（SCMC）のフォーマット

アドレス：F0384H　　リセット時：00H注　　R/W

略号	7	6	5	4	3	2	1	0
SCMC	0	0	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	0

EXCLKS	OSCSELS	サブ・システムクロック端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振（デフォルト）
0	1	通常発振
1	0	超低消費発振
1	1	禁止設定

注　EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはRTCパワーオン･リセットによるリセット時のみ初期化され，その他リセット要因（内部V_{DD}電源のパワーオン・リセットを含む）では，値を保持します。

注意 1.　SCMCレジスタは，CPUのリセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。SCMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために，CPUのリセット解除後は必ず00Hに設定してください。

2.　CPUのリセット解除後，サブ・クロック動作ステータス制御レジスタ（SCSC）の設定でXT1発振を開始する前に，SCMCレジスタを設定してください。

3.　AMPHS1, AMPHS0ビットは，リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}に切り替える前の状態）で設定してください。

4.　f_{XT}の発振安定時間は，ソフトウエアでカウントしてください。

5.　SCMCレジスタ書き込み後，RTCパワーオン・リセット以外のリセットが発生した場合，暴走時の誤動作を防ぐためCPUのリセット解除後は必ずリセット発生前と同じ値を設定してください。

注意 6. XT1発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は，6. 7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。なお，高い発振余裕度を確保が必要な用途（例：ユーティリティメータ）では超低消費発振（AMPHS1, AMPHS0 = 1, 0）のご使用は推奨しません。通常発振（AMPHS1, AMPHS0 = 0, 1）のご使用を推奨します。
- XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
- 回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には，できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。
- XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

7. ビット7-6, 3, 0には必ず"0"を設定してください。

9. 2. 33　サブ・クロック動作ステータス制御レジスタ（SCSC）

サブ・クロックの動作を制御するレジスタです。

SCSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

SCSCレジスタはVRTC電源で動作します。VRTC電源起動直後は，VRTC端子の電圧検出機能（**29. 3. 5 VRTC端子電圧検出制御レジスタ（LVDVRTC）**参照）を使用して，VRTC端子への電源供給開始を確認してください。

RTCのパワーオン・リセット信号の発生により，40Hになります。

図9－51　サブ・クロック動作ステータス制御レジスタ（SCSC）のフォーマット

アドレス：F0386H　リセット時：40H　R/W

略号	7	6	5	4	3	2	1	0
SCSC	0	XTSTOP	0	0	0	0	0	0

XTSTOP注	XT1発振回路の動作／停止制御
0	XT1発振モード時：XT1発振回路動作 外部クロック入力モード時：EXCLKSからの外部クロック有効 入力ポート・モード時：入力ポート
1	XT1発振モード時：XT1発振回路停止 外部クロック入力モード時：EXCLKSから外部クロック無効 入力ポート・モード時：入力ポート

注　XTSTOPビットはRTCのパワーオン・リセット時のみ初期化され，その他のリセット要因（内部V_{DD}電源のパワーオン・リセットを含む）では値を保持します。

注意 1.　XTSTOPビットの設定でXT1発振を開始する場合は，サブ・クロックに必要な発振安定時間をソフトウエアにてウエイトしてください。

2.　ビット7, 5-0には必ず"0"を設定してください。

9. 2. 34　RTCパワーオン・リセットステータスレジスタ（RTCPORSR）

RTCPORSRレジスタは，RTCパワーオン・リセットの発生を確認するレジスタです。

RTCPORSRレジスタのビット0（RTCPORF）への“1”書き込みは有効であり，“0”書き込みは無視されます。

RTCパワーオン・リセット発生の有無を確認するときは，あらかじめRTCPORFビットに“1”を書き込んでおいてください。

RTCPORSRレジスタは，8ビット・メモリ操作命令で設定します。

RTCPORSRレジスタはVRTC電源で動作します。VRTC電源起動直後は，VRTC端子の電圧検出機能（**29. 3. 5 VRTC端子電圧検出制御レジスタ（LVDVRTC）**参照）を使用して，VRTC端子への電源供給開始を確認してください。

RTCパワーオン・リセット信号の発生により，00Hになります。

注意1. RTCPORSRレジスタはRTCパワーオン・リセット時のみ初期化され，その他のリセット要因では，値を保持します。

2. RTCPORSRレジスタはVRTCEN = 1の場合にリード／ライトが可能です。

図9－52　RTCパワーオン・リセット・ステータス・レジスタ（RTCPORSR）のフォーマット

アドレス：F0380H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCPORSR	0	0	0	0	0	0	0	RTCPORF

RTCPORF	RTCパワーオン・リセット発生確認
0	RTCパワーオン・リセット発生を検出。
1	RTCパワーオン・リセットは発生していない。

9. 2. 35　RTCICn端子（n = 0～2）用ノイズ・フィルタ許可レジスタ（RTCICNFEN）

RTCICNFENレジスタは，RTCICn端子（n = 0-2）のノイズ・フィルタの無効／有効を設定するレジスタです。ノイズ・フィルタが有効の場合，RTCカウントソース（fsx）の2^{12}分周，2^{13}分周のどちらかを選択することが可能です。

この時，RTCICn端子の入力レベルが選択されたサンプル間隔で3回一致すると，入力レベルを決定します。

注意　RTCICNFENレジスタは，RTCパワーオン・リセット時のみ初期化され，その他のリセット要因では，値を保持します。

図9－53　RTCICn端子（n = 0～2）用ノイズ・フィルタ許可レジスタ（RTCICNFEN）のフォーマット

アドレス：F0382H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
RTCICNFEN	0	RTCIC2NF1	RTCIC1NF1	RTCIC0NF1	0	RTCIC2NF0	RTCIC1NF0	RTCIC0NF0

RTCIC2NF1	RTCIC2NF0	RTCIC2端子のノイズ・フィルタ制御
0	0	ノイズ・フィルタ無効。
0	1	
1	0	ノイズ・フィルタ有効（RTCカウントソースの2^{12}分周=250ms）。
1	1	ノイズ・フィルタ有効（RTCカウントソースの2^{13}分周=500ms）。

RTCIC1NF1	RTCIC1NF0	RTCIC1端子のノイズ・フィルタ制御
0	0	ノイズ・フィルタ無効。
0	1	
1	0	ノイズ・フィルタ有効（RTCカウントソースの2^{12}分周 = 250 ms）。
1	1	ノイズ・フィルタ有効（RTCカウントソースの2^{13}分周 = 500 ms）。

RTCIC0NF1	RTCIC0NF0	RTCIC0端子のノイズ・フィルタ制御
0	0	ノイズ・フィルタ無効。
0	1	
1	0	ノイズ・フィルタ有効（RTCカウントソースの2^{12}分周 = 250 ms）。
1	1	ノイズ・フィルタ有効（RTCカウントソースの2^{13}分周 = 500 ms）。

注意 1.　ビット7, 3には必ず0を設定してください。

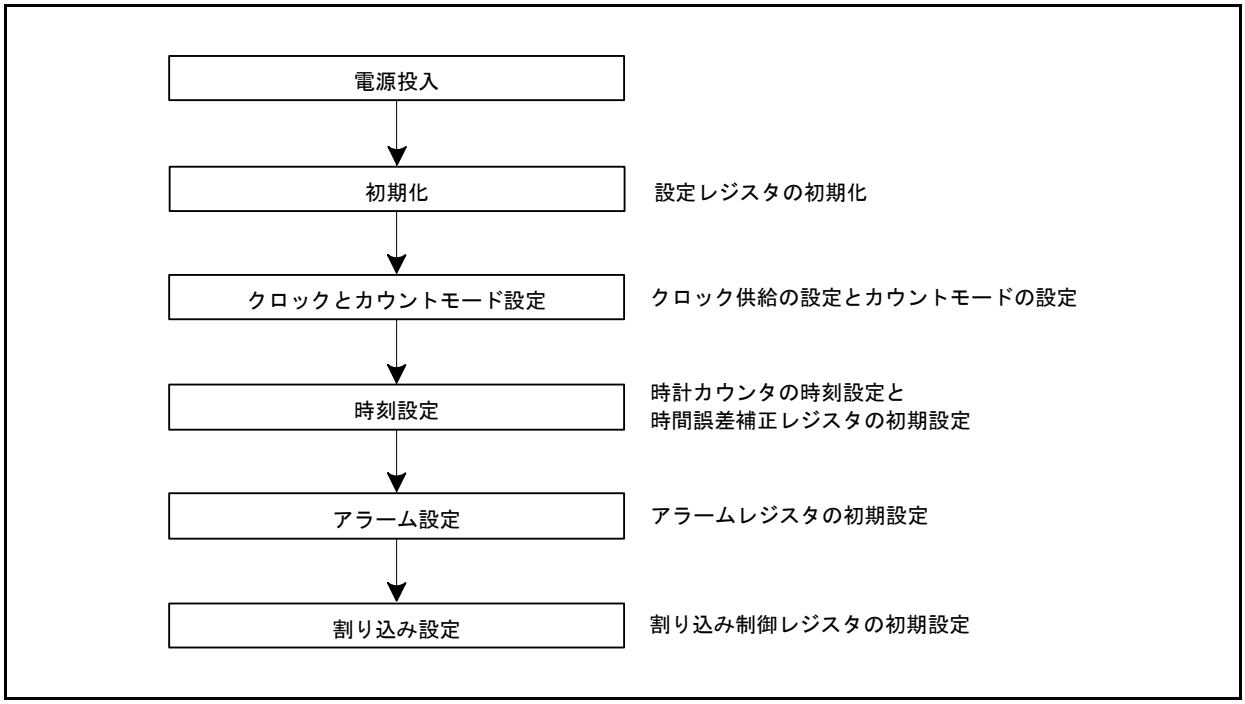
2.　本レジスタの設定は，RTCCRy.TCCTビットを“00b”（イベント検出しない）にした状態で行ってください。ノイズフィルタを使用する場合は，本レジスタの設定後，設定したサンプリング周期の3周期分待った後，RTCCRy.TCCTビットの設定を行ってください。また，本レジスタは，TCENビットが“1”の状態で設定してください。

9. 3　動作説明

9. 3. 1　電源投入後のレジスタの初期設定概要

電源投入後，クロック設定，カウントモード設定，時刻設定，時計誤差補正，アラーム，割り込み，時間キャプチャ制御レジスタの初期設定をしてください。

図9－54　電源投入後の初期設定概要

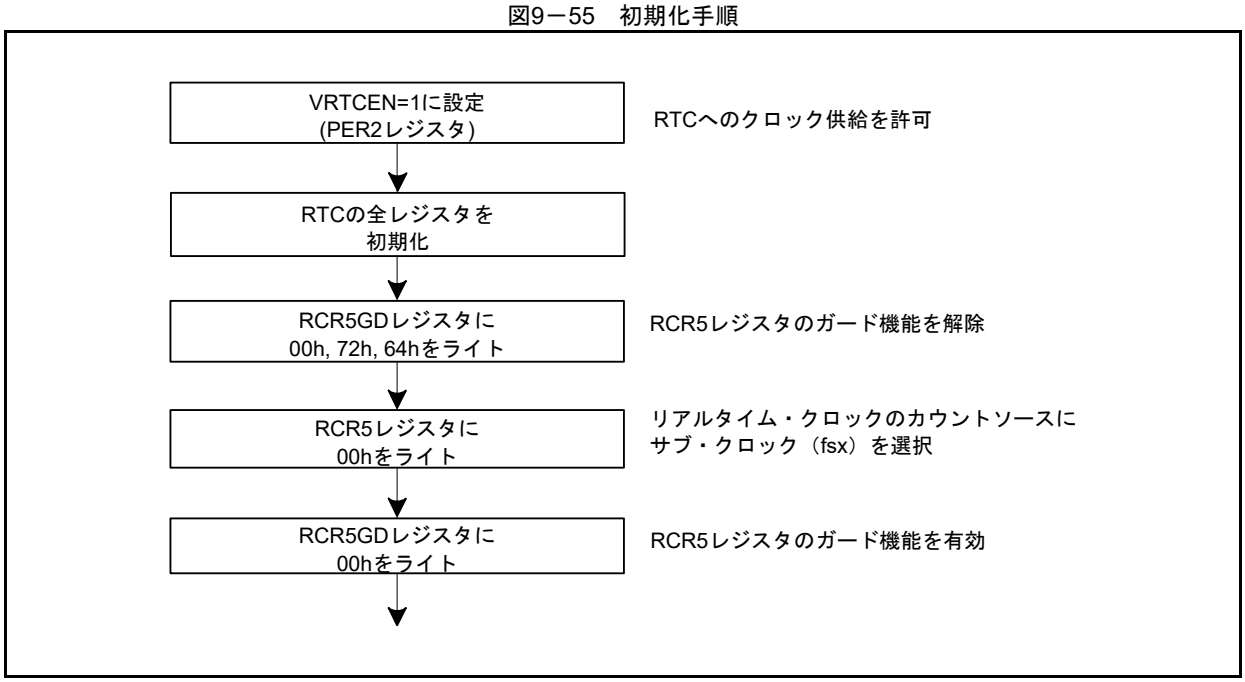


備考　V_{DD}の動作下限電圧は1.7 Vまたは1.9 Vに対し，VRTCの動作下限電圧は1.6 Vです。

9. 3. 2　初期化手順

図9－55に初期化手順を示します。

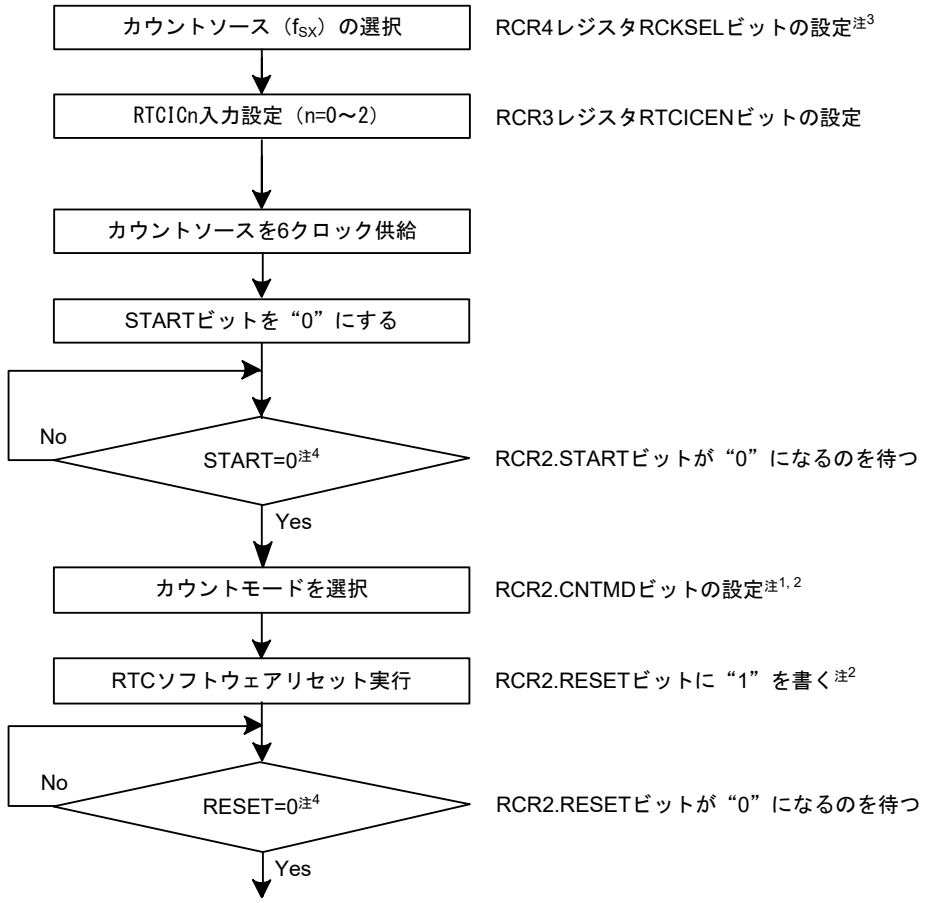
図9－55　初期化手順



9. 3. 3　クロックとカウントモード設定手順

図9－56にクロック設定手順を示します。

図9－56　クロック設定手順



注 1. STARTビットに“0”を書くのと同時にカウントモードを設定している場合，本手順を省略できます。

2. RCR2レジスタは，リードモディファイライトによる書き換えを行わないでください。

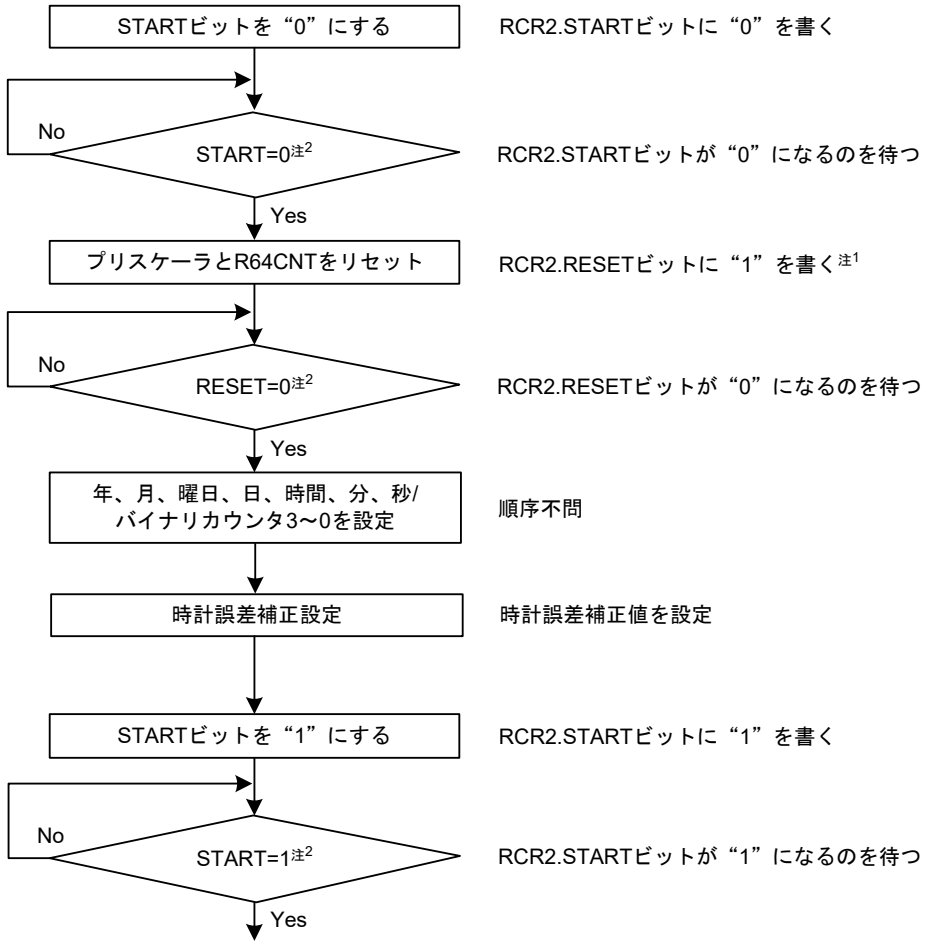
3. RCR4レジスタのRCKSELビットには必ず“0”を設定してください。

4. 必ずVRTCEN=1の状態を維持してください。

9. 3. 4　時刻設定手順

図9－57に時刻設定手順を示します。

図9－57　時刻設定手順



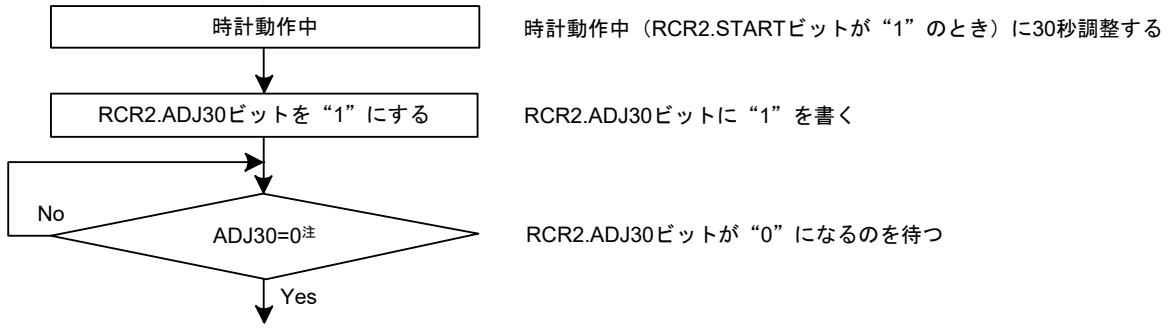
注1. 電源投入時の初期設定では，クロック設定手順でRTCソフトウェアリセットを実施するため，時刻設定手順では不要です。

2. 必ずVRTCEN = 1の状態を維持してください。

9. 3. 5　30秒調整手順

図9－58に30秒調整手順を示します。30秒調整機能はカレンダカウントモードでのみ使用可能です。

図9－58　30秒調整手順

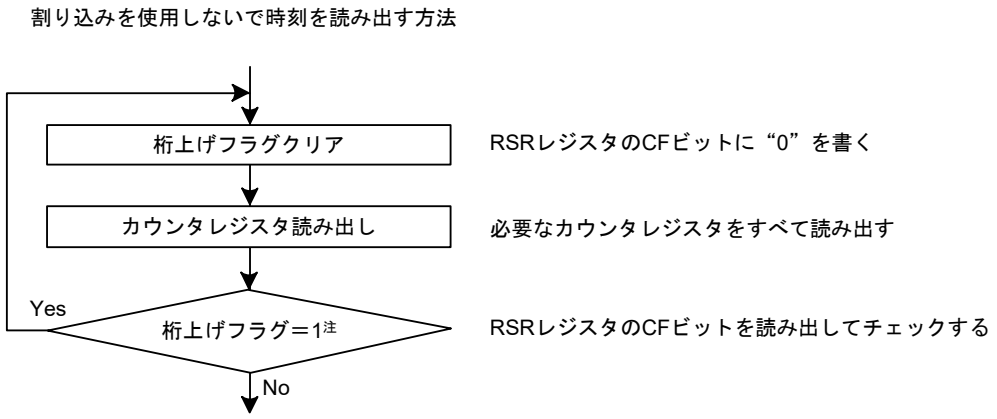


注　30秒調整を行う場合，30秒調整が完了するまで必ずVRTCEN = 1の状態を維持してください。

9. 3. 6　64 Hzカウンタおよび時刻読み出し手順

図9－59に64 Hzカウンタおよび時刻読み出し手順を示します。

図9－59　時刻読み出し手順



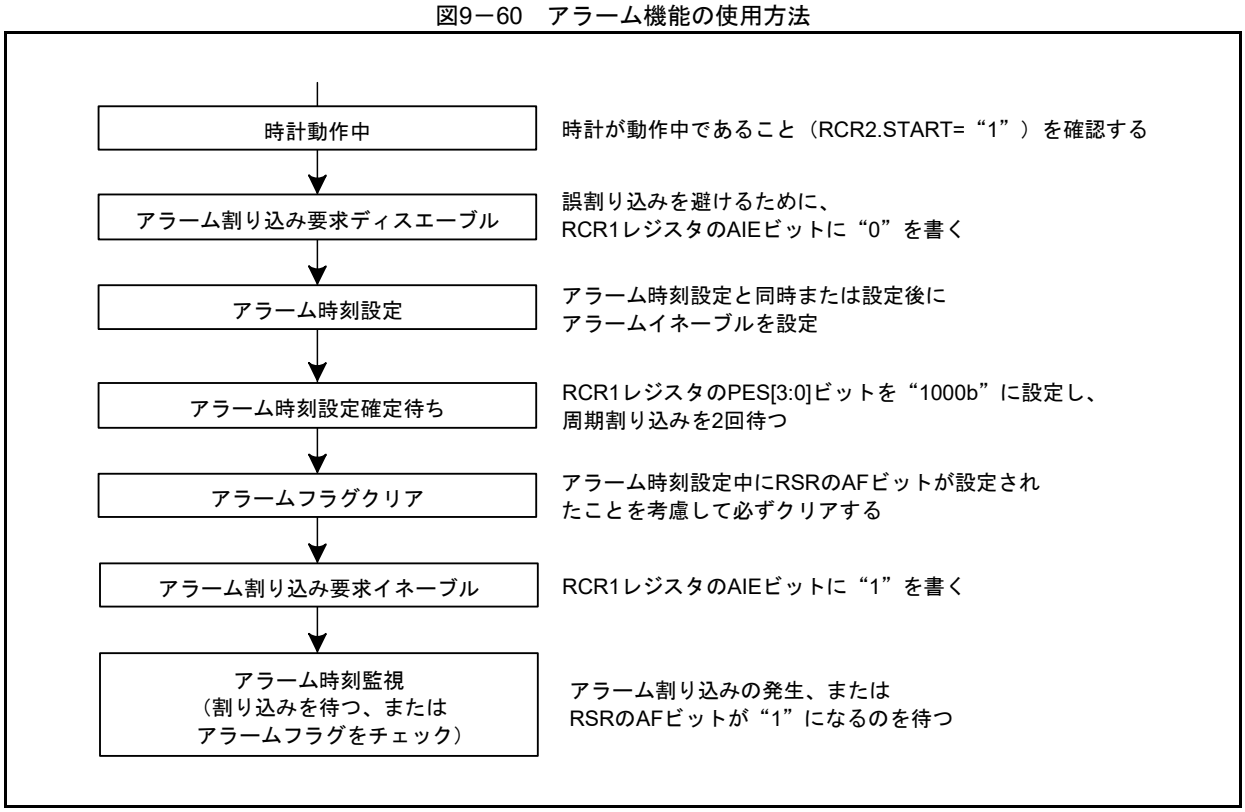
注　VRTCEN=0の状態では桁上げフラグ(CF)に１がセットされません。必ずVRTCEN=1の状態で実施してください。

64 Hzカウンタ及び時刻読み出し中に桁上げが起こると正しい時刻が得られないため，再度読み出す必要があります。**図9－59**の時刻読み出し手順に従って時刻を読み出してください。

9. 3. 7　アラーム機能

図9－60にアラーム機能の使用方法を示します。

図9－60　アラーム機能の使用方法



注意1.　アラーム割り込みと周期割り込みは排他的に使用してください。アラーム割り込みと周期割り込みの割り込み要因の判別は，AF, PFを使用せずに，割り込み処理ルーチンでRTCコントロールレジスタ1（RCR1）のAIEビットとPIEビットの値で判別してください。

2.　アラーム割り込みのみ単独で使用する場合，アラーム割り込みの発生はAFを使用せずに，割り込み要求フラグレジスタ（IF1H）のRTCAIFフラグを使用して下さい。

カレンダカウントモードでは，アラームは，年，月，日，曜日，時，分，秒のいずれか，あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタのENBビットに“1”を書き込み，下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは，ENBビットに“0”を書き込みます。

バイナリカウントモードでは，32ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラーム許可レジスタのENBビットに“1”を書き込み，アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには，アラーム許可レジスタのENBビットに“0”を書き込みます。

カウンタとアラーム時刻が一致した場合は，RSRのアラームフラグが“1”にセットされます。アラームの検出はこのフラグを読み出すことによって確認できますが，通常は割り込みで行います。ALM割り込みに対応した割り込み要求許可ビットに“1”が書き込まれている場合，アラーム割り込みが発生しアラームを検出することができます。

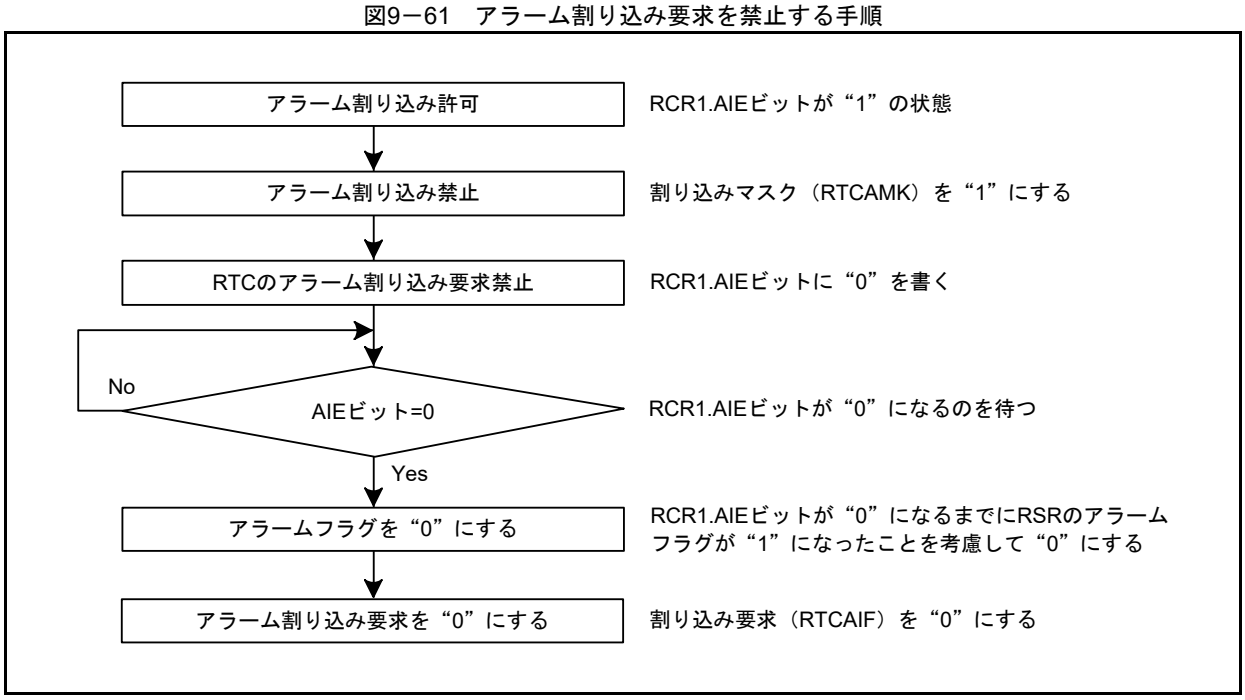
RSRのアラームフラグは“0”を書き込むとクリアされます。

スタンバイ・モードのときにカウンタとアラーム時刻が一致するとスタンバイ・モードから復帰します。

9. 3. 8　アラーム割り込み禁止手順

図9－61に許可状態のアラーム割り込み要求を禁止する手順を示します。

図9－61　アラーム割り込み要求を禁止する手順



9. 3. 9　時計誤差補正機能

時計誤差補正機能は，サブ・クロックの発振精度による時計の誤差（遅れる／進む）を補正します。サブ・クロック選択時，32,768クロックサイクルを1秒として動作するため，サブ・クロックの周波数が高い場合は時計が進み，低い場合は時計が遅れます。本機能により，時計を進めるか，遅らせることで誤差を補正することができます。

時計誤差補正機能には，自動補正とソフトウェアによる補正の2種類の補正機能があります。

自動補正，ソフトウェアによる補正の選択は，RCR2.AADJEビットで設定してください。

9. 3. 9. 1　自動補正機能

RCR2.AADJEビットが“1”の場合，自動補正機能が有効です。

自動補正機能では, RCR2.AADJPビットで選択した補正周期ごとにRADJレジスタ設定に応じて時計を進めるか，遅らせます。以下に例を示します。

例1）サブ・クロック＝32.769 kHz

補正方法：

サブ・クロックの周波数が32.769 kHzの場合，32,769クロックサイクルで1秒になりますが，RTCは，32,768クロックサイクルを1秒として動作するため，1秒につき1クロックサイクル分，時計が進みます。1分なら60クロックサイクル分，時計が進むため，1分ごとに60クロックサイクル分，時計を遅らせることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = 0”の場合）

- RCR2.AADJPビット = 0（1分ごとに補正）
- RADJ.PMADJ[1:0]ビット = 10b（遅らせる）
- RADJ.ADJ[5:0]ビット = 60（3Ch）

例2）サブ・クロック = 32.766 kHz

補正方法：

サブ・クロックの周波数が32.766 kHzの場合，32,766クロックサイクルで1秒になりますが，RTCは32,768クロックサイクルを1秒として動作するため，1秒につき2クロックサイクル分，時計が遅れます。10秒なら20クロックサイクル分，時計が遅れるため，10秒ごとに20クロックサイクル分，時計を進めることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = “0”の場合）

- RCR2.AADJPビット = 1（10秒ごとに補正）
- RADJ.PMADJ[1:0]ビット = 01b（進める）
- RADJ.ADJ[5:0]ビット = 20（14h）

例3）サブ・クロック = 32.764 kHz

補正方法：

サブ・クロックの周波数が32.764 kHzの場合，32,764クロックサイクルで1秒になりますが，RTCは32,768クロックサイクルを1秒として動作するため，1秒につき4クロックサイクル分，時計が遅れます。8秒なら32クロックサイクル分, 時計が遅れるため, 8秒ごとに“32”クロックサイクル分, 時計を進めることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = “1”の場合）

- RCR2.AADJPビット = 1（8秒ごとに補正）
- RADJ.PMADJ[1:0]ビット = 01b（進める）
- RADJ.ADJ[5:0]ビット = 32（20h）

9. 3. 9. 2　ソフトウェアによる補正

RCR2.AADJEビットが“0”の場合，ソフトウェアによる補正が有効です。

ソフトウェアによる補正では，RADJレジスタへの書き込み命令を実行したタイミングでRADJレジスタ設定に応じて時計を進めるか，遅らせます。

例1）サブ・クロック = 32.769 kHz

補正方法：

サブ・クロックの周波数が32.769 kHzの場合，32,769クロックサイクルで1秒になりますが，RTCは32,768クロックサイクルを1秒として動作するため，1秒につき1クロックサイクル分，時計が進みます。1秒ごとに1クロックサイクル分，時計が進むため，1秒ごとに1クロックサイクル分，時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0]ビット = 10b（遅らせる）
- RADJ.ADJ[5:0]ビット = 1（01h）

1秒の割り込みごとにRADJレジスタに書き込む

9. 3. 9. 3　補正モードの変更手順

補正モードを変更する場合は，RADJ.PMADJ[1:0]ビットを“00b”（補正しない）にした後，RCR2.AADJEビットを変更してください。

ソフトウェアによる補正から，自動補正に切り替える場合

（1）RADJ.PMADJ[1:0]ビットを“00b”（補正しない）にする

（2）RCR2.AADJEビットを“1”（自動補正機能許可）にする

（3）RCR2.AADJPビットで補正周期を選択する

（4）RADJ.PMADJ[1:0]ビットに補正方向を，RADJ.ADJ[5:0]ビットに時計誤差補正値を設定する

自動補正から，ソフトウェアによる補正に切り替える場合

（1）RADJ.PMADJ[1:0]ビットを“00b”（補正しない）にする

（2）RCR2.AADJEビットを“0”（ソフトウェアによる補正機能有効）にする

（3）任意のタイミングでRADJ.PMADJ[1:0]ビットに補正方向を，RADJ.ADJ[5:0]ビットに時計誤差補正値を書き込むと補正を行う。以降，RADJレジスタに書き込むごとに補正を行う。

9. 3. 9. 4　補正機能の停止手順

補正機能を停止する場合は，RADJ.PMADJ[1:0]ビットを“00b”（補正しない）にしてください。

9. 3. 9. 5　時間キャプチャ機能

RTCは時間キャプチャイベント入力端子のエッジ検出によって，月，日，時，分，秒／バイナリカウンタ3～0の値を格納します。

また，RTCの時間キャプチャイベント入力端子には，ノイズフィルタを使用することができます。ノイズフィルタを有効にした場合，端子の入力レベルが，3回一致することでTCSTビットが“1”になります。

時間キャプチャイベント入力端子は，端子ごとにノイズフィルタのON/OFFを設定できます。

ノイズフィルタOFFの場合の動作を**図9－62**に，ノイズフィルタONの場合の動作を**図9－63**に示します。

図9－62　時間キャプチャ機能動作タイミング（フィルタOFF）

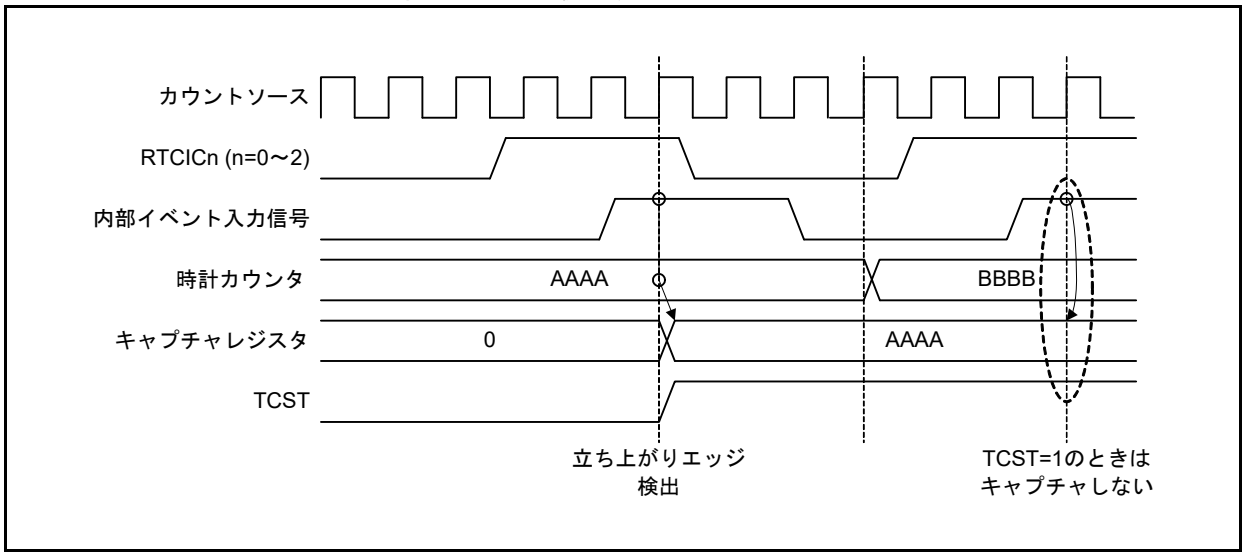
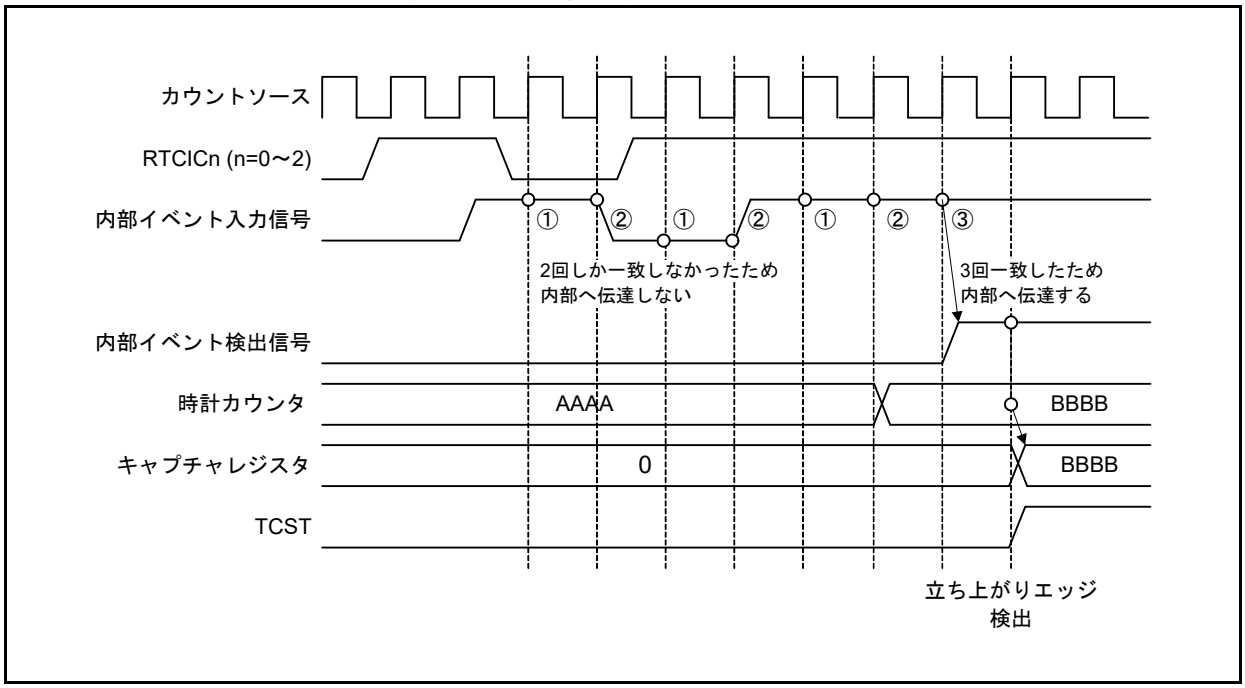


図9－63　時間キャプチャ機能動作タイミング（フィルタON）

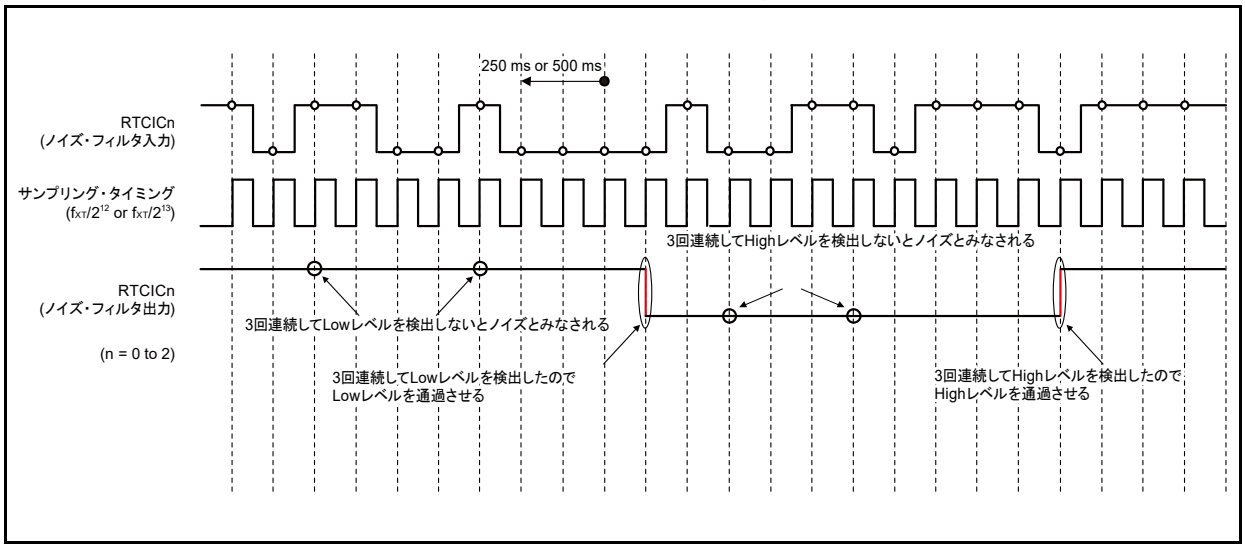


9. 3. 10　RTCICn端子（n = 0～2）用ノイズ・フィルタ動作

RTCICn端子（n = 0～2）はRTCの時間キャプチャイベント入力として使用することができます。RTCICn端子のチャタリングにより無用な時間キャプチャを防止するために，RTCICn端子用にノイズ・フィルタを内蔵しています。サンプリングクロックはRTCICNFENレジスタのRTCICnNF0ビットで選択できます。サンプリングクロックごとにRTCICn端子の入力信号をサンプリングし，3回連続して検出レベルに一致した場合に入力信号を通過させます。

ノイズ・フィルタ動作例を**図9－64**に示します。

図9－64　ノイズ・フィルタ動作



RTCICn端子のノイズ・フィルタ設定は2つのレジスタ（RTCICNFENとRTCCRn.TCNF1-0）で選択可能です。表に，設定一覧を示します。

表9－4　RTCICn端子（n = 0～2）用ノイズ・フィルタ動作

RCR3	RTCCRn		RTCICNFEN		RTCICn端子のノイズ・フィルタ設定
RTCICEN	TCNF1	TCNF0	RTCICnNF1	RTCICnNF0	
0	0	0	0	x	RTCICn 端子入力無効。
0	0	0	0	x	ノイズ・フィルタ無効。
			1	0	ノイズ・フィルタ有効（RTCカウントソースの2^{12}分周）。
			1	1	ノイズ・フィルタ有効（RTCカウントソースの2^{13}分周）。
	1	0	0	0	ノイズ・フィルタ有効（RTCカウントソース）。
	1	1	0	0	ノイズ・フィルタ有効（RTCカウントソースの32分周）。
上記以外					設定禁止。

備考：n = 0～2

9. 4　割り込み要因

RTCの割り込み要因には，以下の2種類があります。**表9－5**にRTCの割り込み要因を示します。

表9－5　RTCの割り込み要因

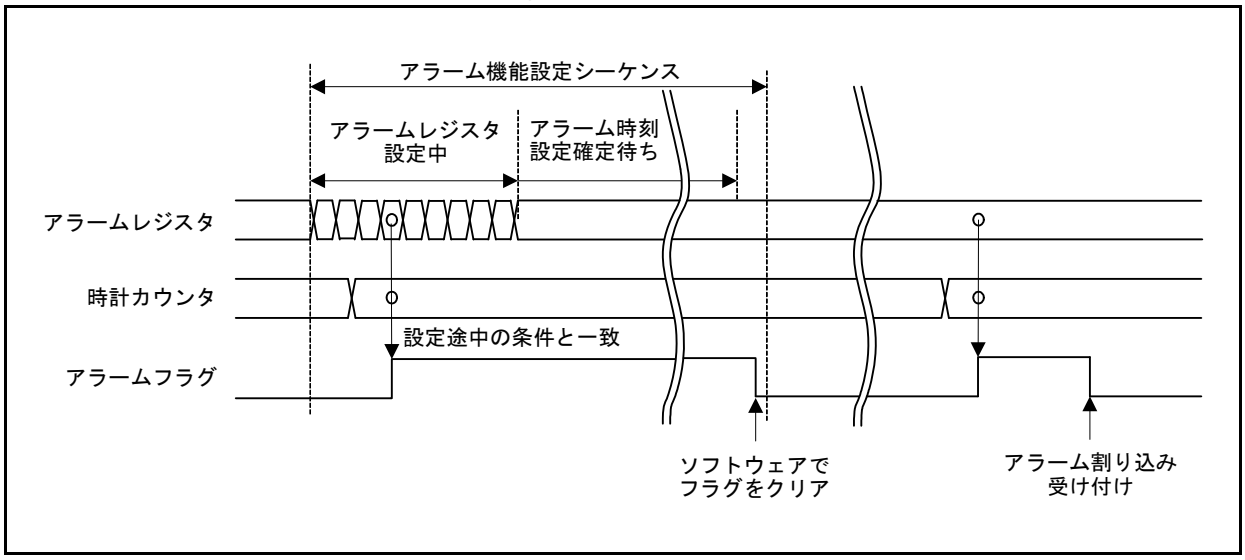
名称	割り込み要因
INTRTCALM	アラーム割り込み（ALM）
INTRTCPRD	周期割り込み（PRD）

(1) アラーム割り込み（ALM）

アラームレジスタと時計カウンタとの比較結果によって割り込みが発生します（詳細は**9. 3. 7　アラーム機能**を参照してください）。

アラームレジスタの設定中に時計カウンタと一致し，割り込みフラグが“1”になる可能性があるため，アラームレジスタの変更後，アラーム時刻設定の確定を待ち，一度RSRのアラームフラグ（AF）を“0”にしてください。アラーム割り込みの割り込みフラグは，一度“0”にすると，再度アラームレジスタと時計カウンタが不一致状態になった後，再び一致するかアラームの再設定を行うまで“1”になりません。

図9－65　アラーム割り込み（ALM）のタイミングチャート



注意1. アラーム割り込みと周期割り込みは排他的に使用してください。アラーム割り込みと周期割り込みの割り込み要因の判別は，AF，PFを使用せずに，割り込み処理ルーチンでRTCコントロールレジスタ1（RCR1）のAIEビットとPIEビットの値で判別してください。

2. アラーム割り込みのみ単独で使用する場合，アラーム割り込みの発生はAFを使用せずに，割り込み要求フラグレジスタ（IF1H）のRTCAIFフラグを使用して下さい。

(2) 周期割り込み（PRD）

2秒，1秒，1/2秒，1/4秒，1/8秒，1/16秒，1/32秒，1/64秒，1/128秒，1/256秒周期で発生する割り込みです。

RCR1.PES[3:0]ビットによって周期の選択が可能です。

注意1. アラーム割り込みと周期割り込みは排他的に使用してください。アラーム割り込みと周期割り込みの割り込み要因の判別は，AF，PFを使用せずに，割り込み処理ルーチンでRTCコントロールレジスタ1（RCR1）のAIEビットとPIEビットの値で判別してください。

2. 周期割り込みのみ単独で使用する場合，周期割り込みの発生はPFを使用せずに割り込み要求フラグレジスタ（IF1H）のRTCRIFフラグを使用して下さい。

9. 5　イベントリンク出力機能

RTCはイベントリンクコントローラ（ELC）へ以下のイベントを出力し，あらかじめ設定していたモジュールを動作させることができます。

（1）周期イベント出力

RCR1.PES[3:0]ビットの設定により，2秒，1秒，1/2秒，1/4秒，1/8秒，1/16秒，1/32秒，1/64秒，1/128秒，1/256秒周期から選択された周期でイベントを出力します。

また，イベント発生周期選択直後のイベント発生周期は保証されません。

注意　RTCのイベントリンク出力機能を使用する場合は，RTCの設定（初期化，時刻設定など）後，ELCを設定して行ってください。ELC設定後にRTCを設定すると，意図しないイベントが出力することがあります。

9. 5. 1　割り込み処理とイベントリンクの関係

RTCには，周期割り込みに割り込み許可／禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にCPUに対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は，割り込み要因が発生すると割り込み許可ビットに依存せず，ELCを介して他のモジュールにイベント信号として出力します。

注意　STOPモード中もアラーム割り込み，周期割り込み出力することができますが，ELC用の周期イベント信号は出力しません。

9. 6　使用上の注意事項

9. 6. 1　カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.STARTビット＝1のとき）は，以下のレジスタに書き込みを行わないでください。

RSECCNT/BCNT0，RMINCNT/BCNT1，RHRCNT/BCNT2，RDAYCNT，RWKCNT/BCNT3，RMONCNT，RYRCNT, RCR1.RTCOS, RCR2.RTCOE, RCR2.HR24

上記のレジスタへの書き込みを行う場合は，一度カウント動作を停止してから書き込んでください。

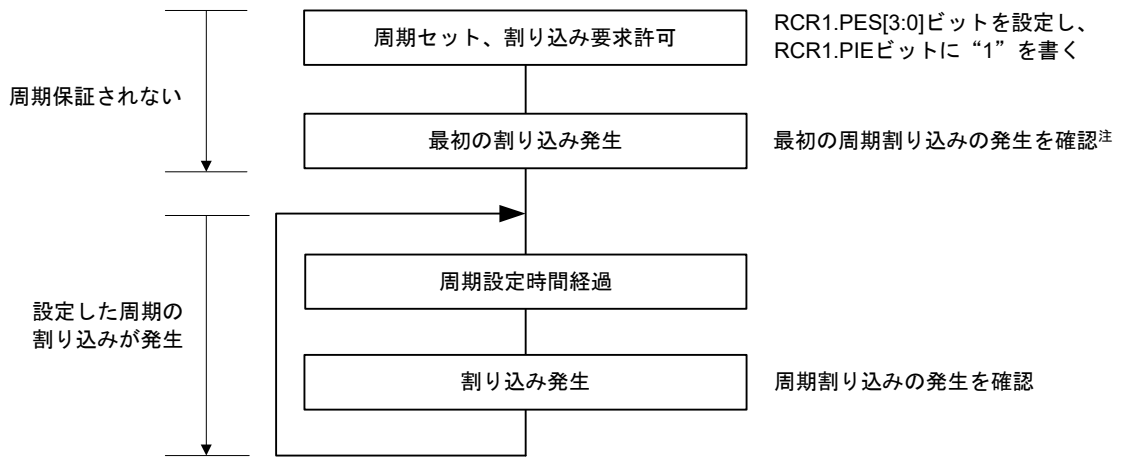
9. 6. 2　周期割り込みの使用について

周期割り込みの使用方法を**図9－66**に示します。

周期割り込みは，RCR1.PES[3:0]ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし，割り込み発生にプリスケーラ，R64CNT，RSECCNT/BCNT0カウンタを使用しているため，RCR1.PES[3:0]ビット設定直後の割り込み発生周期は保証されません。

RCR2レジスタによって，カウント動作の停止／動作，RTCソフトウェアリセット，30秒調整を行うと，割り込み発生周期に影響を与えます。また，時計誤差補正機能を使用した場合，補正後の割り込み発生周期は，補正値の分だけ周期がずれます。

図9－66　周期割り込み機能の使用方法



注　周期割り込みを使用中に割り込み発生周期を変更した場合は、設定完了時に割り込みが発生する場合があります。設定直後に割り込みが発生している場合は、設定直後の割り込みを含めて2回目の割り込みまで周期が保証されません。

9. 6. 3　RTCOUT（1 Hz/64 Hz）出力について

RCR2レジスタによって，カウント動作の停止／動作，RTCソフトウェアリセット，30秒調整を行うと，RTCOUT（1 Hz/64 Hz）出力の周期に影響を与えます。また，時計誤差補正機能を使用した場合，補正後のRTCOUT（1 Hz/64 Hz）出力の周期は，補正値の分だけ周期がずれます。

9. 6. 4　レジスタの書き込み／読み出し時の注意事項

- 秒カウンタなど，カウントレジスタの読み出しは，**9. 3. 6　64 Hzカウンタおよび時刻読み出し手順**に従ってください。
- カウントレジスタ, アラームレジスタ, 年アラーム許可レジスタ, RCR2.AADJE, AADJP, HR24ビット, RCR3, RCR4, RCR5レジスタに書いた値は，CPUクロック(f_{CLK})で4サイクル目から読み出しが可能です。
- SCMC, SCSC, RTCPORSR, RTCICNFEN, RSRレジスタ，RCR1.RTCOSビット，RCR2.RTCOEビットは，書き込み後すぐに書いた値を読み出すことができます。
- 下記のいずれかの条件の後に時計カウンタ（R64CNT, RxxxCNT/BCNTn）の値を読み出す場合は，時計動作中（RCR2.STARTビット＝“1”）で1/128秒待ってから読み出しを行ってください。
  - -RTCPOR以外のリセット（RTCソフトウェアリセットを除く）から復帰した後
  - -パワーオン・リセット状態から復帰した後
  - -STOPモードから復帰した後
  - -RTCLPC=1かつサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモードから復帰した後
  - -VRTCENを0から1に設定した後
- リセット発生後, RTCレジスタへの書き込みは, カウントソースクロック6サイクル経過後に行ってください。VRTCが遮断状態の時，RTC関連レジスタを設定するのは禁止です。

9. 6. 5　カウントモードの変更について

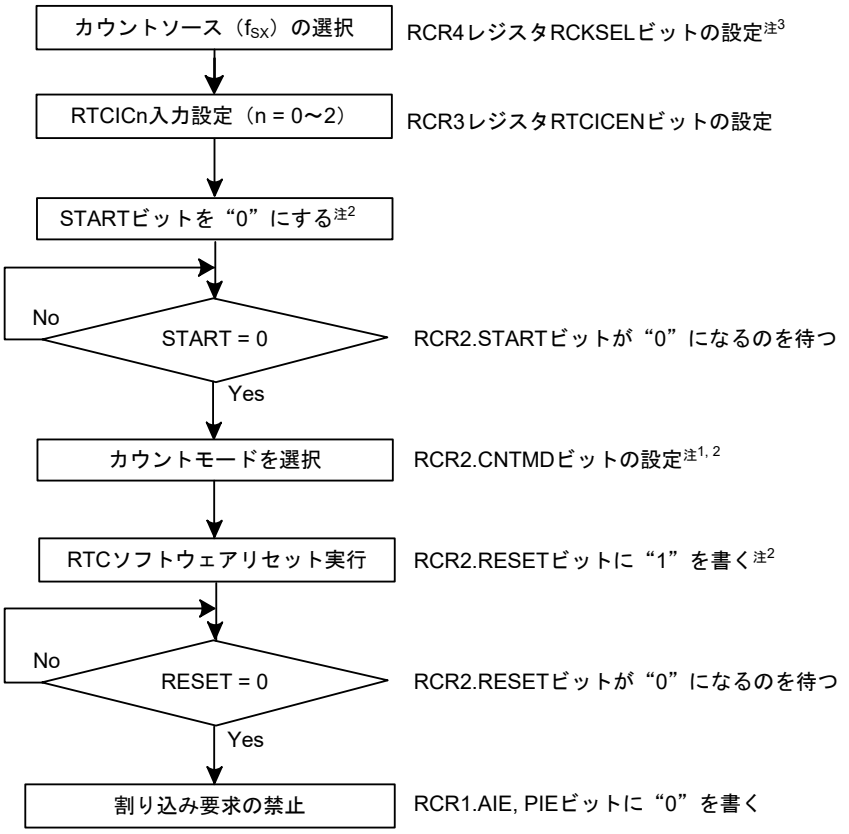
カウントモード（カレンダ／バイナリ）を変更する場合には，RCR2.STARTビットを“0”に設定し，カウント動作を停止させてから初期設定からやり直してください。初期設定の詳細は**9. 3. 1　電源投入後のレジスタの初期設定概要**を参照してください。

9. 6. 6　独立電源RTCの停止手順

RL78/I1Cの独立電源RTCは，RTCパワーオン・リセット解除直後は不定状態です。

独立電源RTCの機能を必要としない場合は，**図9－67**に示す下記手順に従って止めてください。

図9－67　停止設定手順



注1. STARTビットへの“0”書き込みと同時にカウントモード設定を行っている場合は、本手順を省略可能です。

2. RCR2レジスタは、リードモディファイライトによる書き換えを行わないでください。

3. RCR4レジスタのRCKSELビットには必ず“0”を設定してください。

9. 6. 7　タンパ検出機能の注意事項

V_{DD}またはVBAT電源端子からの電源供給が遮断した場合，タンパ検出（RTCICn）機能は使用できません。

第10章　周波数測定回路

10. 1　周波数測定回路

周波数測定回路は，基準クロックを外部から入力することで，サブ・クロック（f_{SX}）または低速オンチップ・オシレータ・クロック（f_{IL}）の周波数測定を行うことができる機能です。

10. 2　周波数測定回路の構成

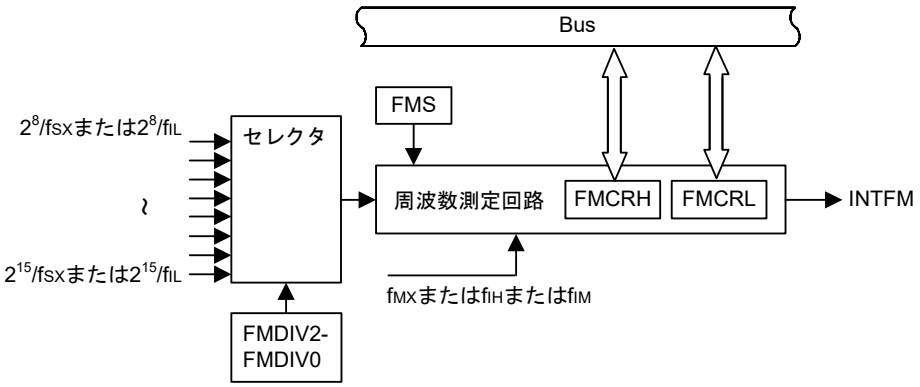
周波数測定回路は，次のハードウエアで構成されています。

表10－1　周波数測定回路の構成

項目	構成
カウンタ	カウンタ（32 ビット）
制御レジスタ	周辺イネーブル・レジスタ1（PER1）
	サブシステム・クロック供給オプション制御レジスタ（OSMC）
	周波数測定カウント・レジスタL（FMCRL）
	周波数測定カウント・レジスタH（FMCRH）
	周波数測定コントロール・レジスタ（FMCTL）
	周波数測定回路クロック選択レジスタ（FMCKS）

図10－1に周波数測定回路のブロック図を示します。

図10－1　周波数測定回路のブロック図



10. 3　周波数測定回路を制御するレジスタ

周波数測定回路は，次のレジスタで制御します。

- 周辺イネーブル・レジスタ1（PER1）
- サブシステム・クロック供給オプション制御レジスタ（OSMC）
- 周波数測定カウント・レジスタL（FMCRL）
- 周波数測定カウント・レジスタH（FMCRH）
- 周波数測定コントロール・レジスタ（FMCTL）
- 周波数測定回路クロック選択レジスタ（FMCKS）

10. 3. 1　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，周波数測定回路で使用するレジスタへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

ビット6（FMCEN）を1に設定することで，周波数測定回路を制御するレジスタを設定可能になります。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F00FAH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	0	0	DTCEN	0	0	DSADCEN

FMCEN	周波数測定回路の入力クロック供給の制御
0	入力クロック供給停止 • 周波数測定回路で使用するSFRへのライト不可，リードした場合は00Hが読めます。 • 周波数測定回路およびSFRはリセット状態
1	入力クロック供給 • 周波数測定回路で使用するSFRへのリード／ライト可

注意1.　次のビットには必ず“0”を設定してください。
ビット7, 5, 4, 2, 1

2.　各周辺機能が動作許可の状態で，PER1レジスタの対象ビットを切り替えないでください。PER1による設定は，PER1に割り当てている各周辺機能が停止している状態で切り替えてください。

10. 3. 2　サブシステム・クロック供給オプション制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブ・クロック（fsx）でCPU動作中のHALTモード時に，独立電源 RTC，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，発振停止検出回路，周波数測定回路以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタでは12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，周波数測定回路の動作クロックの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－3　サブシステム・クロック供給オプション制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，LCDコントローラ／ドライバ，周波数測定回路の動作クロックの選択	周波数測定回路のカウント動作／停止トリガクロック選択	クロック出力／ブザー出力制御回路の出力クロックの選択
0	サブ・クロック（f_{SX}）	サブ・クロック（f_{SX}）を選択	サブ・クロック（f_{SX}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）[注2,3,5,6]	低速オンチップ・オシレータ・クロック（f_{IL}）を選択[注5]	クロック出力禁止[注4]

注1. ビット6, 5, 3-0には，必ず0を設定してください。

2. サブ・クロック（f_{SX}）発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

3. WUTMMCK0ビットによるサブ・クロック（f_{SX}）と低速オンチップ・オシレータ・クロック（f_{IL}）の切り替えは，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，周波数測定回路の全ての機能が停止中のみ可能です。

4. WUTMMCK0を“1”に設定した場合，PCLBUZn端子からクロック出力を禁止します。

5. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロック（f_{IL}）が発振します。

6. WUTMMCK0を“1”に設定した場合，LCDコントローラ／ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

10. 3. 3　周波数測定カウント・レジスタL（FMCRL）

周波数測定回路内の周波数測定カウント・レジスタ（FMCR）の下位16ビットを表します。

FMCRLレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，FMCRLレジスタは0000Hになります。

図10－4　周波数測定カウント・レジスタL（FMCRL）のフォーマット

アドレス：F0312H　　リセット時：0000H　　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FMCRL																

注意1.　FMS = 1のとき，FMCRLの値をリードしないでください。

2.　周波数測定完了割り込み発生後，FMCRLの値をリードしてください。

10. 3. 4　周波数測定カウント・レジスタH（FMCRH）

周波数測定回路内の周波数測定カウント・レジスタFMCRの上位16ビットを表します。

FMCRHレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，FMCRLレジスタは0000Hになります。

図10－5　周波数測定カウント・レジスタH（FMCRH）のフォーマット

アドレス：F0314H　　リセット時：0000H　　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FMCRH																

注意1.　FMS = 1のとき，FMCRHの値をリードしないでください。

2.　周波数測定完了割り込み発生後，FMCRHの値をリードしてください。

図10－6　周波数測定カウント・レジスタFMCR（FMCRH, FMCRL）

	31	16 15	0
FMCR	FMCRH	FMCRL	

10. 3. 5　周波数測定コントロール・レジスタ（FMCTL）

FMCTLレジスタは，周波数測定回路の動作を設定するレジスタです。周波数測定動作開始，周波数測定期間の設定を行います。

FMCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FMCTLレジスタは00Hになります。

図10－7　周波数測定コントロール・レジスタ（FMCTL）のフォーマット

アドレス：F0316H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
FMCT	FMS	0	0	0	0	FMDIV2	FMDIV1	FMDIV0

FMS	周波数測定回路動作許可
0	周波数測定回路停止
1	周波数測定回路動作 動作クロックの立ち上がりによってカウントを開始し，次の動作クロックの立ち下がりによりカウントを停止します。

FMDIV2	FMDIV1	FMDIV0	周波数測定期間設定
0	0	0	$2^8/f_{SX}$または$2^8/f_{IL}$（7.8125 ms）
0	0	1	$2^9/f_{SX}$または$2^9/f_{IL}$（15.625 ms）
0	1	0	$2^{10}/f_{SX}$または$2^{10}/f_{IL}$（31.25 ms）
0	1	1	$2^{11}/f_{SX}$または$2^{11}/f_{IL}$（62.5 ms）
1	0	0	$2^{12}/f_{SX}$または$2^{12}/f_{IL}$（0.125 s）
1	0	1	$2^{13}/f_{SX}$または$2^{13}/f_{IL}$（0.25 s）
1	1	0	$2^{14}/f_{SX}$または$2^{14}/f_{IL}$（0.5 s）
1	1	1	$2^{15}/f_{SX}$または$2^{15}/f_{IL}$（1 s）

注意　FMS = 1のとき，FMDIV2-FMDIV0ビットの設定を変更しないでください。

備考　周波数測定分解能は下記の計算式により算出できます。

- 周波数測定分解能 = 10^6/（周波数測定期間 [s] × 基準クロック周波数（f_{MX}）[Hz]）[ppm]

例1）FMDIV2-FMDIV0 = 000B，f_{MX} = 20 MHzのとき，測定分解能 = 6.4 ppm

例2）FMDIV2-FMDIV0 = 111B，f_{MX} = 1 MHzのとき，測定分解能 = 1 ppm

10. 3. 6　周波数測定回路クロック選択レジスタ（FMCKS）

FMCKSレジスタは，周波数測定回路に入力する動作クロックおよび周波数カウントクロックを選択するレジスタです。

FMCKSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FMCKSレジスタは00Hになります。

図10－8　周波数測定回路クロック選択レジスタ（FMCKS）のフォーマット

アドレス：F007AH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FMCKS	0	0	0	0	0	0	FMCKSEL1	FMCKSEL0

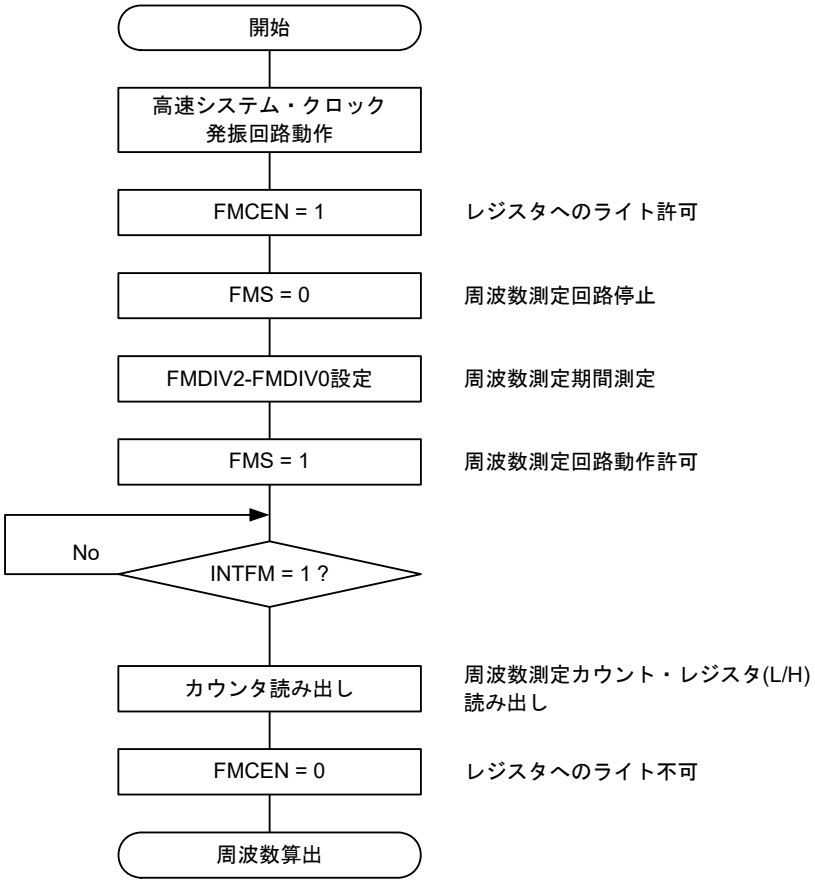
FMCKSEL1	FMCKSEL0	周波数カウントクロック選択
0	0	f_{MX}を選択
0	1	f_{IM}を選択
1	×	f_{IH}を選択

10. 4　周波数測定回路の動作

10. 4. 1　基準クロックによる周波数測定回路の設定

周波数測定回路の設定は，最初にFMS = 0にしてから行ってください。

図10－9　基準クロックによる周波数測定回路の設定手順



注意　周波数測定カウント・レジスタ（L/H）読み出し後は必ず，FMCEN = 0に設定してください。

f_{SX}またはf_{IL}発振周波数は次の計算式により算出できます。

$$f_{SX}\text{または}f_{IL}\text{発振周波数} = \frac{\text{基準クロック周波数 [Hz]} \times \text{動作トリガ分周比}}{\text{周波数測定カウント・レジスタ値(FMCR)}} \text{ [Hz]}$$

例えば，下記の条件にて周波数測定を行い，

- カウントクロック周波数：f_{MX} = 10 MHz
- 周波数測定期間設定レジスタ：FMDIV2-FMDIV0 = 111B（動作トリガ分周比：2^{15}）

測定結果が下記であった場合

- 周波数測定カウント・レジスタ：FMCR = 10000160 D

f_{SX}またはf_{IL}発振周波数は次の値になる。

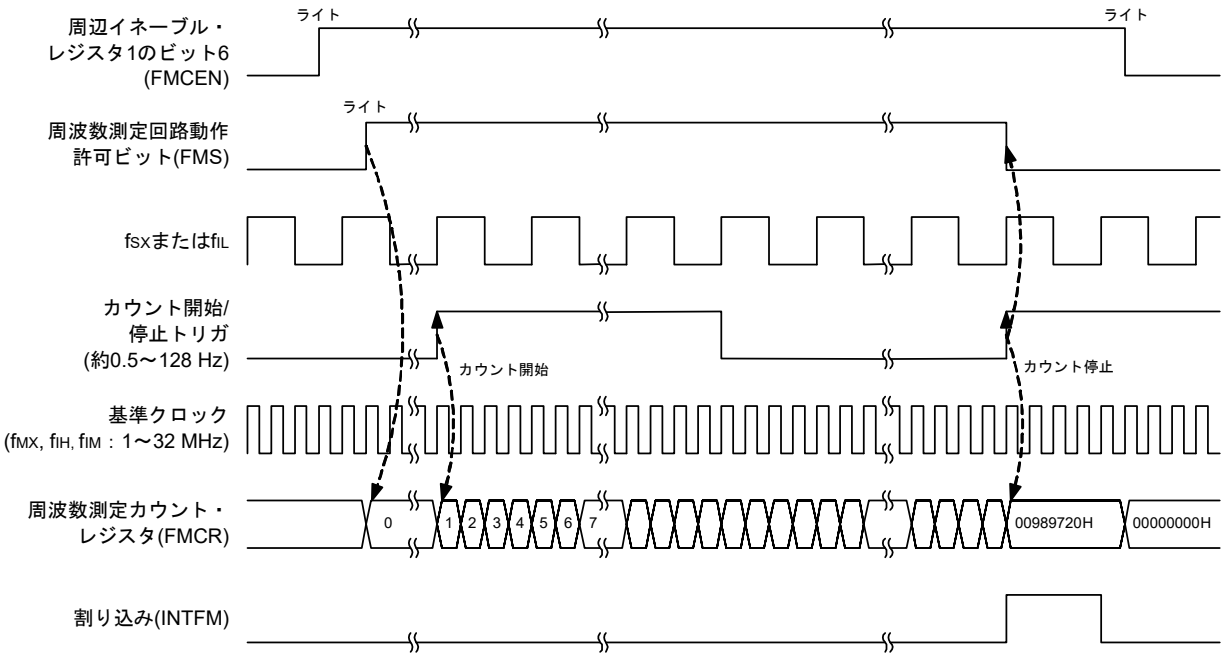
$$f_{SX}\text{または}f_{IL}\text{発振周波数} = \frac{(10 \times 10^6) \times 2^{15}}{10000160} = 32767.47572 \text{ [Hz]}$$

10. 4. 2　周波数測定回路の動作タイミング

周波数測定回路の動作は，図10－10のようなタイミングとなります。

周波数測定回路動作許可ビット（FMS）を“1”に設定後，周波数測定期間設定ビット（FMDIV2-FMDIV0）で設定したカウント開始トリガによってカウントを開始し，次のトリガでカウントを停止します。カウント停止後は，カウント値を保持し，周波数測定回路動作許可ビット（FMS）が“0”にリセットされます。周波数測定回路の動作が終了し，周波数測定カウント・レジスタ（L/H）読み出し後は，必ず周辺イネーブル・レジスタ1のビット6（FMCEN）を“0”に設定してください。また，f_{SX}またはf_{IL}の1クロック分割り込みを発生します。

図10－10　周波数測定回路の動作タイミング



第11章　12ビット・インターバル・タイマ

11.1　12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。STOPモードからのウエイク･アップや，A/DコンバータのSNOOZEモードのトリガに使えます。

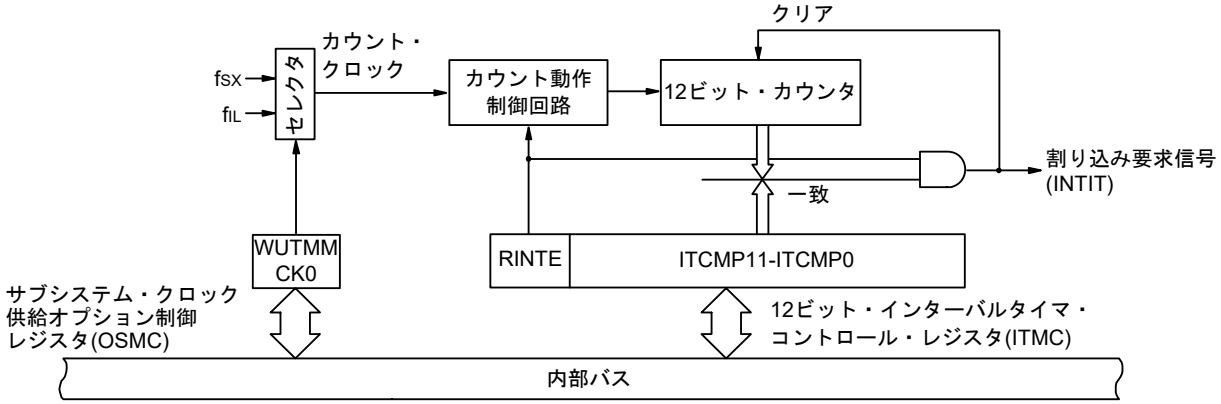
11.2　12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは，次のハードウエアで構成されています。

表11–1　12ビット・インターバル・タイマの構成

項　　目	構　　成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ2（PER2）
	周辺リセット制御レジスタ2（PRR2）
	サブシステム・クロック供給オプション制御レジスタ（OSMC）
	12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）

図11–1　12ビット・インターバル・タイマのブロック図



11. 3　12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは，次のレジスタで制御します。

・周辺イネーブル・レジスタ2（PER2）
・周辺リセット制御レジスタ2（PRR2）
・サブシステム・クロック供給オプション制御レジスタ（OSMC）
・12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）

11. 3. 1　周辺イネーブル・レジスタ2（PER2）

PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは，必ずビット7（TMKAEN）を1に設定してください。

PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11–2　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F00FCH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	OSDCEN	0	0	0	MACEN	0	VRTCEN

TMKAEN	12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注　12ビット・インターバル・タイマおよび12ビット・インターバル・タイマで使用するSFRを初期化する場合，PRR2のビット7（TMKARES）を使用してください。

注意1.　次のビットには必ず“0”を設定してください。
ビット5-3, 1

2.　各周辺機能が動作許可の状態で，PER2レジスタの対象ビットを切り替えないでください。PER2による設定は，PER2に割り当てている各周辺機能が停止している状態で切り替えてください（ただし，FMCENは除く）。

11. 3. 2　周辺リセット制御レジスタ2（PRR2）

各周辺ハードウエアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウエアのリセット／リセット解除の制御を行います。

12ビット・インターバル・タイマをリセットする場合は，必ずビット7（TMKARES）を1に設定してください。

PRR2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR2レジスタは00Hになります。

図11–3　周辺リセット制御レジスタ2（PRR2）のフォーマット

アドレス：F00FDH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	OSDCRES	0	0	0	MACRES	0	0

TMKARES	12ビット・インターバル・タイマのリセット制御
0	12ビット・インターバル・タイマのリセット解除
1	12ビット・インターバル・タイマはリセット状態

11. 3. 3　サブシステム・クロック供給オプション制御レジスタ（OSMC）

WUTMMCK0ビットで12ビット・インターバル・タイマの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11–4　サブシステム・クロック供給オプション制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，LCDコントローラ／ドライバ，周波数測定回路の動作クロックの選択	周波数測定回路のカウント動作／停止トリガクロック選択	クロック出力／ブザー出力制御回路の出力クロックの選択
0	サブ・クロック（f_{SX}）	サブ・クロック（f_{SX}）を選択	サブ・クロック（f_{SX}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）[注2, 3, 5, 6]	低速オンチップ・オシレータ・クロック（f_{IL}）を選択[注5]	クロック出力禁止[注4]

注1.　ビット6, 5, 3-0，必ず0を設定してください。

2.　サブ・クロック（f_{SX}）発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

3.　WUTMMCK0ビットによるサブ・クロック（f_{SX}）と低速オンチップ・オシレータ・クロック（f_{IL}）の切り替えは，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，周波数測定回路の全ての機能が停止中のみ可能です。

4.　WUTMMCK0を“1”に設定した場合，PCLBUZn端子からクロック出力を禁止します。

5.　WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロック（f_{IL}）が発振します。

6.　WUTMMCK0を“1”に設定した場合，LCDコントローラ／ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

11. 3. 4　12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0FFFHになります。

図11–5　12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマット

アドレス：FFF90H　リセット時：0FFFH　R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止（カウント・クリア）
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期×（ITMCMP設定値＋1）」の定周期割り込みを発生します。
・ ・ ・	
FFFH	
000H	設定禁止

ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例

・ITCMP11-ITCMP0 = 001H，カウント・クロック：f_{SUB} = 32.768 kHz時

1/32.768 [kHz]×（1＋1）= 0.06103515625 [ms] ≒ 61.03 [μs]

・ITCMP11-ITCMP0 = FFFH，カウント・クロック：f_{SUB} = 32.768 kHz時

1/32.768 [kHz]×（4095＋1）= 125 [ms]

注意 1.　RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始（0→1）する場合は，TMKAIFフラグをクリアしてから割り込み処理許可にしてください。

2.　RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。

3.　スタンバイ・モードから復帰後にRINTEビット設定して，再度スタンバイ・モードに移行する場合は，RINTEビットの書き込み値が反映されたことを確認するか，スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。

4.　ITCMP11-ITCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。ただし，RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

11.4　12ビット・インターバル・タイマの動作

11.4.1　12ビット・インターバル・タイマの動作タイミング

ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし，繰り返し割り込み要求（INTIT）を発生する12ビット・インターバル・タイマとして動作します。

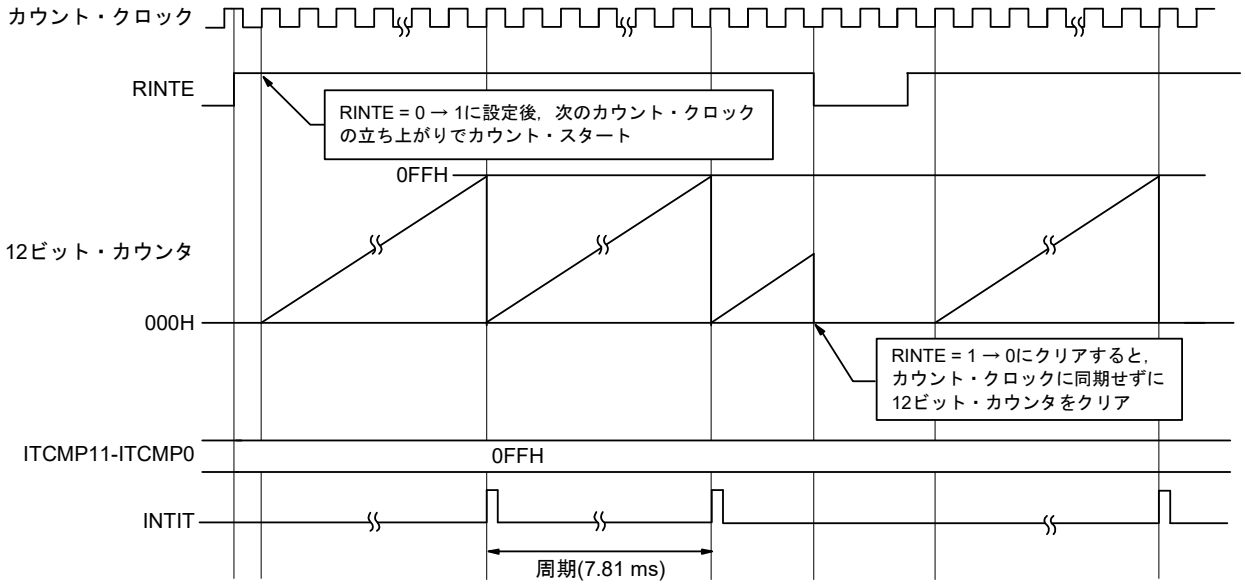
RINTEビットを1に設定すると，12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき，12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号（INTIT）を発生します。

12ビット・インターバル・タイマの基本動作を**図11－6**に示します。

図11–6　12ビット・インターバル・タイマ動作のタイミング

（ITCMP11-ITCMP0 = 0FFH，カウント・クロック：f_{SUB} = 32.768 kHz）

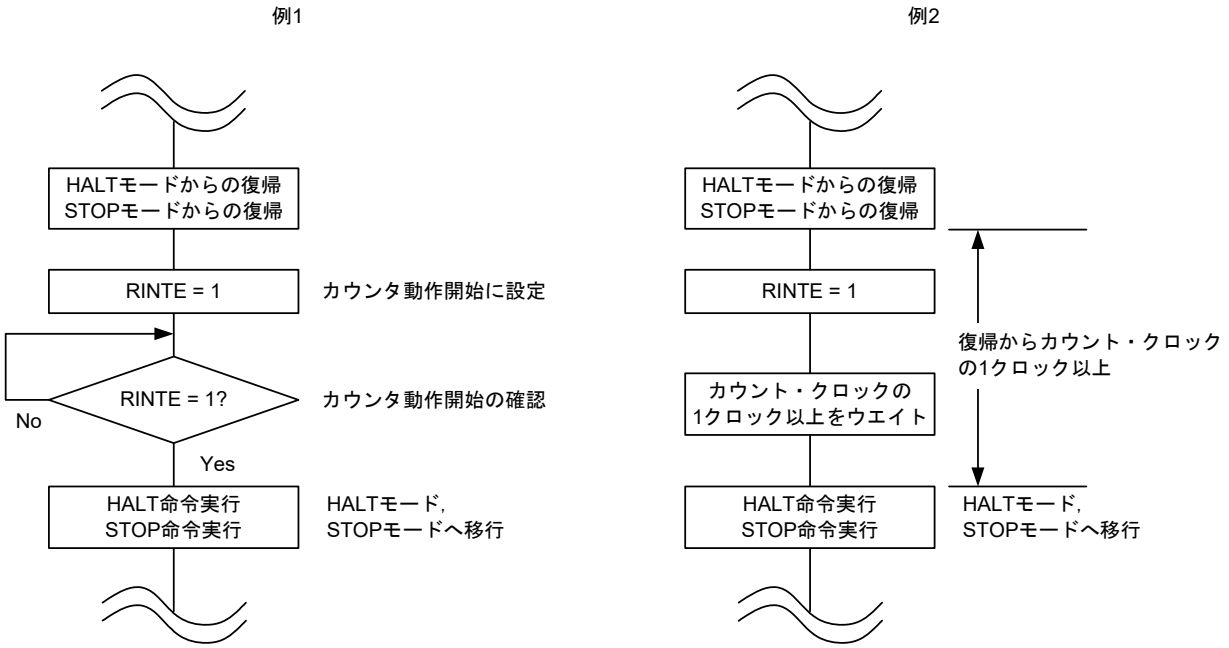


11. 4. 2　HALT/STOPモードから復帰後にカウンタ動作開始し，再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し，再度HALTモード，STOPモードへ移行する場合は，RINTE = 1に設定してから，RINTEビットの書き込み値が反映されたことを確認するか，復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後，RINTEビットが1になるのをポーリングで確認後にHALTモード，STOPモードへ移行する（**図11–7　例1**参照）。
- RINTE = 1に設定してから，カウント・クロックの1クロック分以上経過後にHALTモード，STOPモードへ移行する（**図11–7　例2**参照）。

図11–7　RINTE = 1に設定後のHALTモード，STOPモードへの移行手順



第12章　8ビット・インターバル・タイマ

RL78/I1Cは8ビット・インターバル・タイマを2ユニット持ちます。

8ビット・インターバル・タイマは8ビット・タイマを1ユニットにつき2つ（チャネル0，チャネル1）持ち，それぞれが独立して動作します。また，2つの8ビット・タイマを連結動作させることで16ビット・タイマとして動作することもできます。

12. 1　概要

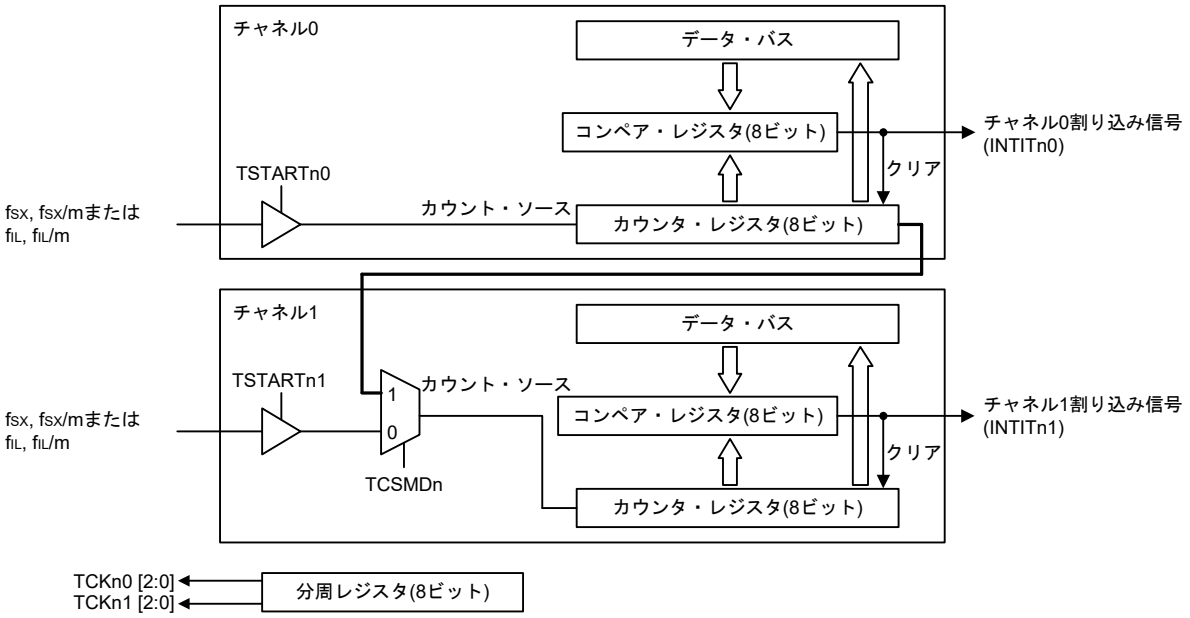
8ビット・インターバル・タイマはCPUと非同期のf_{SX}またはf_{IL}クロックで動作する8ビット・タイマです。

表12－1に8ビット・インターバル・タイマの仕様を，**図12－1**に8ビット・インターバル・タイマのブロック図を示します。

表12–1　8ビット・インターバル・タイマの動作仕様

項　　目	内　　容
カウント・ソース （動作クロック）	• f_{SX}, $f_{SX}/2$, $f_{SX}/4$, $f_{SX}/8$, $f_{SX}/16$, $f_{SX}/32$, $f_{SX}/64$, $f_{SX}/128$ • f_{IL}, $f_{IL}/2$, $f_{IL}/4$, $f_{IL}/8$, $f_{IL}/16$, $f_{IL}/32$, $f_{IL}/64$, $f_{IL}/128$
動作モード	• 8ビット・カウンタ・モード チャネル0，チャネル1が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャネル0，チャネル1を連結して16ビット・カウンタとして動作するモード
割り込み	• カウンタがコンペア値と一致したとき出力

図12–1　8ビット・インターバル・タイマのブロック図



TSTARTni (i = 0, 1), TCSMDn, TCLKENn: TRTCRnレジスタのビット

TCKni[2:0]: TRTMDnレジスタのビット

備考　m = 2, 4, 8, 16, 32, 64, 128

n = 0, 1

12. 2　入出力端子

8ビット・インターバル・タイマは入出力端子を持ちません。

12. 3　レジスタの説明

表12－2に8ビット・インターバル・タイマのレジスタ構成を示します。

表12–2　レジスター覧

項　　目	構　　成
制御レジスタ	8ビット・インターバル・タイマ・カウンタ・レジスタ00（TRT00）注1
	8ビット・インターバル・タイマ・カウンタ・レジスタ01（TRT01）注1
	8ビット・インターバル・タイマ・カウンタ・レジスタ0（TRT0）注2
	8ビット・インターバル・タイマ・コンペア・レジスタ00（TRTCMP00）注1
	8ビット・インターバル・タイマ・コンペア・レジスタ01（TRTCMP01）注1
	8ビット・インターバル・タイマ・コンペア・レジスタ0（TRTCMP0）注2
	8ビット・インターバル・タイマ制御レジスタ0（TRTCR0）
	8ビット・インターバル・タイマ分周レジスタ0（TRTMD0）
	8ビット・インターバル・タイマ・カウンタ・レジスタ10（TRT10）注1
	8ビット・インターバル・タイマ・カウンタ・レジスタ11（TRT11）注1
	8ビット・インターバル・タイマ・カウンタ・レジスタ1（TRT1）注2
	8ビット・インターバル・タイマ・コンペア・レジスタ10（TRTCMP10）注1
	8ビット・インターバル・タイマ・コンペア・レジスタ11（TRTCMP11）注1
	8ビット・インターバル・タイマ・コンペア・レジスタ1（TRTCMP1）注2
	8ビット・インターバル・タイマ制御レジスタ1（TRTCR1）
	8ビット・インターバル・タイマ分周レジスタ1（TRTMD1）

注1.　TRTCRnレジスタのTCSMDnビット ＝0のときのみアクセス可能です。

2.　TRTCRnレジスタのTCSMDnビット ＝1のときのみアクセス可能です。

備考　n = 0, 1

12. 3. 1　8ビット・インターバル・タイマ・カウンタ・レジスタni（TRTni）（n = 0, 1, i = 0, 1）

8ビット・インターバル・タイマのカウント・レジスタです。カウント・クロックによりカウント・アップするカウンタです。

TRTniレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12–2　8ビット・インターバル・タイマ・カウンタ・レジスタni（TRTni）のフォーマット

アドレス：　F0540H (TRT00), F0541H (TRT01), F0548H (TRT10), F0549H (TRT11)　　リセット時：00H　R[注1, 2]

略号	7	6	5	4	3	2	1	0
TRTni								

注1.　TRTniレジスタはコンペア・レジスタTRTCMPniに書き込みアクセス後，カウント・クロックで2サイクル後00Hになります。詳細は**12. 4. 4　コンペア・レジスタ値の反映タイミング**を参照してください。

2.　8ビット・インターバル・タイマ制御レジスタn（TRTCRn）のモード選択ビット（TCSMDn）が0の場合のみアクセスが可能になります。

12. 3. 2　8ビット・インターバル・タイマ・カウンタ・レジスタn（TRTn）（n = 0, 1）

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合の16ビットのカウント・レジスタです。

TRTnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図12–3　8ビット・インターバル・タイマ・カウンタ・レジスタn（TRTn）のフォーマット

アドレス：　F0540H (TRT0), F0548H (TRT1)　　リセット時：0000H　R[注1, 2]

	F0541H (TRT01) F0549H (TRT11)								F0540H (TRT00) F0548H (TRT10)							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRTn																

注1.　TRTnレジスタはコンペア・レジスタTRTCMPnに書き込みアクセス後，カウント・クロックで2サイクル後に0000Hになります。詳細は**12. 4. 4　コンペア・レジスタ値の反映タイミング**を参照してください。

2.　8ビット・インターバル・タイマ制御レジスタn（TRTCRn）のモード選択ビット（TCSMDn）が1の場合のみアクセスが可能になります。

12. 3. 3　8ビット・インターバル・タイマ・コンペア・レジスタni（TRTCMPni）（n = 0, 1, i = 0, 1）

8ビット・インターバル・タイマのコンペア値レジスタです。

TRTCMPniレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

設定範囲は01H～FFH[注1]です。

TRTn0, TRTn1レジスタ（カウンタ）との比較値を格納します。

ライト・アクセスによりカウント値（TRT0, TRT1）を00Hにクリアします。

コンペア値の書き換えタイミングは，**12. 4. 4　コンペア・レジスタ値の反映タイミング**を参照してください。

図12–4　8ビット・インターバル・タイマ・コンペア・レジスタni（TRTCMPni）のフォーマット

アドレス：　F0350H (TRTCMP00), F0351H (TRTCMP01),　リセット時：FFH　R/W[注1, 2]
F0358H (TRTCMP10), F0359H (TRTCMP11)

略号	7	6	5	4	3	2	1	0
TRTCMPni								

注1.　TRTCMPniレジスタの00H設定は禁止です。

2.　8ビット・インターバル・タイマ制御レジスタn（TRTCRn）のモード選択ビット（TCSMDn）が0の場合のみアクセスが可能になります。

12. 3. 4　8ビット・インターバル・タイマ・コンペア・レジスタn（TRTCMPn）（n = 0, 1）

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合のコンペア値レジスタです。

TRTCMPnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFFFHになります。

設定範囲は0001H～FFFFH[注1]です。

TRTnレジスタ（カウンタ）との比較値を格納します。

ライト・アクセスによりカウント値（TRTn）を0000Hにクリアします。

コンペア値の書き換えタイミングは，**12. 4. 4　コンペア・レジスタ値の反映タイミング**を参照してください。

図12–5　8ビット・インターバル・タイマ・コンペア・レジスタn（TRTCMPn）のフォーマット

アドレス：　F0350H (TRTCMP0), F0358H (TRTCMP1)　リセット時：FFFFH　R/W[注2]

	F0351H (TRTCMP01) F0359H (TRTCMP11)								F0350H (TRTCMP00) F0358H (TRTCMP10)							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRTCMPn																

注1.　TRTCMPnレジスタの0000H設定は禁止です。

2.　8ビット・インターバル・タイマ制御レジスタn（TRTCRn）のモード選択ビット（TCSMDn）が1の場合のみアクセスが可能になります。

12. 3. 5　8ビット・インターバル・タイマ制御レジスタn（TRTCRn）（n = 0, 1）

8ビット・インターバル・タイマのカウント停止／開始の設定と8ビット・カウンタ/16ビット・カウンタ動作の切替えを設定するレジスタです。

TRTCRnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12–6　8ビット・インターバル・タイマ制御レジスタn（TRTCRn）のフォーマット

アドレス：　F0352H (TRTCR0), F035AH (TRTCR1)　　リセット時：00H　　R/W[注3]

略号	7	6	5	4	3	2	1	0
TRTCRn	TCSMDn	0	0	TCLKENn	0	TSTARTn1	0	TSTARTn0

TCSMDn	モード選択
0	8ビット・カウンタとして動作
1	16ビット・カウンタとして動作(チャネル0，チャネル1を連結)
詳細は，**12. 4　動作説明**を参照。	

TCLKENn	8ビット・インターバル・タイマ・クロック許可[注1]
0	クロック停止
1	クロック供給

TSTARTn1	8ビット・インターバル・タイマ1カウント開始[注1, 2]
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは，TSTARTn1ビットに1を書くことによりTRTn1がカウントを開始し，0を書くことによりカウントを停止します。 16ビット・インターバル・タイマ・モードでは，未使用のため無効になります。詳細は，**12. 4 動作説明**を参照。	

TSTARTn0	8ビット・インターバル・タイマ0カウント開始[注1, 2]
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは，TSTARTn0ビットに1を書くことによりTRTn0がカウントを開始し，0を書くことによりカウントを停止します。 16ビット・インターバル・タイマ・モードでは，TSTARTn0ビットに1を書くことによりTRTnがカウントを開始し，0を書くことによりカウントを停止します。詳細は，**12. 4　動作説明**を参照。	

注1.　8ビット・インターバル・タイマを設定する際には，必ず最初にTCLKENnビットを1に設定してください。クロックを停止させる場合，TSTARTn0およびTSTARTn1に0を設定後，動作クロック（f_{SX}またはf_{IL}）で1サイクル以上経過後にTCLKENnビットに0を設定してください。詳細は，**12. 5. 3　8ビット・インターバル・タイマ設定手順について**を参照してください。

2.　TSTARTn0, TSTARTn1, TCSMDnビットの使用上の注意は，**12. 5. 1　動作モード設定変更について**を参照してください。

3.　ビット6, 5, 3, 1は，Read Onlyです。ライトする場合は，0を書き込んでください。リードする場合は，0が読み込まれます。

12. 3. 6　8ビット・インターバル・タイマ分周レジスタn（TRTMDn）（n = 0, 1）

8ビット・インターバル・タイマのカウント・ソースの分周比選択を設定するレジスタです。

TRTMDnレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12–7　8ビット・インターバル・タイマ分周レジスタn（TRTMDn）のフォーマット

アドレス：　F0353H (TRTMD0), F035BH (TRTMD1)　　リセット時：00H　　R/W[注4]

略号	7	6	5	4	3	2	1	0
TRTMDn	—	TCKn1			—	TCKn0		

TCKn1			8ビット・インターバル・タイマ1分周選択[注1, 2, 3]
ビット6	ビット5	ビット4	
0	0	0	f_{SX}またはf_{IL}
0	0	1	$f_{SX}/2$または$f_{IL}/2$
0	1	0	$f_{SX}/4$または$f_{IL}/4$
0	1	1	$f_{SX}/8$または$f_{IL}/8$
1	0	0	$f_{SX}/16$または$f_{IL}/16$
1	0	1	$f_{SX}/32$または$f_{IL}/32$
1	1	0	$f_{SX}/64$または$f_{IL}/64$
1	1	1	$f_{SX}/128$または$f_{IL}/128$
8ビット・インターバル・タイマ・モードでは，TCKn1に設定したカウント・ソースによりTRTn1がカウントします。 16ビット・インターバル・タイマ・モードでは，使用しないため“000”に設定してください。詳細は，**12. 4　動作説明**を参照。			

TCKn0			8ビット・インターバル・タイマ0分周選択[注1, 2, 3]
ビット2	ビット1	ビット0	
0	0	0	f_{SX}またはf_{IL}
0	0	1	$f_{SX}/2$または$f_{IL}/2$
0	1	0	$f_{SX}/4$または$f_{IL}/4$
0	1	1	$f_{SX}/8$または$f_{IL}/8$
1	0	0	$f_{SX}/16$または$f_{IL}/16$
1	0	1	$f_{SX}/32$または$f_{IL}/32$
1	1	0	$f_{SX}/64$または$f_{IL}/64$
1	1	1	$f_{SX}/128$または$f_{IL}/128$
8ビット・インターバル・タイマ・モードでは，TCKn0に設定したカウント・ソースによりTRTn0がカウントします。 16ビット・インターバル・タイマ・モードでは，TCKn0 に設定したカウント・ソースによりTRTnがカウントします。詳細は，**12. 4　動作説明**を参照。			

注1.　カウント中にカウント・ソースの切り替えをしないでください。カウント・ソースを切替えるときは，TRTCRnレジスタのTSTARTniビットが0（カウント停止）の時に，設定してください。

2.　未使用チャネルのTCKniは000Bに設定してください。

3.　TCKni（i = 0, 1）ビットは，必ずTRTCMPniレジスタの設定前に設定してください。

4.　ビット7，3は，Read Onlyです。ライトする場合は，0を書き込んでください。リードする場合は，0が読み込まれます。

12. 4　動作説明

12. 4. 1　カウンタ・モード

8ビット・カウンタ・モード/16ビット・カウンタ・モードの2種類のモードを持ちます。**表12－3**に8ビット・カウンタ・モード，**表12－4**に16ビット・カウンタ・モード時の使用レジスタと設定値を示します。

表12–3　8ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名（シンボル）	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタn0（TRTn0）	b7～b0	チャネル0側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・カウンタ・レジスタn1（TRTn1）	b7～b0	チャネル1側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタn0（TRTCMPn0）	b7～b0	チャネル0側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ・コンペア・レジスタn1（TRTCMPn1）	b7～b0	チャネル1側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタn（TRTCRn）	TSTARTn0	チャネル0側のカウント開始／停止を選択してください。
	TSTARTn1	チャネル1側のカウント開始／停止を選択してください。
	TCLKENn	1に設定してください。
	TCSMDn	0に設定してください。
8ビット・インターバル・タイマ分周レジスタn（TRTMDn）	TCKn0	チャネル0側のカウント・クロックを選択してください。
	TCKn1	チャネル1側のカウント・クロックを選択してください。

備考　n = 0, 1

表12–4　16ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名（シンボル）	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタn（TRTn）	b15～b0	16ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタn（TRTCMPn）	b15～b0	16ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタn（TRTCRn）	TSTARTn0	カウント開始／停止制御を選択してください。
	TSTARTn1	0に設定してください。
	TCLKENn	1に設定してください。
	TCSMDn	1に設定してください。
8ビット・インターバル・タイマ分周レジスタn（TRTMDn）	TCKn0	カウント・クロックを選択してください。
	TCKn1	000Bに設定してください。

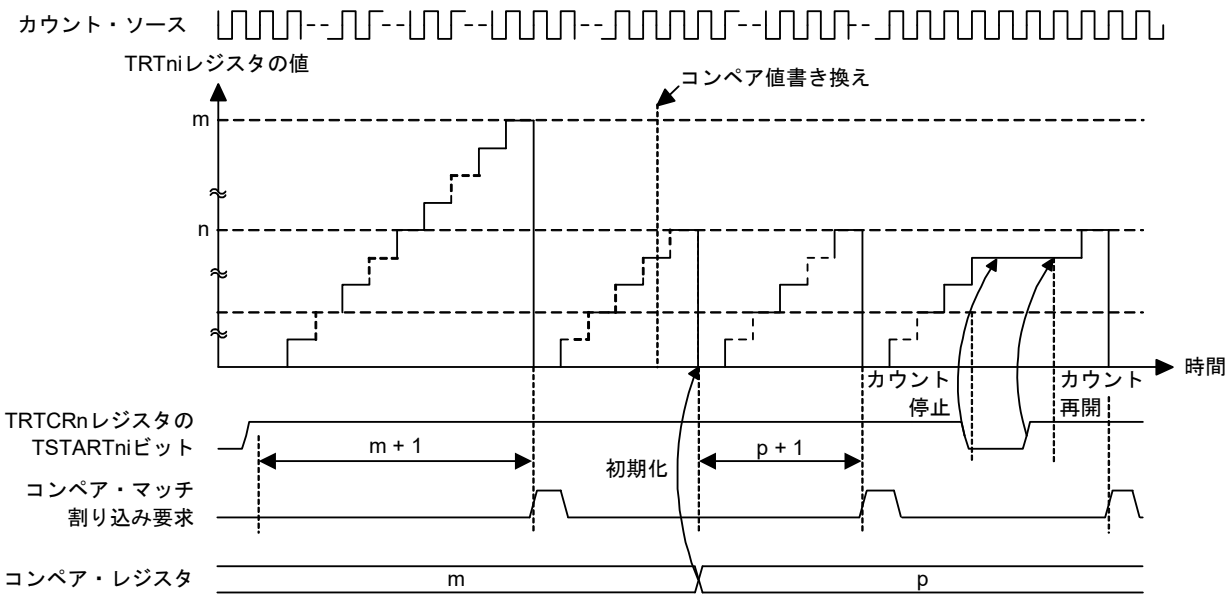
備考　n = 0, 1

12. 4. 2　タイマ動作

分周レジスタ（TRTMDn）のTCKni（n = 0, 1, i = 0, 1）ビットにより選択されたカウント・ソースで，アップ・カウントします。カウント・ソースが入力されるごとにカウント値が1だけ増加し，カウント値がコンペア値になった後，次のカウント・ソースが入力されるとコンペア・マッチし，割り込み要求を発生します。割り込み要求はカウント・ソース同期の1パルスで出力されます。ただし，TRTCRnレジスタのTSTARTniビットを0に設定し，カウント値が00hで停止した場合は，割り込み要求が発生し続けます。

また，動作停止時には停止直前のカウンタ値を保持し続けます。カウント値をクリアする場合は，TRTCMPniレジスタのコンペア値を再設定してください。TRTCMPniレジスタに書き込み後，カウント・ソースで2サイクル後にカウント値がクリアされます。

図12–8　タイマ動作例



備考　n = 0, 1　　i = 0, 1　　m, p：TRTCMPniレジスタの設定値

ただし，カウント動作開始時の最初の00Hカウント期間は，TRTCRレジスタのTSTARTni（i = 0, 1）ビットに1を書き込むタイミングにより，下記のように可変します。

- カウント・ソース（f_{SX}またはf_{IL}）選択時
  最大：カウント・ソースで2サイクル
  最小：カウント・ソースで1サイクル
- カウント・ソース　（$f_{SX}/2^m$または$f_{IL}/2^m$）選択時
  最大：カウント・ソース1サイクル
  最小：選択クロック（f_{SX}またはf_{IL}）1サイクル

カウント値がコンペア値と一致した場合，次のカウント・ソースでカウント値はクリアされます。また，TRTCMPniレジスタのコンペア値を書き換えた場合も，書き込み後カウント・ソースで2サイクル後にカウント値がクリアされます。

8/16ビット・カウンタ・モード時割り込み要因を，以下の**表12－5**に示します。

表12–5　8/16ビット・カウンタ・モード時割り込み要因

割り込み名称	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因
INTITn0	チャネル0コンペア・マッチ後，次のカウント・ソースの立ち上がり	コンペア・マッチ後，次のカウント・ソースの立ち上がり
INTITn1	チャネル1コンペア・マッチ後，次のカウント・ソースの立ち上がり	未発生

備考　n = 0, 1

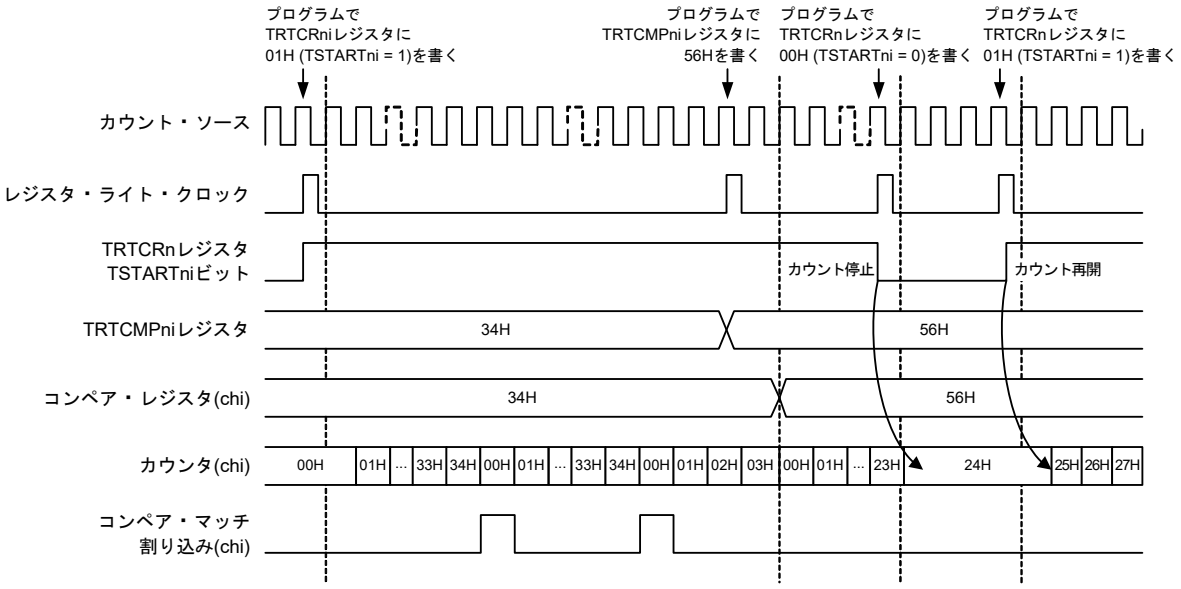
12. 4. 3　開始／停止タイミング

12. 4. 3. 1　カウント・ソース（fsx）選択時

TRTCRnレジスタのTSTARTni（n = 0, 1, i = 0, 1）ビットに1を書き込み後，次のサブ・クロック（fsx）でカウントが開始され，その次のカウント・ソース（fsx）でカウンタが00Hから01Hにカウント・アップされます。同様に，TSTARTniビットに0を書き込み後，サブ・クロック（fsx）でカウント・アップ後にカウントが停止します。

カウント動作の開始／停止タイミングを**図12－9**，カウント停止→コンペア設定（カウント・クリア）→カウント開始のタイミングを**図12－10**に示します。**図12－9**，**図12－10**は，8ビット・カウンタ・モード時の反映タイミングですが，16ビット・カウンタ・モードでも同タイミングの動作となります。

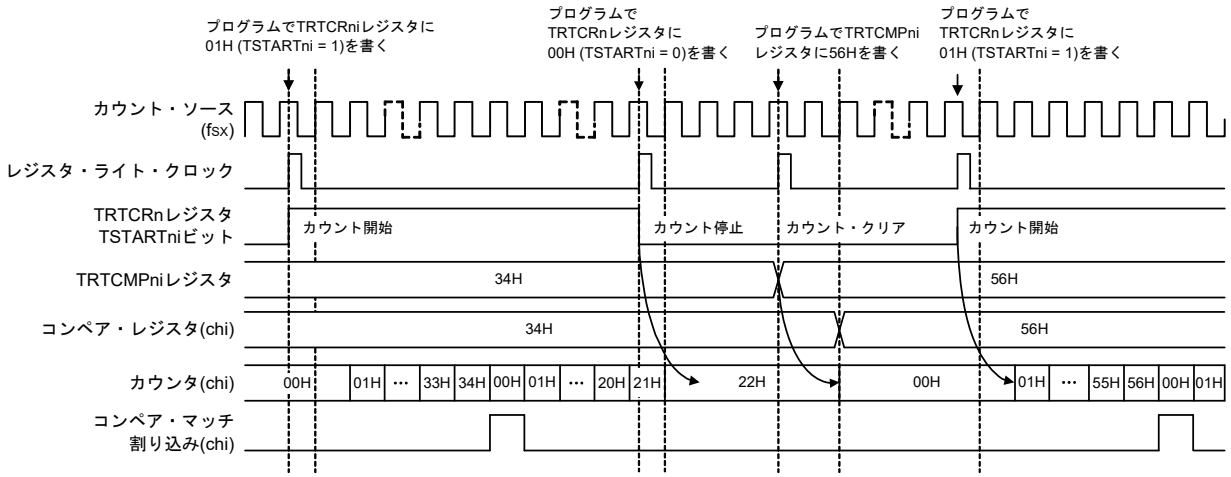
図12–9　カウント開始／停止動作例（fsx選択時）



TRTCRnレジスタのTCSMDnビットが0（8ビット・カウンタ動作）

備考　n = 0, 1　　i = 0, 1

図12–10　カウント停止→カウント・クリア→カウント開始動作例（fsx選択時）



TRTCRnレジスタのTCSMDnビットが0（8ビット・カウンタ動作）

備考　n = 0, 1　　i = 0, 1

12. 4. 3. 2　カウント・ソース（$f_{SX}/2^m$）選択時

TRTCRnレジスタのTSTARTni（n = 0, 1, i = 0, 1）ビットに1を書き込み後，次のサブ・クロック（fsx）でカウントが開始され，その次のカウント・ソース（$f_{SX}/2^m$）でカウンタが00Hから01Hにカウント・アップされます。同様に，TSTARTniビットに0を書き込み後，次のサブ・クロック（fsx）でカウントが停止します。

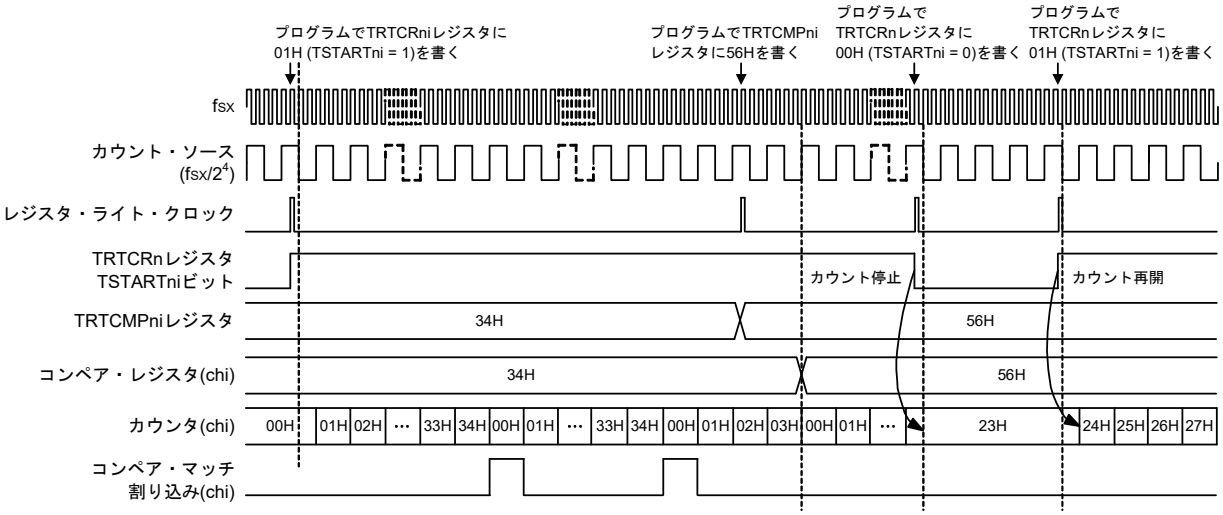
ただし，タイマカウント開始時の最初の00Hカウント期間は，TSTARTniビットの書き込みタイミングと次のカウント・ソースのタイミングによって下記のようにカウント・ソース1サイクルよりも短くなります。

最小：サブ・クロック（fsx）1サイクル

最大：カウント・ソース1サイクル

カウント動作の開始／停止タイミングを**図12－11**，カウント停止→コンペア・レジスタ設定（カウント・クリア）→カウント開始のタイミングを**図12－12**に示します。**図12－11**，**図12－12**は，8ビット・カウンタ・モード時の反映タイミングですが，16ビット・カウンタ・モードでも同タイミングの動作となります。

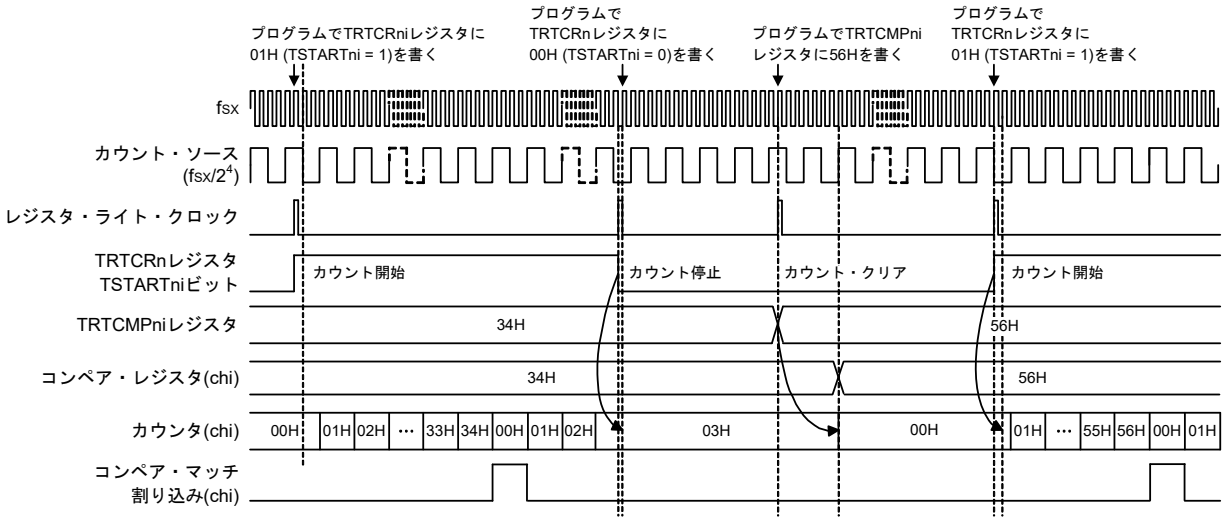
図12–11　カウント開始／停止動作例（$f_{SX}/2^m$選択時）



TRTCRnレジスタのTCSMDnビットが0（8ビット・カウンタ動作）

備考　n = 0, 1　　i = 0, 1

図12–12　カウント停止→カウント・クリア→カウント開始動作例（fsx/2^{m}選択時）



TRTCRnレジスタのTCSMDnビットが0（8ビット・カウンタ動作）

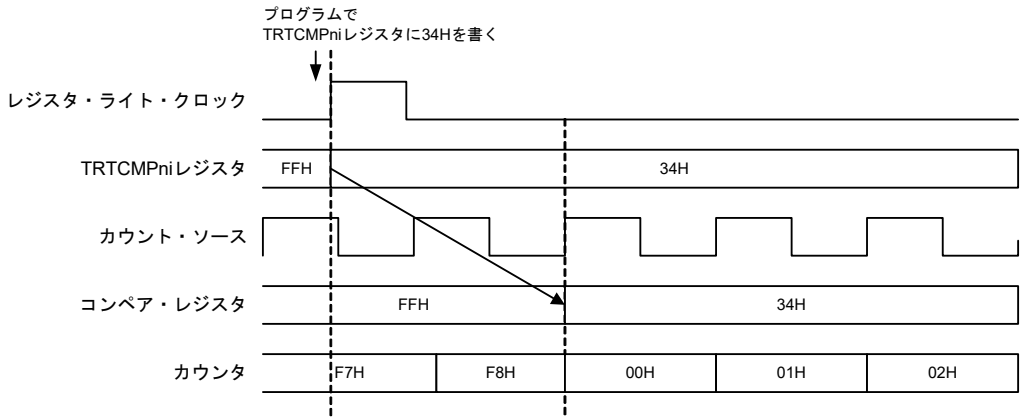
備考　n = 0, 1　　i = 0, 1

12. 4. 4　コンペア・レジスタ値の反映タイミング

TRTCMPni（n = 0, 1, i = 0, 1）レジスタの値が反映されるタイミングはTRTCRnレジスタのTSTARTniビットの値によらず，同じタイミングとなります。TRTCMPniへの書き込みアクセス後，カウント・ソースで2サイクル後にコンペア・レジスタに格納されます。コンペア・レジスタ格納時にカウント値はクリアされ（8ビット・カウンタ・モード：00H，16ビット・カウンタ・モード：0000H）になります。

図12－13に書き換え動作のタイミング図を示します。**図12－13**は，8ビット・カウンタ・モード時の反映タイミングですが，16ビット・カウンタ・モードでも同タイミングの動作となります。

図12–13　コンペア値書き換え動作のタイミング図



備考　n = 0, 1　　i = 0, 1

12. 5　8ビット・インターバル・タイマ使用上の注意事項

12. 5. 1　動作モード設定変更について

TCSMDnビット，TCKni（n = 0, 1, i = 0, 1）ビットの設定変更は，TRTCRnレジスタのTSTARTniビットが0（カウント停止）中に設定してください。また，TSTARTniビットを1から0に書き換え後（カウント停止），8ビット・インターバル・タイマ関連レジスタ（TRTCRn，TRTMDn）にアクセスする場合，f_{SX}またはf_{IL}で1サイクル以上経過後にアクセスしてください。

12. 5. 2　コンペア・レジスタへのアクセスについて

同一のコンペア・レジスタ（TRTCMPn0，TRTCMPn1，TRTCMPn）に連続して書き込みしないでください。連続して書くときは，書き込み間隔をカウント・ソースクロックの2サイクル以上空けてください。

また，コンペア・レジスタ（TRTCMPn0，TRTCMPn1，TRTCMPn）への書き込みは，必ずカウント・ソースが発振している状態で，8ビット・インターバル・タイマ・クロック許可ビット（TCLKENn）を1に設定した後に書き込みを実施してください。

12. 5. 3　8ビット・インターバル・タイマ設定手順について

クロックを供給する場合，最初に8ビット・インターバル・タイマ制御レジスタn（TRTCRn）の8ビット・インターバル・タイマ・クロック許可ビット（TCLKENn）を1に設定した後に，TSTARTniビットを設定してください。（TCLKENn, TSTARTniビットを同時に変更しないでください。）

クロックを停止させる場合，TSTARTniを0に設定した後，f_{SX}またはf_{IL}で1サイクル以上経過後にTCLKENnビットを0に設定してください。

第13章　クロック出力／ブザー出力制御回路

13. 1　クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

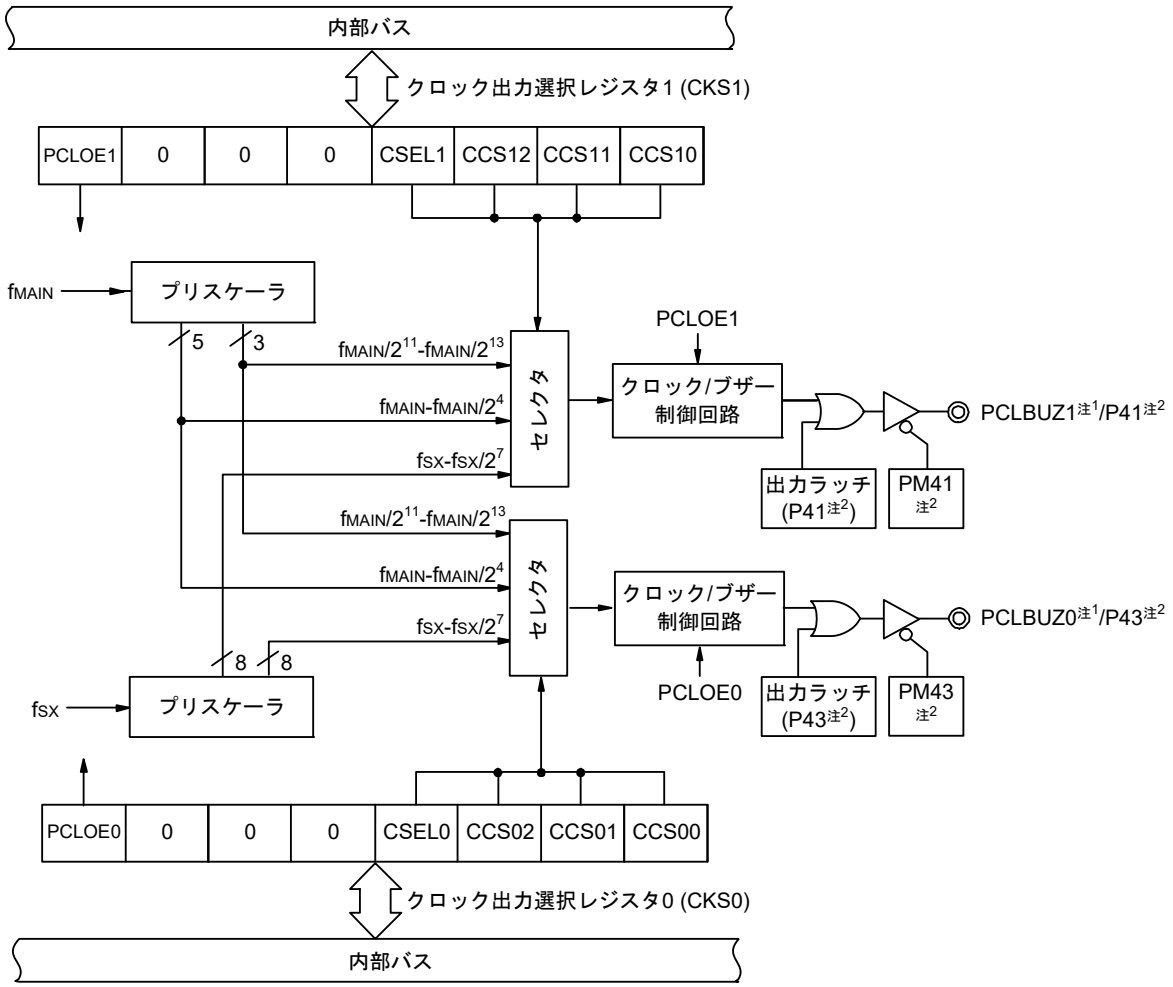
1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は，クロック出力選択レジスタn（CKSn）で選択したクロックを出力します。

図13－1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考　n = 0, 1

図13－1　クロック出力／ブザー出力制御回路のブロック図



注 1.　PCLBUZ0, PCLBUZ1端子から出力可能な周波数は，**41.4　AC特性**を参照してください。

2.　製品および周辺I/Oリダイレクトション・レジスタ0（PIOR0）の設定によって設定するポート・モード・レジスタ（PMxx）とポートレジスタ（Pxx）が異なります。詳細は**4.5　兼用機能使用時のレジスタの設定**を参照してください。

13. 2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表13－1　クロック出力／ブザー出力制御回路の構成

項　　目	構　　成
制御レジスタ	クロック出力選択レジスタn（CKSn） サブシステム・クロック供給オプション制御レジスタ（OSMC） ポート・モード・レジスタ3, 4（PM3, PM4） ポート・レジスタ3, 4（P3, P4）

13. 3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次のレジスタで制御します。

- クロック出力選択レジスタn（CKSn）
- サブシステム・クロック供給オプション制御レジスタ（OSMC）
- ポート・モード・レジスタ3, 4（PM3, PM4）
- ポート・レジスタ3, 4（P3, P4）

13. 3. 1　クロック出力選択レジスタn（CKSn）

クロック出力またはブザー周波数出力の端子（PCLBUZn）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKSnレジスタで，PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－2　クロック出力選択レジスタn（CKSn）のフォーマット

アドレス：FFFA5H（CKS0），FFFA6H（CKS1）　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止（デフォルト）
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
					f_{MAIN} = 5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} = 20 MHz	f_{MAIN} = 24 MHz
0	0	0	0	f_{MAIN}	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	10 MHz注	設定禁止注
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	0	0	0	f_{SX}	32.768 kHz			
1	0	0	1	$f_{SX}/2$	16.384 kHz			
1	0	1	0	$f_{SX}/2^2$	8.192 kHz			
1	0	1	1	$f_{SX}/2^3$	4.096 kHz			
1	1	0	0	$f_{SX}/2^4$	2.048 kHz			
1	1	0	1	$f_{SX}/2^5$	1.024 kHz			
1	1	1	0	$f_{SX}/2^6$	512 Hz			
1	1	1	1	$f_{SX}/2^7$	256 Hz			

注　出力クロックは，16 MHz以内の範囲で使用してください。詳しくは，**41. 4　AC特性**を参照してください。

注意　出力クロックの切り替えは，出力禁止（PCLOEn = 0）にしてから行ってください。

備考1.　n = 0, 1

2.　f_{MAIN}　：メイン・システム・クロック周波数

f_{SX}　：サブ・クロック

13. 3. 2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx））を設定してください。詳細は，**4. 3. 1 ポート・モード・レジスタ（PMxx）**，**4. 3. 2　ポート・レジスタ（Pxx）**を参照してください。

クロック出力／ブザー出力端子を兼用するポート（P43/TI00/TO00/PCLBUZ0, P41/INTP6/TI01/TO01/PCLBUZ1など）をクロック出力／ブザー出力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

（例）P43/TI00/TO00/PCLBUZ0をクロック出力／ブザー出力として使用する場合
ポート・モード・レジスタ4のPM43ビットを0に設定
ポート・レジスタ4のP43ビットを0に設定
タイマ・アレイ・ユニットのチャネル0を使用しない設定

13. 4　クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

PCLBUZ1端子は，クロック出力選択レジスタ1（CKS1）で選択したクロック／ブザーを出力します。

13. 4. 1　出力端子の動作

PCLBUZn端子は，次の手順で出力します。

① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ（PMxx）およびポート・レジスタ（Pxx）のビットに0を設定する。

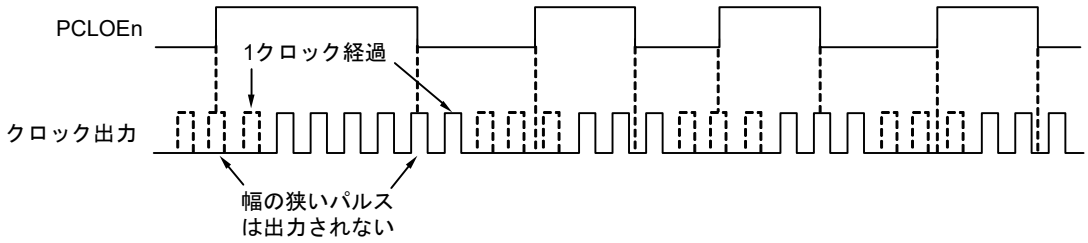
② PCLBUZn端子のクロック出力選択レジスタ（CKSn）のビット0-3（CCSn0-CCSn2，CSELn）で出力周波数を選択する（出力は禁止の状態）。

③ CKSnレジスタのビット7（PCLOEn）に1を設定し，クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOEnビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを**図13－3**に示します。

2. n = 0, 1

図13－3　PCLBUZn端子からのクロック出力のタイミング



13. 5　クロック出力／ブザー出力制御回路の注意事項

- PCLBUZn出力にメイン・システム・クロックを選択（CSELn = 0）している場合は，出力停止設定（PCLOEn = 0）にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると，PCLBUZnの出力幅が短くなります。
- サブシステム・クロック供給オプションレジスタ（OSMC）のWUTMMCK0ビットに1を設定した場合，クロック出力／ブザー出力の動作を禁止します。

第14章　ウォッチドッグ・タイマ

14. 1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは，オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック（f_{IL}）で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については**第27章　リセット機能**を参照してください。

また，オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

14. 2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表14–1　ウォッチドッグ・タイマの構成

項　　目	構　　成
カウンタ	内部カウンタ（17ビット）
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

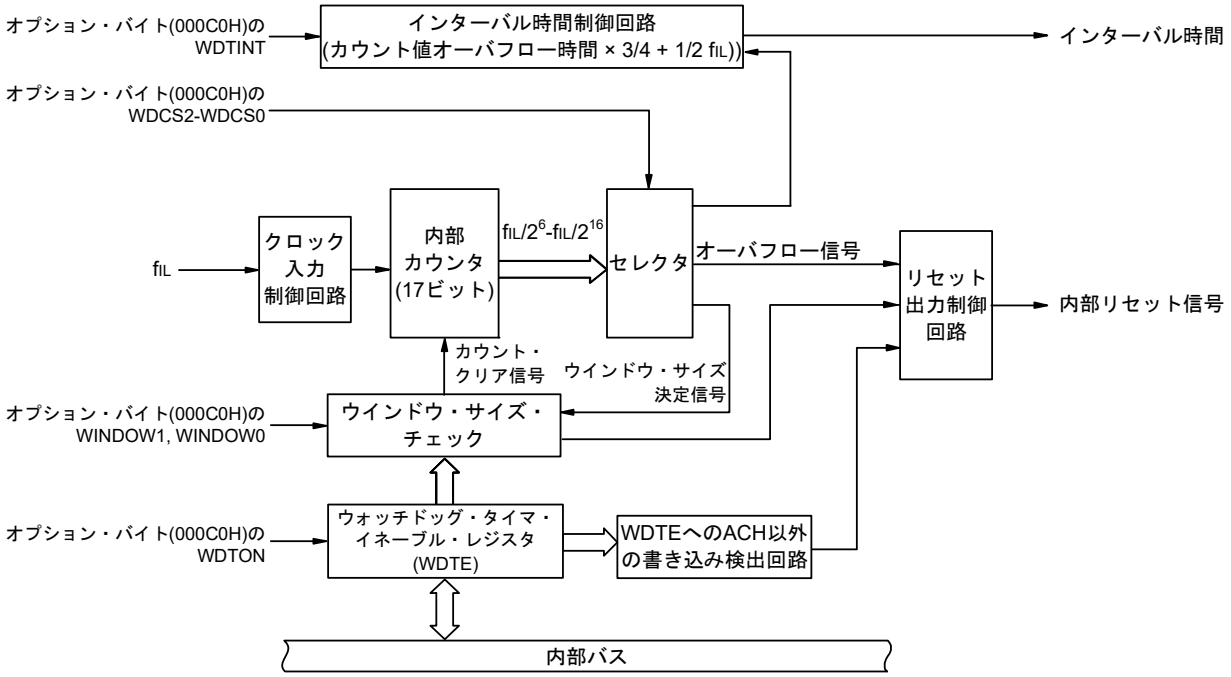
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定を行います。

表14–2　オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウインドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2-WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOP時）	ビット0（WDSTBYON）

備考　オプション・バイトについては，**第35章　オプション・バイト**を参照してください。

図14–1　ウォッチドッグ・タイマのブロック図



備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

14. 3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

14. 3. 1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，9AHまたは1AH注になります。

図14–2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH　リセット時：1AH/9AH注　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTEレジスタのリセット値は，オプション･バイト（000C0H）のWDTONビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1.　WDTEレジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

2.　WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3.　WDTEレジスタのリード値は，“9AH/1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

14. 4　ウォッチドッグ・タイマの動作

14. 4. 1　ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は，**第35章**を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は，**14. 4. 2**および**第35章**を参照）。
・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で，ウインドウ・オープン期間を設定してください（詳細は，**14. 4. 3**および**第35章**を参照）。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTEレジスタに“ACH”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

・WDTEレジスタに1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1.　リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

2.　WDTEレジスタに“ACH”を書き込んでから，ウォッチドッグ・タイマのカウンタがクリアされるまで，最大f_{IL}の2クロックの誤差が生じる場合があります。

3.　ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。

注意4.　オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により，ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は，次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合，HALTおよびSTOPモード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア（0）して，カウント開始します。
STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

14. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表14–3　ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.89 ms）注
1	1	0	$2^{14}/f_{IL}$（949.79 ms）注
1	1	1	$2^{16}/f_{IL}$（3799.18 ms）注

注　下記の使用条件にすべて該当すると，ウォッチドッグ・タイマのカウント・クリアした後，ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは，ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで，マスクする事ができます。

〈使用条件〉

・ウォッチドッグ・タイマのオーバフローの時間を$2^{13}/f_{IL}$，$2^{14}/f_{IL}$または$2^{16}/f_{IL}$ に設定

・ウォッチドッグ・タイマのインターバル割り込みを使用

・ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75% 以上の時にWDTE レジスタ(FFFABH)にACH を書き込み

① ウォッチドッグ・タイマのカウントクリア前に，割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット

② ウォッチドッグ・タイマのカウンタをクリア

③ 80 μs 以上ウエイト

④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア

⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

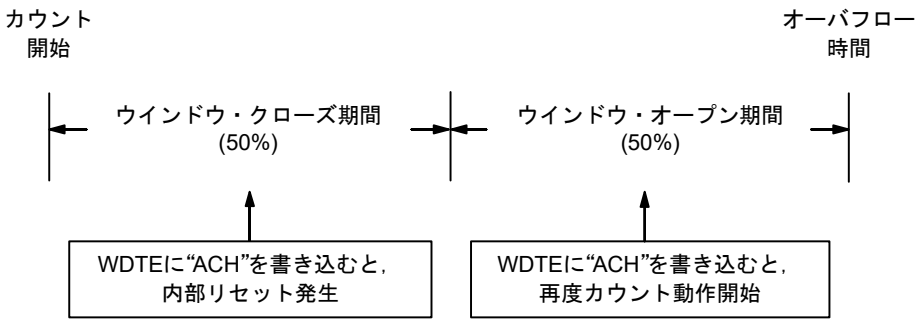
備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

14. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は，オプション・バイト（000C0H）のビット6，5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

・ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むと，ウォッチドッグ・タイマをクリアし，再度カウント動作を開始します。
・ウインドウ・クローズ期間中は，WDTEレジスタに“ACH”を書き込んでも，異常検出され，内部リセットを発生します。

例　ウインドウ・オープン期間が50%の場合



注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表14–4　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%注
1	1	100%

注　ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間(f_{IL} = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

注意　オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは，WINDOW1，WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考　オーバフロー時間を$2^9/f_{IL}$に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

	ウインドウ・オープン期間の設定		
	50%	75%	100%
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50%のとき>

・オーバフロー時間：

$2^9/f_{IL}$（MAX.）= 2^9/17.25 kHz（MAX.）= 29.68 ms

・ウインドウ・クローズ時間：

0～$2^9/f_{IL}$（MIN.）×（1－0.5）= 0～2^9/12.75 kHz×0.5 = 0～20.08 ms

・ウインドウ・オープン時間：

$2^9/f_{IL}$（MIN.）×（1－0.5）～$2^9/f_{IL}$（MAX.）= 2^9/12.75 kHz×0.5～2^9/17.25 kHz

= 20.08～29.68 ms

14. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット7（WDTINT）の設定により，オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込み（INTWDTI）を発生することができます。

表14–5　ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込みを発生する

注意　STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考　INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

第15章　A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

	64, 80ピン	100ピン
アナログ入力チャネル	4ch (ANI0-ANI3)	6ch (ANI0-ANI5)

15. 1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換するコンバータで，最大6チャネルのA/Dコンバータ・アナログ入力（ANI0-ANI5）を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより，10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには，次のような機能があります。

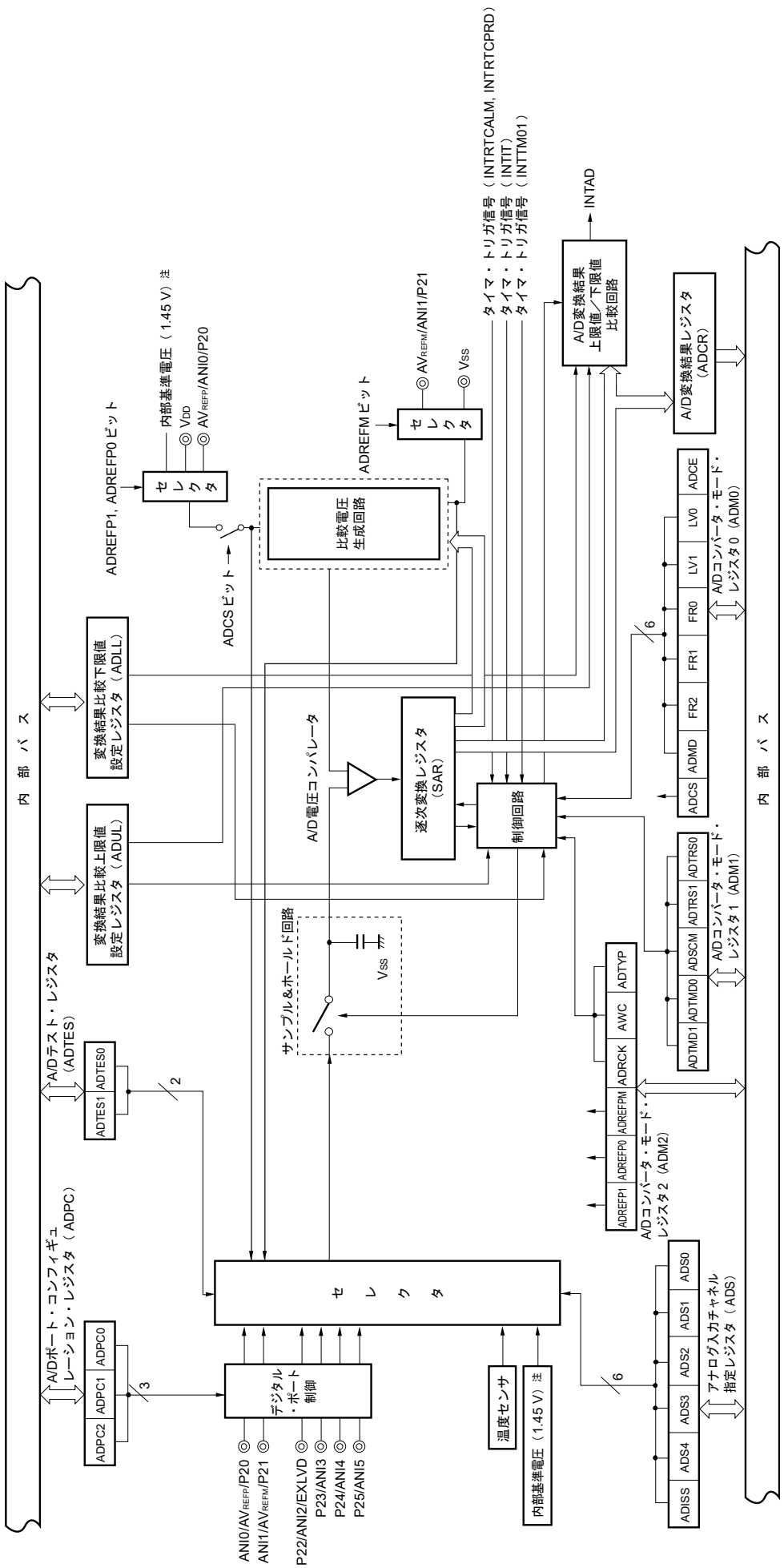
・10ビット／8ビット分解能A/D変換

ANI0-ANI5からアナログ入力を1チャネル選択し，10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより，様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウエア・トリガ	ソフトウエア操作で，変換動作を開始します。
	ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガを検出することにより，変換動作を開始します。
	ハードウエア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウエア・トリガを検出することにより，パワー・オンとなり，A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は，ハードウエア・トリガ・ウエイト・モードを選択してください。
チャネル選択モード	セレクト・モード	アナログ入力を1チャネル選択し，A/D変換します。
	スキャン・モード	4チャネルのアナログ入力を順番にA/D変換します。ANI0-ANI5のうち連続した4チャネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャネルを1回A/D変換します。
	連続変換モード	選択したチャネルをソフトウエアで停止するまで，連続してA/D変換します。
動作電圧モード	標準1／標準2 モード	2.7 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作する時に選択します。
	低電圧1／低電圧2モード	1.9 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作が可能です。 低電圧時に変換動作する時に選択します。低電圧動作のため，変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数：7 f_{AD}	標準1／低電圧1モードのサンプリング時間は，変換クロック（f_{AD}）の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数：5 f_{AD}	標準2／低電圧2モードのサンプリング時間は，変換クロック（f_{AD}）の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図15−1　A/Dコンバータのブロック図



注　内部基準電圧を使用する場合は，HSモードで使用する必要があります。
HSモードの動作下限電圧は2.4 Vです。
2.4 V以下の電圧で動作させたい場合は，外部の基準電圧を使用してください。

備考　この図のアナログ入力端子は，100ピン製品の場合です。

15. 2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

（1）ANI0-ANI5端子

A/Dコンバータの6チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

（3）A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0：（1/4 AV_{REF}）
ビット9 = 1：（3/4 AV_{REF}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考　AV_{REF} : A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

（4）比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

（5）逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD）が発生します。

（6）10ビットA/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

（7）8ビットA/D変換結果レジスタ（ADCRH）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。

（8）制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，A/D変換結果上限値/下限値比較回路を通りINTADを発生します。

（9）AV_{REFP}端子

外部から基準電圧（AV_{REFP}）を入力する端子です。

AV_{REFP}をA/Dコンバータの＋側基準電圧として使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1ビットに0を，ADREFP0ビットに1を設定してください。

AV_{REFP}と－側基準電圧（AV_{REFM}/V_{SS}）間にかかる電圧に基づいて，ANI2-ANI5に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には，AV_{REFP}のほかにV_{DD}と内部基準電圧（1.45 V）を選択することが可能です。

（10）AV_{REFM}端子

外部から基準電圧（AV_{REFM}）を入力する端子です。AV_{REFM}をA/Dコンバータの－側基準電圧として使用する場合は，ADM2レジスタのADREFMビットをセット（1）してください。

A/Dコンバータの－側基準電圧には，AV_{REFM}のほかにV_{SS}を選択することが可能です。

15. 3　A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・周辺リセット制御レジスタ0（PRR0）
・A/Dコンバータ・モード・レジスタ0（ADM0）
・A/Dコンバータ・モード・レジスタ1（ADM1）
・A/Dコンバータ・モード・レジスタ2（ADM2）
・10ビットA/D変換結果レジスタ（ADCR）
・8ビットA/D変換結果レジスタ（ADCRH）
・アナログ入力チャネル指定レジスタ（ADS）
・変換結果比較上限値設定レジスタ（ADUL）
・変換結果比較下限値設定レジスタ（ADLL）
・A/Dテスト・レジスタ（ADTES）
・A/Dポート・コンフィギュレーション・レジスタ（ADPC）
・ポート・モード・レジスタ2（PM2）

15. 3. 1 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5（ADCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 リード時は00Hが読めます。ただし初期化はされていません。注
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注. A/DコンバータおよびA/Dコンバータで使用するSFRを初期化する場合，PRR0のビット5(ADCRES)を使用してください。

注意1. A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の状態で，下記のレジスタの設定を行ってください。

ADCEN = 0の場合は，A/Dコンバータの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ2（PM2）），A/Dポート・コンフィギュレーション・レジスタ（ADPC）は除く）。

・A/Dコンバータ・モード・レジスタ0（ADM0）
・A/Dコンバータ・モード・レジスタ1（ADM1）
・A/Dコンバータ・モード・レジスタ2（ADM2）
・10ビットA/D変換結果レジスタ（ADCR）
・8ビットA/D変換結果レジスタ（ADCRH）
・アナログ入力チャネル指定レジスタ（ADS）
・変換結果比較上限値設定レジスタ（ADUL）
・変換結果比較下限値設定レジスタ（ADLL）
・A/Dテスト・レジスタ（ADTES）

2. ビット7, 1には必ず“0”を設定してください。

15. 3. 2　周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

A/Dコンバータをリセットする場合は，必ずビット5 (ADCRES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図15－3　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES

ADCRES	A/Dコンバータ，温度センサ2のリセット制御
0	A/Dコンバータ，温度センサ2のリセット解除
1	A/Dコンバータ，温度センサ2のリセット状態

15. 3. 3 A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－4 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2注1	FR1注1	FR0注1	LV1注1	LV0注1	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 ［リード時］ 変換動作停止／待機状態
1	変換動作許可 ［リード時］ ソフトウエア・トリガ・モード時：変換動作状態 ハードウエア・トリガ・ウエイト・モード時：A/D電源安定待ち状態＋変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，**表15－3 A/D変換時間の選択**を参照してください。

2. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1 μsかかります。このため，ADCEビットに1を設定してから1 μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

注意 1. ADMD，FR2-FR0, LV1, LV0ビット, ADCEの変更は変換停止状態（ADCS = 0，ADCE = 0）で行ってください。

2. ADCS = 1，ADCE = 0は設定しないでください。

3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず15. 7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

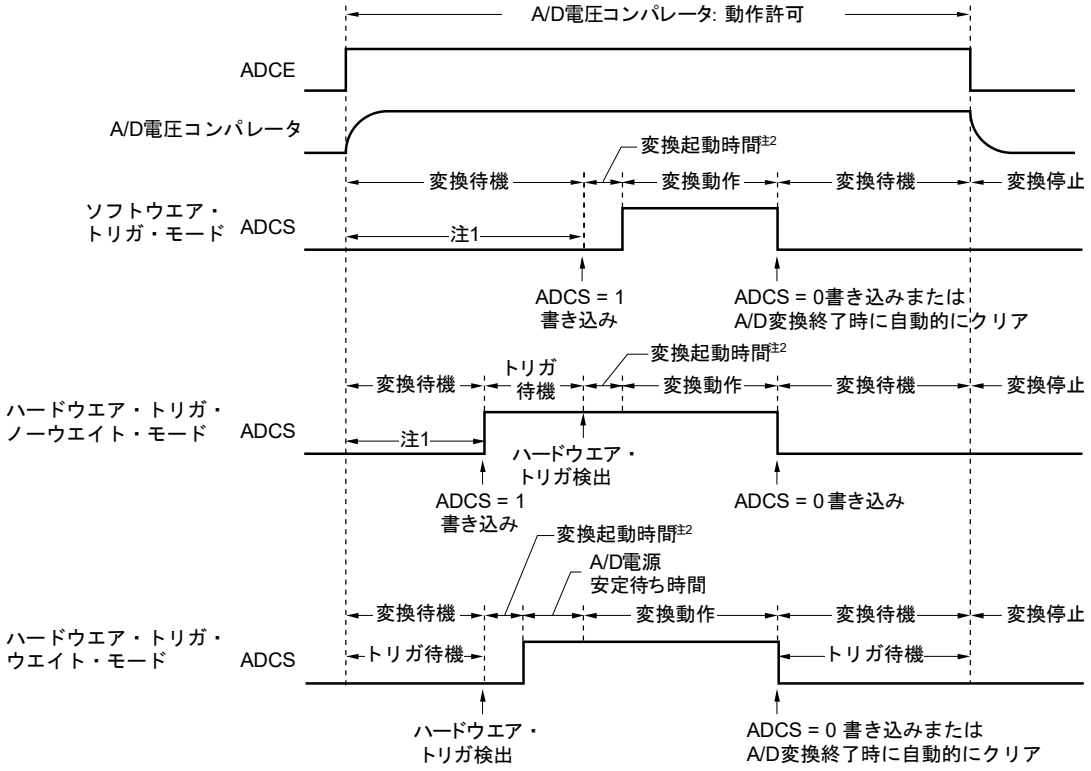
表15－1　ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表15－2　ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウエア・トリガ	セレクト・モード	連続変換モード	ADCS = 1ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア
ハードウエア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウエア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウエア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア

図15－5　A/D電圧コンパレータ使用時のタイミング・チャート



注 1.　ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は，内部回路安定のため，1 μs以上必要です。

2.　変換起動には，最大で次の時間がかかります。

ADM0			変換クロック（f_{AD}）	起動時間（f_{CLK}クロック数）	
FR2	FR1	FR0		ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガ・ウエイト・モード
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	
0	1	0	f_{CLK}/16	15	
0	1	1	f_{CLK}/8	7	
1	0	0	f_{CLK}/6	5	
1	0	1	f_{CLK}/5	4	
1	1	0	f_{CLK}/4	3	
1	1	1	f_{CLK}/2	1	

ただし，連続変換モードの2回目以降では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません。

注意1.　ハードウエア・トリガ・ウエイト・モードで使用する場合，ADCSビットに1を設定するのは禁止です（ハードウエア・トリガ信号検出時に，自動的に1に切り替わります）。ただし，AD変換待機状態にするために，ADCSビットに0を設定することは可能です。

2.　ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，AD変換終了時にADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

3.　ADCEビットの書き換えは，ADCS = 0（変換停止／変換待機状態）のときに行ってください。

4.　A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。
ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D変換時間
ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表15－3　A/D変換時間の選択（1/4）

（1）A/D電源安定待ち時間なし　標準モード1, 2

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数[注]	変換時間	10ビット分解能時の変換時間の選択 2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	0	0	標準1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				f_{CLK}/32		608/f_{CLK}				38 μs	25.3333 μs
0	1	0				f_{CLK}/16		304/f_{CLK}			38 μs	19 μs	12.6667 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	6.3333 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				f_{CLK}/5		95/f_{CLK}		23.75 μs	11.875 μs	5.938 μs	3.9583 μs
1	1	0				f_{CLK}/4		76/f_{CLK}		19 μs	9.5 μs	4.75 μs	3.1667 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				f_{CLK}/32		544/f_{CLK}				34 μs	22.6667 μs
0	1	0				f_{CLK}/16		272/f_{CLK}			34 μs	17 μs	11.3333 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	5.6667 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	4.25 μs
1	0	1				f_{CLK}/5		85/f_{CLK}		21.25 μs	10.625 μs	5.3125 μs	3.5417 μs
1	1	0				f_{CLK}/4		68/f_{CLK}		17 μs	8.5 μs	4.25 μs	2.8333 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意 1.　A/D変換時間は，41. 6. 1　A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，いったんA/D変換動作を停止（ADCS = 0，ADCE = 0）させたのちに行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表15－3　A/D変換時間の選択（2/4）

（2）A/D電源安定待ち時間なし　低電圧モード1, 2

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数[注1]	変換時間	10ビット分解能時の変換時間の選択				
									1.9 V≦V_{DD}≦5.5 V			注2	注3
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				f_{CLK}/32		608/f_{CLK}				38 μs	25.3333 μs
0	1	0				f_{CLK}/16		304/f_{CLK}			38 μs	19 μs	12.6667 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	6.3333 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				f_{CLK}/5		95/f_{CLK}		23.75 μs	11.875 μs	5.938 μs	3.9587 μs
1	1	0				f_{CLK}/4		76/f_{CLK}		19 μs	9.5 μs	4.75 μs	3.1667 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				f_{CLK}/32		544/f_{CLK}				34 μs	22.6667 μs
0	1	0				f_{CLK}/16		272/f_{CLK}			34 μs	17 μs	11.3333 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	5.6667 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	4.25 μs
1	0	1				f_{CLK}/5		85/f_{CLK}		21.25 μs	10.625 μs	5.3125 μs	3.5417 μs
1	1	0				f_{CLK}/4		68/f_{CLK}		17 μs	8.5 μs	4.25 μs	2.8333 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注1.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

2.　2.4 V≦V_{DD}≦5.5 V

3.　2.7 V≦V_{DD}≦5.5 V

注意 1.　A/D変換時間は，41. 6. 1　A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，いったんA/D変換動作を停止（ADCS = 0，ADCE = 0）させたのちに行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表15－3　A/D変換時間の選択（3/4）

（3）A/D電源安定待ち時間あり　標準モード1, 2

（ハードウエア・トリガ・ウエイト・モード注1）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数注2	A/D電源安定待ち時間＋変換時間	A/D電源安定待ちクロック＋10ビット分解能時の変換時間 2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	0	0	標準1	f_{CLK}/64	8 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1728/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				f_{CLK}/32			864/f_{CLK}				54 μs	36 μs
0	1	0				f_{CLK}/16			432/f_{CLK}			54 μs	27 μs	18 μs
0	1	1				f_{CLK}/8			216/f_{CLK}		54 μs	27 μs	13.5 μs	9 μs
1	0	0				f_{CLK}/6			162/f_{CLK}		40.5 μs	20.25 μs	10.125 μs	6.75 μs
1	0	1				f_{CLK}/5			135/f_{CLK}		33.75 μs	16.875 μs	8.4375 μs	5.625 μs
1	1	0				f_{CLK}/4			108/f_{CLK}		27 μs	13.5 μs	6.75 μs	4.5 μs
1	1	1				f_{CLK}/2			54/f_{CLK}	54 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	8 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1600/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				f_{CLK}/32			800/f_{CLK}				50 μs	33.3333 μs
0	1	0				f_{CLK}/16			400/f_{CLK}			50 μs	25 μs	16.6667 μs
0	1	1				f_{CLK}/8			200/f_{CLK}		50 μs	25 μs	12.5 μs	8.3333 μs
1	0	0				f_{CLK}/6			150/f_{CLK}		37.5 μs	18.75 μs	9.375 μs	6.25 μs
1	0	1				f_{CLK}/5			125/f_{CLK}		31.25 μs	15.625 μs	7.8125 μs	5.2083 μs
1	1	0				f_{CLK}/4			100/f_{CLK}		25 μs	12.5 μs	6.25 μs	4.1667 μs
1	1	1				f_{CLK}/2			50/f_{CLK}	50 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止

注 1.　連続変換モードの2回目以降では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（**表15－3（1/4）**参照）。

2.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意 1.　A/D変換時間は，41. 6. 1　A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。なお，変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，いったんA/D変換動作を停止（ADCS = 0，ADCE = 0）させたのちに行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

4.　ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表15－3　A/D変換時間の選択（4/4）

（4）A/D電源安定待ち時間あり　低電圧モード1, 2

（ハードウエア・トリガ・ウエイト・モード[注1]）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数[注2]	A/D電源安定待ち時間＋変換時間	A/D電源安定待ちクロック＋10ビット分解能時の変換時間				
										1.9 V≦V_{DD}≦5.5 V			注3	注4
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	2 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1344/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				f_{CLK}/32			672/f_{CLK}				42 μs	28 μs
0	1	0				f_{CLK}/16			336/f_{CLK}			42 μs	21 μs	14 μs
0	1	1				f_{CLK}/8			168/f_{CLK}		42 μs	21 μs	10.5 μs	7 μs
1	0	0				f_{CLK}/6			126/f_{CLK}		31.25 μs	15.75 μs	7.875 μs	5.25 μs
1	0	1				f_{CLK}/5			105/f_{CLK}		26.25 μs	13.125 μs	6.5625 μs	4.375 μs
1	1	0				f_{CLK}/4			84/f_{CLK}		21 μs	10.5 μs	5.25 μs	3.5 μs
1	1	1				f_{CLK}/2			42/f_{CLK}	42 μs	10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	2 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				f_{CLK}/32			608/f_{CLK}				38 μs	25.3333 μs
0	1	0				f_{CLK}/16			304/f_{CLK}			38 μs	19 μs	12.6667 μs
0	1	1				f_{CLK}/8			152/f_{CLK}		38 μs	19 μs	9.5 μs	6.3333 μs
1	0	0				f_{CLK}/6			114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				f_{CLK}/5			95/f_{CLK}		23.75 μs	11.875 μs	5.938 μs	3.9583 μs
1	1	0				f_{CLK}/4			76/f_{CLK}		19 μs	9.5 μs	4.75 μs	3.1667 μs
1	1	1				f_{CLK}/2			38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

注1.　連続変換モードの2回目以降では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（**表15－3（2/4）**参照）。

2.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

3.　2.4 V≦V_{DD}≦5.5 V

4.　2.7 V≦V_{DD}≦5.5 V

注意1.　A/D変換時間は，41. 6. 1　A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。なお，変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

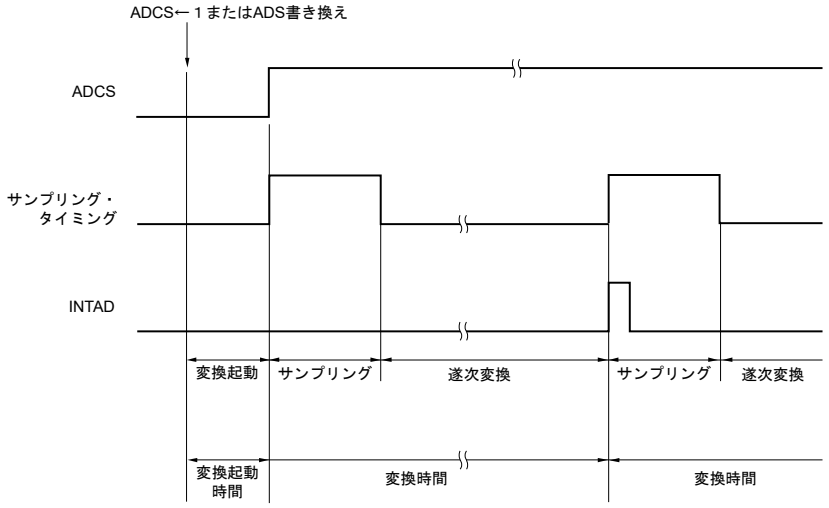
2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，いったんA/D変換動作を停止（ADCS = 0，ADCE = 0）させたのちに行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

4.　ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

図15－6 A/Dコンバータのサンプリングと A/D変換のタイミング（例 ソフトウエア・トリガ・モードの場合）



15. 3. 4 A/Dコンバータ・モード・レジスタ1（ADM1）

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－7 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウエア・トリガ・モード
1	0	ハードウエア・トリガ・ノーウエイト・モード
1	1	ハードウエア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	タイマ・チャネル01のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
0	1	ELCで選択されたイベント信号
1	0	独立電源RTCアラーム割り込み信号（INTRTCALM）， 独立電源RTC周期割り込み信号（INTRTCPRD）
1	1	12ビット・インターバル・タイマ割り込み信号（INTIT）

注意1. 変換停止状態（ADCS = 0, ADCE = 0）のときに，ADM1レジスタを書き換えてください。

2. A/D変換を完了させるためには，ハードウエア・トリガ間隔を次の時間以上としてください。
ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D変換時間
ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

注意3.　SNOOZE機能以外のモードにおいて，INTRTCALM/INTRTCPRD, INTIT入力後最大f_{CLK}の4クロック間は，次のINTRTCALM/INTRTCPRD, INTIT入力がトリガとして有効になりません。

備考 1.　×：Don't care

2.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

15. 3. 5　A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの＋側基準電圧および－側基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－8　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（1/2）

アドレス：F0010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧の選択
0	0	V_{DD}から供給[注2]
0	1	P20/AV_{REFP}/ANI0から供給
1	0	内部基準電圧（1.45 V）から供給[注1]
1	1	設定禁止

・ADREFP1, ADREFP0ビットを書き換える場合，次の手順で設定してください。

① ADCE = 0に設定

② ADREFP1, ADREFP0の値を変更

③ 基準電圧安定待ち時間ウエイト（A）

④ ADCE = 1に設定

⑤ 基準電圧安定待ち時間ウエイト（B）

ADREFP1, ADREFP0 = 1, 0に変更する場合：　A = 5 μs，B = 1 μs

ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合：Aはウエイト不要，B = 1 μs

⑤のウエイトのあとに，A/D変換開始してください。

・ADREFP1, ADREFP 0 = 1, 0に設定した場合，内部基準電圧（1.45 V）をA/D変換することはできません。
必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの－側の基準電圧源の選択
0	V_{SS}から供給
1	P21/AV_{REFM}/ANI1から供給

注1.　HS（高速メイン）モードでのみ選択可能です。
温度センサを使用する場合は，必ず内部基準電圧を使用してください。

2.　基準電圧（＋）= V_{DD}を使用する場合は，バッテリバックアップ機能の電源切り替え回路の影響による電圧降下を考慮に入れて，A/D変換結果を使用してください。また，A/D変換中HALTモードに移行し，V_{DD}系のポートは入力に設定してください。

（注意は次ページにあります。）

注意1. ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 1, 0）選択時は，41. 3. 2 電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

3. AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

図15－8 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限／下限値チェック
0	ADLLレジスタ≦ADCRレジスタ≦ADULレジスタ（AREA1）のとき割り込み信号（INTAD）が発生。
1	ADCRレジスタ＜ADLLレジスタ（AREA2），ADULレジスタ＜ADCRレジスタ（AREA3）のとき割り込み信号（INTAD）が発生。
AREA 1～AREA 3の割り込み信号（INTAD）発生範囲を**図15－9**に示します。	

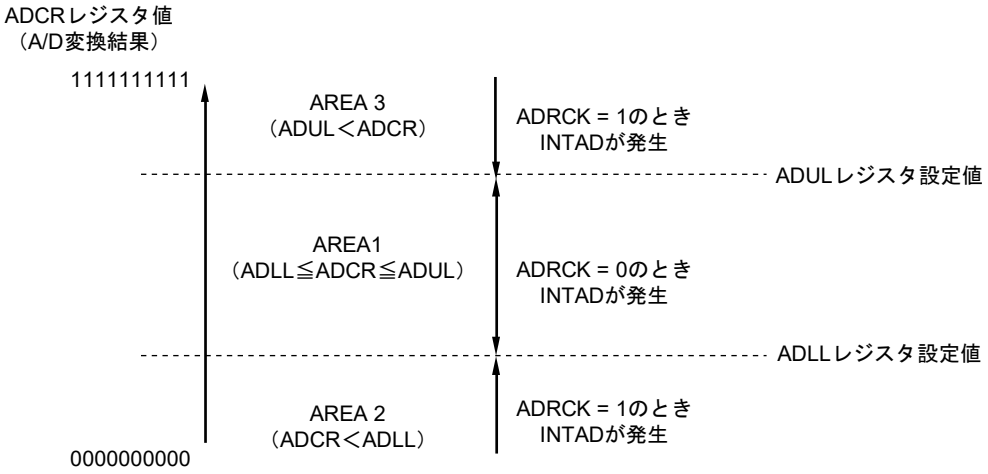
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います（SNOOZEモード）。 ・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。 ・連続変換モードでのSNOOZEモード機能は使用禁止です。 ・SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「SNOOZEモードの遷移時間[注]＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間＋f_{CLK}の2クロック」以上の間隔を空けて設定してください。 ・SNOOZE機能を使用する場合でも，通常動作時はAWCを0に設定し，STOPモードへ移行する直前にAWCを1に変更してください。 またSTOPモードから通常動作へ復帰後，必ずAWCを0に変更してください。 AWC = 1のままでは，その後のSNOOZEモード，通常動作に関係なく正常にA/D変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 26. 3. 3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

図15－9　ADRCKビットによる割り込み信号発生範囲



備考　INTADが発生しない場合は，A/D変換結果がADCR, ADCRHレジスタに格納されません。

15. 3. 6　10ビットA/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに，下位2ビットがFFF1EHの上位2ビットに格納されます[注]。

ADCRレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，0000Hになります。

注　A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（**図15－9**参照））で設定した値の範囲外の場合は格納されません。

図15－10　10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FFF1FH，FFF1EH　リセット値：0000H　R

略号	FFF1FH								FFF1EH							
ADCR											0	0	0	0	0	0

注意1.　8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRレジスタをリードした場合，下位2ビット（ADCRレジスタのビット7，ビット6）は，0が読み出されます。

2.　ADCRレジスタへ16ビット・アクセスした場合，変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

15. 3. 7　8ビットA/D変換結果レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します[注]。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

注　A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（**図15－9**参照））で設定した値の範囲外の場合は格納されません。

図15－11　8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意　A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0，ADS，ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

15. 3. 8　アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－12　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2/EXLVD
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	1	1	1	0	1	－	温度センサ出力電圧注
1	0	0	0	0	1	－	内部基準電圧（1.45 V）注
上記以外						設定禁止	

○スキャン・モード（ADMD = 1）

ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
					Scan 0	Scan 1	Scan 2	Scan 3
0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
上記以外					設定禁止			

注　HS（高速メイン）モードでのみ選択可能です。
温度センサを使用する場合は，必ず内部基準電圧を使用してください。

注意1.　ビット5, 6には必ず0を設定してください。

2.　ADPCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。

3.　A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

4.　変換停止状態（ADCS = 0, ADCE = 0）のときに，ADISSビットを書き換えてください。

5.　AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

6.　AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

注意7.　ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧（1.45 V）は使用できません。また，ADISS = 1に設定後，1回目の変換結果は使用できません。詳細設定フローは，15. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定を参照してください。

8.　STOPモードへ移行，もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，41. 3. 2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

9.　製品により，対応するANI端子が存在しない場合は，変換結果を無視してください。

15. 3. 9　変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果に対し，上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（**図15－9**参照）で割り込み信号（INTAD）の発生を制御します。

ADULレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図15－13　変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス：F0011H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

15. 3. 10　変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果に対し，下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（**図15－9**参照）で割り込み信号（INTAD）の発生を制御します。

ADLLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－14　変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス：F0012H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1.　10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

2.　ADULレジスタおよびADLLレジスタの書き換えは，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

3.　ADULレジスタおよびADLLレジスタは，ADUL＞ADLLになるように設定を行ってください。

15. 3. 11　A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx）を選択するレジスタです。A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは、A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－15　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx/温度センサ出力電圧注/内部基準電圧（1.45 V）注（アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

注　温度センサ出力電圧，内部基準電圧（1.45V）は，HS（高速メイン）モードでのみ選択可能です。

注意　A/Dテスト機能についての詳細は，第32章　安全機能を参照してください。

15. 3. 12　アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），A/Dポート・コンフィギュレーション・レジスタ（ADPC））を設定してください。

詳細は，以下を参照してください。

・4. 3. 1　ポート・モード・レジスタ（PMxx）

・4. 3. 6　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0-ANI5端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定し，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に設定してください。

15. 4　A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。

② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。

③ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。

④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）AV_{REF}よりも小さければ，MSBビットはリセットします。

⑤ 次にSARレジスタのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1：（3/4）AV_{REF}

・ビット9 = 0：（1/4）AV_{REF}

この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。

・サンプリングされた電圧≧電圧タップ：ビット8 = 1

・サンプリングされた電圧＜電圧タップ：ビット8 = 0

⑥ このような比較をSARレジスタのビット0まで続けます。

⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され，ラッチします[注1]。
同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます[注1]。

⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します[注2]。
A/Dコンバータを停止する場合は，ADCS = 0にしてください。

注 1. A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（**図15－9**参照））で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合，ADCR, ADCRHレジスタに結果は格納されません。

2. 連続変換モード時は，ADCSフラグは自動的に“0”にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

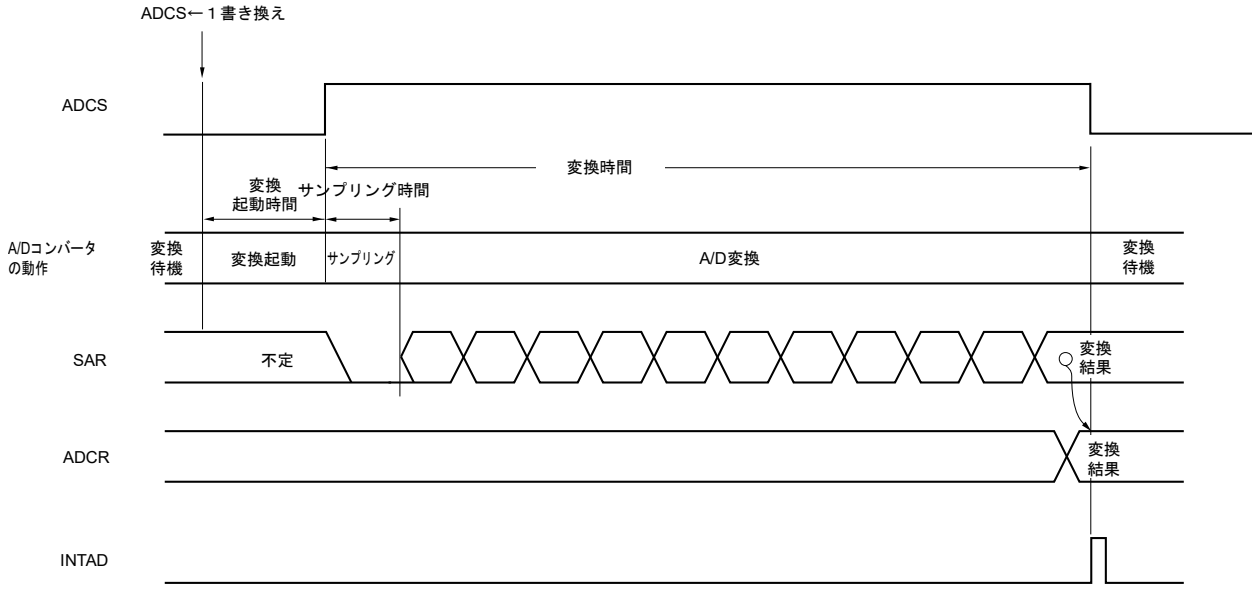
備考1. A/D変換結果レジスタは2種類あります。

・ADCRレジスタ（16ビット）　：10ビットのA/D変換値を格納します。

・ADCRHレジスタ（8ビット）　：8ビットのA/D変換値を格納します。

2. AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

図15－16　A/Dコンバータの変換動作（ソフトウエア・トリガ・モードの場合）



ワンショット変換モード時のA/D変換動作は, A/D変換終了後にADCSビットが自動的にクリア（0）されます。

連続変換モード時のA/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）をクリア（0）するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ（ADS）に対して書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ（ADCR, ADCRH）は，リセット信号の発生により0000Hまた00Hとなります。

15. 5　入力電圧と変換結果

アナログ入力端子（ANI0-ANI5）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{VAIN}{AVREF} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

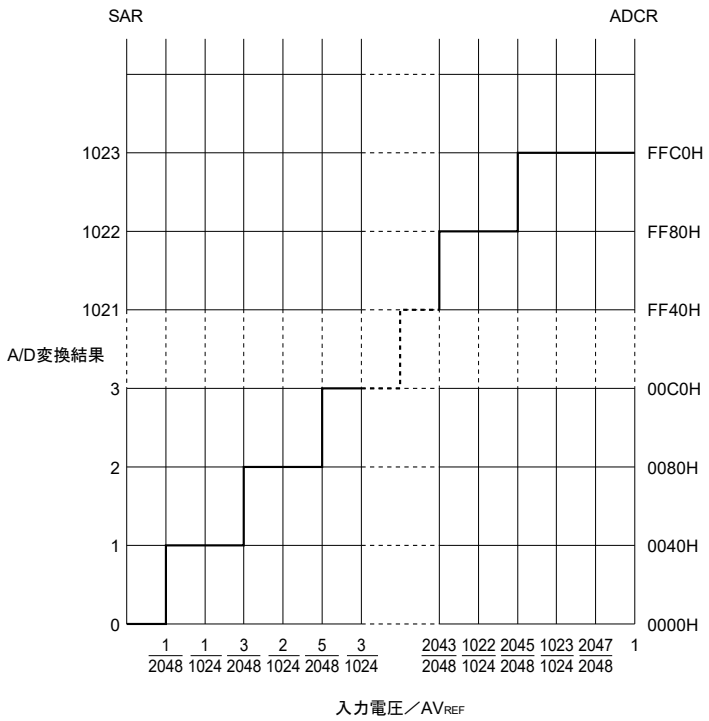
または,

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT（　）　：（　）内の値の整数部を返す関数
V_{AIN}　：アナログ入力電圧
AV_{REF}　：AV_{REF}端子電圧
ADCR　：A/D変換結果レジスタ（ADCR）の値
SAR　：逐次変換レジスタ

図15－16にアナログ入力電圧とA/D変換結果の関係を示します。

図15－17　アナログ入力電圧とA/D変換結果の関係



備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}, 内部基準電圧（1.45 V），V_{DD}から選択可能です。

15. 6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また，各モードの設定手順を**15. 7 A/Dコンバータの設定フロー・チャート**に示します。

15. 6. 1 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

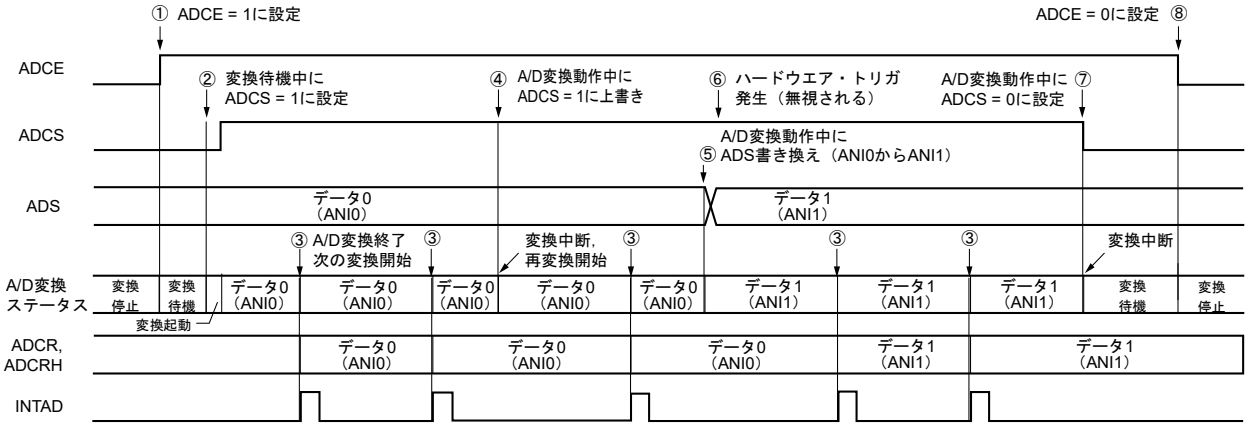
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図15－18 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



15. 6. 2　ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

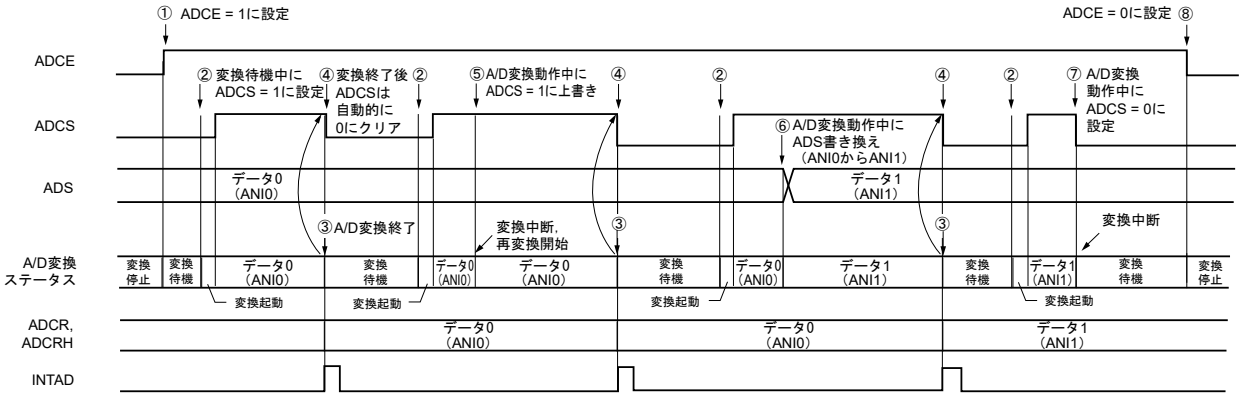
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図15－19　ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



15. 6. 3 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

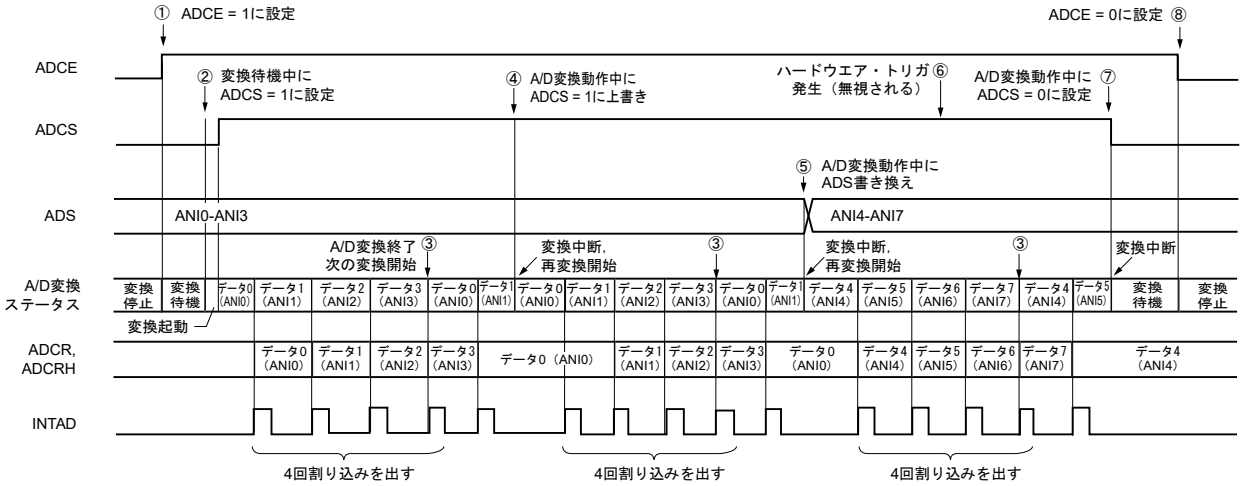
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図15－20 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



15. 6. 4　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

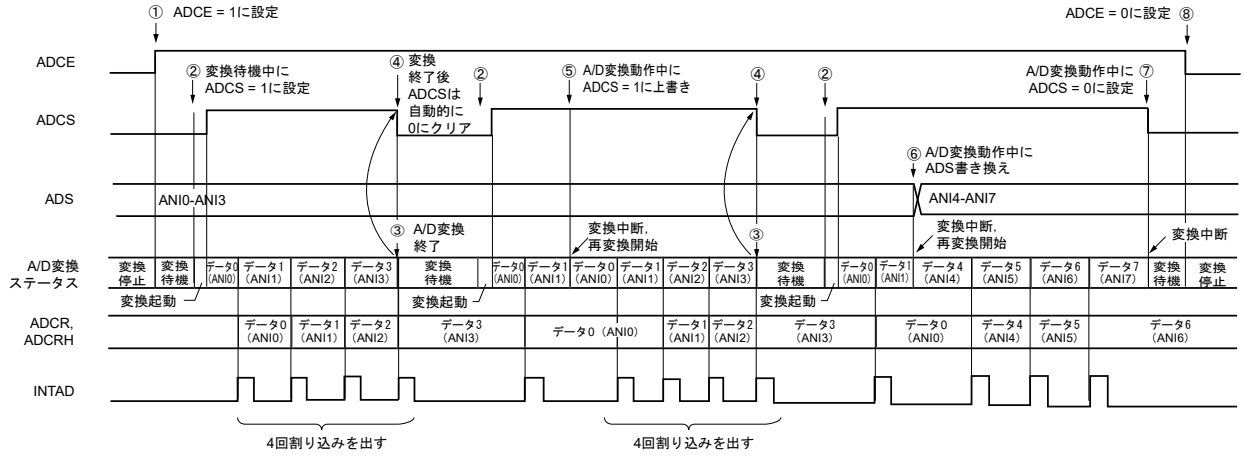
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図15－21　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



15. 6. 5　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

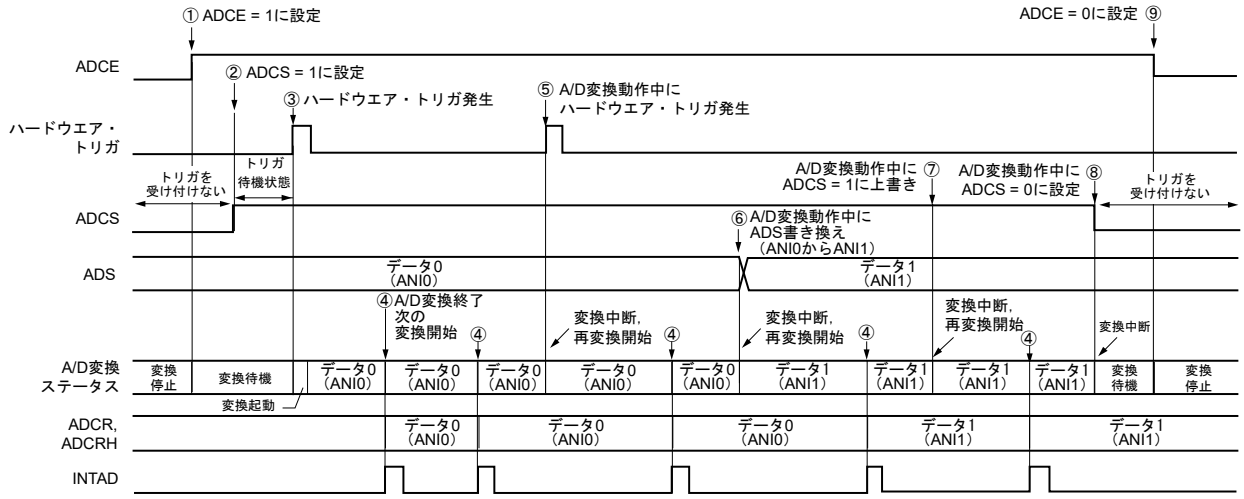
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図15－22　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



15. 6. 6　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

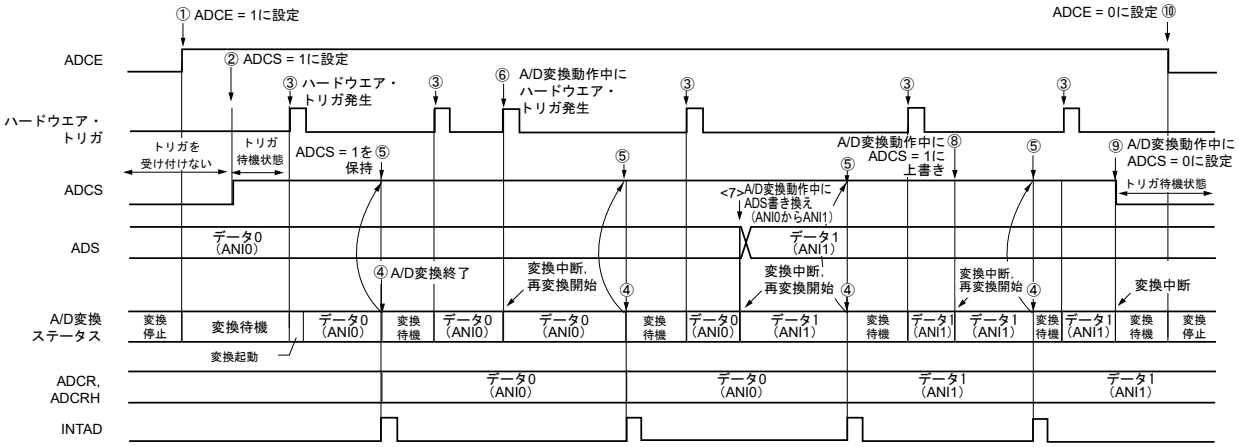
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図15－23　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



15. 6. 7　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

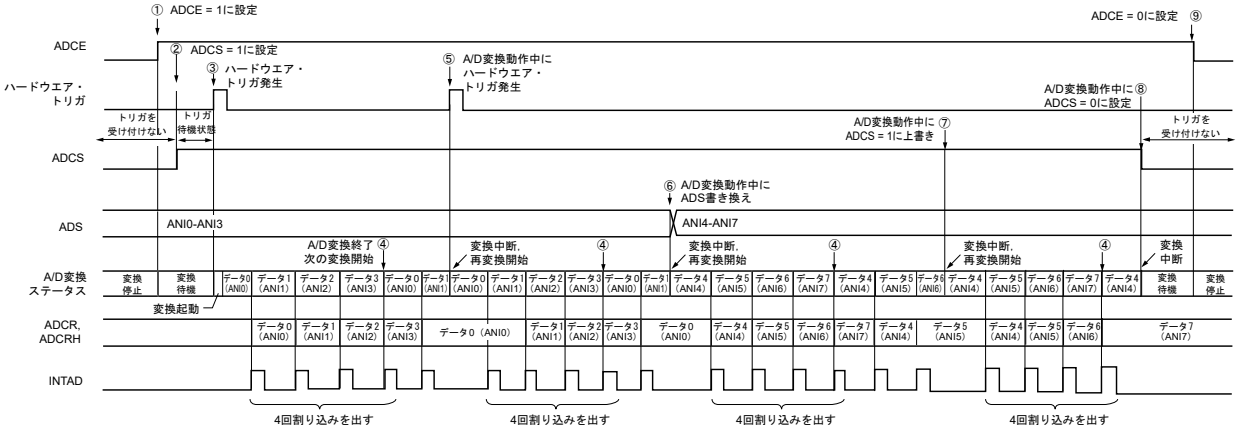
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図15－24　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



15. 6. 8　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

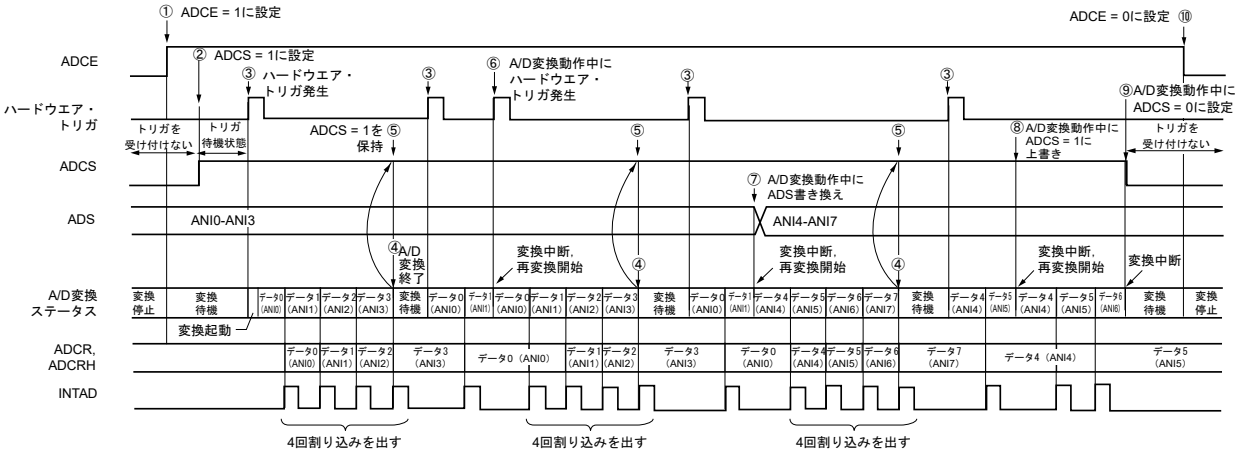
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図15－25　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



15. 6. 9 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウエア・トリガは不要です）。

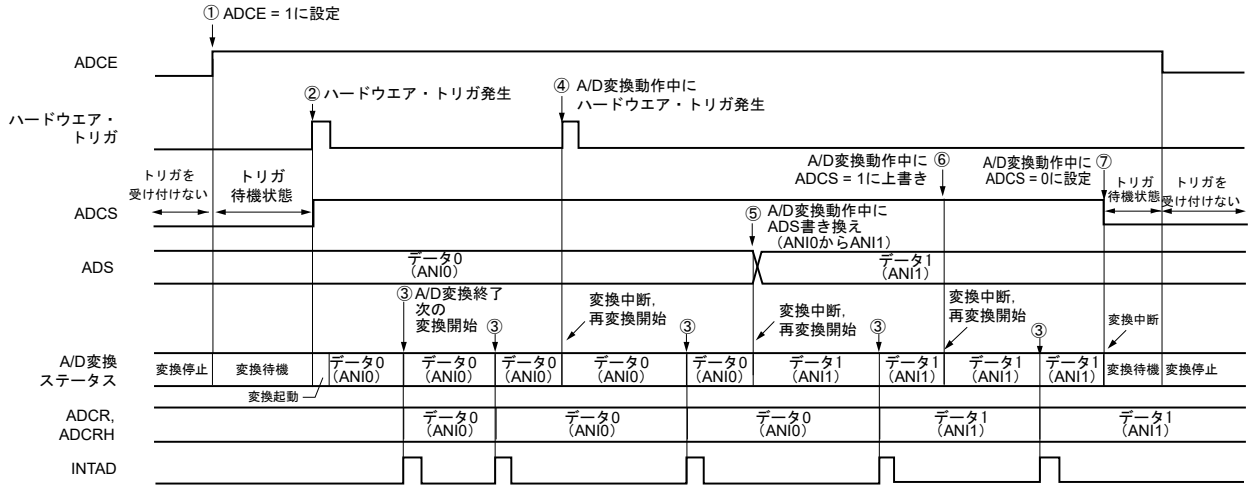
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図15－26 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



15. 6. 10　ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

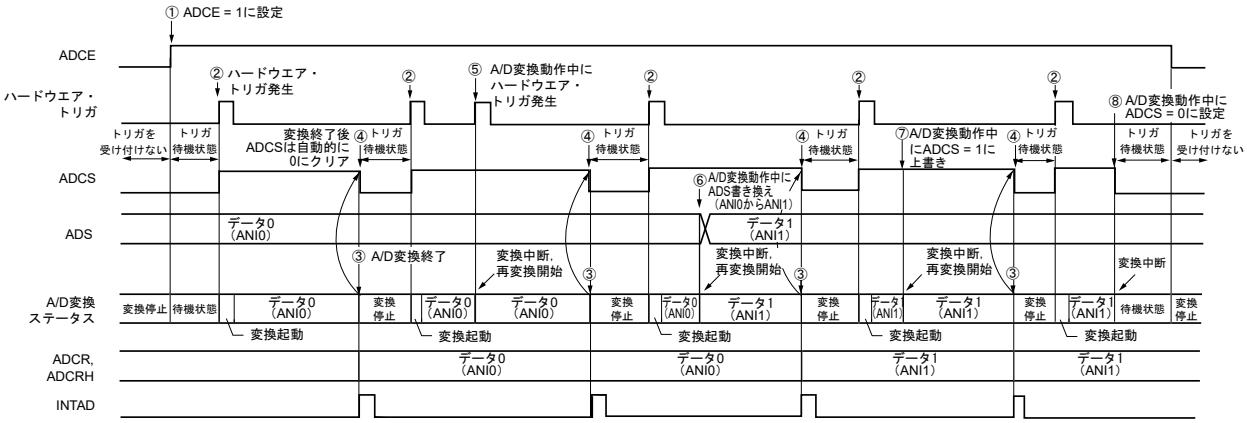
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図15－27　ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



15. 6. 11　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

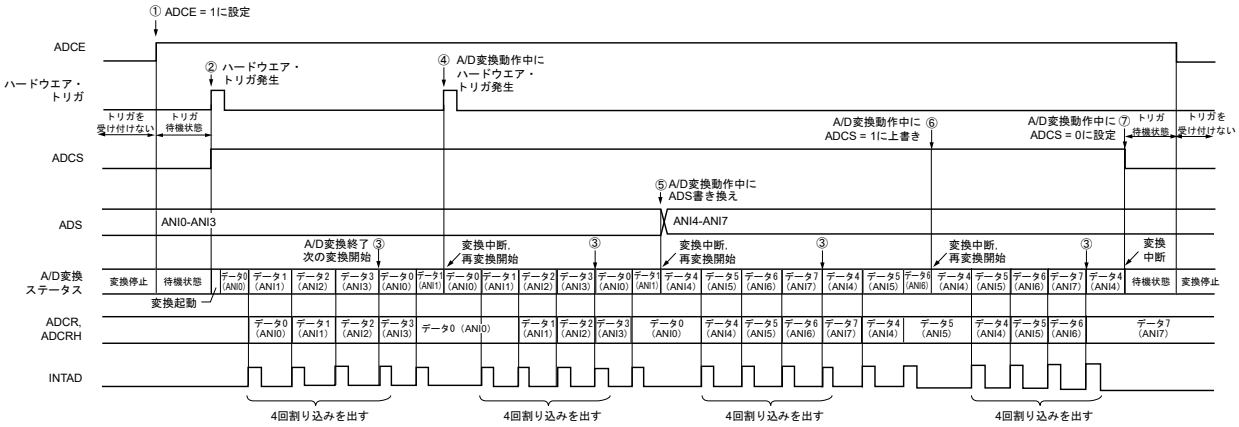
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図15－28　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



15. 6. 12　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

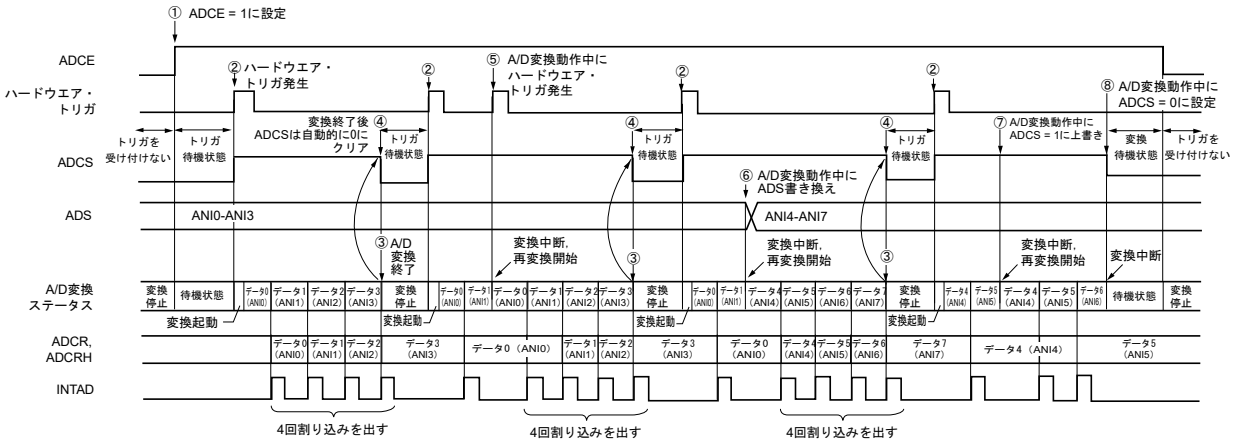
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図15－29　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例

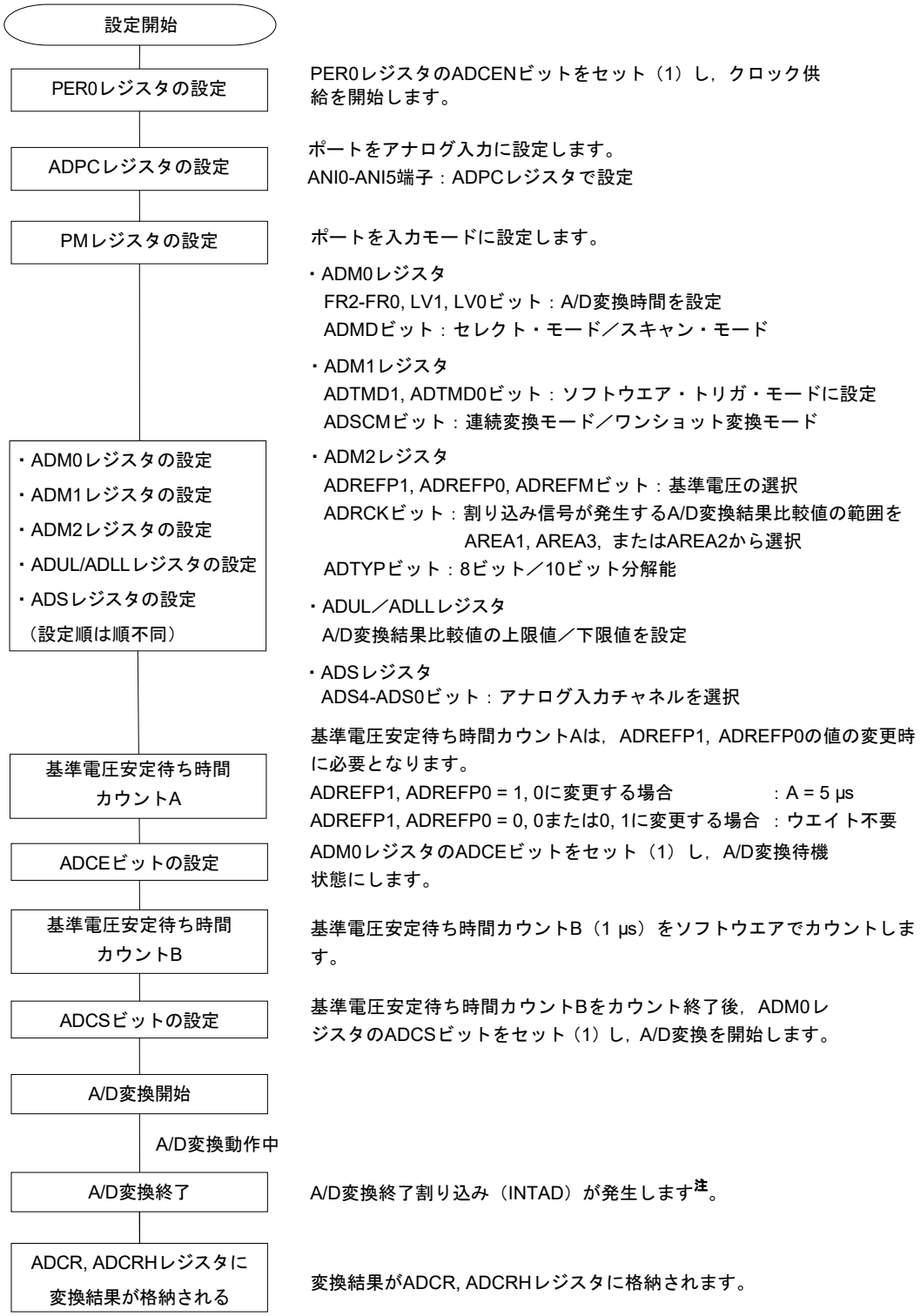


15. 7　A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

15. 7. 1　ソフトウエア・トリガ・モード設定

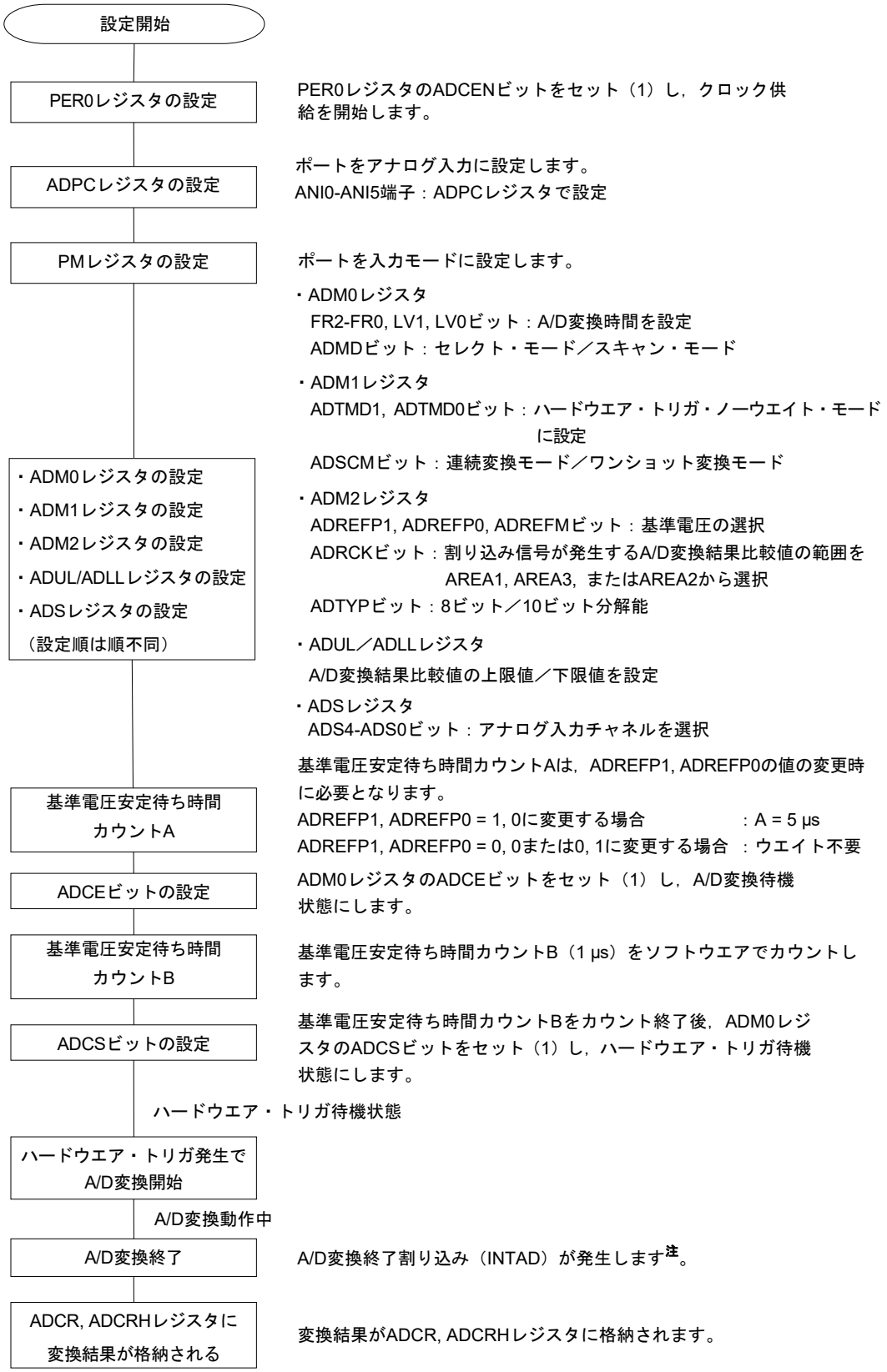
図15－30　ソフトウエア・トリガ・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

15. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定

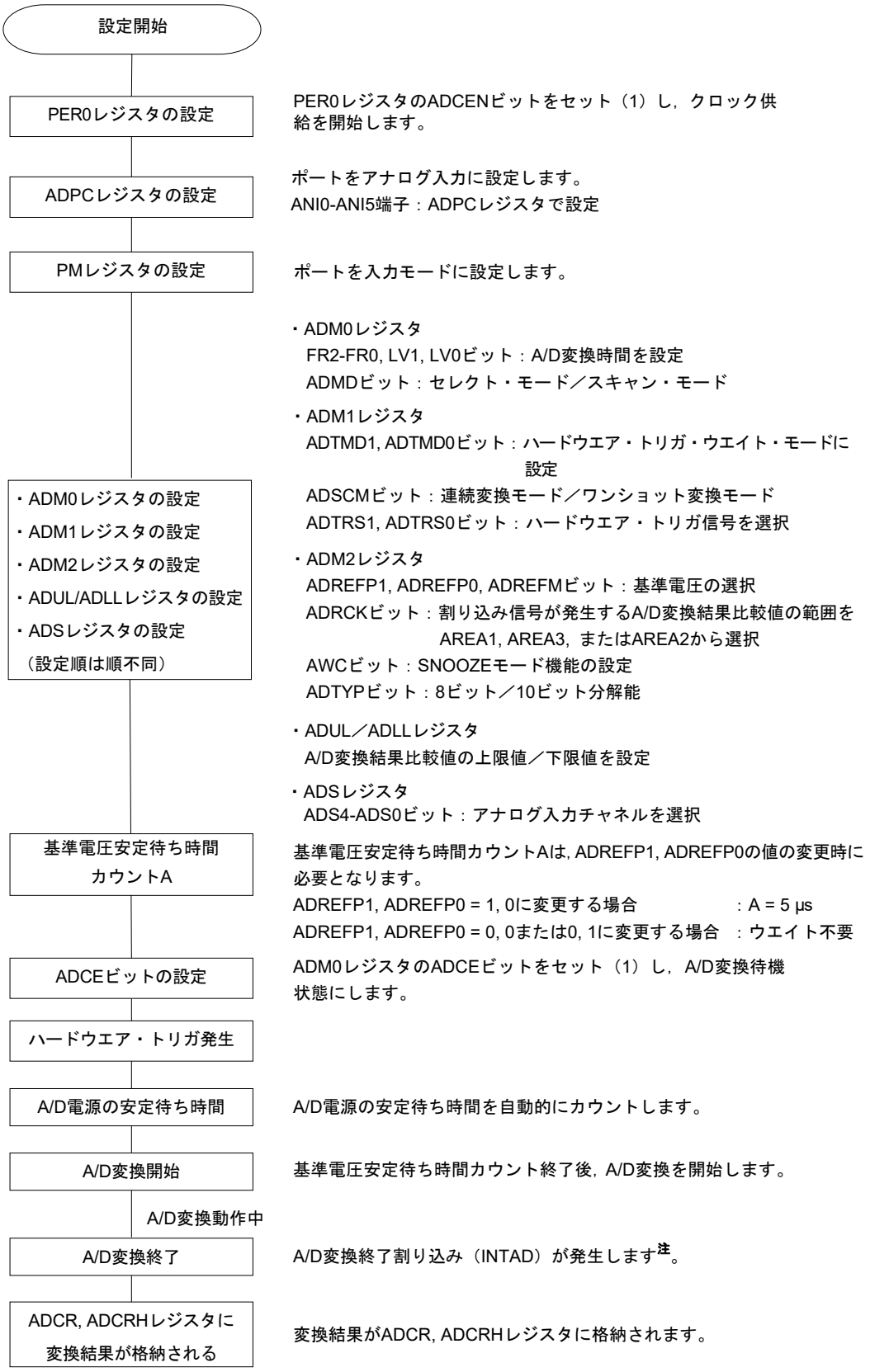
図15－31　ハードウエア・トリガ・ノーウエイト・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

15. 7. 3　ハードウエア・トリガ・ウエイト・モード設定

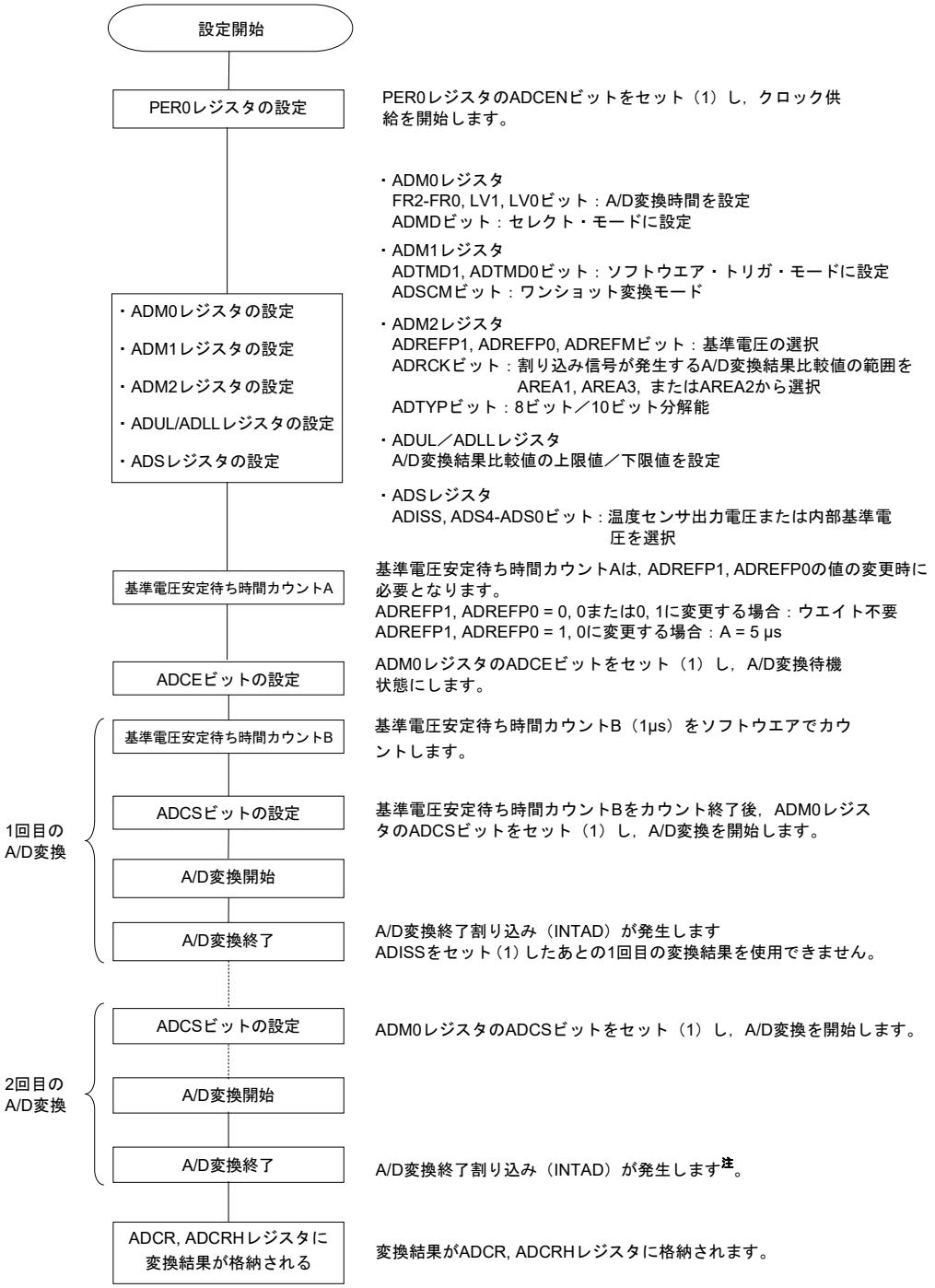
図15－32　ハードウエア・トリガ・ウエイト・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

15. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）

図15－33　温度センサ出力電圧／内部基準電圧を選択時の設定

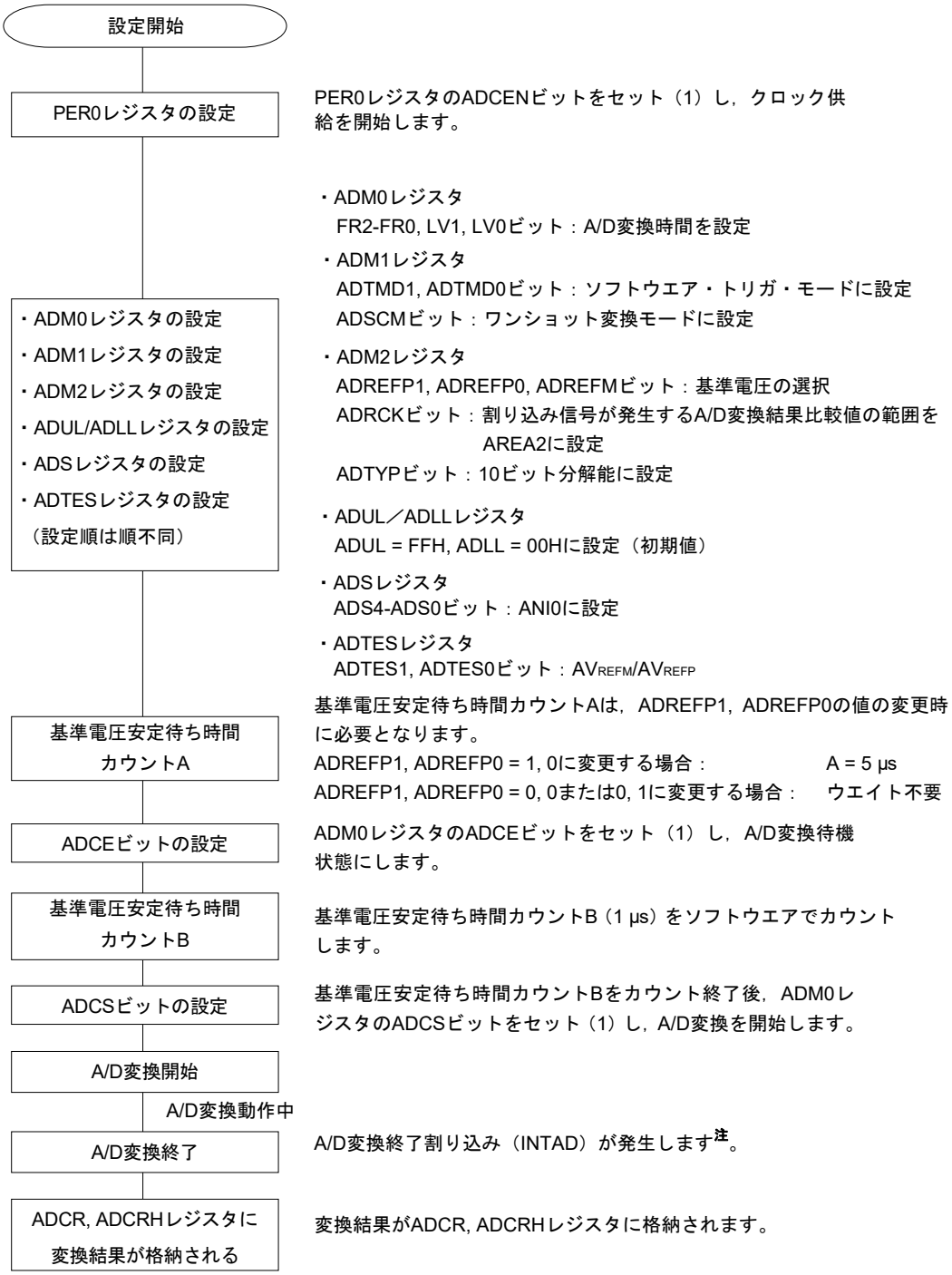


注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

注意　HS（高速メイン）モードでのみ選択可能です。

15. 7. 5　テスト・モード設定

図15－34　テスト・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

注意　A/Dコンバータのテスト方法については，32. 3. 8　A/Dテスト機能を参照してください。

15. 8　SNOOZEモード機能

STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時はA/D変換動作を停止しますが, SNOOZE機能を使用することで, CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

SNOOZEモードでは，ADUL, ADLLで変換結果の範囲を指定すれば，一定時間ごとにA/D変換結果の判断ができます。これにより，電源電圧監視やA/D入力による入力キーの判定などができます。

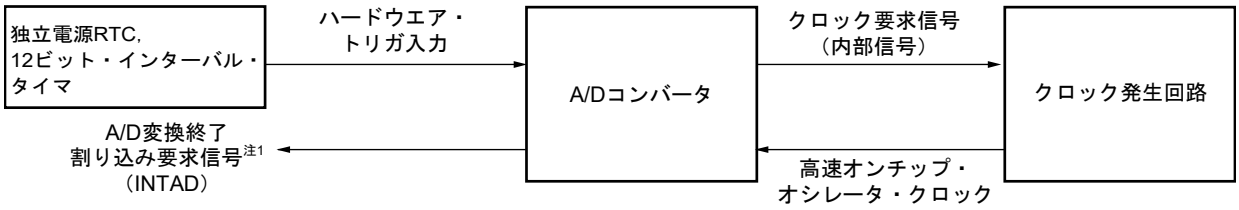
SNOOZEモードでは，次の変換モードのみ使用可能です。

・ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

・ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

注意　SNOOZE モードは，f_{CLK} に高速オンチップ・オシレータ・クロック(f_{IH}) または，中速オンチップ・オシレータ・クロック(f_{IM})を選択している場合のみ設定可能です。

図15－35　SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います（**15. 7. 3　ハードウエア・トリガ・ウエイト・モード設定**を参照注2）。STOPモードへ移行する直前に，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後，A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後，ハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後，A/D電源安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります注1。

注1.　A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により，割り込み信号が発生しない場合があります。

2.　ADM1レジスタは必ずE2HまたはE3Hに設定してください。

備考　ハードウエア・トリガは，INTRTCALM/INTRTCPRDまたはINTITです。

ハードウエア・トリガは，A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

（1）A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

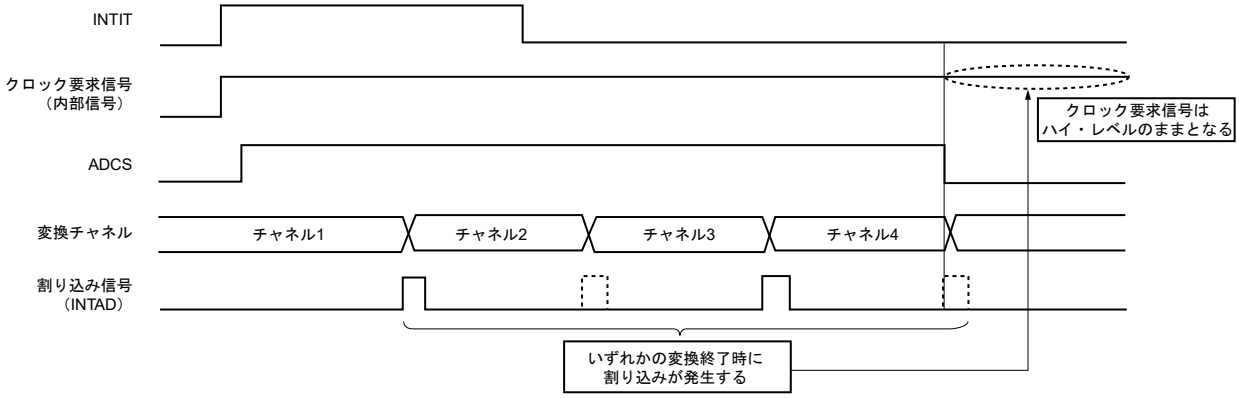
● セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/Dコンバータは SNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZEモードを解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

● スキャン・モード時

4チャネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合， A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZEモードを解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

図15－36　A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



（2）A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

● セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

4チャネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図15－37　A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

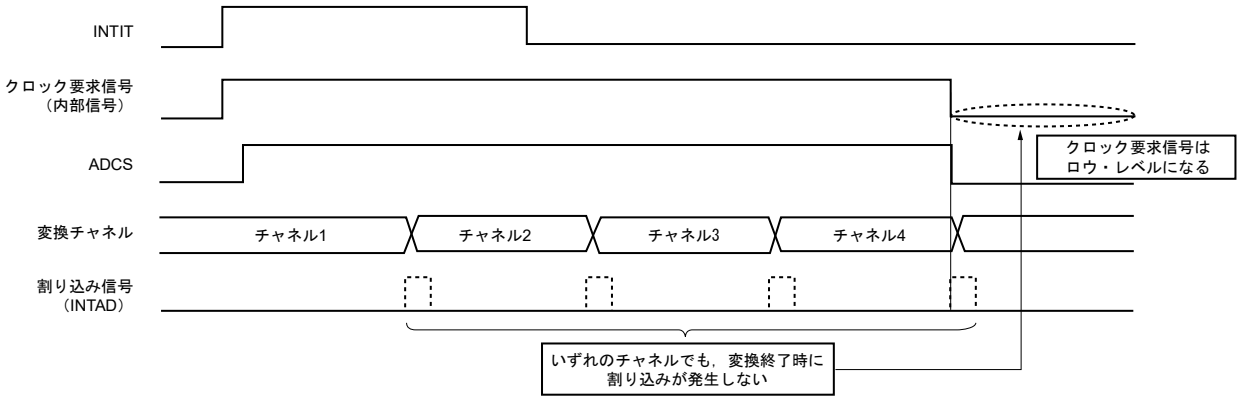
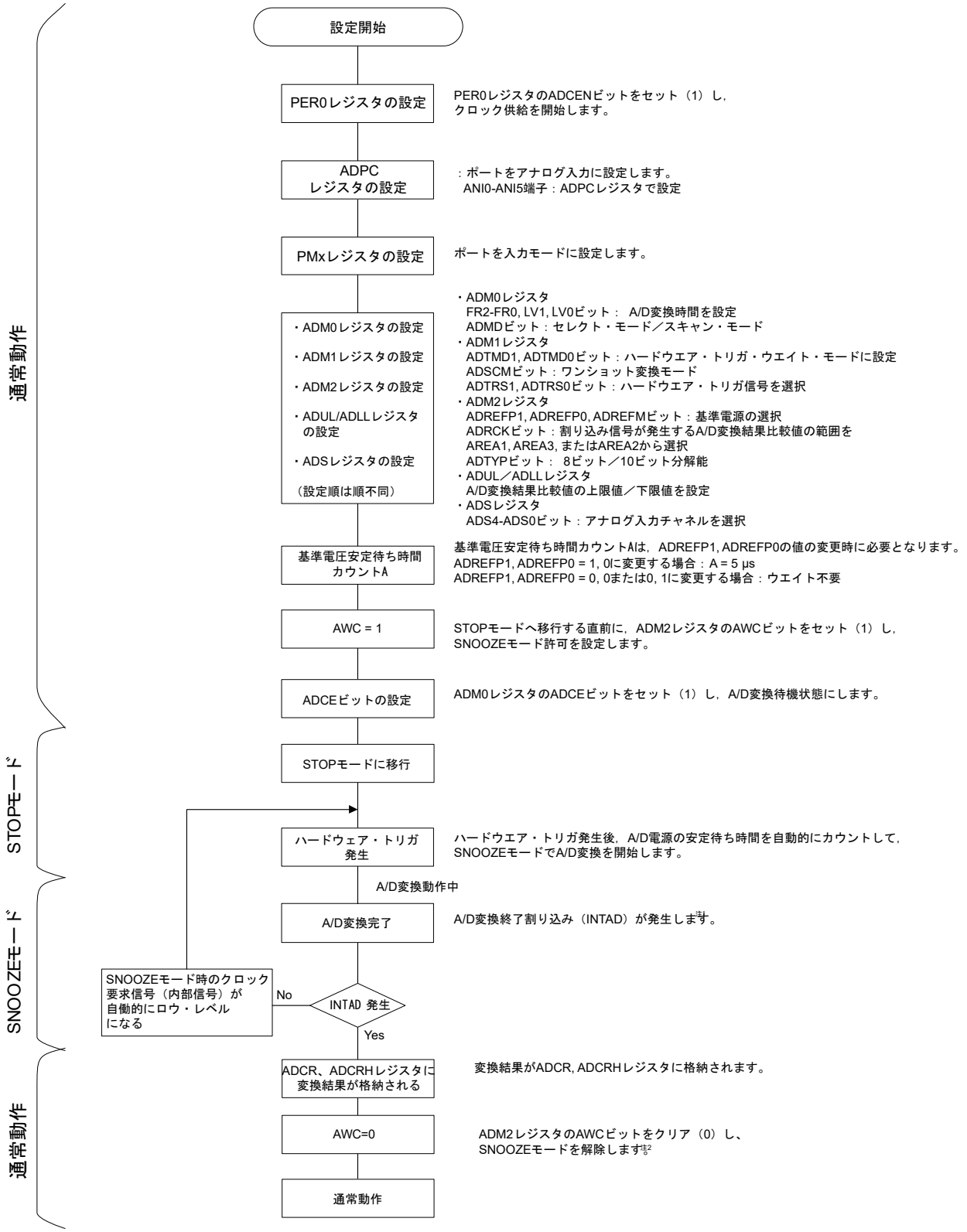


図15－38　SNOOZEモード設定のフロー・チャート



注 1. ADRCKビット，ADUL/ADLLレジスタの設定により，A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換動作を行います。

2. AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

15. 9　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

（1）分 解 能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ \mathrm{LSB} = 1/2^{10} = 1/1024$$
$$= 0.098\ \%\mathrm{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

（2）総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

（3）量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図15－39　総合誤差

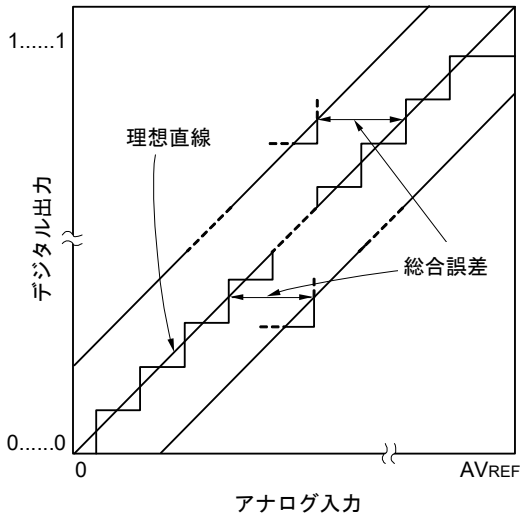
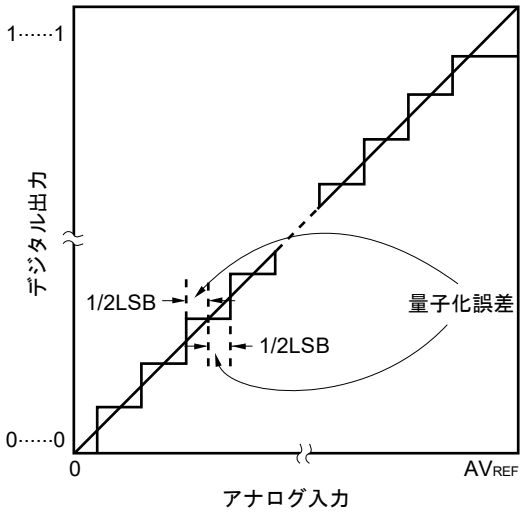


図15－40　量子化誤差



（4）ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

（5）フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

（6）積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

（7）微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図15－41　ゼロスケール誤差

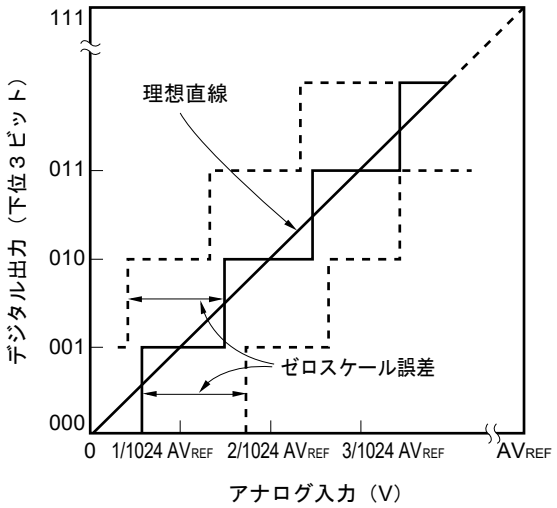


図15－42　フルスケール誤差

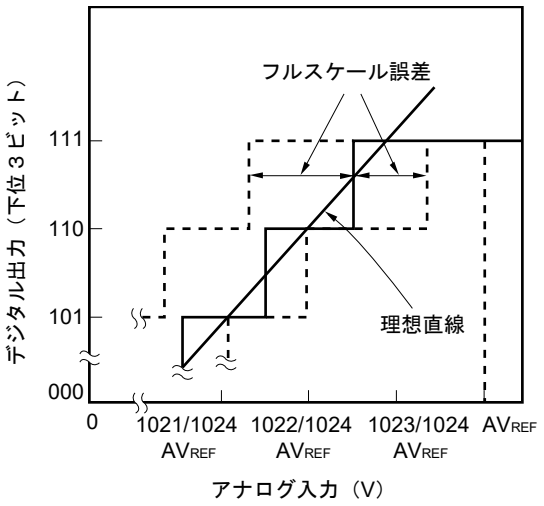


図15－43　積分直線性誤差

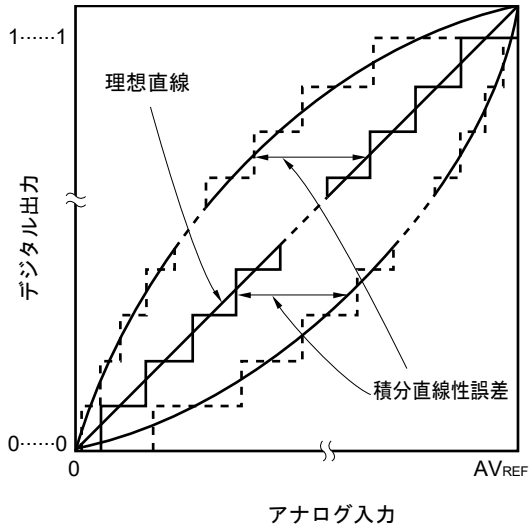
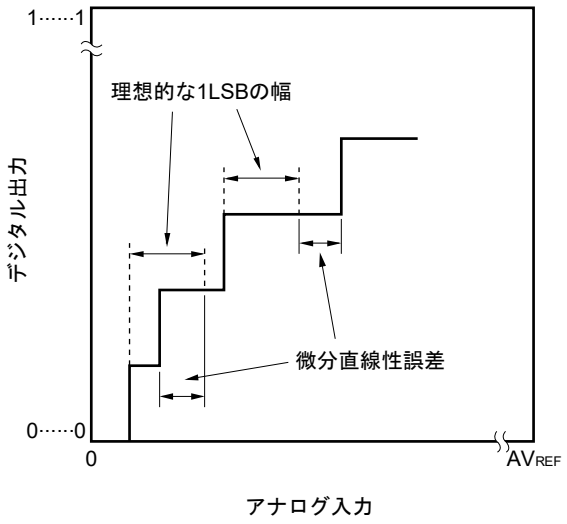


図15－44　微分直線性誤差



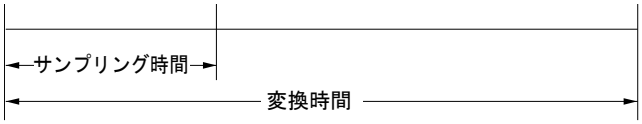
（8）変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

（9）サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



15. 10　A/Dコンバータの注意事項

（1）STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより，動作電流を低減させることができます。

スタンバイ状態から再度動作する場合，割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから，動作開始してください。

（2）ANI0-ANI5端子入力範囲について

ANI0-ANI5端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}を超える電圧，V_{SS}, AV_{REFM}未満（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45 V）をA/Dコンバータの＋側の基準電圧に選択した場合は，ADSレジスタで選択されている端子には内部基準電圧（1.45 V）を超える電圧を入れないでください。ただし，ADSレジスタで選択されていない端子が内部基準電圧（1.45 V）を超える電圧になっていても問題ありません。

注意　内部基準電圧（1.45 V）は，HS（高速メイン）モードでのみ選択可能です。

（3）競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと，命令によるADCR, ADCRHレジスタのリードとの競合
ADCR, ADCRHレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR，ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト，アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合
ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

（4）ノイズ対策について

10ビット分解能を保つためには，AV_{REFP}, V_{DD}, ANI0-ANI5端子へのノイズに注意する必要があります。

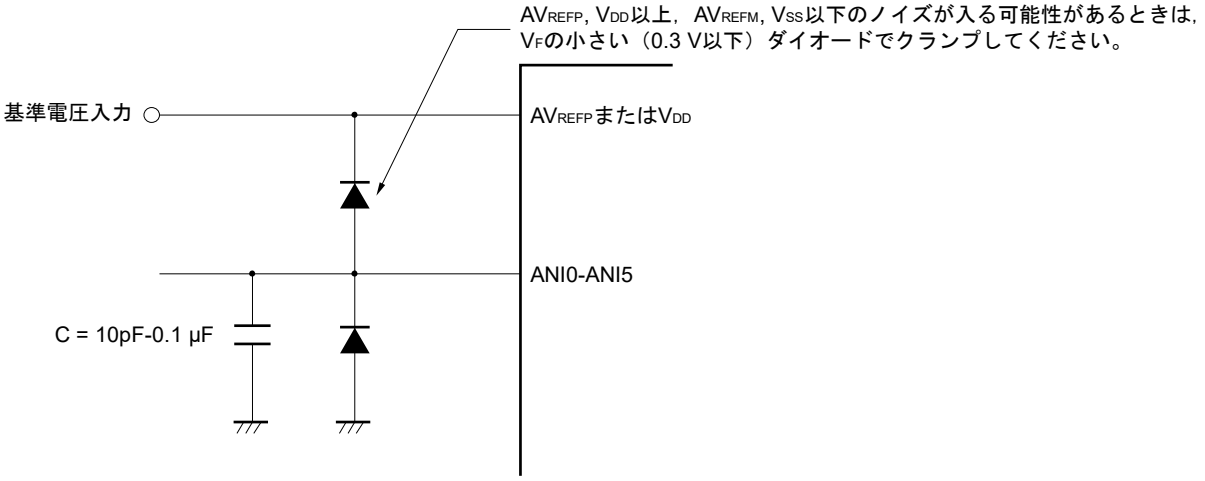
① 電源には等価抵抗が小さく，周波数応答のよいコンデンサ（0.01 μF程度）を最短距離かつ，比較的太い配線を使って接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために**図15－45**のようにコンデンサを外付けすることを推奨します。

③ 変換中においては，他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると，精度が向上します。

図15－45　アナログ入力端子の処理



（5）アナログ入力（ANIn）端子

① アナログ入力（ANI0-ANI5）端子は入力ポート（P20-P25）端子と兼用になっています。
ANI0-ANI5端子のいずれかを選択してA/D変換をする場合，変換中にP20-P25に対して出力値を変更しないでください。変換精度が低下することがあります。

② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると，カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は，デジタル信号の様に急激に変化するパルスが入出力されないようにしてください。

（6）アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは，サンプリング時間で内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを1 kΩ以下にしてください。出力インピーダンスが1 kΩ以下にできないときはサンプリング時間を長く設定するかANI0-ANI5端子に 0.1 μF程度のコンデンサを付けることを推奨します（**図15－45**参照）。また，変換動作中にADCS = 0に設定した場合および再変換を開始した場合は，サンプリング・コンデンサに充電された電圧は不定となります。そのため，ADCS = 0を設定時は次の変換が，再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには，アナログ信号の変化の大きさによらず，アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

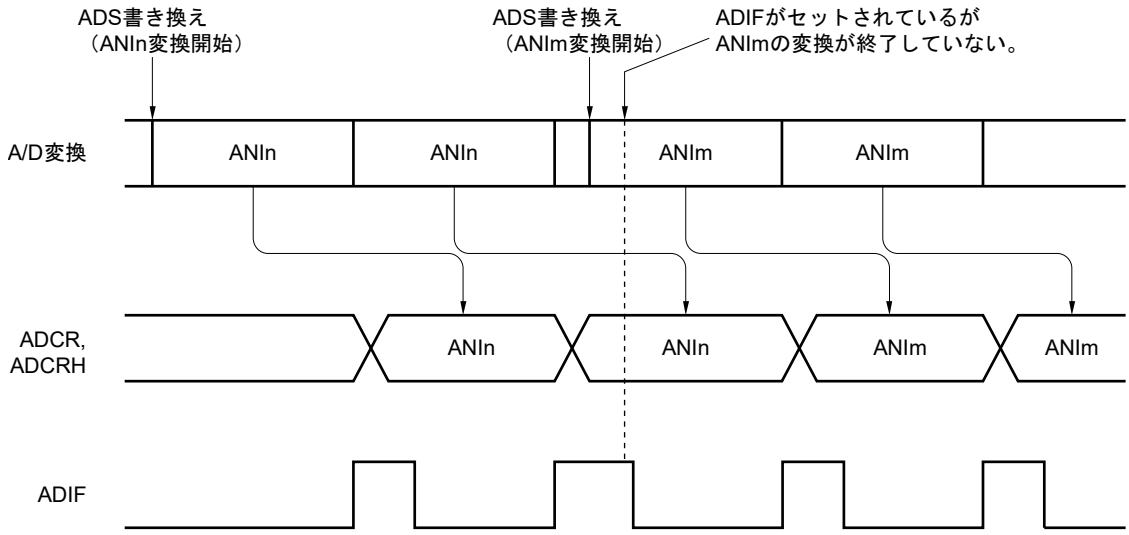
（7）割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリア（0）されません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADSレジスタ書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリア（0）してください。

図15－46　A/D変換終了割り込み要求発生タイミング



（8）A/D変換スタート直後の変換結果について

ソフトウエア・トリガ・モード，ハードウエア・トリガ・ノーウエイト・モードでADCEビット ＝1にしてから，1 μs以内にADCSビット ＝ 1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

（9）A/D変換結果レジスタ（ADCR, ADCRH）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCR，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（10）内部等価回路について

アナログ入力部の等価回路を次に示します。

図15－47　ANIn端子内部等価回路

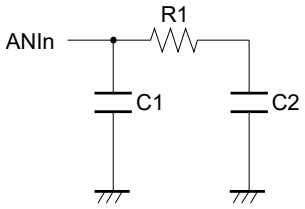


表15－4　等価回路の各抵抗と容量値（参考値）

AV_{REFP}, V_{DD}	ANIn端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V≦V_{DD}≦5.5 V	ANI0-ANI5	14	8	2.5
2.7 V≦V_{DD}≦3.6 V	ANI0-ANI5	39	8	2.5
1.9 V≦V_{DD}＜2.7 V	ANI0-ANI5	231	8	2.5

備考　**表15－4**の各抵抗と容量値は保証値ではありません。

（11）A/Dコンバータの動作開始について

A/Dコンバータの動作は，AV_{REFP}, V_{DD}の電圧が安定してから開始してください。

第16章　温度センサ2

16. 1　温度センサの機能

RL78/I1Cでは温度センサを搭載しています。温度センサの出力電圧を10ビットA/Dコンバータで測定することで，温度を測定することができます。温度センサ・コントロール・テスト・レジスタの設定により，温度センサのモードを以下の3つのモードに切り替えることができます。

- 高温域モード：Mode 1, 0℃～90℃（出力イメージ図　Mode 1）
- 常温域モード：Mode 2，－20℃～70℃（出力イメージ図　Mode 2）
- 低温域モード：Mode 3，－40℃～50℃（出力イメージ図　Mode 3）

温度センサは，HS（高速メイン）モードで使用可能です。

図16－1に温度センサのブロック図を示します。

図16－1　ブロック図

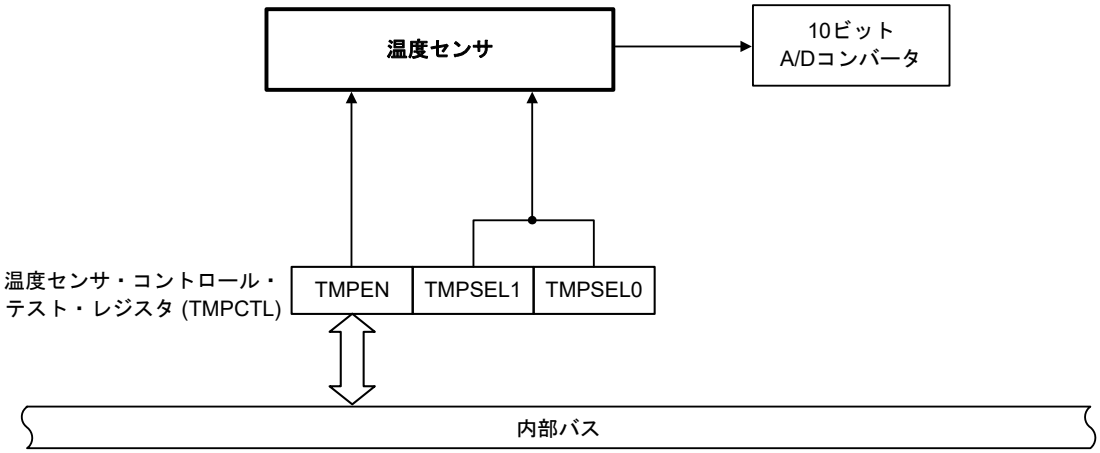
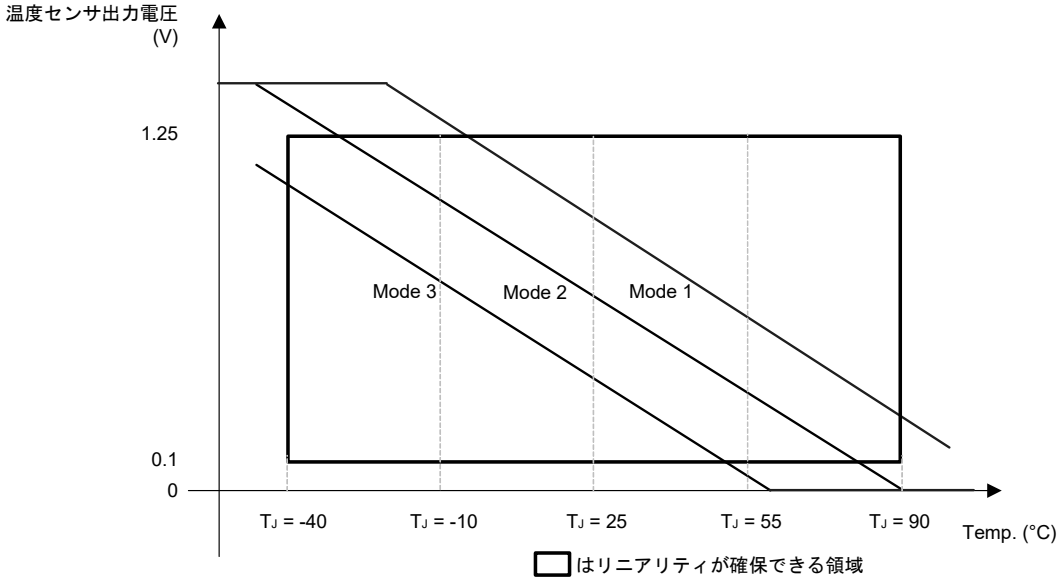


図16－2　出力イメージ図



16. 2　レジスタの説明

表16－1に温度センサで使用するレジスター覧を示します。

表16－1　レジスター覧

項　　目	構　　成
制御レジスタ	温度センサ・コントロール・テスト・レジスタ（TMPCTL） 周辺イネーブルレジスタ0 (PER0) 周辺リセット制御レジスタ0 (PRR0)

16. 2. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

温度センサ2を使用するときは，必ずビット5（ADCEN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図16－3　周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータ/温度センサ2の入力クロック供給の制御
0	入力クロック供給停止 • A/Dコンバータ/温度センサ2で使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給 • A/Dコンバータ/温度センサ2で使用するSFRへのリード／ライト可

注.　A/DコンバータおよびA/Dコンバータ/温度センサ2で使用するSFRを初期化する場合，PRR0のビット5 (ADCRES)を使用してください。

16. 2. 2　温度センサ・コントロール・テスト・レジスタ（TMPCTL）

TMPCTLレジスタは，温度センサの動作停止／動作開始の設定，温度センサのモードの選択をするレジスタです。

TMPCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－4　温度センサ・コントロール・テスト・レジスタ（TMPCTL）のフォーマット

アドレス：F03B0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TMPCTL	TMPEN注1	0	0	0	0	0	TMPSEL1 注2	TMPSEL0 注2

TMPEN	温度センサの動作制御
0	温度センサ動作停止
1	温度センサ動作開始

TMPSEL1	TMPSEL0	温度センサのモード選択
0	0	常温域（Mode 2）
0	1	高温域（Mode 1）
1	0	低温域（Mode 3）
上記以外		設定禁止

注1. TMPENビットを0から1に設定後，50 μsの動作可能安定待ち時間が必要です。

2. TMPSEL1-TMPSEL0ビットへの設定値変更後，15 μsのモード切り替え安定待ち時間が必要です。

注意1.　ビット6-2には必ず0を設定してください。

2.　温度センサを使用する場合は，10bit A/Dコンバータを内部基準電圧で使用してください。基準電圧にV_{DD}を選択した場合，正しく動作しません。

16. 2. 3　周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

温度センサをリセットする場合は，必ずビット5 (ADCRES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図16－5　周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES

ADCRES	A/Dコンバータ、温度センサ2のリセット制御
0	A/Dコンバータ，温度センサ2のリセット解除
1	A/Dコンバータ，温度センサ2のリセット状態

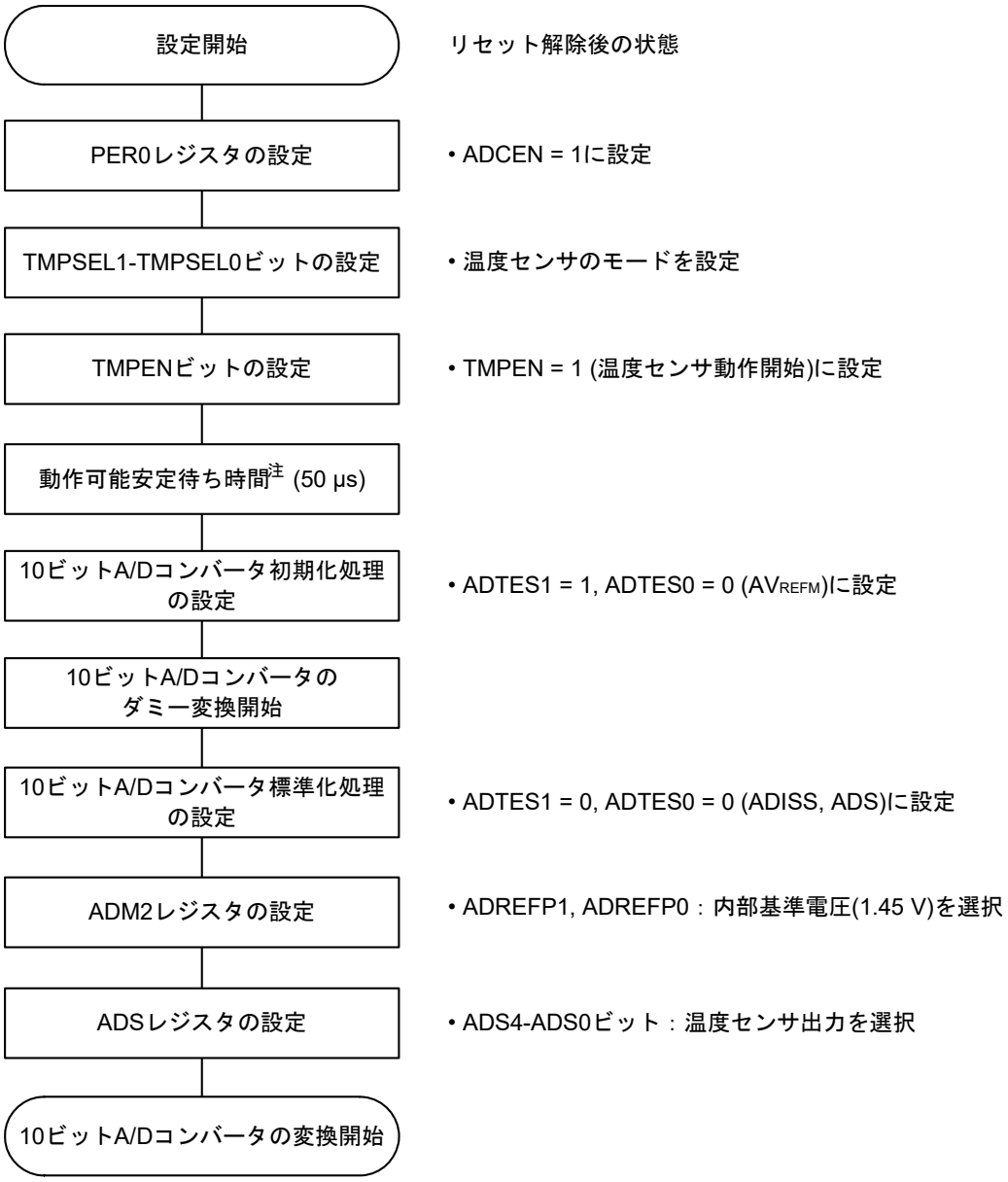
16. 3　設定手順

温度センサの設定手順を以下に示します。

16. 3. 1　温度センサ動作開始

図16－6に温度センサ動作開始時の設定フローを示します。

図16－6　温度センサ動作開始時の設定フロー



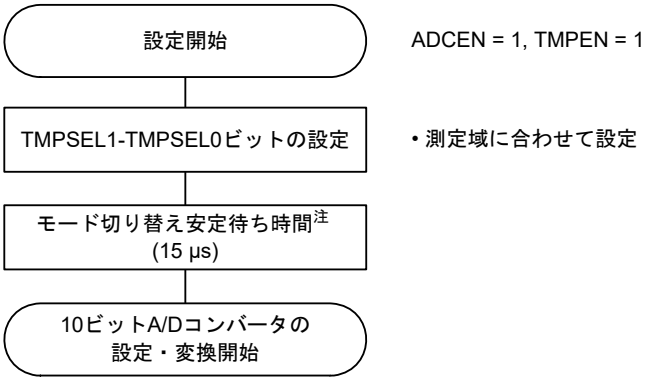
注　動作可能安定待ち時間は，A/Dコンバータ変換開始までに必要となる時間です。

注意　10bitA/Dコンバータは内部基準電圧出力を選択してください。

16. 3. 2　モード切り替え

図16－7に温度センサモード切り替え時の設定フローを示します。

図16－7　温度センサモード切り替え時の設定フロー



注　モード切り替え安定待ち時間は，A/Dコンバータ変換開始までに必要となる時間です。

注意　10bitA/Dコンバータは内部基準電圧出力を選択してください。

第17章　24ビットΔΣA/Dコンバータ

24ビットΔΣA/Dコンバータはアナログ入力をデジタル値に変換する24ビット分解能のコンバータです。

17. 1　24ビットΔΣA/Dコンバータの機能

24ビットΔΣA/Dコンバータの機能を示します。

○S/N+D比80 dB以上（プリアンプ・ゲイン1倍選択時）
○24ビット分解能（変換結果レジスタ：24ビット）
○3チャネル（電流チャネル：2チャネル　電圧チャネル：1チャネル）（80ピン製品）
○4チャネル（電流チャネル：2チャネル　電圧チャネル：2チャネル）（64ピン製品，100ピン製品）
○アナログ入力8本（正側，負側入力／チャネル）
○ΔΣ変換方式
○プリアンプ・ゲイン選択：　1倍，2倍，4倍，8倍，16倍，32倍注（チャネル0, 1, 2, 3）
○動作電圧：　V_{DD}またはV_{BAT} = 2.4～5.5 V，AV_{SS} = 0 V
○アナログ入力電圧：　±0.500 V（プリアンプ・ゲイン1倍選択時）
　±0.250 V（プリアンプ・ゲイン2倍選択時）
　±0.125 V（プリアンプ・ゲイン4倍選択時）
　±62.5 mV（プリアンプ・ゲイン8倍選択時）
　±31.25 mV（プリアンプ・ゲイン16倍選択時）
　±15.625 mV（プリアンプ・ゲイン32倍注選択時）
○基準電圧生成（0.8 V [TYP.]：出力可能）
○サンプリング周波数：　3906.25 Hz（4 kHzサンプリング・モード）／1953.125 Hz（2 kHzサンプリング・モード）
○HPFカットオフ周波数：　0.607 Hz, 1.214 Hz, 2.429 Hz, 4.857 Hzを選択可能
○動作クロック：　高速システム・クロック（f_{MX}）（12 MHz水晶振動子のみ使用可能）
　高速オンチップ・オシレータ（f_{IH}）

注　32倍はデジタルフィルタでゲインを2倍します。

注意1.　PCKCレジスタのDSADCK = 1により高速システム・クロック（f_{MX}）を使用する場合は，12 MHzを供給してください。
2.　LP（低電力メイン）モード，LV（低電圧メイン）モード時には24ビットΔΣA/Dコンバータ機能は使用できません。

表17－1に24ビットΔΣA/Dコンバータの構成を，**図17－1**，**図17－2**に24ビットΔΣA/Dコンバータのブロック図を示します。

表17－1　24ビットΔΣA/Dコンバータの構成

項　　目	構　　成
アナログ入力	3チャネル6入力（80ピン製品） 4チャネル8入力（64ピン製品，100ピン製品）
内部ユニット	プリアンプ部 ΔΣA/Dコンバータ部 基準電圧発生部 位相調整部（PHC0, PHC1, PHC2, PHC3） デジタル・フィルタ部（DF） ハイパス・フィルタ部（HPF） ゼロクロス検出

図17－1　24ビットΔΣA/Dコンバータのブロック図（64ピン製品，100ピン製品）

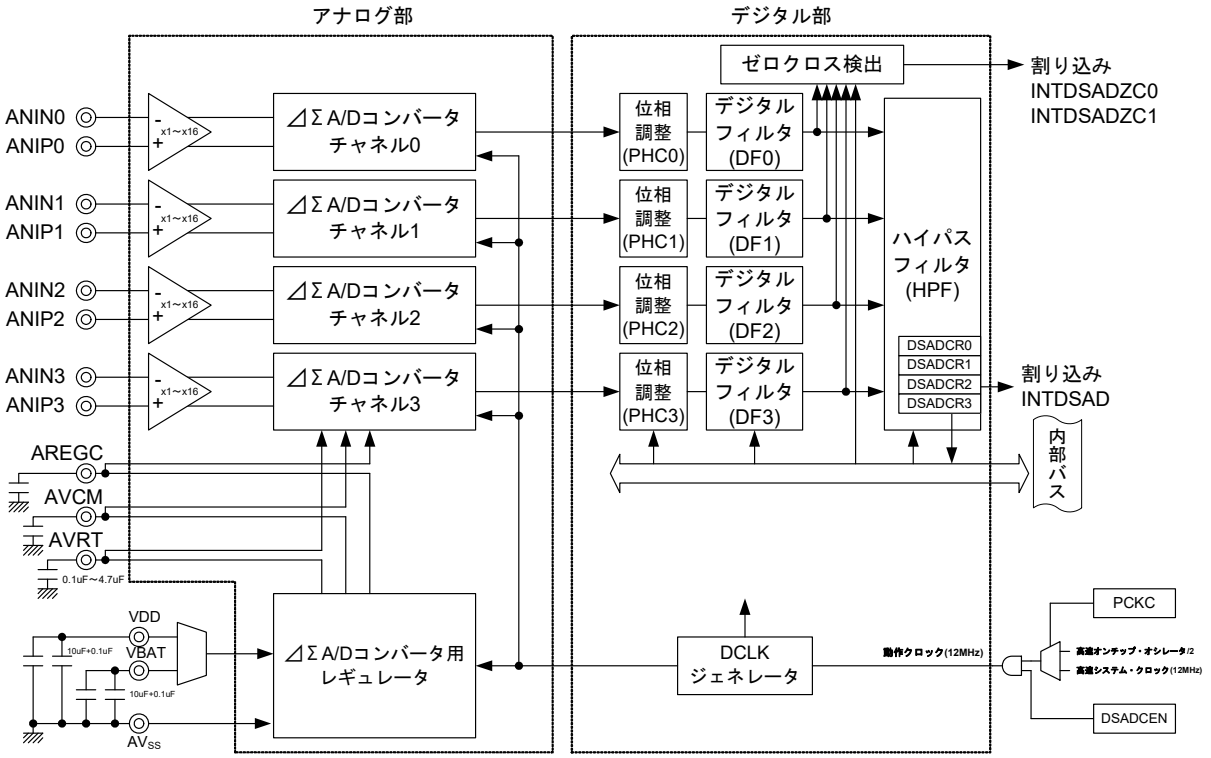
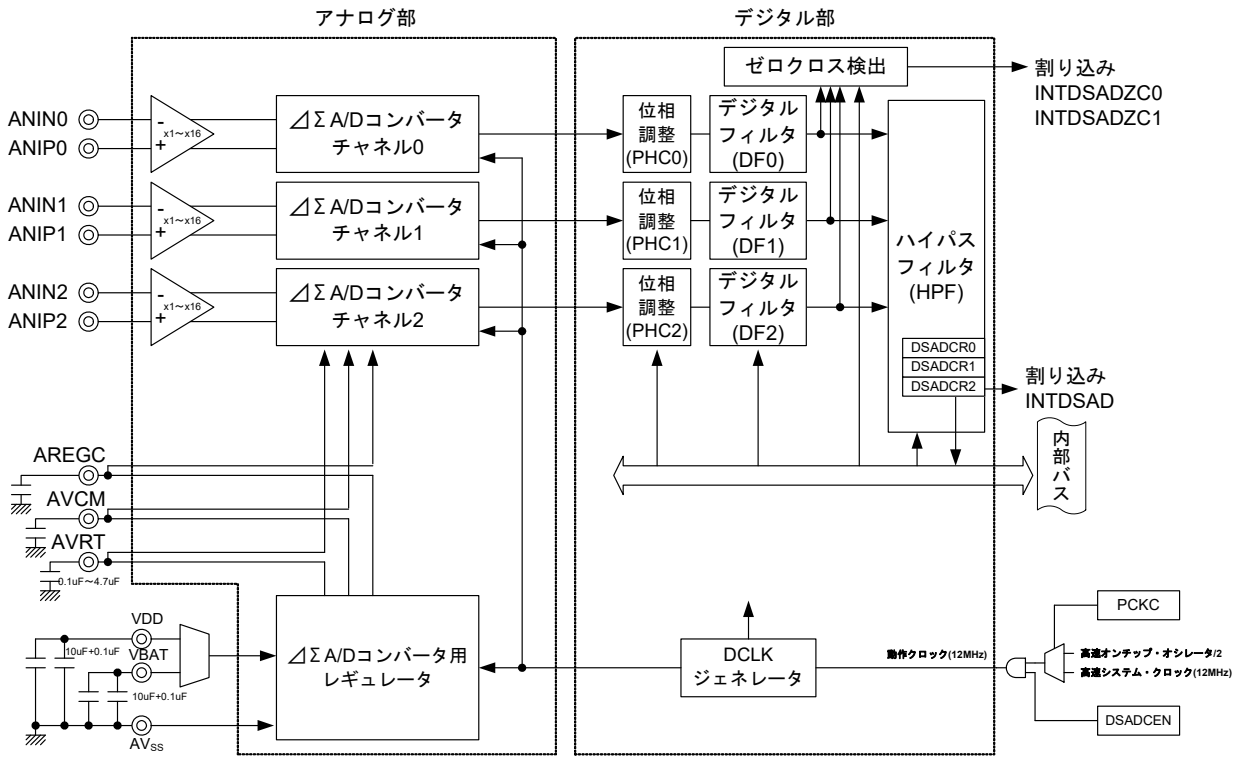


図17－2　24ビットΔΣA/Dコンバータのブロック図（80ピン製品）



17. 1. 1　入出力端子

24ビットΔΣA/Dコンバータには，**表17－2**の入出力端子があります。

表17－2　端子構成

名称	記号	入出力	機能
アナログ入力正端子0～アナログ入力正端子3	ANIPn	入力	ΔΣA/Dコンバータへのアナログ入力端子（正側入力）注1, 3
アナログ入力負端子0～アナログ入力負端子3	ANINn	入力	ΔΣA/Dコンバータへのアナログ入力端子（負側入力）注1, 3
ΔΣA/Dコンバータ用電源電圧端子	AREGC	—	ΔΣA/Dコンバータ用電源電圧
同相電圧端子	AVCM	—	同相電圧
リファレンス電圧端子	AVRT	—	リファレンス電圧
アナログ電源端子1	V_{DD}	—	アナログ電源注2
アナログ電源端子2	VBAT	—	アナログ電源注2
アナログGND端子	AV_{SS}	—	アナログGND

注1.　1チャネル2入力であり，ANINn端子が負側入力，ANIPn端子が正側入力となります。

2.　AV_{SS}端子との間に安定化容量として10 μF + 0.1 μFのコンデンサを接続してください。

3.　単相2線式メータでは，センサ遅延を考慮して端子を選択してください。

備考　64, 100ピン製品はn = 0～3，80ピン製品はn = 0～2

17. 1. 2　プリアンプ

ANINn, ANIPn端子に入力するアナログ入力信号を増幅するユニットです。

レジスタ設定により1倍，2倍，4倍，8倍，16倍，32倍注の切り替えが可能です。

注　32倍はデジタルフィルタでゲインを2倍します。

備考　64, 100ピン製品はn = 0～3，80ピン製品はn = 0～2

17. 1. 3　ΔΣA/Dコンバータ

ΔΣA/Dコンバータ回路を4回路内蔵し，計4チャネルのアナログ入力を2ビットのデジタル値へ変換します。

この4つのΔΣA/Dコンバータ回路は同期して動作し，それぞれの2ビットのデジタル値は，位相調整回路，デジタル・フィルタ，ハイパス・フィルタを通過して，各チャネルの変換結果として，変換結果レジスタ（DSADCR0-DSADCR3）に格納されます。4チャネル分の変換を終了するたびに，割り込み要求信号を発行して，CPUに対し変換結果の読み出しが可能であることを知らせます。サンプリング周波数（fs）は，3906.25 Hzと1953.125 Hzから選択可能です。サンプリング周波数によって，最大保留時間，オーバサンプリング周波数は，下記のように可変します。最大保留時間までにΔΣA/D変換結果レジスタの読み出しを完了させてください。

サンプリング周波数（fs）	最大保留時間	オーバサンプリング周波数
3906.25 Hz（4kHzサンプリング）	192 μs	1.5 MHz
1953.125 Hz（2kHzサンプリング）	384 μs	750 kHz

17. 1. 4　基準電圧発生

基準電圧源（バンド・ギャップ・リファレンス回路）を内蔵し，基準電圧出力端子AVRTより出力します。外付け容量として0.47 μFのコンデンサを接続してください。

17. 1. 5　位相調整回路（PHCn）

入力されるアナログ信号の位相を調整する機能です。384 fsを1ステップとして1151ステップまでアナログ信号間の位相を調整します。

外部部品（電流センサなど）により，入力アナログ信号間で位相ずれが生じます。この位相ずれにより，電力演算精度が低下するため，DSADPHCnレジスタを使用し，位相ずれを修正してください。

位相ずれの補正1ステップは，ライン周波数が60 Hzの場合は0.0144°，50 Hzの場合0.0120°単位での調整が可能です。

RL78/I1Cでは位相調整回路は4回路（PHC0-PHC3）搭載されており，入力信号に対してそれぞれ位相を調整できます。

備考　64, 100ピン製品はn = 0～3，80ピン製品はn = 0～2

17. 1. 6　デジタル・フィルタ（DF）

ΔΣA/Dコンバータ出力に含まれる高調波信号を除去し，かつデータ・レートを384分の1に間引きます。

17. 1. 7　ゼロクロス検出

デジタルフィルタの演算結果が任意の符号反転するタイミングを検出し，割り込みを発生します。

17. 1. 8　ハイパス・フィルタ（HPF）

入力信号に含まれるDC成分およびアナログ回路で生じたDCオフセットを除去します。チャネルごとにハイパス・フィルタの挿入／非挿入の選択が可能です。

17. 2　レジスタの説明

表17－3に24ビットΔΣA/Dコンバータで使用するレジスター覧を示します。

表17－3　レジスター覧

項　　目	レジスタ名
制御レジスタ	ΔΣA/Dコンバータ・モード・レジスタ（DSADMR）
	ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ0（DSADGCR0）
	ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ1（DSADGCR1）
	ΔΣA/Dコンバータ割り込み制御レジスタ（DSADICR）
	ΔΣA/Dコンバータ割り込みクリア・レジスタ（DSADICLR）
	ΔΣA/Dコンバータ割り込みステータス・レジスタ（DSADISR）
	ΔΣA/DコンバータHPFコントロール・レジスタ（DSADHPFCR）
	ΔΣA/Dコンバータ位相コントロール・レジスタ0（DSADPHCR0）
	ΔΣA/Dコンバータ位相コントロール・レジスタ1（DSADPHCR1）
	ΔΣA/Dコンバータ位相コントロール・レジスタ2（DSADPHCR2）
	ΔΣA/Dコンバータ位相コントロール・レジスタ3（DSADPHCR3）
レジスタ	ΔΣA/Dコンバータ変換結果レジスタ0L（DSADCR0L）
	ΔΣA/Dコンバータ変換結果レジスタ0M（DSADCR0M）
	ΔΣA/Dコンバータ変換結果レジスタ0H（DSADCR0H）
	ΔΣA/Dコンバータ変換結果レジスタ1L（DSADCR1L）
	ΔΣA/Dコンバータ変換結果レジスタ1M（DSADCR1M）
	ΔΣA/Dコンバータ変換結果レジスタ1H（DSADCR1H）
	ΔΣA/Dコンバータ変換結果レジスタ2L（DSADCR2L）
	ΔΣA/Dコンバータ変換結果レジスタ2M（DSADCR2M）
	ΔΣA/Dコンバータ変換結果レジスタ2H（DSADCR2H）
	ΔΣA/Dコンバータ変換結果レジスタ3L（DSADCR3L）
	ΔΣA/Dコンバータ変換結果レジスタ3M（DSADCR3M）
	ΔΣA/Dコンバータ変換結果レジスタ3H（DSADCR3H）
	ΔΣA/Dコンバータ変換結果レジスタ0（DSADCR0）
	ΔΣA/Dコンバータ変換結果レジスタ1（DSADCR1）
	ΔΣA/Dコンバータ変換結果レジスタ2（DSADCR2）
	ΔΣA/Dコンバータ変換結果レジスタ3（DSADCR3）
制御レジスタ	周辺イネーブル・レジスタ1（PER1）
	周辺クロック制御レジスタ（PCKC）
	周辺リセット制御レジスタ1（PRR1）

17. 2. 1　ΔΣA/Dコンバータ・モード・レジスタ（DSADMR）

DSADMRレジスタは，ΔΣA/Dコンバータのモードを設定するレジスタです。サンプリング周期の選択，ΔΣA/Dコンバータの分解能選択，各チャネルのパワーオン制御や動作許可制御を行います。

DSADMRレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，DSADMRレジスタは0000Hとなります。

図17－3　ΔΣA/Dコンバータ・モード・レジスタ（DSADMR）のフォーマット

アドレス：F03C0H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSADMR	DSADFR	DSADTYP	0	0	DSADPON3	DSADPON2	DSADPON1	DSADPON0	0	0	0	0	DSADCE3	DSADCE2	DSADCE1	DSADCE0

DSADFR	サンプリング周波数選択
0	3906.25 Hz
1	1953.125 Hz
サンプリング周波数を選択するビットです。	

DSADTYP	ΔΣA/Dコンバータ変換結果レジスタの読み出し分解能の選択
0	24ビット分解能
1	16ビット分解能
DSADTYP = 0の場合： ΔΣA/Dコンバータ変換結果レジスタ（DSADCRn）の読み出しにより，ΔΣA/Dコンバータ変換結果レジスタの下位16ビットを読み出せます。上位8ビットはDSADCRnHを読み出してください。 DSADTYP = 1の場合： ΔΣA/Dコンバータ変換結果レジスタ（DSADCRn）の読み出しにより，ΔΣA/Dコンバータ変換結果レジスタの上位16ビットを読み出せます。	

DSADPONn	チャネルnのΔΣA/Dコンバータパワーオン制御（アナログ部）
0	パワーダウン
1	パワーオン

DSADCEn	チャネルnのΔΣA/Dコンバータ動作許可（アナログ，デジタル部）
0	電荷リセット
1	通常動作
ΔΣA/Dコンバータの変換動作許可するビットです。アナログ部の電荷，デジタル部の変換結果をリセットします。ΔΣA/Dコンバータの電荷リセットを正常に行うためには，DSADCEnビットを1→0に設定後，1.4 μs以上待ってから再変換してください。	

（注意，備考は次ページにあります。）

注意1. CPUクロック（f_{CLK}）に12 MHzより早いクロックを選択時は，DSADMRレジスタに連続して書き込みをしないでください。連続して書き込みを行う場合は，書き込み間隔をf_{CLK}で1サイクル以上空けてください。DSADPONnビットに0を設定してからΔΣA/Dコンバータがパワーダウンするまでf_{CLK}で3サイクル必要です。再度DSADPONnビットに1を設定する場合は，必ずf_{CLK}で3サイクル以上空けてからΔΣA/Dコンバータをパワーオンするようにしてください。

2. ビット13, 12, 7-4には必ず0を設定してください。

備考　n = 0～3

17. 2. 2　ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ0（DSADGCR0）

DSADGCR0レジスタは，チャネル0とチャネル1のプログラマブル・ゲイン・アンプのゲインを選択するレジスタです。

DSADGCR0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，DSADGCR0レジスタは00Hになります。

図17－4　ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ0（DSADGCR0）のフォーマット

アドレス：F03C2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DSADGCR0	0	DSADGAIN12	DSADGAIN11	DSADGAIN10	0	DSADGAIN02	DSADGAIN01	DSADGAIN00

DSADGAIN12	DSADGAIN11	DSADGAIN10	チャネル1のプログラマブル・アンプ・ゲイン選択
ビット6	ビット5	ビット4	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32注
上記以外			設定禁止
PGAゲインを制御するビットです。設定可能なゲインは，× 1～ × 32です。			

DSADGAIN02	DSADGAIN01	DSADGAIN00	チャネル0のプログラマブル・アンプ・ゲイン選択
ビット2	ビット1	ビット0	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32注
上記以外			設定禁止
PGAゲインを制御するビットです。設定可能なゲインは，× 1～ × 32です。			

注　デジタルフィルタでゲインを2倍します。

注意　ビット7, 3には必ず0を設定してください。

17. 2. 3　ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ1（DSADGCR1）

DSADGCR1レジスタは，チャネル2とチャネル3のプログラマブル・ゲイン・アンプのゲインを選択するレジスタです。

DSADGCR1は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，DSADGCR1レジスタは00Hになります。

図17－5　ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ1（DSADGCR1）のフォーマット

アドレス：F03C3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DSADGCR1	0	DSADGAIN32	DSADGAIN31	DSADGAIN30	0	DSADGAIN22	DSADGAIN21	DSADGAIN20

DSADGAIN32	DSADGAIN31	DSADGAIN30	チャネル3のプログラマブル・アンプ・ゲイン選択
ビット6	ビット5	ビット4	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32注
上記以外			設定禁止
PGAゲインを制御するビットです。設定可能なゲインは，× 1～ × 32です。			

DSADGAIN22	DSADGAIN21	DSADGAIN20	チャネル2のプログラマブル・アンプ・ゲイン選択
ビット2	ビット1	ビット0	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32注
上記以外			設定禁止
PGAゲインを制御するビットです。設定可能なゲインは，× 1～ × 32です。			

注　デジタルフィルタでゲインを2倍します。

注意　ビット7, 3には必ず0を設定してください。

17. 2. 4　ΔΣA/DコンバータHPFコントロール・レジスタ（DSADHPFCR）

DSADHPFCRレジスタは，ハイパス・フィルタのカットオフ周波数の選択，各チャネルのハイパス・フィルタの無効／有効を設定するレジスタです。

DSADHPFCRは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，DSADHPFCRレジスタは00Hになります。

図17－6　ΔΣA/DコンバータHPFコントロール・レジスタ（DSADHPFCR）のフォーマット

アドレス：F03C5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DSADHPFCR	DSADCOF1	DSADCOF0	0	0	DSADTHR3	DSADTHR2	DSADTHR1	DSADTHR0

DSADCOF1 ビット7	DSADCOF0 ビット6	ハイパス・フィルタのカットオフ周波数選択
0	0	0.607 Hz
0	1	1.214 Hz
1	0	2.429 Hz
1	1	4.857 Hz

DSADTHR3	チャネル3のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR2	チャネル2のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR1	チャネル1のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR0	チャネル0のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

注意1.　ビット5, 4には必ず0を設定してください。

2.　DSADTHRnビットは，以下のいずれかを満たす時に書き込み完了してください。

・DSADCEn=0(変換停止中)

・ゼロクロス検出割り込みから21μs以内

備考　ハイパス・フィルタのカットオフ周波数を変更することで，ハイパス・フィルタの収束時間が変わります。カットオフ周波数が高いほど，収束時間は早くなります。

ハイパス・フィルタをクリアするには，周辺リセット制御レジスタ（PRR1）のDSADRESビットでリセットする必要があります。

17. 2. 5　ΔΣA/Dコンバータ割り込み制御レジスタ（DSADICR）

DSADICRレジスタは，ゼロクロス検出割り込みを制御するレジスタです。

DSADICRは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，DSADICRレジスタは00Hになります。

図17－7　ΔΣA/Dコンバータ割り込み制御レジスタ（DSADICR）のフォーマット

アドレス：F03C8H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DSADICR	DSADZCEG P1	DSADZCEG N1	DSADZCMD 1	DSADZCCTL 1	DSADZCEG P0	DSADZCEG N0	DSADZCMD 0	DSADZCCTL 0

DSADZCEG Pn	DSADZCEG Nn	DF出力のゼロクロス検出エッジ選択
0	0	ゼロクロス検出停止
0	1	DSADZCnの立ち下りエッジ
1	0	DSADZCnの立ち上りエッジ
1	1	DSADZCnの立ち上がり，立ち下がりの両エッジ

DSADZCMDn	ゼロクロス検出モード選択
0	パルス出力モード
1	レベル出力モード

DSADZCCTL 1	ゼロクロス検出チャネル選択ビット1
0	チャネル3
1	チャネル0

DSADZCCTL 0	ゼロクロス検出チャネル選択ビット0
0	チャネル2
1	チャネル1

注意　本レジスタはサンプリング周波数(3906.25Hz /1953.125Hz)で同期化に3サイクル必要なため，設定値を書き換えた場合，サンプリング周波数の4サイクル後の動作から反映されます。反映後は，次のライト命令を受け付け可能です。

備考　n = 0, 1

DSADZCEGNnビット，DSADZCEGPnビット(n = 0, 1)

本ビットはDF出力に対してゼロクロス検出割り込みを発生させる有効エッジを設定します。DF出力のゼロクロス検出条件は，DF出力とDSADZCnビットの波形関係は，**図17－8 ～ 図17－11** に示します。

表17－4　DF出力のゼロクロス検出条件

DSADZCEGPn	DSADZCEGNn	検出エッジ選択
0	0	ゼロクロス検出停止
0	1	DSADZCnの立ち下りエッジ
1	0	DSADZCnの立ち上りエッジ
1	1	DSADZCnの立ち上がり，立ち下がりの両エッジ

図17－8　INTDSADZCn割り込み発生タイミング

(パルス出力：DSADZCMDn = 0, DSADZCEGNn = 0, DSADZCEGPn = 0)

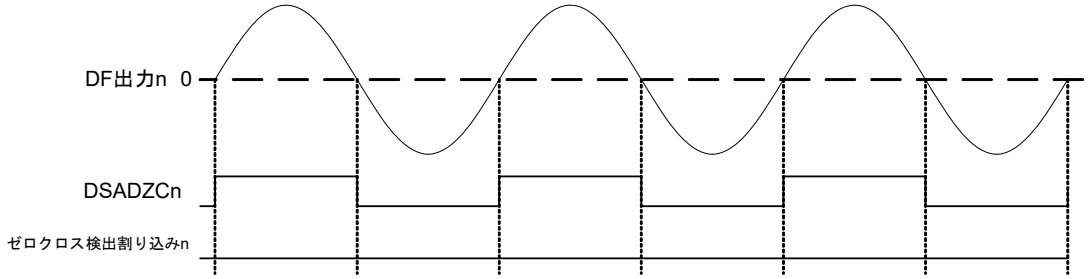


図17－9　INTDSADZCn割り込み発生タイミング

(パルス出力：DSADZCMDn = 0, DSADZCEGNn = 1, DSADZCEGPn = 0)

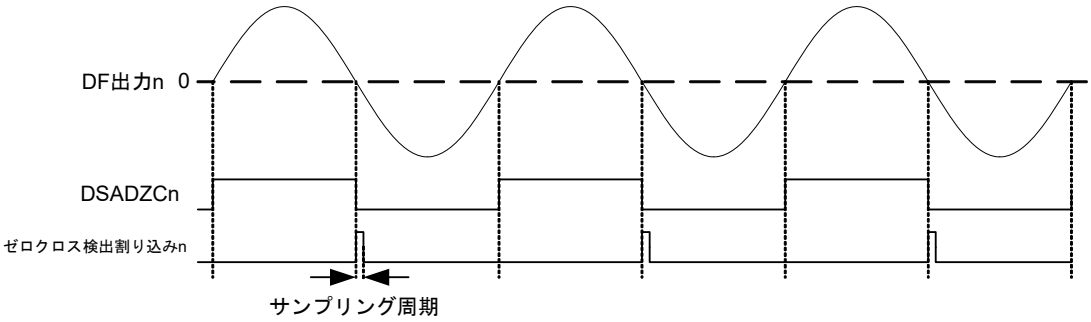


図17－10　INTDSADZCn割り込み発生タイミング

(パルス出力：DSADZCMDn = 0, DSADZCEGNn = 0, DSADZCEGPn = 1)

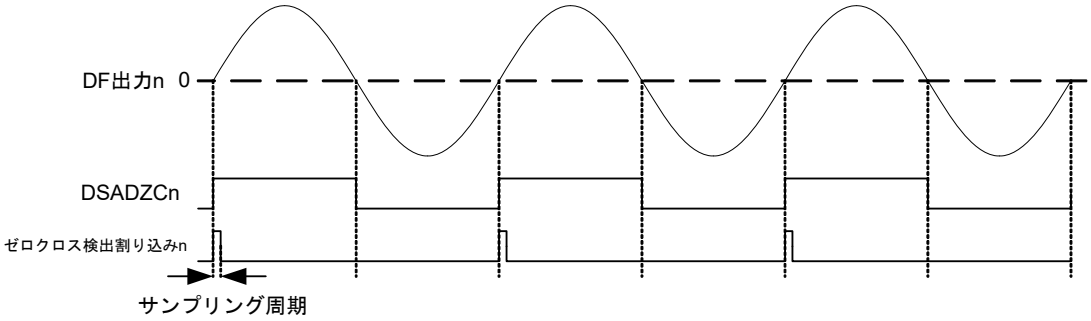
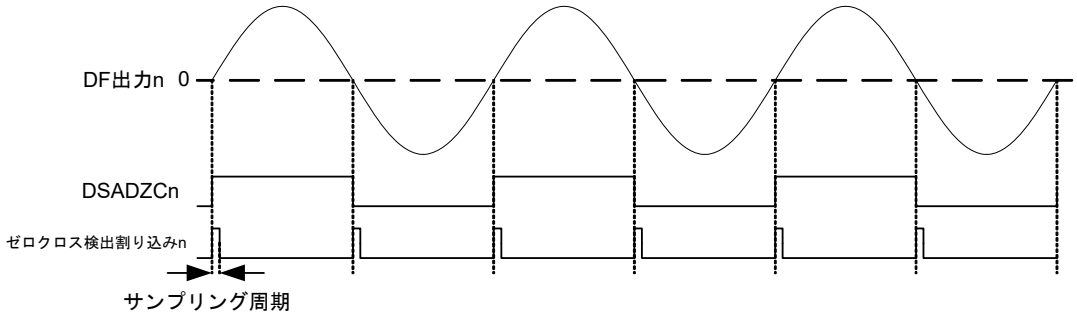


図17－11　INTDSADZCn割り込み発生タイミング

(パルス出力：DSADZCMDn = 0, DSADZCEGNn = 1, DSADZCEGPn = 1)



DSADZCMDnビット(n = 0, 1)

本ビットはゼロクロス検出割り込みの出力タイプを選択します。

"0"(パルス出力モード)を設定した場合には，DF出力に高調波信号が含まれる場合，ゼロクロス付近で割り込みが複数回発生することがあります。割り込みを複数回発生させないためには，"1"(レベル出力モード)を設定してください。

レベル出力モードを設定した場合には，ゼロクロス検出割り込みが一度アサートされたらソフトウェアでクリアする必要があります。

動作は，**17. 3. 3. 1　ゼロクロス検出割り込み動作の図 17－23**と**図 17－25**を参照してください。

DSADZCCTLnビット(n = 0, 1)

本ビットはゼロクロスを検出する対象チャネルを選択します。

17. 2. 6　ΔΣA/Dコンバータ割り込みクリア・レジスタ（DSADICLR）

DSADICLRレジスタは，ゼロクロス検出割り込みをクリアするレジスタです。

DSADICLRは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，DSADICLRレジスタは00Hになります。

図17－12　ΔΣA/Dコンバータ割り込みクリア・レジスタ（DSADICLR）のフォーマット

アドレス：F03C9H　　リセット時：00H　　W

略号	7	6	5	4	3	2	1	0
DSADICLR	0	0	0	DSADICL1	0	0	0	DSADICL0

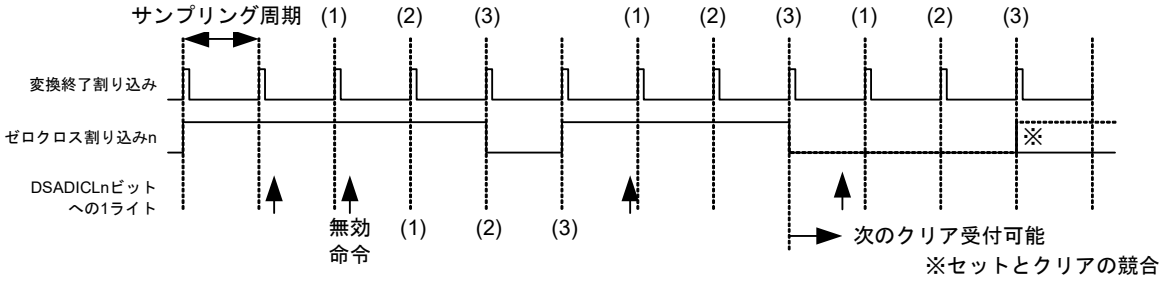
DSADICL1	ゼロクロス検出割り込み1クリア・ビット
0	ゼロクロス検出割り込み1（INTDSADZC1）をクリアしない
1	ゼロクロス検出割り込み1（INTDSADZC1）をクリアする

DSADICL0	ゼロクロス検出割り込み0クリア・ビット
0	ゼロクロス検出割り込み0（INTDSADZC0）をクリアしない
1	ゼロクロス検出割り込み0（INTDSADZC0）をクリアする

DSADICLnビット(n = 0, 1)

本ビットは1を書き込むことでゼロクロス検出割り込みn(INTDSADZCn)をクリアします。本ビットは0を書き込んでも動作しません。書き込み値に因らず本ビットの読み出し値は0です。ゼロクロス検出割り込みと本ビットへ1を書き込むタイミングが同時に発生した場合，ソフトウェアによるゼロクロス検出割り込みのクリア動作が優先されます。本ビットへ1を書き込んだ場合には，サンプリング周波数の3サイクル後にクリアされます。クリア後に次のクリア命令を受け付け可能です。

図17－13　INTDSADZCn割り込み発生のクリアタイミング



17. 2. 7　ΔΣA/Dコンバータ割り込みステータス・レジスタ（DSADISR）

DSADISRレジスタは，ゼロクロス検出割り込みの状態を示すレジスタです。

DSADISRは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，DSADISRレジスタは22Hになります。

図17－14　ΔΣA/Dコンバータ割り込みステータス・レジスタ（DSADISR）のフォーマット

アドレス：F03CAH　　リセット時：22H　　R

略号	7	6	5	4	3	2	1	0
DSADISR	0	0	DSADZC1	DSADZCI1	0	0	DSADZC0	DSADZCI0

DSADZCn	DF出力ステータス・ビットn
0	DF出力nがマイナス状態
1	DF出力nがプラス状態
本ビットはDSADZCCTLnビットで選択した対象チャネルのDF出力の状態を示します。	

DSADZCIn	ゼロクロス検出割り込みステータス・ビットn
0	ゼロクロス検出割り込みn（INTDSADZCn）が0
1	ゼロクロス検出割り込みn（INTDSADZCn）が1
本ビットはゼロクロス検出割り込み(INTDSADZCn)をモニタするビットです。 ＜セット条件＞ ・DSADICRレジスタのDSADZCEGNnとDSADZCEGPnで設定した有効エッジによるゼロクロス検出時 ＜クリア条件＞ ・パルス出力モード(DSADICRレジスタのDSADZCMDn = 0)の時に，1サンプリング 時間経過すると自動でクリア ・レベル出力モード(DSADICRレジスタのDSADZCMDn = 1)の時に，ソフトウェアによるクリア	

注意　ゼロクロス検出割り込みは，DF出力に含まれる高調波信号によってゼロクロス付近で複数回発生することがあります。そのため一定期間後にソフトウェアにてDSADICLnビットへ1を書き込みクリアしてください。ゼロクロス検出割り込みが発生してすぐクリアした場合には，高調波信号によって再度割り込み発生する可能性があります。

備考　n = 0, 1

17. 2. 8　ΔΣA/Dコンバータ位相コントロール・レジスタn（DSADPHCRn）（n = 0, 1, 2, 3）

DSADPHCRnレジスタは，位相調整n回路へ入力するチャネルの選択および位相調整量を設定するレジスタです。

DSADPHCRnは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，DSADPHCRnレジスタは0000Hになります。

図17－15　ΔΣA/Dコンバータ位相コントロール・レジスタn（DSADPHCRn）のフォーマット

アドレス：F03D0H（DSADPHCR0），F03D2H（DSADPHCR1），F03D4H（DSADPHCR2），F03D6H（DSADPHCR3）
リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSADPHCRn	0	0	0	0	0	DSADPHCn10	DSADPHCn9	DSADPHCn8	DSADPHCn7	DSADPHCn6	DSADPHCn5	DSADPHCn4	DSADPHCn3	DSADPHCn2	DSADPHCn1	DSADPHCn0

DSADPHCn10-DSADPHCn0注	ΔΣA/Dコンバータ・チャネルnの位相調整
000H	スルー（位相調整無し）
001H	1段分
:	:
47EH	1150段分
47FH	1151段分
アナログ部から入力される2ビットΔΣA/D変換データに対して位相調整します。 DSADPHCn10-DSADPHCn0ビットで位相調整量を指定（1段分 = 384 fs）します。 調整値の計算式にはサンプリング周波数（3906.25 Hz）がのるため，1段の補正で調整できる位相は，1 [s]/（384 [fs] × 3906.25 [Hz]）= 0.6667 [μs]です。 例：アナログ部から入力された2ビット信号に対して100 μs位相調整を行いたい場合，100/0.6667 = 150 [段]となるため，レジスタ設定値は96Hとなります。	

注　480H以上は設定禁止です。

注意　ビット15-11には必ず0を設定してください。

17. 2. 9　ΔΣA/Dコンバータ変換結果レジスタn（DSADCRnL, DSADCRnM, DSADCRnH）（n = 0, 1, 2, 3）

DSADCRn（H/M/L）レジスタは，各チャネルのΔΣA/Dコンバータの変換結果を保持する24ビット・レジスタです。

DSADCRnL, DSADCRnM, DSADCRnHレジスタは，それぞれ8ビット・メモリ操作命令で読み出せます。ΔΣA/Dコンバータ・モード・レジスタ（DSADMR）のDSADTYPビットの設定によりΔΣA/Dコンバータの変換結果の読み出し動作が異なります。

ΔΣA/Dコンバータ・モード・レジスタ（DSADMR）のDSADCEnビットを0にするか，またはリセット信号の発生によりDSADCRnL, DSADCRnM, DSADCRnHレジスタは，00Hに初期化されます。

図17－16　ΔΣA/Dコンバータ変換結果レジスタn（DSADCRnL, DSADCRnM, DSADCRnH）（n = 0, 1, 2, 3）のフォーマット

アドレス：	F03E0H（DSADCR0L）	F03E1H（DSADCR0M）	F03E2H（DSADCR0H）
	F03E4H（DSADCR1L）	F03E5H（DSADCR1M）	F03E6H（DSADCR1H）
	F03E8H（DSADCR2L）	F03E9H（DSADCR2M）	F03EAH（DSADCR2H）
	F03ECH（DSADCR3L）	F03EDH（DSADCR3M）	F03EEH（DSADCR3H）
リセット時：	00H　R		

略号	7	6	5	4	3	2	1	0
DSADCRnH	DSADCRnH [7：0]							

略号	7	6	5	4	3	2	1	0
DSADCRnM	DSADCRnM [7：0]							

略号	7	6	5	4	3	2	1	0
DSADCRnL	DSADCRnL [7：0]							

• 24ビット分解能設定時（DSADMRレジスタのDSADTYP = 0）

	DSADCRnH	DSADCRnM	DSADCRnL
ビット	b23　b16	b15　b8	b7　b0
	ΔΣA/D変換結果n [23：16]	ΔΣA/D変換結果n [15：8]	ΔΣA/D変換結果n [7：0]

ビット	シンボル	チャネルnの変換結果
b7-b0	DSADCRnL [7：0]	チャネルnの変換結果ビット7-0
b15-b8	DSADCRnM [7：0]	チャネルnの変換結果ビット15-8
b23-b16	DSADCRnH [7：0]	チャネルnの変換結果ビット23-16

（注意は次ページにあります。）

• 16ビット分解能設定時（DSADMRレジスタのDSADTYP = 1）

	DSADCRnH	DSADCRnM	DSADCRnL
ビット	b23　　b16	b15　　b8	b7　　b0
	ΔΣA/D変換結果n [23：16]	ΔΣA/D変換結果n [23：16]	ΔΣA/D変換結果n [15：8]

ビット	シンボル	チャネルnの変換結果
b7-b0	DSADCRnL [7：0]	チャネルnの変換結果ビット15-8
b15-b8	DSADCRnM [7：0]	チャネルnの変換結果ビット23-16
b23-b16	DSADCRnH [7：0]	チャネルnの変換結果ビット23-16

注意　必ずΔΣA/D変換完了割り込みが発生してから，ΔΣA/Dコンバータ変換結果レジスタの最大保留時間内に読み出してください。

17. 2. 10　ΔΣA/Dコンバータ変換結果レジスタn（DSADCRn）（n = 0, 1, 2, 3）

DSADCRnレジスタは，各チャネルの変換結果を16ビット・メモリ操作命令でアクセスするためのレジスタです。

DSADCRnレジスタは，それぞれ16ビット・メモリ操作命令で読み出せます。ΔΣA/Dコンバータ・モード・レジスタ（DSADMR）のDSADTYPビットの設定により，ΔΣA/Dコンバータの変換結果の読み出し動作が異なります。

ΔΣA/Dコンバータ・モード・レジスタ（DSADMR）のDSADCEnビットを0にするか，またはリセット信号の発生により，DSADCRnレジスタは0000Hに初期化されます。

図17－17　ΔΣA/Dコンバータ変換結果レジスタn（DSADCRn）（n = 0, 1, 2, 3）のフォーマット

アドレス：　F03E0H（DSADCR0）　F03E4H（DSADCR1）　F03E8H（DSADCR2）
F03ECH（DSADCR3）

リセット時：0000H　R

略号	15	0
DSADCRn	DSADCRn [15：0]	

• 24ビット分解能設定時（DSADMRレジスタのDSADTYP = 0）注

ビット	シンボル	チャネルnの変換結果
b15-b0	DSADCRn [15：0]	チャネルnの変換結果ビット15-0

• 16ビット分解能設定時（DSADMRレジスタのDSADTYP = 1）注

ビット	シンボル	チャネルnの変換結果
b15-b0	DSADCRn [15：0]	チャネルnの変換結果ビット23-8

注　ΔΣA/D変換結果へのアクセスはDSADMRレジスタのDSADTYPの設定で変わります

• DSADTYP = 0：　下位16ビットを読み出すことができます。
上位8ビットはDSADCRnHを読み出してください。

• DSADTYP = 1：　上位16ビットを読み出すことができます。

注意　必ずΔΣA/D変換完了割り込みが発生してから，ΔΣA/Dコンバータ変換結果レジスタの最大保留時間内に読み出してください。

17. 2. 11　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

24ビットΔΣA/Dコンバータを使用するときは，必ずビット0（DSADCEN）を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17－18　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F00FAH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	0	0	DTCEN	0	0	DSADCEN

DSADCEN	24ビットΔΣA/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 • 24ビットΔΣA/Dコンバータで使用するSFRへのライト不可， リードした場合は00Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給 • 24ビットΔΣA/Dコンバータで使用するSFRへのリード／ライト可

注　24ビットΔΣA/Dコンバータおよび24ビットΔΣA/Dコンバータで使用するSFR を初期化する場合，PRR1のビット0(DSADRES)を使用してください。

注意1. 24ビットΔΣA/Dコンバータの設定をする際には，必ず最初にDSADCEN = 1の設定を行ってください。
DSADCEN = 0の場合は，ΔΣA/Dコンバータの制御レジスタへの書き込みは無視されます。

2. ビット7, 5, 4, 2, 1には必ず0を設定してください。

3. 入力クロックに高速オンチップ・オシレータが選択されている場合，必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させ，周波数精度の高いクロックを入力してください。

17. 2. 12　周辺リセット制御レジスタ1（PRR1）

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

24ビットΔΣA/Dコンバータをリセットする場合は，必ずビット0 (DSADRES)を1に設定してください。

PRR1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR1レジスタは00Hになります。

図17－19　周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス：F00FBH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PRR1	0	0	0	0	0	0	0	DSADRES

DSADRES	24ビットΔΣA/Dコンバータのリセット制御
0	24ビットΔΣA/Dコンバータはリセット解除
1	24ビットΔΣA/Dコンバータはリセット状態

17. 2. 13　周辺クロック制御レジスタ（PCKC）

周辺クロックを制御するレジスタです。ビット0で24ビットΔΣA/Dコンバータのクロックを選択します。

PCKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17－20　周辺クロック制御レジスタ（PCKC）のフォーマット

アドレス：F0098H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PCKC	0	0	0	0	0	0	PLLCK	DSADCK

DSADCK	24ビットΔΣA/Dコンバータの動作クロックの選択
0	高速オンチップ・オシレータ・クロック（f_{HOCO}/2）供給。（f_{MX}供給停止）注1
1	高速システム・クロック供給（f_{MX}）供給注2

注1.　高速オンチップ・オシレータ・クロックを選択時は，必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

2.　高速システム・クロックの周波数（f_{MX}）は水晶発振子12 MHzのみ使用可能です。

注意　ビット7-2には必ず0を設定してください。

17. 3　動作説明

24ビットΔΣA/Dコンバータは，4本のΔΣA/Dコンバータ変換結果としてデジタル信号の入力端子を持ちます。このΔΣA/Dコンバータ結果から2ビット値をデジタルフィルタに通すことで，24ビットのデジタル値に変換します。

アナログ部のΔΣA/Dコンバータのモード設定はDSADMR, DSADGCR0, DSADGCR1レジスタの値によって決まります。**表17－5**にモード設定表を示します。

表17－5　モード設定表

信号／モード	①通常	②ΔΣA/D変換停止	③パワーダウン
DSADGAINn2-DSADGAINn0	任意	任意	任意
DSADPONn	1	1	0
DSADCEn	1	0	0

備考　n = 0～3

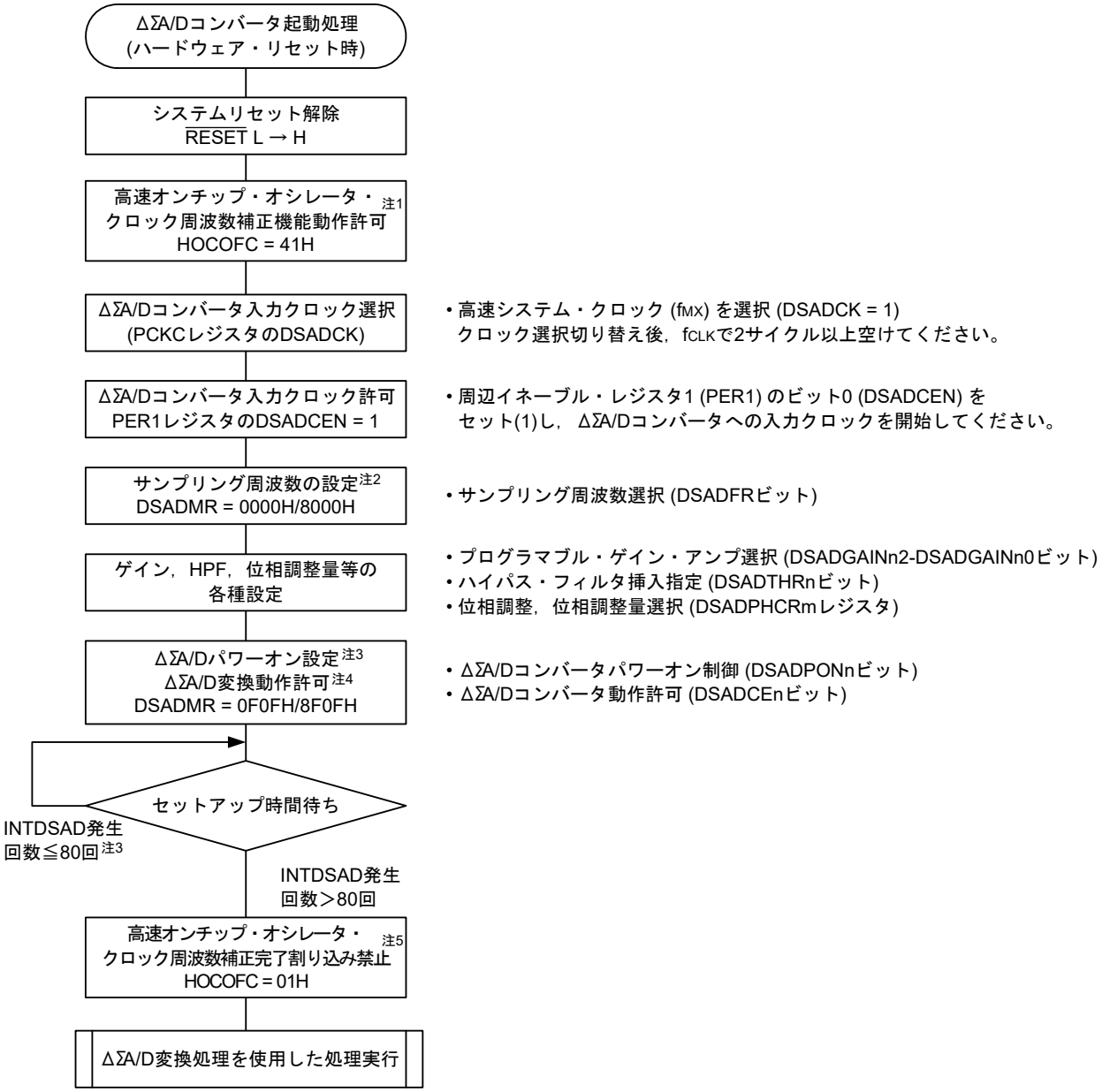
17. 3. 1　24ビットΔΣA/Dコンバータの動作

高速オンチップ・オシレータ・クロック（f_{IH}）を選択する場合は，ΔΣA/Dコンバータを動作させる前に，「**7. 3. 2　動作手順**」に従い必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

高速システム・クロック（f_{MX}）を選択する場合は，クロック選択切り替え後にf_{CLK}で2サイクル以上空けてください。

DSADMRレジスタのDSADPONnビット（n = 0～3），DSADCEnビットに1を設定することにより，変換動作を開始します。パワーオン後および変換開始後は，アナログ部やデジタルフィルタ部のセットアップ時間が必要になります。次のフローに従い初期設定を行ってください。

図17－21　初期設定フロー図



（注，備考は次ページにあります。）

注1. 高速オンチップ・オシレータ・クロックを選択する場合のみ，ΔΣA/Dコンバータを動作させる前に必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

2. ΔΣA/Dコンバータがパワーダウン中に設定してください。

3. DSADPONnを0 → 1にした場合のセットアップ時間（INTDSAD発生回数）は，評価後正式決定します。

4. 初期化のために一時停止（DSADPONn = 1状態でDSADCEn = 0）にした後，再起動した場合も，セットアップ時間待ちは必要です。この場合はコンバータの安定時間が必要なため，INTDSAD1発分をセットアップ時間としてウェイトしてください。
初期化するためには，1.4 μs以上DSADCEnを0の状態にしてください。

5. 高速オンチップ・オシレータ・クロックを選択する場合のみ実施してください。

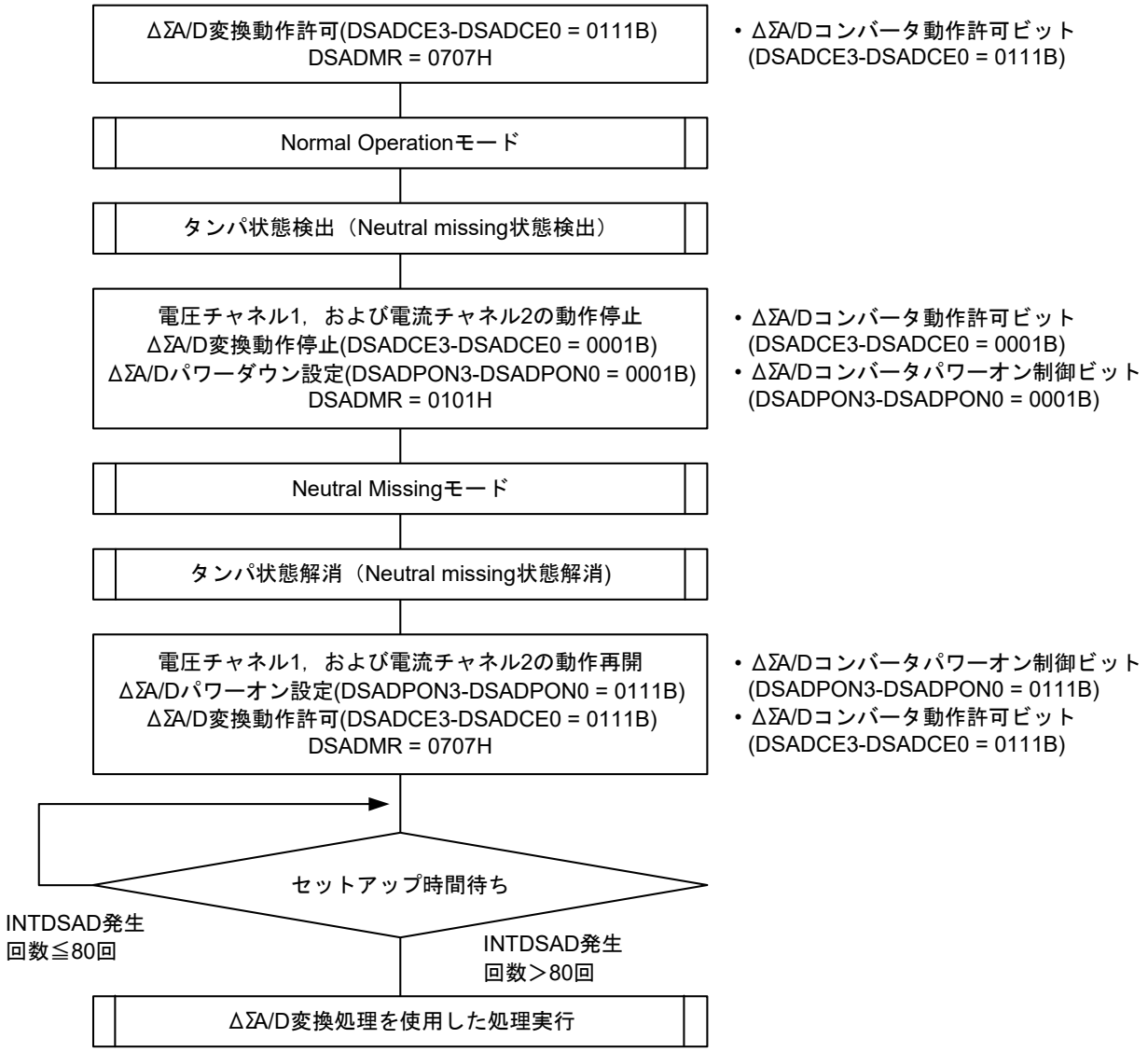
備考　n = 0～3, m = 0, 1

17. 3. 2　Normal OperationモードからNeutral Missingモードへの切替手順

単相二線におけるNormal Operation（アンチタンパ有り）（電流チャネル0，電圧チャネル1，電流チャネル2合計3チャネル動作）からNeutral Missingモード（電流チャネル0のみ動作）への切り替え手順を**図17－22**に示します。

Neutral Missingモードは電流チャネル0のみ動作と電流チャネル2のみ動作があり，同様の手順で切り替えてください。

図17－22　Normal OperationからNeutral Missingモードへの切替手順



17. 3. 3　割り込み動作

RL78/I1Cの24ビットΔΣA/Dコンバータが持つ，２つの割り込み機能について示します。

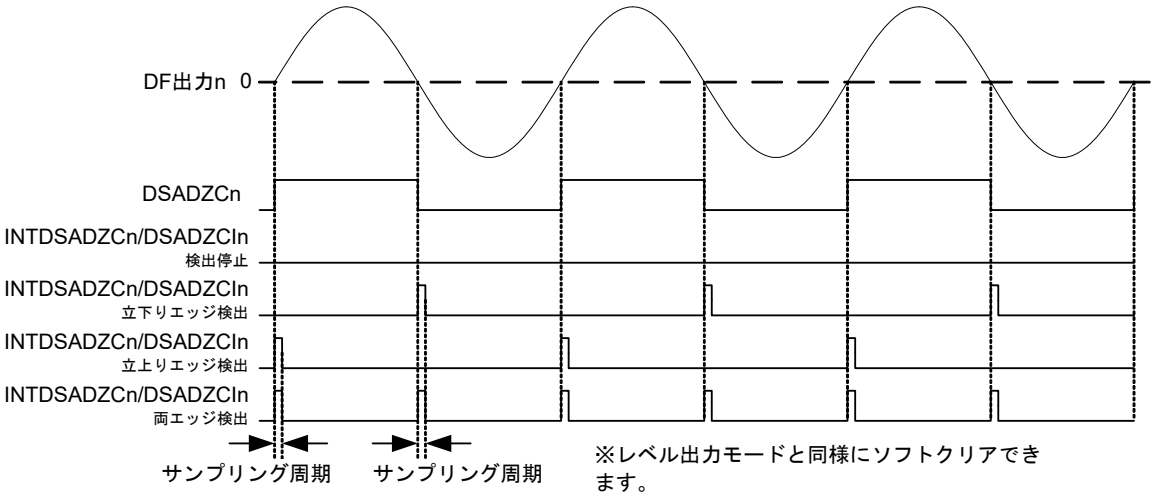
17. 3. 3. 1　ゼロクロス検出割り込み動作

24ビットΔΣA/Dコンバータは，ゼロクロス検出割り込みを2本持ちます。

ゼロクロス検出割り込みの対象チャネルは，DSADZCCTLnビットで制御可能であり，DSADZCCTL0=0の時にはチャネル2，DSADZCCTL0=1の時にはチャネル1を対象にしてゼロクロス検出割り込み0を行います。同様にDSADZCCTL1=0の時にはチャネル3，DSADZCCTL1=1の時にはチャネル0を対象にしてゼロクロス検出割り込み1を行います。

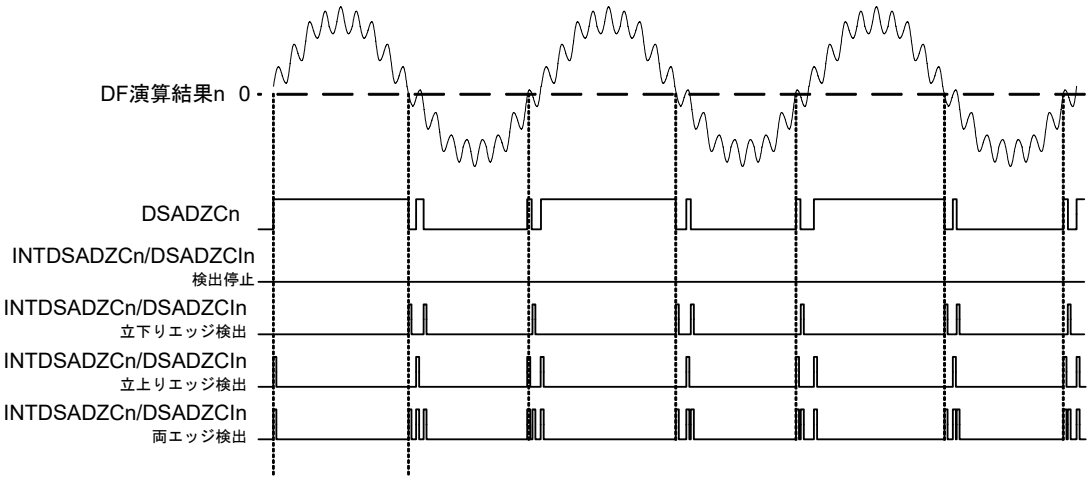
ゼロクロス検出割り込みは，ΔΣA/D変換終了割り込み(INTDSAD)の立ち上がりに同期して検出します。ゼロクロス検出割り込みnの発生タイミングは，**図17－23**と**図17－24**に示します。ゼロクロス検出の有効エッジ設定はDSADZCEGNn, DSADZCEGPnビットで制御可能です。

図17－23　INTDSADZCn割り込み発生タイミング(パルス出力：DSADZCMDn=0)



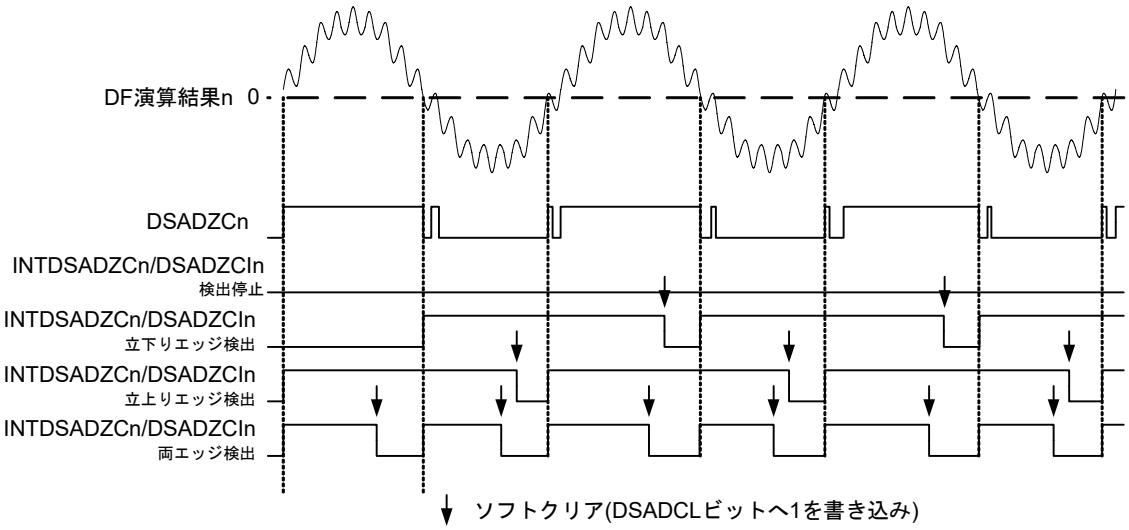
備考　両エッジ検出の時，連続して検出条件が発生した場合には，ゼロクロス検出割り込みは2サイクルハイとなります。

図17－24　DF出力に高調波信号を含んだ場合のINTDSADZCn割り込み発生タイミング
(パルス出力：DSADZCMDn = 0)



ΔΣA/DコンバータのDF出力は，高調波信号を含む場合，ゼロクロス付近では複数回割り込みが発生することがあります。割り込みの発生を1回にしたい場合には，DSADZCMD0 = 1に設定すると割り込み出力はレベル出力モードとなり，**図17－25**のようになります。

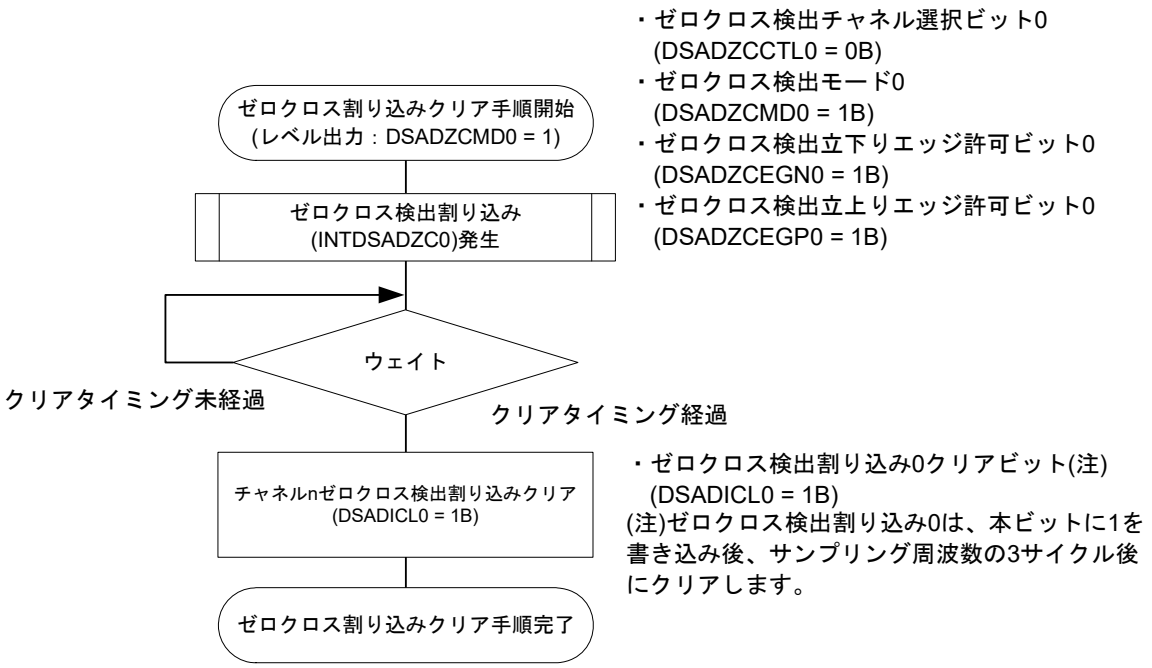
図17－25　INTDSADZCn割り込み発生タイミング(レベル出力：DSADZCMDn = 1)



レベル出力モードの場合には，ゼロクロス検出割り込み信号n(INTDSADZCn)は，次のゼロクロス検出割り込みn発生までにDSADICLnビットへ1を書き込み，ソフトウェアでクリアしてください。ゼロクロス検出割り込みnは，高調波信号により複数回発生する可能性があるため，**図17－26**のように高調波信号の影響を受けないタイミングでソフトウェアにてクリアしてください。

ゼロクロス検出割り込みnは，DSADICLnビットへ1を書き込む事によりクリアされます。またクリア動作が優先されるため，ソフトウェアのクリアタイミングによってゼロクロス検出割り込みnが発生しないことがあります。

図17－26　ゼロクロス検出割り込みクリア手順（チャネル2選択，両エッジ検出時）

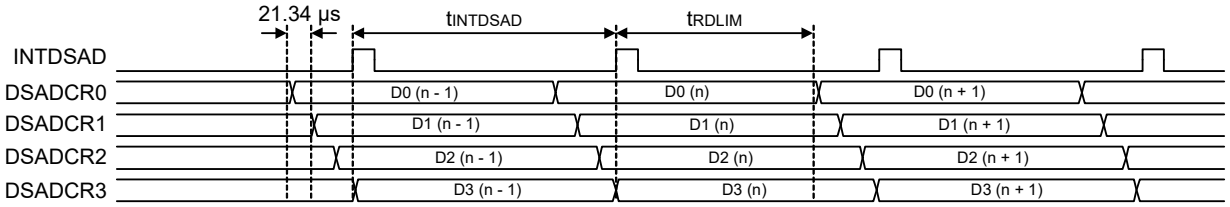


17. 3. 3. 2　ΔΣA/D変換終了割り込み動作

ΔΣA/D変換動作を許可すると，4チャネルのアナログ入力端子（ANINn, ANIPn）の変換を開始します。ΔΣA/Dコンバータ回路を4セット内蔵しており，それぞれ独立して変換を実施します。全4チャネル分の変換を終了するたびに，割り込み要求信号（INTDSAD）を発行して，CPUに対し変換結果の読み出しが可能であることを知らせます。

INTDSADの発生周期（$t_{INTDSAD}$）は，DSADMRレジスタのDSADFRビットで指定するサンプリング周波数により異なります。また，割り込み処理によりΔΣA/Dコンバータ変換結果レジスタ（DSADCRn）を読み出す場合，最大保留時間は**図17－27**に示す値になりますので，それまでにDSADCRnレジスタの読み出しを完了させてください。

図17－27　INTDSAD信号発生とDSADCRnレジスタ格納タイミング



$t_{INTDSAD}$：割り込み発生周期：　256 μs（DSADFR = 0）
512 μs（DSADFR = 1）

t_{RDLIM}：DSADCR読み出し保留時間（max）：　192 μs（DSADFR = 0）
384 μs（DSADFR = 1）

備考　n = 0～3

17. 3. 4　スタンバイ時の動作

STOP動作モード時は，ΔΣA/Dコンバータ，デジタルフィルタは動作しません。消費電流を低減させるため，STOP命令実行前にΔΣA/Dコンバータの動作を停止（DSADMRレジスタのDSADCEn = 0000B）およびパワーダウン（DSADMRレジスタのDSADPONn = 0000B）させてください。

備考　n = 0～3

17. 4　24ビットΔΣA/Dコンバータ使用上の注意事項

17. 4. 1　外部端子

V_{DD}端子およびVBAT端子はΔΣA/Dコンバータのアナログ電源端子です。

AV_{SS}端子はΔΣA/Dコンバータのグランド電源端子です。ΔΣA/Dコンバータを使用しないときでも，常にV_{SS}端子と同電位で使用してください。

17. 4. 2　SFRアクセス

（1） DSADCRnレジスタの読み出しは，ΔΣA/D変換終了割り込み（INTDSAD）処理にて行ってください。ΔΣA/D変換完了割り込み発生前にDSADCRnレジスタを読み出した場合，DSADCRnレジスタへの変換値格納と読み出しの競合により，不正な値を読み出すことがあります。

INTDSAD処理でのDSADCRnレジスタの読み出し保留期間は，

192 μs（DSADFR = 0設定時）

384 μs（DSADFR = 1設定時）

になりますので，それまでにDSADCRnレジスタの読み出しを完了させてください。

DSADCRnL, DSADCRnM, DSADCRnHレジスタの読み出しも同様の読み出し条件となります。

（2） パワーオン（DSADMRレジスタのDSADPONn = 1）後，ΔΣA/Dコンバータ内部のセットアップ時間が必要になるため，動作開始後80回分の変換結果レジスタ値は無効データになります。

（3） 初期化のために変換動作を一時停止（DSADMRレジスタのDSADCEnビット = 0，DSADPONn = 1状態）した後，再度，変換開始した場合もセットアップ時間待ちは必要です。この場合はコンバータの安定時間が必要なため，INTDSAD1発分をセットアップ時間としてウェイトしてください。初期化するためには1.4 μs以上，DSADCEn = 0の状態にしてください。

（4） 変換動作許可（DSADCEnビット = 1）後，正常なデータが出力されるまでの時間は，その時のアナログ入力状態に依存します。これはアナログ入力状態によりハイパス・フィルタの安定時間が変化するためです。

（5） サンプリング周波数の設定（DSADMRレジスタのDSADFRビット）はDSADMRレジスタのDSADPONnビットが“0”の状態で実施してください。

また，DSADGCR1，DSADGCR0レジスタ，DSADHPFCRレジスタのDSADCOF[1:0]ビット，DSADICRレジスタのDSADZCCTL1，DSADZCCTL0ビット，DSADPHCRnレジスタの設定は，必ず変換停止（DSADCEn = 0）状態で実施してください。

（6） DSADCRnレジスタはDSADCEnビット = 0時に初期化されるため，DSADCRnレジスタの読み出しはDSADCEnビット = 1の状態で実施してください。

（7） ソフトウェアSTOPモードに移行する前に，DSADMRレジスタのDSADPONnビット = 0にしてください。DSADPONnビット = 1の状態でソフトウェアSTOPモードに入ると電流が流れます。

（8） DSADICRレジスタを書き換えると新たな設定を内部論理に反映するためにΔΣA/D変換終了割り込みが3回発生する間の待ち時間が必要です。この反映待ち時間の間に再度DSADICRレジスタを書き換えることは禁止です。

なお，全チャネルのA/D変換が停止状態（DSADCEn = 0）時は，DSADICRレジスタから内部論理への反映が停止するため，再度A/D変換開始後，変換停止前と通算して3回のΔΣA/D変換終了割り込み発生を待つ必要があります。

（9） DSADICLRレジスタのDSADICL0ビット又はDSADICL1ビットに1を書き込むとゼロクロス検出割り込みがクリアされるまでにΔΣA/D変換終了割り込みが3回発生する間の待ち時間が必要です。このクリア待ち時間の間に同ビットへ1を書き込んだ場合，無効となります。
なお，全チャネルのA/D変換が停止状態（DSADCEn = 0）では，DSADICL0ビット又はDSADICL1ビットから内部論理への反映が停止するため，再度A/D変換開始後，変換停止前と通算して3回のΔΣA/D変換終了割り込みが発生し，クリアします。

（10）DSADHPFCRレジスタのDSADTHRnビットは，以下いずれかの条件下で書き込みを完了してください。
・DSADCEn=0（変換停止中）
・ゼロクロス検出割り込みから21 μs以内

（11） DSADISRレジスタの中断したチャネルに対応するゼロクロス検出割り込みステータスビット（DSADZCIn）とDF出力ステータスビット（DSADZCn）は，ゼロクロス検出を行うチャネルのA/D変換を中断した場合，値は不定となります。そのため中断後の該当ビットの値を使用しないでください。
再度A/D変換開始後，ΔΣA/D変換終了割り込みが1回発生すると正しい値になります。（n = 0, 1）

備考　n = 0～3

17. 4. 3　動作クロックの設定

24ビットΔΣA/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック（f_{HOCO}）の2分周を選択する場合は，高速オンチップ・オシレータ・クロックの源発振クロック周波数（f_{HOCO}）を24MHzにする為に，ユーザ・オプション・バイトのFRQSEL3を“0”に設定してください。

PCKCレジスタのDSADCK = 1により高速システム・クロック（f_{MX}）を使用する場合は，12 MHzを供給してください。

また，高速オンチップ・オシレータ・クロック（$f_{HOCO}/2$）を選択する場合は，必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

注意1.　動作開始後80回分のINTDSAD信号をカウントし，それ以降のINTDSAD信号発生から変換データを取り込んでください。

2.　安定時間については，使用する環境に合わせて十分な評価を行ってください。

24ビットΔΣA/Dコンバータを動作中から停止する場合は，DSADMRレジスタのDSADPON3-DSADPON0ビットに0000Bを設定後，PER1レジスタのDSADCENビットに0を設定してください。

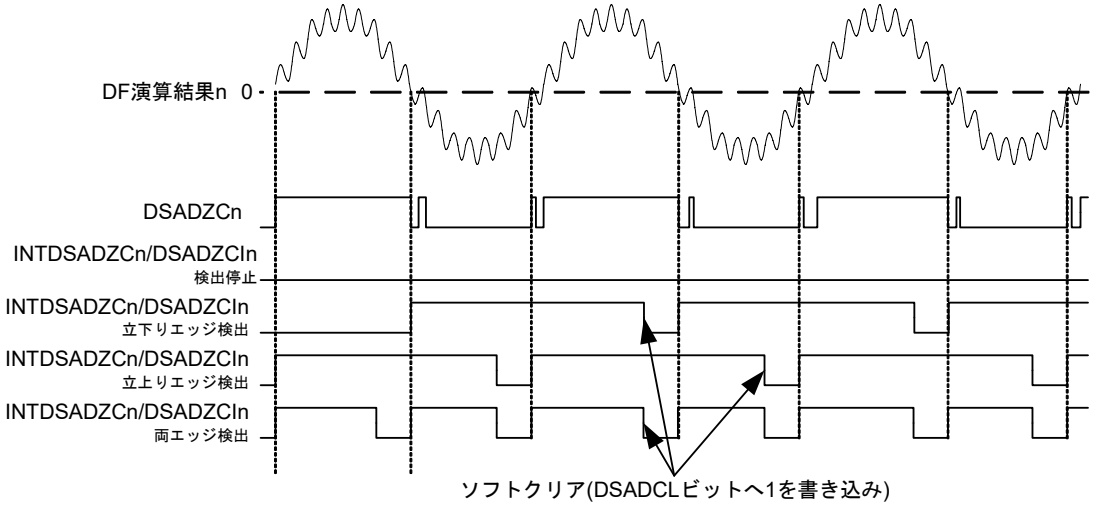
17. 4. 4　ELCを用いたゼロクロス検出割り込みの周期測定

イベントリンクコントローラ(ELC)を用いて，INTDSADZCn割り込みの出力先をタイマへ設定してゼロクロス検出割り込みの周期を測定する場合にも，必ずDSADICLnビットへ1を書き込んでソフトウェアクリアしてください。

またソフトウェアクリアのタイミングは，INTDSADZCn割り込みから高調波信号による影響を受けない一定期間を待ってから行ってください。

ゼロクロス検出割り込みの詳細動作は，**17.3.3.1　ゼロクロス検出割り込み動作**を参照してください。

図17－28　INTDSADZC割り込み発生タイミング(レベル出力：DSADZCMD = 1)



17. 4. 5　ゼロクロス検出割り込みのソフトウェアクリア

ゼロクロス検出割り込みのレベル出力モード（DSADZCMD = 1）に設定して使用する場合で，ゼロクロス検出を一度停止後にゼロクロス検出を再開させる場合には，必ずDSADICLnビットへ1を書き込み，ゼロクロス検出割り込み（INTDSADZC0, INTDSADZC1）をクリアしてください。

ゼロクロス検出割り込みの詳細動作は，**17.3.3.1　ゼロクロス検出割り込み動作**を参照してください。

17. 4. 6　入力範囲

24ビットΔΣA/Dコンバータは**41. 6. 2　24ビットΔΣA/Dコンバータ特性**に記載されている入力範囲内でご使用ください。入力電圧範囲を超える20kHz以上の信号が入力された場合，ΔΣA/Dコンバータの変換結果に変換誤差が発生する可能性があります。入力電圧範囲を超える20kHz以上の信号入力が発生する場合は外部回路などにより対策が必要な場合があります。

第18章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャネルを持ちます。各チャネルは簡易SPI（CSI注），UART，簡易I²Cの通信機能を実現できます。

RL78/I1Cで対応している各チャネルの機能割り当ては，次のようになっています。

注　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

64, 80ピン製品

ユニット	チャネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0（LIN-bus対応）	IIC00
	1	–		–
	2	CSI10	UART1	IIC10
	3	–		–
1	0	–	UART2（IrDA対応）	–
	1	–		–
	2	–	–	–
	3	–	–	–

100ピン製品

ユニット	チャネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0（LIN-bus対応）	IIC00
	1	–		–
	2	CSI10	UART1	IIC10
	3	–		–
1	0	–	UART2（IrDA対応）	–
	1	–		–
	2	CSI30	UART3	IIC30
	3	–		–

ユニット0のチャネル0, 1で「UART0」を使用するときは，CSI00やIIC00を使用することはできませんが，チャネル2, 3のUART1やIIC10は使用することができます。

18. 1　シリアル・アレイ・ユニットの機能

RL78/I1Cで対応している各シリアル・インタフェースの特徴を示します。

18. 1. 1　簡易SPI（CSI00, CSI10, CSI30）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，「**18. 5　簡易SPI　（CSI00, CSI10, CSI30）通信の動作**」を参照してください。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB/LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート注　マスタ通信時：Max. $f_{MCK}/2$

スレーブ通信時：Max. $f_{MCK}/6$

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，**第41章　電気的特性**を参照してください。

18. 1. 2　UART（UART0-UART3）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。また，タイマ・アレイ・ユニットと外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

具体的な設定例は，「**18. 6　UART（UART0-UART3）通信の動作**」を参照してください。

［データ送受信］

- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，UART0受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

UART0（ユニット0のチャネル0, 1）は，LIN-busに対応しています。

［LIN-bus機能］

- ウエイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニットを使用

注　9ビット・データ長は，UART0のみ対応しています。

18. 1. 3　簡易I²C（IIC00, IIC10, IIC30）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

具体的な設定例は，「**18. 8　簡易I²C（IIC00, IIC10, IIC30）通信の動作**」を参照してください。

［データ送受信］

・マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）

・ACK出力機能[注]，ACK検出機能

・8ビットのデータ長

（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）

・スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

・転送完了割り込み

［エラー検出フラグ］

・ACKエラー，オーバラン・エラー

※［簡易I²Cでサポートしていない機能］

・スレーブ送信，スレーブ受信

・アービトレーション負け検出機能

・ウエイト検出機能

注　最終データの受信時は，SOEmnビット（シリアル出力許可レジスタm（SOEm））ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，**18. 8. 3（2）処理フロー**を参照してください。

備考 1.　フル機能のI²Cバスをご使用の場合は，**第19章　シリアル・インタフェースIICA**を参照してください。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）

18. 1. 4　IrDA

シリアル・アレイ・ユニットのUART2とIrDAモジュールを組み合わせることで，IrDA (Infrared Data Association) 規格バージョン1.0に基づいてIrDA通信波形を送受信します。詳細は，**第20章　IrDA**を参照してください。

［データ送受信］

・転送レート：115.2 kbps/57.6 kbps/38.4 kbps/19.2 kbps/9600 bps/2400 bps

18. 2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表18－1　シリアル・アレイ・ユニットの構成

項　　目	構　　成
シフト・レジスタ	8ビットまたは9ビット注1
バッファ・レジスタ	シリアル・データ・レジスタmn（SDRmn）の下位8ビットまたは9ビット注1, 2
シリアル・クロック入出力	SCK00, SCK10, SCK30端子（簡易SPI用），SCL00, SCL10, SCL30端子（簡易I²C用）
シリアル・データ入力	SI00，SI10，SI30端子（簡易SPI用），RxD1-RxD3端子（UART用），RxD0端子（LIN-bus対応UART用）
シリアル・データ出力	SO00, SO10, SO30端子（簡易SPI用），TxD1-TxD3端子（UART用），TxD0端子（LIN-bus対応UART用）
シリアル・データ入出力	SDA00, SDA10, SDA30端子（簡易I²C用）
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・シリアル・クロック選択レジスタm（SPSm） ・シリアル・チャネル許可ステータス・レジスタm（SEm） ・シリアル・チャネル開始レジスタm（SSm） ・シリアル・チャネル停止レジスタm（STm） ・シリアル出力許可レジスタm（SOEm） ・シリアル出力レジスタm（SOm） ・シリアル出力レベル・レジスタm（SOLm） ・シリアル・スタンバイ・コントロール・レジスタ0（SSC0） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ0（NFEN0） ・周辺リセット制御レジスタ0（PRR0）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタmn（SDRmn） ・シリアル・モード・レジスタmn（SMRmn） ・シリアル通信動作設定レジスタmn（SCRmn） ・シリアル・ステータス・レジスタmn（SSRmn） ・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
	・ポート入力モード・レジスタ0, 1, 8（PIM0, PIM1, PIM8） ・ポート出力モード・レジスタ0, 1, 8（POM0, POM1, POM8） ・ポート・モード・レジスタ0, 1, 8（PM0, PM1, PM8） ・ポート・レジスタ0, 1, 8（P0, P1, P8）

（注，備考は次ページにあります。）

注1. シフト・レジスタ，バッファ・レジスタとして使用されるビット数は，ユニット，チャネルによって異なります。

・mn = 00, 01の場合：　下位9ビット

・上記以外の場合：　下位8ビット

2. シリアル・データ・レジスタmn（SDRmn）の下位8ビットは，通信方式により，次のSFR名称でリード／ライト可能です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）

・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）

・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）

・IICr通信時・・・SIOr（IICrデータ・レジスタ）

備考 m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10, 30）
q：UART番号（q = 0-3）　r：IIC番号（r = 00, 10, 30）　mn = 00-03, 10-13

図18ー1にシリアル・アレイ・ユニット0のブロック図を示します。

図18ー1　シリアル・アレイ・ユニット0のブロック図

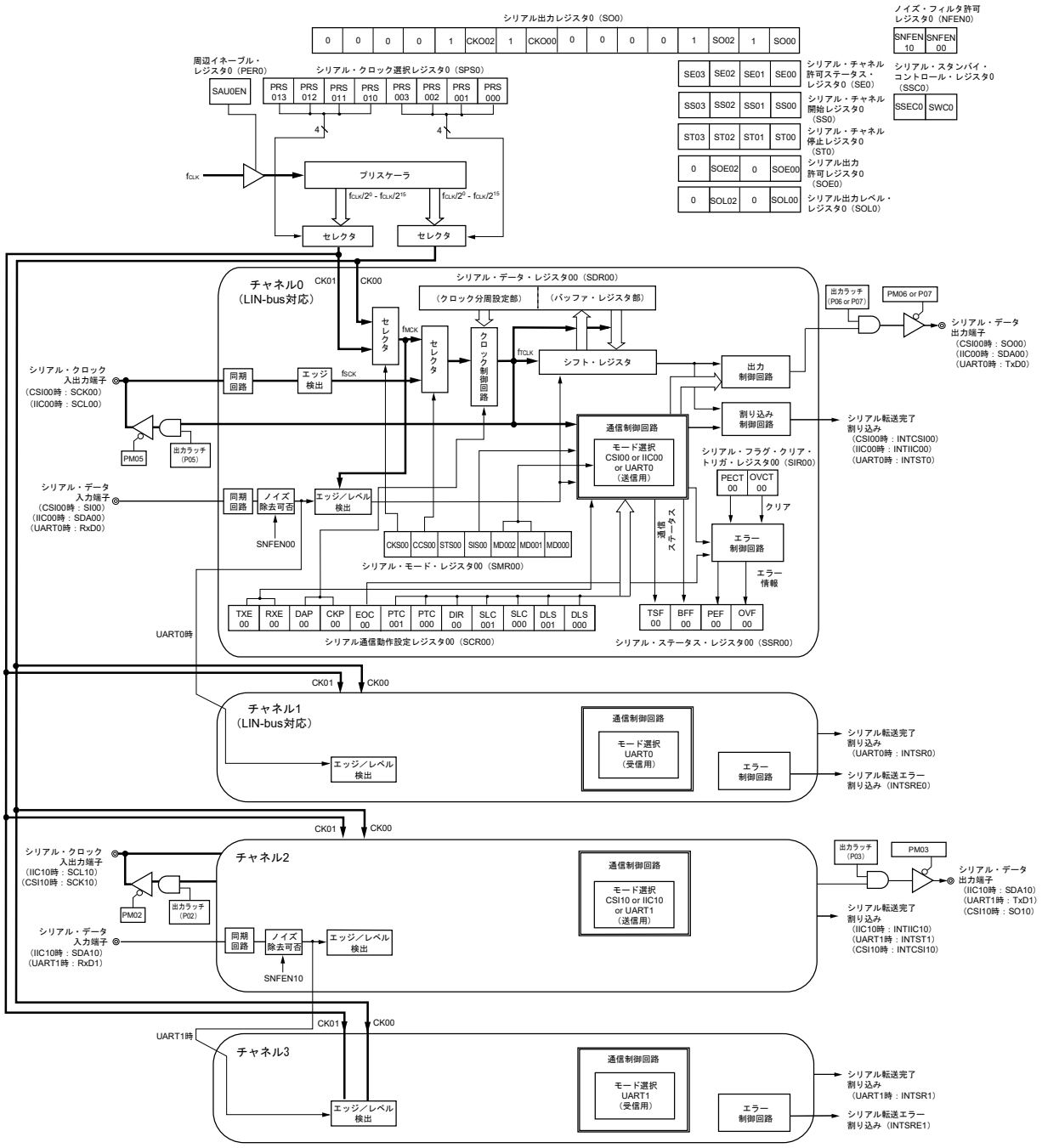
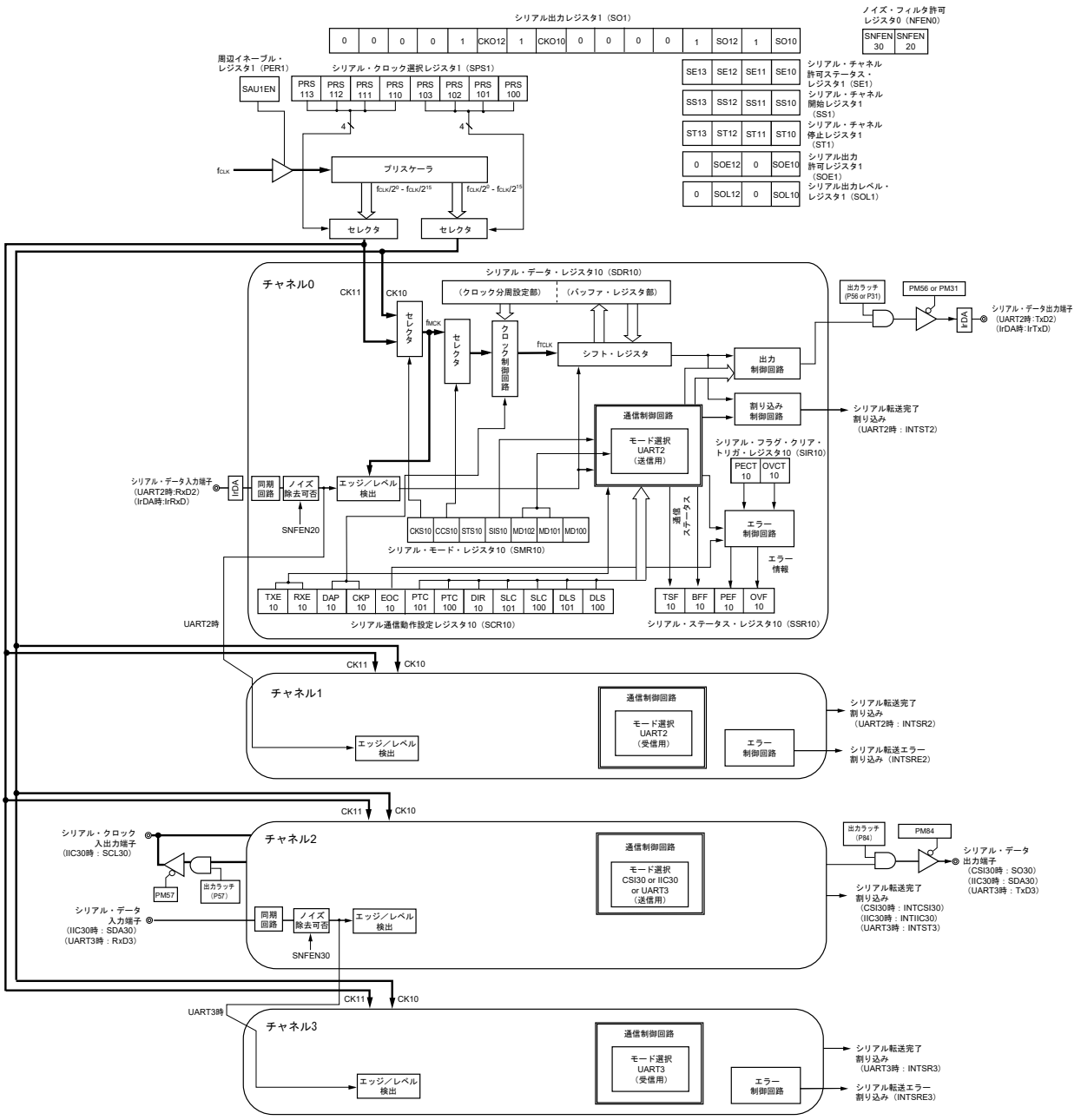


図18ー2にシリアル・アレイ・ユニット1のブロック図を示します。

図18ー2　シリアル・アレイ・ユニット1のブロック図



18. 2. 1　シフト・レジスタ

パラレル⇔シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は，9ビット（ビット0～8）を使用します[注]。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

注　9ビット・データ長は，UART0のみ対応しています

18. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）[注1]，またはビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は，シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって，次のようになります。

・7ビット・データ長（SDRmnレジスタのビット0-6に格納）
・8ビット・データ長（SDRmnレジスタのビット0-7に格納）
・9ビット・データ長（SDRmnレジスタのビット0-8に格納）[注1]

SDRmnレジスタは16ビット単位でリード／ライト可能です。

またSDRmnレジスタの下位8/9ビットは，通信方式により，次のSFR名称で8ビット単位でリード／ライト可能[注2]です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）
・IICr通信時・・・SIOr（IICrデータ・レジスタ）

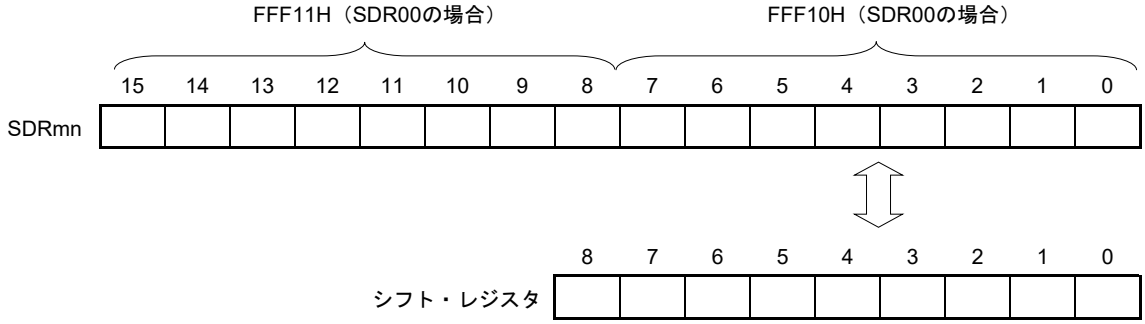
リセット信号の発生により，SDRmnレジスタは0000Hになります。

注1.　9ビット・データ長は，UART0のみ対応しています。
2.　動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1.　受信完了後，ビット0-8内でデータ長を越える部分のビットには，“0”が格納されます。
2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10, 30）
q：UART番号（q = 0-3）　r：IIC番号（r = 00, 10, 30）　mn = 00-03, 10-13

図18－3　シリアル・データ・レジスタmn（SDRmn）（mn = 00, 01, 10, 11）のフォーマット

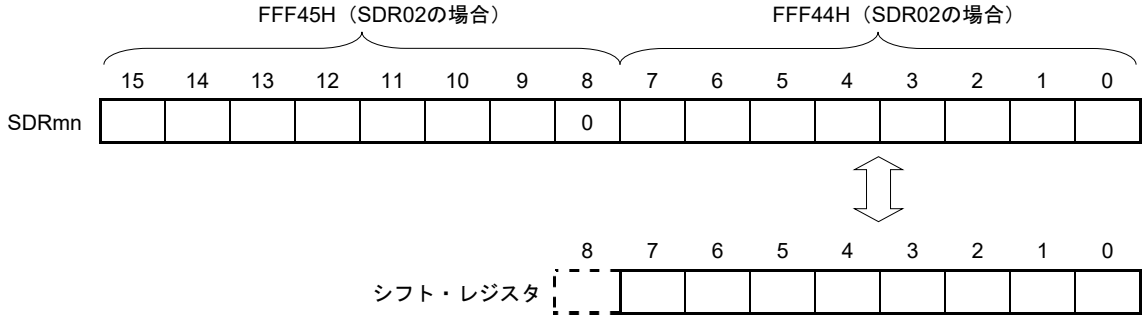
アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）,　リセット時：0000H　R/W
FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）



備考　SDRmnレジスタの上位7ビットの機能については，**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

図18－4　シリアル・データ・レジスタmn（SDRmn）（mn = 02, 03, 12, 13）のフォーマット

アドレス：FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03）, FFF14H, FFF15H（SDR12）, FFF16H, FFF17H
（SDR13）,　リセット時：0000H　R/W



注意　ビット8は，必ず0を設定してください。

備考　SDRmnレジスタの上位7ビットの機能については，**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

18. 3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・シリアル・クロック選択レジスタm（SPSm）
・シリアル・モード・レジスタmn（SMRmn）
・シリアル通信動作設定レジスタmn（SCRmn）
・シリアル・データ・レジスタmn（SDRmn）
・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
・シリアル・ステータス・レジスタmn（SSRmn）
・シリアル・チャネル開始レジスタm（SSm）
・シリアル・チャネル停止レジスタm（STm）
・シリアル・チャネル許可ステータス・レジスタm（SEm）
・シリアル出力許可レジスタm（SOEm）
・シリアル出力レベル・レジスタm（SOLm）
・シリアル出力レジスタm（SOm）
・シリアル・スタンバイ・コントロール・レジスタ0（SSC0）
・入力切り替え制御レジスタ（ISC）
・ノイズ・フィルタ許可レジスタ0（NFEN0）
・ポート入力モード・レジスタ0, 1, 8（PIM0, PIM1, PIM8）
・ポート出力モード・レジスタ0, 1, 8（POM0, POM1, POM8）
・ポート・モード・レジスタ0, 1, 8（PM0, PM1, PM8）
・ポート・レジスタ0, 1, 8（P0, P1, P8）
・周辺リセット制御レジスタ0（PRR0）

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

18. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは，必ずビット2（SAU0EN）に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは，必ずビット3（SAU1EN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図18－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可，リードした場合は00Hが読めます。 ただし，初期化はされていません。注1,2
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注1.　シリアル・アレイ・ユニット1 およびシリアル・アレイ・ユニット1で使用するSFRを初期化する場合，PRR0のビット3 (SAU1RES)を使用してください。

2.　シリアル・アレイ・ユニット0 およびシリアル・アレイ・ユニット0で使用するSFRを初期化する場合，PRR0のビット2 (SAU0RES)を使用してください。

注意1.　シリアル・アレイ・ユニットmの設定をする際には，必ず最初にSAUmEN = 1の状態で，下記のレジスタ設定を行ってください。SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります（入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ0（NFEN0），ポート入力モード・レジスタ0, 1, 3, 5, 8 (PIM0, PIM1, PIM3, PIM5, PIM8)，ポート出力モード・レジスタ0, 1, 3, 5, 8 (POM0, POM1, POM3, POM5, POM8)，ポート・モード・レジスタ0, 1, 3, 5, 8 (PM0, PM1, PM3, PM5, PM8)，ポート・レジスタ0, 1, 3, 5, 8 (P0, P1, P3, P5, P8)は除く）。

・シリアル・クロック選択レジスタm（SPSm）
・シリアル・モード・レジスタmn（SMRmn）
・シリアル通信動作設定レジスタmn（SCRmn）
・シリアル・データ・レジスタmn（SDRmn）
・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
・シリアル・ステータス・レジスタmn（SSRmn）
・シリアル・チャネル開始レジスタm（SSm）
・シリアル・チャネル停止レジスタm（STm）
・シリアル・チャネル許可ステータス・レジスタm（SEm）
・シリアル出力許可レジスタm（SOEm）
・シリアル出力レベル・レジスタm（SOLm）
・シリアル出力レジスタm（SOm）
・シリアル・スタンバイ・コントロール・レジスタm（SSCm）

2.　ビット7, 1には必ず“0”を設定してください。

18. 3. 2　シリアル・クロック選択レジスタm（SPSm）

SPSmレジスタは，各チャネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を，ビット3-0でCKm0を選択します。

SPSmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは，SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPSmレジスタは0000Hになります。

図18－6　シリアル・クロック選択レジスタm（SPSm）のフォーマット

アドレス：F0126H, F0127H（SPS0）, F0166H, F0167H（SPS1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択[注]					
					f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 12 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	0	0	f_{CLK}	4 MHz	8 MHz	12 MHz	20 MHz	24 MHz
0	0	0	1	$f_{CLK}/2$	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz
0	0	1	0	$f_{CLK}/2^2$	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz
0	0	1	1	$f_{CLK}/2^3$	500 kHz	1 MHz	1.5 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{CLK}/2^4$	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{CLK}/2^5$	125 kHz	250 kHz	375 kHz	625 kHz	750 kHz
0	1	1	0	$f_{CLK}/2^6$	62.5 kHz	125 kHz	187.5 kHz	313 kHz	375 kHz
0	1	1	1	$f_{CLK}/2^7$	31.25 kHz	62.5 kHz	93.8 kHz	156 kHz	187.5 kHz
1	0	0	0	$f_{CLK}/2^8$	15.62 kHz	31.25 kHz	46.9 kHz	78.1 kHz	93.8 kHz
1	0	0	1	$f_{CLK}/2^9$	7.81 kHz	15.62 kHz	23.4 kHz	39.1 kHz	46.9 kHz
1	0	1	0	$f_{CLK}/2^{10}$	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz
1	0	1	1	$f_{CLK}/2^{11}$	1.95 kHz	3.91 kHz	5.86 kHz	9.77 kHz	11.7 kHz
1	1	0	0	$f_{CLK}/2^{12}$	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz
1	1	0	1	$f_{CLK}/2^{13}$	488 Hz	976 Hz	1.46 kHz	2.44 kHz	2.93 kHz
1	1	1	0	$f_{CLK}/2^{14}$	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz
1	1	1	1	$f_{CLK}/2^{15}$	122 Hz	244 Hz	366 Hz	610 Hz	732 Hz

注　シリアル・アレイ・ユニット（SAU）動作中にf_{CLK}で選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，SAUの動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

注意　ビット15-8には，必ず0を設定してください。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　m：ユニット番号（m = 0, 1）

3.　k = 0, 1

18. 3. 3　シリアル・モード・レジスタmn（SMRmn）

SMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，シリアル・クロック（f_{SCK}）入力の使用可否，スタート・トリガ設定，動作モード（簡易SPI (CSI), UART，簡易I^2C）設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。ただしMDmn0ビットは，動作中でも書き換えをすることができます。

SMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMRmnレジスタは0020Hになります。

図18－7　シリアル・モード・レジスタmn（SMRmn）のフォーマット（1/2）

アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03），　リセット時：0020H　R/W
F0150H, F0151H（SMR10）-F0156H, F0157H（SMR13）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn注	0	SISmn0注	1	0	0	MDmn2	MDmn1	MDmn0

CKSmn	チャネルnの動作クロック（f_{MCK}）の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットとSDRmnレジスタの上位7ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCSmn	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKSmnビットで指定した動作クロックf_{MCK}の分周クロック
1	SCKp端子からの入力クロックf_{SCK}（簡易SPI (CSI)モードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0の場合は，SDRmnレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STSmn注	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（簡易SPI (CSI), UART送信，簡易I^2C時に選択）
1	RxDq端子の有効エッジ（UART受信時に選択）
SSmレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注　SMR01, SMR03, SMR11, SMR13レジスタのみ。

注意　ビット13-9, 7, 4, 3（SMR00, SMR02, SMR10, SMR12レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10, 30）
q：UART番号（q = 0-3）　r：IIC番号（r = 00, 10, 30）　mn = 00-03, 10-13

図18－7　シリアル・モード・レジスタmn（SMRmn）のフォーマット（2/2）

アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03），　リセット時：0020H　R/W
F0150H, F0151H（SMR10）-F0156H, F0157H（SMR13）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0注	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MD mn2	MD mn1	チャネルnの動作モードの設定
0	0	簡易SPI (CSI)モード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MD mn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として，SDRmnデータが空になったら次送信データの書き込みを行う。	

注　SMR01, SMR03, SMR11, SMR13レジスタのみ。

注意　ビット13-9, 7, 4, 3（SMR00, SMR02, SMR10, SMR12レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10, 30）
q：UART番号（q = 0-3）　r：IIC番号（r = 00, 10, 30）　mn = 00-03, 10-13

18. 3. 4　シリアル通信動作設定レジスタmn（SCRmn）

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SCRmnレジスタは，16ビット・メモリ操作命令で設定します。

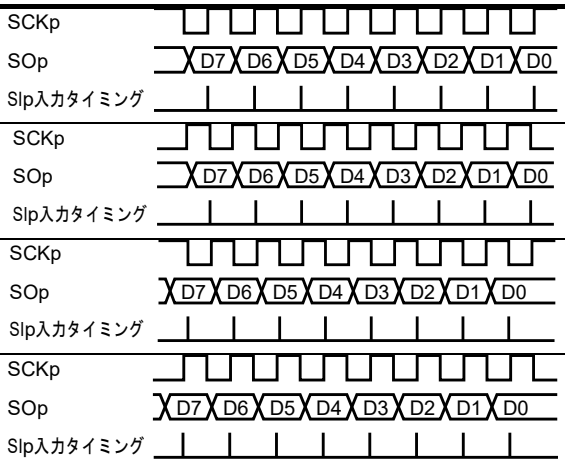
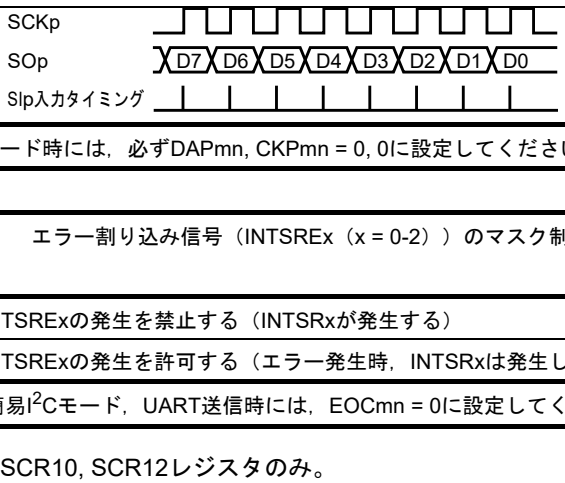
リセット信号の発生により，SCRmnレジスタは0087Hになります。

図18－8　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（1/2）

アドレス：F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03），　リセット時：0087H　R/W
F0158H, F0159H（SCR10）-F015EH, F015FH（SCR13）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1注2	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易SPI (CSI)モードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード，簡易I²Cモード時には，必ずDAPmn, CKPmn = 0, 0に設定してください。			

EOCmn	エラー割り込み信号（INTSREx（x = 0-2））のマスク制御
0	エラー割り込みINTSRExの発生を禁止する（INTSRxが発生する）
1	エラー割り込みINTSRExの発生を許可する（エラー発生時，INTSRxは発生しない）
簡易SPI (CSI)モード，簡易I²Cモード，UART送信時には，EOCmn = 0に設定してください注3。	

注1.　SCR00, SCR02, SCR10, SCR12レジスタのみ。

2.　SCR00, SCR01, SCR10と100ピン製品のSCR11レジスタのみ。その他は1固定になります。

3.　CSImnをEOCmn = 0で使用しない場合，エラー割り込みINTSREnが発生する場合があります。

注意　ビット3, 6, 11には，必ず0を設定してください（SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください）。ビット2には，必ず1を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10, 30）
mn = 00-03, 10-13

図18－8　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（2/2）

アドレス：F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03），　リセット時：0087H　R/W
F0158H, F0159H（SCR10）-F015EH, F015FH（SCR13）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1注2	DLSmn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI (CSI)モード，簡易I²Cモード時には，必ずPTCmn1, PTCmn0 = 0, 0に設定してください。			

DIRmn	簡易SPI (CSI), UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I²Cモード時には，必ずDIRmn = 0に設定してください。	

SLCmn1注1	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 ＝1ビット
1	0	ストップ・ビット長 ＝2ビット（mn = 00, 02, 10, 12のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時，簡易I²Cモード時には，1ビット（SLCmn1, SLCmn0 = 0, 1）に設定してください。 簡易SPI (CSI)モード時には，ストップ・ビットなし（SLCmn1, SLCmn0 = 0, 0）に設定してください。 UART送信時は，1ビット（SLCmn1, SLCmn0 = 0, 1）または2ビット（SLCmn1, SLCmn0 = 1, 0）に設定してください。		

DLSmn1注2	DLSmn0	簡易SPI (CSI), UARTモードでのデータ長の設定
0	1	9ビット・データ長（SDRmnレジスタのビット0-8に格納） （UARTモード時のみ選択可）
1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）
1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）
その他		設定禁止
簡易I²Cモード時には，必ずDLSmn1, DLSmn0 = 1, 1に設定してください。		

注1.　SCR00, SCR02, SCR10, SCR12レジスタのみ。
2.　SCR00, SCR01, SCR10と100ピン製品のSCR11レジスタのみ。その他は1固定になります。
3.　データの内容にかかわらず必ず0が付加されます。

注意　ビット3, 6, 11には，必ず0を設定してください（SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください）。ビット2には，必ず1を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10, 30）
mn = 00-03, 10-13

18. 3. 5　シリアル・データ・レジスタmn（SDRmn）

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

SDR00, SDR01, SDR10[注1], SDR11[注1]のビット8-0（下位9ビット），またはSDR02, SDR03, SDR10[注2], SDR11[注2], SDR12, SDR13のビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9（上位7ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は，動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが，転送クロックとして使用されます。

また，CCSmnビットを1に設定した場合は，SDR00，SDR02，SDR12のビット15-9（上位7ビット）に“0000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（簡易SPI (CSI)モードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは，下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合は，上位7ビットは常に0が読み出されます。

リセット信号の発生により，SDRmnレジスタは0000Hになります。

図18－9　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス：FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)
FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)　リセット時：0000H　R/W

FFF11H（SDR00の場合）　FFF10H（SDR00の場合）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn																

アドレス：FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03)　リセット時：0000H　R/W
FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)

FFF45H（SDR02の場合）　FFF44H（SDR02の場合）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0								

SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	$f_{MCK}/2$
0	0	0	0	0	0	1	$f_{MCK}/4$
0	0	0	0	0	1	0	$f_{MCK}/6$
0	0	0	0	0	1	1	$f_{MCK}/8$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/254$
1	1	1	1	1	1	1	$f_{MCK}/256$

（注，注意，備考は次ページにあります。）

注1. R5F10NPJ, R5F10NMJ, R5F10NPGのみ

2. R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEのみ

注意1. SDR02, SDR03, SDR12, SDR13と, R5F10NPJ, R5F10NMJ, R5F10NPGのSDR10, SDR11レジスタのビット8は，必ず0を設定してください。

2. UART使用時は，SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

3. 簡易I²C使用時は，SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

4. 動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1. SDRmnレジスタの下位8/9ビットの機能については，**18. 2　シリアル・アレイ・ユニットの構成**を参照してください。

2. m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

18. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn, PECTmn, OVCTmn）を1にセットすると，シリアル・ステータス・レジスタmn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので，SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは，16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは，SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SIRmnレジスタは0000Hになります。

図18－10　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）のフォーマット

アドレス：F0108H, F0109H（SIR00）-F010EH, F010FH（SIR03），　リセット時：0000H　R/W
F0148H, F0149H（SIR10）- F014EH, F014FH（SIR13）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn 注	PECTmn	OVCTmn

FECTmn	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PECTmn	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVCTmn	チャネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注　SIR01, SIR03, SIR11, SIR13レジスタのみ。

注意　ビット15-3（SIR00, SIR02, SIR10, SIR12レジスタの場合は，ビット15-2）には，必ず0を設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

2.　SIRmnレジスタの読み出し値は常に0000Hとなります。

18. 3. 7　シリアル・ステータス・レジスタmn（SSRmn）

SSRmnレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは，SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmnレジスタは0000Hになります。

図18－11　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）

アドレス：F0100H, F0101H（SSR00）-F0106H, F0107H（SSR03），　リセット時：0000H　R
F0140H, F0141H（SSR10）-F0142H, F0143H（SSR13）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

TSFmn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
・STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態）
・通信動作が終了時
＜セット条件＞
・通信動作を開始時

BFFmn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている

＜クリア条件＞
・送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき
・受信時においてSDRmnレジスタから受信データの読み出しが終了したとき
・STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態）。
＜セット条件＞
・SCRmnレジスタのTXEmnビット ＝1（各通信モードでの送信，送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき
・SCRmnレジスタのRXEmnビット ＝1（各通信モードでの受信，送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき
・受信エラー時

注　SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意　SNOOZEモード（SWCm ＝ 1）で簡易SPI (CSI)受信する場合，BFFmnフラグは動作しません。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

図18－11　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（2/2）

アドレス：F0100H, F0101H（SSR00）-F0106H, F0107H（SSR03），　リセット時：0000H　R
F0140H, F0141H（SSR10）-F0142H, F0143H（SSR13）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注	PEF mn	OVF mn

FEF mn	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SIRmnレジスタのFECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

PEF mn	チャネルnのパリティ／ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生（UART受信時），またはACK未検出発生（I^2C送信時）

＜クリア条件＞
・SIRmnレジスタのPECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）
・I^2C送信時に，ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）

OVF mn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞
・SIRmnレジスタのOVCTmnビットに1を書き込んだとき
＜セット条件＞
・SCRmnレジスタのRXEmnビット ＝ 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDRmnレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・簡易SPI (CSI)モードのスレーブ送信／送受信で，送信データが準備できていないとき

注　SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意1. BFFmn ＝ 1のときにSDRmnレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVEmn = 1）と検出されます。
2. SNOOZEモード（SWCm = 1）で簡易SPI (CSI)受信する場合，OVFmnフラグは動作しません。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

18. 3. 8　シリアル・チャネル開始レジスタm（SSm）

SSmレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が1にセット（動作許可状態）されます。SSmnビットはトリガ・ビットなので，SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは，16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは，SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSmレジスタは0000Hになります。

図18－12　シリアル・チャネル開始レジスタm（SSm）のフォーマット

アドレス：F0122H, F0123H（SS0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS03	SS02	SS01	SS00

アドレス：F0162H, F0163H（SS1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	SS13	SS12	SS11	SS10

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし，通信待機状態に遷移する[注]

注　通信動作中にSSmn = 1を設定すると，通信を停止して待機状態になります。このとき，制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1.　SS0レジスタのビット15-4，64, 80ピン製品のSS1レジスタのビット15-2, 100ピン製品のSS1レジスタのビット15-4には，必ず0を設定してください。

2.　UART受信の場合は，SCRmnレジスタのRXEmnビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

2.　SSmレジスタの読み出し値は常に0000Hとなります。

18. 3. 9　シリアル・チャネル停止レジスタm（STm）

STmレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が0にクリア（動作停止状態）されます。STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは，16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは，STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，STmレジスタは0000Hになります。

図18－13　シリアル・チャネル停止レジスタm（STm）のフォーマット

アドレス：F0124H, F0125H（ST0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST03	ST02	ST01	ST00

アドレス：　F0164H, F0165H（ST1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	ST13	ST12	ST11	ST10

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし，通信動作を停止する[注]

注　制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意　ST0レジスタのビット15-4，64，80ピン製品のST1レジスタのビット15-2，100ピン製品のST1レジスタのビット15-4には，必ず0を設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

2.　STmレジスタの読み出し値は常に0000Hとなります。

18. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm）

SEmレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm（SSm）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm（STm）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のCKOmnビット（チャネルnのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SOmレジスタのCKOmnビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SEmレジスタは，16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは，SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SEmレジスタは0000Hになります。

図18－14　シリアル・チャネル許可ステータス・レジスタm（SEm）のフォーマット

アドレス：F0120H, F0121H（SE0）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE03	SE02	SE01	SE00

アドレス：　F0160H, F0161H（SE1）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	SE13	SE12	SE11	SE10

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

18. 3. 11　シリアル出力許可レジスタm（SOEm）

SOEmレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のSOmnビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SOmレジスタのSOmnビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOEmレジスタは，16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは，SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOEmレジスタは0000Hになります。

図18－15　シリアル出力許可レジスタm（SOEm）のフォーマット

アドレス：F012AH, F012BH（SOE0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE02	0	SOE00

アドレス：F016AH, F016BH（SOE1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE12	0	SOE10

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　SOE0レジスタのビット15-3, 1, 64, 80ピン製品のSOE1レジスタのビット15-1, 100ピン製品のSOE1レジスタのビット15-3, 1には必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 10, 12

18. 3. 12　シリアル出力レジスタm（SOm）

SOmレジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が，チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が，チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウエアによる書き換えは，シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウエアによる書き換えは，チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当するCKOmn，SOmnビットに“1”を設定してください。

SOmレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SO0レジスタは0F0FH，SO1レジスタは0F0FHまたは0303Hになります。

図18－16　シリアル出力レジスタm（SOm）のフォーマット

アドレス：F0128H, F0129H（SO0）　リセット時：0F0FH　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO02	1	CKO00	0	0	0	0	1	SO02	1	SO00

アドレス：F0168H, F0169H（SO1）　リセット時：0F0FH（R5F10NPJ, R5F10NMJ, R5F10NPG），0303H（R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLE）　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	CKO12	1	CKO10	0	0	0	0	1	SO12	1	SO10

CKOmn	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOmn	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

（注意，備考は次ページにあります。）

注意　SO0レジスタのビット15-12, 7-4には，必ず0を設定してください。また，ビット11, 9, 3, 1には必ず1を設定してください。
コード・フラッシュ・メモリ128KBおよび64KB製品のSO1レジスタのビット15-10，7-2には，必ず0を設定してください。また，ビット9, 8, 1には必ず1を設定してください。コード・フラッシュ・メモリ256KB製品のSO1レジスタのビット15-12, 7-4には，必ず0を設定してください。また，ビット11, 9, 8, 3, 1には必ず1を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 10, 12

18. 3. 13　シリアル出力レベル・レジスタm（SOLm）

SOLmレジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI)モード，簡易I²Cモード時は，必ず対応するビットに0を設定してください。

このレジスタによる各チャネルnの反転設定は，シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SOLmレジスタは，16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは，SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOLmレジスタは0000Hになります。

図18－17　シリアル出力レベル・レジスタm（SOLm）のフォーマット

アドレス：F0134H, F0135H（SOL0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL02	0	SOL00

アドレス：F0174H, F0175H（SOL1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL12	0	SOL10

SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

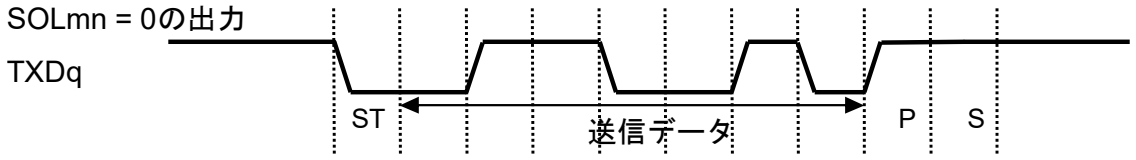
注意　SOL0レジスタのビット15-3, 1, 64, 80ピン製品のSOL1レジスタのビット15-1, 100ピン製品のSOL1レジスタのビット15-3, 1には，必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 10, 12

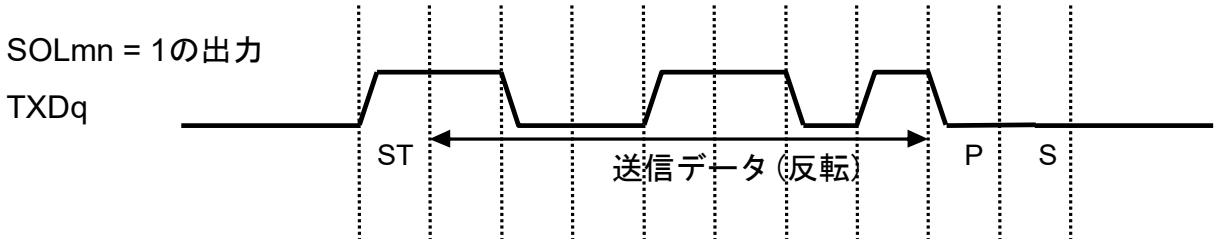
UART送信時，送信データのレベル反転例を**図18－18**に示します。

図18－18　送信データのレベル反転例

（a）非反転出力（SOLmn = 0）



（b）反転出力（SOLmn = 1）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 10, 12

18. 3. 14　シリアル・スタンバイ・コントロール・レジスタ0（SSC0）

SSC0レジスタは，CSI00，UART0のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSC0レジスタは，16ビット・メモリ操作命令で設定します。

またSSC0レジスタの下位8ビットは，SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSC0レジスタは0000Hになります。

注意　SNOOZEモード時の最大転送レートは，次のようになります。

・CSI00の場合：～1 Mbps

・UART0の場合：4800 bpsのみ

図18－19　シリアル・スタンバイ・コントロール・レジスタ0（SSC0）のフォーマット

アドレス：F0138H（SSC0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEC0	SWC0

SSEC0	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み（INTSRE0）発生許可
1	エラー割り込み（INTSRE0）発生停止

・SNOOZEモード時のUART受信で，SWC0 = 1かつEOCmn = 1の時のみ，SSECmビットを1/0に設定することができます。その他の場合は，SSEC0ビットを0に設定してください。
・SSEC0, SWC0 = 1, 0は設定禁止です。

SWC0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

・STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなく，簡易SPI (CSI)/UARTの受信動作を行います（SNOOZEモード）。
・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
・SNOOZEモードを使用する場合でも，通常動作モード時はSWC0を0に設定し，STOPモードへ移行する直前にSWC0を1に変更してください。
またSTOPモードから通常動作モードへ復帰後，必ずSWC0を0に変更してください。

図18－20　SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

18. 3. 15　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC0ビットは，UART0でLIN-bus通信動作を実現するときに，外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると，シリアル・データ入力（RxD0）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウエイクアップ信号をINTP0割り込みで検出できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図18－21　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	0	ISC0

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD0端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出）

注意　ビット7-1に必ず0を設定してください。

18. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

簡易SPI (CSI)，簡易I^2C通信に使用する端子は，対応するビットに0を設定して，ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN0レジスタは00Hになります。

図18－22　ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス：F0070H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30注	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD3端子として使用するときは，SNFEN30 = 1に設定してください。 RxD3以外の機能として使用するときは，SNFEN30 = 0に設定してください。	

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD2端子として使用するときは，SNFEN20 = 1に設定してください。 RxD2以外の機能として使用するときは，SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは，SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは，SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは，SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは，SNFEN00 = 0に設定してください。	

注　R5F10NPJ, R5F10NMJ, R5F10NPGのみ。R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEは，1を書き込んだ場合，0が読み出されます。

注意　ビット7, 5, 3, 1には，必ず0を設定してください。

18. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は，対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート入力モード・レジスタ（PIMxx），ポート出力モード・レジスタ（POMxx）を設定してください。

詳細は，**4. 3. 1　ポート・モード・レジスタ（PMxx）**，**4. 3. 2　ポート・レジスタ（Pxx）**，**4. 3. 4　ポート入力モード・レジスタ（PIMxx）**，**4. 3. 5　ポート出力モード・レジスタ（POMxx）**を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P07/SO00/TxD0/TI02/TO02/INTP2/TOOLTxD，P15/SEG9/(SCK00)/(SCL00)など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに0を設定してください。また，ポート・レジスタ（Pxx）のビットに1を設定してください。

なお，N-ch オープン・ドレイン出力（V_{DD} 耐圧）モードで使用する場合は，各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに1を設定してください。異電位（1.8 V系，2.5 V系，3 V系）で動作している外部デバイスと接続する場合は，**4. 4. 4　異電位（1.8 V系，2.5 V系，3 V系）外部デバイスとの接続方法**を参照してください。

例）P07/SO00/TI02/TO02/INTP2/TOOLTxDをシリアル・データ出力として使用する場合
　　ポート・モード・レジスタ0のPM07ビットを0に設定
　　ポート・レジスタ0のP07ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P05/SCK00/SCL00/TI04/TO04/INTP3，P06/SI00/RxD0/TI03/TO03/SDA00/TOOLRxDなど）をシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

なお，TTL入力バッファで使用する場合は，各ポートに対応するポート入力モード・レジスタ（PIMxx）のビットに1を設定してください。異電位（1.8 V系，2.5 V系，3 V系）で動作している外部デバイスと接続する場合は，**4. 4. 4　異電位（1.8 V系，2.5 V系，3 V系）外部デバイスとの接続方法**を参照してください。

例）P06/SI00/RxD0/TI03/TO03/SDA00/TOOLRxDをシリアル・データ入力として使用する場合
　　ポート・モード・レジスタ0のPM06ビットを1に設定
　　ポート・レジスタ0のP06ビットを0または1に設定

PMxxレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PMxxレジスタはFFHになります。

製品ごとのPMxxレジスタの有無は，**表4－3**を参照してください。

18. 3. 18　周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・アレイ・ユニット（SAU0, SAU1）をリセットする場合は，必ずビット2, 3 (SAU0RES, SAU1RES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図18－23　周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES

SAUnRES	シリアル・アレイ・ユニット（ユニット0,1）のリセット制御
0	シリアル・アレイ・ユニット（ユニットn）のリセット解除
1	シリアル・アレイ・ユニット（ユニットn）はリセット状態

備考 n=0, 1

18. 4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。

また動作停止モードでは，シリアル・インタフェース用端子をポート機能として使用できます。

18. 4. 1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0（PER0）で行います。

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは，ビット2（SAU0EN）に0を設定してください。シリアル・アレイ・ユニット1を停止するときは，ビット3（SAU1EN）に0を設定してください。

図18－24　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

（a）周辺イネーブル・レジスタ0（PER0）　・・・停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	0	IRDAEN ×	ADCEN ×	IICA0EN ×	SAU1EN 0/1	SAU0EN 0/1	0	TAU0EN ×

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注意1.　SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。
ただし，次のレジスタは除きます。

- **入力切り替え制御レジスタ（ISC）**
- **ノイズ・フィルタ許可レジスタ0（NFEN0）**
- **ポート入力モード・レジスタ（PIMx）**
- **ポート出力モード・レジスタ（POMx）**
- **ポート・モード・レジスタ（PMx）**
- **ポート・レジスタ（Px）**

2.　ビット7, 1は必ず“0”にしてください。

備考　×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）
0/1：ユーザの用途に応じて0または1に設定

18. 4. 2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図18－25　チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタm（STm）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

STm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	STm3 0/1	STm2 0/1	STm1 0/1	STm0 0/1

1：SEmnビットを0にクリアし，通信動作を停止

※ STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタm（SEm）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

SEm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	SEm3 0/1	SEm2 0/1	SEm1 0/1	SEm0 0/1

0：動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり，STmレジスタにて動作停止にします。
動作を停止したチャネルは，SOmレジスタのCKOmnビットの値をソフトウエアで設定できます。

(c) シリアル出力許可レジスタm（SOEm）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

SOEm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SOmレジスタのSOmnビットの値をソフトウエアで設定できます。

(d) シリアル出力レジスタm（SOm）

・・・各チャネルのシリアル出力のバッファ・レジスタ

SOm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	1	CKOm2 0/1	1	CKOm0 0/1	0	0	0	0	1	SOm2 0/1	1	SOm0 0/1

1：シリアル・クロック出力値が“1”　　1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

2.　□：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

18. 5　簡易SPI（CSI00, CSI10, CSI30）通信の動作

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB/LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート[注]　マスタ通信時：Max. $f_{MCK}/2$

スレーブ通信時：Max. $f_{MCK}/6$

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。CSI00は，非同期受信動作に対応しています。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，**第41章　電気的特性**を参照してください。

簡易SPI（CSI00）に対応しているチャネルは，SAU0のチャネル0です。

簡易SPI（CSI10）に対応しているチャネルは，SAU0のチャネル2です。

簡易SPI（CSI30）に対応しているチャネルは，SAU1のチャネル2です。

ユニット	チャネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00	UART0（LIN-bus対応）	IIC00
	1	－		－
	2	CSI10	UART1	IIC10
	3	－		－
1	0	－	UART2（IrDA対応）	－
	1	－		－
	2	CSI30注	UART3注	IIC30注
	3	－		－

注　100ピン製品のみ。

簡易SPI（CSI00, CSI10, CSI30）の通信動作は，以下の7種類があります。

- マスタ送信　　（**18. 5. 1**項を参照）
- マスタ受信　　（**18. 5. 2**項を参照）
- マスタ送受信　　（**18. 5. 3**項を参照）
- スレーブ送信　　（**18. 5. 4**項を参照）
- スレーブ受信　　（**18. 5. 5**項を参照）
- スレーブ送受信　　（**18. 5. 6**項を参照）
- SNOOZEモード機能（CSI00のみ）（**18. 5. 7**項を参照）

18. 5. 1　マスタ送信

マスタ送信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCK00, SO00	SCK10, SO10	SCK30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビット		
転送レート注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2\times2^{15}\times128)$ [Hz]　　f_{CLK}：システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転（SCKの立ち下がりでデータ出力，立ち上がりでデータ入力） ・CKPmn = 1の場合：反転（SCKの立ち上がりでデータ出力，立ち下がりでデータ入力）		
データ方向	MSBファーストまたはLSBファースト		

注　この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－26　簡易SPI（CSI00, CSI10, CSI30）のマスタ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ（送信データを設定）							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1	1	0/1	0	0	0	0	1	0/1	1	0/1

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット＝0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット ＝1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

備考1.　m：ユニット番号（m＝0, 1）　n：チャネル番号（n＝0, 2）　p：CSI番号（p＝00, 10, 30）　mn＝00, 02, 12

2.　□：簡易SPI (CSI)マスタ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図18－27　マスタ送信の初期設定手順

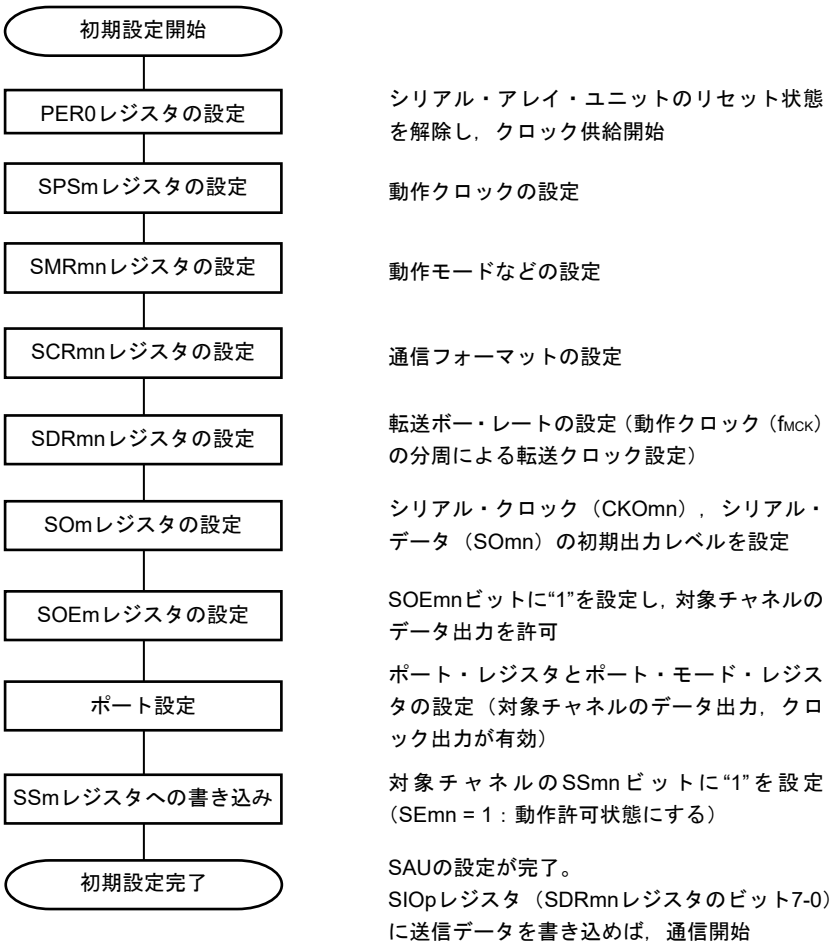


図18－28　マスタ送信の中断手順

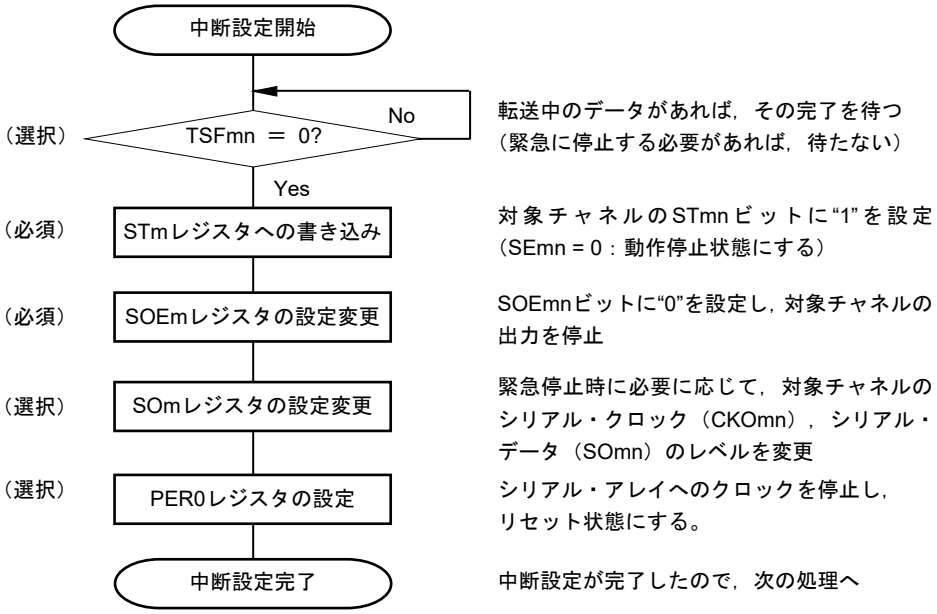
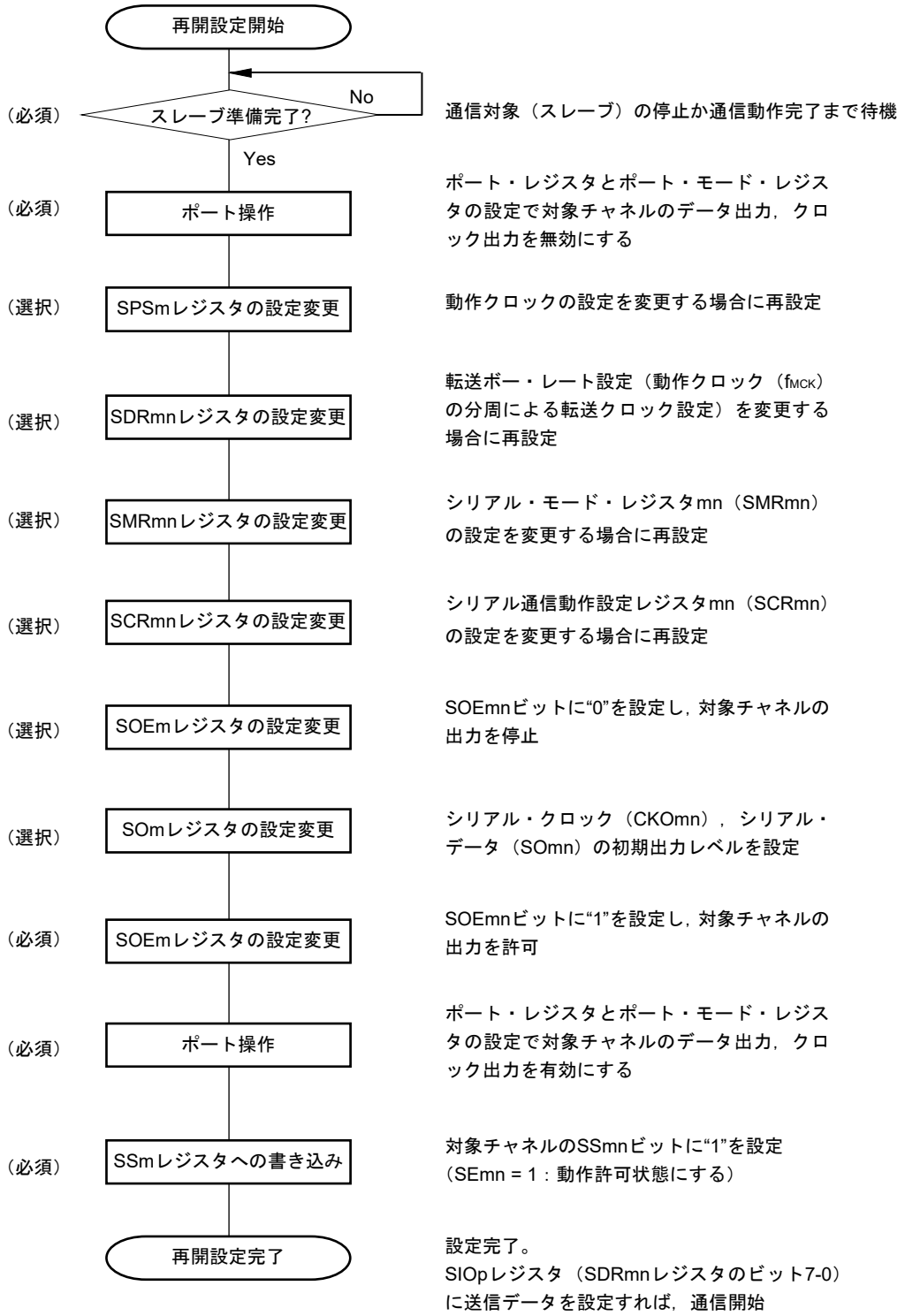


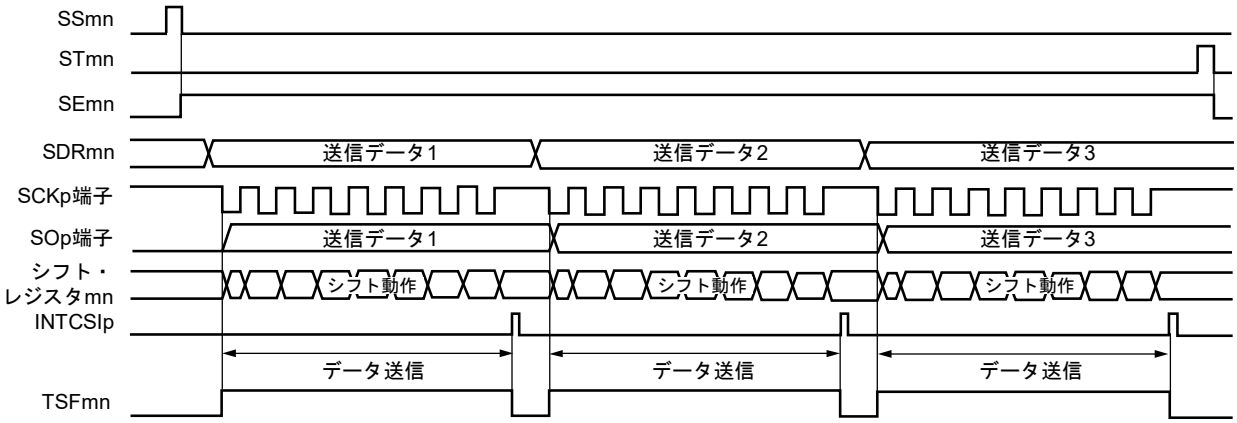
図18－29　マスタ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

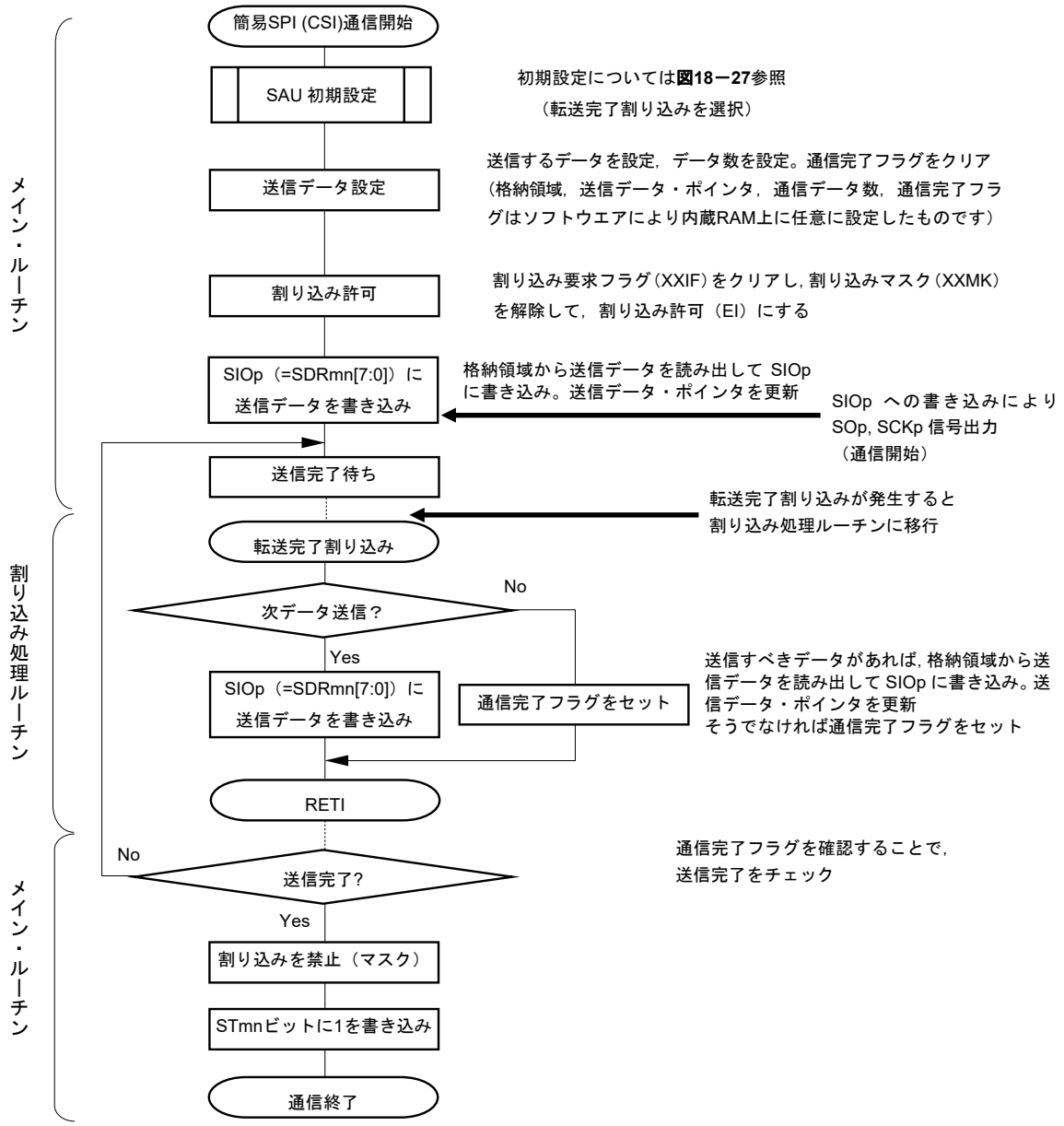
（3）処理フロー（シングル送信モード時）

図18－30　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



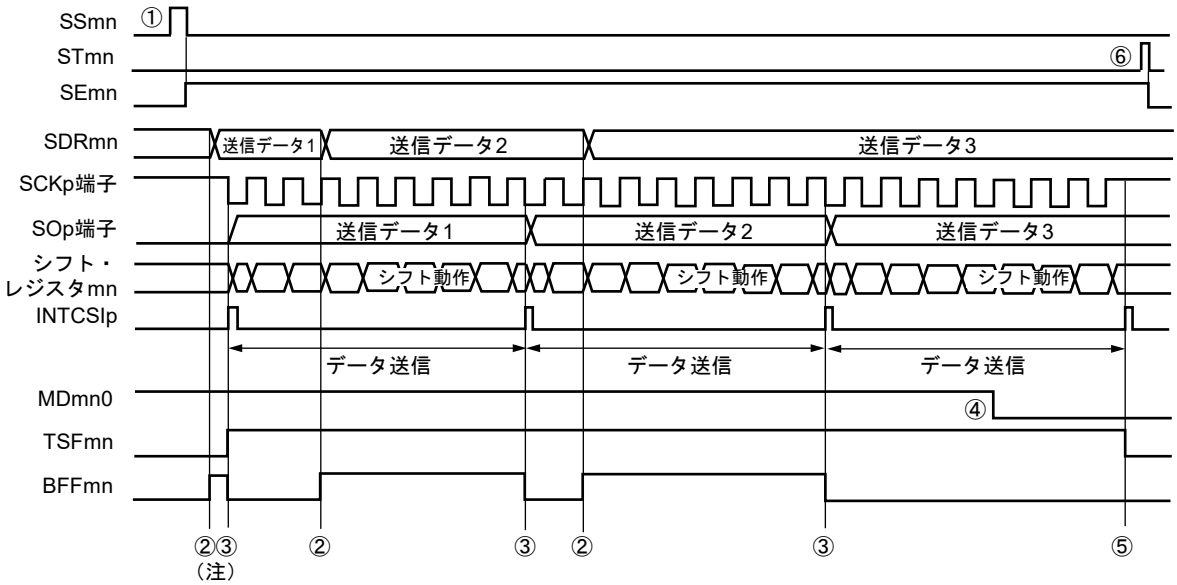
備考　m : ユニット番号（m = 0, 1）　n : チャネル番号（n = 0, 2）　p : CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－31　マスタ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図18－32　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

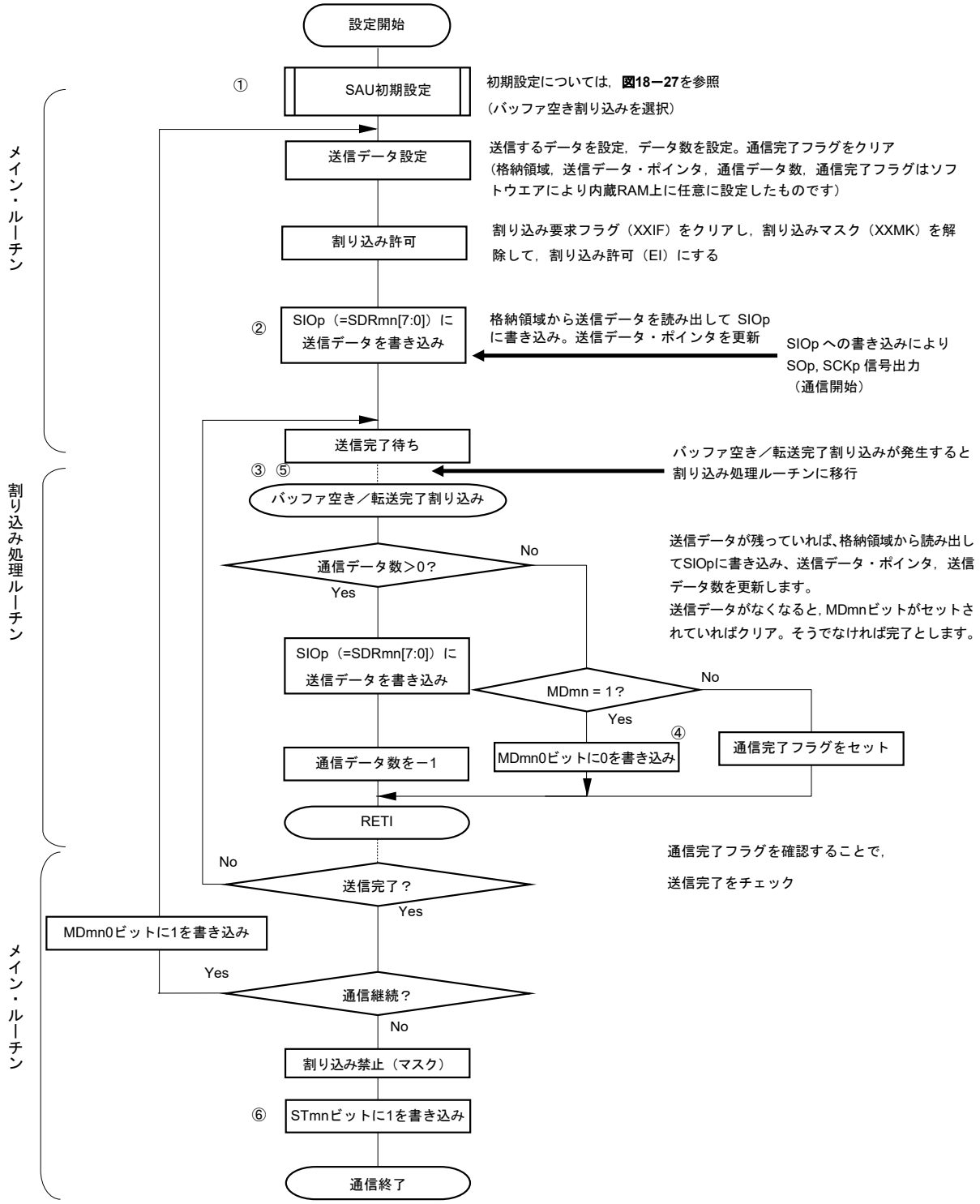


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。**
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－33　マスタ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，**図18－32　マスタ送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています。

18. 5. 2　マスタ受信

マスタ受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCK00, SI00	SCK10, SI10	SCK30, SI30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2\times2^{15}\times128)$ [Hz]　　f_{CLK}：システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転		
データ方向	MSBファーストまたはLSBファースト		

注　この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－34　簡易SPI（CSI00, CSI10, CSI30）のマスタ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	受信データ（ダミー・データとしてFFHを書き込む）							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1	1	0/1	0	0	0	0	1	×	1	×

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット＝0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット ＝1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0	×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

備考1.　m：ユニット番号（m＝0, 1）　n：チャネル番号（n＝0, 2）　p：CSI番号（p＝00, 10, 30）　mn＝00, 02, 12

2.　□：簡易SPI (CSI)マスタ受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図18－35　マスタ受信の初期設定手順

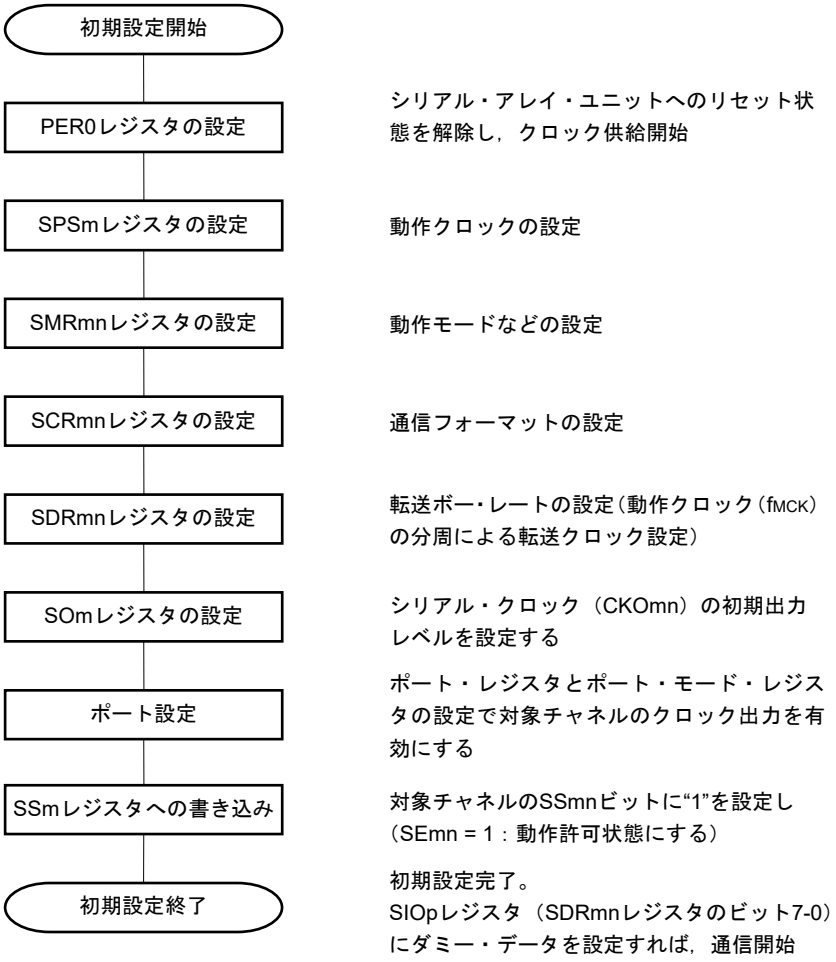


図18－36　マスタ受信の中断手順

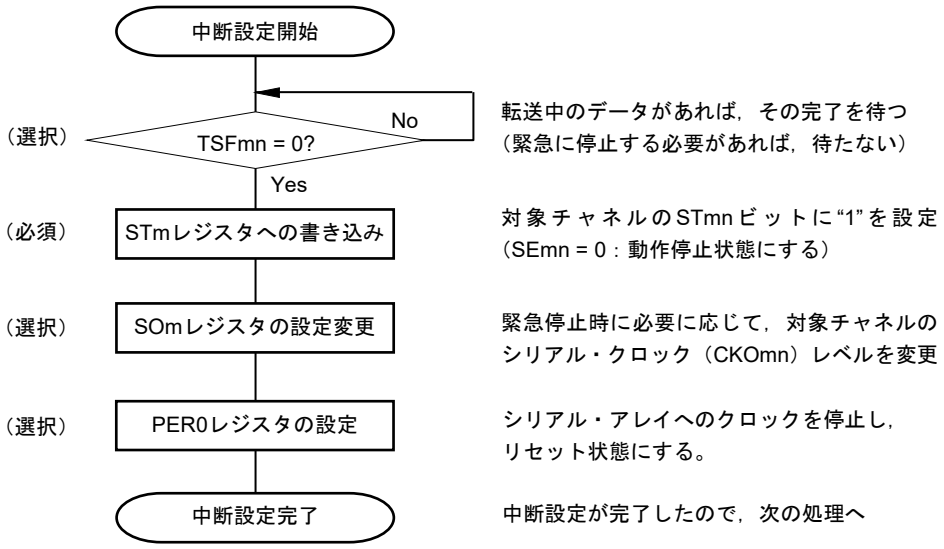
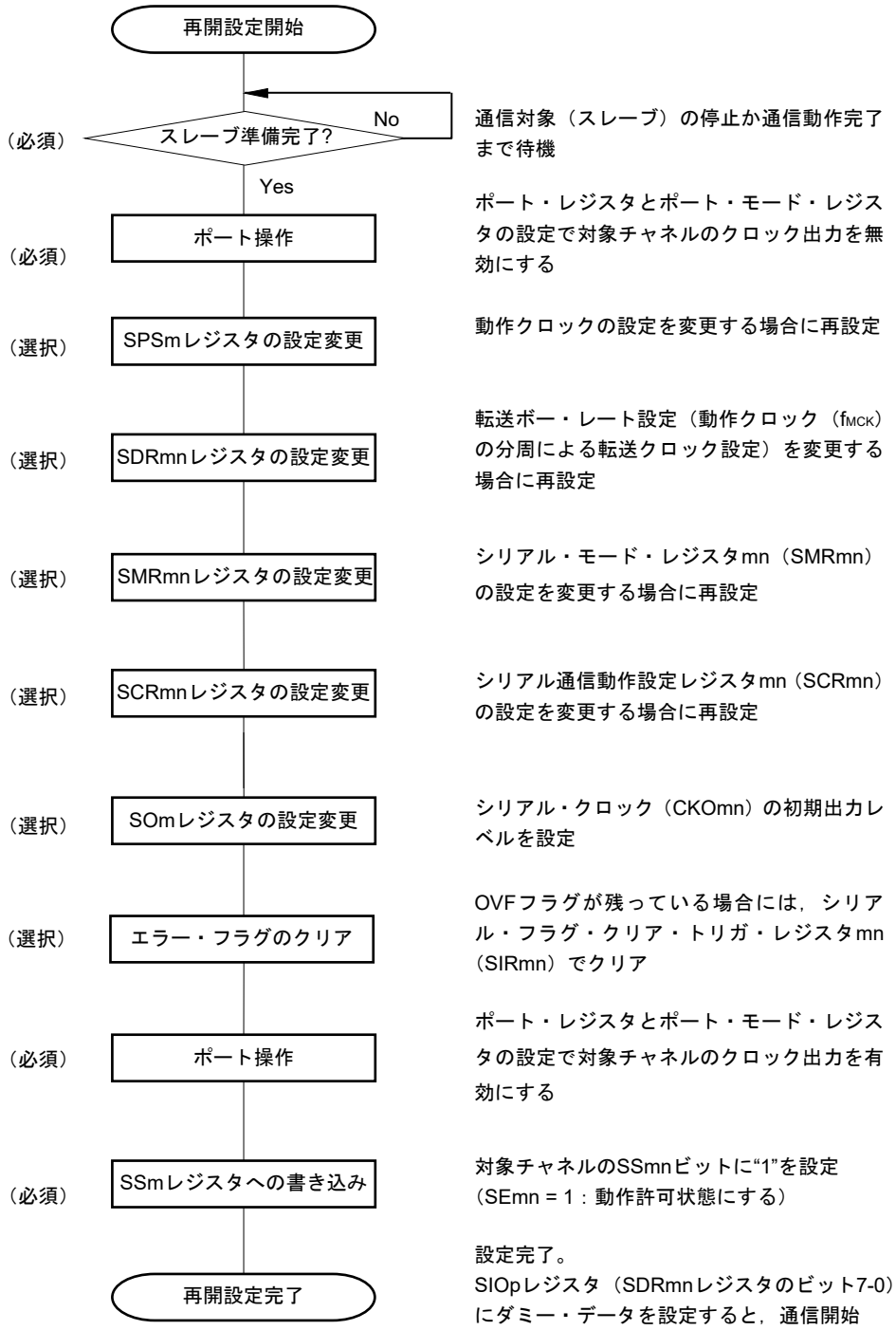


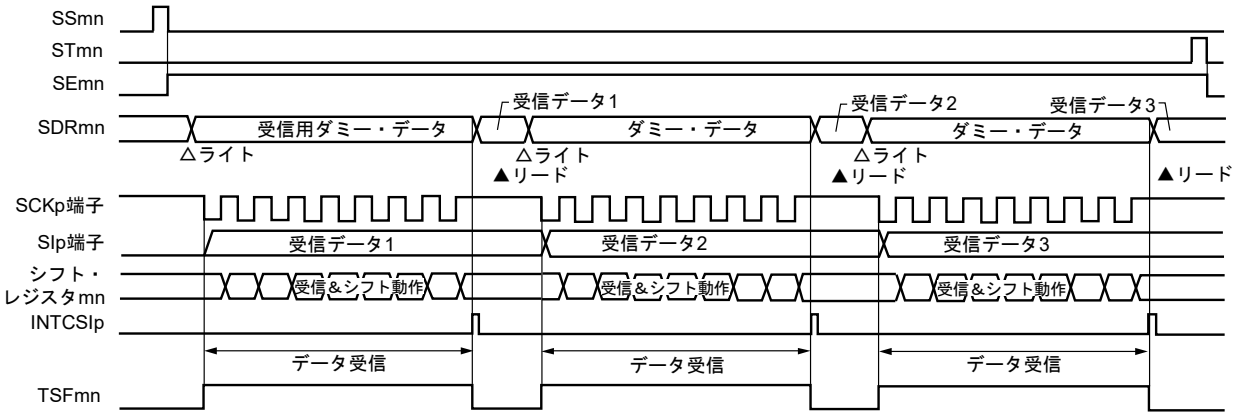
図18－37　マスタ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

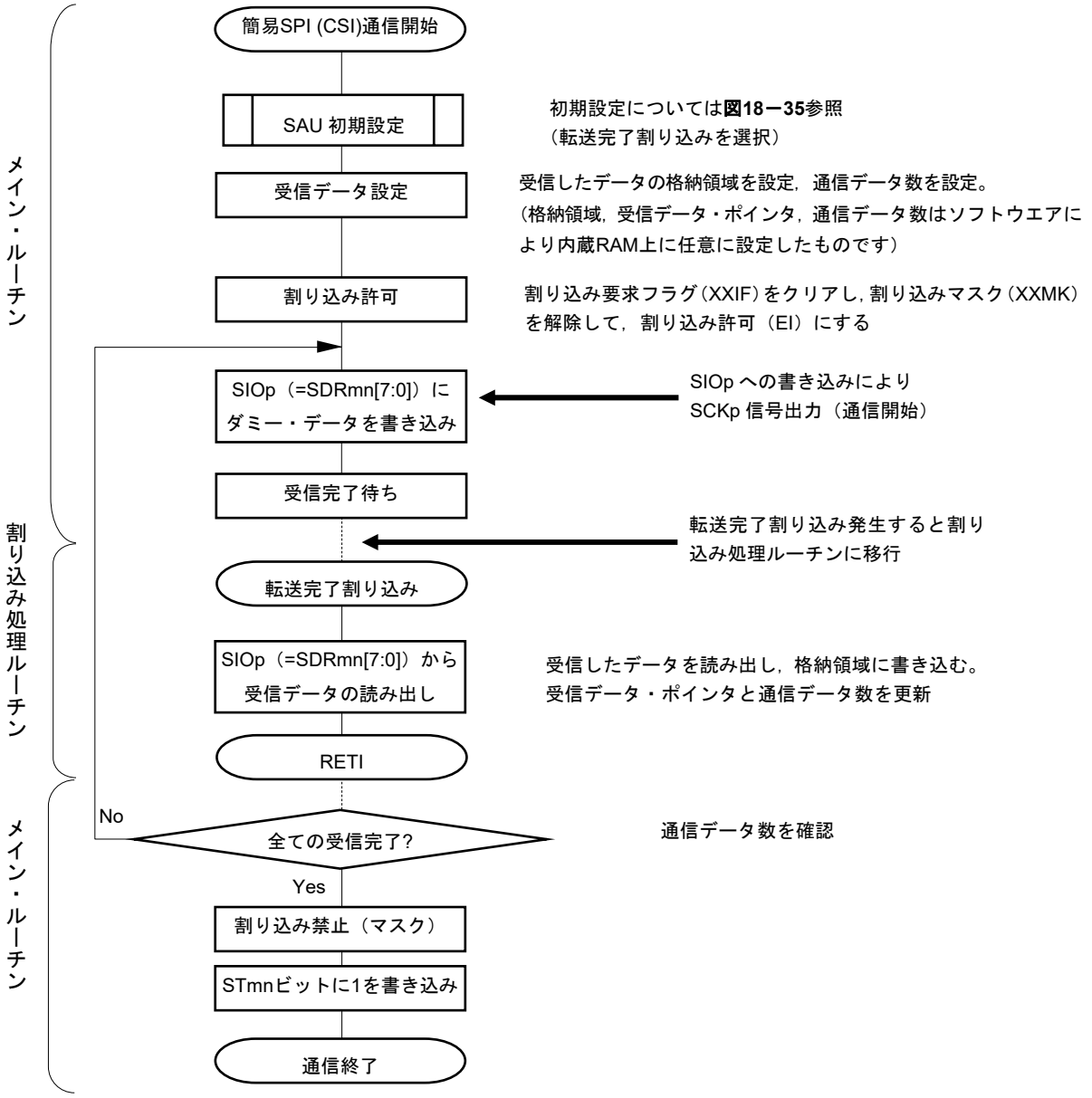
（3）処理フロー（シングル受信モード時）

図18－38　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



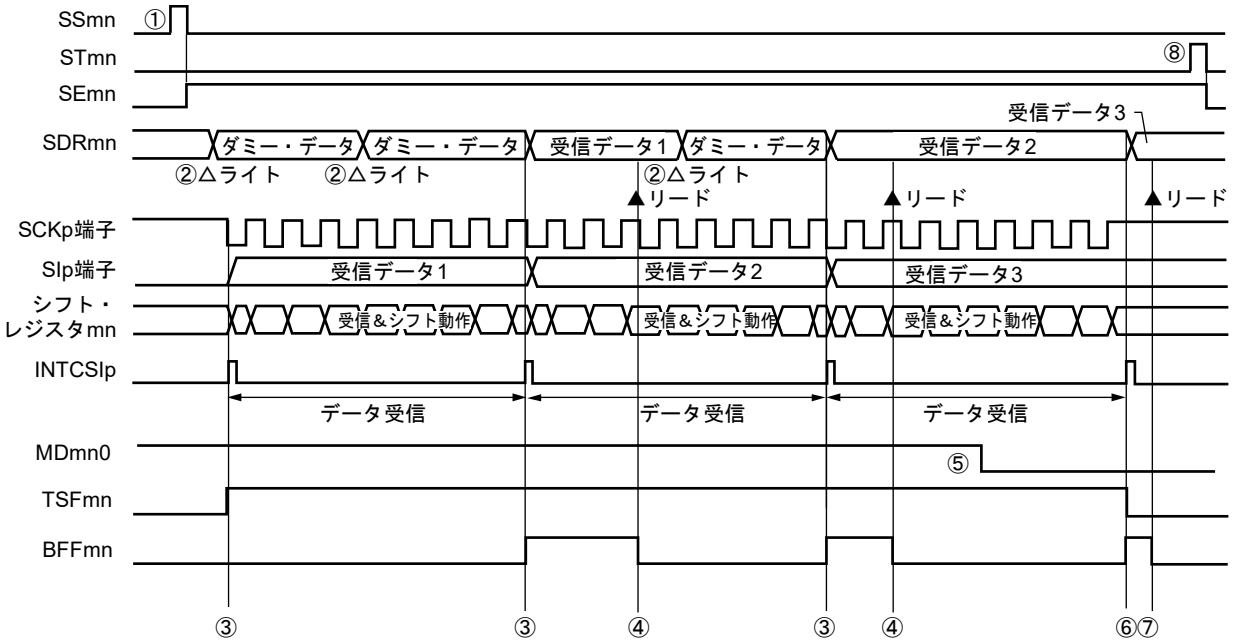
備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－39　マスタ受信（シングル受信モード時）のフロー・チャート



（4）処理フロー（連続受信モード時）

図18－40　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

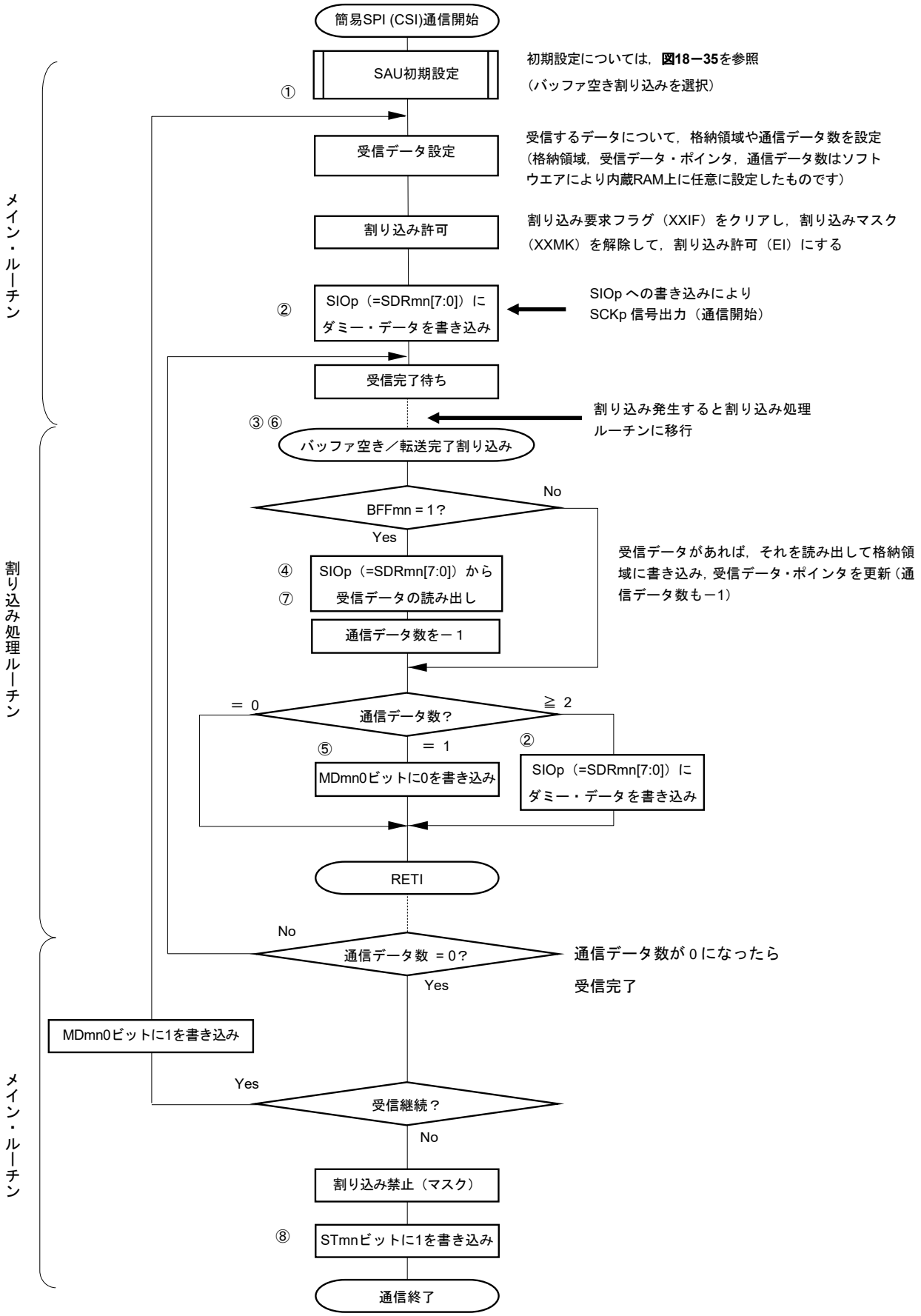


注意　MDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1.　図中の①~⑧は，**図18－41　マスタ受信（連続受信モード時）のフロー・チャート**の①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－41　マスタ受信（連続受信モード時）のフロー・チャート



備考　図中の①~⑧は，**図18－40　マスタ受信（連続受信モード時）のタイミング・チャート**の①~⑧に対応しています。

18. 5. 3　マスタ送受信

マスタ送受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK30, SI30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz]　　f_{CLK}：システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転		
データ方向	MSBファーストまたはLSBファースト		

注　この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－42　簡易SPI（CSI00, CSI10, CSI30）のマスタ送受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は「**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

データ転送順序の選択
0:MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ設定／受信データ・レジスタ							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 0/1	1	CKOm0 0/1	0	0	0	0	1	SOm2 0/1	1	SOm0 0/1

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

2.　□：簡易SPI (CSI)マスタ送受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図18－43　マスタ送受信の初期設定手順

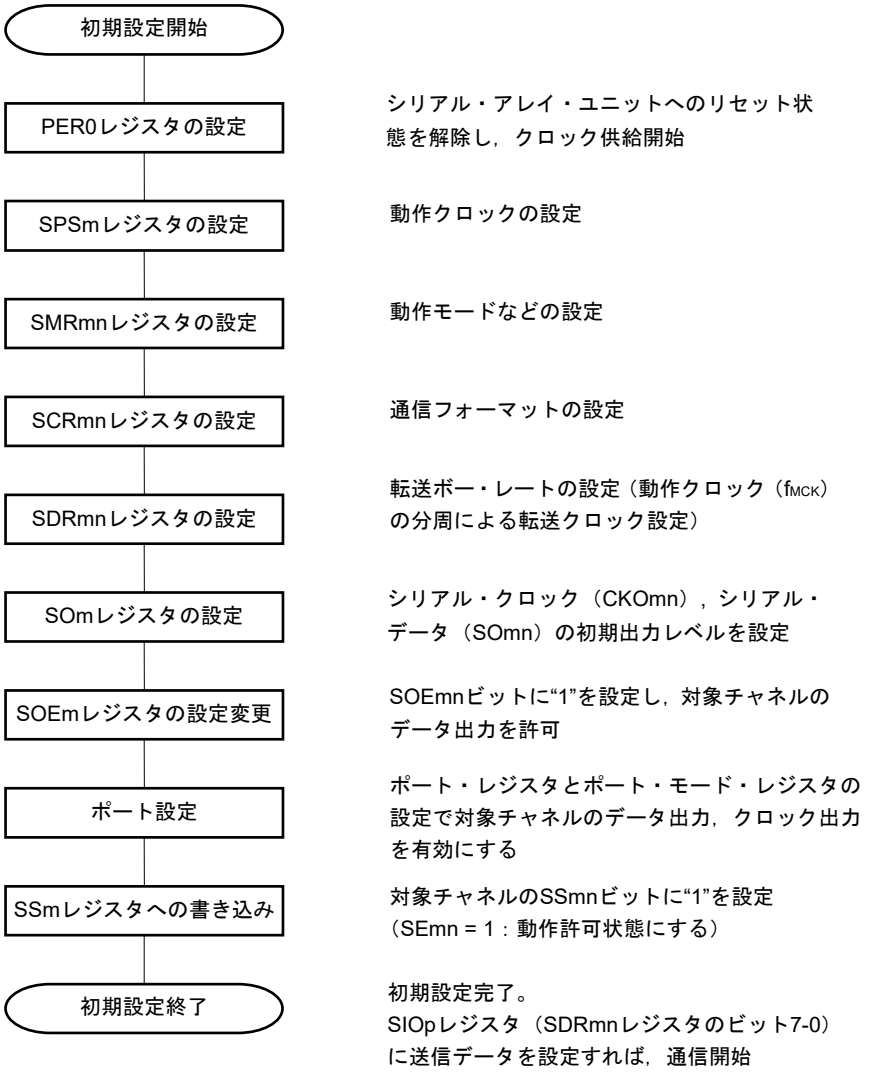


図18－44　マスタ送受信の中断手順

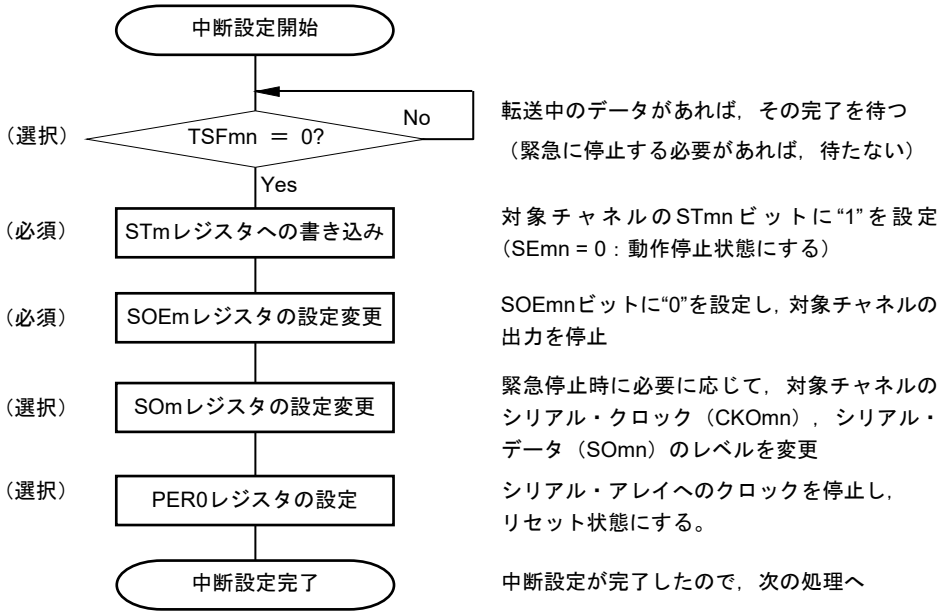
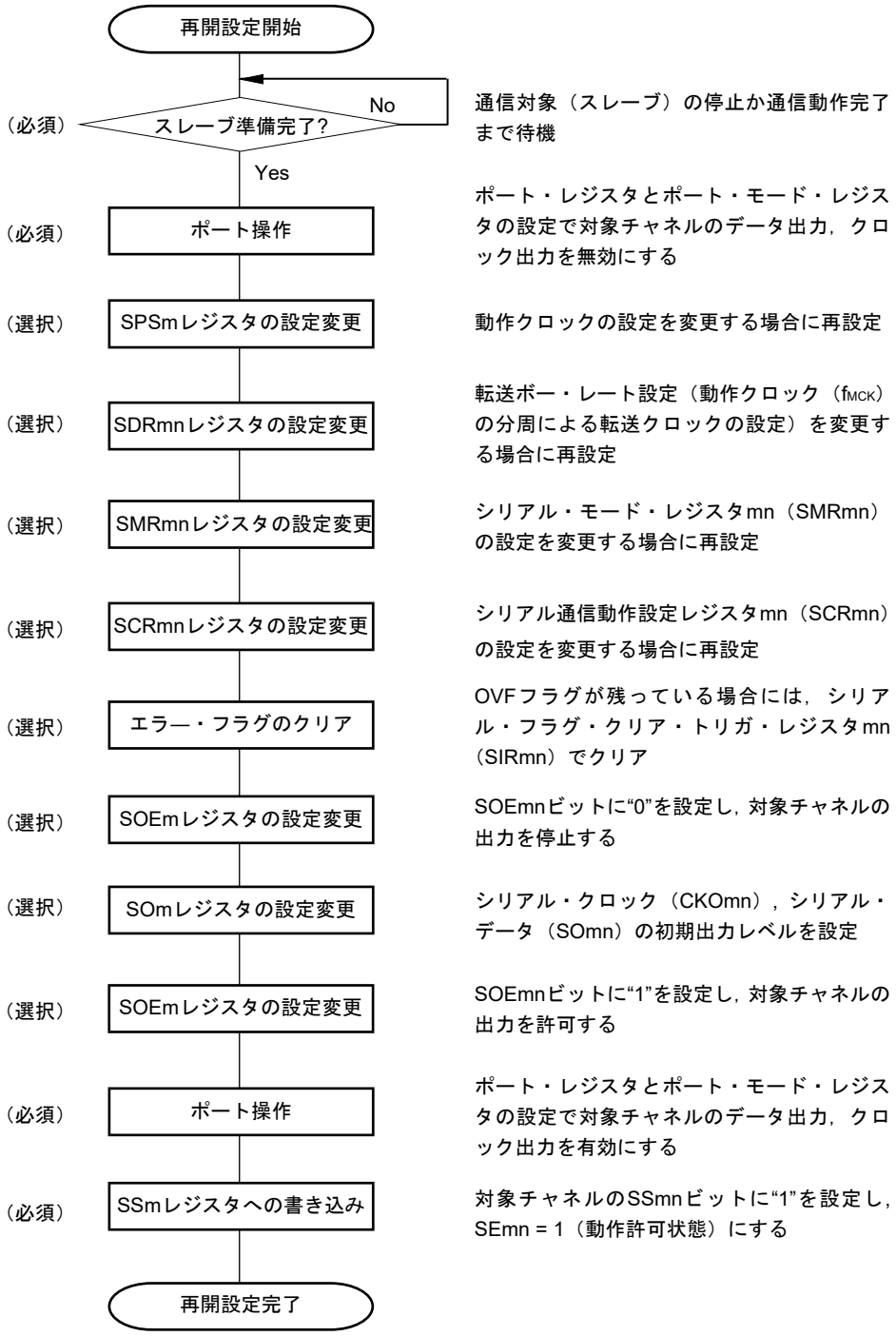
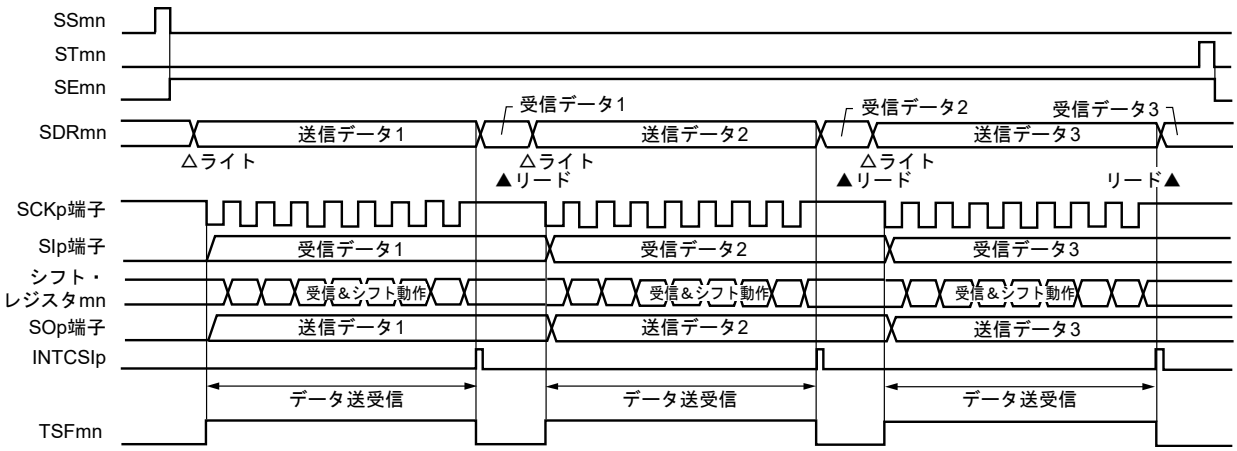


図18－45　マスタ送受信の再開設定手順



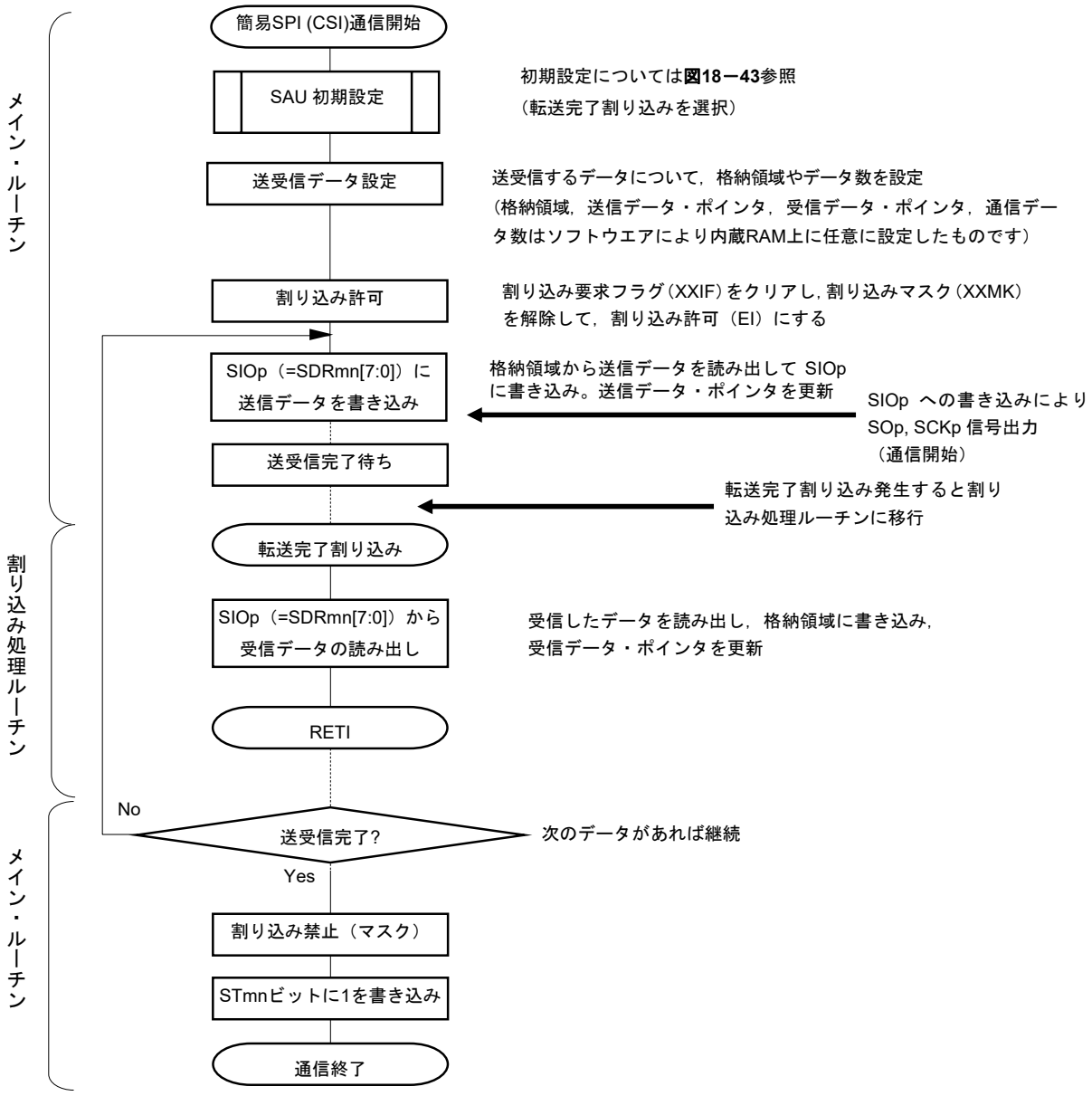
（3）処理フロー（シングル送受信モード時）

図18－46　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1 : DAPmn =0, CKPmn = 0）



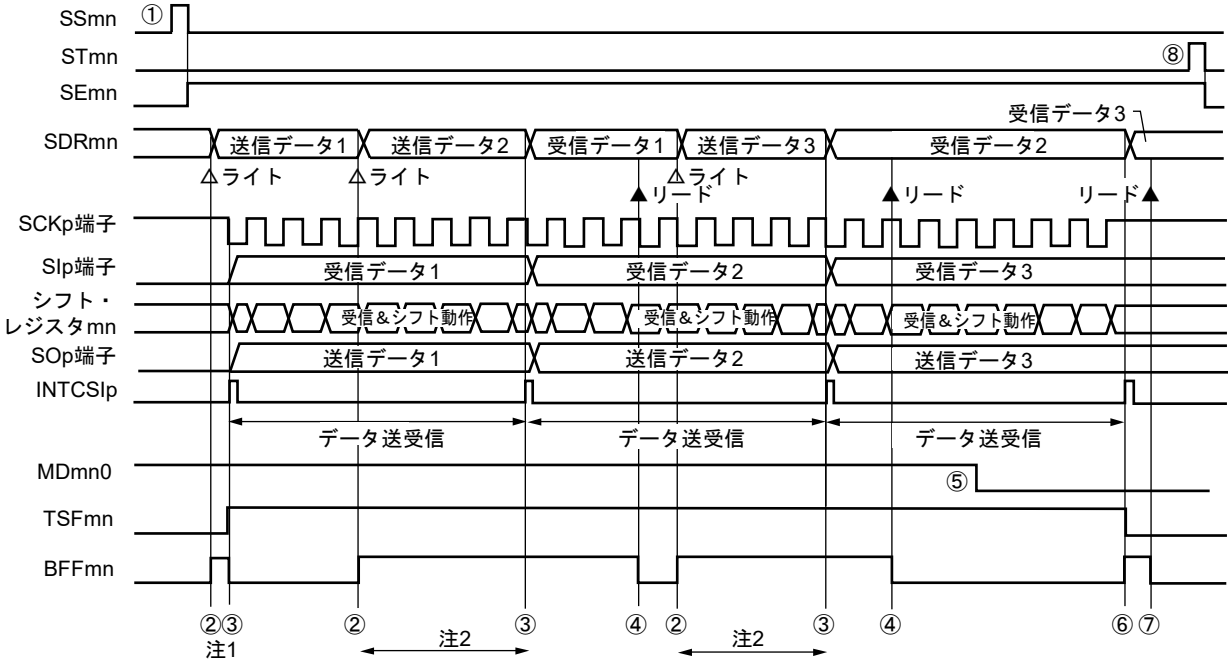
備考　m : ユニット番号（m = 0, 1）　n : チャネル番号（n = 0, 2）　p : CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－47　マスタ送受信（シングル送受信モード時）のフロー・チャート



（4）処理フロー（連続送受信モード時）

図18－48　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注 1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

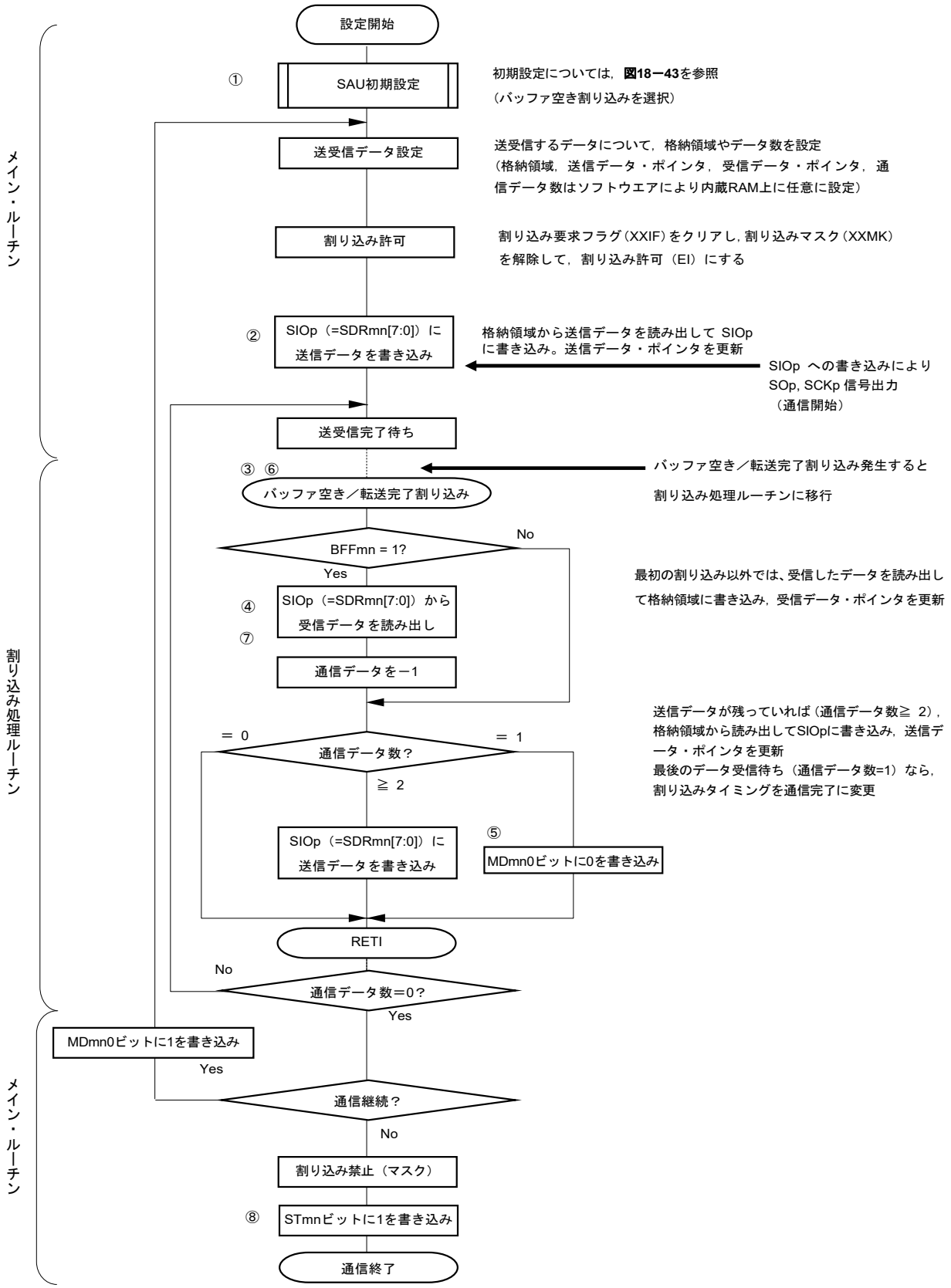
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，**図18－49　マスタ送受信（連続送受信モード時）のフロー・チャート**の①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－49　マスタ送受信（連続送受信モード時）のフロー・チャート



備考　図中の①~⑧は，**図18－48　マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧**に対応しています。

18. 5. 4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCK00, SO00	SCK10, SO10	SCK30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. f_{MCK}/6[Hz]注1, 2		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転		
データ方向	MSBファーストまたはLSBファースト		

注1.　SCK00, SCK10, SCK30端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－50　簡易SPI（CSI00, CSI10, CSI30）のスレーブ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

データ転送順序の選択
0:MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	×	1	×	0	0	0	0	1	0/1	1	0/1

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

2.　□：簡易SPI (CSI)スレーブ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図18－51　スレーブ送信の初期設定手順

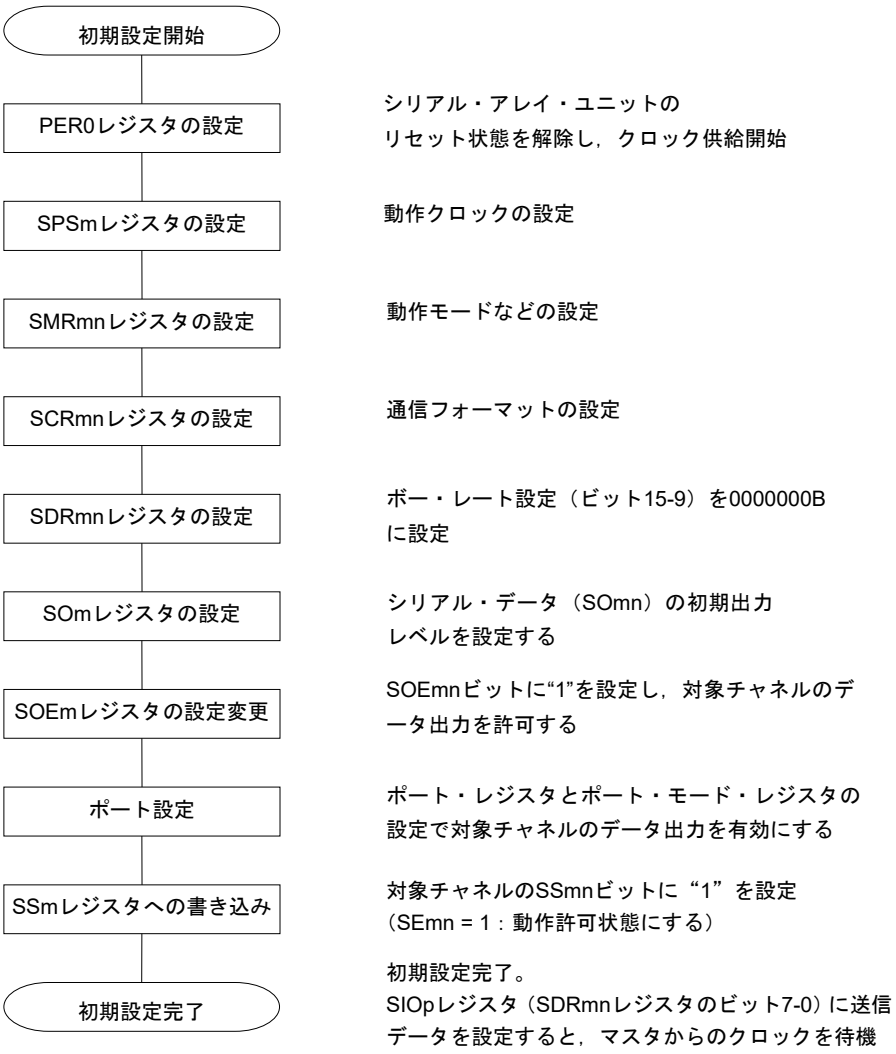


図18－52　スレーブ送信の中断手順

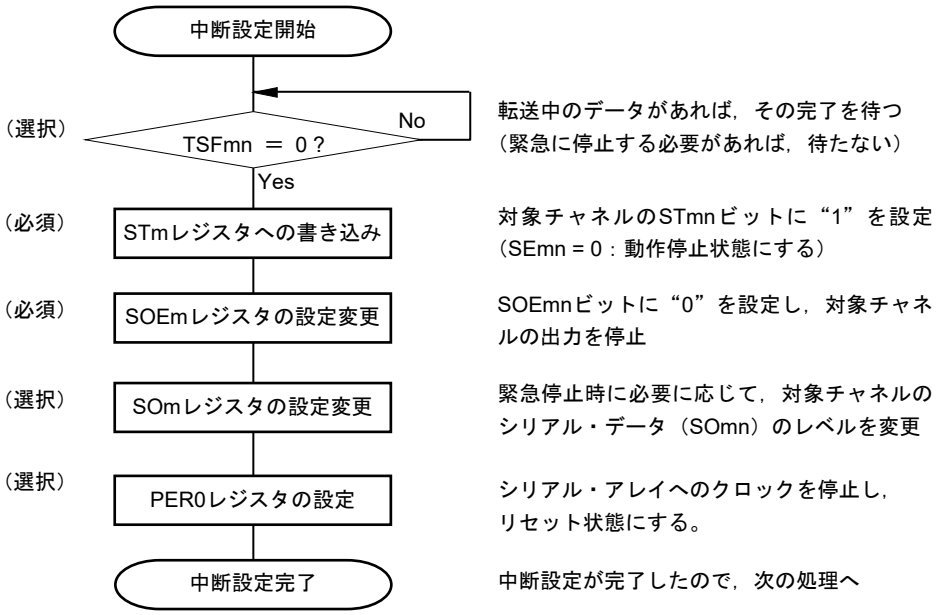
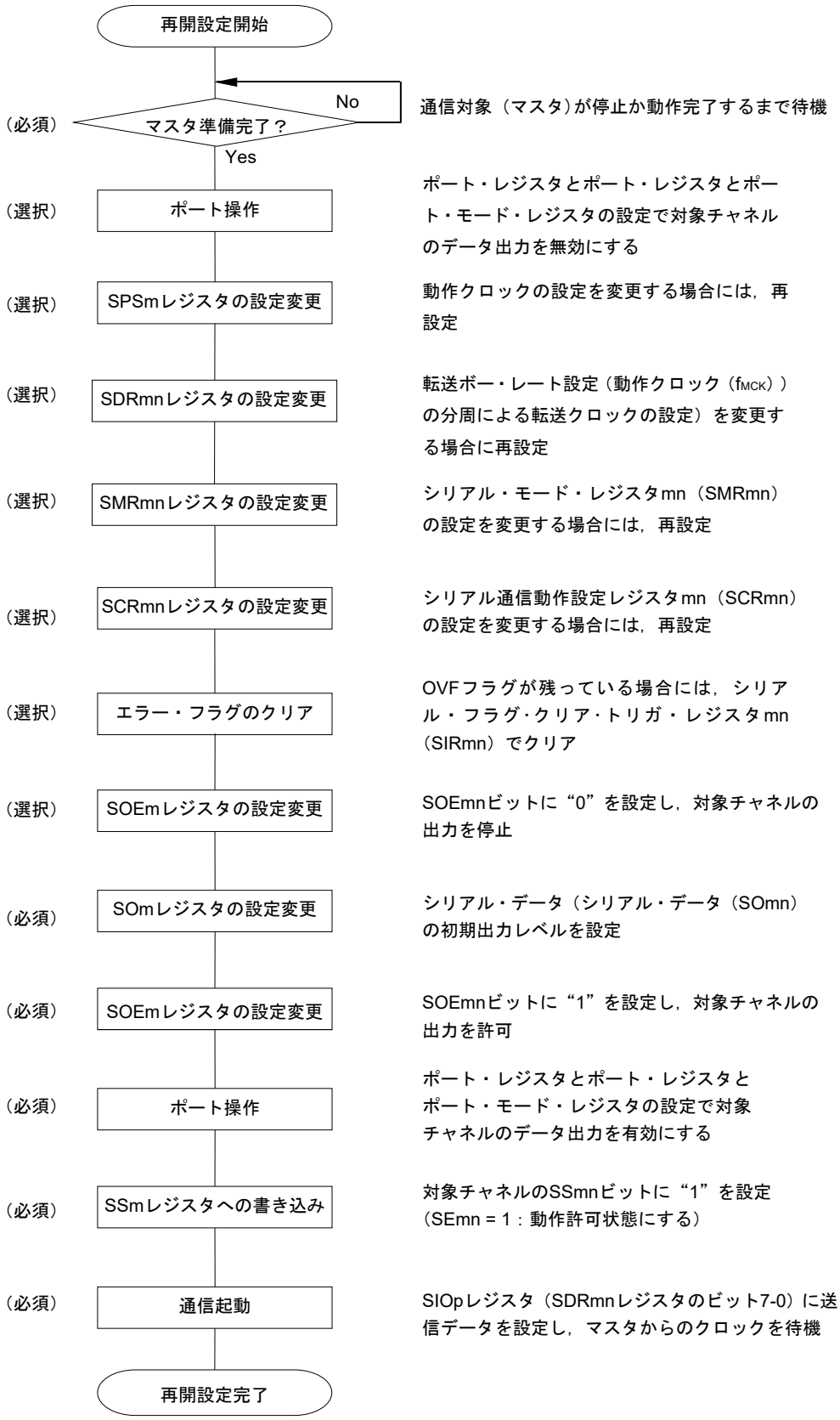


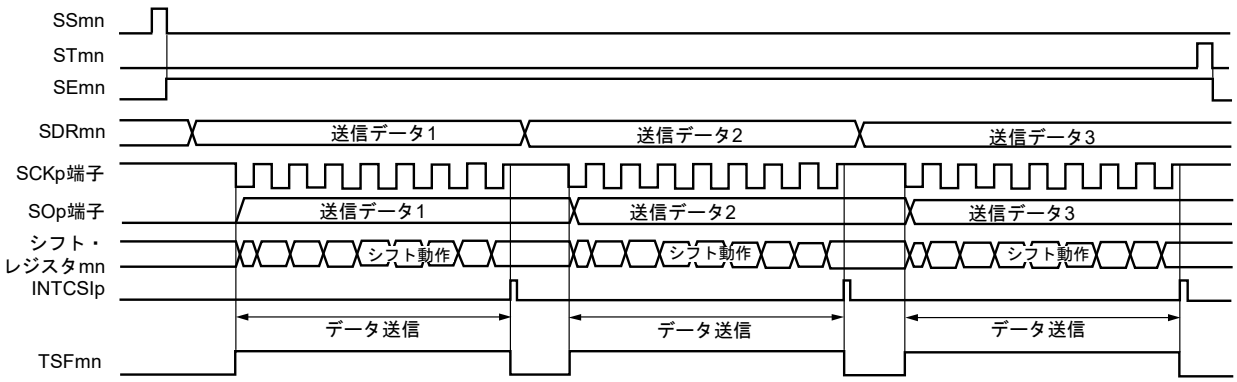
図18－53　スレーブ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

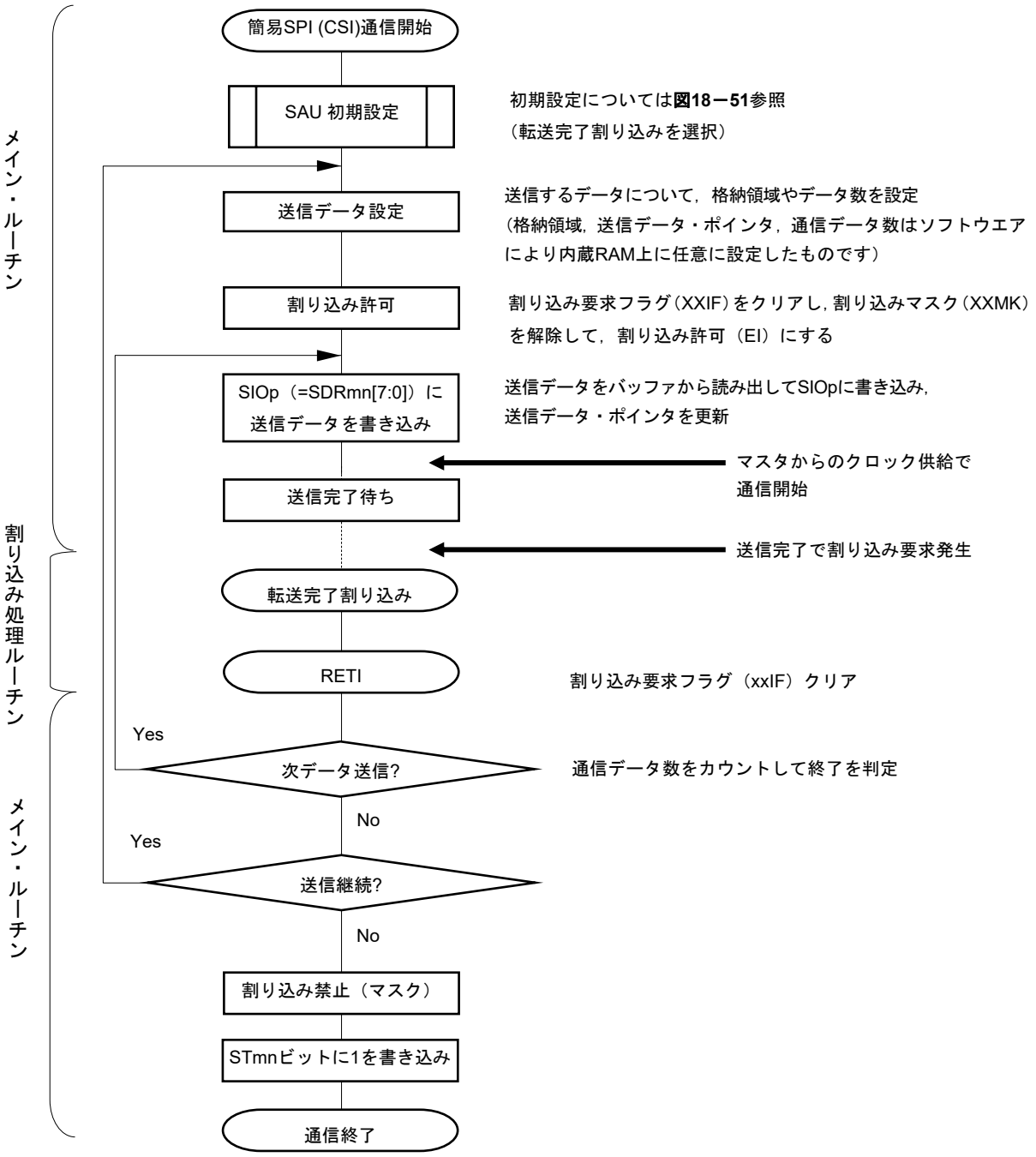
（3）処理フロー（シングル送信モード時）

図18－54　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



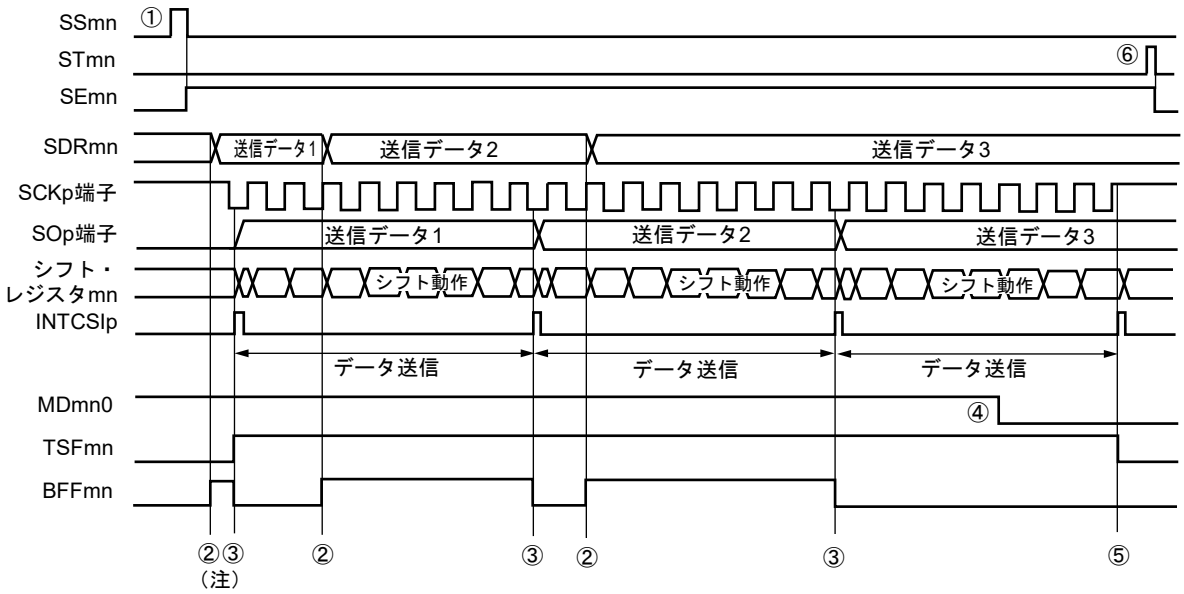
備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－55　スレーブ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図18－56　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

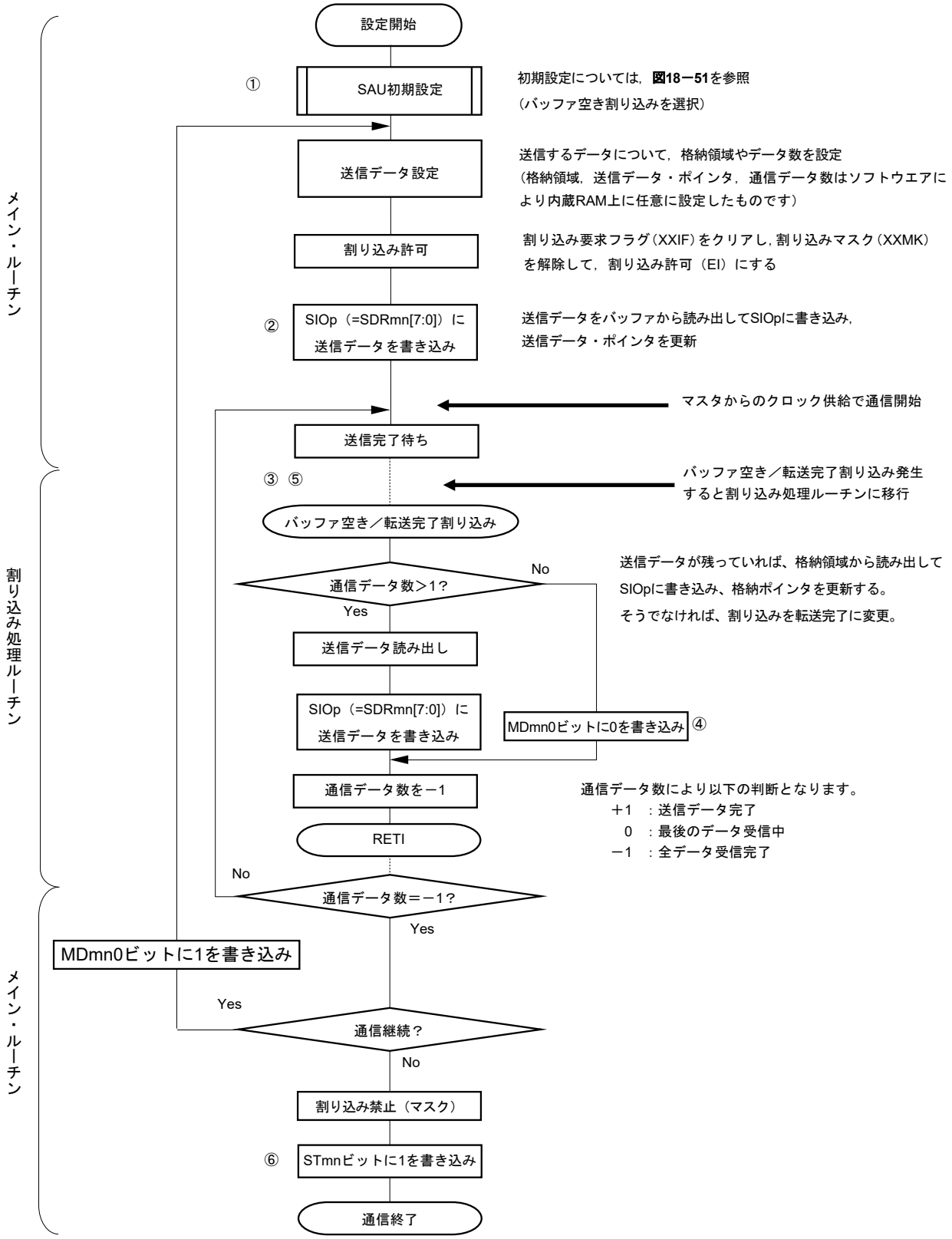


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－57　スレーブ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，**図18－56　スレーブ送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています。

18. 5. 5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCK00, SI00	SCK10, SI10	SCK30, SI30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. f_{MCK}/6 [Hz]注1, 2		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転		
データ方向	MSBファーストまたはLSBファースト		

注1.　SCK00, SCK10, SCK30端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－58　簡易SPI（CSI00, CSI10, CSI30）のスレーブ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	受信データ							

SIOp

（d）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	×	1	×	0	0	0	0	1	×	1	×

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0	×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

2.　□：簡易SPI (CSI)スレーブ受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図18－59　スレーブ受信の初期設定手順

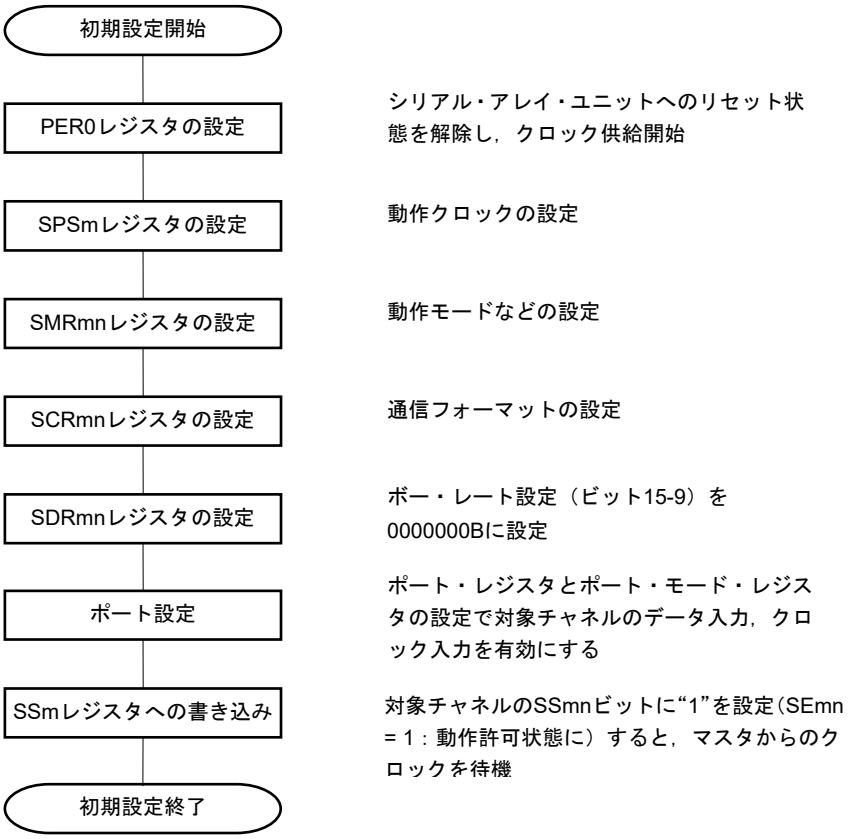


図18－60　スレーブ受信の中断手順

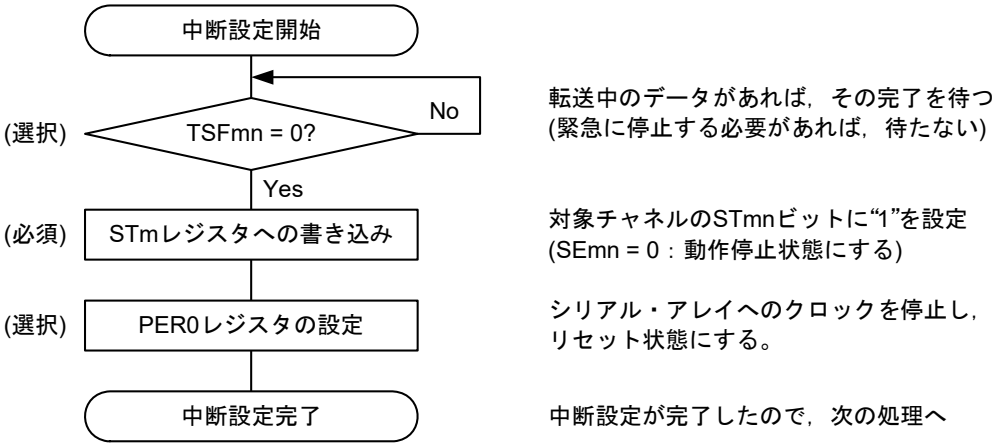
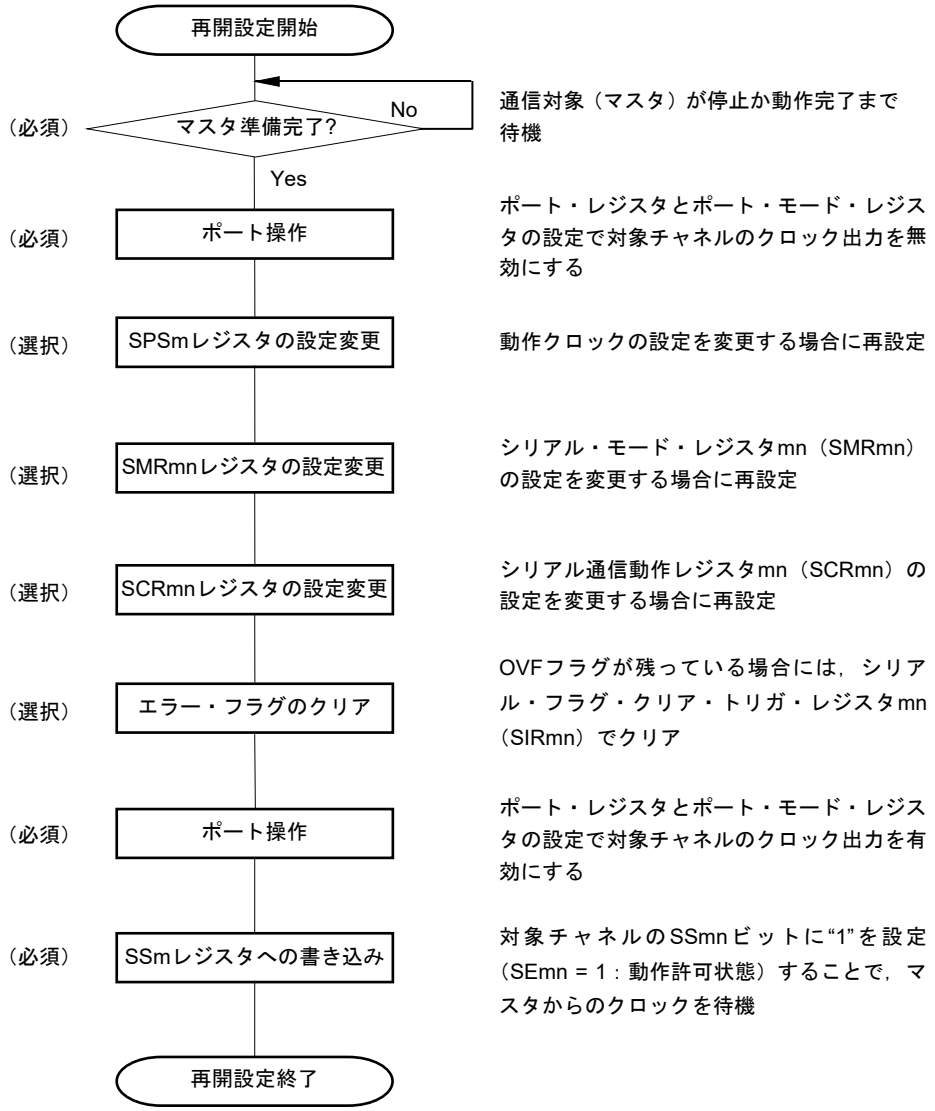


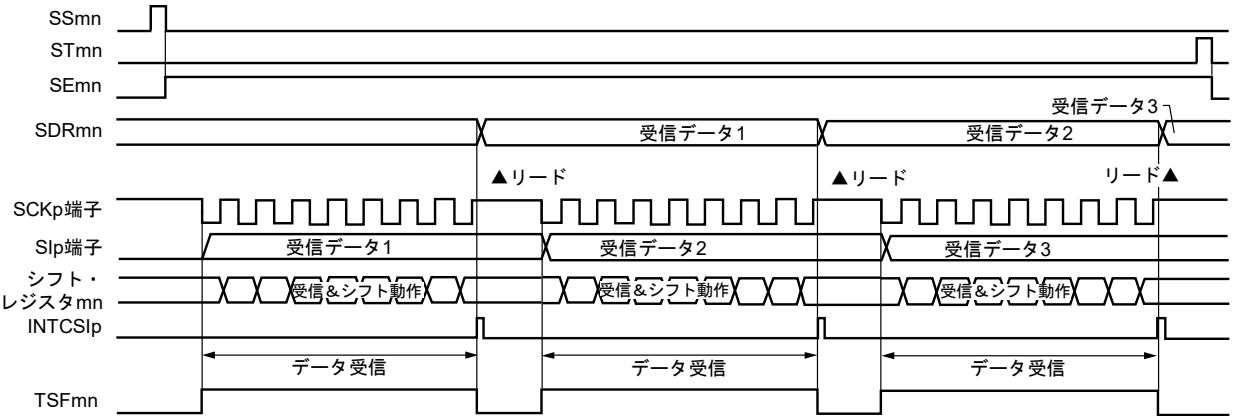
図18－61　スレーブ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

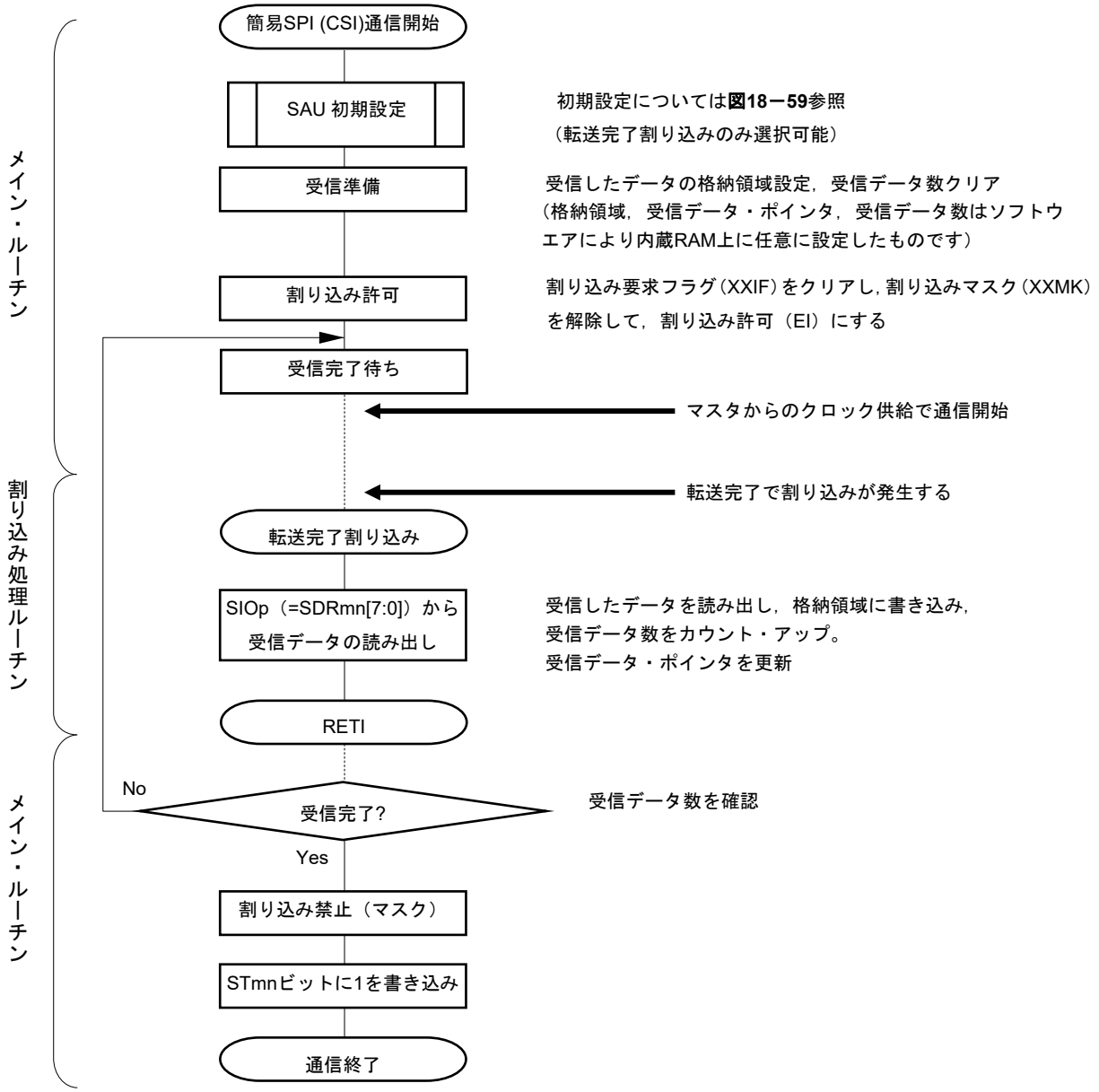
（3）処理フロー（シングル受信モード時）

図18－62　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－63　スレーブ受信（シングル受信モード時）のフロー・チャート



18. 5. 6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK30, SI30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. f_{MCK}/6 [Hz]注1, 2		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転		
データ方向	MSBファーストまたはLSBファースト		

注1. SCK00, SCK10, SCK30端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－64　簡易SPI（CSI00, CSI10, CSI30）のスレーブ送受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定／受信データ・レジスタ							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	×	1	×	0	0	0	0	1	0/1	1	0/1

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

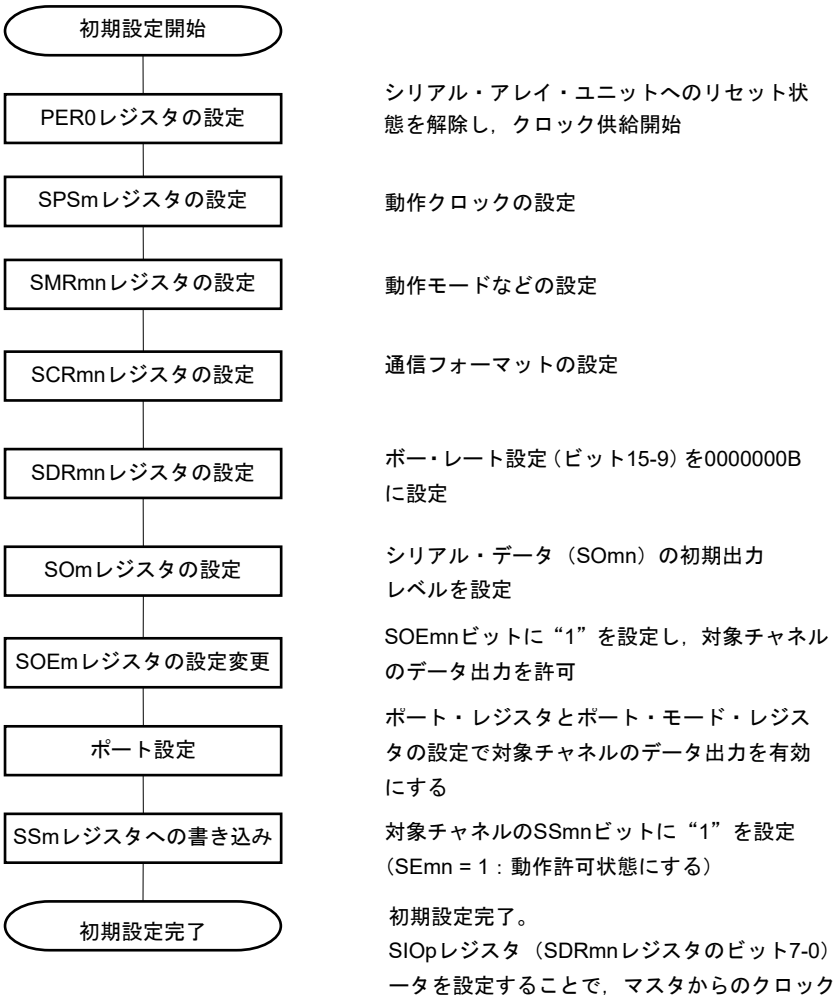
注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

2.　□：簡易SPI (CSI)スレーブ送受信モードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図18－65　スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

図18－66　スレーブ送受信の中断手順

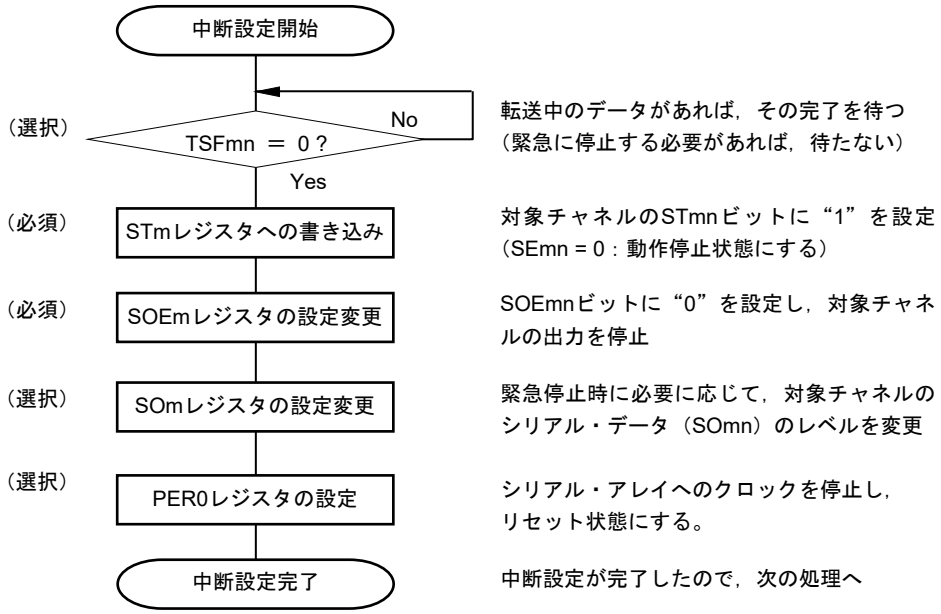
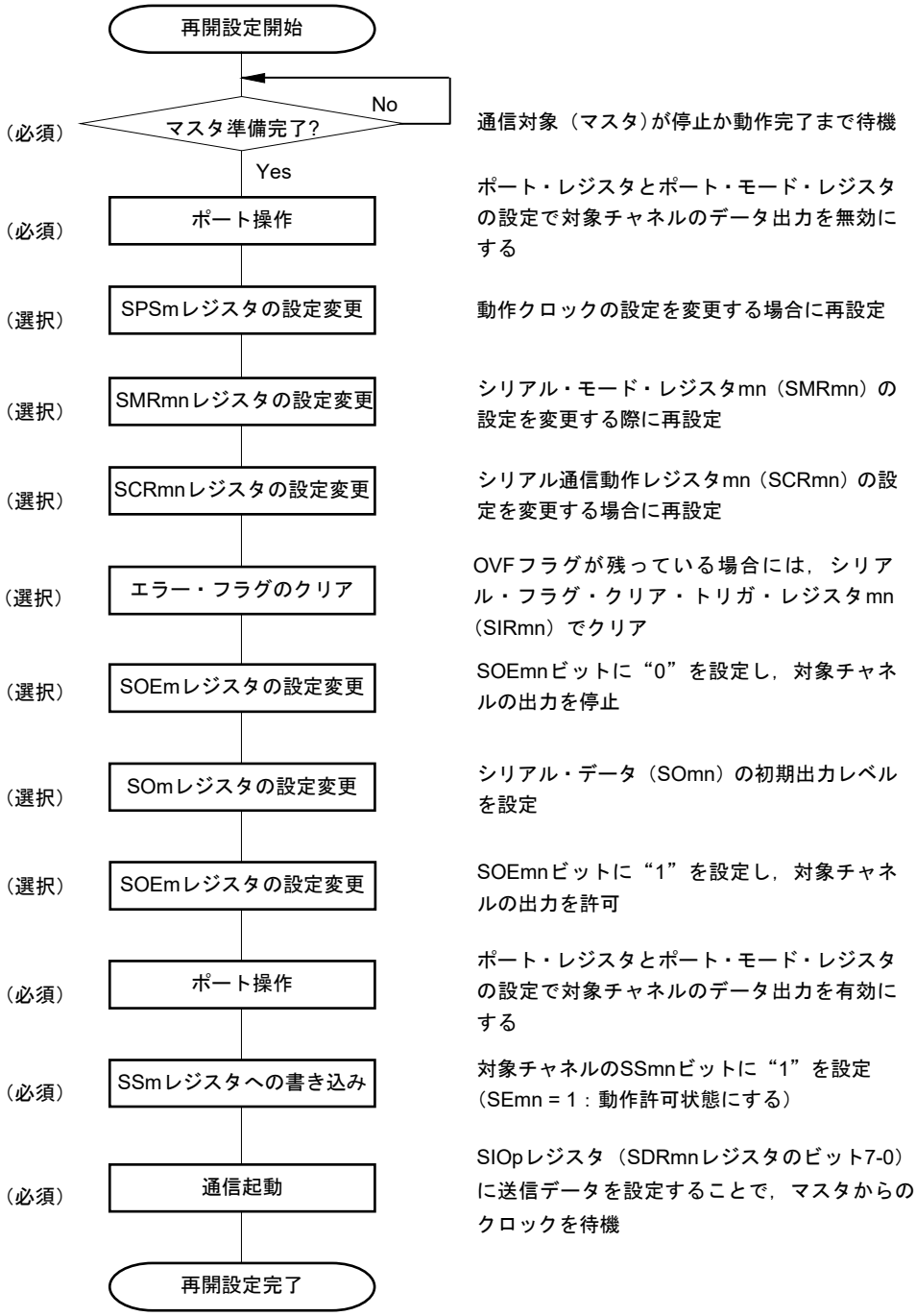


図18－67　スレーブ送受信の再開設定手順

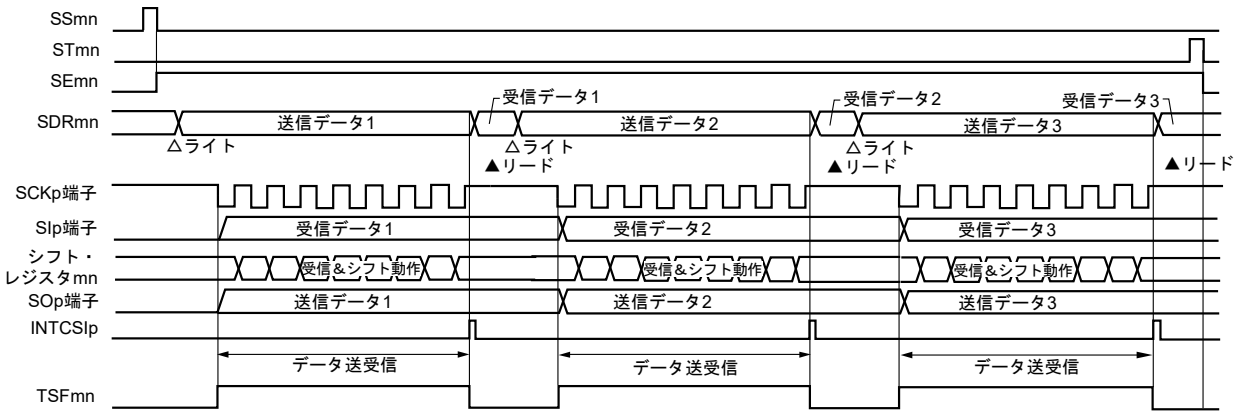


注意 1.　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

2.　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

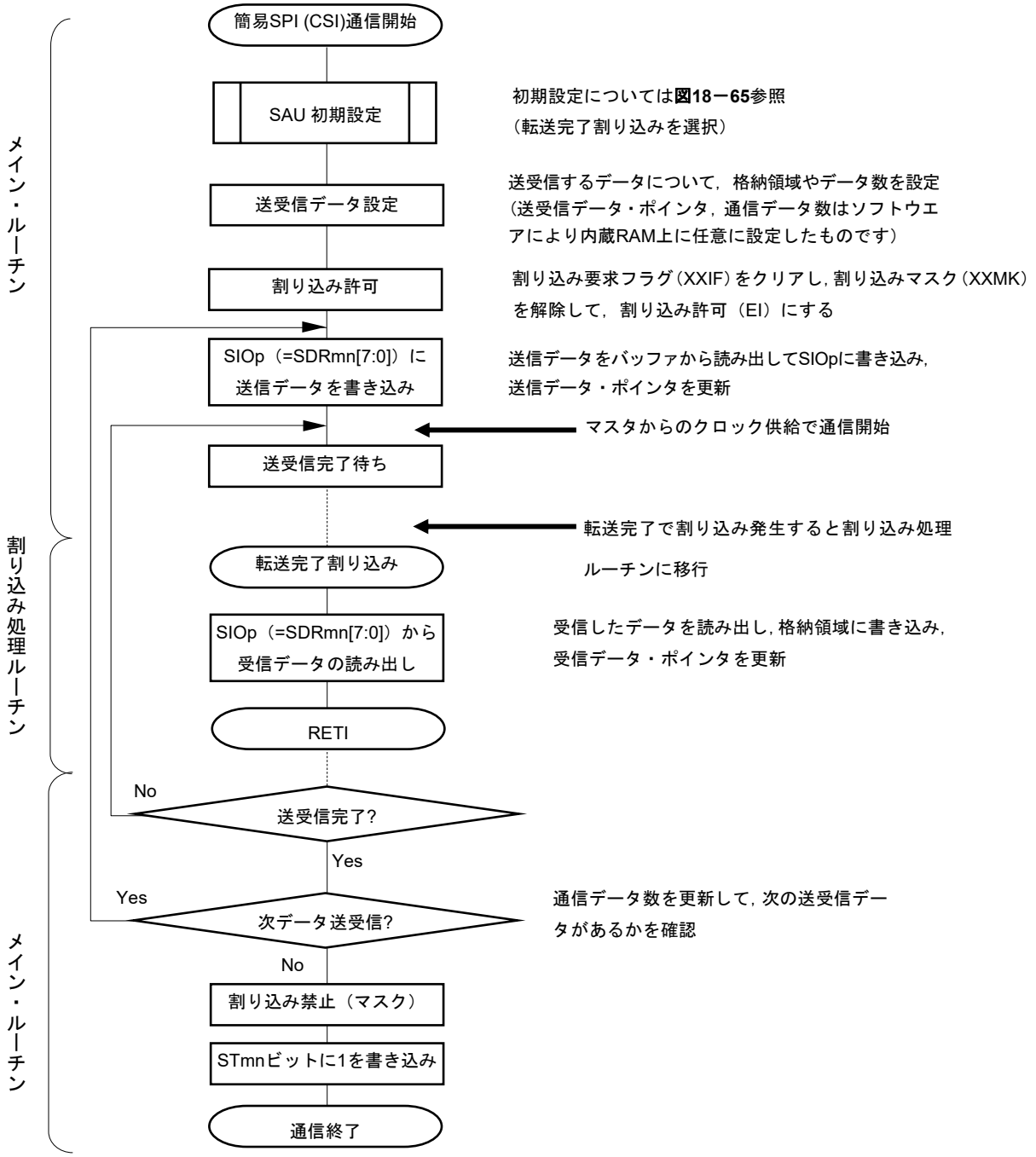
（3）処理フロー（シングル送受信モード時）

図18－68　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

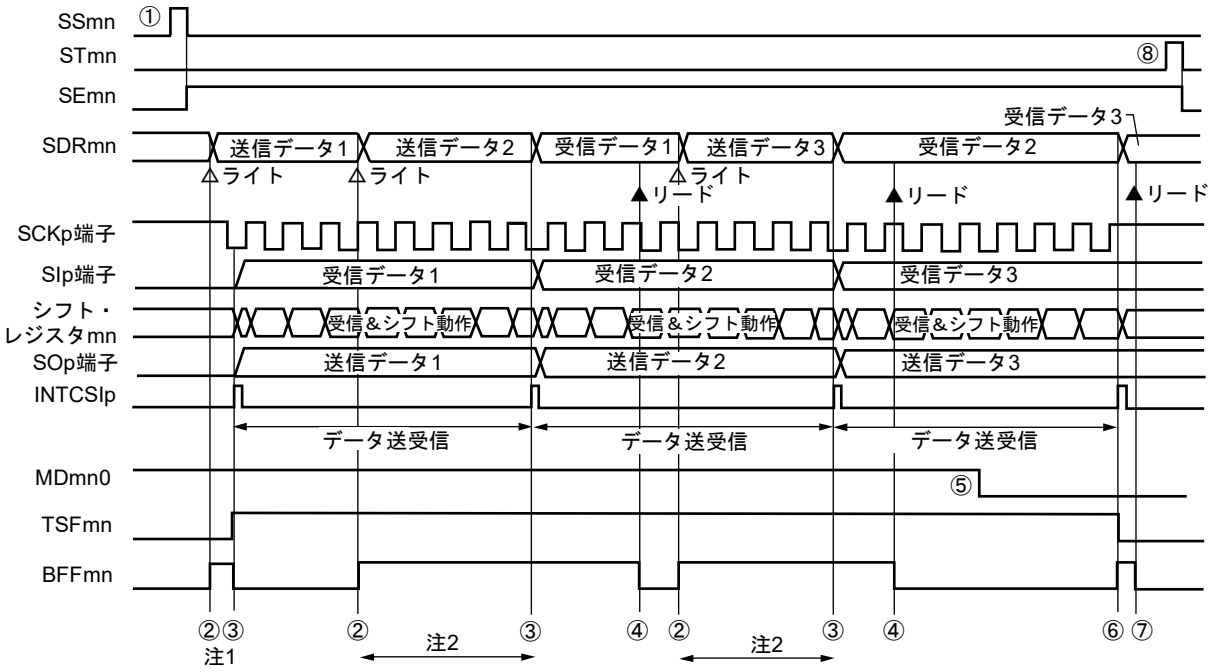
図18－69　スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

（4）処理フロー（連続送受信モード時）

図18－70　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

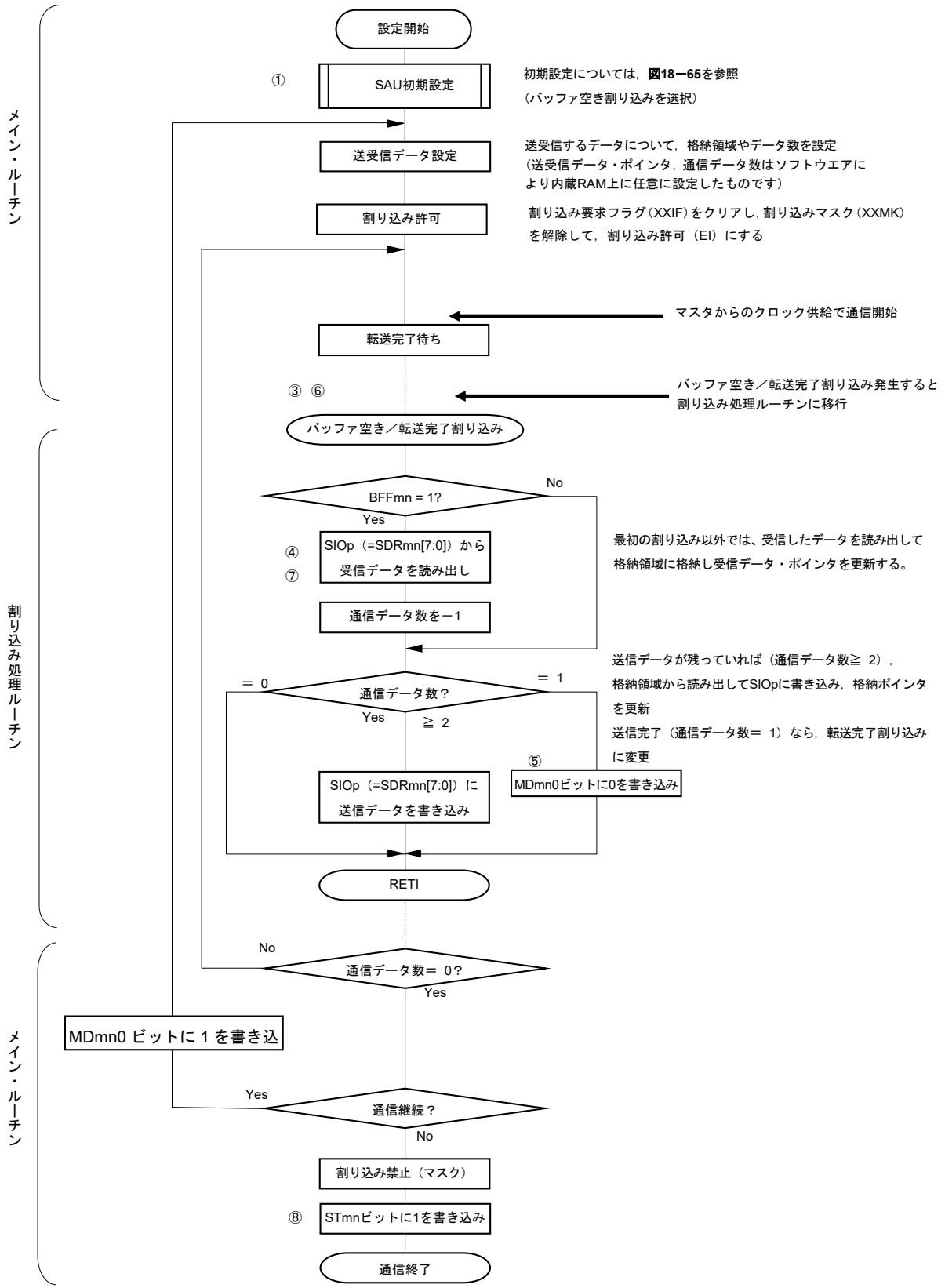
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，**図18－71　スレーブ送受信（連続送受信モード時）のフロー・チャート**の①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10, 30）　mn = 00, 02, 12

図18－71　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考　図中の①~⑧は，**図18－70　スレーブ送受信（連続送受信モード時）のタイミング・チャート**の①~⑧に対応しています。

18. 5. 7　SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI (CSI)の受信動作をさせるモードです。通常STOPモード時に簡易SPI (CSI)は通信動作を停止しますが，このモードを使うことで，SCKp端子入力の検出によってCPUを動作させずに簡易SPI (CSI)の受信動作を行うことができます。

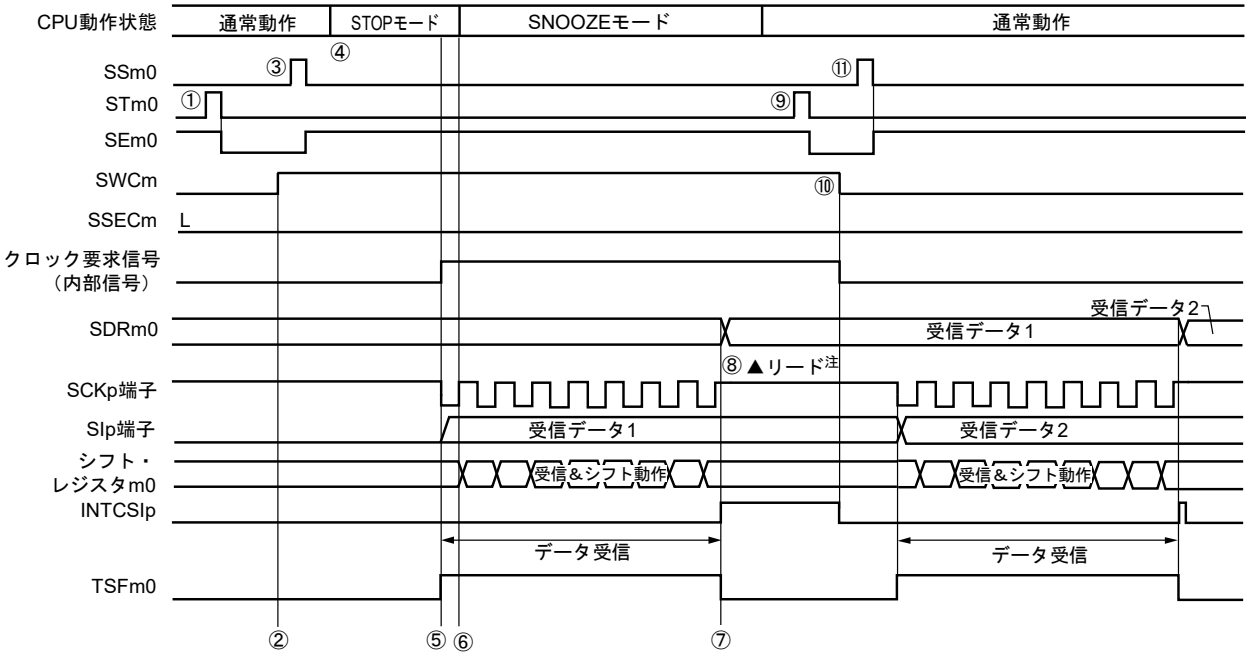
簡易SPI (CSI)をSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（**図18－73，図18－75　SNOOZEモード動作時のフローチャート**を参照）

- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm0ビットをセット（1）します。
- STOPモードに移行後，SCKp端子の有効エッジを検出すると SNOOZEモードへ移行します。
  SCKp端子のシリアル・クロック入力により，CSIpは受信動作を開始します。

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック（f_{IH}）または，中速オンチップ・オシレータ・クロック（f_{IM}）を選択している場合のみ設定可能です。
2.　SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

（1）SNOOZEモード動作（1回起動）

図18－72　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPm0 =0, CKPm0 = 0）

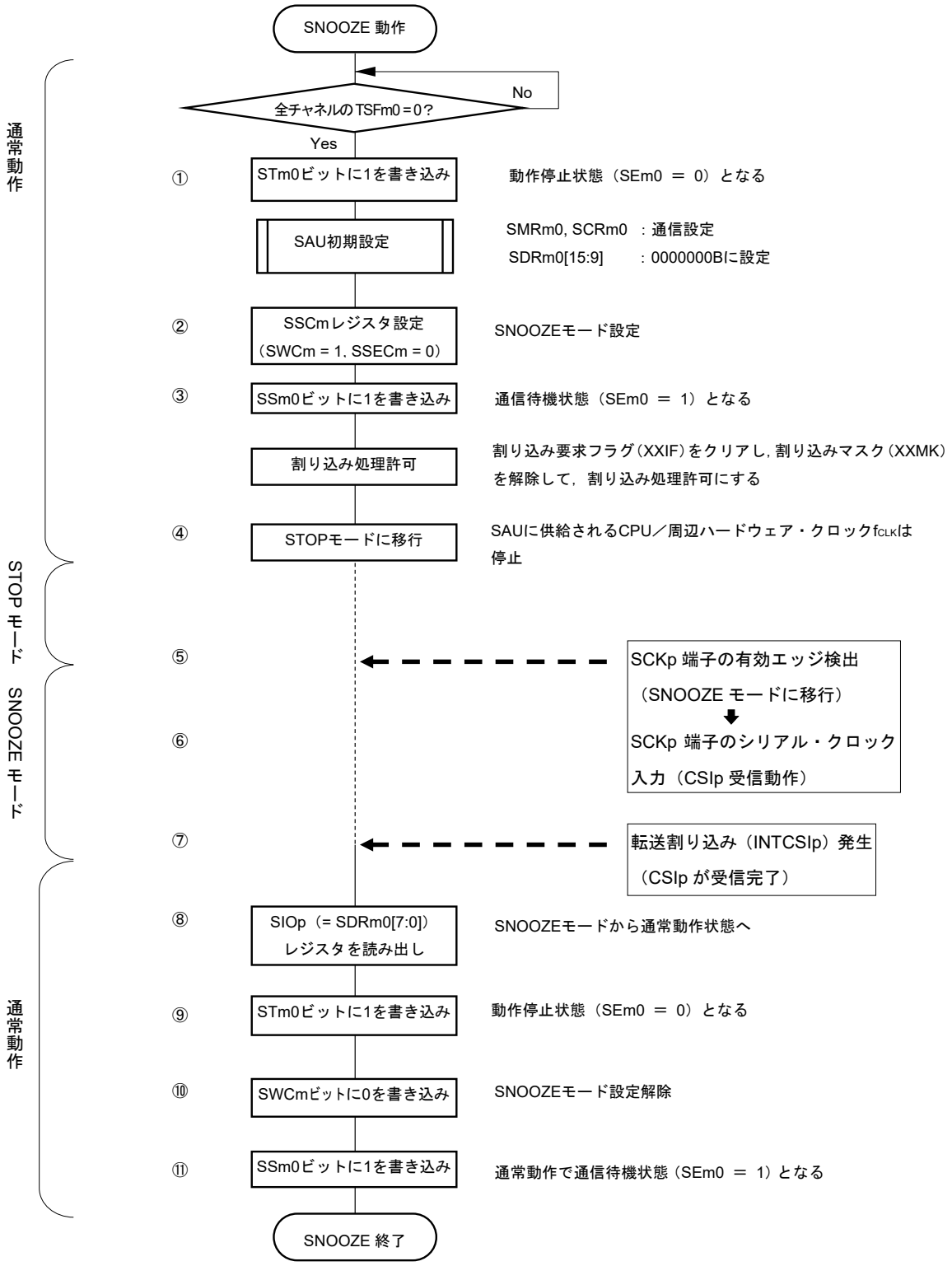


注　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子の有効エッジ検出前に行ってください。

注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。
また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。
2.　SWCm = 1のときは，BFFm1, OVFm1フラグは動作しません。

備考1.　図中の①~⑪は，**図18－73　SNOOZEモード動作（1回起動）時のフロー・チャート**の①~⑪に対応しています。
2.　m = 0; p = 00

図18－73　SNOOZEモード動作（1回起動）時のフロー・チャート

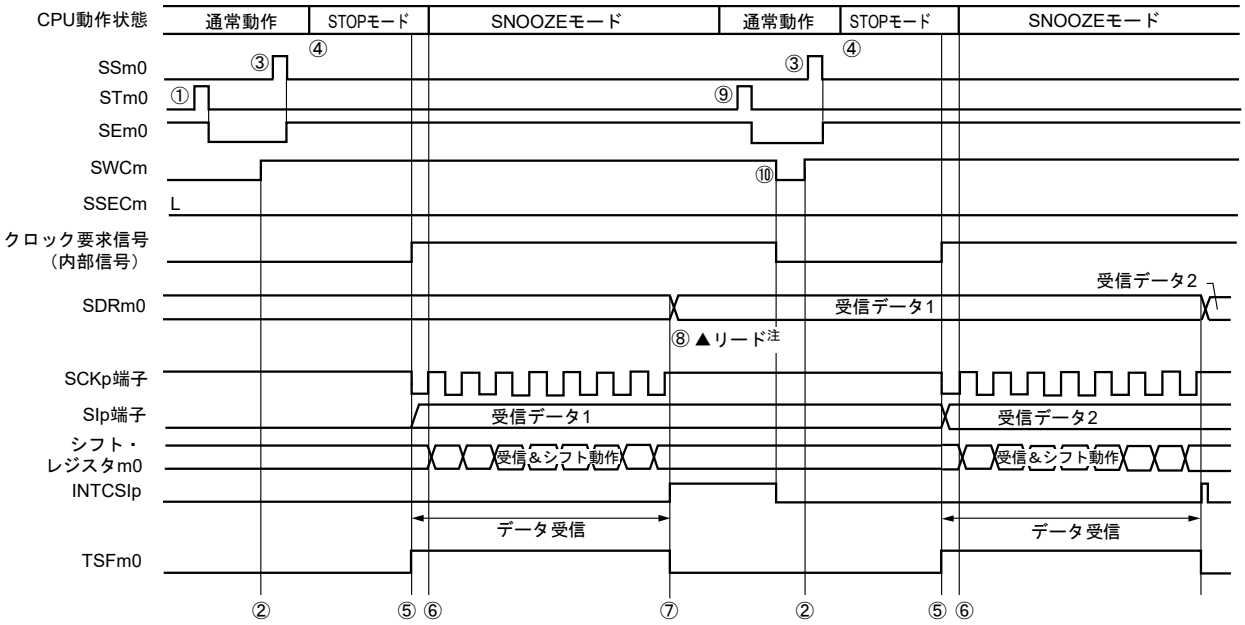


備考1.　図中の①~⑪は，**図18－72　SNOOZEモード動作（1回起動）時のタイミング・チャート**の①~⑪に対応しています。

2.　m = 0; p = 00

（2）SNOOZEモード動作（連続起動）

図18－74　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPm0 =0, CKPm0 = 0）



注　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子の有効エッジ検出前に行ってください。

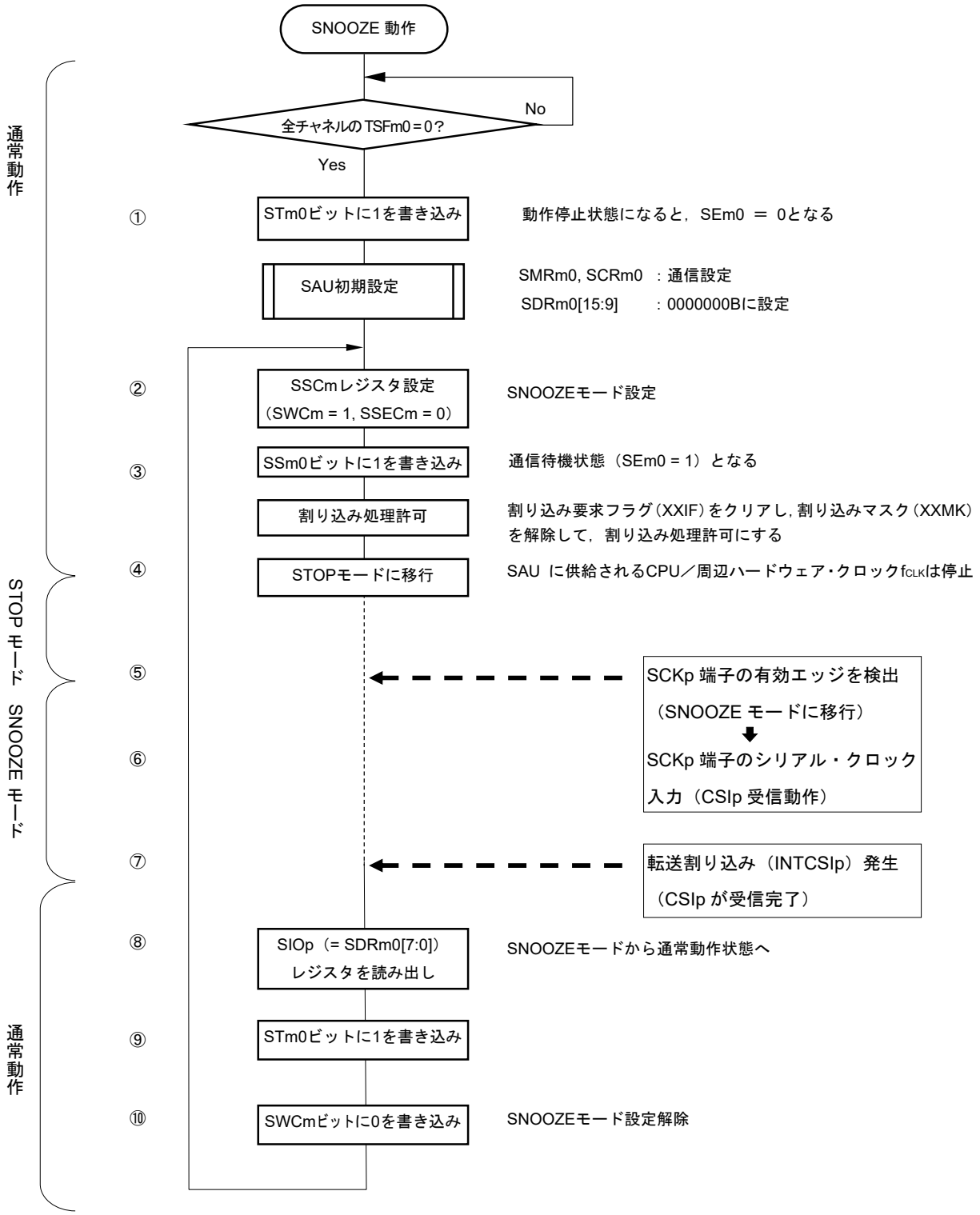
注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。
また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。

2.　SWCm = 1のときは，BFFm1，OVFm1フラグは動作しません。

備考1.　図中の①~⑩は，**図18－75　SNOOZEモード動作（連続起動）時のフロー・チャートの①~⑩**に対応しています。

2.　m = 0; p = 00

図18－75　SNOOZEモード動作（連続起動）時のフロー・チャート



備考1.　図中の①~⑩は，**図18－74　SNOOZEモード動作（連続起動）時のタイミング・チャート**の①~⑩に対応しています。

2.　m = 0; p = 00

18. 5. 8　転送クロック周波数の算出

簡易SPI（CSI00, CSI10, CSI30）通信での転送クロック周波数は下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数）＝｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDRmn[15:9]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数）＝｛マスタが供給するシリアル・クロック（SCK）周波数｝注 [Hz]

注　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDRmn[15:9] は，シリアル・データ・レジスタ mn（SDRmn）のビット 15-9 の値（0000000B-1111111B）なので，0-127になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmn）で決まります。

表18－2　簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

18. 5. 9　簡易SPI（CSI00, CSI10, CSI30）通信時におけるエラー発生時の処理手順

簡易SPI（CSI00, CSI10, CSI30）通信時にエラーが発生した場合の処理手順を**図18－76**に示します。

図18－76　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

18. 6　UART（UART0-UART3）通信の動作

シリアル／データ送信（TxD）とシリアル／データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重調歩同期UART通信が実現できます。また，UART0とタイマ・アレイ・ユニット0（チャネル7）と外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

［データ送受信］
- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定（レベルを，反転するかどうかの選択）
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加，ストップ・ビット・チェック機能

［割り込み機能］
- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］
- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，UART0受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，UART0のみ設定可能です。

UART0（ユニット0のチャネル0, 1）は，LIN-busに対応しています。

［LIN-bus機能］
- ウエイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

外部割り込み（INTP0），タイマ・アレイ・ユニット0（チャネル7）を使用

注　9ビット・データ長は，UART0のみ対応しています。

UART0では，SAU0のチャネル0, 1を使用します。
UART1では，SAU0のチャネル2, 3を使用します。
UART2では，SAU1のチャネル0, 1を使用します。
UART3では，SAU1のチャネル2, 3を使用します。

ユニット	チャネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00	UART0（LIN-bus対応）	IIC00
	1	－		－
	2	CSI10	UART1	IIC10
	3	－		－
1	0	－	UART2（IrDA対応）	－
	1	－		－
	2	CSI30注	UART3注	IIC30注
	3			

注　100ピン製品のみ。

各チャネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば，ユニット0のチャネル0, 1で「UART0」を使用するときは，CSI00を使用することはできません。しかし，UART0と同時にチャネルが異なるチャネル2, 3をUART1やIIC10で使用することはできます。

注意　UARTとして使用する場合は，送信側（偶数チャネル）と受信側（奇数チャネル）のどちらもUARTにしか使用できません。

UARTの通信動作は，以下の4種類があります。

- UART送信　（**18. 6. 1**項を参照）
- UART受信　（**18. 6. 2**項を参照）
- LIN送信（UART0のみ）　（**18. 7. 1**項を参照）
- LIN受信（UART0のみ）　（**18. 7. 2**項を参照）

18. 6. 1　UART送信

UART送信は，RL78マイクロコントローラから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

UART	UART0	UART1	UART2	UART3
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル0	SAU1のチャネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビットまたは9ビット[注1]			
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（2×2^{15}×128）[bps][注2]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加			
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注1.　9ビット・データ長は，UART0のみ対応しています。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第41章　電気的特性参照）を満たす範囲内で使用してください。

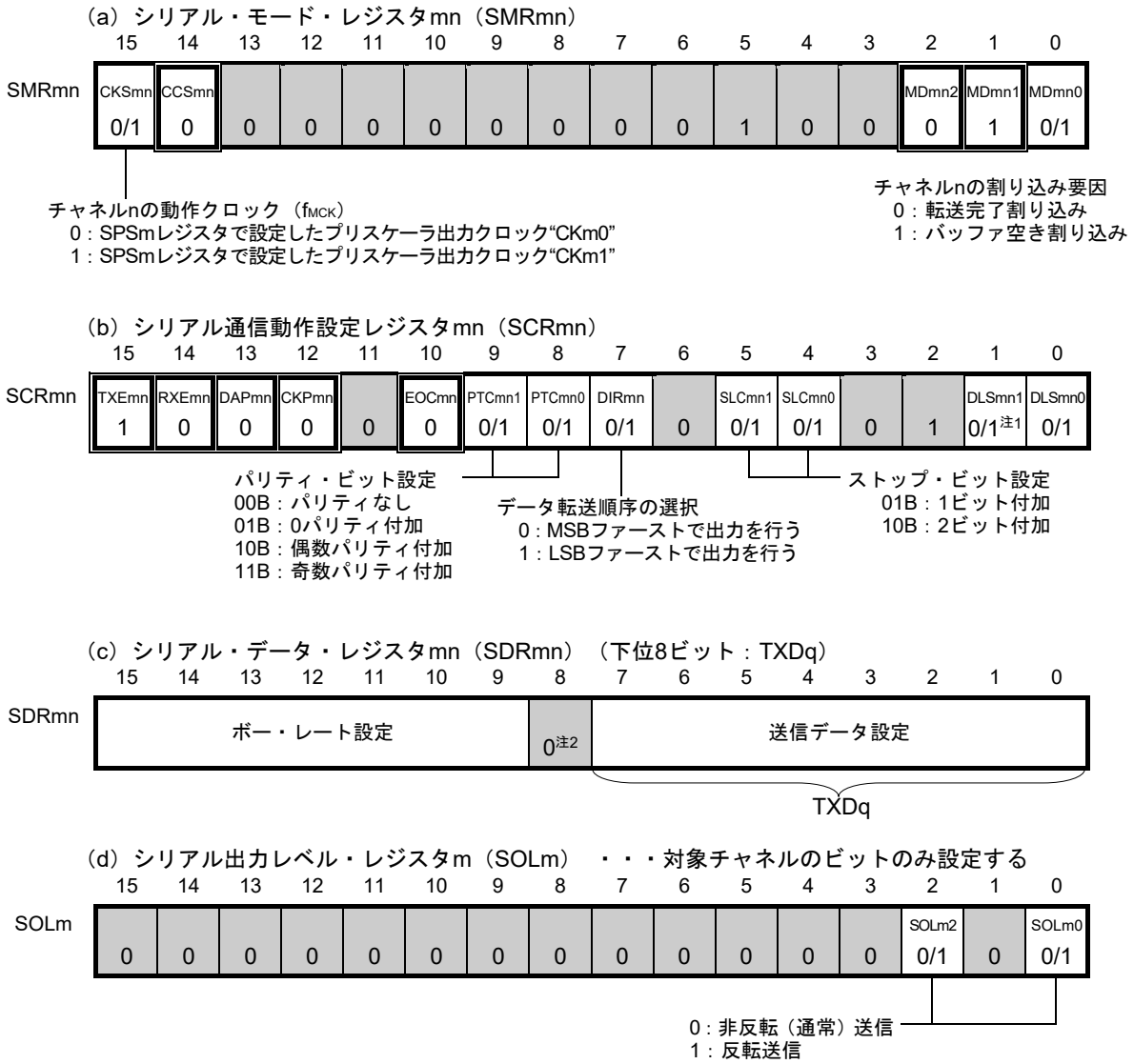
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 10, 12

（1）レジスタ設定

図18－77　UART（UART0-UART3）のUART送信時のレジスタ設定内容例（1/2）



注 1.　SCR00, SCR01レジスタのみ。その他は1固定になります。

2.　9ビット・データ長での通信を行う場合は，SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは，UART0のみです。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3）

mn = 00, 02, 10, 12

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図18－77　UART（UART0-UART3）のUART送信時のレジスタ設定内容例（2/2）

（e）シリアル出力レジスタm（SOm）　・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 ×	1	CKOm0 ×	0	0	0	0	1	SOm2 0/1注	1	SOm0 0/1注

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

（f）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

注　該当するチャネルのSOLmnビットに0を設定している場合は“1”に，SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 3）　q：UART番号（q = 0-3）
mn = 00, 02, 10, 12

2.　□：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図18－78　UART送信の初期設定手順

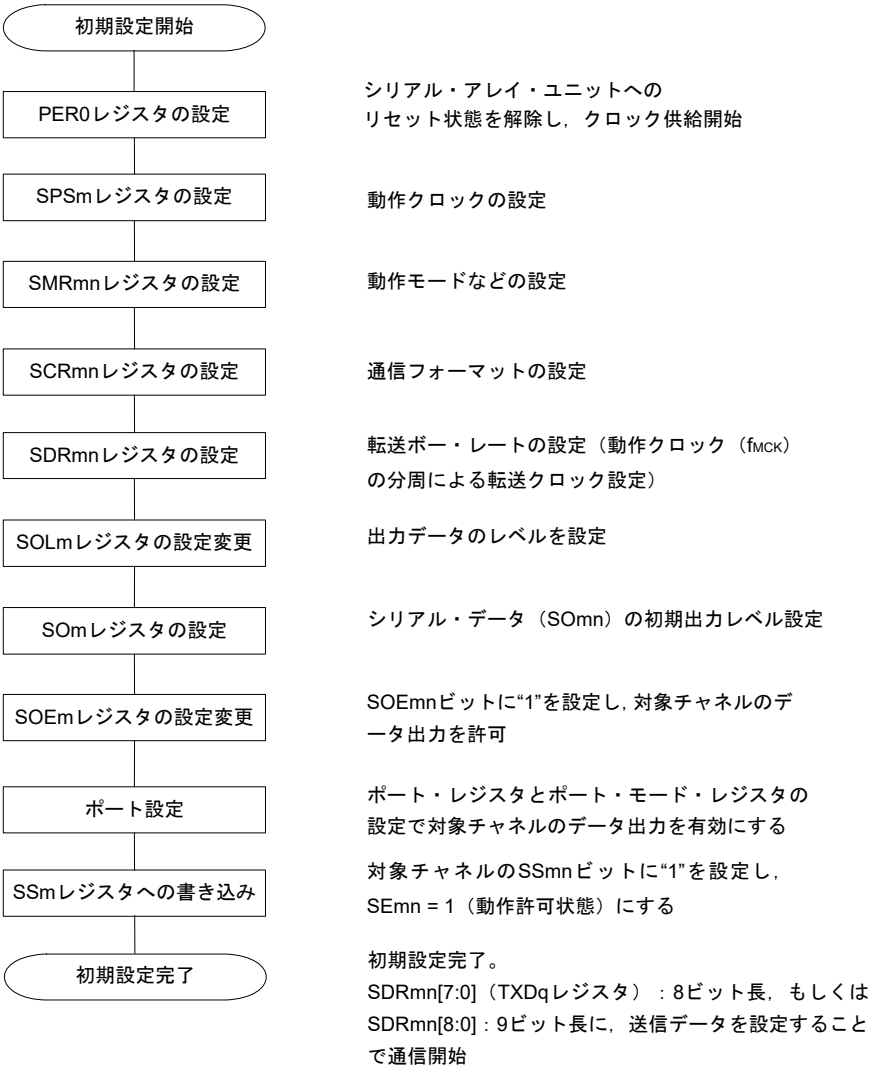


図18－79　UART送信の中断手順

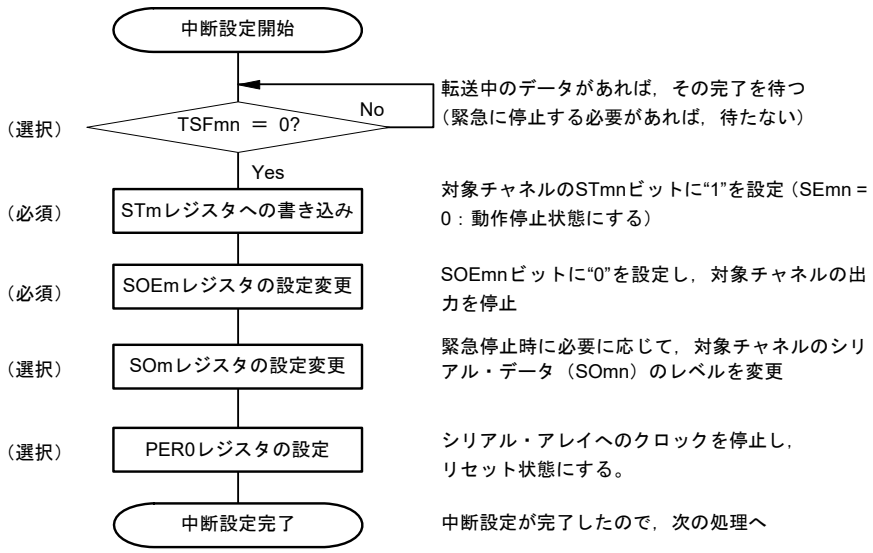
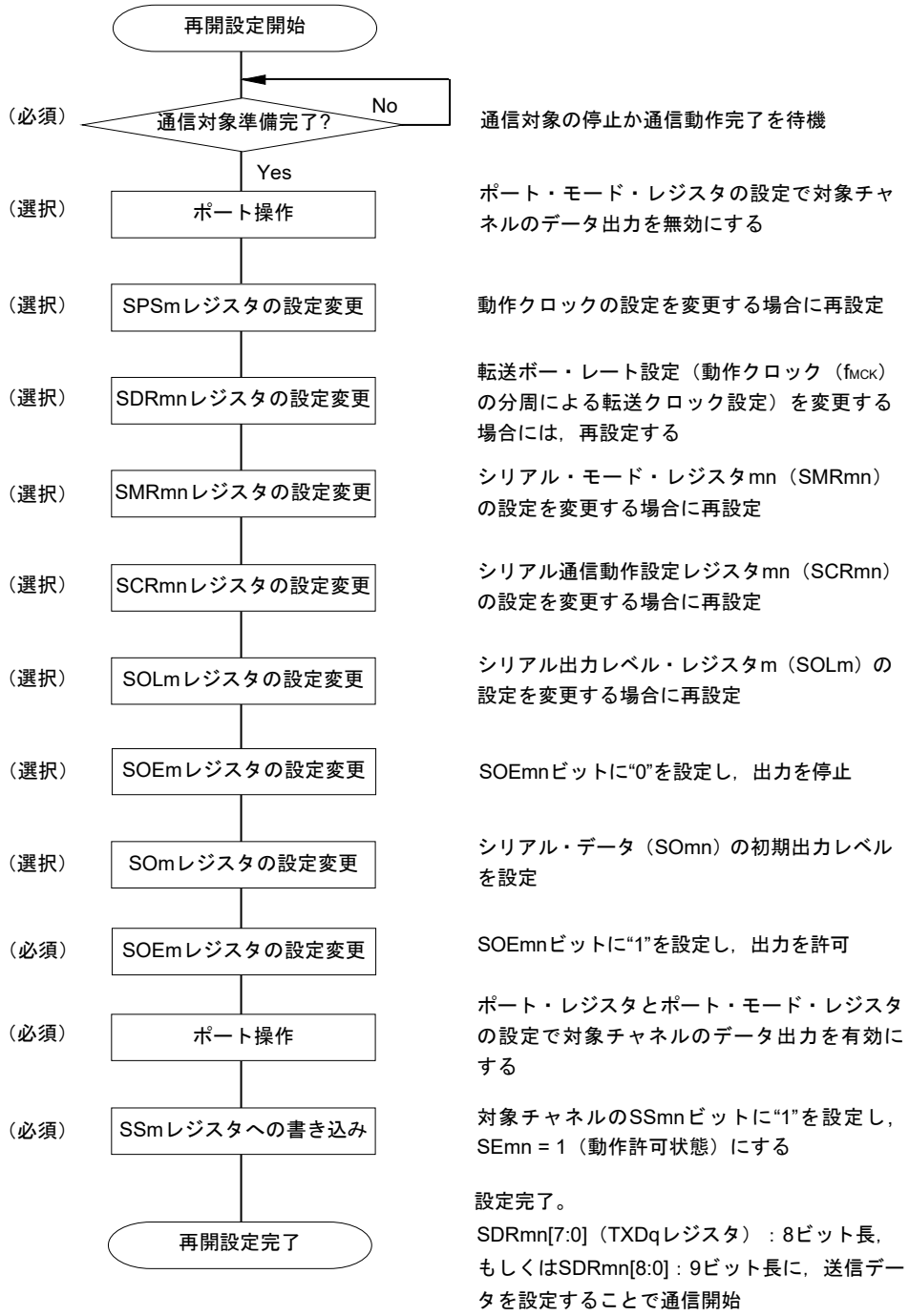


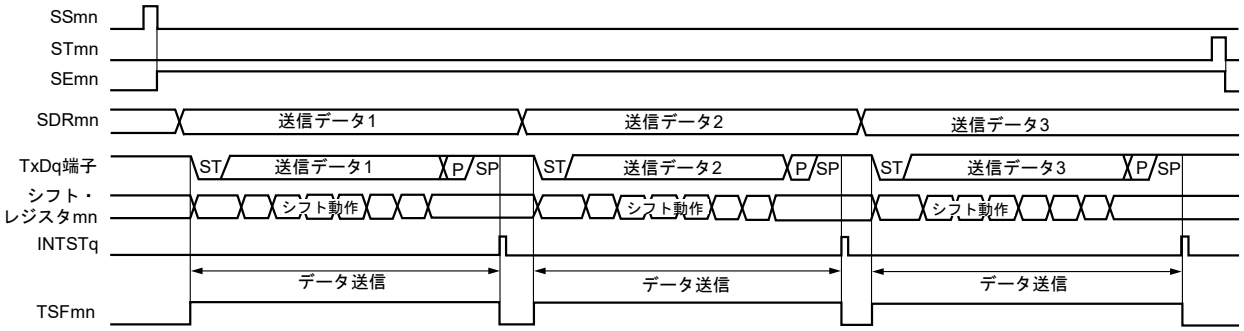
図18－80　UART送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー（シングル送信モード時）

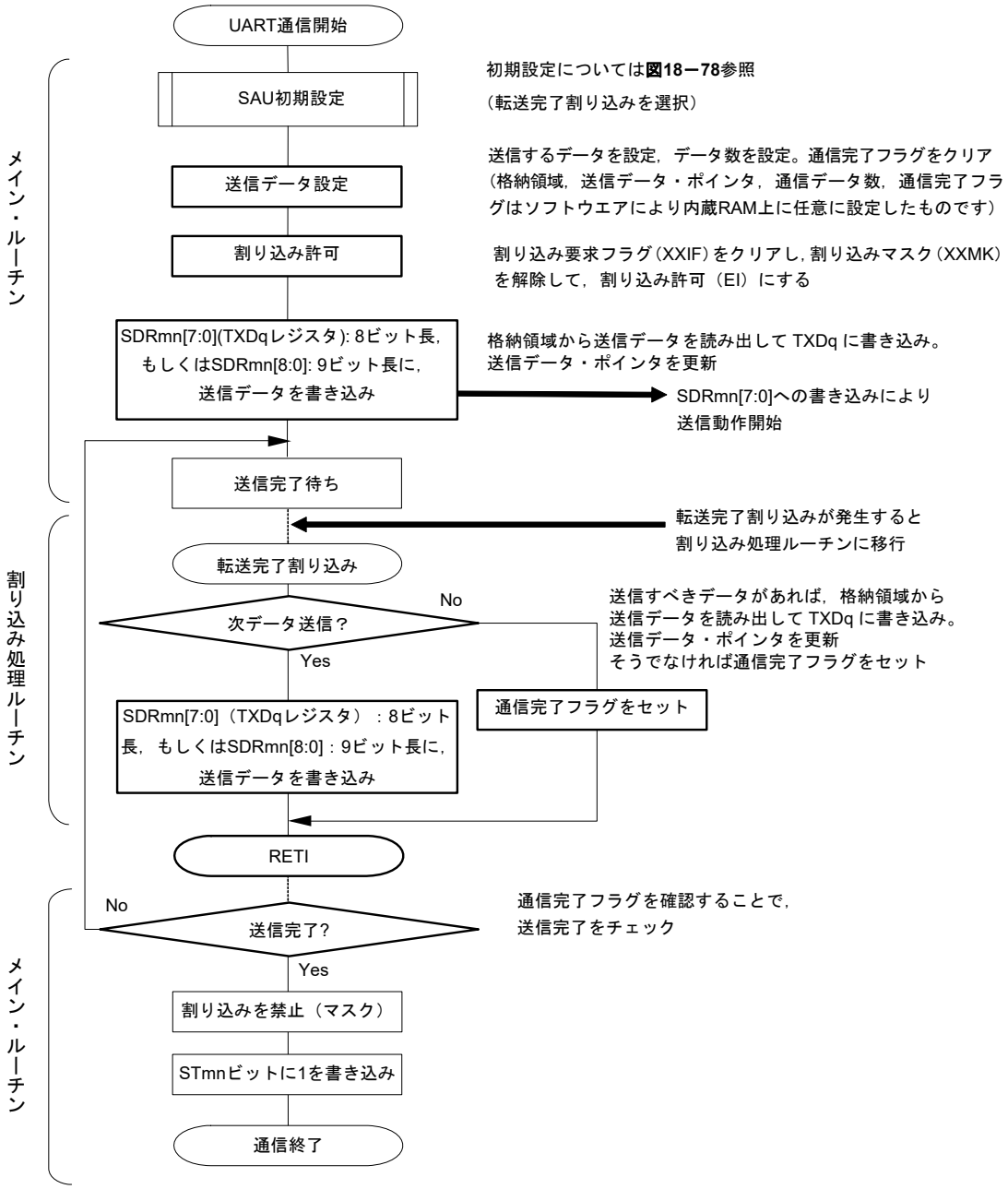
図18－81　UART送信（シングル送信モード時）のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3）

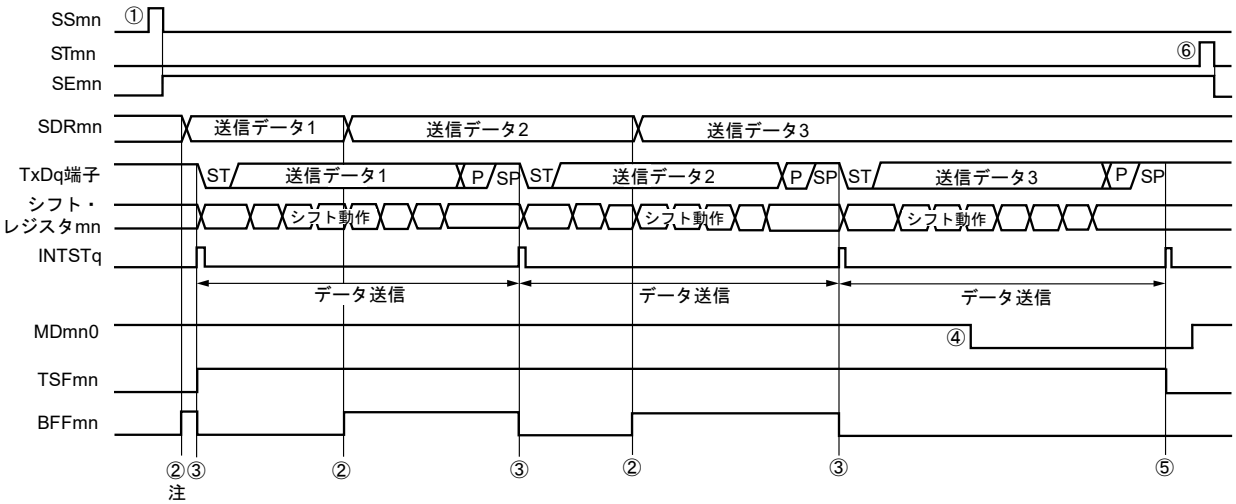
mn = 00, 02, 10, 12

図18－82　UART送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図18－83　UART送信（連続送信モード時）のタイミング・チャート

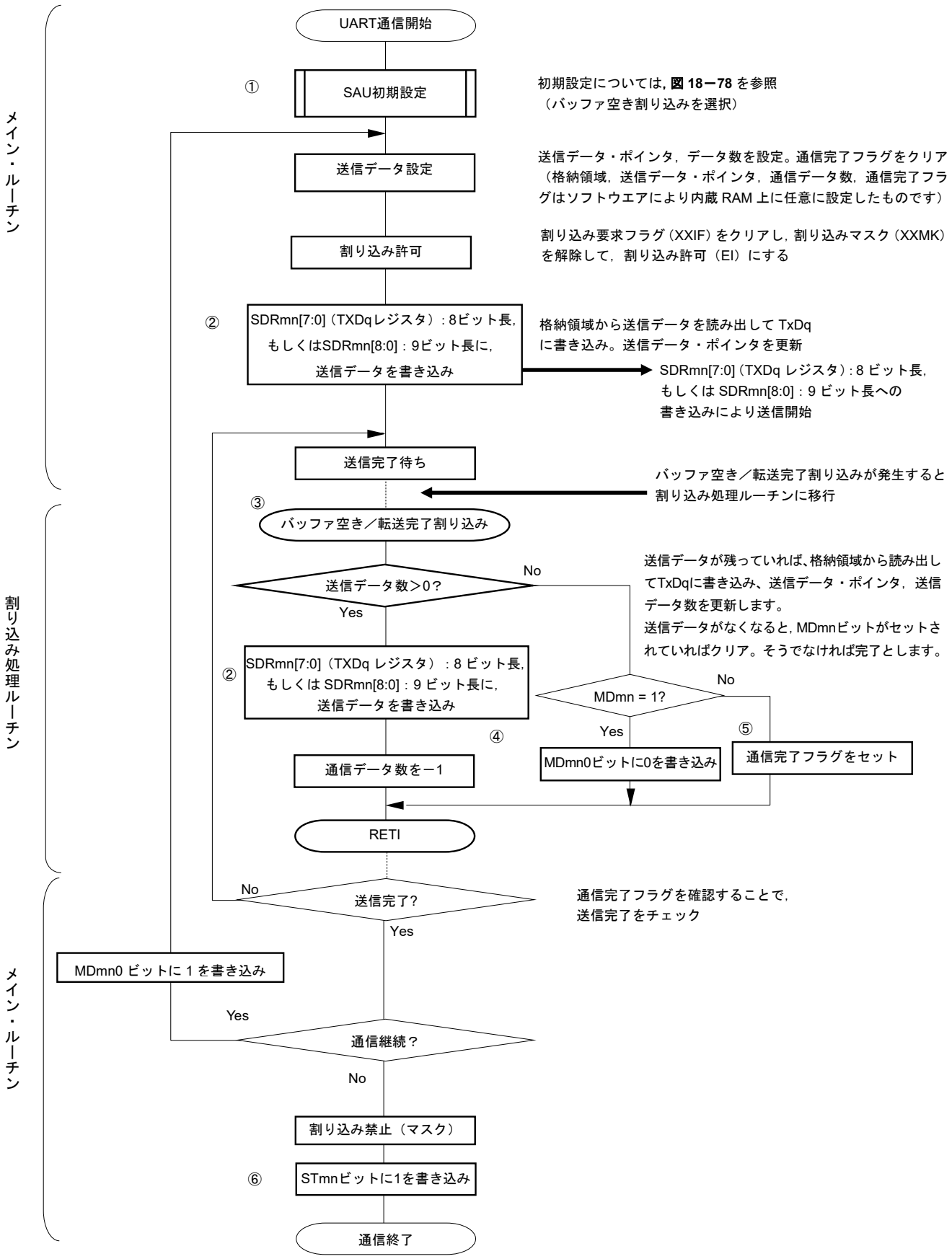


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。**
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3）
mn = 00, 02, 10, 12

図18－84　UART送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，**図18－83　UART送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています。

18. 6. 2　UART受信

UART受信は，他デバイスからRL78マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャネル	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル1	SAU1のチャネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTSR0	INTSR1	INTSR2	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFmn） ・パリティ・エラー検出フラグ（PEFmn） ・オーバラン・エラー検出フラグ（OVFmn） ・オーバラン・エラー検出フラグ（OVFmn）			
転送データ長	7ビットまたは8ビットまたは9ビット注1			
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps] 注2			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・パリティ判定なし（0パリティ） ・偶数パリティ・チェック ・奇数パリティ・チェック ・奇数パリティ・チェック			
ストップ・ビット	1ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注1.　9ビット・データ長は，UART0のみ対応しています。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

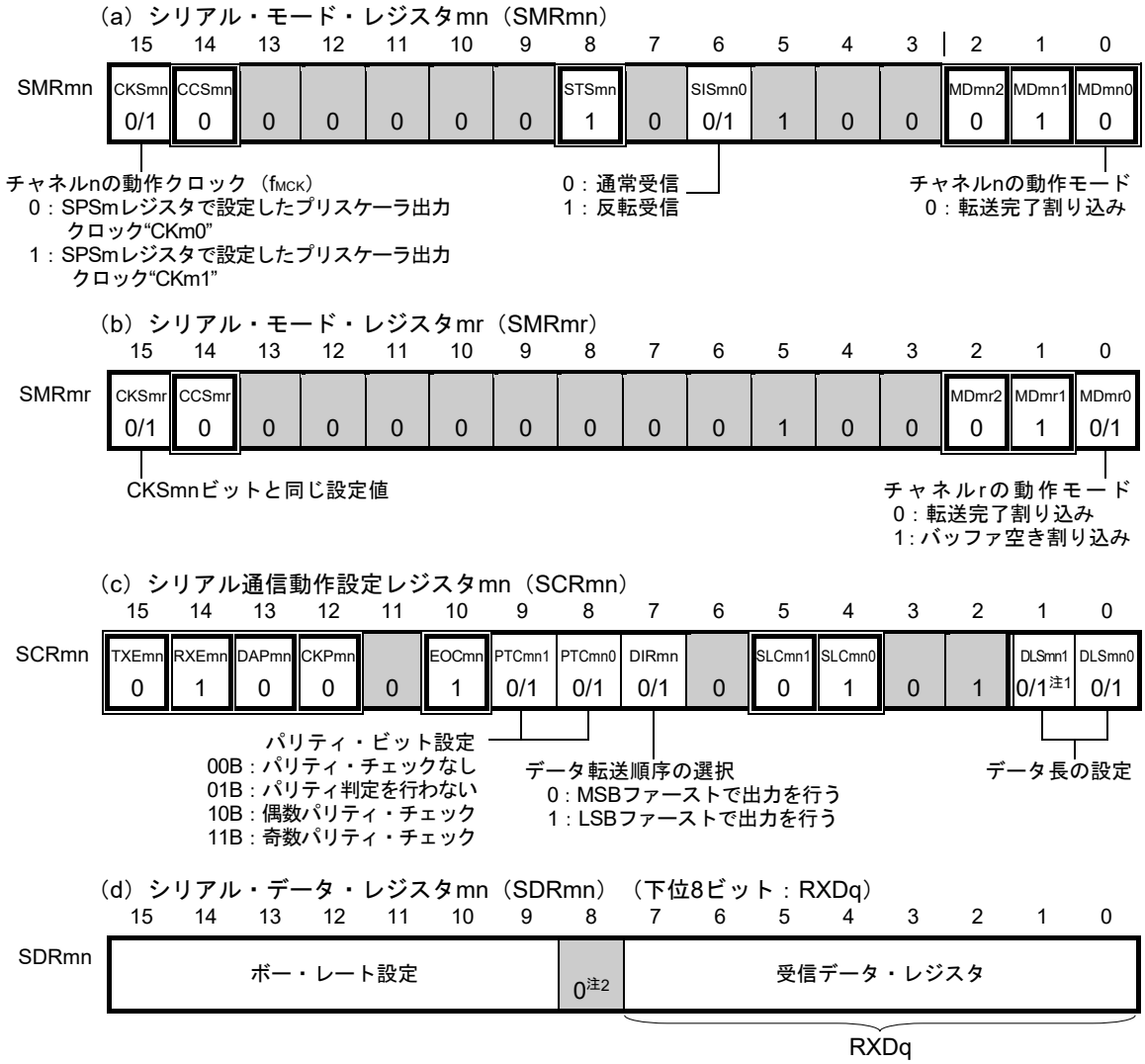
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3）　mn = 01, 03, 11, 13

（1）レジスタ設定

図18－85　UART（UART0-UART3）のUART受信時のレジスタ設定内容例（1/2）



注 1.　SCR00, SCR01レジスタのみ。その他は1固定になります。

2.　9ビット・データ長での通信を行う場合は，SDRm1レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは，UART0のみです。

注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3）　mn = 01, 03, 11, 13

r：チャネル番号（r = n－1）　q：UART番号（q = 0-3）

2.　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図18－85　UART（UART0-UART3）のUART受信時のレジスタ設定内容例（2/2）

（e）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 ×	1	CKOm0 ×	0	0	0	0	1	SOm2 ×	1	SOm0 ×

（f）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 ×	0	SOEm0 ×

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3）　mn = 01, 03, 11, 13

r：チャネル番号（r = n－1）　q：UART番号（q = 0-3）

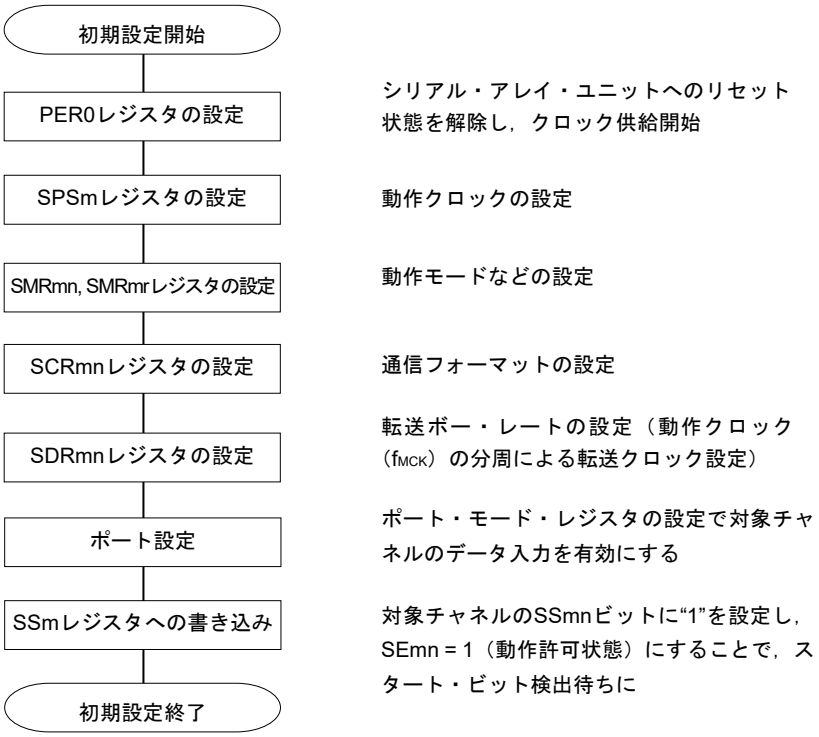
2.　□: UART受信モードでは設定固定　■: 設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図18－86　UART受信の初期設定手順



注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図18－87　UART受信の中断手順

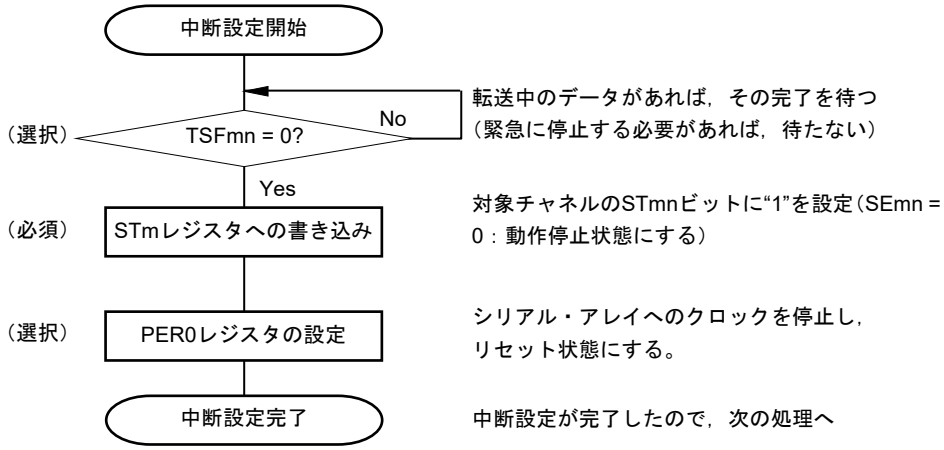
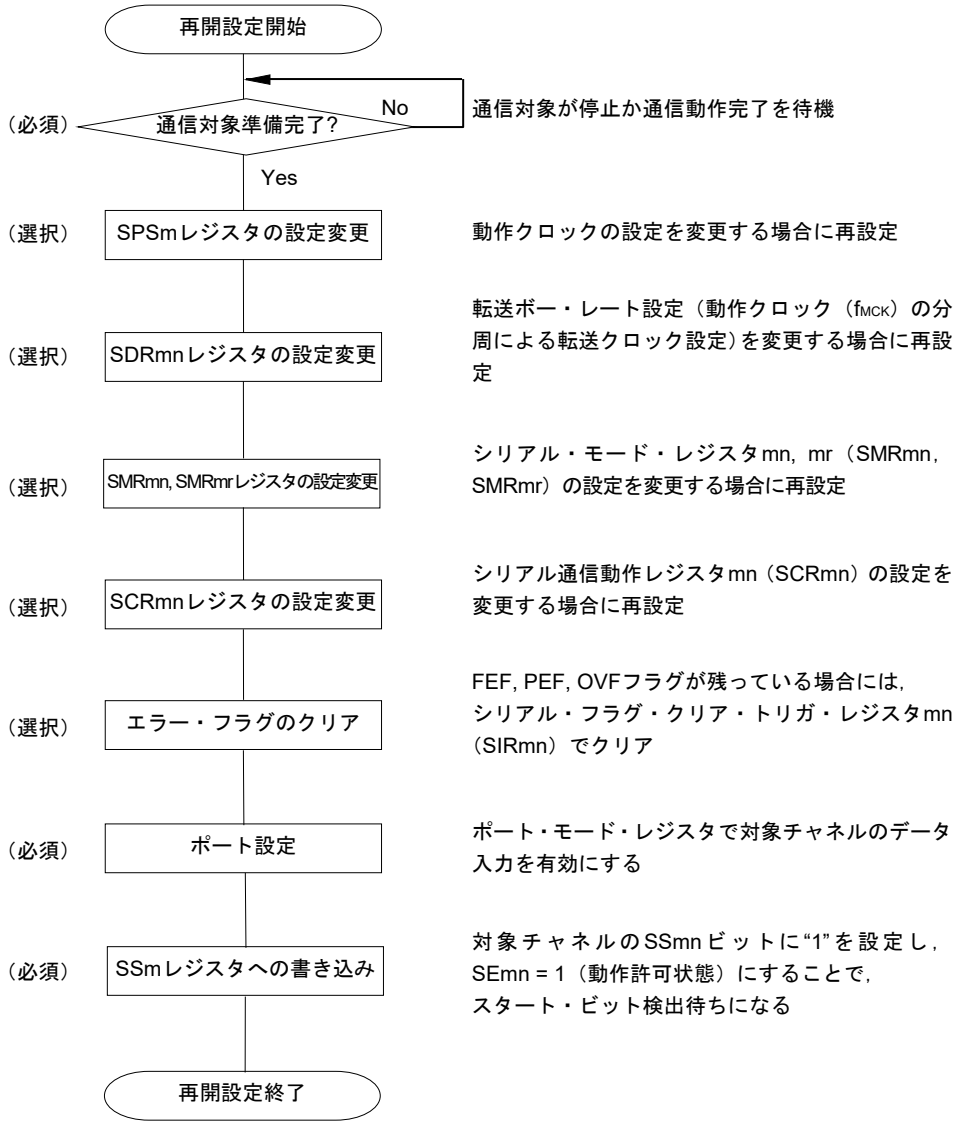


図18－88　UART受信の再開設定手順

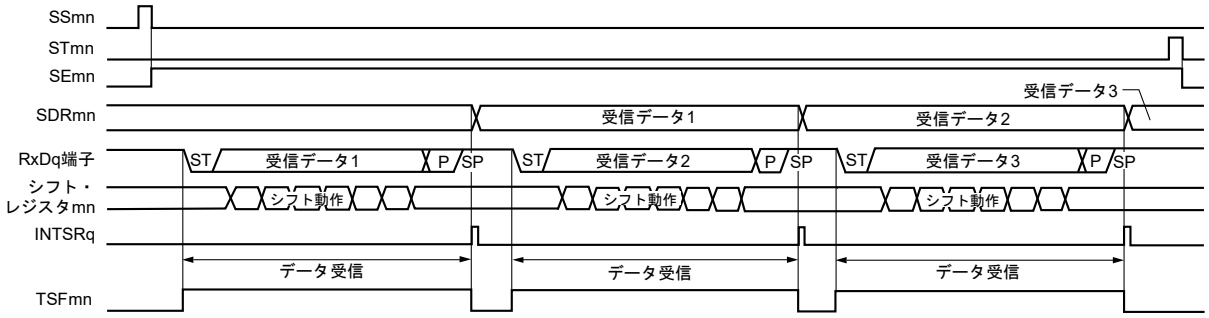


注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー

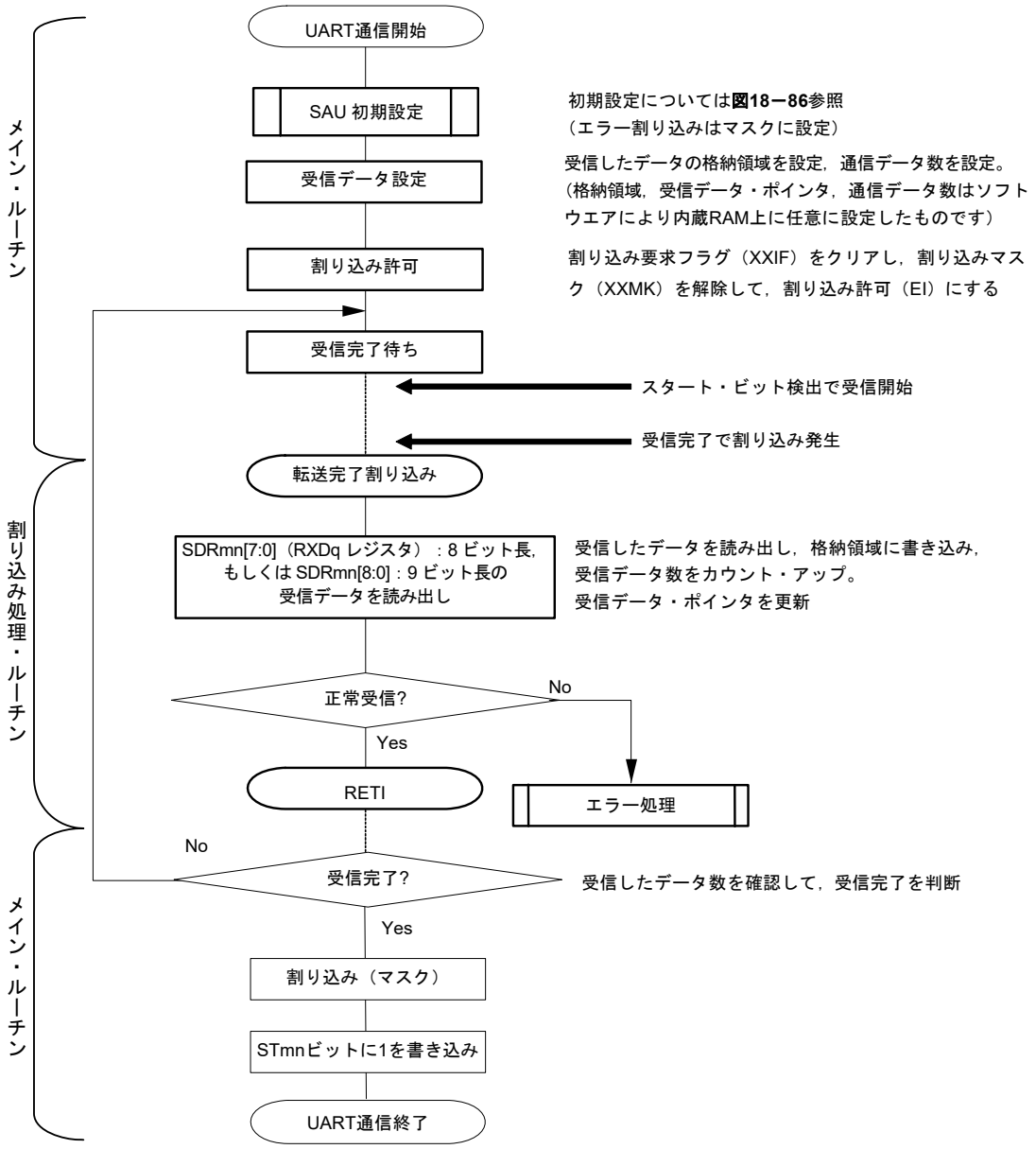
図18－89　UART受信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3）　mn = 01, 03, 11, 13

r：チャネル番号（r = n－1）　q：UART番号（q = 0-3）

図18－90　UART受信のフロー・チャート



18. 6. 3　SNOOZEモード機能

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは，UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（**図18－93**，**図18－95　SNOOZEモード動作時のフローチャート**を参照）

・SNOOZEモード時は，UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。**表18－3**を参照してSPSmレジスタ，SDRmnレジスタ[15:9]を設定してください。

・EOCmnビット，SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み（INTSRE0）の発生許可／停止を設定することができます。

・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm1ビットをセット（1）します。

・STOPモードに移行後，RxDq のスタート・ビット入力を検出すると，UARTqは受信動作を開始します。

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2.　UARTqをSNOOZEモードで使用するときの最大転送レートは4800 bpsです。

3.　SWCm=1の設定では，STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して，次のようなSTOPモード以外の状態で受信開始した場合は，正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

・SWCm=1に設定後，STOPモードに移行する前に受信開始した場合

・他のSNOOZEモード中に受信開始した場合

・STOPモードから割り込みなどで通常動作に復帰後，SWCm=0に戻す前に受信開始した場合

4.　SSECm=1の設定では，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFmn，FEFmn，OVFmnフラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm＝１で使用するときは，SWC0=１に設定する前にPEFmn，FEFmn，OVFmnフラグをクリアし，また，SDRm1レジスタのビット7-0（RxDq）を読み出してください。

5.　RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また，スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず，SNOOZEモードを継続することがあります。この場合，次のUART受信で正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表18－3　SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ（f_{IH}）	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック（f_{MCK}）	SDRmn [15:9]	最大許容値	最小許容値
24 MHz±1.0%注	$f_{CLK}/2^5$	79	1.60%	- 2.18%
16 MHz±1.0%注	$f_{CLK}/2^4$	105	2.27%	-1.53%
12 MHz±1.0%注	$f_{CLK}/2^4$	79	1.60%	- 2.19%
8 MHz±1.0%注	$f_{CLK}/2^3$	105	2.27%	-1.53%
6 MHz±1.0%注	$f_{CLK}/2^3$	79	1.60%	- 2.19%
4 MHz±1.0%注	$f_{CLK}/2^2$	105	2.27%	-1.53%
3 MHz±1.0%注	$f_{CLK}/2^2$	79	1.60%	- 2.19%
2 MHz±1.0%注	$f_{CLK}/2$	105	2.27%	-1.54%
1 MHz±1.0%注	f_{CLK}	105	2.27%	-1.57%

注　高速オンチップ・オシレータ・クロック周波数精度が±1.5%の場合は，次のように許容範囲が狭くなります。

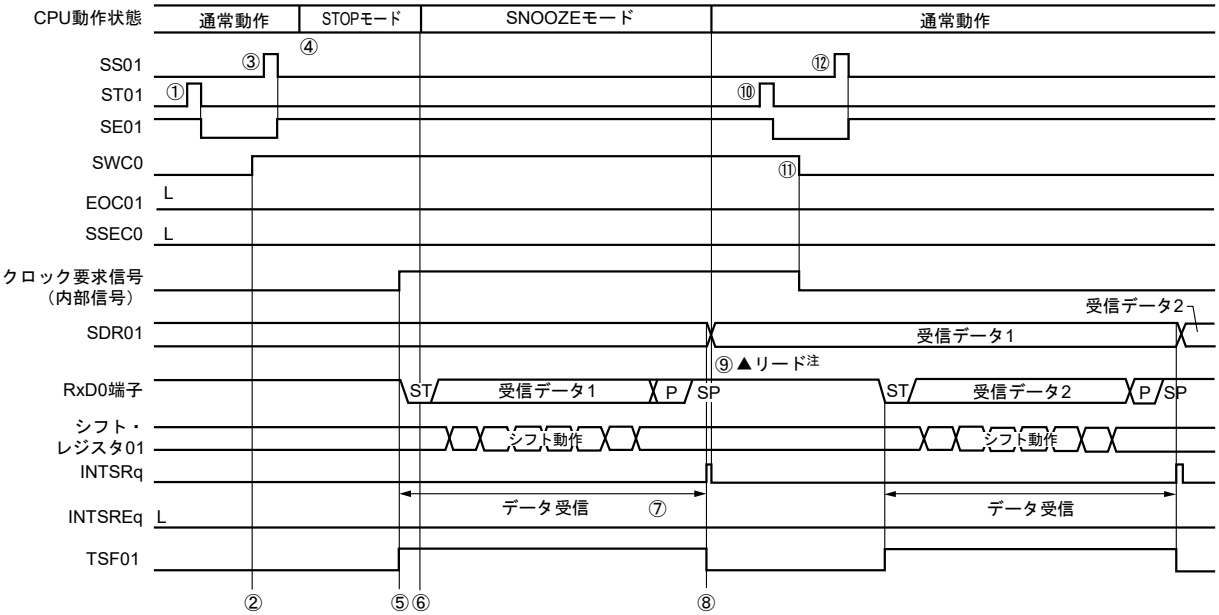
・f_{IH}±1.5%の場合は，上表の最大許容値に－0.5%，最小許容値に＋0.5%してください。

備考　最大許容値，最小許容値は，UART受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

（1）SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）

EOCm1 = 0のためSSECmビットの設定にかかわらず，通信エラーが発生してもエラー割り込み（INTSREq）は発生しません。転送完了割り込み（INTSRq）は発生します。

図18－91　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。
また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

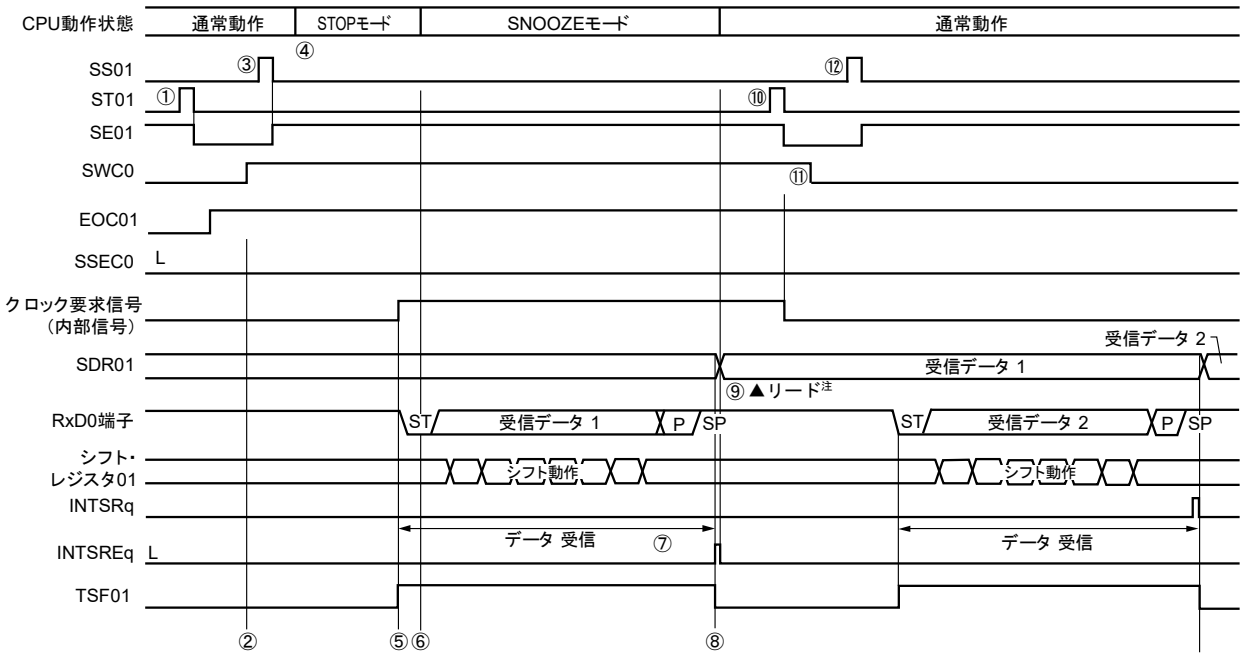
備考1.　図中の①~⑫は，**図18－93　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャート**の①~⑫に対応しています。

2.　m = 0; q = 0

（2）SNOOZEモード動作（EOCm1 = 1, SSECm = 0：エラー割り込み（INTSREq）発生許可）

EOCm1 = 1, SSECm = 0のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生します。

図18－92　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート



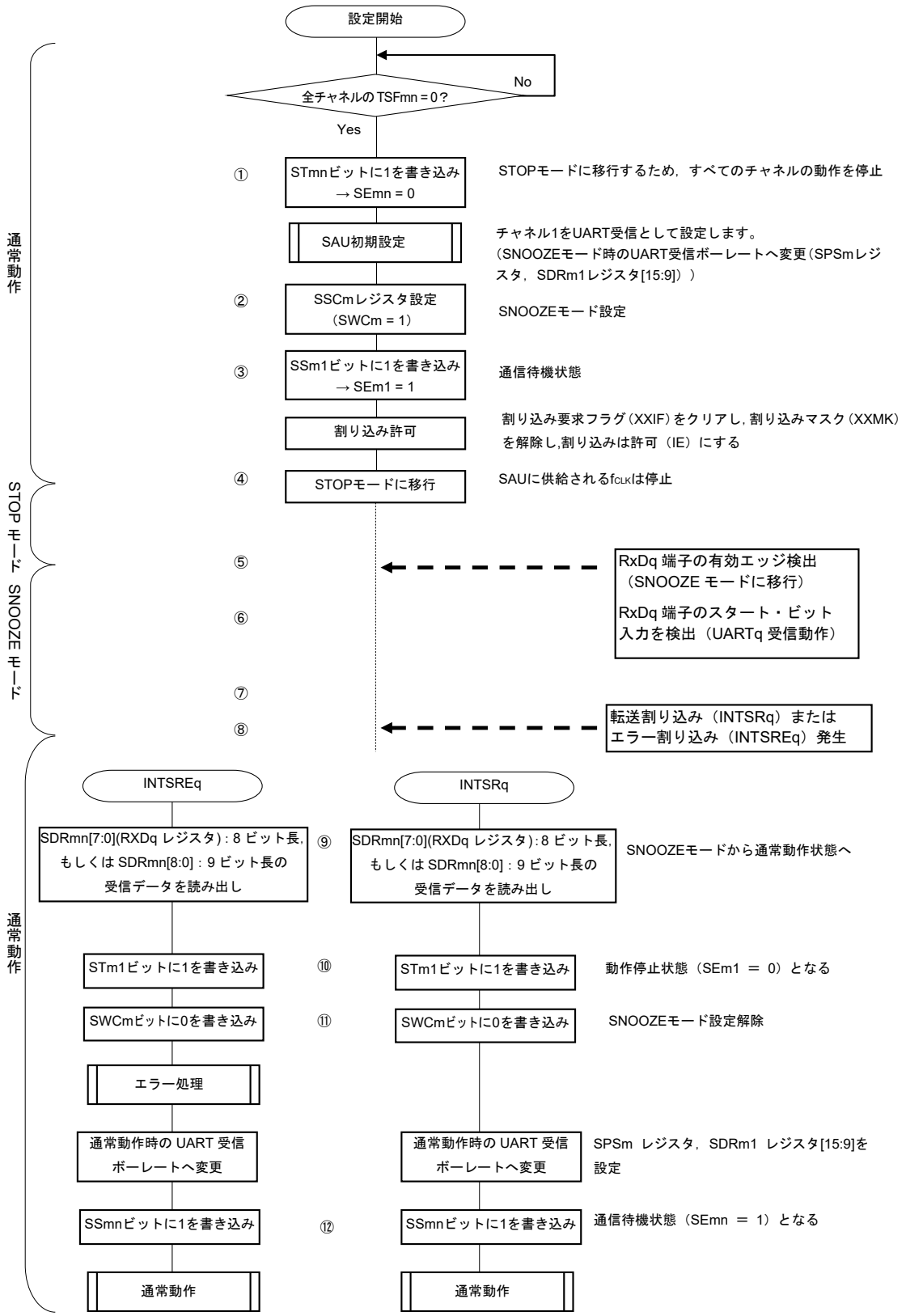
注　SWCm = 1の状態で，受信データの読み出しを行ってください。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。
また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

備考1.　図中の①~⑫は，**図18－93　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャート**の①~⑫に対応しています。

2.　m = 0; q = 0

図18－93　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャート



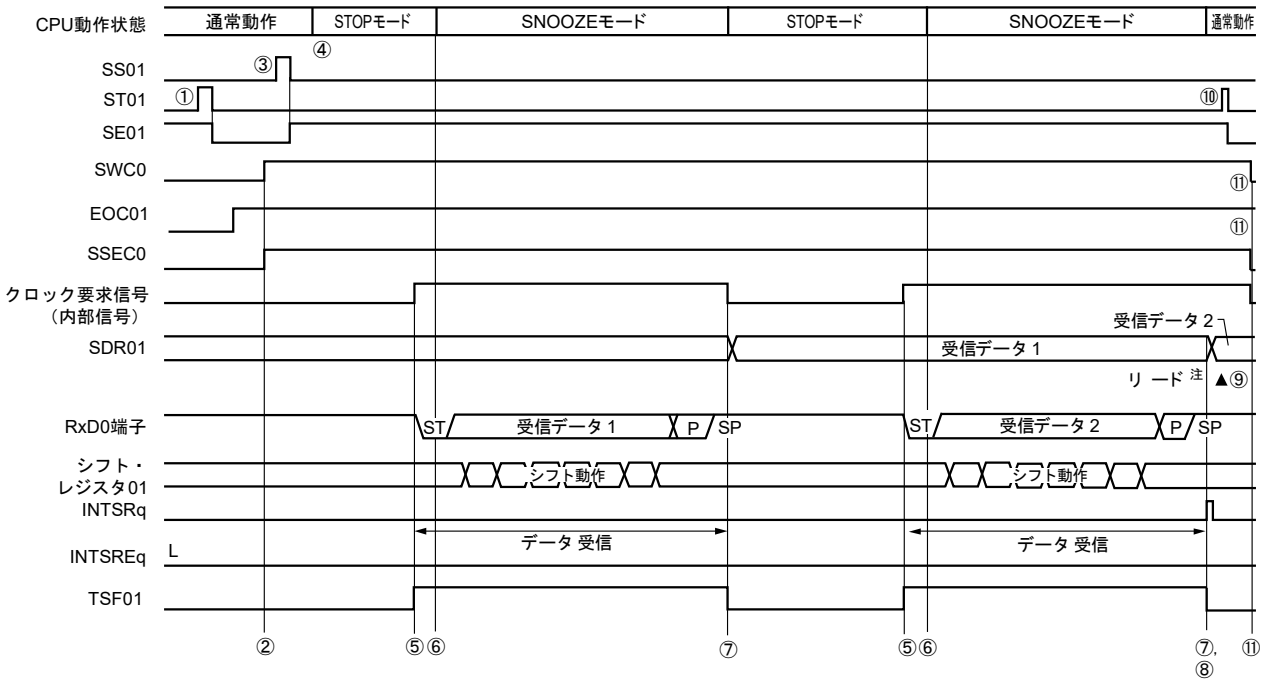
備考1.　図中の①~⑫は，**図18－91　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート**，**図18－92　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート**の①~⑫に対応しています。

2.　m = 0; q = 0

（3）SNOOZEモード動作（EOCm1 = 1, SSECm = 1：エラー割り込み（INTSREq）発生停止）

EOCm1 = 1, SSECm = 1のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生しません。

図18－94　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

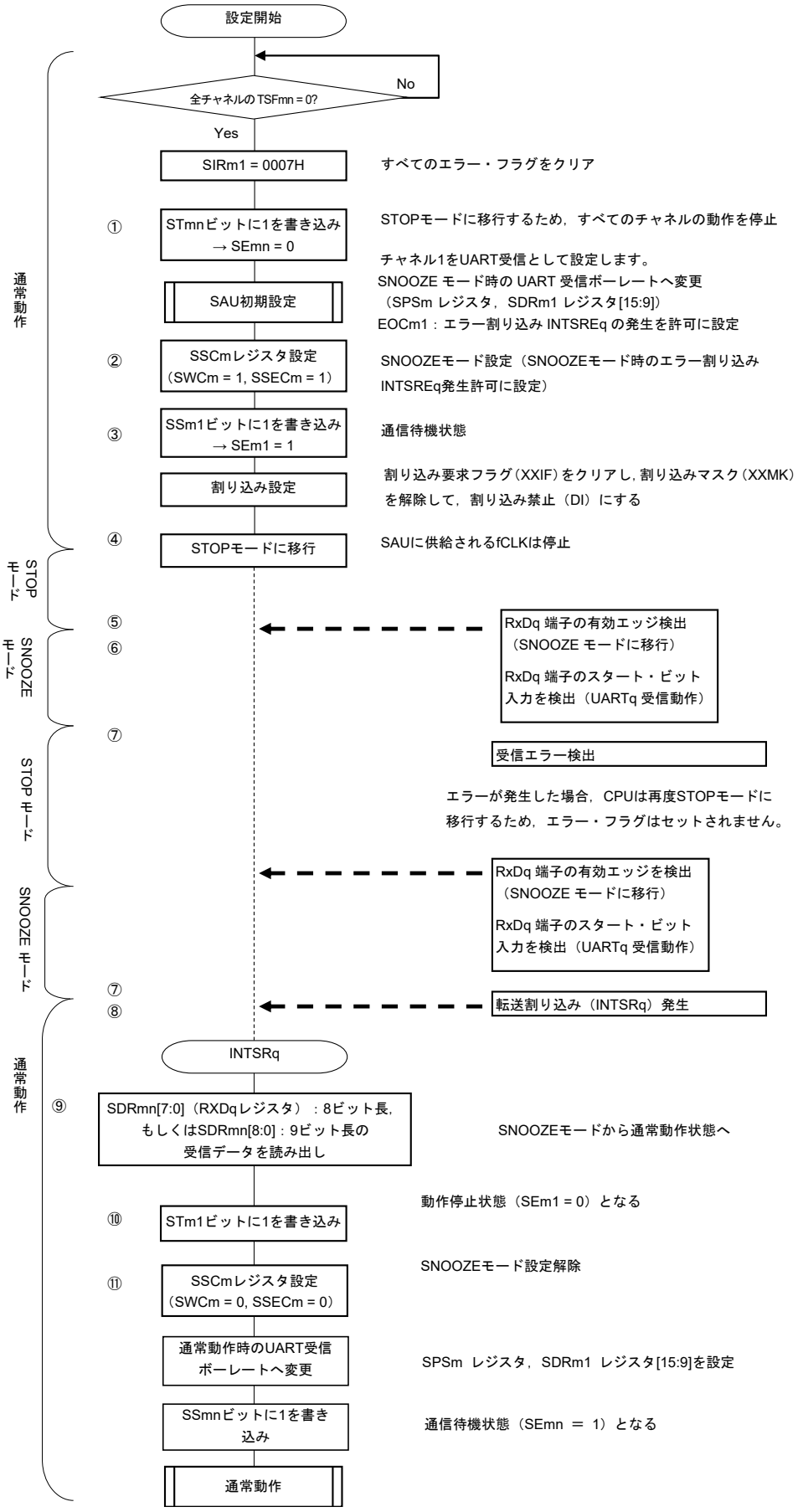
注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。
また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

2.　SSECm = 1のときは，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm = 1で使用するときは，SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）：8ビット長，もしくはSDRm1[8:0]：9ビット長を読み出してください。

備考1.　図中の①~⑪は，**図18－95　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート**の①~⑪に対応しています。

2.　m = 0; q = 0

図18－95　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート



（注意，備考は次ページにあります。）

注意　SSECm = 1のときは, パリティ・エラー, フレーミング・エラー, オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm = 1で使用するときは，SWC0 = 1に設定する前にPEFm1，FEFm1，OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）: 8ビット長，もしくはSDRm1[8:0] : 9ビット長を読み出してください。

備考1.　図中の①~⑪は，**図18－94　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート**の①~⑪に対応しています。

2.　m = 0; q = 0

18. 6. 4　ボー・レートの算出

（1）ボー・レート算出式

UART（UART0-UART3）通信でのボー・レートは下記の計算式にて算出できます。

（ボー・レート） ＝ {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRmn[15:9]＋1）÷ 2 [bps]

注意　シリアル・データ・レジスタmn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

備考1. UART使用時は，SDRmn[15:9]はSDRmnレジスタのビット15-9の値（0000010B-1111111B）なので，2-127になります。

2. m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表18－4　UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

（2）送信時のボー・レート誤差

UART（UART0-UART3）通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差）　=　（算出ボー・レート値）÷（目標ボー・レート値）×　100　－　100 [%]

f_{CLK} = 24 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 24 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	77	300.48 bps	+0.16%
600 bps	$f_{CLK}/2^8$	77	600.96 bps	+0.16%
1200 bps	$f_{CLK}/2^7$	77	1201.92 bps	+0.16%
2400 bps	$f_{CLK}/2^6$	77	2403.85 bps	+0.16%
4800 bps	$f_{CLK}/2^5$	77	4807.69 bps	+0.16%
9600 bps	$f_{CLK}/2^4$	77	9615.38 bps	+0.16%
19200 bps	$f_{CLK}/2^3$	77	19230.8 bps	+0.16%
31250 bps	$f_{CLK}/2^3$	47	31250.0 bps	±0.0%
38400 bps	$f_{CLK}/2^2$	77	38461.5 bps	+0.16%
76800 bps	$f_{CLK}/2$	77	76923.1 bps	+0.16%
153600 bps	f_{CLK}	77	153846 bps	+0.16%
312500 bps	f_{CLK}	37	315789 bps	+1.05%

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 10, 12

（3）受信時のボー・レート許容範囲

UART（UART0-UART3）通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate ：受信側の算出ボー・レート値（18. 6. 4（1）ボー・レート算出式参照）

k ：SDRmn[15:9] ＋1

Nfr ：1データ・フレーム長［ビット］

=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3）　mn = 01, 03, 11, 13

図18－96　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

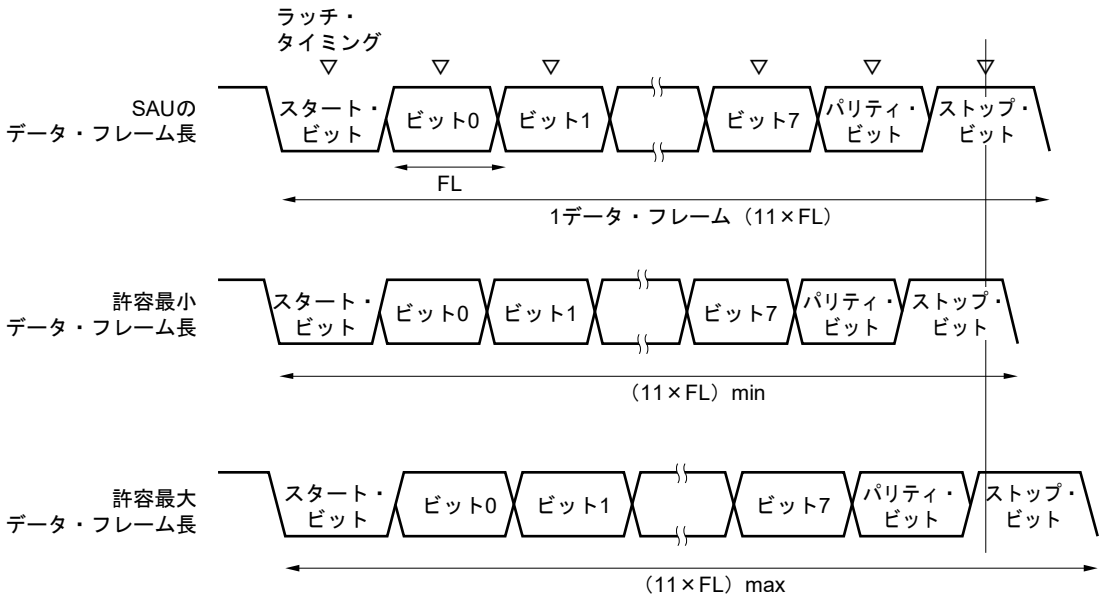


図18－96に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

18. 6. 5　UART（UART0-UART3）通信時におけるエラー発生時の処理手順

UART（UART0-UART3）通信時にエラーが発生した場合の処理手順を**図18－97**，**図18－98**に示します。

図18－97　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする	→ SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする	→ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図18－98　フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする	→ SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする	→ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する	→ シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する	→ シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　mn = 00-03, 10-13

18. 7　LIN通信の動作

18. 7. 1　LIN送信

UART送信のうち，UART0はLIN通信に対応しています。

LIN送信では，ユニット0のチャネル0を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	可	不可	不可	不可
対象チャネル	SAU0のチャネル0	－	－	－
使用端子	TxD0	－	－	－
割り込み	INTST0	－	－	－
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート	Max. f_{MCK}/6 [bps]（SDR00[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps]注			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加			
データ方向	LSBファースト			

注　この条件を満たし，かつ電気的特性の周辺機能特性（第41章　電気的特性参照）を満たす範囲内で使用してください。なお，LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

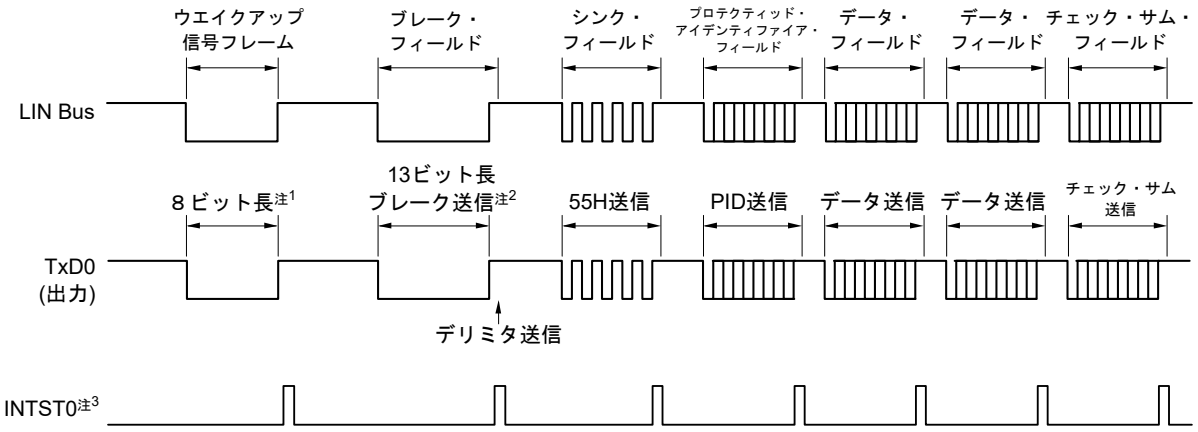
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15%以下であれば，通信可能です。

LINのマスタ送信操作の概略を，**図18－99**に示します。

図18－99　LINの送信操作



注1. ウエイクアップ信号の規定を満たせるようにボー・レートを設定し，80Hのデータ送信をすることで対応します。

2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートをN [bps]とすると，ブレーク・フィールドで使用するボー・レートは次のようになります。

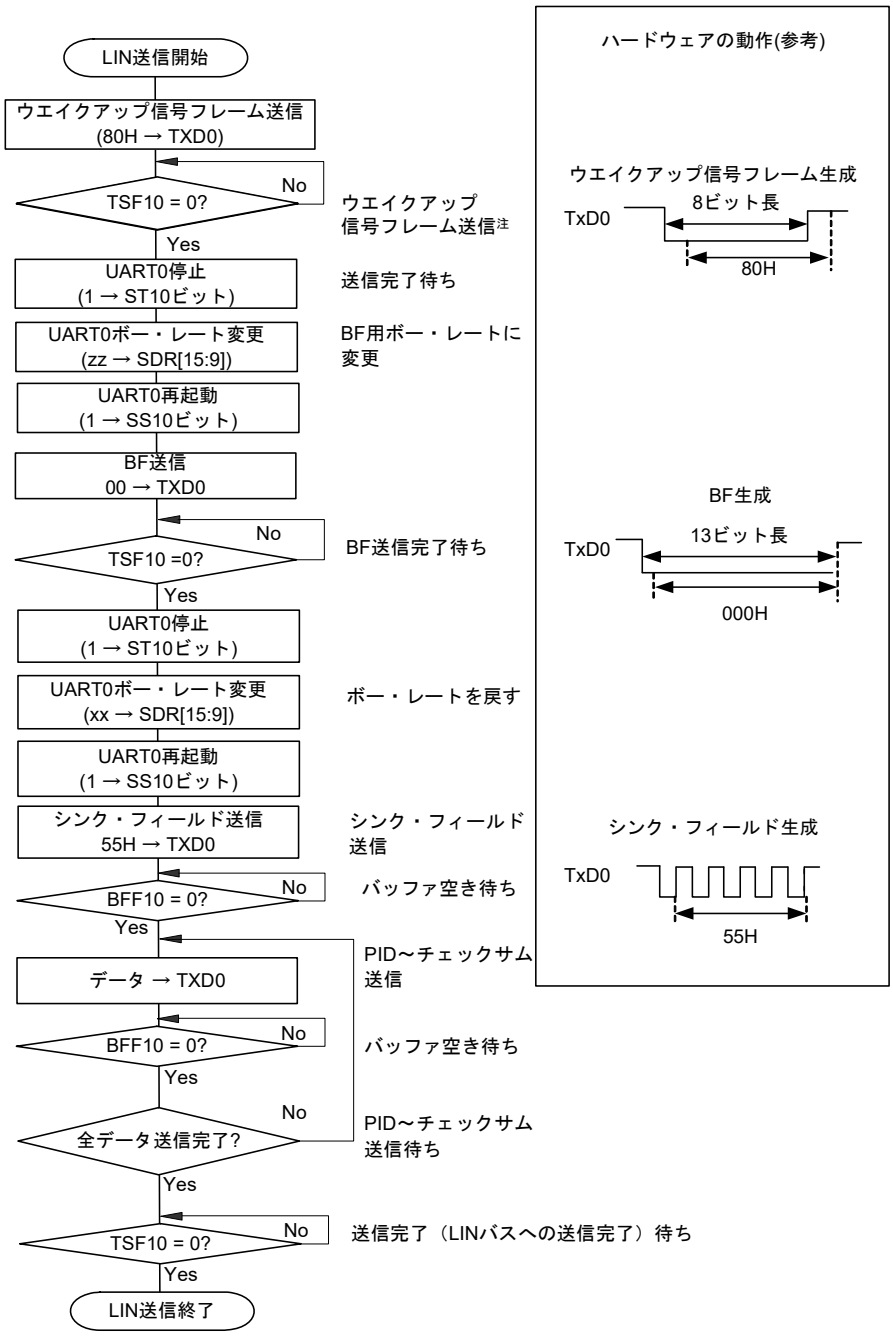
（ブレーク・フィールド時のボー・レート）　= 9/13×N

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考　各フィールド間の間隔はソフトウエアで制御します。

図18－100　LIN送信のフロー・チャート



注　LIN-busがスリープ状態からの起動時のみ

備考　UARTの初期設定は完了し，送信許可状態からのフローです。

18. 7. 2　LIN受信

UART受信のうち，UART0はLIN通信に対応しています。

LIN受信では，ユニット0のチャネル1を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	可	不可	不可	不可
対象チャネル	SAU0のチャネル1	－	－	－
使用端子	RxD0	－	－	－
割り込み	INTSR0	－	－	－
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	INTSRE0	－	－	－
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF01） ・オーバラン・エラー検出フラグ（OVF01）			
転送データ長	8ビット			
転送レート	Max. f_{MCK}/6 [bps]（SDR01[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps]注			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）			
ストップ・ビット	1ビット目チェック			
データ方向	LSBファースト			

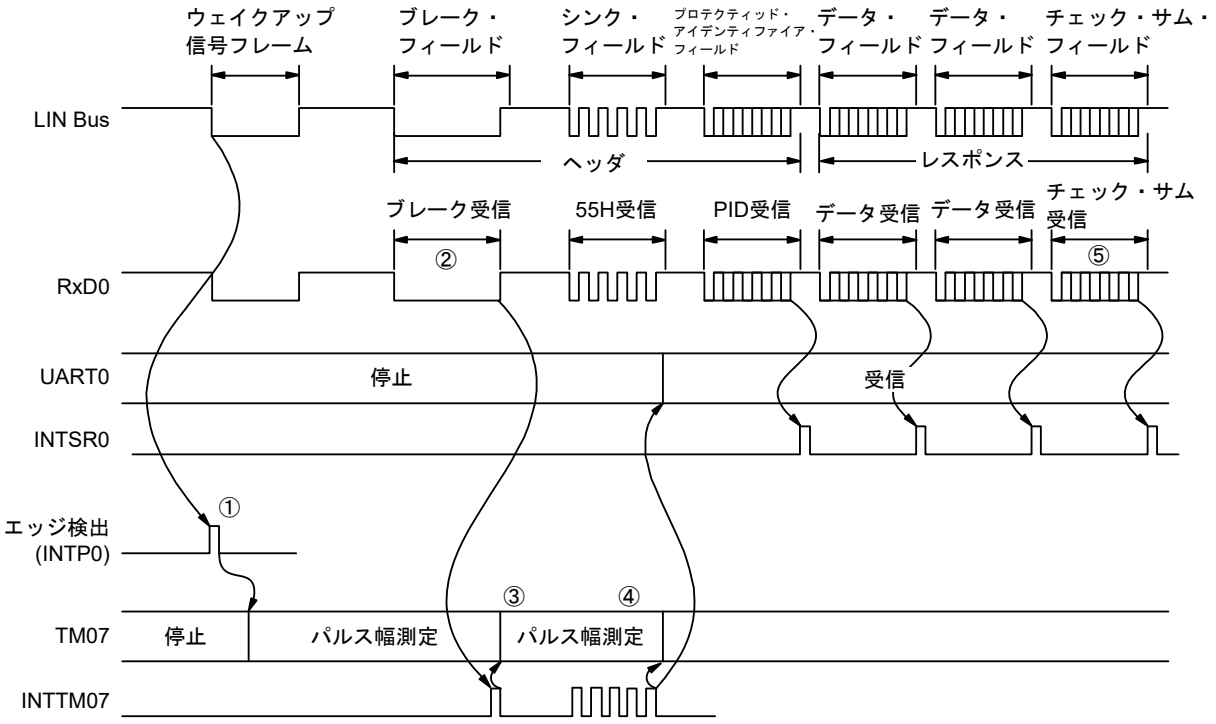
注　この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINの受信操作の概略を，**図18－101**に示します。

図18－101　LINの受信操作



受信処理の流れを次に示します。

① ウエイクアップ信号の検出は，端子の割り込みエッジ検出（INTP0）で行います。ウエイクアップ信号を検出したら，TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して，BF受信待ち状態にします。

② BFの立ち下がりを検出したら，TM07はロウ・レベル幅の測定を開始し，立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。

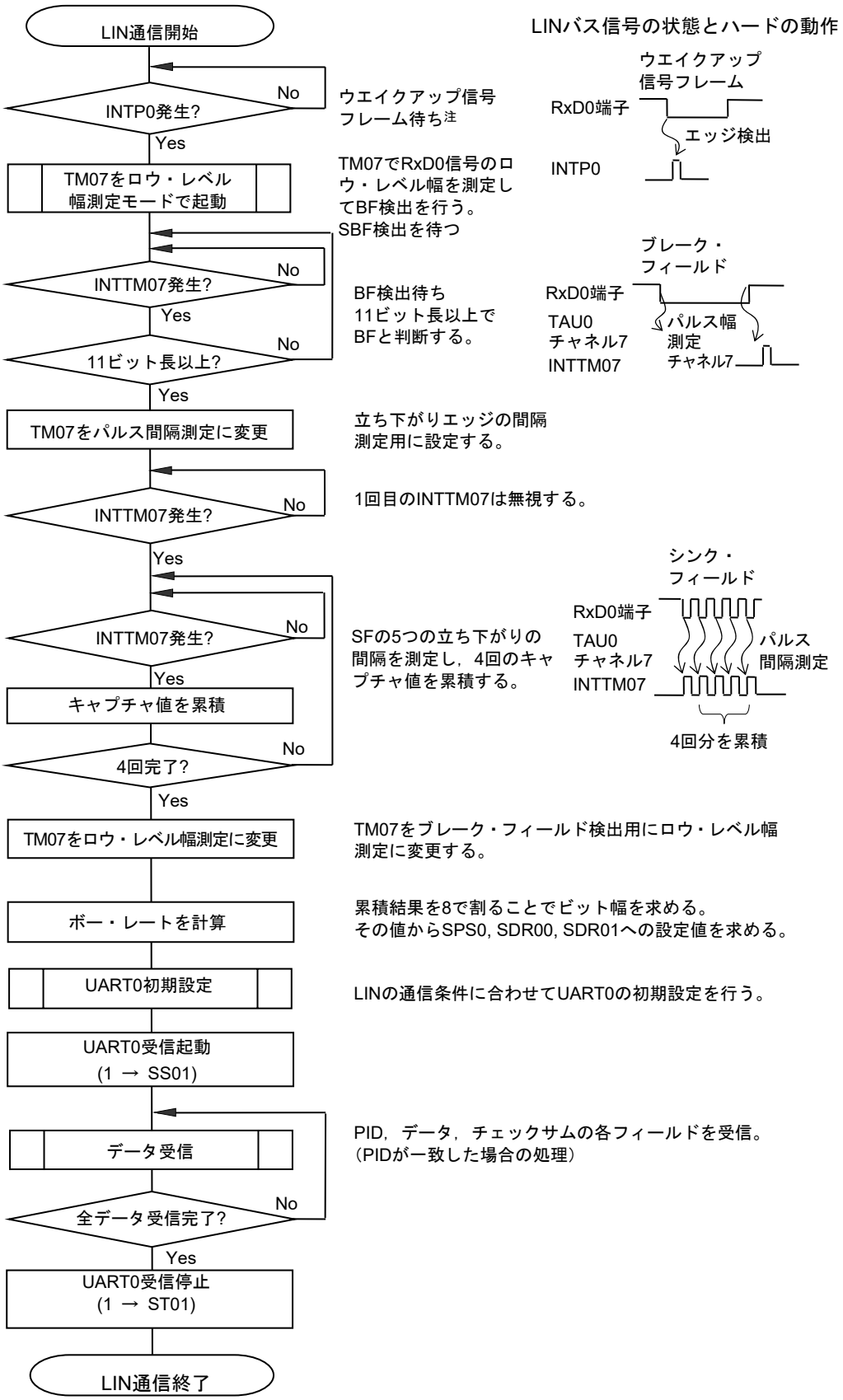
③ BF受信を正常終了した場合，TM07をパルス間隔測定に設定し，シンク・フィールドのRxD0信号の立ち下がりの間隔を4回測定してください。

④ BF受信を正常終了した場合，タイマ・アレイ・ユニットのチャネル7を起動し，シンク・フィールドのビット間隔（パルス幅）を測定してください（**8. 8. 3　入力パルス間隔測定としての動作**を参照）。

⑤ シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして，いったんUART0を動作停止にしてからボー・レートを調整（再設定）してください。

⑥ チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し，再びBF受信待ちに設定する処理もソフトウエアにて行ってください。

図18－102　LIN受信のフロー・チャート



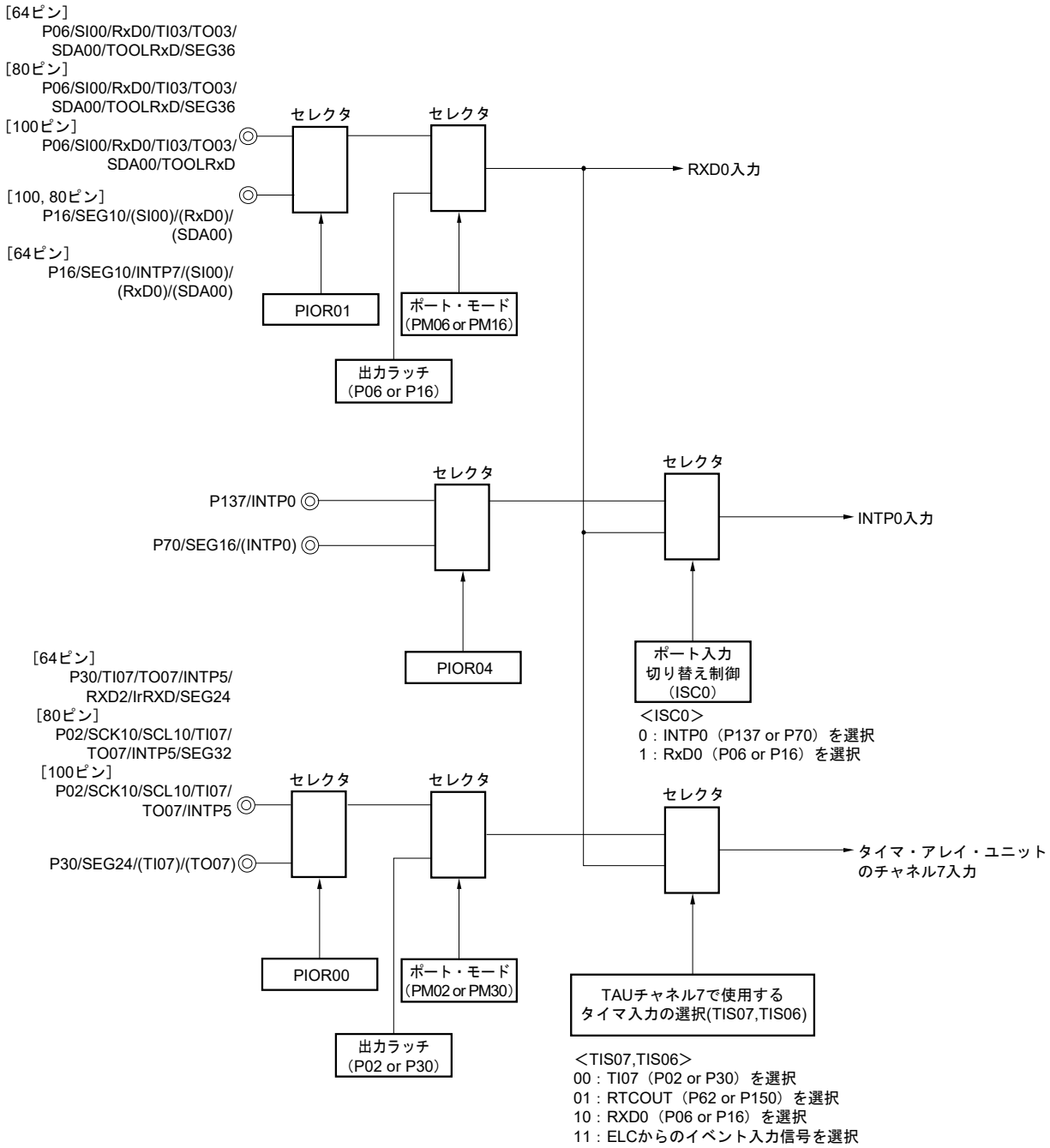
注　スリープ状態でのみ必要となります。

図18－103はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替え制御（ISC0）により，外部で結線をせずに，受信用ポート入力（RxD0）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニットへ入力することができます。

図18－103　LINの受信操作用のポート構成図



備考1.　ISC0：入力切り替え制御レジスタ（ISC）のビット0（**図18－21**参照）

PIOR00, PIOR01, PIOR04：周辺I/Oリダイレクション・レジスタ（PIOR0）のビット0-4（**図4－8**参照）

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により，割り当て可能です。**図4－8　周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**を参照してください。

LIN通信動作で使用する周辺機能をまとめると，次のようになります。

＜使用する周辺機能＞

・外部割り込み（INTP0）；ウエイクアップ信号検出

　用途：ウエイクアップ信号のエッジを検出し，通信開始を検出

・タイマ・アレイ・ユニットのチャネル7；ボー・レート誤差検出，ブレーク・フィールド（BF）検出

　用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（RxD0入力エッジの間隔をキャプチャ・モードで測定）

　　ロウ・レベル幅を測定し，ブレーク・フィールド（BF）かを判定

・シリアル・アレイ・ユニット0（SAU0）のチャネル0, 1（UART0）

18. 8　簡易I²C（IIC00, IIC10, IIC30）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，I²Cバスのバス・ラインの特性を遵守して，ソフトウエアで制御レジスタを操作してください。

［データ送受信］

・マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）

・ACK出力機能[注]，ACK検出機能

・8ビットのデータ長

（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）

・ソフトウエアによるスタート・コンディション，ストップ・コンディションの発生

［割り込み機能］

・転送完了割り込み

［エラー検出フラグ］

・パリティ・エラー（ACKエラー）

※［簡易I²Cでサポートしていない機能］

・スレーブ送信，スレーブ受信

・マルチ・マスタ機能（アービトレーション負け検出機能）

・ウエイト検出機能

注　最終データの受信時は，SOEmn（SOEmレジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，**18. 8. 3（2）　処理フロー**を参照してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

簡易I²C（IIC00, IIC10, IIC30）に対応しているチャネルは，SAU0のチャネル0, 2，SAU1のチャネル2です。

ユニット	チャネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0（LIN-bus対応）	IIC00
	1	－		－
	2	CSI10	UART1	IIC10
	3	－		－
1	0	－	UART2（IrDA対応）	－
	1	－		－
	2	CSI30注	UART3注	IIC30注
	3	－		

注　100ピン製品のみ。

簡易I²C（IIC00, IIC10, IIC30）の通信動作は，以下の4種類があります。

- アドレス・フィールド送信　（**18. 8. 1**項を参照）
- データ送信　（**18. 8. 2**項を参照）
- データ受信　（**18. 8. 3**項を参照）
- ストップ・コンディション発生　（**18. 8. 4**項を参照）

18. 8. 1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象（スレーブ）を特定するために，I²C通信で最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I²C	IIC00	IIC10	IIC30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCL00, SDA00注1	SCL10, SDA10注1	SCL30, SDA30注1
割り込み	INTIIC00	INTIIC10	INTIIC30
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）		
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）		
転送データ長	8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信）		
転送レート注2	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）		
データ・レベル	非反転出力（デフォルト：ハイ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加（ACK受信タイミング用）		
データ方向	MSBファースト		

注1. 簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は**4. 3. 5　ポート出力モード・レジスタ（POMxx）**を参照）。IIC00，IIC10，IIC30を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00，SCL10）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は，**4. 4. 4　異電位（1.8 V系，2.5 V系，3 V系）外部デバイスとの接続方法**を参照）。

2. この条件を満たし，かつ電気的特性の周辺機能特性（第41章　電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－104　簡易I²C（IIC00, IIC10, IIC30）のアドレス・フィールド送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの動作モード
0：転送完了割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

パリティ・ビット設定
00B：パリティなし

ストップ・ビット設定
01B：1ビット付加（ACK）

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	送信データ設定（アドレス＋R/W）							

SIOr

（d）シリアル出力レジスタm（SOm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1	1	0/1	0	0	0	0	1	0/1	1	0/1

SOmnビットを操作して，スタート・コンディションを発生する

（e）シリアル出力許可レジスタm（SOEm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

スタート・コンディションを発生まではSOEmn = 0とし，
発生後はSOEmn = 1とする

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

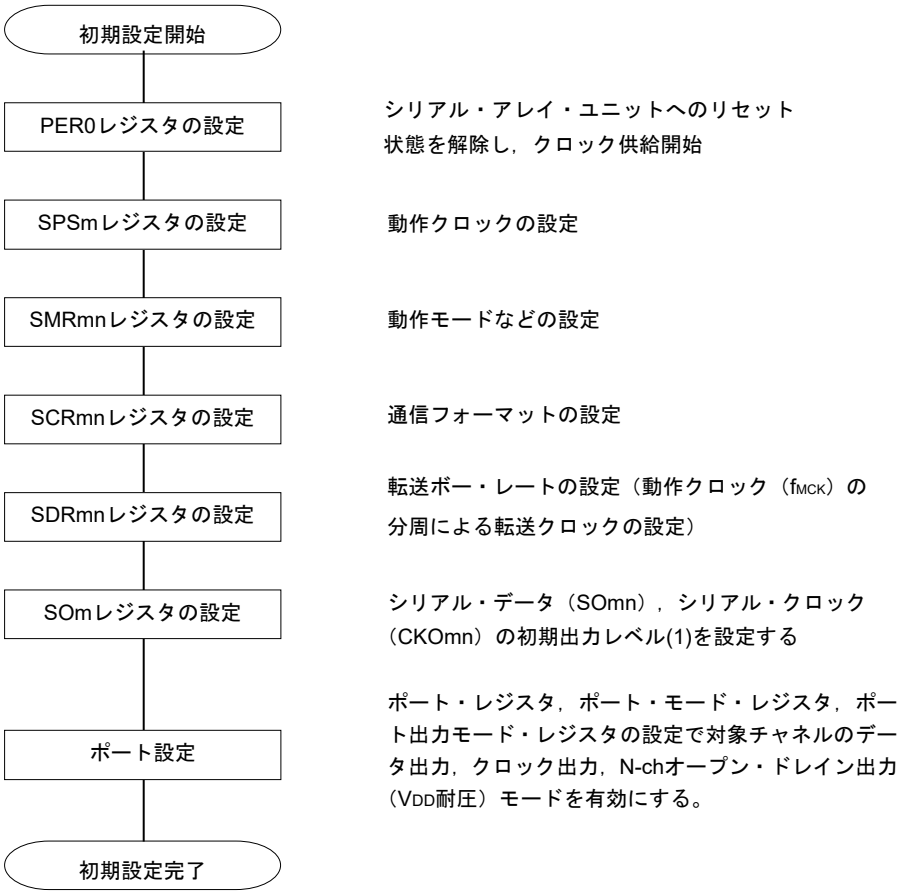
スタート・コンディションを発生まではSSmn = 0とし，
発生後はSSmn = 1とする

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10, 30）　mn = 00, 02, 12

2.　□：IICモードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

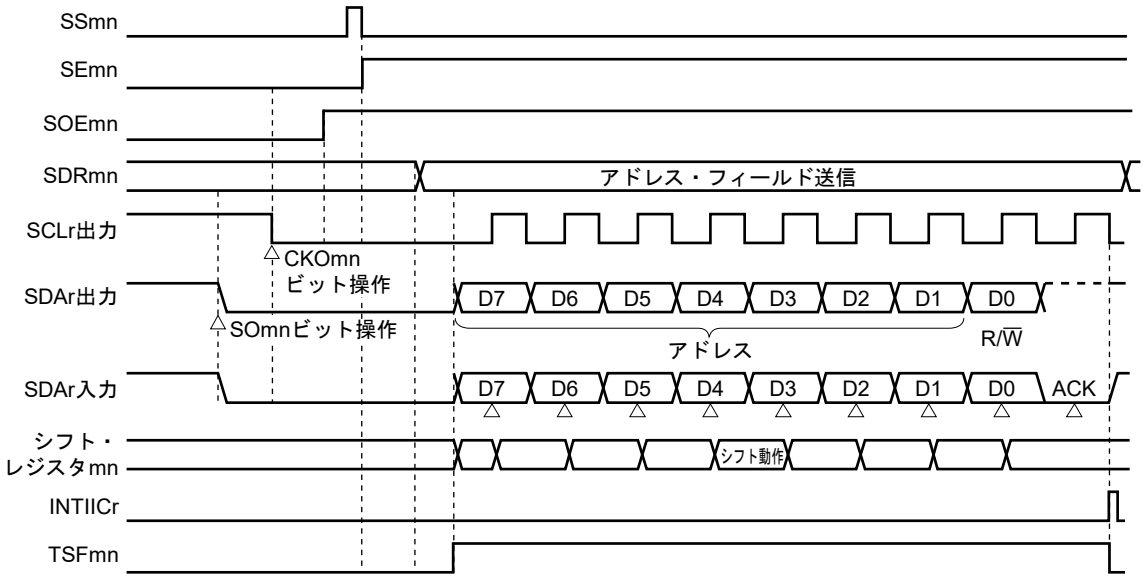
（2）操作手順

図18－105　簡易I²Cアドレス・フィールド送信の初期設定手順



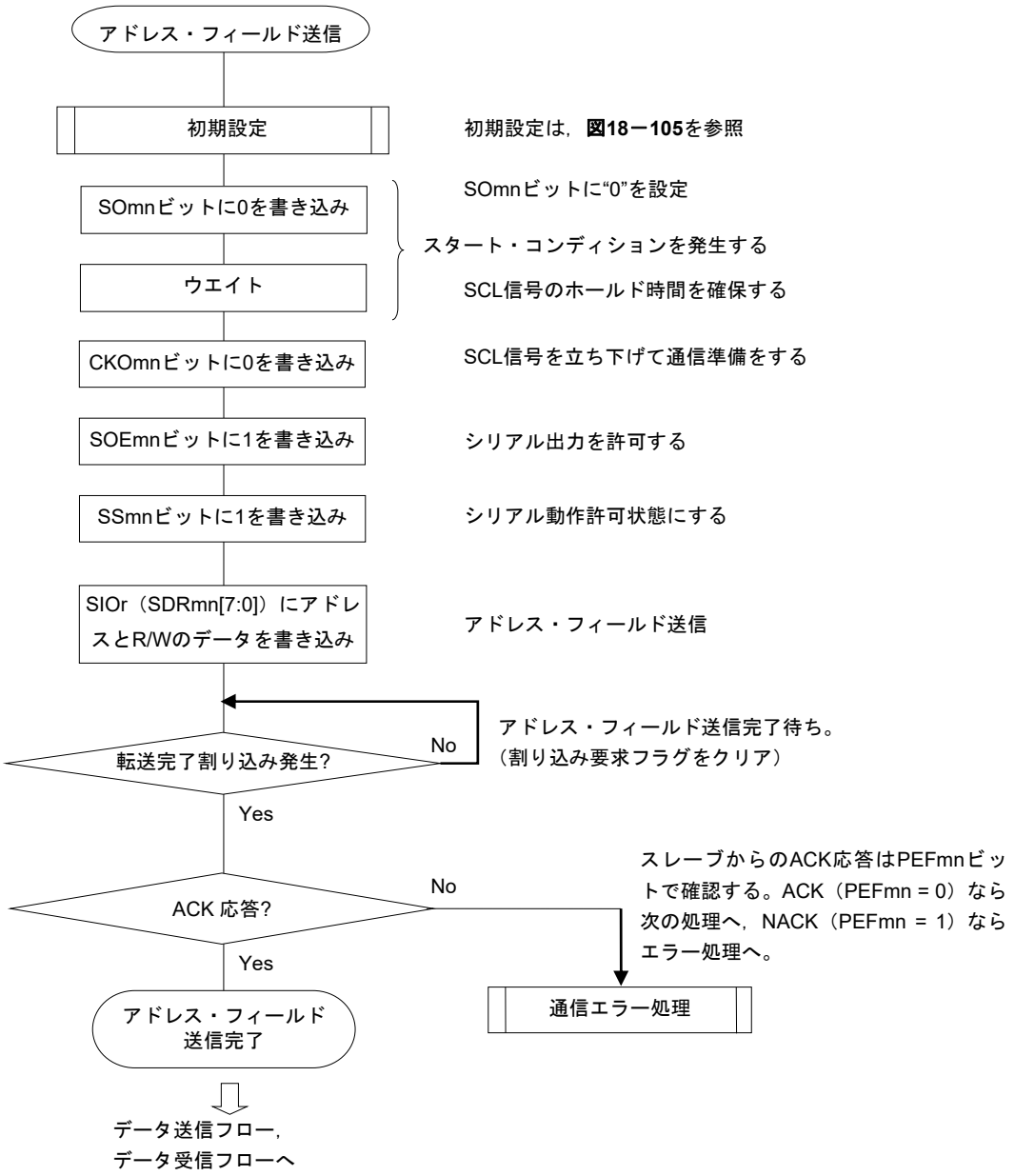
（3）処理フロー

図18－106　アドレス・フィールド送信のタイミング・チャート



備考　m : ユニット番号（m = 0, 1）　n : チャネル番号（n = 0, 2）　r : IIC番号（r = 00, 10, 30）　mn = 00, 02, 12

図18－107　簡易I²Cアドレス・フィールド送信のフロー・チャート



18. 8. 2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC10	IIC30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCL00, SDA00注1	SCL10, SDA10注1	SCL30, SDA30注1
割り込み	INTIIC00	INTIIC10	INTIIC30
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）		
エラー検出フラグ	ACKエラー・フラグ（PEFmn）		
転送データ長	8ビット		
転送レート注2	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）		
データ・レベル	非反転出力（デフォルト：ハイ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加（ACK受信タイミング用）		
データ方向	MSBファースト		

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は**4. 3. 5　ポート出力モード・レジスタ（POMxx）**を参照）。IIC00，IIC10，IIC30を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は，**4. 4. 4　異電位（1.8 V系，2.5 V系，3 V系）外部デバイスとの接続方法**を参照）。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－108　簡易I²C（IIC00, IIC10, IIC30）のデータ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

（b）シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1注1	1

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）・・・データ送受信中は下位8ビット（SIOr）のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注2							0	送信データ設定							

SIOr

（d）シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1注3	1	0/1注3	0	0	0	0	1	0/1注3	1	0/1注3

（e）シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

注1.　SCR00レジスタのみ。その他は1固定になります

2.　アドレス・フィールド送信で設定済みなので，設定不要です。

3.　通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10, 30）　mn = 00, 02, 12

2.　□: IICモードでは設定固定　■: 設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）処理フロー

図18－109　データ送信のタイミング・チャート

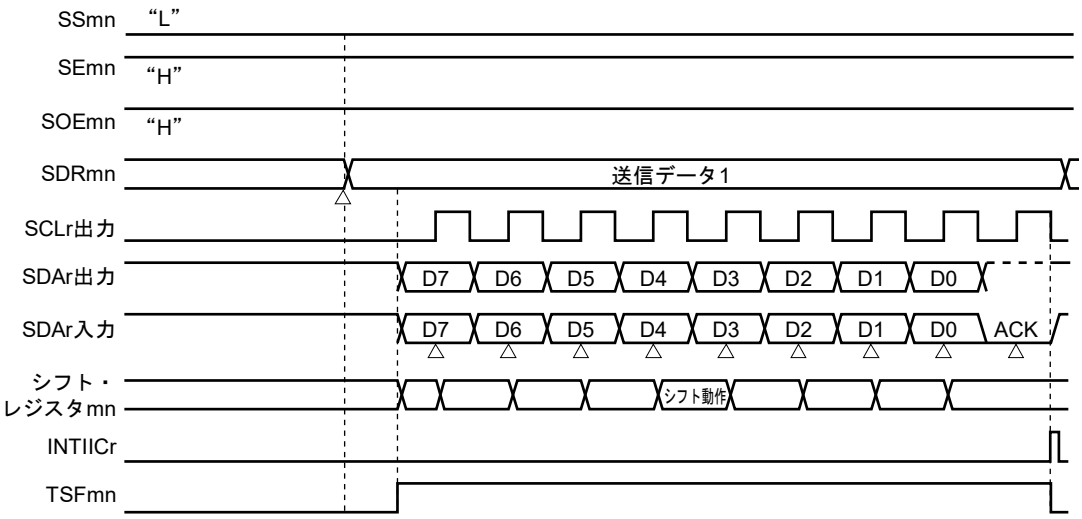
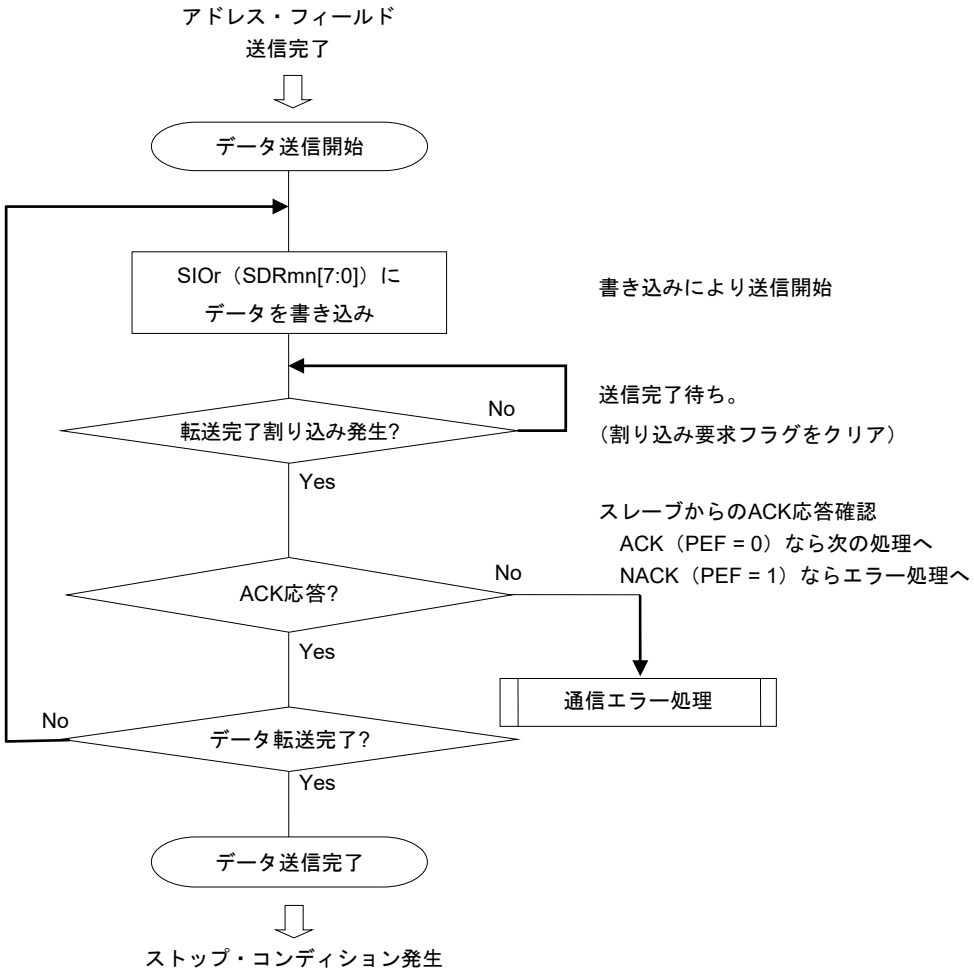


図18－110　簡易I²Cデータ送信のフロー・チャート



18. 8. 3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC10	IIC30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCL00, SDA00注1	SCL10, SDA10注1	SCL30, SDA30注1
割り込み	INTIIC00	INTIIC10	INTIIC30
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	8ビット		
転送レート注2	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）		
データ・レベル	非反転出力（デフォルト：ハイ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加（ACK送信）		
データ方向	MSBファースト		

注1. 簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は**4. 3. 5　ポート出力モード・レジスタ（POMxx）**を参照）。IIC00，IIC10，IIC30を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は，**4. 4. 4　異電位（1.8 V系，2.5 V系，3 V系）外部デバイスとの接続方法**を参照）。

2. この条件を満たし，かつ電気的特性の周辺機能特性（**第41章　電気的特性参照**）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

（1）レジスタ設定

図18－111　簡易I²C（IIC00, IIC10, IIC30）のデータ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

（b）シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定[注1]							0	ダミー送信データ設定（FFH）							

SIOr

（d）シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1[注2]	1	0/1[注2]	0	0	0	0	1	0/1[注2]	1	0/1[注2]

（e）シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

注1.　アドレス・フィールド送信で設定済みなので，設定不要です。

2.　通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10, 30）　mn = 00, 02, 12

2.　□: IICモードでは設定固定　■: 設定不可（初期値を設定）

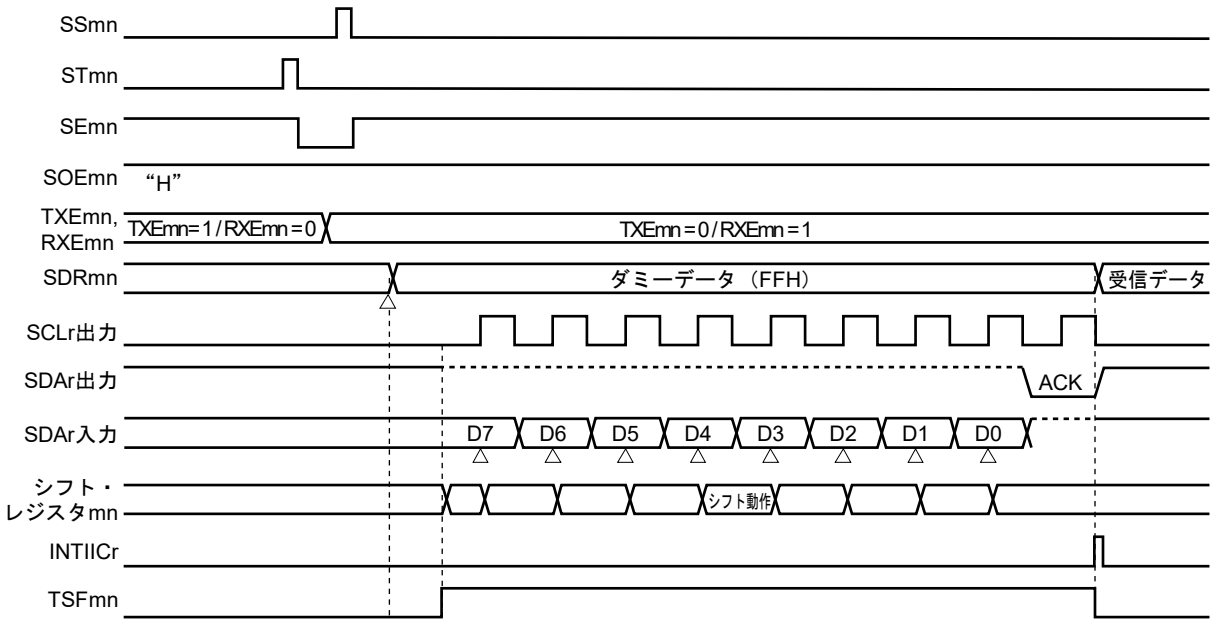
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

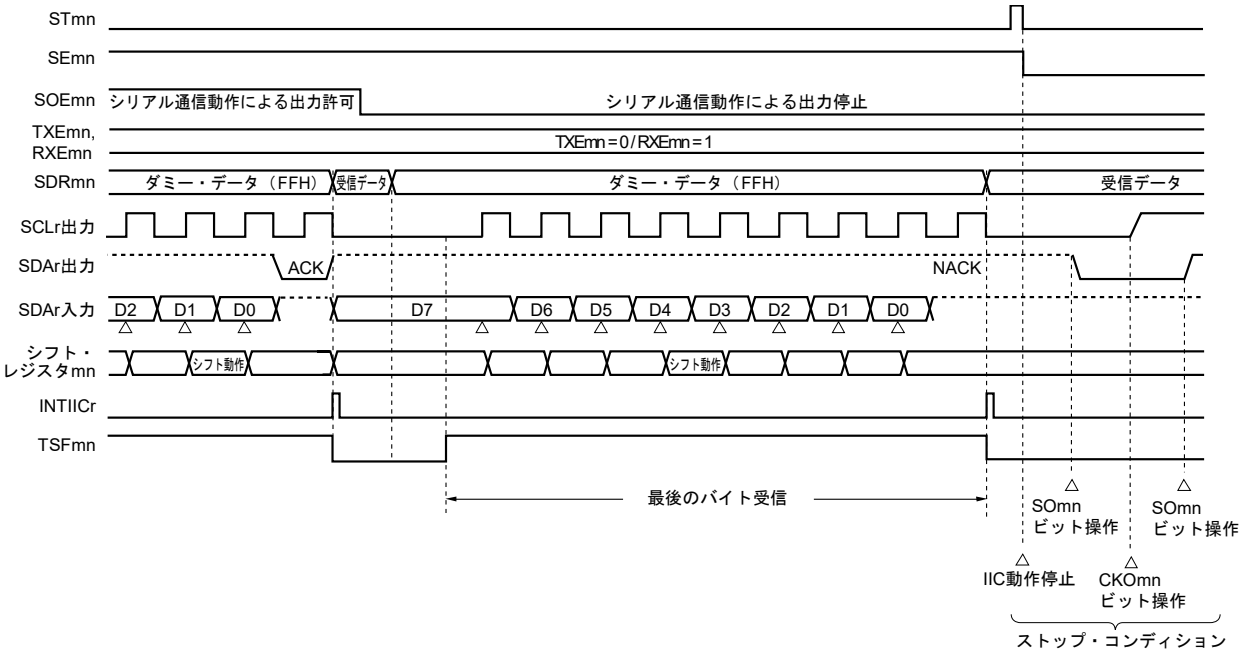
（2）処理フロー

図18－112　データ受信のタイミング・チャート

（a）データ受信開始時



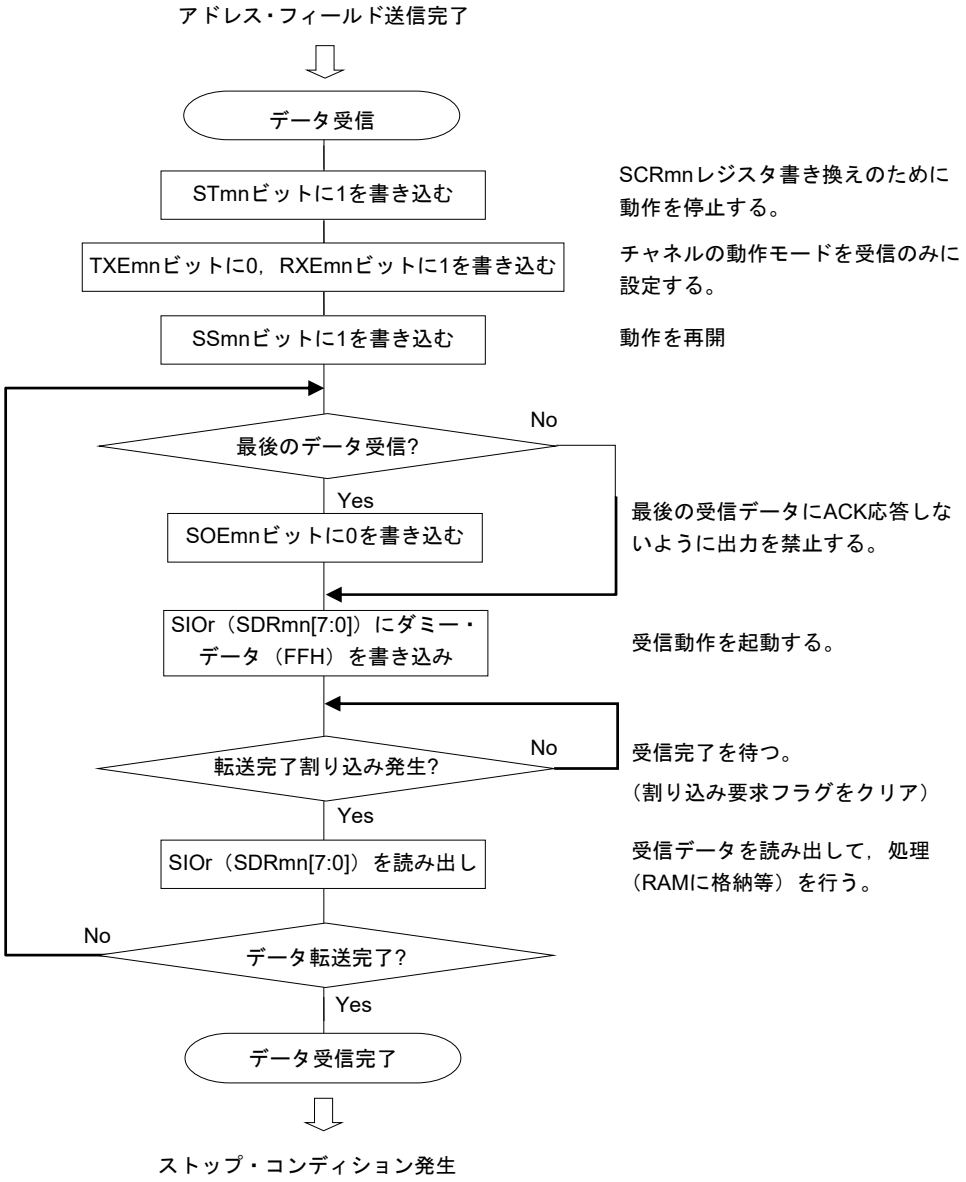
（b）最終データ受信時



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10, 30）

mn = 00, 02, 12

図18－113　データ受信のフロー・チャート



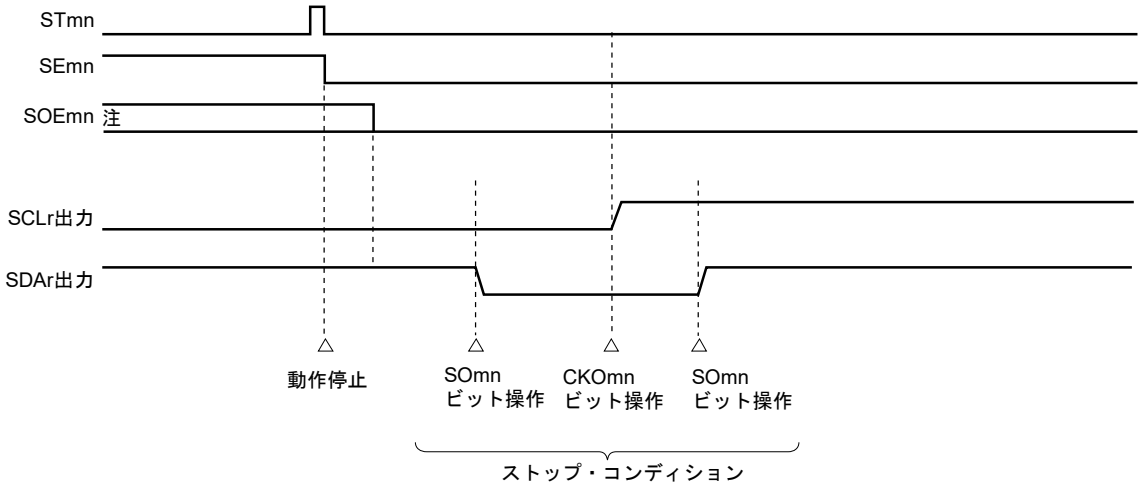
注意　最終データの受信時はACKを出力しません（NACK）。その後，シリアル・チャンネル停止レジスタm（STm）のSTmnビットに“1”を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。

18. 8. 4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを開放します。

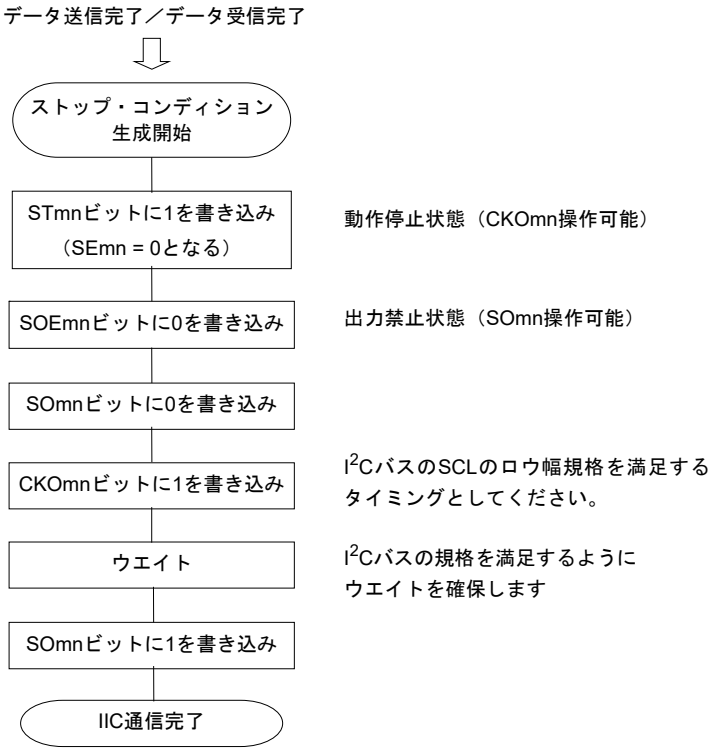
（1）処理フロー

図18－114　ストップ・コンディション発生のタイミング・チャート



注　受信動作時は最終データを受信する前に，シリアル出力許可レジスタm（SOEm）のSOEmnビットを“0”に設定しています。

図18－115　ストップ・コンディション発生のフロー・チャート



18. 8. 5　転送レートの算出

簡易I²C（IIC00, IIC10, IIC30）通信での転送レートは下記の計算式にて算出できます。

（転送レート）　=　{対象チャネルの動作クロック（f_{MCK}）周波数}　÷（SDRmn[15:9]＋1）÷ 2

注意　SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では，SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため，ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると，SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には，この規格を満足できる値を設定してください。

備考 1.　（SDRmn[15:9]）は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000001B-1111111B）なので，1-127になります。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表18－5　簡易I²C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	24 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7 kHz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

備考1.　X：Don't care

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　mn = 00, 02, 12

f_{MCK} = f_{CLK} = 24 MHzの場合のI²C転送レート設定例を示します。

I²C転送モード（希望転送レート）	f_{CLK} = 24 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	$f_{CLK}/2$	59	100 kHz	0.0%
400 kHz	f_{CLK}	29	380 kHz	5.0%注
1 MHz	f_{CLK}	5	0.84 MHz	16.0%注

注　SCL信号がデューティ比50%なので，誤差を0%程度に設定することはできません。

18. 8. 6　簡易I²C（IIC00, IIC10, IIC30）通信時におけるエラー発生時の処理手順

簡易I²C（IIC00, IIC10, IIC30）通信時にエラーが発生した場合の処理手順を**図18－116**，**図18－117**に示します。

図18－116　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図18－117　簡易I²Cモード時のACKエラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	ACKが返信されていないので，スレーブの受信準備ができていない。そのため，ストップ・コンディションを作成してバスを開放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10, 30）　mn = 00, 02, 12

第19章　シリアル・インタフェースIICA

19. 1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

（2）I^2Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLAn）とシリアル・データ・バス（SDAAn）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I^2Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI^2Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

（3）ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICAn）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1（IICCTLn1）のWUPnビットにより設定します。

図19－1に，シリアル・インタフェースIICAのブロック図を示します。

備考　n = 0

図19－1　シリアル・インタフェースIICA0のブロック図

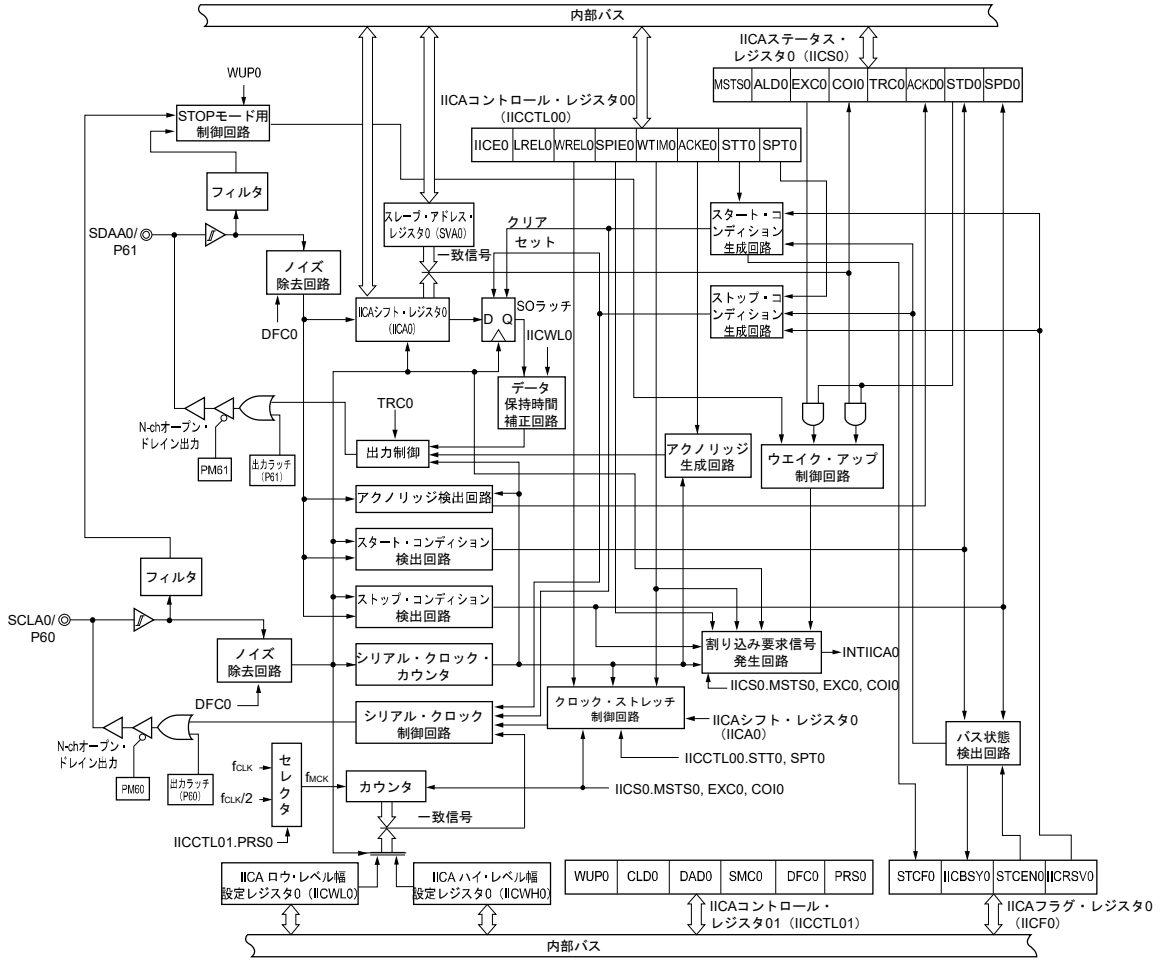
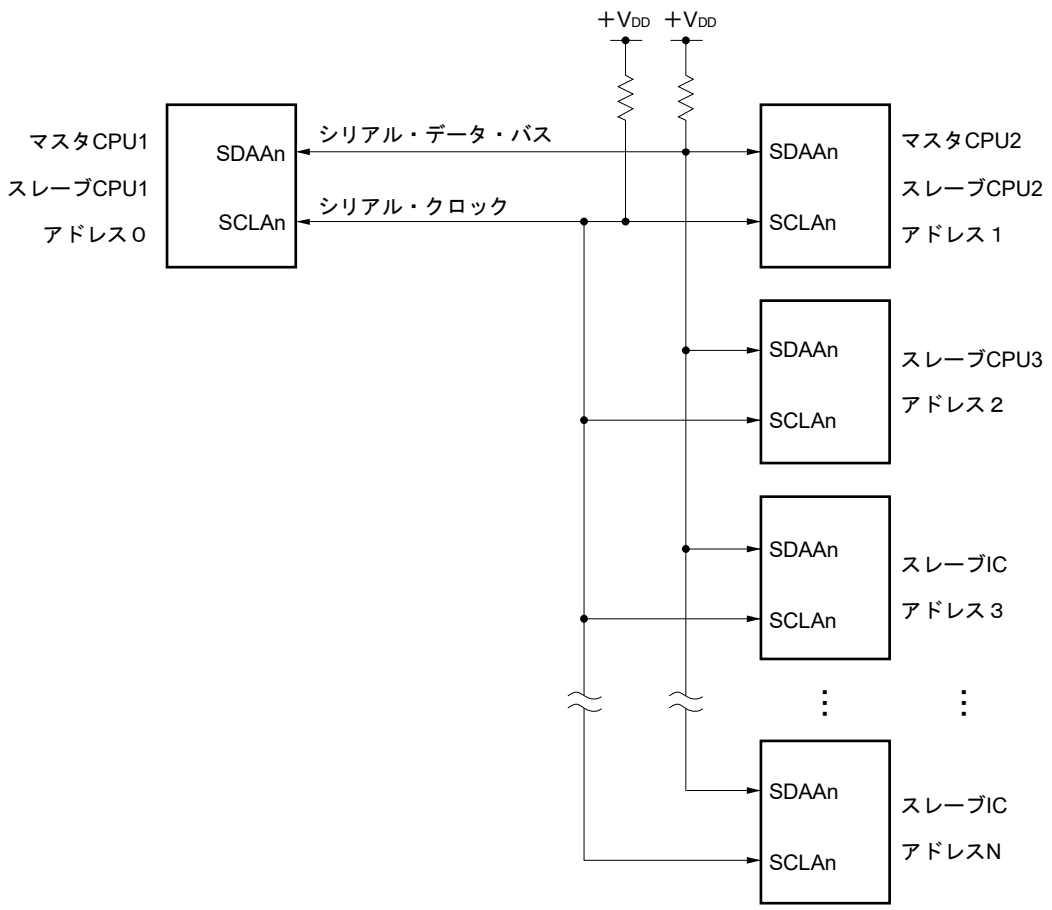


図19－2にシリアル・バス構成例を示します。

図19－2　I²Cバスによるシリアル・バス構成例



備考　n = 0

19. 2　シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表19－1　シリアル・インタフェースIICAの構成

項　　目	構　　成
レジスタ	IICAシフト・レジスタn（IICAn） スレーブ・アドレス・レジスタn（SVAn）
制御レジスタ	周辺イネーブル・レジスタ0（PER0） 周辺リセット制御レジスタ0（PRR0） IICAコントロール・レジスタn0（IICCTLn0） IICAステータス・レジスタn（IICSn） IICAフラグ・レジスタn（IICFn） IICAコントロール・レジスタn1（IICCTLn1） IICAロウ･レベル幅設定レジスタn（IICWLn） IICAハイ･レベル幅設定レジスタn（IICWHn） ポート・モード・レジスタ6（PM6） ポート・レジスタ6（P6）

備考　n = 0

（1）IICAシフト・レジスタn（IICAn）

IICAnレジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより，クロック・ストレッチを解除し，データ転送を開始します。

IICAnレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図19－3　IICAシフト・レジスタn（IICAn）のフォーマット

アドレス：FFF50H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1.　データ転送中はIICAnレジスタにデータを書き込まないでください。

2.　IICAnレジスタには，クロック・ストレッチ期間中にだけ，書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STTn）をセット（1）したあと，1回書き込みできます。

3.　通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考　n = 0

(2) スレーブ・アドレス・レジスタn（SVAn）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVAnレジスタは，8ビット・メモリ操作命令で設定します。

ただし，STDn = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図19－4　スレーブ・アドレス・レジスタn（SVAn）のフォーマット

アドレス：F0234H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注　ビット0は0固定です。

(3) SOラッチ

SOラッチは，SDAAn端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタn（SVAn）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICAn）を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号（INTIICAn）の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

・シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIMnビットで設定）

・ストップ・コンディション検出による割り込み要求発生（SPIEnビットで設定）

備考　WTIMnビット　：IICAコントロール・レジスタn0（IICCTLn0）のビット3

SPIEnビット　：　〃　のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考　n = 0

（9）アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

（10）データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

（11）スタート・コンディション生成回路

STTnビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSVnビット = 1）で，かつバスが解放されていない（IICBSYnビット = 1）場合には，スタート・コンディション要求は無視し，STCFnビットをセット（1）します。

（12）ストップ・コンディション生成回路

SPTnビットがセット（1）されるとストップ・コンディションを生成します。

（13）バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCENnビットにより，バス状態検出回路の初期状態を設定してください。

備考1. STTnビット　：IICAコントロール・レジスタn0（IICCTLn0）　のビット1
SPTnビット　：　〃　のビット0
IICRSVnビット：IICAフラグ・レジスタn（IICFn）　のビット0
IICBSYnビット：　〃　のビット6
STCFnビット　：　〃　のビット7
STCENnビット：　〃　のビット1

2. n = 0

19. 3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次の10種類のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・周辺リセット制御レジスタ0（PRR0）
・IICAコントロール・レジスタn0（IICCTLn0）
・IICAフラグ・レジスタn（IICFn）
・IICAステータス・レジスタn（IICSn）
・IICAコントロール・レジスタn1（IICCTLn1）
・IICAロウ・レベル幅設定レジスタn（IICWLn）
・IICAハイ・レベル幅設定レジスタn（IICWHn）
・ポート・モード・レジスタ6（PM6）
・ポート・レジスタ6（P6）

備考　n = 0

19. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICA0を使用するときは，必ずビット4（IICA0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図19－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICA0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可， リードした場合は00Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給許可 ・シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

注　シリアル・インタフェースIICA0 およびシリアル・インタフェースIICA0 で使用するSFR を初期化する場合，PRR0のビット4(IICA0RES)を使用してください。

注意1.　シリアル・インタフェースIICAnの設定をする際には，必ず最初にIICAnEN = 1の状態で，下記のレジスタの設定を行ってください。IICAnEN = 0の場合は，書き込みは無視されます（ポート・モード・レジスタ6（PM6），ポート・レジスタ6（P6）は除く）。

・IICAコントロール・レジスタn0（IICCTLn0）
・IICAフラグ・レジスタn（IICFn）
・IICAステータス・レジスタn（IICSn）
・IICAコントロール・レジスタn1（IICCTLn1）
・IICAロウ・レベル幅設定レジスタn（IICWLn）
・IICAハイ・レベル幅設定レジスタn（IICWHn）

2.　ビット7，1には必ず“0”を設定してください。

備考　n = 0

19. 3. 2　周辺リセット制御レジスタ0（PRR0）

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・インタフェースIICA0をリセットする場合は，必ずビット4 (IICA0RES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図19－6　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES

IICA0RES	シリアル・インタフェースIICA0のリセット制御
0	シリアル・インタフェースIICA0のリセット解除
1	シリアル・インタフェースIICA0はリセット状態

19. 3. 3　IICAコントロール・レジスタn0（IICCTLn0）

I²Cの動作許可／停止，クロック・ストレッチ・タイミングの設定，その他I²Cの動作を設定するレジスタです。

IICCTLn0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIEn, WTIMn, ACKEnビットは，IICEn = 0のとき，またはクロック・ストレッチ期間中に設定してください。またIICEnビットを“0”から“1”に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

備考　n = 0

図19－7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（1/4）

アドレス：F0230H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I^2Cの動作許可
0	動作停止。IICAステータス・レジスタn（IICSn）をリセット[注1]。内部動作も停止。
1	動作許可。
このビットのセット（1）は，必ずSCLAn, SDAAnラインがハイ･レベルの状態で行ってください。	
クリアされる条件（IICEn = 0）	セットされる条件（IICEn = 1）
・命令によるクリア ・リセット時	・命令によるセット

LRELn[注2, 3]	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0（IICCTLn0），IICAステータス・レジスタn（IICSn）のうち，次のフラグがクリア（0）される。 ・STTn　・SPTn　・MSTSn　・EXCn　・COIn　・TRCn　・ACKDn　・STDn
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LRELn = 0）	セットされる条件（LRELn = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WRELn[注2, 3]	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後，自動的にクリアされる。
送信状態（TRCn = 1）で，9クロック目のクロック・ストレッチ期間中にWRELnビットをセット（クロック・ストレッチを解除）した場合，SDAAnラインをハイ・インピーダンス（TRCn = 0）にします。	
クリアされる条件（WRELn = 0）	セットされる条件（WRELn = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注1.　リセットされるのは，IICAステータス・レジスタn（IICA0），IICAフラグ・レジスタn（IICF0）のSTCFn，IICBSYnビット，IICAコントロール・レジスタn1（IICCTLn1）レジスタのCLDn，DADnビットです。

2.　IICEn = 0の状態では，このビットの信号は無効になります。

3.　LRELn, WRELnビットの読み出し値は常に0になります。

注意　SCLAnラインがハイ･レベル，SDAAnラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTLn1レジスタのDFCn = 1）のときにI^2Cを動作許可（IICEn = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I^2Cを動作許可（IICEn = 1）したあと，連続して1ビット・メモリ操作命令により，LRELnビットをセット（1）してください。

備考　n = 0

図19－7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（2/4）

アドレス：F0230H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

SPIEn注1	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタn1（IICCTLn1）のWUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIEn = 0）	セットされる条件（SPIEn = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIMn注1	クロック・ストレッチおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは，アクノリッジ（ACK）発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでクロック・ストレッチに入ります。	
クリアされる条件（WTIMn = 0）	セットされる条件（WTIMn = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKEn 注1, 2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。
クリアされる条件（ACKEn = 0）	セットされる条件（ACKEn = 1）
・命令によるクリア ・リセット時	・命令によるセット

注1.　IICEn = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

2.　アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

備考　n = 0

図19－7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（3/4）

アドレス：F0230H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

STTn[注1, 2]	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態，IICBSYnが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSVn = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVn = 1） セット（1）してもSTTnビットはクリアされ，STTnクリア・フラグ（STCFn）がセット（1）される。スタート・コンディションは生成しない。 クロック・ストレッチ状態（マスタ時）： クロック・ストレッチを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。

・ストップ・コンディション・トリガ（SPTn）と同時セット（1）することは禁止です。

・STTnビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。

クリアされる条件（STTn = 0）	セットされる条件（STTn = 1）
・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・命令によるセット

注1.　IICEn = 0の状態では，このビットの信号は無効になります。

2.　STTnビットの読み出し値は，常に0になります。

備考1.　IICRSVn　　：IICフラグ・レジスタn（IICFn）のビット0

STCFn　　：　　〃　　のビット7

2.　n = 0

図19－7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（4/4）

アドレス：F0230H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

SPTn注	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。
ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。

・スタート・コンディション・トリガ（STTn）と同時にセット（1）することは禁止です。

・SPTnビットのセット（1）は，マスタのときのみ行ってください。

・WTIMn = 0設定時に，8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット（1）すると，クロック・ストレッチ解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し，9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット（1）してください。

・SPTnビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。

クリアされる条件（SPTn = 0）	セットされる条件（SPTn = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・命令によるセット

注　SPTnビットの読み出し値は，常に0になります。

注意　IICAステータス・レジスタn（IICSn）のビット3（TRCn）＝1（送信状態）のとき，9クロック目にIICCTLn0レジスタのビット5（WRELn）をセット（1）してクロック・ストレッチ解除すると，TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタnへの書き込みで行ってください。

備考　n = 0

19. 3. 4　IICAステータス・レジスタn（IICSn）

I²Cのステータスを表すレジスタです。

IICSnレジスタは，STTn = 1およびクロック・ストレッチ期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

注意　STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可（WUPn = 1）状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から，INTIICAn割り込み要求と関係なくWUPnビットを1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIEn = 1）して割り込み検出後にIICSnレジスタを読み出してください。

備考　STTn　　：IICAコントロール・レジスタn0（IICCTLn0）のビット1
　　WUPn　　：IICAコントロール・レジスタn1（IICCTLn1）のビット7

図19－8　IICAステータス・レジスタn（IICSn）のフォーマット（1/3）

アドレス：FFF51H　　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件（MSTSn = 0）		セットされる条件（MSTSn = 1）
・ストップ・コンディション検出時 ・ALDn = 1（アービトレーション負け）のとき ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時		・スタート・コンディション生成時

ALDn	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。	
クリアされる条件（ALDn = 0）		セットされる条件（ALDn = 1）
・IICSnレジスタ読み出し後，自動的にクリア注 ・IICEn = 1→0（動作停止）のとき ・リセット時		・アービトレーションに負けたとき

注　IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALDnビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考 1.　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6
　　IICEn　：　〃　のビット7

2.　n = 0

図19－8　IICAステータス・レジスタn（IICSn）のフォーマット（2/3）

アドレス：FFF51H　　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

EXCn	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXCn = 0）	セットされる条件（EXCn = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

COIn	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COIn = 0）	セットされる条件（COIn = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタn（SVAn））と一致したとき（8クロック目の立ち上がりでセット）

TRCn	送信／受信状態検出
0	受信状態（送信状態以外）。SDAAnラインをハイ・インピーダンスにする。
1	送信状態。SDAAnラインにSOnラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRCn = 0）	セットされる条件（TRCn = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・WRELn = 1（クロック・ストレッチ解除）によるクリア注 ・ALDn = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTSn, EXCn, COIn = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき

注　IICAステータス・レジスタn（IICSn）のビット3（TRCn）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）をセット（1）してクロック・ストレッチを解除すると，TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタnへの書き込みで行ってください。

備考 1.　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6
　　IICEn　：　〃　のビット7

2.　n = 0

図19－8　IICAステータス・レジスタn（IICSn）のフォーマット（3/3）

アドレス：FFF51H　　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

ACKDn	アクノリッジ（ACK）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKDn = 0）	セットされる条件（ACKDn = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STDn = 0）	セットされる条件（STDn = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPDn	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPDn = 0）	セットされる条件（SPDn = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考 1.　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6
　　IICEn　：　〃　のビット7

2.　n = 0

19. 3. 5　IICAフラグ・レジスタn（IICFn）

I²Cの動作モードの設定と，I²Cバスの状態を表すレジスタです。

IICFnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STTnクリア・フラグ（STCFn），I²Cバス状態フラグ（IICBSYn）は読み出しのみ可能です。

IICRSVnビットにより，通信予約機能の禁止／許可を設定します。

またSTCENnビットにより，IICBSYnビットの初期値を設定します。

IICRSVn, STCENnビットはI²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときのみ書き込み可能です。動作許可後，IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図19－9　IICAフラグ・レジスタn（IICFn）のフォーマット

アドレス：FFF52H　　リセット時：00H　R/W注

略号	7	6	5	4	3	2	1	0
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STTnフラグ・クリア。

クリアされる条件（STCFn = 0）	セットされる条件（STCFn = 1）
・STTn = 1によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSVn = 1）設定時にスタート・コンディション発行できず，STTnビットがクリア（0）されたとき

IICBSYn	I²Cバス状態フラグ
0	バス解放状態（STCENn = 1時の通信初期状態）。
1	バス通信状態（STCENn = 0時の通信初期状態）。

クリアされる条件（IICBSYn = 0）	セットされる条件（IICBSYn = 1）
・ストップ・コンディション検出時 ・IICEn = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCENn = 0時のIICEnビットのセット

STCENn	初期スタート許可トリガ
0	動作許可（IICEn = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICEn = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCENn = 0）	セットされる条件（STCENn = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSVn = 0）	セットされる条件（IICRSVn = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット6, 7はRead onlyです。

注意1.　STCENnビットへの書き込みは動作停止（IICEn = 0）時のみ行ってください。

2.　STCENn = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSYn = 0）と認識しますので，1回目のスタート・コンディションを発行（STTn = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3.　IICRSVnへの書き込みは動作停止（IICEn = 0）時のみ行ってください。

備考 1.　STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1
　　IICEn　：　〃　のビット7

2.　n = 0

19. 3. 6　IICAコントロール・レジスタn1（IICCTLn1）

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは，WUPnビットを除きI²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，00Hになります。

図19－10　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット（1/2）

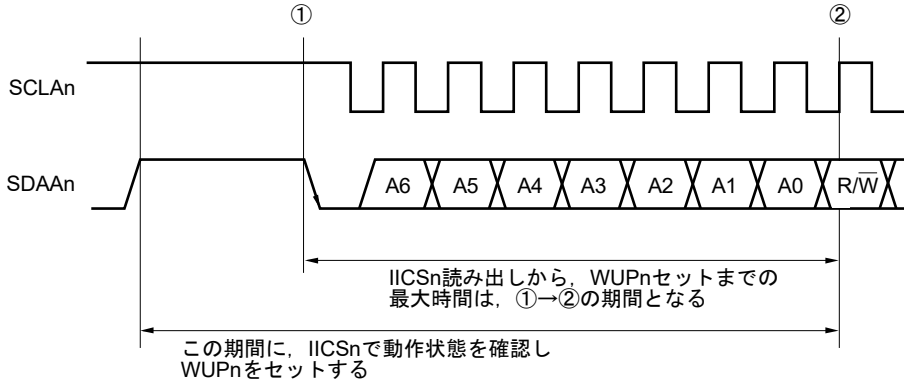
アドレス：F0231H　　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
WUPn = 1でSTOPモードに移行する場合は，WUPnビットをセット（1）してf_{MCK}の3クロック以上経過後にSTOP命令を実行してください（**図19－23 WUPn = 1を設定する場合のフロー**参照）。 アドレス一致，または拡張コード受信後はWUPnビットをクリア（0）してください。WUPnビットをクリア（0）することで，その後の通信に参加する事ができます（クロック・ストレッチ解除および送信データ書き込みは，WUPnビットをクリア（0）したあとに行う必要があります）。 WUPn = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUPn = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（WUPn = 0）	セットされる条件（WUPn = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTSn, EXCn, COIn = 0であり，STDn = 0（通信に不参加である事）のとき）[注2]

注1.　ビット4, 5はRead Onlyです。

2.　次に示す期間に，IICAステータス・レジスタn（IICSn）の状態を確認しセットする必要があります。



備考　n = 0

図19－10　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット（2/2）

アドレス：F0231H　　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn

CLDn	SCLAn端子のレベル検出（IICEn = 1のときのみ有効）
0	SCLAn端子がロウ・レベルであることを検出
1	SCLAn端子がハイ・レベルであることを検出

クリアされる条件（CLDn = 0）	セットされる条件（CLDn = 1）
・SCLAn端子がロウ・レベルのとき ・IICEn = 0（動作停止）のとき ・リセット時	・SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出（IICEn = 1のときのみ有効）
0	SDAAn端子がロウ・レベルであることを検出
1	SDAAn端子がハイ・レベルであることを検出

クリアされる条件（DADn = 0）	セットされる条件（DADn = 1）
・SDAAn端子がロウ・レベルのとき ・IICEn = 0（動作停止）のとき ・リセット時	・SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは，ファースト・モードおよびファースト・モード・プラス時に使用してください。
デジタル・フィルタは，ノイズ除去のために使用します。DFCnビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。

PRSn	IICA動作クロック（f_{MCK}）の制御
0	f_{CLK}を選択（1 MHz≦f_{CLK}≦20 MHz）
1	f_{CLK}/2を選択（20MHz＜f_{CLK}）

注意1.　IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。
f_{CLK}が20 MHzを越える場合のみ，IICAコントロール・レジスタn1（IICCTLn1）のビット0（PRSn）に“1”を設定してください。

2.　転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。
シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。
ファースト・モード時：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時：f_{CLK} = 10 MHz（Min.）
標準モード時：f_{CLK} = 1 MHz（Min.）

注意3. **ファースト・モード・プラスは，A:民生用途（T_A = －40～＋85 ℃）D:産業用途（T_A = －40～＋85 ℃）のみです。**

備考 1. IICEn：IICAコントロール・レジスタn0（IICCTLn0）のビット7

2. n = 0

19. 3. 7　IICAロウ・レベル幅設定レジスタn（IICWLn）

シリアル・インタフェースIICAが，出力するSCLAn端子信号のロウ・レベル幅（t_{LOW}）とSDAAn端子信号を制御するレジスタです。

IICWLnレジスタは，8ビット・メモリ操作命令で設定します。

IICWLnレジスタは，I^2Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWLnの設定方法については，**19. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法**を参照してください。

また，データ・ホールド時間はIICWLnで設定した時間の1/4になります。

図19－11　IICAロウ・レベル幅設定レジスタn（IICWLn）のフォーマット

アドレス：F0232H　　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

19. 3. 8　IICAハイ・レベル幅設定レジスタn（IICWHn）

シリアル・インタフェースIICAが，出力するSCLAn端子信号のハイ・レベル幅とSDAAn端子信号を制御するレジスタです。

IICWHnレジスタは，8ビット・メモリ操作命令で設定します。

IICWHnレジスタは，I^2Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

図19－12　IICAハイ・レベル幅設定レジスタn（IICWHn）のフォーマット

アドレス：F0233H　　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

備考 1. マスタ側の転送クロックの設定方法は**19. 4. 2（1）**を，スレーブ側のIICWLn, IICWHnレジスタの設定方法は，**19. 4. 2（2）**を参照してください。

2. n = 0

19. 3. 9　ポート・モード・レジスタ6（PM6）

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICEn（IICAコントロール・レジスタn0（IICCTLn0）のビット7）が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICEnビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図19－13　ポート・モード・レジスタ6（PM6）のフォーマット

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択（n = 0-2）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

19. 4　I²Cバス・モードの機能

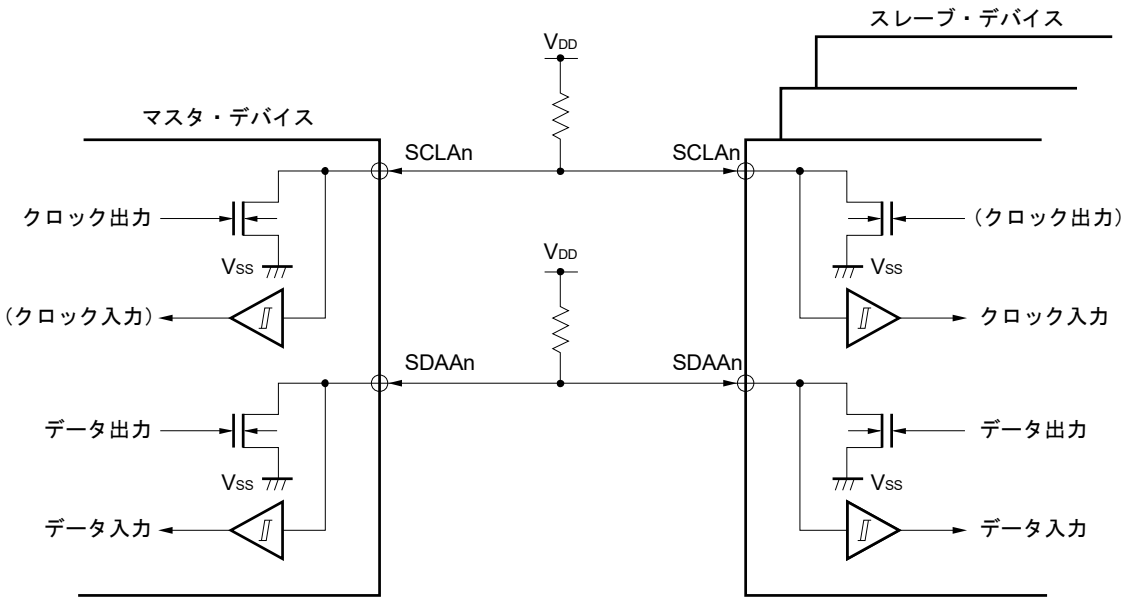
19. 4. 1　端子構成

シリアル・クロック端子（SCLAn）と，シリアル・データ・バス端子（SDAAn）の構成は，次のようになっています。

（1）SCLAn……シリアル・クロックを入出力するための端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。
（2）SDAAn……シリアル・データの入出力兼用端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図19－14　端子構成図



備考　n = 0

19. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法

（1）マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWLn + IICWHn + f_{MCK}(t_R + t_F)}$$

このとき，最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

・標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

・ファースト･モード･プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

（2）スレーブ側のIICWLn, IICWHnレジスタ設定方法
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$IICWLn = 1.3\ \mu s \times f_{MCK}$

$IICWHn = (1.2\ \mu s - t_R - t_F) \times f_{MCK}$

・標準モード時

$IICWLn = 4.7\ \mu s \times f_{MCK}$

$IICWHn = (5.3\ \mu s - t_R - t_F) \times f_{MCK}$

・ファースト･モード･プラス時

$IICWLn = 0.50\ \mu s \times f_{MCK}$

$IICWHn = (0.50\ \mu s - t_R - t_F) \times f_{MCK}$

注意1.　IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。
f_{CLK}が20 MHzを越える場合のみ，IICAコントロール・レジスタn1（IICCTLn1）のビット0（PRSn）に“1”を設定してください。

2.　転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）

ファースト・モード・プラス時　：f_{CLK} = 10 MHz（Min.）

標準モード時　：f_{CLK} = 1 MHz（Min.）

（備考は次ページにあります。）

備考1. SDAAn, SCLAn信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

2. IICWLn　：IICAロウ・レベル幅設定レジスタn

IICWHn　：IICAハイ・レベル幅設定レジスタn

t_F　：SDAAn, SCLAn信号の立ち下がり時間

t_R　：SDAAn, SCLAn信号の立ち上がり時間

f_{MCK}　：IICA動作クロック周波数

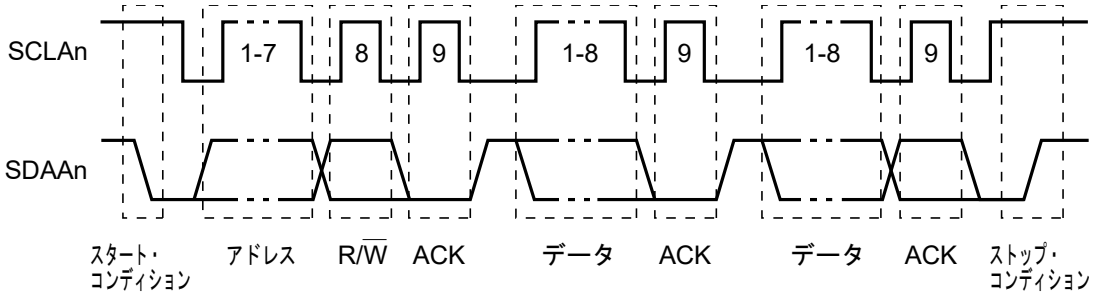
3. n = 0

19. 5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを**図19－15**に示します。

図19－15　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

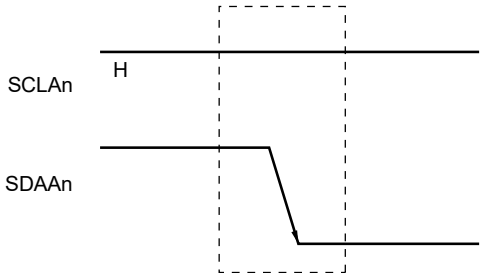
アクノリッジ（ACK）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLAn）は，マスタが出力し続けます。ただし，スレーブはSCLAn端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

19. 5. 1　スタート・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子，SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図19－16　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPDn：IICAステータス・レジスタn（IICSn）のビット0 = 1）のときにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSnレジスタのビット1（STDn）がセット（1）されます。

備考　n = 0

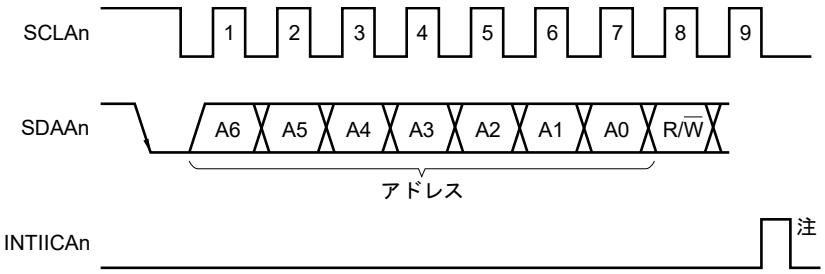
19. 5. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタn（SVAn）と一致しているかを調べます。このとき，7ビット・データとSVAnレジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図19－17　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

アドレスは，スレーブのアドレスと**19. 5. 3　転送方向指定**に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタn（IICAn）に書き込むと出力します。また，受信したアドレスはIICAnレジスタに書き込まれます。

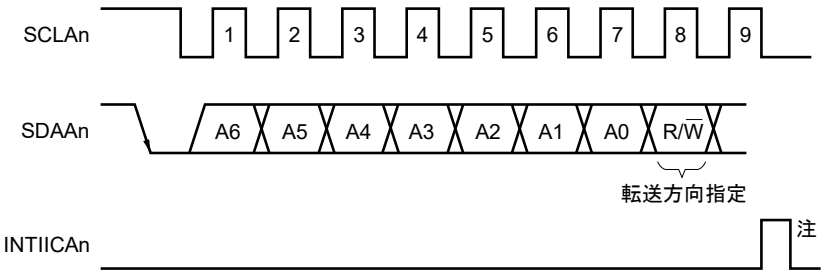
なお，スレーブのアドレスは，IICAnレジスタの上位7ビットに割り当てられます。

19. 5. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図19－18　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

備考　n = 0

19. 5. 4　アクノリッジ（ACK）

アクノリッジ（ACK）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタn（IICSn）のビット2（ACKDn）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

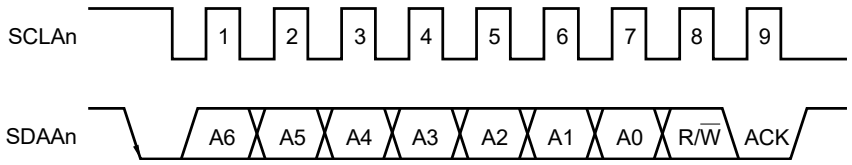
アクノリッジ生成は，受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタn0（IICCTLn0）のビット2（ACKEn）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3（TRCn）が設定されます。受信（TRCn = 0）の場合は，通常，ACKEnビットをセット（1）してください。

スレーブ受信動作時（TRCn = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKEnビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCn = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKEnビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図19－19　アクノリッジ



自局アドレス受信時は，ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKEnビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，クロック・ストレッチ・タイミングの設定により次のように異なります。

・8クロック・クロック・ストレッチ選択時（IICCTLn0レジスタのビット3（WTIMn）　= 0）：
　クロック・ストレッチ解除を行う前にACKEnビットをセット（1）することによって，SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
・9クロック・クロック・ストレッチ選択時（IICCTLn0レジスタのビット3（WTIMn）　= 1）：
　あらかじめACKEnビットをセット（1）することによって，アクノリッジを生成します。

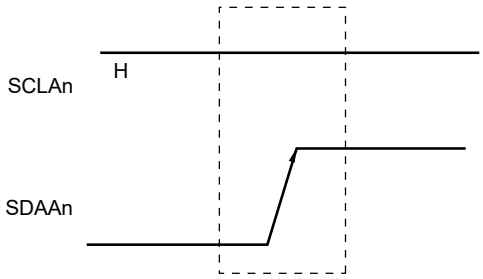
備考　n = 0

19. 5. 5　ストップ・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図19－20　ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタn0（IICCTLn0）のビット0（SPTn）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタn（IICSn）のビット0（SPDn）がセット（1）され，IICCTLn0レジスタのビット4（SPIEn）がセット（1）されている場合にはINTIICAnが発生します。

備考　n = 0

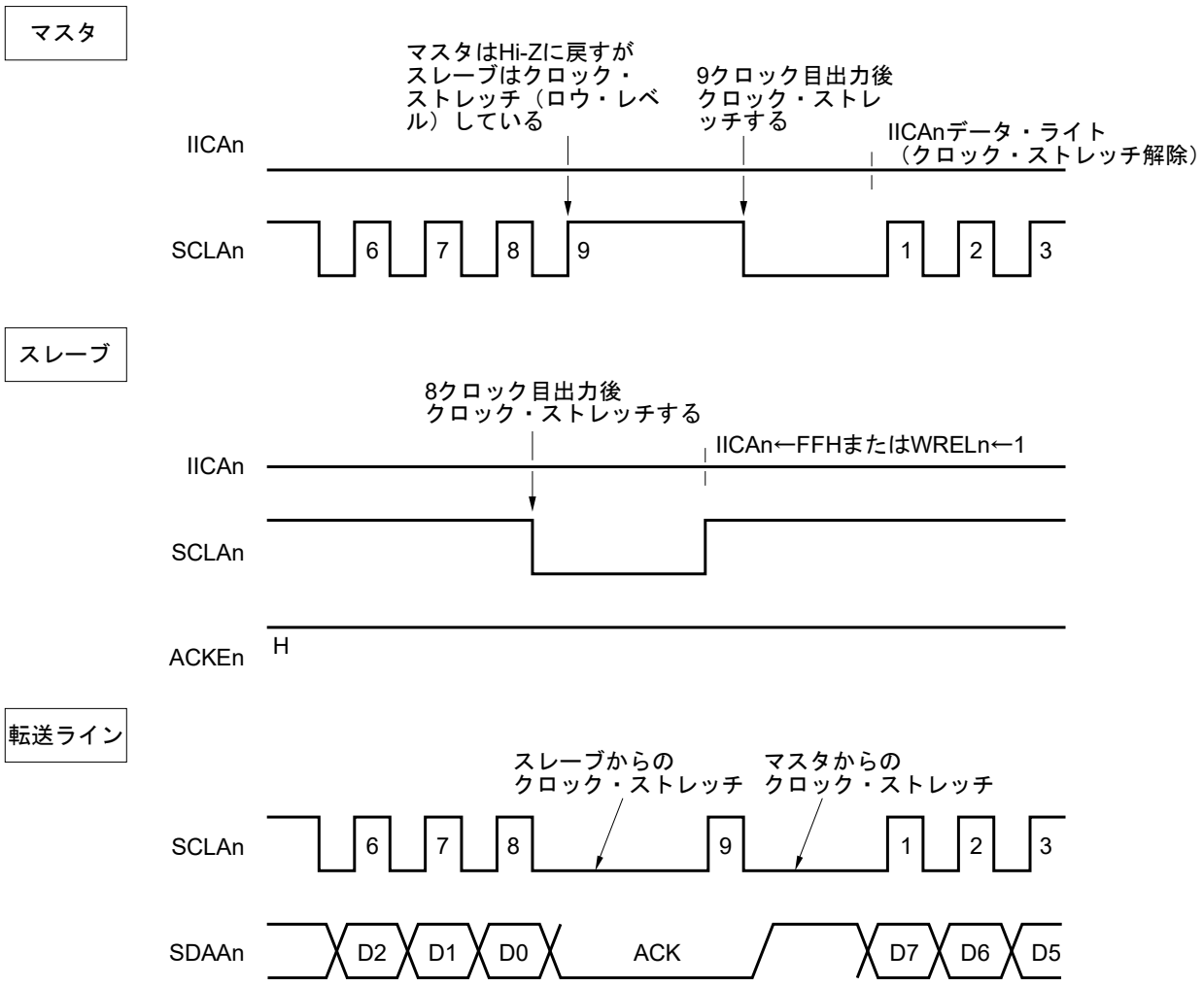
19. 5. 6　クロック・ストレッチ

クロック・ストレッチによっては，マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより，相手にクロック・ストレッチ状態を知らせます。マスタ，スレーブ両方のクロック・ストレッチ状態が解除されると，次の転送を開始できます。

図19－21　クロック・ストレッチ（1/2）

（1）マスタは9クロック・クロック・ストレッチ，スレーブは8クロック・クロック・ストレッチ時
（マスタ：送信，スレーブ：受信，ACKEn = 1）

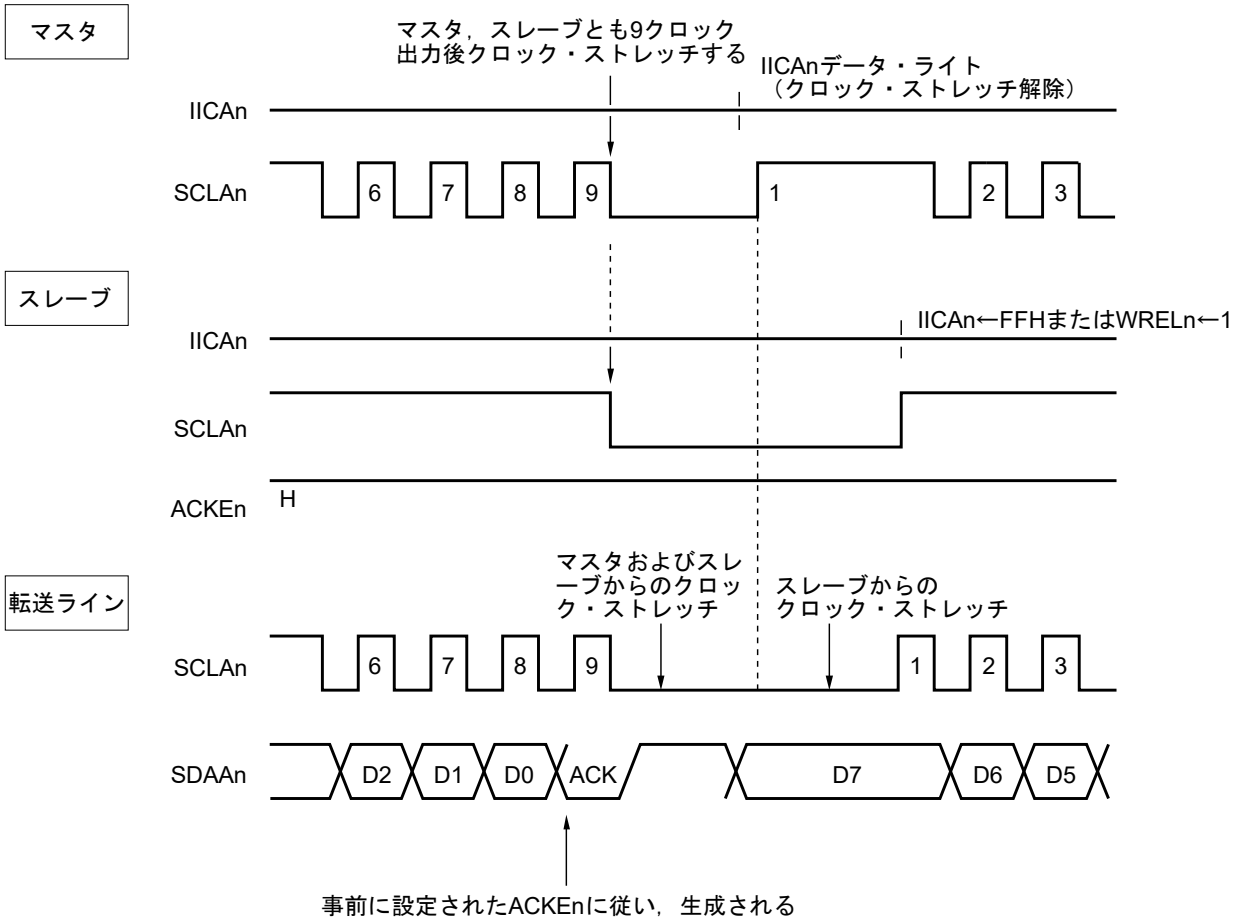


備考　n = 0

図19－21　クロック・ストレッチ（2/2）

（2）マスタ，スレーブとも9クロック・クロック・ストレッチ時

（マスタ：送信，スレーブ：受信，ACKEn = 1）



備考　ACKEn　：IICAコントロール・レジスタn0（IICCTLn0）のビット2

WRELn　：　　〃　　のビット5

クロック・ストレッチは，IICAコントロール・レジスタn0（IICCTLn0）のビット3（WTIMn）の設定により自動的に発生します。

通常，受信側はIICCTLn0レジスタのビット5（WRELnビット）= 1またはIICAシフト・レジスタn（IICAn）にFFHを書き込むとクロック・ストレッチを解除し，送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は，次の方法でもクロック・ストレッチを解除できます。

・IICCTLn0レジスタのビット1（STTn）= 1

・IICCTLn0レジスタのビット0（SPTn）= 1

備考　n = 0

19. 5. 7　クロック・ストレッチ解除方法

I²Cでは，通常，次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）のセット（クロック・ストレッチ解除）
- IICCTLn0レジスタのビット1（STTn）のセット（スタート・コンディションの生成）注
- IICCTLn0レジスタのビット0（SPTn）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合，I²Cはクロック・ストレッチを解除し，通信が再開されます。

クロック・ストレッチを解除してデータ（アドレスを含む）を送信する場合には，IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTLn0レジスタのビット5（WRELn）をセット（1）してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には，IICCTLn0レジスタのビット1（STTn）をセット（1）してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には，IICCTLn0レジスタのビット0（SPTn）をセット（1）してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば，WRELnビットにセット（1）によるクロック・ストレッチ解除後，IICAnレジスタへのデータ書き込みを実施した場合には，SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により，SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICEnビットをクリア（0）すると通信を停止するので，クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTLn0レジスタのビット6（LRELn）をセット（1）すると通信から退避するので，クロック・ストレッチを解除できます。

注意　WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合，クロック・ストレッチは解除されません。

備考　n = 0

19. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびクロック・ストレッチ制御

IICAコントロール・レジスタn0（IICCTLn0）のビット3（WTIMn）の設定で，**表19－2**に示すタイミングでINTIICAnが発生し，また，クロック・ストレッチ制御を行います。

表19－2　INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1. スレーブのINTIICAn信号およびクロック・ストレッチは，スレーブ・アドレス・レジスタn（SVAn）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTLn0レジスタのビット2（ACKEn）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICAnを発生しますが，クロック・ストレッチは発生しません。

2. スレーブ・アドレス・レジスタn（SVAn）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICAnもクロック・ストレッチも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

（1）アドレス送受信時

・スレーブ動作時：WTIMnビットにかかわらず，上記の注1, 2の条件により，割り込みおよびクロック・ストレッチ・タイミングが決まります。
・マスタ動作時　：WTIMnビットにかかわらず，割り込みおよびクロック・ストレッチ・タイミングは，9クロック目の立ち下がりで発生します。

（2）データ受信時

・マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

（3）データ送信時

・マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考　n = 0

（4）クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

・IICAシフト・レジスタn（IICAn）へのデータ書き込み
・IICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）のセット（クロック・ストレッチ解除）
・IICCTLn0レジスタのビット1（STTn）のセット（スタート・コンディションの生成）注
・IICCTLn0レジスタのビット0（SPTn）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

8クロック・クロック・ストレッチ選択（WTIMn = 0）時は，クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

（5）ストップ・コンディション検出

INTIICAnは，ストップ・コンディションを検出すると発生します（SPIEn = 1のときのみ）。

19. 5. 9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタn（SVAn）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICAn割り込み要求が発生します。

19. 5. 10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDAAn）の状態が，送信しているデバイスのIICAシフト・レジスタn（IICAn）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考　n = 0

19. 5. 11　拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ（EXCn）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICAn）を発生します。
スレーブ・アドレス・レジスタn（SVAn）に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“11110xx0”を設定されているときに，10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICAn）は，8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 ：EXCn = 1
・7ビット・データの一致　　：COIn = 1

備考　EXCn　　：IICAステータス・レジスタn（IICSn）のビット5
　　COIn　　：　　〃　　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタn0（IICCTLn0）のビット6（LRELn）= 1に設定してください。次の通信待機状態にします。

表19－3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説　　明
0000　000	0	ジェネラル・コール・アドレス
1111　0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111　0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後，リード・コマンド発行時）

備考 1.　上記以外の拡張コードについては，NXP社発行のI^2Cバスの仕様書を参照してください。
2.　n = 0

19. 5. 12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STDn = 1になる前にSTTn = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

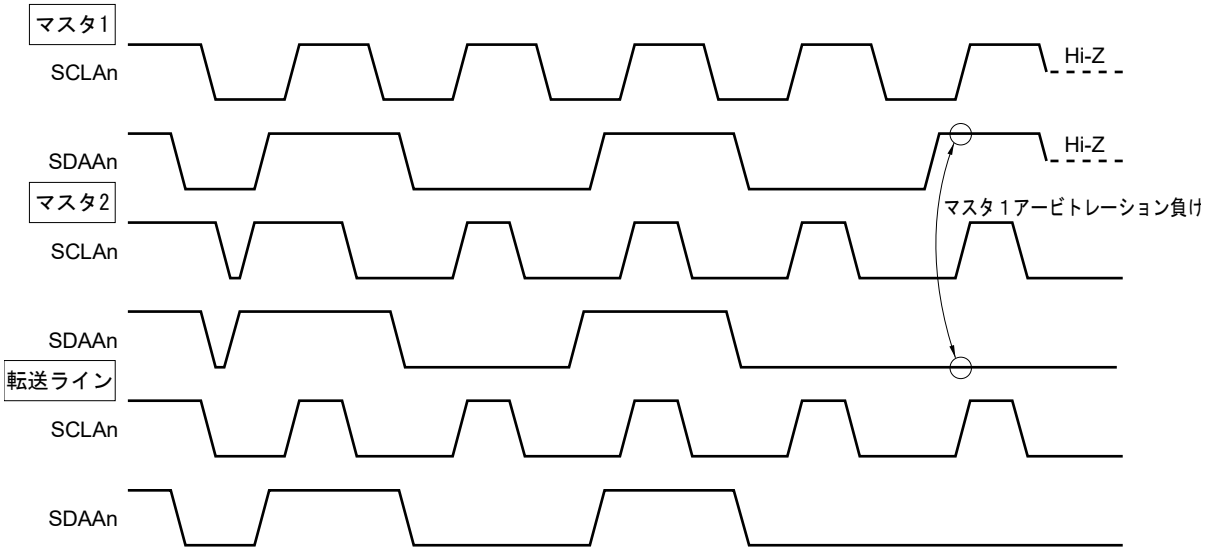
アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタn（IICSn）のアービトレーション負けフラグ（ALDn）をセット（1）し，SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては，**19. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびクロック・ストレッチ制御**を参照してください。

備考　STDn　：IICAステータス・レジスタn（IICSn）のビット1
　　STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1

図19－22　アービトレーション・タイミング例



備考　n = 0

表19－4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1.　WTIMnビット（IICAコントロール・レジスタn0（IICCTLn0）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIEn = 1に設定してください。

備考 1.　SPIEn：IICAコントロール・レジスタn0（IICCTLn0）のビット4

2.　n = 0

19. 5. 13　ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生する機能です。

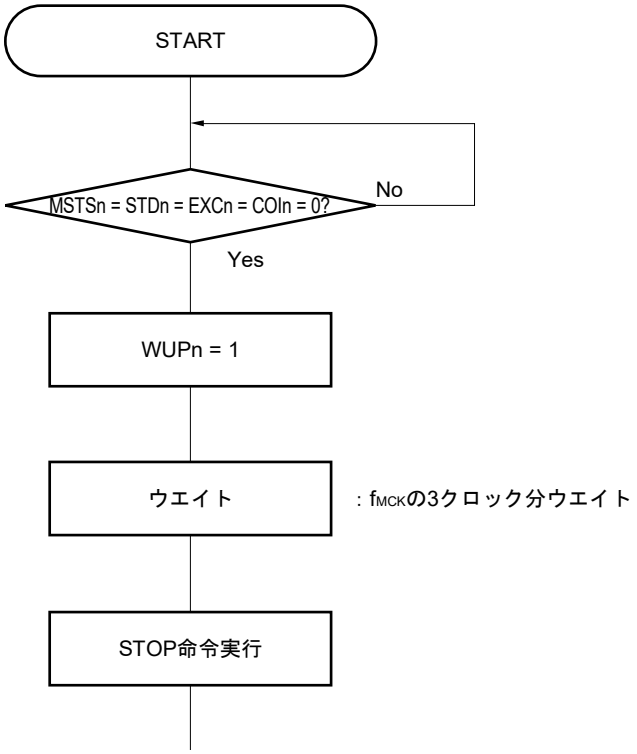
アドレスが一致しないときは不要なINTIICAn信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生します。この割り込み発生後に命令でWUPnビットをクリア（0）することで通常動作に戻ります。

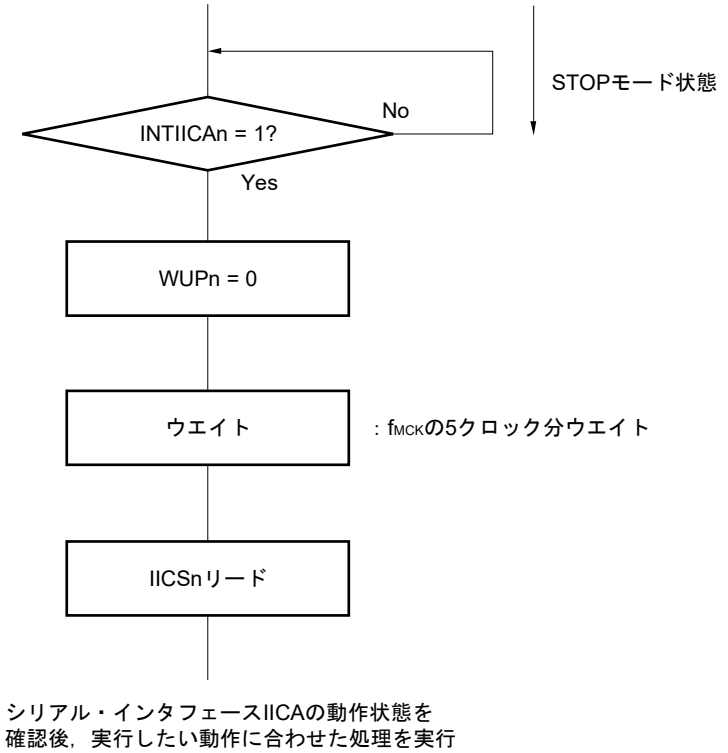
WUPn = 1に設定する場合のフローを**図19－23**に，アドレス一致によりWUPn = 0に設定する場合のフローを**図19－24**に示します。

図19－23　WUPn = 1を設定する場合のフロー



備考　n = 0

図19－24　アドレス一致によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）

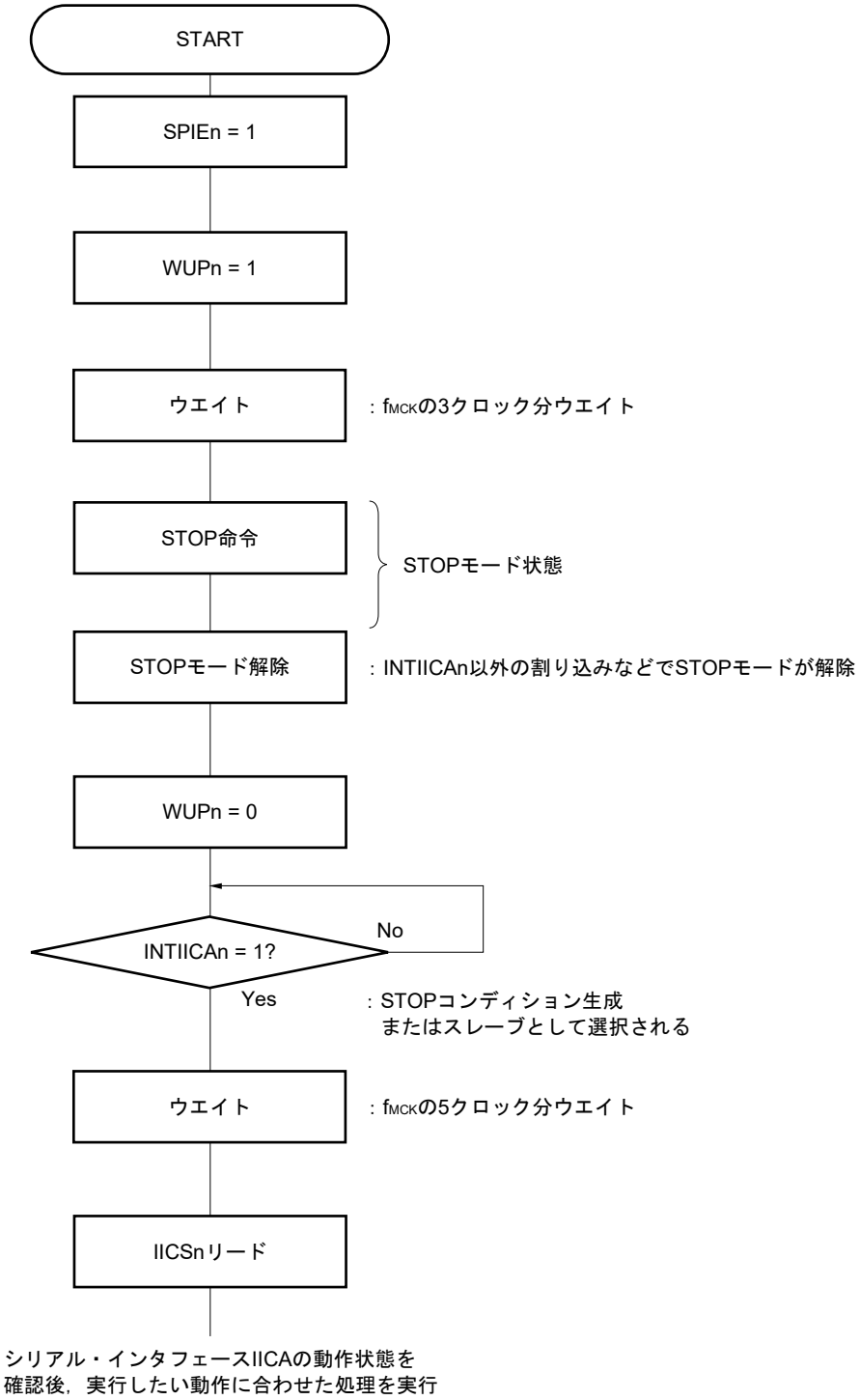


また，シリアル・インタフェースIICAからの割り込み要求（INTIICAn）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

・次のIIC通信をマスタとして動作させる場合　　：図19－25のフロー
・次のIIC通信をスレーブとして動作させる場合：
　INTIICAn割り込みで復帰した場合：図19－23のフローと同じになります。
　INTIICAn割り込み以外の割り込みで復帰した場合：　INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考　n = 0

図19－25　INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考　n = 0

19. 5. 14　通信予約

（1）通信予約機能許可の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn）= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタn0（IICCTLn0）のビット6（LRELn）= 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTLn0レジスタのビット1（STTn）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTLn0レジスタのビット4（SPIEn）をセット（1）し，割り込み要求信号（INTIICAn）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタn（IICAn）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICAnレジスタに書き込まれたデータは，無効です。

STTnビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき……スタート・コンディション生成
・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STTnビットをセット（1）し，ウエイト時間をとったあと，MSTSnビット（IICAステータス・レジスタn（IICSn）のビット7）で確認します。

ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

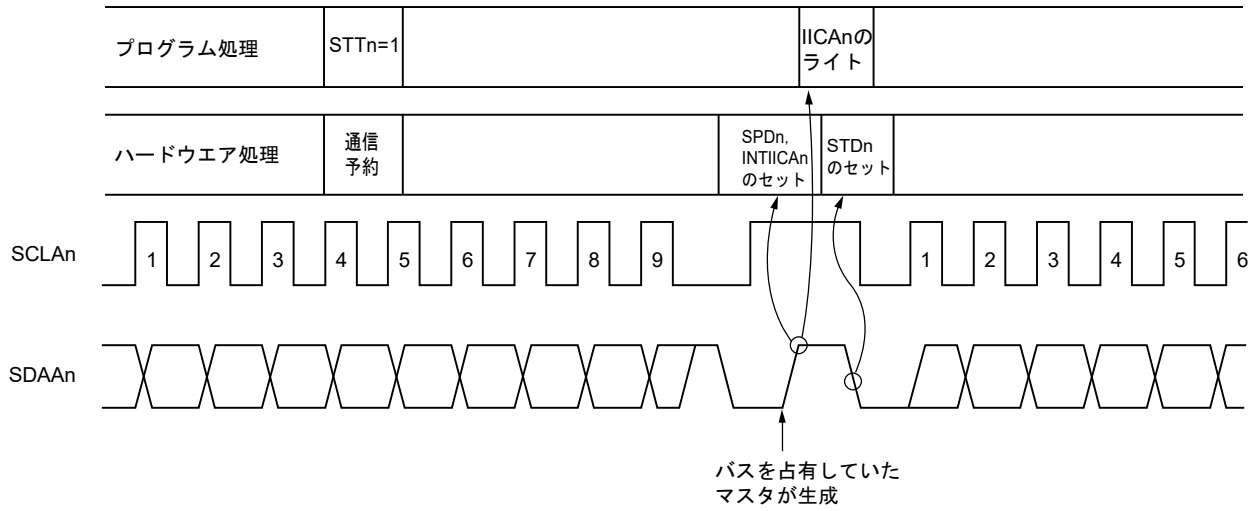
STTn = 1からMSTSnフラグ確認までのウエイト時間： （IICWLnの設定値＋IICWHnの設定値＋4）/ f_{MCK}＋t_F×2

備考1.　IICWLn　：IICAロウ・レベル幅設定レジスタn
IICWHn　：IICAハイ・レベル幅設定レジスタn
t_F　：SDAAn, SCLAn信号の立ち下がり時間
f_{MCK}　：IICA動作クロック周波数

2.　n = 0

通信予約のタイミングを**図19－26**に示します。

図19－26　通信予約のタイミング



備考　IICAn ：IICAシフト・レジスタn

STTn ：IICAコントロール・レジスタn0（IICCTLn0）のビット1

STDn ：IICAステータス・レジスタn（IICSn）のビット1

SPDn ：　　〃　　のビット0

通信予約は**図19－27**に示すタイミングで受け付けられます。IICAステータス・レジスタn（IICSn）のビット1（STDn）= 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）= 1で通信予約をします。

図19－27　通信予約受け付けタイミング

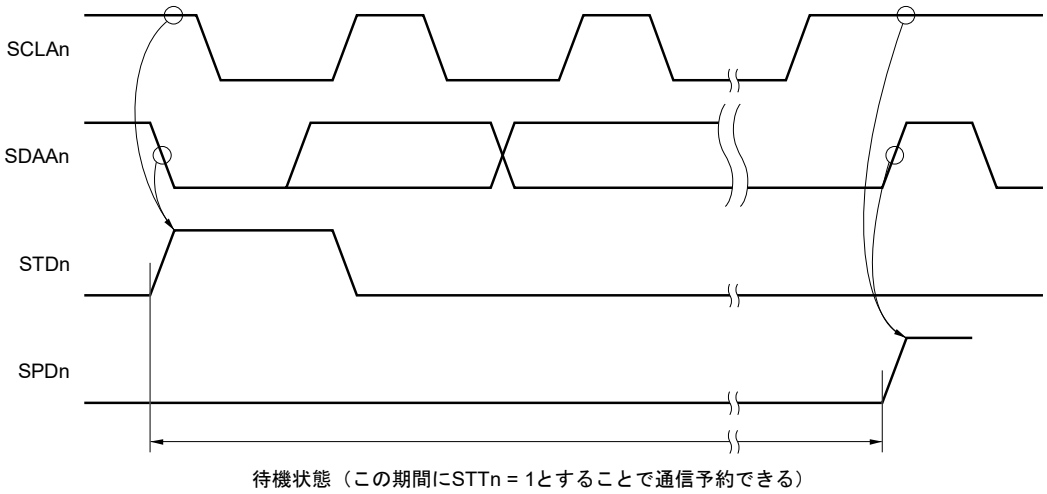
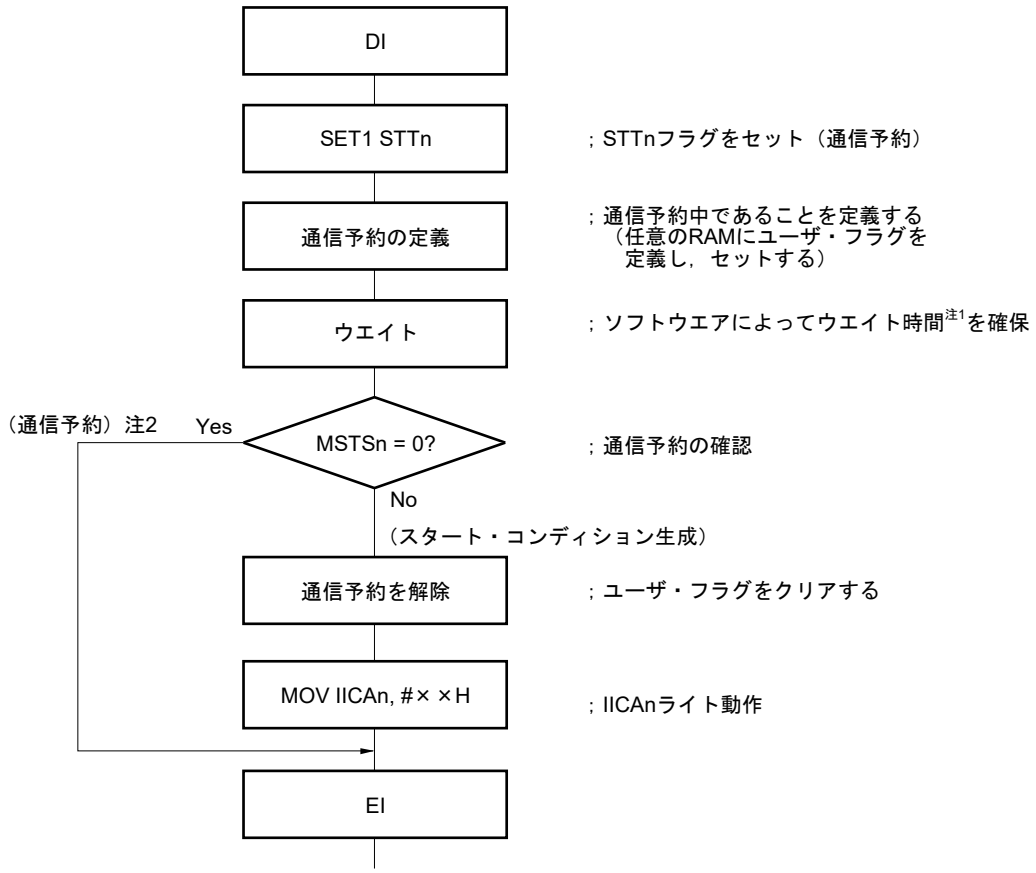


図19－28に通信予約の手順を示します。

備考　n = 0

図19－28　通信予約の手順



注1.　ウエイト時間は次のようになります。

（IICWLnの設定値＋IICWHnの設定値＋4）/ f_{MCK}＋t_F×2

2.　通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタn（IICAn）への書き込みを実行します。

備考 1.　STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1

MSTSn　：IICAステータス・レジスタn（IICSn）のビット7

IICAn　：IICAシフト・レジスタn

IICWLn　：IICAロウ・レベル幅設定レジスタn

IICWHn　：IICAハイ・レベル幅設定レジスタn

t_F　：SDAAn, SCLAn信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

2.　n = 0

（2）通信予約機能禁止の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn）= 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTLn0レジスタのビット6（LRELn）= 1で通信退避してバスを解放した）とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCFn（IICFnレジスタのビット7）で確認できます。STTn = 1としてからSTCFnがセット（1）されるまでf_{MCK}の5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

備考　n = 0

19. 5. 15　その他の注意事項

（1）STCENn = 0の場合

I²C動作許可（IICEn = 1）直後，実際のバス状態にかかわらず通信状態（IICBSYn = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタn1（IICCTLn1）を設定する
② IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）をセット（1）する
③ IICCTLn0レジスタのビット0（SPTn）をセット（1）する

（2）STCENn = 1の場合

I²C動作許可（IICEn = 1）直後，実際のバス状態にかかわらず解放状態（IICBSYn = 0）と認識しますので，1回目のスタート・コンディションを生成（STTn = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

（3）すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで，かつSCLAn端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTLn0レジスタのビット4（SPIEn）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICAn）発生を禁止する
② IICCTLn0レジスタのビット7（IICEn）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICEnビットをセット（1）してから，f_{MCK}の4～72クロック中）に，IICCTLn0レジスタのビット6（LRELn）をセット（1）にし，強制的に検出を無効とする

（4）STTn，SPTnビット（IICCTLn0レジスタのビット1，0）をセットしたあと，クリア（0）される前の再セットは禁止します。

（5）送信予約をした場合には，SPIEnビット（IICCTLn0レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタn（IICAn）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTSnビット（IICAステータス・レジスタn（IICSn）のビット7）を検出する場合には，SPIEnビットをセット（1）する必要はありません。

備考　n = 0

19. 5. 16　通信動作

ここでは，次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I^2Cバスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI^2Cバスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I^2Cバスのスレーブとして使用する場合の例を示します。

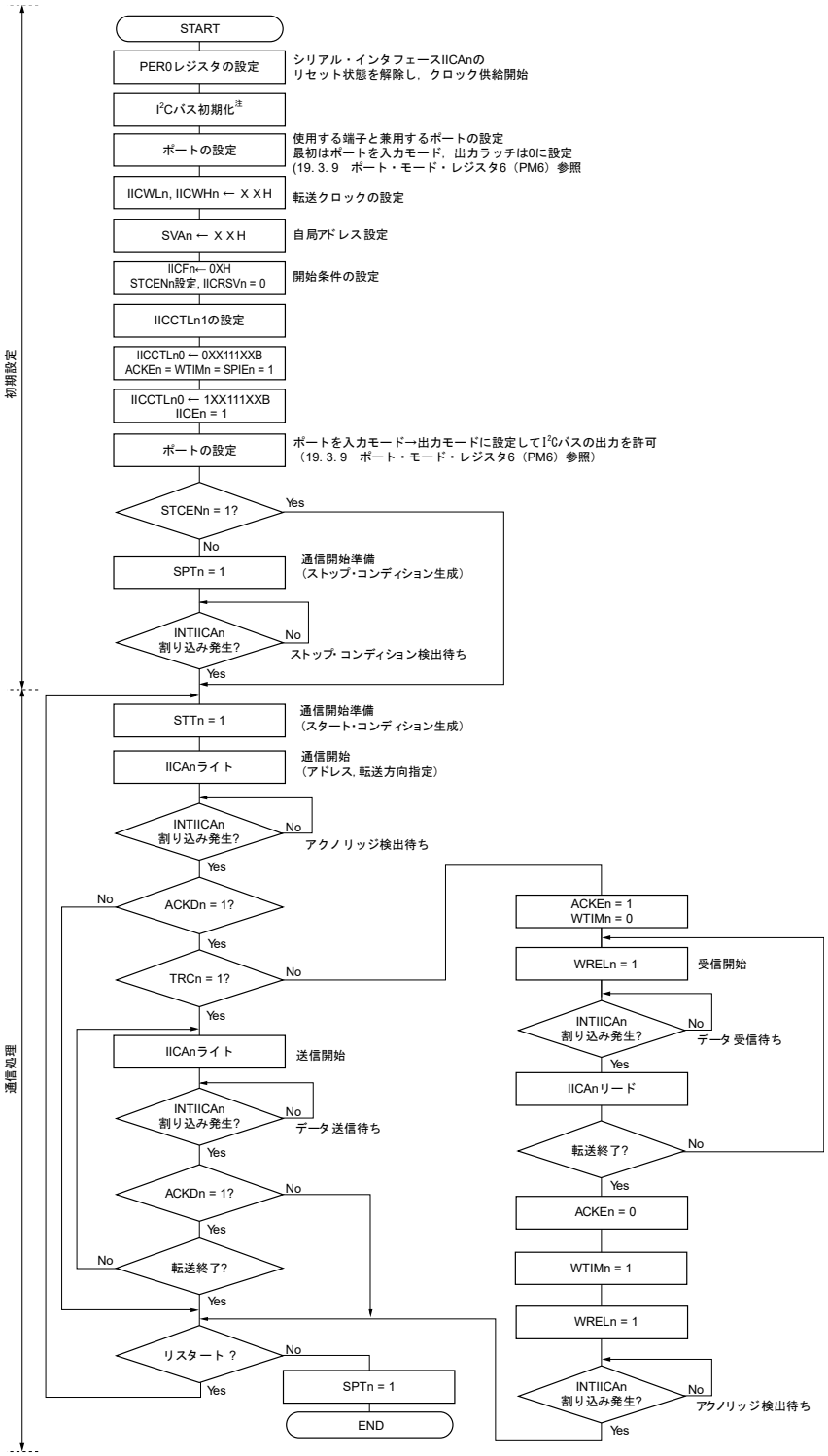
スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

備考　n = 0

（1）シングルマスタ・システムでのマスタ動作

図19－29　シングルマスタ・システムでのマスタ動作

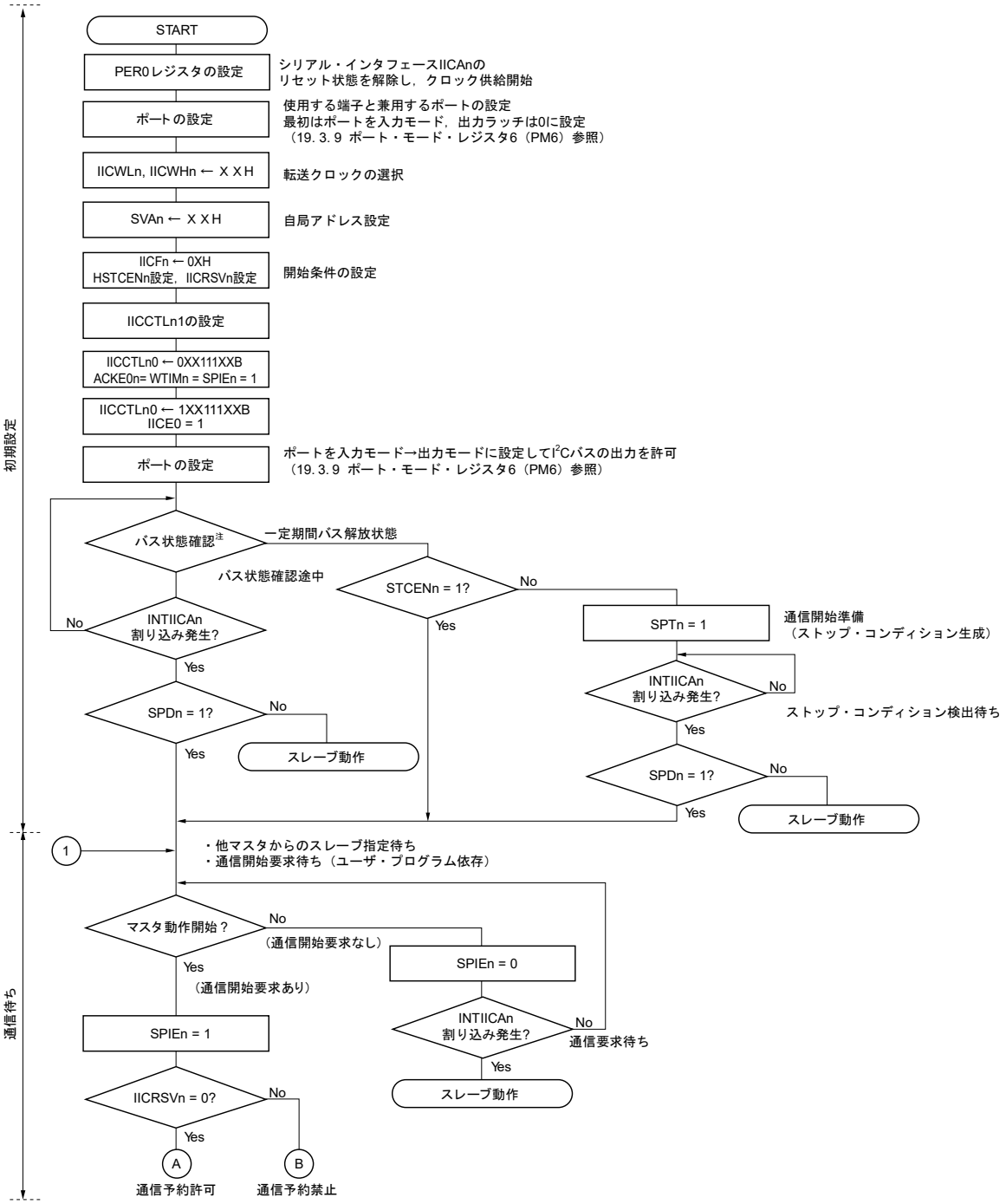


注　通信している製品の仕様に準拠し，I²Cバスを解放（SCLAn, SDAAn端子 ＝ ハイ・レベル）してください。たとえば，EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば，SCLAn端子を出力ポートに設定し，SDAAn端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考 1.　送信および受信フォーマットは，通信している製品の仕様に準拠してください。
2.　n = 0

（2）マルチマスタ・システムでのマスタ動作

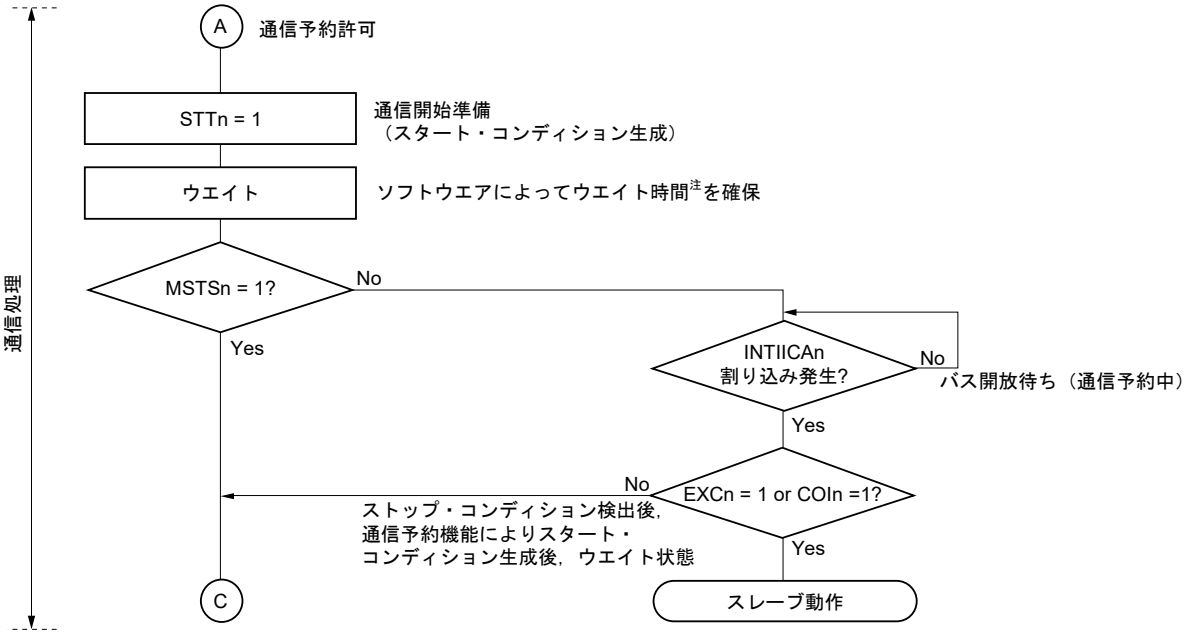
図19－30　マルチマスタ・システムでのマスタ動作（1/3）



注　一定期間（たとえば1フレーム分），バス解放状態（CLDnビット ＝ 1, DADnビット ＝ 1）であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I²Cバスを解放（SCLAn, SDAAn端子 ＝ ハイ・レベル）するか判断してください。

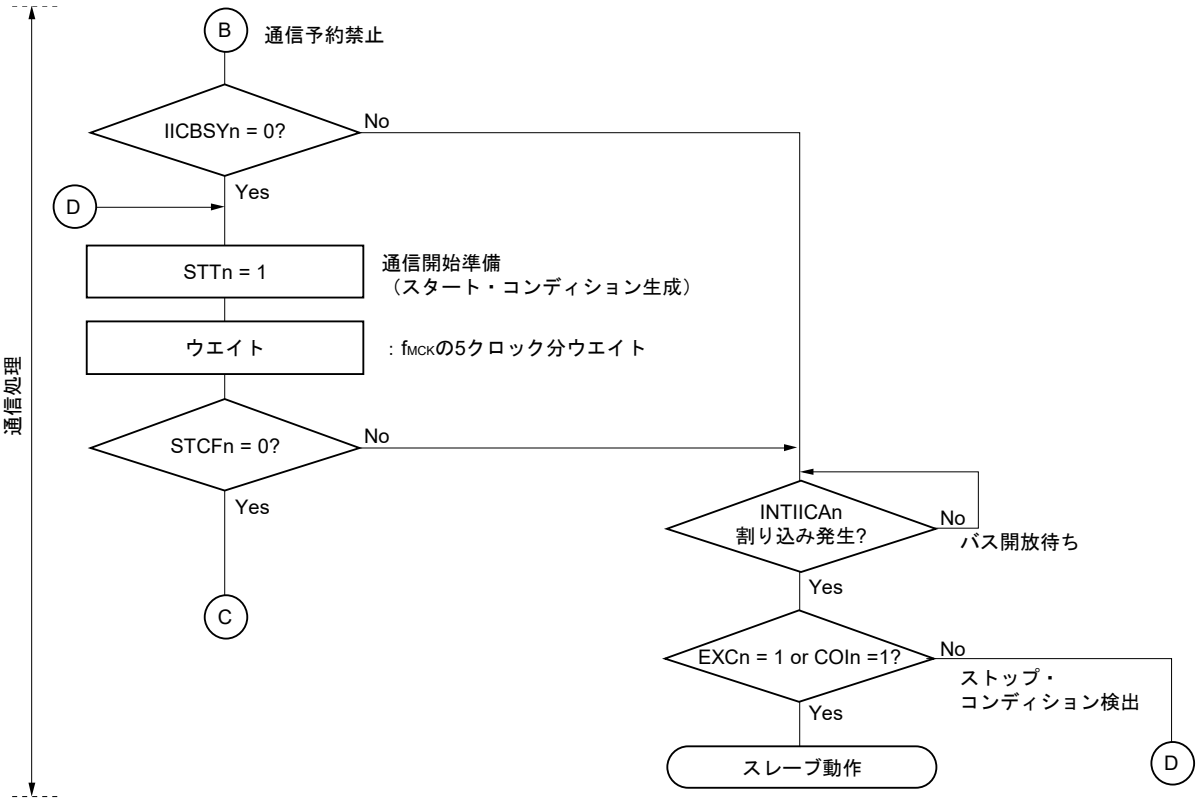
備考　n = 0

図19－30　マルチマスタ・システムでのマスタ動作（2/3）



注　ウエイト時間は次のようになります。

（IICWLnの設定値＋IICWHnの設定値＋4）/ f_{MCK}＋t_F×2



備考1.　IICWLn　：IICAロウ・レベル幅設定レジスタn

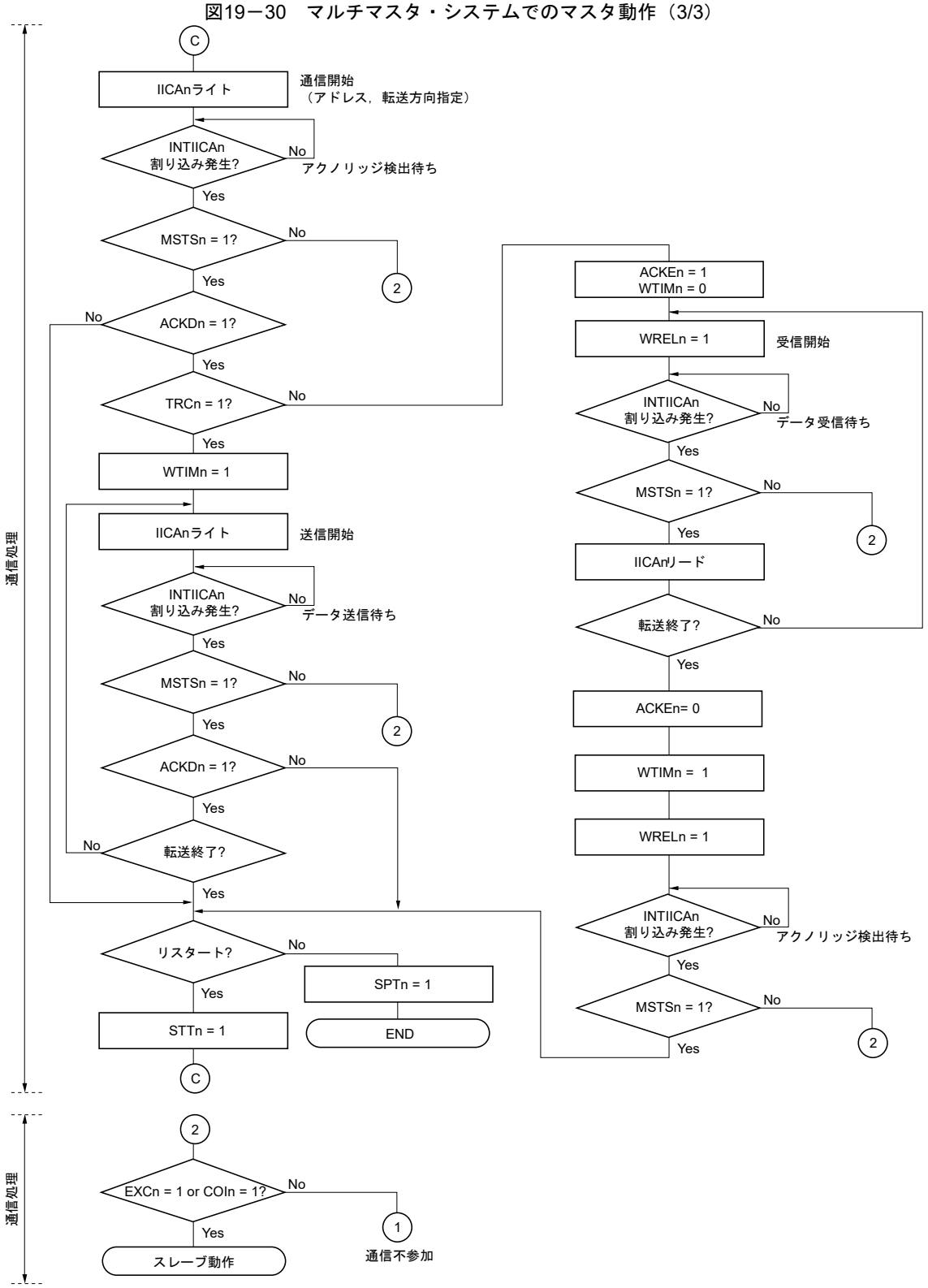
IICWHn　：IICAハイ・レベル幅設定レジスタn

t_F　：SDAAn, SCLAn信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

2.　n = 0

図19－30　マルチマスタ・システムでのマスタ動作（3/3）



備考 1.　送信および受信フォーマットは通信している製品の仕様に準拠してください。

2.　マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

3.　マルチマスタ・システムでスレーブとして使用する場合は，INTIICAn割り込み発生ごとにIICAステータス・レジスタn（IICSn），IICAフラグ・レジスタn（IICFn）でステータスを確認して次に行う処理を決定してください。

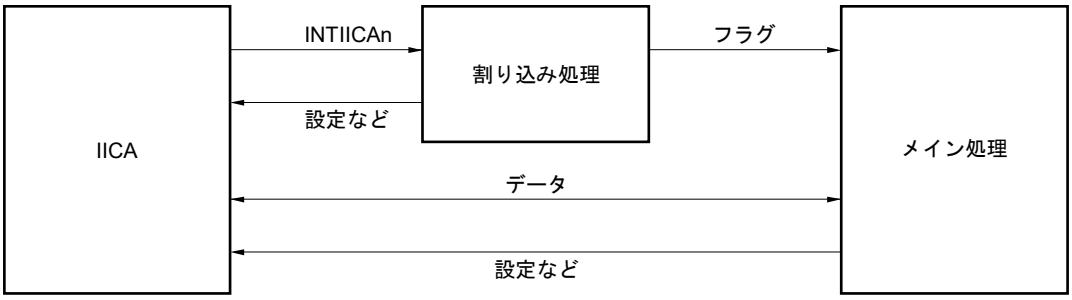
4.　n = 0

（3）スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICAnの代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード：データ通信を行っていない状態

・通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

備考　n = 0

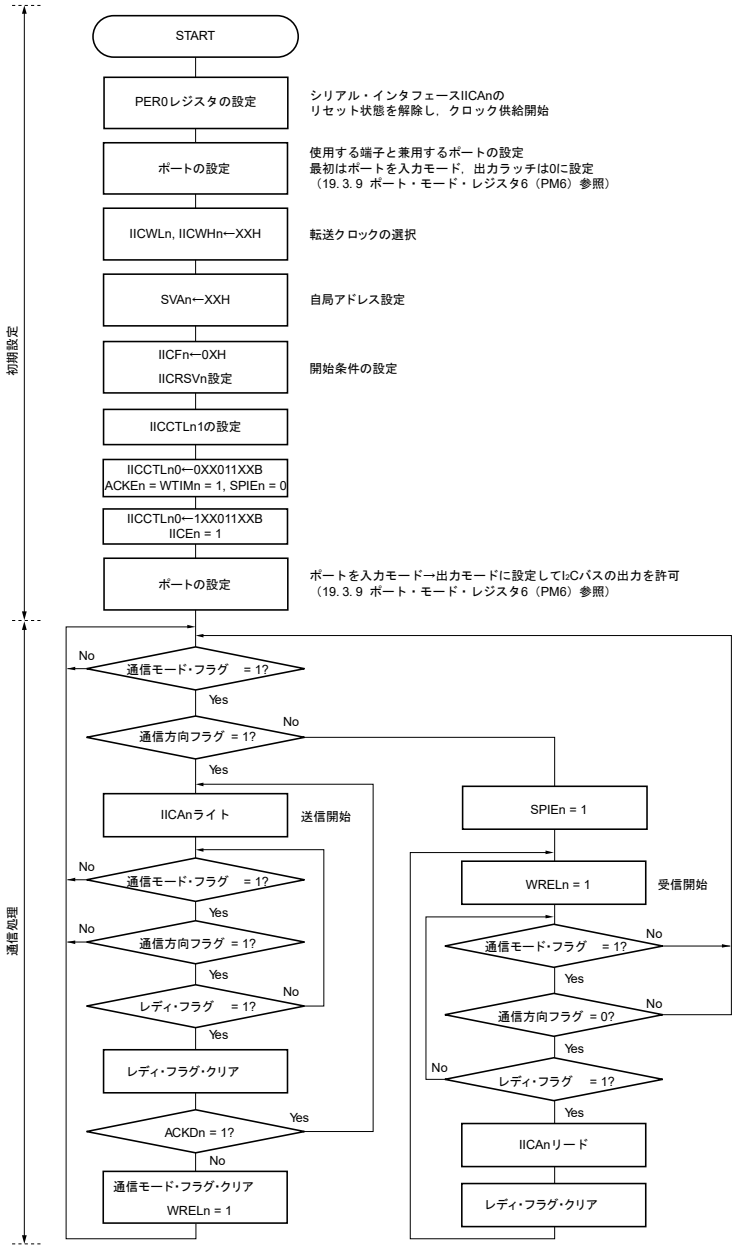
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図19－31　スレーブ動作手順（1）



備考 1.　送信および受信フォーマットは通信している製品の仕様に準拠してください。

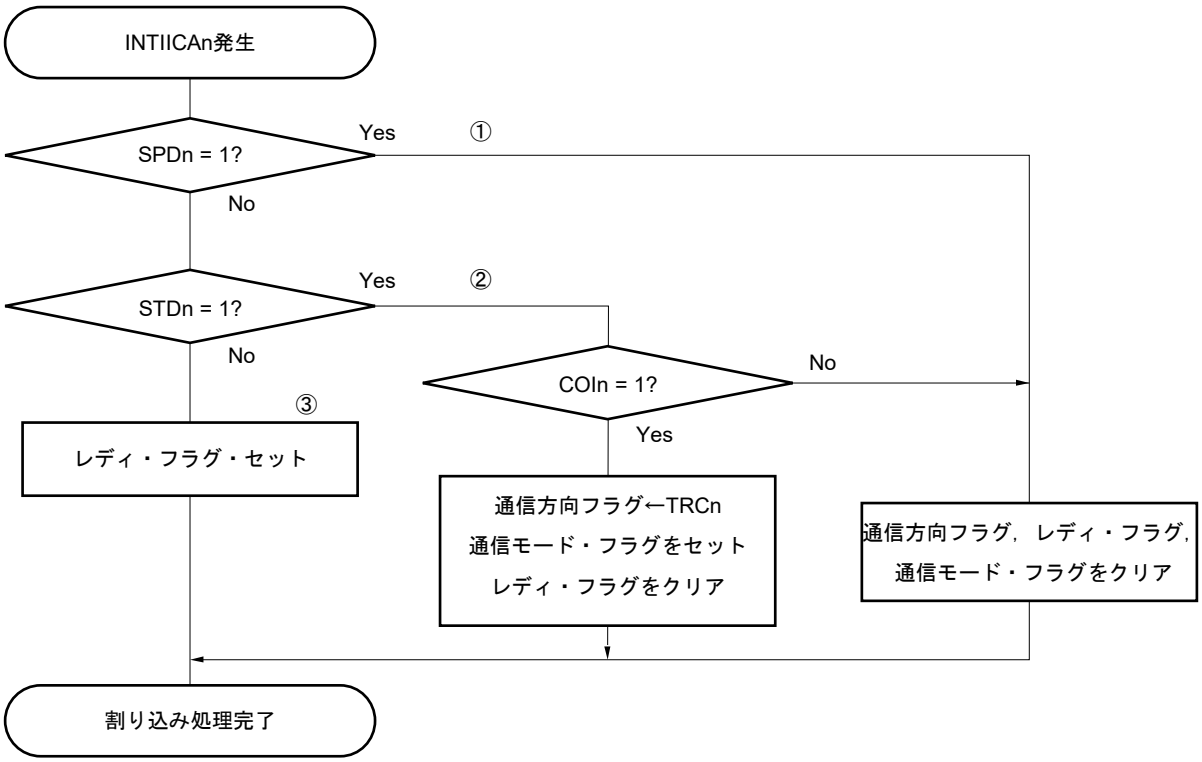
2.　n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して，次のように行います。

① ストップ・コンディションの場合，通信を終了します。
② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。
③ データ送受信の場合，レディ・フラグをセットするだけで，I²Cバスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，**図19－32　スレーブ動作手順（2）**の①～③と対応しています。

図19－32　スレーブ動作手順（2）



備考　n = 0

19. 5. 17　I²C割り込み要求（INTIICAn）の発生タイミング

次に，データの送受信，INTIICAn割り込み要求信号発生タイミングと，INTIICAn信号タイミングでのIICAステータス・レジスタn（IICSn）の値を示します。

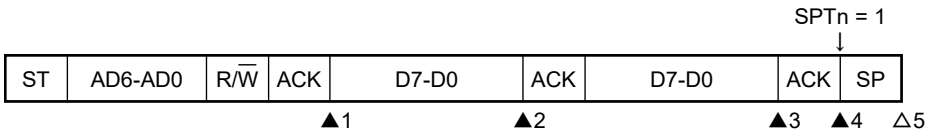
備考1. ST　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　：転送方向指定
ACK　：アクノリッジ
D7-D0　：データ
SP　：ストップ・コンディション

2. n = 0

（1）マスタ動作

（a）Start～Address～Data～Data～Stop（送受信）

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B

▲3：IICSn = 1000×000B（WTIMnビットをセット（1））注

▲4：IICSn = 1000××00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

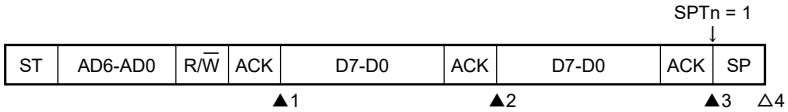
注　ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B

▲3：IICSn = 1000××00B（SPTnビットをセット（1））

△4：IICSn = 00000001B

備考　▲　必ず発生

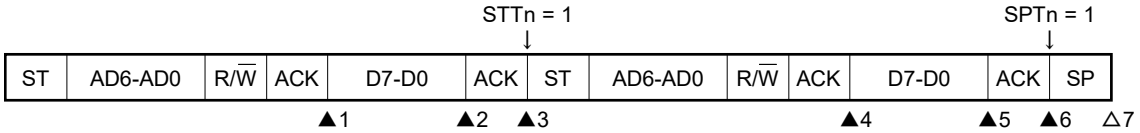
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（b）Start～Address～Data～Start～Address～Data～Stop（リスタート）

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットをセット（1）[注1]）

▲3：IICSn = 1000××00B（WTIMnビットをクリア（0）[注2]，STTnビットをセット（1））

▲4：IICSn = 1000×110B

▲5：IICSn = 1000×000B（WTIMnビットをセット（1）[注3]）

▲6：IICSn = 1000××00B（SPTnビットをセット（1））

△7：IICSn = 00000001B

注1. スタート・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために，WTIMnビットをクリア（0）してください。

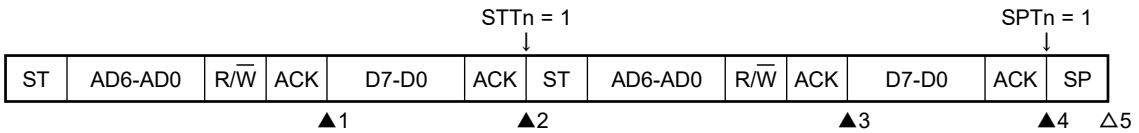
3. ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B（STTnビットをセット（1））

▲3：IICSn = 1000×110B

▲4：IICSn = 1000××00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

備考　▲　必ず発生

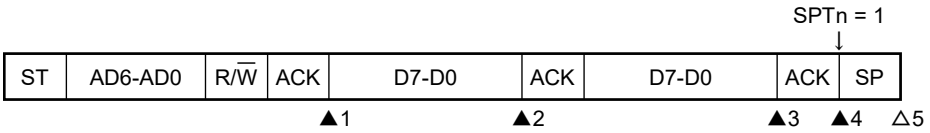
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（c）Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIMn = 0のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×000B

▲3：IICSn = 1010×000B（WTIMnビットをセット（1）[注]）

▲4：IICSn = 1010××00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

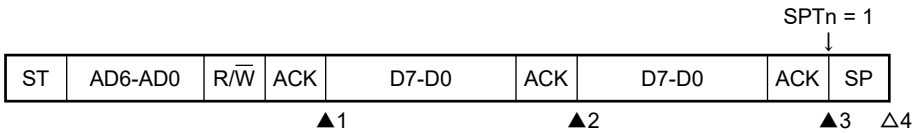
注　ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×100B

▲3：IICSn = 1010××00B（SPTnビットをセット（1））

△4：IICSn = 00001001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

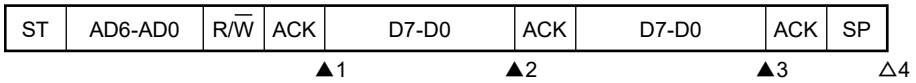
×　任意

備考　n = 0

（2）スレーブ動作（スレーブ・アドレス受信時）

（a）Start～Address～Data～Data～Stop

（i）WTIMn = 0のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

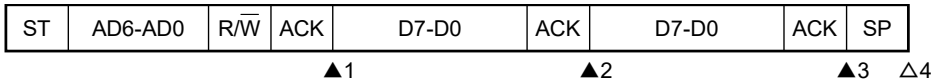
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（b）Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，SVAn一致）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1	▲2					▲3	▲4	△5

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後，SVAn一致）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1		▲2				▲3	▲4	△5

▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（c）Start～Address～Data～Start～Code～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード））

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1	▲2				▲3		▲4	△5

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード））

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1		▲2			▲3	▲4	▲5	△6

▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×110B

▲5：IICSn = 0010××00B

△6：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（d）Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1	▲2					▲3		△4

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1		▲2				▲3		△4

▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（3）スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

（a）Start～Code～Data～Data～Stop

（i）WTIMn = 0のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2		▲3	△4

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3	▲4	△5

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（b）Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，SVAn一致）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
			▲1		▲2					▲3	▲4	△5

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後，SVAn一致）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3				▲4	▲5	△6

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0001×110B

▲5：IICSn = 0001××00B

△6：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（c）Start～Code～Data～Start～Code～Data～Stop

（i）WTIMn = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
		▲1			▲2				▲3		▲4	△5

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
		▲1	▲2			▲3			▲4	▲5	▲6	△7

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0010×010B

▲5：IICSn = 0010×110B

▲6：IICSn = 0010××00B

△7：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（d）Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
		▲1			▲2					▲3		△4

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
		▲1	▲2			▲3				▲4		△5

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 00000×10B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（4）通信不参加の動作

（a）Start～Code～Data～Data～Stop

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
								△1

△1：IICSn = 00000001B

備考　△　SPIEn = 1のときだけ発生

（5）アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

（i）WTIMn = 0のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2		▲3	△4

▲1：IICSn = 0101×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

△4：IICSn = 00000001B

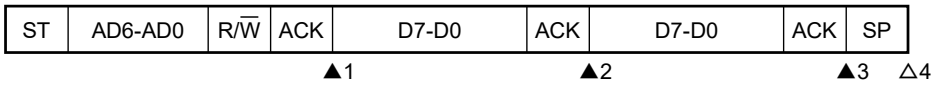
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（ii）WTIMn = 1のとき



▲1：IICSn = 0101×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

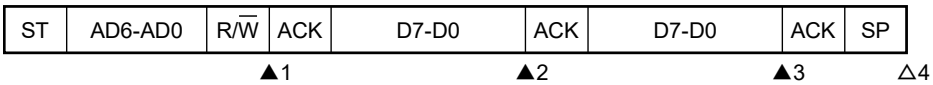
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（b）拡張コード送信中にアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

△4：IICSn = 00000001B

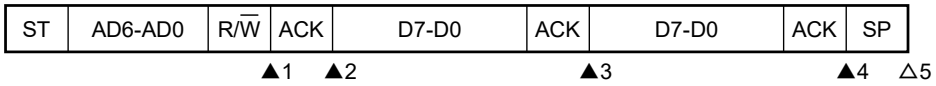
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（ii）WTIMn = 1のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

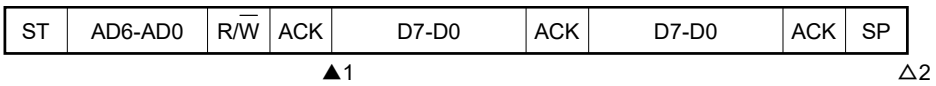
△　SPIEn = 1のときだけ発生

×　任意

（6）アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1のとき）



▲1：IICSn = 01000110B

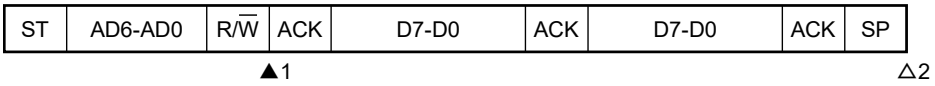
△2：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

備考　n = 0

（b）拡張コード送信中にアービトレーションに負けた場合



▲1：IICSn = 0110×010B

ソフトウエアでLRELn = 1を設定

△2：IICSn = 00000001B

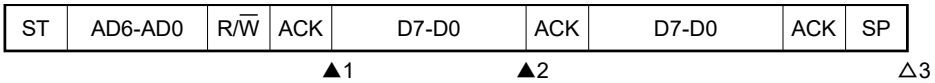
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（c）データ転送時にアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 10001110B

▲2：IICSn = 01000000B

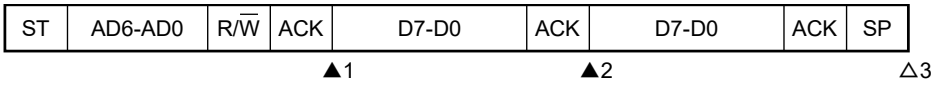
△3：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

備考　n = 0

（ii）WTIMn = 1のとき



▲1：IICSn = 10001110B

▲2：IICSn = 01000100B

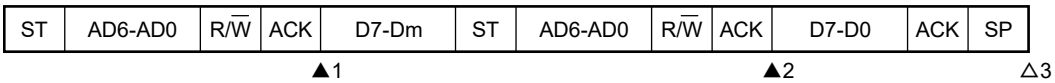
△3：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

（d）データ転送時にリスタート・コンディションで負けた場合

（i）拡張コード以外（例　SVAn不一致）



▲1：IICSn = 1000×110B

▲2：IICSn = 01000110B

△3：IICSn = 00000001B

備考　▲　必ず発生

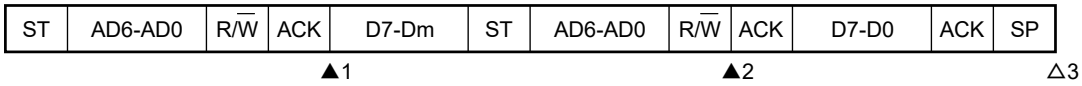
△　SPIEn = 1のときだけ発生

×　任意

m = 6-0

備考　n = 0

（ii）拡張コード



▲1：IICSn = 1000×110B

▲2：IICSn = 01100010B

ソフトウエアでLRELn = 1を設定

△3：IICSn = 00000001B

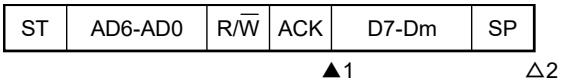
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

m = 6-0

（e）データ転送時にストップ・コンディションで負けた場合



▲1：IICSn = 10000110B

△2：IICSn = 01000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

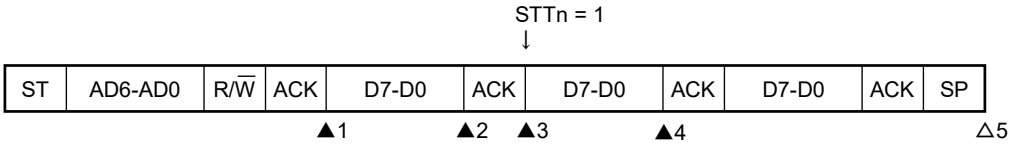
×　任意

m = 6-0

備考　n = 0

(f) リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットをセット（1））

▲3：IICSn = 1000×100B（WTIMnビットをクリア（0））

▲4：IICSn = 01000000B

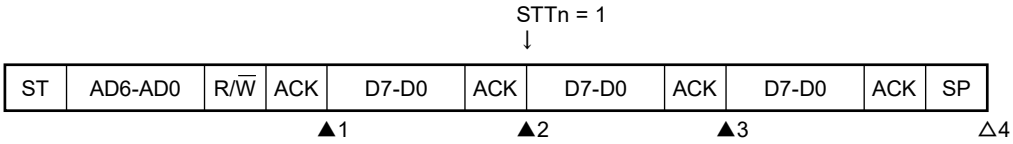
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B（STTnビットをセット（1））

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

備考　▲　必ず発生

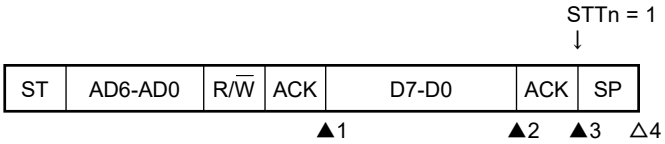
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（g）リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットをセット（1））

▲3：IICSn = 1000××00B（STTnビットをセット（1））

△4：IICSn = 01000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき

▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B（STTnビットをセット（1））

△3：IICSn = 01000001B

備考　▲　必ず発生

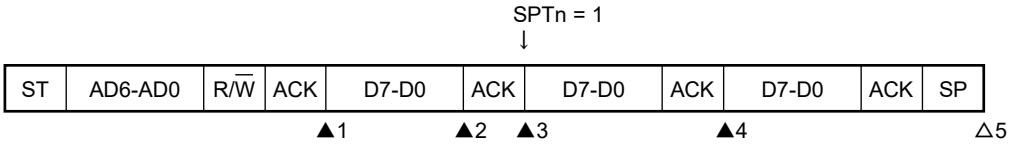
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

（h）ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットをセット（1））

▲3：IICSn = 1000×100B（WTIMnビットをクリア（0））

▲4：IICSn = 01000100B

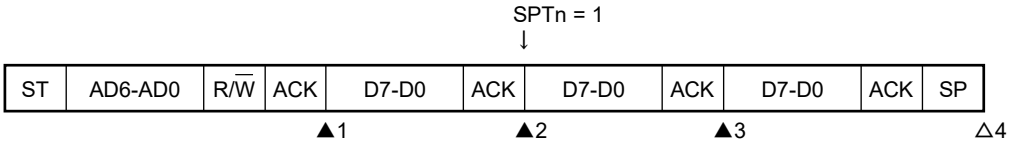
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B（SPTnビットをセット（1））

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

19. 6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRCnビット（IICAステータス・レジスタn（IICSn）のビット3）を送信し，スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを**図19－33**，**図19－34**に示します。

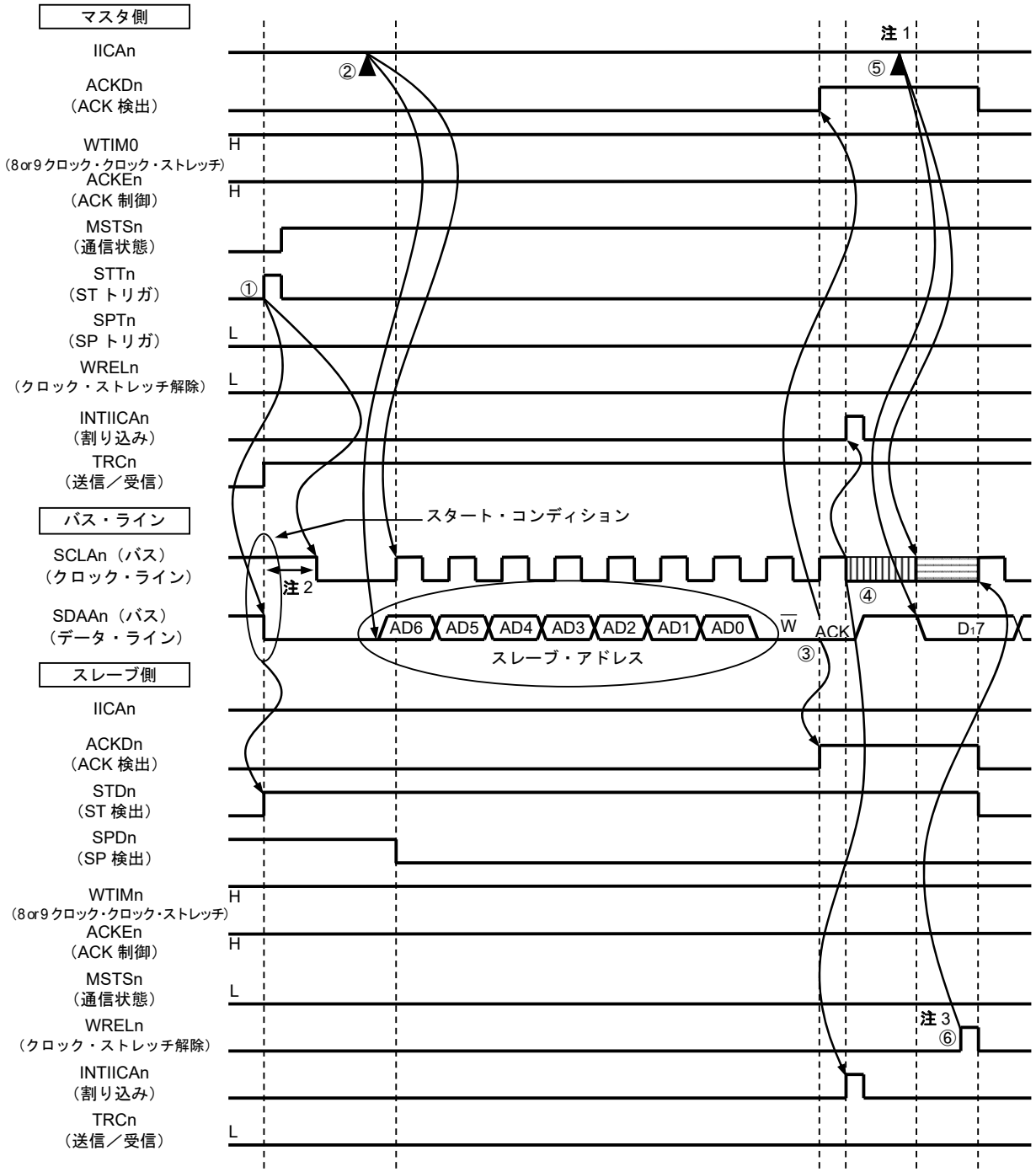
シリアル・クロック（SCLAn）の立ち下がりに同期してIICAシフト・レジスタn（IICAn）のシフト動作が行われ，送信データがSOラッチに転送され，SDAAn端子からMSBファーストで出力されます。

また，SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

備考　n = 0

図19－33　マスタ→スレーブ通信例（マスタ : 9クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（1/4）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

2.　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図19－33（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると，バス・データ・ライン（SDAAn）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTSn = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn（IICAn）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，クロック・ストレッチ（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

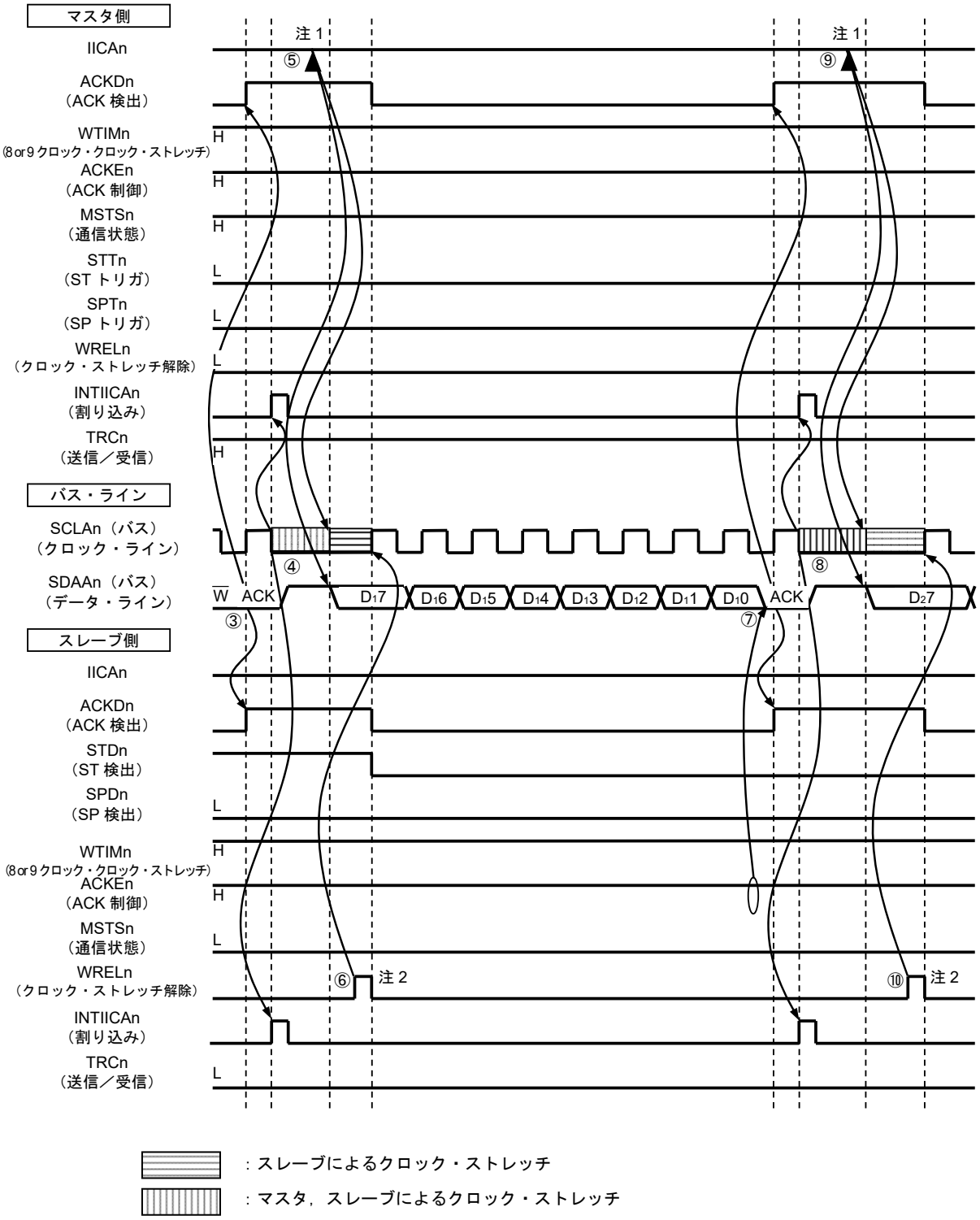
注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 1. **図19－33**の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図19－33（1）スタート・コンディション～アドレス～データでは手順①～⑥
図19－33（2）アドレス～データ～データでは手順③～⑩
図19－33（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

2. n = 0

図19－33　マスタ→スレーブ通信例（マスタ : 9クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（2/4）

（2）アドレス～データ～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

2.　スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図19－33（2）アドレス～データ～データの③～⑩の説明を次に示します。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

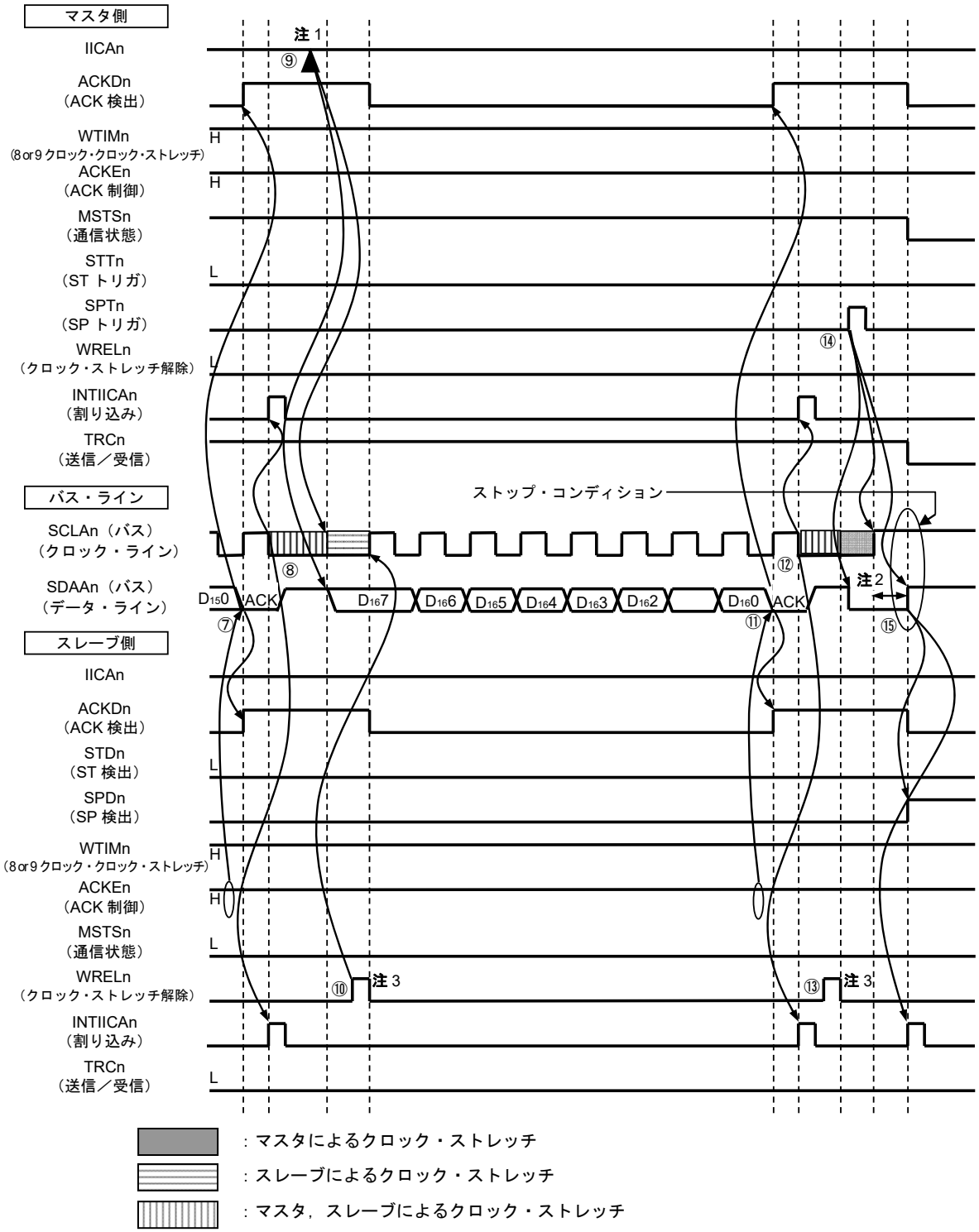
注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 1. **図19－33**の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図19－33（1）スタート・コンディション～アドレス～データでは手順①～⑥
図19－33（2）アドレス～データ～データでは手順③～⑩
図19－33（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

2. n = 0

図19－33　マスタ→スレーブ通信例（マスタ : 9クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（3/4）

（3）データ～データ～ストップ・コンディション



注1.　マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

2.　ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図19－33（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後，スレーブ側（ACKEn = 1）のハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑫ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し，クロック・ストレッチを解除（WRELn = 1）します。

⑭ マスタ側でストップ・コンディション・トリガをセット（SPTn = 1）すると，バス・データ・ラインがクリア（SDAAn = 0）され，バス・クロック・ラインがセット（SCLAn = 1）され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット（SDAAn = 1）されることでストップ・コンディション（SCLAn = 1でSDAAn = 0→1）が生成されます。

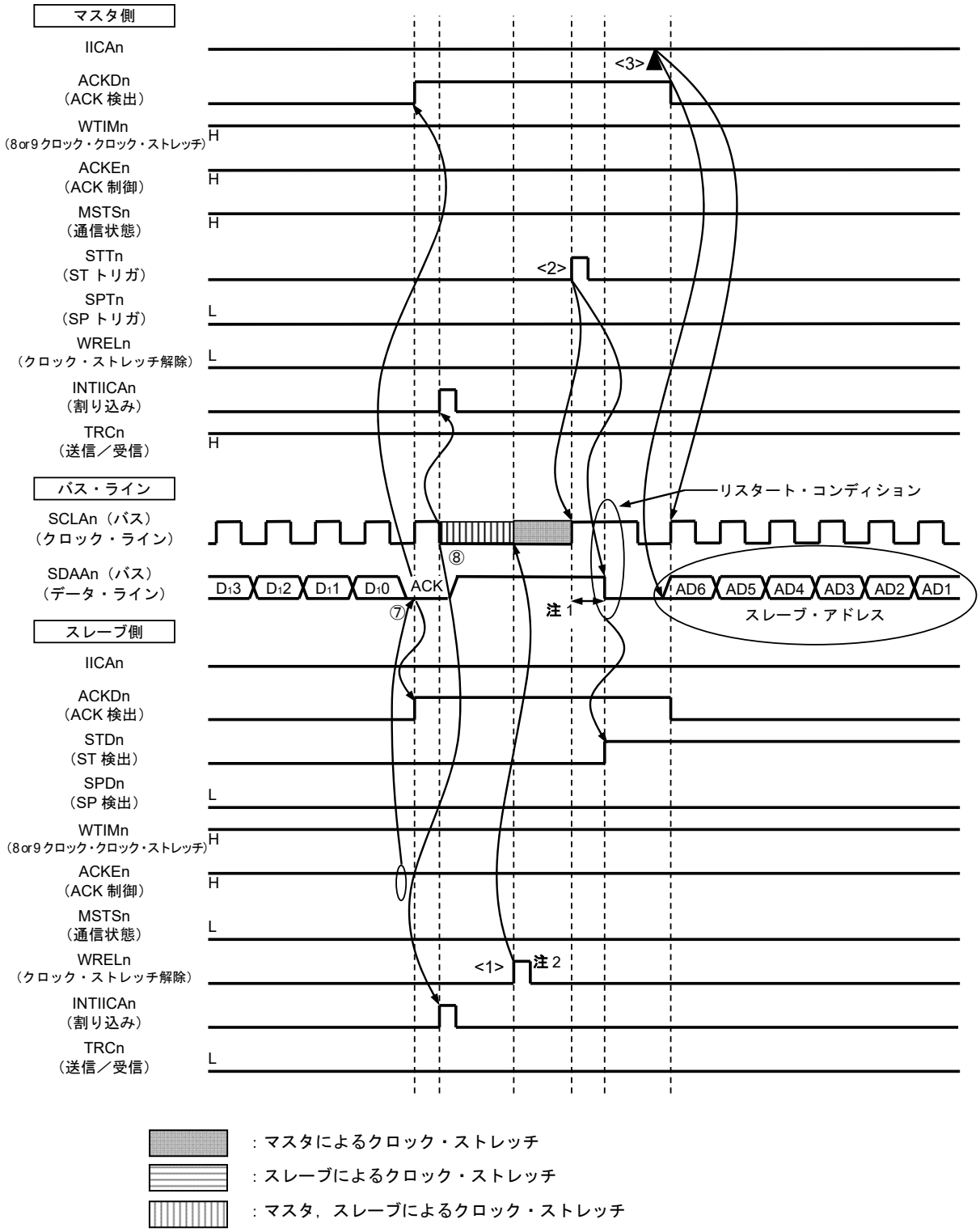
⑮ ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考 1. **図19－33**の①～⑮は，I²Cバスによるデータ通信の一連の操作手順です。
図19－33（1）スタート・コンディション～アドレス～データでは手順①～⑥
図19－33（2）アドレス～データ～データでは手順③～⑩
図19－33（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

2. n = 0

図19－33　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（4/4）

（4）データ～リスタート・コンディション～アドレス



注1.　リスタート・コンディションの発行後，SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は4.7 μs以上，ファースト・モード設定時は0.6 μs以上です。

2.　スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図19－33（4）データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

<1>　スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WRELn = 1）します。

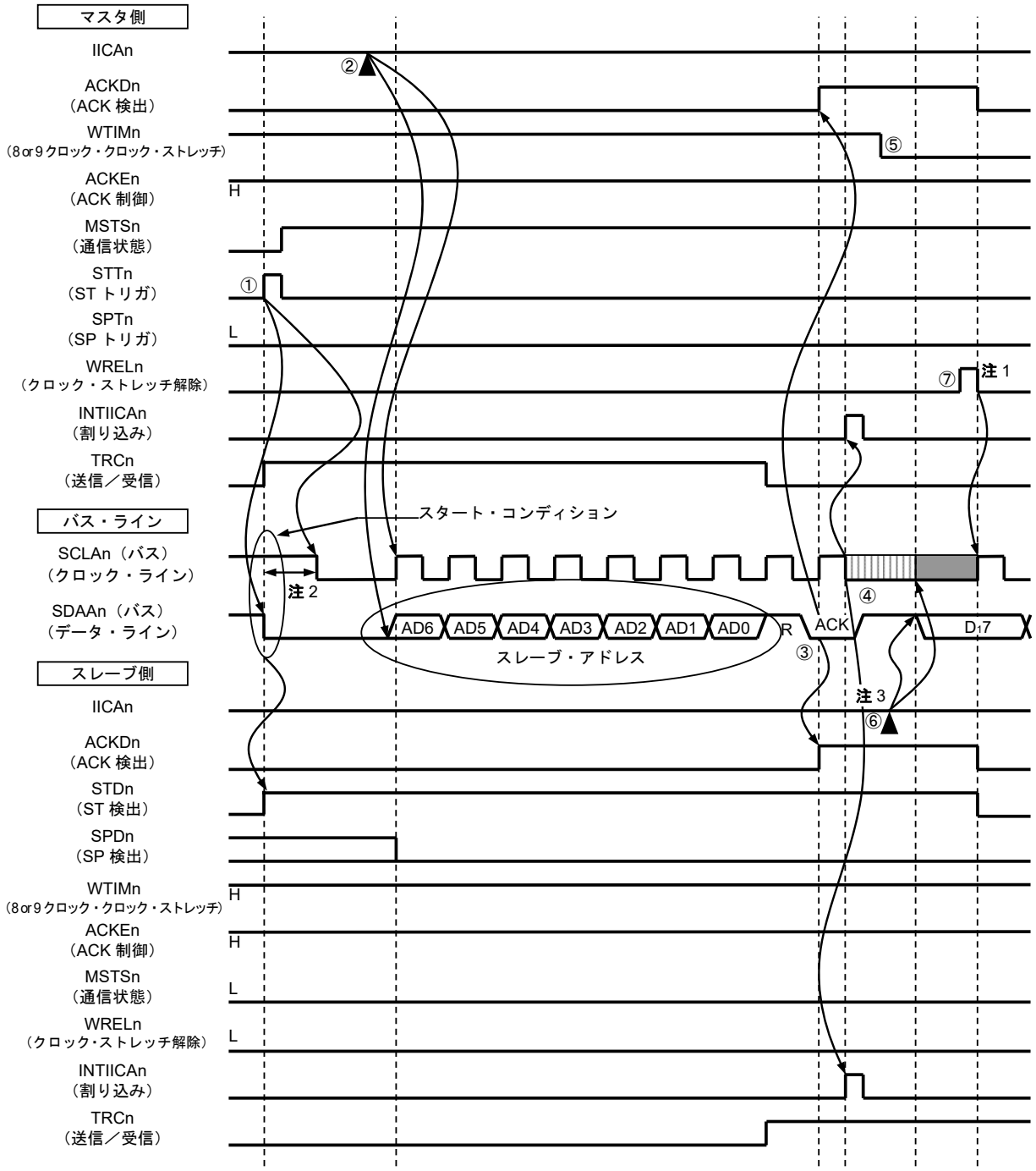
<2>　マスタ側で再度スタート・コンディション・トリガがセット（STTn = 1）されると，バス・クロック・ラインが立ち上がり（SCLAn = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAAn = 0）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

<3>　マスタ側がIICAシフト・レジスタn（IICAn）にアドレス＋R/W（送信）を書き込むと，スレーブ・アドレスが送信されます。

備考　n = 0

図19－34　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択）（1/3）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2.　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

備考　n = 0

図19－34（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると，バス・データ・ライン（SDAAn）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTSn = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn（IICAn）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に（WTIMn = 0）に変更します。

⑥ スレーブ側がIICAnレジスタに送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WRELn = 1）して，スレーブからのデータ転送を開始します。

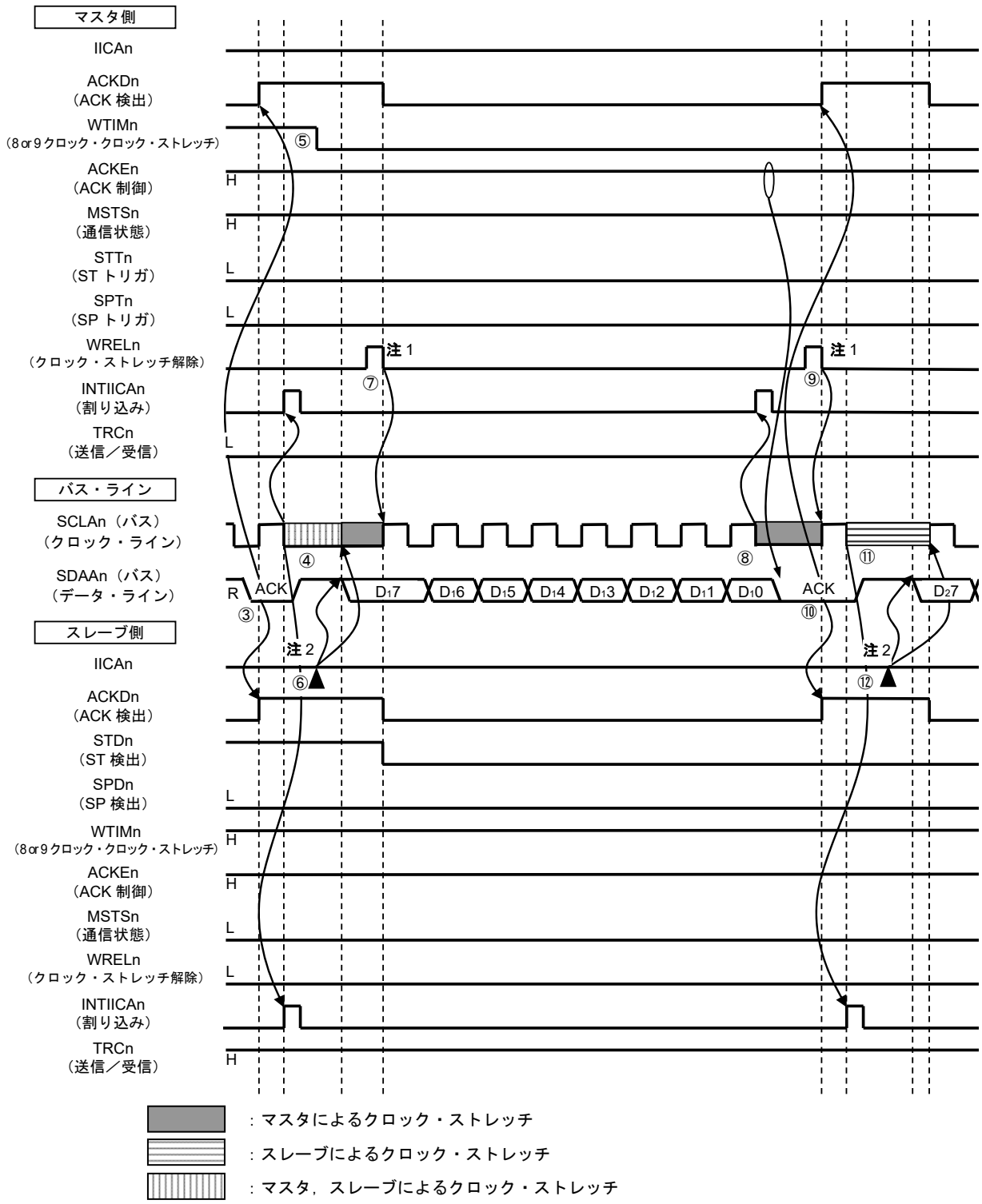
注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 1. **図19－34**の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図19－34（1）スタート・コンディション～アドレス～データでは手順①～⑦
図19－34（2）アドレス～データ～データでは手順③～⑫
図19－34（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

2. n = 0

図19－34　スレーブ→マスタ通信例（マスタ : 8クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（2/3）

（2）アドレス～データ～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2.　スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

備考　n = 0

図19－34（2）アドレス～データ～データの③～⑫の説明を次に示します。

③ スレーブ側で，受信したアドレス自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に（WTIMn = 0）に変更します。

⑥ スレーブ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WRELn = 1）して，スレーブからのデータ転送を開始します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側ACKEn = 1なのでハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WRELn = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKDn = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAnレジスタに送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

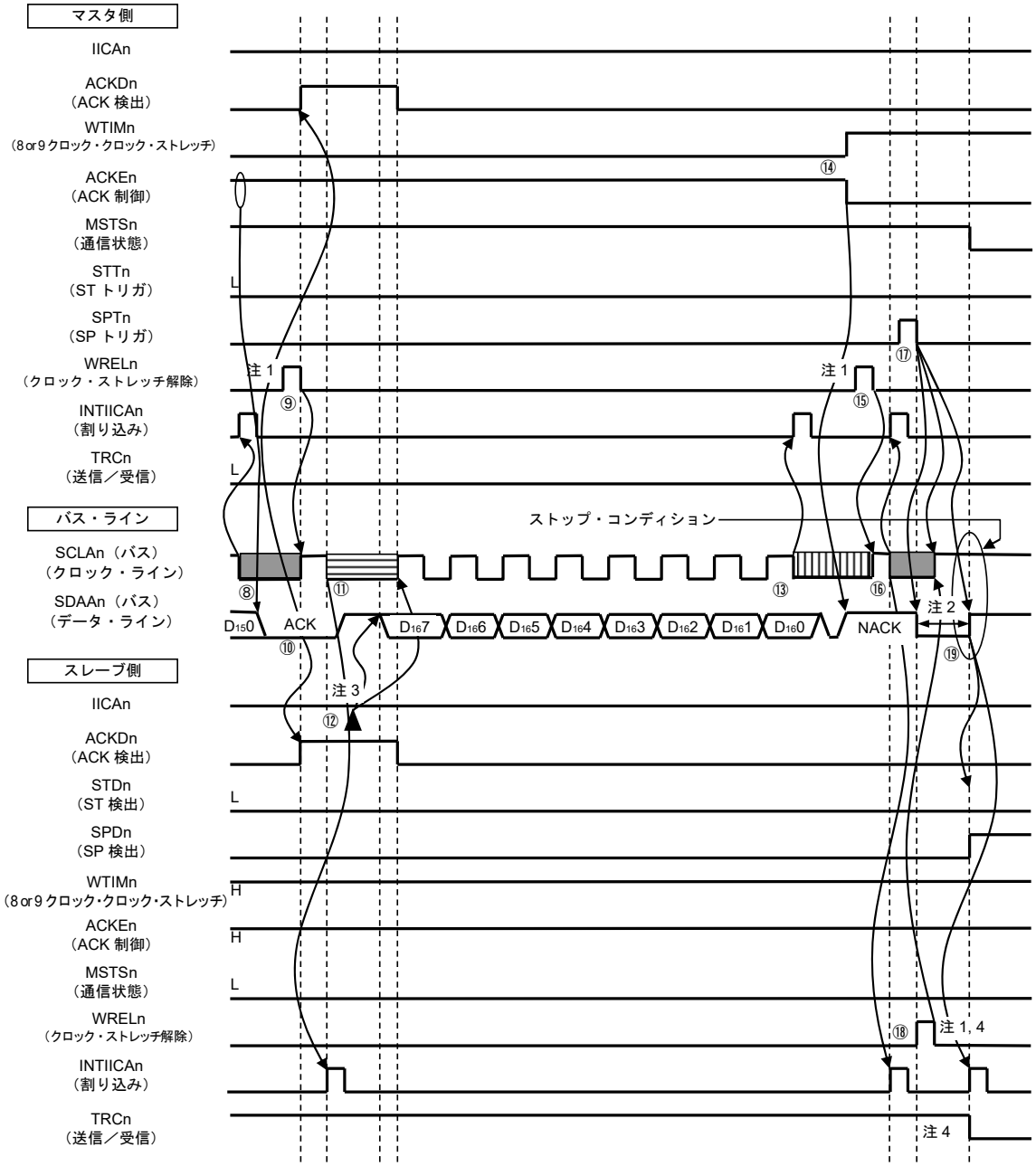
注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 1. **図19－34**の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図19－34（1）スタート・コンディション～アドレス～データでは手順①～⑦
図19－34（2）アドレス～データ～データでは手順③～⑫
図19－34（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

2. n = 0

図19－34　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（3/3）

（3）データ～データ～ストップ・コンディション



注1.　クロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2.　ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

4.　スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると，TRCnビットはクリアされます。

備考　n = 0

図19－34（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側はACKEn = 0なので，ハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WRELn = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKDn = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAシフト・レジスタn（IICAn）に送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかります。ACK制御（ACKEn = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAAn = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKEn = 0）し，クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ（WTIMn = 1）に変更します。

⑮ マスタ側がクロック・ストレッチを解除（WRELn = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACKDn = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPTn = 1）すると，バス・データ・ラインがクリア（SDAAn = 0）され，マスタ側のクロック・ストレッチが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにクロック・ストレッチを解除（WRELn = 1）します。スレーブによるクロック・ストレッチが解除されると，バス・クロック・ラインがセット（SCLAn = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAAn = 1）してストップ・コンディション（SCLAn = 1でSDAAn = 0→1）を発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考 1. **図19－34**の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図19－34（1）スタート・コンディション～アドレス～データでは手順①～⑦
図19－34（2）アドレス～データ～データでは手順③～⑫
図19－34（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

2. n = 0

第20章　IrDA

IrDAはシリアル・アレイ・ユニット（SAU）と連携してIrDA（Infrared Data Association）規格バージョン1.0に基づくIrDA通信波形の送受信を実現します。

20. 1　IrDAの機能

IRCRレジスタのIREビットでIrDA機能を有効にすると，SAUのTxD2，RxD2信号はIrDA規格バージョン1.0に準拠した波形のエンコード／デコードを行います（IrTxD/IrRxD端子）。これを赤外線送受信トランスミッタ／レシーバと接続することで，IrDA規格バージョン1.0システムに準拠した赤外線送受信を実現できます。

IrDA規格バージョン1.0システムでは，9600 bpsの転送レートで通信を開始し，その後，必要に応じて転送レートを変化させることができます。IrDAでは，自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより，設定を変更してください。

高速オンチップオシレータ（f_{IH} = 24/12/6/3 MHz）選択時，以下のボーレートを設定可能です。

- 115.2 kbps/57.6 kbps/38.4 kbps/19.2 kbps/9600 bps/2400 bps

図20－1にIrDAとSAUの連携イメージのブロック図を示します。

図20－1　IrDAとSAUの連携イメージのブロック図

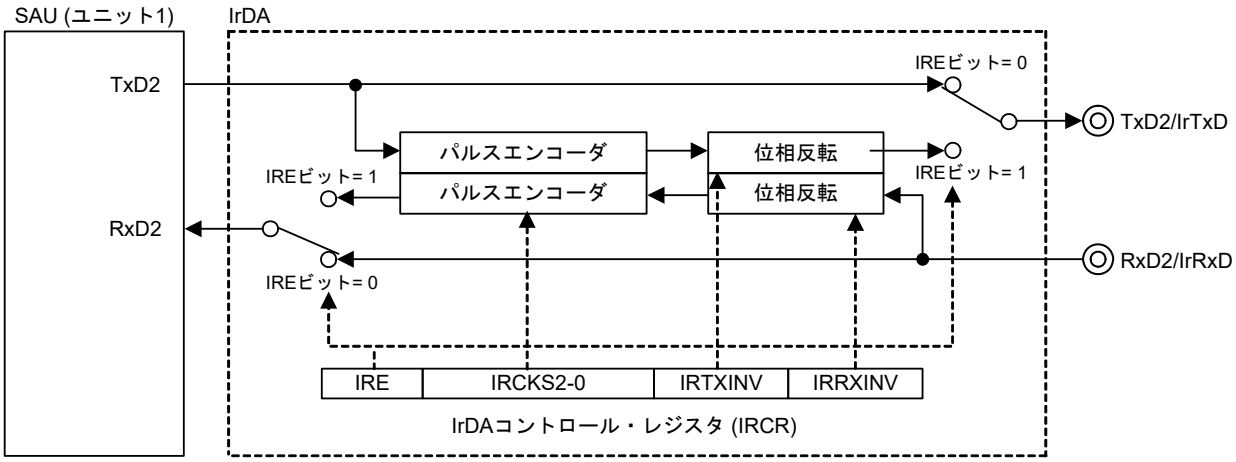


表20－1　IrDAの端子構成

端子名	入出力	機能
IrTxD	出力	送信データ出力端子
IrRxD	入力	受信データ入力端子

20. 2 レジスタの説明

表20－2にIrDAのレジスタ構成を示します。

表20－2 IrDAのレジスタ構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	周辺リセット制御レジスタ0（PRR0）
	IrDAコントロール・レジスタ（IRCR）

20. 2. 1 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

IrDAを使用するときは，必ずビット6（IRDAEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20－2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IRDAEN	IrDAの入力クロック供給の制御
0	入力クロック供給停止 • IrDAで使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給 • IrDAで使用するSFRへのリード／ライト可

注. IrDAおよびIrDAで使用するSFRを初期化する場合，PRR0のビット6(IRDARES)を使用してください。

注意1. IrDAの設定をする際には，必ず最初にIRDAEN = 1の設定を行ってください。
IRDAEN = 0の場合は，IrDAの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります。
2. ビット7, 1には必ず0を設定してください。

20. 2. 2 周辺リセット制御レジスタ0（PRR0）

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

IrDAをリセットする場合は，必ずビット6 (IRDARES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図20－3 周辺リセット制御レジスタ0（PRR0)のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES

IRDARES	IrDAのリセット制御
0	IrDAのリセット解除
1	IrDAはリセット状態

20. 2. 3 IrDAコントロール・レジスタ（IRCR）

IrDA機能を制御するレジスタです。受信データ，送信データの極性切り替え，IrDAのクロックの選択，シリアル入出力端子機能（通常のシリアル機能／IrDA機能）の切り替えを選択します。

IRCRレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20－4 IrDAコントロール・レジスタ（IRCR）のフォーマット

アドレス：F03A0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IRCR	IRE	IRCKS2	IRCKS1	IRCKS0	IRTXINV	IRRXINV	0	0

IRE	IrDAイネーブル
0	シリアル入出力端子は，通常のシリアル機能として動作
1	シリアル入出力端子は，IrDA機能として動作

IRCKS2	IRCKS1	IRCKS0	IrDAクロックセレクト
0	0	0	B × 3/16（B = ビットレート）
0	0	1	$f_{CLK}/2$
0	1	0	$f_{CLK}/4$
0	1	1	$f_{CLK}/8$
1	0	0	$f_{CLK}16$
1	0	1	$f_{CLK}/32$
1	1	0	$f_{CLK}/64$
1	1	1	設定禁止

IRTXINV	IrTxDデータ極性切り替え
0	送信データをそのままIrTxD出力
1	送信データを反転してIrTxD出力

IRRXINV	IrRxDデータ極性切り替え
0	IrRxD入力をそのまま受信データとして使用
1	IrRxD入力を反転して受信データとして使用

注意1. ビット1，0には必ず0を設定してください。

2. IRCKS[2:0], IRTXINV, IRRXINVは，IREビットが0の時のみ設定可能です。

20. 3 動作説明

20. 3. 1 IrDA通信操作手順

（1）IrDA通信 初期設定フロー

IrDA初期設定は，以下の手順で行ってください。

1. PER0レジスタのIRDAENビットに1を設定します。
2. IRCRレジスタを設定します。
3. SAU関連レジスタ（UARTモード設定の手順を参照）を設定します。

（2）IrDA通信停止フロー

1. ポート・レジスタとポート・モード・レジスタの設定で，IrDA通信停止後のIrTxD端子の状態を設定します。

   備考 手順3でIrDAリセット時にIrTxD端子は通常のシリアル・インタフェースUARTのデータ出力に切り替わるため，出力状態が変化する場合があります。

   ・IrTxD端子からロウ・レベルを出力する場合
   ポート・レジスタに0を設定します。本設定の直後にIrTxD端子はロウ・レベルに固定されます。
   ・IrTxD端子からハイ・レベルを出力する場合
   ポート・レジスタに1を設定します。本設定により，手順3 IrDAリセット直後，IrTxD端子はハイ・レベルに固定されます。
   ・IrTxD端子をHi-Z状態に設定する場合
   ポート・モード・レジスタに1を設定します。本設定の直後にIrTxD端子はHi-Z状態となります。
2. STmレジスタ（SAU関連レジスタ）のSTm0ビットおよびSTm1ビットに1を設定（SAUのチャネル0，チャネル1動作停止）します。
3. PER0レジスタのIRDAENビットに0を設定し，IrDAをリセットします。

上記手順以外でSTmレジスタのSTm0ビットおよびSTm1ビットに1を設定，またはIrDAのIREビットに0を設定しないでください。

（3）IrDAフレーミング・エラー発生時の手順

IrDA通信中にフレーミング・エラーが発生した場合，後続のデータを受信可能な状態にするため，以下の手順が必要です。

1. SAU STmレジスタのSTm1ビットに1を設定（SAU CH1動作停止）
2. SAU SSmレジスタのSSm1ビットに1を設定（SAU CH1動作開始）

   備考 m：ユニット番号（m = 0, 1）

SAUフレーミング・エラー処理については，SAUの章も参照してください。

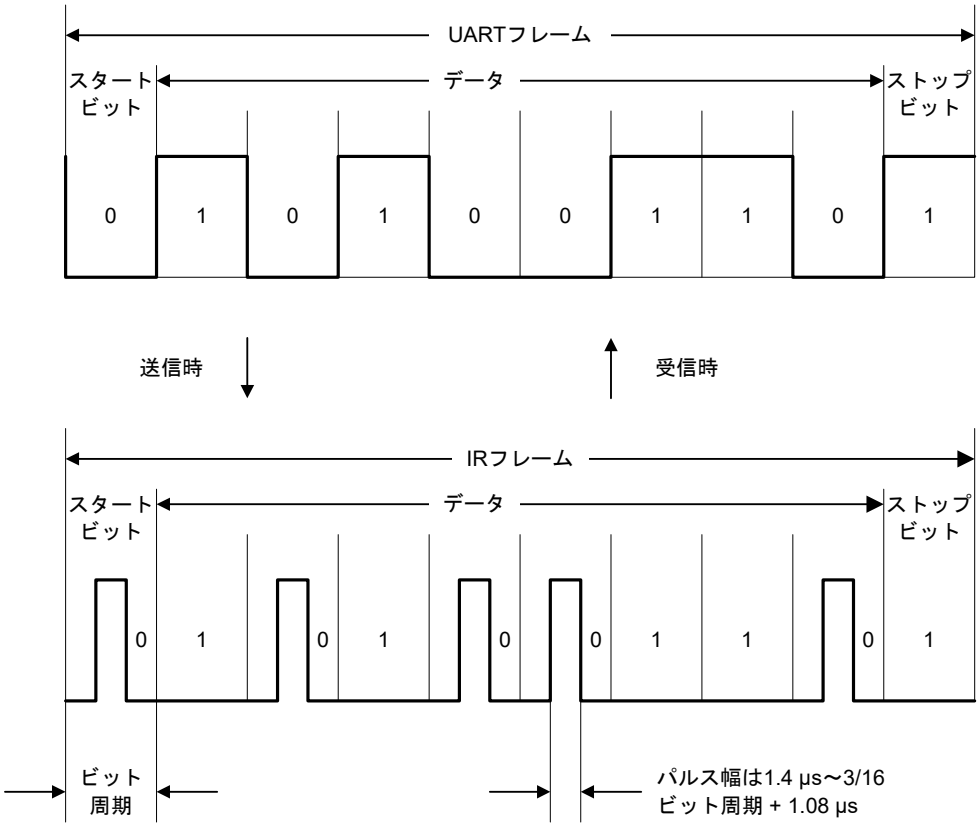
20. 3. 2 送信

送信時には，SAUからの出力信号（UARTフレーム）はIrDAによりIRフレームに変換されます（**図20－5**参照）。

IRTXINVビットが0でシリアルデータが0のとき，ビットレート（1ビット幅の期間）の3/16のハイ・パルスが出力されます（初期値）。なお，ハイ・パルス幅は，IRCKS2-IRCKS0ビットの設定値により変化させることもできます。規格では，ハイ・パルス幅は最小1.41 μs，最大（3/16 + 2.5%）× ビットレート，または（3/16 × ビットレート）+ 1.08 μsと定められています。

CPU／周辺ハードウェア・クロック（f_{CLK}）が20 MHzのとき，1.41 μs以上で最大のハイ・パルス幅としては1.6 μsが設定可能です。また，シリアルデータが1のときは，パルスは出力されません。

図20－5 IrDAの送信／受信動作図



20. 3. 3 受信

受信時には，IRフレームのデータはIrDAによりUARTフレームに変換され，SAUに入力されます。IRRXINVビットが0で，ハイ・パルスが検出されたときにロウ・データを出力し，1ビット期間中にパルスがない場合にはハイ・データを出力します。最小パルス幅の1.41 μsより短いパルスは認識されませんので注意してください。

20. 3. 4 ハイ・パルス幅の選択

送信時にビットレート × 3/16よりパルス幅を短くする場合に，適用可能なIRCKS2-IRCKS0ビットの設定（最小パルス幅）と設定時のハイ・パルス幅を**表20－3**に示します。

表20－3 IRCKS2-IRCKS0ビットの設定値

f_{CLK} [MHz]	項目	＜上段＞ビットレート [kbps] ＜下段＞ビットレート × 3/16 [μs]					
		2.4	9.6	19.2	38.4	57.6	115.2
		78.13	19.53	9.77	4.87	3.26	1.63
1	IRCKS2-IRCKS0	001	001	001	—注1	—注1	—注1
	ハイパルス幅[μs]	2.00	2.00	2.00	—注1	—注1	—注1
2	IRCKS2-IRCKS0	010	010	010	010	010	—注1
	ハイパルス幅[μs]	2.00	2.00	2.00	2.00	2.00	—注1
3	IRCKS2-IRCKS0	011	011	011	011	011	—注1
	ハイパルス幅[μs]	2.67	2.67	2.67	2.67	2.67	—注1
4	IRCKS2-IRCKS0	011	011	011	011	011	000注2
	ハイパルス幅[μs]	2.00	2.00	2.00	2.00	2.00	1.50
6	IRCKS2-IRCKS0	100	100	100	100	100	000注2
	ハイパルス幅[μs]	2.67	2.67	2.67	2.67	2.67	1.50
8	IRCKS2-IRCKS0	100	100	100	100	100	000注2
	ハイパルス幅[μs]	2.00	2.00	2.00	2.00	2.00	1.50
12	IRCKS2-IRCKS0	101	101	101	101	101	000注2
	ハイパルス幅[μs]	2.67	2.67	2.67	2.67	2.67	1.50
16	IRCKS2-IRCKS0	101	101	101	101	101	000注2
	ハイパルス幅[μs]	2.00	2.00	2.00	2.00	2.00	1.50
24	IRCKS2-IRCKS0	110	110	110	110	110	000注2
	ハイパルス幅[μs]	2.67	2.67	2.67	2.67	2.67	1.50
32	IRCKS2-IRCKS0	110	110	110	110	110	000注2
	ハイパルス幅[μs]	2.00	2.00	2.00	2.00	2.00	1.50

注1. “－”の意味は，通信Specを満たせないことです。

2. ビットレート × 3/16よりパルス幅を小さくすることはできません。

20. 4　IrDA使用上の注意事項

（1）　IrDA機能を使用してIrRxD受信によるSNOOZE遷移はできません。

（2）　周辺イネーブルレジスタにより，IrDAの動作クロックの供給禁止/許可を設定することができます。初期状態では，クロック供給が禁止状態であるため，レジスタへのアクセスができません。レジスタ設定の前に，周辺イネーブルレジスタによりIrDAの動作クロックを供給許可状態にしてください。

（3）　HALTモード時は，IrDA機能は動作を継続します。

（4）　IrDA通信中にSAUの初期化機能（SSビット= 1）は使用禁止です。

（5）　IRCRレジスタのIRRXINVビット，IRTXINVビット，及びIRCKS[2:0]ビットは，IREビットが0の時のみ設定可能です。

第21章　LCDコントローラ／ドライバ

RL78/I1CのLCD表示機能端子は製品ごとに搭載する数が異なります。次の表に製品ごとのLCD表示機能端子数を示します。

表21－1　製品ごとのLCD表示機能端子

項　目		RL78/I1C																							
		64ピン（R5F10NLx (x = G, E)，R5F11TLx (x = G, E)）								80ピン（R5F10NMx (x = J, G, E)）								100ピン（R5F10NPx (x = J, G)							
LCDコントローラ／ドライバ		セグメント信号出力：19（15）注 コモン信号出力：8								セグメント信号出力：34（30）注 コモン信号出力：8								セグメント信号出力：42（38）注 コモン信号出力：8							
兼用I/Oポート		bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
セグメント	P0	－	－	－	－	－	－	－	－	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	－	－	－	－	－	－	－	－	－	－
	P1	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4
	P3	－	－	－	－	－	－	SEG 25	SEG 24	－	－	－	－	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24
	P5	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32
	P7	－	－	－	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16
	P8	－	－	－	－	－	－	－	－	－	－	－	－	SEG 15	SEG 14	SEG 13	SEG 12	－	－	SEG 41	SEG 40	SEG 15	SEG 14	SEG 13	SEG 12
COM信号出力端子とI/Oポートの兼用関係		－																							
COM信号出力端子と他のLCD表示機能端子の兼用関係	COM4	SEG0								SEG0								SEG0							
	COM5	SEG1								SEG1								SEG1							
	COM6	SEG2								SEG2								SEG2							
	COM7	SEG3								SEG3								SEG3							

注　（ ）内は8 com使用時の信号出力本数です。

21. 1　LCDコントローラ／ドライバの機能

RL78/I1Cに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

（1） A波形，B波形の選択が可能
（2） LCD駆動電圧生成回路は，内部昇圧／容量分割／外部抵抗分割の切り替えが可能
（3） 表示データ・レジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
（4） 昇圧回路動作時に生成する基準電圧を16段階から選択可能（コントラスト調整）
（5） LCD点滅が可能

各表示モードにおける表示可能な最大画素数を**表21－2**に示します。

表21－2　最大表示画素数（1/3）

（a）64ピン製品

LCDドライバ用駆動波形	LCDドライバ用駆動電圧生成回路	バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割	－	スタティック	19（19セグメント× 1コモン）
		1/2	2	38（19セグメント× 2コモン）
			3	57（19セグメント× 3コモン）
		1/3	3	
			4	76（19セグメント× 4コモン）
			6	102（17セグメント× 6コモン）
			8	120（15セグメント× 8コモン）
		1/4	8	
	内部昇圧	1/3	3	57（19セグメント× 3コモン）
			4	76（19セグメント× 4コモン）
			6	102（17セグメント× 6コモン）
			8	120（15セグメント× 8コモン）
		1/4	6	102（17セグメント× 6コモン）
			8	120（15セグメント× 8コモン）
	容量分割	1/3	3	57（19セグメント× 3コモン）
			4	76（19セグメント× 4コモン）
			6	102（17セグメント× 6コモン）
			8	120（15セグメント× 8コモン）
B波形	外部抵抗分割，内部昇圧	1/3	3	57（19セグメント× 3コモン）
			4	76（19セグメント× 4コモン）
			6	102（17セグメント× 6コモン）
			8	120（15セグメント× 8コモン）
		1/4	8	
	容量分割	1/3	3	57（19セグメント× 3コモン）
			4	76（19セグメント× 4コモン）
			6	102（17セグメント× 6コモン）
			8	120（15セグメント× 8コモン）

表21－2　最大表示画素数（2/3）

（b）80ピン製品

LCDドライバ用駆動波形	LCDドライバ用駆動電圧生成回路	バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割	－	スタティック	34（34セグメント×1コモン）
		1/2	2	68（34セグメント×2コモン）
			3	102（34セグメント×3コモン）
		1/3	3	
			4	136（34セグメント×4コモン）
			6	192（32セグメント× 6コモン）
			8	240（30セグメント× 8コモン）
		1/4	8	
	内部昇圧	1/3	3	102（34セグメント×3コモン）
			4	136（34セグメント×4コモン）
			6	192（32セグメント× 6コモン）
			8	240（30セグメント× 8コモン）
		1/4	6	192（32セグメント×6コモン）
			8	240（30セグメント×8コモン）
	容量分割	1/3	3	102（34セグメント×3コモン）
			4	136（34セグメント×4コモン）
			6	192（32セグメント× 6コモン）
			8	240（30セグメント× 8コモン）
B波形	外部抵抗分割，内部昇圧	1/3	3	102（34セグメント× 3コモン）
			4	136（34セグメント× 4コモン）
			6	192（32セグメント× 6コモン）
			8	240（30セグメント× 8コモン）
		1/4	8	
	容量分割	1/3	3	102（34セグメント× 3コモン）
			4	136（34セグメント× 4コモン）
			6	192（32セグメント× 6コモン）
			8	240（30セグメント× 8コモン）

表21－2　最大表示画素数（3/3）

（c）100ピン製品

LCDドライバ用駆動波形	LCDドライバ用駆動電圧生成回路	バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割	－	スタティック	42（42セグメント×1コモン）
		1/2	2	84（42セグメント×2コモン）
			3	126（42セグメント×3コモン）
		1/3	3	
			4	168（42セグメント×4コモン）
			6	240（40セグメント× 6コモン）
			8	304（38セグメント× 8コモン）
		1/4	8	
	内部昇圧	1/3	3	126（42セグメント×3コモン）
			4	168（42セグメント×4コモン）
			6	240（40セグメント× 6コモン）
			8	304（38セグメント× 8コモン）
		1/4	6	240（40セグメント×6コモン）
			8	304（38セグメント×8コモン）
	容量分割	1/3	3	126（42セグメント×3コモン）
			4	168（42セグメント×4コモン）
			6	240（40セグメント× 6コモン）
			8	304（38セグメント× 8コモン）
B波形	外部抵抗分割，内部昇圧	1/3	3	126（42セグメント× 3コモン）
			4	168（42セグメント× 4コモン）
			6	240（40セグメント× 6コモン）
			8	304（38セグメント× 8コモン）
		1/4	8	
	容量分割	1/3	3	126（42セグメント× 3コモン）
			4	168（42セグメント× 4コモン）
			6	240（40セグメント× 6コモン）
			8	304（38セグメント× 8コモン）

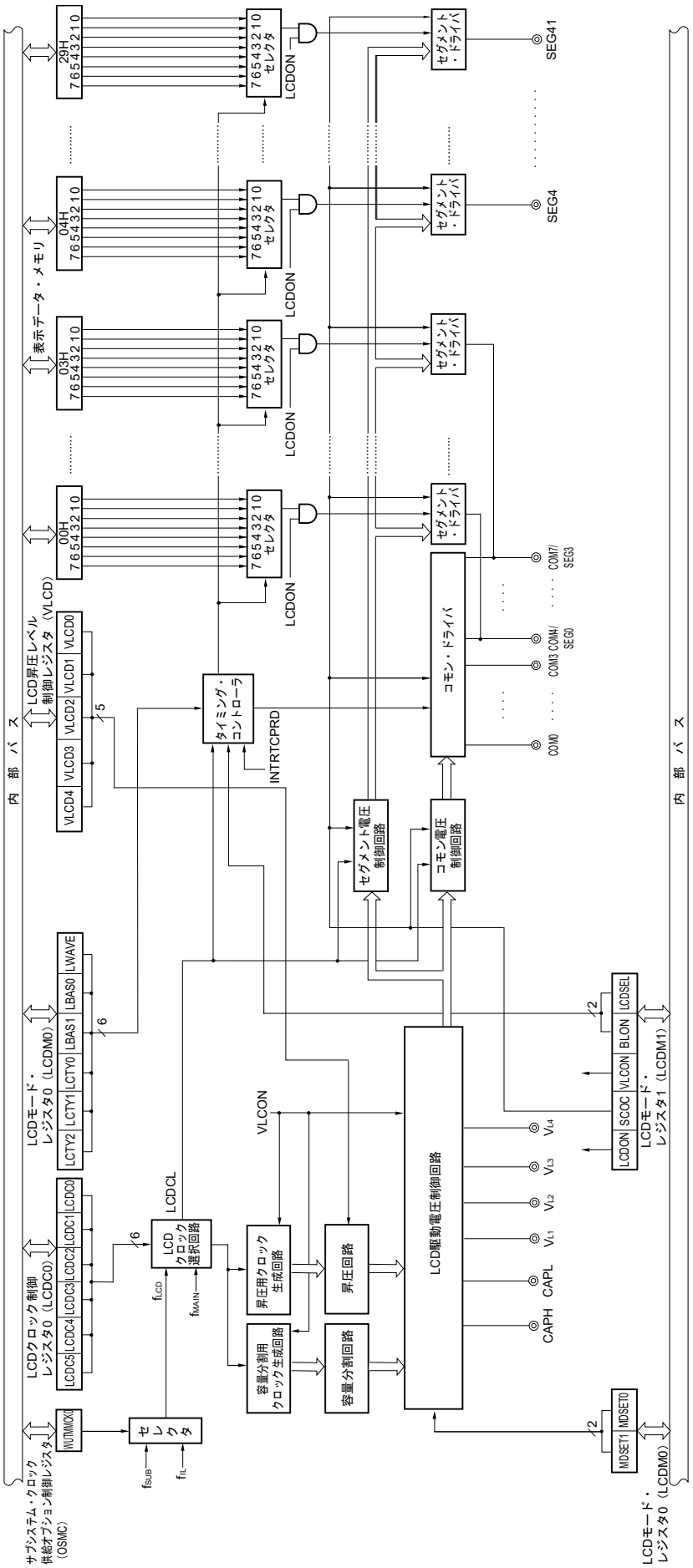
21. 2　LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは，次のハードウエアで構成しています。

表21－3　LCDコントローラ／ドライバの構成

項　　目	構　　成
制御レジスタ	LCDモード・レジスタ0（LCDM0） LCDモード・レジスタ1（LCDM1） サブシステム・クロック供給オプション制御レジスタ（OSMC） LCDクロック制御レジスタ0（LCDC0） LCD昇圧レベル制御レジスタ（VLCD） LCD入力切り替え制御レジスタ（ISCLCD） LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5） ポート・モード・レジスタ0, 1, 3, 5, 7, 8（PM0, PM1, PM3, PM5, PM7, PM8）

図21−1 LCDコントローラ／ドライバのブロック図



21. 3　LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは，次の8種類のレジスタで制御します。

・LCDモード・レジスタ0（LCDM0）
・LCDモード・レジスタ1（LCDM1）
・サブシステム・クロック供給オプション制御レジスタ（OSMC）
・LCDクロック制御レジスタ0（LCDC0）
・LCD昇圧レベル制御レジスタ（VLCD）
・LCD入力切り替え制御レジスタ（ISCLCD）
・LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5）
・ポート・モード・レジスタ0, 1, 3, 5, 7, 8（PM0, PM1, PM3, PM5, PM7, PM8）

21. 3. 1　LCDモード・レジスタ0（LCDM0）

LCDの動作を設定するレジスタです。

LCDM0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－2　LCDモード・レジスタ0（LCDM0）のフォーマット（1/2）

アドレス：FFF40H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0

MDSET1	MDSET0	LCD駆動電圧生成回路の選択
0	0	外部抵抗分割方式
0	1	内部昇圧方式
1	0	容量分割方式
1	1	設定禁止

LWAVE	LCD表示波形の選択
0	A波形
1	B波形

LDTY2	LDTY1	LDTY0	LCD表示の時分割数選択
0	0	0	スタティック
0	0	1	2時分割
0	1	0	3時分割
0	1	1	4時分割
1	0	0	6時分割
1	0	1	8時分割
上記以外			設定禁止

図21－2　LCDモード・レジスタ0（LCDM0）のフォーマット（2/2）

アドレス：FFF40H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0

LBAS1	LBAS0	LCD表示のバイアス法選択
0	0	1/2バイアス法
0	1	1/3バイアス法
1	0	1/4バイアス法
1	1	設定禁止

注意1. LCDM1のSCOC = 1のときに，LCDM0の値を書き換えないでください。

2. スタティックを選択した場合（LDTY2-LDTY0ビット = 000B），LBAS1，LBAS0ビットの設定は必ず初期値（00B）にしてください。初期値以外の値を設定した場合の動作は保証しません。

3. 表示波形，時分割数，バイアス法の設定は表21－4に示す組み合わせのみサポートします。表21－4で示す組み合わせ以外は設定禁止です。

表21－4　表示波形／時分割数／バイアス法とフレーム周波数の組み合わせ

表示モード			設定値						駆動電圧生成方式		
表示波形	時分割数	バイアス法	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0	外部抵抗分割	内部昇圧	容量分割
A波形	8	1/4	0	1	0	1	1	0	○ (24～128 Hz)	○ (24～64 Hz)	×
A波形	6	1/4	0	1	0	0	1	0	×	○ (32～86 Hz)	×
A波形	8	1/3	0	1	0	1	0	1	○ (32～128 Hz)	○ (32～64 Hz)	○ (32～128 Hz)
A波形	6	1/3	0	1	0	0	0	1	○ (32～128 Hz)	○ (32～86 Hz)	○ (32～128 Hz)
A波形	4	1/3	0	0	1	1	0	1	○ (24～128 Hz)	○ (24～128 Hz)	○ (24～128 Hz)
A波形	3	1/3	0	0	1	0	0	1	○ (32～128 Hz)	○ (32～128 Hz)	○ (32～128 Hz)
A波形	3	1/2	0	0	1	0	0	0	○ (32～128 Hz)	×	×
A波形	2	1/2	0	0	0	1	0	0	○ (24～128 Hz)	×	×
A波形	スタティック		0	0	0	0	0	0	○ (24～128 Hz)	×	×
B波形	8	1/4	1	1	0	1	1	0	○ (24～128 Hz)	○ (24～64 Hz)	×
B波形	8	1/3	1	1	0	1	0	1	○ (32～128 Hz)	○ (32～64 Hz)	○ (32～128 Hz)
B波形	6	1/3	1	1	0	0	0	1	○ (32～128 Hz)	○ (32～86 Hz)	○ (32～128 Hz)
B波形	4	1/3	1	0	1	1	0	1	○ (24～128 Hz)	○ (24～128 Hz)	○ (24～128 Hz)
B波形	3	1/3	1	0	1	0	0	1	○ (32～128 Hz)	○ (32～128 Hz)	○ (32～128 Hz)

備考　○：対応　　×：非対応

21. 3. 2　LCDモード・レジスタ1（LCDM1）

表示動作の許可／禁止，昇圧回路もしくは容量分割回路の動作許可／停止，表示データ領域，低電圧モードを設定するレジスタです。

LCDM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－3　LCDモード・レジスタ1（LCDM1）のフォーマット（1/2）

アドレス：FFF41H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

SCOC	LCDON	LCD表示の許可／禁止 通常液晶波形（A波形／B波形）出力時
0	0	セグメント端子／コモン端子にグランド・レベルを出力
0	1	
1	0	表示オフ（セグメント出力はすべて非選択信号出力）
1	1	表示オン

VLCON注1	昇圧回路もしくは容量分割回路の動作許可／停止
0	昇圧回路もしくは容量分割回路の動作停止
1	昇圧回路もしくは容量分割回路の動作許可

BLON注2	LCDSEL	表示データ領域の制御
0	0	Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータを表示
0	1	Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータを表示
1	0	Aパターン領域とBパターン領域のデータを交互に表示（独立電源RTCの周期割込み(INTRTCPRD）タイミングに対応した点滅表示）
1	1	

注1.　外部抵抗分割モード時には設定禁止。

2.　LCDソース・クロック（f_{LCD}）としてf_{IL}を選択する場合は，必ずBLONビット ＝0にしてください。

（注意は次ページにあります。）

図21－3　LCDモード・レジスタ1（LCDM1）のフォーマット（2/2）

アドレス：FFF41H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

LCDVLM注	昇圧端子の初期値の切り替え制御
0	V_{DD}電圧≧2.7 Vの場合
1	V_{DD}電圧≦4.2 Vの場合

注　昇圧回路使用時に，V_{Lx}端子の初期状態を設定して効率的に昇圧を行うための機能です。
昇圧開始時のV_{DD}電圧が2.7 V以上の場合はLCDVLMビット = 0，V_{DD}電圧が4.2 V以下の場合はLCDVLMビット = 1としてください。
ただし，2.7 V≦V_{DD}≦4.2 Vでは，LCDVLM = 0, LCDVLM = 1のいずれでも動作可能です。

注意1. 昇圧回路使用時にLCD表示を行わないときに消費電力を削減したい場合は，SCOC = 0, VLCON = 0を設定し，さらにMDSET1, MDSET0 = 00を設定してください。MDSET1, MDSET0 = 01の場合，内部の基準電圧生成部が動作するため電力を消費します。

2. 外部抵抗分割方式設定時（LCDM0のMDSET1，MDSET0ビット = 00B）または容量分割方式設定時（MDSET1, MDSET0ビット = 10B）は，LCDVLMに0を設定してください。

3. SCOC = 1のときVLCON, LCDVLMを書き換えないでください。

4. 表示モードに8時分割数を選択した場合，BLONとLCDSELに0を設定してください。

5. 内部昇圧方式を使用する場合は，VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから），基準電圧セットアップ時間（5 ms (MIN.) ）をウエイトしたあとに，VLCONに1を設定してください。

21. 3. 3　サブシステム・クロック供給オプション制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブ・クロック（f_{SX}）でCPU動作中のHALTモード時に，独立電源RTC，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，発振停止検出回路，周波数測定回路以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタでは12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCD コントローラ／ドライバ，周波数測定回路の動作クロックの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－4　サブシステム・クロック供給オプション制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC[注4]	STOPモード時およびサブ・クロック(f_{SX})でCPU動作中のHALTモード時の設定
0	周辺機能へのサブ・クロック(f_{SX})供給許可 (動作許可となる周辺機能については，**表26 - 1～表26 - 3**参照)
1	独立電源RTC，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，発振停止検出回路，周波数測定回路以外の周辺機能へのサブ・クロック(f_{SX})供給停止

WUTMMCK0	12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，LCDコントローラ／ドライバ，周波数測定回路の動作クロックの選択	周波数測定回路のカウント動作/停止トリガクロック選択	クロック出力/ブザー出力制御回路の出力クロックの選択
0	サブ・クロック(f_{SX})	サブ・クロック(f_{SX})を選択	サブ・クロック(f_{SX})
1	低速オンチップ・オシレータ・クロック(f_{IL})[注2,3,6,7]	低速オンチップ・オシレータ・クロック(f_{IL})を選択[注6]	クロック出力禁止[注5]

注1.　ビット0-3, 5, 6には，必ず0を設定してください。

2.　サブ・クロック(f_{SX})発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

3.　WUTMMCK0ビットによるサブ・クロック(f_{SX})と低速オンチップ・オシレータ・クロック(f_{IL})の切り替えは，12ビット・インターバル・タイマ，8 ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，周波数測定回路の全ての機能が停止中のみ可能です。

注4. CKSELレジスタのビット0 (SELLOSC)によりサブ・クロック(f_{SX})を選択(SELLOSC = 0)してRTCLPC = 1とした場合，サブシステム・クロック(f_{SUB})は停止しますが，低速オンチップ・オシレータ・クロックを選択（SELLOSC = 1)してRTCLPC = 1とした場合，サブシステム・クロック(f_{SUB})は停止しません。

5. WUTMMCK0を"1"に設定した場合，PCLBUZn端子からクロック出力を禁止します。

6. WUTMMCK0を"1"に設定すると低速オンチップ・オシレータ・クロック(f_{IL})が発振します。

7. WUTMMCK0を"1" に設定した場合，LCDコントローラ／ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

21. 3. 4　LCDクロック制御レジスタ0（LCDC0）

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－5　LCDクロック制御レジスタ（LCDC0）のフォーマット

アドレス：FFF42 H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00

LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00	LCDクロック（LCDCL）	
						WUTMMCK0 = 0	WUTMMCK0 = 1
0	0	0	0	0	1	$f_{SUB}/2^2$	$f_{IL}/2^2$
0	0	0	0	1	0	$f_{SUB}/2^3$	$f_{IL}/2^3$
0	0	0	0	1	1	$f_{SUB}/2^4$	$f_{IL}/2^4$
0	0	0	1	0	0	$f_{SUB}/2^5$	$f_{IL}/2^5$
0	0	0	1	0	1	$f_{SUB}/2^6$	$f_{IL}/2^6$
0	0	0	1	1	0	$f_{SUB}/2^7$	$f_{IL}/2^7$
0	0	0	1	1	1	$f_{SUB}/2^8$	$f_{IL}/2^8$
0	0	1	0	0	0	$f_{SUB}/2^9$	$f_{IL}/2^9$
0	0	1	0	0	1	$f_{SUB}/2^{10}$	
0	1	0	0	0	1	$f_{MAIN}/2^8$	
0	1	0	0	1	0	$f_{MAIN}/2^9$	
0	1	0	0	1	1	$f_{MAIN}/2^{10}$	
0	1	0	1	0	0	$f_{MAIN}/2^{11}$	
0	1	0	1	0	1	$f_{MAIN}/2^{12}$	
0	1	0	1	1	0	$f_{MAIN}/2^{13}$	
0	1	0	1	1	1	$f_{MAIN}/2^{14}$	
0	1	1	0	0	0	$f_{MAIN}/2^{15}$	
0	1	1	0	0	1	$f_{MAIN}/2^{16}$	
0	1	1	0	1	0	$f_{MAIN}/2^{17}$	
0	1	1	0	1	1	$f_{MAIN}/2^{18}$	
1	0	1	0	1	1	$f_{MAIN}/2^{19}$	
上記以外						設定禁止	

注意1.　ビット6, 7には，必ず0を設定してください。

2.　フレーム周波数は32～128 Hz（f_{IL}選択時は24～128 Hz）の範囲内で設定してください。さらに，内部昇圧方式，容量分割方式に設定した場合，LCDクロック（LCDCL）は，512 Hz以下（f_{IL}選択時は235 Hz以下）に設定してください。

3.　LCDM1レジスタのSCOCビット ＝1のときLCDC0を設定しないでください。

備考　f_{MAIN}　：メイン・システム・クロック周波数

f_{SUB}　：サブシステム・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック周波数

21. 3. 5　LCD昇圧レベル制御レジスタ（VLCD）

昇圧回路動作時に生成する基準電圧を選択（コントラスト調整）するレジスタです。基準電圧は，16段階から選択することができます。

VLCDは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，04Hになります。

図21－6　LCD昇圧レベル制御レジスタ（VLCD）のフォーマット

アドレス：FFF43H　リセット時：04H　R/W

略号	7	6	5	4	3	2	1	0
VLCD	0	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	基準電圧選択（コントラスト調整）	V_{L4}電圧	
						1/3バイアス法時	1/4バイアス法時
0	0	1	0	0	1.00 V（デフォルト）	3.00 V	4.00 V
0	0	1	0	1	1.05 V	3.15 V	4.20 V
0	0	1	1	0	1.10 V	3.30 V	4.40 V
0	0	1	1	1	1.15 V	3.45 V	4.60 V
0	1	0	0	0	1.20 V	3.60 V	4.80 V
0	1	0	0	1	1.25 V	3.75 V	5.00 V
0	1	0	1	0	1.30 V	3.90 V	5.20 V
0	1	0	1	1	1.35 V	4.05 V	設定禁止
0	1	1	0	0	1.40 V	4.20 V	設定禁止
0	1	1	0	1	1.45 V	4.35 V	設定禁止
0	1	1	1	0	1.50 V	4.50 V	設定禁止
0	1	1	1	1	1.55 V	4.65 V	設定禁止
1	0	0	0	0	1.60 V	4.80 V	設定禁止
1	0	0	0	1	1.65 V	4.95 V	設定禁止
1	0	0	1	0	1.70 V	5.10 V	設定禁止
1	0	0	1	1	1.75 V	5.25 V	設定禁止
上記以外					設定禁止		

注意1. VLCDレジスタの設定は，昇圧回路動作時のみ有効です。

2. ビット5-7には，必ず0を設定してください。

3. VLCDレジスタの値を変更する場合は，必ず昇圧回路の動作を停止（VLCON = 0）してから行ってください。

4. 内部昇圧方式を使用する場合は，VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから），基準電圧セットアップ時間（5 ms (MIN.)）をウエイトしたあとに，VLCONに1を設定してください。

5. 外部抵抗分割方式または容量分割方式では，VLCDレジスタは初期値（04H）で使用してください。

21. 3. 6　LCD入力切り替え制御レジスタ（ISCLCD）

CAPL/P126, CAPH/P127, V_{L3}/P125端子をLCD機能として動作するように設定を行うまでの期間，貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCDレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－7　LCD入力切り替え制御レジスタ（ISCLCD）のフォーマット

アドレス：F0308H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	V_{L3}/P125端子のシュミット・トリガ・バッファの制御
0	入力無効
1	入力有効

ISCCAP	CAPL/ P126, CAPH/P127端子のシュミット・トリガ・バッファの制御
0	入力無効
1	入力有効

注意1. ISCVL3ビット ＝0の場合，対応するポート制御レジスタは，次のように設定してください。

PU12レジスタのPU125ビット ＝0, P12レジスタのP125ビット ＝0

2. ISCCAPビット ＝0の場合，対応するポート制御レジスタは，次のように設定してください。

PU12レジスタのPU126ビット ＝0, P12レジスタのP126ビット ＝0

PU12レジスタのPU127ビット ＝0, P12レジスタのP127ビット ＝0

（1）V_{L3}, CAPL, CAPH端子兼用ポートの動作

V_{L3}/P125, CAPL/P126, CAPH/P127端子の機能は，LCD入力切り替え制御レジスタ（ISCLCD），LCDモード・レジスタ0（LCDM0），ポート・モード・レジスタ12（PM12）の設定で決定します。.

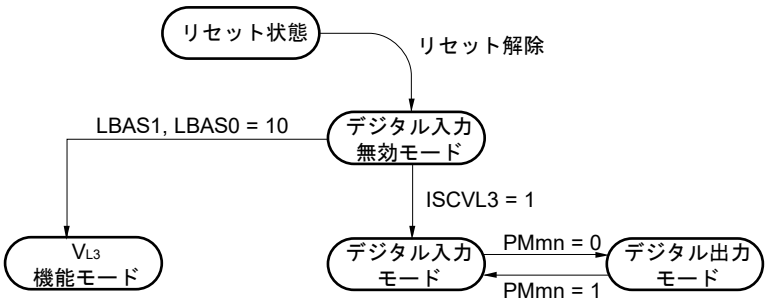
・V_{L3}/P125

表21－5　V_{L3}/P125端子機能の設定

バイアス法設定（LCDM0レジスタのLBAS1, LBAS0 ビットで設定）	ISCLCDレジスタのISCVL3ビット	PM12レジスタのPM125ビット	端子機能	初期状態
1/4バイアス法以外（LBAS1，LBAS0 ＝ 00または01）	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	－
	1	1	デジタル入力モード	－
1/4バイアス法（LBAS1, LBAS0 = 10）	0	1	V_{L3}機能モード	－
上記以外			設定禁止	

V_{L3}/P125端子機能の状態遷移を次に示します。

図21－8　V_{L3}/P125端子機能の状態遷移図



注意　V_{L3}機能モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット ＝0の期間）に設定してください。

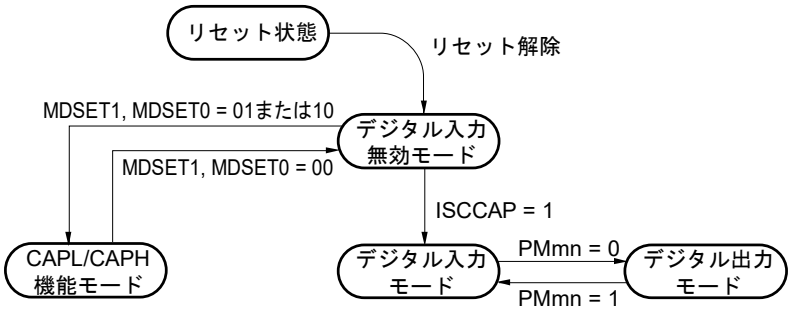
・CAPL/P126, CAPH/P127

表21－6　CAPL/P126, CAPH/P127端子機能の設定

LCD駆動電圧生成（LCDM0レジスタのMDSET1, MDSET0ビット）	ISCLCDレジスタのISCCAPビット	PM12レジスタのPM126, PM127ビット	端子機能	初期状態
外部抵抗分割（MDSET1, MDSET0 = 00）	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	－
	1	1	デジタル入力モード	－
内部昇圧または容量分割（MDSET1, MDSET0 = 01または10）	0	1	CAPL/CAPH機能モード	－
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図21－9　CAPL/P126, CAPH/P127端子機能の状態遷移図



注意　CAPL/CAPH機能モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット ＝0の期間）に設定してください。

21. 3. 7　LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5）

P02-P07, P10-P17, P30-P37, P50-P57, P70-P77, P80-P85端子をポート（セグメント出力以外）／セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG5レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，**図21-10**に示すリセット時の値になります。

備考　セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と，製品によるSEGxx端子の有無を**表21－7　各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）**に示します。

図21－10　LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5）のフォーマット

アドレス：F0300H　　リセット時：F0H　　R/W

略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

アドレス：F0301H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15 注3	PFSEG14 注3	PFSEG13 注3	PFSEG12 注3	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス：F0302H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23 注3	PFSEG22 注3	PFSEG21 注3	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

アドレス：F0303H　　リセット時：FFH(R5F10NPJ, R5F10NMJ, R5F10NPG)，0FH(R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLE)　　R/W

略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31 注1, 2, 3	PFSEG30 注1, 2, 3	PFSEG29 注1, 2, 3	PFSEG28 注1, 2, 3	PFSEG27 注3	PFSEG26 注3	PFSEG25	PFSEG24

アドレス：F0304H　　リセット時：FFH(R5F10NPJ, R5F10NMJ, R5F10NPG)，3FH(R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLE)　　R/W

略号	7	6	5	4	3	2	1	0
PFSEG4	PESEG39 注1, 2	PFSEG38 注1, 2	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

アドレス：F0305H　　リセット時：03H　　R/W

略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	0	0	0	PFSEG41	PFSEG40

PFSEGxx (xx＝04-41)	Pmn端子のポート（セグメント出力以外）／セグメント出力の指定（mn = 02-07, 10-17, 30-37, 50-57, 70-77, 80-85）
0	ポート（セグメント出力以外）として使用
1	セグメント出力として使用

注1. R5F10NMG, R5F10NLG, R5F10NME, R5F10NLE, R5F11TLG, R5F11TLEの初期値は“0”になります。“1”を設定しても動作に影響はなく“0”になります。

2. 80ピン製品では必ず“1”を設定してください。

3. 64ピン製品では必ず“1”を設定してください。

注意　セグメント出力として使用する（PFSEGxx = 1）場合には必ずPUmレジスタのPUmnビット = 0，POMmレジスタのPOMmnビット = 0，PIMmレジスタのPIMmnビット = 0に設定してください。

表21－7　各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80-pin	64-pin
PFSEG04	SEG4	P10	○	○	○
PFSEG05	SEG5	P11	○	○	○
PFSEG06	SEG6	P12	○	○	○
PFSEG07	SEG7	P13	○	○	○
PFSEG08	SEG8	P14	○	○	○
PFSEG09	SEG9	P15	○	○	○
PFSEG10	SEG10	P16	○	○	○
PFSEG11	SEG11	P17	○	○	○
PFSEG12	SEG12	P80	○	○	－
PFSEG13	SEG13	P81	○	○	－
PFSEG14	SEG14	P82	○	○	－
PFSEG15	SEG15	P83	○	○	－
PFSEG16	SEG16	P70	○	○	○
PFSEG17	SEG17	P71	○	○	○
PFSEG18	SEG18	P72	○	○	○
PFSEG19	SEG19	P73	○	○	○
PFSEG20	SEG20	P74	○	○	○
PFSEG21	SEG21	P75	○	○	－
PFSEG22	SEG22	P76	○	○	－
PFSEG23	SEG23	P77	○	○	－
PFSEG24	SEG24	P30	○	○	○
PFSEG25	SEG25	P31	○	○	○
PFSEG26	SEG26	P32	○	○	－
PFSEG27	SEG27	P33	○	○	－
PFSEG28	SEG28	P34	○	－	－
PFSEG29	SEG29	P35	○	－	－
PFSEG30	SEG30	P36	○	－	－
PFSEG31	SEG31	P37	○	－	－
PFSEG32	SEG32	P50	○	－	－
		P02	－	○	－
PFSEG33	SEG33	P51	○	－	－
		P03	－	○	－
PFSEG34	SEG34	P52	○	－	－
		P04	－	○	－
PFSEG35	SEG35	P53	○	－	－
		P05	－	○	－
PFSEG36	SEG36	P54	○	－	－
		P06	－	○	－
PFSEG37	SEG37	P55	○	－	－
		P07	－	○	－
PFSEG38	SEG38	P56	○	－	－
PFSEG39	SEG39	P57	○	－	－
PFSEG40	SEG40	P84	○	－	－
PFSEG41	SEG41	P85	○	－	－

（1）SEGxx端子兼用ポートの動作

セグメント出力端子（SEGxx）の機能は，ポート・モード・レジスタ（PMxx），LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5）の設定で決定します。

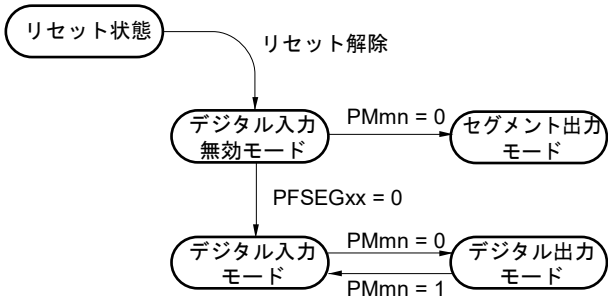
・P02-P07, P10-P17, P30-P37, P50-P57, P70-P77, P80-P85
（アナログ入力端子（ANIxx）を兼用していないポート）

表21－8　SEGxx/ポート端子機能の設定

PFSEG0-PFSEG5レジスタのPFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	－
0	1	デジタル入力モード	－
1	0	セグメント出力モード	－

SEGxx/Pxx端子機能の状態遷移を次に示します。

図21－11　SEGxx/Pxx端子機能の状態遷移図



注意　セグメント出力モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。

21. 3. 8　ポート・モード・レジスタ0, 1, 3, 5, 7, 8（PM0, PM1, PM3, PM5, PM7, PM8）

ポート0, 1, 3, 5, 7, 8の入力／出力を1ビット単位で設定するレジスタです。

セグメント出力端子を兼用するポート（P10/SEG4など）をセグメント出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P10/SEG4をセグメント出力として使用する場合

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを0に設定

PM0, PM1, PM3, PM5, PM7, PM8レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図21－12　ポート・モード・レジスタ0, 1, 3, 5, 7, 8（PM0, PM1, PM3, PM5, PM7, PM8）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	1	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 （m = 0, 1, 3, 5, 7, 8; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

備考　上記は，80ピン製品のポート・モード・レジスタ0, 1, 3, 5, 7, 8のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては，**表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット**を参照してください。

21. 4　LCD表示データ・レジスタ

LCD表示データ・レジスタは，**表21－9**のようにマッピングしています。LCD表示データ・レジスタの内容を変更することでLCD表示内容を変更できます。

表21－9　LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係（1/4）

（a）6時分割，8時分割以外（スタティック，2時分割，3時分割，4時分割）（1/2）

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin	64-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG0	F0400H	SEG0（Bパターン領域）				SEG0（Aパターン領域）				○	○	○
SEG1	F0401H	SEG1（Bパターン領域）				SEG1（Aパターン領域）				○	○	○
SEG2	F0402H	SEG2（Bパターン領域）				SEG2（Aパターン領域）				○	○	○
SEG3	F0403H	SEG3（Bパターン領域）				SEG3（Aパターン領域）				○	○	○
SEG4	F0404H	SEG4（Bパターン領域）				SEG4（Aパターン領域）				○	○	○
SEG5	F0405H	SEG5（Bパターン領域）				SEG5（Aパターン領域）				○	○	○
SEG6	F0406H	SEG6（Bパターン領域）				SEG6（Aパターン領域）				○	○	○
SEG7	F0407H	SEG7（Bパターン領域）				SEG7（Aパターン領域）				○	○	○
SEG8	F0408H	SEG8（Bパターン領域）				SEG8（Aパターン領域）				○	○	○
SEG9	F0409H	SEG9（Bパターン領域）				SEG9（Aパターン領域）				○	○	○
SEG10	F040AH	SEG10（Bパターン領域）				SEG10（Aパターン領域）				○	○	○
SEG11	F040BH	SEG11（Bパターン領域）				SEG11（Aパターン領域）				○	○	○
SEG12	F040CH	SEG12（Bパターン領域）				SEG12（Aパターン領域）				○	○	－
SEG13	F040DH	SEG13（Bパターン領域）				SEG13（Aパターン領域）				○	○	－
SEG14	F040EH	SEG14（Bパターン領域）				SEG14（Aパターン領域）				○	○	－
SEG15	F040FH	SEG15（Bパターン領域）				SEG15（Aパターン領域）				○	○	－
SEG16	F0410H	SEG16（Bパターン領域）				SEG16（Aパターン領域）				○	○	○
SEG17	F0411H	SEG17（Bパターン領域）				SEG17（Aパターン領域）				○	○	○
SEG18	F0412H	SEG18（Bパターン領域）				SEG18（Aパターン領域）				○	○	○
SEG19	F0413H	SEG19（Bパターン領域）				SEG19（Aパターン領域）				○	○	○
SEG20	F0414H	SEG20（Bパターン領域）				SEG20（Aパターン領域）				○	○	○
SEG21	F0415H	SEG21（Bパターン領域）				SEG21（Aパターン領域）				○	○	－
SEG22	F0416H	SEG22（Bパターン領域）				SEG22（Aパターン領域）				○	○	－
SEG23	F0417H	SEG23（Bパターン領域）				SEG23（Aパターン領域）				○	○	－
SEG24	F0418H	SEG24（Bパターン領域）				SEG24（Aパターン領域）				○	○	○
SEG25	F0419H	SEG25（Bパターン領域）				SEG25（Aパターン領域）				○	○	○
SEG26	F041AH	SEG26（Bパターン領域）				SEG26（Aパターン領域）				○	○	－
SEG27	F041BH	SEG27（Bパターン領域）				SEG27（Aパターン領域）				○	○	－
SEG28	F041CH	SEG28（Bパターン領域）				SEG28（Aパターン領域）				○	－	－
SEG29	F041DH	SEG29（Bパターン領域）				SEG29（Aパターン領域）				○	－	－
SEG30	F041EH	SEG30（Bパターン領域）				SEG30（Aパターン領域）				○	－	－
SEG31	F041FH	SEG31（Bパターン領域）				SEG31（Aパターン領域）				○	－	－
SEG32	F0420H	SEG32（Bパターン領域）				SEG32（Aパターン領域）				○	○	－
SEG33	F0421H	SEG33（Bパターン領域）				SEG33（Aパターン領域）				○	○	－

表21－9　LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係（2/4）

（a）6時分割，8時分割以外（スタティック，2時分割，3時分割，4時分割）（2/2）

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin	64-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG34	F0422H	SEG34（Bパターン領域）				SEG34（Aパターン領域）				○	○	－
SEG35	F0423H	SEG35（Bパターン領域）				SEG35（Aパターン領域）				○	○	－
SEG36	F0424H	SEG36（Bパターン領域）				SEG36（Aパターン領域）				○	○	－
SEG37	F0425H	SEG37（Bパターン領域）				SEG37（Aパターン領域）				○	○	－
SEG38	F0426H	SEG38（Bパターン領域）				SEG38（Aパターン領域）				○	－	－
SEG39	F0427H	SEG39（Bパターン領域）				SEG39（Aパターン領域）				○	－	－
SEG40	F0428H	SEG40（Bパターン領域）				SEG40（Aパターン領域）				○	－	－
SEG41	F0429H	SEG41（Bパターン領域）				SEG41（Aパターン領域）				○	－	－

備考　○：サポートする　－：サポートしない

表21－9　LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係（3/4）

（b）6時分割，8時分割（1/2）

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin	64-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG0	F0400H	SEG0注								○	○	○
SEG1	F0401H	SEG1注								○	○	○
SEG2	F0402H	SEG2注								○	○	○
SEG3	F0403H	SEG3注								○	○	○
SEG4	F0404H	SEG4								○	○	○
SEG5	F0405H	SEG5								○	○	○
SEG6	F0406H	SEG6								○	○	○
SEG7	F0407H	SEG7								○	○	○
SEG8	F0408H	SEG8								○	○	○
SEG9	F0409H	SEG9								○	○	○
SEG10	F040AH	SEG10								○	○	○
SEG11	F040BH	SEG11								○	○	○
SEG12	F040CH	SEG12								○	○	－
SEG13	F040DH	SEG13								○	○	－
SEG14	F040EH	SEG14								○	○	－
SEG15	F040FH	SEG15								○	○	－
SEG16	F0410H	SEG16								○	○	○
SEG17	F0411H	SEG17								○	○	○
SEG18	F0412H	SEG18								○	○	○
SEG19	F0413H	SEG19								○	○	○
SEG20	F0414H	SEG20								○	○	○
SEG21	F0415H	SEG21								○	○	－
SEG22	F0416H	SEG22								○	○	－
SEG23	F0417H	SEG23								○	○	－
SEG24	F0418H	SEG24								○	○	○
SEG25	F0419H	SEG25								○	○	○
SEG26	F041AH	SEG26								○	○	－
SEG27	F041BH	SEG27								○	○	－
SEG28	F041CH	SEG28								○	－	－
SEG29	F041DH	SEG29								○	－	－
SEG30	F041EH	SEG30								○	－	－
SEG31	F041FH	SEG31								○	－	－
SEG32	F0420H	SEG32								○	○	－
SEG33	F0421H	SEG33								○	○	－
SEG34	F0422H	SEG34								○	○	－
SEG35	F0423H	SEG35								○	○	－
SEG36	F0424H	SEG36								○	○	－
SEG37	F0425H	SEG37								○	○	－
SEG38	F0426H	SEG38								○	－	－
SEG39	F0427H	SEG39								○	－	－
SEG40	F0428H	SEG40								○	－	－

表21－9　LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係（4/4）

（b）6時分割，8時分割（2/2）

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin	64-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG41	F0429H	SEG41								○	－	－

注　COM4-COM7端子とSEG0-SEG3端子は兼用しています。

備考　○：サポートする　－：サポートしない

スタティック，2時分割，3時分割，または4時分割で使用する場合，LCD表示データ・レジスタの各アドレスの下位4ビットはAパターン領域，上位4ビットはBパターン領域となります。

Aパターン領域のデータとCOM信号の対応は，ビット0⇔COM0，ビット1⇔COM1，ビット2⇔COM2，ビット3⇔COM3となります。

Bパターン領域のデータとCOM信号の対応は，ビット4⇔COM0，ビット5⇔COM1，ビット6⇔COM2，ビット7⇔COM3となります。

BLON = LCDSEL = 0選択時にはAパターン領域のデータを，BLON = 0, LCDSEL = 1選択時には，Bパターン領域のデータを，LCDパネルに表示します。

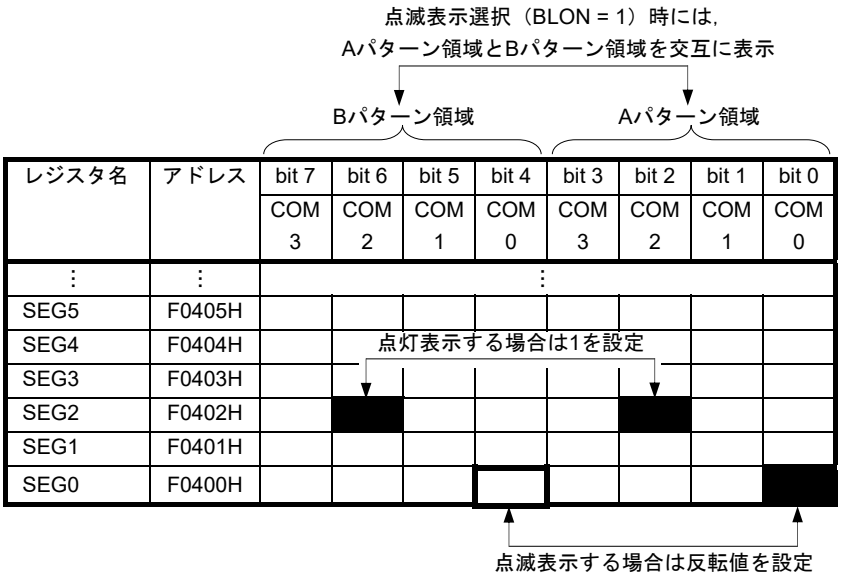
21. 5　LCD表示レジスタの選択

RL78/I1Cでは，スタティック，2時分割，3時分割，または4時分割で使用する場合，BLONビットとLCDSELビットの設定により，LCD表示データ・レジスタを次の3種類から選択することができます。

・Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータ表示
・Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータ表示
・Aパターン領域とBパターン領域のデータを交互に表示（独立電源RTCの定周期割り込みタイミングに対応した点滅表示）

注意　6時分割または8時分割使用時は，LCD表示データ・レジスタ（Aパターン，Bパターンまたは点滅表示）を選択することはできません。

図21－13　パターン切り替え表示時のLCD表示レジスタの設定例



21. 5. 1　Aパターン領域，Bパターン領域のデータ表示

BLON = LCDSEL =0設定時では，Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータがLCD表示レジスタとして出力されます。

BLON = 0, LCDSEL =1設定時では，Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータがLCD表示レジスタとして出力されます。

表示領域については，**21. 4　LCD表示データ・レジスタ**を参照してください。

21. 5. 2　点滅表示（Aパターン領域とBパターン領域のデータを交互に表示）

BLON = 1設定時では，独立電源RTCの周期割り込み(INTRTCPRD）タイミングに対応して，Aパターン領域とBパターン領域のデータを交互に表示します。独立電源RTCの周期割り込み（INTRTCPRD，0.5 s設定のみ）タイミングの設定については，**第9章　独立電源RTC**を参照してください。

LCDを点滅表示する場合，Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください（ex.　F0400Hのビット0に1を設定し，点滅表示する場合は，F0400Hのビット4に0を設定）。また，LCDを点滅表示しない場合は，同値を設定してください（ex.　F0402Hのビット2に1を設定し，点灯表示する場合は，F0402Hのビット6に1を設定）。

表示領域については，**21. 4　LCD表示データ・レジスタ**を参照してください。

次に，表示切り替えのタイミング動作を示します。

図21－14　Aパターン表示から点滅表示への切り替え動作

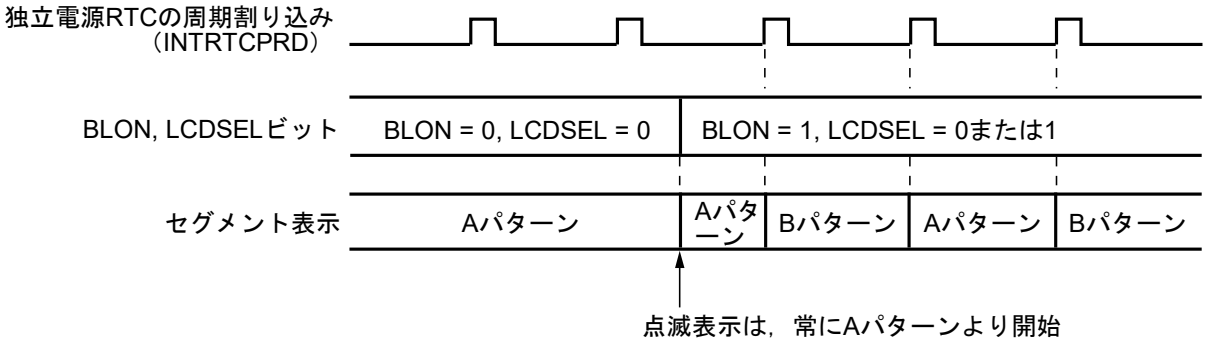
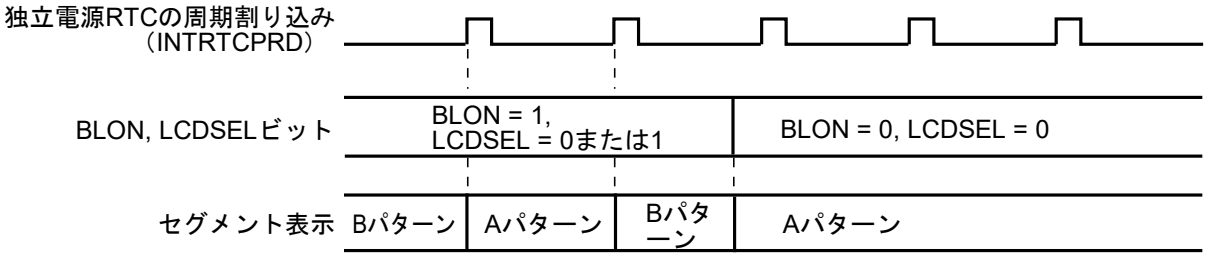


図21－15　点滅表示からAパターン表示への切り替え動作



21. 6　LCDコントローラ／ドライバの設定

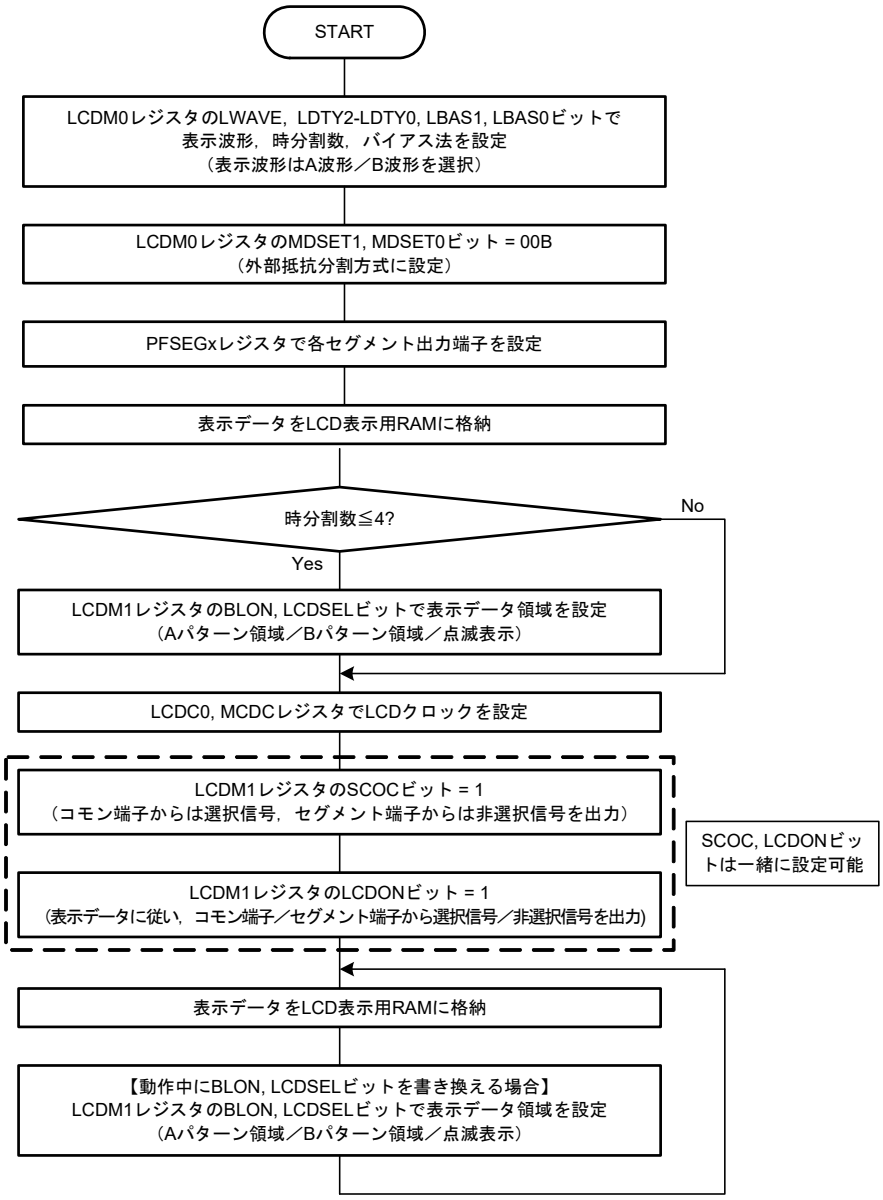
LCDコントローラ／ドライバの設定は，次のように行ってください。

注意1.　LCDコントローラ／ドライバを動作させる場合は，必ず（1）-（3）の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。

2.　（1）-（3）の設定手順は全てCPUの処理となっています。

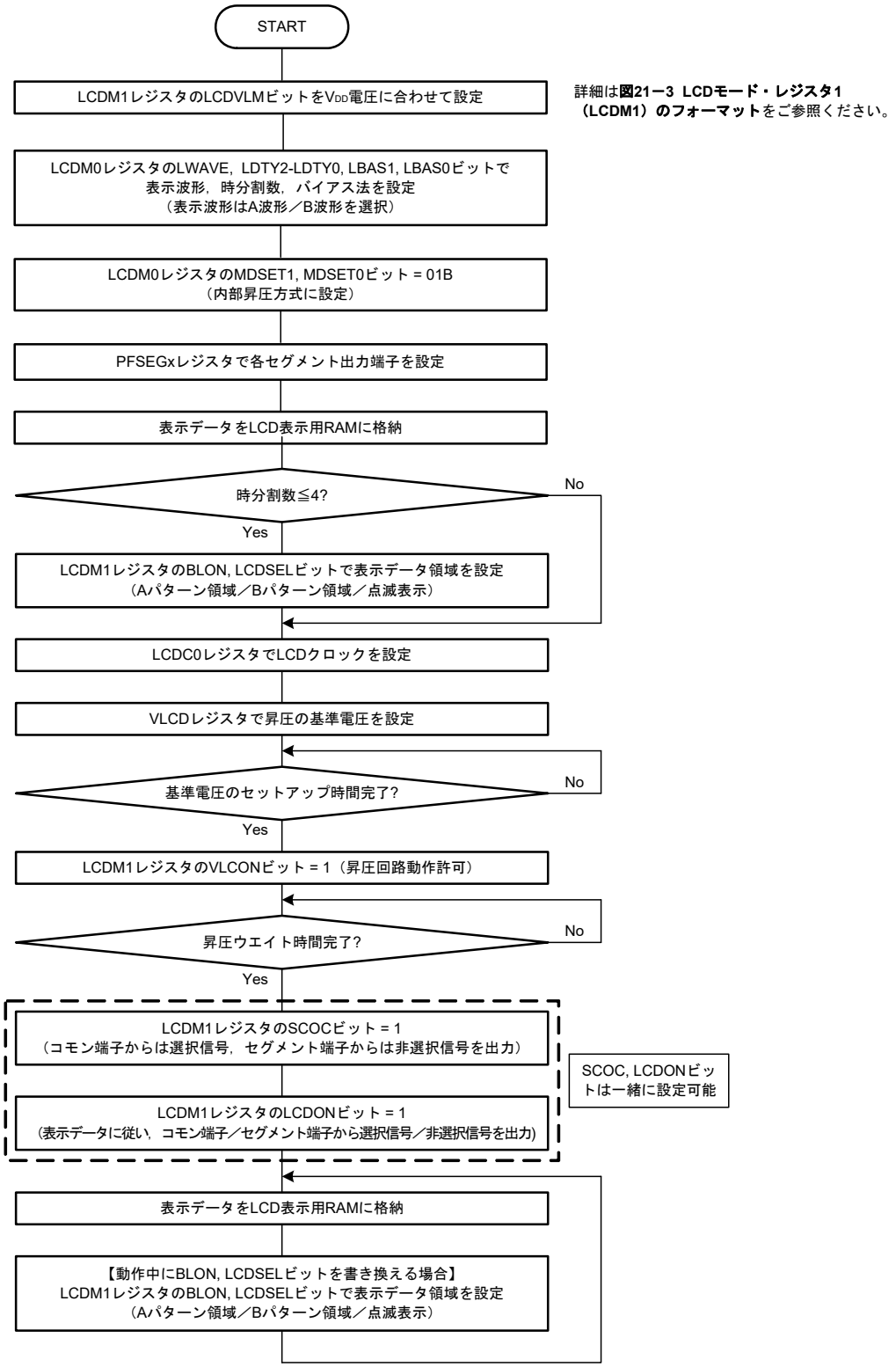
（1）外部抵抗分割方式

図21－16　外部抵抗分割方式の設定手順



（2）内部昇圧方式

図21－17　内部昇圧方式の設定手順

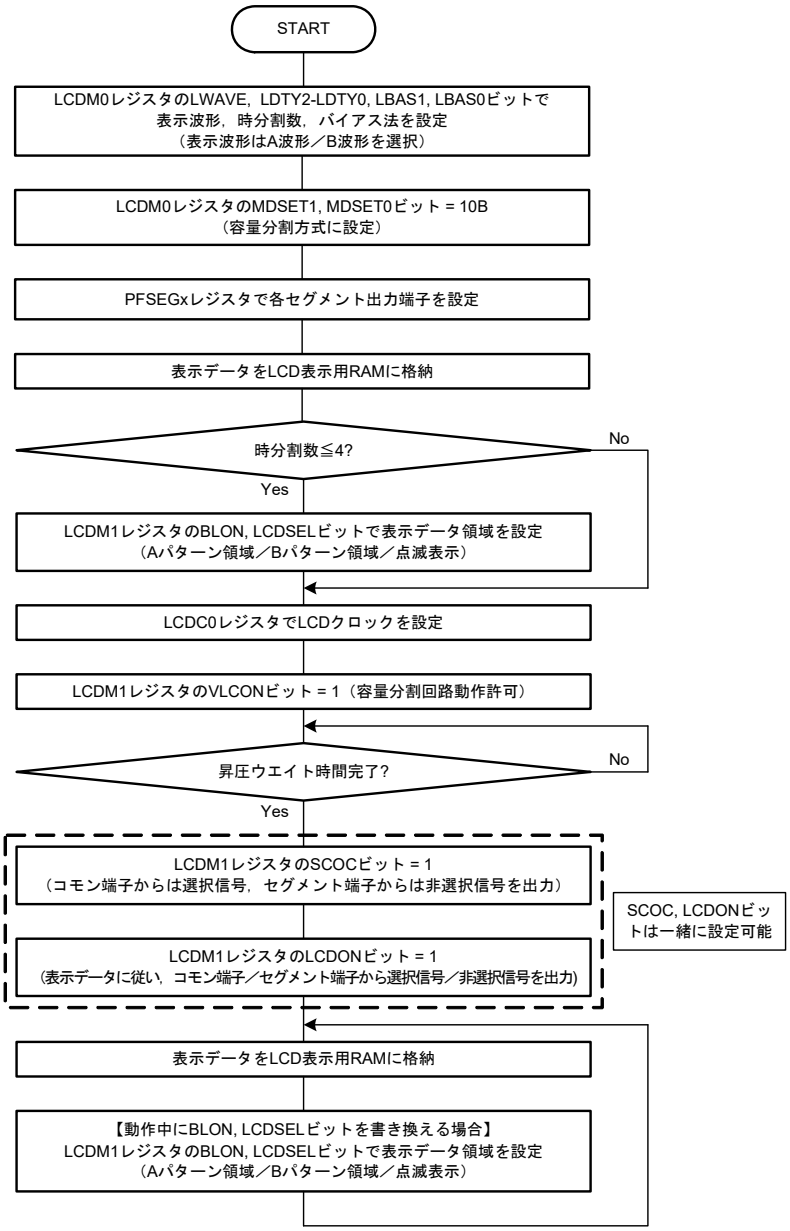


注意1.　VLCDレジスタを変更しない場合でもセットアップ時間完了まで待ってください。

2.　基準電圧セットアップ時間，および昇圧ウエイト時間のスペックについては，第41章　電気的特性を参照してください。

（3）容量分割方式

図21－18　容量分割方式の設定手順



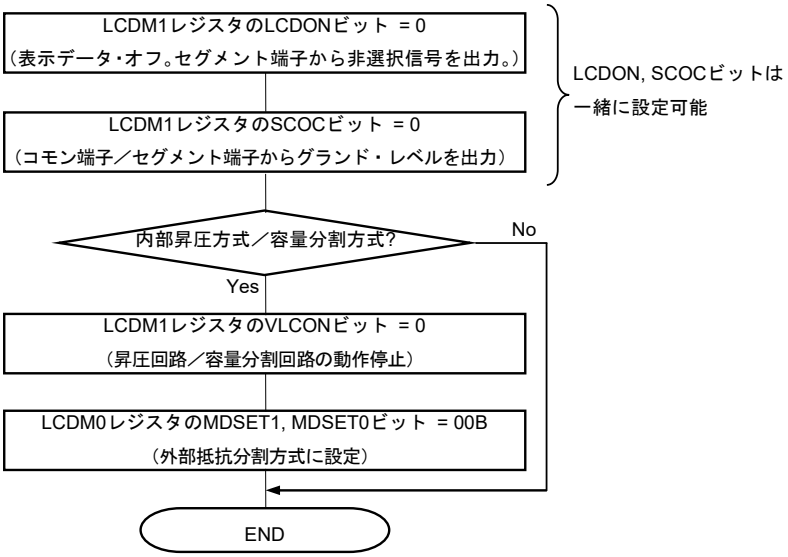
注意　昇圧ウエイト時間のスペックについては，第41章　電気的特性を参照してください。

21.7　動作停止手順

LCDパネル表示中に動作を停止させたい場合は，次に示すフロー・チャートの設定で行ってください。

LCDM1レジスタのLCDONビット = 0かつLCDM1レジスタのSCOCビット = 0に設定することで，LCDの動作は停止します。

図21－19　動作停止手順



注意　表示オン状態（LCDM1レジスタのSCOC, LCDONビット = 11B）で，昇圧／容量分割回路を停止すること（LCDM1レジスタのVLCONビット = 0）は禁止です。設定した場合の動作は保証しません。必ず表示オフ（LCDM1レジスタのSCOC, LCDONビット = 00B）にしてから昇圧／容量分割回路を停止（LCDM1レジスタのVLCONビット = 0）してください。

21. 8　LCD駆動電圧V_{L1}, V_{L2}, V_{L3}, V_{L4}の供給

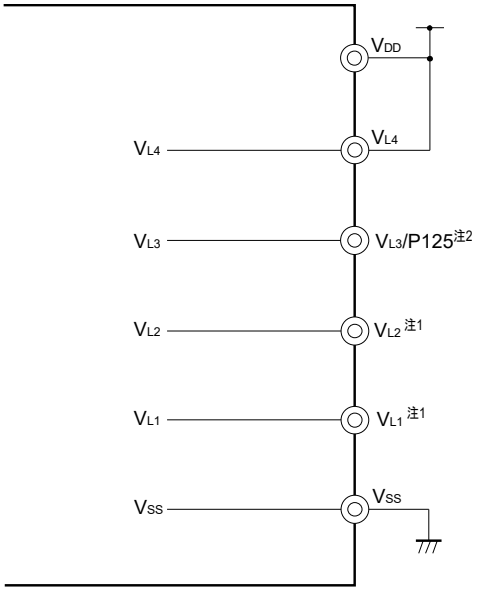
LCD駆動用電源の生成方法として，外部抵抗分割方式，内部昇圧方式，容量分割方式の3種類を選択できます。

21. 8. 1　外部抵抗分割方式

図21－20に各バイアス法に応じたLCD駆動電圧の接続例を示します。

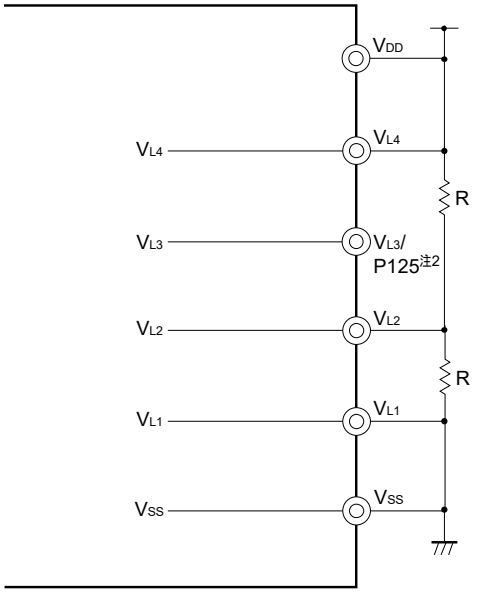
図21－20　LCD駆動用電源の接続例（外部抵抗分割方式）（1/2）

（a）スタティック表示モード



V_{L4} = V_{DD}

（b）1/2バイアス法



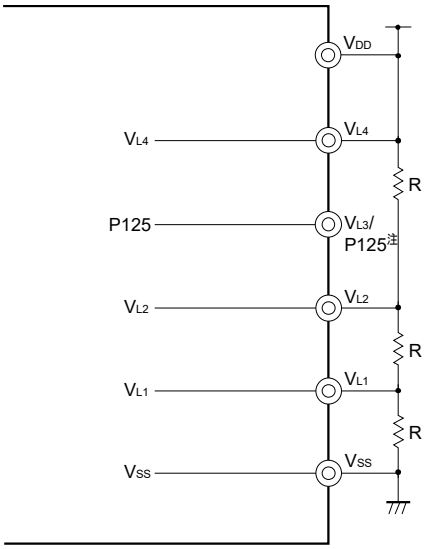
V_{L4} = V_{DD}

注1.　V_{L1},V_{L2}は，GNDもしくはオープンにしてください。

2.　V_{L3}は，ポート（P125）として使用できます。

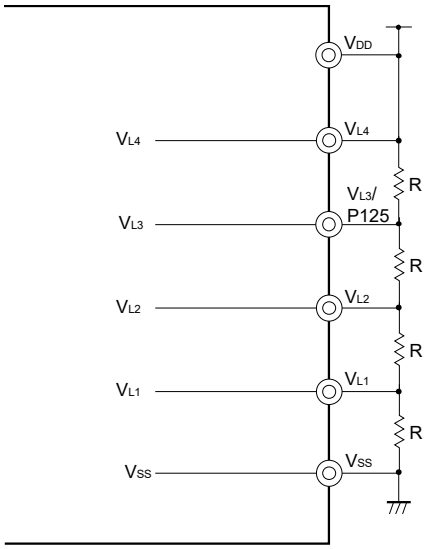
図21－20　LCD駆動用電源の接続例（外部抵抗分割方式）（2/2）

（c）1/3バイアス法



$V_{L4} = V_{DD}$

（d）1/4バイアス法



$V_{L4} = V_{DD}$

注　V_{L3}は，ポート（P125）として使用できます。

注意　外部抵抗分割用抵抗Rの参考値は，10 kΩ～1 MΩです。また，V_{L1}-V_{L4}端子の電位を安定させる場合には，必要に応じて，V_{L1}-V_{L4}端子－GND間にコンデンサを接続してください。これらの参考値は，0.47 μF程度です。使用するLCDパネル，セグメント端子数，コモン端子数，フレーム周波数，使用環境に依存します。システムに合わせた評価を十分に行った上で，値を調整して決定してください。

21. 8. 2　内部昇圧方式

RL78/I1Cは，LCD駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ（0.47 μF ±30%）により，LCD駆動電圧を生成します。内部昇圧方式は，1/3バイアス法または1/4バイアス法のみ使用できます。

内部昇圧方式のLCD駆動電圧は，本体とは別の電源なので，V_{DD}の変化に関わらず，一定の電圧を供給できます。

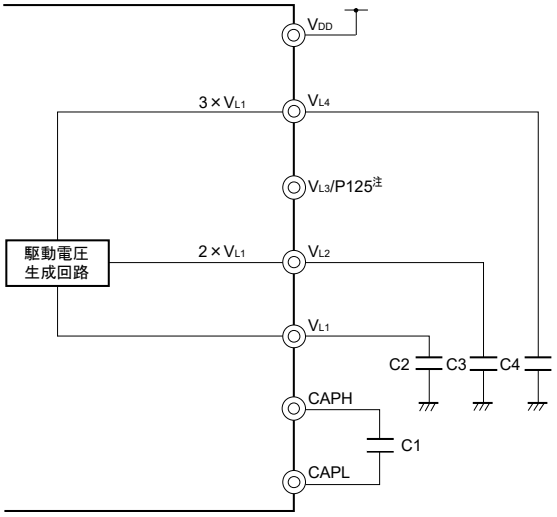
また，LCD昇圧制御レジスタ（VLCD）の設定により，コントラストを調整することができます。

表21－10　LCD駆動電圧（内部昇圧方式）

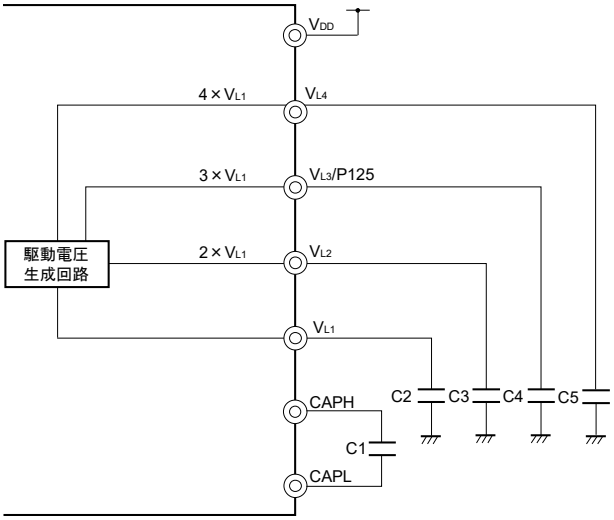
表示モード / LCD駆動用電源端子	1/3バイアス法	1/4バイアス法
V_{L4}	3×V_{L1}	4×V_{L1}
V_{L3}	－	3×V_{L1}
V_{L2}	2×V_{L1}	2×V_{L1}
V_{L1}	LCD基準電圧	LCD基準電圧

図21－21　LCD駆動用電源の接続例（内部昇圧方式）

（a）1/3バイアス法



（b）1/4バイアス法



注　V_{L3}は，ポート（P125）として使用できます。

備考　なるべくリークの少ないコンデンサをご使用ください。
なお，C1は無極性コンデンサにしてください。

21. 8. 3　容量分割方式

RL78/I1Cは，LCD駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ（0.47 μF ±30%）により，LCD駆動電圧を生成します。容量分割方式は，1/3バイアス法のみ使用できます。

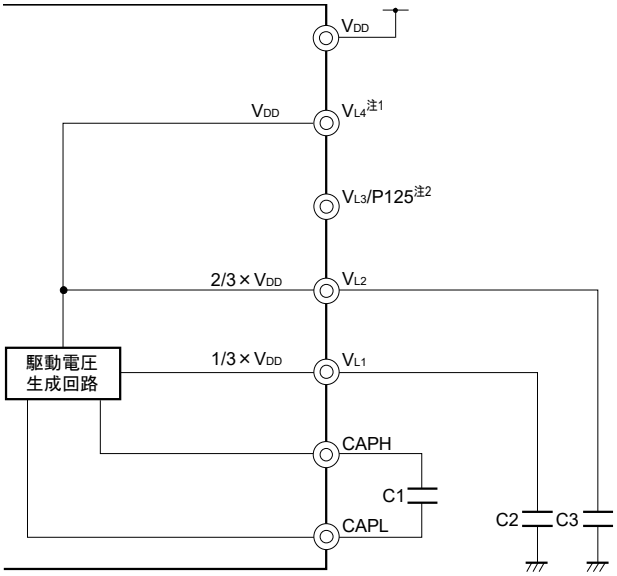
外部抵抗分割方式とは異なり，容量分割方式では常時電流が流れないため，消費電流を低減することができます。

表21－11　LCD駆動電圧（容量分割方式）

表示モード／LCD駆動用電源端子	1/3バイアス法
V_{L4}	V_{DD}
V_{L3}	－
V_{L2}	2/3×V_{L4}
V_{L1}	1/3×V_{L4}

図21－22　LCD駆動用電源の接続例（容量分割方式）

・1/3バイアス法



注1.　内部昇圧方式に切り替えて使用する場合は，**図21－21　LCD駆動用電源の接続例（内部昇圧方式）**のようにコンデンサC4を接続してください。

2.　V_{L3}は，ポート（P125）として使用できます。

備考　なるべくリークの少ないコンデンサをご使用ください。
なお，C1は無極性コンデンサにしてください。

21. 9　コモン信号とセグメント信号

21. 9. 1　通常液晶波形の場合

LCDパネルの各画素は，それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD}）以上になると点灯します。V_{LCD}以下の電位差になると消灯します。

LCDパネルは，コモン信号とセグメント信号にDC電圧が加えられると劣化するため，AC電圧によって駆動されます。

（1）コモン信号

コモン信号は，設定する時分割数に応じて**表21－12**に示す順序で選択タイミングとなり，それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお，2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は，オープンにして使用してください。

また，6時分割，8時分割以外の場合のCOM4-COM7端子および6時分割の場合のCOM6，COM7端子は，オープンまたはセグメント端子として使用してください。

表21－12　COM信号

COM信号 ／ 時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック					注	注	注	注
2時分割			オープン	オープン	注	注	注	注
3時分割				オープン	注	注	注	注
4時分割					注	注	注	注
6時分割							注	注
8時分割								

注　オープン，またはセグメント端子として使用してください。

（2）セグメント信号

セグメント信号は，LCD表示データ・レジスタ（**21. 4　LCD表示データ・レジスタ**参照）に対応しています。

8時分割方式で使用する場合，各表示データ・レジスタのビット0からビット7が，COM0からCOM7に対応します。コモン信号出力の各タイミングに同期して，データ・メモリのデータが読み出され，各ビットの内容が1なら選択電圧に変換され，0なら非選択電圧に変換されてセグメント端子（SEG4-SEG41）に出力されます。

8時分割方式以外で使用する場合，Aパターン領域では，各表示データ・レジスタのビット0からビット3がCOM0からCOM3に，Bパターン領域では，各表示データ・レジスタのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して，データ・メモリのデータが読み出され，各ビットの内容が1なら選択電圧に変換され，0なら非選択電圧に変換されてセグメント端子（SEG0-SEG41）に出力されます。

以上のことから，LCD表示データ・レジスタには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかを確認のうえ，表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

備考　搭載するセグメント端子は，製品により異なります。

・64ピン製品：　SEG0-SEG11, SEG16-SEG20, SEG24-SEG25

・80ピン製品：　SEG0-SEG27, SEG32-SEG37

・100ピン製品：SEG0-SEG41

（3）コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には**表21－13**に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ±V_{LCD}の点灯電圧となり，それ以外の組み合わせでは消灯電圧となります。

表21－13　LCD駆動電圧

（a）スタティック表示モード

コモン信号＼セグメント信号	選択信号レベル	非選択信号レベル
	V_{SS}/V_{L4}	V_{L4}/V_{SS}
V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V

（b）1/2バイアス法

コモン信号＼セグメント信号		選択信号レベル	非選択信号レベル
		V_{SS}/V_{L4}	V_{L4}/V_{SS}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	V_{L2}	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$

（c）1/3バイアス法（A波形，B波形）

コモン信号＼セグメント信号		選択信号レベル	非選択信号レベル
		V_{SS}/V_{L4}	V_{L2}/V_{L1}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	V_{L1}/V_{L2}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$

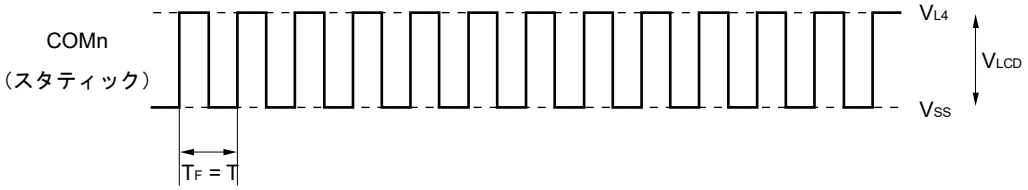
（d）1/4バイアス法（A波形，B波形）

コモン信号＼セグメント信号		選択信号レベル	非選択信号レベル
		V_{SS}/V_{L4}	V_{L2}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$
非選択信号レベル	V_{L1}/V_{L3}	$-\frac{1}{4}V_{LCD}/+\frac{1}{4}V_{LCD}$	$+\frac{1}{4}V_{LCD}/-\frac{1}{4}V_{LCD}$

図21－23にコモン信号波形を，**図21－24**にコモン信号とセグメント信号の電圧と位相を示します。

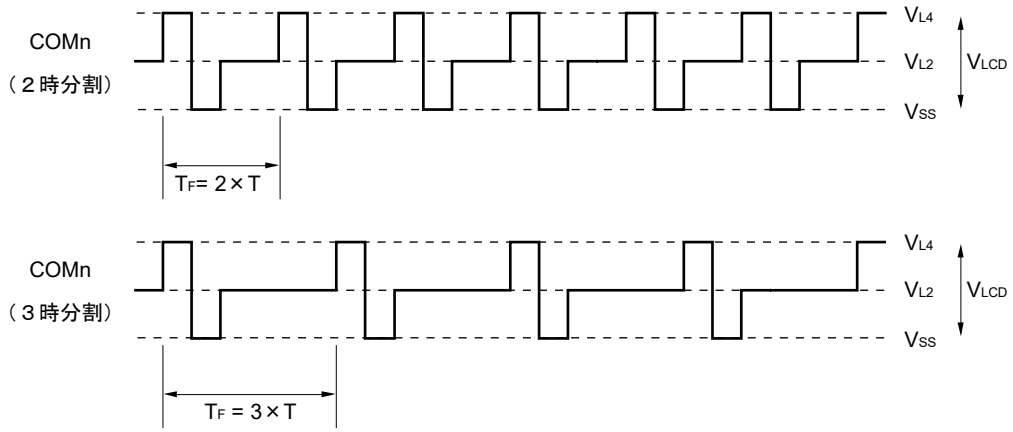
図21－23　コモン信号波形（1/3）

（a）スタティック表示モード



T：LCDクロックの1周期分　　T_F：フレーム周波数

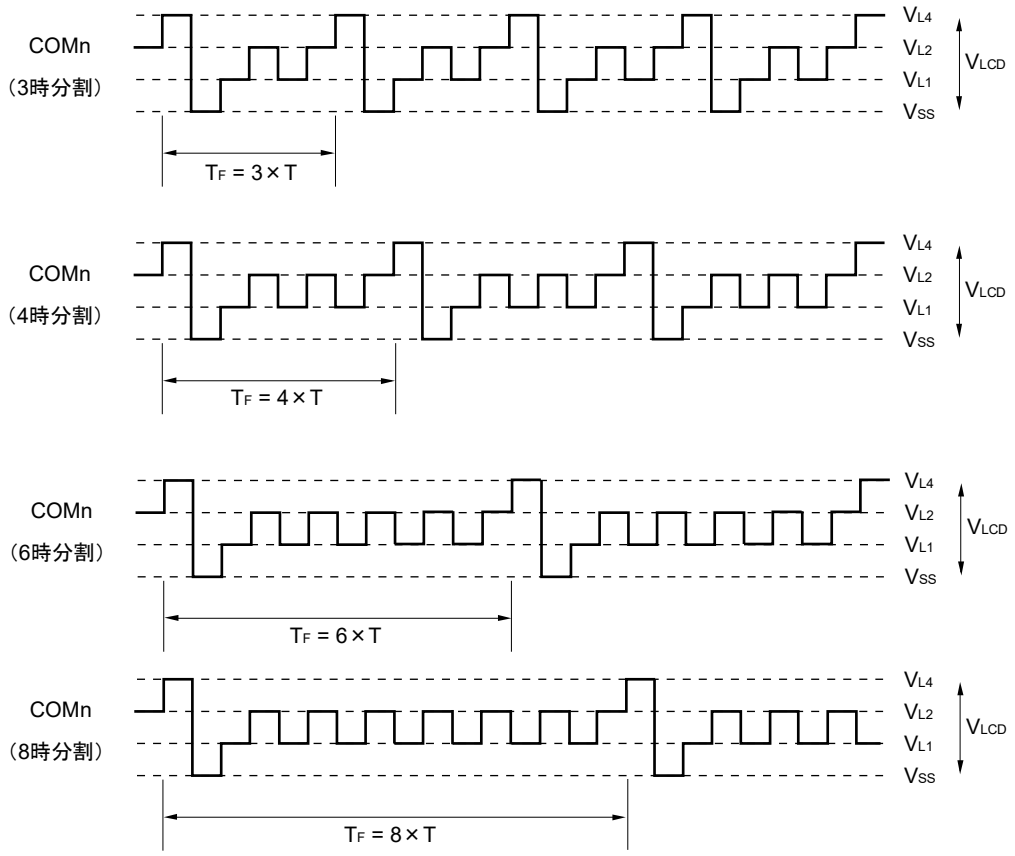
（b）1/2バイアス法



T：LCDクロックの1周期分　　T_F：フレーム周波数

図21－23　コモン信号波形（2/3）

（c）1/3バイアス法



T：LCDクロックの1周期分　　T_F：フレーム周波数

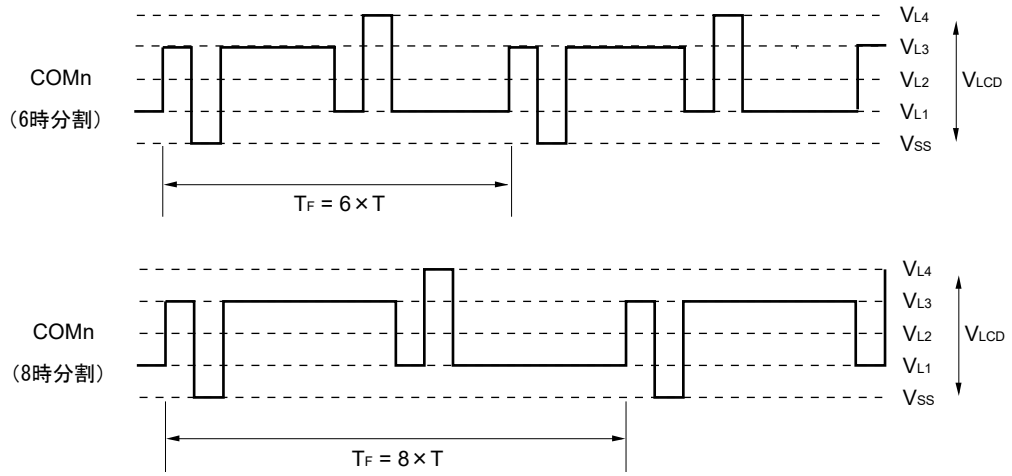
＜LCDフレーム周波数の算出例（4時分割使用時）＞

LCDクロック　　：$32768/2^7$ = 256 Hz　（LCDC0 = 06H設定時）

LCDフレーム周波数　：64 Hz

図21－23　コモン信号波形（3/3）

（d）1/4バイアス法



T：LCDクロックの1周期分　　T_F：フレーム周波数

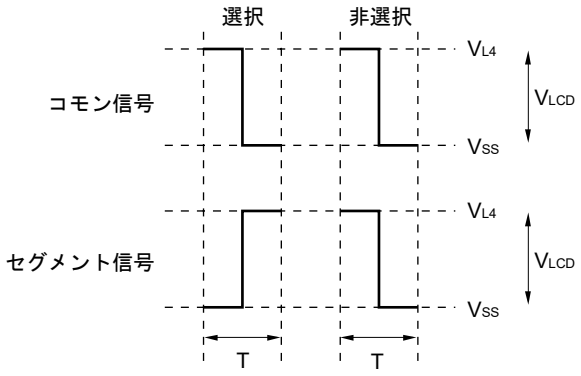
＜LCDフレーム周波数の算出例（8時分割使用時）＞

LCDクロック　　：$32768/2^7$ = 256 Hz　（LCDC0 = 06H設定時）

LCDフレーム周波数　：32 Hz

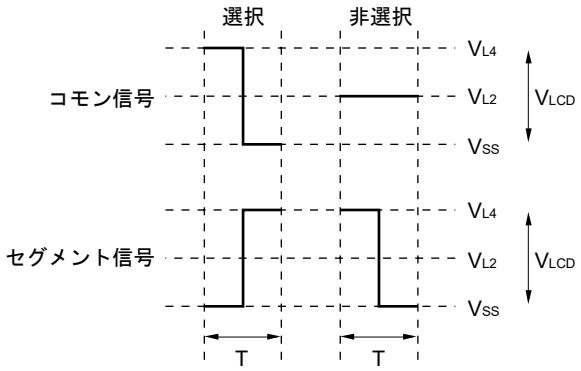
図21－24　コモン信号とセグメント信号の電圧と位相（1/3）

（a）スタティック表示モード（A波形）



T：LCDクロックの1周期分

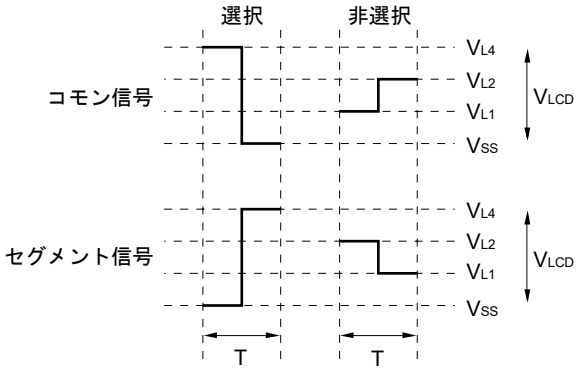
（b）1/2バイアス法（A波形）



T：LCDクロックの1周期分

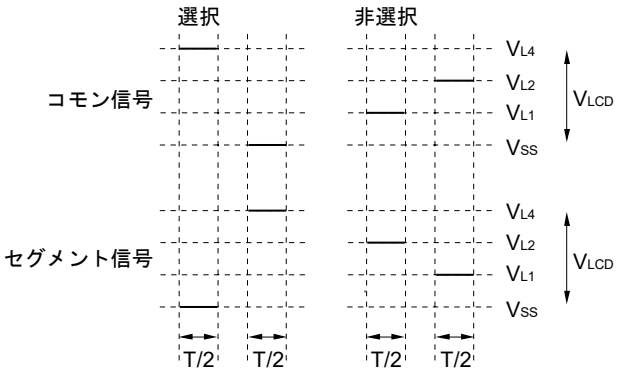
図21－24　コモン信号とセグメント信号の電圧と位相（2/3）

（c）1/3バイアス法（A波形）



T：LCDクロックの1周期分

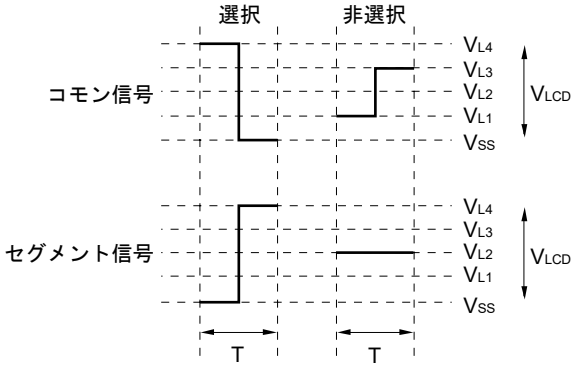
（d）1/3バイアス法（B波形）



T：LCDクロックの1周期分

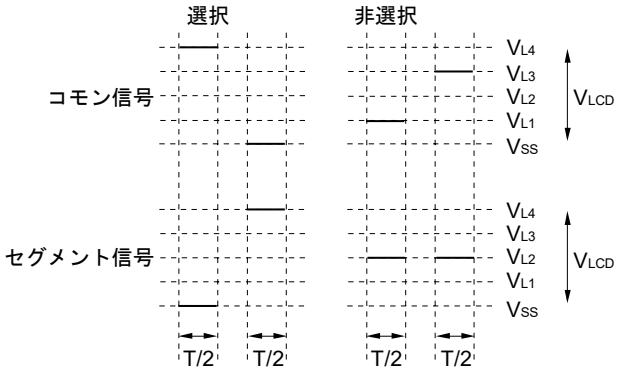
図21－24　コモン信号とセグメント信号の電圧と位相（3/3）

（e）1/4バイアス法（A波形）



T：LCDクロックの1周期分

（f）1/4バイアス法（B波形）



T：LCDクロックの1周期分

21. 10　表示モード

21. 10. 1　スタティック表示例

図21－26は，**図21－25**の表示パターンを持つスタティック方式の3桁のLCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0）との接続を示します。表示例は12.3で，表示データ・レジスタ（F0400H-F0417H）の内容はこれに対応しています。

ここでは2桁目の2.（2.）を例にとって説明します。**図21－25**の表示パターンに従って，COM0のコモン信号のタイミングで**表21－14**に示すような選択，非選択電圧をSEG8-SEG15端子に出力する必要があります。

表21－14　選択，非選択電圧（COM0）

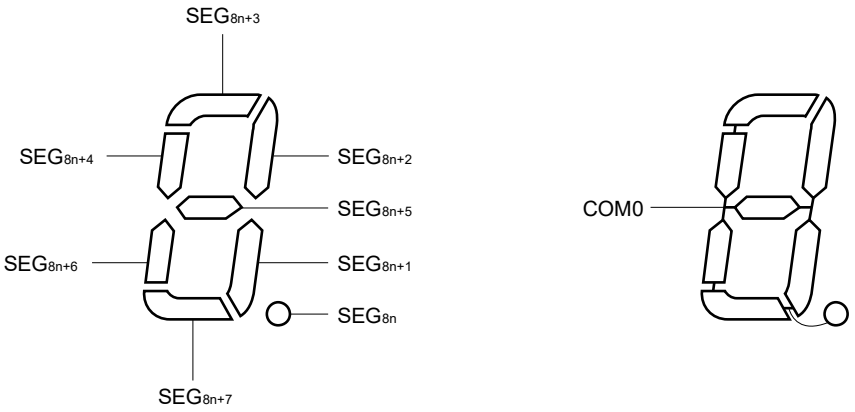
セグメント／コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・レジスタ（F0408H-F040FH）のビット0には，10110111を用意すればよいことが分かります。

SEG11，SEG12とCOM0とのLCD駆動波形を**図21－27**に示します。COM0との選択タイミングでSEG11が選択電圧になるときに，LCD点灯レベルである＋V_{LCD}/－V_{LCD}の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので，COM0-COM3を接続してドライブ能力を上げることができます。

図21－25　スタティックLCDの表示パターンと電極結線



備考　100ピン製品　　：n = 0-4

図21－26　スタティックLCDパネルの結線例

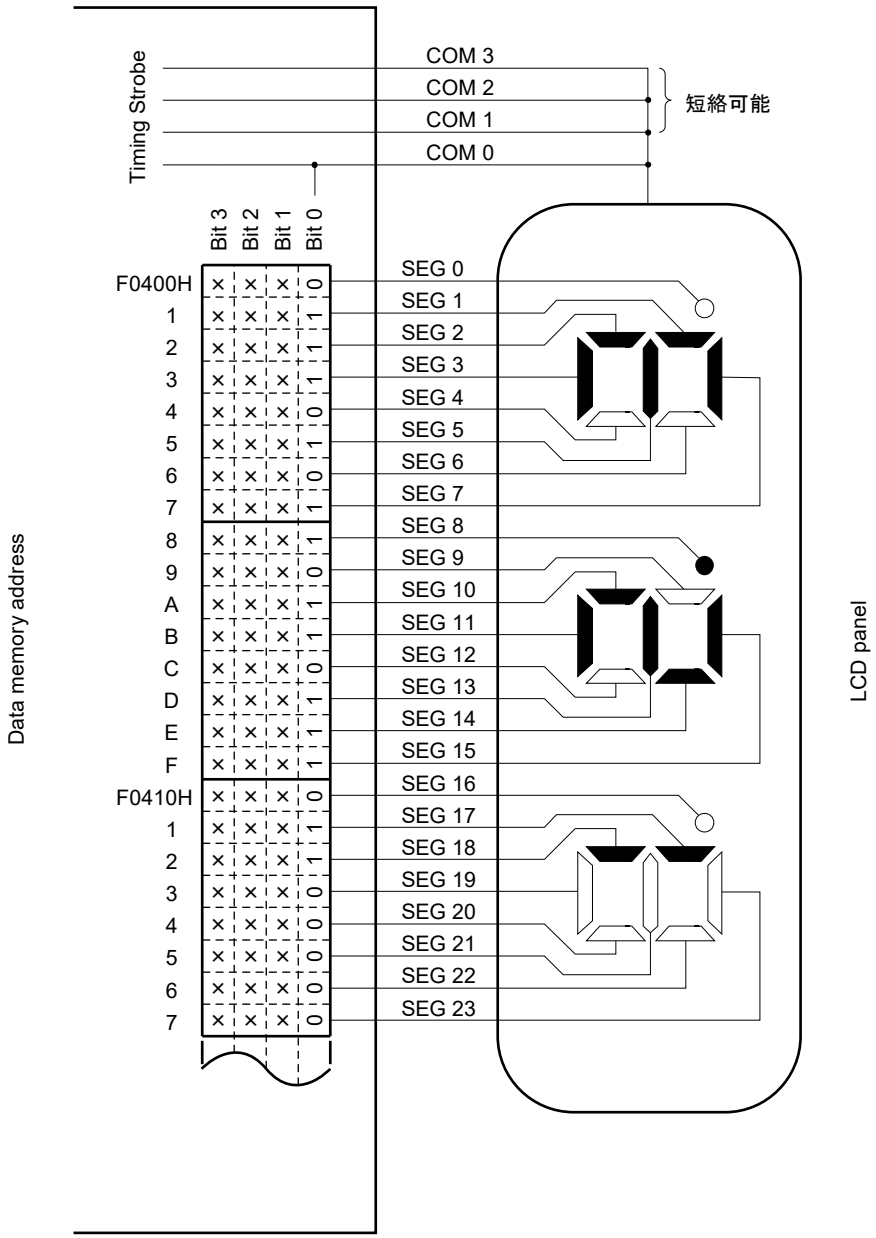
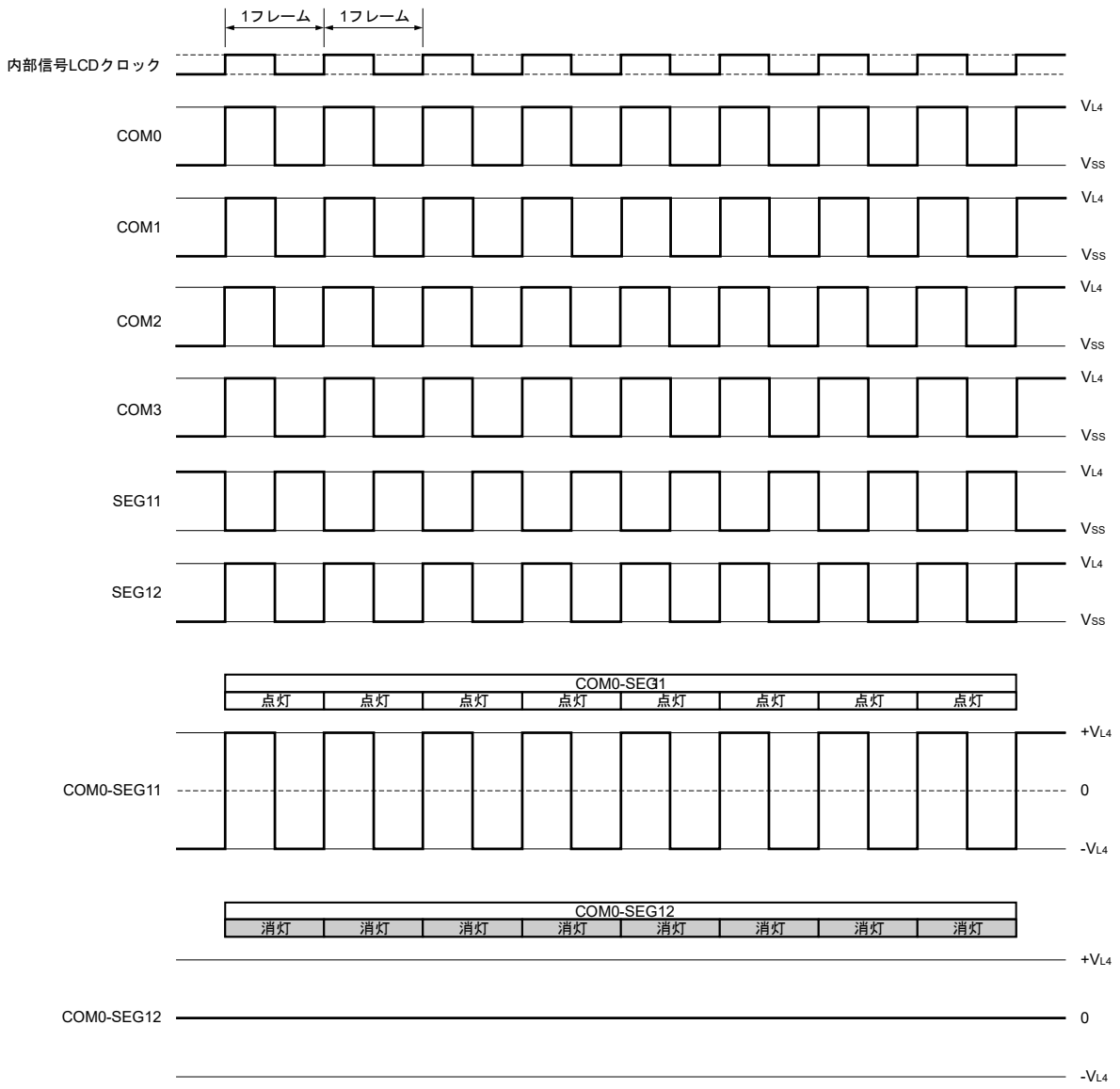


図21－27　SEG11, SEG12とCOM0とのスタティックLCD駆動波形例



21. 10. 2　2時分割表示例

図21－29は，**図21－28**の表示パターンを持つ2時分割方式の6桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0, COM1）との接続を示します。表示例は12345.6で，表示データ・レジスタ（F0400H-F0417H）の内容はそれらに対応しています。

ここでは4桁目の3（3）を例にとって説明します。**図21－28**の表示パターンに従って，COM0, COM1の各コモン信号のタイミングで**表21－15**に示すような選択，非選択電圧をSEG12-SEG15端子に出力する必要があります。

表21－15　選択，非選択電圧（COM0, COM1）

セグメント／コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

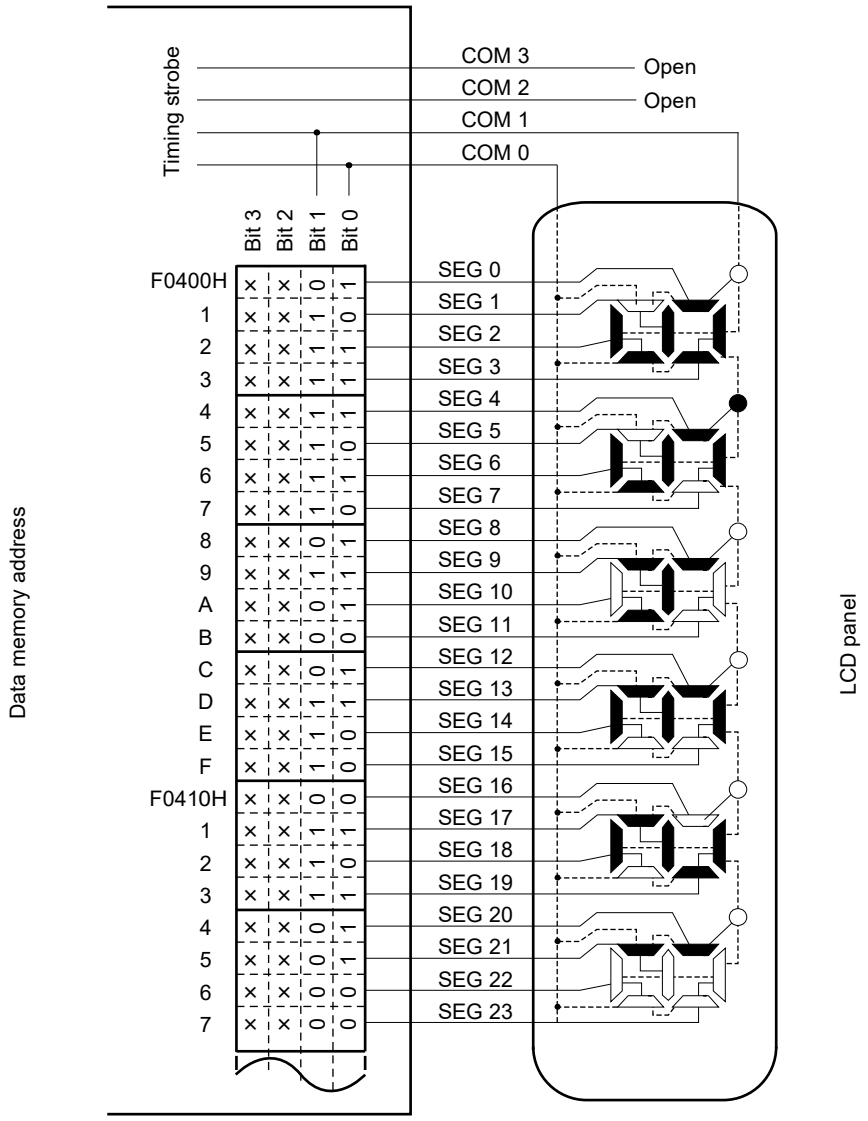
これにより，たとえばSEG15に対応する表示データ・レジスタ（F040FH番地）には，××10を用意すればよいことが分かります。

SEG15と各コモン信号間のLCD駆動波形例を**図21－30**に示します。COM1の選択タイミングでSEG15が選択電圧のときに，LCD点灯レベルである＋V_{LCD}/－V_{LCD}の交流矩形波が発生することが分かります。

図21－28　2時分割LCD表示パターンと電極結線

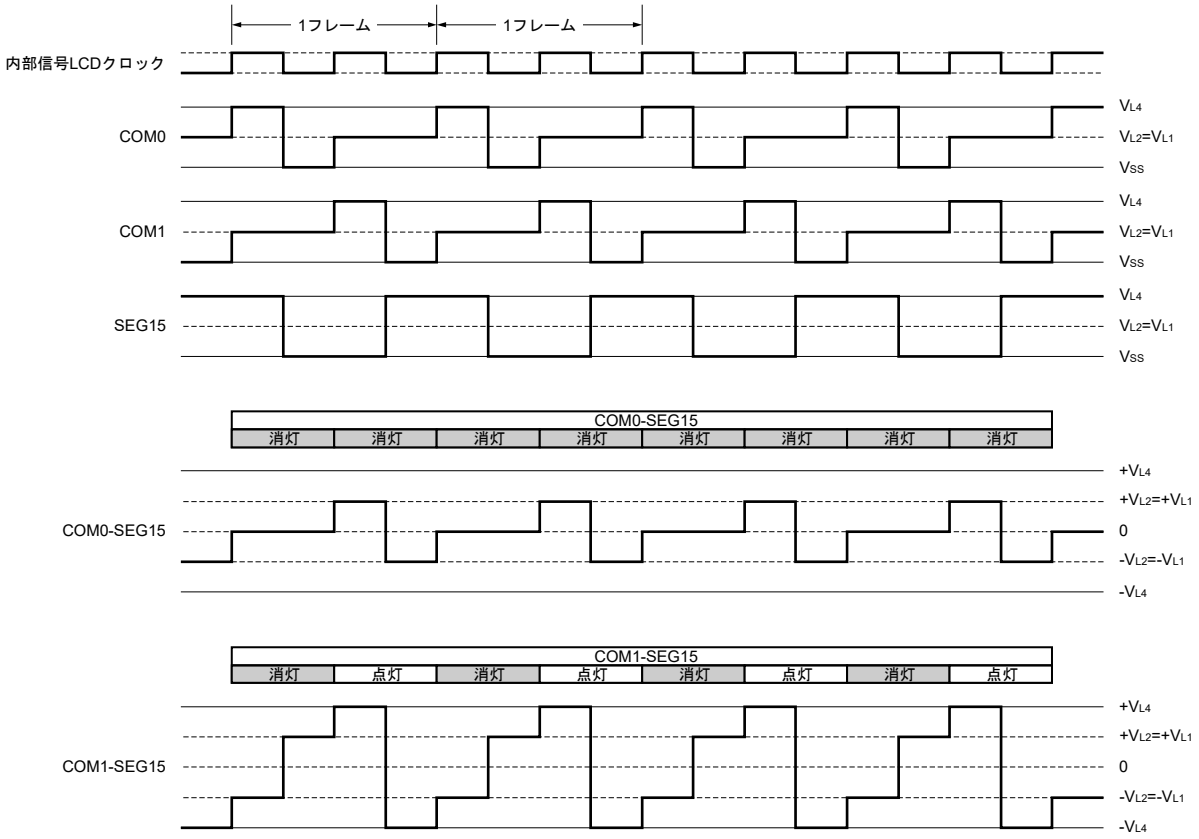
備考　100ピン製品　　：n = 0-9

図21－29　2時分割LCDパネルの結線例



×：2時分割表示のため，常に任意のデータをストア可能です。

図21－30　SEG15と各コモン信号間の2時分割LCD駆動波形例（1/2バイアス法）



21. 10. 3　3時分割表示例

図21－32は，**図21－31**の表示パターンを持つ3時分割方式の8桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0-COM2）との接続を示します。表示例は123456.78で，表示データ・レジスタ（F0400H-F0417H）の内容はこれに対応しています。

ここでは3桁目の6.（6.）を例にとって説明します。**図21－31**の表示パターンに従って，COM0-COM2の各コモン信号のタイミングで**表21－16**に示すような選択，非選択電圧をSEG6-SEG8端子に出力する必要があります。

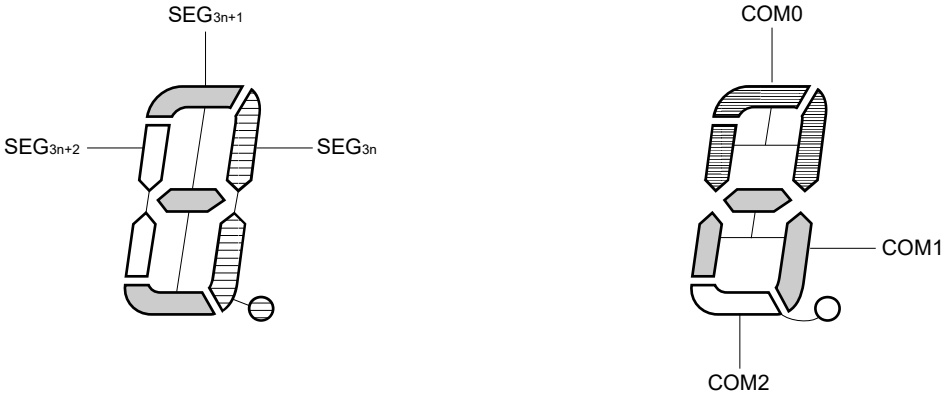
表21－16　選択，非選択電圧（COM0-COM2）

コモン＼セグメント	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりSEG6に対応する表示データ・レジスタ（F0406H番地）には，×110を用意すればよいことが分かります。

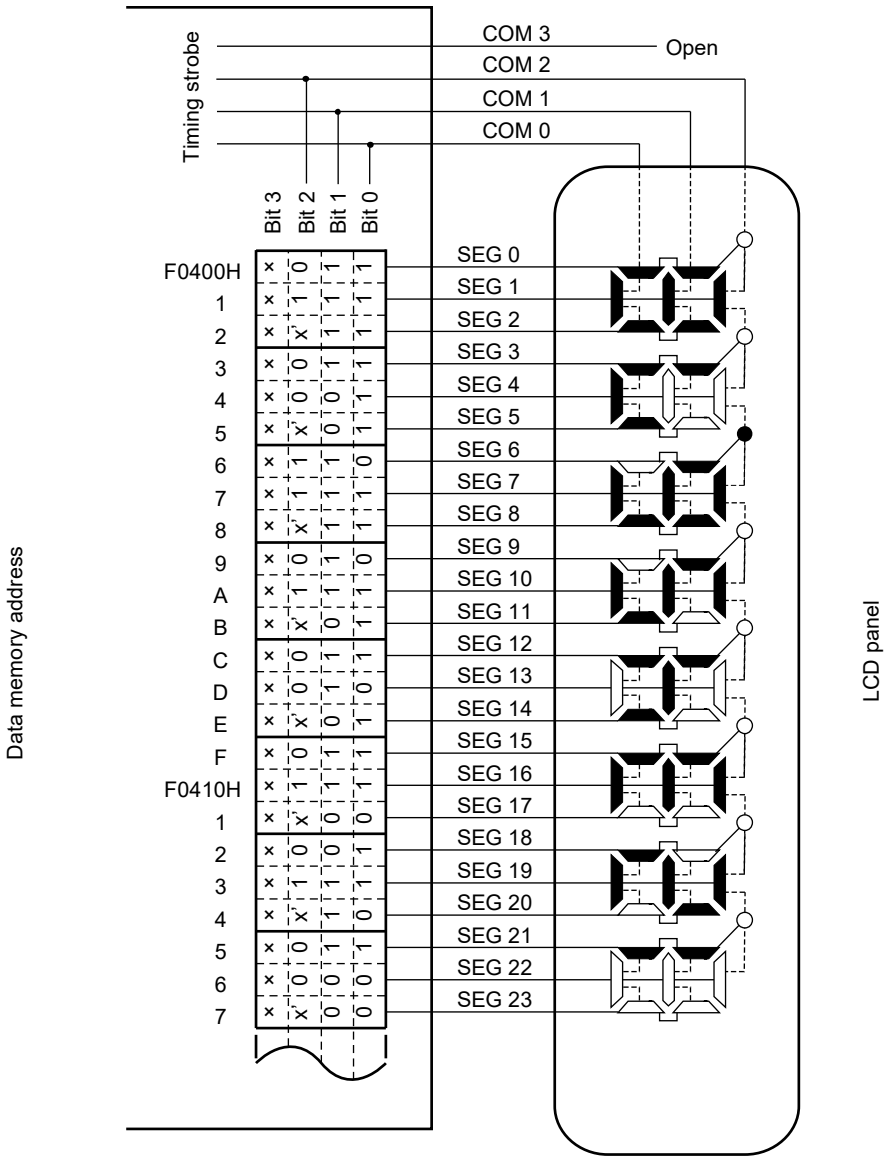
SEG6と各コモン信号間のLCD駆動波形例を**図21－33（1/2バイアス法）**，**図21－34（1/3バイアス法）**に示します。COM1の選択タイミングでSEG6が選択電圧のとき，およびCOM2の選択タイミングでSEG6が選択電圧のときに，LCD点灯レベルである＋V_{LCD}/－V_{LCD}の交流矩形波が発生することが分かります。

図21－31　3時分割LCD表示パターンと電極結線



備考　100ピン製品　　：n = 0-13

図21－32　3時分割LCDパネルの結線例



X′　：LCDパネルに対応セグメントがないため任意のデータをストア可能です。

×　：3時分割表示のため，常に任意のデータをストア可能です。

図21－33　SEG6と各コモン信号間の3時分割LCD駆動波形例（1/2バイアス法）

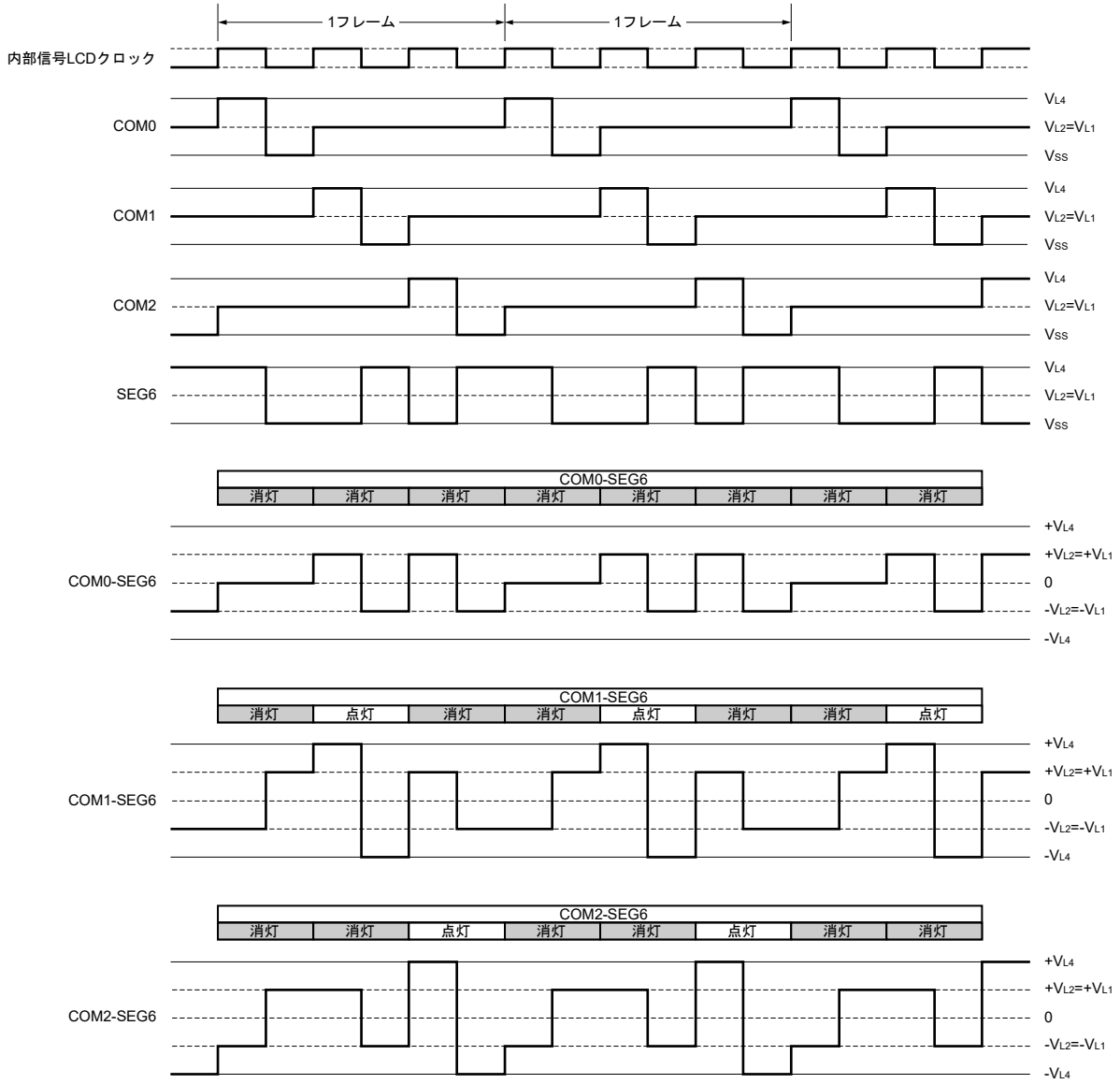
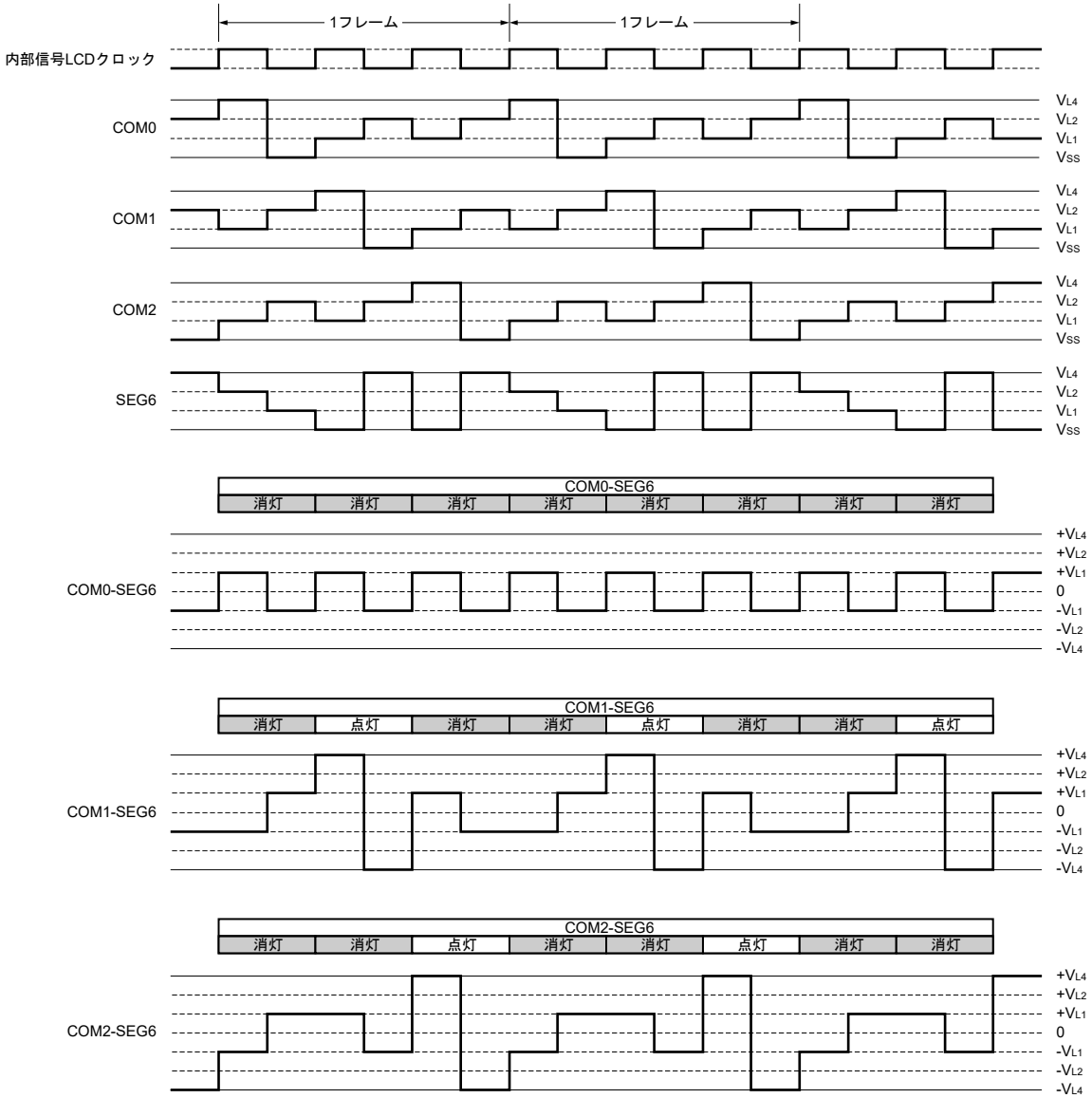


図21－34　SEG6と各コモン信号間の3時分割LCD駆動波形例（1/3バイアス法）



21. 10. 4　4時分割表示例

図21－36は，**図21－35**の表示パターンを持つ4時分割方式の12桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0-COM3）との接続を示します。表示例は123456.789012で，表示データ・レジスタ（F0400H-F0417H番地）の内容はこれに対応しています。

ここでは7桁目の6.（6.）を例にとって説明します。**図21－35**の表示パターンに従って，COM0-COM3の各コモン信号のタイミングで**表21－17**に示すような選択，非選択電圧をSEG12, SEG13端子に出力する必要があります。

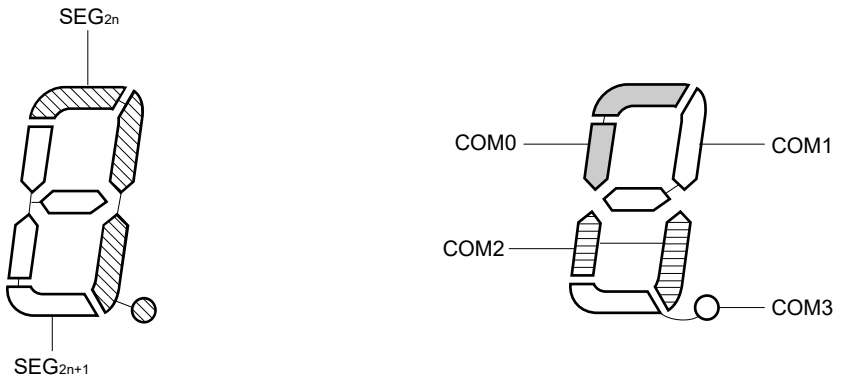
表21－17　選択，非選択電圧（COM0-COM3）

コモン＼セグメント	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・レジスタ（F040CH番地）には，1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を**図21－37**に示します。COM0の選択タイミングでSEG12が選択電圧になるときに，LCD点灯レベルである＋V_{LCD}/－V_{LCD}の交流矩形波が発生することが分かります。

図21－35　4時分割LCD表示パターンと電極結線



備考　100ピン製品　　：n = 0-20

図21－36　4時分割LCDパネルの結線例

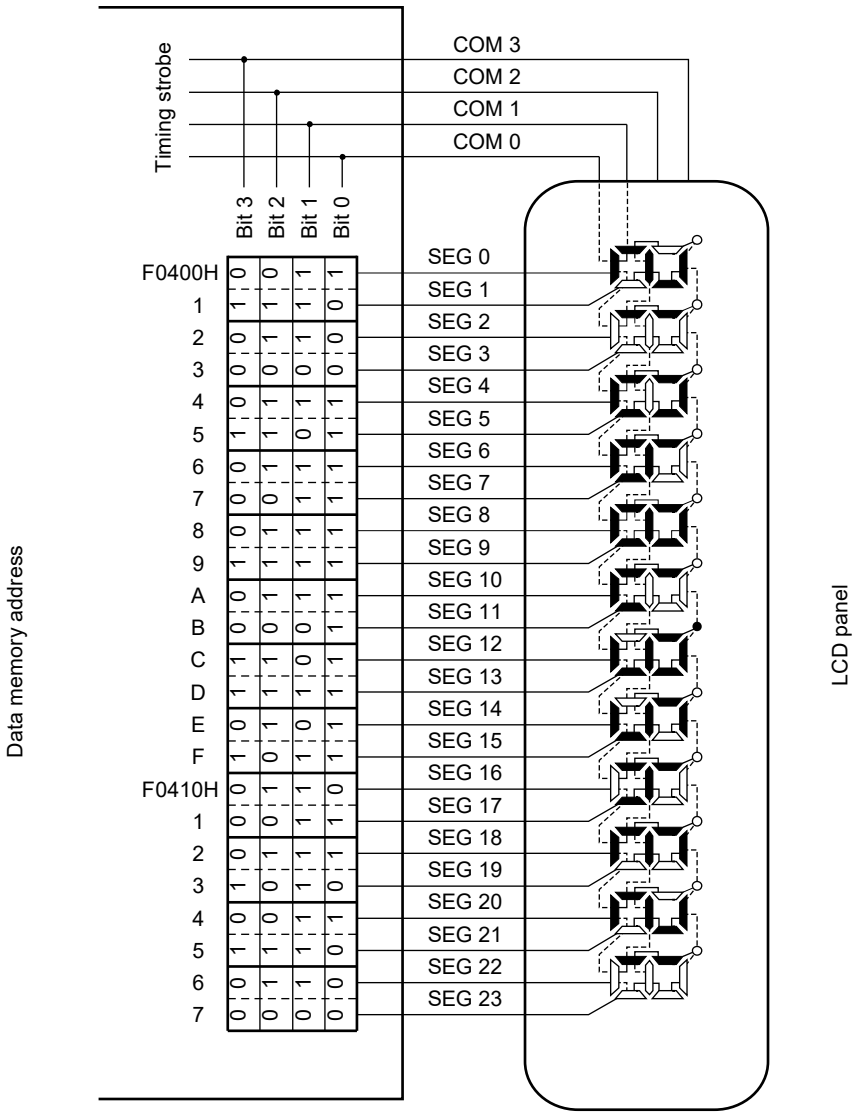


図21－37　SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（1/2）

（a）A波形の場合

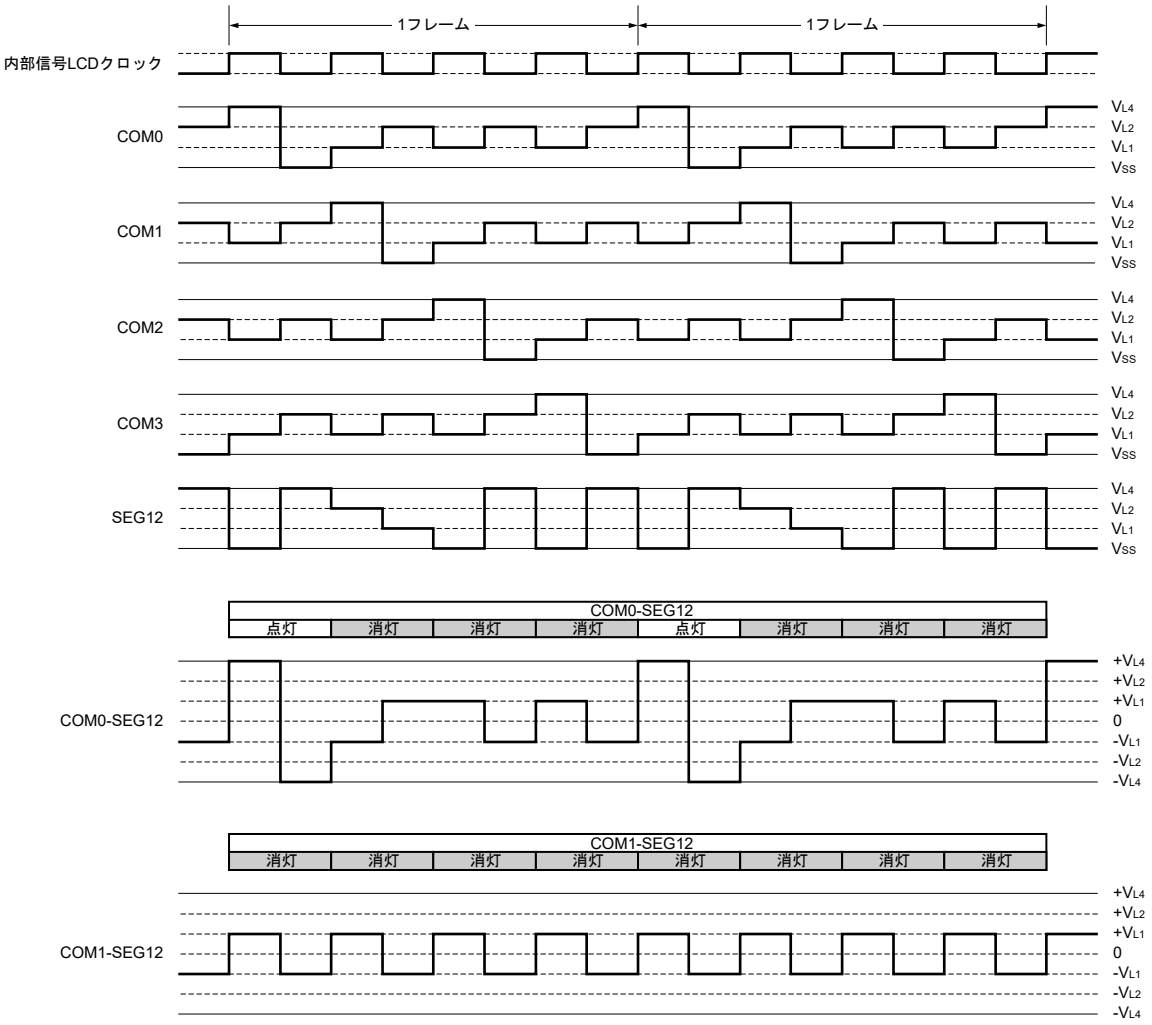
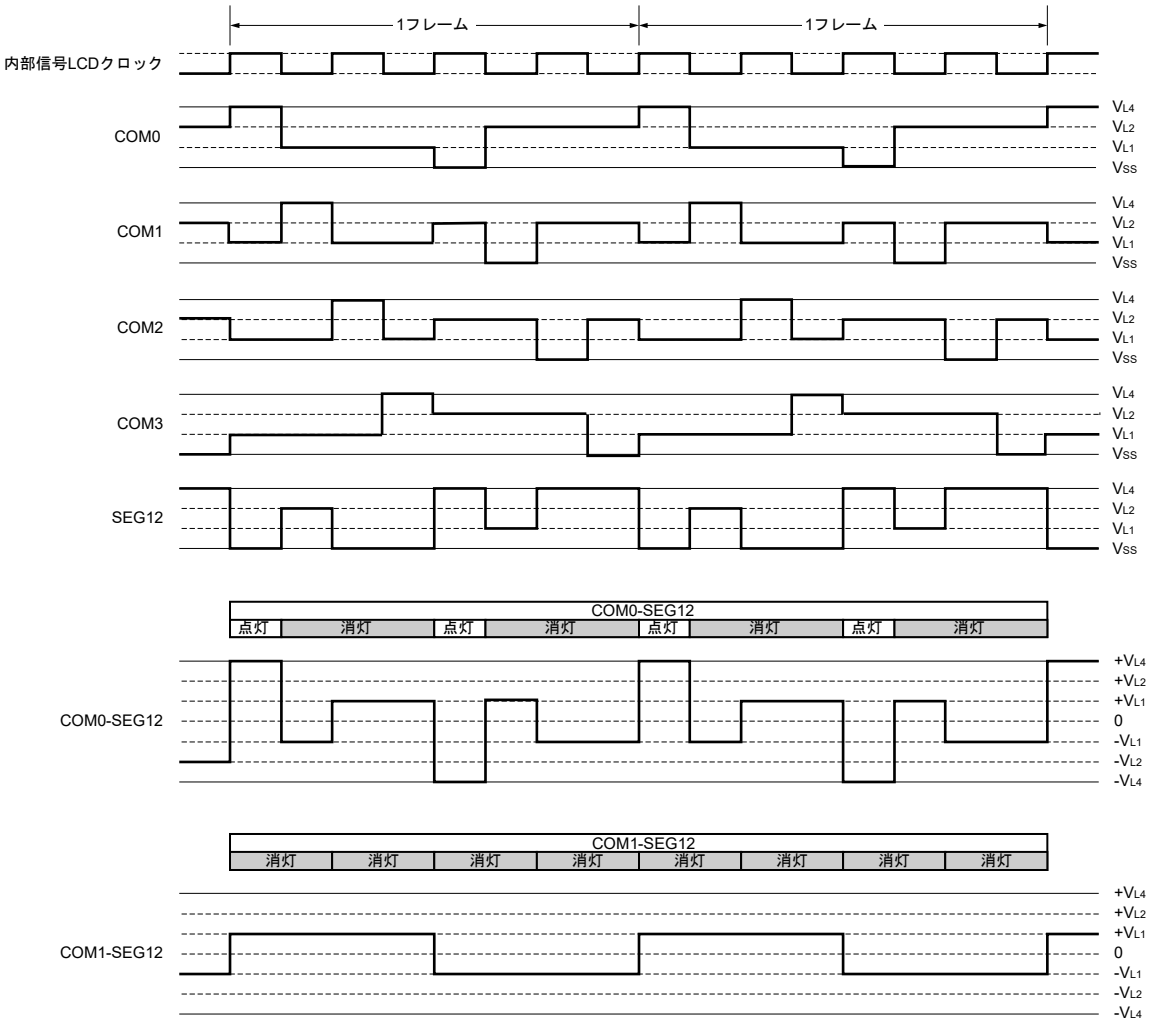


図21－37　SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（2/2）

（b）B波形の場合



21. 10. 5　6時分割表示例

図21－39は，**図21－38**の表示パターンを持つ6時分割方式の15×6のドットLCDパネルとセグメント信号（SEG2-SEG16）およびコモン信号（COM0-COM5）との接続を示します。表示例は123で，表示データ・レジスタ（F0402H-F0410H番地）の内容はこれに対応しています。

ここでは1桁目の3（∃）を例にとって説明します。**図21－38**の表示パターンに従って，COM0-COM5の各コモン信号のタイミングで**表21－18**に示すような選択，非選択電圧をSEG2-SEG6端子に出力する必要があります。

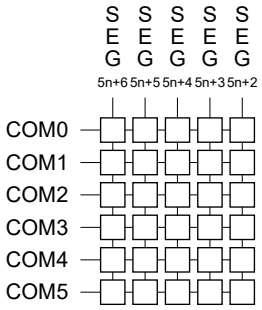
表21－18　選択，非選択電圧（COM0-COM5）

セグメント／コモン	SEG2	SEG3	SEG4	SEG5	SEG6
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	選
COM5	非	選	選	選	非

これによりSEG2に対応する表示データ・レジスタ（F0402H番地）には，010001を用意すればよいことが分かります。

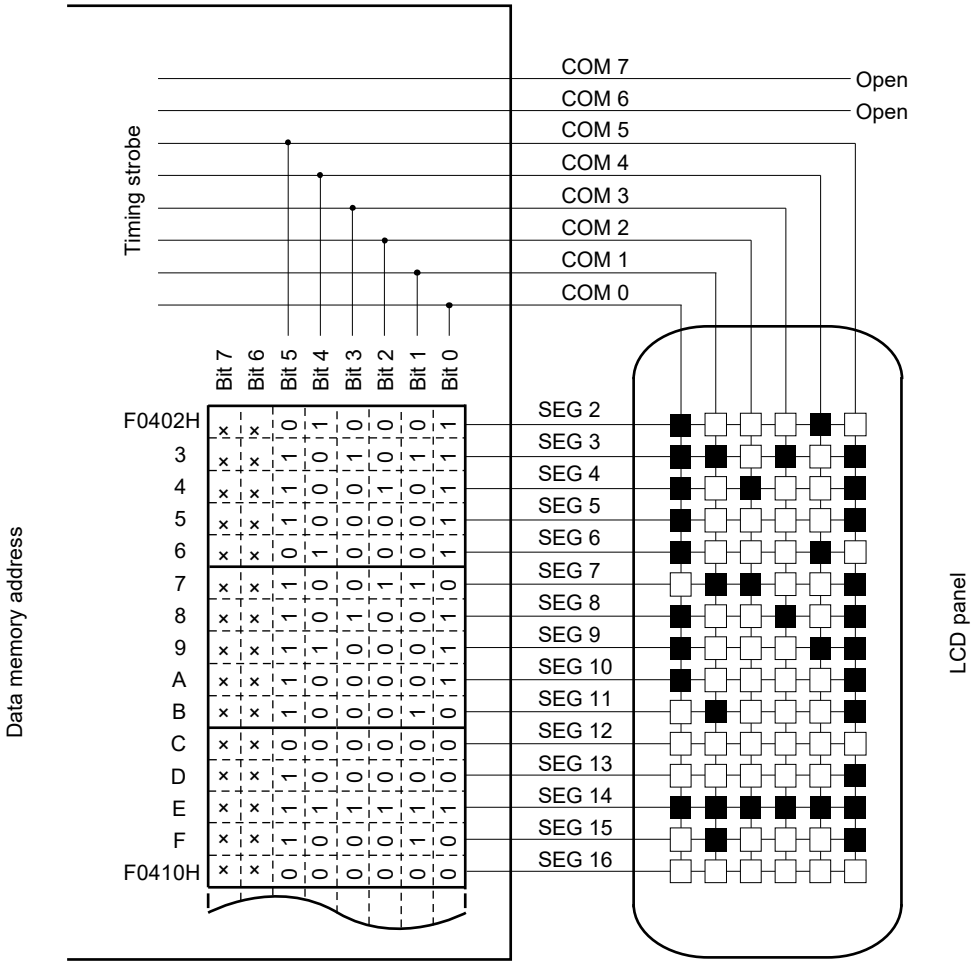
SEG2と各コモン信号間のLCD駆動波形例を**図21－40**に示します。COM0の選択タイミングでSEG2が選択電圧になるときに，LCD点灯レベルの波形が発生することが分かります。

図21－38　6時分割LCD表示パターンと電極結線



備考　100ピン製品　　：n = 0-7

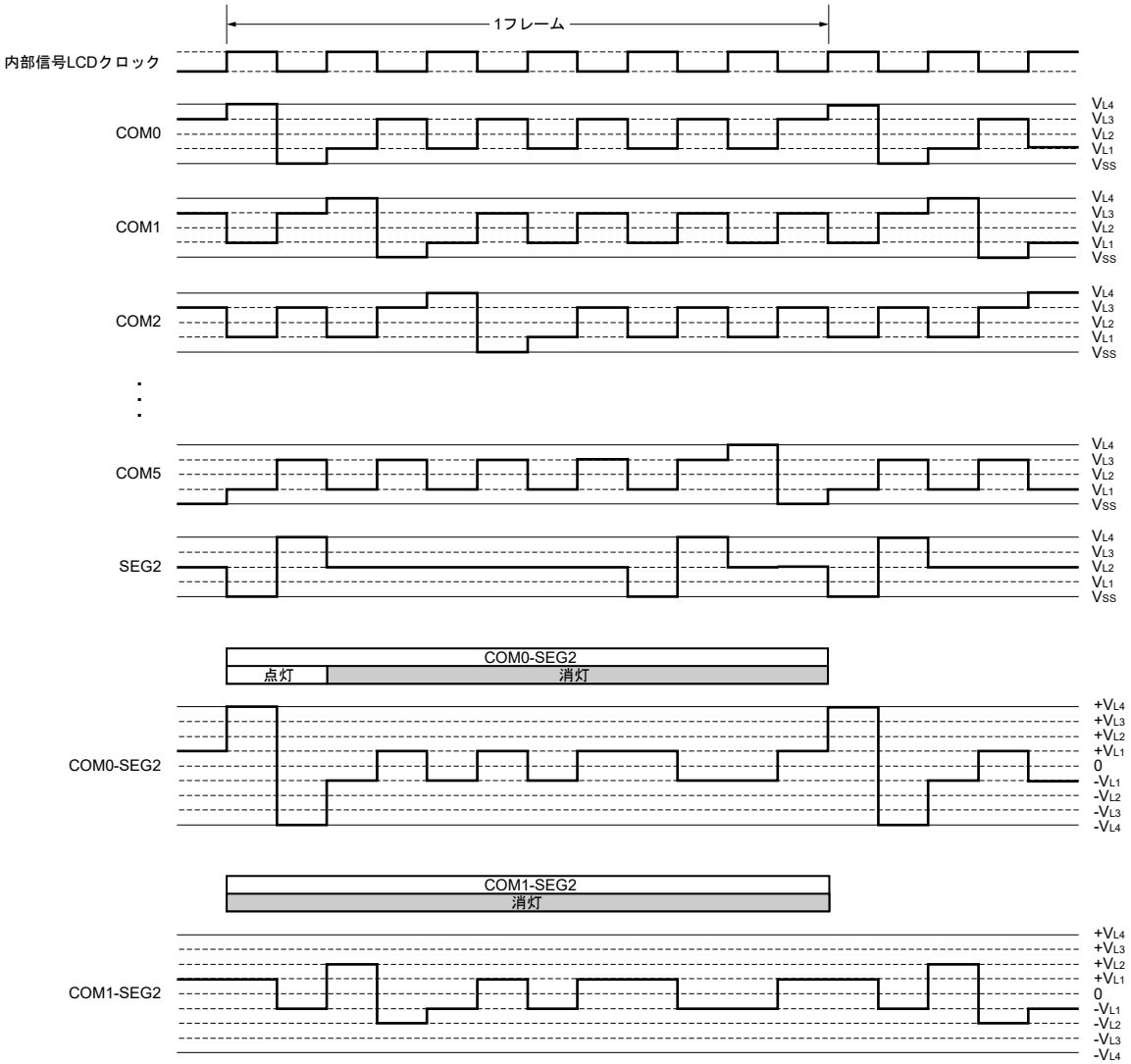
図21－39　6時分割LCDパネルの結線例



×　：6時分割表示のため，常に任意のデータをストア可能です。

図21－40　SEG2と各コモン信号間の6時分割LCD駆動波形例（1/4バイアス法）

（a）A波形の場合



21. 10. 6　8時分割表示例

図21－42は，**図21－41**の表示パターンを持つ8時分割方式の15×8のドットLCDパネルとセグメント信号（SEG4-SEG18）およびコモン信号（COM0-COM7）との接続を示します。表示例は123で，表示データ・レジスタ（F0404H-F0412H番地）の内容はこれに対応しています。

ここでは1桁目の3（3）を例にとって説明します。**図21－41**の表示パターンに従って，COM0-COM7の各コモン信号のタイミングで**表21－19**に示すような選択，非選択電圧をSEG4-SEG8端子に出力する必要があります。

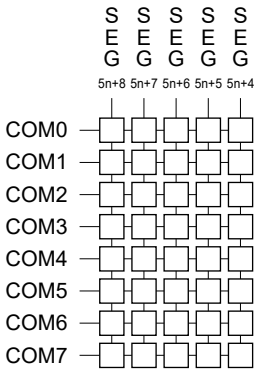
表21－19　選択，非選択電圧（COM0-COM7）

コモン＼セグメント	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	非
COM5	選	非	非	非	選
COM6	非	選	選	選	非
COM7	非	非	非	非	非

これによりSEG4に対応する表示データ・レジスタ（F0404H番地）には，00110001を用意すればよいことが分かります。

SEG4と各コモン信号間のLCD駆動波形例を**図21－43**に示します。COM0の選択タイミングでSEG4が選択電圧になるときに，LCD点灯レベルの波形が発生することが分かります。

図21－41　8時分割LCD表示パターンと電極結線



備考　100ピン製品　　：n = 0-6

図21－42　8時分割LCDパネルの結線例

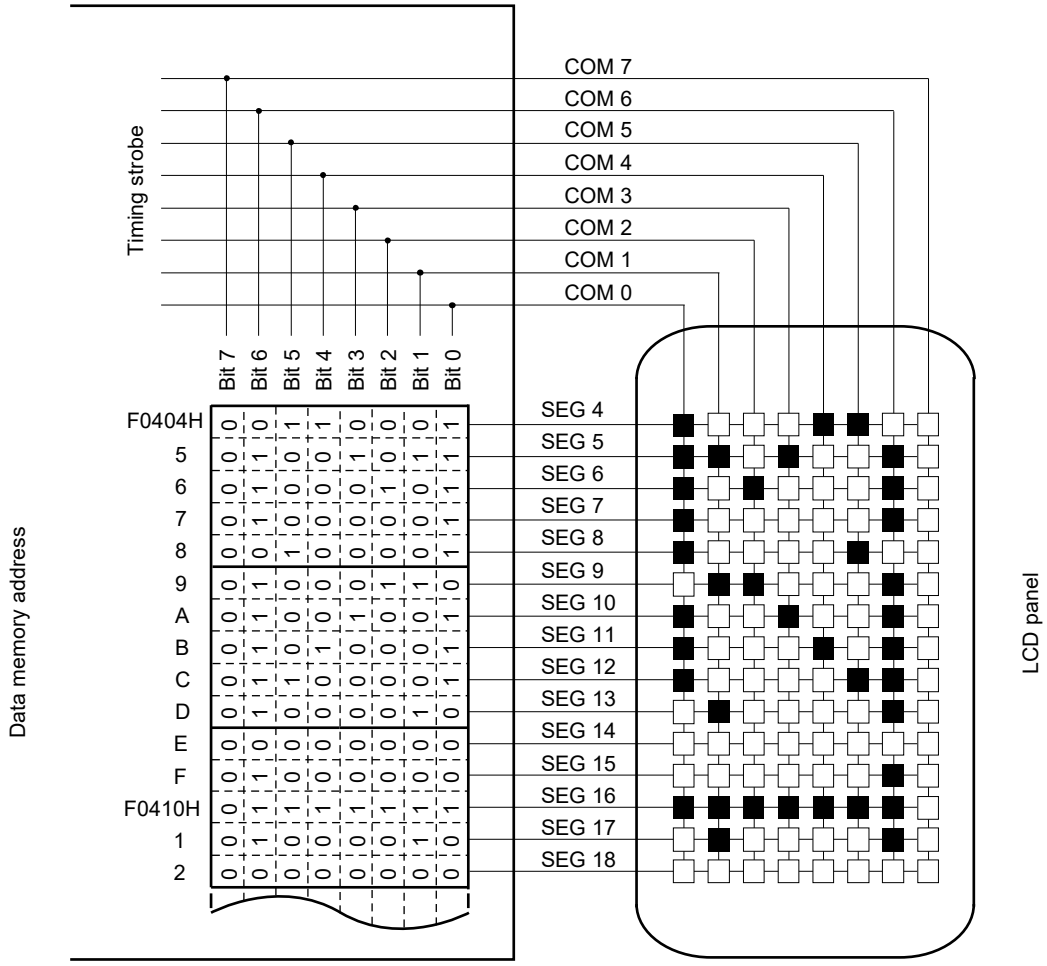


図21－43　SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（1/2）

（a）A波形の場合

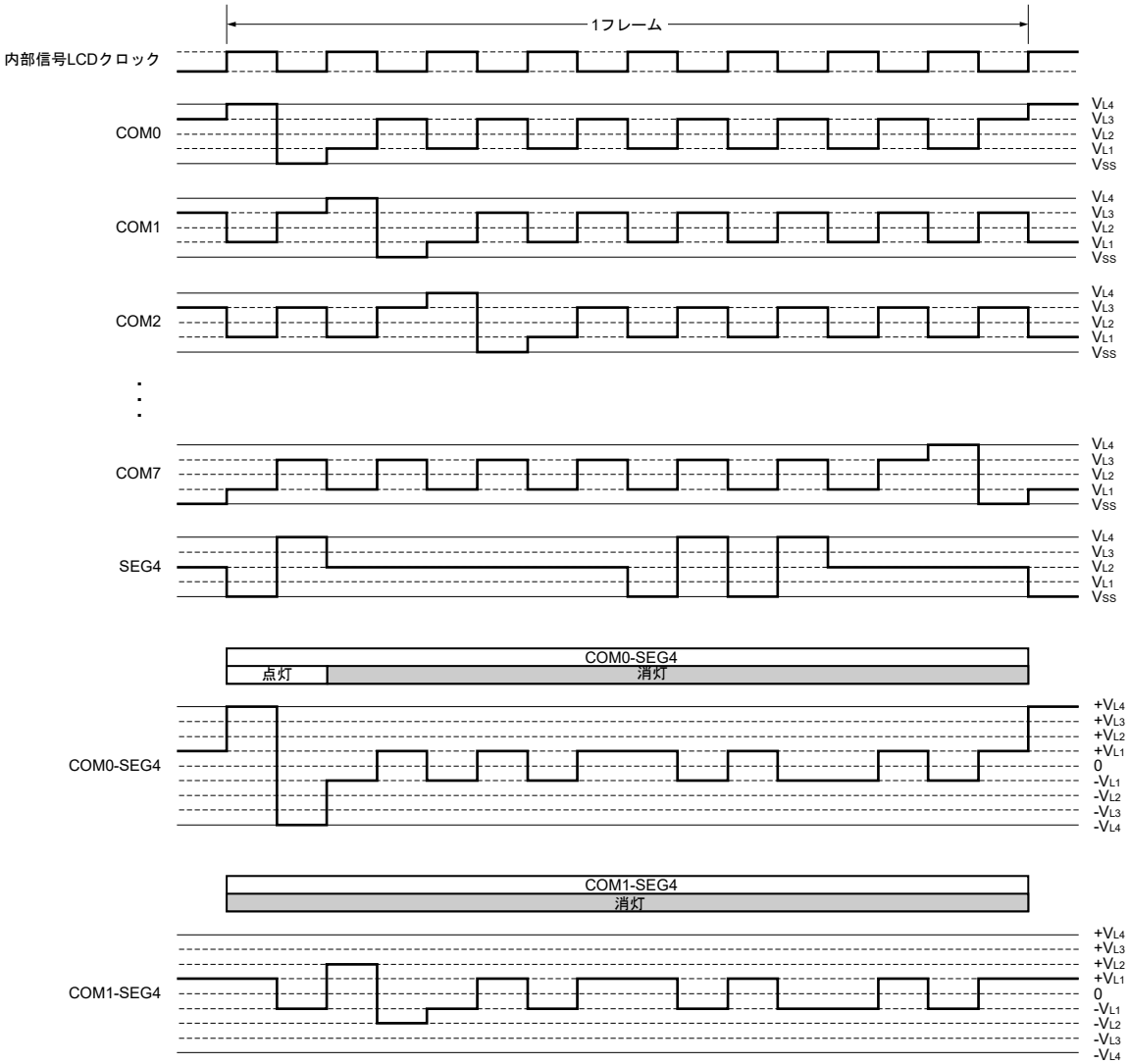
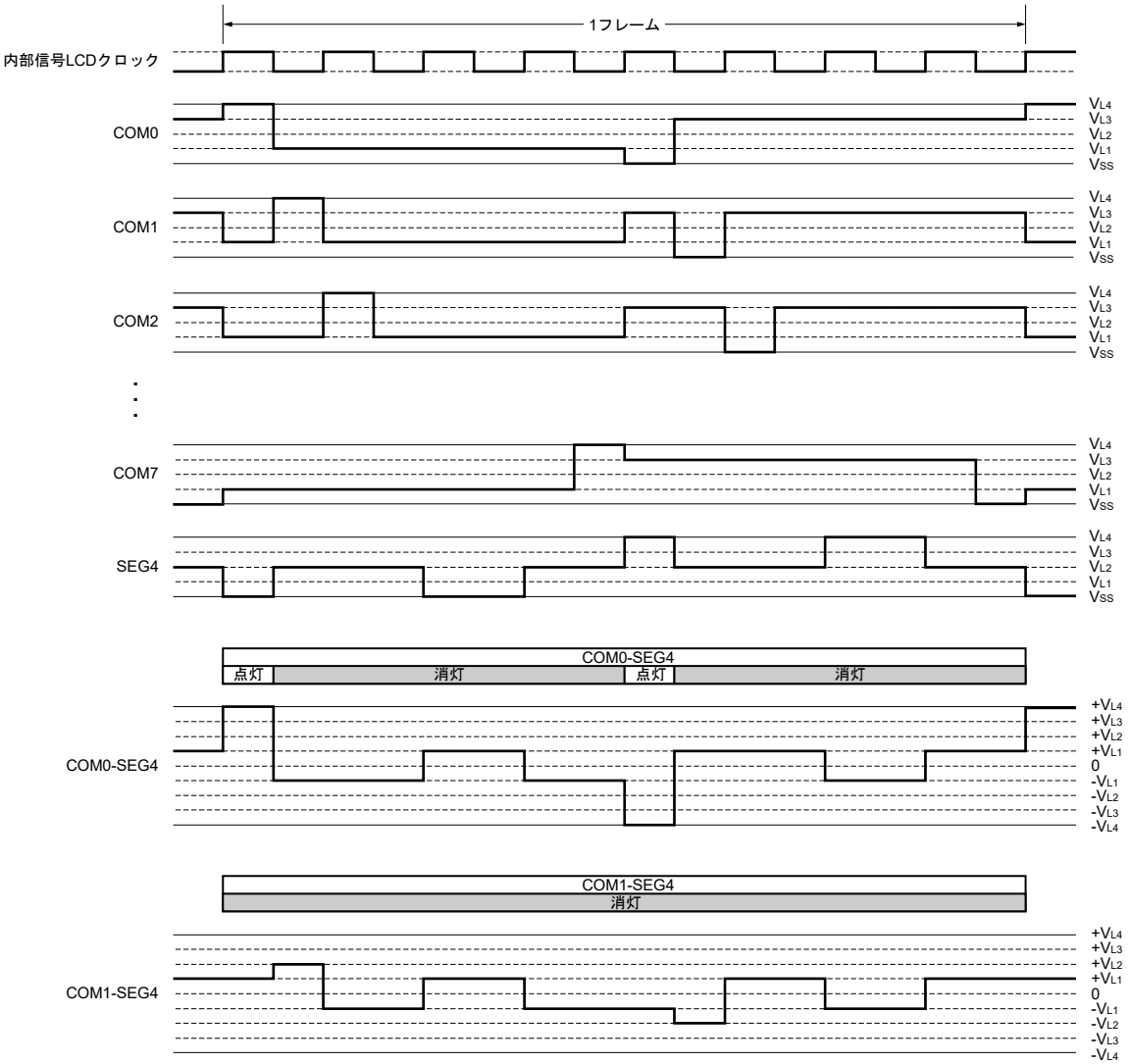


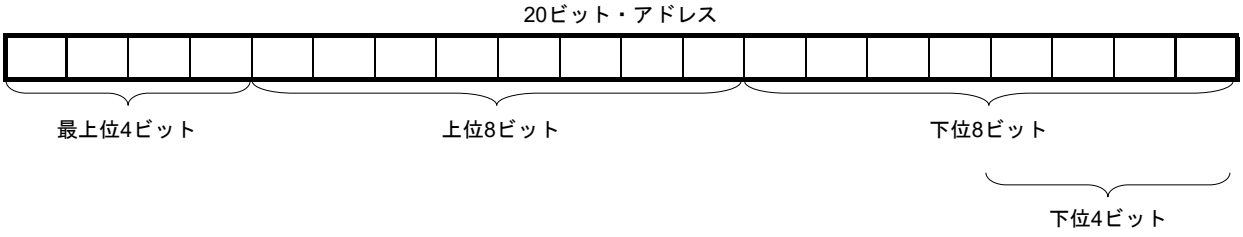
図21－43　SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（2/2）

（b）B波形の場合



第22章　データ・トランスファ・コントローラ（DTC）

本章の説明で記載されているアドレスの上位8ビットとは下記のとおり，20ビット・アドレスのビット(15-8)になります。



また，本章の説明の中で，特に指定がない場合，アドレスの最上位4ビットはすべて1(FxxxxH)になります。

22. 1　DTCの機能

データ・トランスファ・コントローラ（DTC）は，CPUを使わずにメモリとメモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し，データ転送します。DTCはCPUと同じデータバスを使用し，DTCのバス使用権はCPUよりも優先されます。

表22－1にDTCの仕様を示します。

表22－1　DTCの仕様

項目		仕様
起動要因		64ピン製品，80ピン製品：36要因，100ピン製品：38要因
配置可能なコントロールデータ		24通り
転送可能な アドレス空間	アドレス空間	64 Kバイト空間（F0000H～FFFFFH）ただし，汎用レジスタを除く
	ソース	特殊機能レジスタ（SFR），RAM領域（汎用レジスタを除く），ミラー領域[注]，拡張特殊機能レジスタ（2nd SFR），データ・フラッシュ・メモリ領域[注]
	デスティネーション	特殊機能レジスタ（SFR），RAM領域（汎用レジスタを除く），拡張特殊機能レジスタ（2nd SFR）
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送 ブロックサイズ	ノーマルモード （8ビット転送）	256バイト
	ノーマルモード （16ビット転送）	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後，リピートエリアのアドレスを初期化し，DTRLDjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定，または加算
	リピートモード	リピートエリアでないアドレスを固定，または加算
起動要因優先度		**表22－5　DTC起動要因とベクタアドレス**参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に，CPUへ起動要因となった割り込み要求が発生し，データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1（割り込み発生許可）のとき，DTCCTjレジスタが1から0になるデータ転送時に，CPUへ起動要因となった割り込み要求を発生し，データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0～DTCENi7 ビットを1（起動許可）にすると，DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	・DTCENi0～DTCENi7ビットを0（起動禁止）にする ・DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	・DTCENi0～DTCENi7ビットを0（起動禁止）にする ・RPTINTビットが1（割り込み発生許可）のとき，DTCCTjレジスタが1から0になるデータ転送が終了したとき

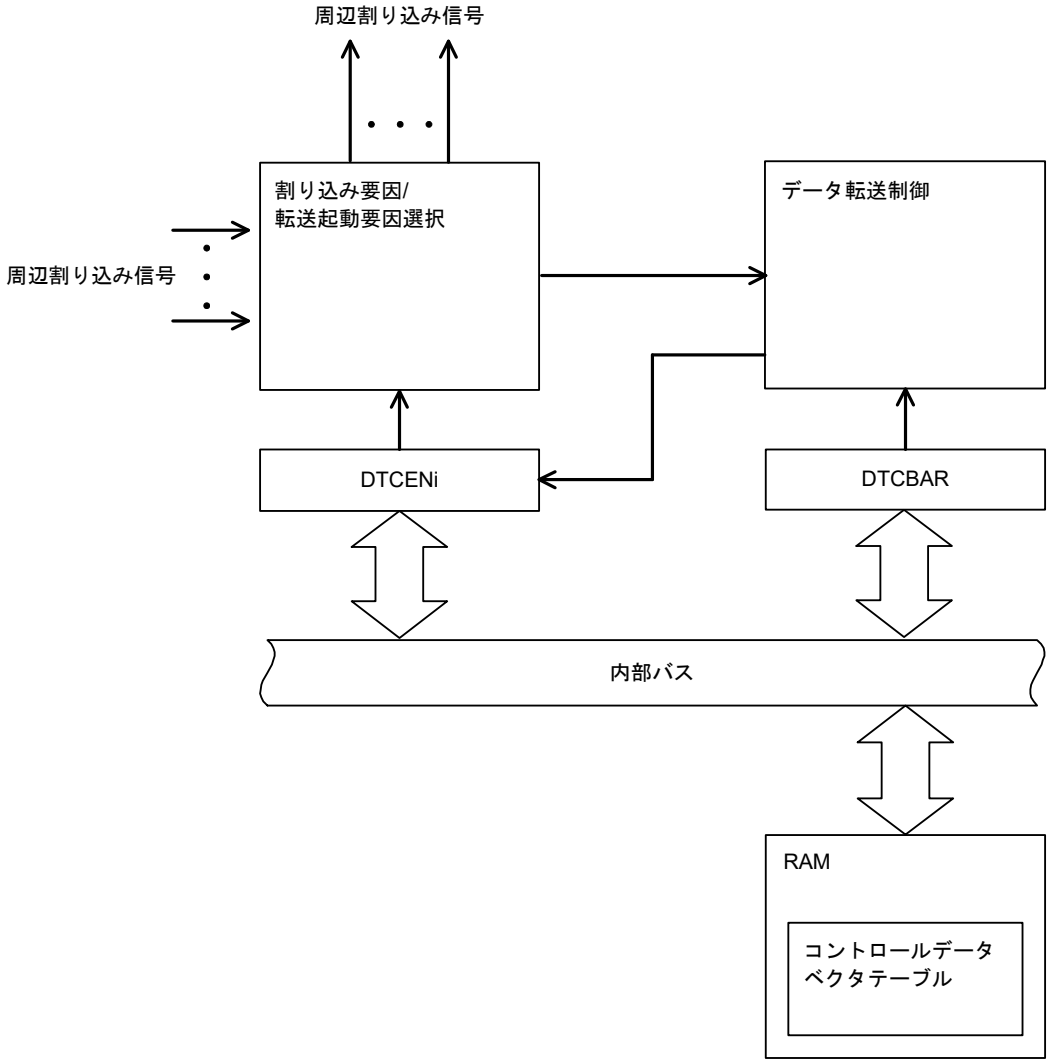
注　HALTモードおよびSNOOZEモードでは，フラッシュ・メモリが停止しているため，DTC転送のソースにできません。

備考　i = 0～4, j = 0～23

22. 2　DTCの構成

図22－1にDTCのブロック図を示します。

図22－1　DTCのブロック図



22. 3　DTCを制御するレジスタ

表22－2にDTCを制御するレジスタを示します。

表22－2　DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTC起動許可レジスタ3	DTCEN3
DTCベース・アドレス・レジスタ	DTCBAR

表22－3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と，コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表22－3　DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロック・サイズ・レジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロード・レジスタj	DTRLDj
DTCソース・アドレス・レジスタj	DTSARj
DTCデスティネーション・アドレス・レジスタj	DTDARj

備考　j ＝ 0～23

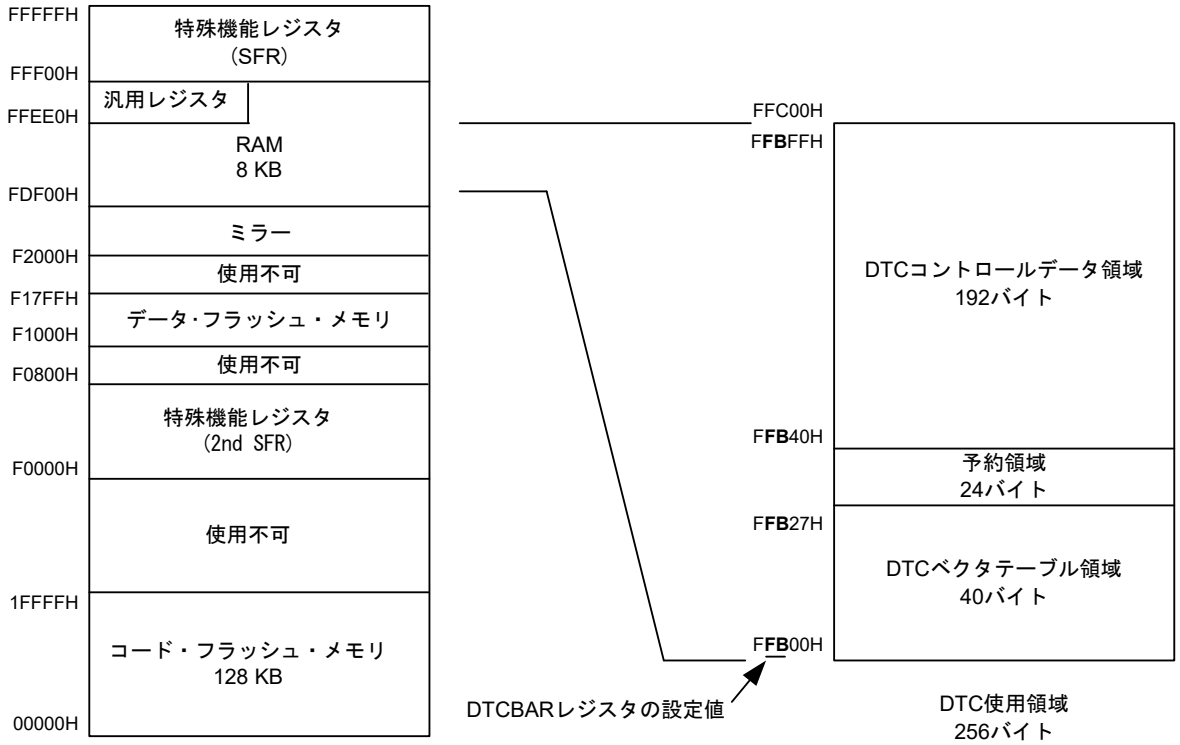
22. 3. 1　DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで，DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図22－2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち，DTCで使用しない空間はRAMとして使用できます。

図22－2　DTCBARレジスタにFBHを設定したときのメモリマップ例
（R5F10NPGDFB, R5F10NMGDFB, R5F10NLGDFB, R5F11TLGDFB）



DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

注意1.　汎用レジスタ（FFEE0H-FFEFFH）の空間は，DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。

2.　スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。

3.　次に示す製品の内部RAM領域は，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

R5F10NMJ, R5F10NPJ：FBF00H-FC309H

R5F10NMG, R5F10NLG, R5F11TLG：FDF00H-FE309H

4.　次に示す製品の内部RAM領域は，オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

R5F10NMJ, R5F10NPJ：FC300H-FC6FFH

R5F10NMG, R5F10NLG, R5F11TLG：FE300H-FE6FFH

22. 3. 2　コントロールデータの配置

コントロールデータは先頭アドレスから，DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj（j = 0～23）レジスタの順に配置します。

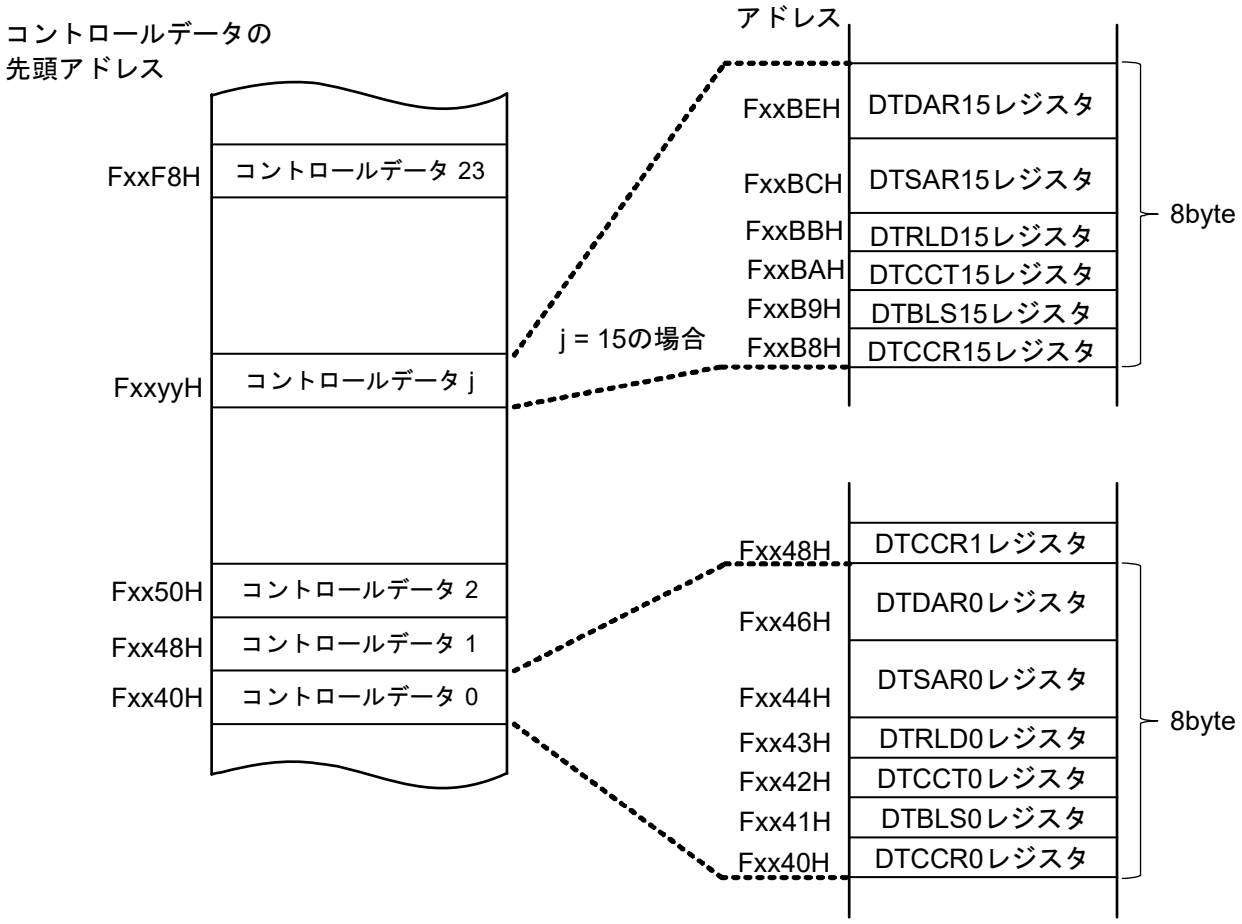
先頭アドレス0～23の上位8ビットはDTCBARレジスタで設定し，下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図22－3にコントロールデータの配置を示します。

注意1.　DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi（i = 0～4）のDTCENi0～DTCENi7ビットが0（DTC起動禁止）のときに変更してください。

2.　DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図22－3　コントロールデータの配置



備考　xx：DTCBARレジスタの設定値

表22－4　コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考　xx：DTCBARレジスタの設定値

22. 3. 3　ベクタテーブル

DTCが起動すると，起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し，DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表22－5にDTC起動要因とベクタアドレスを示します。起動要因ごとにベクタテーブルが1バイトあり，40HからF8Hのデータを格納し，24組のコントロールデータから１つを選択します。ベクタアドレスの上位8ビットはDTCBARレジスタで設定し，下位8ビットは起動要因に対応して00Hから27Hまでが割り当てられます。

注意　ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は，対応するDTCENi（i = 0～4）レジスタのDTCENi0～DTCENi7ビットが0（起動禁止）のときに変更してください。

図22－4　コントロールデータの先頭アドレスとベクタテーブル

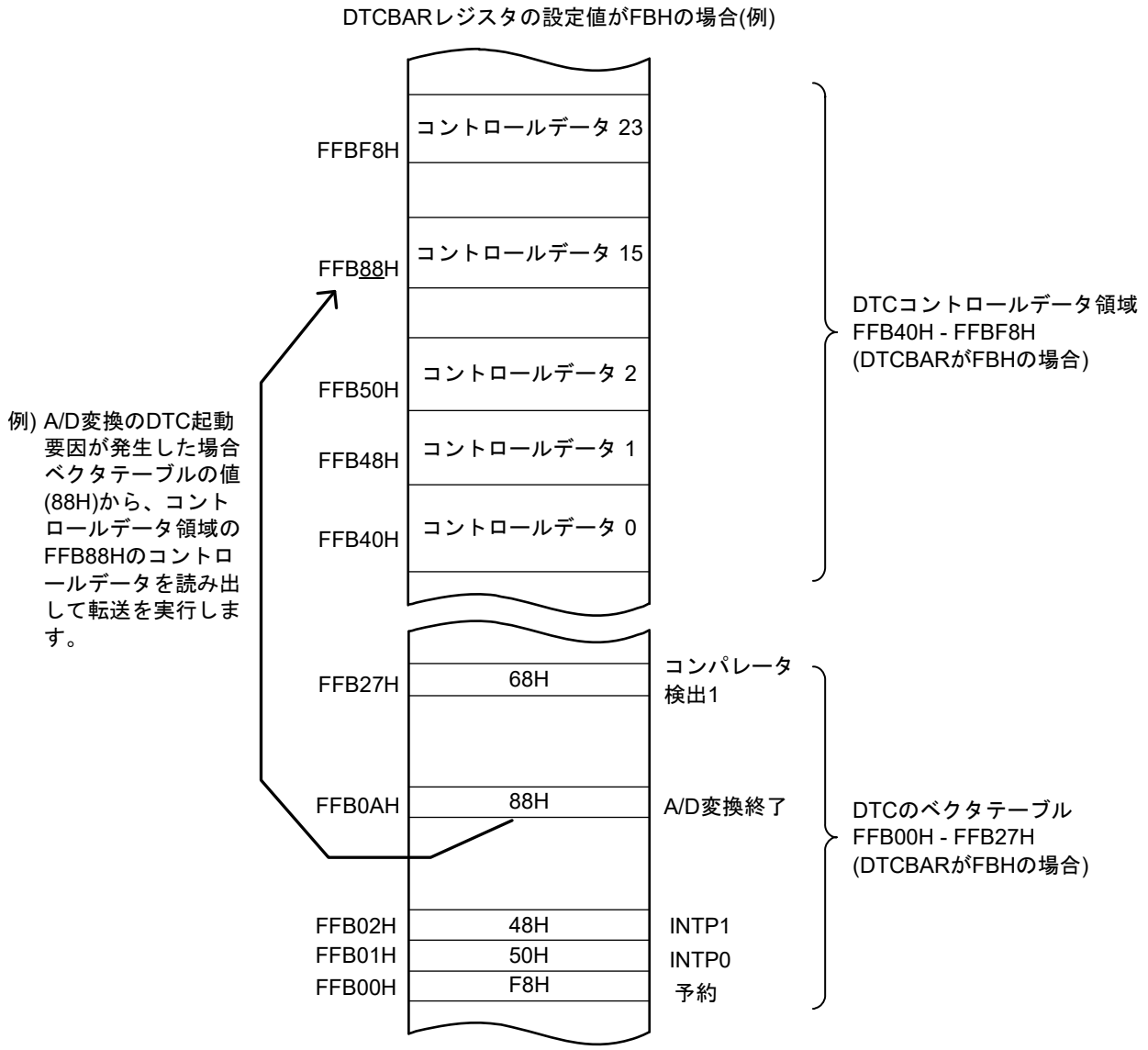


表22－5　DTC起動要因とベクタアドレス

割り込み要因発生元	要因番号	ベクタアドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス+00H	高
INTP0	1	DTCBARレジスタの設定アドレス+01H	↑
INTP1	2	DTCBARレジスタの設定アドレス+02H	
INTP2	3	DTCBARレジスタの設定アドレス+03H	
INTP3	4	DTCBARレジスタの設定アドレス+04H	
INTP4	5	DTCBARレジスタの設定アドレス+05H	
INTP5	6	DTCBARレジスタの設定アドレス+06H	
INTP6	7	DTCBARレジスタの設定アドレス+07H	
INTP7	8	DTCBARレジスタの設定アドレス+08H	
キー入力	9	DTCBARレジスタの設定アドレス+09H	
24ビットΔ　Σ　A/Dコンバータ	10	DTCBARレジスタの設定アドレス+0AH	
10ビットSAR型A/D変換終了	11	DTCBARレジスタの設定アドレス+0BH	
UART0受信の転送完了	12	DTCBARレジスタの設定アドレス+0CH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	13	DTCBARレジスタの設定アドレス+0DH	
UART1受信の転送完了	14	DTCBARレジスタの設定アドレス+0EH	
UART1送信の転送完了/CSI10の転送完了またはIIC10の転送完了	15	DTCBARレジスタの設定アドレス+0FH	
UART2受信の転送完了	16	DTCBARレジスタの設定アドレス+10H	
UART2送信の転送完了	17	DTCBARレジスタの設定アドレス+11H	
UART3受信の転送完了 注	18	DTCBARレジスタの設定アドレス+12H	
UART3送信の転送完了/CSI30の転送完了またはIIC30の転送完了 注	19	DTCBARレジスタの設定アドレス+13H	
タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	20	DTCBARレジスタの設定アドレス+14H	
タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	21	DTCBARレジスタの設定アドレス+15H	
タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	22	DTCBARレジスタの設定アドレス+16H	
タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	23	DTCBARレジスタの設定アドレス+17H	
タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	24	DTCBARレジスタの設定アドレス+18H	
タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了	25	DTCBARレジスタの設定アドレス+19H	
タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了	26	DTCBARレジスタの設定アドレス+1AH	
タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了	27	DTCBARレジスタの設定アドレス+1BH	
8ビット・インターバル・タイマ00	28	DTCBARレジスタの設定アドレス+1CH	
8ビット・インターバル・タイマ01	29	DTCBARレジスタの設定アドレス+1DH	
8ビット・インターバル・タイマ10	30	DTCBARレジスタの設定アドレス+1EH	
8ビット・インターバル・タイマ11	31	DTCBARレジスタの設定アドレス+1FH	
12ビット・インターバル・タイマ	32	DTCBARレジスタの設定アドレス+20H	
AES暗号化/復号化完了	33	DTCBARレジスタの設定アドレス+21H	
ゼロクロス検出0	34	DTCBARレジスタの設定アドレス+22H	
ゼロクロス検出1	35	DTCBARレジスタの設定アドレス+23H	
外部割込み(RTCIC0)	36	DTCBARレジスタの設定アドレス+24H	
外部割込み(RTCIC1)	37	DTCBARレジスタの設定アドレス+25H	↓
外部割込み(RTCIC2)	38	DTCBARレジスタの設定アドレス+26H	
予約	39	DTCBARレジスタの設定アドレス+27H	低

注　100ピン製品のみ。

22. 3. 4　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

DTCを使用する場合は，必ずビット3（DTCEN）を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－5　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F00FAH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	0	0	DTCEN	0	0	DSADCEN

DTCEN	DTCの入力クロック供給の制御
0	入力クロック供給停止 ・DTCは動作不可
1	入力クロック供給 ・DTCは動作可

注意　ビット1, 2, 4, 5, 7には必ず“0”を設定してください。

22. 3. 5　DTC制御レジスタj（DTCCRj）（j = 0～23）

DTCCRjレジスタは，DTCの動作モードを制御します。

図22－6　DTC制御レジスタj（DTCCRj）のフォーマット

アドレス：**22. 3. 2　コントロールデータの配置**参照　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

SZ	転送データサイズの選択
0	8ビット
1	16ビット

RPTINT	リピートモード割り込みの許可・禁止
0	割り込み発生禁止
1	割り込み発生許可
MODEビットが0（ノーマルモード）のときRPTINTビットの設定は無効です。	

CHNE	チェイン転送の許可・禁止
0	チェイン転送禁止
1	チェイン転送許可
DTCCR23レジスタのCHNEビットは0（チェイン転送禁止）にしてください。	

DAMOD	転送先アドレスの制御
0	固定
1	加算
MODEビットが1（リピートモード）でRPTSELビットが0（転送先がリピートエリア）のときDAMODビットの設定は無効です。	

SAMOD	転送元アドレスの制御
0	固定
1	加算
MODEビットが1（リピートモード）でRPTSELビットが1（転送元がリピートエリア）のときSAMODビットの設定は無効です。	

RPTSEL	リピートエリアの選択
0	転送先がリピートエリア
1	転送元がリピートエリア
MODEビットが0（ノーマルモード）のときRPTSELビットの設定は無効です。	

MODE	転送モードの選択
0	ノーマルモード
1	リピートモード

注意　DTC転送でDTCCRjレジスタをアクセスしないでください。

22. 3. 6　DTCブロック・サイズ・レジスタj（DTBLSj）（j = 0～23）

1回の起動で転送されるデータのブロックサイズを設定します。

図22－7　DTCブロック・サイズ・レジスタj（DTBLSj）のフォーマット

アドレス：**22. 3. 2　コントロールデータの配置**参照　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロックサイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
・ ・ ・	・ ・ ・	・ ・ ・
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意　DTC転送でDTBLSjレジスタをアクセスしないでください。

22. 3. 7　DTC転送回数レジスタj（DTCCTj）（j = 0～23）

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図22－8　DTC転送回数レジスタj（DTCCTj）のフォーマット

アドレス：**22. 3. 2　コントロールデータの配置**参照　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
・ ・ ・	・ ・ ・
FDH	253回
FEH	254回
FFH	255回

注意　DTC転送でDTCCTjレジスタをアクセスしないでください。

22. 3. 8　DTC転送回数リロード・レジスタj（DTRLDj）（j = 0～23）

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は，本レジスタの値がDTCCTレジスタにリロードされますので，DTCCTレジスタの初期値と同じ値を設定してください。

図22－9　DTC転送回数リロード・レジスタj（DTRLDj）のフォーマット

アドレス：**22. 3. 2　コントロールデータの配置**参照　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意　DTC転送でDTRLDjレジスタをアクセスしないでください。

22. 3. 9　DTCソース・アドレス・レジスタj（DTSARj）（j = 0～23）

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1（16ビット転送）のとき，最下位ビットは無視され，偶数番地として扱われます。

図22－10　DTCソース・アドレス・レジスタj（DTSARj）のフォーマット

アドレス：**22. 3. 2　コントロールデータの配置**参照　リセット時：不定　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

注意1.　転送元アドレスに汎用レジスタ（FFEE0H～FFEFFH）空間を設定しないでください。

2.　DTC転送でDTSARjレジスタをアクセスしないでください。

22. 3. 10　DTCデスティネーション・アドレス・レジスタj（DTDARj）（j = 0～23）

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1（16ビット転送）のとき，最下位ビットは無視され，偶数番地として扱われます。

図22－11　DTCデスティネーション・アドレス・レジスタj（DTDARj）のフォーマット

アドレス：**22. 3. 2　コントロールデータの配置**参照　リセット時：不定　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

注意1.　転送先アドレスに汎用レジスタ（FFEE0H～FFEFFH）空間を設定しないでください。

2.　DTC転送でDTDARjレジスタをアクセスしないでください。

22. 3. 11　DTC起動許可レジスタi（DTCENi）（i = 0～4）

各割り込み要因によるDTC起動の許可または禁止を制御する8ビット・レジスタです。**表22－6**に割り込み要因とDTCENi0～DTCENi7ビットの対応を示します。

DTCENiレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

注意1.　DTCENi0～DTCENi7ビットは，そのビットに対応する起動要因が発生しない箇所で変更してください。

2.　DTC転送でDTCENiレジスタをアクセスしないでください。

図22－12　DTC起動許可レジスタi（DTCENi）（i = 0～4）のフォーマット

アドレス：F02E8H（DTCEN0），F02E9H（DTCEN1），F02EAH（DTCEN2），F02EBH（DTCEN3），F02ECH（DTCEN4）　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

DTCENi7	DTC起動許可i7
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi7ビットは0（起動禁止）になります。	

DTCENi6	DTC起動許可i6
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi6ビットは0（起動禁止）になります。	

DTCENi5	DTC起動許可i5
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi5ビットは0（起動禁止）になります。	

DTCENi4	DTC起動許可i4
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi4ビットは0（起動禁止）になります。	

DTCENi3	DTC起動許可i3
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi3ビットは0（起動禁止）になります。	

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0（起動禁止）になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0（起動禁止）になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0（起動禁止）になります。	

表22－6　割り込み要因とDTCENi0～DTCENi7ビットの対応

レジスタ	DTCENi7ビット	DTCENi6ビット	DTCENi5ビット	DTCENi4ビット	DTCENi3ビット	DTCENi2ビット	DTCENi1ビット	DTCENi0ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	キー入力	24ビットΔΣ A/Dコンバータ	A/D変換終了	UART0受信の転送完了	UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	UART1受信の転送完了	UART1送信の転送完了/CSI10の転送完了またはIIC10の転送完了
DTCEN2	UART2受信の転送完了	UART2送信の転送完了	UART3受信の転送完了 注	UART3送信の転送完了/CSI30の転送完了またはIIC30の転送完了 注	タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了
DTCEN3	タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了1	タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了	8ビット・インターバル・タイマ00	8ビット・インターバル・タイマ01	8ビット・インターバル・タイマ10	8ビット・インターバル・タイマ11
DTCEN4	12ビット・インターバル・タイマ	AES暗号化/復号化完了	ゼロクロス検出0	ゼロクロス検出1	外部割込み（RTCIC0）	外部割込み（RTCIC1）	外部割込み（RTCIC2）	予約

注　100ピン製品のみ。

備考　i = 0～4

22. 3. 12　DTCベース・アドレス・レジスタ（DTCBAR）

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと，DTCコントロールデータ領域のアドレスを設定する8ビット・レジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

注意1.　DTCBARレジスタは，全てのDTC起動要因を起動禁止に設定した状態で変更してください。

2.　DTCBARレジスタを2回以上書き換えないでください。

3.　DTC転送でDTCBARレジスタをアクセスしないでください。

4.　DTCコントロールデータ領域とDTCベクタテーブル領域の配置については，22. 3. 1　DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図22－13　DTCベース・アドレス・レジスタ（DTCBAR）のフォーマット

アドレス：F02E0H　　リセット時：FDH　　R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

22. 4　DTCの動作

DTCが起動すると，DTCコントロールデータ領域からコントロールデータを読み出し，このコントロールデータに従ってデータ転送を行い，データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき，24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあり，転送サイズは8ビット転送と16ビット転送があります。また，DTCCTj（j = 0～23）レジスタのCHNEビットが1（チェイン転送許可）のとき，１つの起動要因に対して複数のコントロールデータを読み出し，連続してデータを転送します（チェイン転送）。

転送元アドレスは16ビット長のDTSARjレジスタ，転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは，データ転送後，コントロールデータに従って加算されるか固定されます。

22. 4. 1　起動要因

DTCは，周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は，DTCENi（i = 0～4）レジスタで選択します。

データ転送（チェイン転送の場合，連続して行う最初の転送）の設定が，

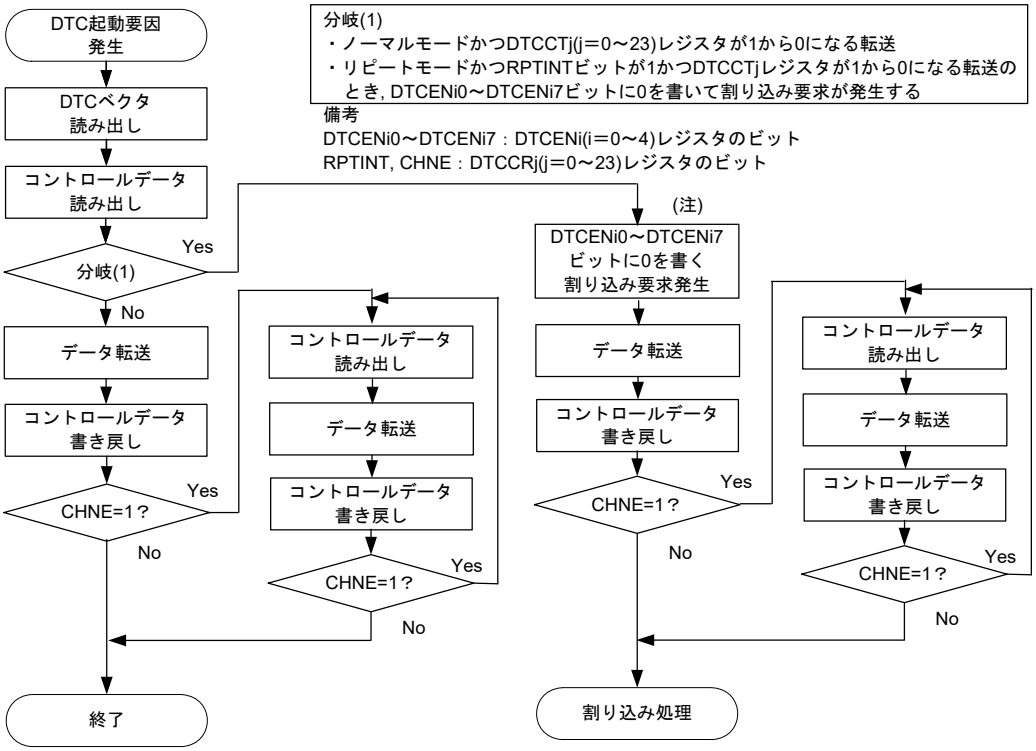
・ノーマルモードでDTCCTj（j = 0～23）レジスタが0になる転送

・リピートモードでDTCCRjレジスタのRPTINTビットが1（割り込み発生許可）かつDTCCTjレジスタが0になる転送

のとき，DTCは動作中にDTCENiレジスタの対応するDTCENi0～DTCENi7ビットを0（起動禁止）にします。

図22－14にDTC内部動作フローチャートを示します。

図22－14　DTC内部動作フローチャート



注.チェイン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では, DTCENi0～DTCENi7ビットに0を書きません。また, 割り込み要求は発生しません。

22. 4. 2　ノーマルモード

1回の起動で，8ビット転送の場合1～256バイト，16ビット転送の場合2～512バイトをデータ転送します。転送回数は1～256回です。DTCCTj（j = 0～23）レジスタが0になるデータ転送を行うとき，DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し，DTCENi（i = 0～4）レジスタの対応するDTCENi0～DTCENi7ビットを0（起動禁止）にします。

表22－7にノーマルモードでのレジスタ機能を示します。**図22－15**にノーマルモードでのデータ転送を示します。

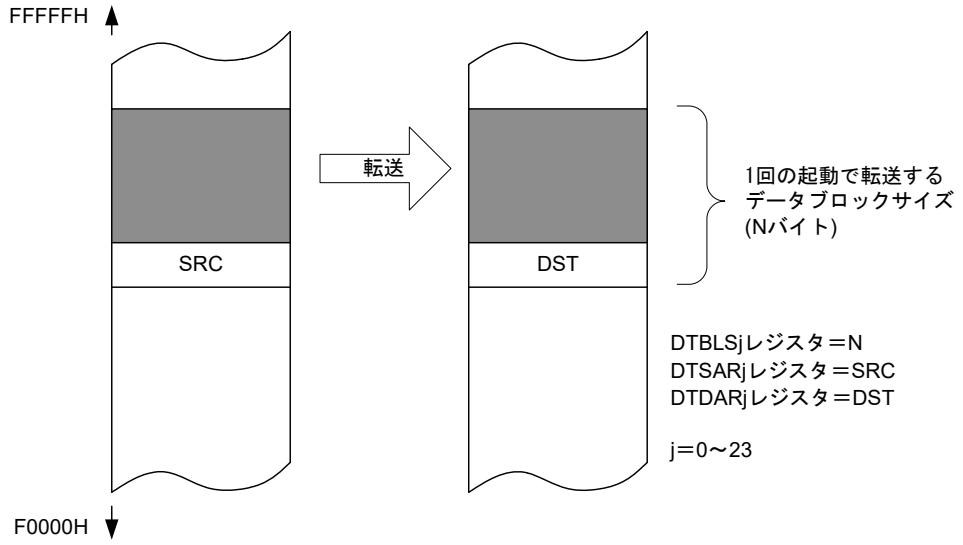
表22－7　ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLDj	使用しません注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注　RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は，初期化(00H)してください。

備考　j ＝ 0～23

図22－15　ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC+N	DST
1	0	X	0	固定	加算	SRC	DST+N
1	1	X	0	加算	加算	SRC+N	DST+N

X：0または1

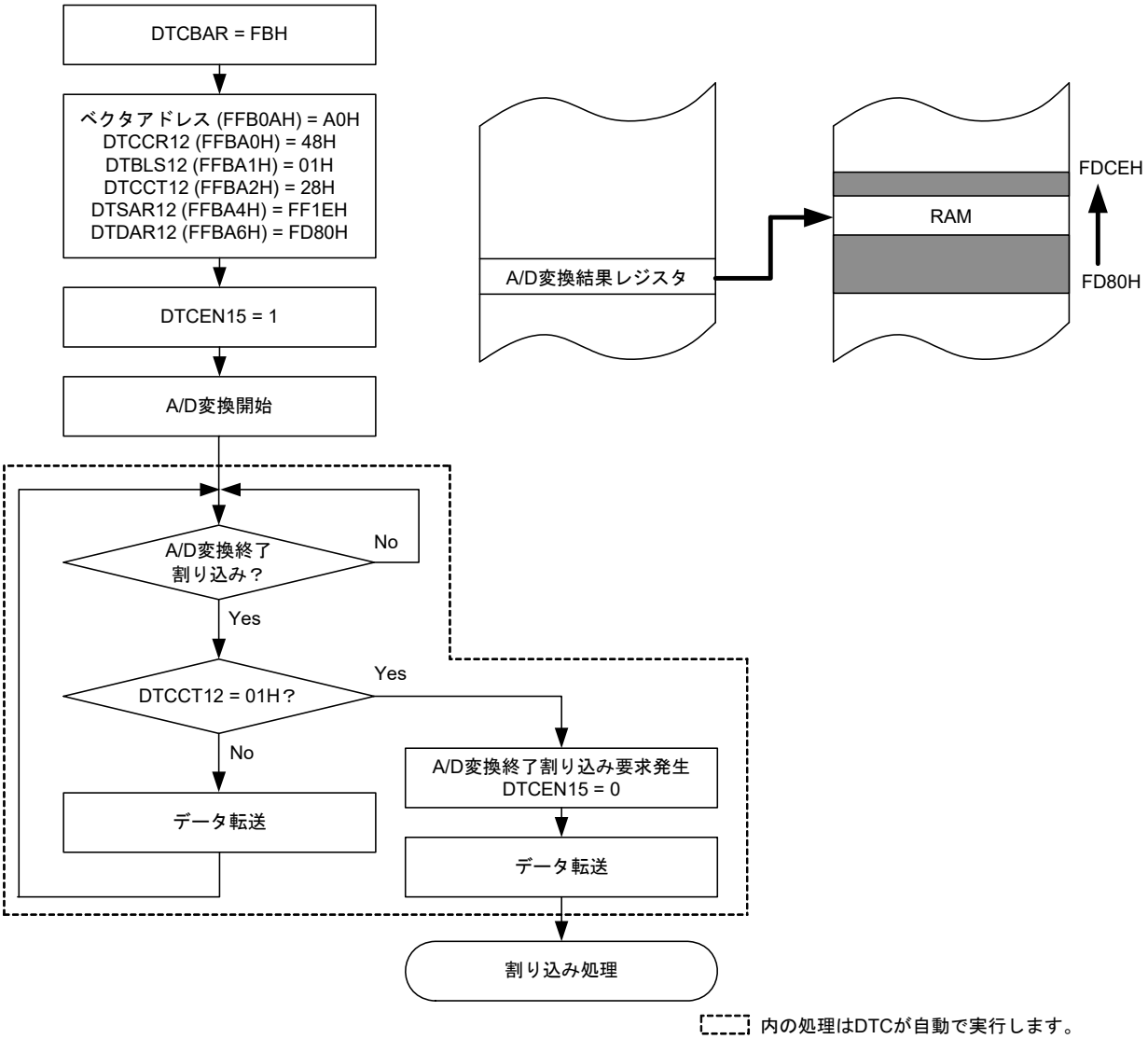
（1）ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し，A/D変換結果レジスタの値をRAMに転送します。

・ベクタアドレスはFFB0AH，コントロールデータはFFBA0H～FFBA7Hに配置

・A/D変換結果レジスタ（FFF1EH, FFF1FH）の2バイトデータをRAMのFFD80H～FFDCFHの80バイトへ40回転送

図22－16　ノーマルモードの使用例1：A/D変換結果の連続取り込み



ノーマルモードのため，DTRLD12レジスタの値は使用しませんが，RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可（RPERDIS = 0）している場合は，DTRLD12レジスタを初期化（00H）してください。

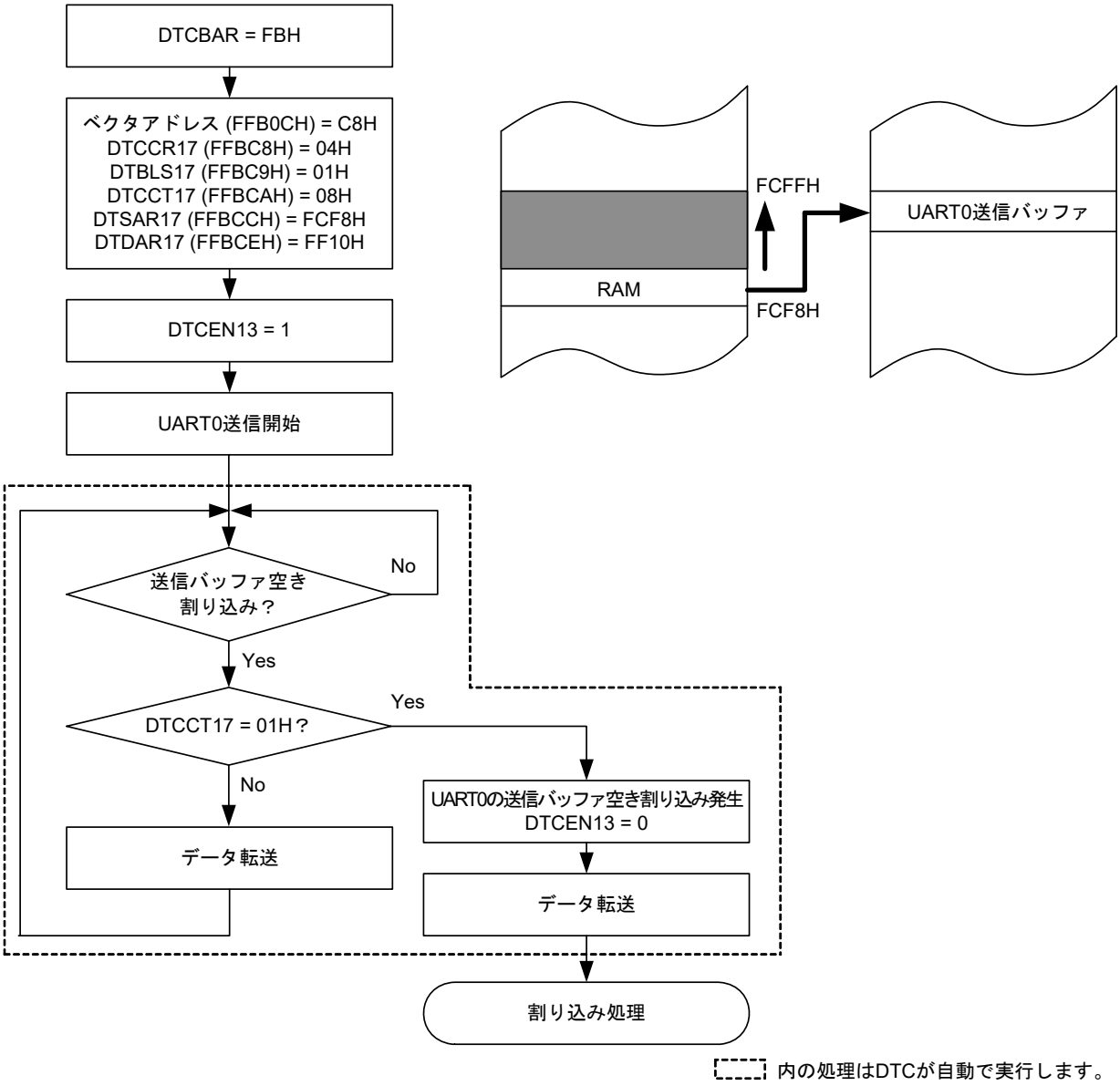
（2）ノーマルモードの使用例2：UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し，RAMの値をUART0の送信バッファに転送します。

・ベクタアドレスはFFB0CH，コントロールデータはFFBC8H～FFBCFHに配置

・RAMのFFCF8H～FFCFFHの8バイトをUART0の送信バッファ（FFF10H）へ転送

図22－17　ノーマルモードの使用例2：UART0連続送信



ノーマルモードのため，DTRLD17レジスタの値は使用しませんが，RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可（RPERDIS = 0）している場合は，DTRLD17レジスタを初期化（00H）してください。

UART0の最初の送信は，ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより，自動的に送信されます。

22. 4. 3　リピートモード

1回の起動で，1～255バイトを転送します。転送元，転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると，DTCCTj（j = 0～23）レジスタおよびリピートエリアに指定したアドレスが初期化され，転送を繰り返します。DTCCRjレジスタのRPTINTビットが1（割り込み発生許可）でDTCCTjレジスタが0になるデータ転送をDTCが行うとき，DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し，DTCENi（i = 0～4）レジスタの対応するDTCENi0～DTCENi7ビットを0（起動禁止）にします。DTCCRjレジスタのRPTINTビットが0（割り込み発生禁止）の場合は，DTCCTjレジスタが0になるデータ転送を行っても，割り込み要求は発生しません。また，DTCENi0～DTCENi7ビットは0になりません。

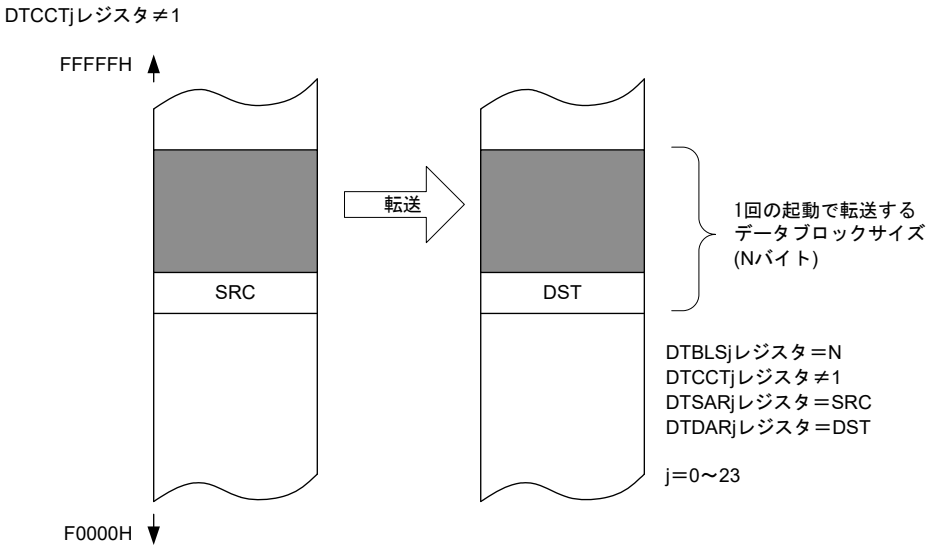
表22－8にリピートモードでのレジスタ機能を示します。**図22－18**にリピートモードでのデータ転送を示します。

表22－8　リピートモードでのレジスタ機能

レジスタ名称	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLDj	このレジスタの値をDTCCTレジスタへリロード（データ転送回数を初期化）
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

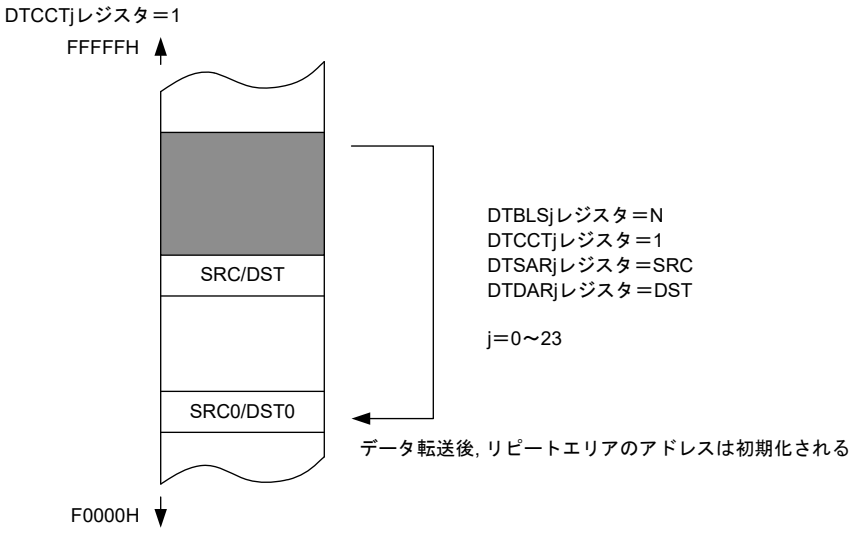
備考　j = 0～23

図22－18　リピートモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC+N	DST
1	X	1	1	リピートエリア	加算	SRC+N	DST+N
X	0	0	1	固定	リピートエリア	SRC	DST+N
X	1	0	1	加算	リピートエリア	SRC+N	DST+N

X：0または1



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST+N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC+N	DST0

SRC0：ソースアドレス初期値
DST0：デスティネーションアドレス初期値
X：0または1

注意1.　リピートモード使用時は，リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

2.　リピートモード使用時は，リピートエリアのデータサイズを255バイト以内にしてください。

（1）リピートモードの使用例：ポートを使ったステッピングモータ制御パルス出力

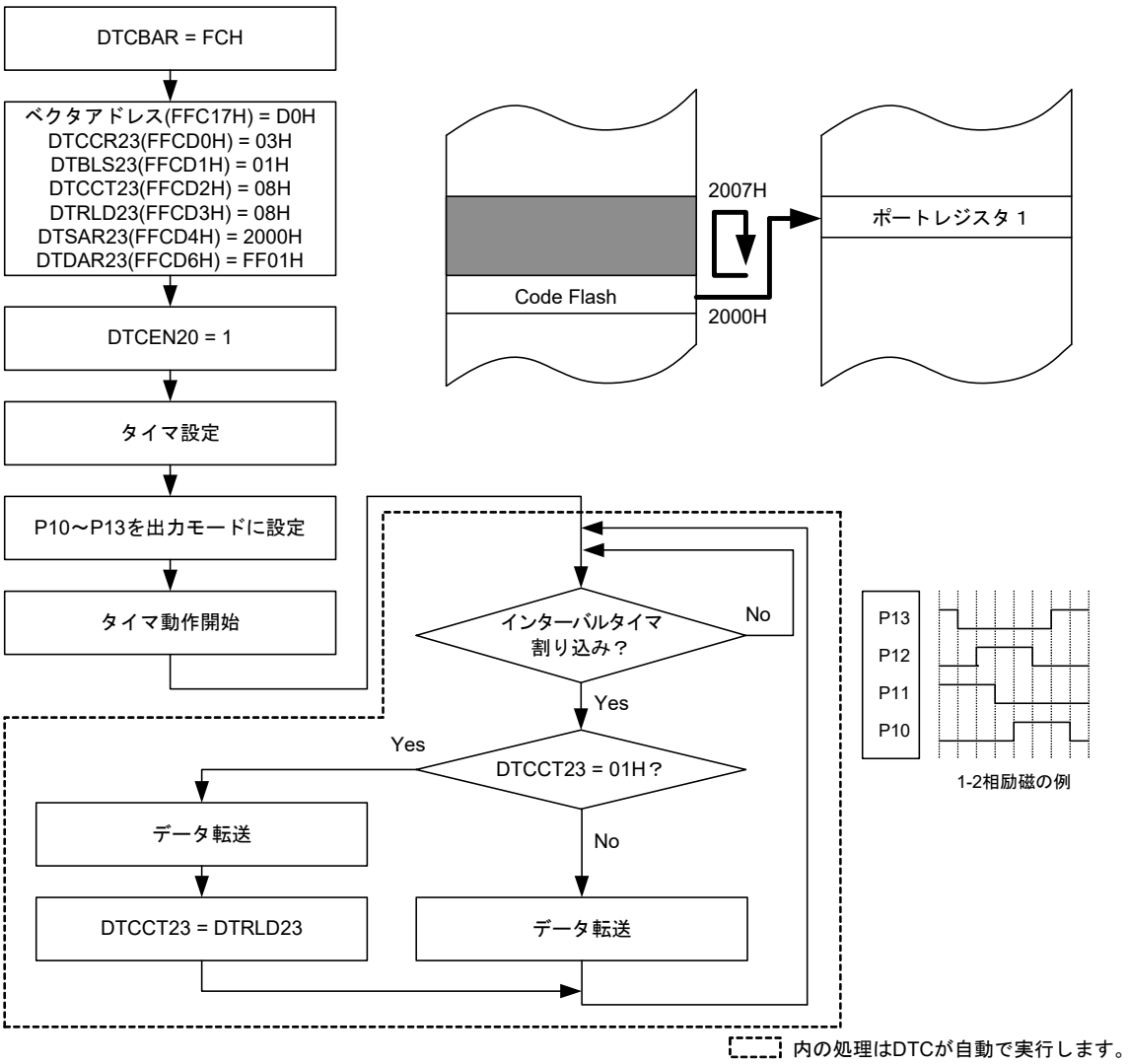
インターバルタイマの割り込みでDTCを起動し，Code Flashに格納されたモータ制御パルスのパタンを汎用ポートに転送します。

・ベクタアドレスはFFC0CH，コントロールデータはFFCD0H～FFCD7Hに配置

・Code Flashの02000H～02007Hの8バイトデータをミラー空間F2000H～F2007Hからポートレジスタ1（FFF01H）へ転送

・リピートモード割り込みは禁止

図22－19　リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力



出力を停止する場合は，タイマを停止してから，DTCEN20をクリアしてください。

22. 4. 4　チェイン転送

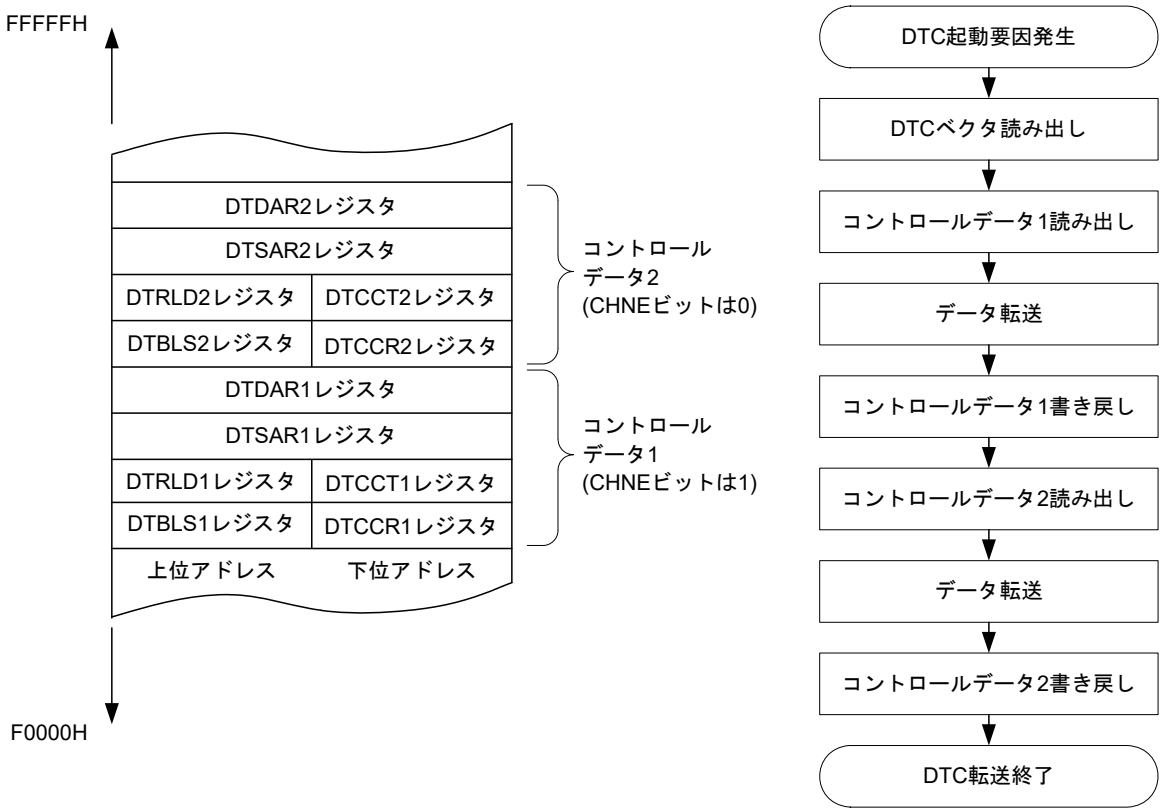
DTCCRj（j = 0～22）レジスタのCHNEビットが1（チェイン転送許可）のとき，１つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると，起動要因に対応したDTCベクタアドレスから読み出されたデータによりコントロールデータを選択し，DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1（チェイン転送許可）であれば，転送終了後，連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0（チェイン転送禁止）のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェイン転送を行う場合は，最初のコントロールデータに設定された転送回数が有効となり，2番目以降に処理されるコントロールデータの転送回数は無効となります。

図22－20にチェイン転送でのデータ転送を示します。

図22－20　チェイン転送でのデータ転送



注意1.　DTCCR23レジスタのCHNEビットは0（チェイン転送禁止）にしてください。

2.　チェイン転送の場合，2回目以降のデータ転送では，DTCENi（i = 0～4）レジスタのDTCENi0～DTCENi7ビットは0（DTC起動禁止）になりません。また，割り込み要求は発生しません。

（1）チェイン転送の使用例：A/D変換結果の連続取り込みとUART送信

A/D変換終了割り込みでDTCを起動し，A/D変換結果をRAMに転送し，UARTで送信します。

・ベクタアドレスはFFB0AH

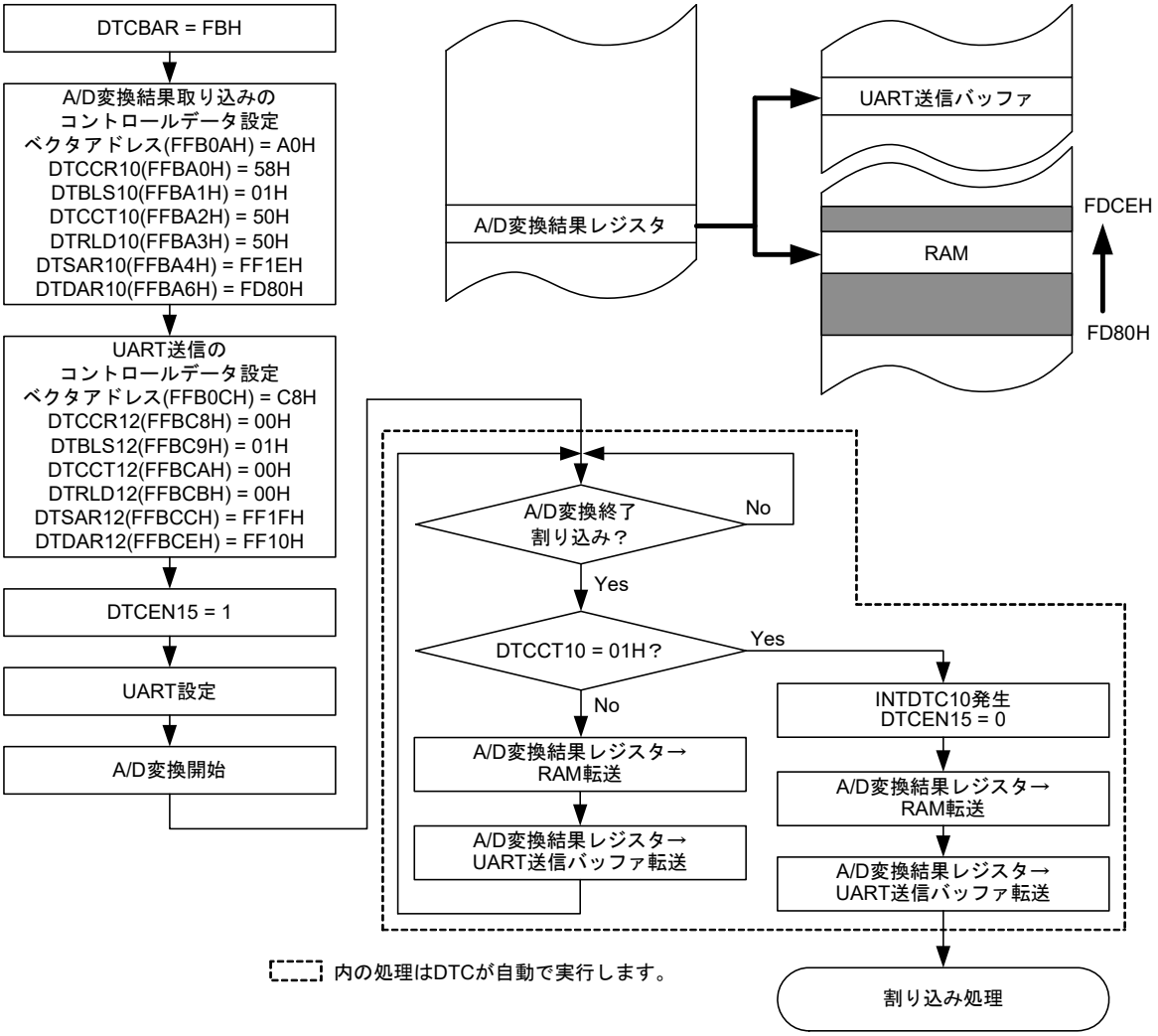
・A/D変換結果取り込みのコントロールデータはFFBA0H～FFBA7Hに配置

・UART送信のコントロールデータはFFBA8H～FFBAFHに配置

・A/D変換終了割り込みはTRIGER23に割り当て

・A/D変換結果レジスタ（FFF1FH，FFF1EH）の2バイトデータをRAMのFFD80H～FFDCFHに転送し，A/D変換結果レジスタの上位1バイト（FFF1FH）をUARTの送信バッファ（FFF10H）へ転送

図22－21　チェイン転送の使用例：A/D変換結果の連続取り込みとUART送信



22. 5　DTC使用上の注意事項

22. 5. 1　DTCのコントロールデータおよびベクタテーブルの設定

- DTC転送でDTCのSFRおよびDTCコントロールデータ領域，DTCベクタテーブル領域，汎用レジスタ（FFEE0H-FFEFFH）空間をアクセスしないでください。
- DTCベース・アドレス・レジスタ（DTCBAR）は，全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベース・アドレス・レジスタ（DTCBAR）を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi（i = 0-4）レジスタのDTCENi0-DTCENi7ビットが0（DTC起動禁止）のときに変更してください。
- ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は，対応するDTCENi（i = 0-4）レジスタのDTCENi0-DTCENi7ビットが0（DTC起動禁止）のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，DTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

22. 5. 2　DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- 汎用レジスタ（FFEE0H-FFEFFH）の空間は，DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 次に示す製品の内部RAM領域は，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

  R5F10NMJ, R5F10NPJ：FBF00H-FC309H

  R5F10NMG, R5F10NLG, R5F11TLG：FDF00H-FE309H
- 次に示す製品の内部RAM領域は，オンチップ・デバッキングのトレース機能使用時にDTC コントロールデータ領域およびDTCベクタテーブル領域として使用できません。

  R5F10NMJ, R5F10NPJ：FC300H-FC6FFH

  R5F10NMG, R5F10NLG, R5F11TLG：FE300H-FE6FFH
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は，ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。

22. 5. 3　DTC保留命令

DTC転送要求が発生しても，次の命令直後ではデータ転送は保留されます。また，PREFIX命令コードと直後の1命令の間にDTCが起動されることはありません。

・コールリターン命令
・無条件分岐命令
・条件付き分岐命令
・コード・フラッシュ・メモリへのリードアクセス命令
・IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
・データ・フラッシュ・メモリにアクセスする命令
・乗除積和演算（MULU命令を除く）

注意1.　DTC転送要求を受け付けると，DTC転送が完了するまで，全ての割り込み要求が保留されます。
2.　DTC保留命令によるDTC保留中は，全ての割り込み要求が保留されます。

22. 5. 4　データ・フラッシュ空間にアクセスする場合の動作

DTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスする場合，
間の命令に3クロック分のウェイトが入ります。

命令1
DTCのデータ転送
命令2 ← 3クロック分のウェイト発生
MOV A,　！データ・フラッシュ空間

22. 5. 5　DTC実行クロック数

表22－9にDTC起動時の実行状況と必要なクロック数を示します。

表22－9　DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	**注1**	**注2**	**注2**

注1.　コントロールデータの書き戻しに必要なクロック数は，**表22－10　コントロールデータの書き戻しに必要なクロック数**を参照してください。

2.　データの読み出し/書き込みに必要なクロック数は，**表22－11　データの読み出し/書き込みに必要なクロック数**を参照してください。

表22－10　コントロールデータの書き戻しに必要なクロック数

DTCCRレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTjレジスタ	DTRLDjレジスタ	DTSARjレジスタ	DTDARjレジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピートエリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピートエリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考　j = 0～23, X: 0または1

表22－11　データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	SFR	2nd SFR	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1+ウェイト数注
データ書き込み	1	－	－	1	1	1+ウェイト数注

注　ウェイト数はアクセスする2nd SFRに配置されたレジスタの仕様によって異なります。

22. 5. 6　DTC応答時間

表22－12にDTCにおける応答時間を示します。DTC応答時間とはDTC起動要因の検出からDTC転送開始までの時間であり，DTC実行クロック数は含まれません。

表22－12　DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし，以下の場合は更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合

  最大応答時間：20クロック

- DTC保留命令実行の場合（**22. 5. 3　DTC保留命令**を参照）

  最大応答時間：各条件時の最大応答時間＋その条件での保留する命令の実行クロック

- ウエイトが発生するレジスタをアクセスした場合

  最大応答時間：各条件時の最大応答時間＋1クロック

備考　1クロック：1/f_{CLK}（f_{CLK}：CPU／周辺ハードウェアクロック）

22. 5. 7　DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所で，その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因が競合した場合は，CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は**22. 3. 3　ベクタテーブル**を参照してください。

22. 5. 8　スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能（低消費RTCモード時は動作禁止）
STOPモード	DTC起動要因受付可能注2
SNOOZEモード	動作可能注1, 3, 4, 5

注1. SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック(f_{IH})または，中速オンチップ・オシレータ・クロック(f_{IM})を選択している場合のみ設定可能です。

2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して，DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし，HALTモード，SNOOZE モード中はコード･フラッシュ・メモリおよび，データ・フラッシュ・メモリが停止しているため，フラッシュ・メモリを転送元(ソース)にすることはできません。

3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合，DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか，チェイン転送を使い，CSIpの受信再設定（STm0ビットに1を書き込み，SWCmビットに0を書き込み，SSCmレジスタ設定，SSm0ビットに1を書き込み）をDTC転送で行ってください。

4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合，DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか，チェイン転送を使い，UARTqの受信再設定（STm1ビットに1を書き込み，SWCmビットに0を書き込み，SSCmレジスタ設定，SSm1ビットに1を書き込み）を行ってください。

5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合，DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか，チェイン転送を使い，A/DコンバータのSNOOZEモード機能の再設定（AWCビットをクリアしたのちにセットする）を行ってください。

注意　DTCのSNOOZE機能とUARTのSNOOZE機能を同時に使用することはできません。

備考　p = 00;　q = 0;　m = 0

第23章　イベント・リンク・コントローラ（ELC）

23. 1　ELCの機能

イベント・リンク・コントローラ（ELC）は，各周辺機能が出力するイベントを周辺機能間で相互に接続（リンク）します。イベントリンクによりCPUを介さず直接，周辺機能間での連携動作が可能になります。

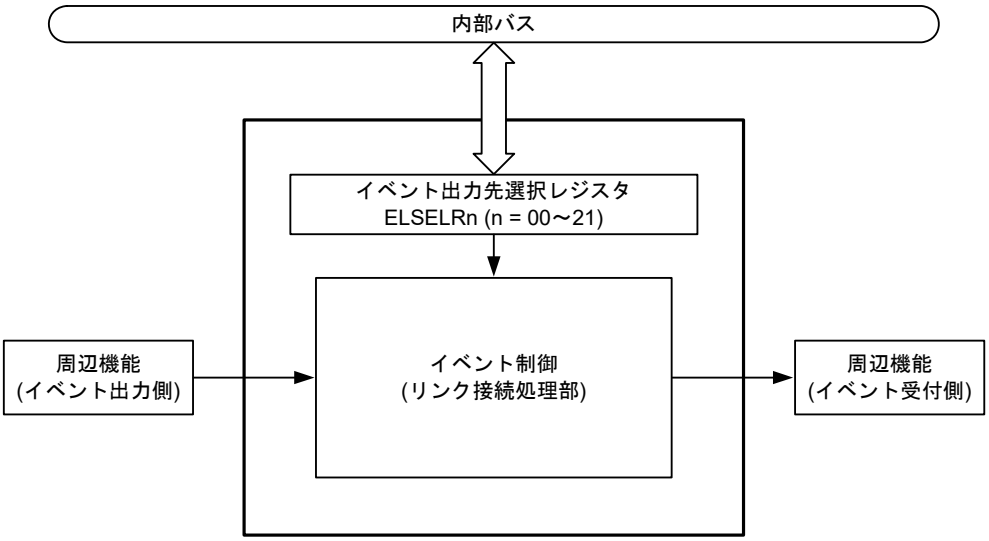
ELCには次の機能があります。

・22種類の周辺機能からのイベント信号を，指定した周辺機能へ直接リンク可能
・5種類の内の1つの周辺機能動作の起動要因として，イベント信号を使用可能

23. 2　ELCの構成

図23－1にELCのブロック図を示します。

図23–1　ELCのブロック図



23. 3　ELCを制御するレジスタ

表23－1にELCを制御するレジスタを示します。

表23–1　ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17
イベント出力先選択レジスタ18	ELSELR18
イベント出力先選択レジスタ19	ELSELR19
イベント出力先選択レジスタ20	ELSELR20
イベント出力先選択レジスタ21	ELSELR21
タイマ入力選択レジスタ0	TIS0
A/Dコンバータ・モード・レジスタ	ADM1

23. 3. 1　イベント出力先選択レジスタn（ELSELRn）（n = 00～21）

ELSELRnレジスタは各イベント信号を，イベント受付側周辺機能（リンク先周辺機能）の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を，同一のイベント出力先（イベント受付側）にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる，イベント信号が正確に受け付けられないことがあります。また，イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に，ELSELRnレジスタを設定してください。

表23－2にELSELRnレジスタ（n = 00～21）と周辺機能の対応を，**表23－3**にELSELRnレジスタ（n = 00～21）に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図23–2　イベント出力先選択レジスタn（ELSELRn）のフォーマット

アドレス：F0240H（ELSELR00）～F0255H（ELSELR21）　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	0	ELSELn2	ELSELn1	ELSELn0

ELSELn2	ELSELn1	ELSELn0	周波数測定期間設定
0	0	0	イベントリンク禁止
0	0	1	リンクする周辺機能1の動作を選択注
0	1	0	リンクする周辺機能2の動作を選択注
0	1	1	リンクする周辺機能3の動作を選択注
1	0	0	リンクする周辺機能4の動作を選択注
1	0	1	リンクする周辺機能5の動作を選択注
上記以外			設定禁止

注　表23–3　ELSELRnレジスタ（n = 00～21）に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表23–2　ELSELRnレジスタ（n = 00～21）と周辺機能の対応

レジスタ名	イベント発生元（イベント入力nの出力元）	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	外部割り込みエッジ検出6	INTP6
ELSELR07	外部割り込みエッジ検出7	INTP7
ELSELR08	キーリターン信号検出	INTKR
ELSELR09	12ビット・インターバル・タイマ・インターバル信号検出	INTIT
ELSELR10	8ビット・インターバル・タイマ・チャネル00のコンペアマッチまたは 8ビット・インターバル・タイマ・チャネル0のコンペアマッチ（カスケード時）	INTIT00
ELSELR11	8ビット・インターバル・タイマ・チャネル10のコンペアマッチまたは 8ビット・インターバル・タイマ・チャネル1のコンペアマッチ（カスケード時）	INTIT01
ELSELR12	RTC定周期信号検出	INTRTCPRD
ELSELR13	TAUチャネル00カウント完了／キャプチャ完了	INTTM00
ELSELR14	TAUチャネル01カウント完了／キャプチャ完了	INTTM01
ELSELR15	TAUチャネル02カウント完了／キャプチャ完了	INTTM02
ELSELR16	TAUチャネル03カウント完了／キャプチャ完了	INTTM03
ELSELR17	TAUチャネル05カウント完了／キャプチャ完了	INTTM05
ELSELR18	TAUチャネル07カウント完了／キャプチャ完了	INTTM07
ELSELR19	DSAD変換終了	INTDSAD
ELSELR20	ゼロクロス検出0	INTDSADZC0
ELSELR21	ゼロクロス検出1	INTDSADCZ1

表23–3　ELSELRnレジスタ（n = 00～21）に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタのELSELRn2～ELSELRn0ビット	リンク先の番号	リンク先周辺機能	イベント受付時の動作
001B	1	A/Dコンバータ	A/D変換開始
010B	2	タイマ・アレイ・ユニットチャネル0のタイマ入力[注1]	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ
011B	3	タイマ・アレイ・ユニットチャネル1のタイマ入力[注2]	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ
100B	4	タイマ・アレイ・ユニットチャネル5のタイマ入力[注3]	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ
101B	5	タイマ・アレイ・ユニットチャネル7のタイマ入力[注4]	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ

注 1. リンク先周辺機能にタイマ・アレイ・ユニットチャネル0のタイマ入力を選択する場合は，先にタイマ・クロック選択レジスタ0（TPS0）でチャネル0の動作クロックをf_{CLK}に設定し，ノイズ・フィルタ許可レジスタ1（NFEN1）でTI00端子のノイズフィルタをOFFに（TNFEN00 = 0）設定し，タイマ入力選択レジスタ0（TIS0）でチャネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

2. リンク先周辺機能にタイマ・アレイ・ユニットチャネル1のタイマ入力を選択する場合，先にタイマ・クロック選択レジスタ0（TPS0）でチャネル1の動作クロックをf_{CLK}に設定し，ノイズ・フィルタ許可レジスタ1（NFEN1）でTI01端子のノイズフィルタをOFF（TNFEN01 = 0）に設定し，タイマ入力選択レジスタ0（TIS0）でチャネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

3. リンク先周辺機能にタイマ・アレイ・ユニットチャネル5のタイマ入力を選択する場合は，先にタイマ・クロック選択レジスタ0（TPS0）でチャネル5の動作クロックをf_{CLK}に設定し，ノイズ・フィルタ許可レジスタ1（NFEN1）でTI05端子のノイズフィルタをOFFに（TNFEN05 = 0）設定し，タイマ入力選択レジスタ0（TIS0）でチャネル5で使用するタイマ入力をELCからのイベント入力信号に設定してください。

4. リンク先周辺機能にタイマ・アレイ・ユニットチャネル7のタイマ入力を選択する場合は，先にタイマ・クロック選択レジスタ0（TPS0）でチャネル7の動作クロックをf_{CLK}に設定し，ノイズ・フィルタ許可レジスタ1（NFEN1）でTI07端子のノイズフィルタをOFFに（TNFEN07 = 0）設定し，タイマ入力選択レジスタ0（TIS0）でチャネル7で使用するタイマ入力をELCからのイベント入力信号に設定してください。

23. 3. 2　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，タイマ・アレイ・ユニット（TAU0）のチャネル0, 1, 5, 6, 7のタイマ入力を選択するレジスタです。

図23–3　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TIS07	TIS06	チャネル7で使用するタイマ入力の選択
0	0	タイマ入力端子（TI07）の入力信号
0	1	RTCOUT出力信号
1	0	RxD0入力端子
1	1	ELCからのイベント入力信号

TIS04	チャネル1で使用するタイマ入力の選択
0	タイマ入力端子（TI01）の入力信号
1	ELCからのイベント入力信号

TIS03	チャネル0で使用するタイマ入力の選択
0	タイマ入力端子（TI00）の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子（TI05）の入力信号
0	1	1	中速オンチップ・オシレータ・クロック（f_{IM}）
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブ・システム・クロック（f_{SUB}）
上記以外			設定禁止

23. 3. 3　A/Dコンバータ・モード・レジスタ（ADM1）

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23–4　A/Dコンバータ・モード・レジスタ（ADM1）のフォーマット

アドレス：FFF32H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	タイマ・チャネル01のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
0	1	ELCで選択されたイベント信号
1	0	独立電源RTCアラーム割り込み信号（INTRTCALM），独立電源RTC周期割り込み信号（INTRTCPRD）
1	1	12ビット・インターバル・タイマ割り込み信号（INTIT）

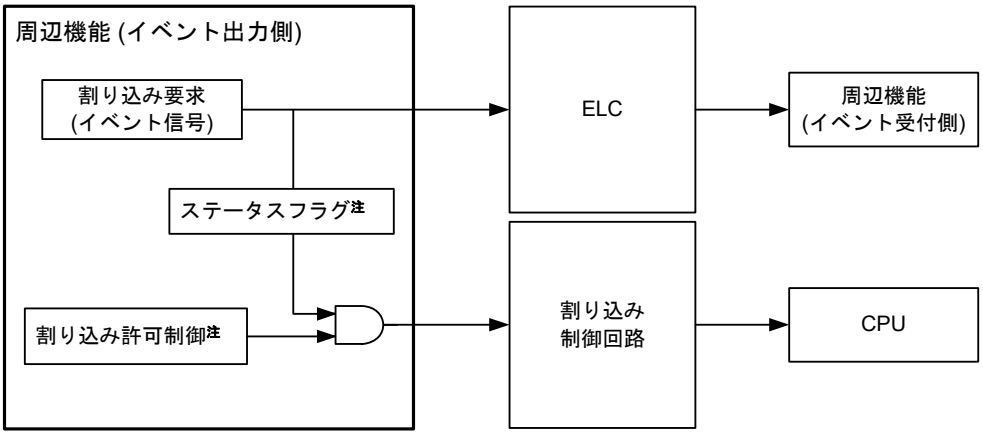
23. 4　ELCの動作

各周辺機能で発生するイベント信号を，割り込み制御回路への割り込み要求として使う経路と，ELCのイベントとして使う経路が独立しています。したがって，各イベント信号は割り込み制御に関係なく，イベント受付側周辺機能の動作のイベント信号として使用できます。

図23－5に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと，これらの割り込みの許可／禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は，受付側周辺機能に応じたイベント受付後の動作をします（**表23－3　ELSELRnレジスタ（n = 00～21）に設定する値とリンク先周辺機能の受付時の動作の対応**参照）。

図23–5　割り込み処理とELCの関係



注　周辺機能によっては，搭載していません。

表23－4にイベントを受け付ける周辺機能の応答性を示します。

表23–4　イベントを受け付ける周辺機能の応答性

イベント受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D 変換動作	ELCからのイベントが直接，A/D変換のハードウエア・トリガになります。
2	タイマ・アレイ・ユニット チャネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット チャネル1のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。
4	タイマ・アレイ・ユニット チャネル5のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。
5	タイマ・アレイ・ユニット チャネル7のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。

23. 5　ELC使用上の注意事項

・複数のイベント入力を1箇所のイベントトリガにリンクさせる設定は禁止です。

・制御レジスタを設定する際は，関係する周辺機能のイベントが発生しない状態で実施してください。

・イベント発生元とリンク先を同じ機能に設定することは禁止です。

第24章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

		64ピン	80ピン	100ピン
マスカブル割り込み	外部	9	12	12
	内部	41	41	44

24. 1　割り込み機能の種類

割り込み機能には，次の2種類があります。

（1）マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L，PR00H，PR01L，PR01H，PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては**表24－1**を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

（2）ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

24. 2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計7要因あります（**表24－1**参照）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表24－1　割り込み要因一覧（1/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	100-pin	80-pin	64-pin
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3（オーバフロー時間の75%＋1/2fIL）	内部	0004H	（A）	○	○	○
	1	INTLVI	電圧検出注4		0006H		○	○	○
	2	INTP0注5	端子入力エッジ検出	外部	0008H	（B）	○	○	○
	3	INTP1			000AH		○	○	○
	4	INTP2			000CH		○	○	○
	5	INTP3			000EH		○	○	○
	6	INTP4			0010H		○	○	○
	7	INTP5			0012H		○	○	○
	8	INTST2	UART2送信の転送完了，バッファ空き割り込み	内部	0014H	（A）	○	○	○
	9	INTSR2	UART2受信の転送完了		0016H		○	○	○
	10	INTSRE2	UART2受信の通信エラー発生		0018H		○	○	○
	11	INTCR	高速オンチップ・オシレータ・クロック周波数補正完了		001AH		○	○	○
	12	INTAES	暗号化/復号化完了割り込み		001CH		○	○	○
		INTAESF	最初のブロックの暗号化/復号化完了割り込み				○	○	○
	13	INTST0/INTCSI00/INTIIC00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了		001EH		○	○	○
	14	INTIICA0	IICA0通信完了		0020H		○	○	○
	15	INTSR0	UART0受信の転送完了		0022H		○	○	○
	16	INTSRE0	UART0受信の通信エラー発生		0024H		○	○	○
		INTTM01H	タイマ・チャネル01のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○
	17	INTST1/INTCSI10/INTIIC10	UART1送信の転送完了，バッファ空き割り込み／CSI10の転送完了，バッファ空き割り込み／IIC10の転送完了		0026H		○	○	○
	18	INTSR1	UART1受信の転送完了		0028H		○	○	○
	19	INTSRE1	UART1受信の通信エラー発生		002AH		○	○	○
		INTTM03H	タイマ・チャネル03のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，55が最低順位です。

2.　基本構成タイプの（A）-（C）は，それぞれ**図24－1**の（A）-（C）に対応しています。

3.　オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時。

4.　電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

5.　P137端子の入力バッファ電源は，内部V_{DD}に接続されています。PIOR04 = 0においては，バッテリ・バックアップ機能を使用し，VBAT端子から給電されている場合でも割り込みを受け付けることが可能です。

表24－1　割り込み要因一覧（2/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	100-pin	80-pin	64-pin
マスカブル	20	INTTM00	タイマ・チャネル00のカウント完了またはキャプチャ完了	内部	002CH	(A)	○	○	○
	22	INTFM	周波数測定完了		0030H		○	○	○
	23	INTTM01	タイマ・チャネル01のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時）		0032H		○	○	○
	24	INTTM02	タイマ・チャネル02のカウント完了またはキャプチャ完了		0034H		○	○	○
	25	INTTM03	タイマ・チャネル03のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時）		0036H		○	○	○
	26	INTAD	A/D変換終了		0038H		○	○	○
	27	INTRTCALM	RTCアラーム割り込み		003AH		○	○	○
		INTRTCPRD	RTC周期割り込み		003AH		○	○	○
	28	INTIT	12ビット・インターバル・タイマのインターバル信号検出		003CH		○	○	○
	29	INTKR	キー・リターン信号検出	外部	003EH	(B)	○	○	○
	30	INTST3/ INTCSI30/ INTIIC30	UART3送信の転送完了，バッファ空き割り込み／CSI30の転送完了，バッファ空き割り込み／IIC30の転送完了	内部	0040H	(A)	○	-	-
	31	INTSR3	UART3受信の転送完了		0042H		○	-	-
	32	INTDSAD	ΔΣA/D変換完了		0044H		○	○	○
	33	INTTM04	タイマ・チャネル04のカウント完了またはキャプチャ完了		0046H		○	○	○
	34	INTTM05	タイマ・チャネル05のカウント完了またはキャプチャ完了		0048H		○	○	○
	35	INTP6	端子入力エッジ検出	外部	004AH	(B)	○	○	○
	36	INTP7			004CH		○	○	○
	37	INTRTCIC0注3	RTCIC0端子タンパ検出		004EH		○	○	-
	38	INTRTCIC1注3	RTCIC1端子タンパ検出		0050H		○	○	-
	39	INTRTCIC2注3	RTCIC2端子タンパ検出		0052H		○	○	-

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，55が最低順位です。

2.　基本構成タイプの（A）-（C）は，それぞれ**図24－1**の（A）-（C）に対応しています。

3.　INTRTCIC0, INTRTCIC1, INTRTCIC2端子の入力バッファ電源は，内部V_{DD}に接続されています。バッテリ・バックアップ機能を使用し，VBAT端子から給電されている場合でも割り込みを受け付けることが可能です。

表24－1　割り込み要因一覧（3/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	100-pin	80-pin	64-pin
マスカブル	40	INTTM06	タイマ・チャネル06のカウント完了またはキャプチャ完了	内部	0054H	（A）	○	○	○
	41	INTTM07	タイマ・チャネル07のカウント完了またはキャプチャ完了		0056H		○	○	○
	42	INTIT00	8ビット・インターバル・タイマ・チャネル00／チャネル0 （カスケード時）比較一致検出		0058H		○	○	○
	43	INTIT01	8ビット・インターバル・タイマ・チャネル01比較一致検出		005AH		○	○	○
	44	INTSRE3	UART3受信の通信エラー発生		005CH		○	-	-
	45	INTMACLOF	積和演算オーバーフロー/アンダーフロー割り込み		005EH		○	○	○
	46	INTOSDC	発振停止検出		0060H		○	○	○
	47	INTFL	予約 注3		0062H		○	○	○
	48	INTDSADZC0	ゼロクロス検出割り込み0		0064H		○	○	○
	49	INTDSADZC1	ゼロクロス検出割り込み1		0066H		○	○	○
	50	INTIT10	8ビット・インターバル・タイマ・チャネル10／チャネル1 （カスケード時）比較一致検出		0068H		○	○	○
	51	INTIT11	8ビット・インターバル・タイマ・チャネル11比較一致検出		006AH		○	○	○
	52	INTLVDVDD	V_{DD}端子電圧検出割り込み		006CH		○	○	○
	53	INTLVDVBAT	VBAT端子電圧検出割り込み		006EH		○	○	○
	54	INTLVDVRTC	VRTC端子電圧検出割り込み		0070H		○	○	○
	55	INTLVDEXLVD	EXLVD端子電圧検出割り込み		0072H		○	○	○
ソフトウェア	－	BRK	BRK命令の実行	－	007EH	（C）	○	○	○
リセット	－	RESET	RESET端子入力	－	0000H	－	○	○	○
		POR	パワーオン・リセット				○	○	○
		LVD	電圧検出注4				○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○
		TRAP	不正命令の実行注5				○	○	○
		IAW	不正メモリ・アクセス				○	○	○
		RPE	RAMパリティ・エラー				○	○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，55が最低順位です。

2.　基本構成タイプの（A）-（C）は，それぞれ**図24－1**の（A）-（C）に対応しています。

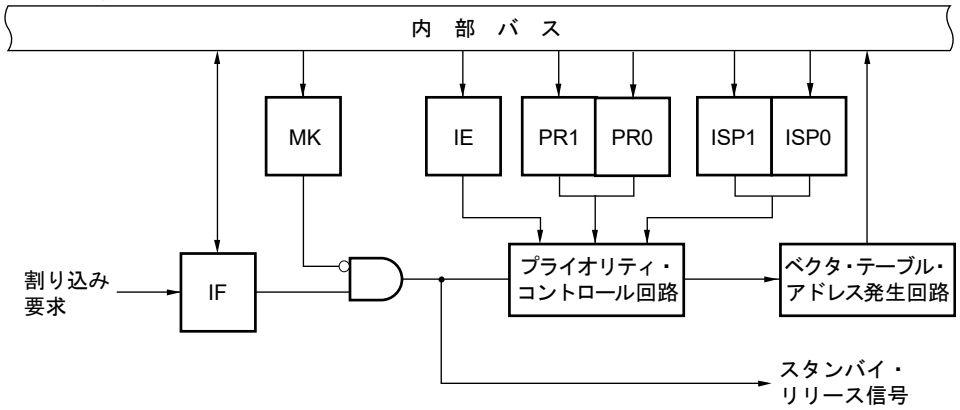
3.　フラッシュ・セルフ・プログラミング・ライブラリ，データ・フラッシュ・ライブラリで使用します。

4.　電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 1選択時。

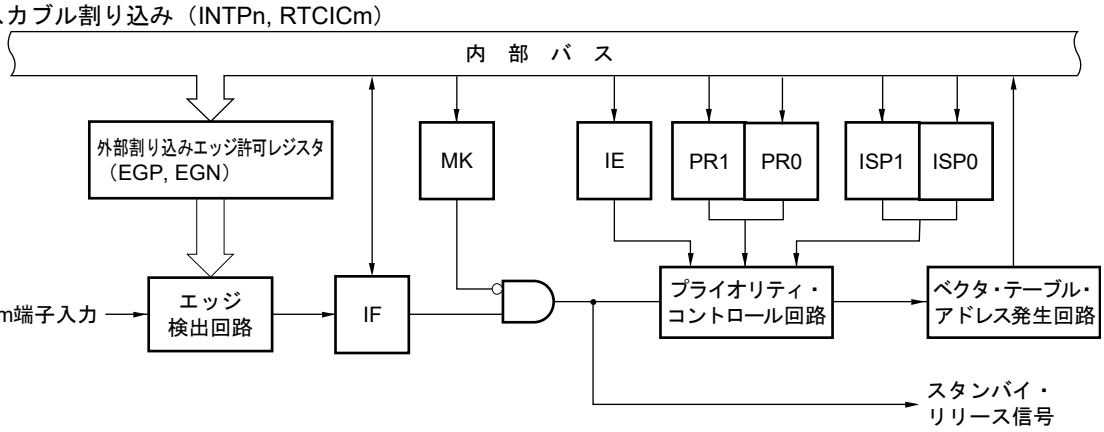
5.　FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図24－1　割り込み機能の基本構成

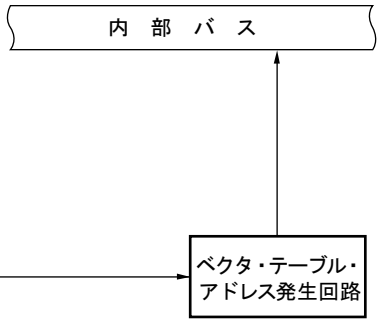
（A）内部マスカブル割り込み



（B）外部マスカブル割り込み（INTPn, RTCICm）



（C）ソフトウエア割り込み



IF　　：割り込み要求フラグ

IE　　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

MK　　：割り込みマスク・フラグ

PR0　　：優先順位指定フラグ0

PR1　　：優先順位指定フラグ1

備考　n = 0-7, m = 0-2

24. 3　割り込み機能を制御するレジスタ

割り込み機能は，次の6種類のレジスタで制御します。

・割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）
・割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）
・優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）
・外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）
・外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）
・プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を**表24－2**に示します。

表24－2　割り込み制御レジスタの構成（1/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP3	PIF3		PMK3		PPR03, PPR13	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTST2	STIF2	IF0H	STMK2	MK0H	STPR02, STPR12	PR00H, PR10H
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12	
INTCR	CRIF		CRMK		CRPR0, CRPR1	
INTAES	AESIF		AESMK		AESPR0, AESPR1	
INTAESF	AESFIF		AESFMK		AESFPR0, AESFPR1	
INTCSI00	CSIIF00		CSIMK00		CSIPR000, CSIPR100	
INTIIC00	IICIF00		IICMK00		IICPR000, IICPR100	
INTST0	STIF0		STMK0		STPR00, STPR10	
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10	
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10	

表24－2　割り込み制御レジスタの構成（2/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ
INTSRE0	SREIF0	IF1L	SREMK0	MK1L	SREPR00, SREPR10	PR01L, PR11L
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H	
INTCSI10	CSIIF10		CSIMK10		CSIPR010, CSIPR110	
INTIIC10	IICIF10		IICMK10		IICPR010, IICPR110	
INTST1	STIF1		STMK1		STPR01, STPR11	
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11	
INTSRE1	SREIF1		SREMK1		SREPR01 SREPR11	
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H	
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTFM	FMIF		FMMK		FMPR0, FMPR1	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02	IF1H	TMMK02	MK1H	TMPR002, TMPR102	PR01H, PR11H
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
INTAD	ADIF		ADMK		ADPR0, ADPR1	
INTRTCALM	RTCAIF		RTCAMK		RTCAPR0, RTCAPR1	
INTRTCPRD	RTCRIF		RTCRMK		RTCRPR0, RTCRPR1	
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1	
INTKR	KRIF		KRMK		KRPR0, KRPR1	
INTCSI30	CSIIF30		CSIMK30		CSIPR030, CSIPR130	
INTIIC30	IICIF30		IICMK30		IICPR030, IICPR130	
INTST3	STIF3		STMK3		STPR03, STPR13	
INTSR3	SRIF3		SRMK3		SRPR03, SRPR13	
INTDSAD	DSAIF	IF2L	DSAMK	MK2L	DSAPR0, DSAPR1	PR02L, PR12L
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	
INTTM05	TMIF05		TMMK05		TMPR005, TMPR105	
INTP6	PIF6		PMK6		PPR06, PPR16	
INTP7	PIF7		PMK7		PPR07, PPR17	
INTRTCIC0	RTCIIF0		RTCIMK0		RTCIPR00, RTCIPR10	
INTRTCIC1	RTCIIF1		RTCIMK1		RTCIPR01, RTCIPR11	
INTRTCIC2	RTCIIF2		RTCIMK2		RTCIPR02, RTCIPR12	

表24－2　割り込み制御レジスタの構成（3/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ
INTTM06	TMIF06	IF2H	TMMK06	MK2H	TMPR006, TMPR106	PR02H, PR12H
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTIT00	ITIF00		ITMK00		ITPR000, ITPR100	
INTIT01	ITIF01		ITMK01		ITPR001, ITPR101	
INTSRE3	SREIF3		SREMK3		SREPR03, SREPR13	
INTMACLOF	MACIF		MACMK		MACPR0, MACPR1	
INTOSDC	OSDIF		OSDMK		OSDPR0, OSDPR1	
INTFL	FLIF		FLMK		FLPR0, FLPR1	
INTDSADZC0	DSAZIF0	IF3L	DSAZMK0	MK3L	DSAZPR00, DSAZPR10	PR03L, PR13L
INTDSADZC1	DSAZIF1		DSAZMK1		DSAZPR01, DSAZPR11	
INTIT10	ITIF10		ITMK10		ITPR010, ITPR110	
INTIT11	ITIF11		ITMK11		ITPR011, ITPR111	
INTLVDVDD	LVDVDIF		LVDVDMK		LVDVDPR0, LVDVDPR1	
INTLVDVBAT	LVDVBIF		LVDVBMK		LVDVBPR0, LVDVBPR1	
INTLVDVRTC	LVDVRIF		LVDVRMK		LVDVRPR0, LVDVRPR1	
INTLVDEXLVD	LVDEXIF		LVDEXMK		LVDEXPR0, LVDEXPR1	

24. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LレジスタとIF0Hレジスタ，IF1LレジスタとIF1Hレジスタ，IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図24－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット（1/2）

アドレス：FFFE0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF0H	SRIF0	IICAIF0	STIF0 CSIIF00 IICIF00	AESIF AESFIF	CRIF	SREIF2	SRIF2	STIF2

アドレス：FFFE2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF01	FMIF	0	TMIF00	SREIF1 TMIF03H	SRIF1	CSIIF10 STIF1 IICIF10	SREIF0 TMIF01H

アドレス：FFFE3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF1H	SRIF3	CSIIF30 IICIF30 STIF3	KRIF	TMKAIF	RTCAIF RTCRIF	ADIF	TMIF03	TMIF02

アドレス：FFFD0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF2L	RTCIIF2	RTCIIF1	RTCIIF0	PIF7	PIF6	TMIF05	TMIF04	DSAIF

アドレス：FFFD1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	OSDIF	MACIF	SREIF3	ITIF01	ITIF00	TMIF07	TMIF06

図24－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット（2/2）

アドレス：FFFD2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF3L	LVDEXIF	LVDVRIF	LVDVBIF	LVDVDIF	ITIF11	ITIF10	DSAZIF1	DSAZIF0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注意1.　ビットについては，表24－2を参照してください。また，搭載していないビットには必ず0を設定してください。

2.　割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm(“clr1 IF0L,0”);」のようなビット操作命令を使用してください。

なお，C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合，コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

24. 3. 2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）

割り込みマスク・フラグは，対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LレジスタとMK0Hレジスタ，MK1LレジスタとMK1Hレジスタ，MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図24－3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマット

アドレス：FFFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	SRMK0	IICAMK0	STMK0 CSIMK00 IICMK00	AESMK AESFMK	CRMK	SREMK2	SRMK2	STMK2

アドレス：FFFE6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK01	FMMK	1	TMMK00	SREMK1 TMMK03H	SRMK1	STMK1 IICMK10 CSIMK10	SREMK0 TMMK01H

アドレス：FFFE7H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1H	SRMK3	STMK3 IICMK30 CSIMK30	KRMK	TMKAMK	RTCAMK RTCRMK	ADMK	TMMK03	TMMK02

アドレス：FFFD4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2L	RTCIMK2	RTCIMK1	RTCIMK0	PMK7	PMK6	TMMK05	TMMK04	DSAMK

アドレス：FFFD5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	OSDMK	MACMK	SREMK3	ITMK01	ITMK00	TMMK07	TMMK06

アドレス：FFFD6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK3L	LVDEXMK	LVDVRMK	LVDVBMK	LVDVDMK	ITMK11	ITMK10	DSAZMK1	DSAZMK0

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　ビットについては，表24－2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

24. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて，優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L）。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR00LレジスタとPR00Hレジスタ，PR01LレジスタとPR01Hレジスタ，PR02LレジスタとPR02Hレジスタ，PR10LレジスタとPR10Hレジスタ，PR11LレジスタとPR11Hレジスタ，PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図24－4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット（1/2）

アドレス：FFFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00H	SRPR00	IICAPR0	STPR00 CSIPR000 IICPR000	AESPR0 AESFPR0	CRPR0	SREPR02	SRPR02	STPR02

アドレス：FFFEDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10H	SRPR10	IICAPR10	STPR10 CSIPR100 IICPR100	AESPR1 AESFPR1	CRPR1	SREPR12	SRPR12	STPR12

アドレス：FFFEAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR001	FMPR0	1	TMPR000	SREPR01 TMPR003H	SRPR01	CSIPR010 STPR01 IICPR010	SREPR00 TMPR001H

図24－4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット（2/2）

アドレス：FFFEEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR101	FMPR1	1	TMPR100	SREPR11 TMPR103H	SRPR11	CSIPR110 STPR11 IICPR110	SREPR10 TMPR101H

アドレス：FFFEBH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01H	SRPR03	STPR03 IICPR030 CSIPR030	KRPR0	TMKAPR0	RTCRPR0 RTCAPR0	ADPR0	TMPR003	TMPR002

アドレス：FFFEFH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11H	SRPR13	STPR13 IICPR130 CSIPR130	KRPR1	TMKAPR1	RTCRPR1 RTCAPR1	ADPR1	TMPR103	TMPR102

アドレス：FFFD8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02L	RTCIPR02	RTCIPR01	RTCIPR00	PPR07	PPR06	TMPR005	TMPR004	DSAPR0

アドレス：FFFDCH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12L	RTCIPR12	RTCIPR11	RTCIPR10	PPR17	PPR16	TMPR105	TMPR104	DSAPR1

アドレス：FFFD9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	OSDPR0	MACPR0	SREPR03	ITPR001	ITPR000	TMPR007	TMPR006

アドレス：FFFDDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	OSDPR1	MACPR1	SREPR13	ITPR101	ITPR100	TMPR107	TMPR106

アドレス：FFFDAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR03L	LVDEXPR0	LVDVRPR0	LVDVBPR0	LVDVDPR0	ITPR011	ITPR010	DSAZPR01	DSAZPR00

アドレス：FFFDEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR13L	LVDEXPR1	LVDVRPR1	LVDVBPR1	LVDVDPR1	ITPR111	ITPR110	DSAZPR11	DSAZPR10

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意　ビットについては，表24－2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

24. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

INTP0-INTP7, RTCIC0-RTCIC2の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図24－5　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）のフォーマット

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス：FFF3AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	EGP14	EGP13	EGP12	0	0	0	0

アドレス：FFF3BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	EGN14	EGN13	EGN12	0	0	0	0

EGPn	EGNn	INTP0-INTP7, RTCIC0-RTCIC2端子の有効エッジの選択（n = 0-7, 12-14）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを**表24－3**に示します。

表24－3　EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	80, 100ピン	64ピン
EGP0	EGN0	INTP0	○	○
EGP1	EGN1	INTP1	○	○
EGP2	EGN2	INTP2	○	○
EGP3	EGN3	INTP3	○	○
EGP4	EGN4	INTP4	○	○
EGP5	EGN5	INTP5	○	○
EGP6	EGN6	INTP6	○	○
EGP7	EGN7	INTP7	○	○
EGP12	EGN12	RTCIC0	○	-
EGP13	EGN13	RTCIC1	○	-
EGP14	EGN14	RTCIC2	○	-

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると，有効エッジを検出してINTPn割り込みが発生する可能性があります。
出力モードに切り替える場合は，エッジ検出禁止（EGPn, EGNn=0, 0）にしてからポート・モード・レジスタ（PMxx）を0に設定してください。

備考 1.　エッジ検出ポートに関しては，**2. 1　ポート機能**を参照してください。
2.　n = 0-7, 12-14

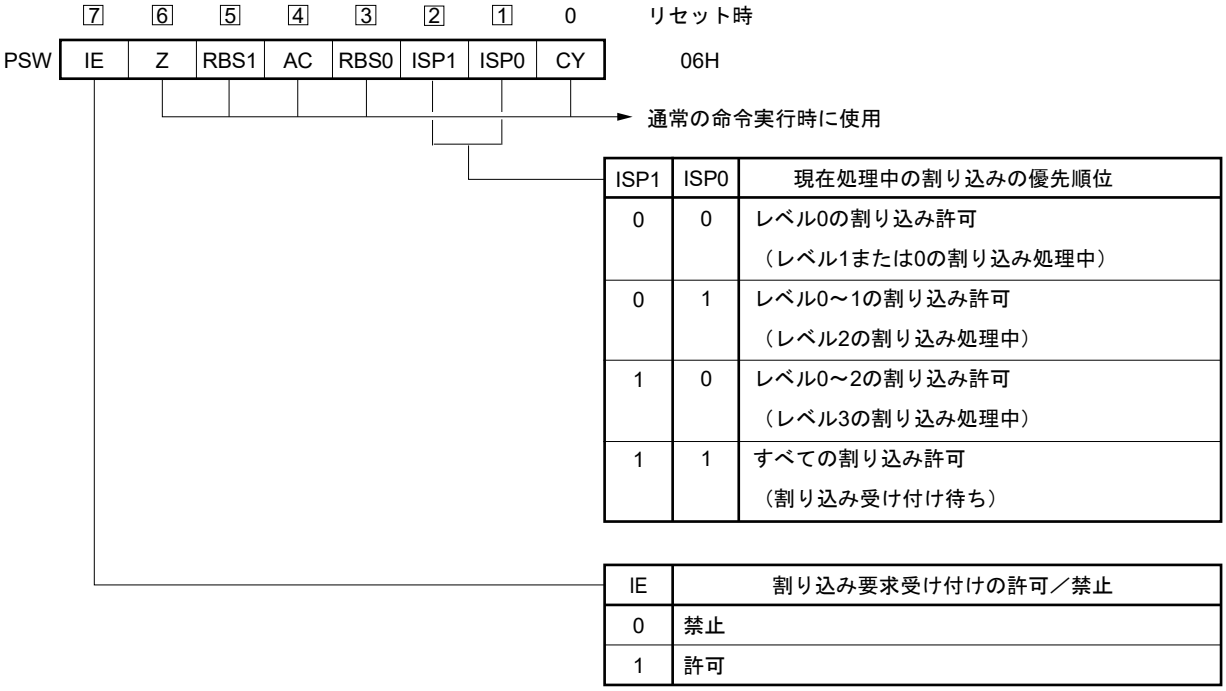
24. 3. 5　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI，DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は，“－1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図24－6　プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0～1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受け付け待ち）

IE	割り込み要求受け付けの許可／禁止
0	禁止
1	許可

24. 4　割り込み処理動作

24. 4. 1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表24－4のようになります。

割り込み要求の受け付けタイミングについては，**図24－8**, **24－9**を参照してください。

表24－4　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
処理時間	9クロック	16クロック

注　内部RAM 領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

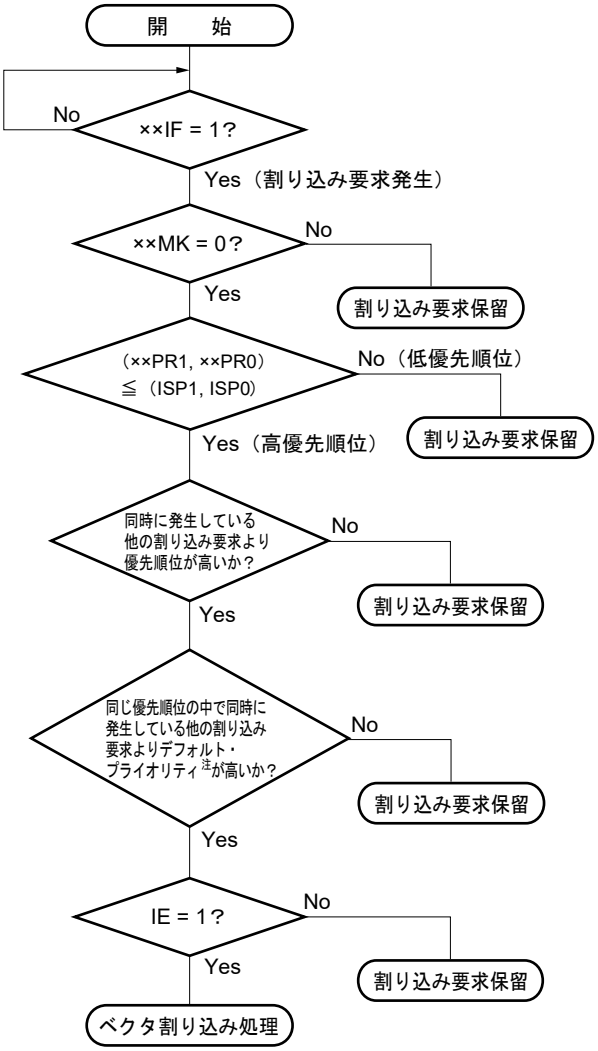
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを**図24－7**に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISP1，ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図24－7　割り込み要求受け付け処理アルゴリズム



××IF　　：割り込み要求フラグ

××MK　　：割り込みマスク・フラグ

××PR0　　：優先順位指定フラグ0

××PR1　　：優先順位指定フラグ1

IE　　：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）

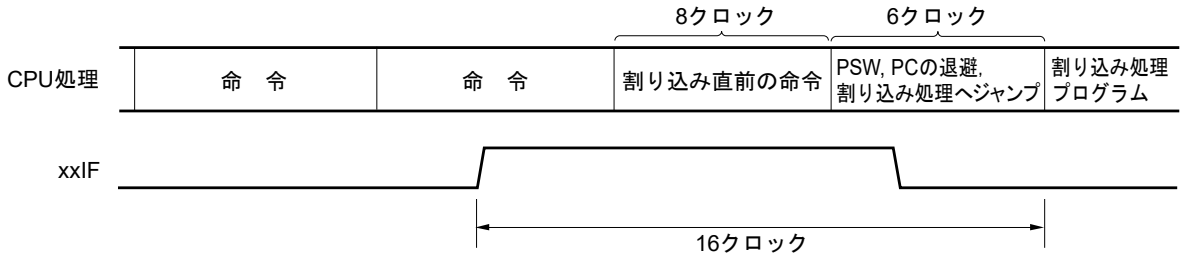
ISP0, ISP1　　：現在処理中の割り込みの優先順位を示すフラグ（**図24－6**参照）

注　デフォルト・プライオリティは，**表24－1　割り込み要因一覧**を参照してください。

図24－8　割り込み要求の受け付けタイミング（最小時間）

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

図24－9　割り込み要求の受け付けタイミング（最大時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

24. 4. 2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令は使用できません。

24. 4. 3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただし，レベル0の割り込み中にIEフラグをセット（1）した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表24－5に多重割り込み可能な割り込み要求の関係を，**図24－10**に多重割り込みの例を示します。

表24－5　割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 ＼ 処理中の割り込み		マスカブル割り込み要求								ソフトウエア割り込み要求
		優先順位レベル0（PR = 00）		優先順位レベル1（PR = 01）		優先順位レベル2（PR = 10）		優先順位レベル3（PR = 11）		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウエア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0　：レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1　：レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0　：レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1　：割り込み受け付け待ち（すべての割り込み許可）

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lジスタに含まれるフラグです。

PR = 00：××PR1× = 0, ××PR0× = 0でレベル0を指定（高優先順位）

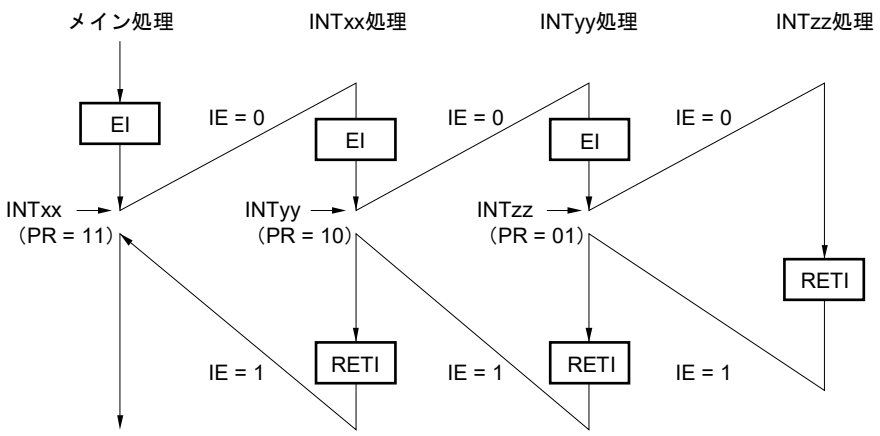
PR = 01：××PR1× = 0, ××PR0× = 1でレベル1を指定

PR = 10：××PR1× = 1, ××PR0× = 0でレベル2を指定

PR = 11：××PR1× = 1, ××PR0× = 1でレベル3を指定（低優先順位）

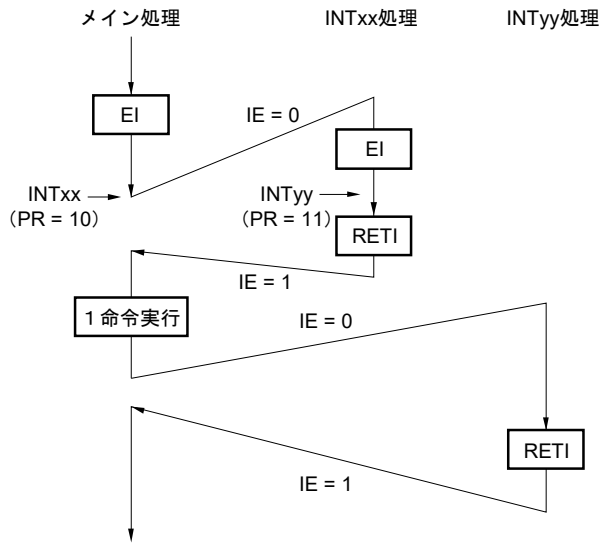
図24－10　多重割り込みの例（1/2）

例1.　多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2.　優先順位制御により，多重割り込みが発生しない例

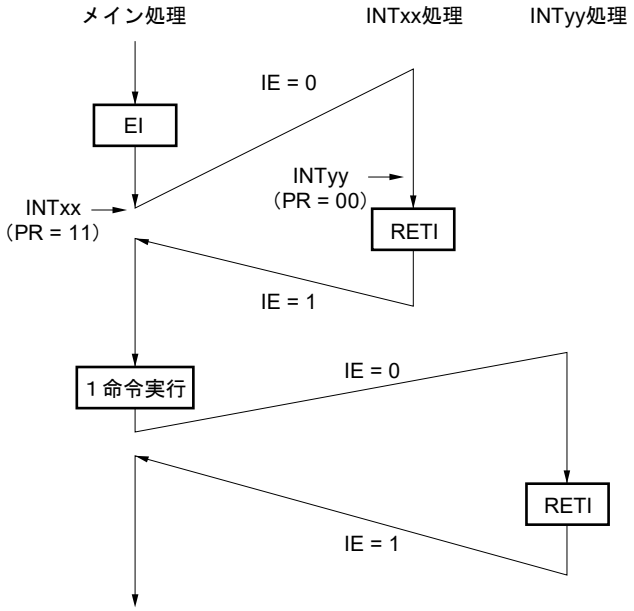


割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1× = 0，××PR0× = 0でレベル0を指定（高優先順位）
PR = 01：××PR1× = 0，××PR0× = 1でレベル1を指定
PR = 10：××PR1× = 1，××PR0× = 0でレベル2を指定
PR = 11：××PR1× = 1，××PR0× = 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

図24－10　多重割り込みの例（2/2）

例3.　割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1× = 0，××PR0× = 0でレベル0を指定（高優先順位）
PR = 01：××PR1× = 0，××PR0× = 1でレベル1を指定
PR = 10：××PR1× = 1，××PR0× = 0でレベル2を指定
PR = 11：××PR1× = 1，××PR0× = 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

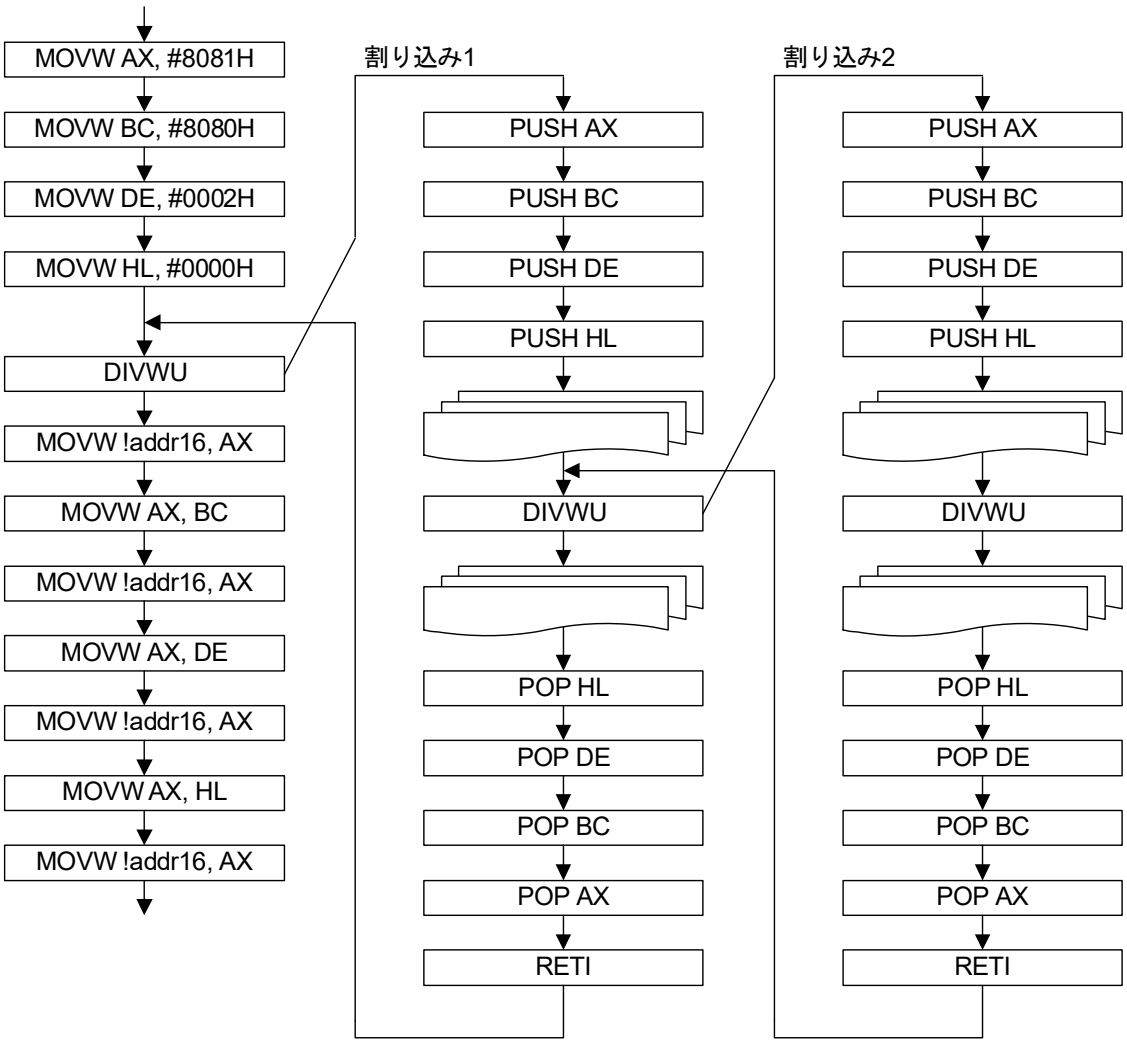
24. 4. 4　除算命令中の割り込み処理

RL78/I1Cは，除算命令実行時に割り込み応答性を向上させるため，DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は，DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために，PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)S	(SP-2) ← (PC-3)S
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCS ← 0000	PCS ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



注意　割り込み処理中にDIVHU，DIVWU命令を実行する場合，割り込み禁止状態(DI)で実行してください。ただし，RAM 領域での命令実行を除き，アセンブリ言語ソースにてDIVHU，DIVWU命令の直後にNOP命令を追加した場合は，割り込み許可状態でもDIVHU，DIVWU命令を実行することができます。
下記のコンパイラはビルド時にDIVHU，DIVWU命令が出力される場合，その直後に自動でNOP命令が挿入されます。

- **CA78K0R（ルネサスエレクトロニクス社コンパイラ製品）V1.71以降のC言語ソースおよびアセンブリ言語ソース**
- **EWRL78(IAR社コンパイラ製品) Service pack 1.40.6以降のC言語ソース**
- **GNURL78(KPIT社コンパイラ)のC言語ソース**

24. 4. 5　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW，#byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L，IF0H，IF1L，IF1H，IF2L，IF2H，IF3L，MK0L，MK0H，MK1L，MK1H，MK2L，MK2H，MK3L，PR00L，PR00H，PR01L，PR01H，PR02L，PR02H，PR03L，PR10L，PR10H，PR11L，PR11H，PR12L，PR12H，PR13Lレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを**図24―11**に示します。

図24－11　割り込み要求の保留

備考1.　命令N：割り込み要求の保留命令

2.　命令M：割り込み要求の保留命令以外の命令

第25章　キー割り込み機能

キー割り込み入力チャネル数は，製品によって異なります。

	64ピン	80ピン	100ピン
キー割り込み入力チャネル	5ch	8ch	8ch

25. 1　キー割り込みの機能

キー割り込み入力端子（KR0-KR3）に立ち上がり／立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表25–1　キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0（KRM0）
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

備考　KR0-KR4：64ピン製品
KR0-KR7：80/100ピン製品

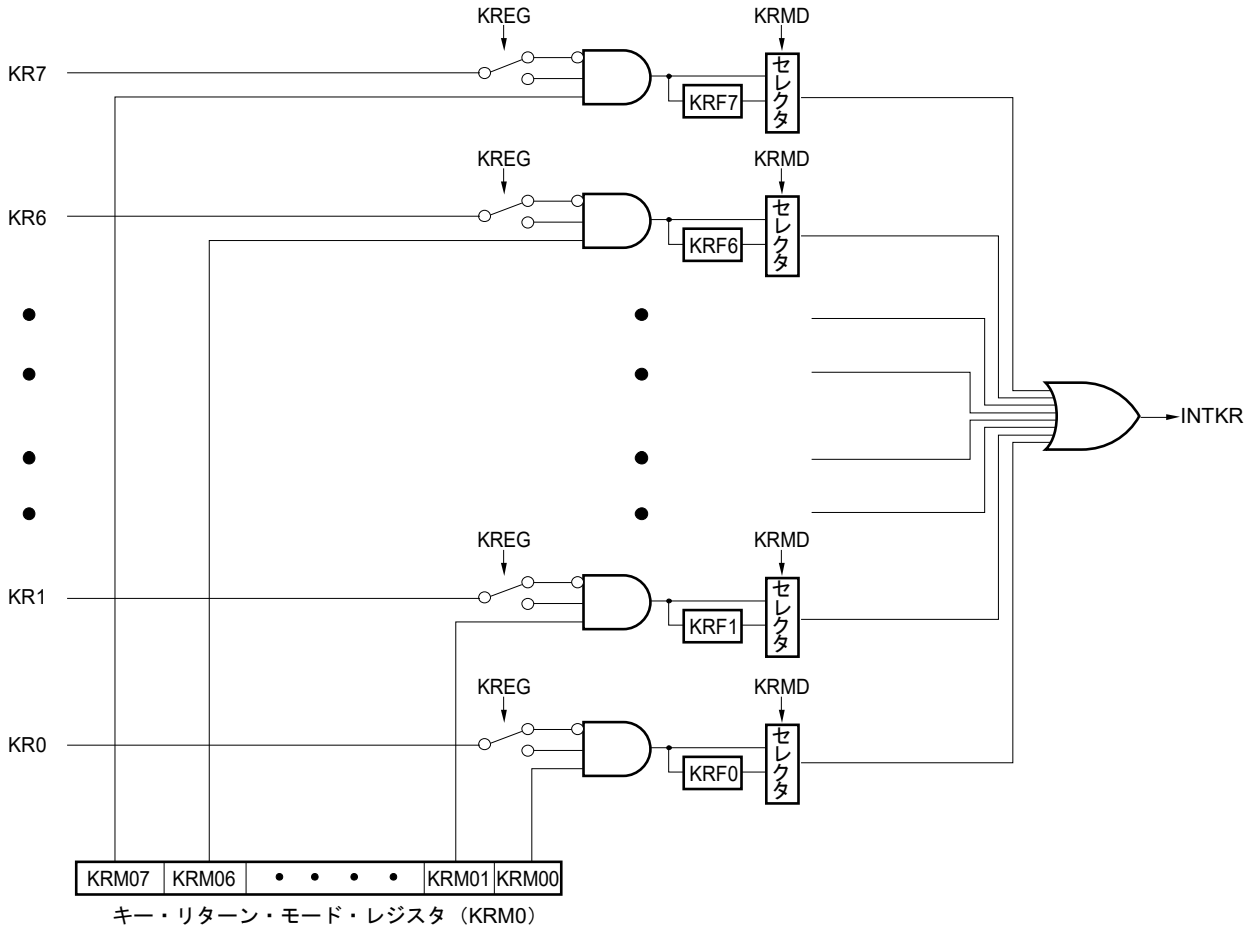
25. 2　キー割り込みの構成

キー割り込みは，次のハードウエアで構成されています。

表25–2　キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・コントロール・レジスタ（KRCTL） キー・リターン・モード・レジスタ0（KRM0） キー・リターン・フラグ・レジスタ（KRF） ポート・モード・レジスタ7（PM7）

図25–1　キー割り込みのブロック図



備考　KR0-KR4：64ピン製品

KR0-KR7：80/100ピン製品

25. 3　キー割り込みを制御するレジスタ

キー割り込み機能は，次のレジスタで制御します。

- キー・リターン・コントロール・レジスタ（KRCTL）
- キー・リターン・モード・レジスタ0（KRM0）
- キー・リターン・フラグ・レジスタ（KRF）
- ポート・モード・レジスタ7（PM7）

25. 3. 1　キー・リターン・コントロール・レジスタ（KRCTL）

キー・リターン・フラグ（KRF0-KRF7）の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25–2　キー・リターン・コントロール・レジスタ（KRCTL）のフォーマット

アドレス：FFF34H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	キー・リターン・フラグ（KRF0-KRF7）の使用
0	キー・リターン・フラグを使用しない
1	キー・リターン・フラグを使用する

KREG	検出エッジの選択（KR0-KR7）
0	立ち下がりエッジ
1	立ち上がりエッジ

25. 3. 2　キー・リターン・モード・レジスタ0（KRM0）

KRM0レジスタはKR0-KR7信号を制御するレジスタです。

KRM0レジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25–3　キー・リターン・モード・レジスタ0（KRM0）のフォーマット

アドレス：FFF37H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意 1.　キー割り込み入力端子のプルアップ抵抗レジスタ7（PU7）の対象となるビットに1を設定して，内蔵プルアップ抵抗を使用することができます。

2.　キー割り込み入力端子にロウ・レベル（KREGに0を設定時）／ハイ・レベル（KREGに1を設定時）が入力されている状態で，KRM0レジスタの対象ビットをセットすると，割り込みが発生します。

この割り込みを無視したい場合は，割り込みマスク・フラグで割り込み処理禁止にしてから，KRM0レジスタをセットしてください。その後，キー割り込み入力ハイ・レベル幅，ロウ・レベル幅（41. 4　AC特性参照）を待ってから，割り込み要求フラグをクリアし，割り込み処理許可にしてください。

3.　キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考　n = 0-7

25. 3. 3　キー・リターン・フラグ・レジスタ（KRF）

キー割り込みフラグ（KRF0-KRF7）を制御するレジスタです。

KRFレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25–4　キー・リターン・フラグ・レジスタ（KRF）のフォーマット

アドレス：FFF35H　　リセット時：00H　　R/W注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF6	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ（n = 0-7）
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注　“1”の書き込みは無効になります。KRFnをクリアする場合は，対象ビットに“0”を，他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

25. 3. 4　ポート・モード・レジスタ7（PM7）

ポート7の入力／出力を1ビット単位で設定するレジスタです。

キー割り込み入力（KR0-KR7）として使用するとき，各ポートに対応するポート・モード・レジスタ（PM7）のビットに“1”を設定してください。

PM7レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PM7レジスタはFFHになります。

図25–5　ポート・モード・レジスタ7（PM7）のフォーマット

アドレス：FFF27H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PMmn	PM7nの入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

第26章　スタンバイ機能

26.1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，高速オンチップ・オシレータ，中速オンチップ・オシレータ，サブシステム・クロック発振回路が動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路，高速オンチップ・オシレータ，中速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSI0, UART0のデータ受信，タイマ・トリガ信号（割り込み要求信号（INTRTCALM/INTRTCPRD/INTIT）またはELCイベント入力）によるA/D変換要求，DTC起動要因により，STOPモードを解除し，CPUを動作させることなくCSI0，UART0のデータ受信，A/D変換，DTC動作を行います。CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータまたは中速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは，STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック，サブシステム・クロックのいずれかの動作状態でも使用できます。

2. STOPモードに移行するとき，メイン・システム・クロックで動作する周辺ハードウエアの動作を必ず停止させたのち，STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。

3. CSI0，UART0，A/DコンバータをSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタm（SSCm），A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，18. 3　シリアル・アレイ・ユニットを制御するレジスタ，15. 3 A/Dコンバータを制御するレジスタを参照してください。

4. A/Dコンバータ部の動作電流を低減させるためには，A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。

5. 低速オンチップ・オシレータをHALT，STOPモード時に発振継続／停止するかどうかは，オプション・バイトのWDTONとサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットで選択できます。詳細は6. 1（2）②低速オンチップ・オシレータを参照してください。

26. 2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

・サブシステム・クロック供給オプション制御レジスタ（OSMC）

・発振安定時間カウンタ状態レジスタ（OSTC）

・発振安定時間選択レジスタ（OSTS）

備考　上記レジスタの詳細は，**第6章　クロック発生回路**を参照してください。また，SNOOZEモード機能を制御するレジスタは，**第15章　A/Dコンバータ**，**第18章　シリアル・アレイ・ユニット**を参照してください。

26. 3　スタンバイ機能の動作

26. 3. 1　HALTモード

（1）HALTモード

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意　割り込みマスク・フラグが“0”（割り込み処理許可）で且つ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合，HALTモードの解除に割り込み要求信号が用いられるため，その状況下でHALT命令を実行しても，HALTモードに移行しません。

表26－1　HALTモード時の動作状態（1/4）

項目 ＼ HALTモードの設定			メイン・システム・クロックでCPU動作中のHALT命令実行時				
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時	PLLクロック（f_{PLL}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止				
	メイン・システム・クロック	f_{IH}	動作継続（停止不可）	動作禁止	動作禁止		動作継続（停止不可）
		f_{IM}	動作禁止	動作継続（停止不可）	動作禁止		動作禁止
		f_X	動作禁止		動作継続（停止不可）	動作不可	
		f_{EX}			動作不可	動作継続（停止不可）	
		f_{PLL}	動作禁止				動作継続（停止不可）
	サブシステム・クロック	f_{XT}	HALTモード設定前の状態を継続 （ただし，RTCPORが発生している場合は動作禁止）				
		f_{EXS}					
	低速オンチップ・オシレータ・クロック	f_{IL}	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給 オプション制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0= 1またはSELLOSC = 1：発振 （サブ・クロック（f_{SX}）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止				
CPU			動作停止				
コード・フラッシュ・メモリ							
データ・フラッシュ・メモリ							
RAM			動作停止（DTC実行時は動作可能）				
ポート（ラッチ）			HALTモード設定前の状態を保持（ただし，DTCによるポートレジスタ書き換えによりポートの設定変更可能）				
タイマ・アレイ・ユニット			動作可能				
独立電源RTC			動作可能（ただし，RTCPORが発生している場合動作停止）				
周波数測定機能			動作禁止	動作可能			
高速オンチップ・オシレータ・クロック周波数補正機能			動作可能 （f_{XT}またはf_{EXS}供給時）	動作禁止			
発振停止検出			動作可能（f_{IL}発振時のみ）				
バッテリ・バックアップ機能			動作可能				
12ビット・インターバル・タイマ							
8ビット・インターバル・タイマ							
ウォッチドッグ・タイマ			**第14章　ウォッチドッグ・タイマ**参照				
クロック出力／ブザー出力			動作可能				
10ビットA/Dコンバータ							
24ビットΔΣA/Dコンバータ							
温度センサ2							
シリアル・アレイ・ユニット（SAU）							
IrDA							
シリアル・インターフェイス（IICA）							
LCDコントローラ／ドライバ							
データ・トランスファ・コントローラ（DTC）							
イベント・リンク・コントローラ（ELC）			動作可能な機能ブロック間のリンクが可能				
32ビット積和演算器			動作禁止				
AES			動作可能				
パワーオン・リセット機能							
RTCパワーオン・リセット機能							
電圧検出機能	内部V_{DD}						
	V_{DD}, VBAT, VRTC, EXLVD端子電圧						
外部割り込み	INTP0-INTP7						
	RTCIC0-RTCIC2						

（備考は次ページにあります。）

表26－1　HALTモード時の動作状態（2/4）

項目 ＼ HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時				
		高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時	PLLクロック（f_{PLL}）でCPU動作時
キー割り込み機能		動作可能				
CRC演算機能	高速CRC	RAM領域の演算で，DTC実行時は動作可能				
	汎用CRC					
不正メモリ・アクセス検出機能		動作停止（DTC実行時は動作可能）				
RAMパリティ・エラー検出機能						
RAMガード機能						
SFRガード機能						

備考　動作停止：HALTモード移行時に自動的に動作停止

動作禁止：HALTモード移行前に動作を停止させる

f_{IH}：　高速オンチップ・オシレータ・クロック

f_{IM}：　中速オンチップ・オシレータ・クロック

f_{EX}：　外部メイン・システム・クロック

f_{EXS}：　外部サブシステム・クロック

f_{IL}：　低速オンチップ・オシレータ・クロック

f_{PLL}：　PLLクロック

f_X：　X1クロック

f_{XT}：　XT1クロック

表26－1　HALTモード時の動作状態（3/4）

項目 ＼ HALTモードの設定			サブシステム・クロックでCPU動作中のHALT命令実行時		
			XT1クロック（f_{XT}）でCPU動作時	外部サブシステム・クロック（f_{EXS}）でCPU動作時	低速オンチップ・オシレータ・クロック（f_{IL}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	f_{IH}	動作禁止		
		f_{IM}			
		f_X			
		f_{EX}			
		f_{PLL}			
	サブシステム・クロック	f_{XT}	動作継続（停止不可） （ただし，RTCPORが発生している場合動作禁止）	動作不可	動作禁止
		f_{EXS}	動作不可	動作継続（停止不可） （ただし，RTCPORが発生している場合動作禁止）	動作禁止
	低速オンチップ・オシレータ・クロック	f_{IL}	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給オプション制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1：発振 （サブ・クロック（f_{SX}）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止		動作継続（停止不可）
CPU			動作停止		
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM			動作停止（DTC実行時は動作可能）		
ポート（ラッチ）			HALTモード設定前の状態を保持（ただし，DTCによるポートレジスタ書き換えによりポートの設定変更可能）		
タイマ・アレイ・ユニット			RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
独立電源RTC			動作可能（ただし，RTCPORが発生している場合動作停止）		
周波数測定機能			動作禁止		
高速オンチップ・オシレータ・クロック周波数補正機能					
発振停止検出					
バッテリ・バックアップ機能			動作可能		
12ビット・インターバル・タイマ					
8ビット・インターバル・タイマ					
ウォッチドッグ・タイマ			**第14章　ウォッチドッグ・タイマ**参照		
クロック出力／ブザー出力			カウント・クロックにサブ・クロック選択時のみ動作可能		
10ビットA/Dコンバータ			動作禁止		
24ビットΔΣA/Dコンバータ					
温度センサ2					
シリアル・アレイ・ユニット（SAU）			RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
IrDA			動作禁止		
シリアル・インターフェイス（IICA）					
LCDコントローラ／ドライバ			動作可能（ただし，LCDソース・クロックとして選択したクロックの状態にしたがう（選択クロックが動作中なら動作可能，停止中なら動作停止））		
データ・トランスファ・コントローラ（DTC）			RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
イベント・リンク・コントローラ（ELC）			動作可能な機能ブロック間のリンクが可能		
32ビット積和演算器			動作禁止		

（備考は次ページにあります。）

表26－1　HALTモード時の動作状態（4/4）

項目 ＼ HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック（f_{XT}）でCPU動作時	外部サブシステム・クロック（f_{EXS}）でCPU動作時	低速オンチップ・オシレータ・クロック（f_{IL}）でCPU動作時
AES		動作可能		
パワーオン・リセット機能				
RTC パワーオン・リセット機能				
電圧検出機能	内部V_{DD}			
	V_{DD}, VBAT, VRTC, EXLVD端子電圧			
外部割り込み	INTP0-INTP7			
	RTCIC0-RTCIC2			
キー割り込み機能				
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で，DTC実行時は動作可能		
不正メモリ・アクセス検出機能		DTC実行時は動作可能		
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				

備考　動作停止：HALTモード移行時に自動的に動作停止

動作禁止：HALTモード移行前に動作を停止させる

f_{IH}：　高速オンチップ・オシレータ・クロック

f_{IM}：　中速オンチップ・オシレータ・クロック

f_{EX}：　外部メイン・システム・クロック

f_{EXS}：　外部サブシステム・クロック

f_{IL}：　低速オンチップ・オシレータ・クロック

f_X：　X1クロック

f_{XT}：　XT1クロック

f_{PLL}：　PLLクロック周波数

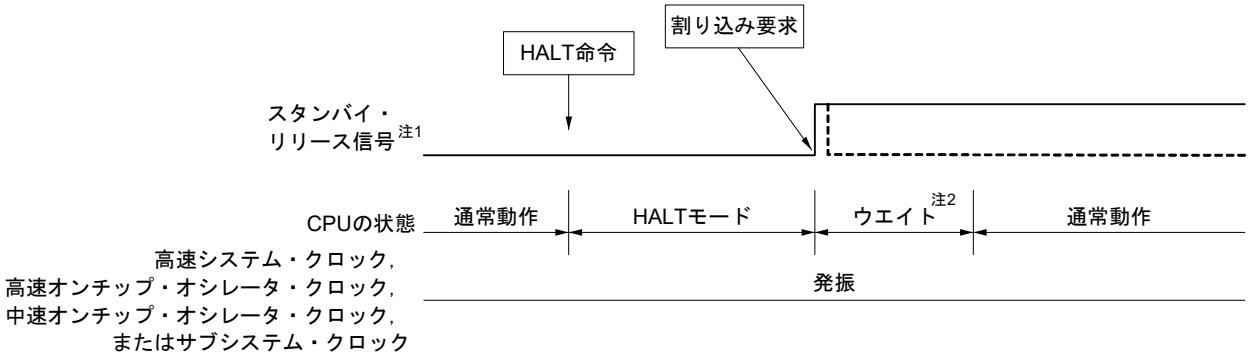
（2）HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図26－1　HALTモードの割り込み要求発生による解除



注 1.　スタンバイ・リリース信号に関しての詳細は，**図24－1　割り込み機能の基本構成**を参照してください。

2.　HALTモード解除のウエイト時間

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時	：15～16クロック
サブシステム・クロック時（RTCLPC = 0）	：10～11クロック
サブシステム・クロック時（RTCLPC = 1）	：11～12クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時	：9～10クロック
サブシステム・クロック時（RTCLPC = 0）	：4～5クロック
サブシステム・クロック時（RTCLPC = 1）	：5～6クロック

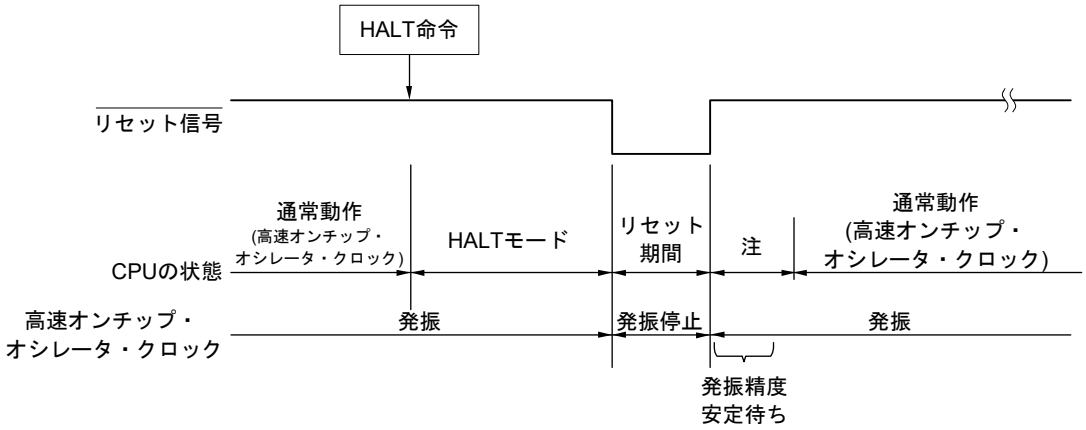
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生による解除

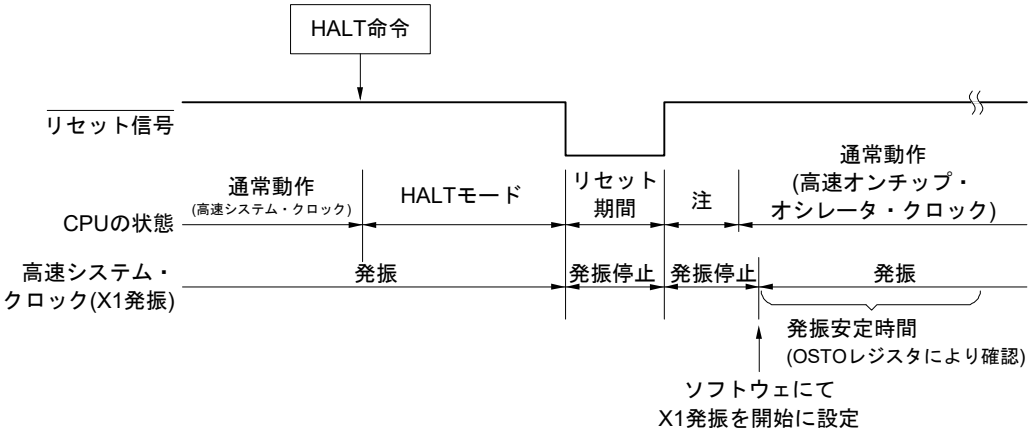
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図26－2　HALTモードのリセットによる解除（1/2）

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



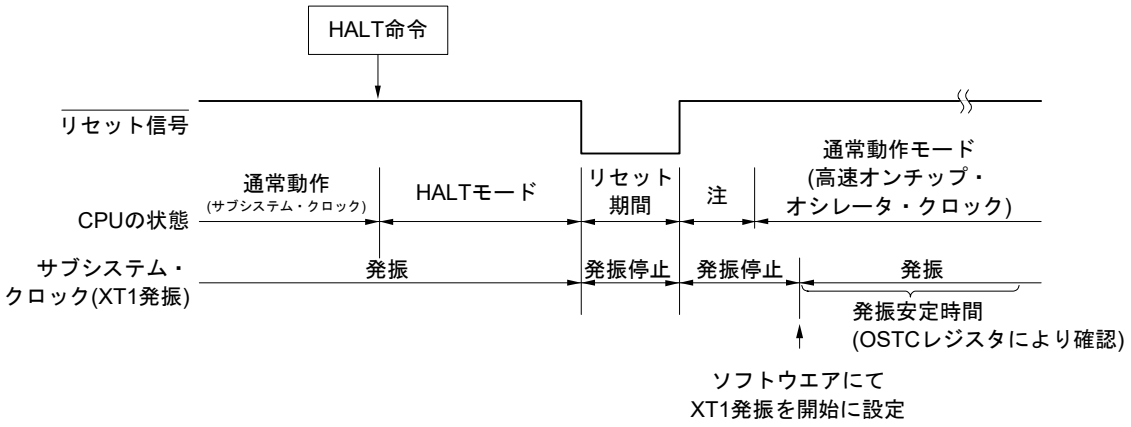
（2）CPUクロックが高速システム・クロックの場合



注　リセット処理時間は，**第27章　リセット機能**を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，**第28章　パワーオン・リセット回路**を参照してください。

図26－2　HALTモードのリセットによる解除（2/2）

（3）CPUクロックがサブシステム・クロックの場合



注　リセット処理時間は，**第27章　リセット機能**を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，**第28章　パワーオン・リセット回路**を参照してください。

26. 3. 2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロック（PLLを除く）の場合のみ設定可能です。

注意　割り込みマスク・フラグが“0”（割り込み処理許可）かつ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合，STOPモードの解除に割り込み要求信号が用いられるため，その状況でSTOP命令を実行すると，いったんSTOPモードに入ってただちに解除されます。
したがって，STOP命令実行後，STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表26－2　STOPモード時の動作状態（1/2）

項目 ＼ STOPモードの設定			メイン・システム・クロックでCPU動作中のSTOP命令実行時			
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
	メイン・システム・クロック	f_{IH}	停止			
		f_{IM}				
		f_X				
		f_{EX}				
		f_{PLL}				
	サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続（ただし，RTCPORが発生している場合動作禁止）			
		f_{EXS}				
	低速オンチップ・オシレータ・クロック	f_{IL}	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給オプション制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 （サブ・クロック（f_{SX}）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止			
CPU			動作停止			
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ			動作停止（DataFlashのプログラミング時には，STOP命令は実行不可）			
RAM			動作停止			
ポート（ラッチ）			STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット			動作禁止			
独立電源RTC			動作可能（ただし，RTCPORが発生している場合動作停止）			
周波数測定機能			動作禁止			
高速オンチップ・オシレータ・クロック周波数補正機能						
発振停止検出			f_{IL}が発振している場合のみ動作可能			
バッテリ・バックアップ機能			動作可能			
12ビット・インターバル・タイマ						
8ビット・インターバル・タイマ						
ウォッチドッグ・タイマ			**第14章　ウォッチドッグ・タイマ**参照			
クロック出力／ブザー出力			カウント・クロックにサブ・クロック選択時のみ動作可能			
10ビットA/Dコンバータ			ウエイク・アップ動作可能（SNOOZEモードへ移行）			
24ビットΔΣA/Dコンバータ			動作禁止			
温度センサ2						
シリアル・アレイ・ユニット（SAU）			CSI00, UART0のみウエイク・アップ動作可能（SNOOZEモードへ移行） CSI00, UART0以外は動作禁止			
IrDA			動作禁止			
シリアル・インターフェイス（IICA）			アドレス一致によるウエイク・アップ動作可能			
LCDコントローラ／ドライバ			動作可能（ただし，LCDソース・クロックとして選択したクロックの状態にしたがう（選択クロックが動作中なら動作可能，停止中なら動作停止））			
データ・トランスファ・コントローラ（DTC）			動作可能			
イベント・リンク・コントローラ（ELC）			動作可能な機能ブロック間のリンクが可能			
32ビット積和演算器			動作禁止			
AES						

（備考は次ページにあります。）

表26－2　STOPモード時の動作状態（2/2）

<table>
<tr><th colspan="2" rowspan="2">STOPモードの設定
項目</th><th colspan="4">メイン・システム・クロックでCPU動作中のSTOP命令実行時</th></tr>
<tr><th>高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時</th><th>中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時</th><th>X1クロック（f_X）でCPU動作時</th><th>外部メイン・システム・クロック（f_{EX}）でCPU動作時</th></tr>
<tr><td colspan="2">パワーオン・リセット機能</td><td colspan="4" rowspan="7">動作可能</td></tr>
<tr><td colspan="2">RTCパワーオン・リセット機能</td></tr>
<tr><td rowspan="2">電圧検出機能</td><td>内部V_{DD}</td></tr>
<tr><td>V_{DD}, VBAT, VRTC, EXLVD端子電圧</td></tr>
<tr><td rowspan="2">外部割り込み</td><td>INTP0-INTP7</td></tr>
<tr><td>RTCIC0-RTCIC2</td></tr>
<tr><td colspan="2">キー割り込み機能</td></tr>
<tr><td rowspan="2">CRC演算機能</td><td>高速CRC</td><td colspan="4" rowspan="6">動作停止</td></tr>
<tr><td>汎用CRC</td></tr>
<tr><td colspan="2">不正メモリ・アクセス検出機能</td></tr>
<tr><td colspan="2">RAMパリティ・エラー検出機能</td></tr>
<tr><td colspan="2">RAMガード機能</td></tr>
<tr><td colspan="2">SFRガード機能</td></tr>
</table>

備考　動作停止：STOPモード移行時に自動的に動作停止

動作禁止：STOPモード移行前に動作を停止させる

f_{IH}：　高速オンチップ・オシレータ・クロック

f_{IM}：　中速オンチップ・オシレータ・クロック

f_{EX}：　外部メイン・システム・クロック

f_{EXS}：　外部サブシステム・クロック

f_{IL}：　低速オンチップ・オシレータ・クロック

f_X：　X1クロック

f_{XT}：　XT1クロック

f_{PLL}：　PLLクロック周波数

（2）STOPモードの解除

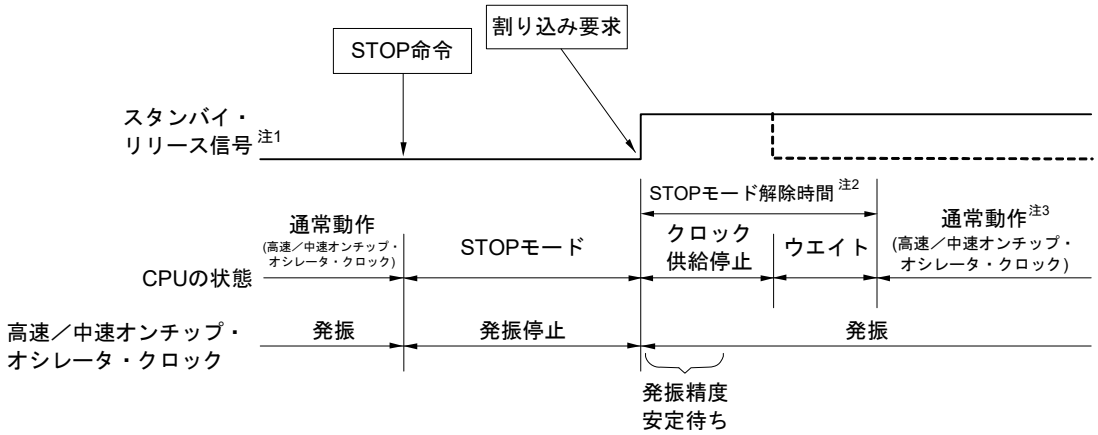
STOPモードは，次の2種類のソースによって解除することができます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図26－3　STOPモードの割り込み要求発生による解除（1/2）

（1）CPUクロックが高速／中速オンチップ・オシレータ・クロック



注1.　スタンバイ・リリース信号に関しての詳細は，**図24－1　割り込み機能の基本構成**を参照してください。

2.　STOPモード解除時間

クロック供給停止：

高速オンチップ・オシレータ・クロックの場合：18 μs～65 μs

中速オンチップ・オシレータ・クロックの場合：22 μs～31 μs（HSモード）

～3.4 μs（LSモード，4 MHz動作時）

～4.2 μs（LSモード，2 MHz動作時）

～5.9 μs（LSモード，1 MHz動作時）

～5.9 μs（LPモード，1 MHz動作時）

ウエイト：

（高速／中速オンチップ・オシレータ・クロック共通）

・ベクタ割り込み処理を行う場合　　：7クロック

・ベクタ割り込み処理を行わない場合　：1クロック

3.　中速オンチップ・オシレータ・クロックでSTOPモードから通常動作に遷移後，CPU／周辺ハードウエア・クロック（f_{CLK}）を高速オンチップ・オシレータ・クロックに切り替える場合は，ソフトウエアで以下の時間が経過した後に切り替えてください。

HSモード時：24 μs

LSモード時：10 μs

LPモード時：7 μs

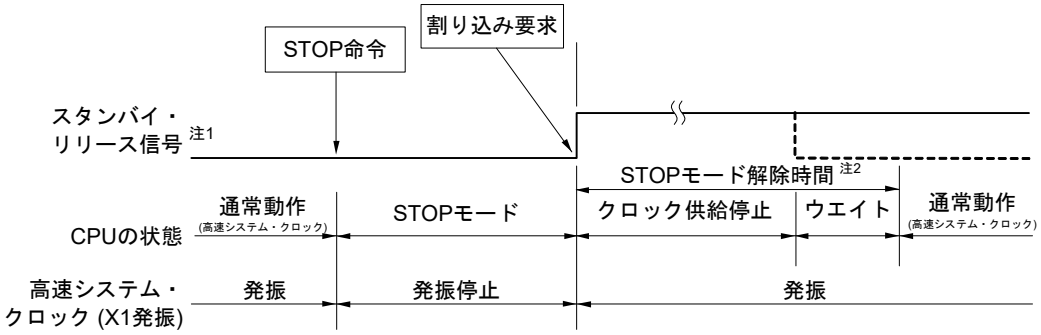
注意　高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

2.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図26－3　STOPモードの割り込み要求発生による解除（2/2）

（2）CPUクロックが高速システム・クロック（X1発振）の場合



注1.　スタンバイ・リリース信号に関しての詳細は，**図24－1　割り込み機能の基本構成**を参照してください。

2.　STOPモード解除時間

クロック供給停止：

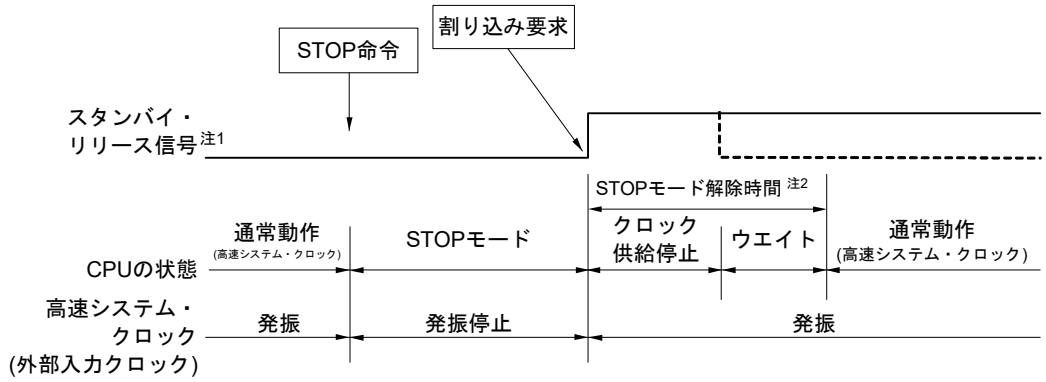
18 μs～65 μsまたは発振安定時間（OSTSで設定）の長い方

ウエイト：

・ベクタ割り込み処理を行う場合　　：10～11クロック

・ベクタ割り込み処理を行わない場合　：4～5クロック

（3）CPUクロックが高速システム・クロック（外部クロック入力）の場合



注1.　スタンバイ・リリース信号に関しての詳細は，**図24－1　割り込み機能の基本構成**を参照してください。

2.　STOPモード解除時間

クロック供給停止：

18 μs～65 μs

ウエイト：

・ベクタ割り込み処理を行う場合　　：7クロック

・ベクタ割り込み処理を行わない場合　：1クロック

注意　高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

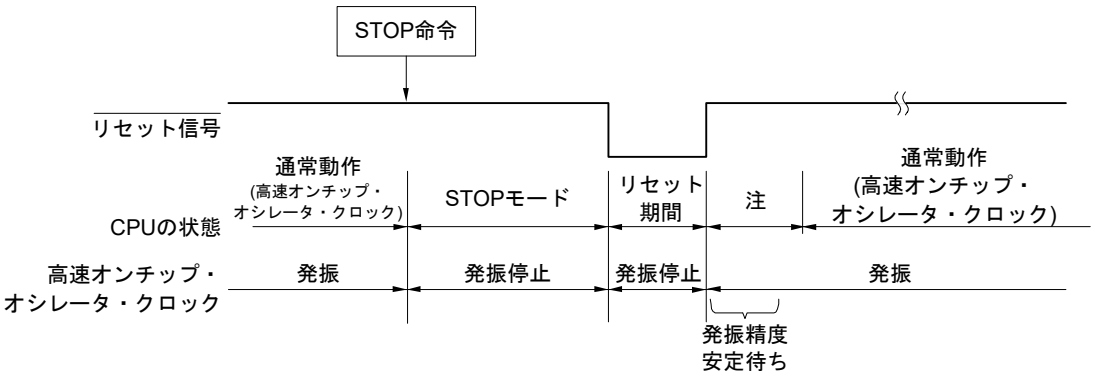
2.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生による解除

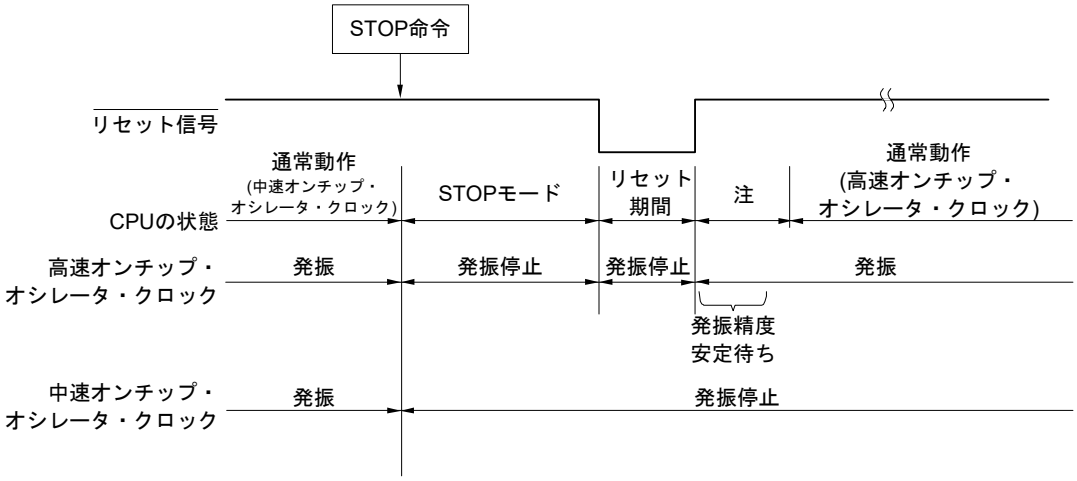
リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図26－4　STOPモードのリセットによる解除

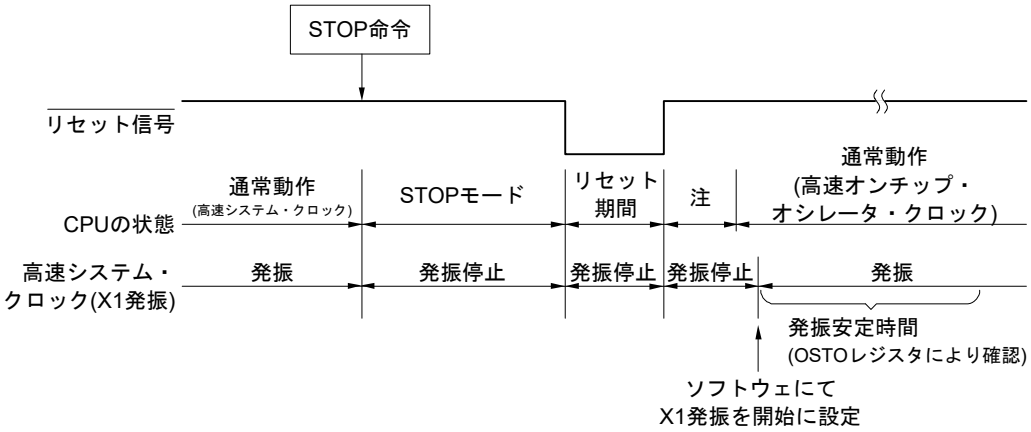
（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



（2）CPUクロックが中速オンチップ・オシレータ・クロックの場合



（3）CPUクロックが高速システム・クロックの場合



注　リセット処理時間は，**第27章　リセット機能**を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，**第28章　パワーオン・リセット回路**を参照してください。

26. 3. 3　SNOOZEモード

（1）SNOOZEモードの設定および動作状態

CSI0または，A/Dコンバータまたは，DTCが設定可能です。UART0のみ設定可能です。また，設定前のCPUクロックが，高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合，設定可能です注。

CSI0，UART0をSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタm（SSCm）をSTOPモードに移行前に設定してください。詳細は，**18. 3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

A/DコンバータをSNOOZEモードで使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，**15. 3　A/Dコンバータを制御するレジスタ**を参照してください。

DTC転送をSNOOZEモードで使用する場合は，STOPモードに移行する前に，使用するDTC起動要因を許可してください。STOPモード中に，許可したDTC起動要因を検出すると自動的にSNOOZEモードに遷移します。詳細は，**22. 3　DTCを制御するレジスタ**を参照してください。

注　UART受信を使用してSTOPモードからSNOOZEモードへ遷移する場合，高速オンチップ・オシレータを使用してください。

SNOOZEモードの移行では，次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間：

高速オンチップ・オシレータ・クロックの場合　：18 μs～65 μs

中速オンチップ・オシレータ・クロックの場合　：22 μs～31 μs（HSモード）
～3.4 μs（LSモード，4 MHz動作時）
～4.2 μs（LSモード，2 MHz動作時）
～5.9 μs（LSモード，1 MHz動作時）
～5.9 μs（LPモード，1 MHz動作時）

備考　STOPモード→SNOOZEモードの遷移時間は，温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

高速オンチップ・オシレータ・クロックの場合：

・ベクタ割り込み処理を行う場合

HS（高速メイン）モード：“5.2～9.4 μs” + 7クロック

LS（低速メイン）モード：“1.3～4.5 μs” + 7クロック

LV（低電圧メイン）モード：“17.5～25.2 μs” + 7クロック

・ベクタ割り込み処理を行わない場合

HS（高速メイン）モード：“5.2～9.4 μs” + 1クロック

LS（低速メイン）モード：“1.3～4.5 μs” + 1クロック

LV（低電圧メイン）モード：“17.5～25.2 μs” + 1クロック

中速オンチップ・オシレータ・クロックの場合：

・ベクタ割り込み処理を行う場合

HS（高速メイン）モード：“6.0～10.3 μs” + 7クロック

LS（低速メイン）モード：“1.8～4.9 μs” + 7クロック

LP（低電力メイン）モード：“3.8～4.9 μs” + 7クロック

・ベクタ割り込み処理を行わない場合

HS（高速メイン）モード：“6.0～10.3 μs” + 1クロック

LS（低速メイン）モード：“1.8～4.9 μs” + 1クロック

LP（低電力メイン）モード：“3.8～4.9 μs” + 1クロック

次にSNOOZEモード時の動作状態を示します。

表26－3　SNOOZEモード時の動作状態（1/2）

項目 ＼ STOPモードの設定		STOPモード中にCSI0, UART0のデータ受信信号，A/Dコンバータのタイマ・トリガ信号入力，DTC起動要因発生時	
		高速オンチップ・オシレータ・クロック（f_{IH}）でのCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でのCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f_{IH}	動作開始	停止
	f_{IM}	停止	動作開始
	f_X	停止	
	f_{EX}		
	f_{PLL}		
サブシステム・クロック	f_{XT}	STOPモード中の状態を継続（ただし，RTCPORが発生している場合動作禁止）	
	f_{EXS}		
低速オンチップ・オシレータ・クロック	f_{IL}	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給オプション制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 （サブ・クロック（f_{SX}）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止	
CPU		動作停止	
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM		動作停止（DTC実行時は動作可能 ）	
ポート（ラッチ）		STOPモード中の状態を継続	
タイマ・アレイ・ユニット		動作禁止	
独立電源RTC		動作可能（ただし，RTCPORが発生している場合動作停止）	
周波数測定機能		動作禁止	
高速オンチップ・オシレータ・クロック周波数補正機能			
発振停止検出		f_{IL}が発振している場合のみ動作可能	
バッテリ・バックアップ機能		動作可能	
12ビット・インターバル・タイマ			
8ビット・インターバル・タイマ			
ウォッチドッグ・タイマ		**第14章　ウォッチドッグ・タイマ**参照	
クロック出力／ブザー出力		カウント・クロックにサブ・クロック選択時のみ動作可能	
10ビットA/Dコンバータ		動作可能	
24ビットΔΣA/Dコンバータ		動作禁止	
温度センサ2			
シリアル・アレイ・ユニット（SAU）		CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止	
IrDA		動作禁止	
シリアル・インターフェイス（IICA）			
LCDコントローラ／ドライバ		動作可能（ただし，LCDソース・クロックとして選択したクロックの状態にしたがう（選択クロックが動作中なら動作可能，停止中なら動作停止））	
データ・トランスファ・コントローラ（DTC）		動作可能	
イベント・リンク・コントローラ（ELC）		動作可能な機能ブロック間のリンクが可能	
32ビット積和演算		動作禁止	
AES			
パワーオン・リセット機能		動作可能	
RTCパワーオン・リセット機能			
電圧検出機能	内部V_{DD}		
	V_{DD}, VBAT, VRTC, EXLVD端子電圧		
外部割り込み			

（備考は次ページにあります。）

表26－3　SNOOZEモード時の動作状態（2/2）

STOPモードの設定 ＼ 項目		STOPモード中にCSI0, UART0のデータ受信信号，A/Dコンバータのタイマ・トリガ信号入力，DTC起動要因発生時	
		高速オンチップ・オシレータ・クロック（f_{IH}）でのCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でのCPU動作時
タンパ検出（RTCICn）		動作可能	
キー割り込み機能			
CRC演算機能	高速CRC	動作停止	
	汎用CRC		
不正メモリ・アクセス検出機能		DTC実行時は動作可能	
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

備考　動作停止：STOPモード移行時に自動的に動作停止

動作禁止：STOPモード移行前に動作を停止させる

f_{IH}：　高速オンチップ・オシレータ・クロック

f_{IM}：　中速オンチップ・オシレータ・クロック

f_{EX}：　外部メイン・システム・クロック

f_{EXS}：　外部サブシステム・クロック

f_{PLL}：　PLLクロック周波数

f_{IL}：　低速オンチップ・オシレータ・クロック

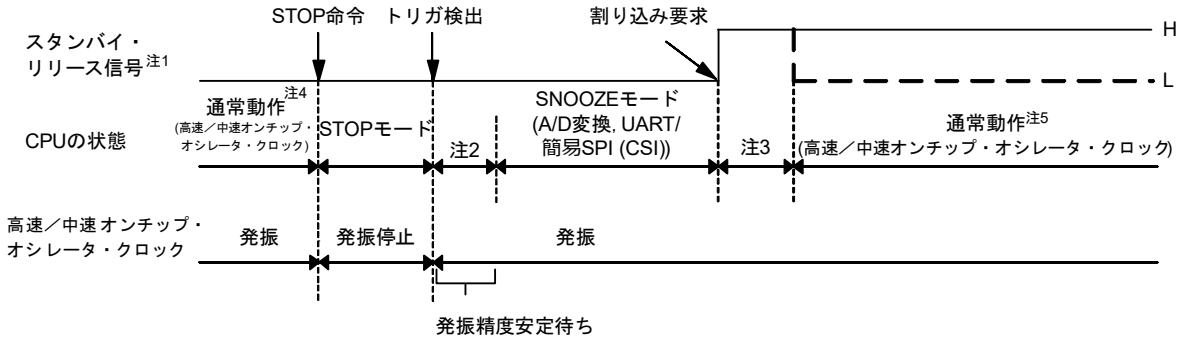
f_X：　X1クロック

f_{XT}：　XT1クロック

f_{SX}：　サブ・クロック

（2）SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図26－5　SNOOZEモードの割り込み要求が発生する場合



注 1. スタンバイ・リリース信号に関しての詳細は，**図24－1　割り込み機能の基本構成**を参照してください。

2. STOPモード→SNOOZEモードの遷移時間

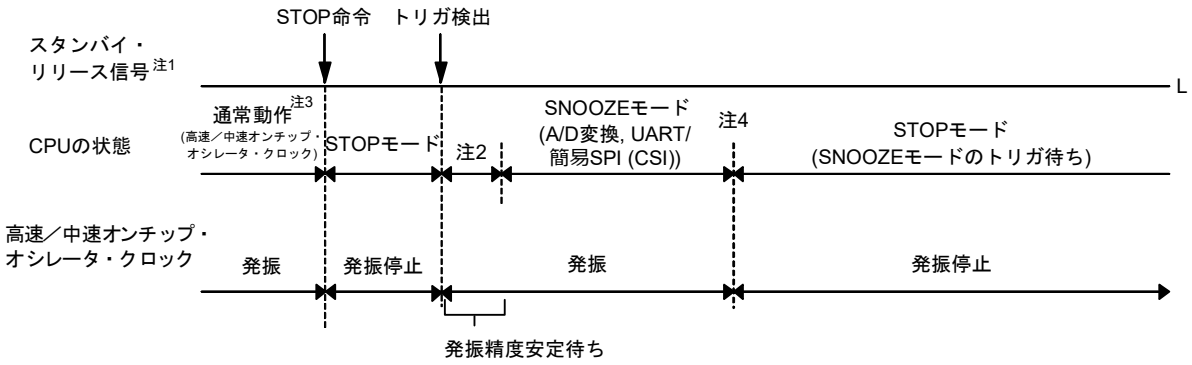
3. SNOOZEモード→通常動作の遷移時間

4. STOPモードへ移行する直前に，SNOOZEモード許可（AWC = 1/SWC = 1）に設定してください。

5. 通常動作に復帰後すぐに，必ずSNOOZEモード解除（AWC = 0/SWC = 0）に設定してください。

（3）SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図26－6　SNOOZEモードの割り込み要求が発生しない場合



注 1. スタンバイ・リリース信号に関しての詳細は，**図24－1　割り込み機能の基本構成**を参照してください。

2. STOPモード→SNOOZEモードの遷移時間

3. STOPモードへ移行する直前に，SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。

4. SNOOZEモードからSTOPモードへ移行するタイミングでSNOOZEモードに設定した機能以外の割り込みによるスタンバイ・リリース信号が発生した場合，CPU動作開始から15 μs (max.)の間，高速オンチップ・オシレータの周波数が遅くなる可能性があります。スタンバイ解除直後に電気的特性に示す周波数精度が必要な場合は，CPUクロック周波数で15 μs相当分ウエイトしてください。

備考　SNOOZEモード機能の詳細は，**第15章　A/Dコンバータ**，**第18章　シリアル・アレイ・ユニット**を参照してください。

第27章　リセット機能

リセット信号を発生させる方法には，次の8種類があります。

(1) $\overline{\text{RESET}}$端子による外部リセット入力
(2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
(3) パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット注1
(4) 電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
(5) 不正命令の実行による内部リセット注2
(6) RAMパリティ・エラーによる内部リセット
(7) 不正メモリ・アクセスによる内部リセット
(8) RTCパワーオン・リセット（RTCPOR)回路の電源電圧と検出電圧との比較によるRTCおよびXT1発振回路のリセット

外部リセットと内部リセットは同様に，リセット信号の発生により，0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR回路，LVD回路の電圧検出，不正命令の実行注2，RAMパリティ・エラーの発生，または不正メモリ・アクセスにより，リセットがかかり，各ハードウエアは表27－1に示すような状態になります。

尚，RTCパワーオン・リセット(RTCPOR)により，RTCおよびXT1発振回路にリセットがかかります。

注 1. (3) パワーオン・リセットによるリセット期間中も，RTCパワーオンリセットが発生していない場合，独立電源RTCおよびXT1発振回路は動作可能です。

2. FFHの命令コードを実行したときに発生します。
このリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

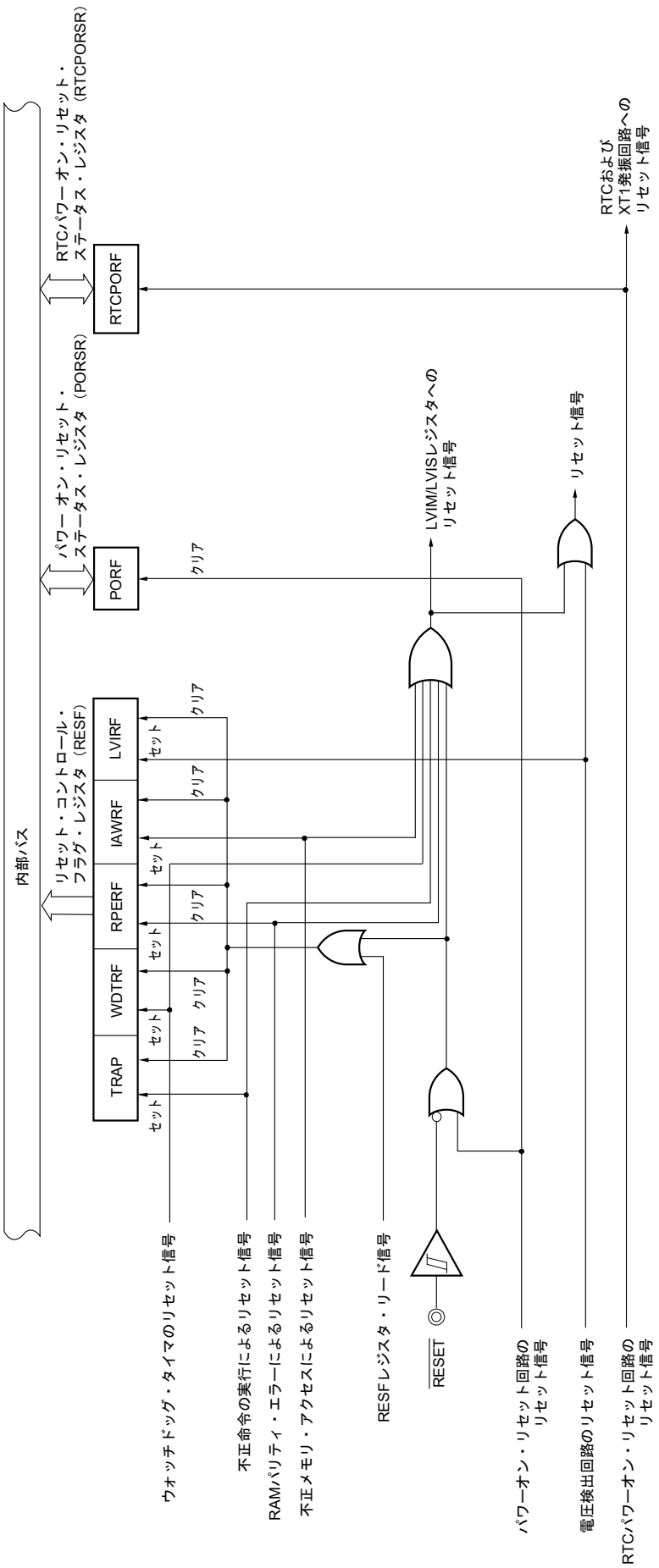
注意1. 外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。
電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，41.4　AC特性参照に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

2. リセット信号発生中では，X1クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。

3. リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子は次の状態になります。
・P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
・P150-P152：リセット期間中及びリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
・P40, P150-P152以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 V_{POR} ：POR電源立ち上がり検出電圧
V_{LVD} ：LVD検出電圧

図27－1　リセット機能のブロック図



注意　LVD回路の内部リセットの場合，LVD回路はリセットされません。

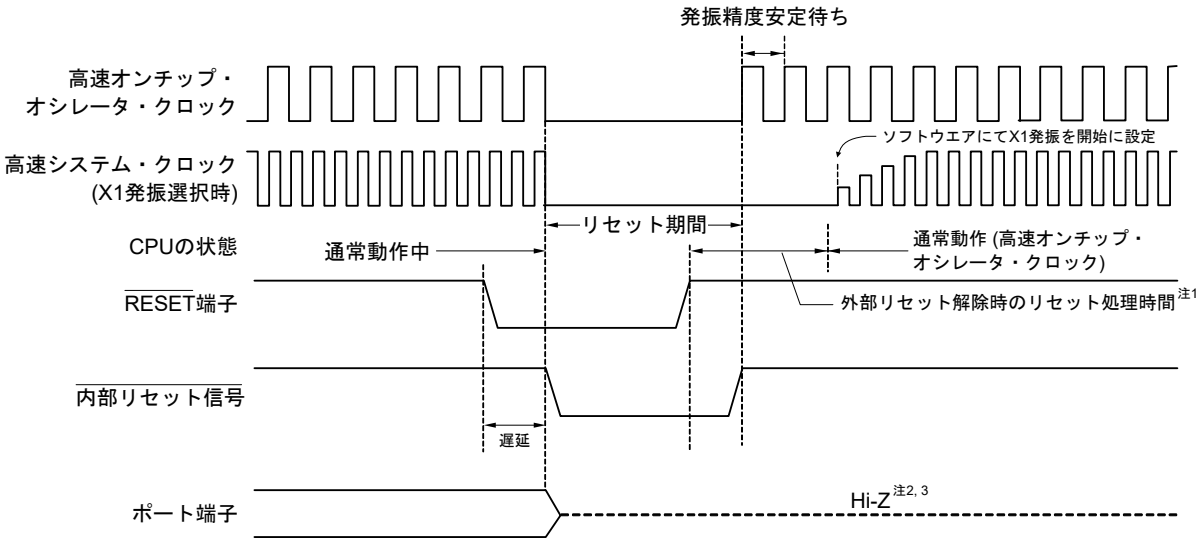
備考1.　LVIM：電圧検出レジスタ

2.　LVIS：電圧検出レベル・レジスタ

27.1　リセット動作のタイミング

$\overline{\text{RESET}}$端子にロウ･レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図27－2　$\overline{\text{RESET}}$入力によるリセット・タイミング

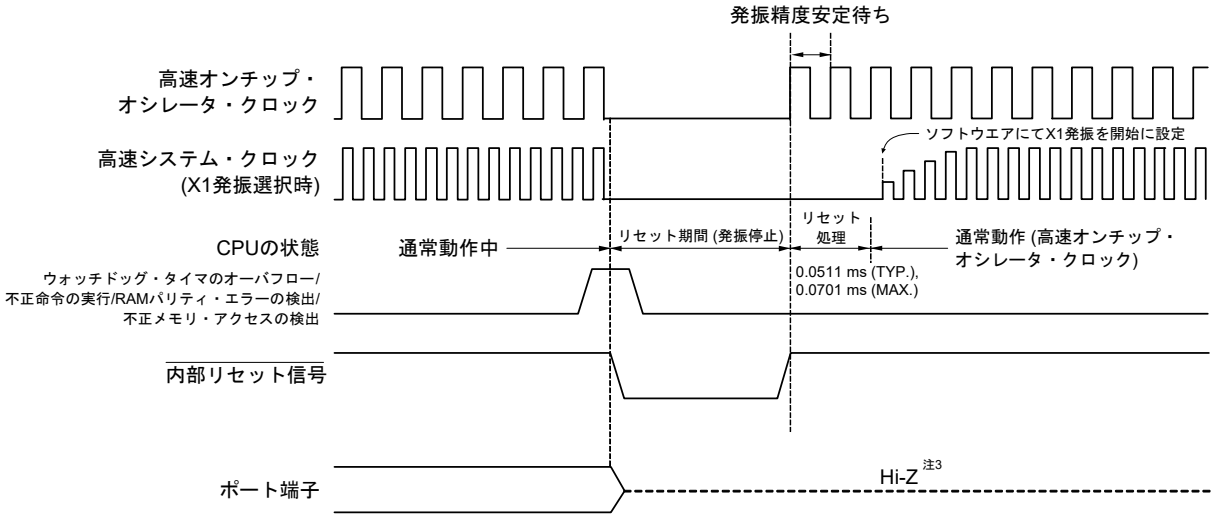


$\overline{\text{RESET}}$端子の入力バッファは，内部V_{DD}に接続されています。バッテリ・バックアップ機能を使用する場合は，選択されている電源ソース(V_{DD}端子またはVBAT端子)の電圧をもとに，信号を入力してください。

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

（注，注意は，次ページにあります。）

図27－3　ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



注1.　リセット処理時間（外部リセット状態を解除する時間）

1回目のPOR解除後　：LVD使用時，0.672 ms (typ.), 0.832 ms (max.)

LVDオフ時，0.399 ms (typ.), 0.519 ms (max.)

2回目のPOR解除後　：LVD使用時，0.531 ms (typ.), 0.675 ms (max.)

LVDオフ時，0.259 ms (typ.), 0.362 ms (max.)

電源立ち上がり時は，外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.)，2.30 ms (MAX.)がかかります。

2.　ポート端子P40は次の状態になります。

・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。

・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

3.　ポート端子P150-P152は次の状態になります。

・リセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

POR回路，LVD回路の電圧検出によるリセットは，リセット後内部V_{DD}≧V_{POR}または内部V_{DD}≧V_{LVD}になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は，**第28章 パワーオン・リセット回路**または**第29章 電圧検出回路**を参照してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{LVD}：LVD検出電圧

27. 2　リセット期間中の動作状態

表27－1にリセット期間中の動作状態を，**表27－2**にリセット受け付け後の各ハードウエアの状態を示します。

表27－1　リセット期間中の動作状態（1/2）

項　　目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_{IM}	動作停止
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
		f_{PLL}	動作停止
	サブシステム・クロック	f_{XT}	RTCPORが発生していない場合，動作可能
		f_{EXS}	RTCPORが発生していない場合，動作可能
	f_{IL}		動作停止
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			動作停止
ポート（ラッチ）	P40		端子リセット，PORリセット以外：プルアップ機能許可 端子リセット，PORリセット：ハイ・インピーダンス
	P150-P152		プルアップ機能許可
	P40, P150-P152以外		ハイ・インピーダンス（貫通電流は流れない）
タイマ・アレイ・ユニット			動作停止
独立電源RTC	RTC時刻キャプチャ機能		PORが発生している場合，動作停止
	RTC時刻キャプチャ機能以外		RTCPORが発生していない場合，動作可能
周波数測定回路			動作停止
高速オンチップ・オシレータ・クロック周波数補正機能			
発振停止検出回路			
バッテリ・バックアップ機能			POR以外：動作可能 POR：動作停止
12ビット・インターバル・タイマ			動作停止
8ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			
クロック出力／ブザー出力			
A/Dコンバータ			
24ビットΔΣA/Dコンバータ			
温度センサ2			
シリアル・アレイ・ユニット（SAU）			
IrDA			
シリアル・インタフェース（IICA）			
LCDコントローラ／ドライバ			
データ・トランスファ・コントローラ（DTC）			
イベントリンクコントローラ（ELC）			
パワーオン・リセット機能			検出動作可能
RTCパワーオン・リセット機能			検出動作可能
電圧検出機能	内部電源電圧(内部V_{DD})		LVDリセット時は動作可能。それ以外のリセット時は動作停止。
	V_{DD}, VBAT, VRTC, EXLVD端子電圧		動作停止

（注，備考は，次ページにあります。）

表27－1　リセット期間中の動作状態（2/2）

項　　目		リセット期間中
外部割り込み	INTPx	動作停止
	RTCICn (n=0-2)	
キー割り込み		
CRC演算機能	高速CRC	
	汎用CRC	
32ビット積和演算回路		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		
AES機能		
タンパ検出		

注　ポート端子P40, P150-P152は次の状態になります。

・P40：　外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内蔵プルアップ抵抗接続）

・P150-P152：　リセット期間中はハイ・レベル（内部プルアップ抵抗接続）

備考　f_{IH}　：高速オンチップ・オシレータ・クロック

f_{IM}　：中速オンチップ・オシレータ・クロック

f_X　：X1発振クロック

f_{EX}　：外部メイン・システム・クロック

f_{XT}　：XT1発振クロック

f_{EXS}　：外部サブシステム・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック

f_{PLL}　：PLLクロック周波数

表27－2　リセット受け付け後の各ハードウェアの状態

ハードウエア		リセット受け付け後の状態[注]
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（0000H，0001H）の内容がセットされる。
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

備考　製品により，搭載している特殊機能レジスタ（SFR：Special Function Register）のリセット受付後の状態は，**3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）**，**3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）**を参照してください。

27. 3　リセット要因を確認するレジスタ

27. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF）

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットおよびRESFレジスタのデータを読み出すことにより，TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図27－4　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　　リセット時：不定[注1]　　R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1.　リセット要因により異なります。**表27－3**を参照してください。

2.　FFHの命令コードを実行したときに発生します。
このリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1.　1ビット・メモリ操作命令でデータを読み出さないでください。

2.　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域 ＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，32 3. 3　RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を**表27－3**に示します。

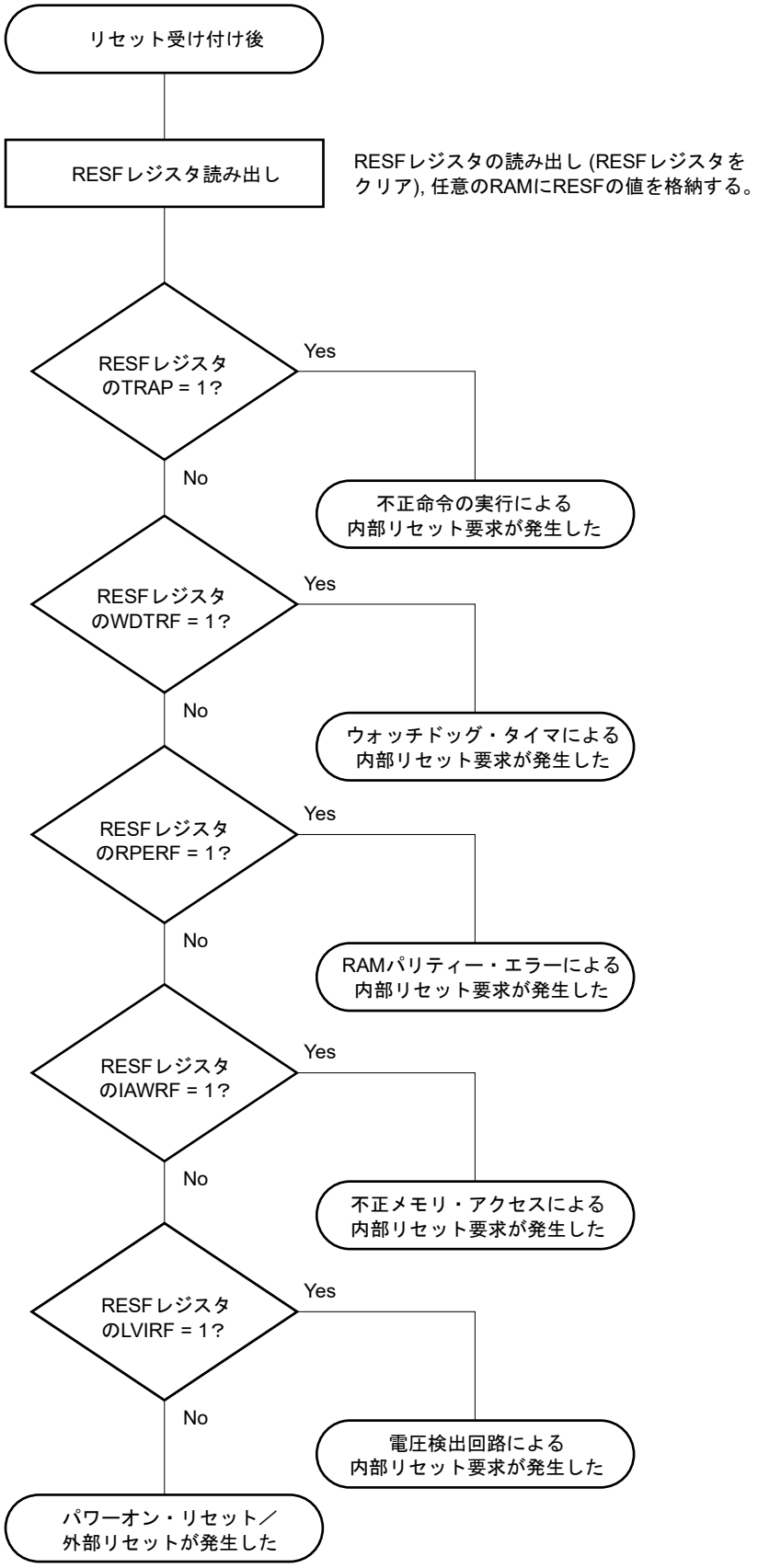
表27－3　リセット要求時のRESFレジスタの状態

<table>
<tr><th>リセット要因
フラグ</th><th>$\overline{\text{RESET}}$入力</th><th>PORによるリセット</th><th>不正命令の実行によるリセット</th><th>WDTによるリセット</th><th>RAMパリティ・エラーによるリセット</th><th>不正メモリ・アクセスによるリセット</th><th>LVDによるリセット</th></tr>
<tr><td>TRAP</td><td rowspan="5">クリア（0）</td><td rowspan="5">クリア（0）</td><td>セット（1）</td><td>保持</td><td rowspan="2">保持</td><td rowspan="3">保持</td><td rowspan="4">保持</td></tr>
<tr><td>WDTRF</td><td rowspan="4">保持</td><td>セット（1）</td></tr>
<tr><td>RPERF</td><td rowspan="3">保持</td><td>セット（1）</td></tr>
<tr><td>IAWRF</td><td rowspan="2">保持</td><td>セット（1）</td></tr>
<tr><td>LVIRF</td><td>保持</td><td>セット（1）</td></tr>
</table>

RESFレジスタは，8ビット・メモリ操作命令で読み出すと，自動的にクリアされます。

リセット要因の手順を**図27－5**に示します

図27－5　リセット要因の確認手順例



27. 3. 2　パワーオン・リセット・ステータス・レジスタ（PORSR）

PORSRレジスタは，パワーオン・リセットの発生を確認するレジスタです。

PORSRレジスタのビット0（PORF）への“1”書き込みは有効であり，“0”書き込みは無視されます。

パワーオン・リセット発生の有無を確認するときは，あらかじめPORFビットに“1”を書き込んでおいてください。

PORSRレジスタは，8ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により，00Hになります。

注意1.　PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します）。

2.　PORFが“1”のとき，パワーオン・リセットが発生していないことは保証されますが，RAMの値が保持されていることを保証するものではありません。

図27－6　パワーオン・リセット・ステータス・レジスタ（PORSR）のフォーマット

アドレス：F00F9H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PORSR	0	0	0	0	0	0	0	PORF

PORF	パワーオン・リセット発生確認
0	“1”書き込みが行われていない，またはパワーオン・リセットが発生
1	パワーオン・リセットは発生していない

27. 3. 3　RTCパワーオン・リセット・ステータス・レジスタ（RTCPORSR）

RTCPORSRレジスタは，RTCパワーオン・リセットの発生を確認するレジスタです。

RTCPORSRレジスタのビット0（RTCPORF）への“1”書き込みは有効であり，“0”書き込みは無視されます。

RTCパワーオン・リセット発生の有無を確認するときは，あらかじめRTCPORFビットに“1”を書き込んでおいてください。

RTCPORSRレジスタは，8ビット・メモリ操作命令で設定します。

RTCPORSRレジスタはVRTC電源で動作します。VRTC電源起動直後は，VRTC端子の電圧検出機能（**29. 3. 5 VRTC端子電圧検出制御レジスタ（LVDVRTC）**参照）を使用して，VRTC端子への電源供給開始を確認してください。

RTCパワーオン・リセット信号の発生により，00Hになります。

注意1.　RTCPORSRレジスタはRTCパワーオン・リセット時のみ初期化され，その他のリセット要因では，値を保持します。

2.　RTCPORSRレジスタはVRTCEN = 1の場合にリード／ライトが可能です。

図27－7　RTCパワーオン・リセット・ステータス・レジスタ（RTCPORSR）のフォーマット

アドレス：F0380H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
RTCPORSR	0	0	0	0	0	0	0	RTCPORF

RTCPORF	RTCパワーオン・リセット発生確認
0	RTCパワーオン・リセット発生を検出
1	RTCパワーオン・リセットは発生していない

27. 3. 4　周辺リセット制御レジスタ0 (PRR0)

PRR0レジスタは，各周辺ハードウェア・マクロに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

図27－8　周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES

PRR0n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考　n = 0, 2 - 6

各ビットの制御対象を以下に示します。

表27－4　PRR0の各ビットにおける制御対象

ビット	ビット名	制御対象
6	IRDARES	IrDA
5	ADCRES	A/Dコンバータ/温度センサ2
4	IICA0RES	シリアル・インタフェースIICA
3	SAU1RES	シリアル・アレイ・ユニット(ユニット1)
2	SAU0RES	シリアル・アレイ・ユニット(ユニット0)
0	TAU0RES	タイマ・アレイ・ユニット

27. 3. 5　周辺リセット制御レジスタ1（PRR1）

PRR1レジスタは，各周辺ハードウェア・マクロに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

図27－9　周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス：F00FBH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR1	0	0	0	0	0	0	0	DSADRES

PRR1n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考　n = 0

各ビットの制御対象を以下に示します。

表27－5　PRR1の各ビットにおける制御対象

ビット	ビット名	制御対象
0	DSADRES	24ビットΔΣA/Dコンバータ

27. 3. 6　周辺リセット制御レジスタ2 (PRR2)

PRR2レジスタは，各周辺ハードウェア・マクロに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

図27－10　周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス：F00FDH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	OSDCRES	0	0	0	MACRES	0	0

PRR2n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考　n = 2, 6, 7

各ビットの制御対象を以下に示します。

表27－6　PRR2の各ビットにおける制御対象

ビット	ビット名	制御対象
7	TMKARES	12ビット・インターバル・タイマ
6	OSDCRES	発振停止検出回路
2	MACRES	32ビット積和演算器

第28章　パワーオン・リセット回路

28. 1　パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
電源電圧（V_{DD}）注が検出電圧（V_{POR}）を越えた場合に，リセットを解除します。ただし，**41. 4　AC特性**に示す動作電圧範囲まで，電圧検出機能か外部リセット端子でリセット状態を保ってください。

・電源電圧（V_{DD}）注と検出電圧（V_{PDR}）を比較し，V_{DD}注＜V_{PDR}になったとき内部リセット信号を発生します。ただし，電源立ち下がり時は，**41. 4　AC特性**に示す動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

注　バッテリ・バックアップ機能を使用時は，内部電源電圧（内部V_{DD}）です。

注意　パワーオン・リセット回路による内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）およびパワーオン・リセット・ステータス・レジスタ（PORSR）がクリア（00H）されます。

備考1.　RL78マイクロコントローラには内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については，**第27章　リセット機能**を参照してください。

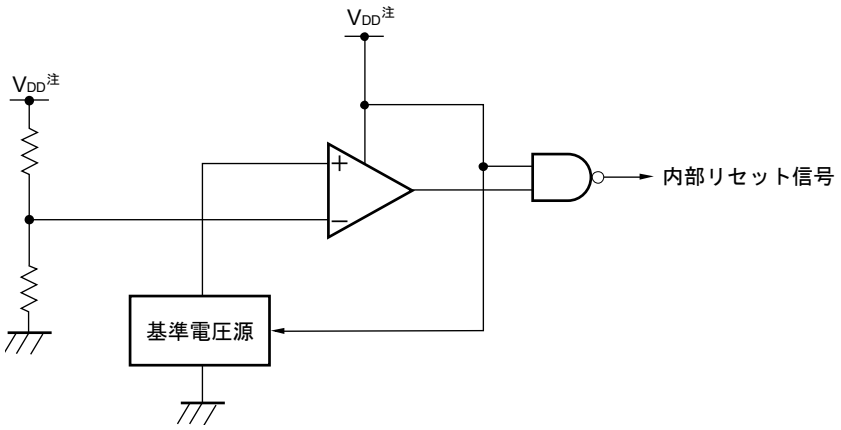
2.　パワーオン・リセット回路による内部リセットの発生は，パワーオン・リセット・ステータス・レジスタ（PORSR）で確認することができます。PORSRレジスタの詳細については，**第27章　リセット機能**を参照してください。

3.　V_{POR}：POR電源立ち上がり検出電圧
V_{PDR}：POR電源立ち下がり検出電圧
詳細は，**41. 6. 4　POR回路特性**を参照してください。

28. 2　パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を**図28－1**に示します。

図28－1　パワーオン・リセット回路のブロック図



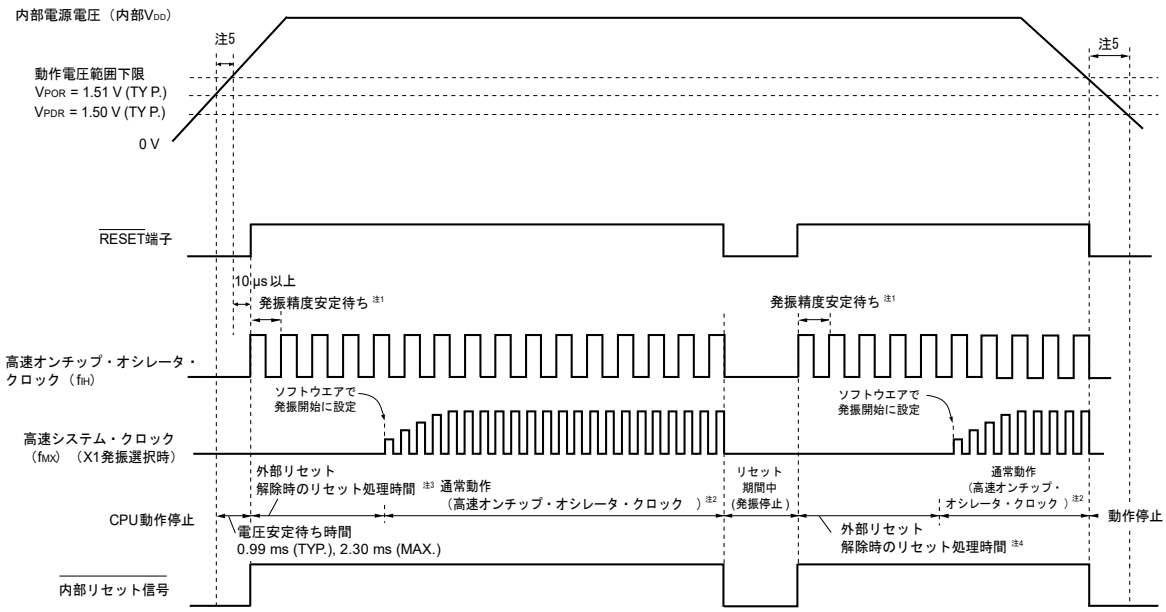
注　バッテリ・バックアップ機能を使用時は，内部電源電圧（内部V_{DD}）です。

28. 3　パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図28－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/3）

（1）$\overline{\text{RESET}}$端子による外部リセット使用時



注 1.　高速オンチップ･オシレータ･クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックに切り替え可能です。

X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。

3.　通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて，$\overline{\text{RESET}}$信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.)（LVD使用時）

0.399 ms (TYP.), 0.519 ms (MAX.)（LVDオフ時）

4.　POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.)（LVD使用時）

0.259 ms (TYP.), 0.362 ms (MAX.)（LVDオフ時）

5.　電源立ち上がり時は，**41. 4　AC特性**に示す動作電圧範囲まで，外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲まで復帰したことを確認してください。

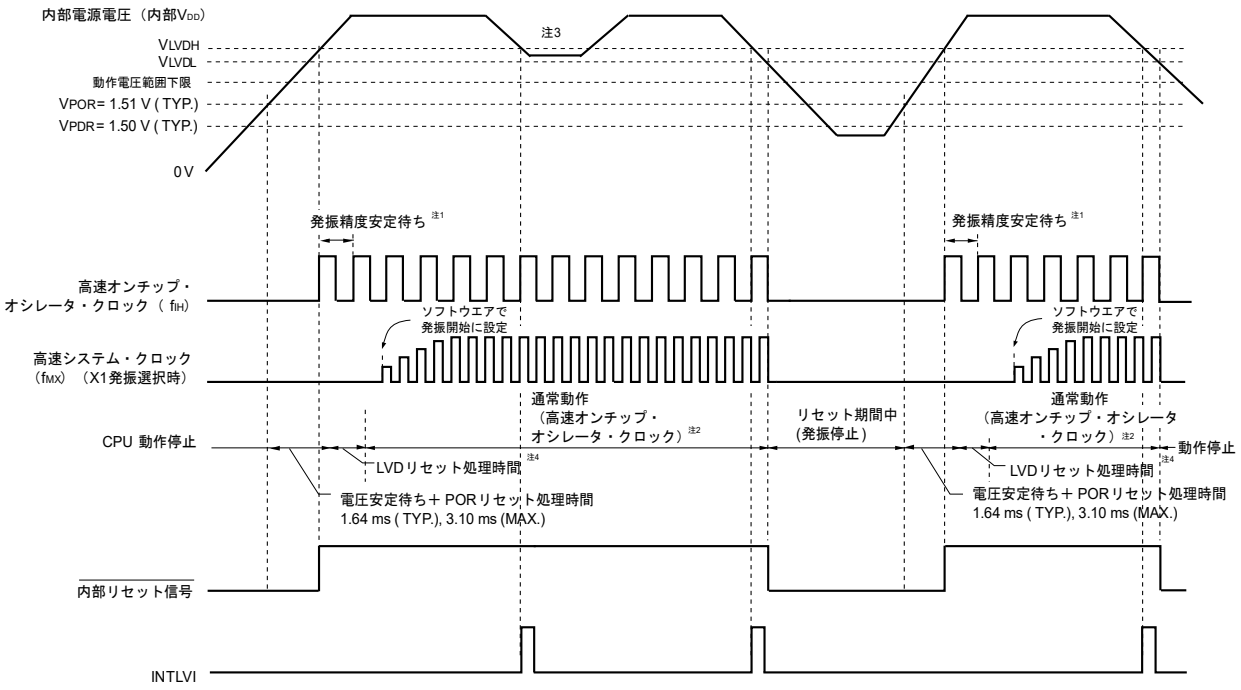
注意 LVDオフ時は必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。詳細は，第29章　電圧検出回路を参照してください。

備考　VPOR　：POR電源立ち上がり検出電圧

VPDR　：POR電源立ち下がり検出電圧

図28－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/3）

（2）LVD割り込み＆リセット・モード時　（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0）



注1.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

3.　割り込み要求信号（INTLVI）が発生したあと，電圧検出レベル・レジスタ（LVIS）のLVILV, LVIMDビットは自動的に1に設定されます。そのため，電源電圧が低電圧検出電圧（V_{LVDL}）を下回らずに，高電圧検出電圧（V_{LVDH}）以上に復帰する場合を考慮して，INTLVI発生後は，“**図29－20　動作電圧確認／リセットの設定手順**”に従って設定をしてください。

4.　通常動作が開始されるまでの時間は，V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて，LVD検出レベル（V_{LVDH}）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：　0 ms　～　0.0701 ms (MAX.)

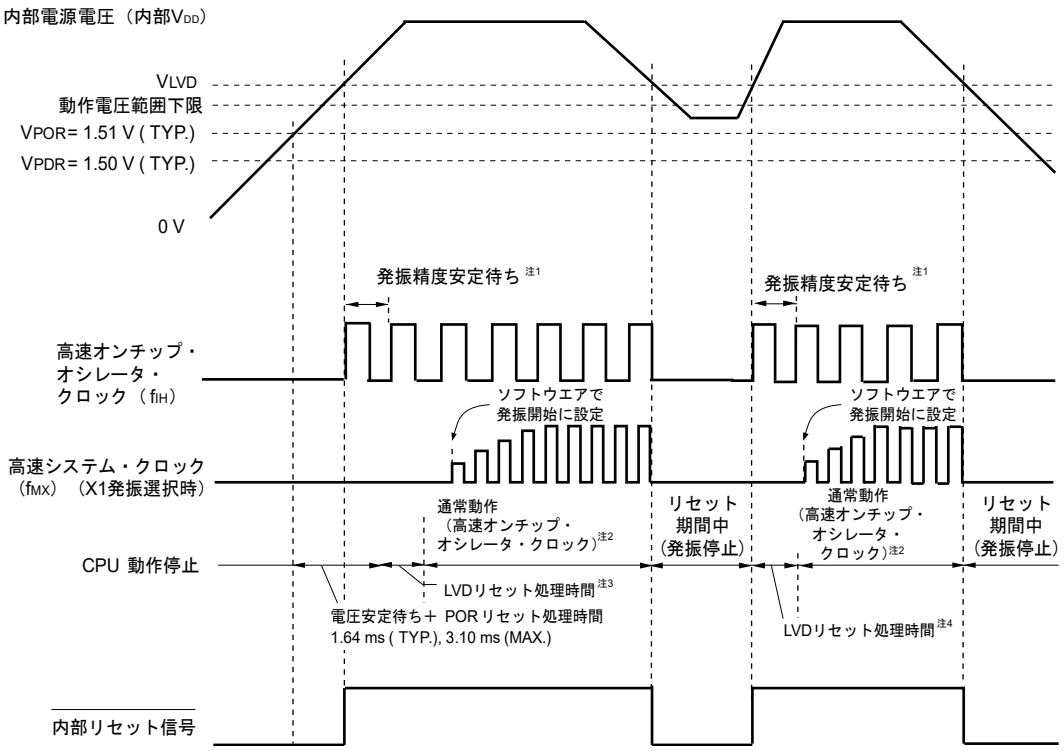
備考　V_{LVDH}, V_{LVDL}　：LVD検出電圧

V_{POR}　：POR電源立ち上がり検出電圧

V_{PDR}　：POR電源立ち下がり検出電圧

図28－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（3/3）

（3）LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

3. 通常動作が開始されるまでの時間は，V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて，LVD検出レベル（V_{LVD}）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0 ms ～ 0.0701 ms (MAX.)

4. 電源電圧降下時，電圧検出回路（LVD）による内部リセットのみ発生後に電源電圧が復帰した場合，LVD検出レベル（V_{LVD}）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. V_{LVDH}, V_{LVDL} ：LVD検出電圧

V_{POR} ：POR電源立ち上がり検出電圧

V_{PDR} ：POR電源立ち下がり検出電圧

2. LVD割り込みモード（オプション・バイト000C1HのLVIMD1，LVIMD0 = 0,1）を選択した場合，電源投入後に通常動作が開始されるまでの時間は，**図28－2（3）LVDリセット・モード時**の“注3”の時間と同じです。

第29章　電圧検出回路

29. 1　電圧検出回路の機能

電圧検出回路は，オプション・バイト（000C1H）で動作モードと検出電圧（V_{LVDH}, V_{LVDL}, V_{LVD}）を設定します。また，検出電圧はLVISレジスタで再設定が可能です。電圧検出（LVD）回路は，次のような機能を持ちます。

・電源電圧（V_{DD}）と検出電圧（V_{LVDH}, V_{LVDL}, V_{LVD}）を比較し，内部リセットまたは内部割り込み信号を発生します。
・電源電圧の検出電圧（V_{LVDH}, V_{LVDL}）は，検出レベルを14段階より選択できます（**29. 3. 2　電圧検出レベル・レジスタ（LVIS）**および**第35章　オプション・バイト**参照）。
・STOPモード時においても動作可能です。
・電源立ち上がり時は，**41. 4　AC特性**に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

（a）割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）
　オプション・バイト000C1Hで2つの検出電圧（V_{LVDH}, V_{LVDL}）を選択します。高電圧検出レベル（V_{LVDH}）はリセット解除用／割り込み発生用として使用します。リセット発生用としても使用します。低電圧検出レベル（V_{LVDL}）はリセット発生用として使用します。
（b）リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）
　オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVD}）を，リセット発生／解除用として使用します。また，検出電圧はLVISレジスタで再設定が可能です。
（c）割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）
　オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVD}）を，割り込み発生／リセット解除用として使用します。また，検出電圧はLVISレジスタで再設定が可能です。

各モードにおける割り込み信号と内部リセット信号は，次のように発生します。

割り込み＆リセット・モード （LVIMDS1, LVIMDS0 = 1, 0）	リセット・モード （LVIMDS1, LVIMDS0 = 1, 1）	割り込みモード （LVIMDS1, LVIMDS0 = 0, 1）
動作電圧降下時に，V_{DD}＜V_{LVDH}を検出して割り込み要求信号を発生，V_{DD}＜V_{LVDL}を検出して内部リセットを発生。 V_{DD}≧V_{LVDH}を検出して内部リセットを解除。	V_{DD}≧V_{LVD}を検出して内部リセットを解除。 V_{DD}＜V_{LVD}を検出して内部リセット発生。	リセット発生直後，LVDの内部リセットはV_{DD}≧V_{LVD}になるまでリセット状態を継続します。 V_{DD}≧V_{LVD}を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は，V_{DD}＜V_{LVD}またはV_{DD}≧V_{LVD}を検出して割り込み要求信号（INTLVI）を発生します。

電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は，**第27章　リセット機能**を参照してください。

また，RL78/I1C製品は，電源端子毎の電圧検出機能を搭載しています。

電圧検出機能動作時は，割り込みまたは電圧検出フラグを読み出す事により，各端子の電源電圧が検出レベル以上かを知る事ができます。

- V_{DD}端子電圧と検出電圧（V_{LVDVDD}）を比較し，V_{DD}端子電圧が電圧検出レベル（V_{LVDVDD}）を下回る遷移が発生した時，またはV_{DD} 端子電圧が電圧検出レベル（V_{LVDVDD}）を上回る遷移が発生した時にワンショットの割込み要求信号（INTLVDVDD）を発生します。
- VBAT端子電圧と検出電圧（$V_{LVDVBAT}$）を比較し，VBAT端子電圧が電圧検出レベル（$V_{LVDVBAT}$）を下回る遷移が発生した時，またはVBAT端子電圧が電圧検出レベル（$V_{LVDVBAT}$）を上回る遷移が発生した時にワンショットの割込み要求信号（INTLVDVBAT）を発生します。
- VRTC端子電圧と検出電圧（$V_{LVDVRTC}$）を比較し，VRTC端子電圧が電圧検出レベル（V_{LVDRTC}）を下回る遷移が発生した時，またはV_{DD}端子電圧が電圧検出レベル（V_{LVDRTC}）を上回る遷移が発生した時にワンショットの割込み要求信号（INTLVDVRTC）を発生します。
- EXLVD端子電圧と検出電圧（$V_{LVDEXLVD}$）を比較し，EXLVD端子電圧が電圧検出レベル（$V_{LVDEXLVD}$）を下回る遷移が発生した時，またはEXLVD端子電圧が電圧検出レベル（$V_{LVDEXLVD}$）を上回る遷移が発生した時にワンショットの割込み要求信号（INTLVDEXLVD）を発生します。

29. 2　電圧検出回路の構成

電圧検出（LVD）回路のブロック図を**図29－1～図29－5**に示します。

図29－1　電圧検出（LVD）回路のブロック図

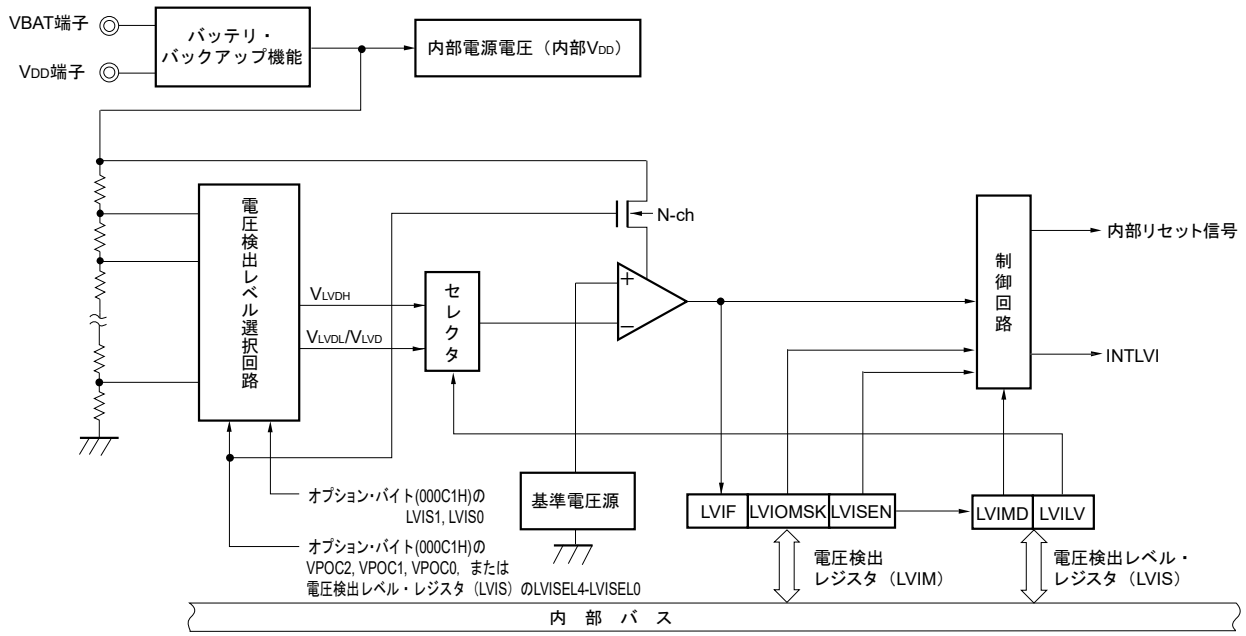


図29－2　VDD端子電圧検出回路のブロック図

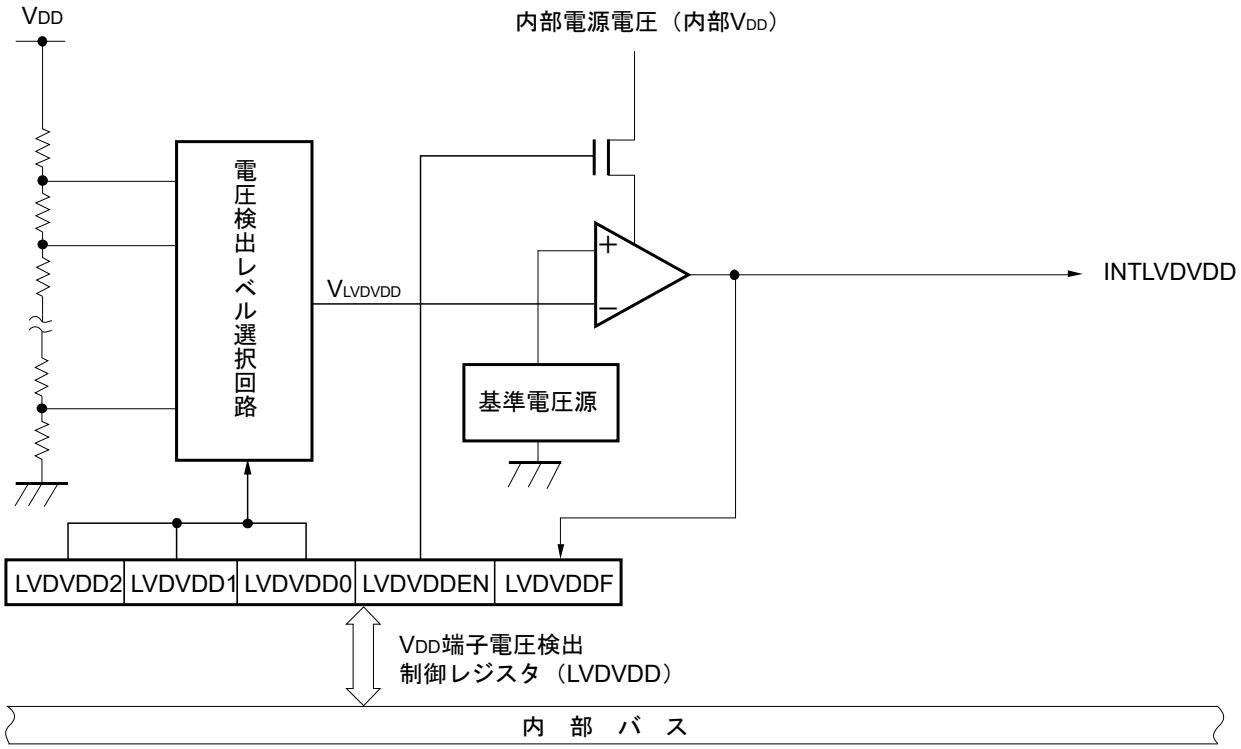


図29－3　VBAT端子電圧検出回路のブロック図

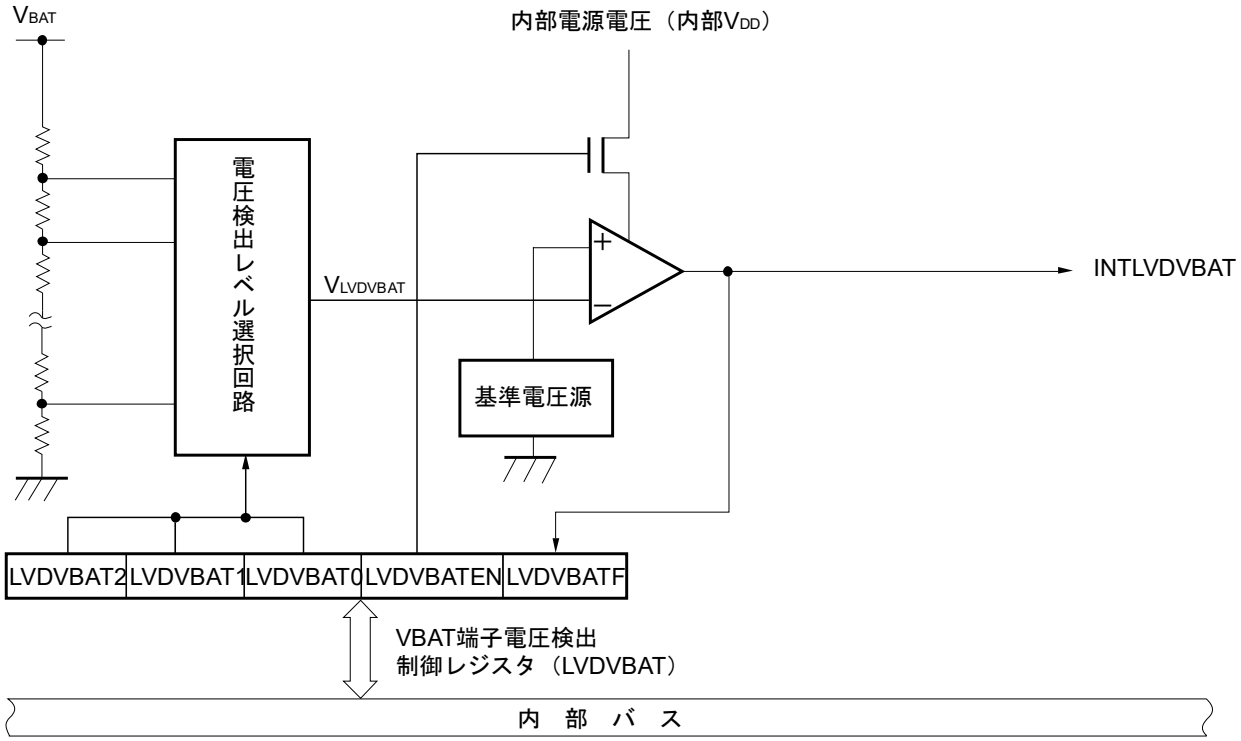


図29－4　VRTC端子電圧検出回路のブロック図

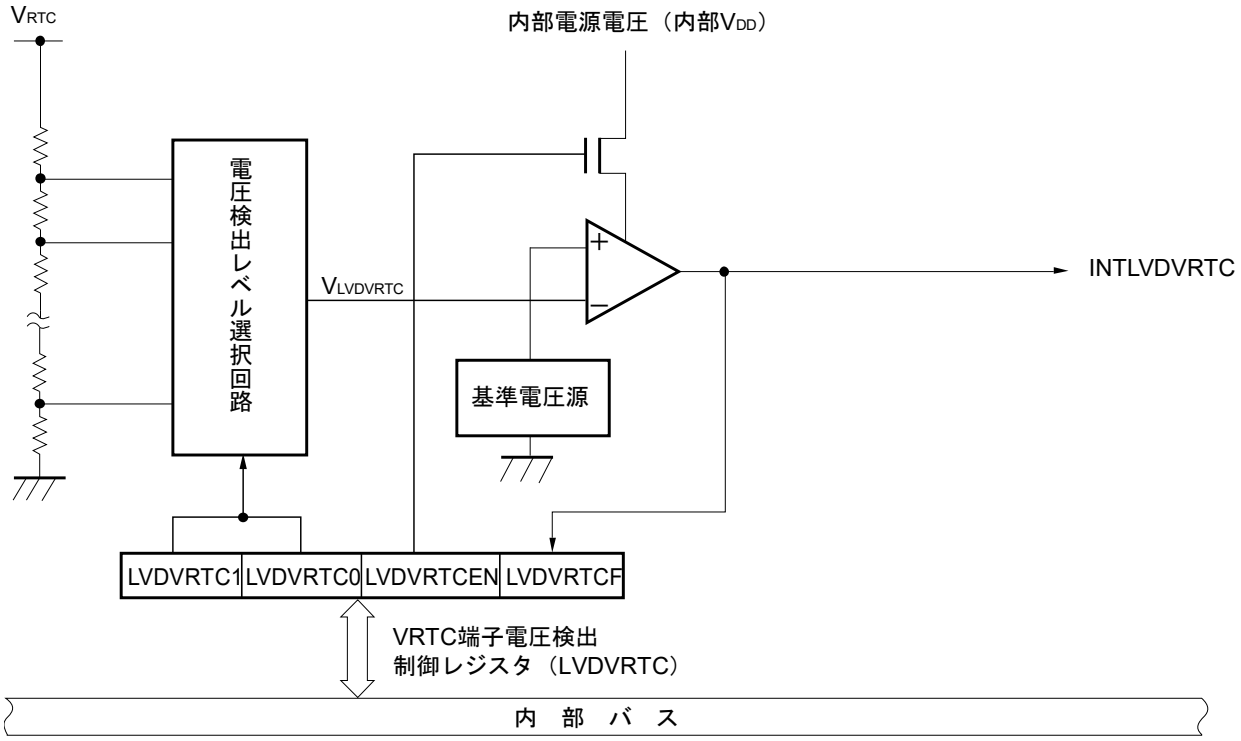
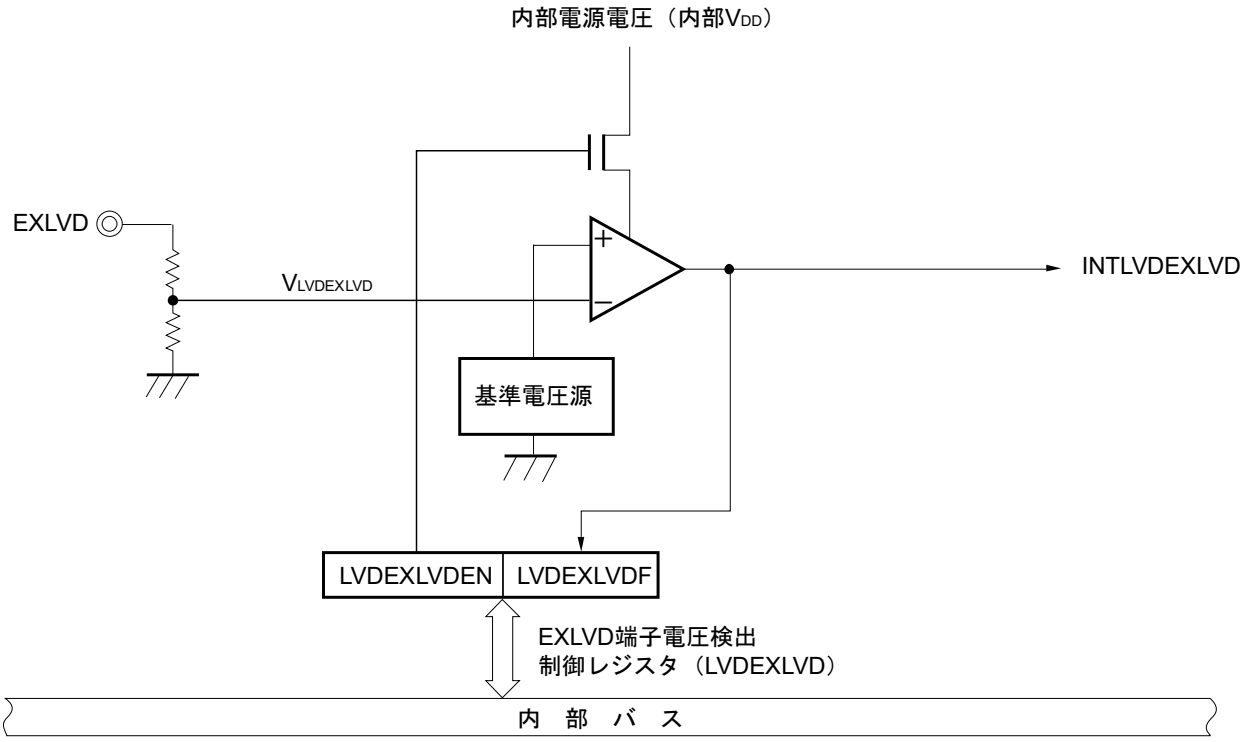


図29－5　EXLVD端子電圧検出回路のブロック図



29. 3　電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

・電圧検出レジスタ（LVIM）
・電圧検出レベル・レジスタ（LVIS）
・V_{DD}端子電圧検出制御レジスタ（LVDVDD）
・VBAT端子電圧検出制御レジスタ（LVDVBAT）
・VRTC端子電圧検出制御レジスタ（LVDVRTC）
・EXLVD端子電圧検出制御レジスタ（LVDEXLVD）

29. 3. 1　電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図29－6　電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFFA9H　　リセット時：00H[注1]　　R/W[注2]

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	LVISレジスタの書き換え禁止（LVIOMSK = 0（LVD出力マスク無効）になる）
1	LVISレジスタの書き換え許可（LVIOMSK = 1（LVD出力マスク有効）になる）

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効[注3]

LVIF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVD}），またはLVDオフ時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVD}）

注1.　リセット値は，リセット要因により変化します。
LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。その他のリセットでは，LVISENは“0”にクリアされます。

2.　ビット0, 1は，Read Onlyです。

3.　LVIOMSKビットは以下の間に自動で1となり，LVDによるリセットまたは割り込み発生がマスクされます。
・LVISEN = 1の期間
以下のいずれかの場合は，割り込み＆リセットモード時のみLVDによるリセットまたは割り込み発生がマスクされます。
・LVD割り込み発生から，LVD検出電圧が安定するまでの待ち時間
・LVILVビットの値変更から，LVD検出電圧が安定するまでの待ち時間

29. 3. 2　電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。ユーザ・オプション・バイトで設定した電源下限電圧（LVD検出電圧）とLVD検出レベルの設定を，ソフトウエアで変更できます。

LVISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，注1になります。

注意　割り込み＆リセットモード時に検出電圧を変更しないでください。

図29－7　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH　　リセット時：注1　　R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD注2	0	LVISEL4注6	LVISEL3	LVISEL2	LVISEL1	LVISEL0	LVILV注2

LVIMD注2	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVISEL4注6	LVISEL3	LVISEL2	動作下限電圧（立ち下がりTYP値）注5
0	0	1	1.84 V
0	1	0	2.45 V
0	1	1	2.75 V
1	1	1	1.53 V（LVD OFF）
上記以外			設定禁止

LVISEL1	LVISEL0	LVD検出レベル設定注5
0	0	LVISEL4/3/2による設定電圧＋1.2 V注3
0	1	LVISEL4/3/2による設定電圧＋0.2 V注3
1	0	LVISEL4/3/2による設定電圧＋0.1 V注3
1	1	LVISEL4/3/2による設定電圧注4

LVILV注2	LVD検出レベル
0	高電圧検出レベル（V_{LVDH}）
1	低電圧検出レベル（V_{LVDL}またはV_{LVD}）

注1.　リセット値は，オプション・バイトの設定により変化します。
リセット解除後，ユーザ・オプション・バイトのVPOC2～VPOC0およびLVIS1, LVIS0の値がそれぞれLVISEL4～LVISEL2, LVISEL1, LVISEL0に反映されます。
LVIMDおよびLVIVLのリセット値は，次のようになります。
オプションバイトLVIMDS1, LVIMDS0 = 1, 0 のとき：LVIMD = 0, LVILV = 0
オプションバイトLVIMDS1, LVIMDS0 = 1, 1 のとき：LVIMD = 1, LVILV = 1
オプションバイトLVIMDS1, LVIMDS0 = 0, 1 のとき：LVIMD = 0, LVILV = 1

2.　割り込み＆リセット・モード（オプション・バイトLVIMDS1，LVIMDS0 = 1, 0）選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み＆リセット・モードでのリセットまたは割り込み発生により，自動で値が切り替わります。

3.　おおよその検出値を示しています。実際の検出電圧は，電気的特性のLVDの項目を参照してください。

4.　LVIMDS1-0 = 1, 0のときは選択不可です。

5.　ソフトウエアによってLVISEL4-0を変更し2種類以上のLVD検出電圧を使用する場合，使用するLVD検出電圧のうち最も高い電圧値を示す設定値をユーザ･オプション･バイトのVPOC2-0, LVIS1-0ビットに設定して使用してください。

6.　LVISEL4の書き換えは禁止です。初期値から変更しないでください。

注意1.　LVIMDビットおよびLVILVビットを書き換える場合は，図29－20の手順で行ってください。

2.　LVDの動作モードと各モードの初期検出電圧（V_{LVDH}，V_{LVDL}，V_{LVD}）は，オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを図29－8に示します。オプション・バイトの詳細は第35章　オプション・バイトを参照してください。

図29－8　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（1/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	1.84 V	0	0	1	1	0	1	0
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
－			上記以外は設定禁止						

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	0	0	0	1	0	1	1
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

備考1.　LVD回路の詳細は，**第29章　電圧検出回路**を参照してください。

2.　検出電圧はTYP.値です。詳細は，**41. 6. 5　LVD回路特性**を参照してください。

（注意は，次ページにあります。）

図29－8　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（2/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	0	0	0	1	0	0	1
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

・LVDオフ（$\overline{\text{RESET}}$端子による外部リセットを使用）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

注意1.　ビット4には，必ず1を書き込んでください。

2.　電源立ち上がり時は，41. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

備考1.　×：don’t care

2.　LVD回路の詳細は，**第29章　電圧検出回路**を参照してください。

3.　検出電圧はTYP.値です。詳細は，**41. 6. 5　LVD回路特性**を参照してください。

29. 3. 3　V_{DD}端子電圧検出制御レジスタ（LVDVDD）

V_{DD}端子の電圧検出機能の動作許可／禁止，および検出電圧を設定するレジスタです。

LVDVDDレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図29－9　V_{DD}端子電圧検出制御レジスタ（LVDVDD）のフォーマット

アドレス：F0332H　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
LVDVDD	LVDVDDEN	LVDVDDF	0	0	0	LVDVDD2	LVDVDD1	LVDVDD0

LVDVDDEN	V_{DD}端子電圧検出機能動作許可／禁止
0	V_{DD}端子の電圧検出機能動作禁止[注3]
1	V_{DD}端子の電圧検出機能動作許可

LVDVDDF 注2	V_{DD}端子電圧検出フラグ
0	V_{DD}端子電圧≧検出電圧（V_{LVDVDD}），または電圧検出機能動作禁止
1	V_{DD}端子電圧＜検出電圧（V_{LVDVDD}）

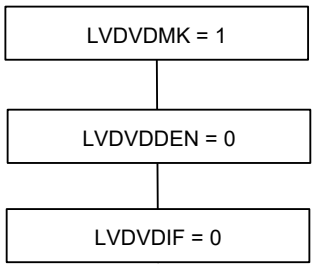
LVDVDD2	LVDVDD1	LVDVDD0	検出電圧（V_{LVDVDD}）	
			立ち上がり	立ち下がり
0	0	0	2.53 V	2.46 V
0	0	1	2.74 V	2.67 V
0	1	0	2.94 V	2.87 V
0	1	1	3.15 V	3.08 V
1	0	0	3.46 V	3.39 V
1	0	1	3.77 V	3.70 V
上記以外			設定禁止	

注1. ビット6は，Read Onlyです。

2. V_{DD}端子電圧＜検出電圧（V_{LVDVDD}）の状態でLVDVDDENビットに1を設定した場合，安定時間（300 μs）が経過するまではLVDVDDFビットは不定になります。

3. INTLVDVDD発生を禁止するため，以下の手順が必要です。

図29－10　V_{DD}端子電圧検出機能禁止時の設定手順



割り込みマスクフラグをセットし、割り込み受付を禁止する。

LVDVDDENビットに“0”を設定して、電圧検出機能動作を停止する。

割り込み要求フラグをクリアする。

29. 3. 4　VBAT端子電圧検出制御レジスタ（LVDVBAT）

VBAT端子の電圧検出機能の動作許可／禁止，および検出電圧を設定するレジスタです。

LVDVBATレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図29－11　VBAT端子電圧検出制御レジスタ（LVDVBAT）のフォーマット

アドレス：F0333H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
LVDVBAT	LVDVBATEN	LVDVBATF	0	0	0	LVDVBAT2	LVDVBAT1	LVDVBAT0

LVDVBATEN	VBAT端子電圧検出機能動作許可／禁止
0	VBAT端子の電圧検出機能動作禁止[注3]
1	VBAT端子の電圧検出機能動作許可

LVDVBATF 注2	VBAT端子電圧検出フラグ
0	VBAT端子電圧≧検出電圧（$V_{LVDVBAT}$），または電圧検出機能動作禁止
1	VBAT端子電圧＜検出電圧（$V_{LVDVBAT}$）

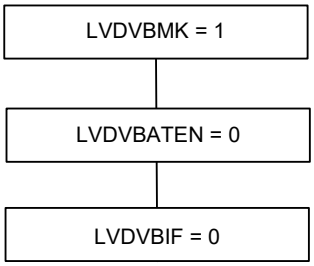
LVDVBAT2	LVDVBAT1	LVDVBAT0	検出電圧（$V_{LVDVBAT}$）	
			立ち上がり	立ち下がり
0	0	0	2.11 V	2.05 V
0	0	1	2.21 V	2.15 V
0	1	0	2.32 V	2.26 V
0	1	1	2.42 V	2.36 V
1	0	0	2.52 V	2.46 V
1	0	1	2.62 V	2.56 V
1	1	0	2.73 V	2.67 V
上記以外			設定禁止	

注1. ビット6は，Read Onlyです。

2. VBAT端子電圧＜検出電圧（$V_{LVDVBAT}$）の状態でLVDVBATENビットに1を設定した場合，安定時間（500 μs）が経過するまではLVDVBATFビットは不定になります。

3. INTLVDVBAT発生を禁止するため，以下の手順が必要です。

図29－12　VBAT端子電圧検出機能禁止時の設定手順



割り込みマスクフラグをセットし、割り込み受付を禁止する。

LVDVBATENビットに“0”を設定して、電圧検出機能動作を停止する。

割り込み要求フラグをクリアする。

29. 3. 5　VRTC端子電圧検出制御レジスタ（LVDVRTC）

VRTC端子の電圧検出機能の動作許可／禁止，および検出電圧を設定するレジスタです。

LVDVRTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図29－13　VRTC端子電圧検出制御レジスタ（LVDVRTC）のフォーマット

アドレス：F0334H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
LVDVRTC	LVDVRTCEN	LVDVRTCF	0	0	0	0	LVDVRTC1	LVDVRTC0

LVDVRTCEN	VRTC端子電圧検出機能動作許可／禁止
0	VRTC端子の電圧検出機能動作禁止[注3]
1	VRTC端子の電圧検出機能動作許可

LVDVRTCF 注2	VRTC端子電圧検出フラグ
0	VRTC端子電圧≧検出電圧（$V_{LVDVRTC}$），または電圧検出機能動作禁止
1	VRTC端子電圧＜検出電圧（$V_{LVDVRTC}$）

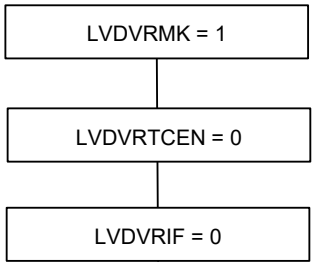
LVDVRTC1	LVDVRTC0	検出電圧（$V_{LVDVRTC}$）	
		立ち上がり	立ち下がり
0	0	2.22 V	2.16 V
0	1	2.43 V	2.37 V
1	0	2.63 V	2.57 V
1	1	2.84 V	2.78 V

注1. ビット6は，Read Onlyです。

2. VRTC端子電圧＜検出電圧（$V_{LVDVRTC}$）の状態でLVDVRTCENビットに1を設定した場合，安定時間（300 μs）が経過するまではLVDVRTCFビットは不定になります。

3. INTLVDVRTC発生を禁止するため，以下の手順が必要です。

図29－14　VRTC端子電圧検出機能禁止時の設定手順



割り込みマスクフラグをセットし、割り込み受付を禁止する。

LVDVRTCENビットに“0”を設定して、電圧検出機能動作を停止する。

割り込み要求フラグをクリアする。

29. 3. 6　EXLVD端子電圧検出制御レジスタ（LVDEXLVD）

EXLVD端子の電圧検出機能の動作許可／禁止，および検出電圧を設定するレジスタです。

LVDEXLVDレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図29－15　EXLVD端子電圧検出制御レジスタ（LVDEXLVD）のフォーマット

アドレス：F0335H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
LVDEXLVD	LVDEXLVDEN	LVDEXLVDF	0	0	0	0	0	0

LVDEXLVDEN	EXLVD端子電圧検出機能動作許可／禁止
0	EXLVD端子の電圧検出機能動作禁止[注3]
1	EXLVD端子の電圧検出機能動作許可

LVDEXLVDF 注2	EXLVD端子電圧検出フラグ
0	EXLVD端子電圧≧検出電圧（$V_{LVDEXLVD}$），または電圧検出機能動作禁止
1	EXLVD端子電圧＜検出電圧（$V_{LVDEXLVD}$）

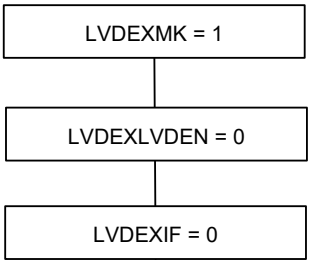
検出電圧（$V_{LVDEXLVD}$）	
立ち上がり	立ち下がり
1.33 V（固定）	1.28 V（固定）

注1. ビット6は，Read Onlyです。

2. EXLVD端子電圧＜検出電圧（$V_{LVDEXLVD}$）の状態でLVDEXLVDENビットに1を設定した場合，安定時間（300 μs）が経過するまではLVDEXLVDFビットは不定になります。

3. INTLVDEXLVD発生を禁止するため，以下の手順が必要です。

図29－16　EXLVD端子電圧検出機能禁止時の設定手順



割り込みマスクフラグをセットし、割り込み受付を禁止する。

LVDEXLVDENビットに“0”を設定して、電圧検出機能動作を停止する。

割り込み要求フラグをクリアする。

29. 4　電圧検出回路の動作

29. 4. 1　リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と初期検出電圧（V_{LVD}）の設定は，オプション・バイト000C1Hで設定します。検出電圧はLVISレジスタで変更可能です。

リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，**29. 3. 2　電圧検出レベル・レジスタ（LVIS）**を参照してください。

ビット7（LVIMD）は“1”（リセット・モード）

ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

●LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は，電源投入時，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えると内部リセットを解除します。

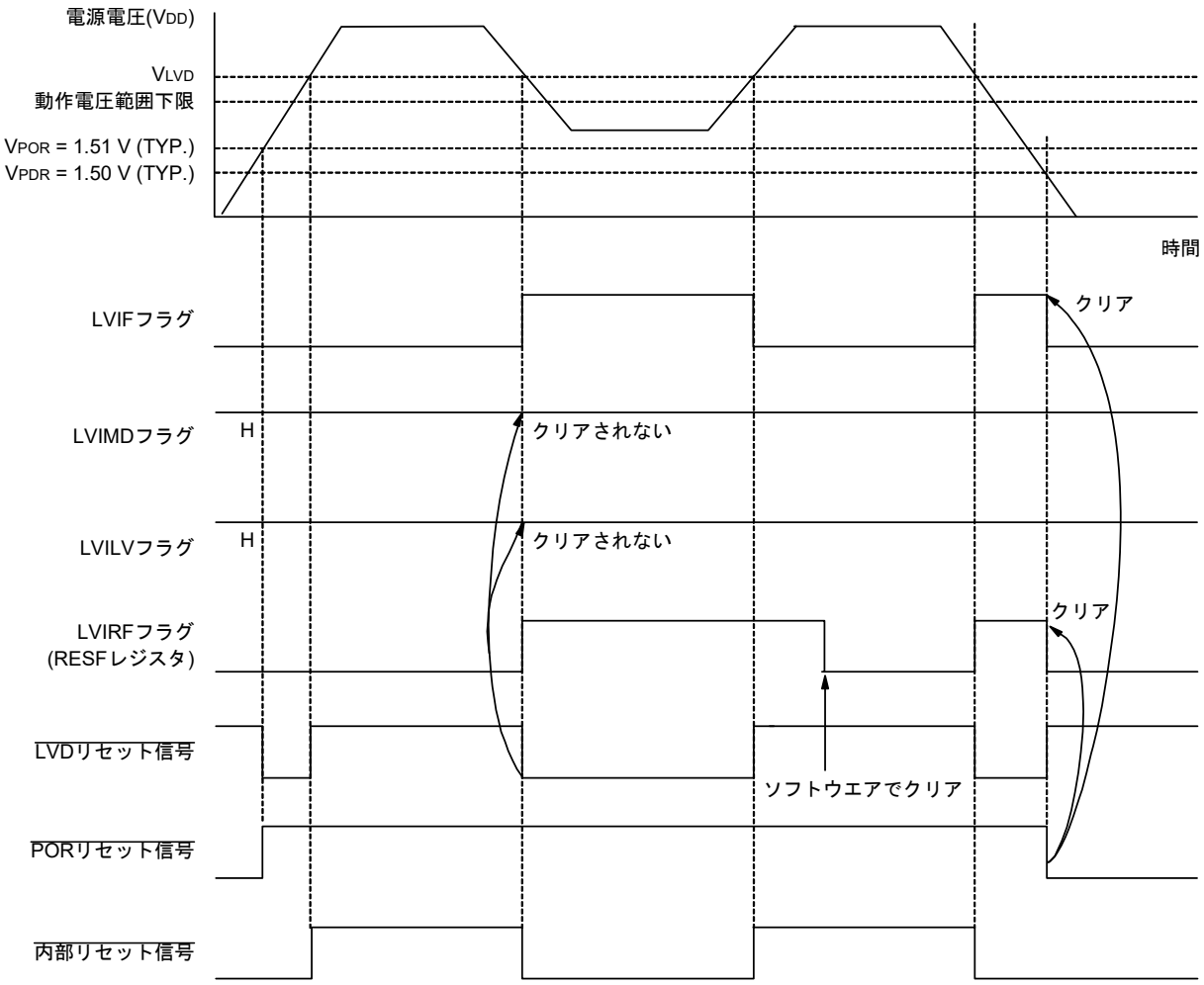
動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を下回るとLVDによる内部リセットが発生します。

LVDリセット発生時のリセット解除電圧は，オプション・バイトで設定した検出電圧と，LVISレジスタで設定した検出電圧の高い方の電圧になります。電源電圧が電圧検出レベルを超えるまでLVDによる内部リセット状態を保ちます。

LVDリセット以外のリセットでのリセット解除電圧は，オプション・バイトで設定した電圧検出レベルになります。

図29－17に，LVDリセット・モードの内部リセット信号発生のタイミングを示します。

図29－17　内部リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）



備考　VPOR：POR電源立ち上がり検出電圧

VPDR：POR電源立ち下がり検出電圧

29. 4. 2　割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と初期検出電圧（V_{LVD}）の設定は，オプション・バイト000C1Hで設定します。検出電圧はLVISレジスタで変更可能です。

割り込みモードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，**29. 3. 2　電圧検出レベル・レジスタ（LVIS）**を参照してください。

ビット7（LVIMD）は“0”（割り込みモード）

ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

●LVD割り込みモードの動作

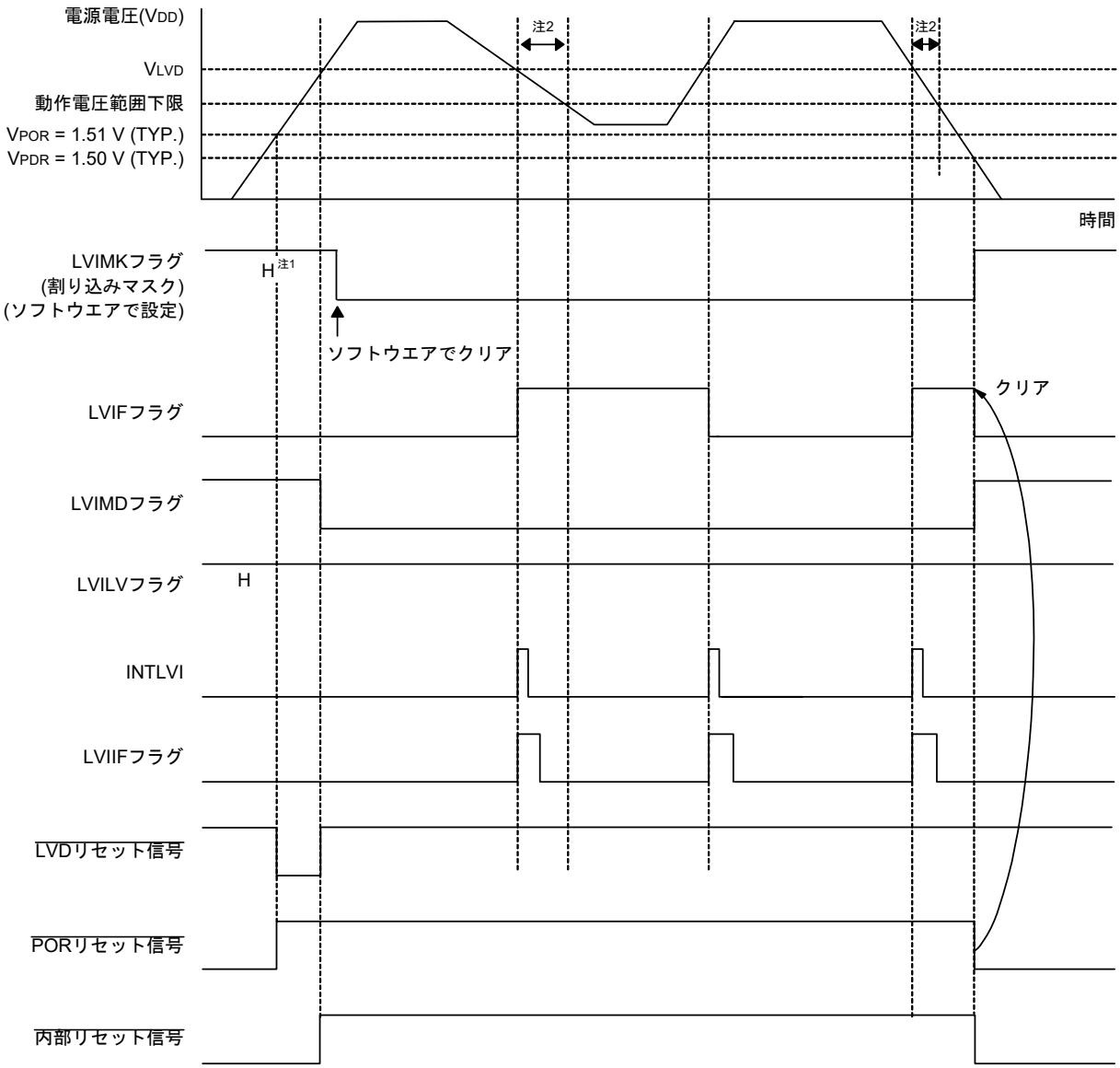
割り込みモード（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）では，リセット発生直後，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を上回るまではLVDによる内部リセット状態を保ちます。動作電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を上回るとLVDによる内部リセットを解除します。

LVDの内部リセット解除後は，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるとLVDによる割り込み要求信号（INTLVD）が発生します。動作電圧降下時は，**41. 4　AC特性**に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

検出レベルを変更するなどでLVISENビットを1にした（LVDをマスクした）後，LVISEN = 0にした時に，電源電圧（V_{DD}）が電圧検出レベル（VLVD）を下回っていた場合，LVDによる割り込み要求信号（INTLVI）が発生します。

図29－18に，LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図29－18　割り込み信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. 動作電圧降下時は，**41. 4　AC特性**に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

29. 4. 3　割り込み＆リセット・モードとして使用時の設定

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVDH}, V_{LVDL}）の設定は，オプション・バイト000C1Hで設定します。検出電圧をLVISレジスタで変更する操作は禁止です。

割り込み＆リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

- 電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- 電圧検出レベル・レジスタ（LVIS）の初期値は，**29. 3. 2　電圧検出レベル・レジスタ（LVIS）**を参照してください。ビット7（LVIMD）は“0”（割り込みモード），ビット0（LVILV）は“0”（高電圧検出レベル：V_{LVDH}）

●LVD割り込み＆リセット・モードの動作

割り込み＆リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は，電源投入時，電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を超えるまではLVDによる内部リセット状態を保ちます。

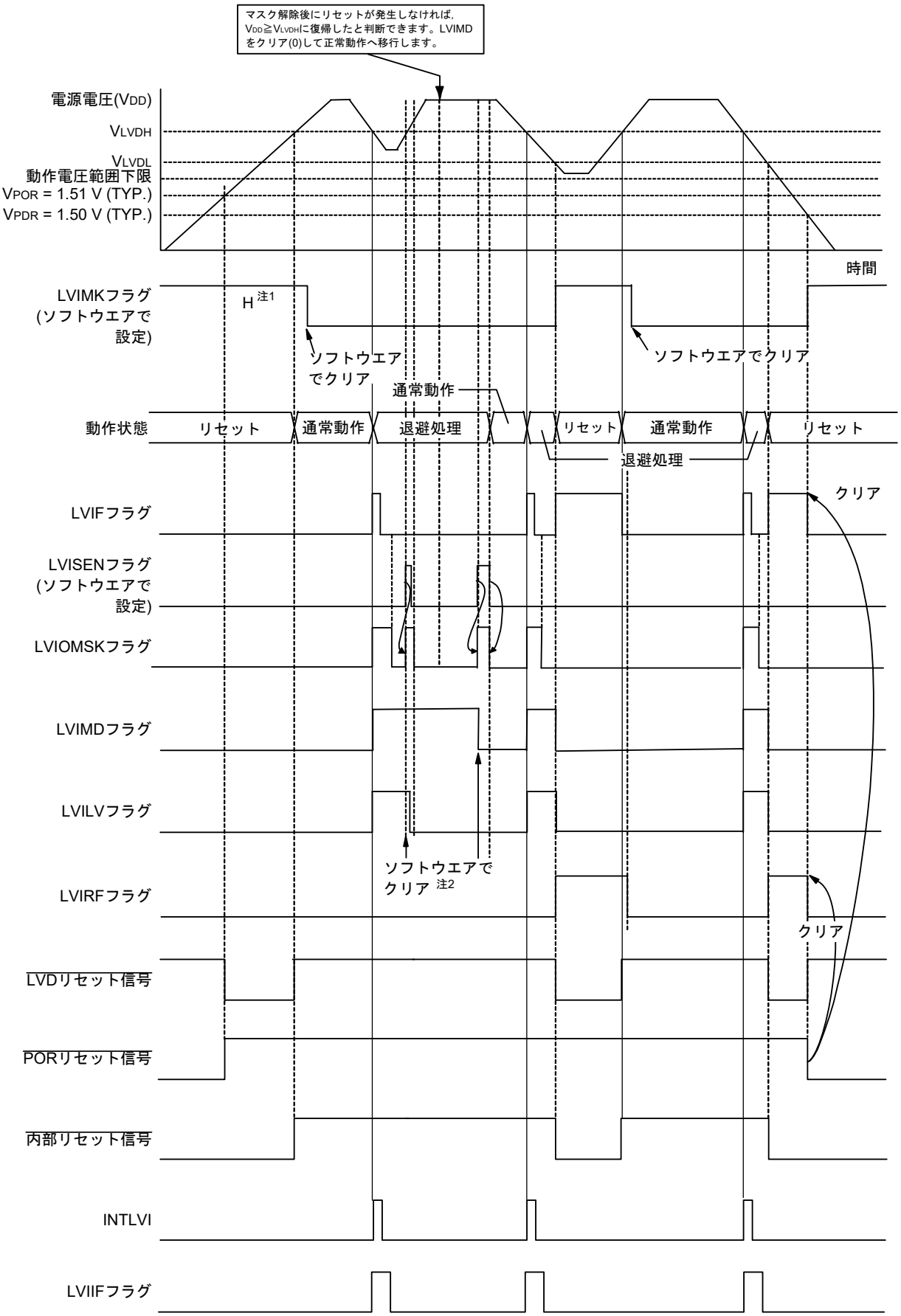
電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を下回るとLVDによる割り込み要求信号（INTLVI）が発生し，任意の退避処理を行うことができます。その後，電源電圧（V_{DD}）が低電圧検出レベル（V_{LVDL}）を下回るとLVDによる内部リセットが発生します。ただし，INTLVI発生後，電源電圧（V_{DD}）が低電圧検出電圧（V_{LVDL}）を下回らずに高電圧検出電圧（V_{LVDH}）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み＆リセット・モードを使用する場合は，“**図 29－20　動作電圧確認／リセットの設定手順**”に従って設定をしてください。

図29－19に，LVD割り込み＆リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図29－19　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）（1/2）



（注，備考は次ページにあります。）

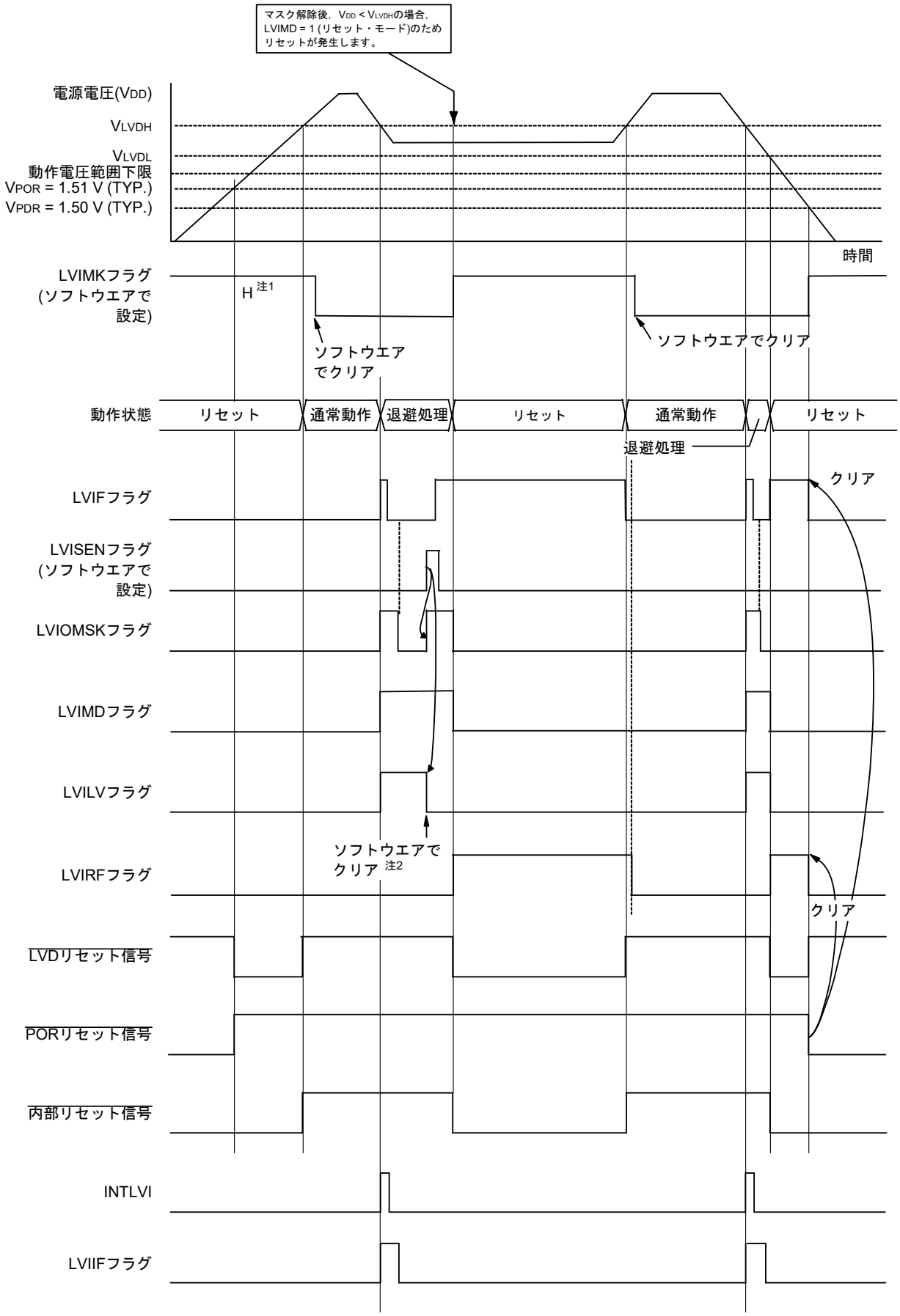
注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. 割り込み＆リセット・モード使用時，割り込み発生後は，**図29－20　動作電圧確認／リセットの設定手順**に従って実施してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図29－19　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）（2/2）



（注，備考は次ページにあります。）

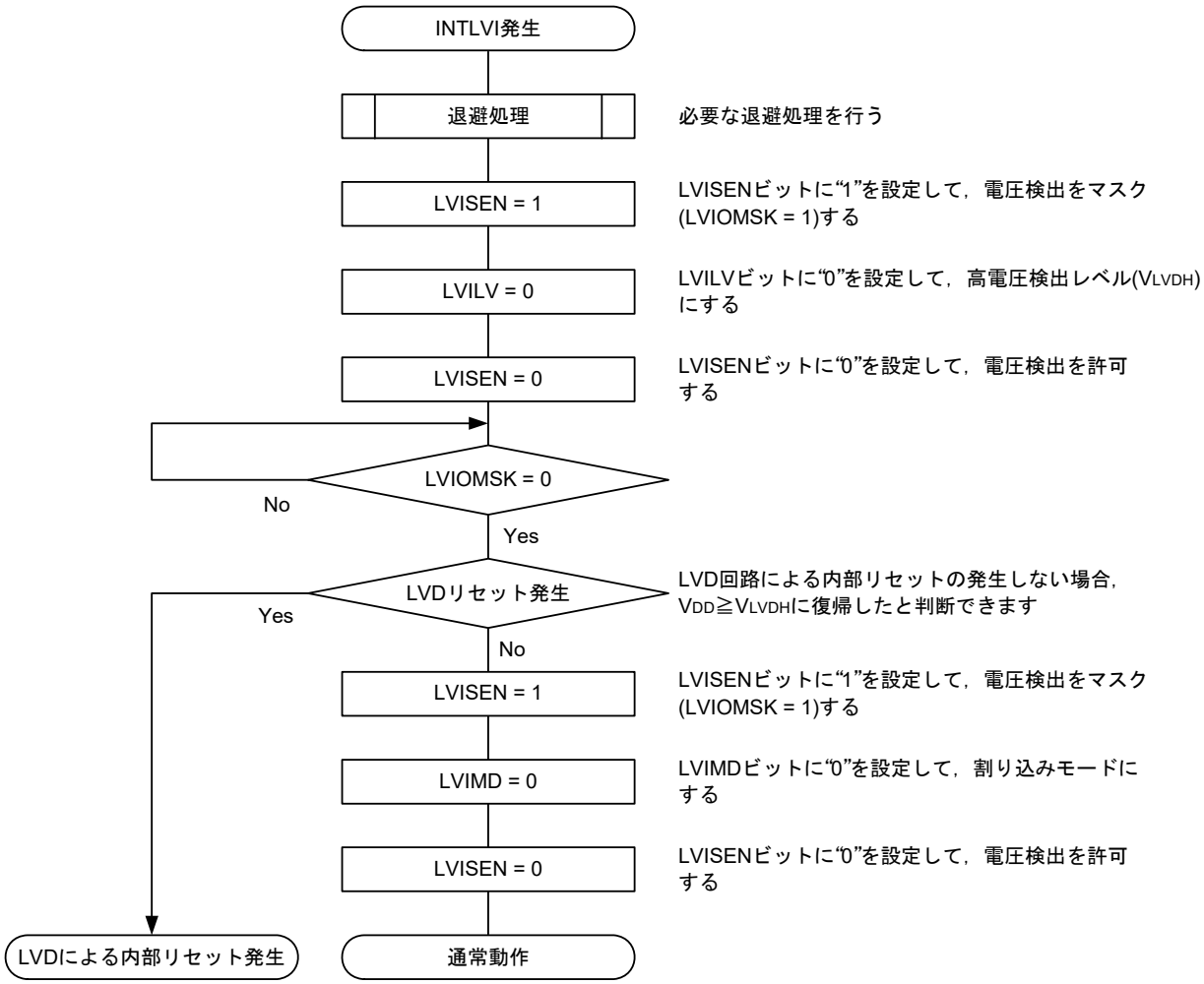
注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. 割り込み＆リセット・モード使用時，割り込み発生後は，**図29－20　動作電圧確認／リセットの設定手順**に従って実施してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図29－20　動作電圧確認／リセットの設定手順

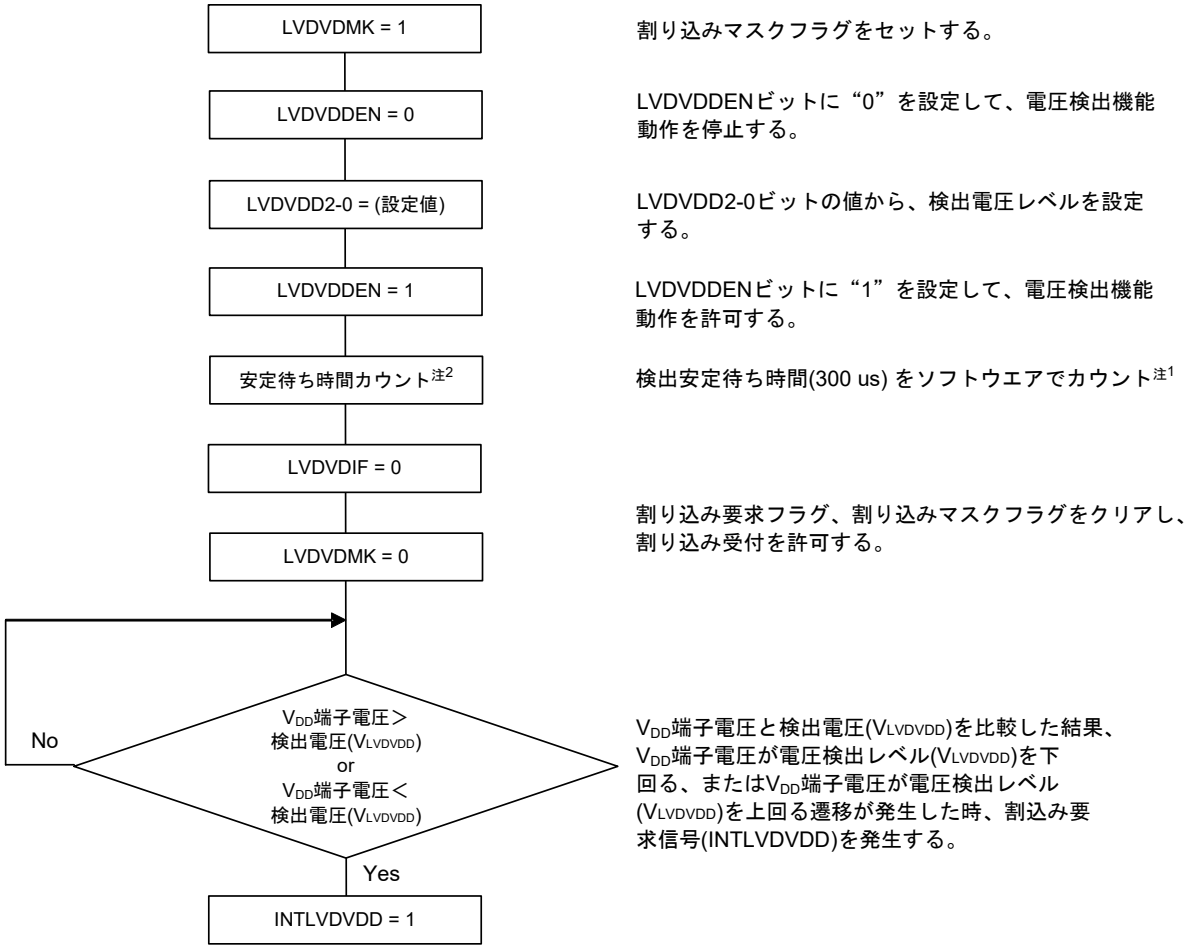


29. 4. 4　各電源端子電圧検出の設定手順

（1）V_{DD}

V_{DD}端子電圧検出の設定手順を示します。

図29－21　V_{DD}端子電圧検出の設定手順



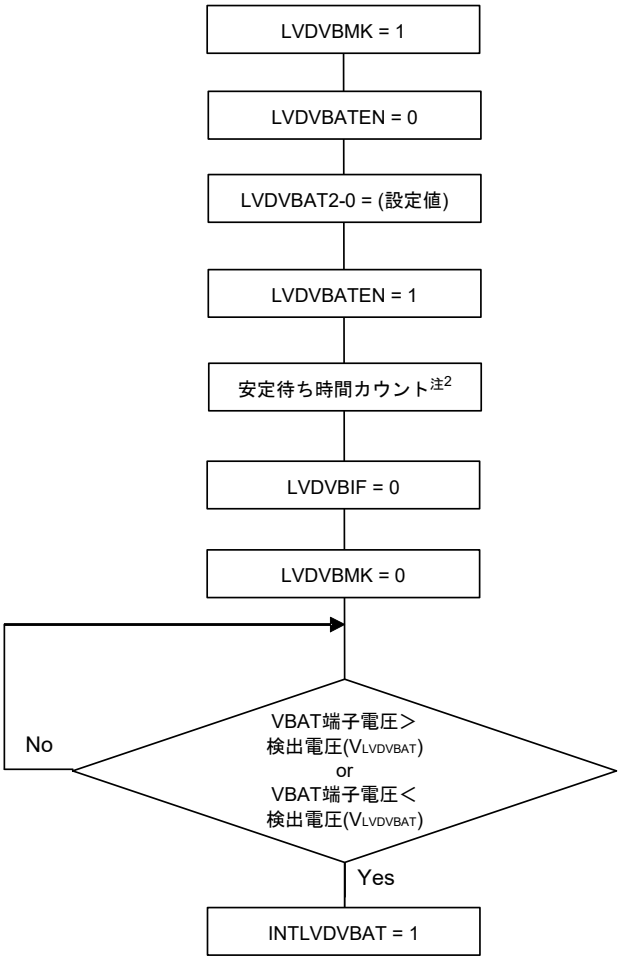
注1.　検出電圧レベルの設定が，端子電圧＜検出電圧の場合，必須です。

2.　LVDVDDENビットを1に設定して電圧検出機能を有効にした後に，他の処理動作で安定待ち時間を確保するなら，カウント処理は不要です。

（2）VBAT

VBAT端子電圧検出の設定手順を示します。

図29－22　VBAT端子電圧検出の設定手順



割り込みマスクフラグをセットする。

LVDVDDENビットに“0”を設定して、電圧検出機能動作を停止する。

LVDVBAT2-0ビットの値から、検出電圧レベルを設定する。

LVDVBATENビットに“1”を設定して、電圧検出機能動作を許可する。

検出安定待ち時間(300us) をソフトウエアでカウント注1

割り込み要求フラグ、割り込みマスクフラグをクリアし、割り込み受付を許可する。

VBAT端子電圧と検出電圧($V_{LVDVBAT}$)を比較した結果、VBAT端子電圧が電圧検出レベル($V_{LVDVBAT}$)を下回る、またはVBAT端子電圧が電圧検出レベル($V_{LVDVBAT}$)を上回る遷移が発生した時、割込み要求信号(INTLVDVBAT)を発生する。

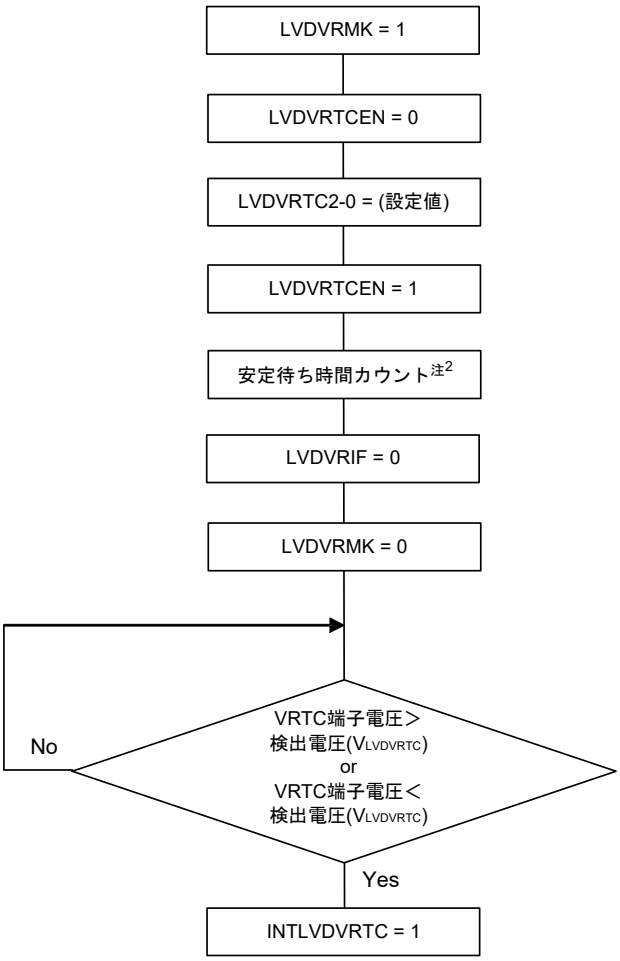
注1. 検出電圧レベルの設定が，端子電圧＜検出電圧の場合，必須です。

2. LVDVBATENビットを1に設定して電圧検出機能を有効にした後に，他の処理動作で安定待ち時間を確保するなら，カウント処理は不要です。

（3）VRTC

VRTC端子電圧検出の設定手順を示します。

図29－23　VRTC端子電圧検出の設定手順



割り込みマスクフラグをセットする。

LVDVRTCENビットに“0”を設定して、電圧検出機能動作を停止する。

LVDVRTC2-0ビットの値から、検出電圧レベルを設定する。

LVDVRTCENビットに“1”を設定して、電圧検出機能動作を許可する。

検出安定待ち時間(300 μs)をソフトウエアでカウント注1

割り込み要求フラグ、割り込みマスクフラグをクリアし、割り込み受付を許可する。

VRTC端子電圧と検出電圧($V_{LVDVRTC}$)を比較した結果、VRTC端子電圧が電圧検出レベル($V_{LVDVRTC}$)を下回る、またはVRTC端子電圧が電圧検出レベル($V_{LVDVRTC}$)を上回る遷移が発生した時、割込み要求信号(INTLVDVRTC)を発生する。

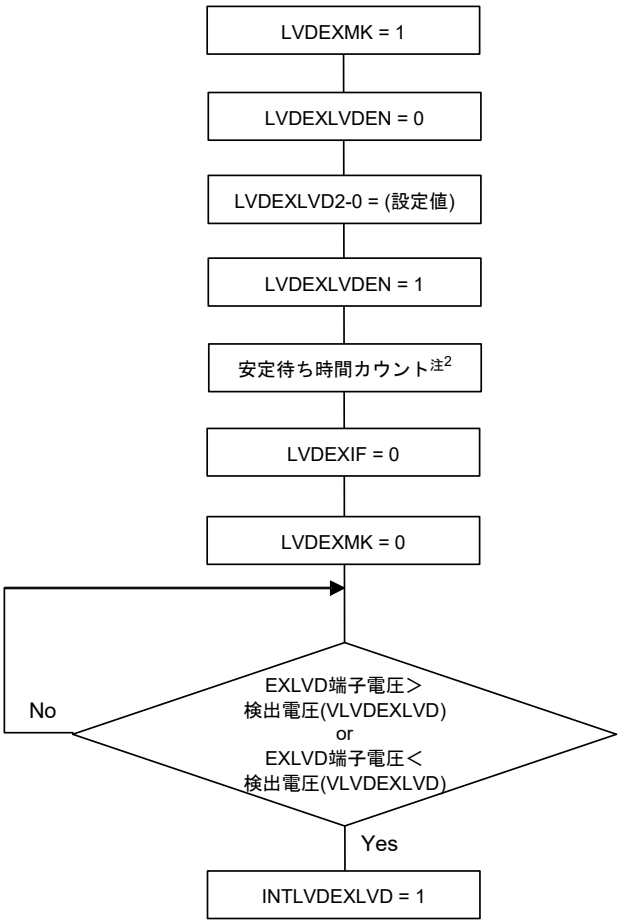
注1.　検出電圧レベルの設定が，端子電圧＜検出電圧の場合，必須です。

2.　LVDVRTCENビットを1に設定して電圧検出機能を有効にした後に，他の処理動作で安定待ち時間を確保するなら，カウント処理は不要です。

（4）EXLVD

EXLVD端子電圧検出の設定手順を示します。

図29－24　EXLVD端子電圧検出の設定手順



割り込みマスクフラグをセットする。

LVDVDDENビットに“0”を設定して、電圧検出機能動作を停止する。

LVDEXLVD2-0ビットの値から、検出電圧レベルを設定する。

LVDEXLVDENビットに“1”を設定して、電圧検出機能動作を許可する。

検出安定待ち時間(300 us) をソフトウエアでカウント注1

割り込み要求フラグ、割り込みマスクフラグをクリアし、割り込み受付を許可する。

EXLVD端子電圧と検出電圧(VLVDEXLVD)を比較した結果、EXLVD端子電圧が電圧検出レベル(VLVDEXLVD)を下回る、またはEXLVD端子電圧が電圧検出レベル(VLVDEXLVD)を上回る遷移が発生した時、割込み要求信号(INTLVDEXLVD)を発生する。

注1.　検出電圧レベルの設定が，端子電圧＜検出電圧の場合，必須です。

2.　LVDEXLVDENビットを1に設定して電圧検出機能を有効にした後に，他の処理動作で安定待ち時間を確保するなら，カウント処理は不要です。

29. 5　LVD検出電圧の設定変更

ソフトウエアによりLVDの検出電圧を変更する場合は，以下の手順で変更してください。

LVD検出電圧は割り込みモード，リセット・モードで変更可能です。

割り込み&リセット・モードでは，LVD検出電圧値の変更はできません。初期値（オプション・バイト設定値）から変更しないでください。

ソフトウエアによってLVISレジスタLVISEL4～LVISEL0を変更して，2種類以上のLVD検出電圧を使用する場合，使用するLVD検出電圧のうち最も高い電圧値をオプション・バイト（000C1H）のVPOC2～VPOC0, LVIS1, LVIS0ビットに必ず設定してください。

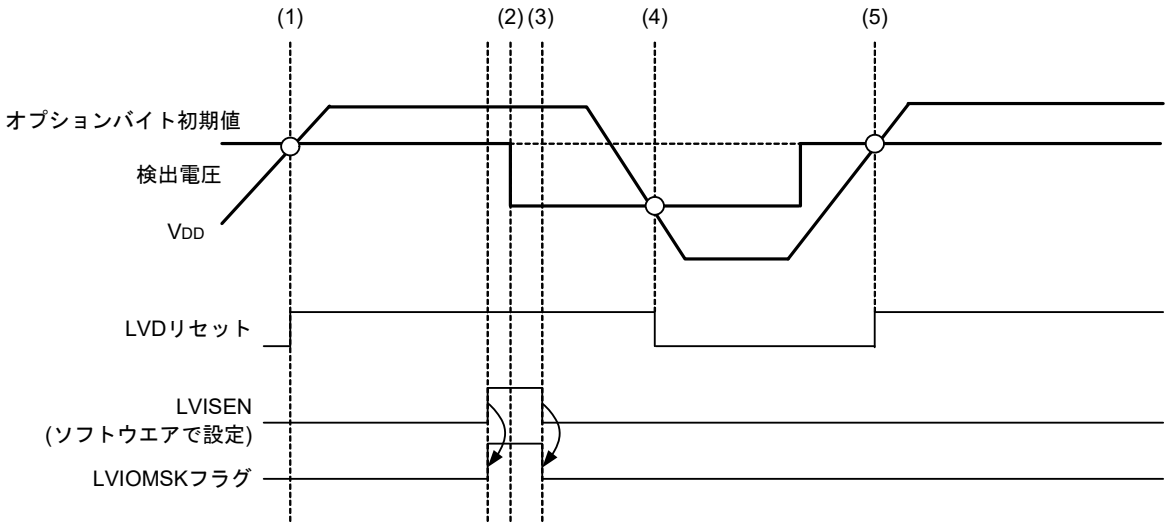
図29－25　LVD検出電圧設定変更

注　LVISEN = 0設定後，V_{LVD}＞V_{DD}ならばLVD検出し，リセット／割り込みが発生します。

29. 5. 1　LVDリセット・モード時のLVD検出電圧の設定変更

図29－26にLVDリセット・モード時のLVD検出電圧設定変更タイミング例を示します。

図29－26　LVDリセット・モード時のLVD検出電圧設定変更タイミング例



■動作

（1）電源立ち上がりはオプション・バイトで設定した検出電圧でリセット解除

（2）LVISレジスタ変更

（3）ソフトウエアにて安定待ち完了（（2）より400 μsまたはf_{IL}の5クロック）

（4）LVD検出（立ち下がり）はLVISレジスタで設定した検出電圧

（5）LVDリセット解除（立ち上がり）はオプション・バイトで設定した検出電圧

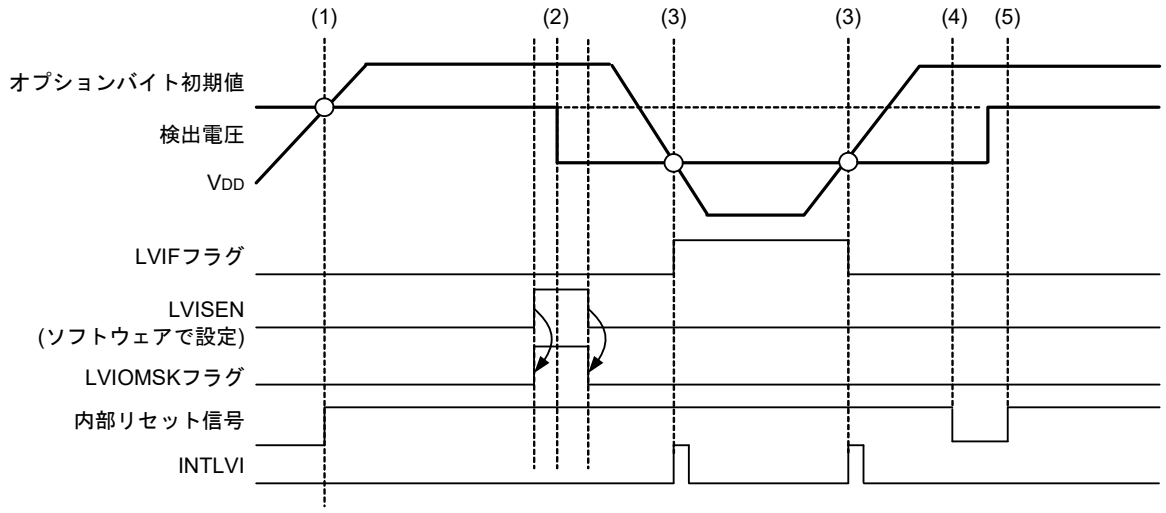
LVDリセット時のLVD検出電圧の設定を変更する際は，以下に注意してください。

注意　LVDリセット・モード時のリセット解除電圧は，オプション・バイト設定値となります。

29. 5. 2　LVD割り込みモード時のLVD検出電圧の設定変更

図**図29－27**にLVD割り込みモード時のLVD検出電圧設定変更タイミング例を示します。

図29－27　LVD割り込みモード時のLVD検出電圧設定変更タイミング例



■動作

（1）電源立ち上がりはオプション・バイトで設定したLVD検出電圧でリセット解除

（2）LVISレジスタ変更

（3）LVD検出（立ち下がり，立ち上がり）はLVISレジスタで設定した検出電圧

（4）内部リセット発生

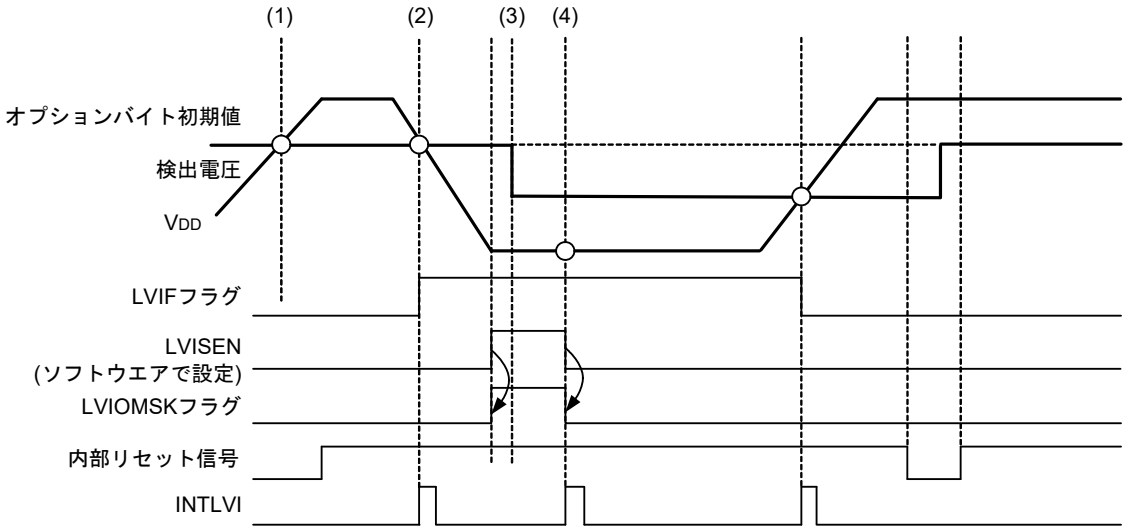
（5）内部リセット解除時にはオプション・バイト設定値に戻る。

LVD割り込みモード時にLVD検出電圧の設定を変更する際は，以下に注意してください。

注意1.　全リセット発生直後，LVDの内部リセットはV_{DD}≧V_{LVD}（オプション・バイト設定値）になるまでリセット状態を継続します。V_{DD}≧V_{LVD}（オプション・バイト設定値）を検出してLVDの内部リセット は解除されます。それ以降は，V_{DD}＜V_{LVD}またはV_{DD}≧V_{LVD}を検出して割り込み要求信号（INTLVI）を発生します。

2.　V_{DD}＜V_{LVD}でLVISレジスタのLVISEL4～LVISEL0によりLVD設定電圧を変更した場合，マスク解除時（LVISEN = 0）にLVD割り込みが発生します（図29－28参照）。

図29－28　V_{DD}＜V_{LVD}時，LVISによるLVD検出電圧の設定変更タイミング例



■動作

（1）電源立ち上がりはオプション・バイトで設定したLVD検出電圧でリセット解除

（2）LVD検出（立ち下がり）はオプション・バイトで設定した検出電圧

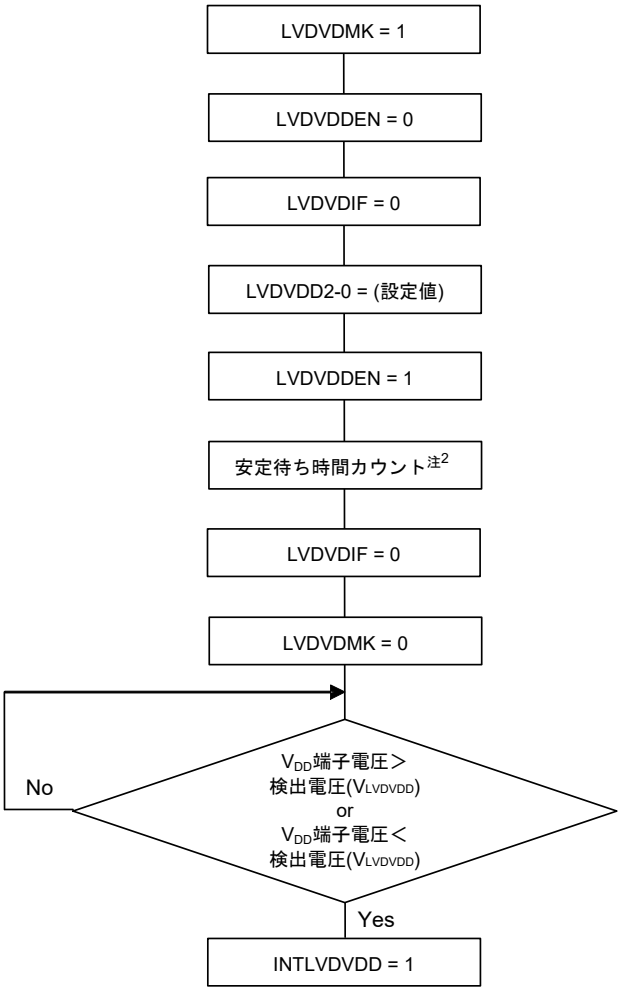
（3）LVISレジスタ変更

（4）マスク解除同時にV_{DD}＜V_{LVD}であるなら割り込みが発生

29. 5. 3　各電源端子電圧検出のLVD検出電圧の設定変更

電圧検出時に，LVD検出電圧レベルを変更する際の手順を示します。

図29－29　LVD検出電圧の設定変更手順（V_{DD}端子）



割り込みマスクフラグをセットし、割り込み受付を禁止する。

LVDVDDENビットに“0”を設定して、電圧検出機能動作を停止する。

割り込み要求フラグをクリアする。

LVDVDD2-0ビットの値から、検出電圧レベルを設定する。

LVDVDDENビットに“1”を設定して、電圧検出機能動作を許可する。

検出安定待ち時間(300 us) をソフトウエアでカウント注1

割り込み要求フラグをクリアする。

割り込みマスクフラグをクリアし、割り込み受付を許可する。

V_{DD}端子と検出電圧(V_{LVDVDD})を比較した結果、V_{DD}端子電圧が電圧検出レベル(V_{LVDVDD})を下回る、またはV_{DD}端子電圧が電圧検出レベル(V_{LVDVDD})を上回る遷移が発生した時、割込み要求信号(INTLVDVDD)を発生する。

注1.　検出電圧レベルの設定が，端子電圧＜検出電圧の場合，必須です。

2.　LVDVDDENビットを1に設定して電圧検出機能を有効にした後に，他の処理動作で安定待ち時間を確保するなら，カウント処理は不要です。

29. 6　電圧検出回路の注意事項

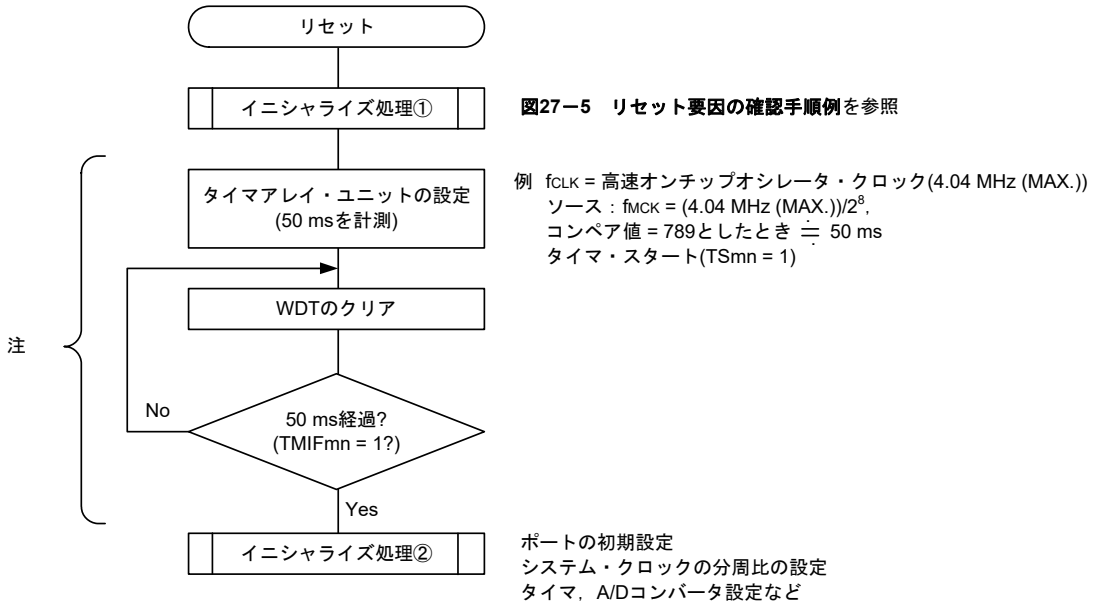
（1）電源投入時の電圧変動について

電源電圧（V_{DD}）がLVD検出電圧付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図29－30　LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



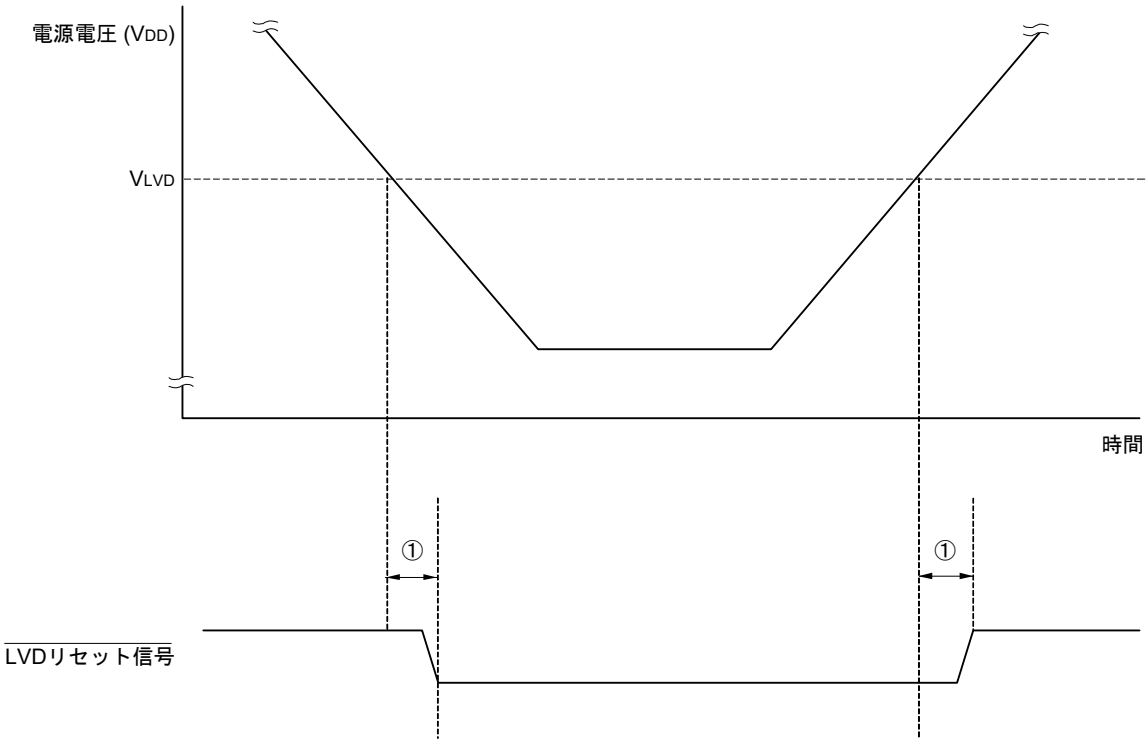
注　この間に再度リセットが発生した場合，イニシャライズ処理②には移行しません。

備考　m = 0 n = 0-3

（2）LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧（V_{DD}）＜LVD検出電圧（V_{LVD}）になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（V_{LVD}）≦電源電圧（V_{DD}）になってから，LVDリセットが解除されるまでにも遅延が生じます（**図29－31**参照）。

図29－31　LVDリセット要因発生からLVDリセット発生または解除までの遅延



①　：検出遅延（300 μs（MAX.））

（3）LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。

外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，**41. 4　AC特性**に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

（4）LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は，**41. 4　AC特性**に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

（5）給電端子遮断時について

VBATEN, VBATSELで選択した給電元端子が遮断した場合，V_{DD}端子，VBAT端子，VRTC端子，EXLVD端子の電圧検出機能は使用できなくなります。

（6）VDDOUT遮断時について

VDDOUTのソース（V_{DD}, VBAT）が遮断した場合，VRTC端子が非遮断状態であってもVRTC端子電圧検出機能は使用不可となります。

第30章　バッテリ・バックアップ機能

30. 1　バッテリ・バックアップの機能

VDD端子の電源電圧を監視し，VDD端子の電圧が検出電圧よりも低下したとき，専用のバッテリ・バックアップ用電源端子（VBAT端子）からの内部電源及び⊿ΣA/Dコンバータ用の電源供給に切り替えを行います。VBAT端子から内部電源及び⊿ΣA/Dコンバータ用の電源を供給するモードをバッテリ･バックアップ･モードと呼びます。停電発生等によりVDD端子からの電源供給が遮断された場合でも，ハードウェアでバッテリ・バックアップ・モードに切り替わることで，下記の表に示す機能の動作を継続することができます。

表30－1　バッテリ・バックアップ中の周辺回路動作状態（1/2）

項目			VDD 端子給電で CPU 動作時	VBAT 端子給電で CPU 動作時
システム・クロック			CPU へのクロック供給動作	
	メイン・システム・クロック		動作可能	
	サブシステム・クロック		RTCPORが発生していない場合，動作可能	
	fIL		動作可能	
CPU			動作継続	
コード・フラッシュ・メモリ			動作継続	動作継続[注1]
データ・フラッシュ・メモリ			動作可能	動作禁止[注6]
RAM			動作継続	
ポート	内部VDD系	P20-P25, P150-P152[注5]	動作可能	
		P137, P121, P122	動作可能	
	EVDD系	P20-P25, P137, P121-P124, P150-P152以外	動作可能	EVDD端子電源供給時，動作可能[注2] EVDD端子電源遮断時，動作不可[注3]
	VRTC系	P123, P124	RTCPORが発生していない場合，動作可能	
タイマ・アレイ・ユニット			動作可能	
独立電源 RTC			RTCPORが発生していない場合，動作可能	
周波数測定回路			動作可能	
バッテリ・バックアップ機能			動作継続	
12ビット・インターバル・タイマ			動作可能	
8ビット・インターバル・タイマ				
ウオッチドッグ・タイマ				
クロック出力/ブザー出力				
10 ビット A/D コンバータ				
24ビットΔΣA/D コンバータ			動作可能	動作可能[注4]
温度センサ2			動作可能	
シリアル・アレイ・ユニット(SAU)				
IrDA				
シリアル・インタフェース(IICA)				

（注は次ページにあります。）

表30－1　バッテリ・バックアップ中の周辺回路動作状態（2/2）

<table>
<tr><th colspan="2">項目</th><th>VDD 端子給電で CPU 動作時</th><th>VBAT 端子給電で CPU 動作時</th></tr>
<tr><td colspan="2">LCD コントローラ／ドライバ</td><td colspan="2" rowspan="3">動作可能</td></tr>
<tr><td colspan="2">データ・トランスファ・コントローラ(DTC)</td></tr>
<tr><td colspan="2">イベントリンクコントローラ(ELC)</td></tr>
<tr><td colspan="2">パワーオン・リセット機能</td><td colspan="2">動作継続</td></tr>
<tr><td colspan="2">RTCパワーオン・リセット機能</td><td colspan="2">動作継続</td></tr>
<tr><td rowspan="2">電圧検出機能</td><td>内部電源電圧(内部VDD)</td><td colspan="2">動作可能</td></tr>
<tr><td>VDD,VBAT,VRTC,EXLVD
端子電圧</td><td colspan="2">動作可能</td></tr>
<tr><td rowspan="3">外部割込み</td><td>INTP0</td><td colspan="2">動作可能</td></tr>
<tr><td>INTP1-INTP7</td><td>動作可能</td><td>EVDD端子電源供給時，動作可能[注2]
EVDD端子電源遮断時，動作不可</td></tr>
<tr><td>RTCIC0-RTCIC2</td><td colspan="2">動作可能</td></tr>
<tr><td colspan="2">キー割り込み</td><td colspan="2" rowspan="8">動作可能</td></tr>
<tr><td colspan="2">CRC演算機能</td></tr>
<tr><td colspan="2">32ビット積和演算回路</td></tr>
<tr><td colspan="2">RAMパリティ・エラー検出機能</td></tr>
<tr><td colspan="2">RAMガード機能</td></tr>
<tr><td colspan="2">SFRガード機能</td></tr>
<tr><td colspan="2">不正メモリ・アクセス検出機能</td></tr>
<tr><td colspan="2">AES機能</td></tr>
</table>

注1.　セルフ・プログラミング機能は使用できません。

2.　EVDD端子に外部から電源供給を行う時，VDD端子とVBAT端子またはVRTC端子をダイオードORing でバックアップすることを推奨します。

3.　EVDD電源が供給されない場合，GDIDIS0 = 1 に設定してください。

4.　バックアップモードで動作可能なΔΣA/Dコンバータは，最大3チャネルに制限されます。

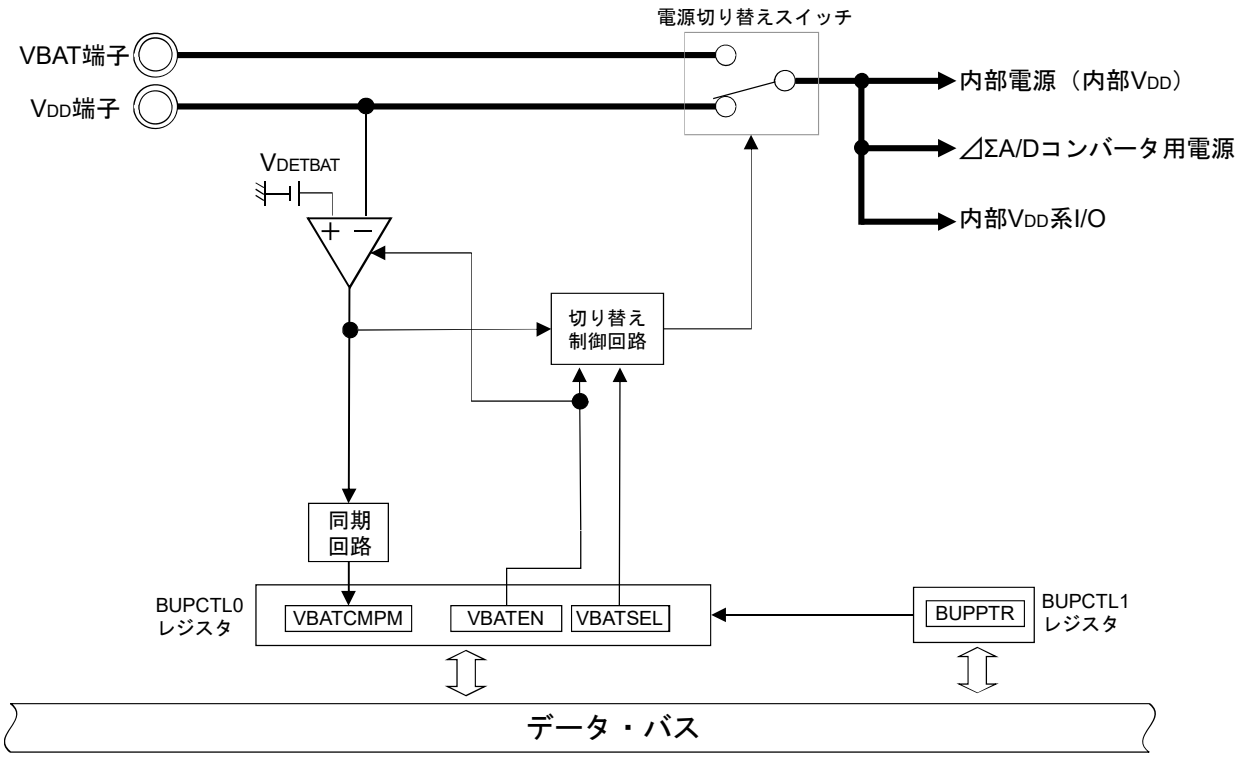
5.　RTCIC0, RTCIC1, RTCIC2端子を含みます。

6.　バッテリ・バックアップ機能による電源切り替え発生時は，データ・フラッシュへのアクセスを禁止します。

- 電源起動時は，VDD端子から電源供給されます。VDD端子よりも先にVBAT端子に電源を供給してもMCUはリセット状態を維持します。
- バッテリ・バックアップ機能はデフォルト停止です。電源起動後にソフトウェアによりバッテリ・バックアップ・モードの設定が必要です。
- VDD端子の電圧が検出電圧以下に低下した場合，内部電源及び⊿ΣA/Dコンバータ用の電源供給をVDD供給からVBAT供給に切り替えることができます。また，VDD端子の電圧が検出電圧以上に復帰した場合，内部電源及び⊿ΣA/Dコンバータ用の電源供給をVBAT供給からVDD供給に切り替えることができます。
- VBAT≧VDDの条件においてソフトウェアにより内部電源及び⊿ΣA/Dコンバータ用の電源供給をVBAT供給に切り替えることができます。

図30－1にバッテリ・バックアップ機能の構成図を示します。

図30－1　バッテリ・バックアップ機能の構成図



30. 1. 1　端子構成

表30－2にバッテリ・バックアップ機能の端子構成を示します。

表30－2　バッテリ・バックアップ機能の端子構成

名称	機能
V_{DD}	端子の正電源
VBAT	バッテリ・バックアップ用電源

30. 2　レジスタ説明

表30－3にバッテリ・バックアップで使用するレジスター覧を示します。

表30－3　レジスター覧

レジスタ名	シンボル
バックアップ電源切り替えコントロール・レジスタ0	BUPCTL0
バックアップ電源切り替えコントロール・レジスタ1	BUPCTL1
グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS

30. 2. 1　バックアップ電源切り替えコントロール・レジスタ0（BUPCTL0）

BUPCTL0レジスタは，給電元端子の選択を行うレジスタです。

BUPCTL0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

VBATEN（ビット7），VBATSEL（ビット0）は，パワーオン・リセットの発生のみにより0にクリアされます。その他のビットは，リセット信号の発生により0にクリアされます。

図30－2　バックアップ電源切り替えコントロール・レジスタ0（BUPCTL0）のフォーマット（1/2）

アドレス：F0330H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
BUPCTL0	VBATEN	0	0	0	VBATCMPM	0	0	VBATSEL

VBATEN[注2, 4]	バッテリ・バックアップ機能の動作制御
0	バッテリ・バックアップ機能停止[注3]
1	バッテリ・バックアップ機能動作

注1. VBATEN（ビット7），VBATSEL（ビット0）はパワーオン・リセットの発生のみにより，0にクリアされます。

2. VBATENビットを1にする場合，0を書いた後に1を書き込んでください。0を書いた後に，BUPCTL0以外のSFRに書き込みを行った場合は，VBATENビットを1にすることはできません。

また，VBATENビットを0にする場合は，1を書いた後に0を書き込んでください。1を書いた後に，BUPCTL0以外のSFRに書き込みを行った場合は，VBATENビットを0にすることはできません。

3. 内部電源をVBAT端子からの電源供給中に，バッテリ・バックアップ機能停止設定（VBATEN = 0）を行うことで，V_{DD}端子からの電源供給に切り替える事ができます。

V_{DD}の電圧が供給されていないときにVBAT端子から電源供給を強制的に遮断する時はVBATEN=0としてください。V_{DD}端子からの供給に強制的に切り替わりますので電源が供給されずパワーオン・リセット状態となります。その後V_{DD}電源が供給される事により復帰します。

4. VBATEN設定値によって，製品動作下限電圧が異なります。

VBATEN = 0の時，動作下限電圧 = 1.7 V

VBATEN = 1の時，動作下限電圧 = 1.9 V

図30－2　バックアップ電源切り替えコントロール・レジスタ0（BUPCTL0）のフォーマット（2/2）

アドレス：F0330H　　リセット時：00H　　R/W注1

略号	7	6	5	4	3	2	1	0
BUPCTL0	VBATEN	0	0	0	VBATCMPM	0	0	VBATSEL

VBATCMPM注1	バッテリ・バックアップ用コンパレータ出力モニタ
0	V_{DD}端子電圧≧電源切り替え検出電圧（$V_{DETBAT2}$） または，電源切り替え機能停止（VBATEN = 0）の状態
1	V_{DD}端子電圧＜電源切り替え検出電圧（$V_{DETBAT1}$）

VBATSEL 注2	給電元端子の選択
0	V_{DD}端子の電位に応じて供給元をハードウェアで切り替える
1	VBAT端子から給電する

注1. ビット3はRead onlyです。

2. VBATSELビットを1にする場合，0を書いた後に1を書き込んでください。0を書いた後に，BUPCTL0以外のSFRに書き込みを行った場合は，VBATSELビットを1にすることはできません。

また，VBATSELビットを0にする場合は，1を書いた後に0を書き込んでください。1を書いた後に，BUPCTL0以外のSFRに書き込みを行った場合は，VBATSELビットを0にすることはできません。

注意1.　V_{DD}＞4.0 VかつV$_{BAT}$＜2.4 VまたはV$_{BAT}$＞4.0 VかつV$_{DD}$＜2.4 VにおいてVBATSEL書き換えによる電源切り替えは禁止です。

2.　ビット6-4, 2-1には必ず0を設定してください。

備考　バッテリ・バックアップ機能の動作／停止設定は，**図30－7　バッテリ・バックアップ機能動作設定手順**，**図30－8　バッテリ・バックアップ機能停止設定手順**，**30.3.2　バッテリ・バックアップ機能の使用方法**に従って設定してください。

30. 2. 2　バックアップ電源切り替えコントロール・レジスタ1（BUPCTL1）

BUPCTL1レジスタは，BUPCTL0レジスタの書き換え無効／可能を設定するレジスタです。BUPPRTビット = 0の場合，BUPCTL0レジスタの書き換えが無効なため，BUPCTL0レジスタの誤書き込み防止ができます。

BUPCTL1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図30－3　バックアップ電源切り替えコントロール・レジスタ1（BUPCTL1）のフォーマット

アドレス：F0331H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
BUPCTL1	BUPPRT	0	0	0	0	0	0	0

BUPPRT	BUPCTL0レジスタのライトプロテクト制御
0	BUPCTL0レジスタのライト無効，BUPCTL0レジスタのリード可能
1	BUPCTL0レジスタのリード･ライト可能

注意　ビット6-0には必ず0を設定してください。

30. 2. 3　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）

EV_{DD}とV_{DD}を同電位で使用している場合，停電発生等によりV_{DD}端子からの電源供給が遮断された場合，EV_{DD}供給も遮断され0 Vになります。GDIDISレジスタはEV_{DD} = 0 V時に入力バッファの貫通電流を防止するレジスタです。GDIDIS0ビットを1に設定することにより，EV_{DD}に接続されているすべての入力バッファ注を入力禁止とし，EV_{DD}に接続されている電源がオフになったときの貫通電流を防止します。GDIDISレジスタを使用する場合は，EV_{DD}の電源がOFFになる前にGDIDIS0 = 1に設定し，EV_{DD}に電源投入後GDIDIS0 = 0に設定します。

GDIDISレジスタは，1ビット・メモリ操作または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注　内部V_{DD}またはVRTCで駆動するI/Oバッファ(P20-P25, P121-P124, P137, P150-P152)以外のポート端子です。

内部V_{DD}で駆動するI/Oはバッテリ・バックアップ機能によりI/Oバッファの電源供給がV_{DD}端子またはVBAT端子供給に切り替わるため，GDIDIS = 1に設定してもI/Oは使用可能です。

端子の入出力バッファ電源は**表2－1　各端子の入出力バッファ電源**を参照してください。

図30－4　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS)のフォーマット

アドレス：F007DH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EV_{DD}電源の入力バッファ設定
0	入力バッファの入力許可（デフォルト）
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

30. 3　動作説明

30. 3. 1　バッテリ・バックアップ機能

V_{DD}端子からの電圧が検出電圧よりも低下したとき，専用のバッテリ・バックアップ用電源端子（VBAT端子）から内部電源及び⊿ΣA/Dコンバータ用の電源供給へ切り替えることができます。V_{DD}端子からの供給電圧が検出電圧（$V_{DETBAT1}$）以下に低下した場合，内部電源及び⊿ΣA/Dコンバータ用の電源がV_{DD}供給からVBAT供給へ切り替わります。

電源起動時は，内部電源及び⊿ΣA/Dコンバータ用の電源は必ずV_{DD}端子から供給されるように固定されます。パワーオン・リセットの発生により，BUPCTL0レジスタのVBATENビットが0にリセットされます。BUPCTL0レジスタのVBATENビットが0の場合，電源切り替え機能は停止し，内部電源及び⊿ΣA/Dコンバータ用の電源はV_{DD}端子から供給されます。BUPCTL0レジスタのVBATENビットを1に設定すると，電源切り替え機能が動作します。電源切り替え機能が動作した状態では，V_{DD}端子からの供給電圧が検出電圧（$V_{DETBAT1}$）以下に低下した場合，内部電源及び⊿ΣA/Dコンバータ用の電源がV_{DD}供給からVBAT供給へ切り替わります。また，VBAT端子からの電源供給中にV_{DD}電圧が検出電圧（$V_{DETBAT2}$）以上に復帰した場合，内部電源及び⊿ΣA/Dコンバータ用の電源供給がVBAT供給からV_{DD}供給へ切り替わります。

また，ソフトウェアでV_{DD}端子からの電源供給をVBAT端子からの電源供給に切り替えることができます。

BUPCTL0レジスタのVBATENビットが1（電源切り替え機能動作）のときに，BUPCTL0レジスタのVBATSELビットを1（VBAT端子から給電する）にするとVBAT端子からの電源供給に切り替わります。

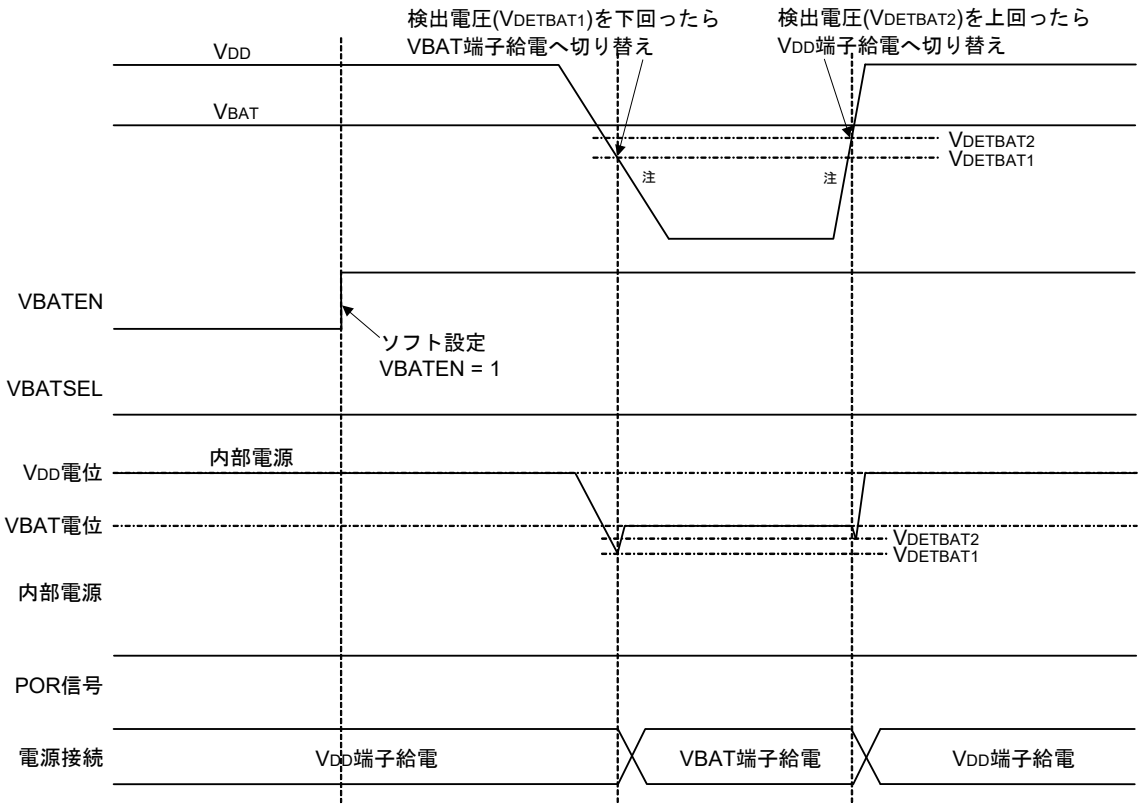
表30－4にバッテリ・バックアップ動作仕様を，**図30－5**，**図30－6**にバッテリ・バックアップ動作を示します。

表30－4　バッテリ・バックアップ動作仕様

電源	VBATEN	VBATSEL	条件	内部電源及び⊿ΣA/Dコンバータ用電源接続
起動時	×	×	—	V_{DD}端子給電
起動後	0	×	—	V_{DD}端子給電
	1	0	$V_{DD} \geqq V_{DETBAT2}$	V_{DD}端子給電
			$V_{DETBAT1} < V_{DD} < V_{DETBAT2}$	V_{DD}端子給電またはVBAT端子給電（ヒステリシス特性を持ちます）
			$V_{DD} \leqq V_{DETBAT1}$	VBAT端子給電
		1	—	VBAT端子給電

備考　× ：don’t care

図30－5　バッテリ・バックアップ動作（1）（VBATEN = 1, VBATSEL = 0）



注　電源の立ち上がりと立ち下がりのスロープは，**第41章　電気的特性**を参照してください。

図30－6　バッテリ・バックアップ動作（2）（VBATEN = 1, VBATSEL = 1）

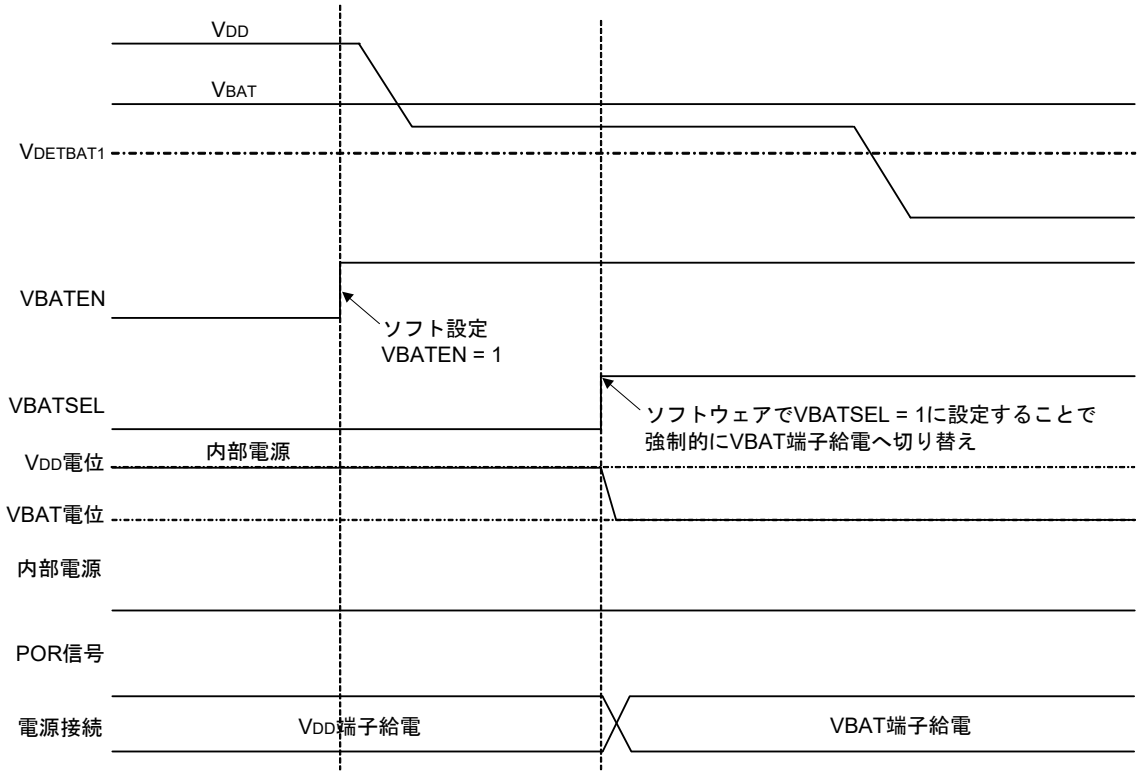
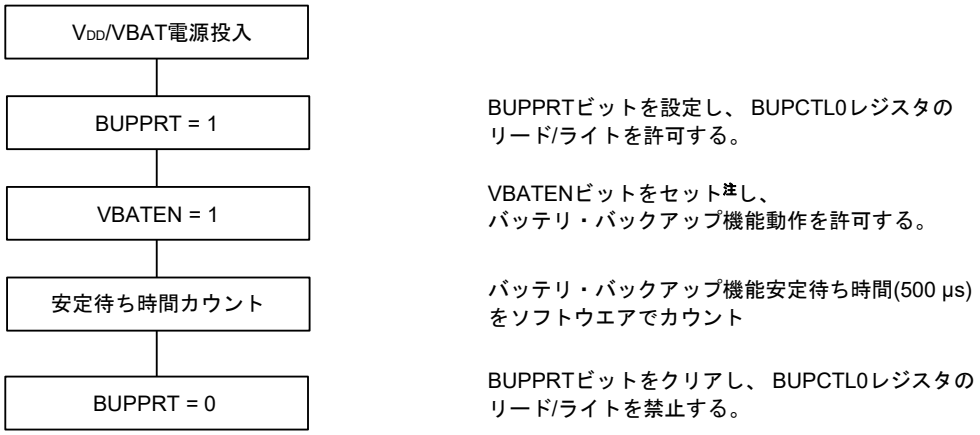


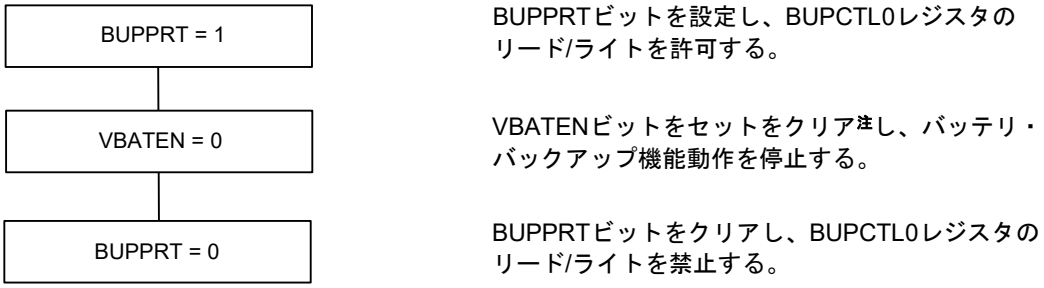
図30－7にバッテリ・バックアップ機能動作設定手順を，**図30－8**にバッテリ・バックアップ機能動作停止設定手順を示します。

図30－7　バッテリ・バックアップ機能動作設定手順



注　VBATENビットを1にする場合，0を書いた後に1を書き込んでください。

図30－8　バッテリ・バックアップ機能動作停止設定手順



注　VBATENビットを0にする場合，1を書いた後に0を書き込んでください。

30. 3. 2　バッテリ・バックアップ機能の使用方法

電源切り替えをハードウエアで行う状態（VBATEN = 1かつVBATSEL = 0）において，V_{DD}端子からの供給電圧が検出電圧（$V_{DETBAT1}$）以下に低下し内部電源がV_{DD}供給からVBAT供給へ切り替えが発生した場合，またはVBAT端子からの電源供給中にV_{DD}端子電圧が検出電圧（$V_{DETBAT2}$）以上に復帰し内部電源がVBAT供給からV_{DD}供給へ切り替えが発生した場合，内部電源が急峻に変動する事で下記の現象が発生します。電源切り替えをソフトウエアで行う場合（VBATSEL = 0から1，またはVBATSEL = 1から0）も同様になります。

①高速オンチップ・オシレータ・クロック（f_{IH}）の周波数が変動または停止する場合があります。

②HS（高速メイン）モード使用時は，電源切り替えの瞬間，正しく命令が読み出せない場合があります。

そのため，電源切り替え発生時にCPUが高速オンチップ・オシレータ・クロックで動作，または電源切り替え発生時にHS（高速メイン）モードでFlash読み出しを避けるために，バッテリ・バックアップ機能を使用する場合は，必ず次に示した使用方法で使用してください。

①ソフトウエア(VBATSEL)による電源切り替え

ソフトウエア(VBATSEL)を使用して電源切り替えを行う場合の動作を**図30－9**に示します。

停電発生時

V_{DD}端子の電圧検出割り込み（INTLVDVDD）を使用して停電検出を行い，バッテリ・バックアップ回路による電源切り替えが発生する前に，**図30－10**に示す設定手順で内部電源をVBAT端子給電に切り替えてください。

バッテリ・バックアップ・モード中（VBAT端子給電中）

表30－1に従い動作可能です。

復電時

V_{DD}端子の電圧検出割り込み（INTLVDVDD）を使用して復電検出を行い，**図30－10**に示す設定手順で内部電源をV_{DD}端子給電に切り替えてください。

注意 1.　V_{DD}＞4.0 VかつV_{BAT}＜2.4 V，またはV_{BAT}＞4.0 VかつV_{DD}＜2.4 Vにおいて，VBATSEL書き換えによる電源切り替えは禁止です。

2.　VBATSEL=1の状態ではV_{DD}系ポート（P20-P25, P121-P122, P137, P150-P152）にV_{BAT}+0.3Vを超える電圧を印加した場合，図30－11に示す経路でI/O保護に貫通電流が発生します。

図30－9　ソフトウエア（VBATSEL）による電源切り替え動作

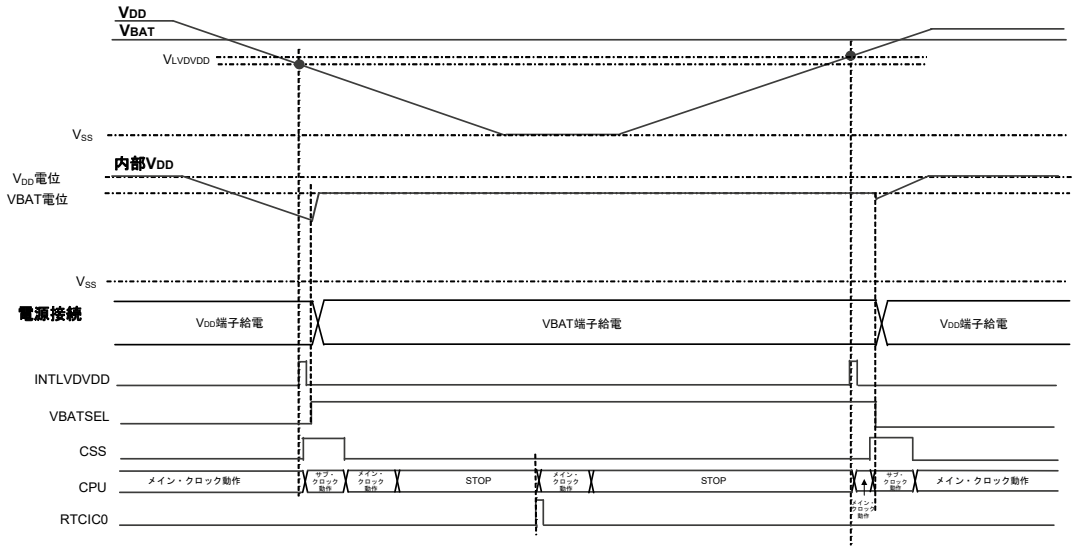


図30－10　ソフトウエア（VBATSEL）による電源切り替え設定手順

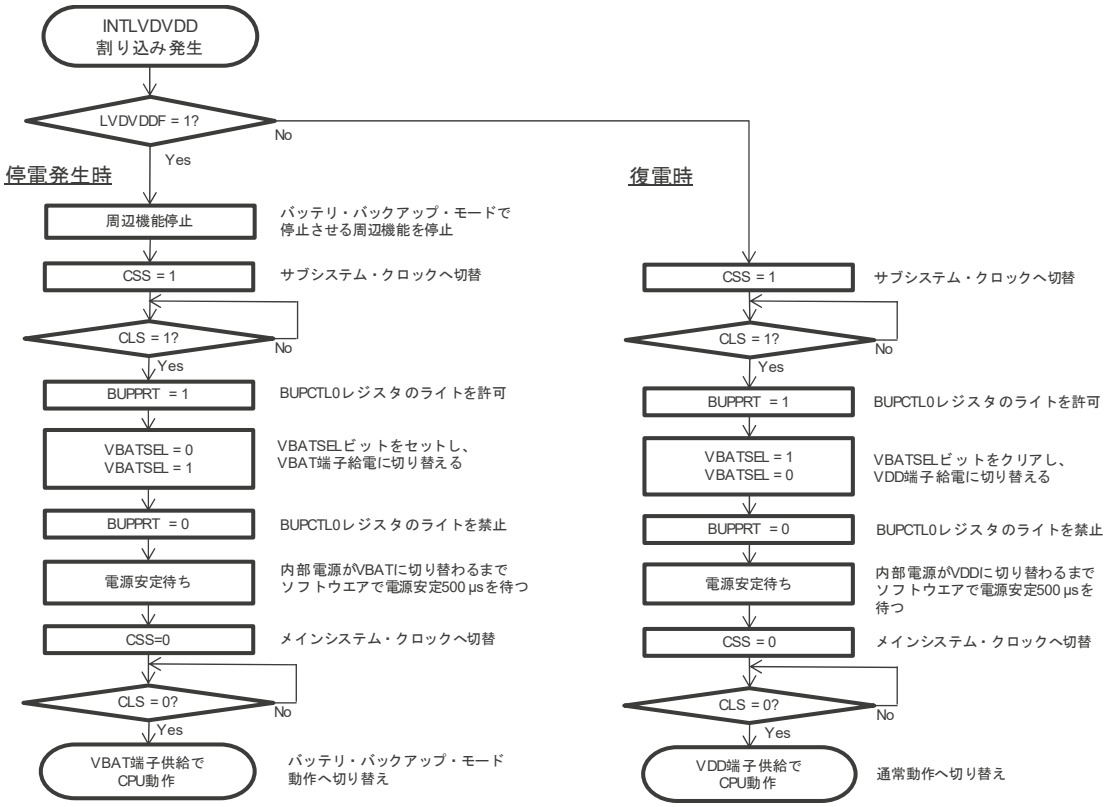
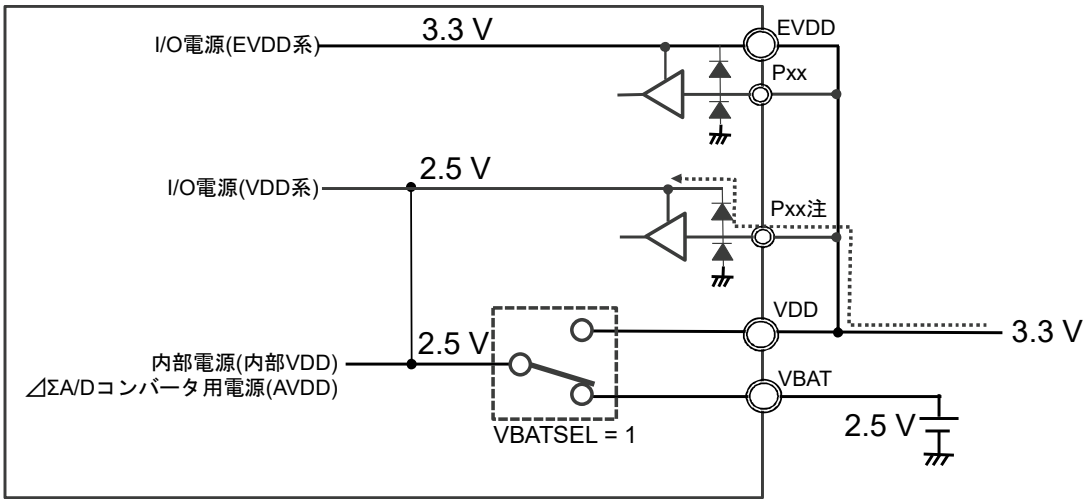


図30－11　VBATSEL = 1における貫通電流発生条件



注　VDD電源I/O（P20-P25, P121-P122, P137, P150-P152）

②ハードウエアによる電源切り替え（VBATSEL = 0）

ハードウエアを使用して電源切り替えを行う場合の動作を**図30－12**に示します。

停電発生時

VDD端子の電圧検出割り込み（INTLVDVDD）を使用して停電検出を行い，バッテリ・バックアップ回路による電源切り替えが発生する前に，**図30－13**に示す手順で必ずサブシステム・クロック動作へ切り替えてください。

バッテリ・バックアップ・モード中（VBAT端子給電中）

サブシステム・クロック動作またはHALTのみ動作可能です。メインシステム・クロックでの動作を禁止します。バッテリ・バックアップ・モード中にメインシステム・クロックでの動作が必要な場合はソフトウエア（VBATSEL）による電源切り替えを行ってください。

復電時

VDD端子の電圧検出割り込み(INTLVDVDD）を使用して復電検出を行い，**図30－13**に示す手順でメインシステム・クロック動作に切り替えてください。

図30－12　ハードウエアによる電源切り替え動作(VBATSEL = 0)

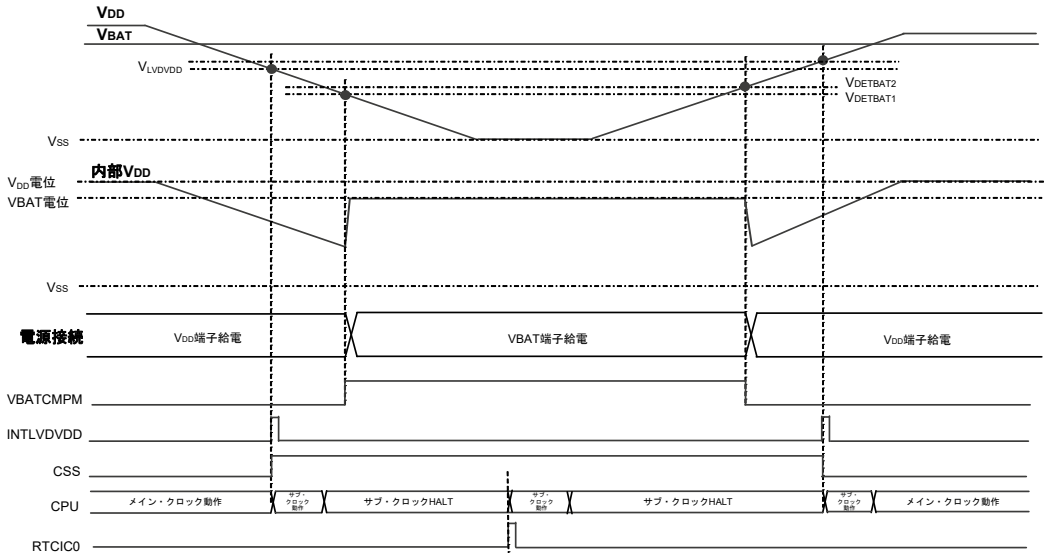
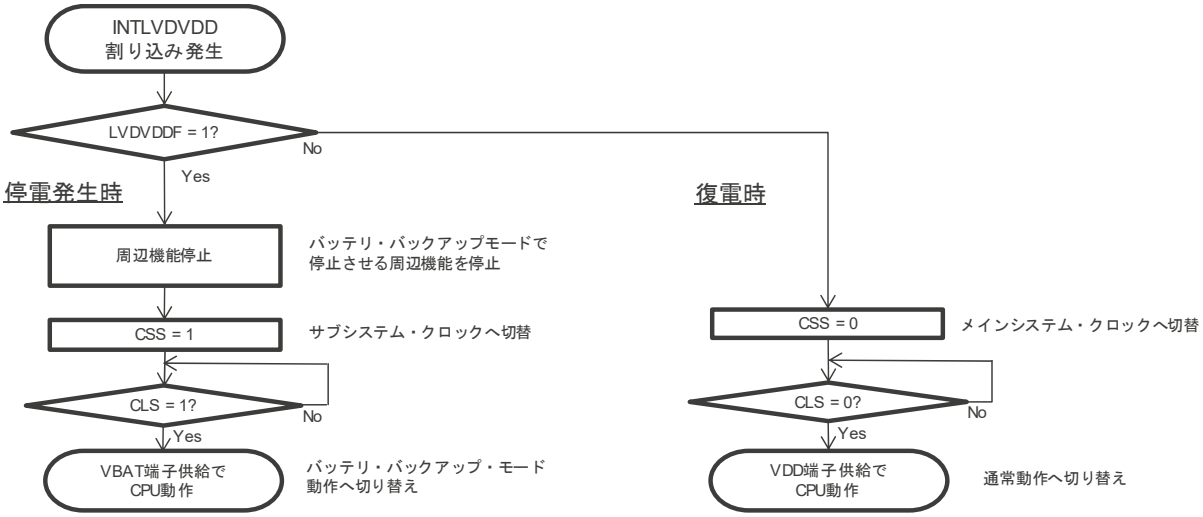


図30－13　ハードウエアによる電源切り替え設定手順



③バッテリ・バックアップ・モード中はSTOP（独立電源RTCのみ動作）とする場合

バッテリ・バックアップ・モード中は独立電源RTCのみ動作させ，CPUはSTOP状態を維持できる場合の動作を**図30－14**に示します。

停電発生時

V_{DD}端子の電圧検出割り込み（INTLVDVDD）を使用して停電検出を行い，バッテリ・バックアップ回路による電源切り替えが発生する前に，必ずSTOPモードへ移行してください。

バッテリ・バックアップ・モード中（VBAT端子給電中）

STOP状態としてください。V_{DD}端子の電圧検出割り込み（INTLVDVDD）以外の要因によるSTOP解除を禁止します。

復電時

V_{DD}端子の電圧検出割り込み(INTLVDVDD)を使用して復電検出を行い，STOP解除してください。

注意　復電時，電源の立ち上がりのスロープは max 0.06V/msを確保してください。

図30－14　バッテリ・バックアップ・モード中CPUがSTOP状態を維持できる場合の動作

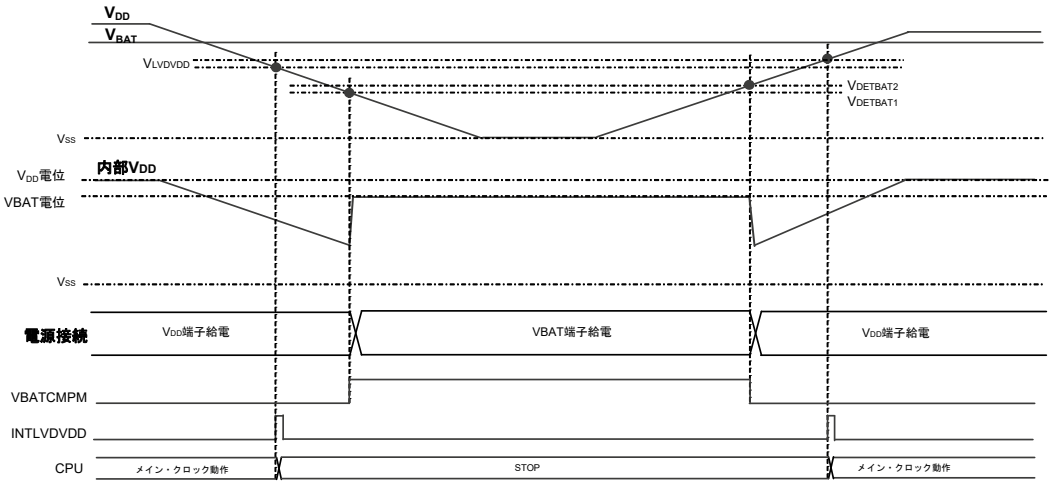
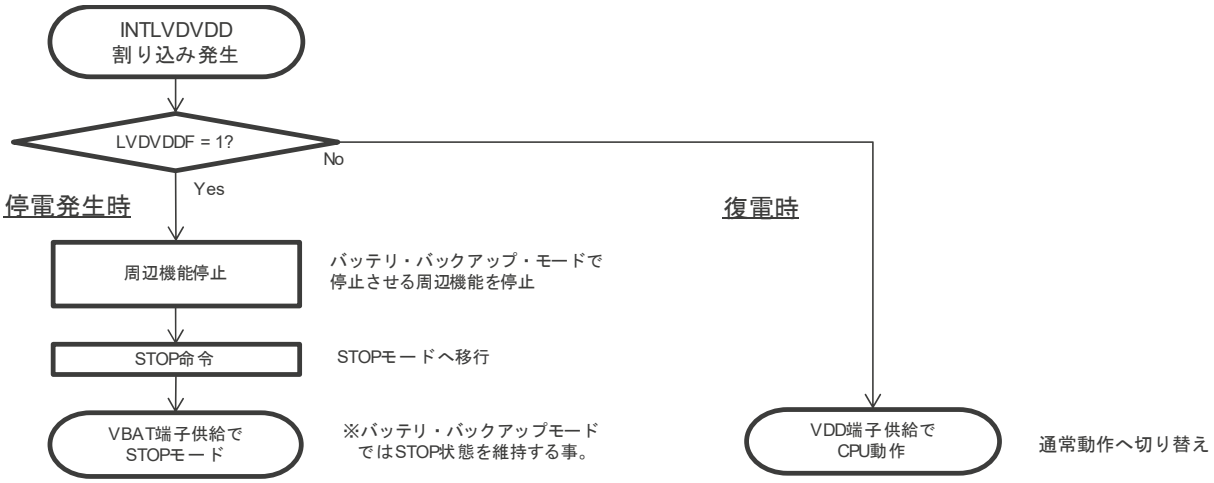


図30－15　バッテリ・バックアップ・モード中CPUがSTOP状態を維持できる場合の設定手順



30.4　使用上の注意事項

(1)　バッテリ・バックアップ機能を使用しない場合は，VBAT端子をV_{SS}端子と同電位に接続してください。

(2)　V_{DD}＞4.0 VかつV_{BAT}＜2.4 VまたはV$_{BAT}$＞4.0 VかつV$_{DD}$＜2.4 VにおいてVBATSEL書き換えによる電源切り替えは禁止です。

(3)　VBATSEL = 1の状態では，V_{BAT}＜1.9 Vにならないようにしてください。

(4)　VBATENとVBATSELの同時設定は禁止です。

(5)　VBATSEL = 1の状態でVBATEN = 0の設定は禁止です。

(6)　電源の立ち上がりと立ち下がりのスロープは，**第41章　電気的特性**を参照してください。

(7)　VBAT端子から電源供給されている場合は，セルフ・プログラミング機能は使用できません。

(8)　電源切り替えをハードウェアで行う（VBATEN = 1, VBATSEL = 0）場合は，電源がVBATへ切り替わった際，EV$_{DD}$系ポート端子でのリーク電流発生を回避するため，GDIDISレジスタにより入力バッファをディスエーブルに設定（GDIDIS=01H）にしてください。

(9)　電源切り替えをハードウェアで行う（VBATEN = 1, VBATSEL = 0）場合は，電源がVBATへ切り替わった際，EV$_{DD}$系ポート端子の入力バッファはEV$_{DD}$電圧にて制御されているため，入力信号がEV$_{DD}$電圧を超えないように設計時に配慮が必要です。

(10)　内部V$_{DD}$電源で駆動するI/Oバッファは，バッテリ・バックアップ・モード時に動作可能だが，I/Oで大電流を出力すると内部V$_{DD}$の電圧降下が発生するため，バッテリ・バックアップ・モード時は極力内部V$_{DD}$系I/Oでハイ・レベル電流を出力しないように設計時に配慮が必要です。

バッテリ・バックアップ・モードでI/Oを駆動する場合は，下記の方法にて実施してください。

・内部V$_{DD}$系I/Oを使用する場合は，ロウ・レベル出力による電流引き込みとHi-Z出力による外部プルアップの組み合わせのみで制御を行う。

・EV$_{DD}$端子にVBAT端子とV$_{DD}$端子のダイオードORingを接続することで，V$_{DD}$電源遮断時にVBAT端子に接続したバックアップ用電源電圧でEV$_{DD}$電源のバックアップを行った上でEV$_{DD}$系I/Oを使用する。

(11)　VBATEN = 1設定時，LVモードは使用禁止です。

(12)　内部V$_{DD}$の電源ソース設定(VBATEN,VBATSEL)，内部V$_{DD}$電圧状態に応じて，製品動作モード(HS/LS/LV/LP）を設定してください。

内部電源電圧ソース源	動作電圧範囲
V$_{DD}$端子	HSモード：2.1 V～5.5 V
	LSモード：1.9 V～5.5 V
	LPモード：1.9 V～5.5 V
	LVモード：1.7 V～5.5 V
VBAT端子	HSモード：2.1 V～5.5 V
	LSモード：1.9 V～5.5 V
	LPモード：1.9 V～5.5 V
	LVモード：設定禁止

(13)　電源供給を切り替える前に，供給電圧が製品動作モードに適した電圧であることを確認し設定してください。

第31章　発振停止検出回路

31. 1　発振停止検出回路の機能

発振停止検出回路は，低速オンチップ・オシレータ・クロック（f_{IL}）でサブ・クロック（f_{SX}）の動作状態を監視し，一定期間以上の間の動作停止を検出した場合は，XT1発振回路に異常が発生したと判断し，発振停止検出割り込み信号を出力します。

発振停止検出回路は，リセット解除後にソフトウエアで動作許可する必要があります。

発振停止検出回路は，ソフトウエアで発振停止検出動作を停止します。あるいは，$\overline{\text{RESET}}$端子によるリセットまたは不正命令の実行[注]による内部リセットによって，発振停止検出動作を停止します。リセット発生後は，再度ソフトウエアで発振停止検出動作を許可にしてください。

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

発振停止検出回路が発振停止の判断をする期間（発振停止判定時間）は発振停止検出制御レジスタ（OSDC）のOSDCCMP11-OSDCCMP0ビットで設定できます。

発振停止判定時間 ＝ 低速オンチップ・オシレータ・クロック（f_{IL}）周期×（（OSDCCMP11-OSDCCMP0設定値）＋1）

・OSDCCMP11-OSDCCMP0= 003H設定時：232 μs（MIN.），267 μs（TYP.），314 μs（MAX.）
・OSDCCMP11-OSDCCMP0= FFFH設定時：237 ms（MIN.），273 ms（TYP.），322 ms（MAX.）

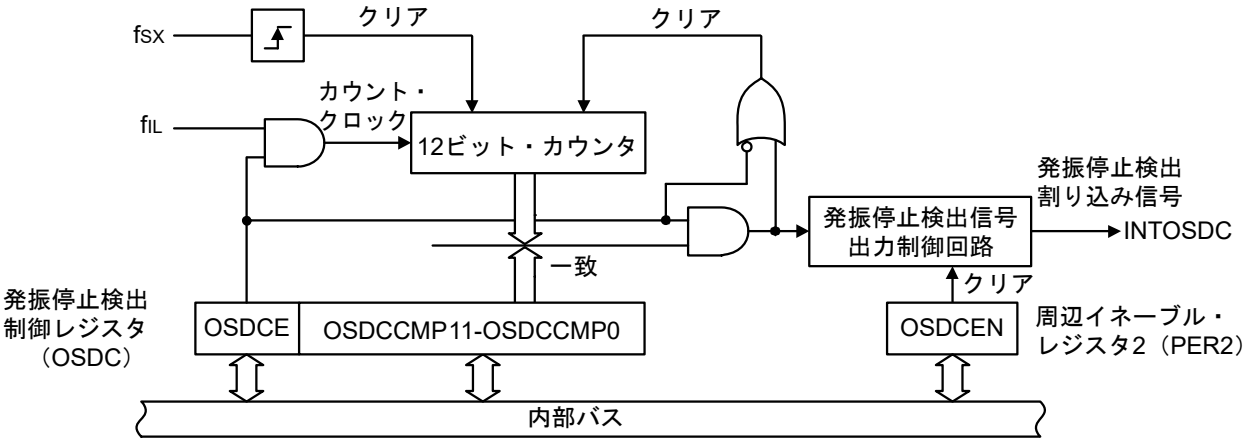
31. 2　発振停止検出回路の構成

発振停止検出回路は，以下のハードウエアで構成されています。

表31－1　発振停止検出回路の構成

項　　目	構　　成
制御レジスタ	周辺イネーブル・レジスタ2（PER2） 周辺リセット制御レジスタ2（PRR2） サブシステム・クロック供給オプション制御レジスタ（OSMC） 発振停止検出制御レジスタ（OSDC）

図31－1　発振停止検出回路のブロック図



31. 3　発振停止検出回路で使用するレジスタ

31. 3. 1　周辺イネーブル・レジスタ2（PER2）

PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

発振停止検出回路を使用するときは，必ずビット6（OSDCEN）を1に設定してください。PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図31－2　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F00FCH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	OSDCEN	0	0	0	MACEN	0	VRTCEN

OSDCEN	発振停止検出回路の入力クロック供給の制御
0	入力クロック供給停止 • 発振停止検出回路で使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給 • 発振停止検出回路で使用するSFRへのリード／ライト可

注.　発振停止検出回路および発振停止検出回路で使用するSFRを初期化する場合，PRR2のビット6(OSDCRES)を使用してください。

注意1.　発振停止検出回路の設定をする際には，必ず最初にOSDCEN = 1の設定を行ってください。OSDCEN = 0の場合は，発振停止検出回路の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります。

2.　ビット5-3, 1には必ず“0”を設定してください。

31. 3. 2　周辺リセット制御レジスタ2（PRR2）

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

発振停止検出回路をリセットする場合は，必ずビット6 (OSDCRES)を1に設定してください。

PRR2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR2レジスタは00Hになります。

図31－3　周辺リセット制御レジスタ2（PRR2)のフォーマット

アドレス：F00FDH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	OSDCRES	0	0	0	MACRES	0	0

OSDCRES	発振停止検出回路のリセット制御
0	発振停止検出回路のリセット解除
1	発振停止検出回路はリセット状態

31. 3. 3　サブシステム・クロック供給オプション制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。RTCLPC = 1に設定すると，STOPモード時およびサブ・クロック(f_{SX})でCPU動作中のHALTモード時に，独立電源RTC，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，発振停止検出回路，周波数測定回路以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタでは12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，周波数測定回路の動作クロックの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図31－4　サブシステム・クロック供給オプション制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC[注4]	STOPモード時およびサブ・クロック(f_{SX})でCPU動作中のHALTモード時の設定
0	周辺機能へのサブ・クロック(f_{SX})供給許可 (動作許可となる周辺機能については，**表26 - 1～表26 - 3**参照)
1	独立電源RTC，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，発振停止検出回路，周波数測定回路以外の周辺機能へのサブ・クロック(f_{SX})供給停止

WUTMMCK0	12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，LCDコントローラ／ドライバ，周波数測定回路の動作クロックの選択	周波数測定回路のカウント動作/停止トリガクロック選択	クロック出力/ブザー出力制御回路の出力クロックの選択
0	サブ・クロック(f_{SX})	サブ・クロック(f_{SX})を選択	サブ・クロック(f_{SX})
1	低速オンチップ・オシレータ・クロック(f_{IL})[注2, 3, 6, 7]	低速オンチップ・オシレータ・クロック(f_{IL})を選択[注6]	クロック出力禁止[注5]

注1.　ビット0-3, 5, 6には，必ず0を設定してください。

2.　サブ・クロック（f_{SX}）発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

3.　WUTMMCK0ビットによるサブ・クロック（f_{SX}）と低速オンチップ・オシレータ・クロック（f_{IL}）の切り替えは，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路，LCDコントローラ／ドライバ，周波数測定回路の全ての機能が停止中のみ可能です。

4.　CKSELレジスタのビット0（SELLOSC）によりサブ・クロック（f_{SX}）を選択（SELLOSC = 0）してRTCLPC = 1とした場合，サブシステム・クロック（f_{SUB}）は停止しますが，低速オンチップ・オシレータ・クロックを選択（SELLOSC=1）してRTCLPC = 1とした場合，サブシステム・クロック（f_{SUB}）は停止しません。

5.　WUTMMCK0を"1"に設定した場合，PCLBUZn端子からクロック出力を禁止します。

6.　WUTMMCK0を"1"に設定すると低速オンチップ・オシレータ・クロック（f_{IL}）が発振します。

7.　WUTMMCK0を"1"に設定した場合，LCDコントローラ／ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

31. 3. 4　発振停止検出制御レジスタ（OSDC）

発振停止検出回路を制御するレジスタです。発振停止検出回路の動作開始，動作停止を選択します。また，発振停止判定時間を設定します。

OSDCEビットが“0”の状態では，発振停止検出回路は動作を開始しません。

OSDCレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0FFFHになります

図31－5　発振停止検出制御レジスタ（OSDC）のフォーマット

アドレス：F02D0H　　リセット時：0FFFH　　R/W

略号	15	14	13	12	11	10	9	8
OSDC	OSDCE	0	0	0	OSDCCMP11	OSDCCMP10	OSDCCMP9	OSDCCMP8

略号	7	6	5	4	3	2	1	0
OSDC	OSDCCMP7	OSDCCMP6	OSDCCMP5	OSDCCMP4	OSDCCMP3	OSDCCMP2	OSDCCMP1	OSDCCMP0

OSDCE	発振停止検出動作の制御
0	発振停止検出動作停止
1	発振停止検出動作開始

OSDCCMP11-OSDCCMP0	発振停止判定時間
000H … 002H	設定禁止
003H … FFFH	発振停止判定時間を設定します。 OSDCCMPの設定値（A）に対し，（A-2）サイクル～最大（A+1）サイクルの期間発振停止した場合は，発振停止と判定されます。 発振停止判定時間 ＝ 低速オンチップ・オシレータ・クロック（f_{IL}）周期×（（OSDCCMP11-OSDCCMP0ビットの設定値）＋1）

注意1.　OSDCCMP11-OSDCCMP0ビットの設定を変更する場合は，必ずOSDCE = 0（発振停止検出動作停止）にしてください。

2.　発振停止検出回路は，ソフトウエアでOSDCEビットに“0”（発振停止検出動作停止）を設定，あるいは$\overline{\text{RESET}}$端子によるリセットまたは不正命令の実行[注]による内部リセットによって発振停止検出動作を停止します。

また，内部リセットの発生によりXT1発振クロックの発振も停止するため，リセット発生後は，再度ソフトウエアでXT1発振クロックの発振を再開させたあと，発振停止検出動作を許可にしてください。

3.　ビット14-12には必ず“0”を設定してください。

注　FFHの命令コードを実行したときに発生します。

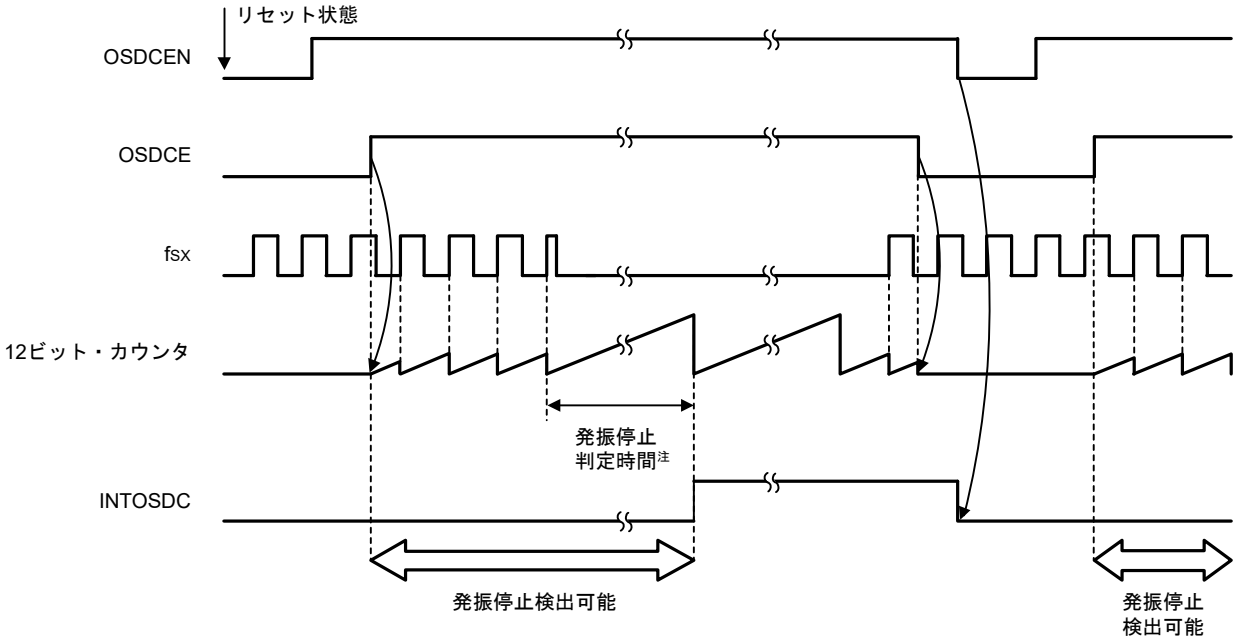
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

31. 4　発振停止検出回路の動作

31. 4. 1　発振停止検出回路の動作方法

1. 外部リセット解除後，サブ・クロック（fsx）の発振を開始します。
2. 発振停止検出制御レジスタ（OSDC）に書き込みを行うことにより，発振停止検出回路が動作を開始します。
3. 発振停止検出回路が動作中に，サブ・クロック（fsx）が発振停止判定時間以上連続して停止すると，発振停止検出割り込み（INTOSDC）を出力します。

図31－6　発振停止検出回路のタイミング



注　OSDCCMPの設定値（A）に対し，（A-2）サイクル～最大（A+1）サイクルの期間発振停止した場合は，発振停止と判定されます。

31. 5　発振停止検出機能使用時の注意事項

発振停止検出回路は，ウォッチドッグ・タイマと一緒に使用してください。

発振停止検出は，次のいずれかの条件で使用できます。

・オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）を“1”，OSMCレジスタのビット4（WUTMMCK0）を“0”に設定した場合

・OSMCレジスタのビット4（WUTMMCK0）を“1”に設定した場合

第32章　安全機能

32. 1　安全機能の概要

安全規格IEC60730，IEC61508に対応するため，RL78/I1Cでは以下の安全機能を搭載しています。
この安全機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

（1）フラッシュ・メモリCRC演算機能（高速CRC，汎用CRC）

CRC演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて，以下の2つのCRCを使い分けていただくことができます。

・「高速CRC」… 初期設定ルーチンの中で，CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。

・「汎用CRC」… CPU動作中に，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用できます。

（2）RAMパリティ・エラー検出機能

RAMをデータとして読み出すとき，パリティ・エラーを検出します。

（3）RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

（4）SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

（5）不正メモリ・アクセス検出機能

不正メモリ領域（メモリが存在しない，アクセスが制限されている領域）への不正なアクセスを検出します。

（6）周波数検出機能

タイマ・アレイ・ユニットを使用して，CPU/周辺ハードウエア・クロック周波数の自己チェックができます。

（7）A/Dテスト機能

A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧をA/D変換することにより，A/Dコンバータの自己チェックができます。

（8）入出力端子のデジタル出力信号レベル検出機能

入出力端子が出力モード時に，端子の出力レベルをリードすることができます。

備考　安全規格IEC60730に対応する安全機能の使用例は，**RL78 MCU シリーズのIEC60730/60335 セルフテスト・ライブラリ アプリケーションノート（R01AN1062，R01AN1296）**を参照してください。

32. 2　安全機能で使用するレジスタ

安全機能では，各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ（CRC0CTL） ・フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）	フラッシュ・メモリCRC演算機能 （高速CRC）
・CRC入力レジスタ（CRCIN） ・CRCデータ・レジスタ（CRCD）	CRC演算機能 （汎用CRC）
・RAMパリティ・エラー制御レジスタ（RPECTL）	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ（IAWCTL）	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0（TIS0）	周波数検出機能
・A/Dテスト・レジスタ（ADTES）	A/Dテスト機能
・ポート・モード選択レジスタ（PMS）	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については，**32. 3　安全機能**の動作の中で説明します。

32. 3　安全機能の動作

32. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段としてCRCが推奨されています。この高速CRCでは，初期設定（イニシャライズ）ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは，CPUを停止させて，フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため，チェック終了までの時間が短いことが特徴です（例　フラッシュ・メモリ32 KB：341 μs@24 MHz）。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意　オンチップ・デバッグでは，モニタ・プログラムを配置するため，CRC演算結果が異なります。

備考　汎用CRCはLSBファーストのため，演算結果は異なります。

32. 3. 1. 1　フラッシュ・メモリ CRC 制御レジスタ（CRC0CTL）

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット

アドレス：F02F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	0	0	FEA3注1	FEA2注2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA3注1	FEA2注2	FEA1	FEA0	CRC演算範囲
0	0	0	0	0000H-3FFBH（16 K−4バイト）
0	0	0	1	00000H-7FFBH（32 K−4バイト）
0	0	1	0	00000H-BFFBH（48 K−4バイト）
0	0	1	1	00000H-FFFBH（64 K−4バイト）
0	1	0	0	00000H-13FFBH（80 K−4バイト）
0	1	0	1	00000H-17FFBH（96 K−4バイト）
0	1	1	0	00000H-1BFFBH（112 K−4バイト）
0	1	1	1	00000H-1FFFBH（128 K−4バイト）
1	0	0	0	00000H-23FFBH（144 K−4バイト）
1	0	0	1	00000H-27FFBH（160 K−4バイト）
1	0	1	0	00000H-2BFFBH（176 K−4バイト）
1	0	1	1	00000H-2FFFBH（192 K−4バイト）
1	1	0	0	00000H-33FFBH（208 K−4バイト）
1	1	0	1	00000H-37FFBH（224 K−4バイト）
1	1	1	0	00000H-3BFFBH（240 K−4バイト）
1	1	1	1	00000H-3FFFBH（256 K−4バイト）

注1.　コード・フラッシュ128 KB，64 KB製品（R5F10NPG，R5F10NMG，R5F10NLG，R5F10NME，R5F10NLE, R5F11TLG, R5F11TLE）では，FEA3ビットを必ず“0”に設定してください。

2.　コード・フラッシュ64 KB製品（R5F10NME, R5F10NLE, R5F11TLE）では，FEA2ビットを必ず“0”に設定してください。

備考　フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

32. 3. 1. 2　フラッシュ・メモリ CRC 演算結果レジスタ（PGCRCL）

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図32－2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス：F02F2H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

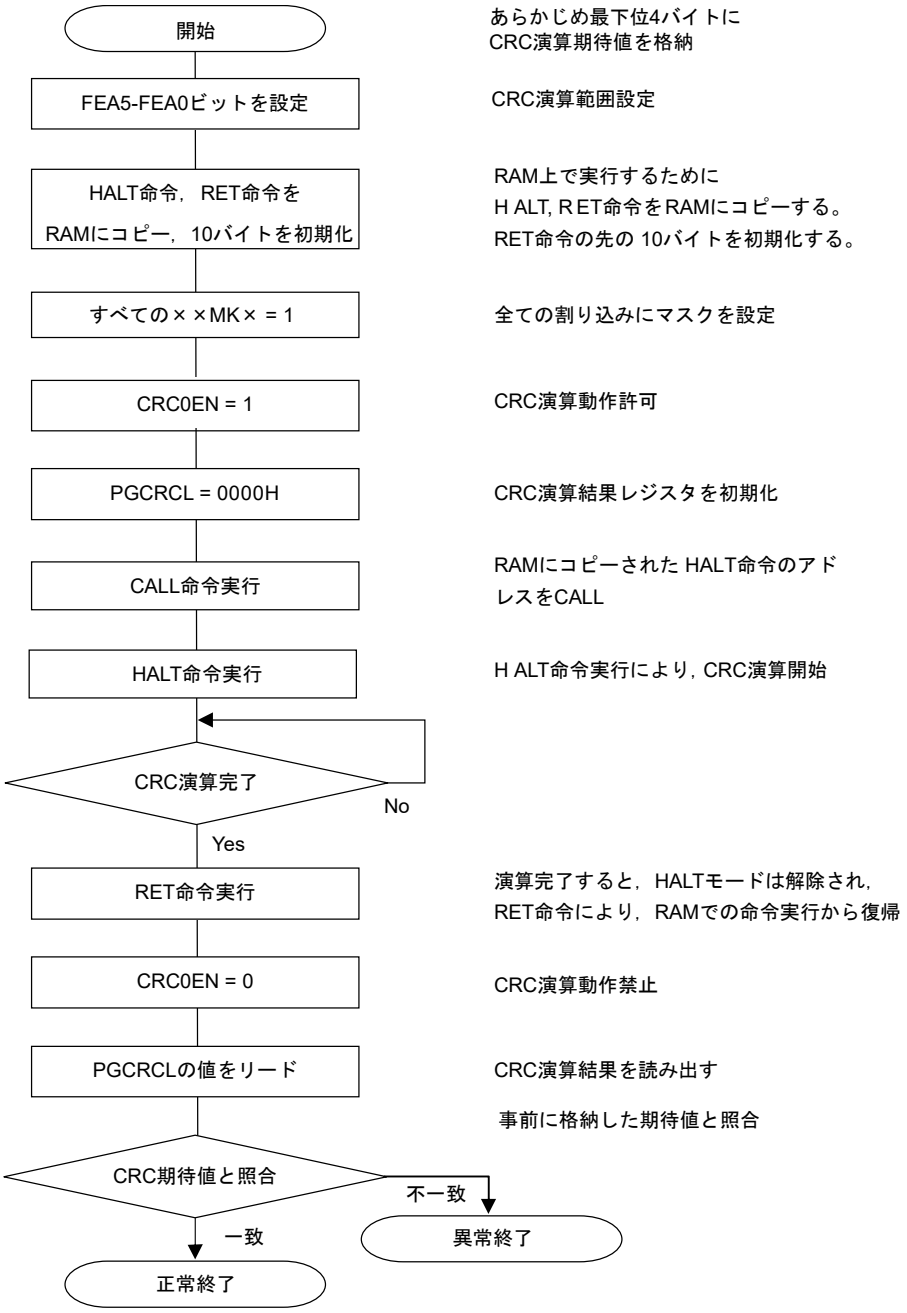
PGCRC15-0	高速CRC演算結果
0000H-FFFFH	高速CRC演算結果を格納

注意　PGCRCLレジスタは，CRC0EN（CRC0CTLレジスタのビット7）= 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを**図32－3**に示します。

＜動作フロー＞

図32－3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



注意1.　CRC演算の対象は，コード・フラッシュのみです。

2.　CRC演算の期待値は，コード・フラッシュ内の演算範囲の後に格納してください。

3.　RAM領域にて，HALT命令を実行することで，CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

CRC演算の期待値は，総合開発環境 CubeSuite+を使用して算出することができます。詳細は，**CubeSuite+ 統合開発環境ユーザーズマニュアル**を参照してください。

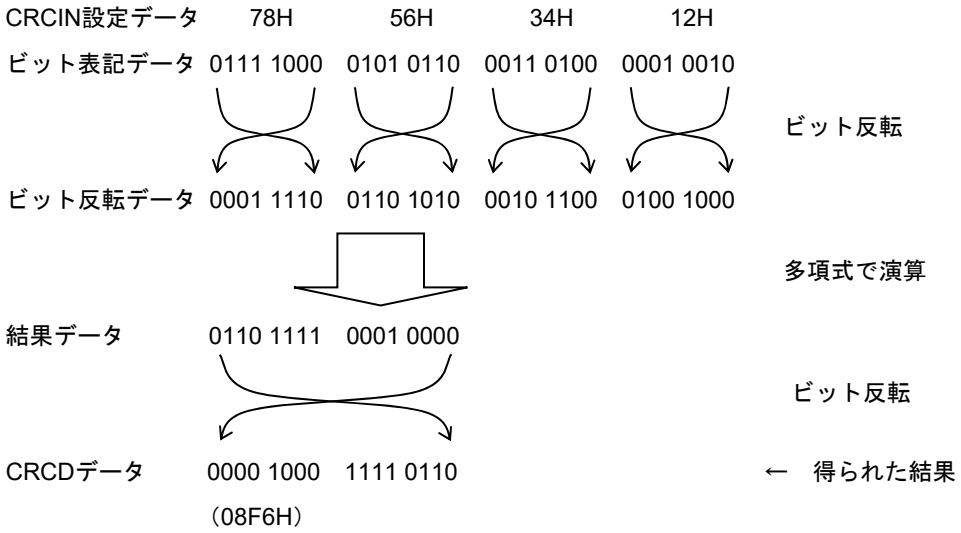
32. 3. 2　CRC演算機能（汎用CRC）

IEC61508では動作中の安全を保証しなければならないため，CPU動作中にもデータ確認する手段が必要です。

この汎用CRCでは，CPU動作中に，周辺機能としてCRC演算を実行できます。汎用CRCは，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウエア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は，DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも，サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」を使用します。入力するデータはLSBファーストでの通信を考慮して，ビットの並びを反転して演算します。たとえば，データ12345678HをLSBから送信する場合には78H，56H，34H，12Hの順でCRCINレジスタに値を書き込むことで，CRCDレジスタから08F6Hの値が得られます。これは，データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意　プログラム実行中，デバッガはソフトウエア・ブレーク設定行をブレーク命令へ書き変えるため，CRC演算の対象領域にソフトウエア・ブレークを設定すると，CRC演算結果が異なります。

32. 3. 2. 1　CRC 入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は，00H-FFHです。

CRCINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－4　CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

ビット7-0	機　能
00H-FFH	データ入力

32. 3. 2. 2　CRC データ・レジスタ（CRCD）

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は，0000H-FFFFHです。

CRCINレジスタ書き込みから，CPU／周辺ハードウエア・クロック（f_{CLK}）の1クロック経過後に，CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図32－5　CRCデータ・レジスタ（CRCD）のフォーマット

アドレス：F02FAH　リセット時：0000H　R/W

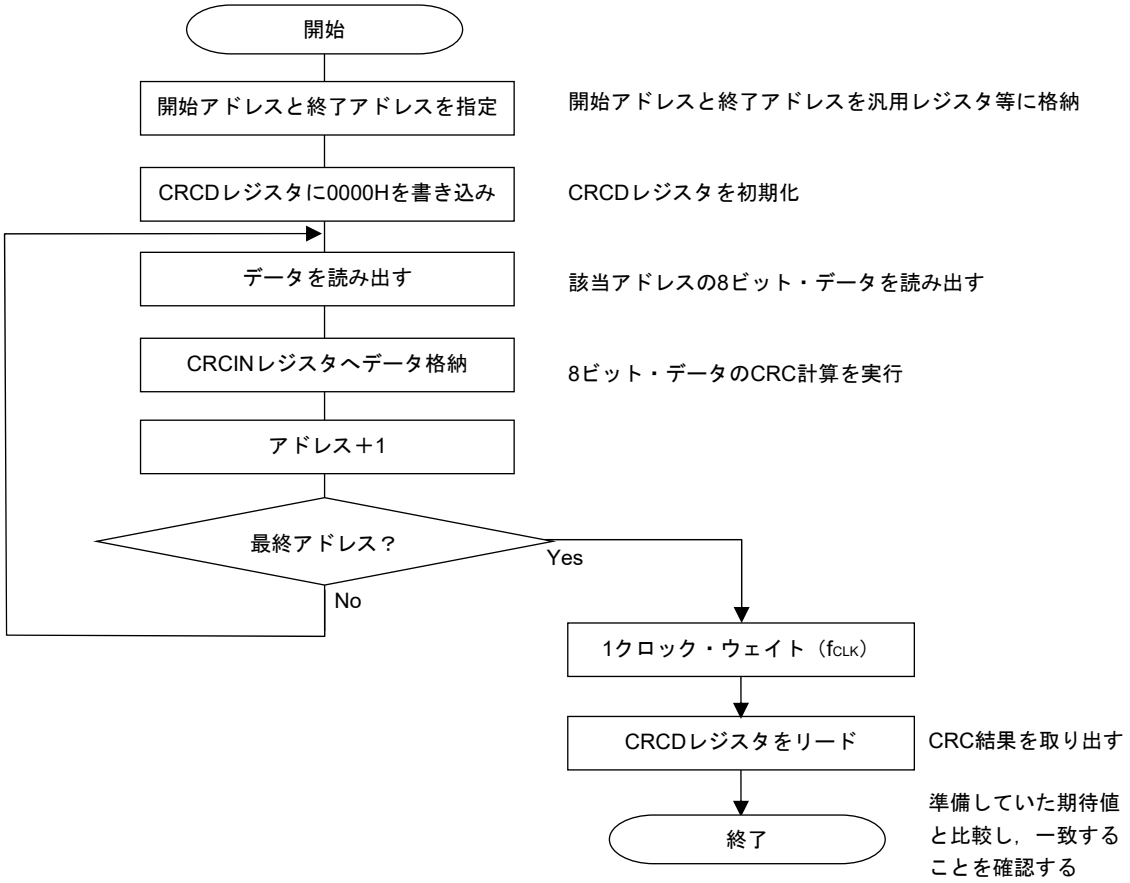
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意1.　CRCDレジスタに書き込まれた値を読み出す場合は，CRCINレジスタへの書き込みを行う前にリードしてください。

2.　CRCDレジスタへの書き込みと演算結果の格納が競合した場合，書き込みは無視されます。

＜動作フロー＞

図32－6　CRC演算機能（汎用CRC）のフロー・チャート



32. 3. 3　RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため，RL78/I1CのRAMには，8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では，データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。また，パリティ・エラー発生時にリセットを発生することもできます。

32. 3. 3. 1　RAM パリティ・エラー制御レジスタ（RPECTL）

パリティ・エラーの発生確認ビットと，パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－7　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス：F00F5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	パリティ・エラー・リセット・マスク・フラグ
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意　データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。そのため，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。
また，RL78はパイプライン動作のためCPUが先読みを行い，使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで，RAMパリティ・エラーが発生する場合があります。したがって，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。

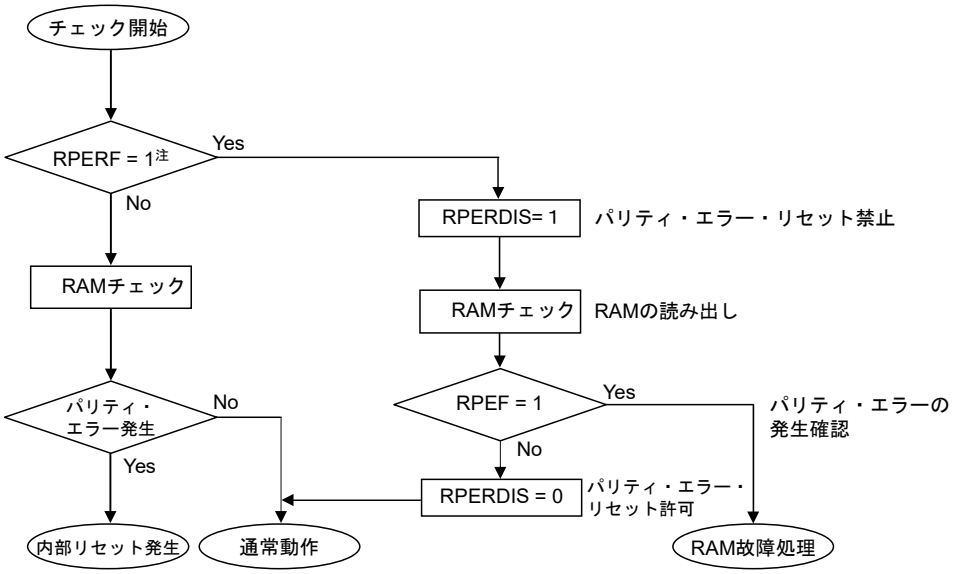
備考1.　初期状態では，パリティ・エラー・リセット発生許可（RPERDIS = 0）になっています。

2.　パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に，パリティ・エラーが発生した場合も，RPEFフラグはセット（1）されます。なお，RPEF = 1の状態で，パリティ・エラー・リセット発生許可（RPERDIS = 0）に設定すると，RPERDISをクリア（0）した時点でパリティ・エラー・リセットが発生します。

3.　RPECTLレジスタのRPEFフラグは，パリティ・エラー発生時にセット（1）され，0の書き込み，またはすべてのリセット要因によりクリア（0）されます。RPEF = 1のときに，パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

4.　汎用レジスタは，RAMパリティ・エラー検出の範囲に含みません。

図32－8　RAMパリティ・チェックのフローチャート



注　RAMパリティ・エラーによる内部リセットの確認は，**第27章　リセット機能**を参照してください。

32. 3. 4　RAMガード機能

IEC61508では動作中の安全を保証しなければならないため, CPUが暴走してもRAMに格納されている重要なデータを保護する必要があります。

このRAMガード機能は，指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると，指定した空間へのRAM書き込みは無効になり，読み出しは通常通りに可能となります。

32. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では，GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－9　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間注
0	0	無効。RAMへのライト可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

注　RAMの先頭アドレスは，製品の搭載RAMサイズにより変わります。

32. 3. 5　SFRガード機能

IEC61508では動作中の安全を保証しなければならないため，CPUが暴走しても重要なSFRが書き換わってしまわないように保護する必要があります。

SFRガード機能は，ポート機能，割り込み機能，クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると，ガードされたSFRへの書き込みは無効になり，読み出しは通常通りに可能となります。

32. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では，GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－10　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード／ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］PMxx, PUxx, PIMxx, POMxx, ADPC, PIORx, PFSEGxx, ISCLCD 注

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード／ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのリード／ライト可能。
1	有効。クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, PRRx (x = 0, 1), PMMC, MOCODIV, FMCKS, DSCCTL, MCKC

注　Pxx（ポート・レジスタ）はガードされません。

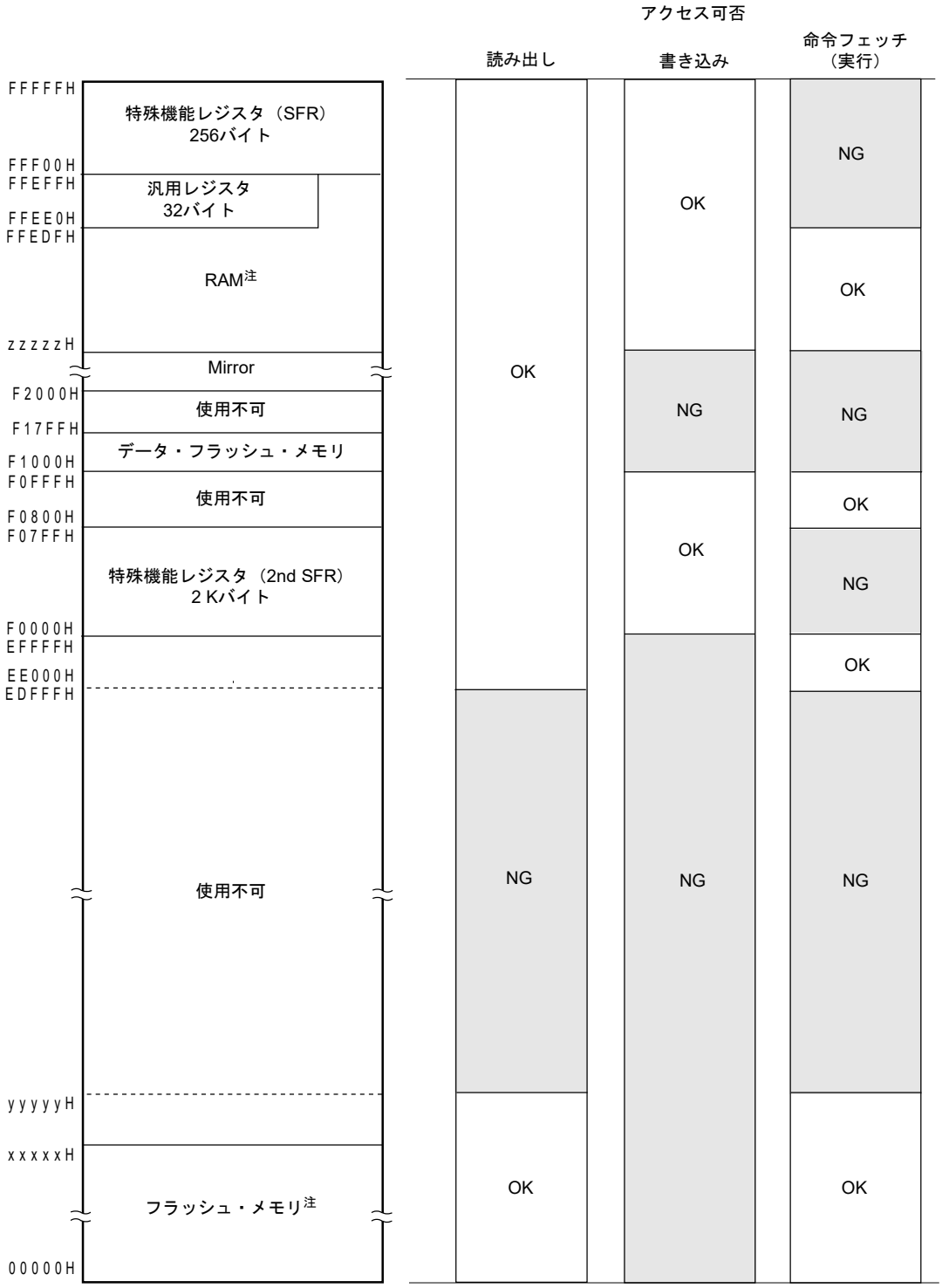
32. 3. 6　不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は，規定された不正アクセス検出空間をアクセスした際に，リセットを発生させる機能です。

不正アクセス検出空間は，図32－11で「NG」と記載した範囲になります。

図32－11　不正アクセス検出空間



（注は次ページにあります。）

注　各製品のコード・フラッシュ・メモリ，RAMのアドレスは次のようになります。

製　　品	コード・フラッシュ・メモリ（00000H-xxxxxH）	RAM（zzzzzH-FFEFFH）	読み出し／命令フェッチ（実行）時の検出最下位アドレス（yyyyyH）
R5F10NME, R5F10NLE, R5F11TLE	65536×8ビット（00000H-0FFFFH）	6144×8ビット（FE700H-FFEFFH）	10000H
R5F10NPG, R5F10NMG, R5F10NLG, R5F11TLG	131072×8ビット（00000H-1FFFFH）	8192×8ビット（FDF00H-FFEFFH）	20000H
R5F10NMJ, R5F10NPJ	262144×8ビット（00000H-3FFFFH）	16384×8ビット（FBF00H-FFEFFH）	40000H

32. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－12　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注　IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考　オプション・バイト（000C0H）のWDTON = 1（ウォッチドッグ・タイマ動作許可）のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

32. 3. 7　周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は，CPU/周辺ハードウエア・クロック周波数（f_{CLK}）を使用し，タイマ・アレイ・ユニット0(TAU0)のチャネル5の入力パルスを測定することで，2つのクロックの比率関係が正しいか判定することができます。ただし，片一方のクロック，もしくは両方のクロックが停止している場合は，クロックの比率関係を判定することができません。

＜比較するクロック＞

①CPU/周辺ハードウエア・クロック周波数（f_{CLK}）：

・高速オンチップ・オシレータ・クロック（f_{IH}）

・高速システム・クロック（f_{MX}）

②タイマ・アレイ・ユニットのチャネル5入力：

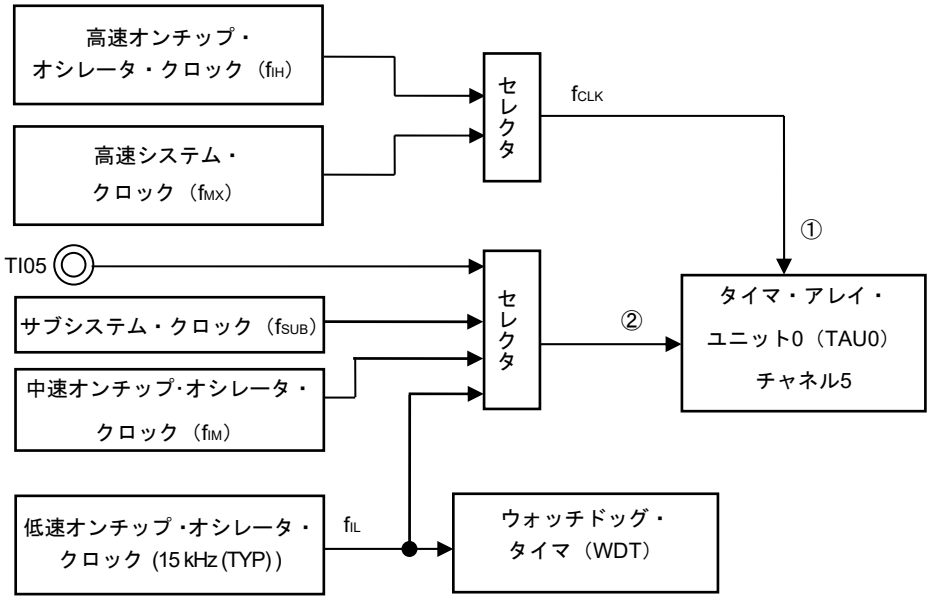
・チャネル5のタイマ入力(TI05)

・低速オンチップ・オシレータ・クロック（f_{IL}：15 kHz（TYP.））

・中速オンチップ・オシレータ・クロック（f_{IM}）

・サブシステム・クロック（f_{SUB}）

図32－13　周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は，「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については，**8. 8. 3　入力パルス間隔測定としての動作**を参照してください。

32. 3. 7. 1　タイマ入力選択レジスタ 0（TIS0）

TIS0レジスタは，タイマ・アレイ・ユニット0(TAU0)のチャネル0, 1, 5, 6, 7のタイマ入力を選択するレジスタです。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－14　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子（TI05）の入力信号
0	1	1	中速オンチップ・オシレータ・クロック（f_{IM}）
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

32. 3. 8　A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では，A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧のA/D変換を実施することで，A/Dコンバータの正常動作を確認します。確認方法の詳細は，**安全機能（A/Dテスト）アプリケーションノート（R01AN0955）**を参照してください。

また，アナログ・マルチプレクサは，以下の手順で確認できます。

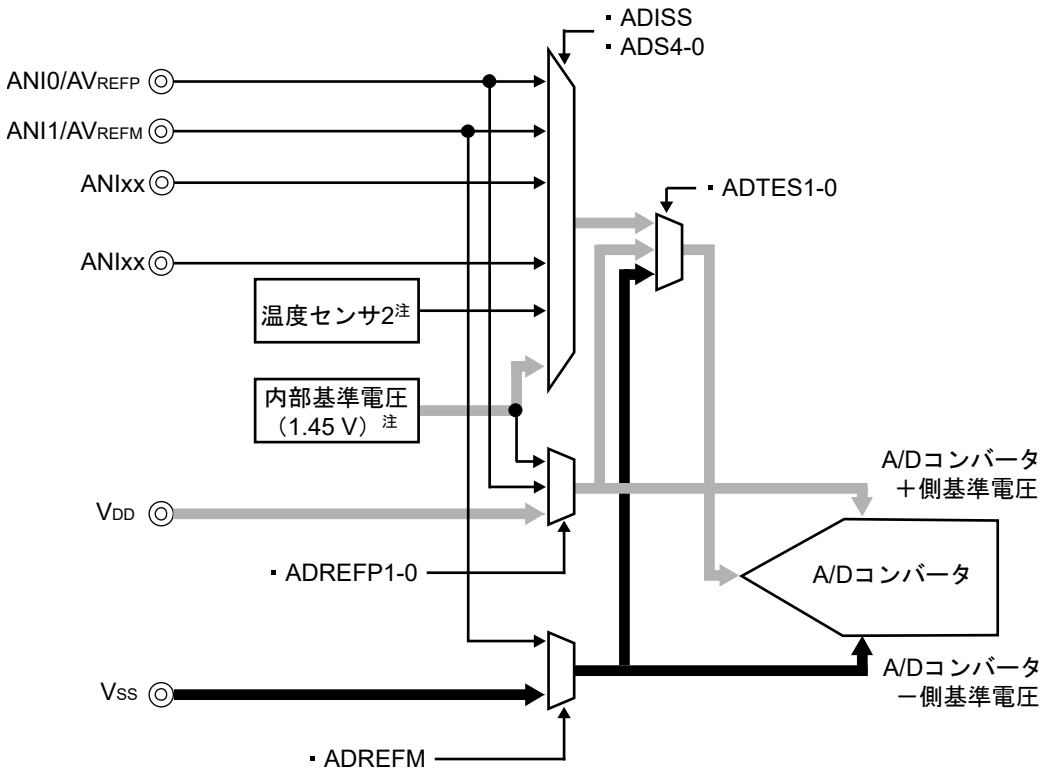
① ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0 = 0,0）
② ANIx端子のA/D変換を行う（変換結果1-1）。
③ ADTESレジスタでA/D変換対象にA/Dコンバータの－側基準電圧を選択（ADTES1, ADTES0 = 1,0）
④ A/Dコンバータの－側基準電圧のA/D変換を行う（変換結果2-1）
⑤ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0 = 0,0）
⑥ ANIx端子のA/D変換を行う（変換結果1-2）
⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの＋側基準電圧を選択（ADTES1, ADTES0 = 1,1）
⑧ A/Dコンバータの＋側基準電圧のA/D変換を行う（変換結果2-2）
⑨ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0 = 0,0）
⑩ ANIx端子のA/D変換を行う（変換結果1-3）
⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
⑫ 「変換結果2-1」のA/D変換結果がオール０，「変換結果2-2」のA/D変換結果がオール１であることを確認する。

以上の手順で，アナログ・マルチプレクサが選択されていることと，配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は，別の手段でアナログ・マルチプレクサの確認をしてください。

2. 変換結果は誤差を含むので，変換結果を比較するときは，適切な誤差を考慮してください。

図32－15　A/Dテスト機能の構成



注　HS（高速メイン）モードでのみ選択可能です。

32. 3. 8. 1　A/D テスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45V）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－16　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx/温度センサ出力電圧[注]／内部基準電圧（1.45 V）[注]（アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

注　温度センサ出力電圧，内部基準電圧（1.45 V）は，HS（高速メイン）モードでのみ選択可能です。

32. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANIxx／温度センサ出力／内部基準電圧（1.45 V）を測定するときは，A/Dテスト・レジスタ（ADTES）を00Hに設定してください。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－17　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	1	1	1	0	1	－	温度センサ2出力電圧注
1	0	0	0	0	1	－	内部基準電圧（1.45 V）注
上記以外						設定禁止	

注　HS（高速メイン）モードでのみ選択可能です。

注意1.　ビット5, 6には必ず0を設定してください。

2.　ADPCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。

3.　A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

4.　ADISSビットを書き換える場合は，必ず変換停止状態（ADCE = 0, ADCS = 0）のときに行ってください。

5.　AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

6.　AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

7.　ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧（1.45 V）は使用できません。また，ADISS = 1に設定後，1回目の変換結果は使用できません。

8.　STOPモードへ移行，もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，41. 3. 2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

32. 3. 9　入出力ポートのデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では，端子が出力モード時に，端子のデジタル出力レベルをリードすることができます。

32. 3. 9. 1　ポート・モード選択レジスタ（PMS）

ポートが出力モード（ポート・モード・レジスタ（PMm）のPMmnビットが0）時に，ポートの出力ラッチの値をリードするか，端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32－18　ポート・モード選択レジスタ（PMS）のフォーマット

アドレス：F007BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	ポートが出力モード時（PMmn = 0）にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

注意1.　PMSレジスタのPMS0ビットを“1”に設定時は，リード・モディファイ命令でPxレジスタを書き換えないでください。Pxレジスタを書き換える場合は，8ビットの操作命令を使用してください。

2.　PMS制御は，LCD専用端子および入力専用端子（P121-P124, P137）については無効となります。

3.　SEG兼用端子をSEG出力として使用する場合には，PMS制御は無効となります（リード時は”L”固定）。

4.　IICA0EN（PER0レジスタのビット4）= 0の場合，P61, P60端子はPMS制御が無効となります。

備考　m = 0-8, 12

n = 0-7

第33章　AES機能（R5F10Nのみ）

33. 1　AES機能の概要

RL78/I1Cは，セキュリティ強化のため、スマートメータ分野で使用されているAES-GCM規格に対応したAES機能を搭載しています。

以下に、主な機能を示します。

・暗号利用モード：GCM/ECB/CBC

・暗号鍵長：128/192/256ビット

・割込み本数：2本

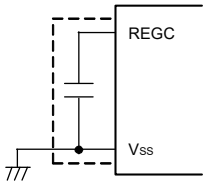
・割込み名称：INTAES, INTAESF

機能詳細につきましては、当社営業および販売店営業へお問い合わせください。

第34章　レギュレータ

34. 1　レギュレータの概要

RL78/I1Cは，デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために，REGC端子にはレギュレータ安定として，コンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は，**表34－1**のようになります。

表34－1　レギュレータ出力電圧条件

モード	出力電圧	条件
LV（低電圧メイン）モード	1.8 V	—
LP（低電力メイン）モード		
LS（低速メイン）モード		
HS（高速メイン）モード	1.8 V	STOPモード時
		サブシステム・クロック（f_{SUB}）でCPU動作中で，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）が共に停止
		サブシステム・クロック（f_{SUB}）でCPU動作設定時のHALTモード中で，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）が共に停止
	2.1 V	上記以外（オンチップ・デバッグ中を含む）注

注　オンチップ・デバッグ中に，サブシステム・クロック動作やSTOPモードに移行する場合は，レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

34. 2　レギュレータを制御するレジスタ

レギュレータは，次のレジスタで制御します。

- レギュレータ・モード制御レジスタ（PMMC）

34. 2. 1　レギュレータ・モード制御レジスタ（PMMC）

PMMCレジスタは，内蔵されているレギュレータのモードを制御する8ビットのレジスタです。

PMMCレジスタは1ビット・メモリ操作命令または，8ビット・メモリ操作命令で設定します。

リセット発生により，PMMCレジスタは00Hになります。

図34–1　レギュレータ・モード制御レジスタ（PMMC）のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMMC	0	MCSEL	0	0	0	0	0	0

MCSEL	レギュレータ・モードの制御
0	通常設定
1	低消費設定

注意1.　MCSELが1の時フラッシュ動作モード選択レジスタ（FLMODE）を変更しないでください。

2.　HS（高速メイン）モード，LV（低電圧メイン）モードではMCSELを1に設定しないでください。

3.　LS（低速メイン）モードではMCSELが1の時にSTOPモード状態に遷移することは禁止です。

第35章　オプション･バイト

35. 1　オプション・バイトの機能

RL78/I1Cのフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。なお，機能が配置されていないビットは，初期値から変更しないでください。

また，セルフ･プログラミング時にブート･スワップ動作を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わるので，010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意　オプション・バイトは，各機能の使用の有無にかかわらず必ず設定してください。

35. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）

（1）000C0H/010C0H

○ウォッチドッグ・タイマの動作

・カウンタの動作許可／禁止

・HALT/STOPモード時のカウンタの動作可能／停止

○ウォッチドッグ・タイマのオーバフロー時間の設定

○ウォッチドッグ・タイマのウインドウ・オープン期間の設定

○ウォッチドッグ・タイマのインターバル割り込み

・インターバル割り込みを使用する／使用しない

注意　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

（2）000C1H/010C1H

○LVDの動作モード設定

・割り込み＆リセット・モード

・リセット・モード

・割り込みモード

・LVDオフ（$\overline{\text{RESET}}$端子による外部リセットを使用）

○LVD検出レベル（V_{LVDH}, V_{LVDL}, V_{LVD}）の設定

注意1.　電源立ち上がり時は，41. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

注意2.　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

（3）000C2H/010C2H

〇フラッシュの動作モード設定

使用するメイン・システム・クロック周波数(f_{MAIN})，電源電圧(V_{DD})に応じて設定

・LV（低電圧メイン）モード

・LS（低速メイン）モード

・HS（高速メイン）モード

〇高速オンチップ・オシレータの周波数設定

・1MHz～24MHzから選択

注意　ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

35. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）

〇オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止／許可

〇セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

35. 2　ユーザ・オプション・バイトのフォーマット

図35－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマット

アドレス：000C0H/010C0H[注1]

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間[注2]
0	0	設定禁止
0	1	50 %
1	0	75 %[注3]
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止）
1	カウンタ動作許可（リセット解除後，カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.89 ms）
1	1	0	$2^{14}/f_{IL}$（949.79 ms）
1	1	1	$2^{16}/f_{IL}$（3799.18 ms）

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）
0	HALT/STOPモード時，カウンタ動作停止[注2]
1	HALT/STOPモード時，カウンタ動作許可

注1. ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

注3. ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間(f_{IL} = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

図35－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（1/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	1.84 V	0	0	1	1	0	1	0
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
－			上記以外は設定禁止						

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	0	0	0	1	0	1	1
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

注　ブート･スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

注意　ビット4には，必ず1を書き込んでください。

備考1.　LVDの設定に関しては**29. 1　電圧検出回路**の機能を参照してください。
　　2.　検出電圧はTYP.値です。詳細は，**41. 6. 5　LVD回路特性**を参照してください。

（注意は，次ページにあります。）

図35－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（2/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	0	0	0	1	0	0	1
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

・LVDオフの設定（$\overline{\text{RESET}}$端子による外部リセット入力を使用）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

注意1.　ビット4には，必ず1を書き込んでください。

2.　電源立ち上がり時は，41. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

備考 1.　×：don’t care

2.　LVDの設定に関しては**29. 1　電圧検出回路の機能**を参照してください。

3.　検出電圧はTYP.値です。詳細は，**41. 6. 5　LVD回路特**性を参照してください。

図35－3　ユーザ・オプション・バイト（000C2H/010C2H）のフォーマット

アドレス：000C2H/010C2H[注1]

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲(f_{MAIN})	動作電圧範囲(V_{DD})
0	0	LV（低電圧メイン）モード	1 MHz ～ 4 MHz	1.7 V～5.5 V
1	0	LS（低速メイン）モード	1 MHz ～ 8 MHz	1.9 V～5.5 V
1	1	HS（高速メイン）モード	1 MHz ～ 6 MHz	2.1 V～5.5 V
			1 MHz ～ 12 MHz	2.4 V～5.5 V
			1 MHz ～ 16 MHz	2.5 V～5.5 V
			1 MHz ～ 24 MHz	2.7 V～5.5 V
			1 MHz ～ 32 MHz [注2]	2.8 V～5.5 V
上記以外		設定禁止		

FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロック(f_{IH})の周波数	
			FRQSEL3=0	FRQSEL3=1[注3]
0	0	0	24 MHz[注2]	設定禁止[注2]
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	1.5 MHz	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

注1. ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

2. PLLクロック(32MHz)をメイン・システム・クロックに選択する場合は，高速オンチップ・オシレータクロック（f_{IH}）は24MHｚを選択してください。

3. 24ビットΔΣA/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック（f_{HOCO}/2）を選択する場合は設定禁止。

注意1.　ビット5, 4には，必ず10Bを書き込んでください。

2.　動作周波数範囲と動作電圧範囲は，フラッシュの各動作モードによって異なります。詳細は，41. 4　AC特性を参照してください。

35. 3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図35－4　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）のフォーマット

アドレス：000C3H/010C3H[注]

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

注意　ビット7, 0（OCDENSET, OCDERSD）のみ，値を指定できます。
ビット6-1には，必ず000010Bを書き込んでください。

備考　ビット3-1は，オンチップ･デバッグ機能使用時に値が書き変わるので，設定後は不定となります。
ただし，設定時にはビット3-1にも，必ず初期値（0, 1, 0）を設定してください。

35. 4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合，下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT   CSEG        OPT_BYTE
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          5AH     ; VLVDLに2.45 Vを選択
                          ; VLVDHに立ち上がり2.61 V，立ち下がり2.55 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          A3H     ; フラッシュの動作モードにLS（低速メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数 3 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

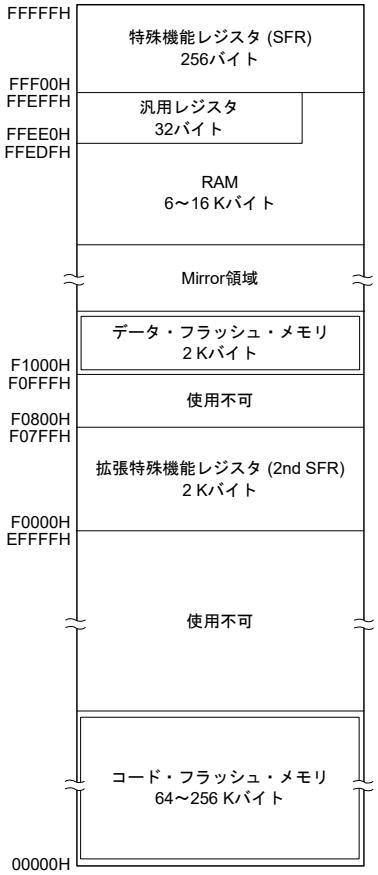
セルフ・プログラミング時にブート・スワップ機能を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を，次のように記述してください。

```
OPT2  CSEG   AT   010C0H
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          5AH     ; VLVDLに2.45 Vを選択
                          ; VLVDHに立ち上がり2.61 V，立ち下がり2.55 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          A3H     ; フラッシュの動作モードにLS（低速メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数 3 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお，ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は，再配置属性ATを使用して絶対番地を指定してください。

第36章　フラッシュ・メモリ

RL78マイクロコントローラは，基板に実装した状態でプログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは，セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング（**36. 1**参照）
  専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。
- 外部デバイス（UART通信）によるシリアル・プログラミング（**36.2**参照）
  外部デバイス（マイコンや ASIC）とのUART通信を使用してオンボード上で書き込みができます。
- セルフ・プログラミング（**36. 6**参照）
  フラッシュ・セルフ・プログラミング・ライブラリを利用して，ユーザ・アプリケーション上でコード・フラッシュ･メモリの自己書き換えができます。

注意　フラッシュ・メモリを書き換える際，中速オンチップ・オシレータは停止（MIOEN = 0）させ，メイン・オンチップ・オシレータ・クロック（foco）は高速オンチップ・オシレータを選択（MCM1 = 0）してください。フラッシュ動作モード・レジスタ（FLMODEレジスタ）は変更しないでください。また，レギュレータ・モード制御レジスタ（PMMC）のMCSELビットは0でフラッシュ・メモリを書き換えてください。

データ・フラッシュ・メモリは，データ・フラッシュ・ライブラリを利用して，ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては，**36. 8　データ・フラッシュ**を参照してください。

36. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

・PG-FP5, PG-FP6
・E1, E2, E2 Lite, E20オンチップデバッギングエミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表36－1　RL78/I1Cと専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号		
					64ピン	80ピン	100ピン
信号名		入出力	端子機能		LFQFP (10×10)	LFQFP (12×12)	LFQFP (14×14)
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20オンチップデバッギングエミュレータ						
－	TOOL0	入出力	送受信信号	TOOL0/P40	5	3	9
SI/RxD	－	入出力	送受信信号				
－	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	6	7	13
/RESET	－	出力					
V_{DD}注1		入出力	V_{DD}電圧生成／電源監視	V_{DD}	15	16	22
GND		－	グランド	V_{SS}/EV_{SS0}	14	15	21
				EV_{SS1}			54
				REGC注2	13	14	20
FLMD1	EMV_{DD}	－	TOOL0端子駆動電源	V_{DD}	15	－	－
				EV_{DD0}		17	23
				EV_{DD1}			63

注1.　PG-FP6の信号名はV_{CC}です。

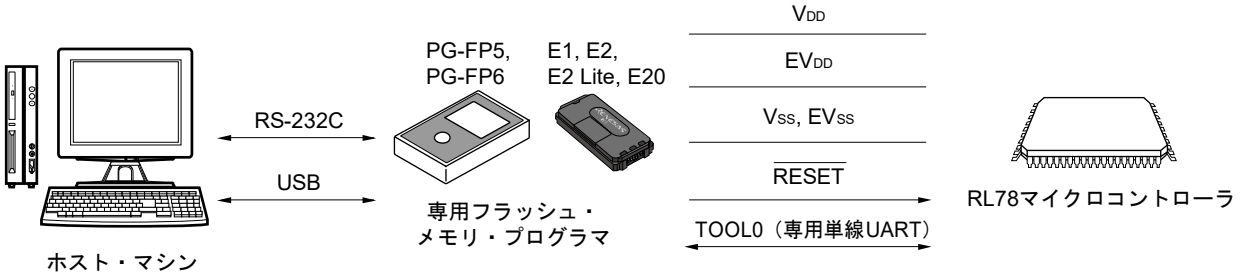
2.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

36. 1. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図36－1　フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

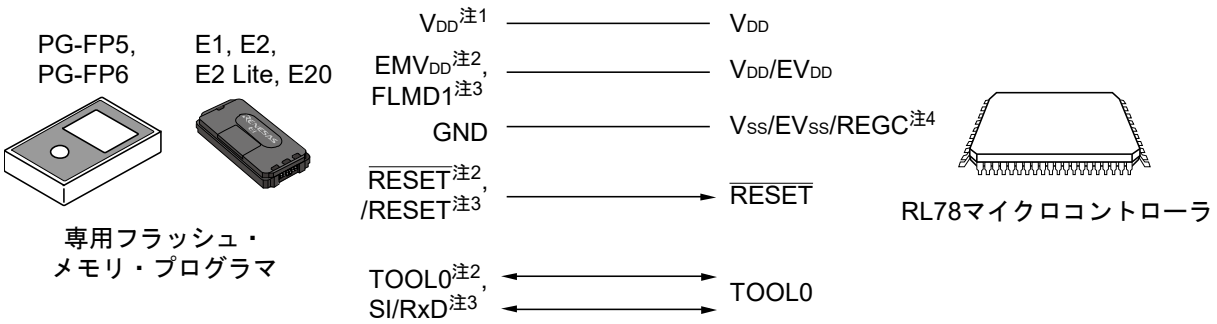
また，専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。

36. 1. 2　通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図36－2　専用フラッシュ・メモリ・プログラマとの通信



注1.　PG-FP6の信号名はVCCです。

2.　E1, E2, E2 Lite, E20オンチップデバッギングエミュレータ使用時。

3.　PG-FP5, PG-FP6使用時。

4.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細は**PG-FP5, PG-FP6またはE1, E2, E2 Lite, E20オンチップデバッギングエミュレータのマニュアル**を参照してください。

表36－2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				RL78マイクロコントローラ
信号名		入出力	端子機能	端子名
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20 オンチップデバッギング エミュレータ			
V_{DD}注1		入出力	V_{DD}電圧生成／電圧監視	V_{DD}
GND		－	グランド	V_{SS}, EV_{SS}, REGC注2
FLMD1	EMV_{DD}	－	TOOL0端子駆動電源	V_{DD}, EV_{DD}
/RESET	－	出力	リセット信号	$\overline{RESET}$
－	$\overline{RESET}$	出力		
－	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	－	入出力	送受信信号	

注1.　PG-FP6の信号名はV_{CC}です。

2.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

36. 2　外部デバイス（UART内蔵）によるシリアル・プログラミング

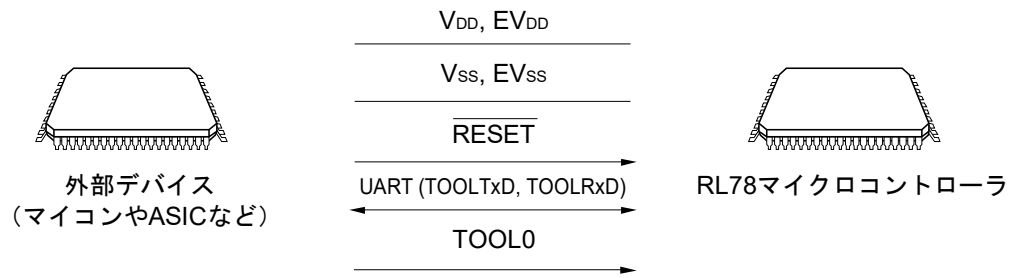
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC）を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

ユーザでのフラッシュ・メモリ・プログラマの開発については，**RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）**を参照してください。

36. 2. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図36－3　フラッシュ・メモリにプログラムを書き込むための環境



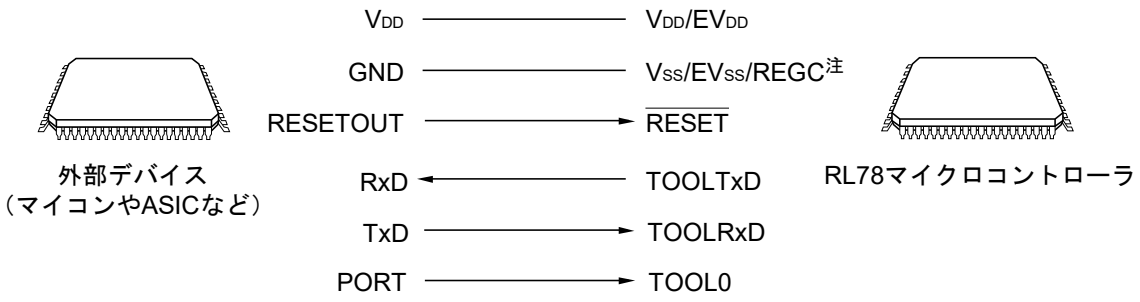
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

36. 2. 2　通信方式

外部デバイスとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して，専用のUARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図36－4　外部デバイスとの通信



注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表36－3　端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
V_{DD}	入出力	V_{DD}電圧生成／電圧監視	V_{DD}, EV_{DD}
GND	－	グランド	V_{SS}, EV_{SS}, REGC注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

36. 3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては，**36. 4. 2　フラッシュ・メモリ・プログラミング・モード**を参照してください。

36. 3. 1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

備考1.　t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに，外部／内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。**41. 12　フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

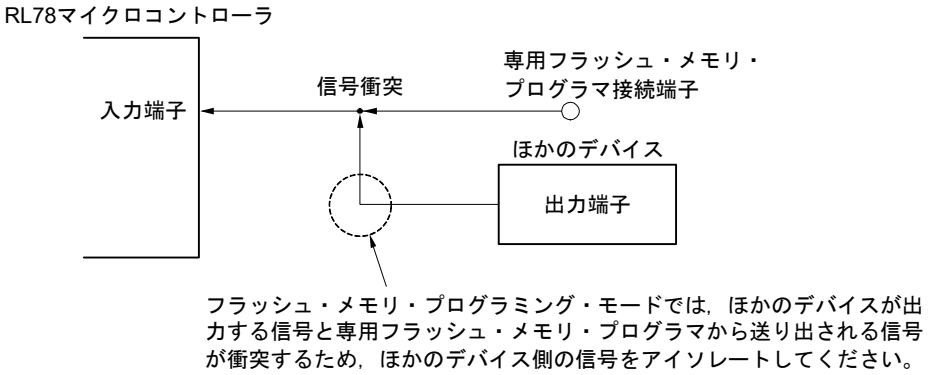
2.　RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には，単線UART（TOOL0端子）を使用するので，SAUやIICAの端子は使用しません。

36. 3. 2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図36－5　信号の衝突（$\overline{\text{RESET}}$端子）



36. 3. 3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，もしくは抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

36. 3. 4　REGC端子

REGC端子は，通常動作時と同様に，特性の良いコンデンサ（0.47～1 μF）を介し，GNDに接続してください。

また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

36. 3. 5　X1, X2端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

備考　フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

36. 3. 6　電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}[注]に，V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}, V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}[注], GNDと必ず接続してください。

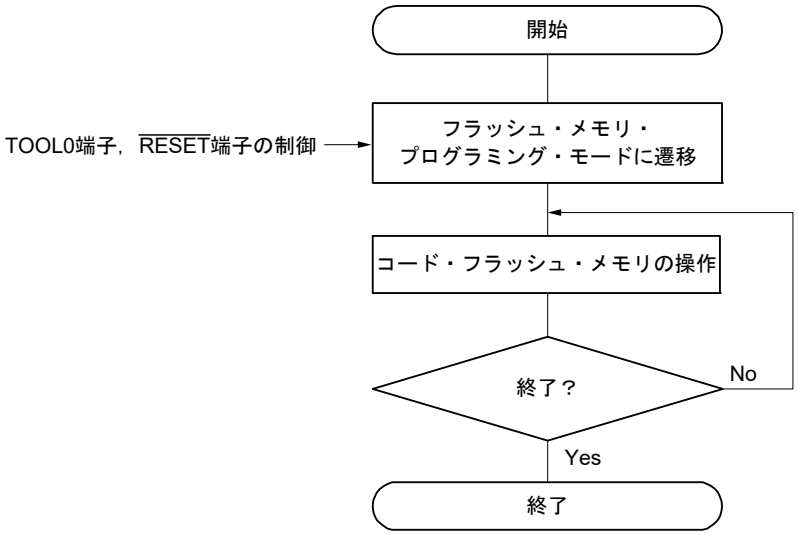
注　PG-FP6の信号名はV_{CC}です。

36. 4　プログラミング方法

36. 4. 1　シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図36－6　コード・フラッシュメモリの操作手順



36. 4. 2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

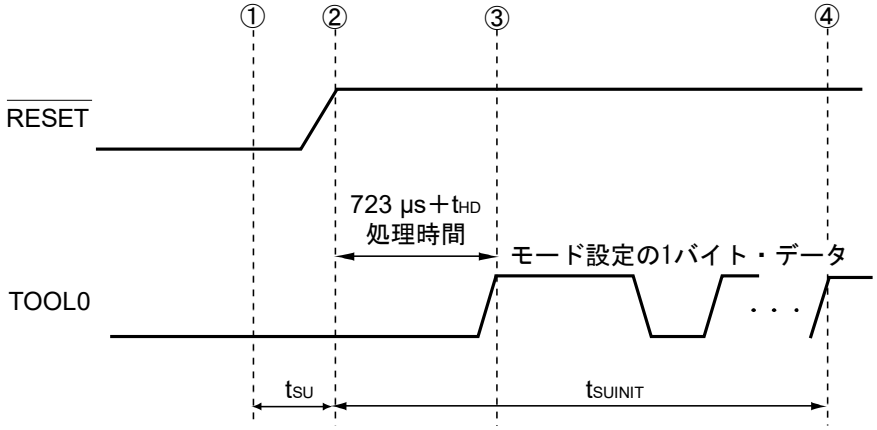
＜外部デバイスを使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後，リセットを解除します（**表36－4**参照）。その後，**図36－7**に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は，**RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）**を参照してください。

表36－4　リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
EV_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図36－7　フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力
② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
③ TOOL0端子のロウ・レベルを解除
④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}：この区間では，外部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU}：　TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

t_{HD}：　外部リセット解除から，TOOL0端子レベルをロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）。

詳細は，**41. 12　フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

フラッシュ・メモリ・プログラミング・モードには，ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は，書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお，専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は，GUI上で電圧設定を行うことでモードが自動選択されます。

表36－5　プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

電源電圧（V_{DD}）	フラッシュ・メモリ・プログラミング・モード引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数（f_{CLK}）	
2.7 V≦V_{DD}≦5.5 V	ブランク状態		フルスピード・モード
	HS（高速メイン）モード	1 MHz～32 MHz	フルスピード・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV（低電圧メイン）モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
2.4 V≦V_{DD}＜2.7 V	ブランク状態		フルスピード・モード
	HS（高速メイン）モード	1 MHz～16 MHz	フルスピード・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV（低電圧メイン）モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
1.8 V≦V_{DD}＜2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV（低電圧メイン）モード	1 MHz～4 MHz	ワイド・ボルテージ・モード

備考1.　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

2.　通信コマンドの詳細は，**36. 4. 4　通信コマンド**を参照してください。

36. 4. 3　通信方式

RL78マイクロコントローラの通信方式は，次のようになります。

表36－6　通信方式

通信方式	Standard設定[注1]				使用端子
	Port	Speed[注2]	Frequency	Multiply Rate	
単線UART （フラッシュ・メモリ・プログラマ使用時，または外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOL0
専用UART （外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

36. 4. 4　通信コマンド

RL78マイクロコントローラは，**表36－7**に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。詳細は，**RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）**を参照してください。

表36－7　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	機　　能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます[注]。
情報取得	Silicon Signature	RL78マイクロコントローラ情報（品名，フラッシュ・メモリ構成，プログラミング用ファームウエア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

“Silicon Signature”コマンドを実行することで製品情報（品名，ファームウエア・バージョンなど）を取得することができます。

表36－8　シグネチャ・データ一覧，**表36－9　シグネチャ・データ例**を示します。

表36－8　シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．00000H-0FFFFH（64 KB）→FFH, FFH, 00H）	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．F1000H-F17FFH（2 KB）→FFH, 17H, 0FH）	3バイト
ファームウエア・バージョン	プログラミング用ファームウエアのバージョン情報 （バージョンの上位から送信されます。 例．Ver. 1. 23 →01H, 02H, 03H）	3バイト

表36－9　シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F10NPJ	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 30 = “0” 4E = “N” 50 = “P” 4A = “J” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-3FFFFH（256KB）	3バイト	FFH FFH 03H
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F17FFH（2 KB）	3バイト	FFH 17H 0FH
ファームウエア・バージョン	Ver. 1. 23	3バイト	01 02 03

36. 5　専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5, PG-FP6を使用した場合の各コマンド処理時間（参考値）を次に示します。

表36－10　PG-FP5使用時の各コマンド処理時間（参考値）

PG-FP5のコマンド	Port: TOOL0（UART）		
	Speed: 1M bps		
	64Kバイト	128Kバイト	256Kバイト
消去	1.5s	2s	2.5s
書き込み	2.5s	3.5s	6s
ベリファイ	2s	3.5s	5.5s
消去後，書き込み	3s	4.5s	8s

備考　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port:　TOOL0（単線UART）

Speed:　1,000,000 bps

Mode:　フルスピード・モード（フラッシュ動作モード：HS（高速メイン）モード）

表36－11　PG-FP6使用時の各コマンド処理時間（参考値）

PG-FP6のコマンド	Port: TOOL0（UART）		
	Speed: 1M bps		
	64Kバイト	128Kバイト	256Kバイト
消去	1.0s	1.3s	2.1s
書き込み	1.6s	2.9s	5.2s
ベリファイ	1.2s	2.2s	3.9s
消去後，書き込み	2.3s	4.0s	6.9s

備考　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port:　TOOL0（単線UART）

Speed:　1,000,000 bps

Mode:　フルスピード・モード（フラッシュ動作モード：HS（高速メイン）モード）

36. 6　セルフ・プログラミング

RL78マイクロコントローラは，ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより，ユーザ・アプリケーションでフラッシュ･メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

注意1.　CPUがサブシステム・クロック（f_{SUB}）動作時の場合，セルフ・プログラミング機能は使用できません。

2.　セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，DI命令によりIEフラグがクリア（0）されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は，EI命令によりIEフラグがセット（1）されている状態で，受け付ける割り込みの割り込みマスク・フラグをクリア（0）して，フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

3.　セルフ・プログラミング中は，高速オンチップ・オシレータを動作させておく必要があります。高速オン チップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロック動作（HIOSTOP = 0）させ，30 μs経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。また，中速オンチップ・オシレータは停止（MIOEN = 0）させ，メイン・オンチップ・オシレータ・クロック（f_{OCO}）は高速オンチップ・オシレータを選択（MCM1 = 0）してください。

4.　フラッシュ・メモリを書き換える際，フラッシュ動作モードレジスタ（FLMODEレジスタ）は変更しないでください。また，レギュレータ・モード制御レジスタ（PMMC）のMCSELビットは0で書き換えてください。

5.　V_{BAT}電源供給切り替え時はセルフ・プログラミング機能は使用できません。

備考1.　セルフ・プログラミング機能の詳細は，**RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリType01ユーザーズ・マニュアル（R01US0050）**を参照してください。

2.　セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また，セルフ・プログラミング機能には，フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて，いずれかのモードを設定してください。

HS（高速メイン）モード設定時はフルスピード・モードに，LS（低速メイン）モードおよびLV（低電圧メイン）モード設定時はワイド・ボルテージ・モードに設定してください。

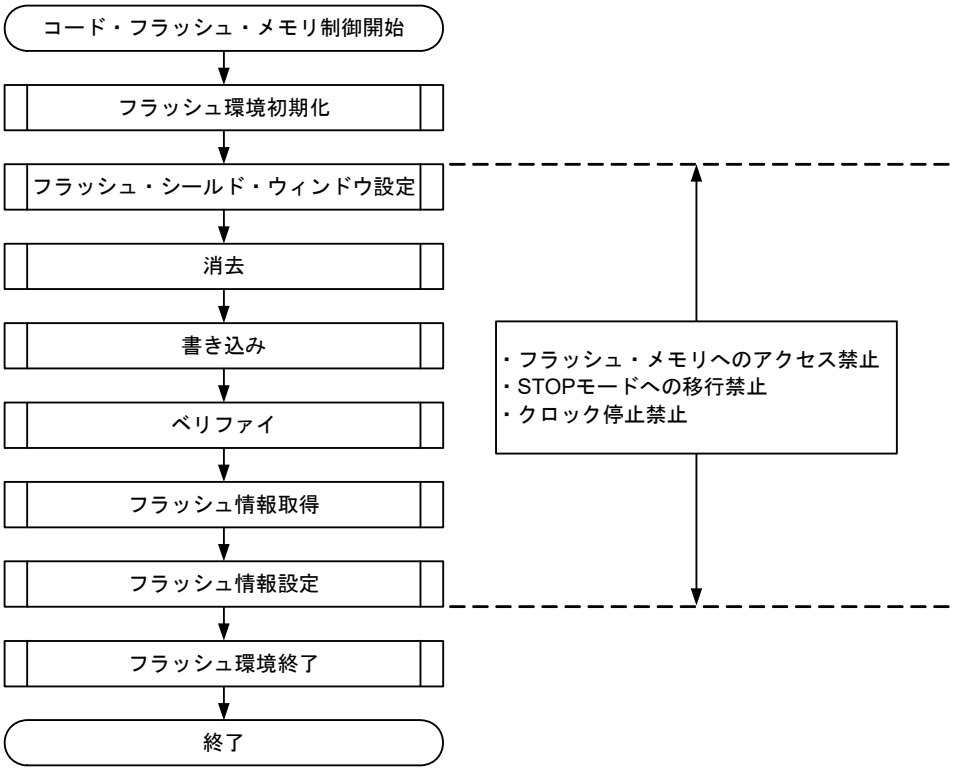
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に，引数である“fsl_flash_voltage_u08”が00Hであればフルスピード･モードに，00H以外であればワイド・ボルテージ・モードに設定されます。

備考　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

36. 6. 1　セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図36－8　セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



36. 6. 2　ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に，電源の瞬断などにより書き換えが失敗した場合，ブート領域のデータが壊れて，リセットによるプログラムの再スタートや，再書き込みができなくなります。

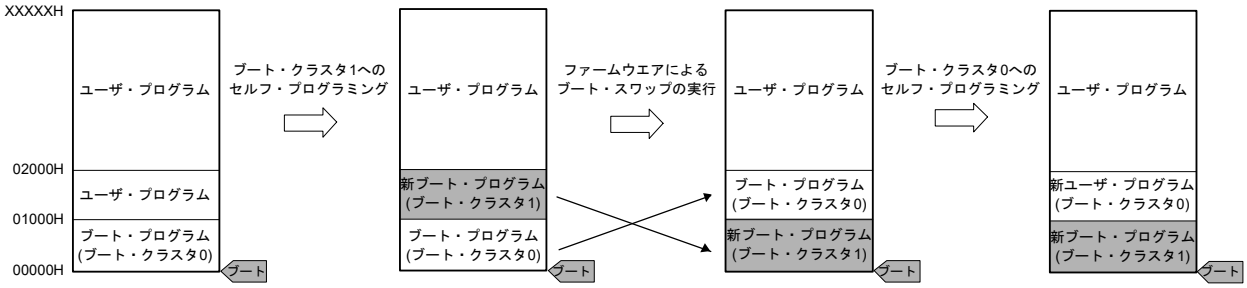
この問題を回避するために，ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0[注]の消去を行う前に，あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら，RL78マイクロコントローラ内蔵のファームウエアのセット・インフォメーション機能で，このブート・クラスタ1とブート・クラスタ0をスワップし，ブート・クラスタ1をブート領域にします。このあと，本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても，次のリセット・スタートは，スワップ対象のブート・クラスタ1からブートを行うため，正常にプログラムが動作します。

注　ブート・クラスタは4 Kバイトの領域で，ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図36－9　ブート・スワップ機能

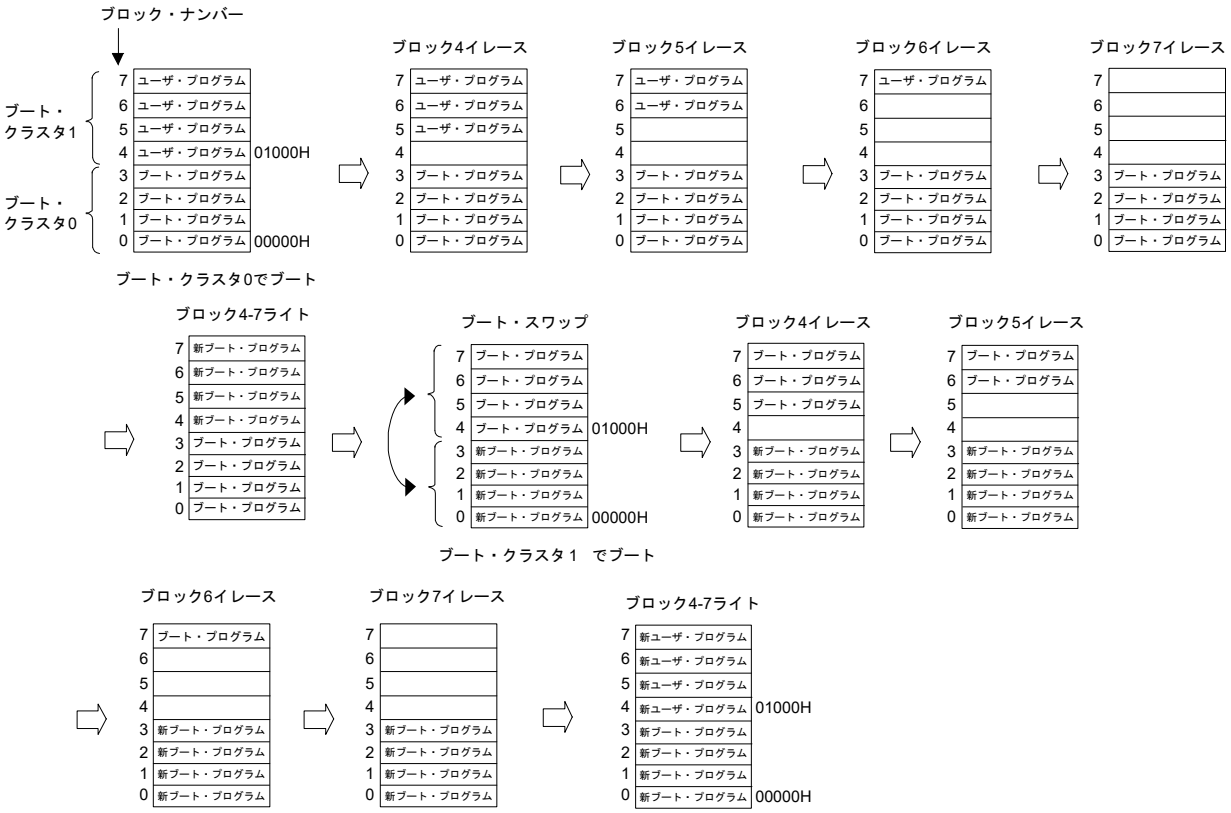


この図の例では，次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図36－10　ブート・スワップの実行例



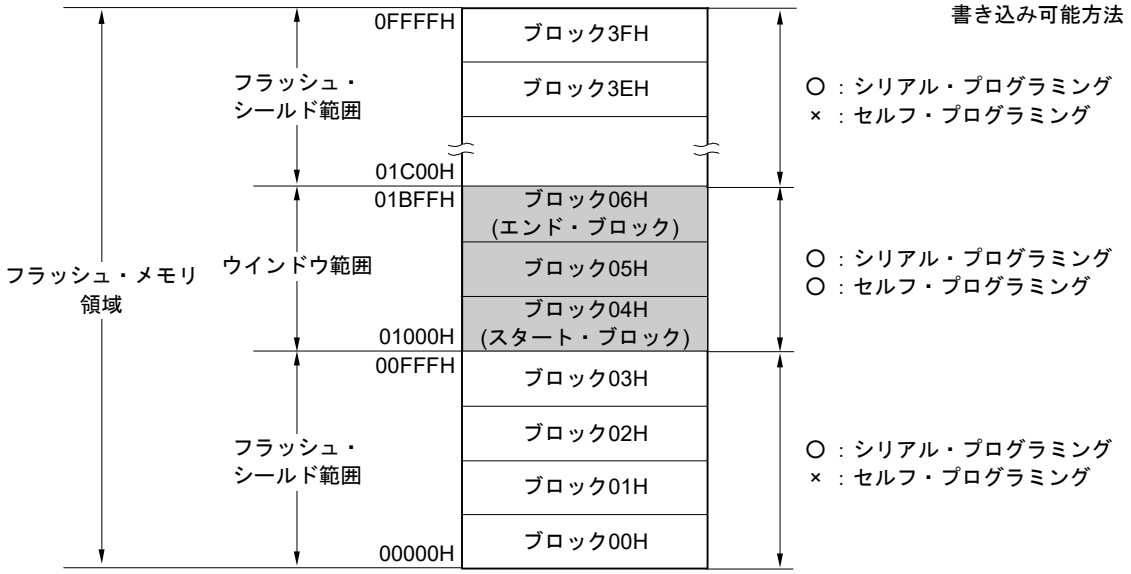
36. 6. 3　フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は，指定したウインドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は，シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図36－11　フラッシュ・シールド・ウインドウの設定例
（対象デバイス：R5F10NLE, R5F10NME, R5F11TLE,
スタート・ブロック：04H，エンド・ブロック：06Hの場合）



注意1.　フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は，ブート・クラスタ0の書き換え禁止が優先されます。

2.　フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表36－12　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考　シリアル・プログラミング時の書き込み／消去を禁止したい場合には，**36. 7　セキュリティ設定**を参照してください。

36. 7　セキュリティ設定

RL78マイクロコントローラは，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより，次の操作をすることができます。

・ブロック消去禁止

シリアル・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし，セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

シリアル・プログラミング時に，フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後，Security Release コマンドによる解除はリセットで有効になります。

・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して，ブロック消去コマンド，書き込みコマンドの実行を禁止します。

出荷時の初期状態では，ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。

セキュリティは，シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を**表36－13**に示します。

注意　ただし，フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は**36. 6. 3**を参照）。

表36－13　セキュリティ機能有効時とコマンドの関係

（1）シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

（2）セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は**36. 6. 3**を参照）。

表36－14　各プログラミング・モード時のセキュリティ設定方法

（1）シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後，無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

注意　「書き込み禁止」設定の解除は，「ブロック消去禁止」，「ブート・クラスタ0の書き換え禁止」に設定されていない状態で，かつコード・フラッシュ領域，データ・フラッシュ領域がブランクの場合でのみ可能です。

（2）セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後，無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に，専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

36. 8　データ・フラッシュ

36. 8. 1　データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

・データ・フラッシュ・ライブラリを利用することにより，ユーザ・プログラムでデータ・フラッシュ･メモリの書き換えが可能。詳細は，「**RL78ファミリ データ・フラッシュ・ライブラリType04**」を参照してください。
・専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
・データ・フラッシュは，1ブロック ＝1 Kバイト単位で消去
・データ・フラッシュは，8ビット単位でのみアクセス可能
・データ・フラッシュは，CPU命令で直接読み出し可能
・データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行は可能（バックグランド・オペレーション（BGO）対応）
・データ・フラッシュは，データ専用領域のため，データ・フラッシュからの命令実行は禁止
・コード・フラッシュの書き換え中（セルフ・プログラミング時）に，データ・フラッシュにアクセスすることは禁止
・データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止
・データ・フラッシュの書き換え中に，STOPモード状態に遷移することは禁止

注意1.　リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

2.　データ･フラッシュの書き換え中は，高速オンチップ･オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，65 μs経過後にデータ・フラッシュ・ライブラリを実行してください。

備考　フラッシュ・メモリ・プログラミング・モードに関しては，**36. 6　セルフ・プログラミング**を参照してください。

36. 8. 2　データ・フラッシュを制御するレジスタ

36. 8. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図36－12　データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス：F0090H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意　データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止です。

36. 8. 3　データ・フラッシュへのアクセス手順

リセット解除後の初期状態では，データ・フラッシュは停止状態であり，そのままではアクセス（リードおよびプログラミング）はできません。アクセスするには以下の手順を行ってください。

①データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット0（DFLEN）に“1”を書き込む。
②ソフトウエア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各モードによって異なります。
＜各メイン・クロック・モードでのセットアップ時間＞
・HS（高速メイン）モード時：5 ms
・LS（低速メイン）モード時：720 ns
・LP（低電力メイン）モード時：720 ns
・LV（低電圧メイン）モード時：10 ms
③セットアップ時間のウエイト完了後，データ・フラッシュはアクセス可能となります。

注意1.　セットアップ時間中は，データ・フラッシュへのアクセス禁止です。
2.　セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は，DFLEN = 0に設定してから，STOP命令を実行してください。
3.　データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，65 μs経過後にデータ・フラッシュ・ライブラリを実行してください。

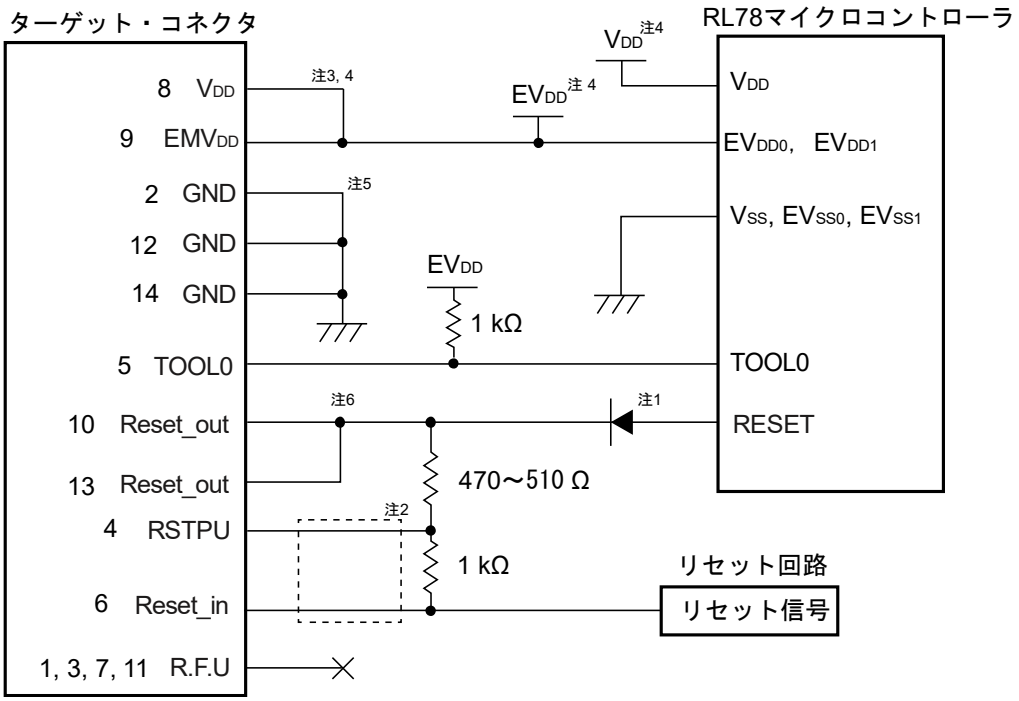
第37章　オンチップ・デバッグ機能

37. 1　E1, E2, E2 Lite, E20オンチップデバッギングエミュレータとの接続

RL78マイクロコントローラは，オンチップ・デバッグ対応のE1, E2, E2 Lite, E20オンチップデバッギングエミュレータを介して，ホスト・マシンとの通信を行う場合，V_{DD}, $\overline{\text{RESET}}$, TOOL0, V_{SS}端子を使用します。シリアル通信としては，TOOL0端子を使用した単線UARTを使用します。

注意　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

図37－1　E1オンチップデバッキングエミュレータとの接続例（バッテリバックアップ機能を使用する場合）



注　**1.** ダイオードはBAT54シリーズ(NXP Semiconductors社製)を推奨します。

2. オンチップデバッグ使用時は接続が必要です。フラッシュプログラミングは接続/未接続のどちらでも動作します。

3. バッテリバックアップ機能使用時は，E1のV_{DD}とマイコンのEV_{DD}を接続します。マイコンのV_{DD}はE1に接続しません。また，バッテリバックアップモードのデバッグ中はEV_{DD}電源を切断しないでください。

4. マイコンのピン数によってはV_{DD}とEV_{DD}が同一の端子となっている場合があります。この場合，E1のV_{DD}，EMV_{DD}の両方をマイコンの電源端子へ接続してください。また，バッテリバックアップモードのデバッグ中はこの電源を切断しないでください。

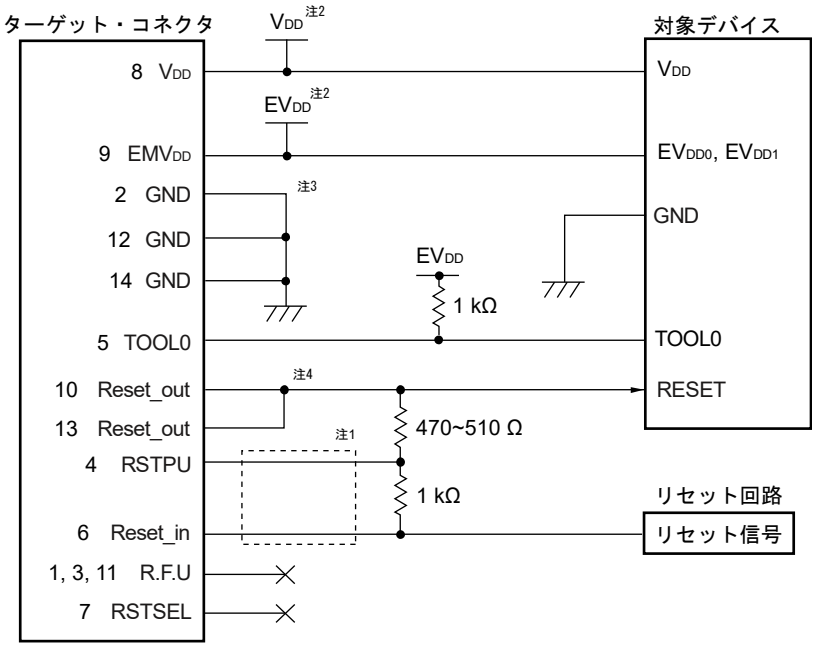
5. E1の2，12，14ピンは必ずユーザシステム上GNDに接続してください。電気的なGNDとして使用するほか，E1/E20とユーザシステムとの接続監視，バッテリバックアップ機能の使用有無などの目的で使用しています。

6. E1の10, 13ピンは必ず両ピンを接続してご使用ください。

注意　回路接続例中の定数は参考値です。量産を目的としてフラッシュ・プログラミングを行う場合は，対象デバイスのスペックを満たしているか十分な評価を行ってください。

備考　EV_{DD0}，EV_{DD1}，EV_{SS0}，EV_{SS1}端子が無い製品は，EV_{DD0}とEV_{DD1}をV_{DD}に，EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

図37－2　E1オンチップデバッキングエミュレータとの接続例(バッテリバックアップ機能を使用しない場合)



注　**1.** オンチップデバッグ使用時は接続が必要です。フラッシュプログラミングは接続／未接続のどちらでも動作します。

2. マイコンのピン数によってはVDDとEVDDが同一の端子となっている場合があります。この場合，E1のVDD，EMVDDの両方をマイコンの電源端子へ接続してください。

3. 2，12，14ピンは必ずユーザシステム上GNDに接続してください。電気的なGNDとして使用するほか，E1/E20がユーザシステムとの接続を監視するためにも使用しています。

4. E1の10, 13ピンは必ず両ピンを接続してご使用ください。

注意　**回路接続例中の定数は参考値です。量産を目的としてフラッシュ・プログラミングを行う場合は，対象デバイスのスペックを満たしているか十分な評価を行ってください。また，この回路で接続する場合はバッテリバックアップ機能は使用しないでください。**

備考　EVDD0，EVDD1，EVSS0，EVSS1端子が無い製品は，EVDD0とEVDD1をVDDに，EVSS0とEVSS1をVSSに置き換えてください。

37. 2　オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの000C3Hにオンチップ･デバッグ動作制御ビット（**第35章　オプション･バイト**を参照）を，000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，000C3H，000C4H-000CDHと010C3H，010C4H-010CDHが切り替わるので，あらかじめ010C3H，010C4H-010CDHにも同じ値を設定してください。

表37－1　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード注
010C4H-010CDH	

注　“FFFFFFFFFFFFFFFFFFFFH”は設定できません。

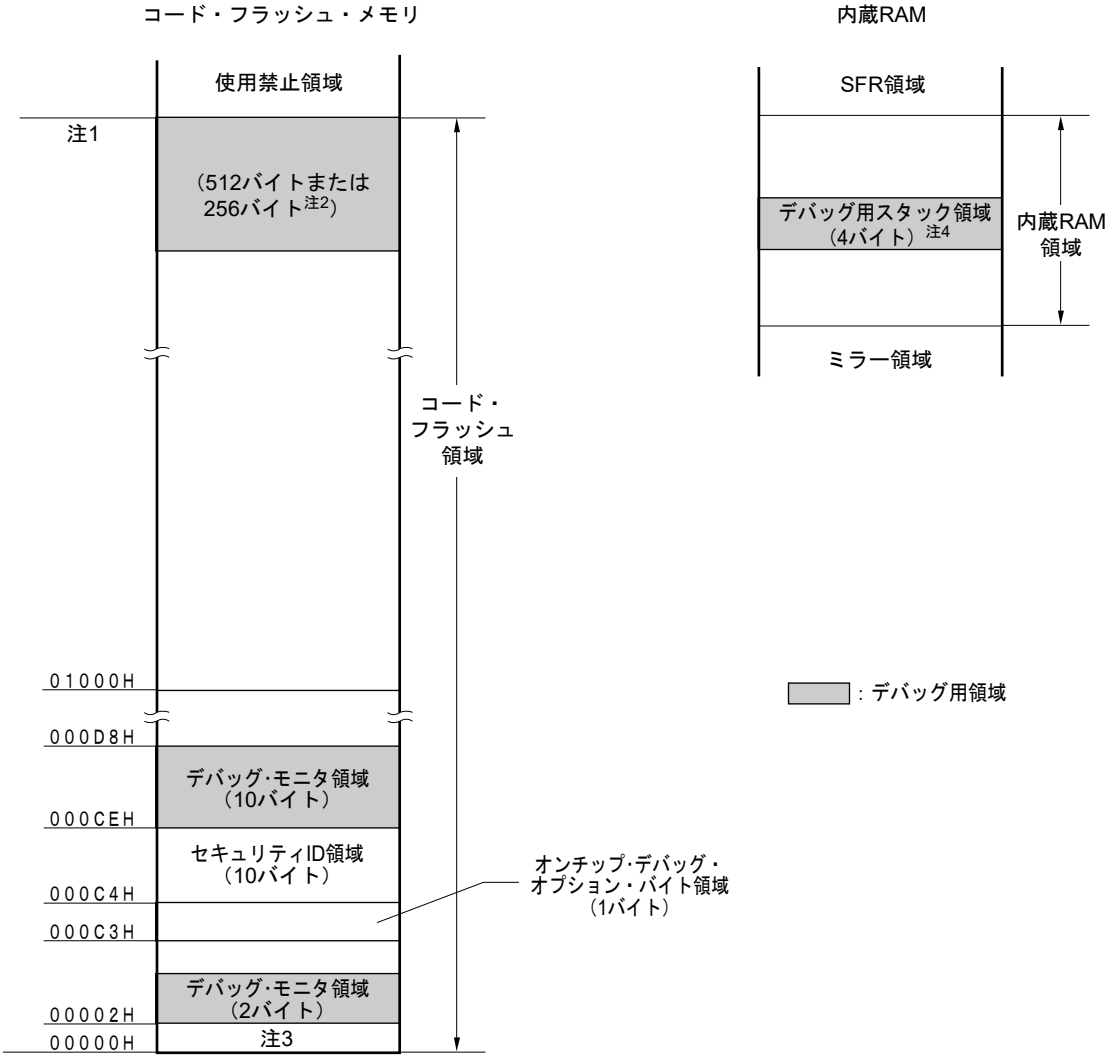
37. 3　ユーザ資源の確保

RL78マイクロコントローラとE1, E2, E2 Lite, E20オンチップデバッギングエミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンク・オプションで設定することもできます。

（1）メモリ空間の確保

図37－3のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図37－3　デバッグ用モニタ・プログラムが配置されるメモリ空間



注1.　製品によって，次のようにアドレスが異なります。

製品名	注1のアドレス
R5F10NME, R5F10NLE, R5F11TLE	0FFFFH
R5F10NPG, R5F10NMG, R5F10NLG, R5F11TLG	1FFFFH
R5F10NMJ, R5F10NPJ	3FFFFH

2.　リアルタイムRAMモニタ（RRM）機能，Dynamic Memory Modification（DMM）機能を使用しない場合は256バイトになります。

3.　デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

4.　この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，4バイト余分に消費します。
セルフ・プログラミングを行う場合は，12バイト余分に消費します。

第38章　10進補正（BCD）回路

38. 1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を，BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

38. 2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ（BCDADJ）

38. 2. 1　BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図38－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

38. 3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

（1）加算　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1　99＋89 = 188

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #99H　; ①	99H	－	－	－
ADD　A, #89H　; ②	22H	1	1	66H
ADD　A, !BCDADJ　; ③	88H	1	0	－

例2　85＋15 = 100

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #85H　; ①	85H	－	－	－
ADD　A, #15H　; ②	9AH	0	0	66H
ADD　A, !BCDADJ　; ③	00H	1	1	－

例3　80＋80 = 160

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #80H　; ①	80H	－	－	－
ADD　A, #80H　; ②	00H	1	0	60H
ADD　A, !BCDADJ　; ③	60H	1	0	－

（2）減算　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例　91－52 = 39

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
`MOV A, #91H ; ①`	91H	－	－	－
`SUB A, #52H ; ②`	3FH	0	1	06H
`SUB A, !BCDADJ ; ③`	39H	0	0	－

第39章　32ビット積和演算回路

39. 1　32ビット積和演算回路の機能

32ビット積和演算回路には次のような機能があります。

・32ビット×32ビット = 64ビット（符号なし乗算）
・32ビット×32ビット = 64ビット（符号付き乗算）
・32ビット×32ビット+ 64ビット= 64ビット（符号なし積和演算）
・32ビット×32ビット+ 64ビット= 64ビット（符号付き積和演算）
・固定小数点モード対応
・積和演算結果がオーバフロー/アンダーフロー発生時の割り込み出力

データ形式は２の補数形式になります。

・符号付き（最上位ビットが符号ビット）
7FFF (16 進数) = 32767 (10 進数)
0001 (16 進数) = 1 (10 進数)
0000 (16 進数) = 0 (10 進数)
FFFF (16 進数) = -1 (10 進数)
8000 (16 進数) = -32768 (10 進数)
・符号なし
FFFF (16 進数) = 65535 (10 進数)
0000 (16 進数) = 0 (10 進数)

39. 2　32ビット積和演算回路の構成

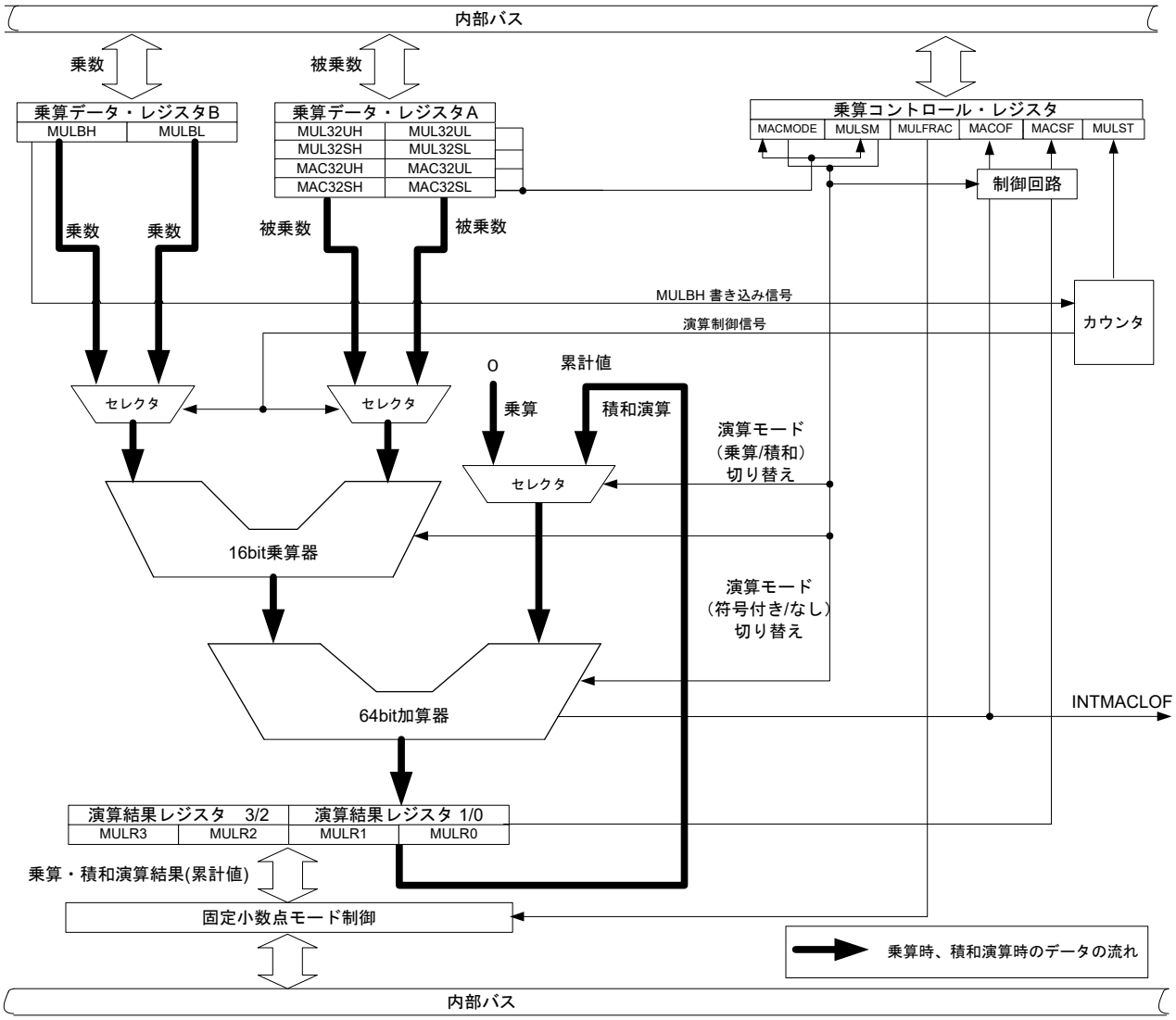
32ビット積和演算回路は，次のハードウェアで構成しています。

表39－1　32ビット積和演算回路の構成

項　　目	構　　成
制御レジスタ	乗算データ・レジスタB(L)（MULBL） 乗算データ・レジスタB(H)（MULBH） 乗算データ・レジスタA(L)(符号なし乗算)（MUL32UL） 乗算データ・レジスタA(H)(符号なし乗算)（MUL32UH） 乗算データ・レジスタA(L)(符号あり乗算)（MUL32SL） 乗算データ・レジスタA(H)(符号あり乗算)（MUL32SH） 乗算データ・レジスタA(L)(符号なし積和演算)（MAC32UL） 乗算データ・レジスタA(H)(符号なし積和演算)（MAC32UH） 乗算データ・レジスタA(L)(符号あり積和演算)（MAC32SL） 乗算データ・レジスタA(H)(符号あり積和演算)（MAC32SH） 演算結果レジスタ0（MULR0） 演算結果レジスタ1（MULR1） 演算結果レジスタ2（MULR2） 演算結果レジスタ3（MULR3） 乗算コントロール・レジスタ（MULC） 周辺イネーブル・レジスタ2（PER2） 周辺リセット制御レジスタ2（PRR2）

32ビット積和演算回路のブロック図を，**図39－1**に示します。

図39－1　32ビット積和演算回路のブロック図



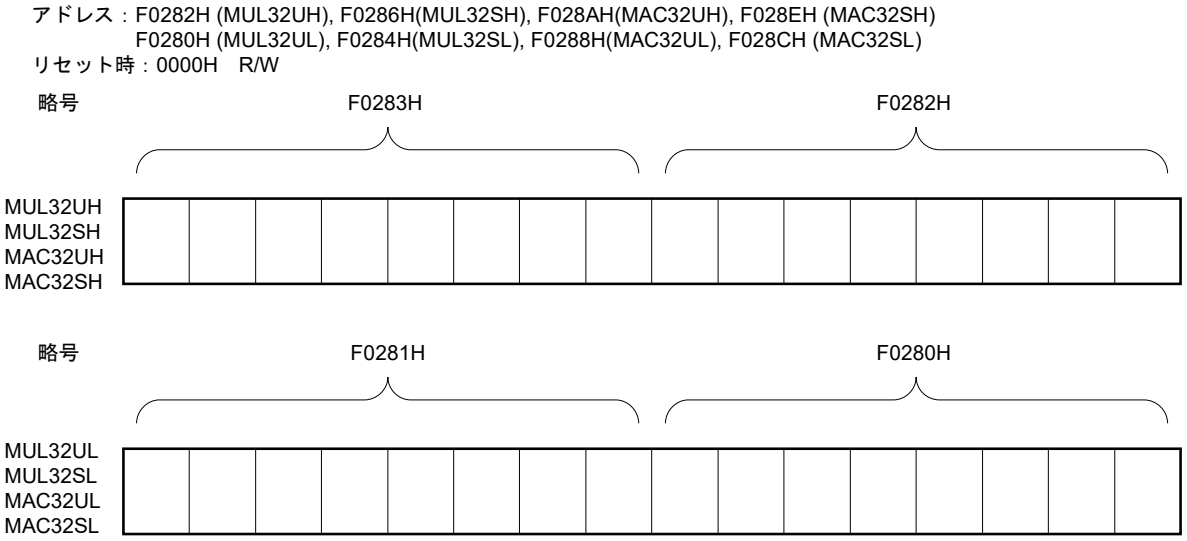
39. 2. 1　乗算データ・レジスタA（MUL32UH, MUL32UL, MUL32SH, MUL32SL, MAC32UH, MAC32UL, MAC32SH, MAC32SL）

乗算データ・レジスタAは，乗算および積和演算の演算に利用する被乗数を設定するレジスタです。

乗算データ・レジスタAは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図39－2　乗算データ・レジスタA（MUL32UH, MUL32UL, MUL32SH, MUL32SL, MAC32UH, MAC32UL, MAC32SH, MAC32SL）のフォーマット



注意　演算処理中（乗算コントロール・レジスタ（MULC）のビット0（MULST）= 1の時）に，乗算データ・レジスタA（MUL32UH，MUL32UL，MUL32SH，MUL32SL，MAC32UH，MAC32UL，MAC32SH, MAC32SL）の値を書き換えないでください。演算結果は不定値となります。
乗算データ・レジスタAには書き込まれた値が格納されます。乗算コントロール・レジスタ（MULC）のMACMODE, MULSMビットも，対応した演算モードの値に書き換わります。

乗算データ・レジスタAは，演算モード毎に異なるレジスタ名称およびレジスタアドレスを設定しているため，被乗数を設定するレジスタによって演算モードを切り替える事ができます。MULCレジスタのMACMODE, MULSMビットも，対応した演算モードの値に書き換わります。

MUL32UL, MUL32UH, MUL32SL, MUL32SH, MAC32UL, MAC32UH, MAC32SL, MAC32SHレジスタは共通のレジスタを使用するため，レジスタ値を書き換えた場合，全てのレジスタの値が書き換わります。

演算モードとレジスタ名称の関係を以下に示します。

表39－2　演算モードとレジスタ名称の関係

演算モード	乗算データ・レジスタAのレジスタ名称	
	31-16ビット（MULAH）	15-0ビット（MULAL）
乗算モード（符号なし）	MUL32UH	MUL32UL
乗算モード（符号付き）	MUL32SH	MUL32SL
積和演算モード（符号なし）	MAC32UH	MAC32UL
積和演算モード（符号付き）	MAC32SH	MAC32SL

39. 2. 2　乗算データ・レジスタB（MULBL, MULBH）

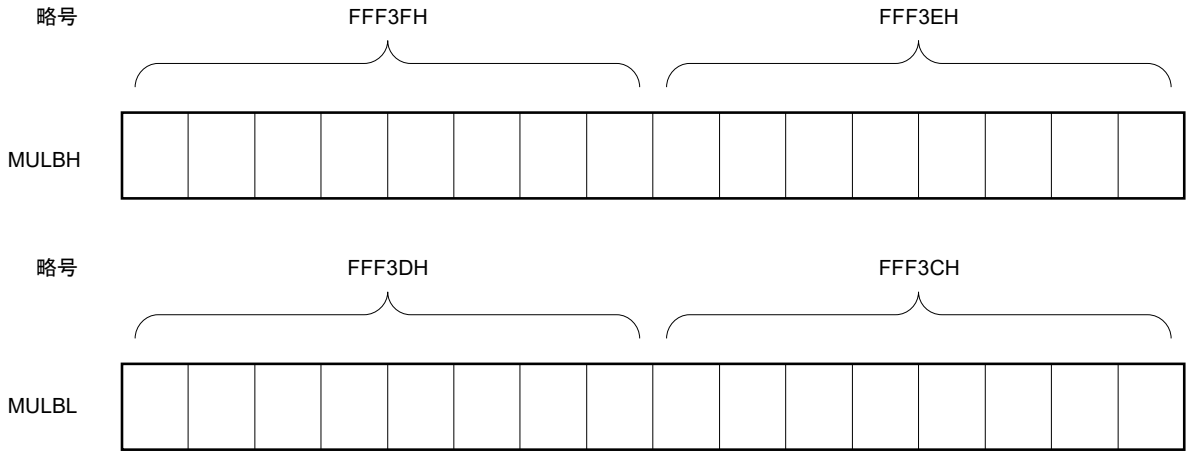
乗算データ・レジスタBは，乗算および積和演算の演算に利用する乗数を設定するレジスタです。

乗算データ・レジスタBは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図39－3　乗算データ・レジスタB（MULBH, MULBL）のフォーマット

アドレス：FFF3EH (MULBH), FFF3CH(MULBL)　リセット時：0000H　R/W



注意1.　演算処理中（乗算コントロール・レジスタ（MULC）のビット0（MULST）= 1の時）に，乗算データ・レジスタBの値をソフトウェアで書き換えないでください。演算結果は不定値となります。

2.　乗算データ・レジスタBの上位16ビット(MULBH) への書き込みによって，演算を開始します。必ずMULBL→MULBHの順番で，乗数を設定するようにしてください。
（演算処理は，MULBHレジスタの書き込みから5サイクル後に終了します。）

乗算データ・レジスタBは，すべての演算モードで共通のレジスタとして使用します。

演算モードとレジスタ名称の関係を以下に示します。

表39－3　演算モードとレジスタ名称の関係

演算モード	乗算データ・レジスタBのレジスタ名称	
	31-16ビット（MULBH）	15-0ビット（MULBL）
乗算モード（符号なし）	MULBH	MULBL
乗算モード（符号付き）		
積和演算モード（符号なし）		
積和演算モード（符号付き）		

39. 2. 3　演算結果レジスタ（MULR0, MULR1, MULR2, MULR3）

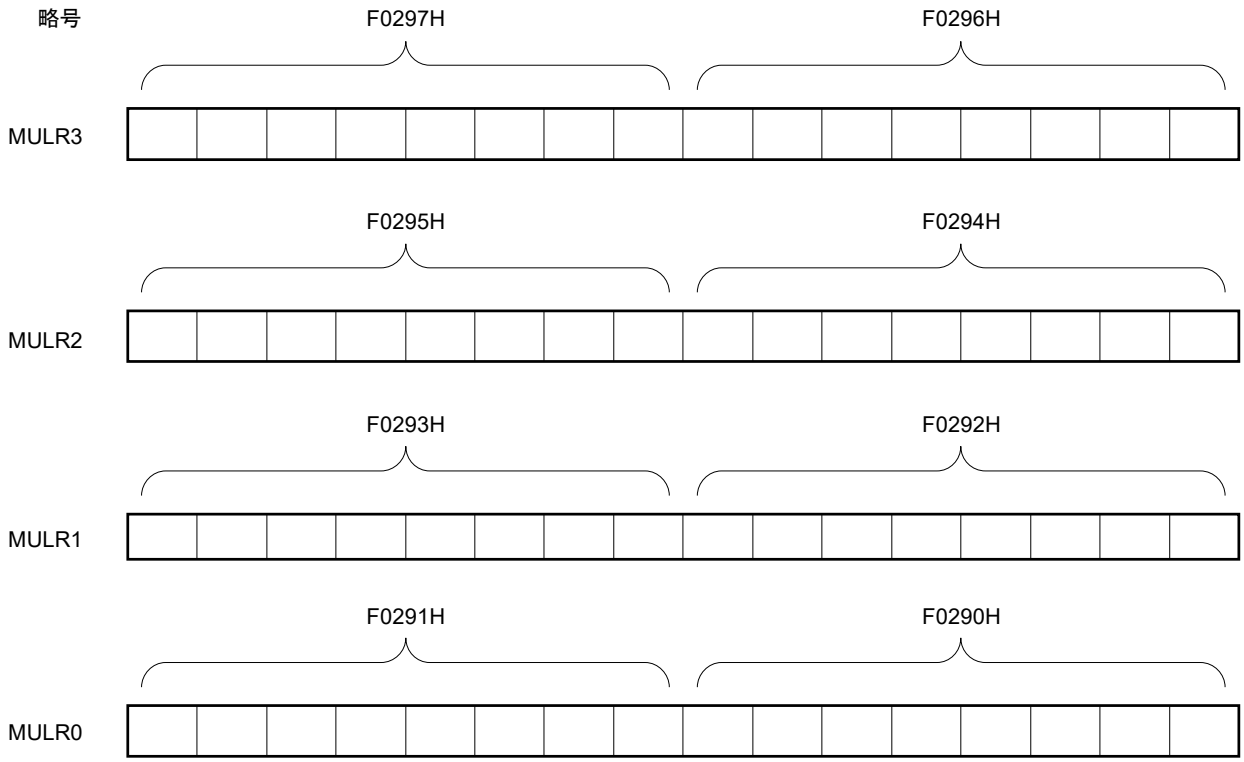
演算結果レジスタは，演算結果の値が格納されるレジスタです。

演算結果レジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図39－4　演算結果レジスタ（MULR0, MULR1, MULR2, MULR3）のフォーマット

アドレス：F0290H (MULR0), F0292H (MULR1), F0294H (MULR2), F0296H (MULR3)　　リセット時：0000H　R/W



注意1.　演算処理中（乗算コントロール・レジスタ（MULC）のビット0（MULST）= 1の時）に，演算結果レジスタの値を書き換えないでください。書き換えた場合，演算結果は不定値となります。

2.　演算処理中（MULST = 1の時）に演算結果レジスタの値を読み出した場合，その値は保証しません。ただし，演算結果はMULR0→MULR1→MULR2，MULR3（MULR2とMULR3は同時）の順番に格納されるため，各演算結果レジスタで演算に必要なクロック数（“39.4.2 演算に必要なクロック数”を参照）を経過していれば，演算処理中でもMULR3-MULR0レジスタの値を読み出す事ができます。

演算結果レジスタは，すべての演算モードで共通のレジスタとして使用します。

演算モードとレジスタ名称の関係を以下に示します。

表39－4　演算モードとレジスタ名称の関係

演算モード	演算結果レジスタのレジスタ名称			
	63-48ビット	47-32ビット	31-16ビット	15-0ビット
乗算モード（符号なし）	MULR3	MULR2	MULR1	MULR0
乗算モード（符号付き）				
積和演算モード（符号なし）				
積和演算モード（符号付き）				

乗算演算時は演算結果（積）を格納し，積和演算時は演算結果（累計）を格納します。また，積和演算時は累計初期値を設定する事ができます。

表39－5　演算モードと演算結果レジスタの格納内容

演算モード	設定	演算結果
乗算モード（符号なし）	－	MULR3-MULR0: 積(符号なし)
乗算モード（符号付き）	－	MULR3- MULR0: 積(符号付き)
積和演算モード（符号なし）	MULR3-MULR0: 累計初期値(符号なし)	MULR3- MULR0: 累計値(符号なし)
積和演算モード（符号付き）	MULR3-MULR0: 累計初期値(符号付き)	MULR3- MULR0: 累計値(符号付き)

64ビットで扱える数値範囲の最大値を超えた場合（＝オーバフロー），もしくは最小値を超えた場合（＝アンダーフロー）は，値が反転し，桁あふれした分が足された値がMULR3-MULR0に格納されます。

■符号なしの場合

・オーバフロー発生時

処理）2^{64} + MULR[63:0]

例）

FFFF FFFF FFFF FFFFh + 0000 0000 0000 0001h = 0000 0000 0000 0000h

■符号付きの場合

・オーバフロー発生時

処理）2^{63} + MULR[62:0]

例）

7FFF FFFF FFFF FFFFh + 0000 0000 0000 0001h = 8000 0000 0000 0000h

・アンダーフロー発生時

処理）　-2^{63} + MULR[62:0]

例）

8000 0000 0000 0000h + FFFF FFFF FFFF FFFFh = 7FFF FFFF FFFF FFFFh

39. 3　32ビット積和演算回路を制御するレジスタ

32ビット積和演算回路は，次のレジスタで制御します。

・周辺イネーブル・レジスタ2（PER2）

・周辺リセット制御レジスタ2（PRR2）

・乗算コントロール・レジスタ（MULC）

39. 3. 1　周辺イネーブル・レジスタ2（PER2）

PER2 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

32ビット積和演算回路を使用するときは，必ずビット2 (MACEN)を1に設定してください。

PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図39－5　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F00FCH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	TAMKAEN	OSDCEN	0	0	0	MACEN	0	VRTCEN

MACEN	32ビット積和演算器の入力クロック供給の制御
0	入力クロック供給停止 • 32ビット積和演算器で使用するSFRへのライト不可，リードした場合は00Hが読めます。 ただし，初期化はされていません。注
1	入力クロック供給 • 32ビット積和演算器で使用するSFRへのリード／ライト可

注　32ビット積和演算器および32ビット積和演算器で使用するSFRを初期化する場合，PRR2のビット2（MACRES）を使用してください。

39. 3. 2　周辺リセット制御レジスタ2（PRR2）

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

32ビット積和演算回路をリセットする場合は，必ずビット2 (MACRES)を1に設定してください。

PRR2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR2レジスタは00Hになります。

図39－6　周辺リセット制御レジスタ2（PRR2）のフォーマット

アドレス：F00FDH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PRR2	TAMKARES	OSDCRES	0	0	0	MACRES	0	0

MACRES	32ビット積和演算回路のリセット制御
0	32ビット積和演算回路のリセット解除
1	32ビット積和演算回路はリセット状態

39. 3. 3　乗算コントロール・レジスタ（MULC）

MULCレジスタは，32ビット積和演算回路の動作を制御する8ビット・レジスタです。

MULCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

ただし，積和演算結果（累計値）のオーバフロー／アンダーフロー・フラグ（MACOF），積和演算結果（累計値）のサイン・フラグ（MACSF），演算ステータスフラグ（MULST）は読み出しのみ可能です。

リセット信号の発生により，00Hになります。

図39－7　乗算コントロール・レジスタ（MULC）のフォーマット（1/2）

アドレス：F029AH　　リセット時：00H　　R/W注

略号	7	6	5	4	3	2	1	0
MULC	MACMODE	MULSM	0	MULFRAC	0	MACOF	MACSF	MULST

MACMODE	MULSM	演算モードの選択
0	0	乗算モード（符号なし）（デフォルト）
0	1	乗算モード（符号付き）
1	0	積和演算モード（符号なし）
1	1	積和演算モード（符号付き）
演算モードは，設定する乗算データ・レジスタAのアドレスによって自動的に切り替わります。 本ビットを読み出すことにより演算モードを確認することができます。 本ビットに書き込むことにより演算モードを設定することもできます。		

MULFRAC	固定小数点モードの選択
0	無効
1	有効
固定小数点モードの詳細については，**39. 4. 6**　固定小数点モードを参照してください。	

図39－7　乗算コントロール・レジスタ（MULC）のフォーマット（2/2）

アドレス：F029AH　　リセット時：00H　　R/W注

略号	7	6	5	4	3	2	1	0
MULC	MACMODE	MULSM	0	MULFRAC	0	MACOF	MACSF	MULST

MACOF	積和演算結果（累計値）のオーバフロー／アンダーフロー・フラグ
0	オーバフロー／アンダーフローなし
1	オーバフロー／アンダーフローあり

［セット条件］

・積和演算モード（符号なし）の場合

累計値がFFFF FFFF FFFF FFFFhを超える場合

・積和演算モード（符号付き）の場合

正の累計値に正の積を加算した結果が7FFF FFFF FFFF FFFFhを超え結果が負となる場合

負の累計値に負の積を加算した結果が8000 0000 0000 0000hを超え結果が正となる場合

［セット／クリアのタイミング］

・演算終了時（MULST = 1→0）

MACSF	積和演算結果（累計値）のサイン・フラグ
0	累計値が正
1	累計値が負

積和演算モード（符号なし）の場合：常に0

積和演算モード（符号付き）の場合：累計値の符号ビットを表示

MULST	演算処理ステータス・ビット
0	演算処理完了
1	演算処理中

乗算データ・レジスタBの上位16ビット(MULBH) への書き込みによって，演算を開始します。

MULSTビットは，演算開始時にセット(1)され，5サイクル後の演算完了時にクリア(0)します。

注　ビット0-2はRead onlyです。

注意　**演算処理中（MULST = 1の時）に，乗算コントロール・レジスタ（MULC）の値を書き換えないでください。書き換えた場合，演算結果レジスタとMACOF，MACSFビットが不定値となります。**

39. 4　32ビット積和演算回路の動作

39. 4. 1　基本動作

乗算時と積和演算時のレジスタ構成を次に示します。

■ 符号なし乗算時のレジスタ構成

＜被乗数＞		＜乗数＞		＜積＞
32ビット		32ビット		64ビット
符号なし		符号なし		符号なし
[MUL32UH,MUL32UL]	×	[MDBH,MDBL]	＝	[MULR3,MULR2,MULR1,MULR0]

■ 符号付き乗算時のレジスタ構成

＜被乗数＞		＜乗数＞		＜積＞
32ビット		32ビット		64ビット
符号付き		符号付き		符号付き
[MUL32SH,MUL32SL]	×	[MDBH,MDBL]	＝	[MULR3,MULR2,MULR1,MULR0]

■ 符号なし積和演算時のレジスタ構成

＜被乗数＞		＜乗数＞		＜累計値＞		＜積＞
32ビット		32ビット		64ビット		64ビット
符号なし		符号なし		符号なし		符号なし
[MAC32UH,MAC32UL]	×	[MDBH,MDBL]	＋	[MULR3,MULR2,MULR1,MULR0]	＝	[MULR3,MULR2,MULR1,MULR0]

■ 符号付き積和演算時のレジスタ構成

＜被乗数＞		＜乗数＞		＜累計値＞		＜積＞
32ビット		32ビット		64ビット		64ビット
符号付き		符号付き		符号付き		符号付き
[MAC32SH,MAC32SL]	×	[MDBH,MDBL]	＋	[MULR3,MULR2,MULR1,MULR0]	＝	[MULR3,MULR2,MULR1,MULR0]

39. 4. 2　演算に必要なクロック数

乗算，積和演算共に，被乗数の上位16ビット(MULBH)をセットする事で自動的に演算を開始します。演算に必要なクロック数は下記を参照してください。

演算モード	Operation	演算に必要なクロック数　(MULBHへの書き込みを開始トリガとする)				
		MULR0	MULR1	MULR2	MULR3	MACOF MACSF
符号なし乗算	32 bit x 32 bit	2	4	5	5	5
符号付き乗算	32 bit x 32 bit	2	4	5	5	5
符号なし積和演算	32 bit x 32 bit + 64 bit	2	4	5	5	5
符号付き積和演算	32 bit x 32 bit + 64 bit	2	4	5	5	5

備考　固定小数点モードの有効／無効によるクロック数の違いはありません。

39. 4. 3　演算モード切り替え

演算モードは，乗算データ・レジスタAへの被乗数の書き込み操作によって切り替えます。また，乗算コントロール・レジスタ（MULC）のMACMODE（ビット7），MULSM（ビット6）によって，モードを切り替えおよび演算モードを確認することができます。乗算データ・レジスタB（H）の書き込みで，連続して乗算処理を実施できるように，最後に書き込みを実施したモードを保持します。初期値は“符号なし乗算モード”となります。

39. 4. 4　乗算動作

- 乗算はMULBHレジスタに乗数をセットすることで，自動的に開始します。MULBLレジスタをセットしても演算は開始しません。
- 乗算データ・レジスタAに被乗数をセットすることで，演算モードが自動的に切り替わりますが，演算は開始しません。
- 演算開始後，MULSTビットは1にセットされ，演算が完了後に0にクリアされます。
- 演算完了後に割り込みは発生しません。[注]

注　演算モードが乗算モード（符号付き）かつ，演算開始前の演算結果レジスタ（MULR3-MULR0）が負の場合，積和演算オーバーフロー／アンダーフロー割り込み（INTMACLOF）が発生する場合があります。乗算モード（符号付き）の演算時は，MULBHレジスタに乗数をセットして演算を開始する前に割り込みマスク・フラグ・レジスタ（MACMK）に1を設定して，INTMACLOFを禁止してください。または，MULBHレジスタに乗数をセットして演算を開始する前に，演算結果レジスタ（MULR3）をゼロまたは正の値に設定してください。

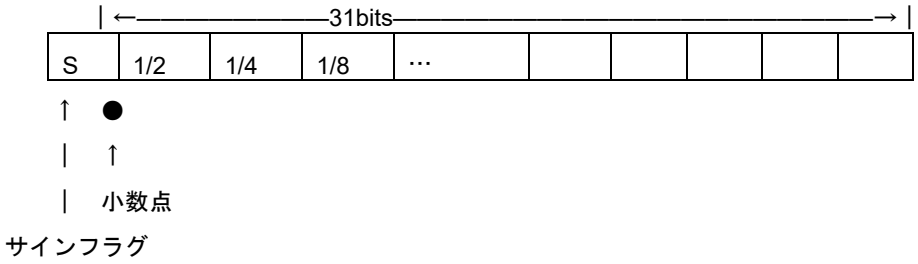
39. 4. 5　積和演算動作

- 積和演算はMULBHレジスタに乗数をセットすることで，自動的に開始します。MULBLレジスタをセットしても演算は開始しません。
- 乗算データ・レジスタAに被乗数をセットすることで，演算モードが自動的に切り替わりますが，演算は開始しません。
- 演算開始後，MULSTビットは1にセットされ，演算が完了後に0にクリアされます。
- 演算完了後に累計結果がオーバフロー／アンダーフローした場合，割り込みを出力します。

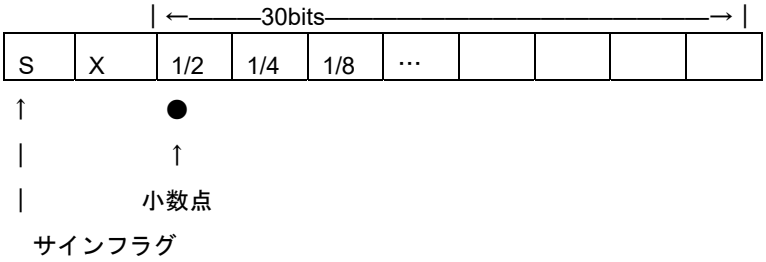
39. 4. 6　固定小数点モード

固定小数点モードではQフォーマットをサポートします。

(例)Q31フォーマット　-1.0～0.999999999534≒1.0



(例)Q30フォーマット　-2.0～1.999999999069≒2.0



Q31フォーマットの2つの32ビット固定小数点同士の乗算を実施すると，演算結果はQ62フォーマットとして演算結果レジスタ(MULR3～MULR0)に格納されます。Q31フォーマットに手動で変換する為には，演算結果の下位31ビットと拡張された符号ビットを取り除く必要があります。固定小数点モードを有効(MULFRAC=1)の状態で，CPUが演算結果レジスタ(MULR3～MULR2)をリードすると，演算結果が1ビット左シフトされた値が読み出せます。演算結果を1ビット左シフトする事により，冗長な符号ビットは自動的に取り除かれ，32ビットのQ31フォーマットの演算結果を得る事ができます。

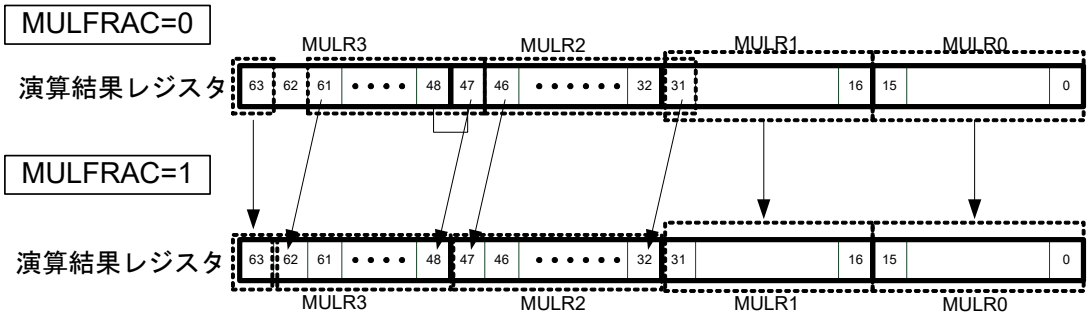
固定小数点モードは，演算結果レジスタ自体の値が書き換わるわけではありません。その為，固定小数点モードフラグの値を変更する事で，1ビット左シフトされたQ31フォーマットの値と，左シフトしていない演算結果を両方読み出す事ができます。

39. 4. 7　固定小数点モードの動作

演算動作は通常動作と同じ。固定小数点モードを有効な場合のみ，演算結果レジスタをリードすると，演算結果は以下となります。

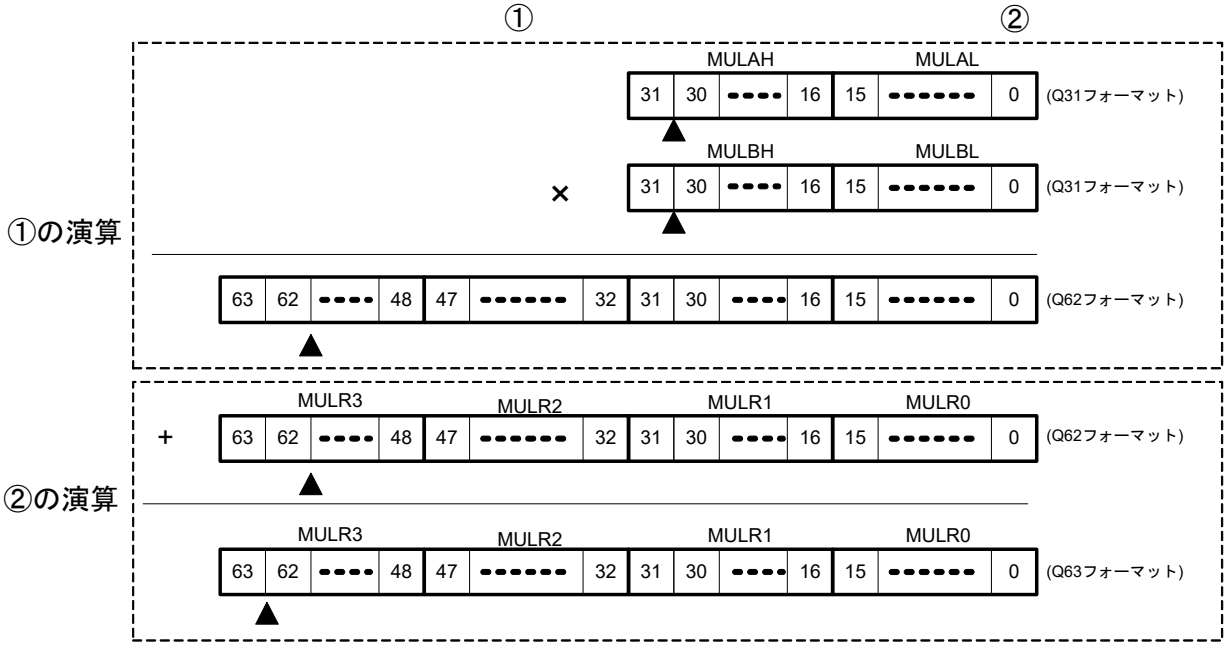
MULFRAC=1の場合

MULR3リード時の値 = {MULR3[15], MULR3[13:0], MULR2[15]}
MULR2リード時の値 = {MULR2[14:0], MULR1[15]}
MULR1リード時の値 = {MULR1[15:0]}
MULR0リード時の値 = {MULR0[15:0]}



固定小数点モード(MULFRAC=1)の場合，MULA, MULBにQ31フォーマットで入力してください。積和演算する場合，累計初期値はQ62フォーマット（＝31(MULAの31フォーマット) + 31(MULBの31フォーマット) ）で入力してください。この場合，MULA×MULBにより出力されるフォーマットに合わせてMULR3-MULR0に入力する必要があるため, MULR3- MULR0にはQ62フォーマットで入力する必要があります。以下に例を示します。

例) 積和演算時 {MULAH, MULAL} ×{MULBH, MULBL} + {MULR3, MULR2, MULR1, MULR0}



注意　固定小数点モード時（MULFRAC=1）MULR1-MULR0の値は，左シフトしないQ62フォーマットの下位32ビットになります。固定小数点モード無効時の演算結果レジスタのbit62からの桁上げ／桁下げが発しない限り，固定小数点モード時（MULFRAC=1）でもオーバフロー／アンダーフローの割り込みは発生しません。

39. 4. 8　割り込み動作

積和演算結果がオーバフロー／アンダーフローした場合に割り込みを出力します。

39. 5　32ビット積和演算回路の動作説明

下記の設定手順に従い，32ビット積和演算回路の演算を実行させます。

① 乗算動作時の実行例

- 動作許可
  周辺イネーブル・レジスタ 2（PER2）のビット 2（MACEN）に 1 を設定し，クロック供給を開始します。

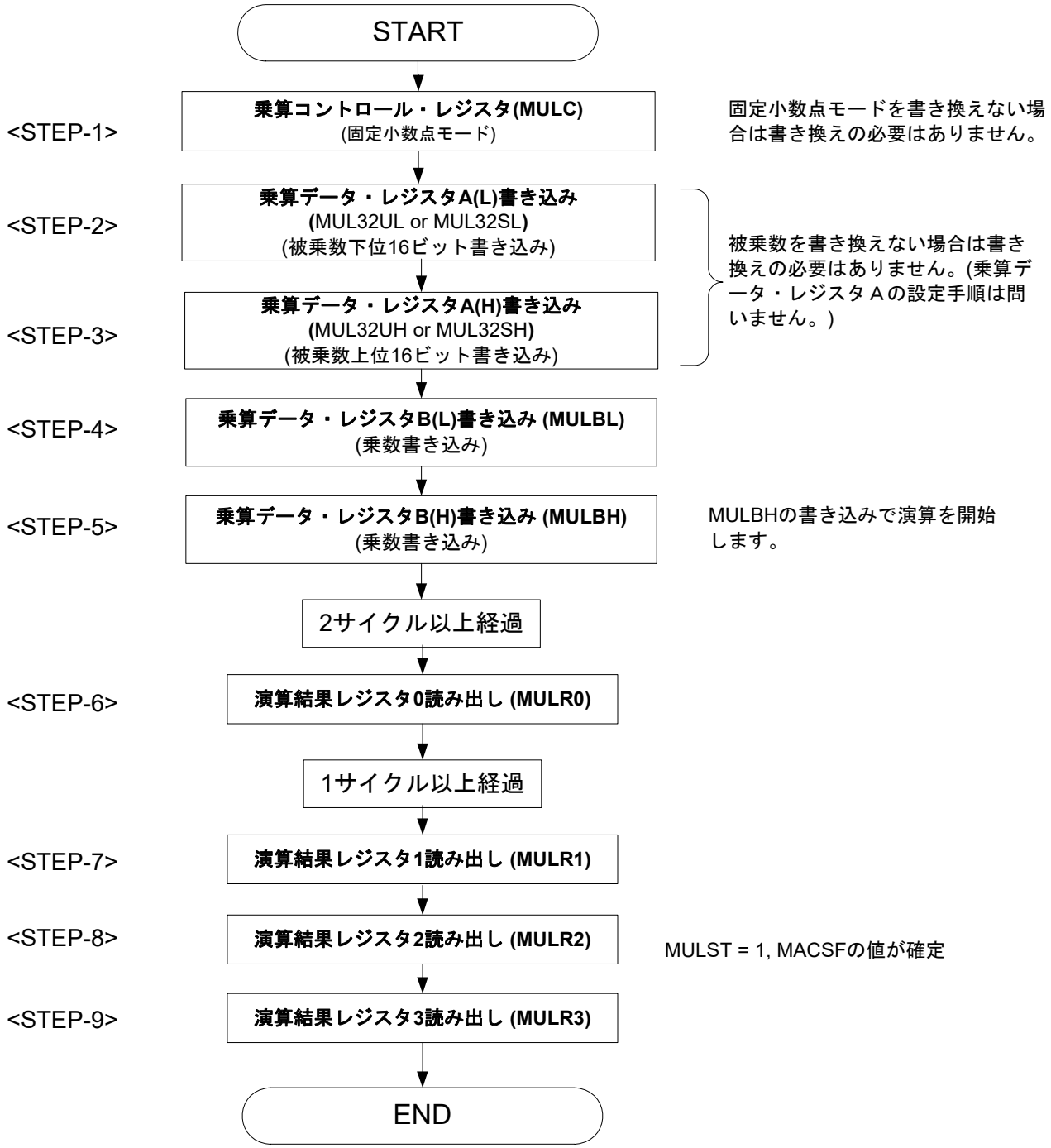
- 初期設定
  <STEP-1> MULC 書き込み（固定小数点モード　有効/無効設定）
  <STEP-2> 乗算データ・レジスタ A(L)書き込み (MUL32UL または MUL32SL)
  <STEP-3> 乗算データ・レジスタ A(H)書き込み (MUL32UH または MUL32SH)
  <STEP-4> 乗算データ・レジスタ B(L)書き込み (MULBL)
  <STEP-5> 乗算データ・レジスタ B(H)書き込み (MULBH)
  • MULST=1 になります。

- 乗算演算
  下記の一連の処理が終わると演算が終了します。
  - 乗算演算処理の全演算（5 サイクル）が終了すると MULST=0 になります。
    （符号フラグ MACSF=0 固定となります。）
  - 演算開始 2 サイクル以降
    <STEP-6> 演算結果レジスタ 0 (MULR0)読み出し可能
  - 演算開始 4 サイクル以降
    <STEP-7> 演算結果レジスタ 1 (MULR1)読み出し可能
  - 演算開始 5 サイクル以降
    <STEP-8> 演算結果レジスタ 2 (MULR2)読み出し可能
    <STEP-9> 演算結果レジスタ 3 (MULR3)読み出し可能

- 続けて演算を行う場合
  (1) 固定小数点モードを切り替える場合は<STEP-1>を実行，それ以外の場合(2)へ
  (2) 被乗数を書き換える場合<STEP-2>, <STEP-3>を実行，それ以外は(3)へ
  (3) <STEP-4>より実行

乗算時の動作フローを以下に示します。

図39－8　32ビット積和演算回路の動作フロー（乗算時）



② 積和演算動作時の実行例

- 動作許可
  周辺イネーブル・レジスタ 2（PER2）のビット 2（MACEN）に 1 を設定し，クロック供給を開始します。

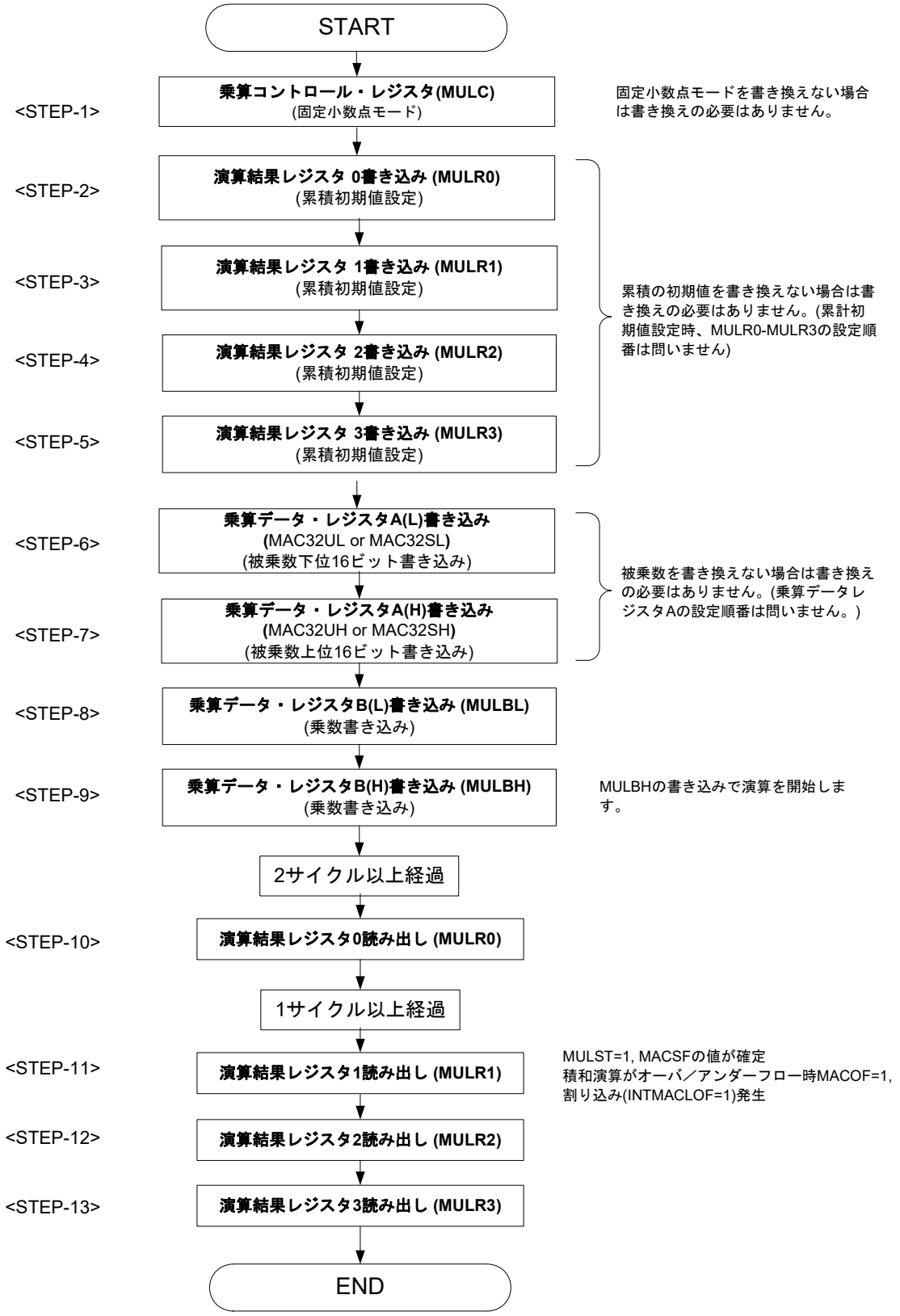
- 初期設定
  <STEP-1> MULC 書き込み（固定小数点モード　有効/無効設定）
  <STEP-2> 演算結果レジスタ 0 書き込み (MULR0)（累積初期値設定）
  <STEP-3> 演算結果レジスタ 1 書き込み (MULR1)（累積初期値設定）
  <STEP-4> 演算結果レジスタ 2 書き込み (MULR2)（累積初期値設定）
  <STEP-5> 演算結果レジスタ 3 書き込み (MULR3)（累積初期値設定）
  <STEP-6> 乗算データ・レジスタ A(L)書き込み (MAC32UL または MAC32SL)
  <STEP-7> 乗算データ・レジスタ A(H)書き込み (MAC32UH または MAC32SH)
  <STEP-8> 乗算データ・レジスタ B(L)書き込み (MULBL)
  <STEP-9> 乗算データ・レジスタ B(H)書き込み (MULBH)
  • MULST = 1 になります。

- 積和演算中
  下記の一連の処理が終わると演算が終了します。
  - オーバフロー/アンダーフローが発生した場合 MACOF = 1 へセット，割り込み(INTMACLOF = 1)を発生します。
  - 積和演算処理の全演算（5 サイクル）が終了すると MULST = 0 になり，符号フラグ MACSF がセット/クリアされます。
    （但し，MULSM = 0 の時はセットされず，MACSF = 0 固定になります。）
  - 演算開始 2 サイクル以降
    <STEP-10> 演算結果レジスタ 0 (MULR0)読み出し可能
  - 演算開始 4 サイクル以降
    <STEP-11> 演算結果レジスタ 1 (MULR1)読み出し可能
  - 演算開始 5 サイクル以降
    <STEP-12> 演算結果レジスタ 2 (MULR2)読み出し可能
    <STEP-13> 演算結果レジスタ 3 (MULR3)読み出し可能

- 続けて演算を行う場合
  (1) 固定小数点モードを切り替える場合<STEP-1>を実行，それ以外の場合(2)へ
  (2) 累積初期値(演算結果レジスタ MULR0-3)を書き換える場合
  <STEP-2>, <STEP-3>, <STEP-4>, <STEP-5>を実行，それ以外の場合(3)へ
  (3) 被乗数を書き換える場合<STEP-6>,<STEP-7>を実行，それ以外の場合(4)へ
  (4) <STEP-8>より実行

積和演算時の動作フローを以下に示します。

図39－9　32ビット積和演算回路の動作フロー（積和演算時）



39. 6　32ビット積和演算回路の注意事項

39. 6. 1　演算中（MULST = 1）の注意事項

演算中は乗算データ・レジスタA(L)/(H)，乗算データ・レジスタB(L)/(H)，演算結果レジスタ0/1/2/3および，乗算コントロール・レジスタの書き換えは禁止で，書き込んだ場合演算結果は不定となります。

乗算データ・レジスタB (H)への書き込みにより演算をスタートする前に，乗算データ・レジスタA(L)/(H)，乗算データ・レジスタB(L)，演算結果レジスタ0/1/2/3および，乗算コントロール・レジスタの書き換えを終えてください。

第40章　命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，**RL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編（R01US0015）**を参照してください。

40. 1　凡例

40. 1. 1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様によります）。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- #　　：イミーディエト・データ指定
- !　　：16ビット絶対アドレス指定
- !!　　：20ビット絶対アドレス指定
- $　　：8ビット相対アドレス指定
- $!　　：16ビット相対アドレス指定
- [ ]　　：間接アドレス指定
- ES:　　：拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称（X, A, Cなど），絶対名称（**表40－1**の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

表40－1　オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ注）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ注）
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ注）
addr5	0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	1ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が“0”になります。

備考　特殊機能レジスタは，オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は**表3－5 SFR一覧**を参照してください。

拡張特殊機能レジスタは，オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は**表3－6　拡張SFR（2nd SFR）一覧**を参照してください。

40. 1. 2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表40－2　オペレーション欄の記号

記　　号	機　　能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L X_S，X_H，X_L	16ビット・レジスタの場合はX_H =上位8ビット，X_L =下位8ビット 20ビット・レジスタの場合はX_S(ビット19-16)，X_H(ビット15-8)，X_L(ビット7-0)
∧	論理積（AND）
∨	論理和（OR）
∨̸	排他的論理和（exclusive OR）
‾	反転データ
addr5	16ビット・イミーディエト・データ（0080H-00BFHの偶数アドレスのみ）
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

40. 1. 3　フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表40－3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

40. 1. 4　PREFIX命令

ES:で示される命令は，PREFIX命令コードを頭に付けることで，アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から，ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで，PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお，PREFIX命令コードと直後の1命令の間に割り込みやDTC転送を受け付けることはありません。

表40－4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	－
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	－	－	－	－
MOV A, ES:[HL]	11H	8BH	－	－	－

注意　ESレジスタの値は，PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

40. 2　オペレーション一覧

表40－5　オペレーション一覧（1/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	r, #byte	2	1	－	r ← byte			
		PSW, #byte	3	3	－	PSW ← byte	×	×	×
		CS, #byte	3	1	－	CS ← byte			
		ES, #byte	2	1	－	ES ← byte			
		!addr16, #byte	4	1	－	(addr16) ← byte			
		ES:!addr16, #byte	5	2	－	(ES, addr16) ← byte			
		saddr, #byte	3	1	－	(saddr) ← byte			
		sfr, #byte	3	1	－	sfr ← byte			
		[DE+byte], #byte	3	1	－	(DE＋byte) ← byte			
		ES:[DE+byte],#byte	4	2	－	((ES, DE)＋byte) ← byte			
		[HL+byte], #byte	3	1	－	(HL＋byte) ← byte			
		ES:[HL+byte],#byte	4	2	－	((ES, HL)＋byte) ← byte			
		[SP+byte], #byte	3	1	－	(SP＋byte) ← byte			
		word[B], #byte	4	1	－	(B＋word) ← byte			
		ES:word[B], #byte	5	2	－	((ES, B)＋word) ← byte			
		word[C], #byte	4	1	－	(C＋word) ← byte			
		ES:word[C], #byte	5	2	－	((ES, C)＋word) ← byte			
		word[BC], #byte	4	1	－	(BC＋word) ← byte			
		ES:word[BC], #byte	5	2	－	((ES, BC)＋word) ← byte			
		A, r 注3	1	1	－	A ← r			
		r, A 注3	1	1	－	r ← A			
		A, PSW	2	1	－	A ← PSW			
		PSW, A	2	3	－	PSW ← A	×	×	×
		A, CS	2	1	－	A ← CS			
		CS, A	2	1	－	CS ← A			
		A, ES	2	1	－	A ← ES			
		ES, A	2	1	－	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	－	(addr16) ← A			
		ES:!addr16, A	4	2	－	(ES, addr16) ← A			
		A, saddr	2	1	－	A ← (saddr)			
		saddr, A	2	1	－	(saddr) ← A			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（2/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット・データ転送	MOV	A, sfr	2	1	－	A ← sfr	
		sfr, A	2	1	－	sfr ← A	
		A, [DE]	1	1	4	A ← (DE)	
		[DE], A	1	1	－	(DE) ← A	
		A, ES:[DE]	2	2	5	A ← (ES, DE)	
		ES:[DE], A	2	2	－	(ES, DE) ← A	
		A, [HL]	1	1	4	A ← (HL)	
		[HL], A	1	1	－	(HL) ← A	
		A, ES:[HL]	2	2	5	A ← (ES, HL)	
		ES:[HL], A	2	2	－	(ES, HL) ← A	
		A, [DE+byte]	2	1	4	A ← (DE＋byte)	
		[DE+byte], A	2	1	－	(DE＋byte) ← A	
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)＋byte)	
		ES:[DE+byte], A	3	2	－	((ES, DE)＋byte) ← A	
		A, [HL+byte]	2	1	4	A ← (HL＋byte)	
		[HL+byte], A	2	1	－	(HL＋byte) ← A	
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)＋byte)	
		ES:[HL+byte], A	3	2	－	((ES, HL)＋byte) ← A	
		A, [SP+byte]	2	1	－	A ← (SP＋byte)	
		[SP+byte], A	2	1	－	(SP＋byte) ← A	
		A, word[B]	3	1	4	A ← (B＋word)	
		word[B], A	3	1	－	(B＋word) ← A	
		A, ES:word[B]	4	2	5	A ← ((ES, B)＋word)	
		ES:word[B], A	4	2	－	((ES, B)＋word) ← A	
		A, word[C]	3	1	4	A ← (C＋word)	
		word[C], A	3	1	－	(C＋word) ← A	
		A, ES:word[C]	4	2	5	A ← ((ES, C)＋word)	
		ES:word[C], A	4	2	－	((ES, C)＋word) ← A	
		A, word[BC]	3	1	4	A ← (BC＋word)	
		word[BC], A	3	1	－	(BC＋word) ← A	
		A, ES:word[BC]	4	2	5	A ← ((ES, BC)＋word)	
		ES:word[BC], A	4	2	－	((ES, BC)＋word) ← A	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（3/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL＋B)	
		[HL+B], A	2	1	－	(HL＋B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL)＋B)	
		ES:[HL+B], A	3	2	－	((ES, HL)＋B) ← A	
		A, [HL+C]	2	1	4	A ← (HL＋C)	
		[HL+C], A	2	1	－	(HL＋C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL)＋C)	
		ES:[HL+C], A	3	2	－	((ES, HL)＋C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	－	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	－	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	－	C ← (saddr)	
		ES, saddr	3	1	－	ES ← (saddr)	
	XCH	A, r 注3	1 (r＝X) 2 (r＝X以外)	1	－	A ⟷ r	
		A, !addr16	4	2	－	A ⟷ (addr16)	
		A, ES:!addr16	5	3	－	A ⟷ (ES, addr16)	
		A, saddr	3	2	－	A ⟷ (saddr)	
		A, sfr	3	2	－	A ⟷ sfr	
		A, [DE]	2	2	－	A ⟷ (DE)	
		A, ES:[DE]	3	3	－	A ⟷ (ES, DE)	
		A, [HL]	2	2	－	A ⟷ (HL)	
		A, ES:[HL]	3	3	－	A ⟷ (ES, HL)	
		A, [DE+byte]	3	2	－	A ⟷ (DE＋byte)	
		A, ES:[DE+byte]	4	3	－	A ⟷ ((ES, DE)＋byte)	
		A, [HL+byte]	3	2	－	A ⟷ (HL＋byte)	
		A, ES:[HL+byte]	4	3	－	A ⟷ ((ES, HL)＋byte)	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（4/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	－	A ⟷ (HL＋B)			
		A, ES:[HL+B]	3	3	－	A ⟷ ((ES, HL)＋B)			
		A, [HL+C]	2	2	－	A ⟷ (HL＋C)			
		A, ES:[HL+C]	3	3	－	A ⟷ ((ES, HL)＋C)			
	ONEB	A	1	1	－	A ← 01H			
		X	1	1	－	X ← 01H			
		B	1	1	－	B ← 01H			
		C	1	1	－	C ← 01H			
		!addr16	3	1	－	(addr16) ← 01H			
		ES:!addr16	4	2	－	(ES, addr16) ← 01H			
		saddr	2	1	－	(saddr) ← 01H			
	CLRB	A	1	1	－	A ← 00H			
		X	1	1	－	X ← 00H			
		B	1	1	－	B ← 00H			
		C	1	1	－	C ← 00H			
		!addr16	3	1	－	(addr16) ← 00H			
		ES:!addr16	4	2	－	(ES,addr16) ← 00H			
		saddr	2	1	－	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	－	(HL＋byte) ← X	×		×
		ES:[HL+byte], X	4	2	－	(ES, HL＋byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	－	rp ← word			
		saddrp, #word	4	1	－	(saddrp) ← word			
		sfrp, #word	4	1	－	sfrp ← word			
		AX, rp 注3	1	1	－	AX ← rp			
		rp, AX 注3	1	1	－	rp ← AX			
		AX, !addr16	3	1	4	AX ←（addr16）			
		!addr16, AX	3	1	－	（addr16）← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	－	(ES, addr16) ← AX			
		AX, saddrp	2	1	－	AX ← (saddrp)			
		saddrp, AX	2	1	－	(saddrp) ← AX			
		AX, sfrp	2	1	－	AX ← sfrp			
		sfrp, AX	2	1	－	sfrp ← AX			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしない命令のとき。CPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　rp = AXを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（5/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)	
		[DE], AX	1	1	－	(DE) ← AX	
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)	
		ES:[DE], AX	2	2	－	(ES, DE) ← AX	
		AX, [HL]	1	1	4	AX ← (HL)	
		[HL], AX	1	1	－	(HL) ← AX	
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)	
		ES:[HL], AX	2	2	－	(ES, HL) ← AX	
		AX, [DE+byte]	2	1	4	AX ← (DE＋byte)	
		[DE+byte], AX	2	1	－	(DE＋byte) ← AX	
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)＋byte)	
		ES:[DE+byte], AX	3	2	－	((ES, DE)＋byte) ← AX	
		AX, [HL+byte]	2	1	4	AX ← (HL＋byte)	
		[HL+byte], AX	2	1	－	(HL＋byte) ← AX	
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)＋byte)	
		ES:[HL+byte], AX	3	2	－	((ES, HL)＋byte) ← AX	
		AX, [SP+byte]	2	1	－	AX ← (SP＋byte)	
		[SP+byte], AX	2	1	－	(SP＋byte) ← AX	
		AX, word[B]	3	1	4	AX ← (B＋word)	
		word[B], AX	3	1	－	(B＋word) ← AX	
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)＋word)	
		ES:word[B], AX	4	2	－	((ES, B)＋word) ← AX	
		AX, word[C]	3	1	4	AX ← (C＋word)	
		word[C], AX	3	1	－	(C＋word) ← AX	
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)＋word)	
		ES:word[C], AX	4	2	－	((ES, C)＋word) ← AX	
		AX, word[BC]	3	1	4	AX ← (BC＋word)	
		word[BC], AX	3	1	－	(BC＋word) ← AX	
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)＋word)	
		ES:word[BC], AX	4	2	－	((ES, BC)＋word) ← AX	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（6/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	－	BC ← (saddrp)			
		DE, saddrp	2	1	－	DE ← (saddrp)			
		HL, saddrp	2	1	－	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	－	AX ⟷ rp			
	ONEW	AX	1	1	－	AX ← 0001H			
		BC	1	1	－	BC ← 0001H			
	CLRW	AX	1	1	－	AX ← 0000H			
		BC	1	1	－	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	－	A, CY ← A＋byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte	×	×	×
		A, r 注4	2	1	－	A, CY ← A＋r	×	×	×
		r, A	2	1	－	r, CY ← r＋A	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. rp = AXを除く。

4. r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（7/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	ADDC	A, #byte	2	1	－	A, CY ← A＋byte＋CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte＋CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A＋r＋CY	×	×	×
		r, A	2	1	－	r, CY ← r＋A＋CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)＋CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)＋CY	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)＋CY	×	×	×
		A, ［HL］	1	1	4	A, CY ← A＋(HL)＋CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)＋CY	×	×	×
		A, ［HL+byte］	2	1	4	A, CY ← A＋(HL＋byte)＋CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)＋CY	×	×	×
		A, ［HL+B］	2	1	4	A, CY ← A＋(HL＋B)＋CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)＋CY	×	×	×
		A, ［HL+C］	2	1	4	A, CY ← A＋(HL＋C)＋CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)＋CY	×	×	×
	SUB	A, #byte	2	1	－	A, CY ← A－byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) －byte	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r	×	×	×
		r, A	2	1	－	r, CY ← r－A	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)	×	×	×
		A, ［HL］	1	1	4	A, CY ← A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)	×	×	×
		A, ［HL+byte］	2	1	4	A, CY ← A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)	×	×	×
		A, ［HL+B］	2	1	4	A, CY ← A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)	×	×	×
		A, ［HL+C］	2	1	4	A, CY ← A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A－((ES, HL)＋C)	×	×	×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（8/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	SUBC	A, #byte	2	1	－	A, CY ← A－byte－CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)－byte－CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r－CY	×	×	×
		r, A	2	1	－	r, CY ← r－A－CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)－CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)－CY	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)－CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)－CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)－CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)－CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)－CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)－CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)－CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)－CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A－((ES:HL)＋C)－CY	×	×	×
	AND	A, #byte	2	1	－	A ← A∧byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∧byte	×		
		A, r 注3	2	1	－	A ← A∧r	×		
		r, A	2	1	－	r ← r∧A	×		
		A, !addr16	3	1	4	A ← A∧(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∧(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∧(saddr)	×		
		A, [HL]	1	1	4	A ← A∧(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∧(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∧(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∧((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∧(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∧((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∧(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∧((ES:HL)＋C)	×		

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（9/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット演算	OR	A, #byte	2	1	－	A ← A∨byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr) ∨ byte	×
		A, r 注3	2	1	－	A ← A∨r	×
		r, A	2	1	－	r ← r∨A	×
		A, !addr16	3	1	4	A ← A∨(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∨(ES:addr16)	×
		A, saddr	2	1	－	A ← A∨(saddr)	×
		A, [HL]	1	1	4	A ← A∨(HL)	×
		A, ES:[HL]	2	2	5	A ← A∨(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∨(HL＋byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∨((ES:HL)＋byte)	×
		A, [HL+B]	2	1	4	A ← A∨(HL＋B)	×
		A, ES:[HL+B]	3	2	5	A ← A∨((ES:HL)＋B)	×
		A, [HL+C]	2	1	4	A ← A∨(HL＋C)	×
		A, ES:[HL+C]	3	2	5	A ← A∨((ES:HL)＋C)	×
	XOR	A, #byte	2	1	－	A ← A∀byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr)∀byte	×
		A, r 注3	2	1	－	A ← A∀r	×
		r, A	2	1	－	r ← r∀A	×
		A, !addr16	3	1	4	A ← A∀(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∀(ES:addr16)	×
		A, saddr	2	1	－	A ← A∀(saddr)	×
		A, [HL]	1	1	4	A ← A∀(HL)	×
		A, ES:[HL]	2	2	5	A ← A∀(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∀(HL＋byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∀((ES:HL)＋byte)	×
		A, [HL+B]	2	1	4	A ← A∀(HL＋B)	×
		A, ES:[HL+B]	3	2	5	A ← A∀((ES:HL)＋B)	×
		A, [HL+C]	2	1	4	A ← A∀(HL＋C)	×
		A, ES:[HL+C]	3	2	5	A ← A∀((ES:HL)＋C)	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（10/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	CMP	A, #byte	2	1	－	A－byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)－byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)－byte	×	×	×
		saddr, #byte	3	1	－	(saddr)－byte	×	×	×
		A, r 注3	2	1	－	A－r	×	×	×
		r, A	2	1	－	r－A	×	×	×
		A, !addr16	3	1	4	A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A－(ES:addr16)	×	×	×
		A, saddr	2	1	－	A－(saddr)	×	×	×
		A, [HL]	1	1	4	A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A－(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A－((ES:HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A－((ES:HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A－((ES:HL)＋C)	×	×	×
	CMP0	A	1	1	－	A－00H	×	0	0
		X	1	1	－	X－00H	×	0	0
		B	1	1	－	B－00H	×	0	0
		C	1	1	－	C－00H	×	0	0
		!addr16	3	1	4	(addr16)－00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)－00H	×	0	0
		saddr	2	1	－	(saddr)－00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X－(HL＋byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X－((ES:HL)＋byte)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（11/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット演算	ADDW	AX, #word	3	1	－	AX, CY ← AX＋word	×	×	×
		AX, AX	1	1	－	AX, CY ← AX＋AX	×	×	×
		AX, BC	1	1	－	AX, CY ← AX＋BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX＋DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX＋HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX＋(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX＋(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX＋(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX＋(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX＋((ES:HL)＋byte)	×	×	×
	SUBW	AX, #word	3	1	－	AX, CY ← AX－word	×	×	×
		AX, BC	1	1	－	AX, CY ← AX－BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX－DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX－HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX－((ES:HL)＋byte)	×	×	×
	CMPW	AX, #word	3	1	－	AX－word	×	×	×
		AX, BC	1	1	－	AX－BC	×	×	×
		AX, DE	1	1	－	AX－DE	×	×	×
		AX, HL	1	1	－	AX－HL	×	×	×
		AX, !addr16	3	1	4	AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX－((ES:HL)＋byte)	×	×	×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（12/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
乗除積和算	MULU	X	1	1	－	AX ← A×X			
	MULHU		3	2	－	BCAX ← A X×BC（符号なし）			
	MULH		3	2	－	BCAX ← A X×BC（符号付き）			
	DIVHU		3	9	－	AX（商），DE（余り） ← AX÷DE（符号なし）			
	DIVWU		3	17	－	BCAX（商），HLDE（余り） ← BCAX÷HLDE（符号なし）			
	MACHU		3	3	－	MACR ← MACR＋AX×BC（符号なし）		×	×
	MACH		3	3	－	MACR ← MACR＋AX×BC（符号付き）		×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注意　割り込み処理中にDIVHU，DIVWU命令を実行する場合，割り込み禁止状態(DI)で実行してください。ただし，RAM領域での命令実行を除き，アセンブリ言語ソースにてDIVHU，DIVWU命令の直後にNOP命令を追加した場合は，割り込み許可状態でもDIVHU，DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU，DIVWU命令が出力される場合，その直後に自動でNOP命令が挿入されます。

- **CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)**
  V1.71以降のC言語ソースおよびアセンブリ言語ソース
- **EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース**
- **GNURL78 (KPIT社 コンパイラ)のC言語ソース**

備考1. クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

2. MACR：積和演算累計レジスタ（MACRH, MACRL）

表40－5　オペレーション一覧（13/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
増減	INC	r	1	1	－	r ← r＋1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)＋1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)＋1	×	×	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1	×	×	
	DEC	r	1	1	－	r ← r－1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)－1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) －1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)－1	×	×	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1	×	×	
	INCW	rp	1	1	－	rp ← rp＋1			
		!addr16	3	2	－	(addr16) ← (addr16)＋1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1			
		saddrp	2	2	－	(saddrp) ← (saddrp)＋1			
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1			
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1			
	DECW	rp	1	1	－	rp ← rp－1			
		!addr16	3	2	－	(addr16) ← (addr16)－1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)－1			
		saddrp	2	2	－	(saddrp) ← (saddrp)－1			
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1			
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1			
シフト	SHR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) ×cnt		×	
	SHRW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) ×cnt		×	
	SHL	A, cnt	2	1	－	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) ×cnt		×	
		B, cnt	2	1	－	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) ×cnt		×	
		C, cnt	2	1	－	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) ×cnt		×	
	SHLW	AX, cnt	2	1	－	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) ×cnt		×	
		BC, cnt	2	1	－	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) ×cnt		×	
	SAR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) ×cnt		×	
	SARW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) ×cnt		×	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考1.　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

2.　cntはビット・シフト数です。

表40－5　オペレーション一覧（14/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ローテート	ROR	A, 1	2	1	－	(CY, A_7 ← A_0, A_{m-1} ← A_m) × 1			×
	ROL	A, 1	2	1	－	(CY, A_0 ← A_7, A_{m+1} ← A_m) × 1			×
	RORC	A, 1	2	1	－	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m) × 1			×
	ROLC	A, 1	2	1	－	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m) × 1			×
	ROLWC	AX,1	2	1	－	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) ×1			×
		BC,1	2	1	－	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) ×1			×
ビット操作	MOV1	CY, A.bit	2	1	－	CY ← A.bit			×
		A.bit, CY	2	1	－	A.bit ← CY			
		CY, PSW.bit	3	1	－	CY ← PSW.bit			×
		PSW.bit, CY	3	4	－	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	－	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	－	(saddr).bit ← CY			
		CY, sfr.bit	3	1	－	CY ← sfr.bit			×
		sfr.bit, CY	3	2	－	sfr.bit ← CY			
		CY,[HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	－	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	－	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	－	CY ← CY∧A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∧PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∧(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∧sfr.bit			×
		CY,[HL].bit	2	1	4	CY ← CY∧(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit			×
	OR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（15/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ビット操作	XOR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, ［HL］.bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×
	SET1	A.bit	2	1	－	A.bit ← 1			
		PSW.bit	3	4	－	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 1			
		saddr.bit	3	2	－	(saddr).bit ← 1			
		sfr.bit	3	2	－	sfr.bit ← 1			
		[HL].bit	2	2	－	(HL).bit ← 1			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	－	A.bit ← 0			
		PSW.bit	3	4	－	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 0			
		saddr.bit	3	2	－	(saddr.bit) ← 0			
		sfr.bit	3	2	－	sfr.bit ← 0			
		［HL］.bit	2	2	－	(HL).bit ← 0			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 0			
	SET1	CY	2	1	－	CY ← 1			1
	CLR1	CY	2	1	－	CY ← 0			0
	NOT1	CY	2	1	－	CY ← CY			×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（16/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
コール・リターン	CALL	rp	2	3	－	(SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC ← CS, rp, SP ← SP－4			
		$!addr20	3	3	－	(SP－2) ← $(PC+3)_S$, (SP－3) ← $(PC+3)_H$, (SP－4) ← $(PC+3)_L$, PC ← PC＋3＋jdisp16, SP ← SP－4			
		!addr16	3	3	－	(SP－2) ← $(PC+3)_S$, (SP－3) ← $(PC+3)_H$, (SP－4) ← $(PC+3)_L$, PC ← 0000, addr16, SP ← SP－4			
		!!addr20	4	3	－	(SP－2) ← $(PC+4)_S$, (SP－3) ← $(PC+4)_H$, (SP－4) ← $(PC+4)_L$, PC ← addr20, SP ← SP－4			
	CALLT	[addr5]	2	5	－	(SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC_S ← 0000, PC_H ← (0000, addr5＋1), PC_L ← (0000, addr5), SP ← SP－4			
	BRK	－	2	5	－	(SP－1) ← PSW, (SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC_S ← 0000, PC_H ← (0007FH), PC_L ← (0007EH), SP ← SP－4, IE ← 0			
	RET	－	1	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), SP ← SP＋4			
	RETI	－	2	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R
	RETB	－	2	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（17/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	1	－	(SP－1) ← PSW, (SP－2) ← 00H, SP ← SP－2			
		rp	1	1	－	(SP－1) ← rp_H, (SP－2) ← rp_L, SP ← SP－2			
	POP	PSW	2	3	－	PSW ← (SP＋1) , SP ← SP＋2	R	R	R
		rp	1	1	－	rp_L ← (SP) , rp_H ← (SP＋1) , SP ← SP＋2			
	MOVW	SP, #word	4	1	－	SP ← word			
		SP, AX	2	1	－	SP ← AX			
		AX, SP	2	1	－	AX ← SP			
		HL, SP	3	1	－	HL ← SP			
		BC, SP	3	1	－	BC ← SP			
		DE, SP	3	1	－	DE ← SP			
	ADDW	SP, #byte	2	1	－	SP ← SP＋byte			
	SUBW	SP, #byte	2	1	－	SP ← SP－byte			
無条件分岐	BR	AX	2	3	－	PC ← CS, AX			
		$addr20	2	3	－	PC ← PC＋2＋jdisp8			
		$!addr20	3	3	－	PC ← PC＋3＋jdisp16			
		!addr16	3	3	－	PC ← 0000, addr16			
		!!addr20	4	3	－	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if CY = 1			
	BNC	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if CY = 0			
	BZ	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if Z = 0			
	BH	$addr20	3	2/4注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=0			
	BNH	$addr20	3	2/4注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=1			
	BT	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表40－5　オペレーション一覧（18/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 0	
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 0	
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 0	
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 0	
		[HL].bit, $addr20	3	3/5[注3]	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 0	
		ES:[HL].bit, $addr20	4	4/6[注3]	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 0	
	BTCLR	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1 then reset (saddr).bit	
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1 then reset sfr.bit	
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 1 then reset A.bit	
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1 then reset PSW.bit	× × ×
		[HL].bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if (HL).bit = 1 then reset (HL).bit	
		ES:[HL].bit, $addr20	4	4/6[注3]	－	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit	
条件付きスキップ	SKC	－	2	1	－	Next instruction skip if CY = 1	
	SKNC	－	2	1	－	Next instruction skip if CY = 0	
	SKZ	－	2	1	－	Next instruction skip if Z = 1	
	SKNZ	－	2	1	－	Next instruction skip if Z = 0	
	SKH	－	2	1	－	Next instruction skip if (Z∨CY)=0	
	SKNH	－	2	1	－	Next instruction skip if (Z∨CY)=1	
CPU制御	SEL[注4]	RBn	2	1	－	RBS[1:0] ← n	
	NOP	－	1	1	－	No Operation	
	EI	－	3	4	－	IE ← 1 (Enable Interrupt)	
	DI	－	3	4	－	IE ← 0 (Disable Interrupt)	
	HALT	－	2	3	－	Set HALT Mode	
	STOP	－	2	3	－	Set STOP Mode	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

4. nはレジスタ・バンク番号です（n = 0-3）。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

第41章　電気的特性

注意1.　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2.　製品により搭載している端子が異なります。2. 1　ポート機能～2. 2. 1　製品別の搭載機能を参照してください。

備考1.　この章内の記述は，EV_{DD}をEV_{DD0}, EV_{DD1}，またEV_{SS}をEV_{SS0}, EV_{SS1}と読み替えてください。

2.　64ピン製品では，EV_{DD}, EV_{SS}をV_{DD}, V_{SS}と読み替えてください。

41. 1　絶対最大定格

絶対最大定格（1/3）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}		−0.5～+6.5	V
	EV_{DD}		−0.5～+6.5	V
	V_{BAT}		−0.5～+6.5	V
	V_{RTC}		−0.5～+6.5	V
REGC端子入力電圧	V_{IREGC}	REGC	−0.3～+2.8 かつ−0.3～V_{DD}注4+0.3注1	V
入力電圧	V_{I1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127	−0.3～EV_{DD}+0.3 かつ−0.3～V_{DD}注4+0.3注2	V
	V_{I2}	P60-P62（N-chオープン・ドレイン）	−0.3～+6.5	V
	V_{I3}	P20-P25, P121-P122, P137, P150-152, EXCLK	−0.3～V_{DD}注4+0.3注2	V
	V_{I4}	$\overline{RESET}$	−0.3～+6.5	V
	V_{I5}	P123, P124, EXCLKS	−0.3～V_{RTC}+0.3注2	V
出力電圧	V_{O1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P60-P62, P70-P77, P80-P85, P125-P127	−0.3～EV_{DD}+0.3 かつ−0.3～V_{DD}注4+0.3注2	V
	V_{O2}	P20-P25, P150-P152	−0.3～V_{DD}注4+0.3注2	V
アナログ入力電圧	V_{AI1}	ANI0-ANI5	−0.3～V_{DD}注4+0.3 かつ−0.3～$AV_{REF(+)}$+0.3注2, 3	V
	V_{AI2}	ANIP0-ANIP3, ANIN0-ANIN3	−0.6～+2.8 かつ−0.6～AREGC+0.3注5	V
基準電源電圧	V_{IDSAD}	AREGC, AVCM, AVRT	−0.3～+2.8 かつ−0.3～V_{DD}注4+0.3注6	V

注1. REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。

3. A/D変換対象の端子は，$AV_{REF(+)}$+0.3 Vを越えないでください。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

5. ΔΣA/D変換対象の端子は，AREGC+0.3 Vを越えないでください。

6. AREGC, AVCM, AVRT端子にはコンデンサ（0.47 μF）を介してV_{SS}に接続してください。
この値は，AREGC, AVCM, AVRT端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 1. 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

2. $AV_{REF(+)}$：A/Dコンバータの+側基準電圧

3. V_{SS}を基準電圧とする。

絶対最大定格（2/3）

項　　目	略　号	条　　件		定　　格	単　位
LCD電圧	V_{L1}	V_{L1}電圧[注1]		−0.3～＋2.8 かつ−0.3～V_{L4}＋0.3	V
	V_{L2}	V_{L2}電圧[注1]		−0.3～V_{L4}＋0.3[注2]	V
	V_{L3}	V_{L3}電圧[注1]		−0.3～V_{L4}＋0.3[注2]	V
	V_{L4}	V_{L4}電圧[注1]		−0.3～＋6.5	V
	V_{LCAP}	CAPL, CAPH電圧[注1]		−0.3～V_{L4}＋0.3[注2]	V
	V_{OUT}	COM0-COM7, SEG0-SEG41 出力電圧	外部抵抗分割方式	−0.3～V_{DD}[注3]＋0.3[注2]	V
			容量分割方式	−0.3～V_{DD}[注3]＋0.3[注2]	V
			内部昇圧方式	−0.3～V_{L4}＋0.3[注2]	V

注1. この値は，V_{L1}, V_{L2}, V_{L3}, V_{L4}端子への電圧印加する場合の絶対最大定格を規定するものであり，電圧印加して使用することを推奨しているわけではありません。内部昇圧方式，容量分割方式の場合，V_{L1}, V_{L2}, V_{L3}, V_{L4}端子にはコンデンサ（0.47 μF±30%）を介してV_{SS}に接続し，CAPL端子，CAPH端子間にもコンデンサ（0.47 μF±30%）を接続してください。

2. 6.5 V以下であること。

3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　V_{SS}を基準電圧とする。

絶対最大定格（3/3）

項　目	略　号	条　件		定　格	単　位
ハイ・レベル出力電流	I_{OH1}	1端子	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127	－40	mA
		端子合計 －170 mA	P02-P07, P40-P43	－70	mA
			P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P125-P127	－100	mA
	I_{OH2}	1端子	P20-P25, P150-P152	－0.5	mA
		端子合計		－2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127	40	mA
		端子合計 170 mA	P02-P07, P40-P43	70	mA
			P10-P17, P30-P37, P50-P57, P60-P62, P70-P77, P80-P85, P125-P127	100	mA
	I_{OL2}	1端子	P20-P25, P150-P152	1	mA
		端子合計		5	mA
動作周囲温度	T_A	通常動作時		－40～＋85	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			－65～＋150	℃

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

41. 2　発振回路特性

41. 2. 1　X1, XT1発振回路特性

（T_A = －40～＋85℃，1.7 V≦V_{DD}[注2]≦5.5 V, V_{SS} = 0 V）

項　　目	発振子	条　　件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数（f_X）[注1, 2]	セラミック発振子／水晶振動子	2.7 V≦V_{DD}≦5.5 V	1.0		20.0	MHz
		2.5 V≦V_{DD}＜2.7 V	1.0		16.0	MHz
		2.4 V≦V_{DD}＜2.5 V	1.0		12.0	MHz
		1.9 V≦V_{DD}＜2.4 V	1.0		8.0	MHz
		1.7 V≦V_{DD}＜1.9 V	1.0		4.0	MHz
XT1クロック発振周波数（f_{XT}）[注1, 2]	水晶振動子		32	32.768	35	kHz

注1. 発振回路の周波数許容範囲のみを示すものです。命令実行時間は，**41. 4　AC特性**を参照してください。また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

2. 電圧範囲はバッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　X1, XT1発振回路を使用する場合は，**6. 4　システム・クロック発振回路**を参照してください。

41. 2. 2　オンチップ・オシレータ特性

（T_A = －40～＋85℃，1.7 V≦V_{DD}[注3]≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数[注1, 2]	f_{IH}			1.5		24	MHz
高速オンチップ・オシレータ・クロック周波数精度		－20～＋85℃	1.9 V≦V_{DD}[注3]≦5.5 V	－1.0		＋1.0	%
			1.7 V≦V_{DD}[注3]≦1.9 V	－5.0		＋5.0	%
		－40～－20℃	1.9 V≦V_{DD}[注3]≦5.5 V	－1.5		＋1.5	%
			1.7 V≦V_{DD}[注3]≦1.9 V	－5.5		＋5.5	%
中速オンチップ・オシレータ・クロック周波数[注2]	f_{IM}			1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度		1.9 V≦V_{DD}[注3]≦5.5 V		－12		＋12	%
低速オンチップ・オシレータ・クロック周波数	f_{IL}				15		kHz
低速オンチップ・オシレータ・クロック周波数精度				－15		＋15	%

注1. 高速オンチップ・オシレータの周波数は，オプション・バイト（000C2H/010C2H）のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は，**41. 4　AC特性**を参照してください。

3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 2. 3　PLL発振回路特性

（T_A = －40～＋85℃，2.7 V≦V_{DD}[注2] ≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
PLL入力周波数[注1]	f_{PLLIN}	f_{IH}		4		MHz
PLL出力周波数[注1]	f_{PLL}			32		MHz
ロックアップ・ウエイト・タイム		PLL出力許可から周波数安定までの待ち時間	40			μs
インターバル・ウエイト・タイム		PLL停止→PLL再動作設定　待ち時間	4			μs
設定待ち時間		PLL入力クロック安定かつPLL設定確定後→起動設定の必要待ち時間	1			μs

注1.　発振回路の周波数許容範囲のみを示すものです。

2.　電圧範囲はバッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 3　DC特性

41. 3. 1　端子特性

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流[注1]	I_{OH1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127 1端子	1.9 V≦EV_{DD}≦5.5 V			－10.0[注2]	mA
		P02-P07, P40-P43 合計 （デューティ≦70%時[注3]）	4.0 V≦EV_{DD}≦5.5 V			－55.0	mA
			2.7 V≦EV_{DD}＜4.0 V			－10.0	mA
			1.9 V≦EV_{DD}＜2.7 V			－5.0	mA
			1.7 V≦EV_{DD}＜1.9 V			－2.5	mA
		P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P125-P127 合計 （デューティ≦70%時[注3]）	4.0 V≦EV_{DD}≦5.5 V			－80.0	mA
			2.7 V≦EV_{DD}＜4.0 V			－19.0	mA
			1.9 V≦EV_{DD}＜2.7 V			－10.0	mA
			1.7 V≦EV_{DD}＜1.9 V			－5.0	mA
		全端子合計 （デューティ≦70%時[注3]）				－100.0	mA
	I_{OH2}	P20-P25, P150-P152 1端子	1.7 V≦V_{DD}[注4]≦5.5 V			－0.1[注2]	mA
		全端子合計 （デューティ≦70%時[注3]）	1.7 V≦V_{DD}[注4]≦5.5 V			－0.9	mA

注1. EV_{DD}, V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ≦70%の条件でのスペックです。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn%に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）
＜計算例＞ I_{OH} = －10.0 mAの場合，n = 80%
端子合計の出力電流 =（－10.0×0.7）／（80×0.01）≒－8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　P02-P07, P12-P17, P31, P56-P57, P80-P82, P84-P85は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ロウ・レベル出力電流[注1]	I_{OL1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127 1端子				20.0[注2]	mA
		P60-P62 1端子				15.0[注2]	mA
		P02-P07, P40-P43 合計 （デューティ≦70%時[注3]）	4.0 V≦EV_{DD}≦5.5 V			70.0	mA
			2.7 V≦EV_{DD}＜4.0 V			15.0	mA
			1.9 V≦EV_{DD}＜2.7 V			9.0	mA
			1.7 V≦EV_{DD}＜1.9 V			4.5	mA
		P10-P17, P30-P37, P50-P57, P60-P62, P70-P77, P80-P85, P125-P127　合計 （デューティ≦70%時[注3]）	4.0 V≦EV_{DD}≦5.5 V			80.0	mA
			2.7 V≦EV_{DD}＜4.0 V			35.0	mA
			1.9 V≦EV_{DD}＜2.7 V			20.0	mA
			1.7 V≦EV_{DD}＜1.9 V			10.0	mA
		全端子合計 （デューティ≦70%時[注3]）				150.0	mA
	I_{OL2}	P20-P25, P150-P152 1端子	1.7 V≦V_{DD}[注4]≦5.5 V			0.4[注2]	mA
		全端子合計 （デューティ≦70%時[注3]）	1.7 V≦V_{DD}[注4]≦5.5 V			3.6	mA

注1. 出力端子からEV_{SS}, V_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ≦70%の条件でのスペックです。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn%に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 80%

端子合計の出力電流 =（10.0×0.7）／（80×0.01）≒8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}注≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127	通常入力バッファ	0.8EV_{DD}		EV_{DD}	V
	V_{IH2}	P02, P03, P05, P06, P12, P13, P15, P16, P30, P55, P57, P80, P81, P84	TTL入力バッファ 4.0 V≦EV_{DD}≦5.5 V	2.2		EV_{DD}	V
			TTL入力バッファ 3.3 V≦EV_{DD}＜4.0 V	2.0		EV_{DD}	V
			TTL入力バッファ 1.7 V≦EV_{DD}＜3.3 V	1.5		EV_{DD}	V
	V_{IH3}	P20-P25		0.7V_{DD}注		V_{DD}注	V
	V_{IH4}	P60-P62		0.7EV_{DD}		6.0	V
	V_{IH5}	P121-P122, P137, P150-P152, EXCLK		0.8V_{DD}注		V_{DD}注	V
	V_{IH6}	$\overline{\text{RESET}}$		0.8V_{DD}注		6.0	V
	V_{IH7}	P123-P124, EXCLKS		0.8V_{RTC}		V_{RTC}	V
ロウ・レベル入力電圧	V_{IL1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127	通常入力バッファ	0		0.2EV_{DD}	V
	V_{IL2}	P02, P03, P05, P06, P12, P13, P15, P16, P30, P55, P57, P80, P81, P84	TTL入力バッファ 4.0 V≦EV_{DD}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦EV_{DD}＜4.0 V	0		0.5	V
			TTL入力バッファ 1.7 V≦EV_{DD}＜3.3 V	0		0.32	V
	V_{IL3}	P20-P25		0		0.3V_{DD}注	V
	V_{IL4}	P60-P62		0		0.3EV_{DD}	V
	V_{IL5}	P121-P122, P137, P150-P152, EXCLK, $\overline{\text{RESET}}$		0		0.2V_{DD}注	V
	V_{IL6}	P123-P124, EXCLKS		0		0.2V_{RTC}	V

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　P02-P07, P12-P17, P31, P56-P57, P80-P82, P84-P85は，N-chオープン・ドレイン・モード時でもV_{IH}の最大値（MAX.）はEV_{DD}です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}注≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127	4.0 V≦EV_{DD}≦5.5 V, I_{OH1} = －10.0 mA	EV_{DD}－1.5			V
			4.0 V≦EV_{DD}≦5.5 V, I_{OH1} = －3.0 mA	EV_{DD}－0.7			V
			2.7 V≦EV_{DD}≦5.5 V, I_{OH} = －2.0 mA	EV_{DD}－0.6			V
			1.9 V≦EV_{DD}≦5.5 V, I_{OH} = －1.5 mA	EV_{DD}－0.5			V
			1.7 V≦EV_{DD}≦5.5 V, I_{OH} = －1.0 mA	EV_{DD}－0.5			V
	V_{OH2}	P20-P25, P150-P152	1.7 V≦V_{DD}注≦5.5 V, I_{OH2} = －100 μA	V_{DD}－0.5			V
ロウ・レベル出力電圧	V_{OL1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127	4.0 V≦EV_{DD}≦5.5 V, I_{OL1} = 20.0 mA			1.3	V
			4.0 V≦EV_{DD}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			2.7 V≦EV_{DD}≦5.5 V, I_{OL} = 3.0 mA			0.6	V
			2.7 V≦EV_{DD}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
			1.9 V≦EV_{DD}≦5.5 V, I_{OL1} = 0.6 mA			0.4	V
			1.7 V≦EV_{DD}≦5.5 V, I_{OL1} = 0.3 mA			0.4	V
	V_{OL2}	P20-P25, P150-P152	1.7 V≦V_{DD}注≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P60-P62	4.0 V≦EV_{DD}≦5.5 V, I_{OL3} = 15.0 mA			2.0	V
			4.0 V≦EV_{DD}≦5.5 V, I_{OL3} = 5.0 mA			0.4	V
			2.7 V≦EV_{DD}≦5.5 V, I_{OL3} = 3.0 mA			0.4	V
			1.9 V≦EV_{DD}≦5.5 V, I_{OL3} = 2.0 mA			0.4	V
			1.7 V≦EV_{DD}≦5.5 V, I_{OL3} = 1.0 mA			0.4	V

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　P02-P07, P12-P17, P31, P56-P57, P80-P82, P84-P85は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}注≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件			MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P60-62, P70-P77, P80-P85, P125-P127	V_I = EV_{DD}				1	μA
	I_{LIH2}	P20-P25, P137, P150-P152, $\overline{RESET}$	V_I = V_{DD}注				1	μA
	I_{LIH3}	P121-P122（X1, X2, EXCLK）	V_I = V_{DD}注	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
	I_{LIH4}	P123-P124（EXCLKS）	V_I = V_{RTC}	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P02-P07, P10-P17, P30-P37, P40-P43, P50-P57, P70-P77, P80-P85, P125-P127	V_I = EV_{SS}				－1	μA
	I_{LIL2}	P20-P25, P137, P150-P152, $\overline{RESET}$	V_I = V_{SS}				－1	μA
	I_{LIL3}	P121-P122（X1, X2, EXCLK）	V_I = V_{SS}	入力ポート時，外部クロック入力時			－1	μA
				発振子接続時			－10	μA
	I_{LIL4}	P123-P124（EXCLKS）	V_I = V_{SS}	入力ポート時，外部クロック入力時			－1	μA
				発振子接続時			－10	μA
内蔵プルアップ抵抗	R_{U1}	P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P125-P127	V_I = EV_{SS}	2.4 V≦EV_{DD}≦5.5 V	10	20	100	kΩ
				1.7 V≦EV_{DD}≦5.5 V	10	30	100	kΩ
	R_{U2}	P02-P07, P40-P43, P150-P152	V_I = EV_{SS}		10	20	100	kΩ

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

41. 3. 2　電源電流特性

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注8]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/6）

項　目	略号	条　件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{CLK} = 32 MHz[注3] PLL動作	通常動作	V_{DD} = 5.0 V		5.2	8.5	mA
						V_{DD} = 3.0 V		5.2	8.5	mA
				f_{IH} = 24 MHz[注3]	基本動作	V_{DD} = 5.0 V		1.7		mA
						V_{DD} = 3.0 V		1.7		mA
					通常動作	V_{DD} = 5.0 V		3.9	6.6	mA
						V_{DD} = 3.0 V		3.9	6.6	mA
				f_{IH} = 12 MHz[注3]	通常動作	V_{DD} = 5.0 V		2.4	3.8	mA
						V_{DD} = 3.0 V		2.4	3.8	mA
				f_{IH} = 6 MHz[注3]	通常動作	V_{DD} = 5.0 V		1.7	2.6	mA
						V_{DD} = 3.0 V		1.7	2.6	mA
				f_{IH} = 3 MHz[注3]	通常動作	V_{DD} = 5.0 V		1.3	2.0	mA
						V_{DD} = 3.0 V		1.3	2.0	mA
			LS（低速メイン）モード[注5]	f_{IH} = 8 MHz[注3]	通常動作	V_{DD} = 3.0 V		1.3	2.2	mA
						V_{DD} = 2.0 V		1.3	2.2	mA
				f_{IH} = 6 MHz[注3]	通常動作	V_{DD} = 3.0 V		1.1	2.1	mA
						V_{DD} = 2.0 V		1.1	2.1	mA
				f_{IH} = 4 MHz[注3]	通常動作	V_{DD} = 3.0 V		0.84	1.40	mA
						V_{DD} = 2.0 V		0.84	1.40	mA
				f_{IM} = 4 MHz[注6]	通常動作	V_{DD} = 3.0 V		0.70	1.20	mA
						V_{DD} = 2.0 V		0.70	1.20	mA
				f_{IH} = 3 MHz[注3]	通常動作	V_{DD} = 3.0 V		0.7	1.4	mA
						V_{DD} = 2.0 V		0.7	1.4	mA
			LV（低電圧メイン）モード[注5]	f_{IH} = 4 MHz[注3]	通常動作	V_{DD} = 3.0 V		1.3	1.9	mA
						V_{DD} = 2.0 V		1.3	1.9	mA
			LP（低電力メイン）モード[注5]	f_{IH} = 1 MHz[注3]	通常動作	V_{DD} = 3.0 V		315	530	μA
						V_{DD} = 2.0 V		315	530	μA
				f_{IM} = 1 MHz[注6]	通常動作	V_{DD} = 3.0 V		160	300	μA
						V_{DD} = 2.0 V		160	300	μA

（注，備考は次々ページにあります。）

（T_A = －40～＋85℃, 1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注8]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V） （2/6）

項　目	略号	条　件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{MX} = 20 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		3.3	5.5	mA
						発振子接続		3.5	5.7	mA
				f_{MX} = 20 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		3.3	5.5	mA
						発振子接続		3.5	5.7	mA
				f_{MX} = 16 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		2.8	4.4	mA
						発振子接続		2.9	4.6	mA
				f_{MX} = 16 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		2.8	4.4	mA
						発振子接続		2.9	4.6	mA
				f_{MX} = 12 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		2.3	3.6	mA
						発振子接続		2.4	3.7	mA
				f_{MX} = 12MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		2.3	3.6	mA
						発振子接続		2.4	3.7	mA
				f_{MX} = 10 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		2.0	3.2	mA
						発振子接続		2.1	3.3	mA
				f_{MX} = 10 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		2.0	3.2	mA
						発振子接続		2.1	3.3	mA
			LS（低速メイン）モード[注5]	f_{MX} = 8 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		1.1	2.0	mA
						発振子接続		1.2	2.1	mA
				f_{MX} = 8 MHz[注2], V_{DD} = 2.0 V	通常動作	方形波入力		1.1	2.0	mA
						発振子接続		1.2	2.1	mA
				f_{MX} = 4 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		0.7	1.2	mA
						発振子接続		0.7	1.3	mA
				f_{MX} = 4 MHz[注2], V_{DD} = 2.0 V	通常動作	方形波入力		0.7	1.2	mA
						発振子接続		0.7	1.3	mA
			LP（低電力メイン）モード[注5]	f_{MX} = 1 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		140	240	μA
						発振子接続		190	300	μA
				f_{MX} = 1 MHz[注2], V_{DD} = 2.0 V	通常動作	方形波入力		140	240	μA
						発振子接続		190	300	μA
			サブ・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	通常動作	方形波入力		5.1	6.6	μA
						発振子接続		5.2	6.7	μA
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	通常動作	方形波入力		5.4	7.1	μA
						発振子接続		5.5	7.2	μA
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	通常動作	方形波入力		5.6	8.0	μA
						発振子接続		5.7	8.1	μA
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	通常動作	方形波入力		6.1	9.7	μA
						発振子接続		6.2	9.8	μA
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	通常動作	方形波入力		6.8	13.7	μA
						発振子接続		6.9	13.8	μA
				f_{IL} = 15 kHz T_A = ＋85℃[注7]	通常動作			2.5	7.0	μA
				f_{IL} = 15 kHz T_A = －40℃[注7]	通常動作			2.8	7.0	μA
				f_{IL} = 15 kHz T_A = ＋25℃[注7]	通常動作			4.1	11.0	μA

（注，備考は次ページにあります。）

注1. V_{DD}, EV_{DD}とV_{RTC}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD}またはV_{SS}, EV_{SS}に固定した状態での入力
★ リーク電流を含みます。VBAT端子（バッテリ・バックアップ用電源端子）を選択している場合は，VBATに流れる電流です。HS（高速メイン）モード，LS（低速メイン）モード，LV（低電圧メイン）モード，LP（低電力メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，LCDコントローラ／ドライバ，A/Dコンバータ，ΔΣA/Dコンバータ，LVD回路，バッテリ・バックアップ回路，I/Oポート，内蔵プルアップ／プルダウン抵抗データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時は独立電源RTCに流れる電流を含みます。

2. 高速オンチップ・オシレータ，中速オンチップ・オシレータ，低速オンチップ・オシレータ，サブシステム・クロックは停止時。

3. 高速システム・クロック，中速オンチップ・オシレータ，低速オンチップ・オシレータ，サブシステム・クロックは停止時。

★ **4.** 高速オンチップ・オシレータ，中速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。

5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.8 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
2.7 V≦V_{DD}≦5.5 V@1 MHz～24 MHz
2.5 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
2.4 V≦V_{DD}≦5.5 V@1 MHz～12 MHz
2.1 V≦V_{DD}≦5.5 V@1 MHz～6 MHz

LS（低速メイン）モード　：1.9 V≦V_{DD}≦5.5 V@1 MHz～8 MHz

LP（低電力メイン）モード：1.9 V≦V_{DD}≦5.5 V@1 MHz

LV（低電圧メイン）モード：1.7 V≦V_{DD}≦5.5 V@1 MHz～4 MHz

6. 高速オンチップ・オシレータ，低速オンチップ・オシレータ，高速システム・クロック，サブシステムクロックは停止時。

7. 高速オンチップ・オシレータ，中速オンチップ・オシレータ，高速システム・クロック，サブシステムクロックは停止時。

8. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

3. f_{IM}　：中速オンチップ・オシレータ・クロック周波数

4. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

5. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

6. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25℃です。

（T_A = －40～＋85℃, 1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注10]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V） （3/6）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALT モード	HS（高速メイン）モード[注7]	f_{CLK} = 32 MHz[注4] PLL動作	V_{DD} = 5.0 V		0.80	2.0	mA
					V_{DD} = 3.0 V		0.80	2.0	mA
				f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.48	1.45	mA
					V_{DD} = 3.0 V		0.48	1.45	mA
				f_{IH} = 12 MHz[注4]	V_{DD} = 5.0 V		0.37	0.91	mA
					V_{DD} = 3.0 V		0.37	0.91	mA
				f_{IH} = 6 MHz[注4]	V_{DD} = 5.0 V		0.32	0.63	mA
					V_{DD} = 3.0 V		0.32	0.63	mA
				f_{IH} = 3 MHz[注4]	V_{DD} = 5.0 V		0.29	0.49	mA
					V_{DD} = 3.0 V		0.29	0.49	mA
			LS（低速メイン）モード[注7]	f_{IH} = 8 MHz[注4]	V_{DD} = 3.0 V		280	740	μA
					V_{DD} = 2.0 V		280	740	μA
				f_{IH} = 6 MHz[注4]	V_{DD} = 3.0 V		230	620	μA
					V_{DD} = 2.0 V		230	620	μA
				f_{IH} = 4 MHz[注4]	V_{DD} = 3.0 V		220	440	μA
					V_{DD} = 2.0 V		220	440	μA
				f_{IM} = 4 MHz[注5]	V_{DD} = 3.0 V		55	300	μA
					V_{DD} = 2.0 V		55	300	μA
				f_{IH} = 3 MHz[注4]	V_{DD} = 3.0 V		200	534	μA
					V_{DD} = 2.0 V		200	534	μA
			LV（低電圧メイン）モード[注7]	f_{IH} = 4 MHz[注4]	V_{DD} = 3.0 V		450	825	μA
					V_{DD} = 2.0 V		450	825	μA
			LP（低電力メイン）モード[注7]	f_{IH} = 1 MHz[注4]	V_{DD} = 3.0 V		195	400	μA
					V_{DD} = 2.0 V		195	400	μA
				f_{IM} = 1 MHz[注5]	V_{DD} = 3.0 V		33	100	μA
					V_{DD} = 2.0 V		33	100	μA
			HS（高速メイン）モード[注7]	f_{MX} = 20 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.31	1.08	mA
					発振子接続		0.48	1.28	mA
				f_{MX} = 20 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.31	1.08	mA
					発振子接続		0.48	1.28	mA
				f_{MX} = 16 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.28	0.86	mA
					発振子接続		0.42	1.00	mA
				f_{MX} = 16 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.28	0.86	mA
					発振子接続		0.42	1.00	mA
				f_{MX} = 12 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.23	0.70	mA
					発振子接続		0.37	0.79	mA
				f_{MX} = 12 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.23	0.70	mA
					発振子接続		0.36	0.79	mA
				f_{MX} = 10 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.21	0.63	mA
					発振子接続		0.29	0.71	mA
				f_{MX} = 10 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.21	0.63	mA
					発振子接続		0.28	0.71	mA

（注，備考は次々ページにあります。）

（T_A = －40～＋85℃, 1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注10]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V） （4/6）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALT モード	LS（低速メイン）モード[注7]	f_{MX} = 8 MHz[注3], V_{DD} = 3.0 V	方形波入力		110	360	μA
					発振子接続		160	420	μA
				f_{MX} = 8 MHz[注3], V_{DD} = 2.0 V	方形波入力		110	360	μA
					発振子接続		160	420	μA
				f_{MX} = 4 MHz[注3], V_{DD} = 3.0 V	方形波入力		39	200	μA
					発振子接続		81	250	μA
				f_{MX} = 4 MHz[注3], V_{DD} = 2.0 V	方形波入力		39	200	μA
					発振子接続		81	250	μA
			LP（低電力メイン）モード[注7]	f_{MX} = 1 MHz[注3], V_{DD} = 3.0 V	方形波入力		14	100	μA
					発振子接続		70	200	μA
				f_{MX} = 1 MHz[注3], V_{DD} = 2.0 V	方形波入力		14	100	μA
					発振子接続		70	200	μA
			サブ・クロック動作	f_{SUB} = 32.768 kHz[注6] T_A = －40℃	方形波入力		0.80	1.60	μA
					発振子接続		1.00	1.80	μA
				f_{SUB} = 32.768 kHz[注6] T_A = ＋25℃	方形波入力		0.93	1.70	μA
					発振子接続		1.13	1.90	μA
				f_{SUB} = 32.768 kHz[注6] T_A = ＋50℃	方形波入力		1.10	3.00	μA
					発振子接続		1.30	3.20	μA
				f_{SUB} = 32.768 kHz[注6] T_A = ＋70℃	方形波入力		1.50	5.00	μA
					発振子接続		1.70	5.20	μA
				f_{SUB} = 32.768 kHz[注6] T_A = ＋85℃	方形波入力		2.80	9.00	μA
					発振子接続		3.00	9.20	μA
				f_{IL} = 15 kHz[注9] T_A = －40℃			0.78	1.60	μA
				f_{IL} = 15 kHz[注9] T_A = ＋25℃			1.01	1.76	μA
				f_{IL} = 15 kHz[注9] T_A = ＋85℃			2.25	8.45	μA
	I_{DD3}	STOP モード[注8]	T_A = －40℃				0.47	0.90	μA
			T_A = ＋25℃				0.65	1.20	μA
			T_A = ＋50℃				0.84	2.80	μA
			T_A = ＋70℃				1.21	4.70	μA
			T_A = ＋85℃				1.82	9.00	μA

（注，備考は次ページにあります。）

注1. V_{DD}, EV_{DD}とV_{RTC}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD}またはV_{SS}, EV_{SS}に固定した状態での入力
★ リーク電流を含みます。VBAT端子（バッテリ・バックアップ用電源端子）を選択している場合は，VBATに流れる電流です。HS（高速メイン）モード，LS（低速メイン）モード，LV（低電圧メイン）モード，LP（低電力メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，LCDコントローラ／ドライバ，A/Dコンバータ，ΔΣA/Dコンバータ，LVD回路，バッテリ・バックアップ回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時は独立電源RTCに流れる電流を含みます。

STOPモード時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

2. フラッシュ・メモリでのHALT命令実行時。

3. 高速オンチップ・オシレータ，中速オンチップ・オシレータ，低速オンチップ・オシレータ，サブシステム・クロックは停止時。

4. 高速システム・クロック，中速オンチップ・オシレータ，低速オンチップ・オシレータ，サブシステム・クロックは停止時。

★ **5.** 高速オンチップ・オシレータ，低速オンチップ・オシレータ，高速システム・クロック，サブシステム・クロックは停止時。

★ **6.** 独立電源RTC動作，かつ超低消費発振（AMPHS1 = 1）設定時。高速オンチップ・オシレータ，中速オンチップ・オシレータ，高速システム・クロックは停止時。

7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.8 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
2.7 V≦V_{DD}≦5.5 V@1 MHz～24 MHz
2.5 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
2.4 V≦V_{DD}≦5.5 V@1 MHz～12 MHz
2.1 V≦V_{DD}≦5.5 V@1 MHz～6 MHz

LS（低速メイン）モード　：1.9 V≦V_{DD}≦5.5 V@1 MHz～8 MHz

LP（低電力メイン）モード：1.9 V≦V_{DD}≦5.5 V@1 MHz

LV（低電圧メイン）モード：1.7 V≦V_{DD}≦5.5 V@1 MHz～4 MHz

8. STOPモード時にサブシステム・クロックを動作させる場合は，サブシステム・クロック動作のHALTモード時と同じになります。

9. 高速オンチップ・オシレータ，中速オンチップ・オシレータ，高速システム・クロックは停止時。

10. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

3. f_{IM}　：中速オンチップ・オシレータ・クロック周波数

4. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

5. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

6. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25℃です。

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注15]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（5/6）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
独立電源RTC動作電流	I_{RTC}[注3]	f_{SUB} = 32.768 kHz			0.70		μA
12ビット・インターバル・タイマ動作電流	I_{TMKA}[注1, 2, 4]	f_{SUB} = 32.768 kHz，f_{MAIN}停止			0.04		μA
8ビット・インターバル・タイマ動作電流	I_{TMT}[注1, 2, 5]	f_{SUB} = 32.768 kHz，f_{MAIN}停止，ユニットあたり	8ビット・カウンタ・モード×2ch 動作		0.12		μA
			16ビット・カウンタ・モード動作		0.10		μA
ウォッチドッグ・タイマ動作電流	I_{WDT}[注1, 2, 6]	f_{IL} = 15 kHz，f_{MAIN}停止			0.22		μA
LVD動作電流	I_{LVD}[注1, 7]				0.10		μA
LVDVDD動作電流	I_{LVDVDD}	V_{DD}に流れる電流			0.05		μA
		V_{DD}又はVBATに流れる電流[注1]			0.04		μA
LVDVBAT動作電流	$I_{LVDVBAT}$	VBATに流れる電流			0.04		μA
		V_{DD}又はVBATに流れる電流[注1]			0.04		μA
LVDVRTC動作電流	$I_{LVDVRTC}$	VRTCに流れる電流			0.04		μA
		V_{DD}又はVBATに流れる電流[注1]			0.04		μA
LVDEXLVD動作電流	$I_{LVDEXLVD}$	EXLVDに流れる電流			0.16		μA
		V_{DD}又はVBATに流れる電流[注1]			0.04		μA
発振停止検出回路動作電流	I_{OSDC}[注1]				0.02		μA
バッテリ・バックアップ回路動作電流	I_{BUP}[注1]				0.05		μA
A/Dコンバータ動作電流	I_{ADC}[注1, 8]	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	2.4	mA
			低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		0.5	1.0	mA
A/Dコンバータ基準電圧電流	I_{ADREF}[注1]				75.0		μA
温度センサ動作電流	I_{TMPS}[注1]				105		μA
BGO電流	I_{BGO}[注1, 9]				2.00	12.20	mA
セルフ・プログラミング動作電流	I_{FSP}[注1, 10]				2.00	12.20	mA

（注，備考は次ページにあります。）

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注15]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V） （6/6）

項　目	略号	条　件			MIN.	TYP.	MAX.	単位
24 ビット ΔΣA/D コンバータ動作電流	I_{DSAD}[注1, 11]	4ch ΔΣA/Dコンバータ動作				1.45	2.30	mA
		3ch ΔΣA/Dコンバータ動作				1.14	1.85	mA
		1ch ΔΣA/Dコンバータ動作				0.52	0.94	mA
SNOOZE動作電流	I_{SNOZ}[注1, 12]	ADC動作	モード遷移中			0.50	0.80	mA
			変換動作中，低電圧モード，AV_{REFP} = V_{DD} = 3.0 V			1.20	1.80	mA
		簡易SPI (CSI)/UART動作				0.70	1.05	mA
		DTC動作				2.20		mA
LCD動作電流	I_{LCD1} 注1, 13, 14	外部抵抗分割方式	f_{LCD} = f_{SUB} LCDクロック = 128 Hz 1/3バイアス，4時分割	V_{DD} = 5.0 V V_{L4} = 5.0 V		0.06		μA
	I_{LCD2}[注1, 13]	内部昇圧方式	f_{LCD} = f_{SUB} LCDクロック = 128 Hz 1/3バイアス，4時分割	V_{DD} = 3.0 V V_{L4} = 3.0 V （VLCD = 04H）		0.85		μA
				V_{DD} = 5.0 V V_{L4} = 5.1 V （VLCD = 12H）		1.55		μA
	I_{LCD3}[注1, 13]	容量分割方式	f_{LCD} = f_{SUB} LCDクロック = 128 Hz 1/3バイアス，4時分割	V_{DD} = 3.0 V V_{L4} = 3.0 V		0.20		μA

注 1. V_{DD}に流れる電流です。VBAT端子（バッテリ・バックアップ用電源端子）を選択している場合は，VBATに流れる電流です。

2. 高速オンチップ・オシレータ，高速システム・クロックは停止時。

3. RTC電源，サブシステム・クロック発振回路，RTCを含むVRTC端子に流れる電流です。

4. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，I_{DD1}またはI_{DD2}にI_{TMKA}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。

5. 8 ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は，I_{DD1}またはI_{DD2}にI_{TMT}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。

6. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は，I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が，RL78マイクロコントローラの電流値となります。

7. LVD回路にのみ流れる電流です。LVD回路の動作時は，I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値がRL78マイクロコントローラの電流値となります。

8. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78マイクロコントローラの電流値となります。

9. データ・フラッシュ1 KB書き換え時に流れる電流です。

10. セルフ・プログラミング時に流れる電流です。

11. 24ビットΔΣA/Dコンバータにのみ流れる電流です。24ビットΔΣA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{DSAD}を加算した値が，RL78マイクロコントローラの電流値となります。

12. SNOOZEモードへの移行時間は，**26. 3. 3　SNOOZEモード**を参照してください。

13. LCDコントローラ／ドライバにのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ／ドライバが動作中の場合，電源電流（I_{DD1}またはI_{DD2}）にLCD動作電流（I_{LCD1}またはI_{LCD2}またはI_{LCD3}）を加算した値が，RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。TYP.値，MAX.値は以下の条件の値になります。

・20端子をセグメント機能として設定し，全点灯

・システム・クロックにf_{SUB}選択，LCDクロック = 128 Hz時（LCDC0 = 07H）

・4時分割，1/3バイアス設定

14. 外部抵抗分割方式使用時の外部分割抵抗に流れる電流は含みません。

15. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考1. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

3. f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

4. TYP.値の温度条件は，T_A = 25℃です。

41. 4　AC特性

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注1]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/2）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード	2.8 V≦V_{DD}[注1]≦5.5 V	0.03125		1	μs
				2.7 V≦V_{DD}[注1]＜2.8 V	0.04167		1	μs
				2.5 V≦V_{DD}[注1]＜2.7 V	0.0625		1	μs
				2.4 V≦V_{DD}[注1]＜2.5 V	0.08333		1	μs
				2.1 V≦V_{DD}[注1]＜2.4 V	0.16667		1	μs
			LS（低速メイン）モード	1.9 V≦V_{DD}[注1]≦5.5 V	0.125		1	μs
			LS（低速メイン）モード @4MHz	1.9 V≦V_{DD}[注1]≦5.5 V	0.25		1	μs
			LP（低電力メイン）モード	1.9 V≦V_{DD}[注1]≦5.5 V	1		2	μs
			LV（低電圧メイン）モード	1.7 V≦V_{DD}[注1]≦5.5 V	0.25		1	μs
		サブシステム・クロック（f_{SUB}）動作		1.9 V≦V_{DD}[注1]≦5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	2.8 V≦V_{DD}[注1]≦5.5 V	0.03125		1	μs
				2.7 V≦V_{DD}[注1]＜2.8 V	0.04167		1	μs
				2.5 V≦V_{DD}[注1]＜2.7 V	0.0625		1	μs
				2.4 V≦V_{DD}[注1]＜2.5 V	0.08333		1	μs
				2.1 V≦V_{DD}[注1]＜2.4 V	0.16667		1	μs
			LS（低速メイン）モード	1.9 V≦V_{DD}[注1]≦5.5 V	0.125		1	μs
			LV（低電圧メイン）モード	1.7 V≦V_{DD}[注1]≦5.5 V	0.25		1	μs
外部システム・クロック周波数	f_{EX}	2.7 V≦V_{DD}[注1]≦5.5 V			1		20	MHz
		2.5 V≦V_{DD}[注1]＜2.7 V			1		16	MHz
		2.4 V≦V_{DD}[注1]＜2.5 V			1		12	MHz
		1.9 V≦V_{DD}[注1]＜2.4 V			1		8	MHz
		1.7 V≦V_{DD}[注1]＜1.9 V			1		4	MHz
	f_{EXS}				32		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}	2.7 V≦V_{DD}[注1]≦5.5 V			24			ns
		2.5 V≦V_{DD}[注1]＜2.7 V			30			ns
		2.4 V≦V_{DD}[注1]＜2.5 V			40			ns
		1.9 V≦V_{DD}[注1]＜2.4 V			60			ns
		1.7 V≦V_{DD}[注1]＜1.9 V			120			ns
	t_{EXHS}, t_{EXLS}				13.7			μs
TI00-TI07入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}				1/f_{MCK}＋10			ns[注2]
TO00-TO07出力周波数	f_{TO}	HS（高速メイン）モード		4.0 V≦EV_{DD}≦5.5 V			16	MHz
				2.7 V≦EV_{DD}＜4.0 V			8	MHz
				2.4 V≦EV_{DD}＜2.7 V			4	MHz
				2.1 V≦EV_{DD}＜2.4 V			4	MHz
		LS（低速メイン）モード		1.9 V≦EV_{DD}≦5.5 V			4	MHz
		LP（低電力メイン）モード		1.9 V≦EV_{DD}≦5.5 V			0.5	MHz
		LV（低電圧メイン）モード		1.7 V≦EV_{DD}≦5.5 V			2	MHz

（注，備考は次ページにあります。）

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注1]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（2/2）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	HS（高速メイン）モード	4.0 V≦EV_{DD}≦5.5 V			16	MHz
			2.7 V≦EV_{DD}＜4.0 V			8	MHz
			2.4 V≦EV_{DD}＜2.7 V			4	MHz
			2.1 V≦EV_{DD}＜2.4 V			4	MHz
		LS（低速メイン）モード	1.9 V≦EV_{DD}≦5.5 V			4	MHz
		LP（低電力メイン）モード	1.9 V≦EV_{DD}≦5.5 V			1	MHz
		LV（低電圧メイン）モード	1.9 V≦EV_{DD}≦5.5 V			4	MHz
			1.7 V≦EV_{DD}＜1.9 V			2	MHz
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0	1.7 V≦V_{DD}[注1]≦5.5 V	1			μs
		INTP1-INTP7	1.7 V≦EV_{DD}≦5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	t_{KR}	KR0-KR7	1.9 V≦EV_{DD}≦5.5 V	250			ns
			1.7 V≦EV_{DD}＜1.9 V	1			μs
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}			10			μs

注1. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

2. 低電圧インタフェース時は，次の条件も必要になります。

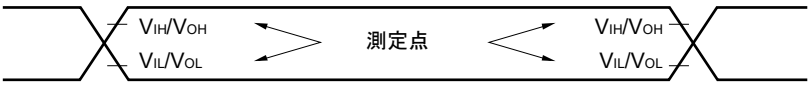
1.9 V≦V_{DD}＜2.7 V　：MIN. 125 ns

備考 f_{MCK}：タイマ・アレイ･ユニットの動作クロック周波数。

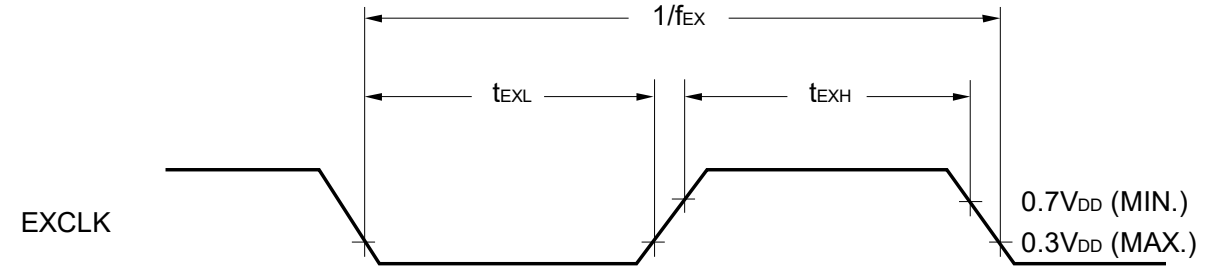
（タイマ・モード・レジスタmn（TMRmn）のCKSmn0, CKSmn1ビットで設定する動作クロック。

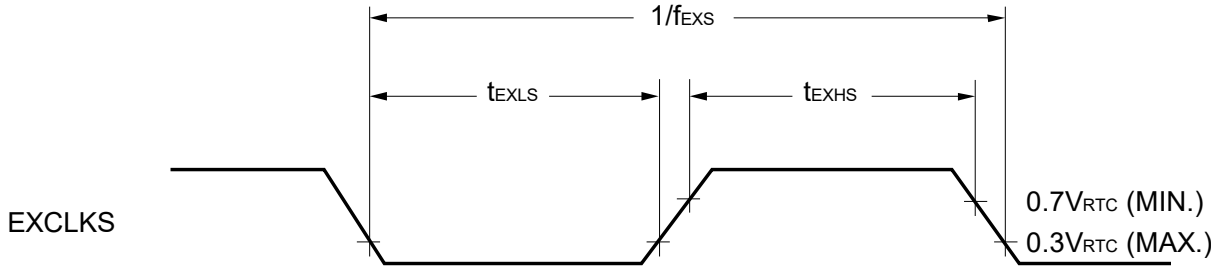
m：ユニット番号(m = 0)，n：チャネル番号（n = 0-7））

ACタイミング測定点

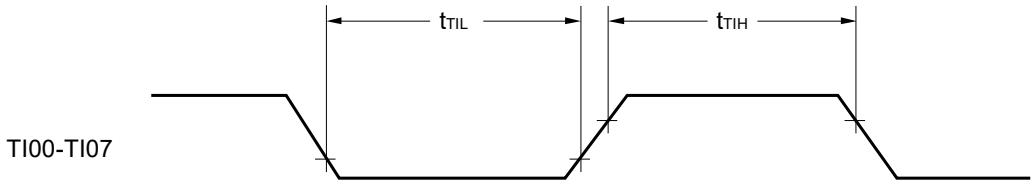


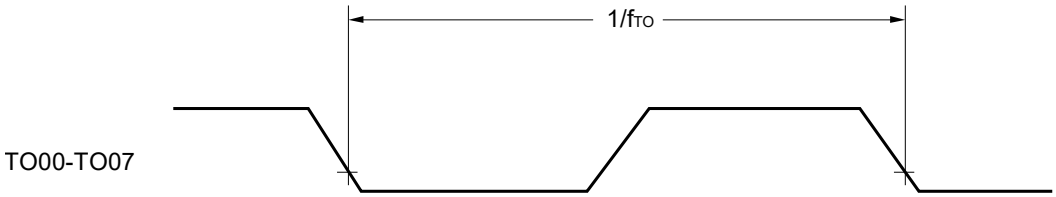
外部システム・クロック・タイミング



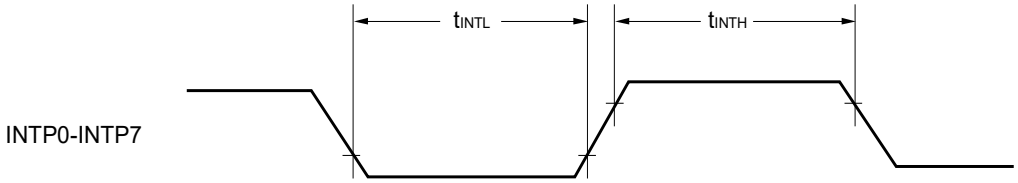


TI/TOタイミング

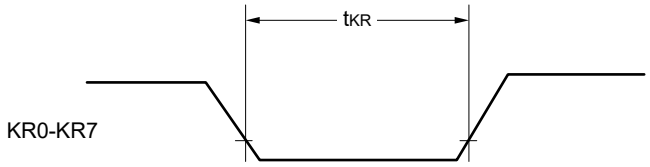




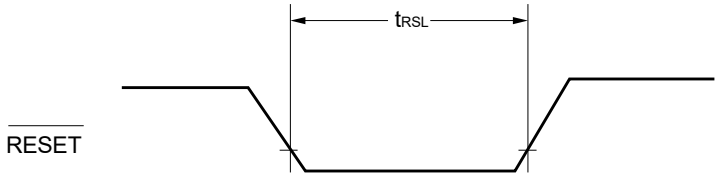
割り込み要求入力タイミング



キー割り込み入力タイミング

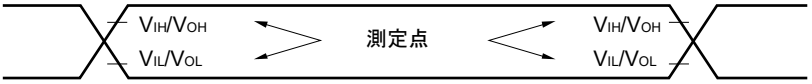


$\overline{\text{RESET}}$入力タイミング



41. 5　周辺機能特性

ACタイミング測定点



41. 5. 1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート[注1]		2.4 V≦V_{DD}≦5.5 V		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}[注3]		4.0		1.3		0.1		0.6	Mbps
		1.9 V≦V_{DD}≦5.5 V		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}[注3]		1.0		1.3		0.1		0.6	Mbps
		1.8 V≦V_{DD}≦5.5 V		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]		$f_{MCK}/6$[注2]	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}[注3]		1.0		1.3		0.1		0.6	Mbps
		1.7 V≦V_{DD}≦5.5 V								$f_{MCK}/6$[注2]	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}[注3]								0.6	Mbps

注 1.　SNOOZEモードでの転送レートは，4800 bpsのみとなります。

2.　低電圧インタフェース時は，次の条件も必要になります。

2.4 V≦EV_{DD}＜2.7 V　：MAX. 2.6 Mbps

1.9 V≦EV_{DD}＜2.4 V　：MAX. 1.3 Mbps

3.　CPU／周辺ハードウエア・クロック（f_{CLK}）の最高動作周波数を次に示します。

HS（高速メイン）モード　：32 MHz (2.8 V≦V_{DD}≦5.5 V), 24 MHz (2.7 V≦V_{DD}≦5.5 V),
16 MHz (2.5 V≦V_{DD}≦5.5 V), 12 MHz (2.4 V≦V_{DD}≦5.5 V),
6 MHz (2.1 V≦V_{DD}≦5.5 V)

LS（低速メイン）モード　：8 MHz (1.9 V≦V_{DD}≦5.5 V), 4 MHz (1.9 V≦V_{DD}≦5.5 V)

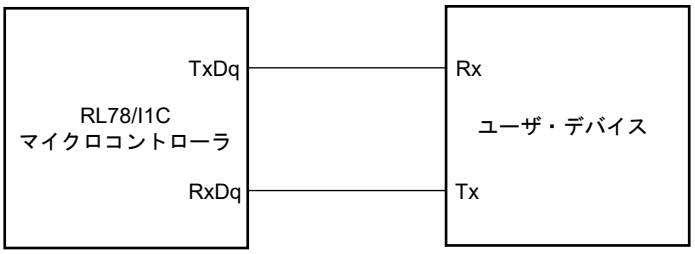
LP（低電力メイン）モード　：1 MHz (1.9 V≦V_{DD}≦5.5 V)

LV（低電圧メイン）モード　：4 MHz (1.7 V≦V_{DD}≦5.5 V)

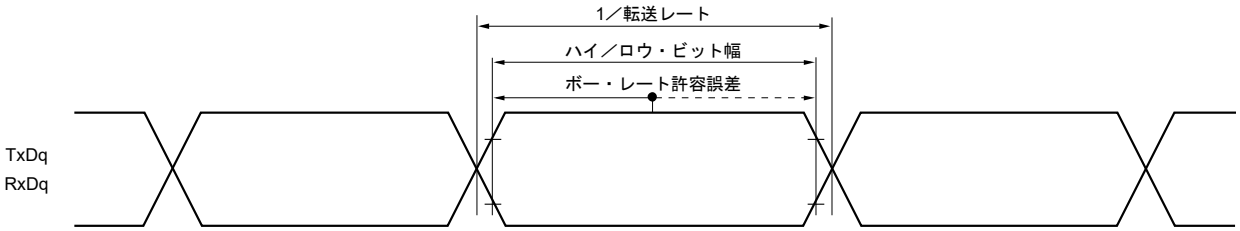
4.　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファ，TxDq端子は通常出力モードを選択。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1. q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3, 5, 8）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。

m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（2）同電位通信，簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	2.7 V≦EV_{DD}≦5.5 V		125		500		4000		1000		ns
		2.4 V≦EV_{DD}≦5.5 V		250		500		4000		1000		ns
		1.9 V≦EV_{DD}≦5.5 V		500		500		4000		1000		ns
		1.8 V≦EV_{DD}≦5.5 V		1000		1000		4000		1000		ns
		1.7 V≦EV_{DD}≦5.5 V				1000		4000		1000		ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD}≦5.5 V		t_{KCY1}/2－12		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD}≦5.5 V		t_{KCY1}/2－18		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.4 V≦EV_{DD}≦5.5 V		t_{KCY1}/2－38		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		1.9 V≦EV_{DD}≦5.5 V		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		1.8 V≦EV_{DD}≦5.5 V				t_{KCY1}/2－100		t_{KCY1}/2－100		t_{KCY1}/2－100		ns
		1.7 V≦EV_{DD}≦5.5 V				t_{KCY1}/2－100		t_{KCY1}/2－100		t_{KCY1}/2－100		ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK1}	4.0 V≦EV_{DD}≦5.5 V		44		110		110		110		ns
		2.7 V≦EV_{DD}≦5.5 V		44		110		110		110		ns
		2.4 V≦EV_{DD}≦5.5 V		75		110		110		110		ns
		1.9 V≦EV_{DD}≦5.5 V		110		110		110		110		ns
		1.8 V≦EV_{DD}≦5.5 V		220		220		220		220		ns
		1.7 V≦EV_{DD}≦5.5 V				220		220		220		ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI1}	1.8 V≦EV_{DD}≦5.5 V		19		19		19		19		ns
		1.7 V≦EV_{DD}≦5.5 V				19		19		19		ns
SCKp↓→SOp出力遅延時間[注2]	t_{KSO1}	C = 30 pF[注3]	1.8 V≦EV_{DD}≦5.5 V		25		25		25		25	ns
			1.7 V≦EV_{DD}≦5.5 V				25		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SCKp, SOp出力ラインの負荷容量です。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファ，SOp端子とSCKp端子は通常出力モードを選択。

備考 1. p：CSI番号（p = 00, 10, 30），m：ユニット番号（m = 0），n：チャネル番号（n = 0），
g：PIM, POM番号（g = 0, 1, 8）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。
m：ユニット番号，n：チャネル番号（mn = 00, 10, 30））

（3）同電位通信，簡易SPI (CSI)モード時（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注5]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム[注4]	t_{KCY2}	4.0 V≦EV_{DD}≦5.5 V	20 MHz＜f_{MCK}	8/f_{MCK}		－		－		－		ns
			f_{MCK}≦20 MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.7 V≦EV_{DD}≦5.5 V	16 MHz＜f_{MCK}	8/f_{MCK}		－		－		－		ns
			f_{MCK}≦16 MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.4 V≦EV_{DD}≦5.5 V		6/f_{MCK} かつ500		6/f_{MCK} かつ500		6/f_{MCK} かつ500		6/f_{MCK} かつ500		ns
		1.9 V≦EV_{DD}≦5.5 V		6/f_{MCK} かつ750		6/f_{MCK} かつ750		6/f_{MCK} かつ750		6/f_{MCK} かつ750		ns
		1.8 V≦EV_{DD}≦5.5 V		6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		ns
		1.7 V≦EV_{DD}≦5.5 V				6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EV_{DD}≦5.5 V		t_{KCY2}/2－7		t_{KCY2}/2－7		t_{KCY2}/2－7		t_{KCY2}/2－7		ns
		2.7 V≦EV_{DD}≦5.5 V		t_{KCY2}/2－8		t_{KCY2}/2－8		t_{KCY2}/2－8		t_{KCY2}/2－8		ns
		1.9 V≦EV_{DD}≦5.5 V		t_{KCY2}/2－18		t_{KCY2}/2－18		t_{KCY2}/2－18		t_{KCY2}/2－18		ns
		1.8 V≦EV_{DD}≦5.5 V		t_{KCY2}/2－66		t_{KCY2}/2－66		t_{KCY2}/2－66		t_{KCY2}/2－66		ns
		1.7 V≦EV_{DD}≦5.5 V				t_{KCY2}/2－66		t_{KCY2}/2－66		t_{KCY2}/2－66		ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK2}	2.7 V≦EV_{DD}≦5.5 V		1/f_{MCK}+20		1/f_{MCK}+30		1/f_{MCK}+30		1/f_{MCK}+30		ns
		1.9 V≦EV_{DD}≦5.5 V		1/f_{MCK}+30		1/f_{MCK}+30		1/f_{MCK}+30		1/f_{MCK}+30		ns
		1.8 V≦EV_{DD}≦5.5 V		1/f_{MCK}+40		1/f_{MCK}+40		1/f_{MCK}+40		1/f_{MCK}+40		ns
		1.7 V≦EV_{DD}≦5.5 V				1/f_{MCK}+40		1/f_{MCK}+40		1/f_{MCK}+40		ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI2}	2.1 V≦EV_{DD}≦5.5 V		1/f_{MCK}+31		1/f_{MCK}+31		1/f_{MCK}+31		1/f_{MCK}+31		ns
		1.9 V≦EV_{DD}≦5.5 V				1/f_{MCK}+31		1/f_{MCK}+31		1/f_{MCK}+31		ns
		1.7 V≦EV_{DD}≦5.5 V								1/f_{MCK}+250		ns
SCKp↓→SOp出力遅延時間[注2]	t_{KSO2}	C = 30 pF[注3]	2.7 V≦EV_{DD}≦5.5 V		2/f_{MCK}+44		2/f_{MCK}+110		2/f_{MCK}+110		2/f_{MCK}+110	ns
			2.4 V≦EV_{DD}≦5.5 V		2/f_{MCK}+75		2/f_{MCK}+110		2/f_{MCK}+110		2/f_{MCK}+110	ns
			1.9 V≦EV_{DD}≦5.5 V		2/f_{MCK}+100		2/f_{MCK}+110		2/f_{MCK}+110		2/f_{MCK}+110	ns
			1.8 V≦EV_{DD}≦5.5 V		2/f_{MCK}+220		2/f_{MCK}+220		2/f_{MCK}+220		2/f_{MCK}+220	ns
			1.7 V≦EV_{DD}≦5.5 V				2/f_{MCK}+220		2/f_{MCK}+220		2/f_{MCK}+220	ns

（注，注意，備考は次ページにあります。）

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SOp出力ラインの負荷容量です。

4. SNOOZEモードでの転送レートは，MAX.：1 Mbps

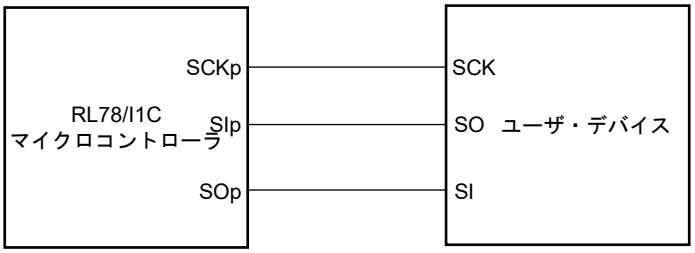
5. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファ，SOp端子は通常出力モードを選択。

備考1. p：CSI番号（p = 00, 10, 30），m：ユニット番号（m = 0），n：チャネル番号（n = 0），
g：PIM, POM番号（g = 0, 1, 8）

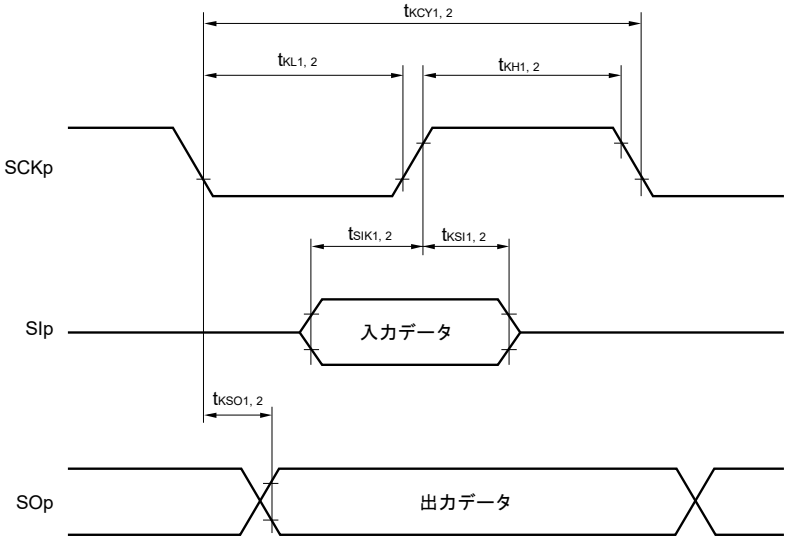
2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。
m：ユニット番号，n：チャネル番号（mn = 00, 10, 30））

簡易SPI (CSI)モード接続図（同電位通信時）



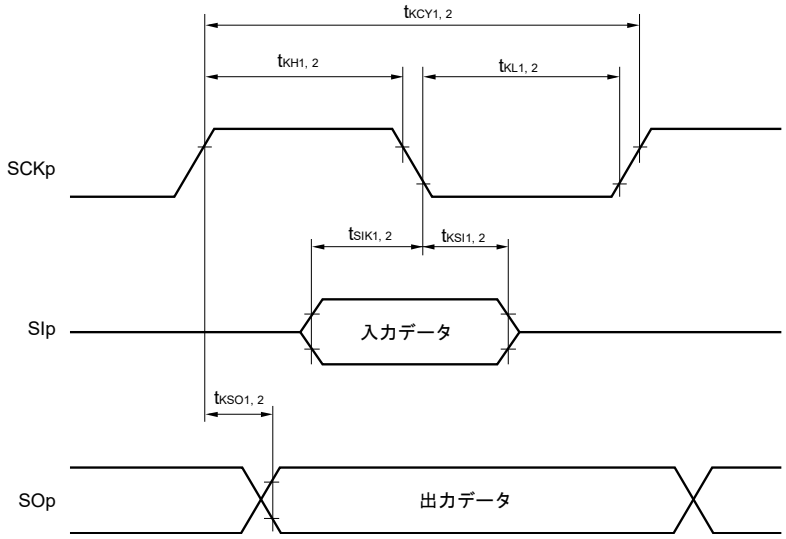
簡易SPI (CSI)モード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI (CSI)モード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1.　p：CSI番号（p = 00, 10, 30）

2.　m：ユニット番号，n：チャネル番号（mn = 00, 10, 30）

（4）同電位通信時（簡易I²Cモード）

（T_A = －40～＋85℃, 1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V） （1/2）

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLr クロック周波数	f_{SCL}	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ		1000[注1]		400[注1]		400[注1]		400[注1]	kHz
		1.9 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ		400[注1]		400[注1]		400[注1]		400[注1]	kHz
		1.9 V≦EV_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ		300[注1]		300[注1]		300[注1]		300[注1]	kHz
		1.8 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ		250[注1]		250[注1]		250[注1]		250[注1]	kHz
		1.7 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ				250[注1]		250[注1]		250[注1]	kHz
SCLr = "L" のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		1150		1150		1150		ns
		1.9 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		1150		1150		1150		ns
		1.9 V≦EV_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		1550		1550		1550		ns
		1.8 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ	1850		1850		1850		1850		ns
		1.7 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ			1850		1850		1850		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		1150		1150		1150		ns
		1.9 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		1150		1150		1150		ns
		1.9 V≦EV_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		1550		1550		1550		ns
		1.8 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ	1850		1850		1850		1850		ns
		1.7 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ			1850		1850		1850		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋85[注1, 2]		1/f_{MCK}＋145[注1, 2]		1/f_{MCK}＋145[注1, 2]		1/f_{MCK}＋145[注1, 2]		ns
		1.9 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK}＋145[注1, 2]		1/f_{MCK}＋145[注1, 2]		1/f_{MCK}＋145[注1, 2]		1/f_{MCK}＋145[注1, 2]		ns
		1.9 V≦EV_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK}＋230[注1, 2]		1/f_{MCK}＋230[注1, 2]		1/f_{MCK}＋230[注1, 2]		1/f_{MCK}＋230[注1, 2]		ns
		1.8 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK}＋290[注1, 2]		1/f_{MCK}＋290[注1, 2]		1/f_{MCK}＋290[注1, 2]		1/f_{MCK}＋290[注1, 2]		ns
		1.7 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ			1/f_{MCK}＋290[注1, 2]		1/f_{MCK}＋290[注1, 2]		1/f_{MCK}＋290[注1, 2]		ns

（注，注意，備考は次ページにあります。）

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（2/2）

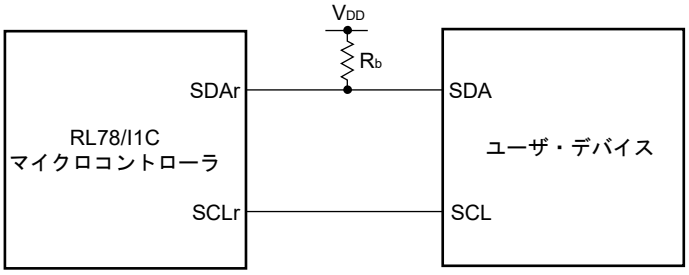
項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		1.9 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	0	355	0	355	0	355	0	355	ns
		1.9 V≦EV_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	0	405	0	405	0	405	0	405	ns
		1.8 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ	0	405	0	405	0	405	0	405	ns
		1.7 V≦EV_{DD}＜1.9 V, C_b = 100 pF, R_b = 5 kΩ			0	405	0	405	0	405	ns

注 1.　f_{MCK}/4以下に設定してください。

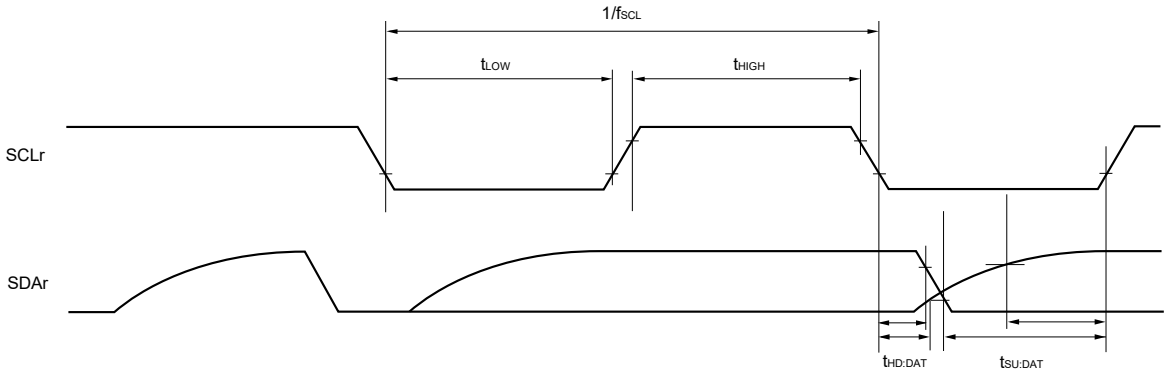
2.　f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

3.　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

簡易I²Cモード接続図（同電位通信時）



簡易I²Cモード・シリアル転送タイミング（同電位通信時）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArは通常入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択，SCLrは通常出力モードを選択。

備考1.　R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値，C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

2.　r：IIC番号（r = 00, 10, 30），g：PIM, POM番号（g = 0, 1, 8）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。
m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 2），mn = 00, 02, 12）

（5）異電位（1.9 V系，2.5 V系，3 V系）通信時（UARTモード）（1/2）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注1]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		受信	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		$f_{MCK}/6$[注1]		$f_{MCK}/6$[注1]		$f_{MCK}/6$[注1]		$f_{MCK}/6$[注1]	bps
			最大転送レート理論値 f_{MCK} = f_{CLK}[注4]		5.3		1.3		0.1		0.6	Mbps
			2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		$f_{MCK}/6$[注1]		$f_{MCK}/6$[注1]		$f_{MCK}/6$[注1]		$f_{MCK}/6$[注1]	bps
			最大転送レート理論値 f_{MCK} = f_{CLK}[注4]		5.3		1.3		0.1		0.6	Mbps
			1.9 V≦EV_{DD}＜3.3 V, 1.8 V≦V_b≦2.0 V		$f_{MCK}/6$ 注1,2,3		$f_{MCK}/6$ 注1,2		$f_{MCK}/6$ 注1,2		$f_{MCK}/6$ 注1,2	bps
			最大転送レート理論値 f_{MCK} = f_{CLK}[注4]		5.3		1.3		0.1		0.6	Mbps

注 1. SNOOZEモードでの転送レートは，4800 bpsのみとなります。

2. EV_{DD}≧V_bで使用してください。

3. 低電圧インタフェース時は，次の条件も必要になります。

2.4 V≦EV_{DD}＜2.7 V　：MAX. 2.6 Mbps

1.9 V≦EV_{DD}＜2.4 V　：MAX. 1.3 Mbps

4. CPU／周辺ハードウエア・クロック（f_{CLK}）の最高動作周波数を次に示します。

HS（高速メイン）モード　：32 MHz (2.8 V≦V_{DD}≦5.5 V), 24 MHz (2.7 V≦V_{DD}≦5.5 V), 16 MHz (2.5 V≦V_{DD}≦5.5 V), 12 MHz (2.4 V≦V_{DD}≦5.5 V), 6 MHz (2.1 V≦V_{DD}≦5.5 V)

LS（低速メイン）モード　：8 MHz (1.9 V≦V_{DD}≦5.5 V), 4 MHz (1.9 V≦V_{DD}≦5.5 V)

LP（低電力メイン）モード　：1 MHz (1.9 V≦V_{DD}≦5.5 V)

LV（低電圧メイン）モード　：4 MHz (1.7 V≦V_{DD}≦5.5 V)

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファ，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]：通信ライン電圧

2. q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3, 5, 8）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。

m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（5）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（2/2）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注10]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		送信	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		注1, 2		注1, 2		注1, 2		注1, 2	bps
			最大転送レート理論値[注9] C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V		2.8[注3]		2.8[注3]		2.8[注3]		2.8[注3]	Mbps
			2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		注2, 4		注2, 4		注2, 4		注2, 4	bps
			最大転送レート理論値[注9] C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V		1.2[注5]		1.2[注5]		1.2[注5]		1.2[注5]	Mbps
			1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V		注2, 6, 7		注2, 6, 7		注2, 6, 7		注2, 6, 7	bps
			最大転送レート理論値[注9] C_b = 50 pF, R_b = 5.5 kΩ, V_b = 1.6 V		0.43[注8]		0.43[注8]		0.43[注8]		0.43[注8]	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2. SNOOZEモードでの転送レートは，4800 bpsのみとなります。

3. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注4. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

5. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

6. EV_{DD}≧V_bで使用してください。

7. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

1.9 V≦EV_{DD}＜2.7 V, 1.6 V≦V_b≦2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

8. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。

9. CPU／周辺ハードウエア・クロック（f_{CLK}）の最高動作周波数を次に示します。

HS（高速メイン）モード　：32 MHz (2.8 V≦V_{DD}≦5.5 V), 24 MHz (2.7 V≦V_{DD}≦5.5 V),
16 MHz (2.5 V≦V_{DD}≦5.5 V), 12 MHz (2.4 V≦V_{DD}≦5.5 V),
6 MHz (2.1 V≦V_{DD}≦5.5 V)

LS（低速メイン）モード　：8 MHz (1.9 V≦V_{DD}≦5.5 V), 4 MHz (1.9 V≦V_{DD}≦5.5 V)

LP（低電力メイン）モード　：1 MHz (1.9 V≦V_{DD}≦5.5 V)

LV（低電圧メイン）モード　：4 MHz (1.7 V≦V_{DD}≦5.5 V)

10. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

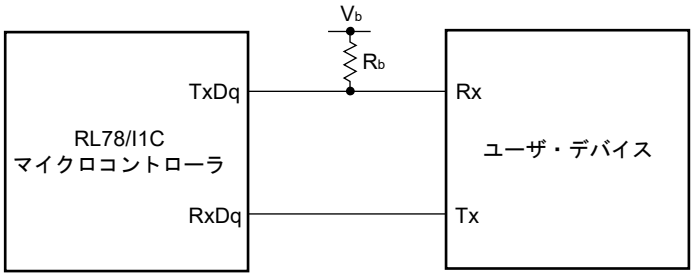
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファ，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値，C_b [F]：通信ライン（TxDq）負荷容量値，V_b [V]：通信ライン電圧

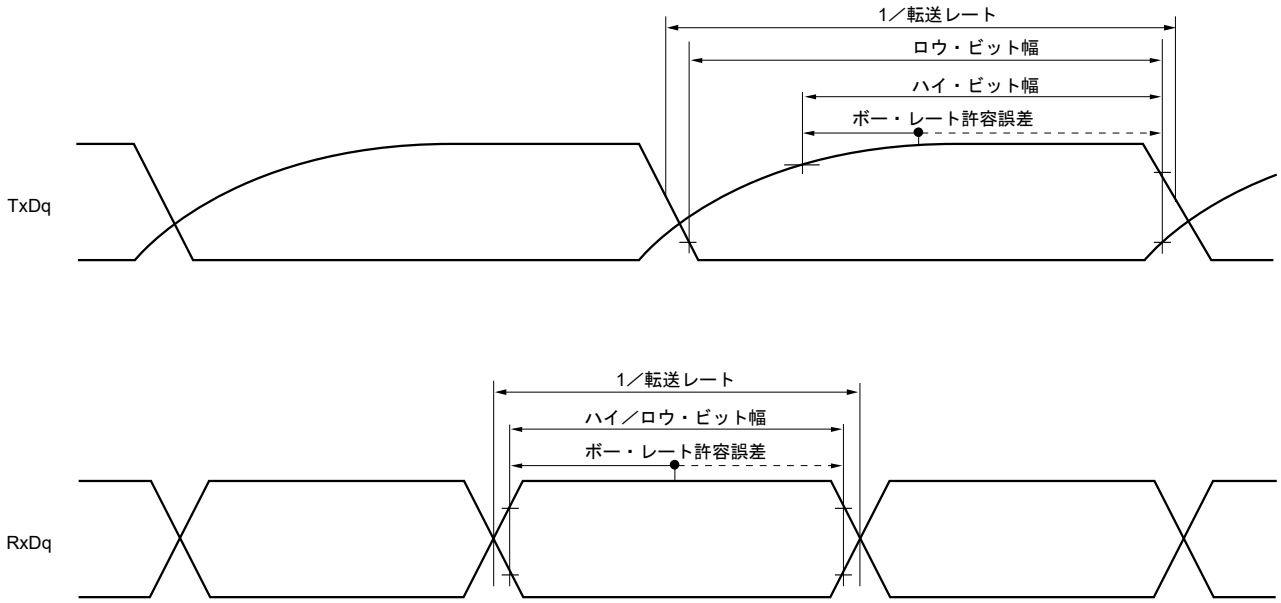
2. q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3, 5, 8）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。
m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファ，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1.　R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値，V_b [V]：通信ライン電圧

2.　q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3, 5, 8）

(6) 異電位（2.5 V系，3 V系）通信時（$f_{MCK}/2$）簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応）（1/2）

（T_A = －40～＋85℃，2.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	200		1150		1150		1150		ns
			2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	300		1150		1150		1150		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2－120		t_{KCY1}/2－120		t_{KCY1}/2－120		t_{KCY1}/2－120		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2－7		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2－10		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		58		479		479		479		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		121		479		479		479		ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10		10		10		10		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10		10		10		10		ns
SCKp↓→SOp出力遅延時間[注1]	t_{KSO1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ			60		60		60		60	ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ			130		130		130		130	ns

（注，注意，備考は次ページにあります。）

（6）異電位（2.5 V系，3 V系）通信時（f_{MCK}/2）簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応）（2/2）

（T_A = －40～＋85℃，2.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpセットアップ時間（対SCKp↓）[注2]	t_{SIK1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	23		110		110		110		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	33		110		110		110		ns
SIpホールド時間（対SCKp↓）[注2]	t_{KSI1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	10		10		10		10		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	10		10		10		10		ns
SCKp↑→SOp出力遅延時間[注2]	t_{KSO1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10		10		10		10	ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10		10		10		10	ns

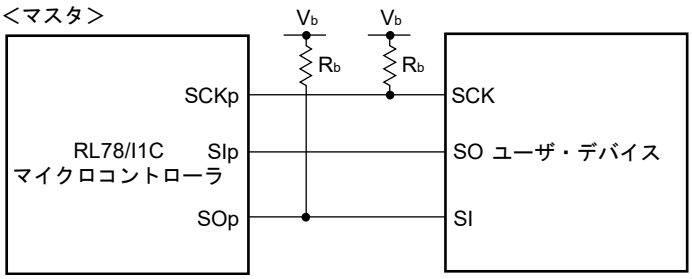
注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI (CSI)モード接続図（異電位通信時）



備考1. R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

2. p：CSI番号（p = 00, 10, 30），m：ユニット番号，n：チャネル番号（mn = 00, 02, 10），g：PIM, POM番号（g = 0, 1, 8）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。

m：ユニット番号，n：チャネル番号（mn = 00, 02, 12））

4. このスペックは，CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

（7）異電位（1.8 V系，2.5 V系，3 V系）通信（f_{MCK}/4）簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力）（1/3）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	300		1150		1150		1150		ns
			2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	500		1150		1150		1150		ns
			1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ	1150		1150		1150		1150		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－75		t_{KCY1}/2－75		t_{KCY1}/2－75		t_{KCY1}/2－75		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－170		t_{KCY1}/2－170		t_{KCY1}/2－170		t_{KCY1}/2－170		ns
		1.9 V[注4]≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注3], C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－458		t_{KCY1}/2－458		t_{KCY1}/2－458		t_{KCY1}/2－458		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－12		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－18		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		1.9 V[注4]≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注3], C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns

（注，注意，備考は次々ページにあります。）

（7）異電位（1.8 V系，2.5 V系，3 V系）通信（f_{MCK}/4）簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力）（2/3）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	81		479		479		479		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	177		479		479		479		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注3], C_b = 30 pF, R_b = 5.5 kΩ	479		479		479		479		ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19		19		19		19		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19		19		19		19		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注3], C_b = 30 pF, R_b = 5.5 kΩ	19		19		19		19		ns
SCKp↓→SOp出力遅延時間[注1]	t_{KSO1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		100		100		100		100	ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		195		195		195		195	ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注3], C_b = 30 pF, R_b = 5.5 kΩ		483		483		483		483	ns

（注，注意，備考は次ページにあります。）

（7）異電位（1.8 V系，2.5 V系，3 V系）通信（f_{MCK}/4）簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力）（3/3）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpセットアップ時間（対SCKp↓）[注2]	t_{SIK1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	44		110		110		110		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	44		110		110		110		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注3], C_b = 30 pF, R_b = 5.5 kΩ	110		110		110		110		ns
SIpホールド時間（対SCKp↓）[注2]	t_{KSI1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19		19		19		19		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19		19		19		19		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注3], C_b = 30 pF, R_b = 5.5 kΩ	19		19		19		19		ns
SCKp↑→SOp出力遅延時間[注2]	t_{KSO1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		25		25		25		25	ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		25		25		25		25	ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注3], C_b = 30 pF, R_b = 5.5 kΩ		25		25		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3. EV_{DD}≧V_bで使用してください。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

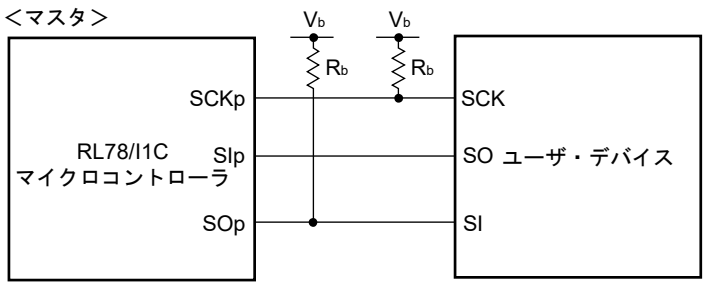
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

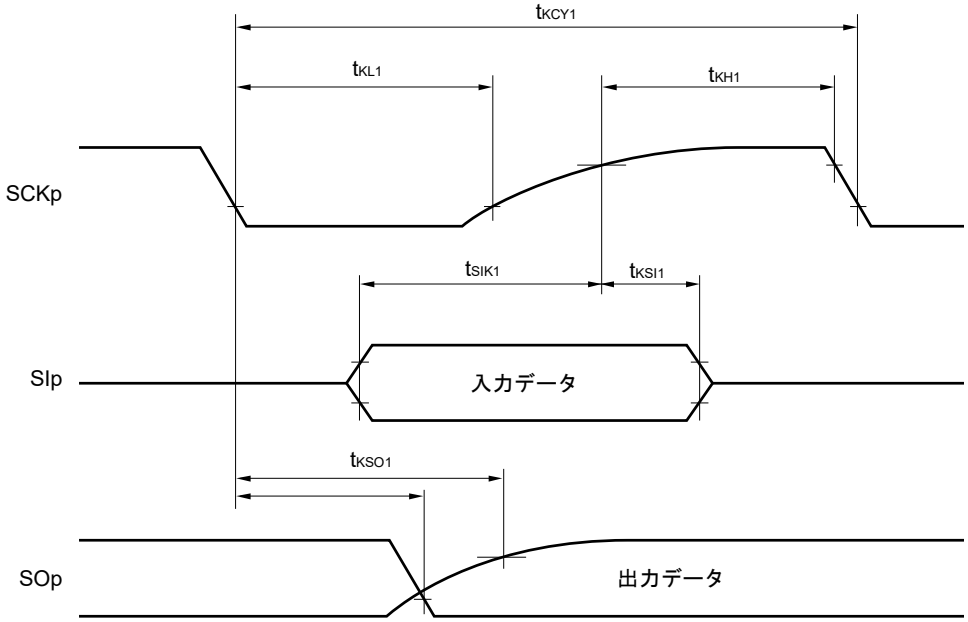
備考2. p：CSI番号（p = 00, 10, 30），m：ユニット番号，n：チャネル番号（mn = 00, 02, 10），
g：PIM, POM番号（g = 0, 1, 8）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。
m：ユニット番号，n：チャネル番号（mn = 00, 02, 12））

簡易SPI (CSI)モード接続図（異電位通信時）

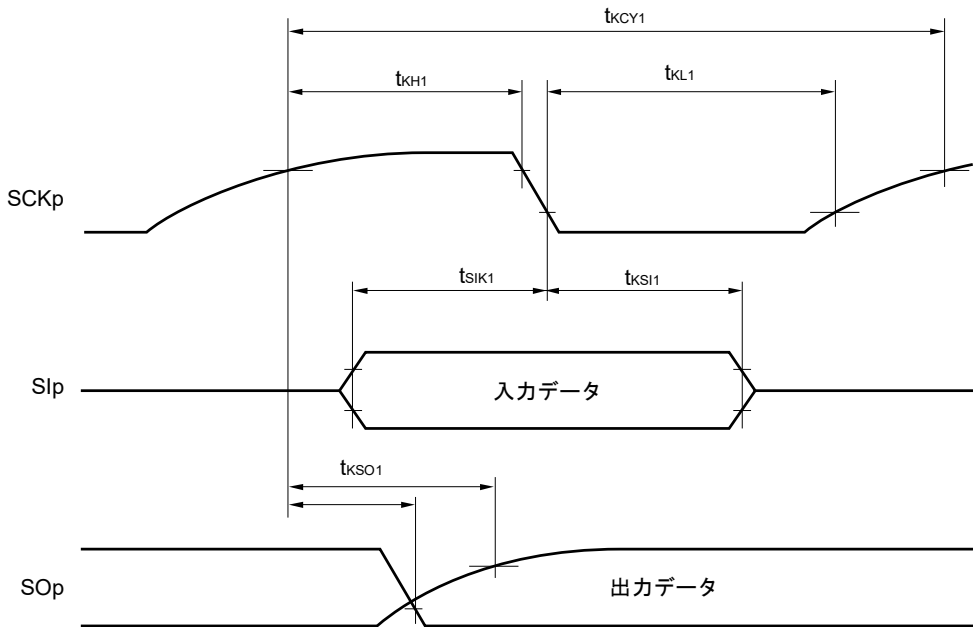


簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考　p：CSI番号（p = 00, 10, 30），m：ユニット番号，n：チャネル番号（mn = 00, 02, 10），
g：PIM, POM番号（g = 0, 1, 8）

（8）異電位（1.8 V系，2.5 V系，3 V系）通信，簡易SPI (CSI)モード時（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注5]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）（1/2）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム[注1]	t_{KCY2}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V	24 MHz＜f_{MCK}	14/f_{MCK}		–		–		–		ns
			20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}		–		–		–		ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}		–		–		–		ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}		16/f_{MCK}		–		–		ns
			f_{MCK}≦4 MHz	6/f_{MCK}		10/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V	24 MHz＜f_{MCK}	20/f_{MCK}		–		–		–		ns
			20 MHz＜f_{MCK}≦24 MHz	16/f_{MCK}		–		–		–		ns
			16 MHz＜f_{MCK}≦20 MHz	14/f_{MCK}		–		–		–		ns
			8 MHz＜f_{MCK}≦16 MHz	12/f_{MCK}		–		–		–		ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}		16/f_{MCK}		–		–		ns
			f_{MCK}≦4 MHz	6/f_{MCK}		10/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2]	24 MHz＜f_{MCK}	48/f_{MCK}		–		–		–		ns
			20 MHz＜f_{MCK}≦24 MHz	36/f_{MCK}		–		–		–		ns
			16 MHz＜f_{MCK}≦20 MHz	32/f_{MCK}		–		–		–		ns
			8 MHz＜f_{MCK}≦16 MHz	26/f_{MCK}		–		–		–		ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}		16/f_{MCK}		–		–		ns
			f_{MCK}≦4 MHz	10/f_{MCK}		10/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns

（注，注意，備考は次ページにあります。）

（8）異電位（1.8 V系，2.5 V系，3 V系）通信，簡易SPI (CSI)モード時（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注5]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）（2/2）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V	t_{KCY2}/2－12		t_{KCY2}/2－50		t_{KCY2}/2－50		t_{KCY2}/2－50		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V	t_{KCY2}/2－18		t_{KCY2}/2－50		t_{KCY2}/2－50		t_{KCY2}/2－50		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2]	t_{KCY2}/2－50		t_{KCY2}/2－50		t_{KCY2}/2－50		t_{KCY2}/2－50		ns
SIpセットアップ時間（対SCKp↑）[注3]	t_{SIK2}	2.7 V≦EV_{DD}≦5.5 V, 2.3 V≦V_b≦4.0 V[注2]	1/f_{MCK}+20		1/f_{MCK}+30		1/f_{MCK}+30		1/f_{MCK}+30		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2]	1/f_{MCK}+30		1/f_{MCK}+30		1/f_{MCK}+30		1/f_{MCK}+30		ns
SIpホールド時間（対SCKp↑）[注3]	t_{KSI2}	2.7 V≦EV_{DD}≦5.5 V, 2.3 V≦V_b≦4.0 V[注2]	1/f_{MCK}+31		1/f_{MCK}+31		1/f_{MCK}+31		1/f_{MCK}+31		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2]	1/f_{MCK}+31		1/f_{MCK}+31		1/f_{MCK}+31		1/f_{MCK}+31		ns
SCKp↓→Sop出力遅延時間[注4]	t_{KSO2}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		2/f_{MCK}+120		2/f_{MCK}+573		2/f_{MCK}+573		2/f_{MCK}+573	ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		2/f_{MCK}+214		2/f_{MCK}+573		2/f_{MCK}+573		2/f_{MCK}+573	ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2], C_b = 30 pF, R_b = 5.5 kΩ		2/f_{MCK}+573		2/f_{MCK}+573		2/f_{MCK}+573		2/f_{MCK}+573	ns

注1. SNOOZEモードでの転送レートは，MAX. : 1 Mbps

2. EV_{DD}≧V_bで使用してください。

3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

5. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

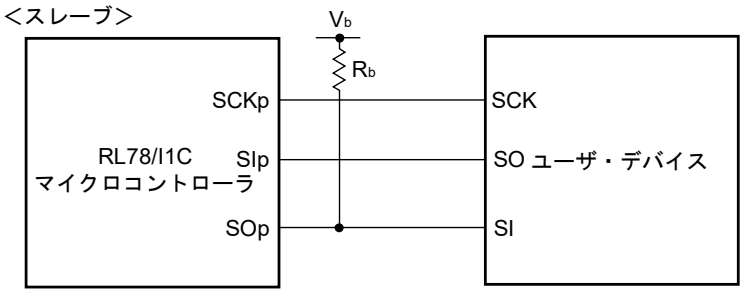
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子はTTL入力バッファ，SOp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，Vb [V]：通信ライン電圧

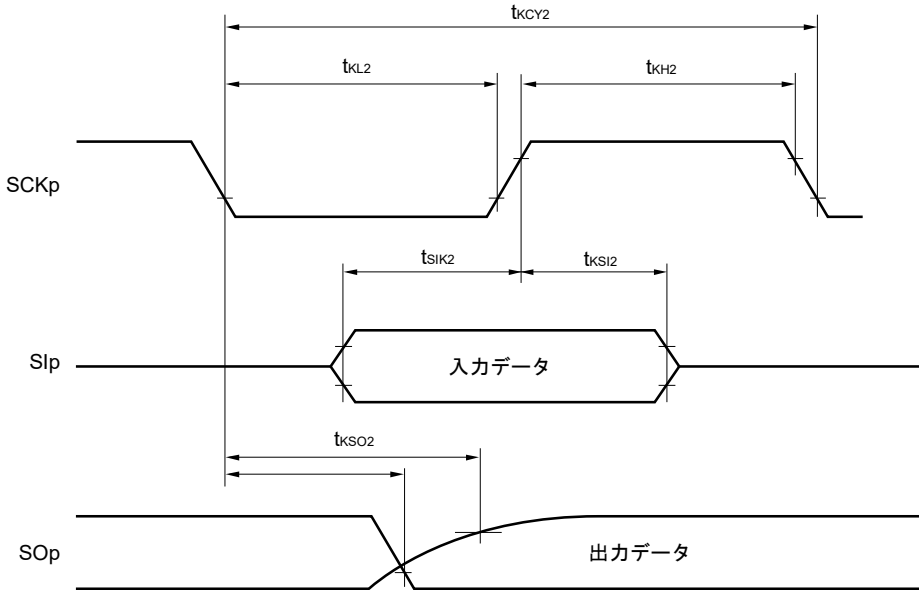
2. p：CSI番号（p = 00, 10, 30），m：ユニット番号，n：チャネル番号（mn = 00, 02, 10），g：PIM, POM番号（g = 0, 1, 8）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。
m：ユニット番号，n：チャネル番号（mn = 00, 02, 12））

簡易SPI (CSI)モード接続図（異電位通信時）

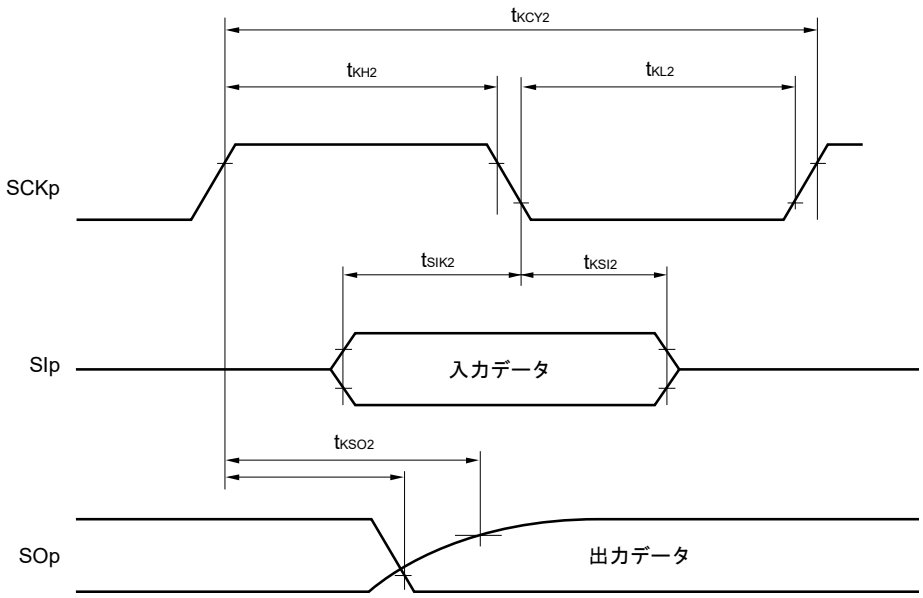


簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子はTTL入力バッファ，SOp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考　p：CSI番号（p = 00, 10, 30），m：ユニット番号，n：チャネル番号（mn = 00, 02, 12），
g：PIM, POM番号（g = 0, 1, 8）

（9）異電位通信時（1.8 V系，2.5 V系，3 V系）通信時（簡易I²Cモード）（1/2）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLr クロック周波数	f_{SCL}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ		1000[注1]		300[注1]		300[注1]		300[注1]	kHz
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ		1000[注1]		300[注1]		300[注1]		300[注1]	kHz
		4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ		400[注1]		300[注1]		300[注1]		300[注1]	kHz
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ		400[注1]		300[注1]		300[注1]		300[注1]	kHz
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2], C_b = 100 pF, R_b = 5.5 kΩ		300[注1]		300[注1]		300[注1]		300[注1]	kHz
SCLr = "L" のホールド・タイム	t_{LOW}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	475		1550		1550		1550		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	475		1550		1550		1550		ns
		4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1150		1550		1550		1550		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1150		1550		1550		1550		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2], C_b = 100 pF, R_b = 5.5 kΩ	1550		1550		1550		1550		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	245		610		610		610		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	200		610		610		610		ns
		4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	675		610		610		610		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	600		610		610		610		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2], C_b = 100 pF, R_b = 5.5 kΩ	610		610		610		610		ns

（注，注意は次ページ，備考は次々ページにあります。）

（9）異電位通信時（1.8 V系，2.5 V系，3 V系）通信時（簡易I²Cモード）（2/2）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋135 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋135 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
		4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2], C_b = 100 pF, R_b = 5.5 kΩ	1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	0	355	0	355	0	355	0	355	ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	0	355	0	355	0	355	0	355	ns
		1.9 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V[注2], C_b = 100 pF, R_b = 5.5 kΩ	0	405	0	405	0	405	0	405	ns

注 1. f_{MCK}/4以下に設定してください。

2. EV_{DD}≧V_bで使用してください。

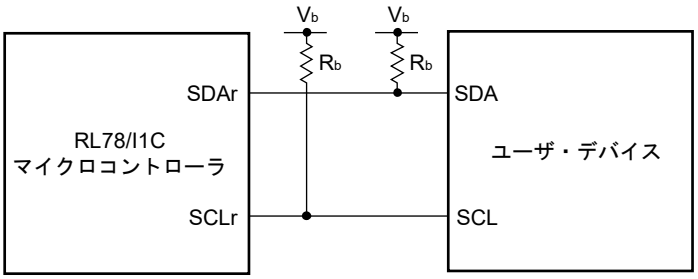
3. f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

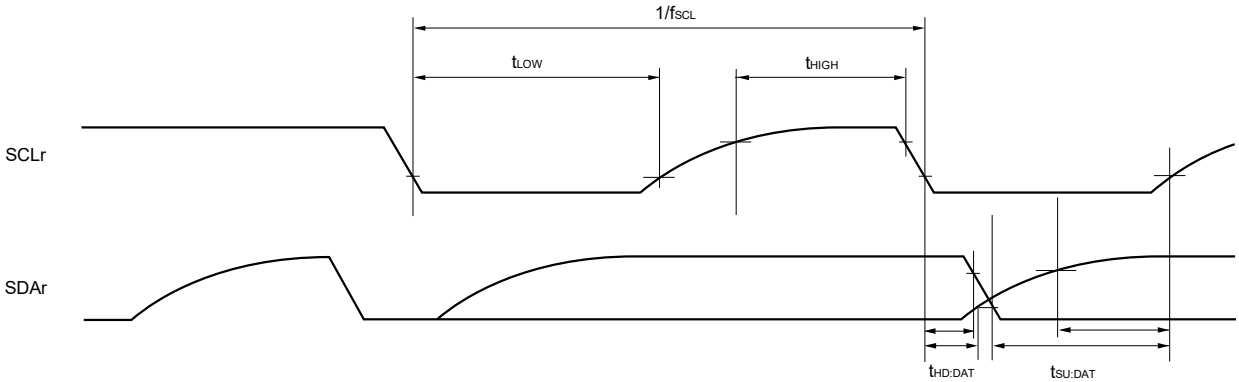
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択，SCLrはN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページにあります。）

簡易I²Cモード接続図（異電位通信時）



簡易I²Cモード・シリアル転送タイミング（異電位通信時）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択，SCLrはN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1.　R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，
V_b [V]：通信ライン電圧

2.　r：IIC番号（r = 00, 10, 30），g：PIM, POM番号（g = 0, 1, 8）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定された動作クロック。
m：ユニット番号，n：チャネル番号（mn = 00, 02, 12））

41. 5. 2　シリアル・インタフェースIICA

（1）I²C標準モード（1/2）

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f_{SCL}	標準モード：f_{CLK}≧1 MHz	2.7 V≦EV_{DD}≦5.5 V	0	100	0	100	0	100	0	100	kHz
			1.9 V≦EV_{DD}≦5.5 V	0	100	0	100	0	100	0	100	kHz
			1.8 V≦EV_{DD}≦5.5 V	0	100	0	100	0	100	0	100	kHz
			1.7 V≦EV_{DD}≦5.5 V	–	–	0	100	0	100	0	100	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.9 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.8 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.7 V≦EV_{DD}≦5.5 V		–	–	4.7		4.7		4.7		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.9 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.8 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.7 V≦EV_{DD}≦5.5 V		–	–	4.0		4.0		4.0		μs
SCLA0 = ”L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.9 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.8 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.7 V≦EV_{DD}≦5.5 V		–	–	4.7		4.7		4.7		μs
SCLA0 = ”H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.9 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.8 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.7 V≦EV_{DD}≦5.5 V		–	–	4.0		4.0		4.0		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD}≦5.5 V		250		250		250		250		μs
		1.9 V≦EV_{DD}≦5.5 V		250		250		250		250		μs
		1.8 V≦EV_{DD}≦5.5 V		250		250		250		250		μs
		1.7 V≦EV_{DD}≦5.5 V		–	–	250		250		250		μs
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$	2.7 V≦EV_{DD}≦5.5 V		0	3.45	0	3.45	0	3.45	0	3.45	μs
		1.9 V≦EV_{DD}≦5.5 V		0	3.45	0	3.45	0	3.45	0	3.45	μs
		1.8 V≦EV_{DD}≦5.5 V		0	3.45	0	3.45	0	3.45	0	3.45	μs
		1.7 V≦EV_{DD}≦5.5 V		–	–	0	3.45	0	3.45	0	3.45	μs

（注，備考は次ページにあります。）

（1）I²C標準モード（2/2）

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD}≦5.5 V	4.0		4.0		4.0		4.0		μs
		1.9 V≦EV_{DD}≦5.5 V	4.0		4.0		4.0		4.0		μs
		1.8 V≦EV_{DD}≦5.5 V	4.0		4.0		4.0		4.0		μs
		1.7 V≦EV_{DD}≦5.5 V	–	–	4.0		4.0		4.0		μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD}≦5.5 V	4.7		4.7		4.7		4.7		μs
		1.9 V≦EV_{DD}≦5.5 V	4.7		4.7		4.7		4.7		μs
		1.8 V≦EV_{DD}≦5.5 V	4.7		4.7		4.7		4.7		μs
		1.7 V≦EV_{DD}≦5.5 V	–	–	4.7		4.7		4.7		μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2. $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　：C_b = 400 pF, Rb = 2.7 kΩ

（2）I²C ファースト・モード

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz	2.7V≦EV_{DD}≦5.5V	0	400	0	400	–	–	0	400	kHz
			1.9V≦EV_{DD}≦5.5V	0	400	0	400	–	–	0	400	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD}≦5.5 V		0.6		0.6		–	–	0.6		μs
		1.9 V≦EV_{DD}≦5.5 V		0.6		0.6		–	–	0.6		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦EV_{DD}≦5.5 V		0.6		0.6		–	–	0.6		μs
		1.9 V≦EV_{DD}≦5.5 V		0.6		0.6		–	–	0.6		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD}≦5.5 V		1.3		1.3		–	–	1.3		μs
		1.9 V≦EV_{DD}≦5.5 V		1.3		1.3		–	–	1.3		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD}≦5.5 V		0.6		0.6		–	–	0.6		μs
		1.9 V≦EV_{DD}≦5.5 V		0.6		0.6		–	–	0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD}≦5.5 V		100		100		–	–	100		ns
		1.9 V≦EV_{DD}≦5.5 V		100		100		–	–	100		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$	2.7 V≦EV_{DD}≦5.5 V		0	0.9	0	0.9	–	–	0	0.9	μs
		1.9 V≦EV_{DD}≦5.5 V		0	0.9	0	0.9	–	–	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD}≦5.5 V		0.6		0.6		–	–	0.6		μs
		1.9 V≦EV_{DD}≦5.5 V		0.6		0.6		–	–	0.6		μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD}≦5.5 V		1.3		1.3		–	–	1.3		μs
		1.9 V≦EV_{DD}≦5.5 V		1.3		1.3		–	–	1.3		μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2. $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

ファースト・モード　：C_b = 320 pF, Rb = 1.1 kΩ

（3）I²C ファースト・モード・プラス

（T_A = －40～＋85℃，2.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード・プラス：f_{CLK}≧10 MHz	2.7 V≦EV_{DD}≦5.5 V	0	1000	–	–	–	–	–	–	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD}≦5.5 V		0.26		–	–	–	–	–	–	μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦EV_{DD}≦5.5 V		0.26		–	–	–	–	–	–	μs
SCLA0 = ”L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD}≦5.5 V		0.5		–	–	–	–	–	–	μs
SCLA0 = ”H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD}≦5.5 V		0.26		–	–	–	–	–	–	μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD}≦5.5 V		50		–	–	–	–	–	–	ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$	2.7 V≦EV_{DD}≦5.5 V		0	0.5	–	–	–	–	–	–	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD}≦5.5 V		0.26		–	–	–	–	–	–	μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD}≦5.5 V		0.5		–	–	–	–	–	–	μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

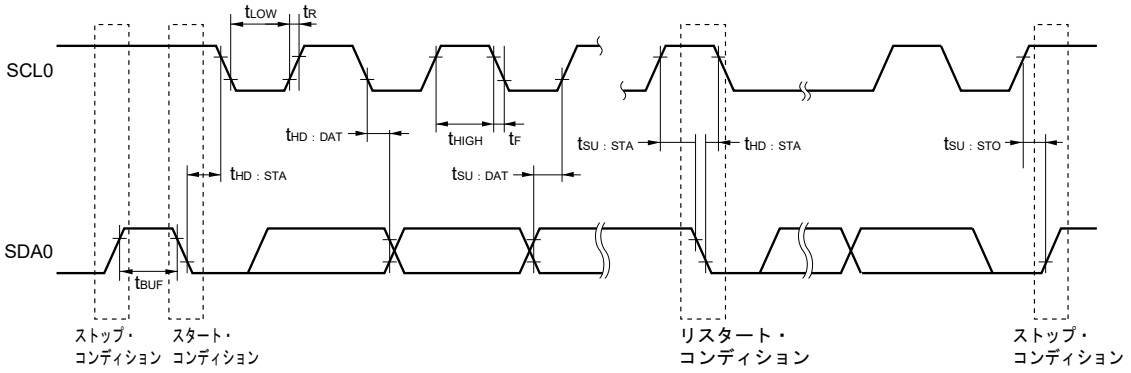
2. $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

ファースト・モード・プラス　　：C_b = 120 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



41. 6　アナログ特性

41. 6. 1　A/Dコンバータ特性

（1）基準電圧（+）＝ AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（−）＝ AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2-ANI5，内部基準電圧

（T_A = −40～+85℃，1.9 V≦V_{DD}[注3]≦5.5 V, V_{SS} = 0 V，基準電圧（+）= AV_{REFP}，基準電圧（−）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 AV_{REFP} = V_{DD}	1.9 V≦AV_{REFP}≦5.5 V		1.2	±5.0	LSB
変換時間	t_{CONV}	10ビット分解能	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			1.9 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}	1.9 V≦AV_{REFP}≦5.5 V			±0.35	%FSR
フルスケール誤差[注1, 2]	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}	1.9 V≦AV_{REFP}≦5.5 V			±0.35	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 AV_{REFP} = V_{DD}	1.9 V≦AV_{REFP}≦5.5 V			±3.5	LSB
微分直線性誤差[注1]	DLE	10ビット分解能 AV_{REFP} = V_{DD}	1.9 V≦AV_{REFP}≦5.5 V			±2.0	LSB
基準電圧（+）	AV_{REFP}			1.9		V_{DD}	V
アナログ入力電圧	V_{AIN}			0		AV_{REFP}	V
	V_{BGR}	内部基準電圧出力を選択，2.4 V≦V_{DD}≦5.5 V，HS（高速メイン）モード		1.38	1.45	1.5	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

（2）基準電圧（+）＝ V_{DD}（ADREFP1 = 0, ADREFP0 = 0），基準電圧（−）＝ V_{SS}（ADREFM = 0）選択時，
変換対象：ANI0-ANI5，内部基準電圧

（T_A = −40～+85℃，1.9 V≦V_{DD}[注3]≦5.5 V, V_{SS} = 0 V，基準電圧（+）= V_{DD}[注3]，基準電圧（−）= V_{SS}）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能	1.9 V≦V_{DD}≦5.5 V		1.2	±10.5	LSB
変換時間	t_{CONV}	10ビット分解能	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			1.9 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	E_{ZS}	10ビット分解能	1.9 V≦V_{DD}≦5.5 V			±0.85	%FSR
フルスケール誤差[注1, 2]	E_{FS}	10ビット分解能	1.9 V≦V_{DD}≦5.5 V			±0.85	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能	1.9 V≦V_{DD}≦5.5 V			±4.0	LSB
微分直線性誤差[注1]	DLE	10ビット分解能	1.9 V≦V_{DD}≦5.5 V			±2.0	LSB
アナログ入力電圧	V_{AIN}			0		V_{DD}	V
	V_{BGR}	内部基準電圧出力を選択，2.4 V≦V_{DD}≦5.5 V，HS（高速メイン）モード		1.38	1.45	1.5	V

注1. 量子化誤差（±1/2 LSB）を含みません。
2. フルスケール値に対する比率（%FSR）で表します。
3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

注意　基準電圧（+）= V_{DD}を使用する場合は，バッテリ・バックアップ機能の電源切り替え回路の影響による電圧降下を考慮に入れて，A/D変換結果を使用してください。また，A/D変換中HALTモードに移行し，V_{DD}系のポートは入力に設定してください。

（3）基準電圧（+）＝ 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（−）＝ AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI0, ANI2-ANI5

（T_A = −40～+85℃，2.4 V≦V_{DD}[注3]≦5.5 V, V_{SS} = 0 V，基準電圧（+）= V_{BGR}，基準電圧（−）= AV_{REFM} = 0 V, HS（高速メイン）モード）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES				8		bit
変換時間	t_{CONV}	8ビット分解能	2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	E_{ZS}	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差[注1]	ILE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
微分直線性誤差[注1]	DLE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±1.0	LSB
基準電圧（+）	V_{BGR}			1.38	1.45	1.5	V
アナログ入力電圧	V_{AIN}			0		V_{BGR}	V

注1. 量子化誤差（±1/2 LSB）を含みません。
2. フルスケール値に対する比率（%FSR）で表します。
3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 6. 2　24ビットΔΣA/Dコンバータ特性

（1）基準電圧

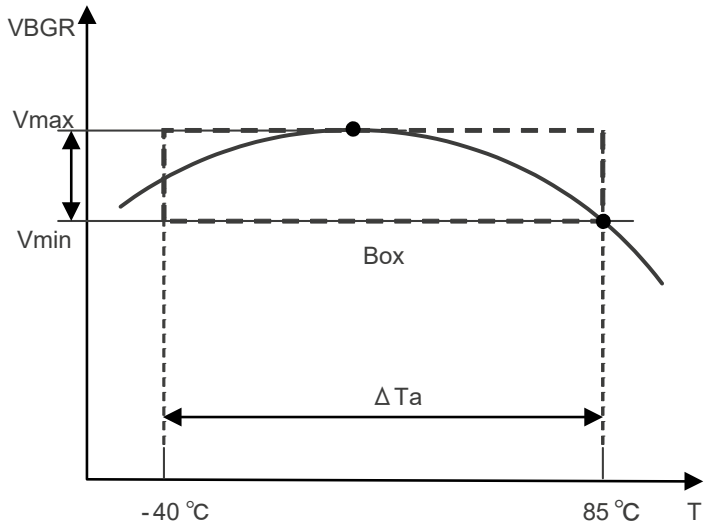
（T_A = －40～＋85℃，2.4 V≦V_{DD}[注1]≦5.5 V, V_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
内部基準電圧	V_{AVRTO}			0.8		V
内部基準電圧の温度係数[注2]	TC_{BOX}	AREGC, AVRT, AVCM端子接続の0.47 μF コンデンサ		10		ppm/℃

注1. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

2. BOX法での規定。

$$TC_{BOX} = \frac{1}{V_{min}} \cdot \frac{V_{max} - V_{min}}{\Delta T_a}$$



（2）アナログ入力

（T_A = －40～＋85℃,　2.4 V≦V_{DD}注≦5.5 V, V_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力電圧範囲（差動）	V_{AIN}	×1 ゲイン	－500		500	mV
		×2 ゲイン	－250		250	
		×4 ゲイン	－125		125	
		×8 ゲイン	－62.5		62.5	
		×16 ゲイン	－31.25		31.25	
		×32 ゲイン	－15.625		15.625	
入力ゲイン	ainGAIN	×1 ゲイン		1		倍
		×2 ゲイン		2		
		×4 ゲイン		4		
		×8 ゲイン		8		
		×16 ゲイン		16		
		×32 ゲイン		32		
入力インピーダンス	ainRIN	差動	150	360		kΩ
		シングルエンド	100	240		

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

（3）4 kHzサンプリング・モード

（T_A = －40～＋85℃，2.4 V≦V_{DD}注≦5.5 V, V_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
動作クロック	f_{DSAD}	f_X 発振クロック／外部入力クロック／高速オンチップ・オシレータ・クロック使用		12		MHz
サンプリング周波数	f_S			3906.25		Hz
オーバーサンプリング周波数	f_{OS}			1.5		MHz
出力データ・レート	T_{DATA}			256		μs
データ幅	RES			24		bit
SNDR	SNDR	×1ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択（PCKCレジスタのビット0（DSADCK）= 1）		80		dB
		×16ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択（PCKCレジスタのビット0（DSADCK）= 1）	69	74		
		×32ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択　（PCKCレジスタのビット0（DSADCK）= 1）	65	69		
通過域（低域側）	f_{Chpf}	@－3 dB（HPF内位相調整off） DSADHPFCRレジスタのビット7, 6（DSADCOF1, DSADCOF0）= 00		0.607		Hz
		@－3 dB（HPF内位相調整off） DSADHPFCRレジスタのビット7, 6（DSADCOF1, DSADCOF0）= 01		1.214		Hz
		@－3 dB（HPF内位相調整off） DSADHPFCRレジスタのビット7, 6（DSADCOF1, DSADCOF0）= 10		2.429		Hz
		@－3 dB（HPF内位相調整off） DSADHPFCRレジスタのビット7, 6（DSADCOF1, DSADCOF0）= 11		4.857		Hz
帯域内ripple 1	rp1	45 Hz-55 Hz　@50 Hz 54 Hz-66 Hz　@60 Hz	－0.01		0.01	dB
帯域内ripple 2	rp2	45 Hz-275 Hz　@50 Hz 54 Hz-330 Hz　@60 Hz	－0.1		0.1	
帯域内ripple 3	rp3	45 Hz-1100 Hz　@50 Hz 54 Hz-1320 Hz　@60 Hz	－0.1		0.1	
通過域（高域側）	f_{Clpf}	－3 dB		1672		Hz
阻止域（高域側）	fatt	－80 dB		2545		Hz
帯域外減衰量	ATT1	f_S	－80			dB
	ATT2	2 f_S	－80			dB

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

（4）2 kHzサンプリング・モード

（T_A = −40～＋85℃, 2.4 V≦V_{DD}[注]≦5.5 V, V_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
動作クロック	f_{DSAD}	f_X 発振クロック／外部入力クロック／高速オンチップ・オシレータ・クロック使用		12		MHz
サンプリング周波数	f_S			1953.125		Hz
オーバーサンプリング周波数	f_{OS}			0.75		MHz
出力データ・レート	T_{DATA}			512		μs
データ幅	RES			24		bit
SNDR	SNDR	×1 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択（PCKCレジスタのビット0（DSADCK）= 1）		80		dB
		×16 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択（PCKCレジスタのビット0（DSADCK）= 1）	69	74		
		×32 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択（PCKCレジスタのビット0（DSADCK）= 1）	65	69		
通過域（低域側）	f_{Chpf}	@−3 dB（HPF内位相調整off）		0.303		Hz
帯域内ripple 1	rp1	45 Hz-55 Hz @50 Hz 54 Hz-66 Hz @60 Hz	−0.01		0.01	dB
帯域内ripple 2	rp2	45 Hz-275 Hz @50 Hz 54 Hz-330 Hz @60 Hz	−0.1		0.1	
帯域内ripple 3	rp3	45 Hz-660 Hz @50 Hz 54 Hz-550 Hz @60 Hz	−0.1		0.1	
通過域（高域側）	f_{Clpf}	−3 dB		836		Hz
阻止域（高域側）	fatt	−80 dB		1273		Hz
帯域外減衰量	ATT1	f_S	−80			dB
	ATT2	2 f_S	−80			dB

注 バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 6. 3 温度センサ2特性

（T_A = −40～＋85℃, 2.4 V≦V_{DD}[注2]≦5.5 V, V_{SS} = 0 V, HS（高速メイン）モード）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
温度センサ2出力電圧	V_{OUT}			0.67		V
温度係数	F_{VTMPS2}	温度センサ電圧の温度依存	−11.7	−10.7	−9.7	mV/℃
動作安定待ち時間[注1]	t_{TMPON}	動作可能		15	50	μs
	t_{TMPCHG}	モード切り替え		5	15	μs

注1. 出力安定値±5LSB（±7 mV）以下に収まるまでの時間。

2. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 6. 4　POR回路特性

（T_A = －40～＋85℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POR}	電源立ち上がり時注1	1.47	1.51	1.55	V
	V_{PDR}	電源立ち下がり時注2	1.46	1.50	1.54	V

注1. V_{DD}が41. 4　AC特性に示す動作電圧範囲のV_{DD}（MIN.）を超えるまで，電圧検出機能か外部リセット端子でリセット状態を保ってください。

2. ただし，LVDオフの条件で電源電圧降下時は，電源電圧が41. 4　AC特性に示す動作電圧範囲の最小値を下回る前に，STOPモードに移行，または電圧検出機能か外部リセット端子で，リセット状態にしてください。

41. 6. 5　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（T_A = －40～＋85℃，V_{PDR}≦V_{DD}注≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVD0}	電源立ち上がり時	3.98	4.06	4.24	V
		電源立ち下がり時	3.90	3.98	4.16	V
	V_{LVD1}	電源立ち上がり時	3.68	3.75	3.92	V
		電源立ち下がり時	3.60	3.67	3.84	V
	V_{LVD2}	電源立ち上がり時	3.07	3.13	3.29	V
		電源立ち下がり時	3.00	3.06	3.22	V
	V_{LVD3}	電源立ち上がり時	2.96	3.02	3.18	V
		電源立ち下がり時	2.90	2.96	3.12	V
	V_{LVD4}	電源立ち上がり時	2.86	2.92	3.07	V
		電源立ち下がり時	2.80	2.86	3.01	V
	V_{LVD5}	電源立ち上がり時	2.76	2.81	2.97	V
		電源立ち下がり時	2.70	2.75	2.91	V
	V_{LVD6}	電源立ち上がり時	2.66	2.71	2.86	V
		電源立ち下がり時	2.60	2.65	2.80	V
	V_{LVD7}	電源立ち上がり時	2.56	2.61	2.76	V
		電源立ち下がり時	2.50	2.55	2.70	V
	V_{LVD8}	電源立ち上がり時	2.45	2.50	2.65	V
		電源立ち下がり時	2.40	2.45	2.60	V
	V_{LVD9}	電源立ち上がり時	2.05	2.09	2.23	V
		電源立ち下がり時	2.00	2.04	2.18	V
	V_{LVD10}	電源立ち上がり時	1.94	1.98	2.12	V
		電源立ち下がり時	1.90	1.94	2.08	V
	V_{LVD11}	電源立ち上がり時	1.84	1.88	2.01	V
		電源立ち下がり時	1.80	1.84	1.97	V
	V_{LVD12}	電源立ち上がり時	1.74	1.77	1.81	V
		電源立ち下がり時	1.70	1.73	1.77	V
最小パルス幅	t_{LW}		300			μs
検出遅延					300	μs

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

割り込み＆リセット・モードのLVD検出電圧

（T_A = －40～＋85℃，V_{PDR}≦V_{DD}[注]≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVD11}	VPOC2, VPOC1, VPOC0 = 0, 0, 1，立ち下がりリセット電圧: 1.8 V			1.80	1.84	1.97	V
	V_{LVD10}		LVIS1, LVIS0 = 1, 0（＋0.1 V）	立ち上がりリセット解除電圧	1.94	1.98	2.12	V
				立ち下がり割り込み電圧	1.90	1.94	2.08	V
	V_{LVD9}		LVIS1, LVIS0 = 0, 1（＋0.2 V）	立ち上がりリセット解除電圧	2.05	2.09	2.23	V
				立ち下がり割り込み電圧	2.00	2.04	2.18	V
	V_{LVD2}		LVIS1, LVIS0 = 0, 0（＋1.2 V）	立ち上がりリセット解除電圧	3.07	3.13	3.29	V
				立ち下がり割り込み電圧	3.00	3.06	3.22	V
	V_{LVD8}	VPOC2, VPOC1, VPOC0 = 0, 1, 0，立ち下がりリセット電圧			2.40	2.45	2.60	V
	V_{LVD7}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.76	V
				立ち下がり割り込み電圧	2.50	2.55	2.70	V
	V_{LVD6}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.86	V
				立ち下がり割り込み電圧	2.60	2.65	2.80	V
	V_{LVD1}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.92	V
				立ち下がり割り込み電圧	3.60	3.67	3.84	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1，立ち下がりリセット電圧			2.70	2.75	2.91	V
	V_{LVD4}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	3.07	V
				立ち下がり割り込み電圧	2.80	2.86	3.01	V
	V_{LVD3}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.18	V
				立ち下がり割り込み電圧	2.90	2.96	3.12	V
	V_{LVD0}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.24	V
				立ち下がり割り込み電圧	3.90	3.98	4.16	V

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 6. 6　電源電圧立ち上がり傾き特性

（T_A = －40～＋85℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
電源電圧立ち上がり傾き	SV_{DDR} SV_{RTCR}				54	V/ms

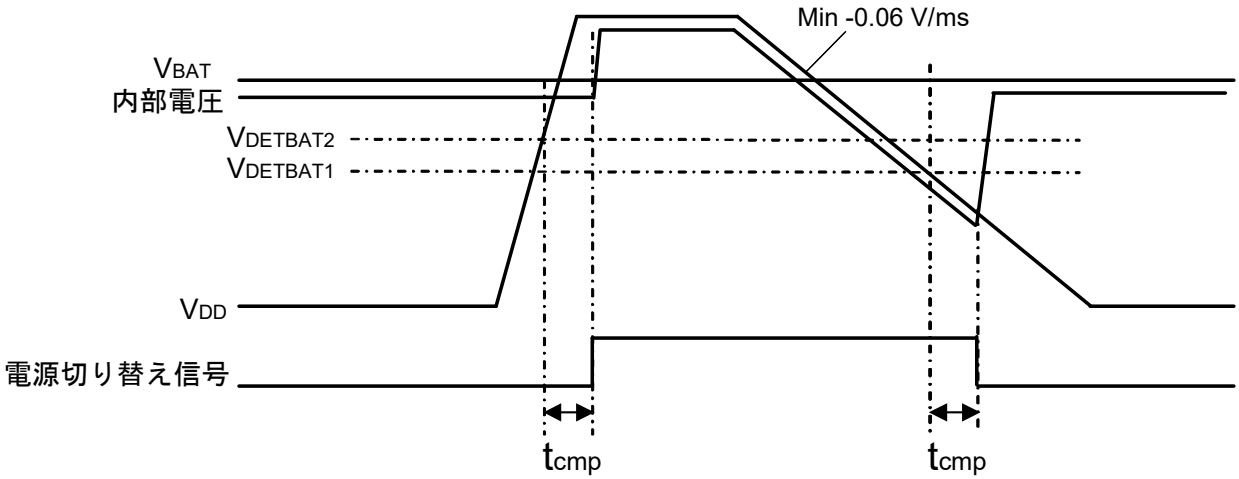
注意　V_{DD}が41.4　AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

41. 7　バッテリ・バックアップ機能

41. 7. 1　電源切り替え特性

（T_A = －40～＋85℃，V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
電源切り替え検出電圧	$V_{DETBAT1}$	V_{DD} → VBAT V_{BAT}≦3.6 V	2.09	2.18	2.26	V
	$V_{DETBAT2}$	VBAT → V_{DD} V_{BAT}≦3.6 V	2.19	2.28	2.36	V
V_{DD}の立ち下がり傾き	SV_{DDF}		－0.06			V/ms
電源切り替え検出回路の応答時間	t_{cmp}	V_{BAT}≦3.6 V			500	μs

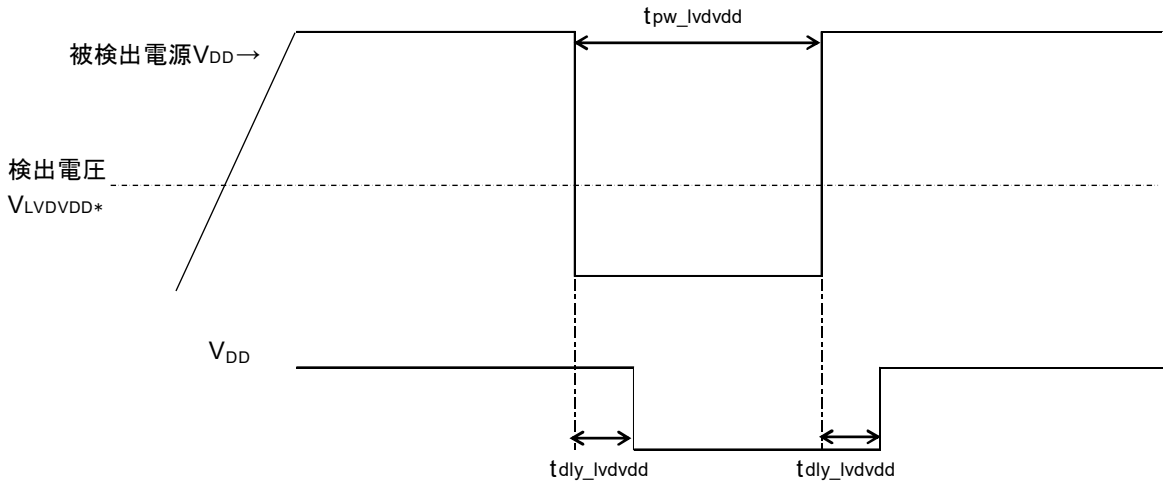


41. 7. 2　VDD端子電圧検出特性

（T_A = －40～＋85℃，1.9 V≦V_{DD}注≦5.5 V，V_{SS} = 0 V）

項　目	略　号	LVDVDD[2:0]	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	$V_{LVDVDD0}$	000	立ち上がり	2.40	2.53	2.65	V
			立ち下がり	2.33	2.46	2.58	V
	$V_{LVDVDD1}$	001	立ち上がり	2.60	2.74	2.86	V
			立ち下がり	2.53	2.67	2.79	V
	$V_{LVDVDD2}$	010	立ち上がり	2.79	2.94	3.07	V
			立ち下がり	2.73	2.87	2.99	V
	$V_{LVDVDD3}$	011	立ち上がり	3.00	3.15	3.28	V
			立ち下がり	2.93	3.08	3.21	V
	$V_{LVDVDD4}$	100	立ち上がり	3.30	3.46	3.60	V
			立ち下がり	3.23	3.39	3.52	V
	$V_{LVDVDD5}$	101	立ち上がり	3.59	3.77	3.91	V
			立ち下がり	3.53	3.70	3.84	V
最小パルス幅	t_{pw_lvdvdd}	–	–	300			μs
検出遅延	t_{dly_lvdvdd}	–	–			300	μs

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

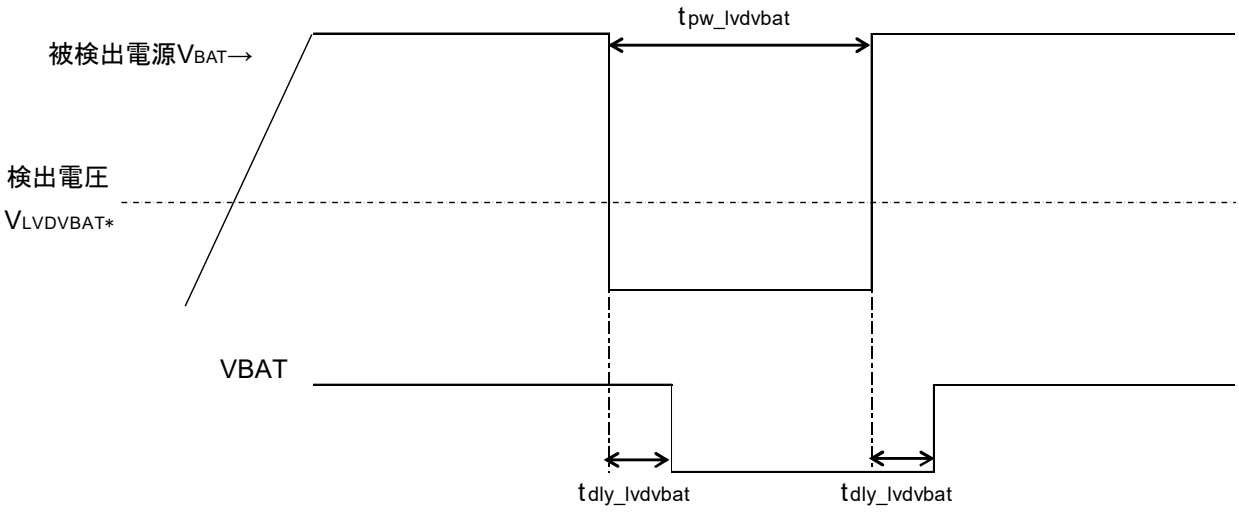


41. 7. 3　VBAT端子電圧検出特性

（T_A = －40～＋85℃，1.9 V≦V_{DD}注≦5.5 V，V_{SS} = 0 V）

項　目	略　号	LVDVBAT[2:0]	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	$V_{LVDVBAT0}$	000	立ち上がり	1.99	2.11	2.22	V
			立ち下がり	1.94	2.05	2.16	V
	$V_{LVDVBAT1}$	001	立ち上がり	2.09	2.21	2.32	V
			立ち下がり	2.03	2.15	2.26	V
	$V_{LVDVBAT2}$	010	立ち上がり	2.20	2.32	2.43	V
			立ち下がり	2.14	2.26	2.37	V
	$V_{LVDVBAT3}$	011	立ち上がり	2.29	2.42	2.53	V
			立ち下がり	2.23	2.36	2.47	V
	$V_{LVDVBAT4}$	100	立ち上がり	2.38	2.52	2.64	V
			立ち下がり	2.33	2.46	2.58	V
	$V_{LVDVBAT5}$	101	立ち上がり	2.48	2.62	2.74	V
			立ち下がり	2.42	2.56	2.68	V
	$V_{LVDVBAT6}$	110	立ち上がり	2.59	2.73	2.86	V
			立ち下がり	2.53	2.67	2.79	V
最小パルス幅	$t_{pw_lvdvbat}$	–	–	300			μs
検出遅延	$t_{dly_lvdvbat}$	–	–			300	μs

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

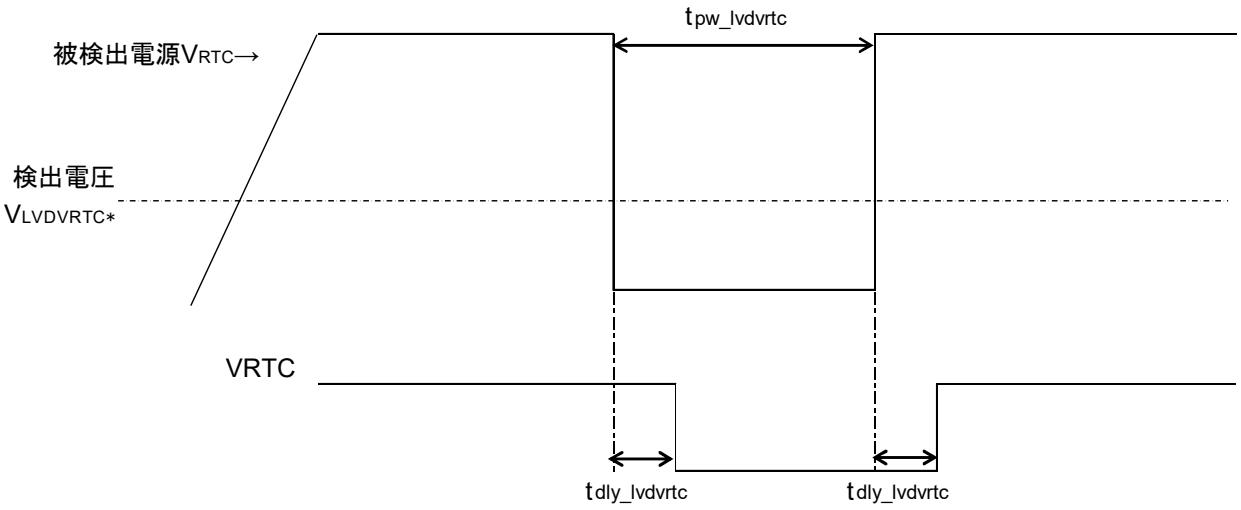


41. 7. 4　VRTC端子電圧検出特性

（T_A = －40～＋85℃，1.9 V≦V_{DD}注≦5.5 V，V_{SS} = 0 V）

項　目	略　号	LVDVRTC[1:0]	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	$V_{LVDVRTC0}$	00	立ち上がり	2.16	2.22	2.28	V
			立ち下がり	2.10	2.16	2.22	V
	$V_{LVDVRTC1}$	01	立ち上がり	2.36	2.43	2.50	V
			立ち下がり	2.30	2.37	2.44	V
	$V_{LVDVRTC2}$	10	立ち上がり	2.56	2.63	2.70	V
			立ち下がり	2.50	2.57	2.64	V
	$V_{LVDVRTC3}$	11	立ち上がり	2.76	2.84	2.92	V
			立ち下がり	2.70	2.78	2.86	V
最小パルス幅	$t_{pw_lvdvrtc}$	–	–	300			μs
検出遅延	$t_{dly_lvdvrtc}$	–	–			300	μs

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

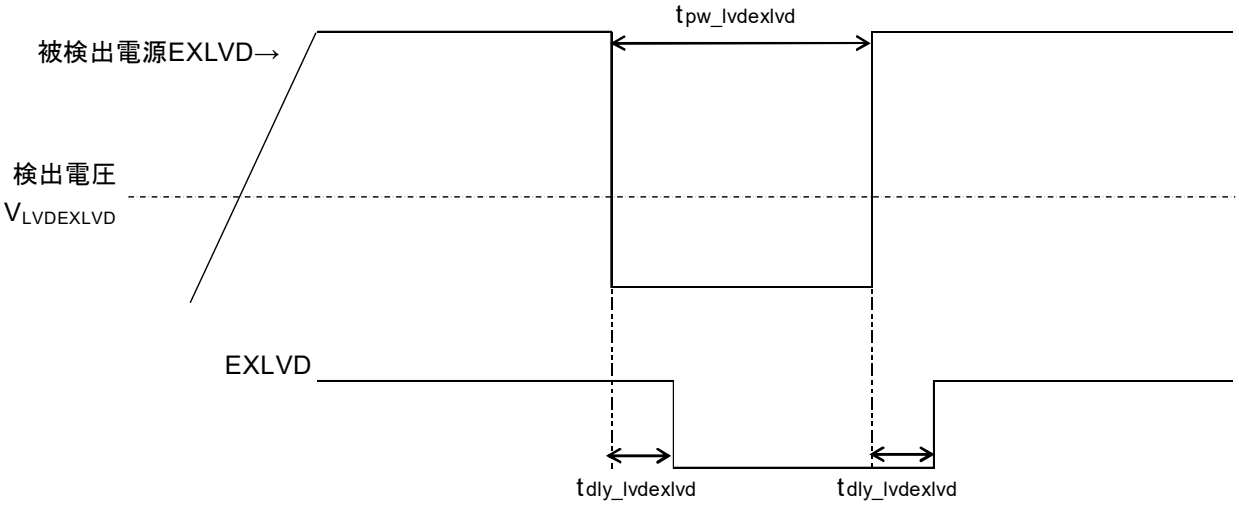


41. 7. 5　EXLVD端子電圧検出特性

（T_A = －40～＋85℃，1.9 V≦V_{DD}注≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	$V_{LVDEXLVD}$	立ち上がり	1.25	1.33	1.41	V
		立ち下がり	1.20	1.28	1.36	V
最小パルス幅	$t_{pw_lvdexlvd}$	–	300			μs
検出遅延	$t_{dly_lvdexlvd}$	–			300	μs
端子抵抗	r_{in_exlvd}	LVDEXLVDEN = 1		34		MΩ

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。



41. 8　LCD特性

41. 8. 1　外部抵抗分割方式

（1）スタティック・モード

（T_A = －40～＋85℃，V_{L4} (MIN.)≦EV_{DD0} = EV_{DD1}≦V_{DD}注≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
LCD駆動電圧	V_{L4}		2.0		V_{DD}注	V

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

（2）1/2バイアス，1/4バイアス

（T_A = －40～＋85℃，V_{L4} (MIN.)≦EV_{DD0} = EV_{DD1}≦V_{DD}注≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
LCD駆動電圧	V_{L4}		2.7		V_{DD}注	V

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

（3）1/3バイアス

（T_A = －40～＋85℃，V_{L4} (MIN.)≦EV_{DD0} = EV_{DD1}≦V_{DD}注≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
LCD駆動電圧	V_{L4}		2.5		V_{DD}注	V

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 8. 2　内部昇圧方式

（1）1/3バイアス

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
LCD出力電圧可変範囲	V_{L1}	C1-C4[注1] = 0.47 μF	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
			VLCD = 12H	1.60	1.70	1.78	V
			VLCD = 13H	1.65	1.75	1.83	V
ダブラ出力電圧	V_{L2}	C1-C4[注1] = 0.47 μF		2 V_{L1}－0.10	2 V_{L1}	2 V_{L1}	V
トリプラ出力電圧	V_{L4}	C1-C4[注1] = 0.47 μF		3 V_{L1}－0.15	3 V_{L1}	3 V_{L1}	V
基準電圧セットアップ時間[注2]	t_{VWAIT1}			5			ms
昇圧ウエイト時間[注3]	t_{VWAIT2}	C1-C4[注1] = 0.47 μF		500			ms

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：V_{L1}-GND間に接続するコンデンサです。

C3：V_{L2}-GND間に接続するコンデンサです。

C4：V_{L4}-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF±30%

2. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから），昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。

3. 昇圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

（2）1/4バイアス

（T_A = －40～＋85℃，1.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注4]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
LCD出力電圧可変範囲	V_{L1}	C1-C5[注1] = 0.47 μF	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
ダブラ出力電圧	V_{L2}	C1-C5[注1] = 0.47 μF		2 V_{L1}－0.08	2 V_{L1}	2 V_{L1}	V
トリプラ出力電圧	V_{L3}	C1-C5[注1] = 0.47 μF		3 V_{L1}－0.12	3 V_{L1}	3 V_{L1}	V
クアドロプラ出力電圧	V_{L4}	C1-C5[注1] = 0.47 μF		4 V_{L1}－0.16	4 V_{L1}	4 V_{L1}	V
基準電圧セットアップ時間[注2]	t_{VWAIT1}			5			ms
昇圧ウエイト時間[注3]	t_{VWAIT2}	C1-C5[注1] = 0.47 μF		500			ms

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：V_{L1}-GND間に接続するコンデンサです。

C3：V_{L2}-GND間に接続するコンデンサです。

C4：V_{L3}-GND間に接続するコンデンサです。

C5：V_{L4}-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF±30%

2. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0 = 01B）してから），昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。

3. 昇圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 8. 3　容量分割方式

（1）1/3バイアス

（T_A = －40～＋85℃，2.2 V≦EV_{DD0} = EV_{DD1}≦V_{DD}[注3]≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
V_{L4}電圧	V_{L4}	C1-C4 = 0.47 μF[注2]		V_{DD}[注3]		V
V_{L2}電圧	V_{L2}	C1-C4 = 0.47 μF[注2]	2/3 V_{L4}－0.1	2/3 V_{L4}	2/3 V_{L4}＋0.1	V
V_{L1}電圧	V_{L1}	C1-C4 = 0.47 μF[注2]	1/3 V_{L4}－0.1	1/3 V_{L4}	1/3 V_{L4}＋0.1	V
容量分割ウエイト時間[注1]	t_{VWAIT}		100			ms

注1. 降圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：V_{L1}-GND間に接続するコンデンサです。

C3：V_{L2}-GND間に接続するコンデンサです。

C4：V_{L4}-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF±30%

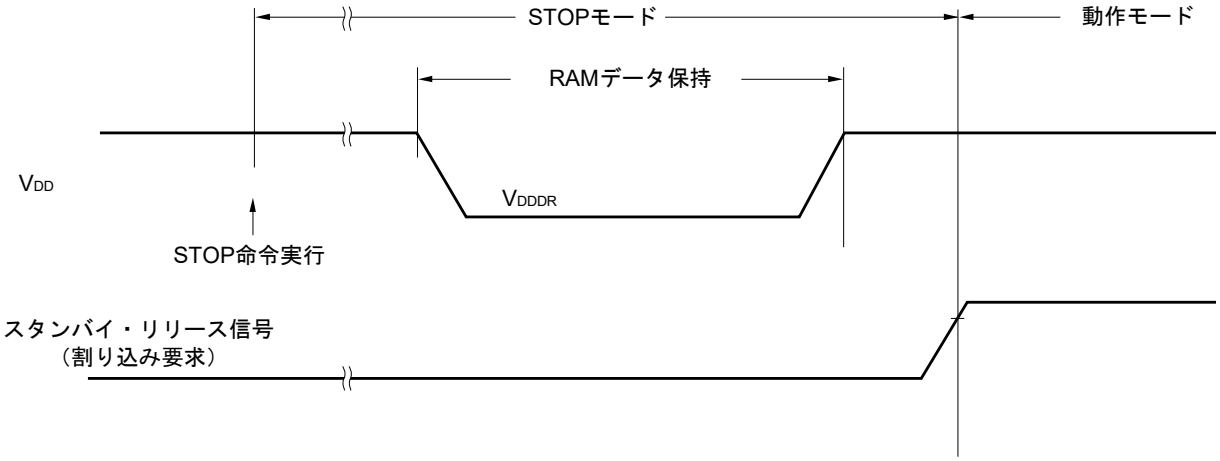
3. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 9　RAMデータ保持特性

（T_A = －40～＋85℃）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	V_{DDDR}		1.46注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。



41. 10　フラッシュ・メモリ・プログラミング特性

（T_A = －40～＋85℃，1.9 V≦V_{DD}注4≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
システム・クロック周波数	f_{CLK}	1.9 V≦V_{DD}注4≦5.5 V	1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C_{erwr}	保持年数：20年 T_A = 85℃	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年 T_A = 25℃		1,000,000		
		保持年数：5年 T_A = 85℃	100,000			
		保持年数：20年 T_A = 85℃	10,000			

注1.　消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

4.　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 11　専用フラッシュ・メモリ・プログラマ通信（UART）

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}注≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

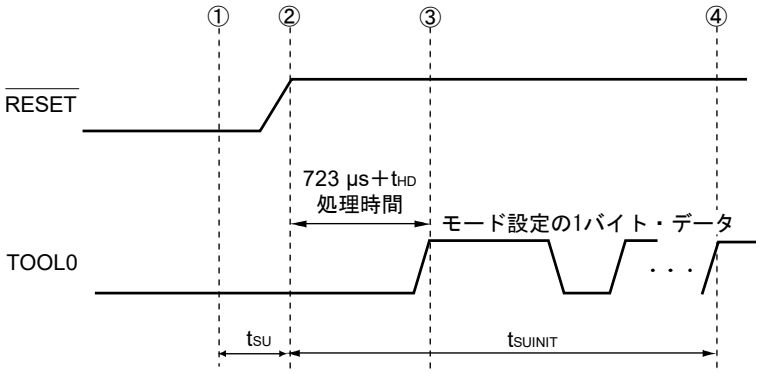
注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

41. 12　フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

（T_A = －40～＋85℃，1.9 V≦EV_{DD0} = EV_{DD1}≦V_{DD}注≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms

注　バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから，端子リセットを解除するまでの時間

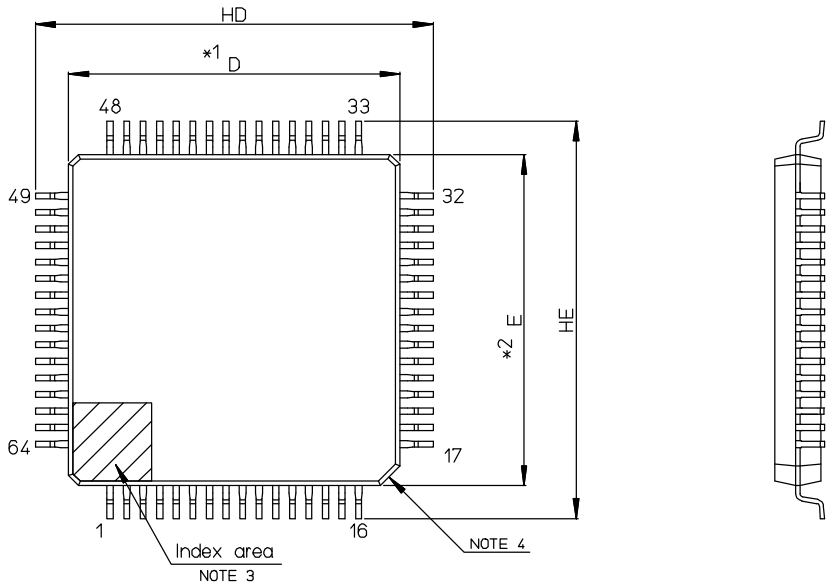
t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

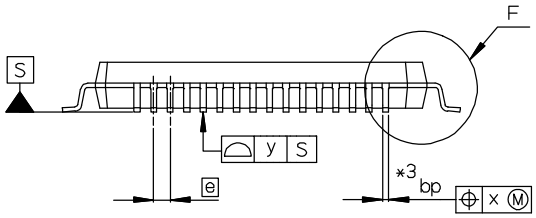
第42章　外 形 図

42. 1　64ピン製品

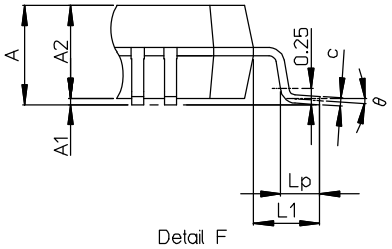
R5F10NLEDFB, R5F10NLGDFB, R5F11TLEDFB, R5F11TLGDFB

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	——	0.3g



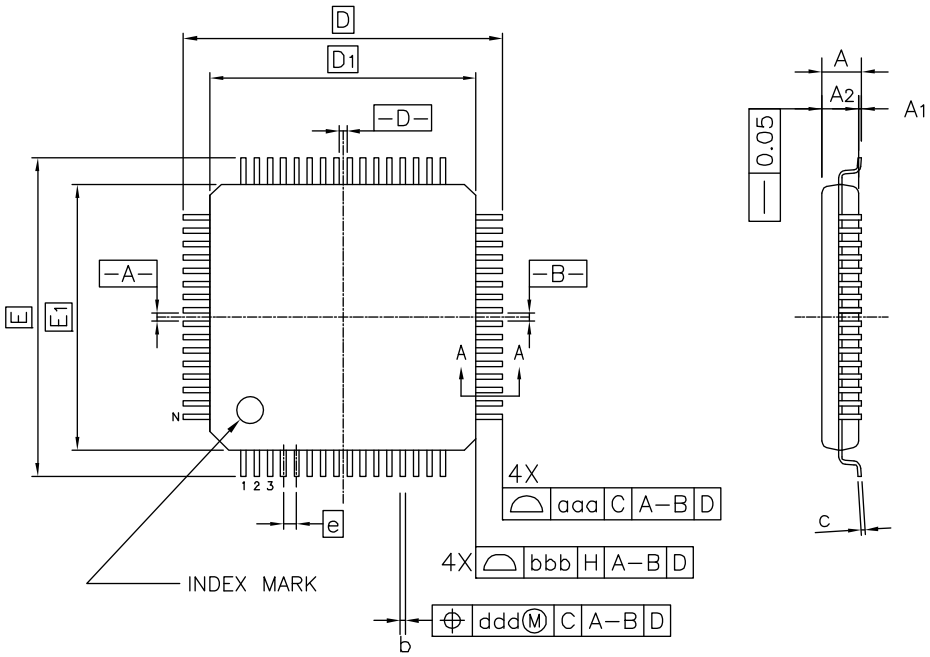


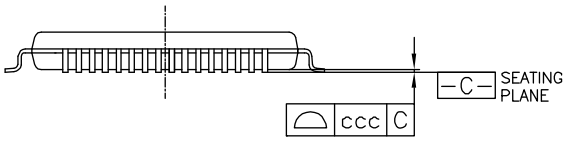
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.

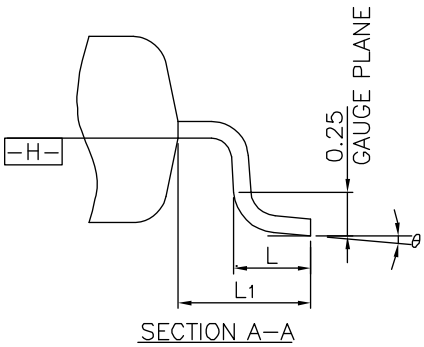


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A2	——	1.4	——
HD	11.8	12.0	12.2
HE	11.8	12.0	12.2
A	——	——	1.7
A1	0.05	——	0.15
bp	0.15	0.20	0.27
c	0.09	——	0.20
θ	0°	3.5°	8°
e	——	0.5	——
x	——	——	0.08
y	——	——	0.08
Lp	0.45	0.6	0.75
L1	——	1.0	——

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP064-10x10-0.50	PLQP0064KL-A	0.36







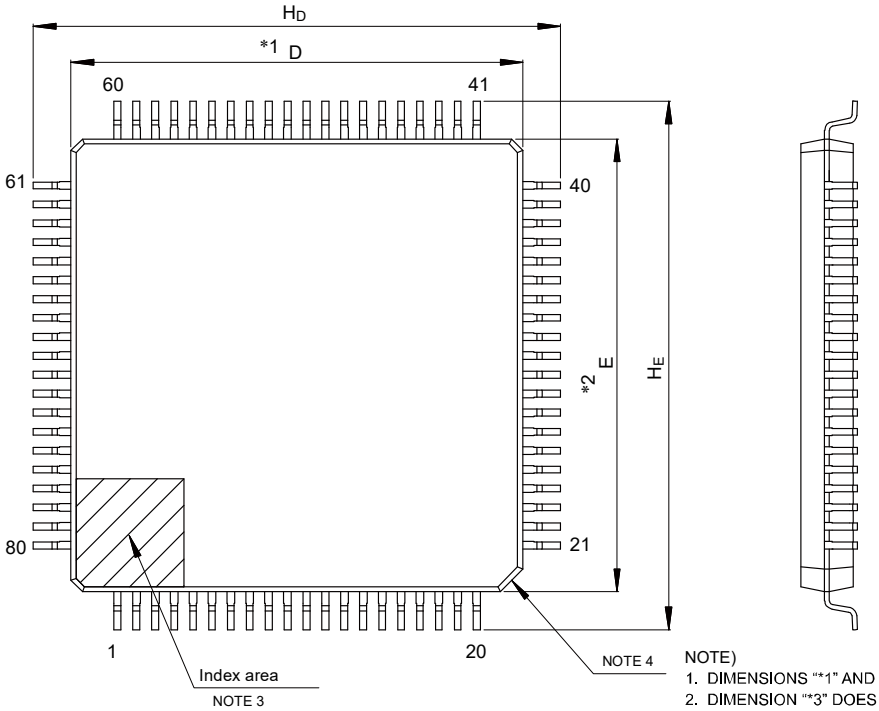
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	12.00	–
D_1	–	10.00	–
E	–	12.00	–
E_1	–	10.00	–
N	–	64	–
e	–	0.50	–
b	0.17	0.22	0.27
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.08
ddd	–	–	0.08

42. 2 80ピン製品

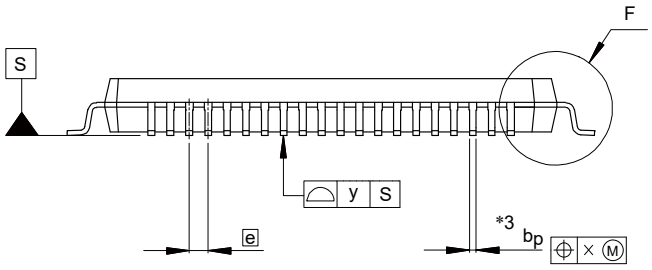
R5F10NMEDFB, R5F10NMGDFB, R5F10NMJDFB

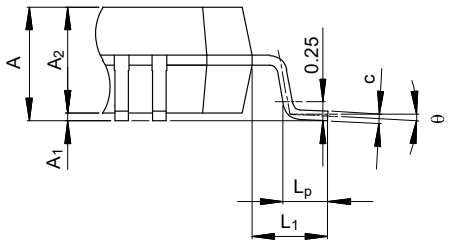
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5

Unit: mm



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



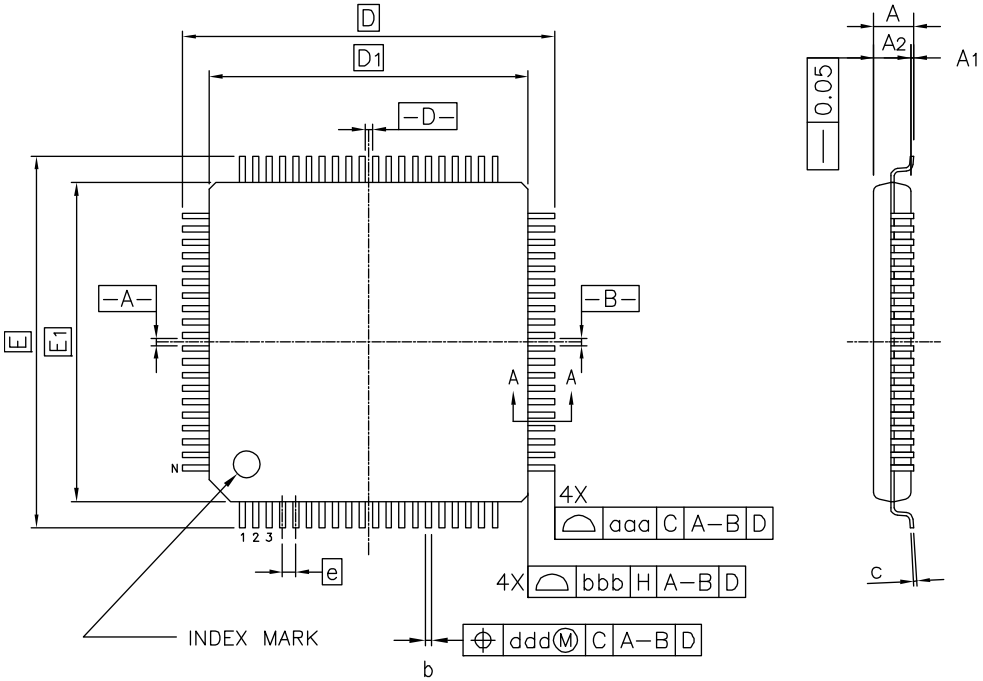


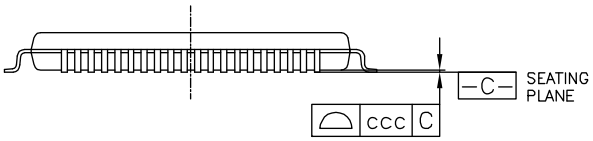
Detail F

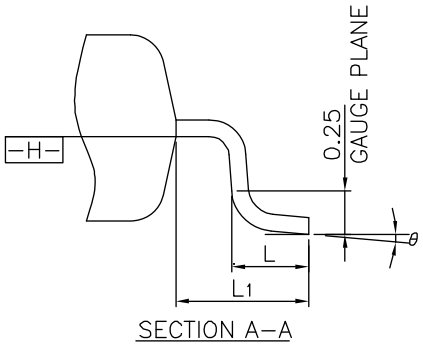
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A_2	—	1.4	—
H_D	13.8	14.0	14.2
H_E	13.8	14.0	14.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2017 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP80-12x12-0.50	PLQP0080KJ-A	0.49





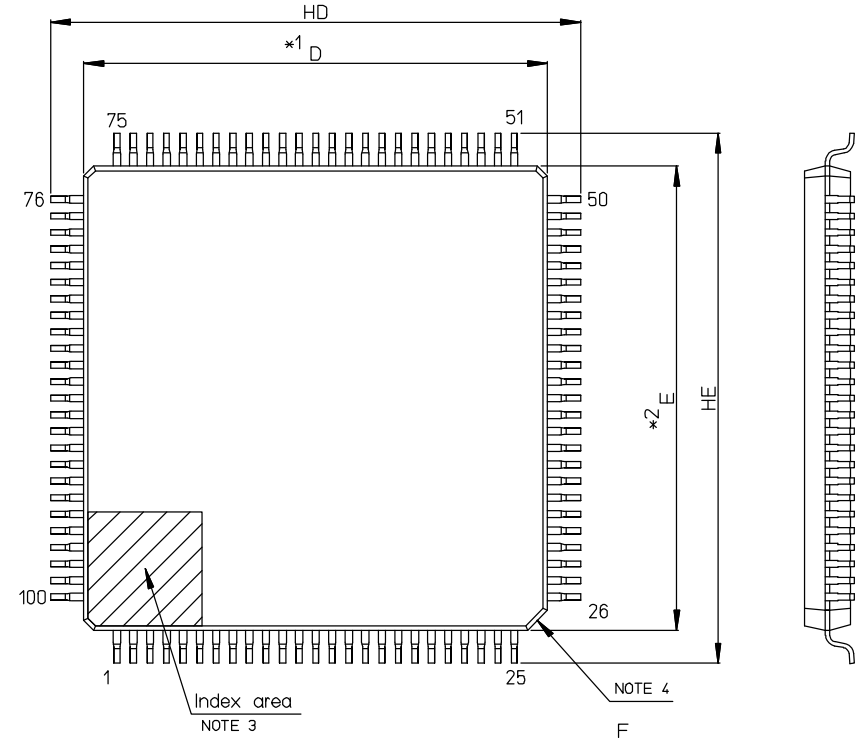


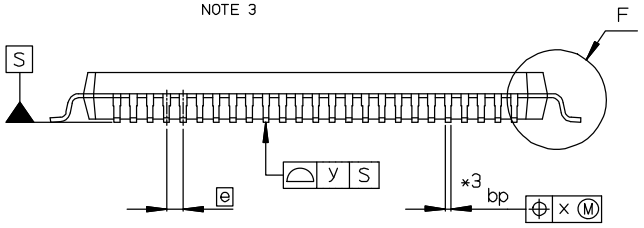
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A_1	0.05	—	0.15
A_2	1.35	1.40	1.45
D	—	14.00	—
D_1	—	12.00	—
E	—	14.00	—
E_1	—	12.00	—
N	—	80	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

42. 3 100ピン製品

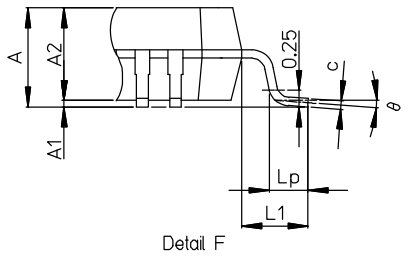
R5F10NPJDFB, R5F10NPGDFB

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	——	0.6g



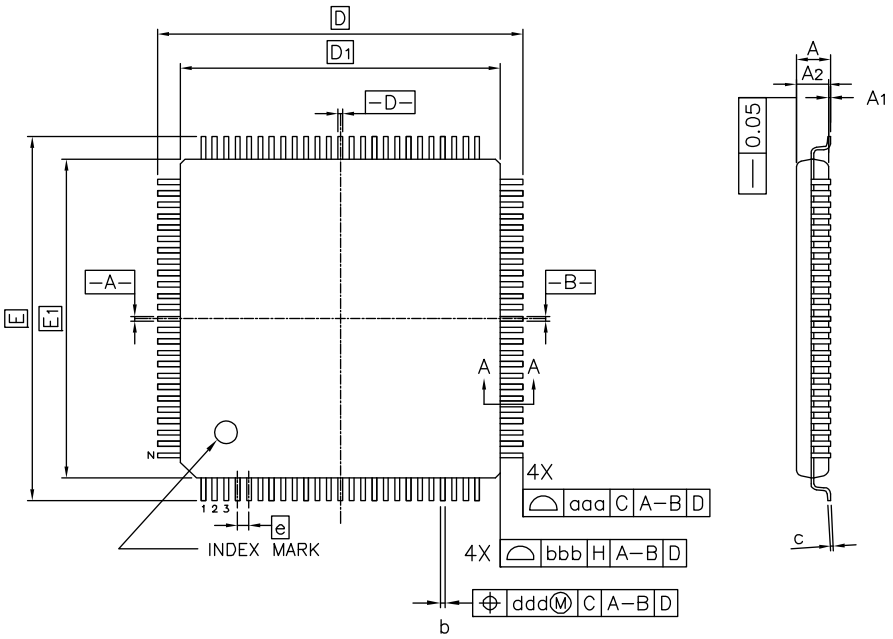


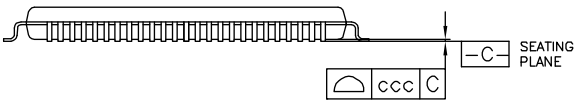
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.

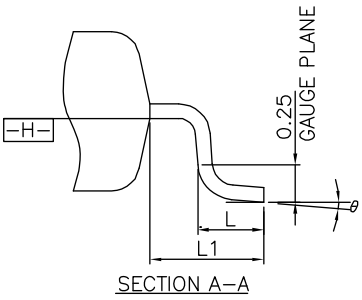


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A2	——	1.4	——
HD	15.8	16.0	16.2
HE	15.8	16.0	16.2
A	——	——	1.7
A1	0.05	——	0.15
bp	0.15	0.20	0.27
c	0.09	——	0.20
θ	0°	3.5°	8°
e	——	0.5	——
x	——	——	0.08
y	——	——	0.08
Lp	0.45	0.6	0.75
L1	——	1.0	——

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP100-14x14-0.50	PLQP0100KP-A	0.67







Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	16.00	–
D_1	–	14.00	–
E	–	16.00	–
E_1	–	14.00	–
N	–	100	–
e	–	0.50	–
b	0.17	0.22	0.27
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.08
ddd	–	–	0.08

付録A　改版履歴

A. 1　本版で改訂された主な箇所

箇　所	内　容	分類
第41章　電気的特性		
p.1128	41. 3. 2　電源電流特性の注1，注4を変更	(c)
p.1129	41. 3. 2　電源電流特性の注9を注5に変更	(c)
p.1130	41. 3. 2　電源電流特性の注5を注6に変更	(c)
p.1130	41. 3. 2　電源電流特性の注6を削除	(c)
p.1131	41. 3. 2　電源電流特性の注1，注5を変更、注6を削除	(c)
p.1131	41. 3. 2　電源電流特性の注5を追加	(c)
p.1131	41. 3. 2　電源電流特性の注5を注6に変更	(c)

備考　表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

A. 2　前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/10）

版　　数	内　　容	適用箇所
Rev.0.50	初版発行	
Rev.0.51	図 5－6 フラッシュ動作モードの状態遷移 の誤記を修正	第5章　オペレーション･ステート・コントロール
	周辺イネーブル・レジスタ 0(PER0)を周辺イネーブル・レジスタ 1(PER1)に修正 周辺イネーブル・レジスタ 2(PER2)を削除	第10章　周波数測定回路
	サブ・クロックの略号を f_{SXR} → f_{SX} に修正	
	10.3.2 サブシステム・クロック供給オプション制御レジスタ (OSMC)の誤記を修正	
	図 10－8 周波数測定回路クロック選択レジスタ (FMCKS)のフォーマットの誤記を修正	
	10.4.2 周波数測定回路の動作タイミング の誤記を修正	
Rev.1.00	製品追加（R5F10NPG）	全般
	1.1 特徴 を修正、注 1 を追加、注 2 を修正	第1章　概説
	1.2 型名一覧 を修正	
	1.3 端子接続図（Top View）の各図に、RL78/I1C(Top View)の記述追加	
	1.4 端子名称を修正	
	1.6 機能概要 を修正	
	2.1.1 64 ピン製品 を修正	第2章　端子機能
	2.1.2 80 ピン製品 を修正	
	2.1.3 100 ピン製品 を修正	
	2.2.1 製品別の搭載機能 に KR0-KR7 を追加	
	2.2.2 機能説明の備考を修正	
	図 2－11 端子タイプ 7-5-10 の端子ブロック図に注意を追加	
	図 2－13 端子タイプ 8-5-10 の端子ブロック図に注意を追加	
	図 2－14 端子タイプ 12-1-1 の端子ブロック図に注意、備考を追加	
	図 2－15 端子タイプ 12-1-2 の端子ブロック図に注意、備考を追加	
	図 3－1 メモリ・マップ（R5F10NLE, R5F10NME）の注を修正	第3章　CPUアーキテクチャ
	図 3－2 メモリ・マップ（R5F10NLG, R5F10NMG, R5F10NPG）のタイトルと注を修正	
	図 3－3 メモリ・マップ（R5F10NMJ, R5F10NPJ）の注を修正	
	表 3－1 フラッシュ・メモリのアドレス値とブロック番号の対応の備考を修正	
	表 3－2 内部 ROM 容量を修正	
	表 3－3 ベクタ・テーブル を修正	
	3.1.2 ミラー領域を修正	
	表 3－4 内部 RAM 容量、注意を修正	
	図 3－8 スタック・ポインタの構成の注意を修正	
	表 3－5 SFR 一覧 を修正、注を追加	
	表 3－6 拡張 SFR（2nd SFR）一覧 を修正、注を追加	
	表 4－2 ANI0/P21-ANI5/P25 端子機能の設定のタイトルを修正	第4章　ポート機能
	4.2.6 ポート 5 を修正	
	図 4－5 ポート出力モード・レジスタのフォーマット を修正	
	図 4－9 LCD ポート・ファンクション・レジスタ 0-5（PFSEG0-PFSEG5）のフォーマット、注を修正	
	表 4－6 端子機能使用時のレジスタ，出力ラッチの設定例 を修正	

（2/10）

版　数	内　　容	適用箇所
Rev.1.00	表 5－2 各フラッシュ動作モードの特長、注を修正	第5章 オペレーション･ステート・コントロール
	5.3 フラッシュ動作モードの初期設定を修正	
	図 5－6 フラッシュ動作モードの状態遷移を修正、注 7 を追加	
	5.5.1 HS (高速メイン)モードの詳細を修正	
	6.1 クロック発生回路の機能、注 を修正	第6章 クロック発生回路
	表 6－1 クロック発生回路の構成の注を修正	
	図 6－1 クロック発生回路のブロック図 を修正	
	図 6－3 システム・クロック制御レジスタ(CKC)のフォーマット、注を修正	
	図 6－4 クロック動作ステータス制御レジスタ(CSC)のフォーマットの注、注意を修正	
	6.3.10 サブシステム・クロック供給オプション制御レジスタ(OSMC) を修正	
	図 6－18 メイン・クロック制御レジスタ(MCKC)のフォーマット を修正、注を追加、備考を修正	
	6.6.2 X1 発振回路の設定例に注意を追加	
	図 6－24 CPU クロック状態移行図 の注を修正	
	表 6－4 CPU クロックの移行についてを修正	
	6.6.8 クロック発振停止前の条件を修正	
	表 6－9 クロック発振停止前の条件とフラグ設定 を修正	
	図 7－1 高速オンチップ・オシレータ・クロック周波数補正機能のブロック図 を修正	第7章 高速オンチップ･オシレータ・クロック周波数補正機能
	表 7－3 高速オンチップ・オシレータ入力周波数と補正周期を修正	
	図 8－15 タイマ・モード・レジスタ mn（TMRmn）のフォーマットを修正	第8章 タイマ・アレイ・ユニット
	図 8－41 TO0n ビットの一括操作による TO0n の端子状態の注意を削除	
	8.9.1 ワンショット・パルス出力機能としての動作の注意を修正	
	表 9－1 RTC の仕様 を修正	第9章 独立電源RTC
	図 9－1 RTC のブロック図 を修正	
	9.2 独立電源 RTC を制御するレジスタ を修正	
	図 9－2 周辺イネーブル・レジスタ 2（PER2）のフォーマット に注意を追加	
	9.2.9 年カウンタ（RYRCNT） に説明を追加	
	図 9－14 年カウンタ（RYRCNT）のフォーマット を修正	
	9.2.16 年アラームレジスタ（RYRAR）/バイナリカウンタ 2 アラーム許可レジスタ（BCNT2AER）(1) カレンダカウントモード時 に説明を追加	
	9.2.16 年アラームレジスタ（RYRAR）/バイナリカウンタ 2 アラーム許可レジスタ（BCNT2AER）(2) バイナリカウントモード時 に説明を追加	
	図 9－31 RTC コントロールレジスタ 1（RCR1）のフォーマット に注意を追加	
	図 9－32 RTC コントロールレジスタ 2（RCR2）のフォーマット（カレンダカウントモード時） に注意を追加	
	図 9－33 RTC コントロールレジスタ 2（RCR2）のフォーマット（バイナリカウントモード時）に注意を追加	
	図 9－34 RTC コントロールレジスタ 3（RCR3）のフォーマット に注意を追加	
	図 9－35 RTC コントロールレジスタ 4（RCR4）のフォーマット に注意を追加	
	図 9－39 時間キャプチャ制御レジスタ y（RTCCRy）（y=0～2）のフォーマットを修正	
	9.2.32 サブ・クロック動作モード制御レジスタ（SCMC） の注意を修正	
	図 9－50 サブ・クロック動作モード制御レジスタ（SCMC）のフォーマット に注と注意 1～7 を追加	
	9.2.33 サブ・クロック動作ステータス制御レジスタ（SCSC） の注意を修正	

（3/10）

版　数	内　　容	適用箇所
Rev.1.00	図 9－51 サブ・クロック動作ステータス制御レジスタ（SCSC）のフォーマットを修正、注を追加	第9章　独立電源RTC
	9.2.34 RTC パワーオン・リセットステータスレジスタ（RTCPORSR）を修正	
	図 9－52 RTC パワーオン・リセット・ステータス・レジスタ（RTCPORSR）のフォーマット を修正	
	9.2.35 RTCICn 端子(n=0 ～ 2)用ノイズ・フィルタ許可レジスタ（RTCICNFEN） の注意を修正	
	図 9－53 RTCICn 端子(n=0～2)用ノイズ・フィルタ許可レジスタ（RTCICNFEN）のフォーマット に注意を追加	
	9.3.1 電源投入後のレジスタの初期設定概要 に備考を追加	
	図 9－56 クロック設定手順 を修正	
	図 9－59 時刻読み出し手順 を修正	
	9.5.1 割り込み処理とイベントリンクの関係 の注を修正	
	9.6.4 レジスタ設定後の低消費電力モード移行について を修正	
	9.6.5 レジスタの書き込み/ 読み出し時の注意事項 を修正	
	9.6.8 タンパ検出機能の注意事項 を追加	
	10.3.1 周辺イネーブル・レジスタ 1（PER1） を修正	第10章　周波数測定回路
	10.3.2 サブシステム・クロック供給オプション制御レジスタ (OSMC) を修正	
	図 10－10 周波数測定回路の動作タイミング を修正	
	図 11－5 12 ビット・インターバル・タイマ・コントロール・レジスタ(ITMC)のフォーマットの注意を修正	第11章　12ビット・インターバル・タイマ
	13.5 クロック出力／ブザー出力制御回路の注意事項を修正	第13章　クロック出力／ブザー出力制御回路
	図 15－1 A/D コンバータのブロック図 を修正	第15章　A/Dコンバータ
	図 15－3 周辺リセット制御レジスタ 0（PRR0）のフォーマット を修正	
	図 15－5 A/D 電圧コンパレータ使用時のタイミング・チャートを修正	
	図 15－7 A/D コンバータ・モード・レジスタ 1（ADM1）のフォーマット、注意 を修正	
	15.8 SNOOZE モード機能 の注意、備考を修正	
	図 16－4 温度センサ・コントロール・テスト・レジスタ（TMPCTL）のフォーマットを修正	第16章　温度センサ2
	17.1 24 ビットΔΣA/D コンバータの機能 に注意を追加	第17章　24ビットΔΣA/Dコンバータ
	17.2.8 ΔΣA/D コンバータ位相コントロール・レジスタ n（DSADPHCRn）（n = 0, 1, 2, 3） を修正	
	17. 2. 11 周辺イネーブル・レジスタ 1（PER1）を修正	
	図 17－18 周辺イネーブル・レジスタ 1（PER1）のフォーマット、注意を修正	
	図 18－1 シリアル・アレイ・ユニット 0 のブロック図を修正	第18章　シリアル・アレイ・ユニット
	図 18－2 シリアル・アレイ・ユニット 1 のブロック図を修正	
	18. 2. 1 シフト・レジスタに注を追加	
	図 18－9 シリアル・データ・レジスタ mn（SDRmn）のフォーマットの注、注意を修正	
	図 18－16 シリアル出力レジスタ m（SOm）のフォーマット、注意を修正	
	図 18－18 送信データのレベル反転例を修正	
	図 18－22 ノイズ・フィルタ許可レジスタ 0（NFEN0）のフォーマットの注を修正	
	図 18－25 チャネルごとに動作停止とする場合の各レジスタの設定を修正、注を削除	
	図 18－26 3 線シリアル I/O（CSI00, CSI10, CSI30）のマスタ送信時のレジスタ設定内容例を修正	

（4/10）

版　　数	内　　容	適用箇所
Rev.1.00	図 18－34 3 線シリアル I/O（CSI00, CSI10, CSI30）のマスタ受信時のレジスタ設定内容例を修正	第18章　シリアル・アレイ・ユニット
	図 18－42 3 線シリアル I/O（CSI00, CSI10, CSI30）のマスタ送受信時のレジスタ設定内容例を修正	
	図 18－50 3 線シリアル I/O（CSI00, CSI10, CSI30）のスレーブ送信時のレジスタ設定内容例を修正、注を削除	
	図 18－58 3 線シリアル I/O（CSI00, CSI10, CSI30）のスレーブ受信時のレジスタ設定内容例を修正	
	図 18－64 3 線シリアル I/O（CSI00, CSI10, CSI30）のスレーブ送受信時のレジスタ設定内容例を修正	
	18.5.7 SNOOZE モード機能、注意を修正	
	図 18－72 SNOOZE モード動作（1 回起動）時のタイミング・チャート（タイプ 1：DAPm0 =0, CKPm0 = 0）を修正	
	図 18－73 SNOOZE モード動作（1 回起動）時のフロー・チャートを修正	
	図 18－74 SNOOZE モード動作（連続起動）時のタイミング・チャート（タイプ 1：DAPm0 =0, CKPm0 = 0）を修正	
	図 18－75 SNOOZE モード動作（連続起動）時のフロー・チャートを修正	
	図 18－77 UART（UART0-UART3）の UART 送信時のレジスタ設定内容例、注、備考を修正	
	図 18－85 UART（UART0-UART3）の UART 受信時のレジスタ設定内容例、注を修正、注を削除	
	18.6.3 SNOOZE モード機能に注意を追加	
	図 18－91 SNOOZE モード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャートを修正	
	図 18－92 SNOOZE モード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャートを修正	
	図 18－93 SNOOZE モード動作（EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0）時のフロー・チャートを修正	
	図 18－94 SNOOZE モード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャートを修正	
	図 18－95 SNOOZE モード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャートを修正	
	図 18－100 LIN 送信のフロー・チャートを修正	
	図 18－101 LIN の受信操作を修正	
	図 18－104 簡易 I^2C（IIC00, IIC10, IIC30）のアドレス・フィールド送信時のレジスタ設定内容例を修正、注を削除	
	図 18－111 簡易 I^2C（IIC00, IIC10, IIC30）のデータ受信時のレジスタ設定内容例の注を削除	
	図 19－5 周辺イネーブル・レジスタ 0（PER0）のフォーマット を修正	第19章　シリアル・インタフェースIICA
	19.3.7 IICA ロウ・レベル幅設定レジスタ n（IICWLn）に説明を追加	
	表 21－1 製品ごとの LCD 表示機能端子に製品名を追加	第21章　LCDコントローラ／ドライバ
	図 21－1 LCD コントローラ／ドライバのブロック図 を修正	
	図 21－3 LCD モード・レジスタ 1（LCDM1）のフォーマット を修正	
	21.3.3 サブシステム・クロック供給オプション制御レジスタ（OSMC）を修正	
	図 21－10 LCD ポート・ファンクション・レジスタ 0-5 のフォーマット、注を修正	
	21.5.2 点滅表示（A パターン領域と B パターン領域のデータを交互に表示） を修正	

（5/10）

版　　数	内　　容	適用箇所
Rev.1.00	図 21－14 A パターン表示から点滅表示への切り替え動作 を修正	第21章　LCDコントローラ／ドライバ
	図 21－15 点滅表示から A パターン表示への切り替え動作 を修正	
	第 22 章 データ・トランスファ・コントローラ（DTC）に説明を追加	第22章　データ・トランスファ・コントローラ（DTC）
	表 22－1 DTC の仕様 の備考を修正	
	図 22－2 DTCBAR レジスタに FBH を設定したときのメモリマップ例（R5F10NPGDFB, R5F10NMGDFB, R5F10NLGDFB）、注意を修正	
	図 22－3 コントロールデータの配置を修正、備考を追加	
	表 22－4 コントロールデータの先頭アドレスを追加	
	図 22－4 コントロールデータの先頭アドレスとベクタテーブルを追加	
	図 22－5 周辺イネーブル・レジスタ 1（PER1）のフォーマット を修正	
	22.3.11 DTC 起動許可レジスタ i（DTCENi）（i = 0～4） を修正	
	22.4.2 ノーマルモード（1）ノーマルモードの使用例 1：A/D 変換結果の連続取り込みを修正	
	図 22－16 ノーマルモードの使用例 1：A/D 変換結果の連続取り込みを修正	
	22.5.2 DTC コントロールデータ領域と DTC ベクタテーブル領域の配置を修正	
	22.5.8 スタンバイ・モード時の動作の注を修正	
	表 23－2 ELSELRn レジスタ(n = 00～21)と周辺機能の対応 を修正	第23章　イベント・リンク・コントローラ（ELC）
	図 23－3 タイマ入力選択レジスタ 0（TIS0）のフォーマット を修正	
	図 23－4 A/D コンバータ・モード・レジスタ（ADM1）のフォーマット を修正	
	表 24－1 割り込み要因一覧、注を修正	第24章　割り込み機能
	図 24－1 割り込み機能の基本構成、備考 を修正	
	表 24－2 割り込み制御レジスタの構成 を修正	
	図 24－2 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマットを修正	
	図 24－3 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマットを修正	
	24.3.3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）を修正	
	図 24－4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマットを修正	
	24.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）を修正	
	図 24－5 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）のフォーマットを修正	
	24.4.4 除算命令中の割り込み処理を追加	
	24.4.5 割り込み要求の保留に説明を追加	
	図 25－3 キー・リターン・モード・レジスタ 0 (KRM0) のフォーマット の注意 2 を修正	第25章　キー割り込み機能
	26.1 スタンバイ機能 (3) SNOOZE モード を修正	第26章　スタンバイ機能
	表 26－1 HALT モード時の動作状態 を修正、備考に説明を追加	
	26.3.2 STOP モード (1) STOP モードの設定および動作状態 を修正	
	表 26－2 STOP モード時の動作状態を修正、備考に説明を追加	
	表 26－3 SNOOZE モード時の動作状態を修正、備考に説明を追加	
	第 27 章 リセット機能 に注を追加	第27章　リセット機能

（6/10）

版　数	内　　容	適用箇所
Rev.1.00	図 27－3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAM パリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミングの注を削除	第27章　リセット機能
	表 27－1 リセット期間中の動作状態を修正、備考に説明を追加	
	27.3.3 RTC パワーオン・リセット・ステータス・レジスタ（RTCPORSR） を修正	
	図 27－7 RTC パワーオン・リセット・ステータス・レジスタ（RTCPORSR）のフォーマット を修正	
	図 28－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングの注を修正	第28章　パワーオン・リセット回路
	29.1 電圧検出回路の機能を修正	第29章　電圧検出回路
	図 29－2 V_{DD} 端子電圧検出回路のブロック図 を修正	
	図 29－3 VBAT 端子電圧検出回路のブロック図 を修正	
	図 29－4 VRTC 端子電圧検出回路のブロック図 を修正	
	図 29－5 EXLVD 端子電圧検出回路のブロック図 を修正	
	29.3 電圧検出回路を制御するレジスタ を修正	
	図 29－7 電圧検出レベル・レジスタ(LVIS)のフォーマット を修正	
	図 29－11 VBAT 端子電圧検出制御レジスタ(LVDVBAT)のフォーマットの注を修正	
	図 29－15 EXLVD 端子電圧検出制御レジスタ(LVDEXLVD)のフォーマット を修正	
	29.4.2 割り込みモードとして使用する場合の設定を修正	
	図 29－23 VRTC 端子電圧検出の設定手順 を修正	
	29.6 電圧検出回路の注意事項 (5) 給電端子遮断時について を追加	
	29.6 電圧検出回路の注意事項 (6) VDDOUT 遮断時について を追加	
	表 30－1 バッテリ・バックアップ中の周辺回路動作状態を修正、削除、注を追加	第30章　バッテリ・バックアップ機能
	図 30－1 バッテリ・バックアップ機能の構成図 を修正	
	30.2.1 バックアップ電源切り替えコントロール・レジスタ 0（BUPCTL0）を修正	
	図 30－2 バックアップ電源切り替えコントロール・レジスタ 0（BUPCTL0）のフォーマット、注意、備考を修正、注を追加	
	30.3.1 バッテリ・バックアップ機能を修正	
	図 30－7 バッテリ・バックアップ機能動作設定手順を修正	
	図 30－8 バッテリ・バックアップ機能動作停止設定手順を修正	
	30.3.2 バッテリ・バックアップ機能の使用方法を追加	
	30.4 使用上の注意事項 に説明を追加	
	図 31－1 発振停止検出回路のブロック図 を修正	第31章　発振停止検出回路
	31.3.3 サブシステム・クロック供給オプション制御レジスタ（OSMC）を修正	
	図 31－4 サブシステム・クロック供給オプション制御レジスタ（OSMC）のフォーマット を修正	
	図 32－1 フラッシュ・メモリ CRC 制御レジスタ（CRC0CTL）のフォーマットの注を修正	第32章　安全機能
	図 32－10 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマットを修正	
	図 32－11 不正アクセス検出空間 を修正	
	35.1.1 ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）（3）000C2H/010C2H に説明を追加	第35章　オプション･バイト
	第 36 章　フラッシュ・メモリを修正	第36章　フラッシュ・メモリ
	表 36－5 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧を修正	
	表 36－8 シグネチャ・データ一覧を修正	

（7/10）

版　　数	内　　容	適用箇所
Rev.1.00	36.6 セルフ・プログラミングの注意を修正	第36章　フラッシュ・メモリ
	図 36－11 フラッシュ・シールド・ウインドウの設定例を修正	
	図 37－1 E1 オンチップデバッキングエミュレータとの接続例（バッテリバックアップ機能を使用する場合）と注を修正	第37章　オンチップ・デバッグ機能
	図 37－3 デバッグ用モニタ・プログラムが配置されるメモリ空間の注を修正	
	第 41 章 電気的特性のターゲットを削除	第41章　電気的特性
	41.1 絶対最大定格 を修正	
	41.2.2 オンチップ・オシレータ特性 に記述を追加	
	41.3.2 電源電流特性、注を修正	
	41.4 AC 特性 を修正	
	41.4 AC 特性 にキー割り込み入力タイミング を追加	
	41. 6. 2 24 ビットΔΣA/D コンバータ特性を修正	
	41.7.1 電源切り替え特性を修正	
	41.7.2 V_{DD} 端子電圧検出特性を修正、図を追加	
	41.7.3 VBAT 端子電圧検出特性を修正、図を追加	
	41.7.4 VRTC 端子電圧検出特性を修正、図を追加	
	41.7.5 EXLVD 端子電圧検出特性を修正、図を追加	
	41.9 RAM データ保持特性を修正	
	42.3 100 ピン製品を修正	第42章　外 形 図
Rev.2.00	1. 6 機能概要　表を修正	第1章　概説
	6. 1 クロック発生回路の機能　(2) サブシステム・クロック　① XT1 発振回路　注意を追加	第6章　クロック発生回路
	図 6－1 クロック発生回路のブロック図　を修正，注 3 を追加	
	図 6－2 クロック動作モード制御レジスタ(CMC)のフォーマット　注意 2 を修正	
	6. 3. 4 サブ・クロック動作モード制御レジスタ(SCMC)　説明を追加	
	図 6－5 サブ・クロック動作モード制御レジスタ(SCMC)のフォーマット　注意 7 を追加	
	6. 3. 5 サブ・クロック動作ステータス制御レジスタ(SCSC)　説明を追加	
	6. 4. 2 XT1 発振回路　説明を追加	
	図 6－22 発振子の接続の悪い例 備考を修正	
	6. 4. 5 低速オンチップ・オシレータ　説明を修正	
	6. 6. 1 高速オンチップ・オシレータの設定例　アドレスおよび初期値を修正	
	6. 6. 3 XT1 発振回路の設定例　説明および注意を修正	
	表9－1 RTCの仕様　注を追加	第9章　独立電源RTC
	9. 2 独立電源 RTC を制御するレジスタ　説明を追加	
	表 9－3 RTC 関連レジスター覧を追加	
	図 9－2 周辺イネーブル・レジスタ 2（PER2）のフォーマット　アドレスを修正	
	図 9－31 RTC コントロールレジスタ 1（RCR1）のフォーマット　注を追加　および注意を修正	
	図 9－32 RTC コントロールレジスタ 2（RCR2）のフォーマット（カレンダカウントモード時）　説明，注，注 1 を追加　および注 2 を修正	
	図 9－33 RTC コントロールレジスタ 2（RCR2）のフォーマット（バイナリカウントモード時）　説明，注，注 1 を追加，注 2 を修正	
	図 9－49 RTC ステータスレジスタ（RSR）のフォーマット　説明を修正，注意 1, 2, 3 を追加	
	9. 2. 32 サブ・クロック動作モード制御レジスタ（SCMC）説明を追加	

（8/10）

版　数	内　　容	適用箇所
Rev.2.00	9. 2. 33 サブ・クロック動作ステータス制御レジスタ（SCSC）説明を追加	第9章　独立電源RTC
	図 9－51 サブ・クロック動作ステータス制御レジスタ（SCSC）のフォーマット を変更	
	9. 2. 34 RTC パワーオン・リセットステータスレジスタ（RTCPORSR）　説明 および 注意 2 を追加	
	図 9－56 クロック設定手順 注 4 を追加	
	図 9－57 時刻設定手順 注 2 を追加	
	図 9－58 30 秒調整手順 注を追加	
	図 9－59 時刻読み出し手順 注を追加	
	図 9－60 アラーム機能の使用方法 注意 1,2 を追加	
	9. 3. 7 アラーム機能　説明を修正	
	図 9－65 アラーム割り込み（ALM）のタイミングチャート 注意 1, 2 を追加	
	9. 4 割り込み要因　(2) 周期割り込み（PRD）　注意 1, 2 を追加	
	9. 6. 4 レジスタ設定後の低消費電力モード移行について　を削除	
	9. 6. 4 レジスタの書き込み/ 読み出し時の注意事項　説明を修正	
	9. 6. 6 独立電源 RTC の停止手順　説明を修正	
	図 9－67 停止設定手順　を修正	
	表 14－3 ウォッチドッグ・タイマのオーバフロー時間の設定　注を追加	第14章　ウォッチドッグ・タイマ
	表 14－4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定　注を追加	
	表 17－1 24 ビットΔΣA/D コンバータの構成　を修正	第17章　24 ビットΔΣA/D コンバータ
	17. 2. 7 ΔΣA/D コンバータ割り込みステータス・レジスタ（DSADISR）説明を修正	
	17. 4. 6 入力範囲　を追加	
	図 18－99 LIN の送信操作　を修正	第18章　シリアル・アレイ・ユニット
	図 18－100 LIN 送信のフロー・チャート　を修正	
	図 18－101 LIN の受信操作　を修正	
	図 18－102 LIN 受信のフロー・チャート　を修正	
	表 22－1 DTC の仕様　を修正	第22章　データ・トランスファ・コントローラ（DTC）
	26. 1 スタンバイ機能　注意 5 を修正	第26章　スタンバイ機能
	図 26－6 SNOOZE モードの割り込み要求が発生しない場合　注 4 を追加	
	第 27 章 リセット機能　説明を修正	第27章　リセット機能
	27. 3. 3 RTC パワーオン・リセット・ステータス・レジスタ（RTCPORSR）　説明, 注意 2 を追加	
	図 29－8 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット　を修正	第29章　電圧検出回路
	図 29－21 VDD 端子電圧検出の設定手順　注 2 を追加	
	図 29－22 VBAT 端子電圧検出の設定手順　注 2 を追加	
	図 29－23 VRTC 端子電圧検出の設定手順　注 2 を追加	
	図 29－24 EXLVD 端子電圧検出の設定手順　注 2 を追加	
	図 29－29 LVD 検出電圧の設定変更手順（V_{DD} 端子）　注 2 を追加	
	図 35－1 ユーザ・オプション・バイト（000C0H/010C0H）のフォーマット　注 3 を追加	第35章　オプション･バイト
	図 36－4 外部デバイスとの通信　を修正	第36章　フラッシュ・メモリ
	39. 4. 4 乗算動作　注を追加	第39章　32 ビット積和演算回路
	41. 3. 1 端子特性 を修正	第41章　電気的特性
	41. 6. 1 A/D コンバータ特性（1）基準電圧 $_{(+)}$ = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧 $_{(-)}$ = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2-ANI5，内部基準電圧 の表を修正	

（9/10）

版　　数	内　　容	適用箇所
Rev.2.00	41. 6. 1 A/D コンバータ特性（2）基準電圧 $_{(+)}$ = V_{DD}（ADREFP1 = 0, ADREFP0 = 0），基準電圧 $_{(-)}$ = V_{SS}（ADREFM = 0）選択時，変換対象：ANI0-ANI5，内部基準電圧 の表を修正	第41章　電気的特性
	41. 6. 2 24 ビットΔΣA/D コンバータ特性　（1）基準電圧　を修正　および　注 2 を追加	
	41. 6. 2 24 ビットΔΣA/D コンバータ特性　（2）アナログ入力　を修正	
	41. 6. 2 24 ビットΔΣA/D コンバータ特性　（4）2 kHz サンプリング・モード　を修正	
Rev.2.10	AES 無製品（R5F11TLG, R5F11TLE）を追加	全般
	PG-FP6 を追加，FL-PR5 を削除，E2, E2 Lite, E20 を追加	
	VRTC 電源の説明を追加	
	XT1 発振の説明を追加	
	1. 1 特 徴　説明を追加	第1章　概 説
	1. 1 特 徴　注 2 を変更	
	図 1－1 RL78/I1C の型名とメモリ・サイズ，パッケージ　を変更	
	表 1－1 発注型名一覧　を変更	
	1. 6 機能概要　100pin の注 1 を削除	
	1. 6 機能概要　を変更	
	表 4－1 ポートの構成　を変更	第4章　ポート機能
	表 6－2 クロック発振停止前の条件とレジスタの設定　を変更	第6章　クロック発生回路
	表 6－3 CPU クロックの移行と SFR レジスタの設定例 を変更	
	第 12 章 8 ビット・インターバル・タイマ　説明を変更	第12章　8ビット・インターバル・タイマ
	図 15－8 A/D コンバータ・モード・レジスタ 2（ADM2）のフォーマット　を変更	第15章　A/Dコンバータ
	図 15－33 温度センサ出力電圧／内部基準電圧を選択時の設定　を変更	
	図 17－20 周辺クロック制御レジスタ（PCKC）のフォーマット　を変更	第17章　24ビットΔΣA/Dコンバータ
	図 18－36 マスタ受信の中断手順　を変更	第18章　シリアル・アレイ・ユニット
	図 18－60 スレーブ受信の中断手順　を変更	
	22. 5. 7 DTC 起動要因 説明を変更	第22章　データ・トランスファ・コントローラ（DTC）
	図 29－9 V_{DD} 端子電圧検出制御レジスタ（LVDVDD）のフォーマット　を変更	第29章　電圧検出回路
	図 29－11 VBAT 端子電圧検出制御レジスタ（LVDVBAT）のフォーマット　を変更	
	表 37－1 オンチップ・デバッグ・セキュリティ ID 注を追加	第37章　オンチップ・デバッグ機能
	41. 7. 3 VBAT 端子電圧検出特性 を変更	第41章　電気的特性
	41. 7. 4 VRTC 端子電圧検出特性 を変更	
	41. 8. 2 内部昇圧方式　（1）1/3 バイアス　V_{L1} の注 2 を削除	
	41. 8. 2 内部昇圧方式　（2）1/4 バイアス　V_{L1} の注 2 を削除	

（10/10）

版　　数	内　　容	適用箇所
Rev.2.11	3 線シリアル I/O、3 線シリアルを簡易 SPI に変更	全体
	CSI を簡易 SPI に変更	
	IICA のウエイトをクロック・ストレッチに変更	
	1.1　特徴　注を追加	第1章　概説
	図 1－1　RL78/I1C の型名とメモリ・サイズ，パッケージを変更	
	表 1－1　発注型名一覧を変更	
	4.4.5　入出力バッファによる異電位(1.8 V 系, 2.5 V 系, 3 V 系)対応　(1)　注を追加	第4章　ポート機能
	第 18 章　シリアル・アレイ・ユニット　注を追加	第18章　シリアル・アレイ・ユニット
	PLQP0064KB-C パッケージ図を変更	第42章　外形図
	PLQP0064KL-A パッケージ図を追加	
	PLQP0080KB-B パッケージ図を変更	
	PLQP0080KJ-A パッケージ図を追加	
	PLQP0100KB-B パッケージ図を変更	
	PLQP0100KP-A パッケージ図を追加	

RL78/I1C　ユーザーズマニュアル
ハードウェア編

発行年月日　2015 年 8 月 31 日　Rev.0.50
2023 年 7 月 20 日　Rev.2.20

発行　ルネサス エレクトロニクス株式会社
〒135-0061　東京都江東区豊洲 3-2-24（豊洲フォレシア）

RL78/I1C

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0587JJ0220