

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M30245グループ

ユーザーズマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ / M16C/20シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

このマニュアルはM30245グループのユーザーズマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

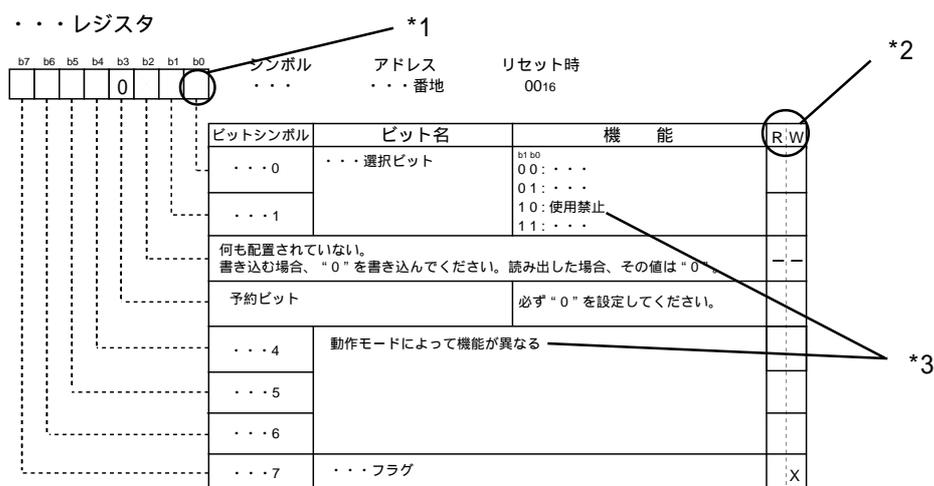
このマニュアルは、下記の品種に適用しています。

- M30245M8-XXXGP
- M30245MC-XXXGP
- M30245FCGP

これらの品種は、内蔵するメモリを除いて、ほぼ同等の機能を持ちます。内蔵するメモリは下記のとおりです。メモリ容量が異なるため、プログラムを作成する場合は、注意してください。

RAMサイズ (バイト)	ROMサイズ (バイト)	ROMタイプ
10K	64K	フラッシュメモリ版:M30245FCGP マスクROM版:M30245MC-XXXGP
5K	128K	マスクROM版:M30245M8-XXXGP

各レジスタ構成は、次のように参照してください。



*1

空白 : 用途に応じて“0”または“1”にしてください。

0 : “0”にしてください。

1 : “1”にしてください。

x : 何も配置されていないビットです。

*2

R : Read

・・・読み出すとビットの状態が読み出せません。

x・・・ビットの状態は読み出せません。

-・・・何も配置されていないビットです。

W : Write

・・・書き込んだ値は有効データになります。

x・・・書き込んだ値は無効になります。

書き込む値は“0”または“1”いずれでもよいです。

-・・・何も配置されていないビットです。

*3

ここで使用する用語を以下に示します。

・何も配置されていない

当該ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書き込む場合は“0”を書き込んでください。

・使用禁止(選択禁止)

選択しないでください。選択した場合の動作は保証されません。

・予約ビット

予約ビットです。指定された値を設定してください。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。

・Aモードでは必ず“0”に固定

Aモードでは、当該ビットを“0”にしてください。

・Aモードでは無効

Aモードでは、当該ビットは機能を持ちません。指定された値を設定してください。

・ビットAが“0”のとき有効

ビットAが“1”のとき、当該ビットは機能を持ちません。ビットAが“0”のとき、当該ビットは機能を持ちます。

目次

第1章	ハードウェア	1
第2章	周辺機能の使い方	3
2.1	プロテクト	4
2.1.1	概要	4
2.1.2	プロテクト動作	4
2.2	タイマA	6
2.2.1	概要	6
2.2.2	タイマA動作 (タイマモード)	12
2.2.3	タイマA動作 (タイマモード、ゲート機能選択時)	14
2.2.4	タイマA動作 (タイマモード、パルス出力機能選択時)	16
2.2.5	タイマA動作 (イベントカウンタモード、リロードタイプ選択時)	18
2.2.6	タイマA動作 (イベントカウンタモード、フリーランタイプ選択時)	20
2.2.7	タイマA動作 (イベントカウンタモード2相パルス信号処理、通常モード選択時)	22
2.2.8	タイマA動作 (イベントカウンタモード2相パルス信号処理、4逓倍モード選択時)	24
2.2.9	タイマA動作 (ワンショットタイマモード)	26
2.2.10	タイマA動作 (パルス幅変調モード、16ビットPWMモード選択時)	28
2.2.11	タイマA動作 (パルス幅変調モード、8ビットPWMモード選択時)	32
2.2.12	タイマAの注意事項 (タイマモード)	36
2.2.13	タイマAの注意事項 (イベントカウンタモード)	37
2.2.14	タイマAの注意事項 (ワンショットタイマモード)	39
2.2.15	タイマAの注意事項 (パルス幅変調モード)	40
2.3	クロック同期形シリアルI/O	41
2.3.1	概要	41
2.3.2	シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信)	47
2.3.3	シリアルI/O動作 (クロック同期形シリアルI/Oモードの受信)	51
2.3.4	シリアルI/Oの注意事項 (クロック同期形シリアルI/Oモード時)	55
2.4	クロック非同期形シリアルI/O	57
2.4.1	概要	57
2.4.2	シリアルI/O動作 (クロック非同期形シリアルI/Oモードの送信)	66
2.4.3	シリアルI/O動作 (クロック非同期形シリアルI/Oモードの受信)	70
2.4.4	シリアルI/Oの注意事項 (UARTモード)	74

2.4.5	シリアルI/O動作 (SIMインタフェース対応時の送信)	75
2.4.6	シリアルI/O動作 (SIMインタフェース対応時の受信)	79
2.4.7	SIMインタフェース対応時のクロック	83
2.5	シリアルインタフェース特殊機能	87
2.5.1	概要	87
2.5.2	シリアルインタフェース特殊機能動作 (マスタモード、クロック遅れなし送信)	96
2.5.3	シリアルインタフェース特殊機能動作(マスタモード、クロック遅れあり受信)	100
2.5.4	シリアルインタフェース特殊機能動作(スレーブモード、クロック遅れなし送信)	104
2.5.5	シリアルインタフェース特殊機能動作(スレーブモード、クロック遅れあり受信)	108
2.6	シリアルサウンドインタフェース	112
2.6.1	概要	112
2.6.2	シリアルサウンドインタフェース動作例	118
2.6.3	シリアルサウンドインタフェースの注意事項	122
2.7	周波数シンセサイザ	123
2.7.1	概要	123
2.7.2	周波数シンセサイザの動作	126
2.7.3	周波数シンセサイザの注意事項	128
2.8	USB機能	129
2.8.1	概要	129
2.8.2	USBファンクション制御	141
2.8.3	USB割り込み	152
2.8.4	USBの動作 (サスペンド/レジューム機能)	163
2.8.5	USBの動作 (エンドポイント0)	171
2.8.6	USBの動作 (エンドポイント1~4受信)	184
2.8.7	USBの動作 (エンドポイント1~4送信)	195
2.8.8	USBの動作 (DMAC転送とのインタフェース)	209
2.8.9	USBに関する注意事項	212
2.9	A/D変換器	215
2.9.1	概要	215
2.9.2	A/D変換器の動作 (単発モード)	220
2.9.3	A/D変換器の動作 (単発モード、外部トリガ選択時)	222
2.9.4	A/D変換器の動作 (繰り返しモード)	224
2.9.5	A/D変換器の動作 (単掃引モード)	226
2.9.6	A/D変換器の動作 (繰り返し掃引モード0)	228

2.9.7	A/D変換器の動作 (繰り返し掃引モード1)	230
2.9.8	A/D変換器の注意事項	232
2.9.9	A/D変換の方法 (10ビットモード)	233
2.9.10	A/D変換の方法 (8ビットモード)	235
2.9.11	絶対精度と微分非直線性誤差	237
2.9.12	アナログ入力内部等価回路	239
2.9.13	A/D変換時のセンサーの出力インピーダンス	240
2.10	DMAC	242
2.10.1	概要	242
2.10.2	DMACの動作 (単転送モード)	247
2.10.3	DMACの動作 (リピート転送)	249
2.11	CRC演算回路	251
2.11.1	概要	251
2.11.2	CRC演算回路の動作	253
2.11.3	SFRアクセス監視機能の動作	254
2.12	監視タイマ	255
2.12.1	概要	255
2.12.2	監視タイマの動作	257
2.13	アドレス一致割り込み	259
2.13.1	概要	259
2.13.2	アドレス一致割り込みの動作	261
2.14	キー入力割り込み	263
2.14.1	概要	263
2.14.2	キー入力割り込みの動作	266
2.15	多重割り込み	268
2.15.1	概要	268
2.15.2	多重割り込みの動作	273
2.16	パワーコントロール	275
2.16.1	概要	275
2.16.2	ストップモードへの設定	281
2.16.3	ウェイトモードへの設定	282
2.16.4	パワーコントロールの注意事項	283
2.17	プログラマブル入出力ポート	285
2.17.1	概要	285

第3章 周辺機能の応用例 293

3.1	長い周期のタイマ	295
3.2	周期およびデューティ - 可変のPWM出力	299
3.3	ブザーの出力	303
3.4	外部割り込み端子が不足したときの対処方法	305
3.5	メモリからメモリへのDMA転送例	307
3.6	クロック同期シリアルデータ送信でのCRC 演算SFR アクセス監視機能応用	311
3.7	USB FIFO からシリアルサウンドインタフェースへの転送	316
3.8	ストップモードを使用したパワーコントロール例	321
3.9	ウェイトモードを使用したパワーコントロール例	325

第4章 外部バス 329

4.1	外部バスの概要	330
4.2	データアクセス	331
4.2.1	データバス幅	331
4.2.2	チップセレクトとアドレスバス	332
4.2.3	R/Wモード	333
4.3	接続例	334
4.3.1	16ビット幅のメモリの接続例	334
4.3.2	16ビット幅のデータバスと8ビットメモリとの接続例	335
4.3.3	8ビット幅のデータバスと8ビットメモリとの接続例	337
4.3.4	16ビット幅のデータバスに8ビットメモリと16ビットメモリの接続例	338
4.3.5	チップセレクトとアドレスバス	339
4.4	接続可能なメモリ	340
4.4.1	動作周波数とアクセス時間	340
4.4.2	低速メモリの接続	343
4.4.3	接続可能なメモリ	346
4.5	外部バスの開放(HOLD入力とHLDA出力)	347
4.6	外部バスの注意事項	349

第5章 標準特性 351

5.1	DC標準特性	352
5.1.1	ポート標準特性	352
5.1.2	VCC-ICC特性	354

第 1 章

ハードウェア

別冊のM30245グループデータシートをご参照ください。

第 2 章

周辺機能の使い方

2.1 プロテクト

2.1.1 概要

プロテクトとは、プログラムが暴走しても容易にレジスタの値を変更できなくする機能です。プロテクトの概要について説明します。

プロテクト機能が影響するレジスタ

プロテクト機能が影響するレジスタは次のとおりです。

- (1) システムクロック制御レジスタ0、1 (0006₁₆番地、0007₁₆番地)
- (2) プロセッサモードレジスタ0、1(0004₁₆番地、0005₁₆番地)
- (3) 周波数シンセサイザ関連レジスタ(03DB₁₆番地～03DF₁₆番地)

(1)～(3)のレジスタは、プロテクトレジスタの設定が書き込み禁止状態では変更できません。レジスタの値を変更する場合は、各レジスタへの書き込みを許可状態にしてから行ってください。

プロテクトレジスタ

図2.1.1にプロテクトレジスタの構成を示します。プロテクトレジスタ(000A₁₆番地)の各ビットは、“0”を書き込むことによりクリアできます。

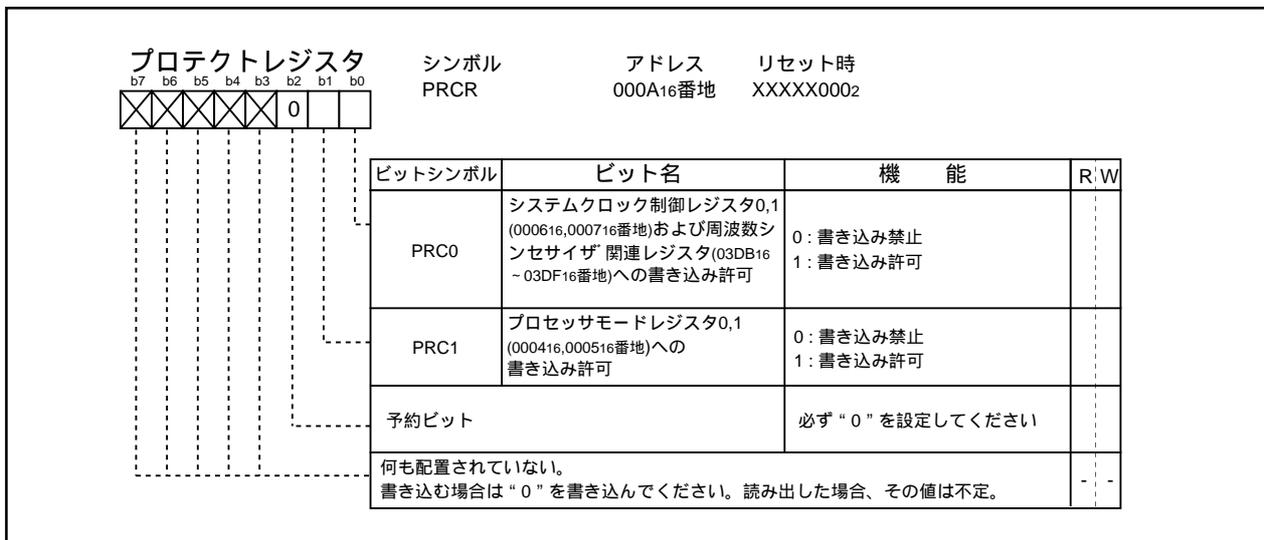


図2.1.1. プロテクトレジスタの構成

2.1.2 プロテクト動作

プロテクト動作を示します。また、図2.1.2に設定手順を示します。

- 動作
- (1) システムクロック制御レジスタ0、システムクロック制御レジスタ1および周波数シンセサイザ関連レジスタへの書き込み許可ビットを“1”にすると、システムクロック制御レジスタ0、システムクロック制御レジスタ1および周波数シンセサイザ関連レジスタは書き込み許可状態になります。
 - (2) システムクロック制御レジスタ0、システムクロック制御レジスタ1又は周波数シンセサイザ関連レジスタの内容を変更します。
 - (3) システムクロック制御レジスタ0、システムクロック制御レジスタ1および周波数シンセサイザ関連レジスタへの書き込み許可ビットを“0”にすると、システムクロック制御レジスタ0、システムクロック制御レジスタ1および周波数シンセサイザ関連レジスタは書き込み禁止状態になります。

- (4) プロセッサモードレジスタ0およびプロセッサモードレジスタ1の内容を変更する場合は、システムクロック制御レジスタ0、システムクロック制御レジスタ1および周波数シンセサイザ関連レジスタと同じ方法で変更できます。

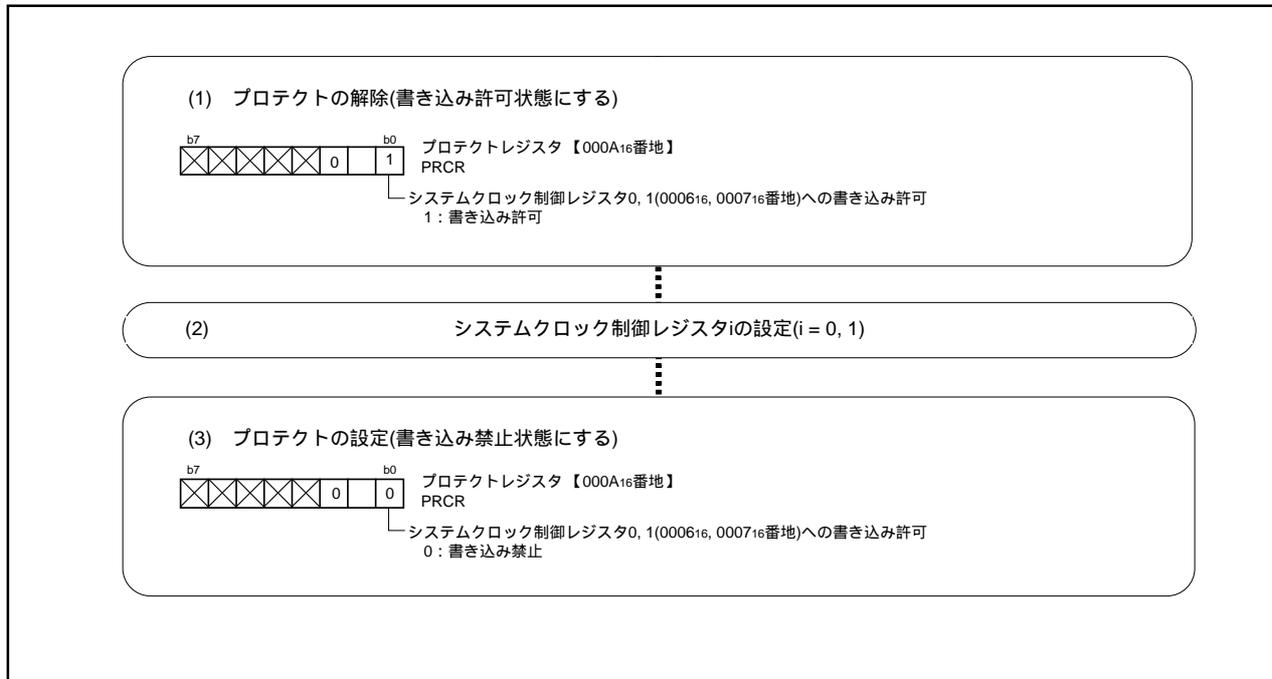


図2.1.2. プロテクト機能のレジスタ設定手順例

2.2 タイマA

2.2.1 概要

タイマAは16ビットのタイマです。タイマAの概要について説明します。

モード

タイマAは、次の4種類のモードを持ちます。

(1)タイマモード

内部のカウントソースをカウントするモードです。オーバフローごとにポートの出力が反転するパルス出力機能とポートからの入力信号でカウント開始/停止を制御するゲート機能を選択できます。

(2)イベントカウンタモード

外部からのパルス、および別のタイマのオーバフロー回数をカウントするモードです。オーバフロー時、リロードレジスタからリロードしないフリーランタイプを選択できます(注1)。その他、パルス出力機能を選択できますが、タイマモードと同じですので、タイマモードを参照してください。

注1.フリーランタイプ選択時、はじめのカウント時にタイマ値が変わる可能性がありますのでご注意ください。

また、2本の入力信号の位相によってアップカウントかダウンカウントを行うイベントカウンタモード2相パルス信号処理機能を持ちます。位相の検出方法の違いで、通常モードと4逓倍モードの2種類を選択できます。

(3)ワンショットタイマモード

トリガによりタイマがスタートし、タイマ値が“0”になると停止するモードです。トリガはタイマのオーバフロー、およびソフトウェアの2種類から選択できます。その他、パルス出力機能を選択できますが、タイマモードの動作と同じですので、タイマモードを参照してください。

(4)パルス幅変調(PWM)モード

任意のパルスを連続して出力するモードです。周期固定の16ビットPWMモードと周期可変の8ビットPWMモードを選択できます。その他、出力を開始するためのトリガを選択することができますが、動作は、ワンショットタイマモードと同じですので、ワンショットタイマモードを参照してください。

カウントソース

内部のカウントソースは、f₁、f₈、f₃₂、およびfc₃₂から選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。fc₃₂とは、CPUのサブクロックを32分周したクロックです。

分周比

タイマモードおよびパルス幅変調モードでは、タイマレジスタに設定した値+1が分周比となります。また、イベントカウンタモードの場合、ダウンカウント動作時は、設定値+1が分周比となりますが、アップカウント動作時は、(FFFF₁₆ - 設定値 + 1)が分周比となります。ワンショットタイマモードの場合、タイマレジスタに設定した値が分周比となります。

分周比の数のカウントソースが入力されるとカウンタはオーバフロー(アンダフロー)し、割り込み要求が発生します。また、パルス出力機能を選択している場合、ポートの出力が変化します(ポートレジスタの値は、変化しません)。

タイマの読み込み

タイマモードおよびイベントカウンタモードでは、タイマレジスタを読み出せば、そのときのカウンタ値を読み出します。読み出すときは、16ビット単位で読み出してください。ワンショットタイマモード、およびパルス幅変調モードでは読み出した値は不定です。

タイマの書き込み

カウント中に書き込みを行った場合、その値はリロードレジスタにだけ書き込まれます。カウント停止中に書き込みを行った場合、その値はリロードレジスタとカウンタの両方に書き込まれます。書き込むときは、16ビット単位で行ってください。

タイマの入出力と方向レジスタの関係

タイマの出力機能を選択した場合、ポートの方向レジスタに関係なくパルスは出力されます。外部信号をタイマへ入力する場合、ポートの方向レジスタを入力に設定してください。

タイマA関連端子

- | | |
|--|--|
| (1) TA0IN、TA1IN、TA2IN、TA3IN、TA4IN端子 | タイマAへの入力端子です。 |
| (2) TA0OUT、TA1OUT、TA2OUT、TA3OUT、TA4OUT端子 | タイマAの出力端子です。イベントカウンタモード時、タイマAへの入力端子です。 |

タイマA関連レジスタ

図2.2.1にタイマA関連レジスタのメモリ配置図を、図2.2.2～図2.2.5にタイマA関連レジスタの構成を示します。

0045 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0047 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0054 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0057 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
0380 ₁₆	カウント開始フラグ(TABSR)
0381 ₁₆	時計用プリスケアラセットフラグ(CPSRF)
0382 ₁₆	ワンショット開始フラグ(ONSF)
0383 ₁₆	トリガ選択レジスタ(TRGSR)
0384 ₁₆	アップダウンフラグ(UDF)
0385 ₁₆	
0386 ₁₆	タイマA0(TA0)
0387 ₁₆	
0388 ₁₆	タイマA1(TA1)
0389 ₁₆	
038A ₁₆	タイマA2(TA2)
038B ₁₆	
038C ₁₆	タイマA3(TA3)
038D ₁₆	
038E ₁₆	タイマA4(TA4)
038F ₁₆	
0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)
039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)

図2.2.1. タイマA関連レジスタのメモリ配置図



図2.2.2. タイマA関連レジスタの構成(1)

タイマAiレジスタ (i=0~4)(注1)

b15 (b7) b8 (b0) b7 b0

シンボル アドレス リセット時

TAi(i=0~4) 0387₁₆,0388₁₆, 0389₁₆,0388₁₆, 038B₁₆,038A₁₆,
038D₁₆,038C₁₆, 038F₁₆,038E₁₆番地 不定

モード	機能	設定範囲	R/W
タイマモード	16ビットカウンタ (分周比を設定)	0000 ₁₆ ~ FFFF ₁₆	○ ○
イベントカウンタモード	16ビットカウンタ (分周比を設定) (注2)	0000 ₁₆ ~ FFFF ₁₆	○ ○
ワンショットタイマモード	16ビットカウンタ (ワンショット幅を設定) (注6)	0000 ₁₆ ~ FFFF ₁₆ (注3)	— ○
パルス幅変調モード (16ビットPWM)	16ビットパルス幅変調器 (PWMパルス幅の"H"幅を設定) (注4,7)	0000 ₁₆ ~ FFFE ₁₆ (注3)	— ○
パルス幅変調モード (8ビットPWM)	下位8ビット: 8ビットプリスケアラ(注5,7) (PWMの周期を設定) 上位8ビット: 8ビットパルス幅変調器 (PWMパルスの"H"幅を設定)	00 ₁₆ ~ FE ₁₆ (上位アドレス、下位アドレスとも) (注3)	— ○

注1. 読み出し、および書き込みは16ビット単位で実行してください。
 注2. 外部入力パルス、又はタイマのオーバーフローをカウント。
 注3. このレジスタへの書き込みは、MOV命令を使用してください。
 注4. 設定値をnとすると、PWMの周期・PWMパルスの"H"幅は以下のとおりです。
 PWMの周期: $(2^{16}-1) / f_i$
 PWMパルスの"H"幅: n / f_i
 注5. 上位アドレスの設定値をn、下位アドレスの設定値をmとすると、PWMの周期・PWMパルスの"H"幅は以下のとおりです。
 PWMの周期: $(2^8-1) \times (m+1) / f_i$
 PWMパルスの"H"幅: $(m+1)n / f_i$
 注6. タイマAiレジスタに "0000₁₆" を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。
 また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。
 注7. タイマAiレジスタに "0000₁₆" を設定した場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは "L" のままで、タイマAi割り込み要求も発生しません。また、8ビットパルスタイマAiレジスタの上位8ビットに "00₁₆" を設定した場合も同様です。

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル アドレス リセット時

TABSR 0380₁₆番地 XXX00000₁₆

ビットシンボル	ビット名	機能	R/W
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	○ ○
TA1S	タイマA1カウント開始フラグ	0: カウント停止 1: カウント開始	○ ○
TA2S	タイマA2カウント開始フラグ	0: カウント停止 1: カウント開始	○ ○
TA3S	タイマA3カウント開始フラグ	0: カウント停止 1: カウント開始	○ ○
TA4S	タイマA4カウント開始フラグ	0: カウント停止 1: カウント開始	○ ○
何も配置されていない。 書き込む場合、"0" を書き込んでください。読み出した場合、その値は不定。			— —

図2.2.3. タイマA関連レジスタの構成(2)

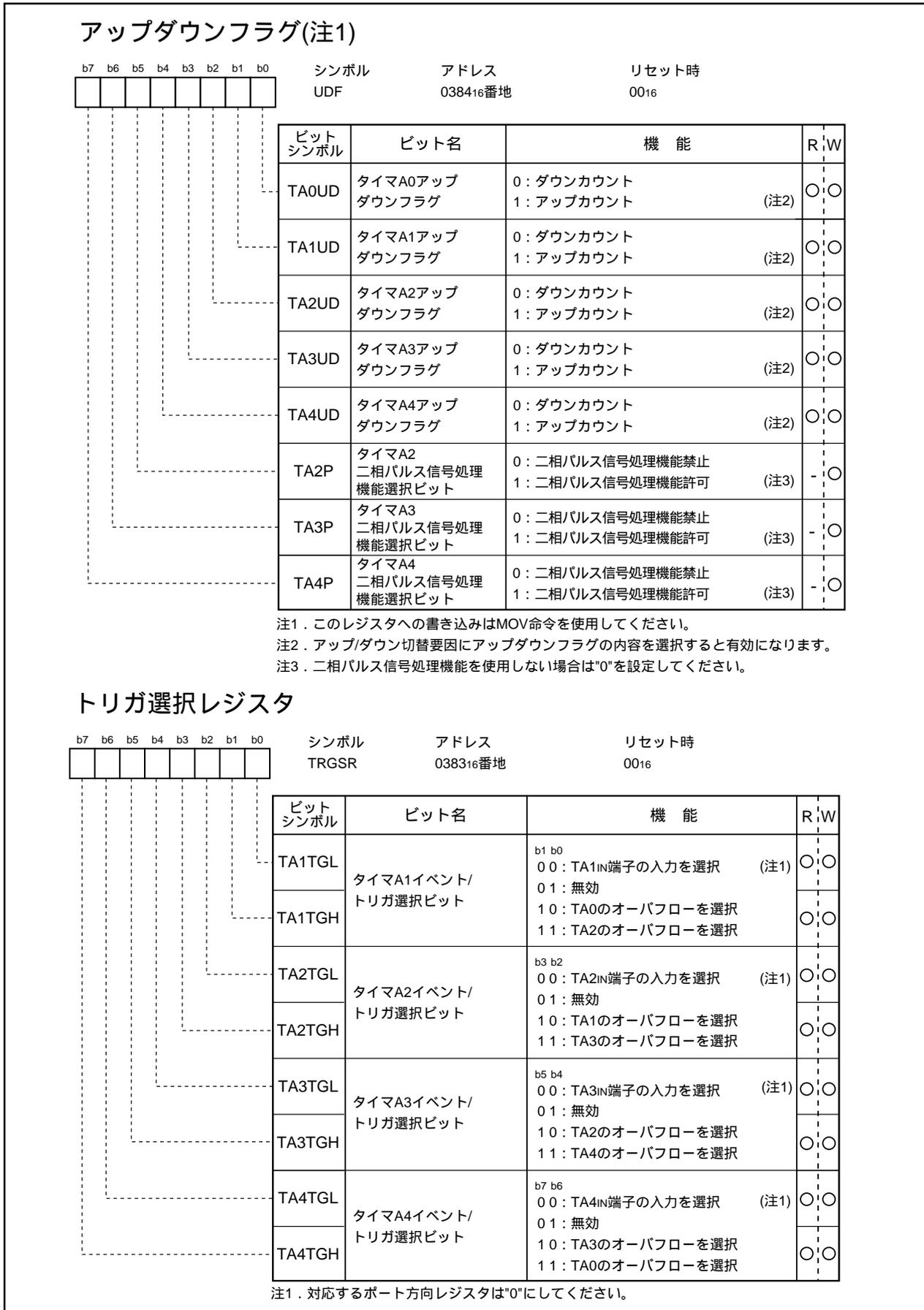


図2.2.4. タイマA関連レジスタの構成(3)

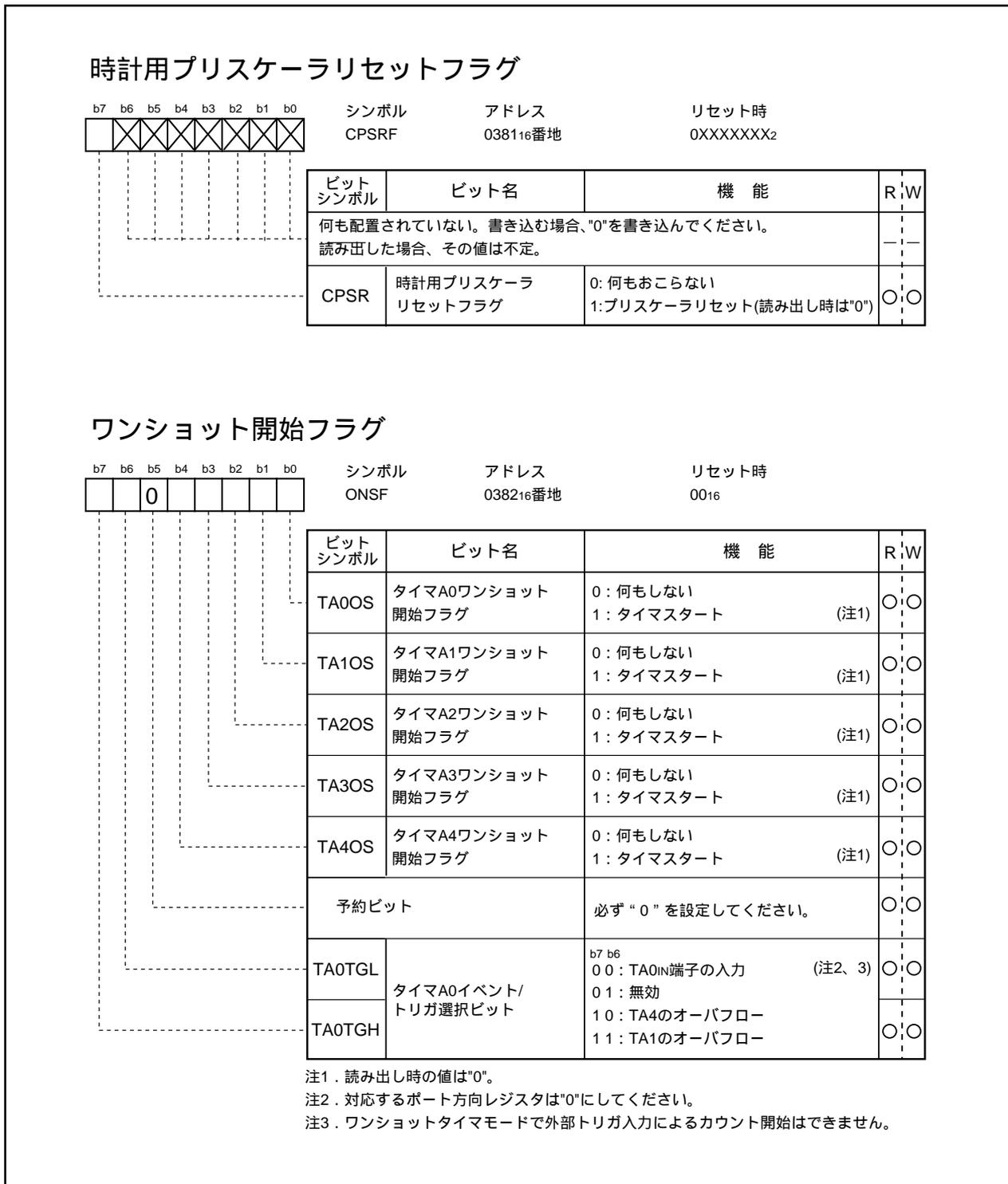


図2.2.5. タイマA関連レジスタの構成(4)

2.2.2 タイマA動作 (タイマモード)

タイマモードでは、表2.2.1に示す項目の中から機能を選択できます。ここでは、表2.2.1に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.6に動作タイミングを、図2.2.7に設定手順を示します。

表2.2.1. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
パルス出力機能	パルス出力なし
	パルス出力あり
ゲート機能	ゲート機能なし
	TAiIn端子が“L”レベルの期間だけカウントを行う
	TAiIn端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

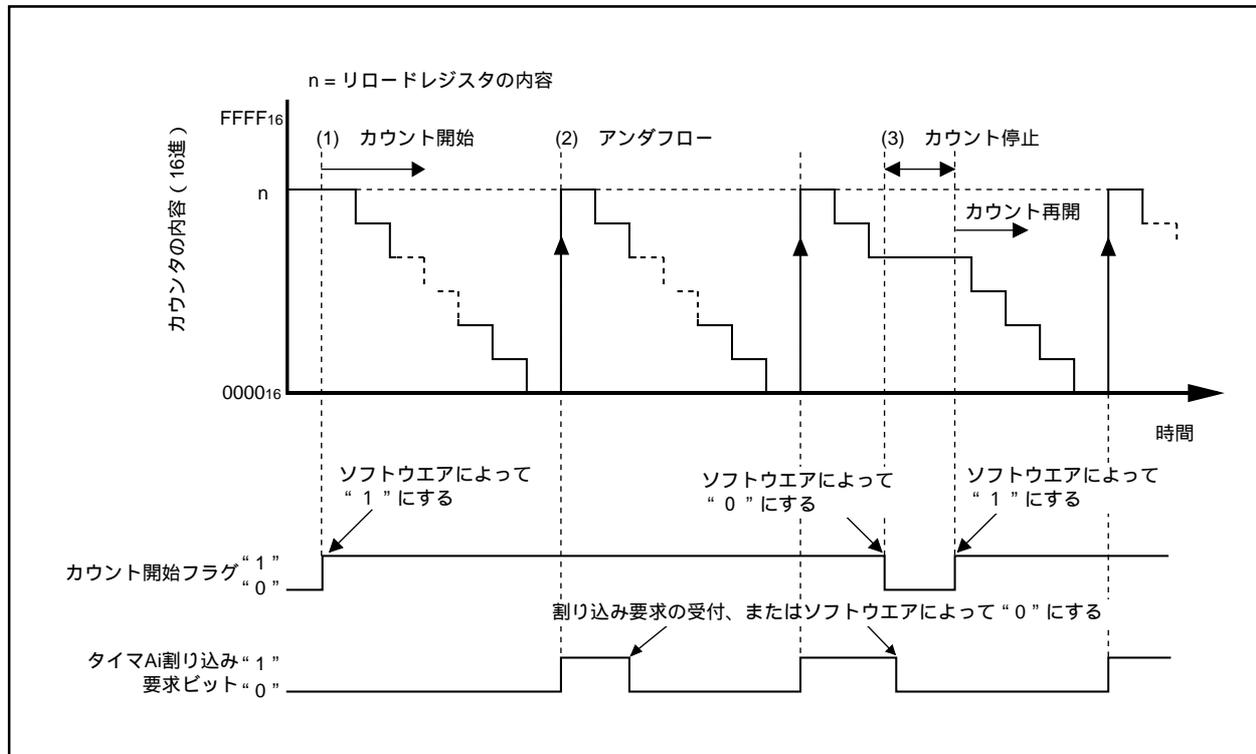


図2.2.6. タイマモード動作タイミング図

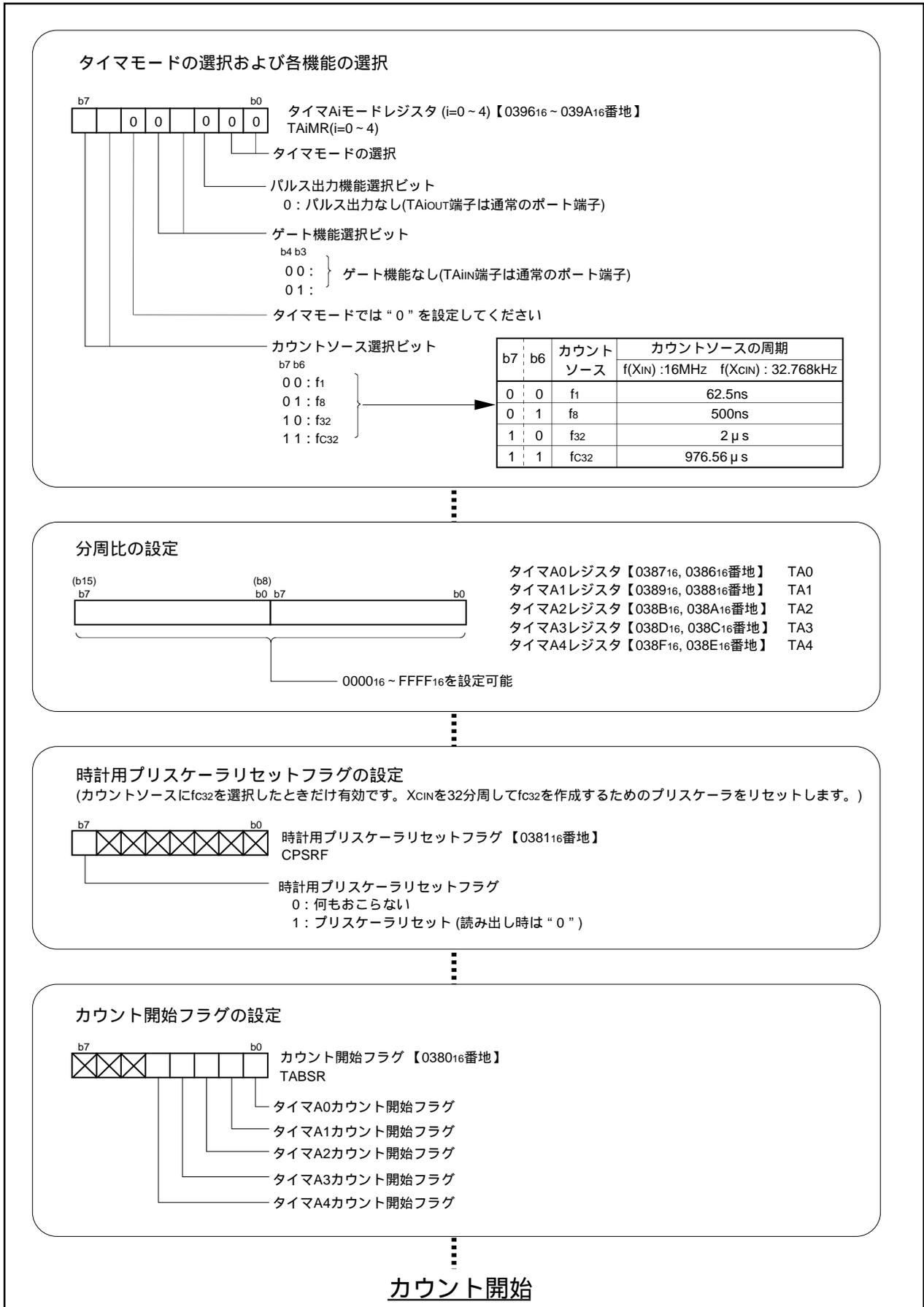


図2.2.7. タイマモード時のレジスタ設定手順

2.2.3 タイマA動作 (タイマモード、ゲート機能選択時)

タイマモードでは、表2.2.2に示す項目の中から機能を選択できます。ここでは、表2.2.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.8に動作タイミングを、図2.2.9に設定手順を示します。

表2.2.2. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース(f1 / f8 / f32 / fc32)
パルス出力機能	パルス出力なし
	パルス出力あり
ゲート機能	ゲート機能なし
	TAiIn端子が“L”レベルの期間だけカウントを行う
	TAiIn端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグが“1”でTAiIn端子の入力信号が“H”レベルのとき、カウンタはカウントソースをダウンカウントします。
 - (2) TAiIn端子の入力信号が“L”レベルのとき、カウンタはカウント値を保持して停止します。
 - (3) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

補足説明 ・TAiIn端子に入力する信号のパルス幅は、カウントソースの2サイクル以上にしてください。

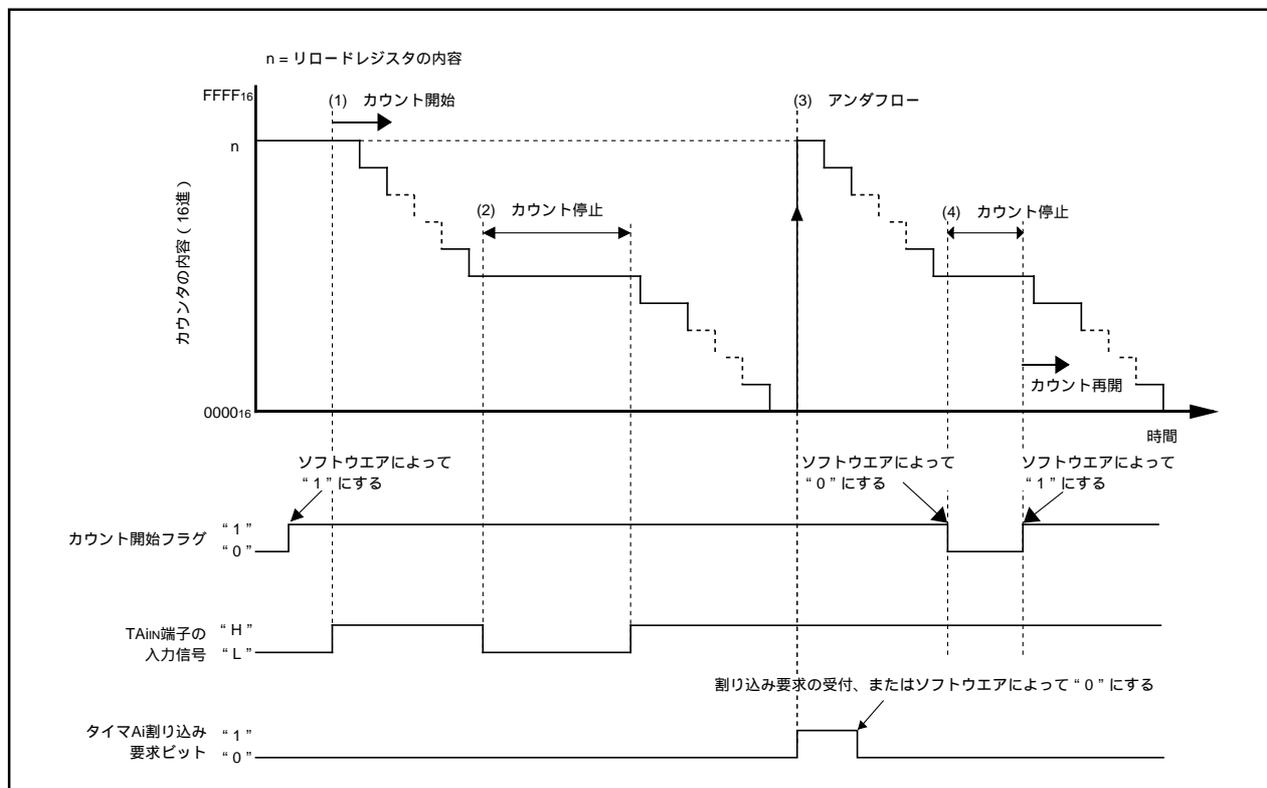
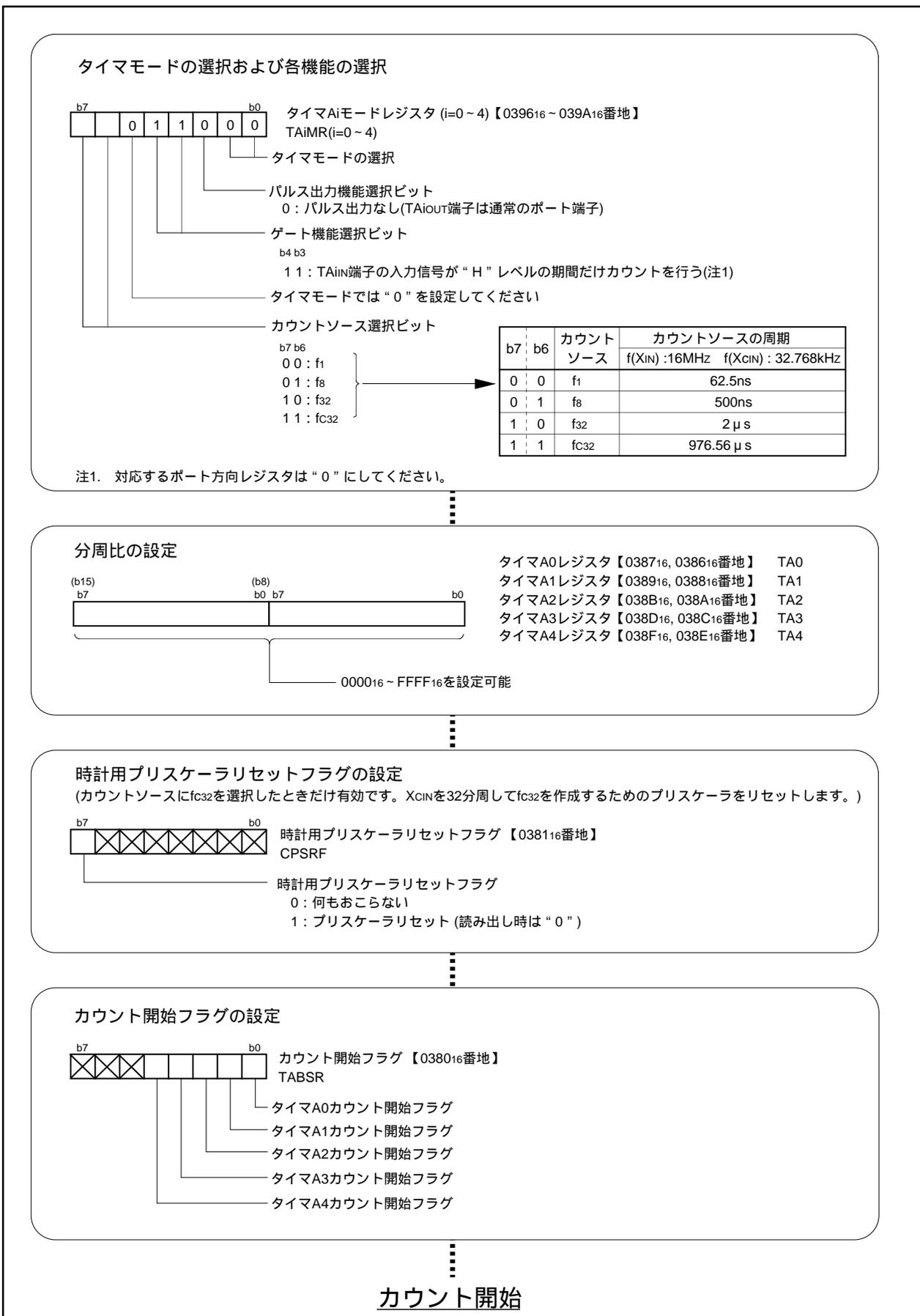


図2.2.8. タイマモード、ゲート機能選択時の動作タイミング図



2.2.4 タイマA動作（タイマモード、パルス出力機能選択時）

タイマモードでは、表2.2.3に示す項目の中から機能を選択できます。ここでは、表2.2.3に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.10に動作タイミングを、図2.2.11に設定手順を示します。

表2.2.3. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース(f ₁ / f ₈ / f ₃₂ / f _{C32})
パルス出力機能	パルス出力なし
	パルス出力あり
ゲート機能	ゲート機能なし
	TAiIn端子が“L”レベルの期間だけカウントを行う
	TAiIn端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。また、TAiOUT端子の出力極性が反転します。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子は“L”レベルを出力します。

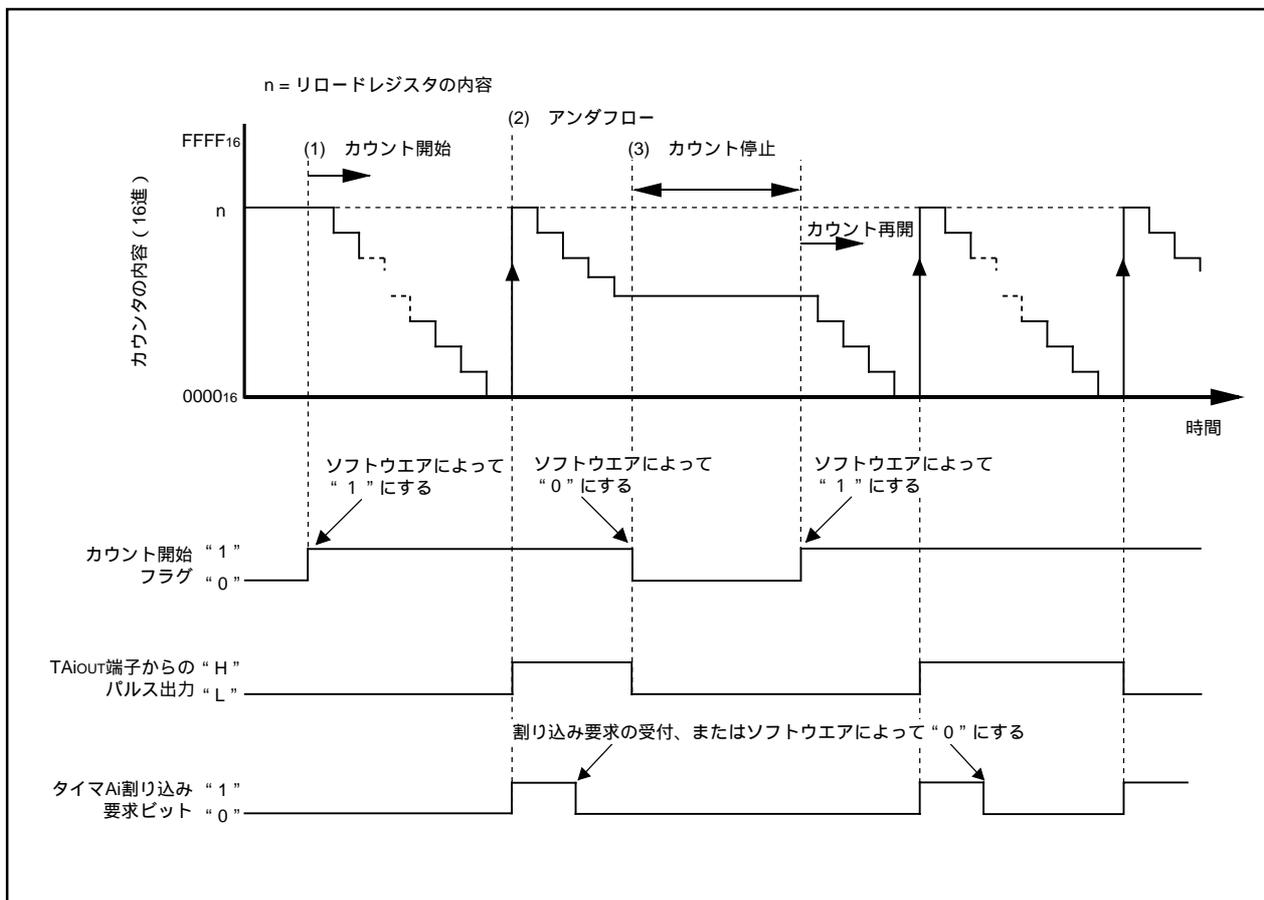


図2.2.10. タイマモード、パルス出力機能選択時の動作タイミング図

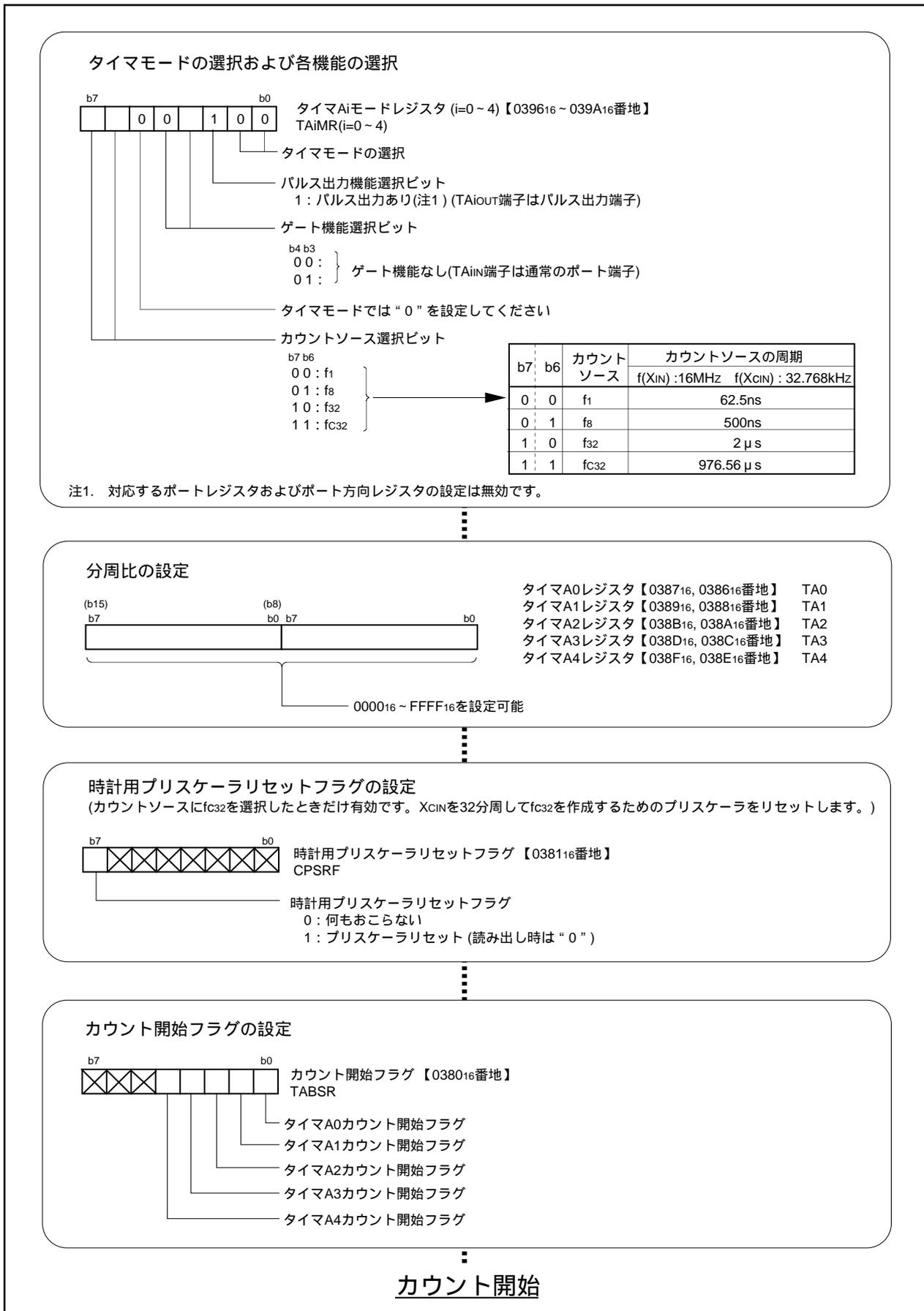


図2.2.11. タイマモード、パルス出力機能選択時のレジスタ設定手順

2.2.5 タイマA動作 (イベントカウンタモード、リロードタイプ選択時)

イベントカウンタモードでは、表2.2.4に示す項目の中から機能を選択できます。ここでは、表2.2.4に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.12に動作タイミングを、図2.2.13に設定手順を示します。

表2.2.4. 設定内容

設定項目	設定内容	設定項目	設定内容
カウントソース	TAiIn端子の入力信号 (立ち下がりをカウント)	パルス出力機能	パルス出力なし
	TAiIn端子の入力信号 (立ち上がりをカウント)	カウント動作タイプ	リロードタイプ
	TAjのオーバーフロー	アップ/ダウン 切り替え要因	アップダウンフラグの内容
			TAiOut端子の入力信号

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりをカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント中にアップカウント/ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント/ダウンカウントが切り替わります。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。
 - (5) オーバーフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。

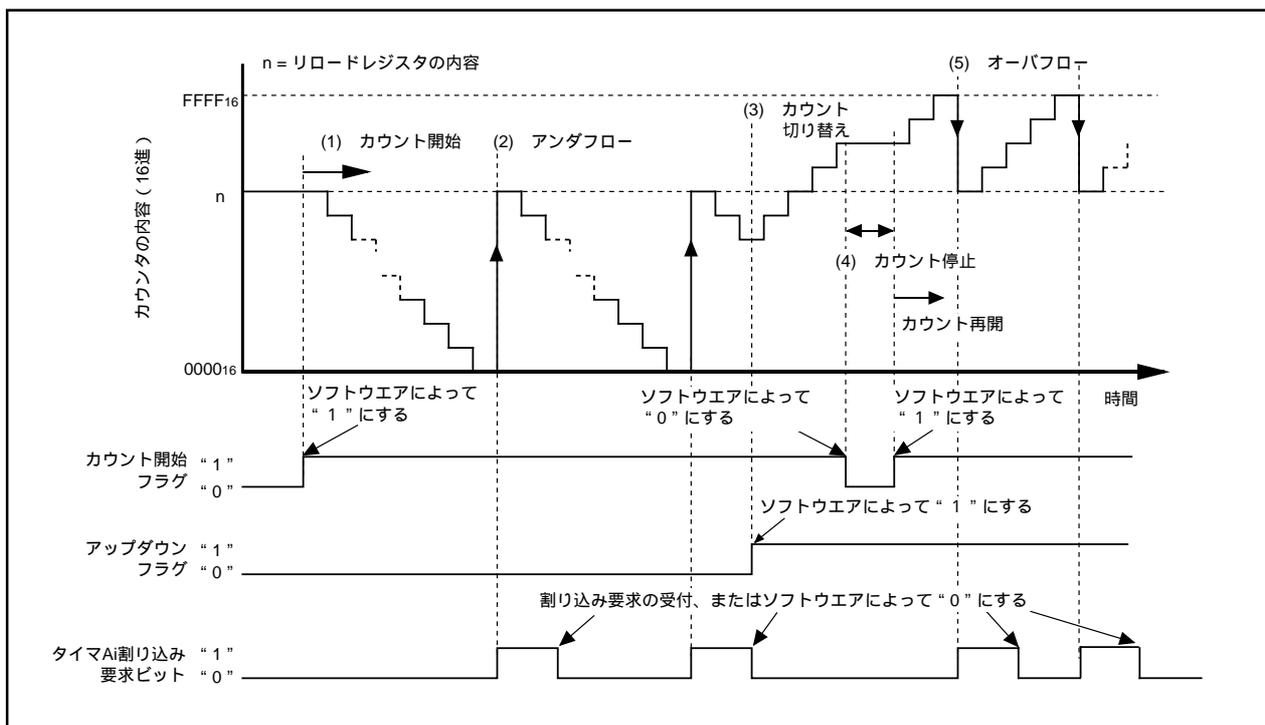


図2.2.12. イベントカウンタモード、リロードタイプ選択時の動作タイミング図

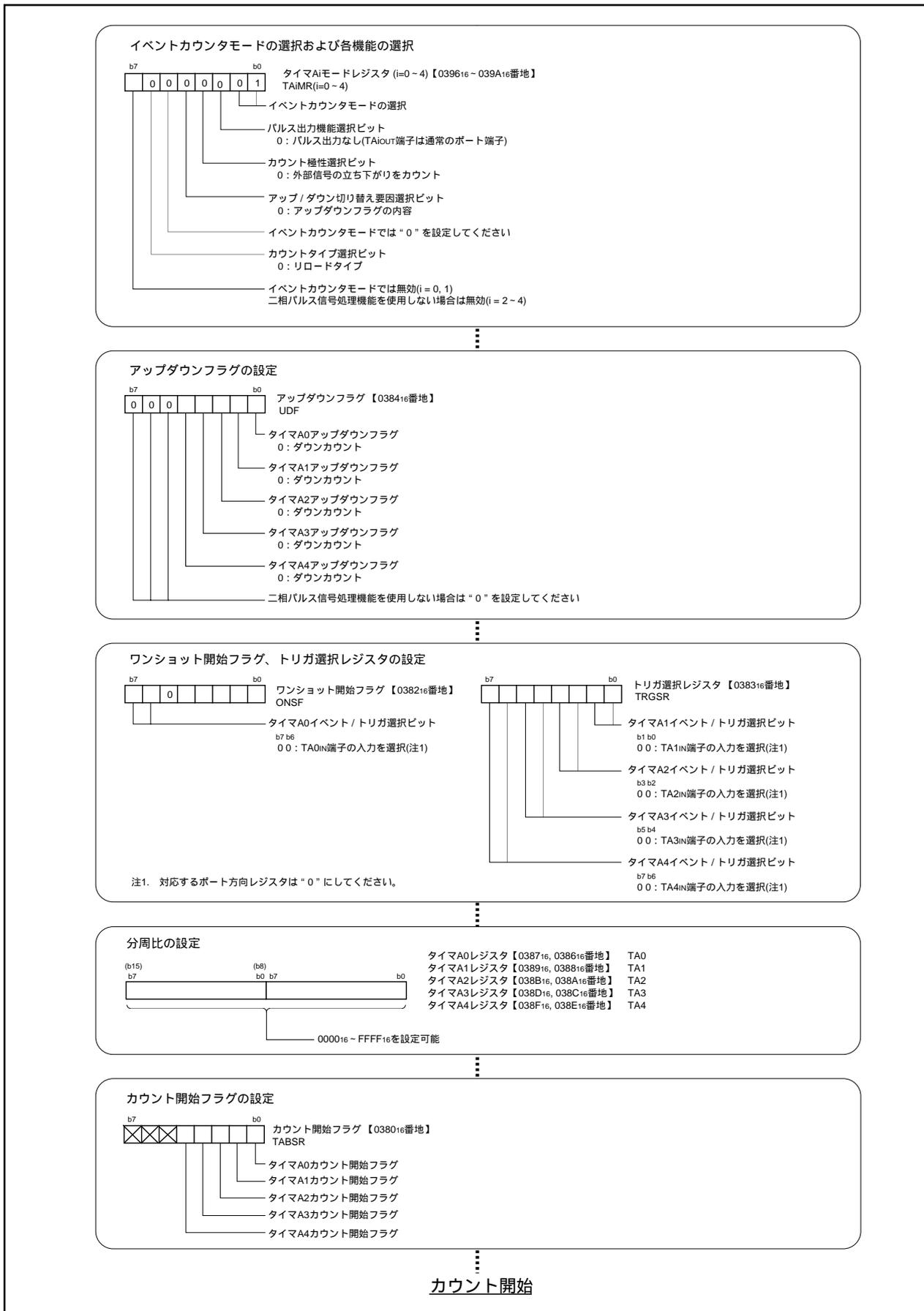


図2.2.13. イベントカウンタモード、リロードタイプ選択時のレジスタ設定手順

2.2.6 タイマA動作 (イベントカウンタモード、フリーランタイプ選択時)

イベントカウンタモードでは、表2.2.5に示す項目の中から機能を選択できます。ここでは、表2.2.5に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.14に動作タイミングを、図2.2.15に設定手順を示します。

表2.2.5. 設定内容

設定項目	設定内容	設定項目	設定内容
カウントソース	TAiin端子の入力信号 (立ち下がりをカウント)	パルス出力機能	パルス出力なし
			パルス出力あり
	TAiin端子の入力信号 (立ち上がりをカウント)	カウント動作タイプ	リロードタイプ
			フリーランタイプ
	TAjのオーバフロー	アップ/ダウン 切り替え要因	アップダウンフラグの内容
			TAiout端子の入力信号

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりを実行してカウントします。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント中にアップカウント/ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント/ダウンカウントが切り替わります。
 - (4) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。

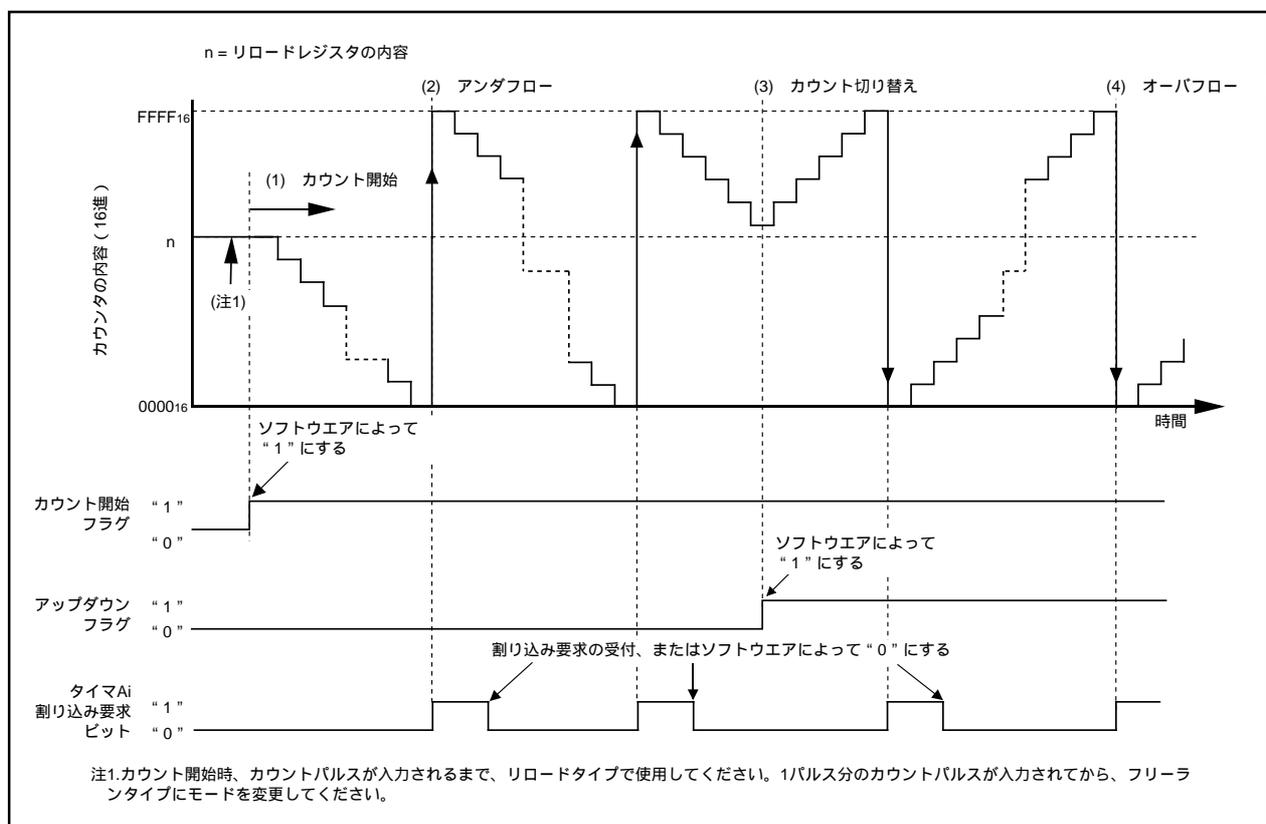


図2.2.14. イベントカウンタモード、フリーランタイプ選択時の動作タイミング図

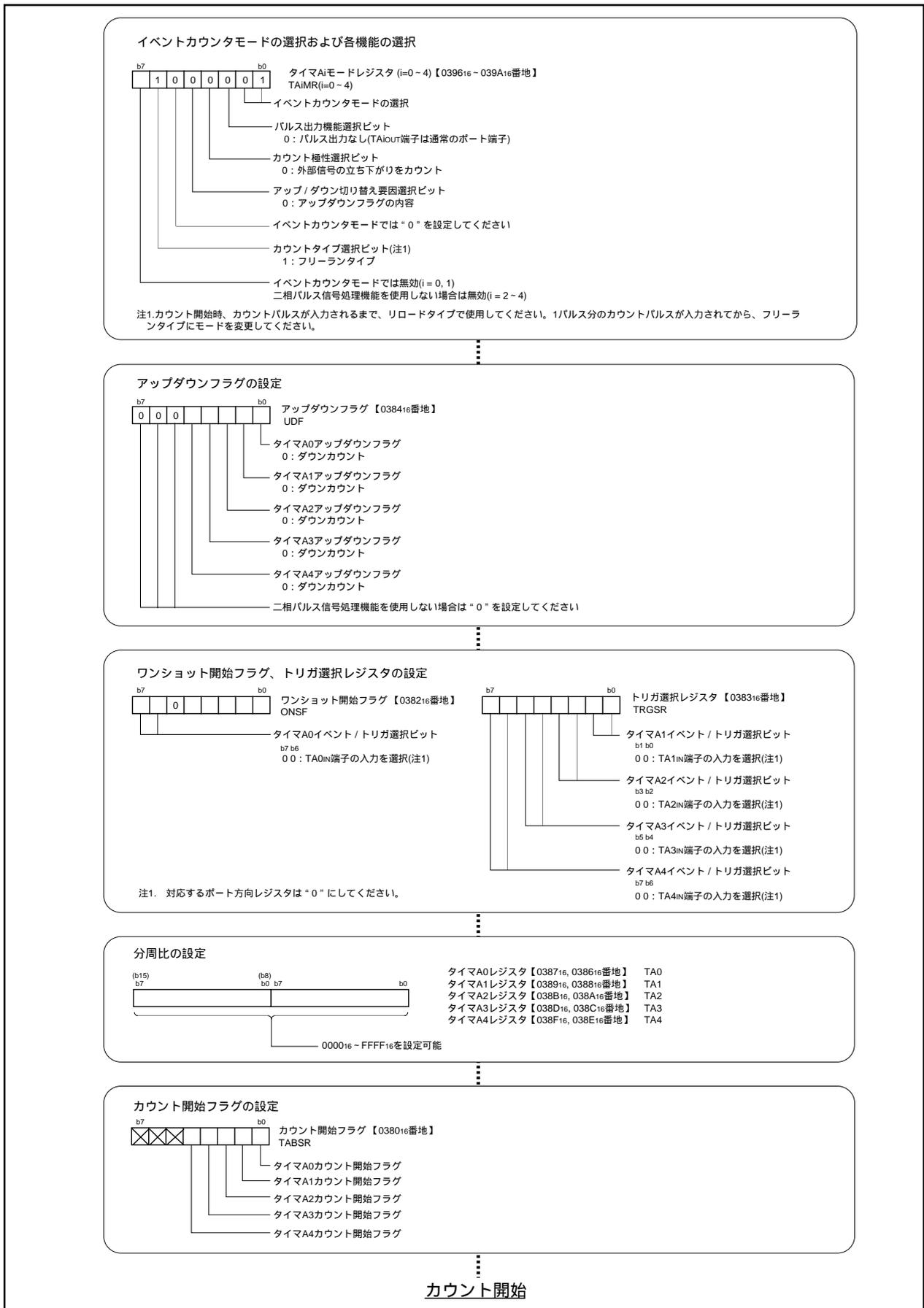


図2.2.15. イベントカウンタモード、フリーランタイプ選択時のレジスタ設定手順

2.2.7 タイマA動作 (イベントカウンタモード2相パルス信号処理、通常モード選択時)

イベントカウンタモード2相パルス信号処理では、表2.2.6に示す項目の中から機能を選択できます。ここでは、表2.2.6に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.16に動作タイミングを、図2.2.17に設定手順を示します。

表2.2.6. 設定内容

設定項目	設定内容
カウント動作タイプ	リロードタイプ
	フリーランタイプ
二相パルス処理動作(注1)	通常処理動作
	4逓倍処理動作

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

- 動作**
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジをカウントします。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。

- 補足説明**
- ・アップカウント、ダウンカウントする条件は次のとおりです。
TAiOUT端子が“H”のときTAiIN端子に立ち上がりエッジがあればアップカウントします。
TAiOUT端子が“H”のときTAiIN端子に立ち下がりエッジがあればダウンカウントします。
 - ・TAiIN端子、TAiOUT端子は対応する方向レジスタを“0”にしてください。

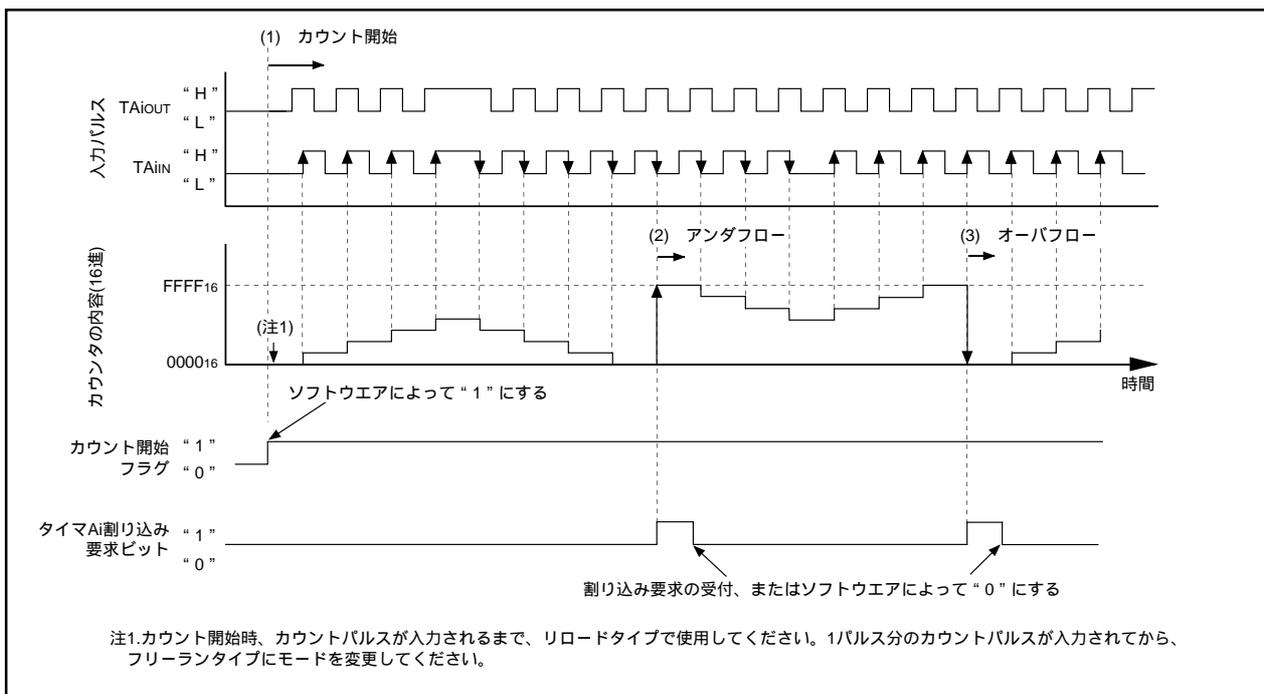
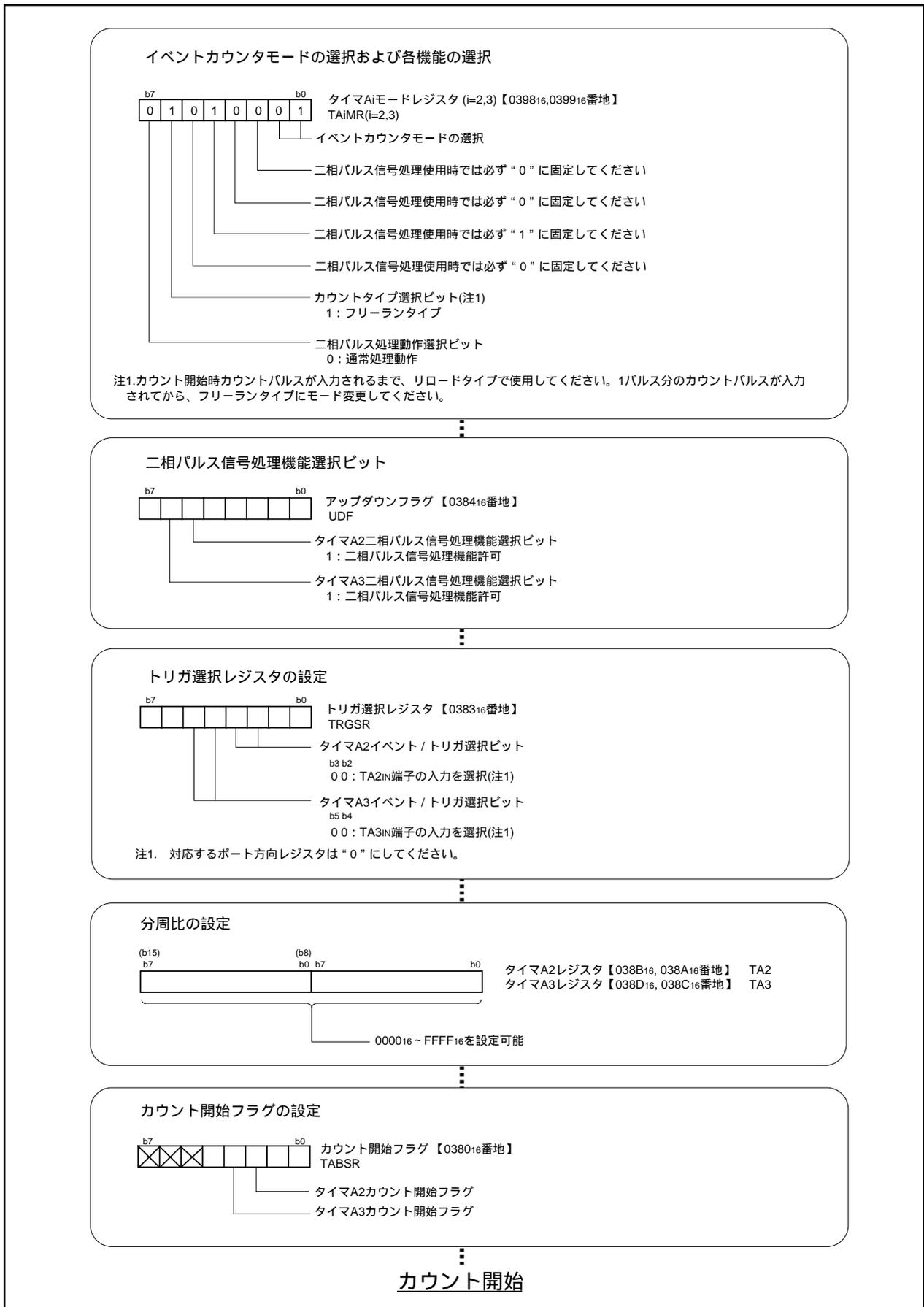


図2.2.16. イベントカウンタモード2相パルス信号処理、通常モード選択時の動作タイミング図



2.2.8 タイマA動作 (イベントカウンタモード2相パルス信号処理、4逓倍モード選択時)

イベントカウンタモード2相パルス信号処理では、表2.2.7に示す項目の中から機能を選択できます。ここでは、表2.2.7に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.18に動作タイミングを、図2.2.19に設定手順を示します。

表2.2.7. 設定内容

設定項目	設定内容	設定項目	設定内容
カウント動作タイプ	リロードタイプ	二相パルス処理動作(注1)	通常処理動作
	フリーランタイプ		4逓倍処理動作

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジをカウントします。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、割り込み要求ビットが“1”になります。
 - (3) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、割り込み要求ビットが“1”になります。

補足説明 ・アップカウント、ダウンカウントする条件は次のとおりです。

表2.2.8. アップカウント、ダウンカウントする条件

	TAiOUT端子の入力信号	TAiIN端子の入力信号		TAiOUT端子の入力信号	TAiIN端子の入力信号
アップ カウント	“H”レベル	立ち上がり	ダウン カウント	“H”レベル	立ち下がり
	“L”レベル	立ち下がり		“L”レベル	立ち上がり
	立ち上がり	“L”レベル		立ち上がり	“H”レベル
	立ち下がり	“H”レベル		立ち下がり	“L”レベル

・TAiIN端子、TAiOUT端子の対応する方向レジスタを“0”にしてください。

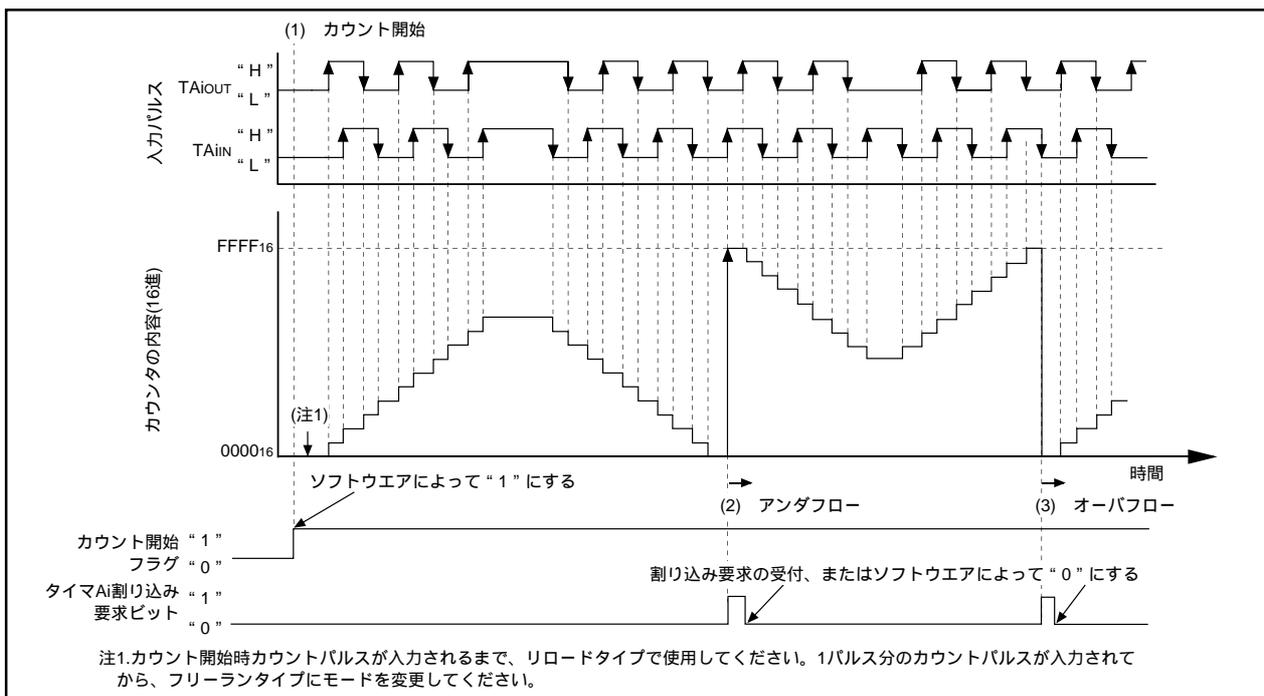
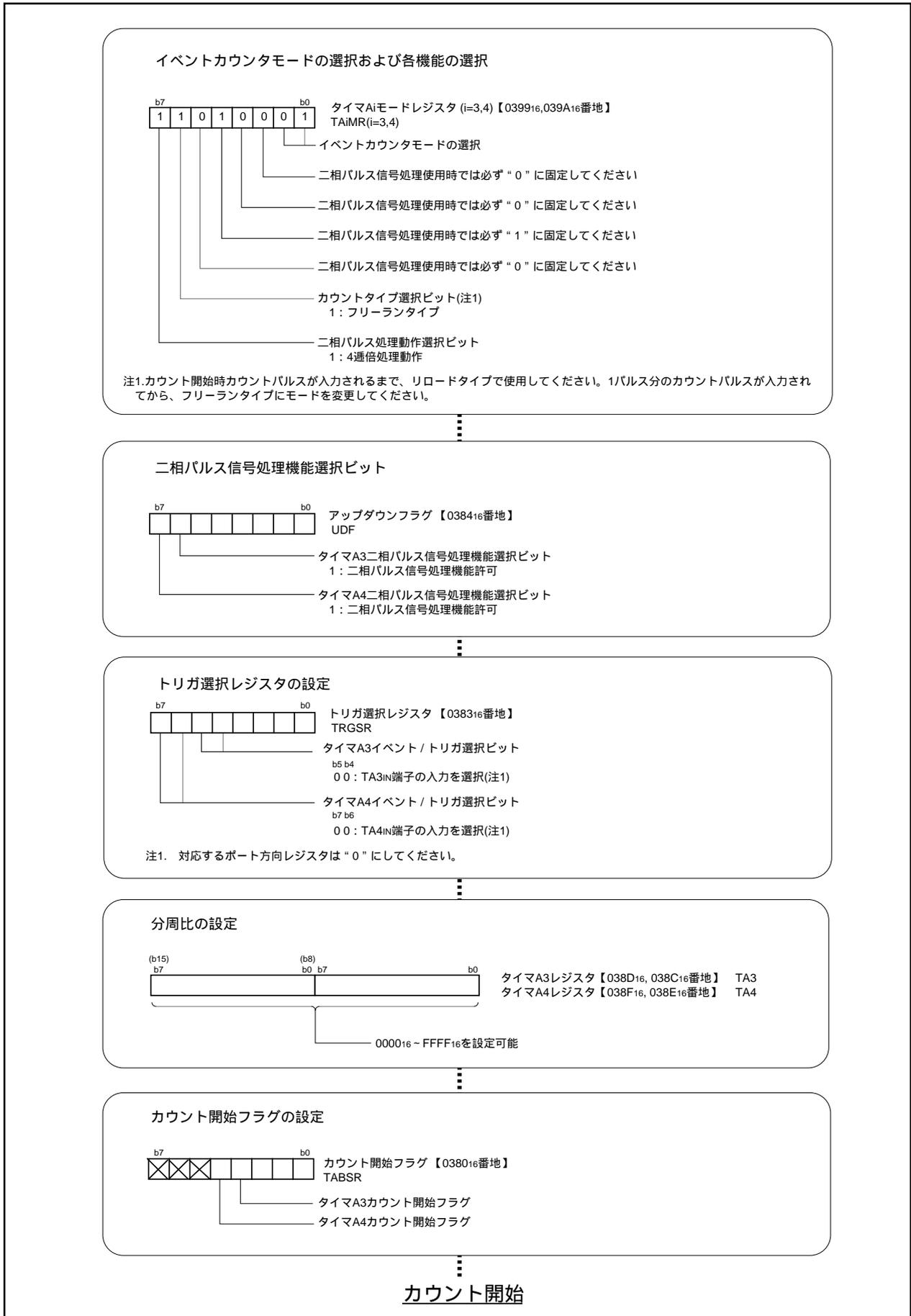


図2.2.18. イベントカウンタモード2相パルス信号処理、4逓倍モード選択時の動作タイミング図



2.2.9 タイマA動作 (ワンショットタイマモード)

ワンショットタイマモードでは、表2.2.9に示す項目の中から機能を選択できます。ここでは、表2.2.9に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.20に動作タイミングを、図2.2.21に設定手順を示します。

表2.2.9. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
パルス出力機能	パルス出力なし
	パルス出力あり
カウント開始条件	外部トリガ入力(TAiIN端子の入力信号の立ち下がり)
	外部トリガ入力(TAiIN端子の入力信号の立ち上がり)
	タイマのオーバーフロー(TAjのオーバーフロー / TAKのオーバーフロー)
	ワンショット開始フラグへの“1”書き込み

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i + 1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作
- (1) カウント開始フラグが“1”の状態ワンショット開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
同時に、TAiOUT端子の出力レベルは“H”になります。
 - (2) カウンタの値が“0001₁₆”になるとき、TAiOUT端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。
同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント中にトリガが発生した場合、再度リロードレジスタの値をリロードしてカウントを続けます。リロードするタイミングはトリガが入力した次のカウントソース入力です。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウントを停止し、リロードレジスタの内容をリロードします。また、TAiOUT端子の出力レベルは“L”になります。
同時に、タイマAiの割り込み要求ビットが“1”になります。

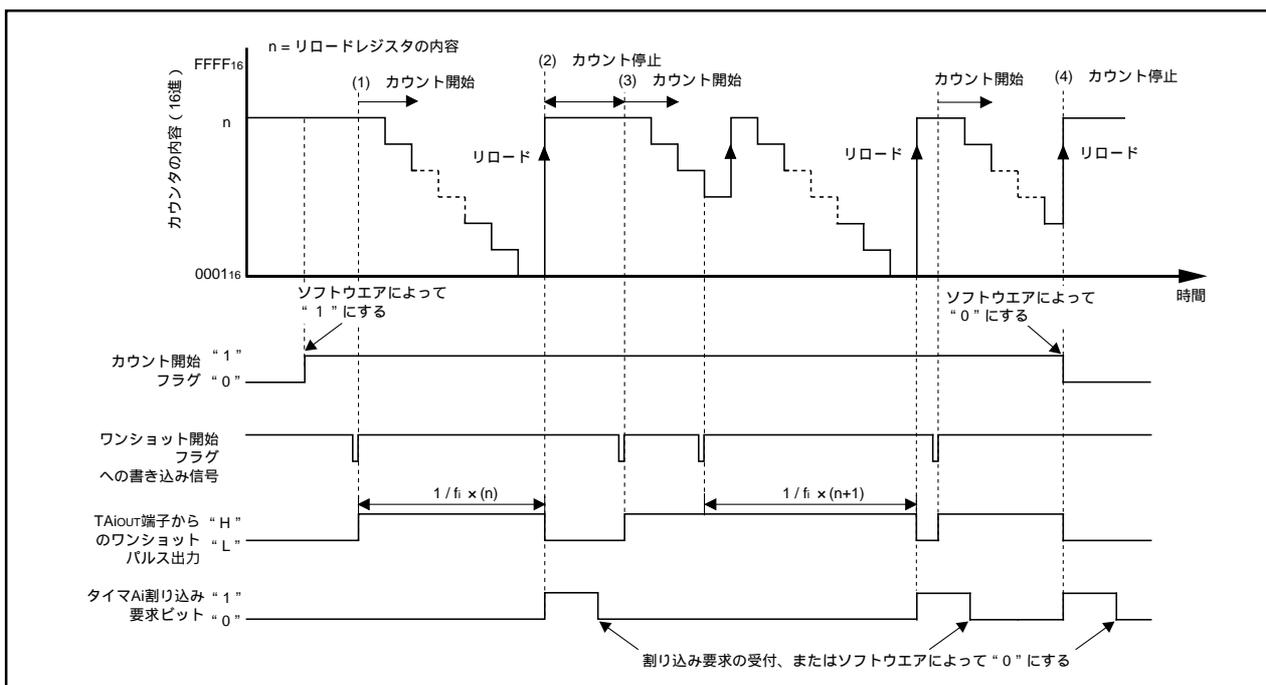
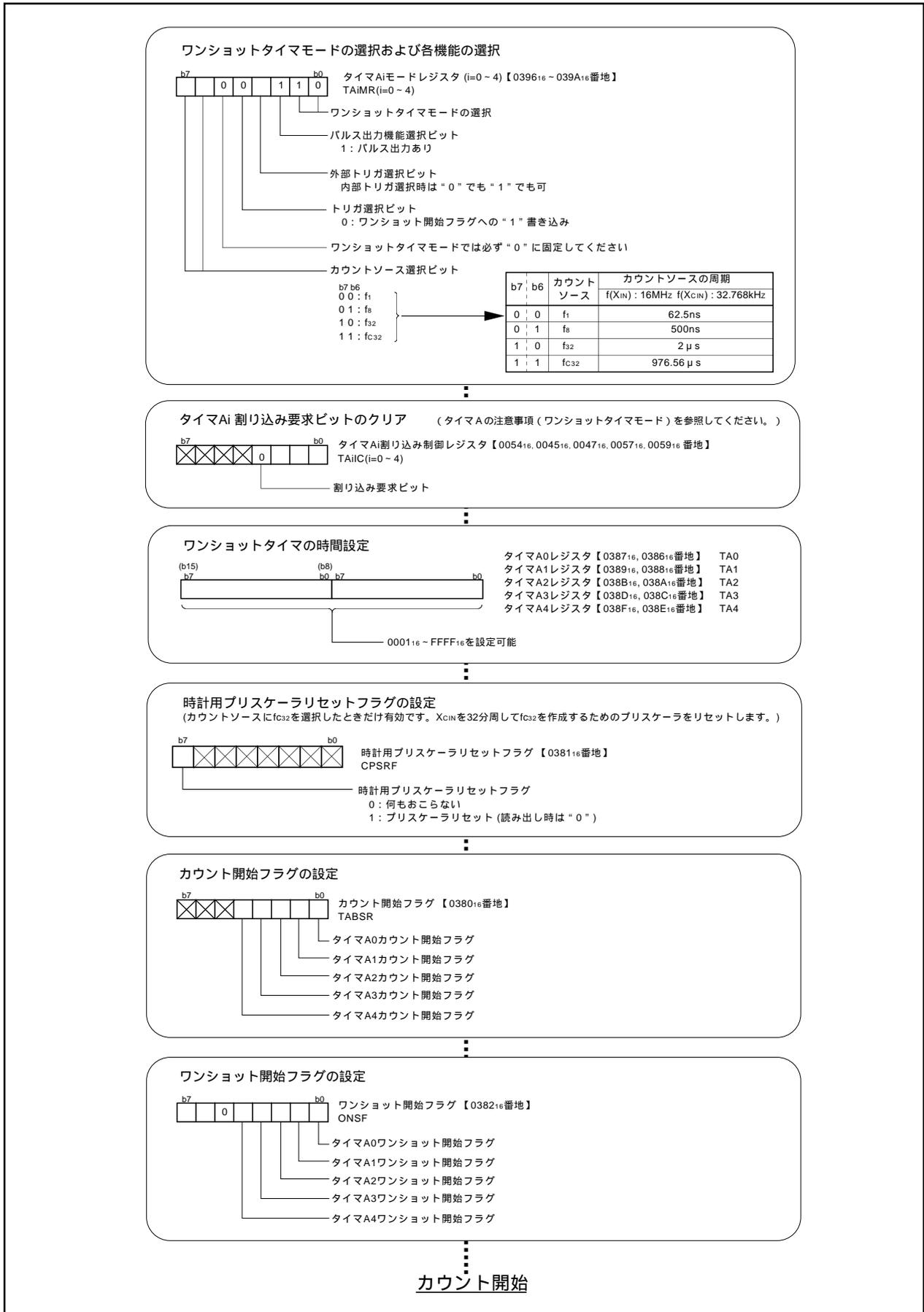


図2.2.20. ワンショットタイマモード動作タイミング図



2.2.10 タイマA動作 (パルス幅変調モード、16ビットPWMモード選択時)

パルス幅変調モードでは、表2.2.10に示す項目の中から機能を選択できます。ここでは、表2.2.10に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.22に動作タイミングを、図2.2.23、図2.2.24に設定手順を示します。

表2.2.10. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
PWMモード	16ビットPWM
	8ビットPWM
カウント開始条件	外部トリガ入力(TAiN端子の入力信号の立ち下がり)
	外部トリガ入力(TAiN端子の入力信号の立ち上がり)
	タイマのオーバーフロー(TAjのオーバーフロー / TAkのオーバーフロー)

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i + 1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作
- (1) カウント開始フラグが“1”でTAiN端子の入力信号が“L”レベルから“H”レベルになると、カウンタはカウントソースをダウンカウントします。また、TAiOUT端子は“H”レベルを出力します。
 - (2) TAiOUT端子の出力レベルは、設定した時間を経過すると“H”から“L”になります。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) PWMパルスを1周期出力するごとに、リロードレジスタの内容をリロードしてカウントを続けます。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子の出力レベルは“L”になります。

補足説明

- ・PWMパルスの周期は $(2^{16} - 1) / f_i$ 、“H”レベル幅は n / f_i になります。ただし、タイマAiレジスタに“0000₁₆”を設定した場合は、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままです(f_i : カウントソースの周波数 f_1 、 f_8 、 f_{32} 、 f_{c32} n : タイマ値)。
- ・TAiN端子は対応する方向レジスタを“0”にしてください。

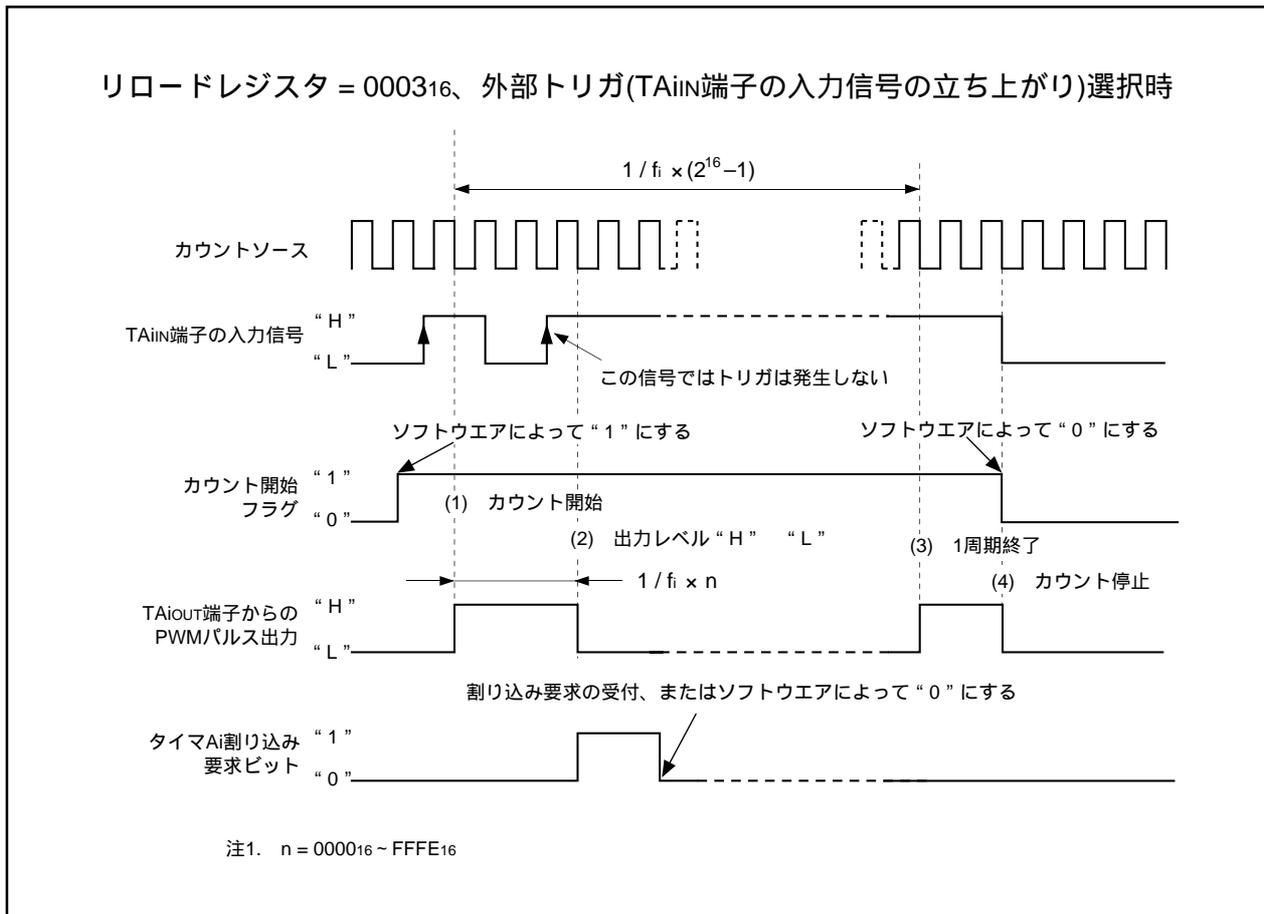
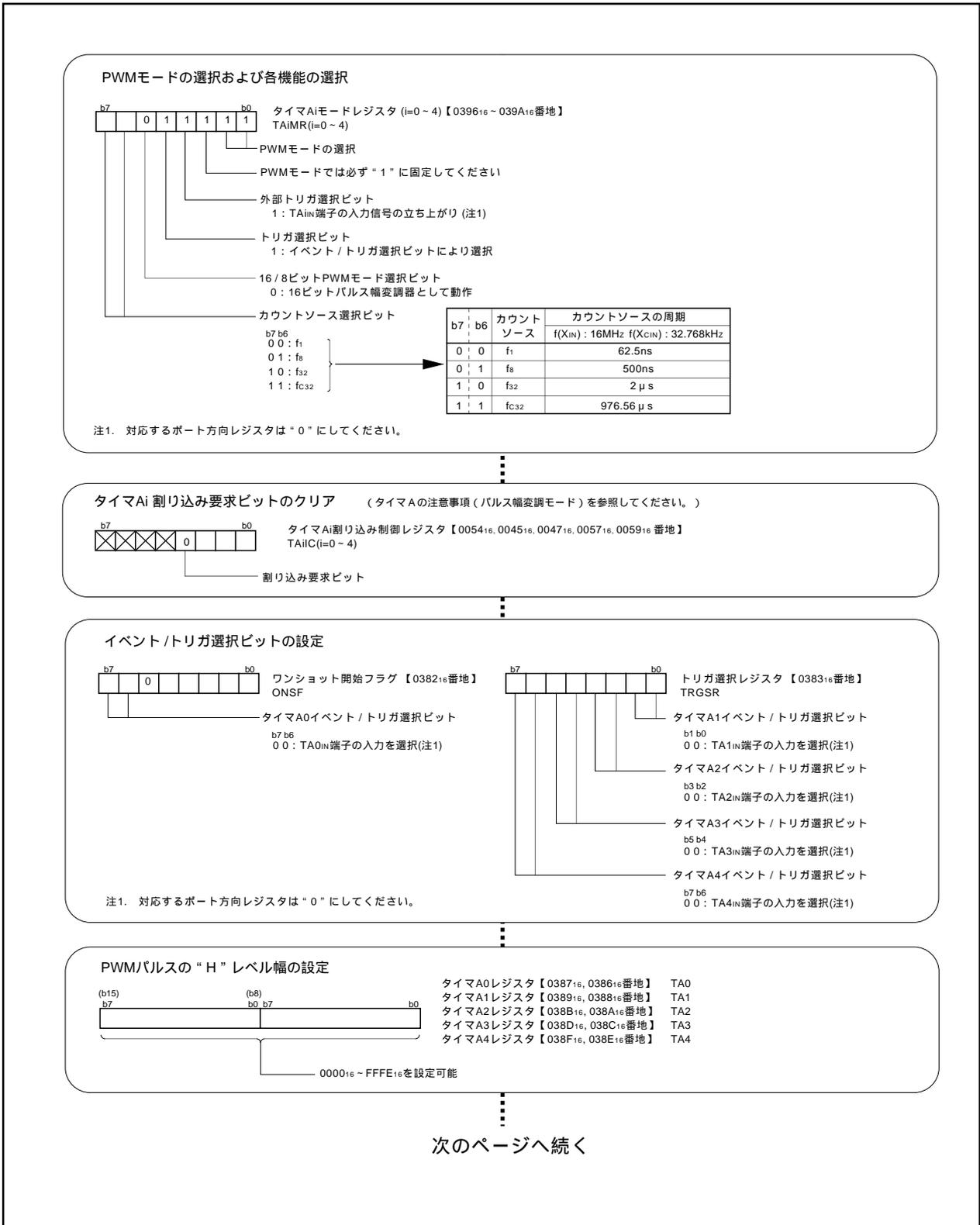


図2.2.22. パルス幅変調モード動作、16ビットPWMモード選択時のタイミング図



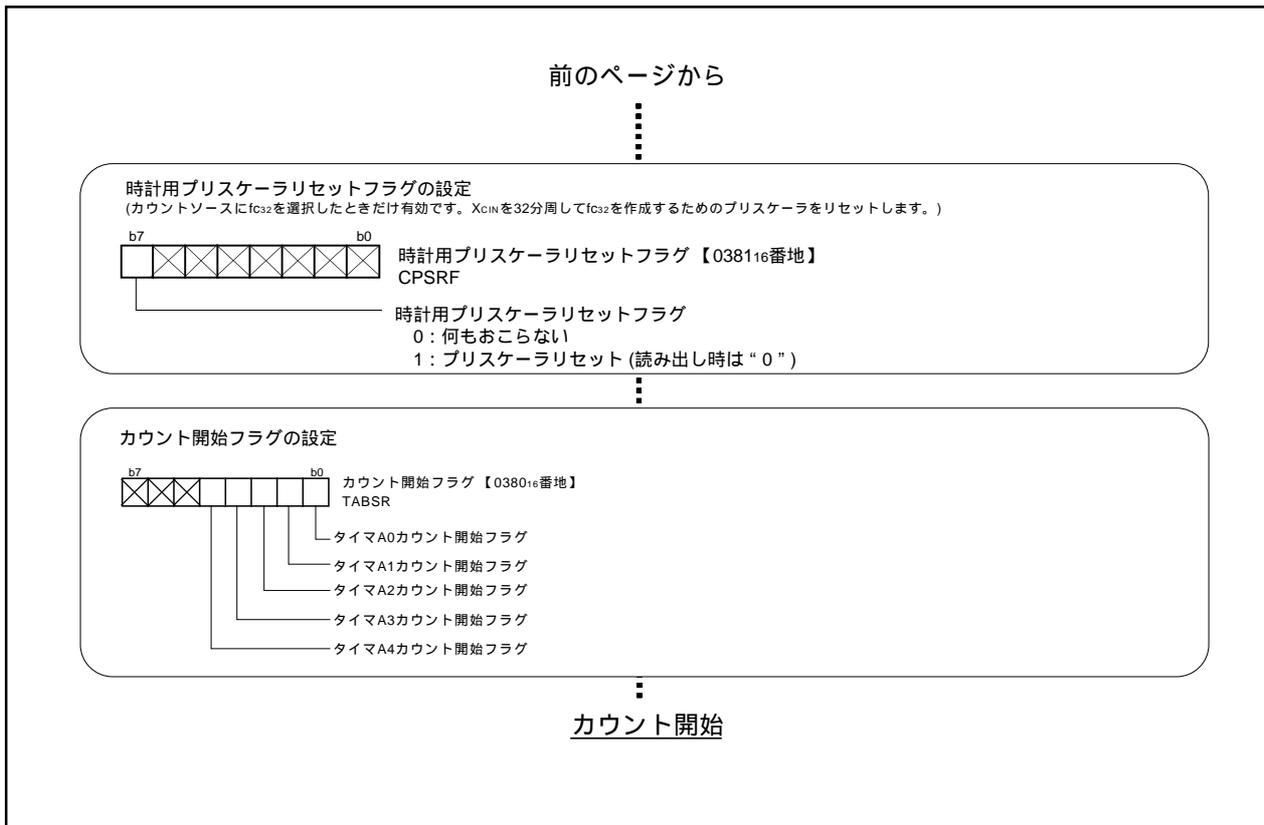


図2.2.24. パルス幅変調モード、16ビットPWMモード選択時のレジスタ設定手順(2)

2.2.11 タイマA動作 (パルス幅変調モード、8ビットPWMモード選択時)

パルス幅変調モードでは、表2.2.11に示す項目の中から機能を選択できます。ここでは、表2.2.11に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.25に動作タイミングを、図2.2.26、図2.2.27に設定手順を示します。

表2.2.11. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
PWMモード	16ビットPWM
	8ビットPWM
カウント開始条件	外部トリガ入力(TAiN端子の入力信号の立ち下がり)
	外部トリガ入力(TAiN端子の入力信号の立ち上がり)
	タイマのオーバフロー(TAjのオーバフロー / TAcのオーバフロー)

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i + 1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作**
- (1) カウント開始フラグが“1”でTAiN端子の入力レベルが“H”から“L”になると、カウンタはカウントソースをダウンカウントします。また、TAiOUT端子は“H”レベルを出力します。
 - (2) TAiOUT端子の出力レベルは、設定した時間を経過すると“H”から“L”になります。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) PWMパルスを1周期出力するごとに、リロードレジスタの内容をリロードしてカウントを続けます。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子は“L”レベルを出力します。

- 補足説明**
- ・PWMパルスの周期は $(m + 1) \times (2^8 - 1) / f_i$ 、“H”レベル幅は $n \times (m + 1) / f_i$ になります。ただし、タイマAiレジスタの上位8ビットに“0016”を設定した場合は、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままです(f_i : カウントソースの周波数 f_1 、 f_8 、 f_{32} 、 f_{c32} n : タイマ値)。
 - ・トリガ発生後、TAiOUT端子は設定したPWMパルスの“H”レベル幅と同じ幅の“L”レベルを出力し、その後、PWMパルスの出力を開始します。
 - ・TAiN端子の対応する方向レジスタを“0”にしてください。

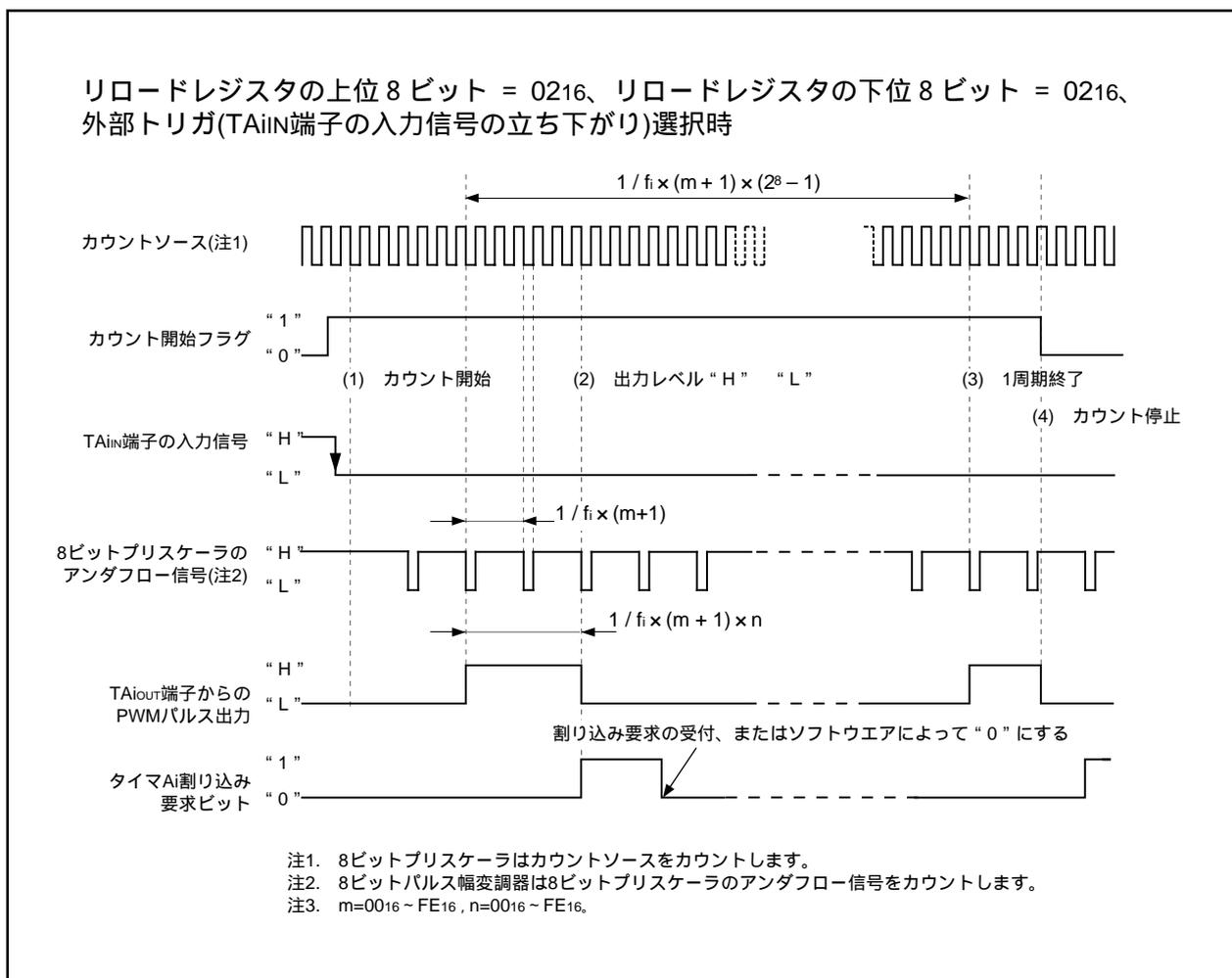


図2.2.25. パルス幅変調モード、8ビットPWMモード選択時の動作タイミング図

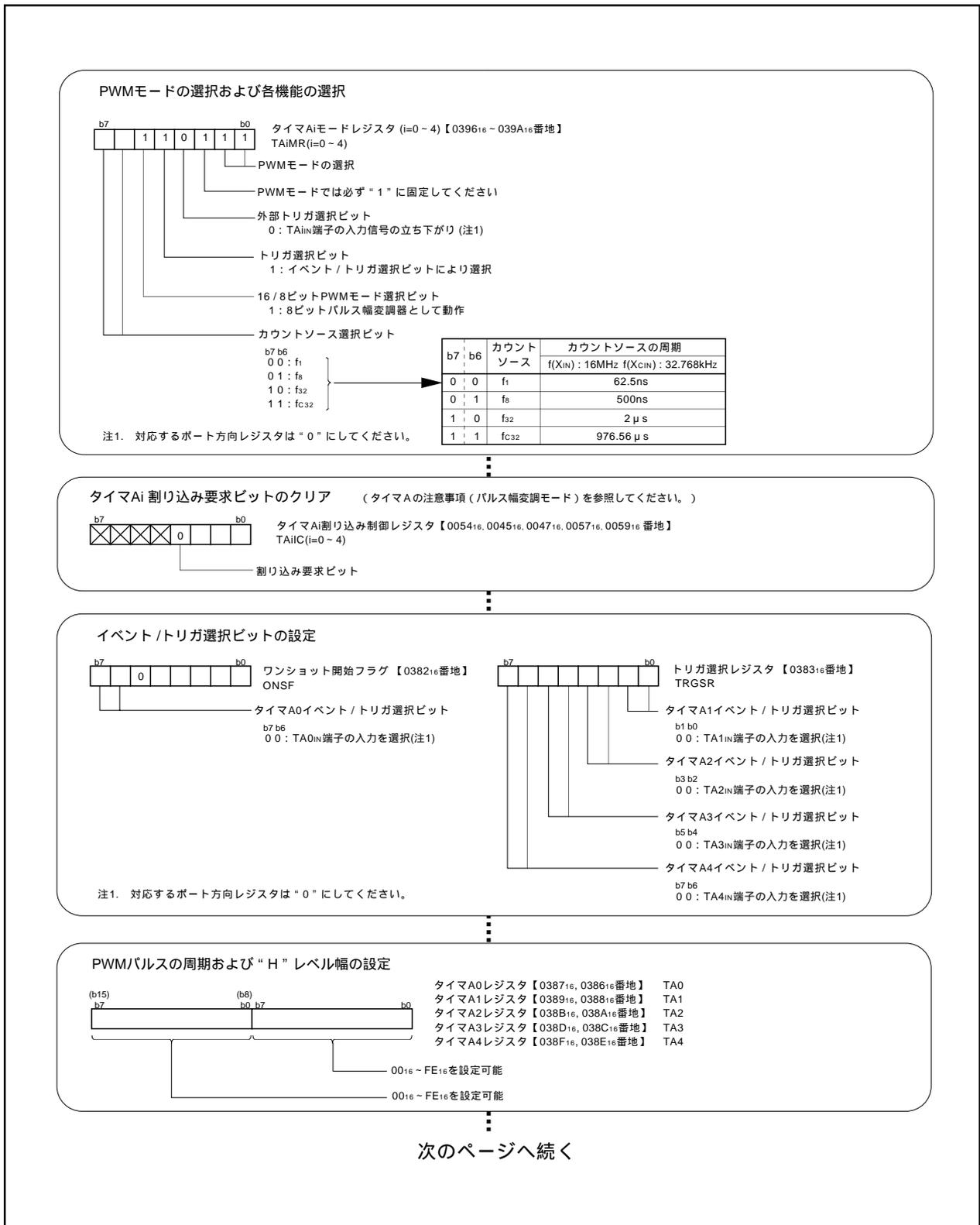


図2.2.26. パルス幅変調モード、8ビットPWMモード選択時のレジスタ設定手順(1)

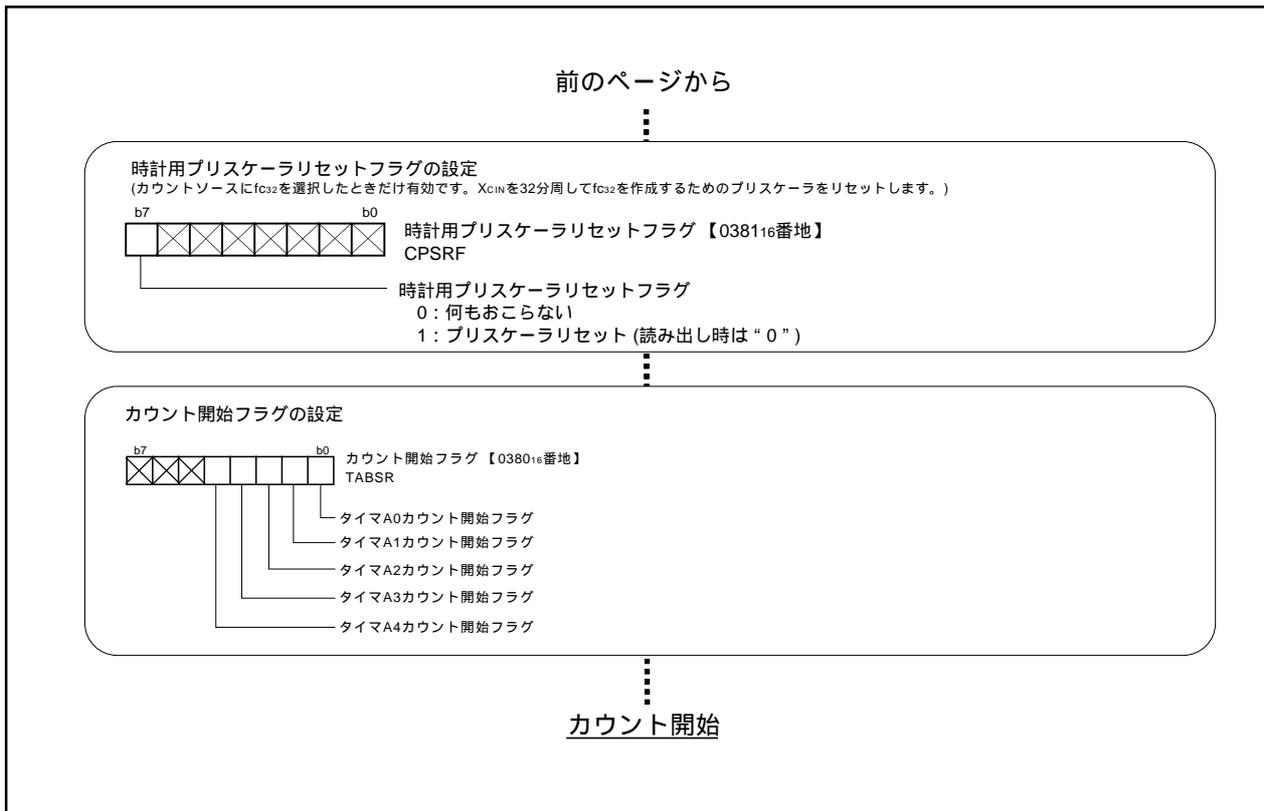


図2.2.27. パルス幅変調モード、8ビットPWMモード選択時のレジスタ設定手順(2)

2.2.12 タイマAの注意事項 (タイマモード)

- 内 容 (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。
- (2) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、図2.2.28に示すリロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

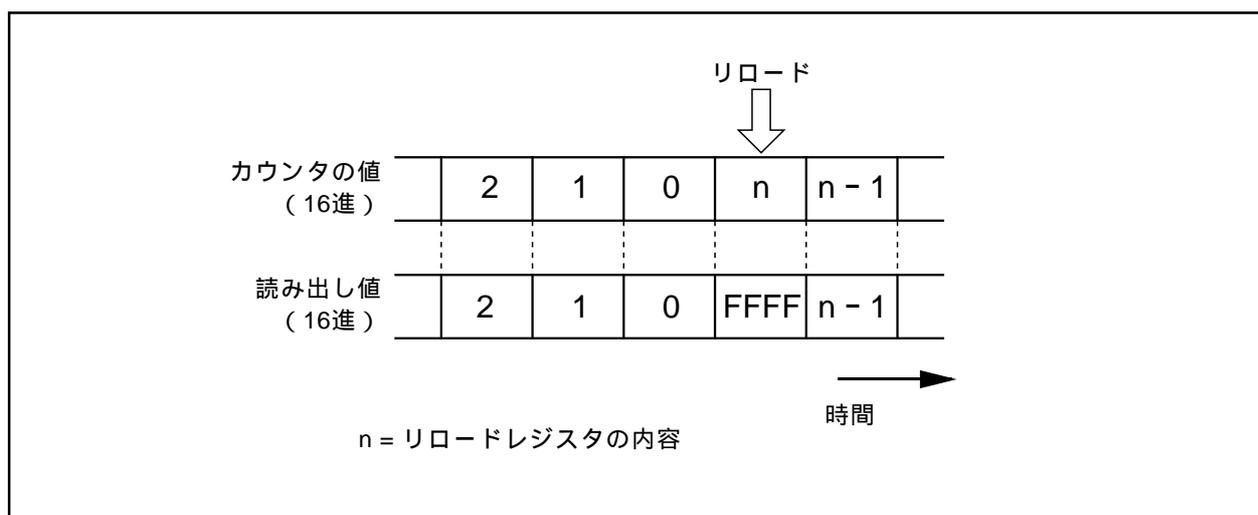


図2.2.28. タイマAiレジスタの読み出し

2.2.13 タイマAの注意事項 (イベントカウンタモード)

- 内容 (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。
- (2) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、図2.2.29に示すリロードタイミングで読み出した場合、アンダフロー時はFFFF₁₆が、オーバフロー時は0000₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (3) 二相パルス信号処理機能で使用する二相パルス(TAiIN、TAiOUT(i=2~4)端子への入力信号)のいずれは図2.2.30に示す規格を満たしてください。
- (4) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。
- (5) フリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になることがあります。したがって、カウント開始前にタイマレジスタに値を設定しても、不定値からカウントを開始することがあります。
- アップカウント、ダウンカウントを切り替えない場合
リロードタイプを使用してください。カウント開始前にタイマレジスタに値を設定し、カウント開始直後タイマレジスタの値を書き替えてください。アップカウントで使用する場合は、タイマレジスタの値を0000₁₆に書き替え、ダウンカウントで使用する場合は、タイマレジスタの値をFFFF₁₆に書き替えることによって、フリーランタイプと同じ動作をします。
- アップカウント、ダウンカウントを切り替える場合
カウントパルスが入力されるまで、リロードタイプで使用してください。1パルス分のカウントパルスが入力されてから、フリーランタイプにモードを変更してください。

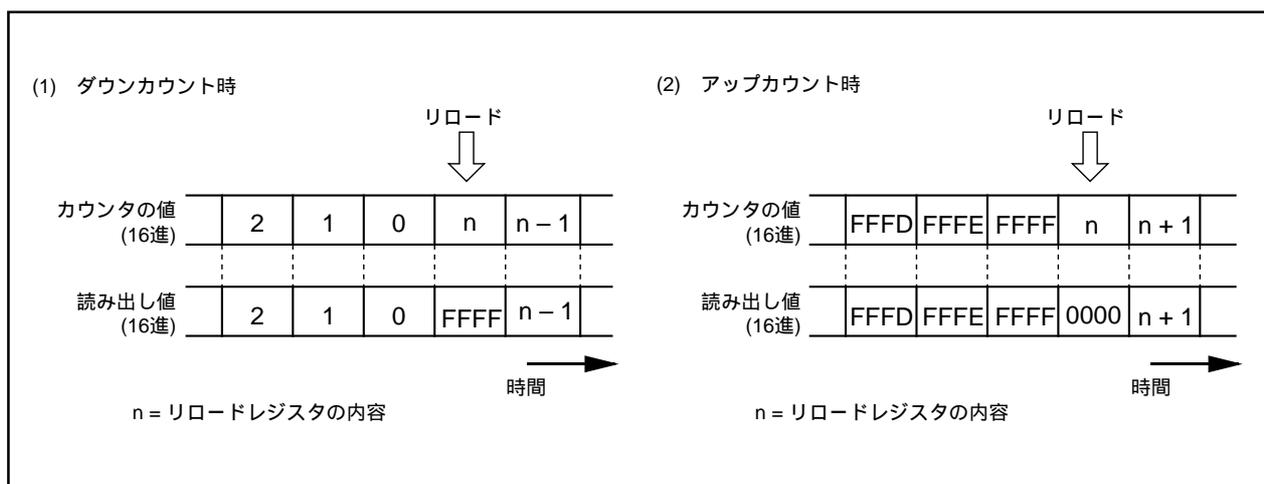


図2.2.29. タイマAiレジスタの読み出し

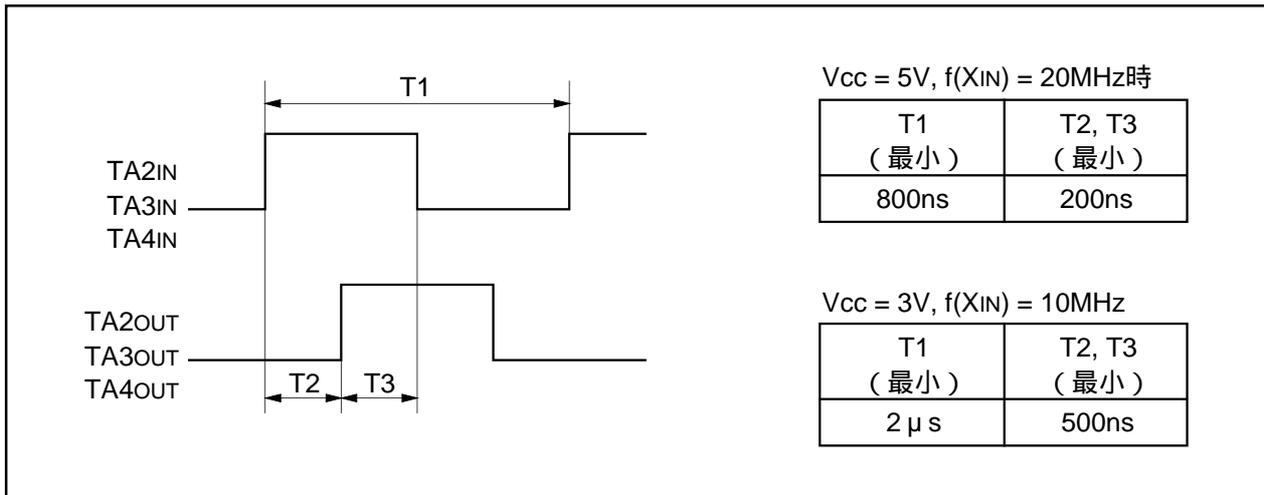


図2.2.30. 二相パルスの規格

2.2.14 タイマAの注意事項 (ワンショットタイマモード)

- 内 容
- (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。
 - (2) カウント中にカウント開始フラグを“0”にすると次のようになります。
カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
TAiOUT端子の出力レベルは“L”になります。
割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。
 - (3) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
リセット後、ワンショットタイマモードを選択したとき
動作モードをタイマモードからワンショットタイマモードに変更したとき
動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
 - (4) カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

2.2.15 タイマAの注意事項 (パルス幅変調モード)

- 内 容
- (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。
 - (2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したときしたがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
 - (3) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

2.3 クロック同期形シリアルI/O

2.3.1 概要

クロック同期形シリアルI/Oは、クロックに同期して8ビットのデータ通信を行います。クロック同期形シリアルI/Oの概要について説明します。

送受信フォーマット

8ビットデータです。

転送速度

転送クロックに内部クロックを選択した場合、転送速度レジスタで分周した周波数の2分周が転送速度となります。転送速度レジスタのカウントソースは、f₁、f₈、およびf₃₂から選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

転送クロックに外部クロックを選択した場合、CLK端子に入力されたクロックの周波数が転送速度となります。

エラー検知

オーバランエラーだけを検知できます。オーバランエラーとは、UARTi受信バッファレジスタの内容を読み出す前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生するエラーです。

エラー発生時の対処方法

受信時、エラーフラグと受信データを同時に読み出し、エラーの判断を行ってください。読み出したデータがエラーの場合は、エラーフラグ、およびUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。UARTi受信バッファレジスタを初期化する手順を以下に示します。

- (1)受信許可ビットを“0” (受信禁止)にする
- (2)シリアルI/Oモード選択ビットを“0002” (シリアルI/Oは無効)にする
- (3)シリアルI/Oモード選択ビットを再設定する
- (4)受信許可ビットを再度“1” (受信許可)にする

シリアルクロックがノイズでずれる等のエラーが発生して再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信してください。UARTi送信バッファレジスタを再設定する手順を以下に示します。

- (1)シリアルI/Oモード選択ビットを“0002” (シリアルI/Oは無効)にする
- (2)シリアルI/Oモード選択ビットを再設定する
- (3)送信許可ビットを“1” (送信許可)にし、UARTi送信バッファレジスタに送信データを設定する

選択機能

クロック同期形シリアルI/Oでは、次の機能を選択することができます。

(1) CTS / RTS機能

CTS機能とは、外部のICが、CTS端子に“L”レベルを入力することによって送受信を開始させる機能です。送受信の開始時にCTS端子入力レベルを検知しますので、送受信の最中に“H”にした場合は、次のデータから停止します。

RTS機能とは、受信準備が整ったとき、RTS端子の出力レベルが“L”になり、外部のICに知らせる機能です。転送クロックの最初の立ち上がりで“H”に戻ります。

クロック同期形シリアルI/Oでは、CTS / RTS機能として次の3種類から選択できます。

$\overline{\text{CTS}} / \overline{\text{RTS}}$ 機能無効	$\overline{\text{CTS}} / \overline{\text{RTS}}$ 端子はプログラブル入出力ポートとして使用できます。
$\overline{\text{CTS}}$ 機能だけ有効	$\overline{\text{CTS}} / \overline{\text{RTS}}$ 端子はCTS機能として動作します。
$\overline{\text{RTS}}$ 機能だけ有効	$\overline{\text{CTS}} / \overline{\text{RTS}}$ 端子はRTS機能として動作します。

(2) CLK極性選択機能

CLK極性選択機能とは、転送クロックの極性を切り替える機能です。次の2種類から選択できます。

転送クロックの立ち下がりでデータ入力、立ち上がりでデータ出力します。

転送クロックの立ち上がりでデータ入力、立ち下がりでデータ出力します。

(3) LSB / MSBファースト選択機能

LSB / MSBファースト選択機能とは、データのビット0から送受信するか、ビット7から送受信するかを切り替える機能です。次の2種類から選択できます。

LSBファースト ビット0から送受信を行います。

MSBファースト ビット7から送受信を行います。

(4) 連続受信モード選択機能

連続受信モードとは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。

このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

通常モード 送信バッファレジスタにダミーデータを書き込むことで受信許可状態になります。

連続受信モード 受信バッファレジスタを読み込むことで受信許可状態になります。

(5) シリアルデータ論理切り替え機能

シリアルデータ論理切り替え機能とは、送信バッファレジスタへの書き込み、および受信バッファからの読み出しの際、データを反転させる機能です。

(6) 送信割り込み要因選択機能

送信割り込みの発生タイミングを送信バッファが空になったときか、送信レジスタが空になったときかを選択できます。送信バッファが空になったときを選択すると、送信データが送信バッファから送信レジスタに移動したときに割り込みが発生し、連続で送信することができます。また、送信レジスタが空になったときを選択すると、送信データがすべて送り終わったときに割り込みが発生します。

(7) TxD, RxD入出力極性切り替え機能

TxD, RxD入出力極性切り替え機能とは、TxD端子出力極性およびRxD端子入力極性を反転する機能です。

(1)~(7)の機能を次のとおり選択した動作例を2.3.2項以降に示します。

$\overline{\text{CTS}}$ 機能、クロックの立ち下がりで送信、LSBファースト、送信バッファ空で割り込み発生時の送信動作

$\overline{\text{CTS}} / \overline{\text{RTS}}$ 機能無効、クロックの立ち下がりで送信、LSBファースト、送信完了で割り込み発生時の送信動作

RTS機能、クロックの立ち下がりで受信、LSBファースト、連続受信モード禁止時の受信動作

シリアルI/Oへの入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、ポートの方向レジスタは入力に設定してください。

シリアルI/O関連端子

- (1) $\overline{\text{CTS}}_0$ 、 $\overline{\text{CTS}}_1$ 、 $\overline{\text{CTS}}_2$ 、 $\overline{\text{CTS}}_3$ 端子 CTS機能の入力端子です。
- (2) $\overline{\text{RTS}}_0$ 、 $\overline{\text{RTS}}_1$ 、 $\overline{\text{RTS}}_2$ 、 $\overline{\text{RTS}}_3$ 端子 RTS機能の出力端子です。
- (3) CLK_0 、 CLK_1 、 CLK_2 、 CLK_3 端子 転送クロックの入出力端子です。
- (4) RxD_0 、 RxD_1 、 RxD_2 、 RxD_3 端子 データの入力端子です。
- (5) TxD_0 、 TxD_1 、 TxD_2 、 TxD_3 端子 データの出力端子です。(注1)

(TxD_2 端子はNチャンネルオープンドレイン出力ですのでプルアップ抵抗が必要です。)

シリアルI/O関連レジスタ

図2.3.1にシリアルI/O関連レジスタのメモリ配置図を、図2.3.2～2.3.4にシリアルI/O関連レジスタの構成を示します。

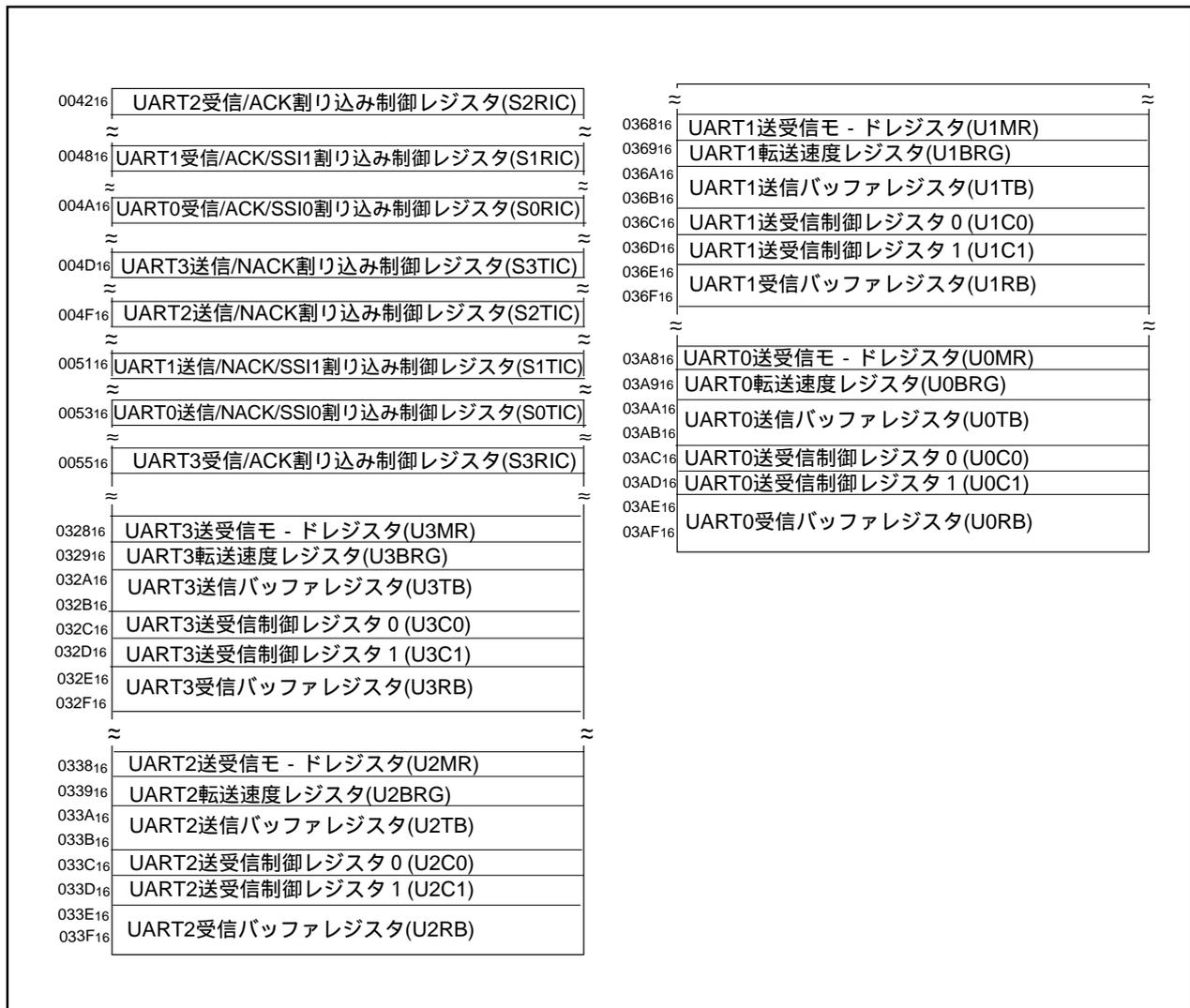


図2.3.1. シリアルI/O関連レジスタのメモリ配置図

UARTi送信バッファレジスタ (i=0~3) (注1)

シンボル	アドレス	リセット時
U0TB	03AB ₁₆ , 03AA ₁₆ 番地	不定
U1TB	036B ₁₆ , 036A ₁₆ 番地	不定
U2TB	033B ₁₆ , 033A ₁₆ 番地	不定
U3TB	032B ₁₆ , 032A ₁₆ 番地	不定

ビットシンボル	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同期形シリアルI/Oモード)	R/W
——	送信データ	送信データ	x 0
——	——	送信データ(9bit目)	x 0
——	何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		— —

注1. このレジスタの書き込みはMOV命令を使用してください。

UARTi受信バッファレジスタ (i=0~3)

シンボル	アドレス	リセット時
U0RB	03AF ₁₆ , 03AE ₁₆ 番地	不定
U1RB	036F ₁₆ , 036E ₁₆ 番地	不定
U2RB	033F ₁₆ , 033E ₁₆ 番地	不定
U3RB	032F ₁₆ , 032E ₁₆ 番地	不定

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同期形シリアルI/Oモード)	R/W
——	——	受信データ	受信データ	0 x
——	——	——	受信データ(9bit目)	0 x
——	何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		——	— —
ABT	アービトラージョンロスト検出フラグ (注1)	0: 未検出(勝) 1: 検出(負)	無効	0 0
OER	オーバランエラーフラグ (注2)	0: オーバランエラーなし 1: オーバランエラー発生	0: オーバランエラーなし 1: オーバランエラー発生	0 x
FER	フレーミングエラーフラグ (注2)	無効	0: フレーミングエラーなし 1: フレーミングエラー発生	0 x
PER	パリティエラーフラグ (注2)	無効	0: パリティエラーなし 1: パリティエラー発生	0 x
SUM	エラーサムフラグ (注2)	無効	0: エラーなし 1: エラー発生	0 x

注1. アービトラージョンロスト検出フラグは、“0”のみ書き込みできます。

注2. bit15~bit12はシリアルI/Oモード選択ビット(03A8₁₆,0368₁₆,033B₁₆,0328₁₆番地のbit2~bit0)を“000₂”にしたとき、又は受信許可ビットを“0”にしたとき“0”になります(bit15は、bit14~bit12がすべて“0”になると“0”になります)。また、bit14,bit13はUARTi受信バッファレジスタの下位バイト(03AE₁₆,036E₁₆,033E₁₆,032E₁₆番地)を読み出したときも、“0”になります。

図2.3.2. シリアルI/O関連のレジスタ (1)

UARTi転送速度レジスタ (i=0~3) (注1,2)

b7 b0

シンボル	アドレス	リセット時
U0BRG	03A9 ₁₆ 番地	不定
U1BRG	0369 ₁₆ 番地	不定
U2BRG	0339 ₁₆ 番地	不定
U3BRG	0329 ₁₆ 番地	不定

機能	設定可能値	R/W
設定値を n とすると、BRG _i はカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	-

注1 . このレジスタの書き込みはMOV 命令を使用してください。
 注2 . 送受信停止中に値を書き込んでください。

UARTi 送受信モードレジスタ (i=0~3)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
UOMR	03A8 ₁₆ 番地	00 ₁₆
U1MR	0368 ₁₆ 番地	00 ₁₆
U2MR	0338 ₁₆ 番地	00 ₁₆
U3MR	0328 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能 (クック同期形シリアルI/Oモード時)	機能 (クック非同期形シリアルI/Oモード時)	R/W
SMD0	シリアルI/Oモード選択ビット (注3)	b2 b1 b0 0 0 0 : シリアルI/Oは無効 0 0 1 : シリアルI/Oモード 0 1 0 : I ² Cモード 上記以外の値は設定しないでください。	b2 b1 b0 0 0 0 : シリアルI/Oは無効 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 上記以外の値は設定しないでください。	-
SMD1				-
SMD2				-
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	0 : 内部クロック 1 : 外部クロック(注1)	-
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	-
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	-
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	-
IOPOL	TxD,RxD 入出力極性 切り替えビット (注2)	0 : 反転なし 1 : 反転あり		-

注1. I²Cバスインタフェースモード選択時、対応するポート(SCLi)のポート方向レジスタを“0”、またはポート方向レジスタを“1”でポートデータレジスタを“1”にしてください。その他のシリアルI/Oモード選択時、対応するポート(CLKi)のポート方向レジスタを“0”にしてください。
 注2. 通常“0”を設定してください。
 注3. 受信する場合、RxDi端子に対応するポート方向レジスタは“0”にしてください。

図2.3.3. シリアルI/O関連のレジスタ (2)



図2.3.4. シリアルI/O関連のレジスタ (3)

2.3.2 シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信)

クロック同期形シリアルI/Oモードの送信では、表2.3.1に示す項目の中から機能を選択できます。ここでは、表2.3.1に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.3.5に動作タイミングを、図2.3.6、図2.3.7に設定手順を示します。

表2.3.1. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	転送フォーマット	LSBファースト
	外部クロック(CLK _i 端子)		MSBファースト
CTS機能	CTS機能許可	送信割り込み要因	送信バッファ空
	CTS機能禁止		送信完了
CLK極性	転送クロックの立ち下がりで送信データ出力	シリアルデータ論理	反転なし
			反転あり
	転送クロックの立ち上がりで送信データ出力	TxD, RxD入出力極性切り替え機能	反転なし
			反転あり

- 動作
- (1) 送信許可ビットを“1”にし、UART_i送信バッファレジスタに送信データを書き込むと送信できる状態になります。
 - (2) CTS_i端子の入力が“L”レベルになると送信を開始します(CTS_i端子は、受信側で制御する必要があります)。
 - (3) 最初の転送クロックの立ち下がりエッジに同期して、UART_i送信バッファレジスタに入っている送信データがUART_i送信レジスタに転送されます。同時に、UART_i送信割り込み要求ビットが“1”になります。また、送信データの1ビット目がTxDi端子から送信されます。そして、立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。
 - (4) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。また、転送クロックは“H”レベルで停止します。
 - (5) 送信中(8ビット目が出力される前)に、UART_i送信バッファレジスタに次の送信データを設定していれば、続けて送信が行われます。

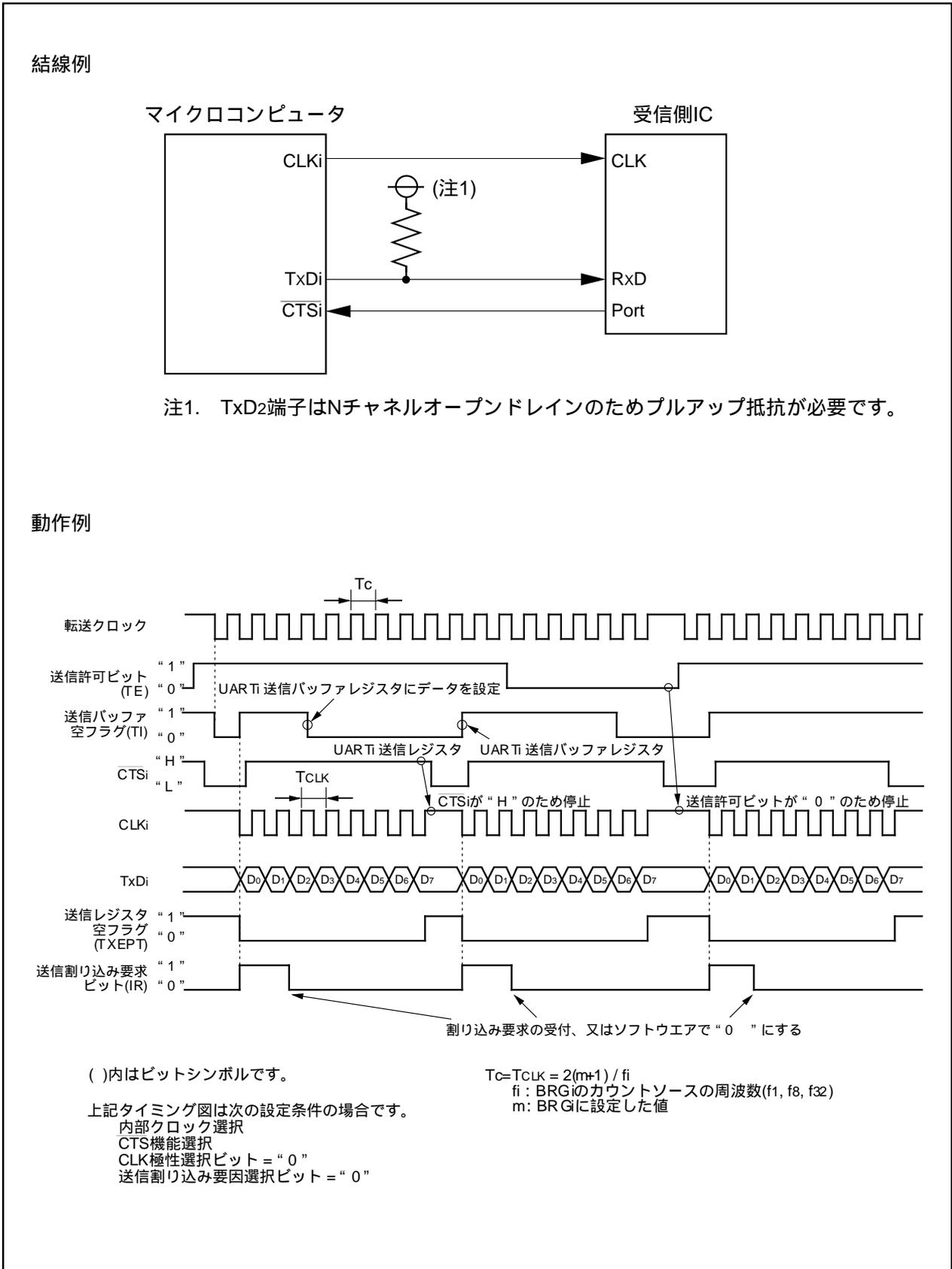


図2.3.5. クロック同期形シリアルI/Oモードの送信動作タイミング図

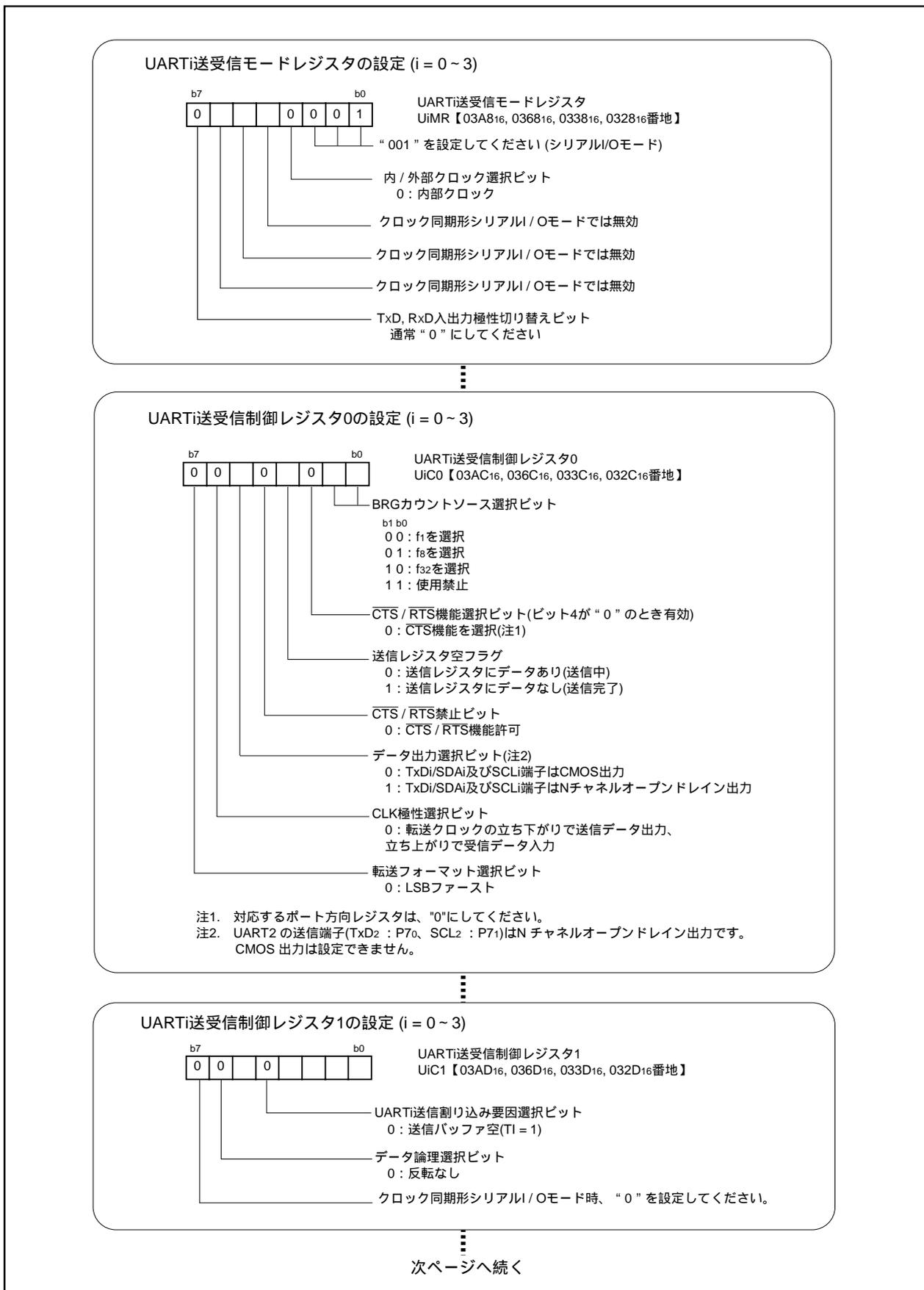


図2.3.6. クロック同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(1)

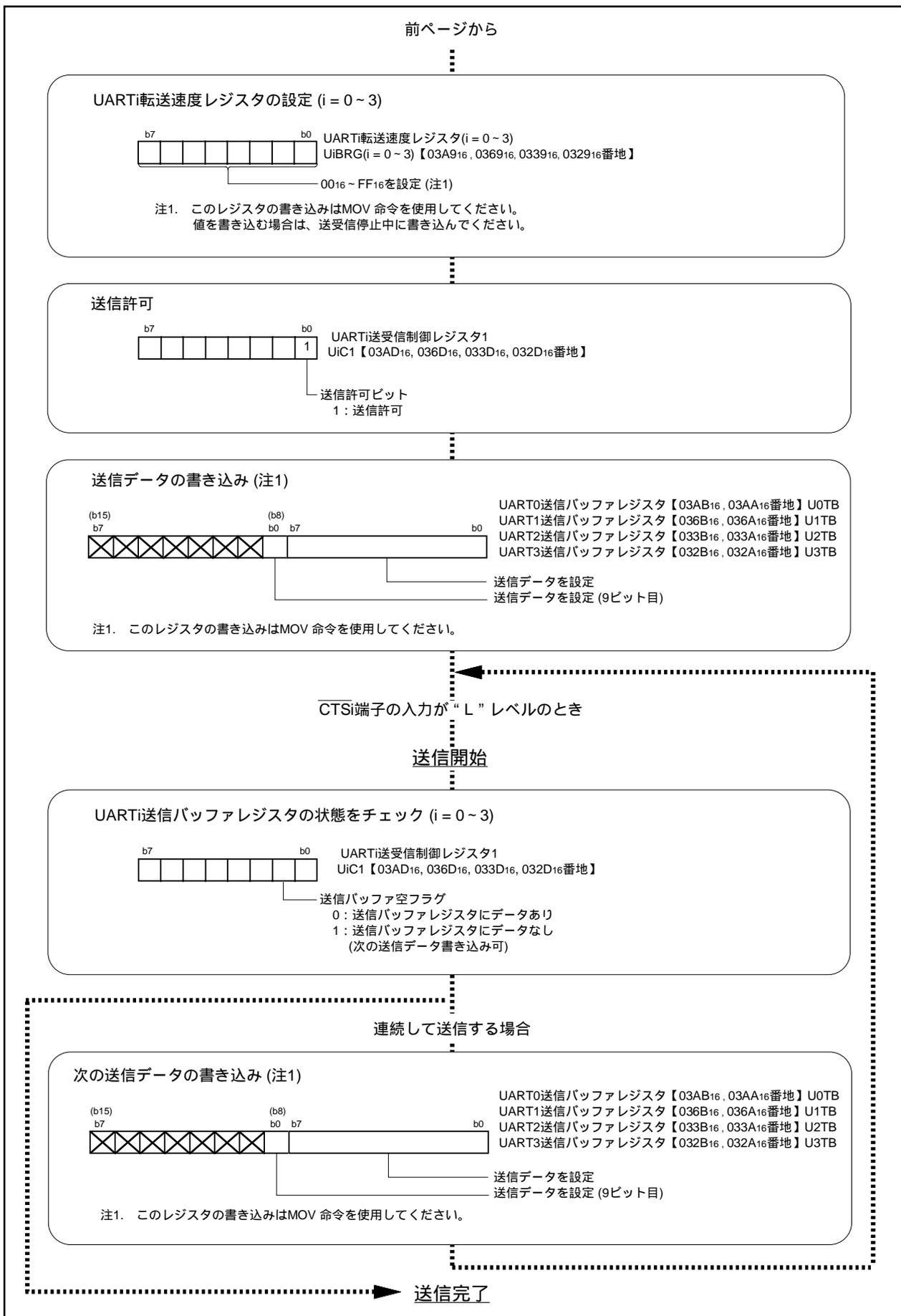


図2.3.7. クロック同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(2)

2.3.3 シリアルI/O動作 (クロック同期形シリアルI/Oモードの受信)

クロック同期形シリアルI/Oモードの受信では、表2.3.2に示す項目の中から機能を選択できます。ここでは、表2.3.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.3.8に動作タイミングを、図2.3.9、図2.3.10に設定手順を示します。

表2.3.2. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	転送フォーマット	LSBファースト
	外部クロック(CLKi端子)		MSBファースト
RTS機能	RTS機能許可	連続受信モード	禁止
	RTS機能禁止		許可
CLK極性	転送クロックの立ち上がりで受信データ入力	シリアルデータ論理	反転なし
			反転あり
	転送クロックの立ち下がりで受信データ入力	TxD, RxD入出力極性切り替え機能	反転なし
			反転あり

- 動作
- (1) UARTi送信バッファレジスタにダミーデータを書き込み、受信許可ビットを“1”、送信許可ビットを“1”にすると、受信できる状態になります。同時に、 $\overline{\text{RTSi}}$ 端子の出力が“L”レベルになり、受信できる状態になったことを送信側に知らせます(送信側のICでは、 $\overline{\text{RTS}}$ 出力が“L”レベルになったことを確認した後、転送クロックを出力してください)。
 - (2) 最初の転送クロックの立ち上がりエッジに同期して、RxDi端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。そして、転送クロックの立ち上がりエッジに同期して、UARTi受信レジスタの内容を右にシフトしながらデータを取り込みます。
 - (3) UARTi受信レジスタに1バイトのデータが揃うと、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。また、転送クロックは“H”レベルで停止します。同時に、受信完了フラグとUARTi受信割り込み要求ビットが“1”になります。
 - (4) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。

補足説明 ・CLKi端子、RxDi端子は対応する方向レジスタを“0”にしてください。

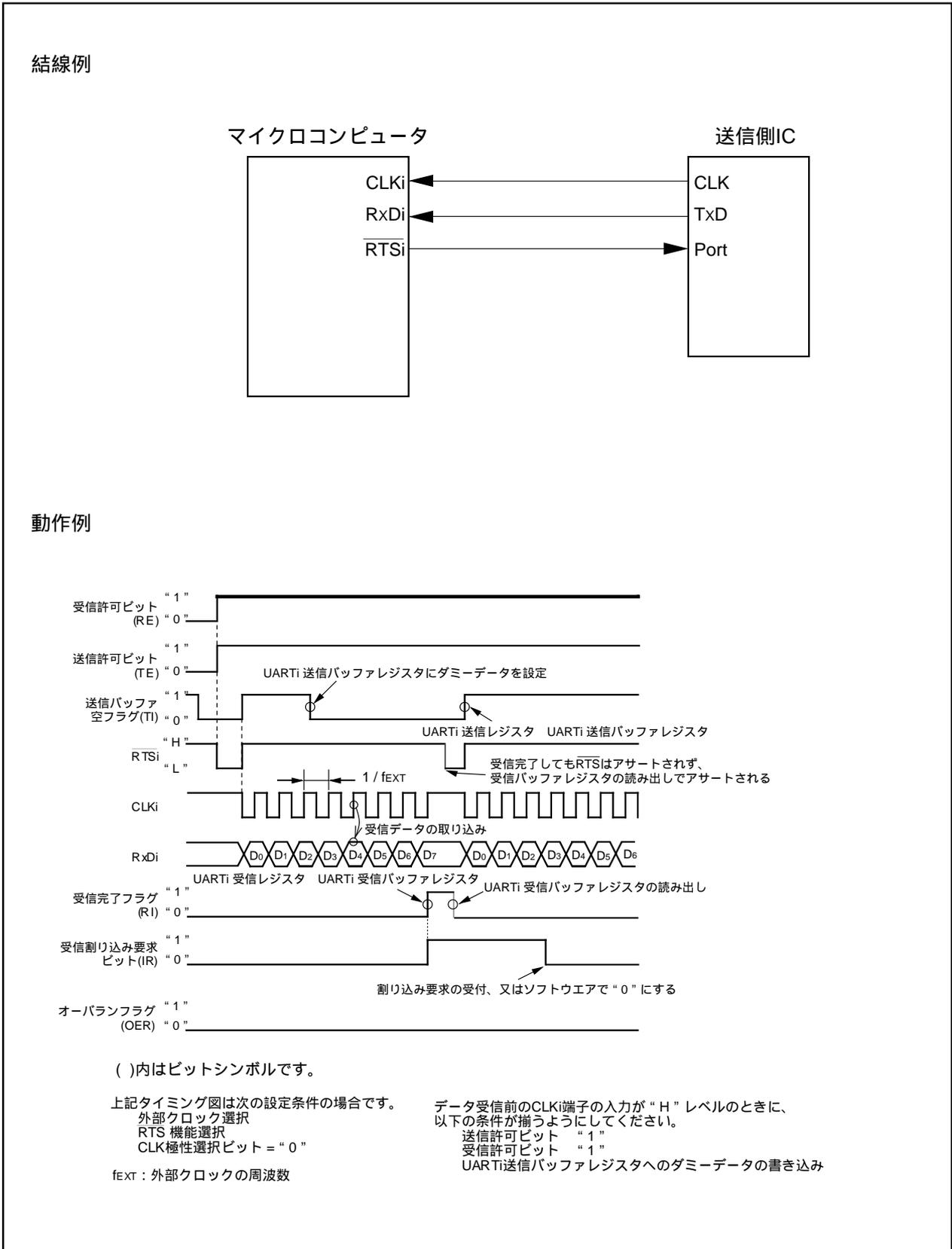


図2.3.8. クロック同期形シリアルI/Oモードの受信動作タイミング図

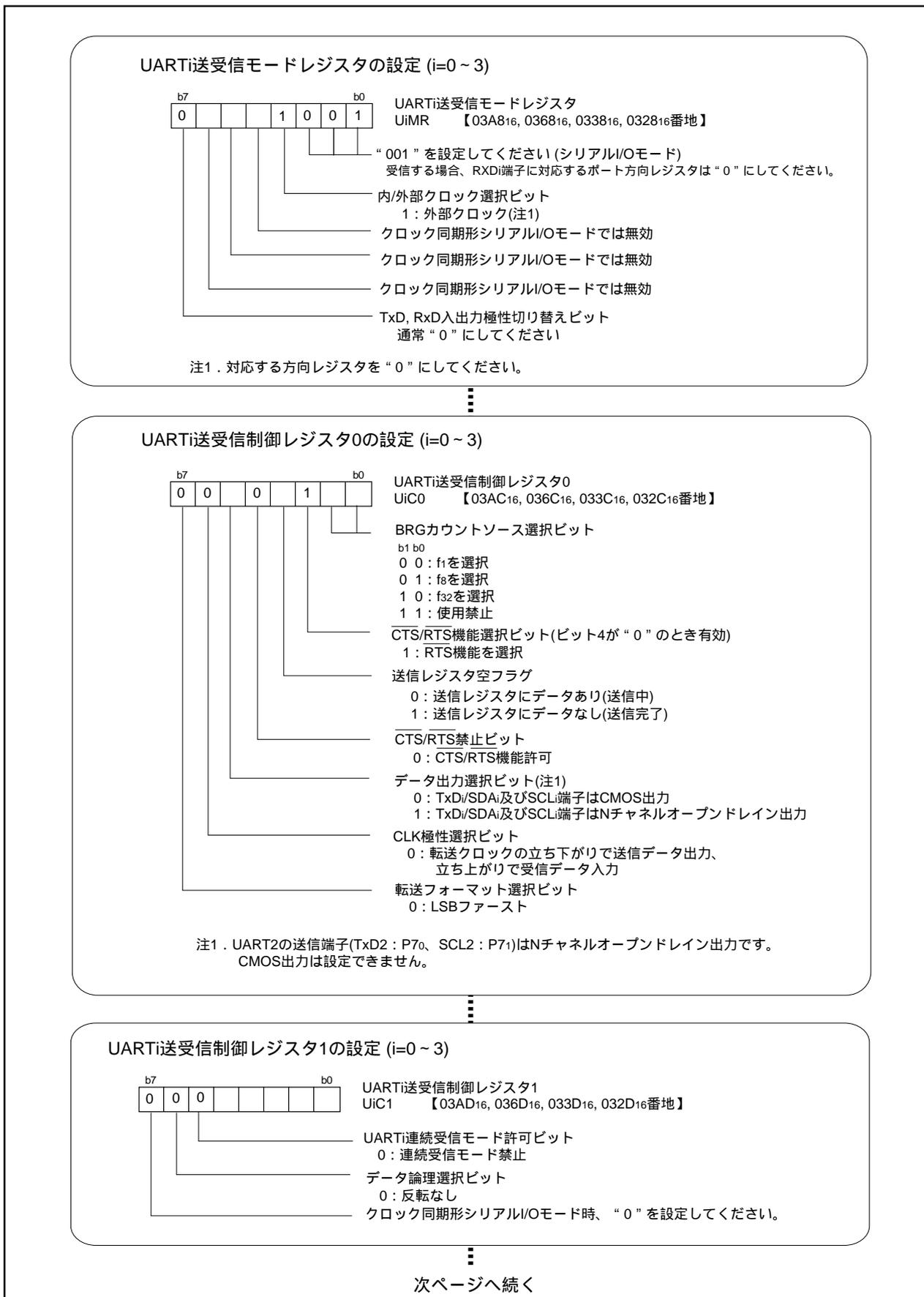


図2.3.9. クロック同期形シリアルI/Oモードの受信動作時のレジスタ設定手順(1)

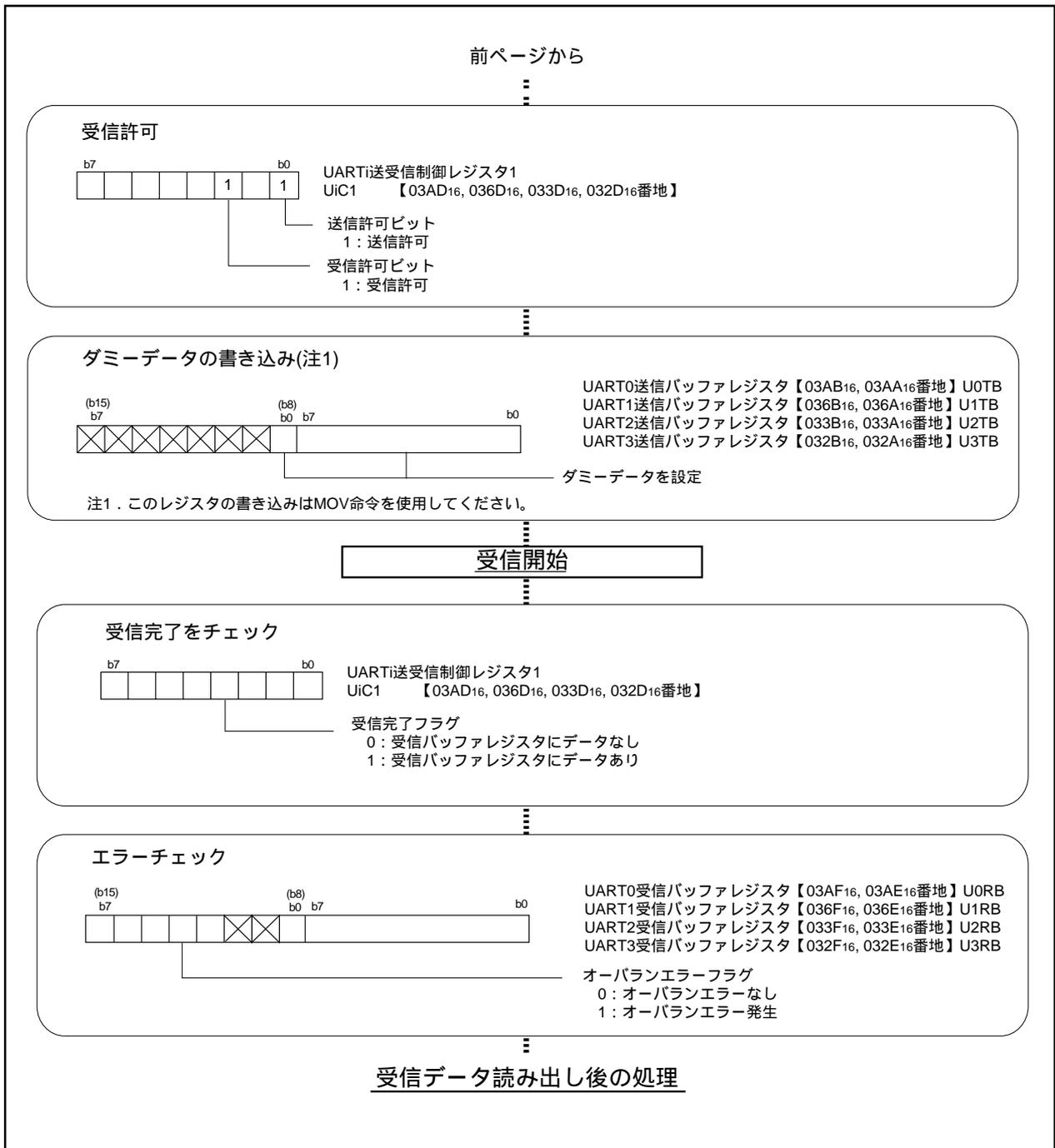


図2.3.10. クロック同期形シリアルI/Oモードの受信動作時のレジスタ設定手順(2)

2.3.4 シリアルI/Oの注意事項 (クロック同期形シリアルI/Oモード時)

- 送受信 (1) 外部クロック選択時、 $\overline{\text{RTSi}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の CTS_i 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTSi}}$ 機能は無効です。図2.3.11に結線例を示します。

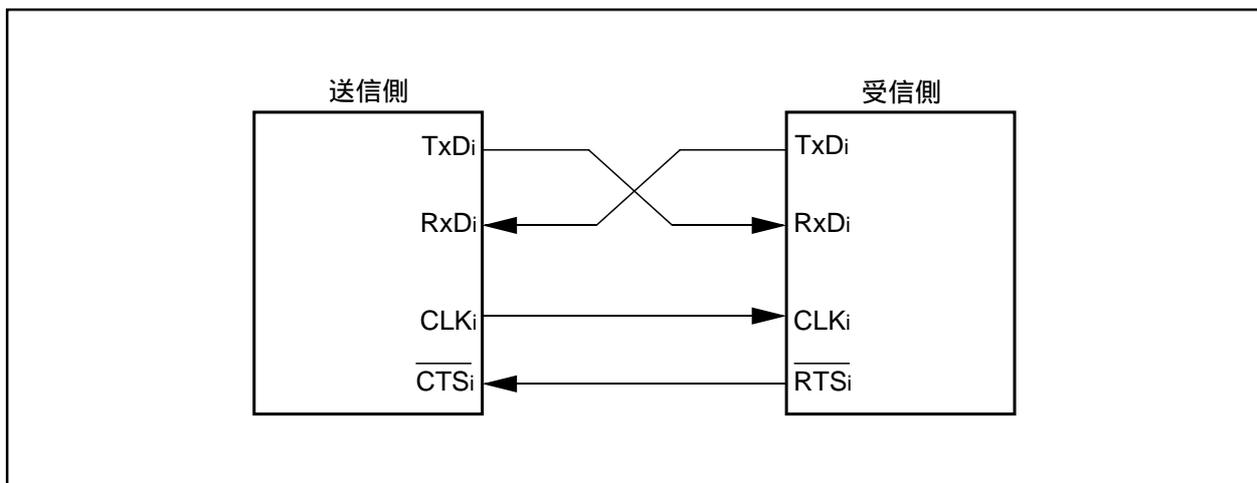


図2.3.11. 結線例

- 送信
- (1) 外部クロック選択時、CLK極性選択ビットが“0”の場合はCLKi端子の入力が“H”レベルの状態、 “1”の場合は“L”レベルの状態、以下の設定を行ってください。
 1. 送信許可ビットのセット(“1”に設定)
 2. UARTi送信バッファレジスタへの送信データの書き込み
 3. CTSi端子への“L”レベルの入力(CTS機能を選択時)
- 受信
- (1) クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信動作(送信のための設定)を行う必要があります。また、受信時TxDi端子(送信端子)からはダミーデータが外部に出力されます。
 - (2) 内部クロック選択時は送信許可ビットを“1”(送信許可状態)にし、そしてダミーデータをUARTi送信バッファレジスタに設定するとシフトクロックが発生します。

外部クロック選択時は送信許可ビットを“1”にし、そしてダミーデータをUARTi送信バッファレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。
 - (3) 連続してデータを受信する場合、受信完了フラグが“1”の状態(UARTi受信バッファレジスタの内容を読み出す前)で次のデータ受信を開始し、次のデータの7ビット目を受信するとオーバランエラーが発生し、オーバランエラーフラグが“1”になります。この場合、UARTi受信バッファレジスタには次のデータが書き込まれますので、オーバランエラーが発生したときは以前のデータを再送信するように送信、および受信側のプログラムで対処してください。

また、オーバランエラーが発生したときはUARTi受信割り込み要求ビットは“1”になりません。
 - (4) 連続してデータを受信する場合は、1回の受信ごとにUARTi送信バッファレジスタの下位バイトへダミーデータを設定してください。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。
 - (5) 外部クロック選択時、CLK極性選択ビットが“0”の場合はCLKi端子の入力“H”レベルの状態、 “1”の場合は“L”レベルの状態、以下の設定を行ってください。
 1. 受信許可ビットのセット(“1”に設定)
 2. 送信許可ビットのセット(“1”に設定)
 3. UARTi送信バッファレジスタへのダミーデータの書き込み
 - (6) RTS端子の出力は、受信許可ビットを“1”にすると同時に“L”レベルになります。送信バッファ空フラグの内容、送信許可ビットの内容とは関係ありません。

また、RTS端子の出力は受信が始まると“H”レベルになり、受信が完了すると“L”レベルになります。送信バッファ空フラグの内容、受信完了フラグの内容とは関係ありません。

2.4 クロック非同期形シリアルI/O

2.4.1 概要

クロック非同期形シリアルI/Oは、キャラクタ単位で同期をとりながら通信を行います。送信部と受信部は独立していますので、全二重通信が可能です。クロック非同期形シリアルI/Oの概要について説明します。

送受信フォーマット

図2.4.1に送受信フォーマットを、表2.4.1に送信データの名称とその機能を示します。

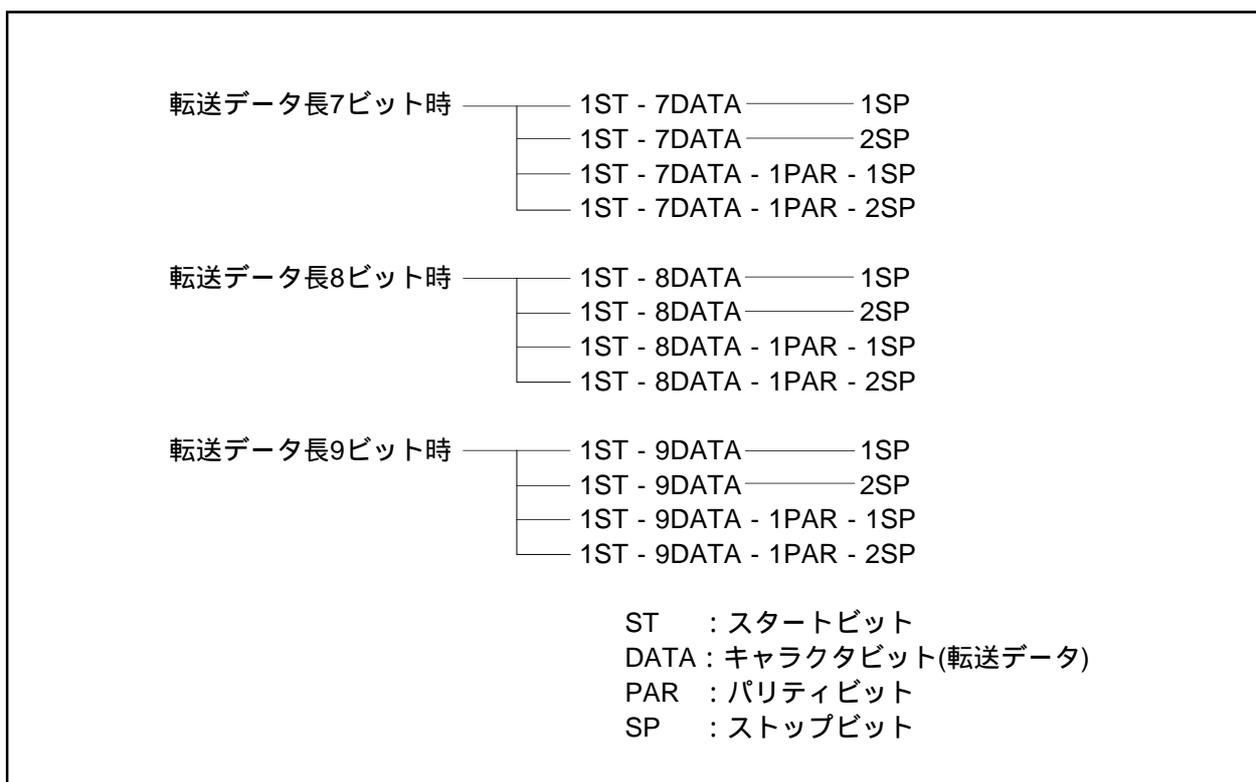


図2.4.1. 送受信フォーマット

表2.4.1. 送信データの名称とその機能

名 称	機 能
ST(スタートビット)	キャラクタビットの直前に付加するキャラクタビット1ビット分の“L”信号。データの送信開始を示す。
DATA(キャラクタビット)	UARTi送信バッファレジスタに設定される送信データ。
PAR(パリティビット)	データの信頼性を向上させるために、キャラクタビットの直後に付加する信号。この信号のレベルは、パリティ奇/偶の選択に従ってこのビットとキャラクタビット中の“1”の総数が常に奇数、または偶数になるように変化する。
SP(ストップビット)	キャラクタビット(パリティ許可時はパリティビット)の直後に付加するキャラクタビット1ビット分、または2ビット分の“H”信号。データの送信終了を示す。

転送速度

転送速度レジスタ(BRG)で分周した周波数の16分周が転送速度となります。転送速度レジスタのカウントソースは、f₁、f₈、f₃₂、及びCLK端子からの入力を選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

表2.4.2. ボーレート設定例

ボーレート (bps)	BRGの カウントソース	システムクロック：16MHz時		システムクロック：7.3728MHz時	
		BRGの設定値：n	実時間 (bps)	BRGの設定値：n	実時間 (bps)
600	f ₈	207 (CF ₁₆)	601	95 (5F ₁₆)	600
1200	f ₈	103 (67 ₁₆)	1202	47 (2F ₁₆)	1200
2400	f ₈	51 (33 ₁₆)	2404	23 (17 ₁₆)	2400
4800	f ₁	207 (CF ₁₆)	4808	95 (5F ₁₆)	4800
9600	f ₁	103 (67 ₁₆)	9615	47 (2F ₁₆)	9600
14400	f ₁	68 (44 ₁₆)	14493	31 (1F ₁₆)	14400
19200	f ₁	51 (33 ₁₆)	19231	23 (17 ₁₆)	19200
28800	f ₁	34 (22 ₁₆)	28571	15 (F ₁₆)	28800
31250	f ₁	33 (21 ₁₆)	31250		

エラー検知

クロック非同期形シリアルI/Oモードでは、表2.4.3に示すエラーを検知できます。

表2.4.3. エラー検知

エラーの種類	エラーの内容	フラグが立つタイミング	フラグをクリアする方法
オーバランエラー	<ul style="list-style-type: none"> UARTi受信バッファレジスタの内容を読み出す前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生します。 UARTi受信バッファレジスタは不定になります。 UARTi受信割り込み要求ビットは“1”になりません。 	UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送されるときに検出される。	<ul style="list-style-type: none"> シリアルI/Oモード選択ビットを“000₂”にする。 受信許可ビットを“0”にする。
フレーミングエラー	<ul style="list-style-type: none"> 設定した個数のストップビットに満たなかったとき発生します。 		<ul style="list-style-type: none"> シリアルI/Oモード選択ビットを“000₂”にする。 受信許可ビットを“0”にする。 UARTi受信バッファレジスタの下位バイトの読み出し。
パリティエラー	<ul style="list-style-type: none"> パリティ許可時に、パリティビットとキャラクタビットの中の“1”の総数が設定した個数でなかったとき発生します。 		<ul style="list-style-type: none"> オーバランエラー、フレーミングエラー、パリティエラーのいずれか1つでも検出されたとき発生します。
エラーサムフラグ			<ul style="list-style-type: none"> オーバランエラー、フレーミングエラー、パリティエラーのいずれか1つでも検出されたとき発生します。

エラー発生時の対処方法

受信時、エラーフラグと受信データを同時に読み出し、エラーの判断を行ってください。読み出したデータがエラーの場合は、エラーフラグ、およびUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。UARTi受信バッファレジスタを初期化する手順を以下に示します。

- (1)受信許可ビットを“0”(受信禁止)にする
- (2)受信許可ビットを再度“1”(受信許可)にする

送信時、受信側のエラー発生によって再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信してください。UARTi送信バッファレジスタを再設定する手順を以下に示します。

- (1)シリアルI/Oモード選択ビットを“0002”(シリアルI/Oは無効)にする
- (2)シリアルI/Oモード選択ビットを再設定する
- (3)送信許可ビットを“1”(送信許可)にし、UARTi送信バッファレジスタに送信データを設定する

選択機能

クロック非同期形シリアルI/Oでは、次の機能を選択することができます。

(1) CTS / RTS機能

CTS機能とは、外部のICが、 $\overline{\text{CTS}}$ 端子に“L”レベルを入力することによって送受信を開始させる機能です。送受信の開始時に $\overline{\text{CTS}}$ 端子入力レベルを検知しますので、送受信の最中に“H”にした場合は、次のデータから停止します。

RTS機能とは、受信準備が整ったとき、RTS端子の出力レベルが“L”になり、外部のICに知らせる機能です。転送クロックの最初の立ち下がりで“H”に戻ります。

クロック非同期形シリアルI/Oでは、 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能として次の3種類から選択できます。

$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能無効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子はプログラブル入出力ポートとして使用できます。
$\overline{\text{CTS}}$ 機能だけ有効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子はCTS機能として動作します。
RTS機能だけ有効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子はRTS機能として動作します。

(2) シリアルデータ論理切り替え機能

シリアルデータ論理切り替え機能とは、送信バッファレジスタへの書き込み、および受信バッファからの読み出しの際、データを反転させる機能です。

(3) LSB / MSBファースト選択機能

LSB / MSBファースト選択機能とは、データのビット0から送受信するか、ビット7から送受信するかを切り替える機能です。この機能は転送データ長8ビットのときに有効です。

次の2種類から選択できます。

LSBファースト	ビット0から送受信を行います。
MSBファースト	ビット7から送受信を行います。

(4) TXD, RXD入出力極性切り替え機能

TXD, RXD入出力極性切り替え機能とは、TXD端子出力極性およびRXD端子入力極性を反転する機能です。

(5) バス衝突検出機能

バス衝突検出機能とは、TXD端子の出力レベルとRXD端子の入力レベルをサンプリングし、値が異なる場合に割り込み要求が発生する機能です。

(1) ~ (5)の機能を次のとおり選択した動作例を2.4.2、2.4.3項に示します。

$\overline{\text{CTS}}$ 機能選択、その他の機能非選択の送信動作

$\overline{\text{RTS}}$ 機能選択、その他の機能非選択の受信動作

また、クロック非同期形シリアルI/Oモードに一部設定を追加することで、SIMインタフェースに対応します。接続するSIMカードによって、ダイレクトフォーマットとインバースフォーマットを選択できます。以下の動作例を2.4.4、2.4.5項以降に示します。

ダイレクトフォーマット選択時の送信動作

ダイレクトフォーマット選択時の受信動作

シリアルI/Oへの入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、ポートの方向レジスタは入力に設定してください。

シリアルI/O関連端子

(1) $\overline{\text{CTS}}_0$ 、 $\overline{\text{CTS}}_1$ 、 $\overline{\text{CTS}}_2$ 、 $\overline{\text{CTS}}_3$ 端子 $\overline{\text{CTS}}$ 機能の入力端子です。

(2) $\overline{\text{RTS}}_0$ 、 $\overline{\text{RTS}}_1$ 、 $\overline{\text{RTS}}_2$ 、 $\overline{\text{RTS}}_3$ 端子 $\overline{\text{RTS}}$ 機能の出力端子です。

(3) CLK_0 、 CLK_1 、 CLK_2 、 CLK_3 転送クロックの入力端子です。

(4) RxD_0 、 RxD_1 、 RxD_2 、 RxD_3 端子 データの入力端子です。

(5) TxD_0 、 TxD_1 、 TxD_2 、 TxD_3 端子 データの出力端子です。

TxD_2 端子はNチャンネルオープンドレイン出力ですので、プルアップ抵抗が必要です。

シリアルI/O関連レジスタ

図2.4.2にシリアルI/O関連レジスタのメモリ配置図を、図2.4.3～図2.4.6にシリアルI/O関連レジスタの構成を示します。

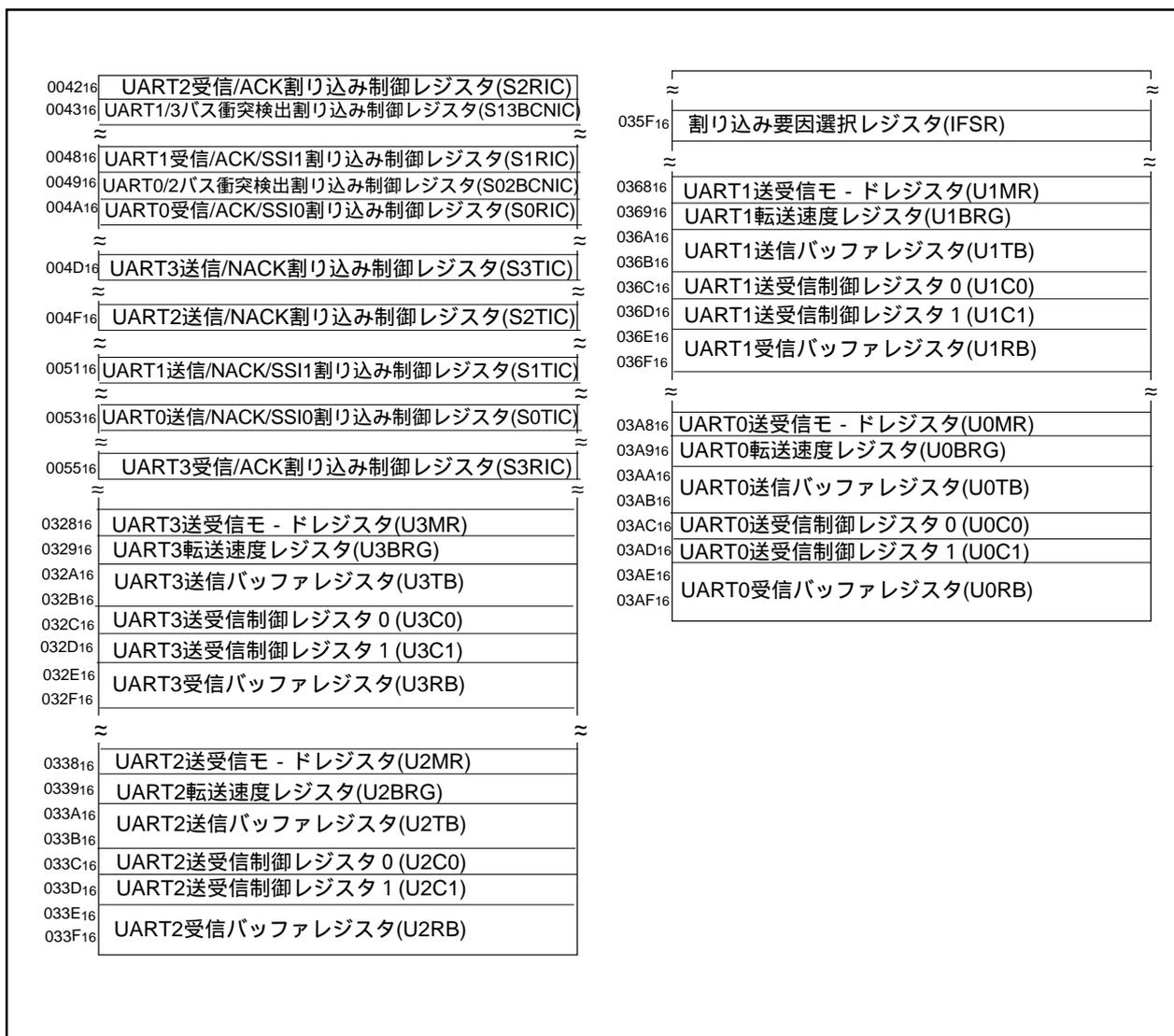


図2.4.2. シリアルI/O関連レジスタのメモリ配置図

UART_i送信バッファレジスタ(i=0~3) (注1)

シンボル	アドレス	リセット時
U0TB	03AB ₁₆ , 03AA ₁₆ 番地	不定
U1TB	036B ₁₆ , 036A ₁₆ 番地	不定
U2TB	033B ₁₆ , 033A ₁₆ 番地	不定
U3TB	032B ₁₆ , 032A ₁₆ 番地	不定

ビットシンボル	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同期形シリアルI/Oモード)	R	W
——	送信データ	送信データ	x	○
——	——	送信データ(9bit目)	x	○
——	何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		—	—

注1. このレジスタの書き込みはMOV命令を使用してください。

UART_i受信バッファレジスタ(i=0~3)

シンボル	アドレス	リセット時
U0RB	03AF ₁₆ , 03AE ₁₆ 番地	不定
U1RB	036F ₁₆ , 036E ₁₆ 番地	不定
U2RB	033F ₁₆ , 033E ₁₆ 番地	不定
U3RB	032F ₁₆ , 032E ₁₆ 番地	不定

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同期形シリアルI/Oモード)	R	W
——	——	受信データ	受信データ	○	x
——	——	——	受信データ(9bit目)	○	x
——	何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		——	—	—
ABT	アービトレーションロスト検出フラグ (注1)	0: 未検出(勝) 1: 検出(負)	無効	○	○
OER	オーバランエラーフラグ (注2)	0: オーバランエラーなし 1: オーバランエラー発生	0: オーバランエラーなし 1: オーバランエラー発生	○	x
FER	フレーミングエラーフラグ (注2)	無効	0: フレーミングエラーなし 1: フレーミングエラー発生	○	x
PER	パリティエラーフラグ (注2)	無効	0: パリティエラーなし 1: パリティエラー発生	○	x
SUM	エラーサムフラグ (注2)	無効	0: エラーなし 1: エラー発生	○	x

注1. アービトレーションロスト検出フラグは、“0”のみ書き込みできます。
 注2. bit15~bit12はシリアルI/Oモード選択ビット(03A8₁₆,0368₁₆,033B₁₆,0328₁₆番地のbit2~bit0)を“0002”にしたとき、又は受信許可ビットを“0”にしたとき“0”になります(bit15は、bit14~bit12がすべて“0”になると“0”になります)。また、bit14,bit13はUART_i受信バッファレジスタの下位バイト(03AE₁₆,036E₁₆,033E₁₆,032E₁₆番地)を読み出したときも、“0”になります。

図2.4.3. シリアルI/O関連のレジスタ (1)

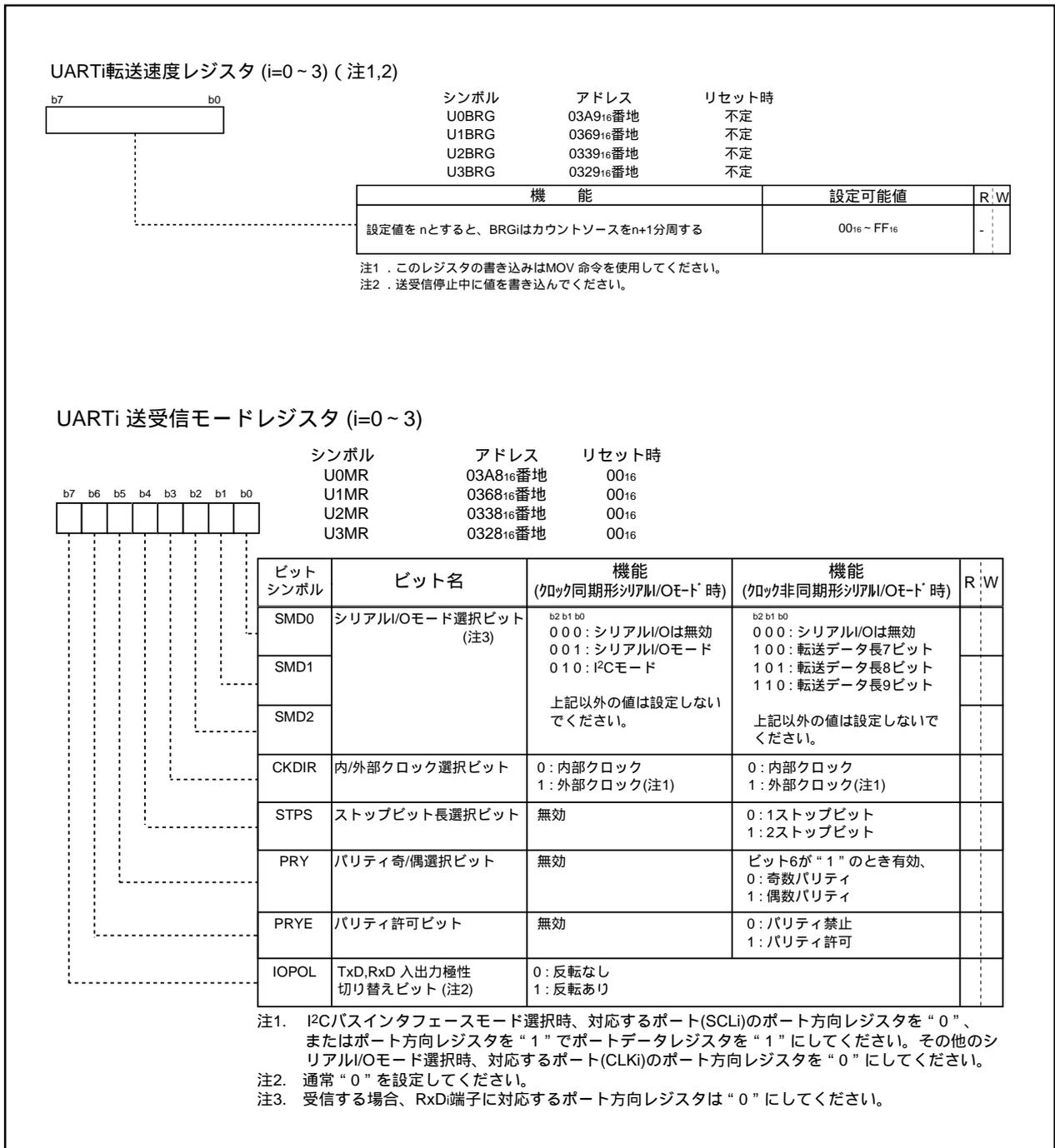


図2.4.4. シリアルI/O関連のレジスタ (2)



図2.4.5. シリアルI/O関連のレジスタ (3)

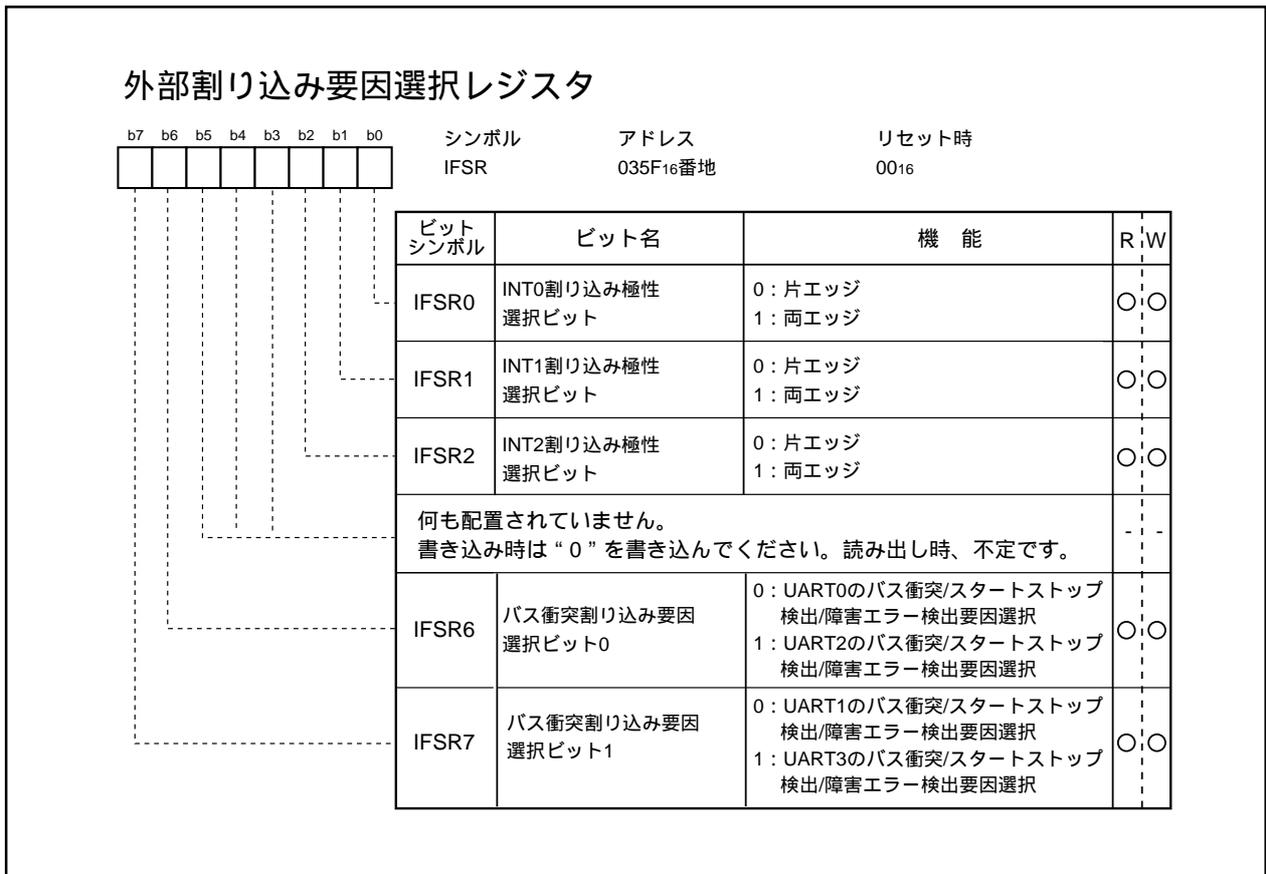


図2.4.6. シリアルI/O関連のレジスタ (4)

2.4.2 シリアルI/O動作 (クロック非同期形シリアルI/Oモードの送信)

クロック非同期形シリアルI/Oモードの送信では、表2.4.4に示す項目の中から機能を選択できます。ここでは、表2.4.4に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.4.7に動作タイミングを、図2.4.8、図2.4.9に設定手順を示します。

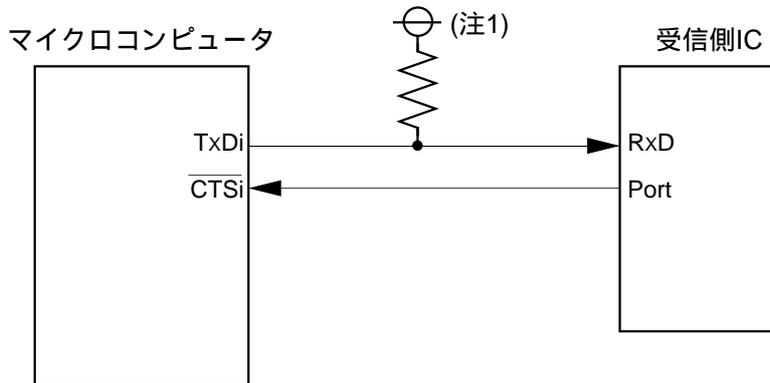
表2.4.4. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	シリアルデータ論理切り替え機能	反転なし
	外部クロック(CLKi端子)		反転あり
CTS機能	CTS機能許可	TxD, RxD入出力極性切り替え機能	反転なし
	CTS機能禁止		反転あり
送信割り込み要因	送信バッファ空	バス衝突検出機能	使用しない
	送信完了		使用する

- 動作**
- (1) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。
 - (2) $\overline{\text{CTS}}_i$ 端子の入力が“L”レベルになると送信を開始します($\overline{\text{CTS}}_i$ 端子は、受信側で制御する必要があります)。
 - (3) UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、送信データの1ビット目(スタートビット)がTxDi端子から送信されます。そして、データビット(LSB) …… データビット(MSB) パリティビット ストップビットの順に1ビットずつ送信されます。
 - (4) ストップビットを送信すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。同時に、UARTi送信割り込み要求ビットが“1”になります。また、転送クロックは“H”レベルで停止します。
 - (5) 送信完了時に次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。

補足説明 ・ $\overline{\text{CTS}}_i$ 端子は対応する方向レジスタを“0”にしてください。

結線例



注1. TxDi端子はNチャンネルオープンドレインのためプルアップ抵抗が必要です。

動作例

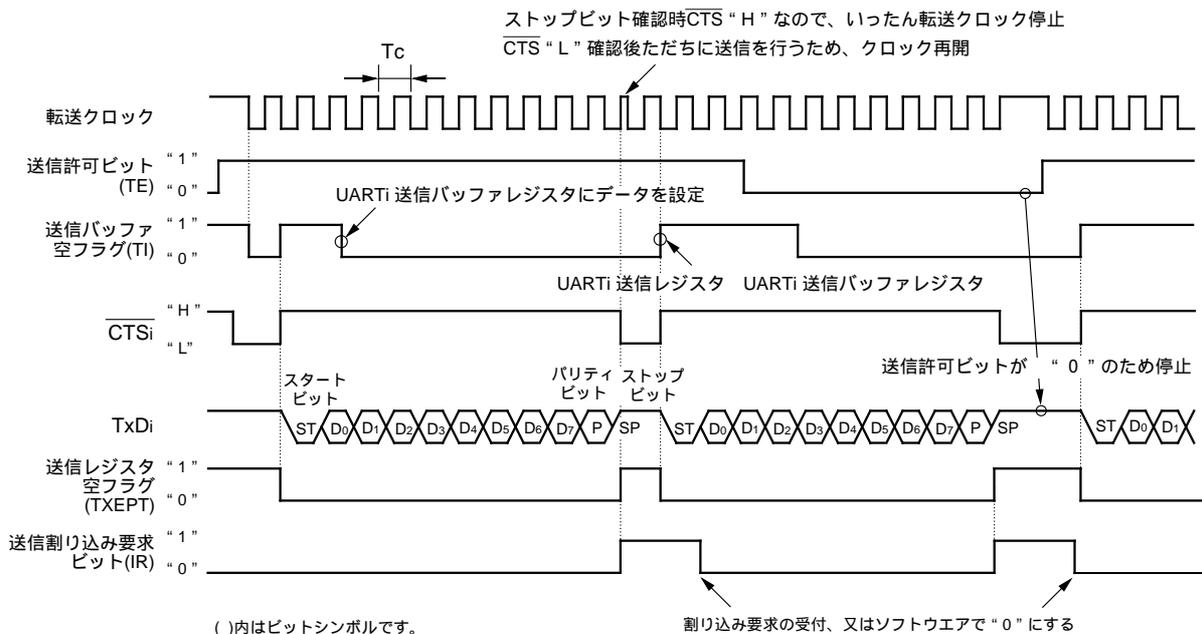


図2.4.7. クロック非同期形シリアルI/Oモードの送信動作タイミング図

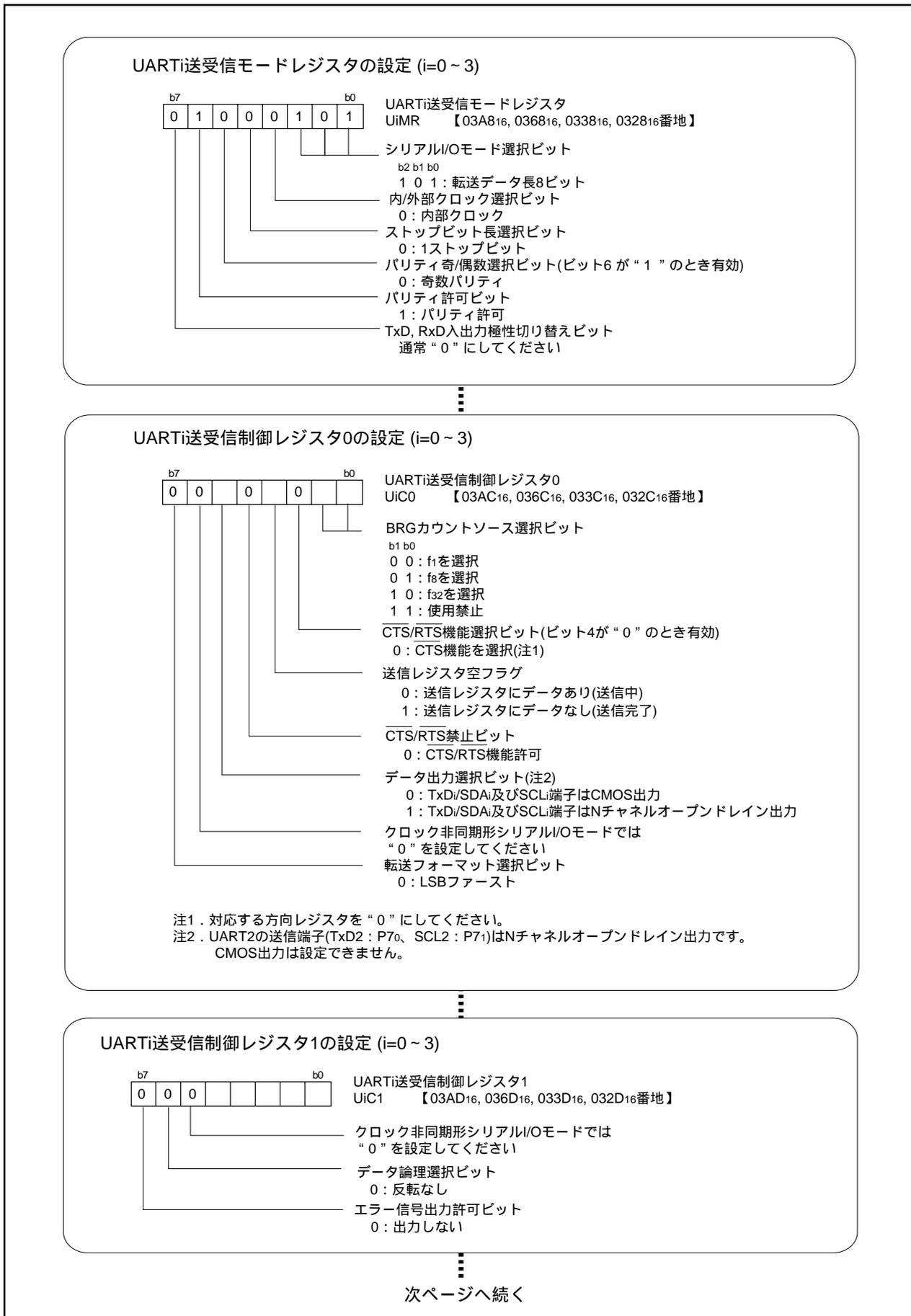


図2.4.8. クロック非同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(1)

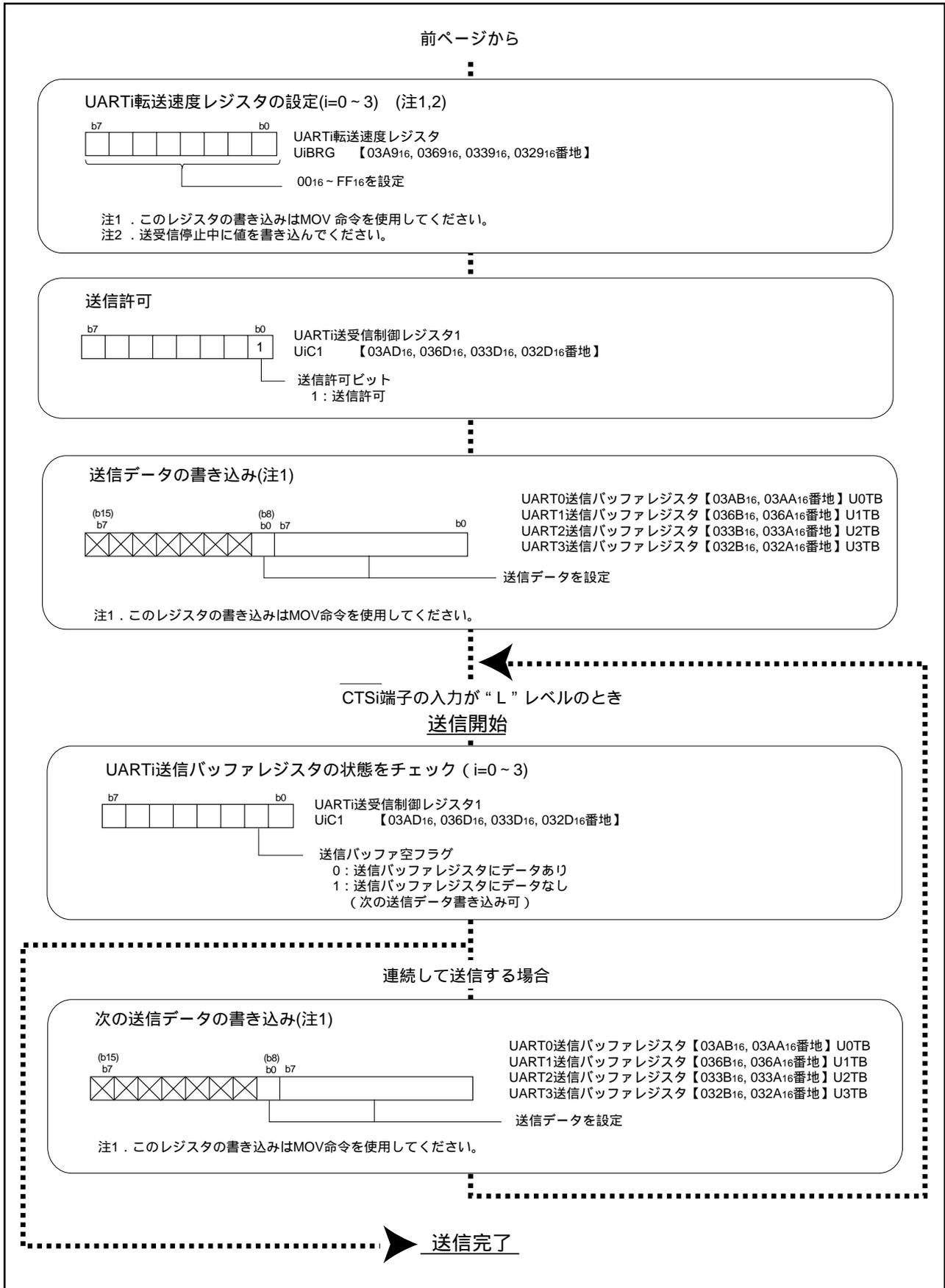


図2.4.9. クロック非同期形シリアルI/Oモードの送信時のレジスタ設定手順(2)

2.4.3 シリアルI/O動作 (クロック非同期形シリアルI/Oモードの受信)

クロック非同期形シリアルI/Oモードの受信では、表2.4.5に示す項目の中から機能を選択できます。ここでは、表2.4.5に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.4.10に動作タイミングを、図2.4.11、図2.4.12に設定手順を示します。

表2.4.5. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	TxD, RxD入出力極性切り替え機能	反転なし
	外部クロック(CLKi端子)		反転あり
RTS機能	RTS機能許可	バス衝突検出機能	使用しない
	RTS機能禁止		使用する
シリアルデータ論理切り替え機能	反転なし		
	反転あり		

- 動作
- (1) 受信許可ビットを“1”にすると受信できる状態になります。同時に、 $\overline{\text{RTSi}}$ 端子の出力が“L”レベルになり、受信できる状態になったことを送信側に知らせます。
 - (2) 受信データの1ビット目(スタートビット)がRxDi端子から受信されると $\overline{\text{RTS}}$ の出力が“H”レベルになります。その後、データビット(LSB) … データビット(MSB) ストップビットの順に1ビットずつ受信されます。
 - (3) ストップビットを受信すると、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。
同時に以下のようになります。
受信完了フラグが“1”になり、受信が完了したことを示します。
UARTi受信割り込み要求ビットが“1”になります。
 $\overline{\text{RTS}}$ 端子の出力レベルは“L”になります。
 - (4) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。

補足説明 ・ RxDi端子は、対応する方向レジスタを“0”にしてください。

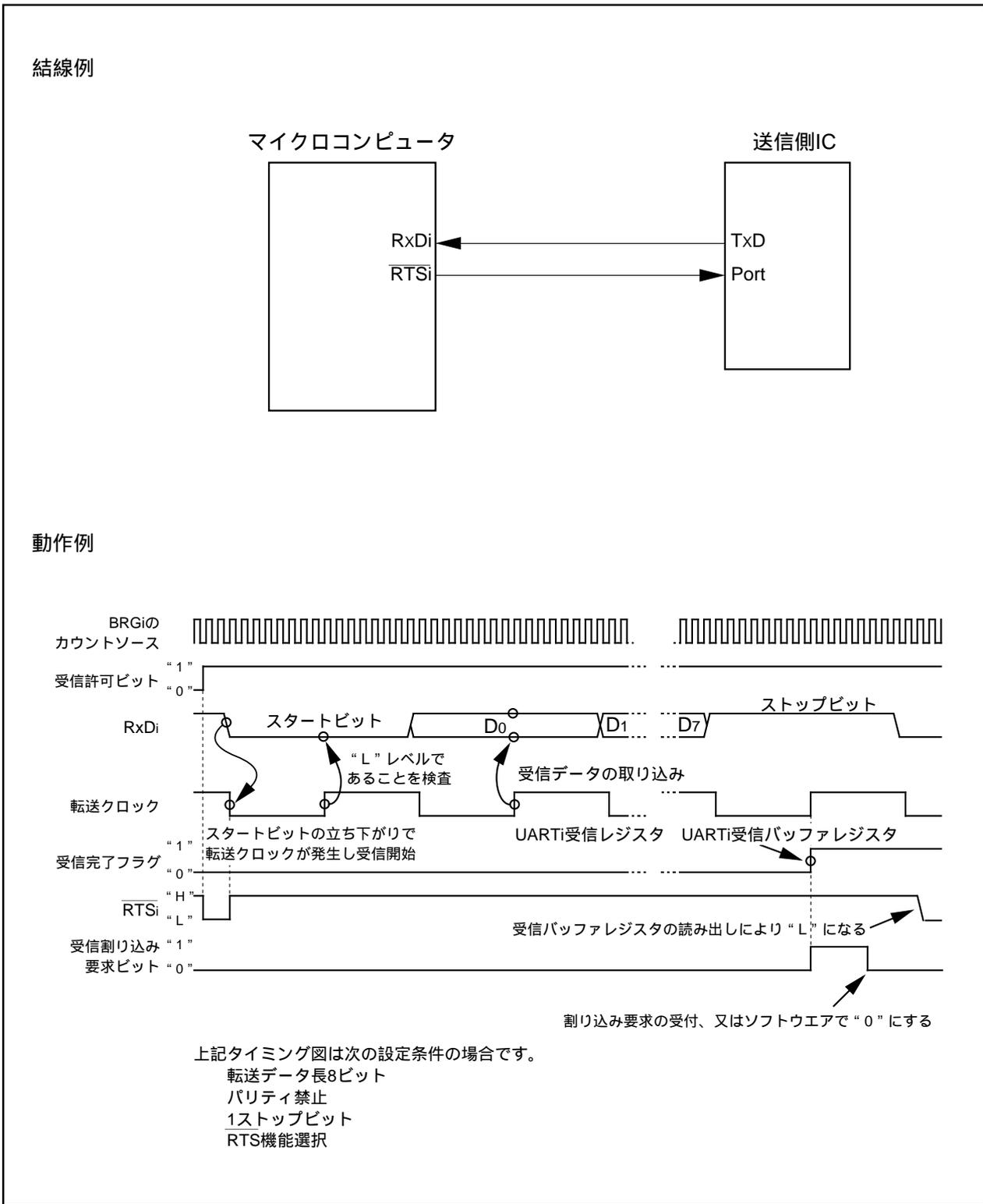


図2.4.10 クロック非同期形シリアルI/Oモードの受信動作タイミング図

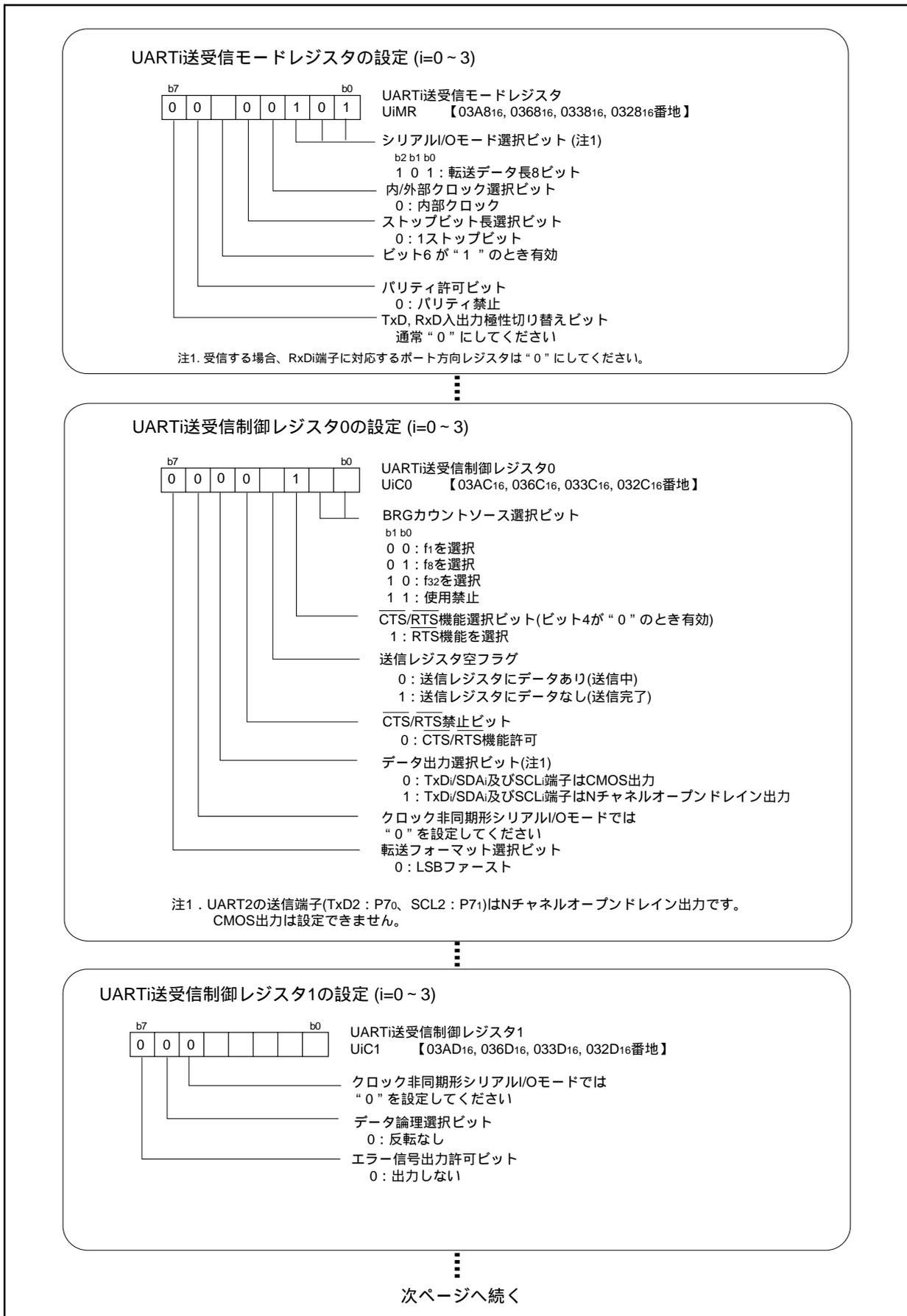


図2.4.11. クロック非同期形シリアル/Oモードの受信時のレジスタ設定手順(1)

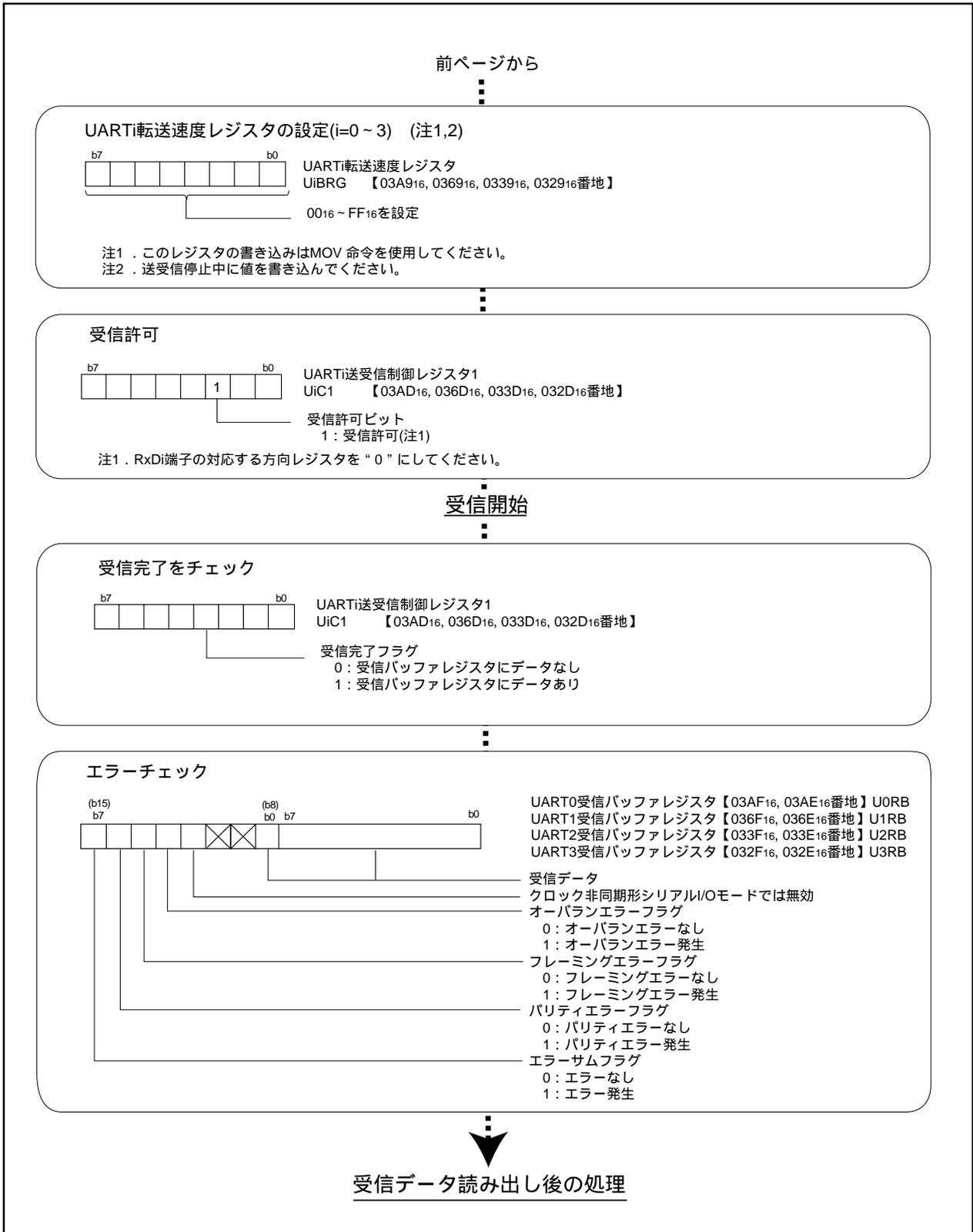


図2.4.12. クロック非同期形シリアルI/Oモードの受信時のレジスタ設定手順(2)

2.4.4 シリアルI/Oの注意事項 (UARTモード)

- 内 容 CLKi端子とCTSi端子のレベルが“H”(注1)のとき、UiMRレジスタの設定を以下のいずれかにすると、UIC1レジスタのUiEREビットが“1”(パリティエラー信号出力許可)になります。UiEREビットが“1”(パリティエラー信号出力許可)になった状態でUiMRレジスタのPRYEビットを“1”(パリティ許可)にした場合、受信時にパリティエラーが発生すると、TXDi端子から“L”レベルが出力されます。これを防ぐため、UiMRレジスタを設定した後にUiEREビットを設定してください。
- SMD2～SMD0ビットを“0002”(シリアルI/Oは無効)から“1012”(UARTモード転送データ長8ビット)にする。
 - SMD2～SMD0ビットを“0012”(クロック同期形シリアルI/Oモード)から“1002”(UARTモード転送データ長7ビット)にする。
 - SMD2～SMD0ビットを“0012”(クロック同期形シリアルI/Oモード)から“1012”(UARTモード転送データ長8ビット)にする。
 - SMD2～SMD0ビットを“0012”(クロック同期形シリアルI/Oモード)から“1102”(UARTモード転送データ長9ビット)にする。
 - SMD2～SMD0ビットを“0102”(I²Cモード)から“1012”(UARTモード転送データ長8ビット)にする。
- 注1) CLKi、CTSiとして使用していない場合でも、端子レベルが“H”のときはこの条件に該当します。

2.4.5 シリアルI/O動作 (SIMインタフェース対応時の送信)

クロック非同期形シリアルI/Oモード(SIMインタフェース対応)の送信では、表2.4.6に示す項目の中から機能を選択できます。ここでは、表2.4.6に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.4.13に動作タイミングを、図2.4.14、図2.4.15に設定手順を示します。

表2.4.6. 設定内容

設定項目	設定内容	設定項目	設定内容
転送データ フォーマット	ダイレクトフォーマット	転送クロック ソース	内部クロック (f ₁ / f ₈ / f ₃₂)
	インバースフォーマット		外部クロック (CLK _i 端子)

- 動作**
- (1) 送信許可ビットおよび受信許可ビットを“1”にし、UART_i送信バッファレジスタに送信データを書き込むと送信できる状態になります。また、UART_i送信割り込みは許可にする必要があります。
 - (2) UART_i送信バッファレジスタに入っている送信データがUART_i送信レジスタに転送されます。同時に、送信データの1ビット目(スタートビット)がTxDi端子から送信されます。そして、データビット(LSB) …… データビット(MSB) パリティビット ストップビットの順に1ビットずつ送信されます。
 - (3) ストップビットを送信すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。同時に、UART_i送信割り込み要求ビットが“1”になります。また、転送クロックは“H”レベルで停止します。
 - (4) 送信完了時に次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。
 - (5) パリティエラーが発生した場合、SIMカードから“L”が出力され、RxD_i端子は“L”になります。UART_i送信割り込みルーチン内でRxD_i端子のレベルを確認し、“L”の場合、エラー処理をしてください。

- 補足説明**
- ・UART_i送信割り込みの中でパリティエラーのレベルを判断します。送信割り込み要求ビットが発生したときに、すぐに割り込みルーチンが実行できるように、送信割り込みの優先レベルは他の割り込みより高く設定してください。また、メインルーチン、割り込みルーチンの中でも割り込み禁止時間を極力少なくする必要があります。
 - ・RxD_i端子の対応する方向レジスタは入力に設定してください。
 - ・UART_i送受信制御レジスタ0のデータ出力選択ビットでTxDi端子はNチャンネルオープンドレイン出力に設定してください。

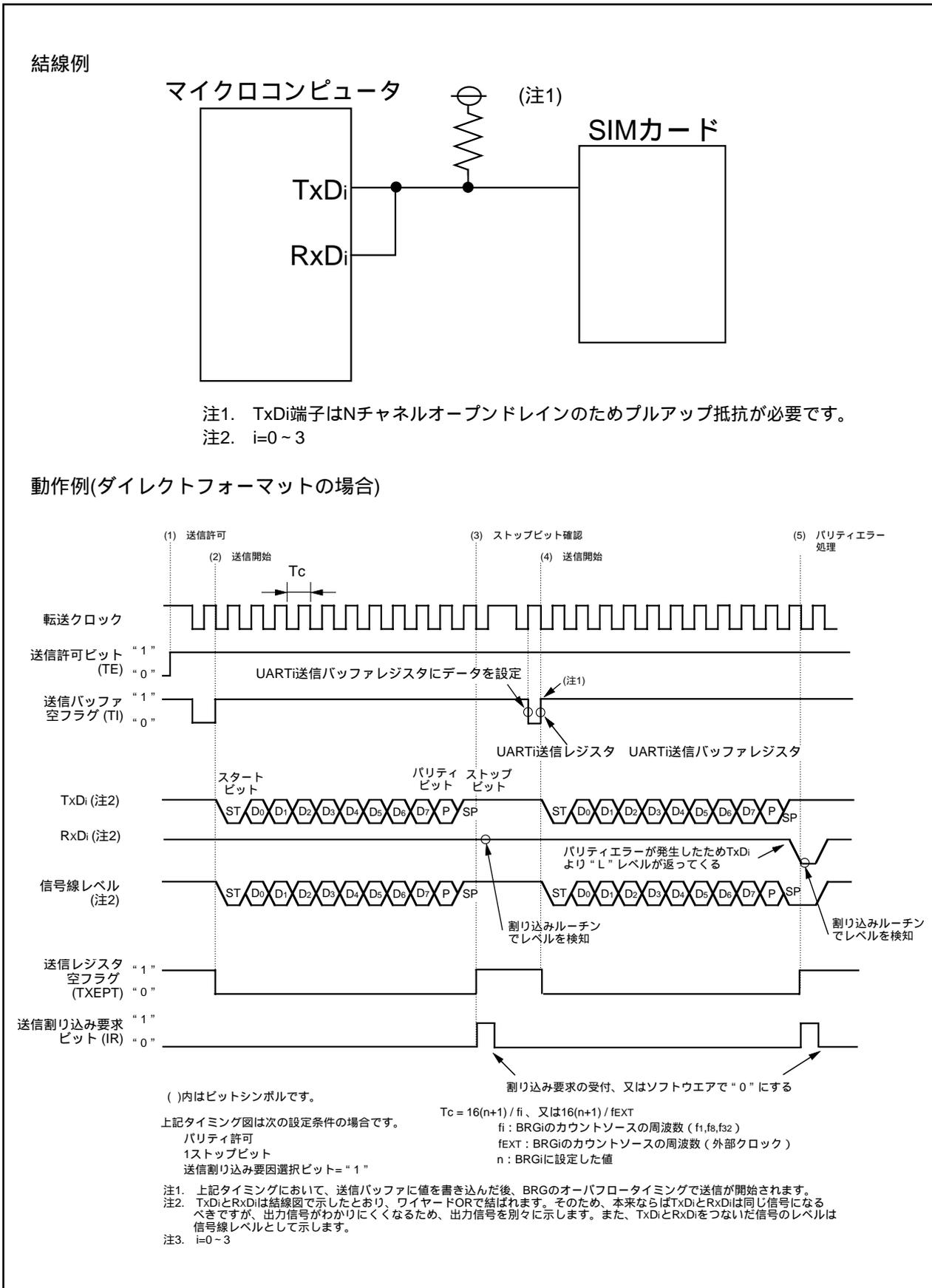


図2.4.13. クロック非同期形シリアルI/Oモード(SIMインタフェース対応)の送信動作タイミング図

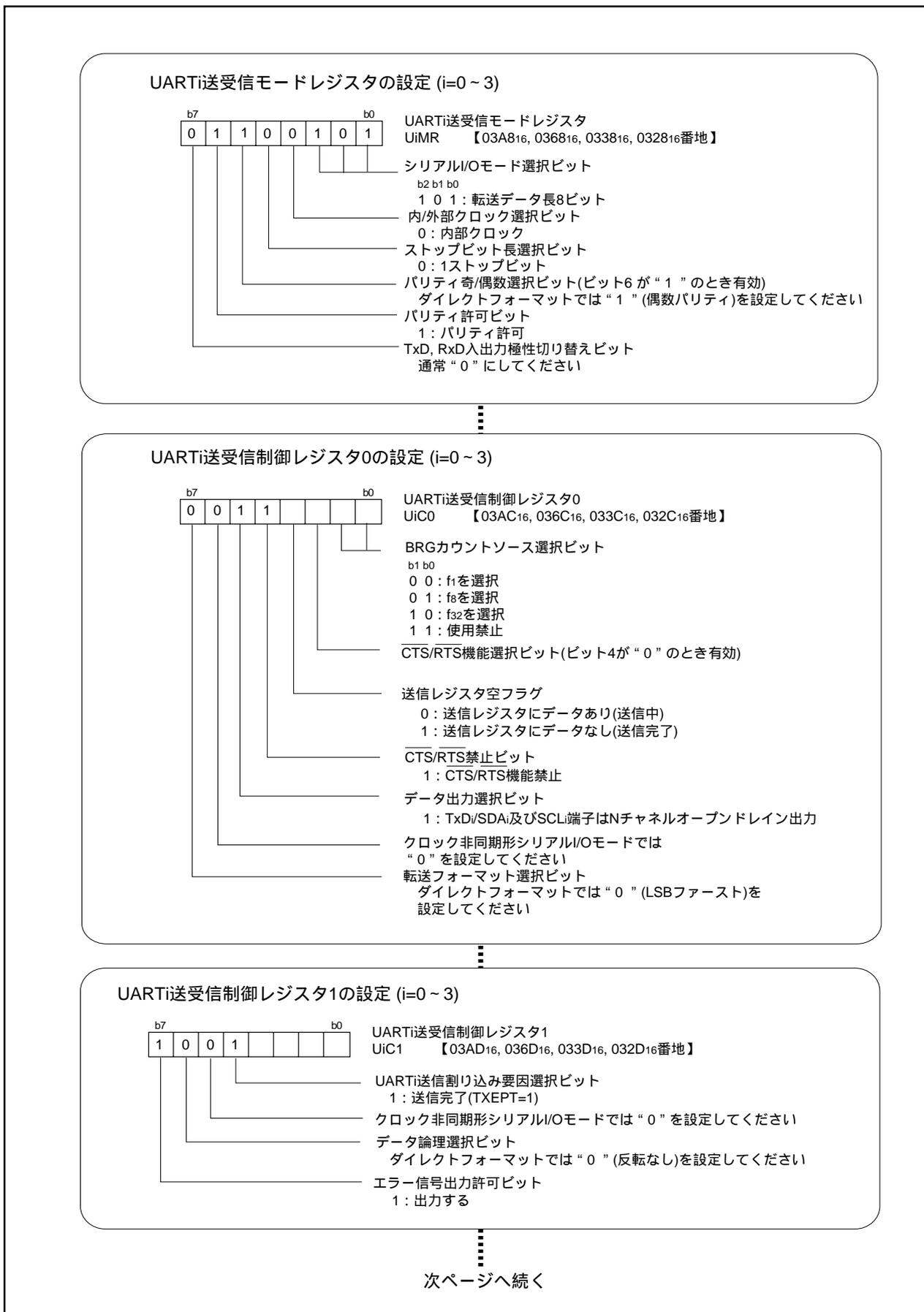


図2.4.14. クロック非同期形シリアル/Oモード(SIMインタフェース対応)の送信動作時のレジスタ設定手順(1)

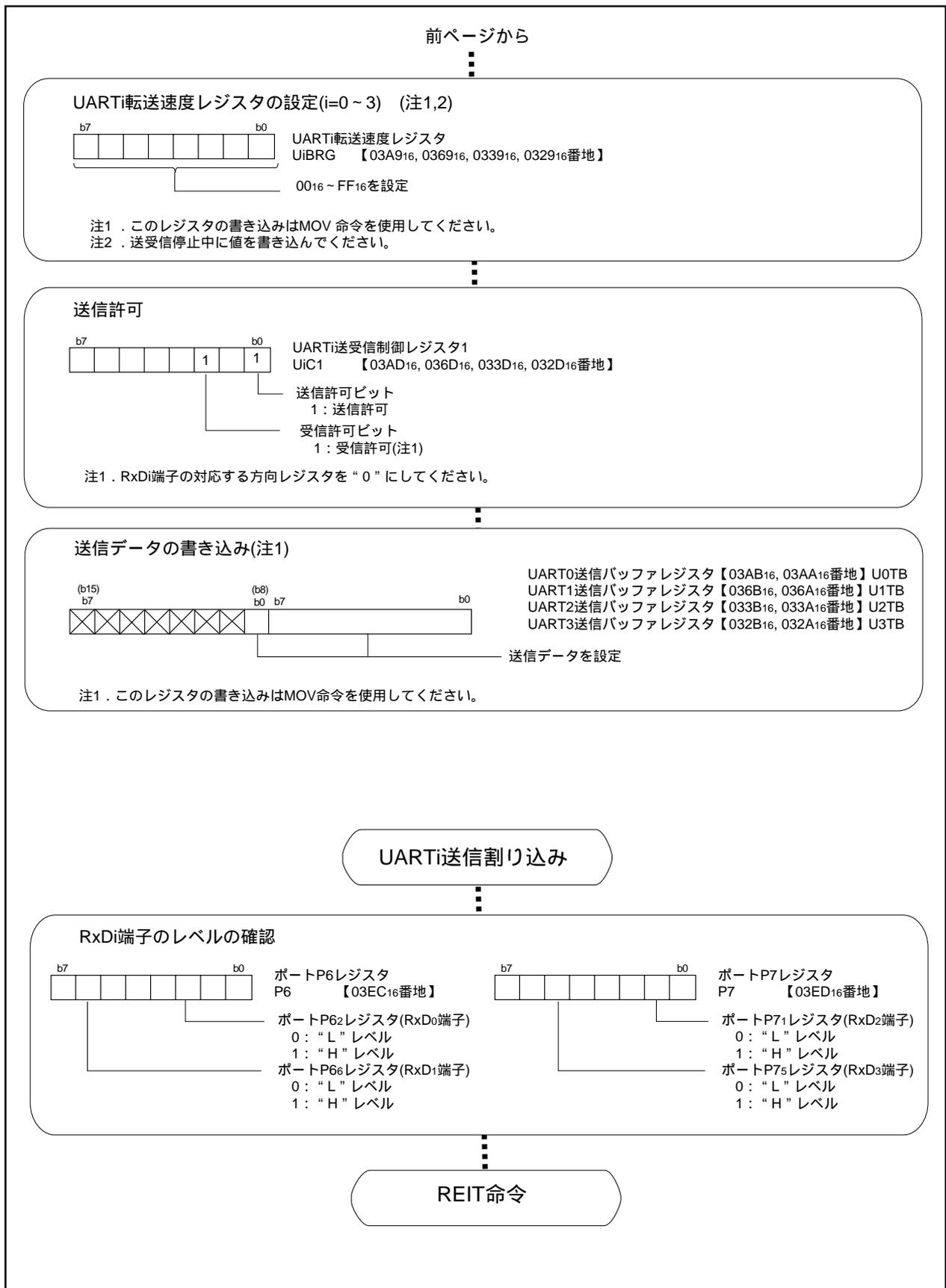


図2.4.15. クロック非同期形シリアルI/Oモード(SIMインタフェース対応)の送信動作時のレジスタ設定手順(2)

2.4.6 シリアルI/O動作 (SIMインタフェース対応時の受信)

クロック非同期形シリアルI/Oモード(SIMインタフェース対応時)の受信では、表2.4.7に示す項目の中から機能を選択できます。ここでは、表2.4.7に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.4.16に動作タイミングを、図2.4.17、図2.4.18に設定手順を示します。

表2.4.7. 設定内容

設定項目	設定内容	設定項目	設定内容
転送データ フォーマット	ダイレクトフォーマット	転送クロック ソース	内部クロック (f1 / f8 / f32)
	インバースフォーマット		外部クロック (CLKi端子)

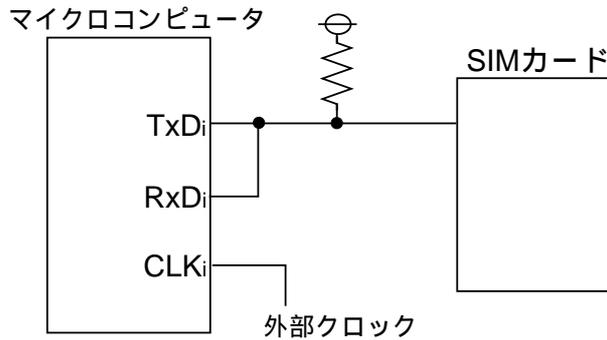
動作

- (1) 送信許可ビットおよび受信許可ビットを“1”にすると受信できる状態になります。
- (2) 受信データの1ビット目(スタートビット)がRxDi端子から受信されるとデータビット(LSB) …… データビット(MSB) パリティビット ストップビットの順に1ビットずつ受信されます。
- (3) ストップビットを受信すると、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。
同時に以下ようになります。
受信完了フラグが“1”になり、受信が完了したことを示します。
UARTi受信割り込み要求ビットが“1”になります。
- (4) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。
- (5) パリティエラーが発生すると、TxDi端子が“L”レベルになります。

補足説明

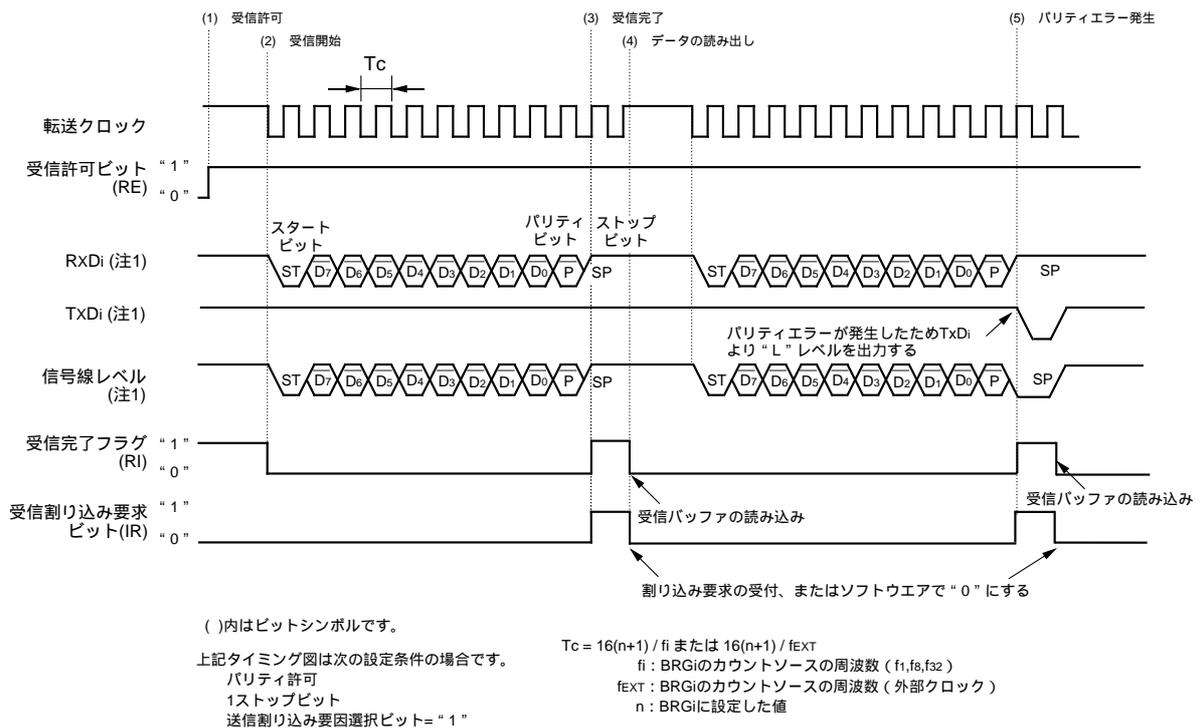
- ・ RxDi端子、CLKi端子は対応する方向レジスタを“0”にしてください。
- ・ UARTi送受信制御レジスタ0のデータ出力選択ビットでTxDi端子をNチャネルオープンドレイン出力に設定してください。

結線例



注1. TxDi端子はNチャンネルオープンドレインのためプルアップ抵抗が必要です。

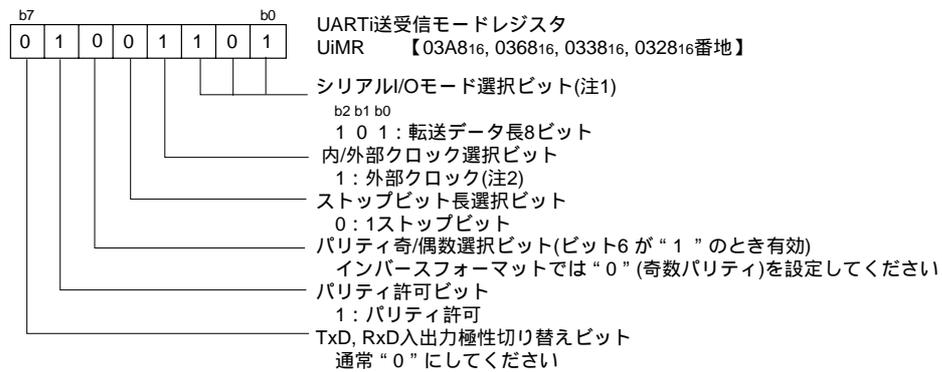
動作例(インバースフォーマットの場合)



注1. TxDiとRxDiは結線図で示したとおり、ワイヤードORで結ばれます。そのため、本来ならばTxDiとRxDiは同じ信号になるべきですが、出力信号がわかりにくくなるため、出力信号を別々に示します。また、TxDiとRxDiをつないだ信号のレベルは信号線レベルとして示します。

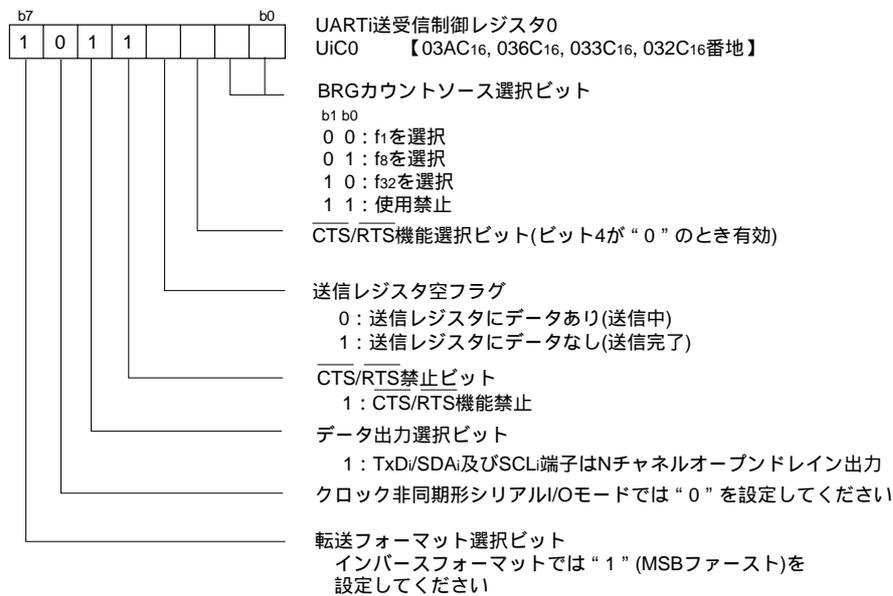
図2.4.16. クロック非同期形シリアルI/Oモード(SIMインタフェース対応時)の受信動作タイミング図

UARTi送受信モードレジスタの設定 (i=0~3)

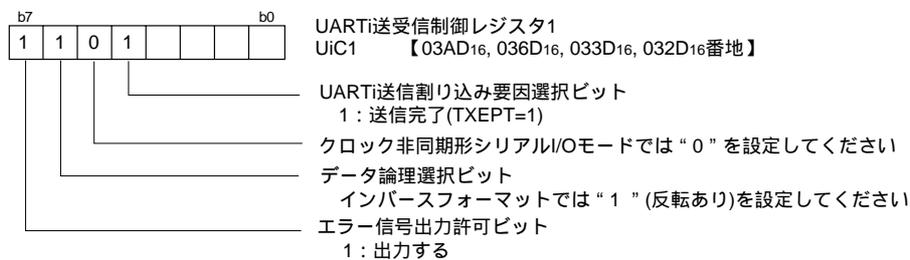


注1. 受信する場合、RxDi端子に対応するポート方向レジスタは“0”にしてください。
注2. 対応する方向レジスタを“0”にしてください。

UARTi送受信制御レジスタ0の設定 (i=0~3)



UARTi送受信制御レジスタ1の設定 (i=0~3)



次ページへ続く

図2.4.17. クロック非同期形シリアル/Oモード(SIMインタフェース対応時)の受信動作時のレジスタ設定手順(1)

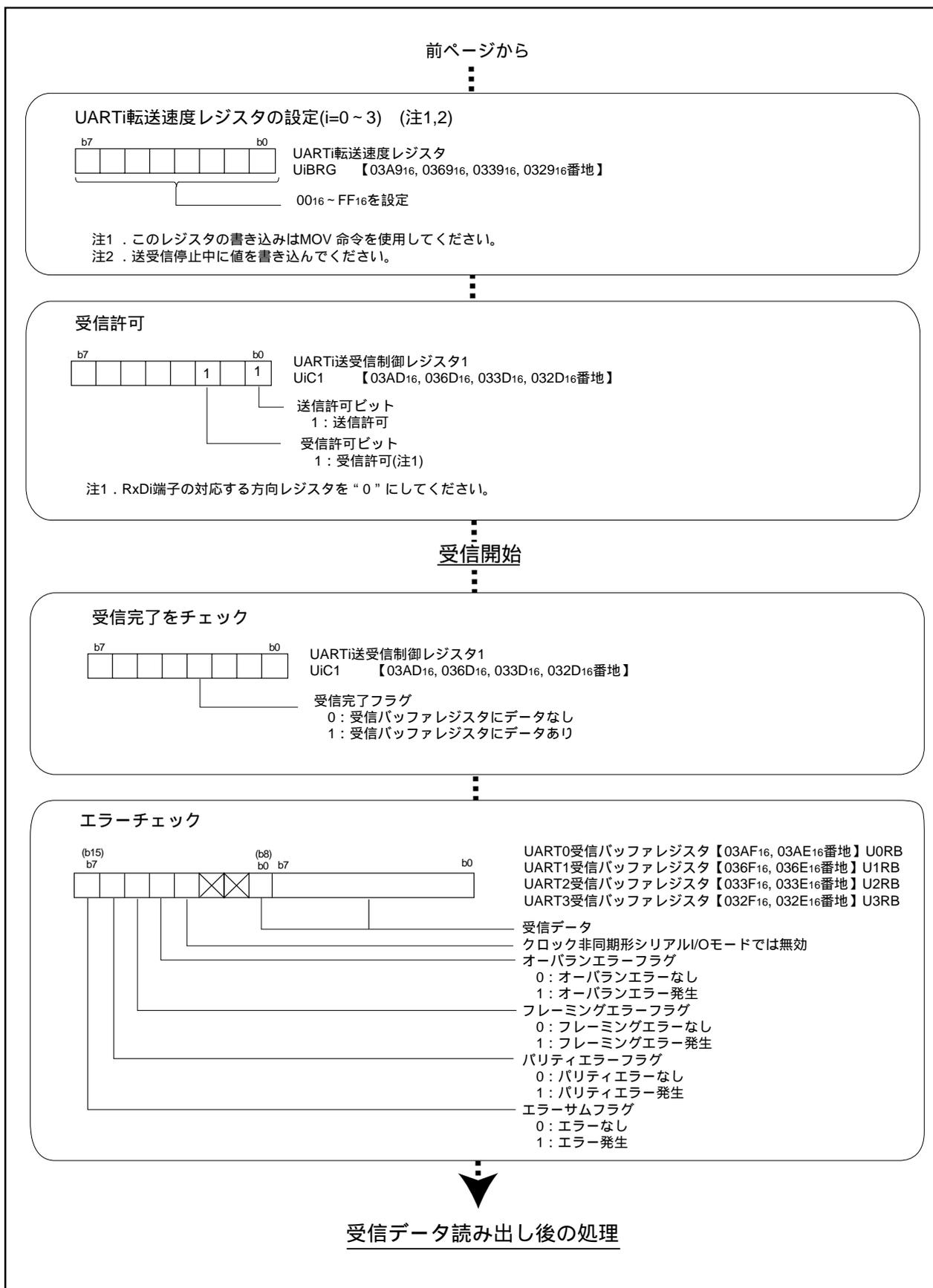


図2.4.18. クロック非同期形シリアルI/Oモード(SIMインタフェース対応時)の受信動作時のレジスタ設定手順(2)

2.4.7 SIMインタフェース対応時のクロック

SIMインタフェース対応時、SIMカード内のUARTクロックと、マイコン内部のUARTiクロックが一致する必要があります。マイコン内部のUARTiクロックの作成方法として、2つの例をあげます。

- ・ UARTiクロックの分周比に $(1/256 \times 1/16)$ 以下の値を設定する場合
UARTのソースクロックとしてf1を選択し、転送速度レジスタの設定値により対応できます。
- ・ UARTiクロックの分周比に $(1/256 \times 1/16)$ 以上の値を設定する場合
転送速度レジスタに0を設定し、ソースクロックをタイマ出力とし、このタイマの設定値により対応できます。

FをSIMカードの内部クロック、Dをビットレート調整因子とすると、UARTクロックの計算式は以下になります。図2.4.19に接続例を示します。

UARTiクロックの分周比に $(1/256 \times 1/16)$ 以下の値を設定する場合

マイコン内部のUARTiクロック = SIMカード内部のUARTクロック

$$f1 \times \frac{1}{\text{転送速度レジスタ}+1} \times \frac{1}{16} = f1 \times \frac{1}{\text{タイマAjカウンタ}+1} \times \text{フリップフロップ} \times \frac{1}{F/D}$$

XIN = 16MHz、タイマAjカウンタ = 1、F = 372、D = 1としたとき、転送速度レジスタに設定する値は、

$$16 \times \frac{1}{\text{転送速度レジスタ}+1} \times \frac{1}{16} = 16 \times \frac{1}{1+1} \times \frac{1}{2} \times \frac{1}{372/1}$$

転送速度レジスタ = 92

表2.4.8にUARTi転送速度レジスタ設定値の例を示します。

UARTiクロックの分周比に $(1/256 \times 1/16)$ 以上の値を設定する場合

マイコン内部のUARTiクロック = SIMカード内部のUARTクロック

$$f1 \times \frac{1}{\text{タイマAkカウンタ}+1} \times \frac{\text{フリップフロップ}}{\text{フリップ}} \times \frac{1}{\text{転送速度レジスタ}+1} \times \frac{1}{16}$$

$$= f1 \times \frac{1}{\text{タイマAjカウンタ}+1} \times \frac{\text{フリップ}}{\text{フリップ}} \times \frac{1}{F/D}$$

XIN = 16MHz、タイマAjカウンタ = 3、転送速度レジスタ = 0、F = 1860、D = 1としたとき、タイマAkカウンタに設定する値は、

$$16 \times \frac{1}{\text{タイマAkカウンタ}+1} \times \frac{1}{2} \times \frac{1}{0+1} \times \frac{1}{16} = 16 \times \frac{1}{3+1} \times \frac{1}{2} \times \frac{1}{1860/1}$$

タイマAkカウンタ = 464

表2.4.9にタイマAkレジスタ設定値の例を示します。

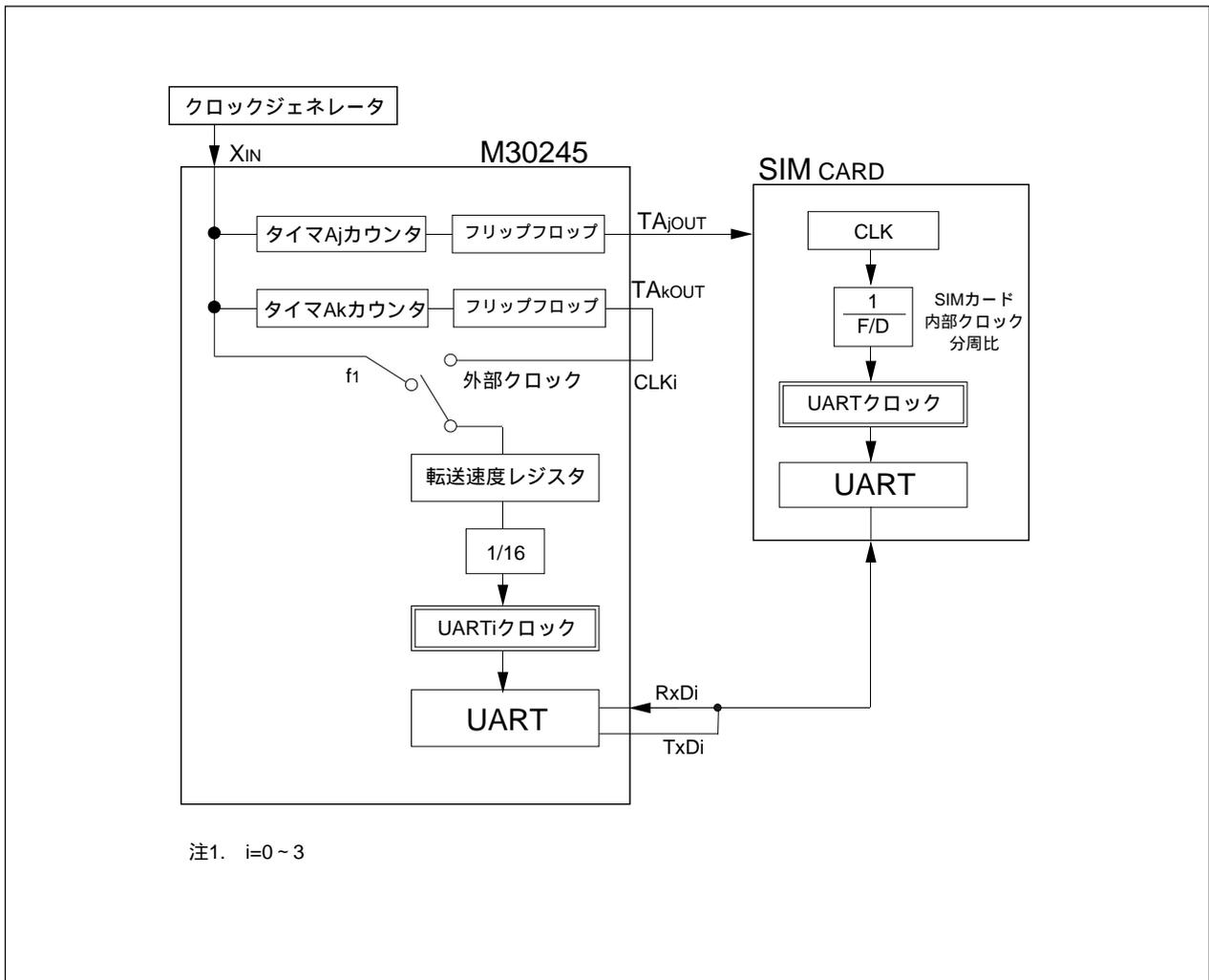


図2.4.19. 接続例

表2.4.8. UARTi転送速度レジスタ設定値の例 (i=0~3)

SIMカードの内部 クロックF(Hz)	ビットレート 調整因子D	F/D	UART転送速度 レジスタ設定値	SIMカードの内部 クロックF(Hz)	ビットレート 調整因子D	F/D	UART転送速度 レジスタ設定値
372	1	372	92	1116	1	1116	
	2	186			2	558	
	4	93			4	279	
	8				8		
	16				16		
	1/2	744	185		1/2	2232	
	1/4	1488			1/4	4464	
	1/8	2976			1/8	8928	
	1/16	5952			1/16	17856	
	1/32	11904			1/32	35712	
	1/64	23808			1/64	71424	
	558	1	558			1488	1
2		279		2	744		185
4				4	372		92
8				8	186		
16				16	93		
1/2		1116		1/2	2976		
1/4		2232		1/4	5952		
1/8		4464		1/8	11904		
1/16		8928		1/16	23808		
1/32		17856		1/32	47616		
1/64		35712		1/64	95232		
744		1	744	185	1860		1
	2	372	92	2		930	
	4	186		4		465	
	8	93		8			
	16			16			
	1/2	1488		1/2		3720	
	1/4	2976		1/4		7440	
	1/8	5952		1/8		14880	
	1/16	11904		1/16		29760	
	1/32	23808		1/32		59520	
	1/64	47616		1/64		119040	

 M30245現行仕様で対応不可能な組み合わせ

 F/D自体が整数とならない組み合わせ

下記条件での設定例です。

f(XIN)=16MHz、タイマAkカウンタの設定値 = 1

表2.4.9. タイマAkレジスタ設定値の例

SIMカードの内部 クロックF(Hz)	ビットレート 調整因子D	F/D	タイマAkレジス タ設定値	SIMカードの内部 クロックF(Hz)	ビットレート 調整因子D	F/D	タイマAkレジ スタ設定値
372	1	372	92	1116	1	1116	278
	2	186			2	558	
	4	93			4	279	
	8				8		
	16				16		
	1/2	744	185		1/2	2232	557
	1/4	1488	371		1/4	4464	1115
	1/8	2976	743		1/8	8928	2231
	1/16	5952	1487		1/16	17856	4463
	1/32	11904	2975		1/32	35712	8927
	1/64	23808	5951		1/64	71424	17855
	558	1	558			1488	1
2		279		2	744		185
4				4	372		92
8				8	186		
16				16	93		
1/2		1116	278	1/2	2976		743
1/4		2232	557	1/4	5952		1487
1/8		4464	1115	1/8	11904		2975
1/16		8928	2231	1/16	23808		5951
1/32		17856	4463	1/32	47616		11903
1/64		35712	8927	1/64	95232		23807
744		1	744	185	1860		1
	2	372	92	2		930	
	4	186		4		465	
	8	93		8			
	16			16			
	1/2	1488	371	1/2		3720	929
	1/4	2976	743	1/4		7440	1859
	1/8	5952	1487	1/8		14880	3719
	1/16	11904	2975	1/16		29760	7439
	1/32	23808	5951	1/32		59520	14879
	1/64	47616	11903	1/64		119040	29759

 M30245現行仕様で対応不可能な組み合わせ

 F/D自体が整数とならない組み合わせ

下記条件での設定例です。

f(XIN)=16MHz、タイマAjカウンタの設定値=3、転送速度レジスタの設定値=0

2.5 シリアルインタフェース特殊機能

2.5.1 概要

シリアルインタフェース特殊機能では、 $\overline{\text{SSi}}$ 入力端子を用いたシリアルバスの通信制御を行うことができます。シリアルインタフェース特殊機能の概要について説明します。

送受信フォーマット

8ビットデータです。

転送速度

転送クロックに内部クロックを選択した場合、転送速度レジスタで分周した周波数の2分周が転送速度となります。転送速度レジスタのカウントソースは、 f_1 、 f_8 、および f_{32} から選択できます。 f_1 、 f_8 、 f_{32} とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

転送クロックに外部クロックを選択した場合、CLK端子に入力されたクロックの周波数が転送速度となります。

エラー検知

マスタモード時に障害エラーを検出できます。

マルチマスタのシステムの場合、 $\overline{\text{SSi}}$ 端子に“L”が入力されると、別にマスタが存在すると判断され、TxDi、RxDi、CLKiの各端子がハイインピーダンスとなり、障害エラー割り込み要求ビットが“1”になり、障害エラー割り込みが発生します。

エラー発生時の対処方法

障害エラーフラグに“0”を設定することで、クロック出力端子、データ出力端子を出力可能に復帰させてください。マスタモード選択時では、 $\overline{\text{SSi}}$ 入力端子が“H”であれば、障害エラーフラグに“0”を書き込めます。 $\overline{\text{SSi}}$ 入力端子が“L”の場合には書き込めません。スレーブモードの場合、 $\overline{\text{SSi}}$ 入力端子の状態にかかわらず障害エラーフラグに“0”を書き込めます。

選択機能

シリアルインタフェース特殊機能では、次の機能を選択することができます。

(1) CLK極性選択機能

CLK極性選択機能とは、転送クロックの極性を切り替える機能です。次の2種類から選択できます。

転送クロックの立ち下がりでデータ入力、立ち上がりでデータ出力します。

転送クロックの立ち上がりでデータ入力、立ち下がりでデータ出力します。

(2) クロック位相設定機能

クロック位相設定機能とは、転送クロックの相を切り替える機能です。次の2種類から選択できます。

転送クロックの遅れなし。

転送クロックの遅れあり。

(3) シリアル入力端子設定機能

シリアル入力端子設定機能とは、シリアルバスの制御権(マスタモード/スレーブモード)を切り替える機能です。次の2種類から選択できます。

マスタモード

スレーブモード

(1)~(3)の機能を次のとおり選択した動作例を示します。

転送クロックの立ち下がりで送信データ出力、クロック遅れなし、マスタモード選択時の送信動作
転送クロックの立ち上がりで受信データ入力、クロック遅れあり、マスタモード選択時の受信動作
転送クロックの立ち下がりで送信データ出力、クロック遅れなし、スレーブモード選択時の送信動作
転送クロックの立ち上がりで受信データ入力、クロック遅れあり、スレーブモード選択時の受信動作

シリアルインタフェース特殊機能への入力と方向レジスタ

シリアルインタフェース特殊機能へ外部信号を入力する場合、対応するポートの方向レジスタは入力に設定してください。

シリアルインタフェース特殊機能関連端子

- (1) CLK0、CLK1、CLK2、CLK3端子 転送クロックの入出力端子です。
- (2) RxD0/SRxD0、RxD1/SRxD1、RxD2/SRxD2、RxD3/SRxD3端子
データの入力端子です。
- (3) TxD0/STxD0、TxD1/STxD1、TxD2/STxD2、TxD3/STxD3端子
データの出力端子です。

シリアルインタフェース特殊機能関連レジスタ

図2.5.1にシリアルインタフェース特殊機能関連レジスタのメモリ配置図を、図2.5.2~2.5.7にシリアルインタフェース特殊機能関連レジスタの構成を示します。

0042 ₁₆	UART2受信/ACK割り込み制御レジスタ(S2RIC)	035F ₁₆	割り込み要因選択レジスタ(IFSR)
0043 ₁₆	UART1/3バス衝突検出割り込み制御レジスタ(S13BCNIC)		
0048 ₁₆	UART1受信/ACK/SSI1割り込み制御レジスタ(S1RIC)	0364 ₁₆	UART1特殊モ - ドレジスタ4(U1SMR4)
0049 ₁₆	UART0/2バス衝突検出割り込み制御レジスタ(S02BCNIC)	0365 ₁₆	UART1特殊モ - ドレジスタ3(U1SMR3)
004A ₁₆	UART0受信/ACK/SSIO割り込み制御レジスタ(S0RIC)	0366 ₁₆	UART1特殊モ - ドレジスタ2(U1SMR2)
004D ₁₆	UART3送信/NACK割り込み制御レジスタ(S3TIC)	0367 ₁₆	UART1特殊モ - ドレジスタ1(U1SMR)
004F ₁₆	UART2送信/NACK割り込み制御レジスタ(S2TIC)	0368 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
0051 ₁₆	UART1送信/NACK/SSI1割り込み制御レジスタ(S1TIC)	0369 ₁₆	UART1転送速度レジスタ(U1BRG)
0053 ₁₆	UART0送信/NACK/SSIO割り込み制御レジスタ(S0TIC)	036A ₁₆	UART1送信バッファレジスタ(U1TB)
0055 ₁₆	UART3受信/ACK割り込み制御レジスタ(S3RIC)	036B ₁₆	UART1送受信制御レジスタ 0 (U1C0)
0324 ₁₆	UART3特殊モ - ドレジスタ4(U3SMR4)	036C ₁₆	UART1送受信制御レジスタ 1 (U1C1)
0325 ₁₆	UART3特殊モ - ドレジスタ3(U3SMR3)	036D ₁₆	UART1受信バッファレジスタ(U1RB)
0326 ₁₆	UART3特殊モ - ドレジスタ2(U3SMR2)	036E ₁₆	
0327 ₁₆	UART3特殊モ - ドレジスタ1(U3SMR)	03A4 ₁₆	UART0特殊モ - ドレジスタ4(U0SMR4)
0328 ₁₆	UART3送受信モ - ドレジスタ(U3MR)	03A5 ₁₆	UART0特殊モ - ドレジスタ3(U0SMR3)
0329 ₁₆	UART3転送速度レジスタ(U3BRG)	03A6 ₁₆	UART0特殊モ - ドレジスタ2(U0SMR2)
032A ₁₆	UART3送信バッファレジスタ(U3TB)	03A7 ₁₆	UART0特殊モ - ドレジスタ1(U0SMR)
032B ₁₆	UART3送受信制御レジスタ 0 (U3C0)	03A8 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
032C ₁₆	UART3送受信制御レジスタ 1 (U3C1)	03A9 ₁₆	UART0転送速度レジスタ(U0BRG)
032D ₁₆	UART3受信バッファレジスタ(U3RB)	03AA ₁₆	UART0送信バッファレジスタ(U0TB)
032E ₁₆		03AB ₁₆	UART0送受信制御レジスタ 0 (U0C0)
032F ₁₆		03AC ₁₆	UART0送受信制御レジスタ 1 (U0C1)
0334 ₁₆	UART2特殊モ - ドレジスタ4(U2SMR4)	03AD ₁₆	
0335 ₁₆	UART2特殊モ - ドレジスタ3(U2SMR3)	03AE ₁₆	UART0受信バッファレジスタ(U0RB)
0336 ₁₆	UART2特殊モ - ドレジスタ2(U2SMR2)	03AF ₁₆	
0337 ₁₆	UART2特殊モ - ドレジスタ1(U2SMR)		
0338 ₁₆	UART2送受信モ - ドレジスタ(U2MR)		
0339 ₁₆	UART2転送速度レジスタ(U2BRG)		
033A ₁₆	UART2送信バッファレジスタ(U2TB)		
033B ₁₆	UART2送受信制御レジスタ 0 (U2C0)		
033C ₁₆	UART2送受信制御レジスタ 1 (U2C1)		
033E ₁₆	UART2受信バッファレジスタ(U2RB)		
033F ₁₆			

図2.5.1. シリアルインタフェース特殊機能関連レジスタのメモリ配置図

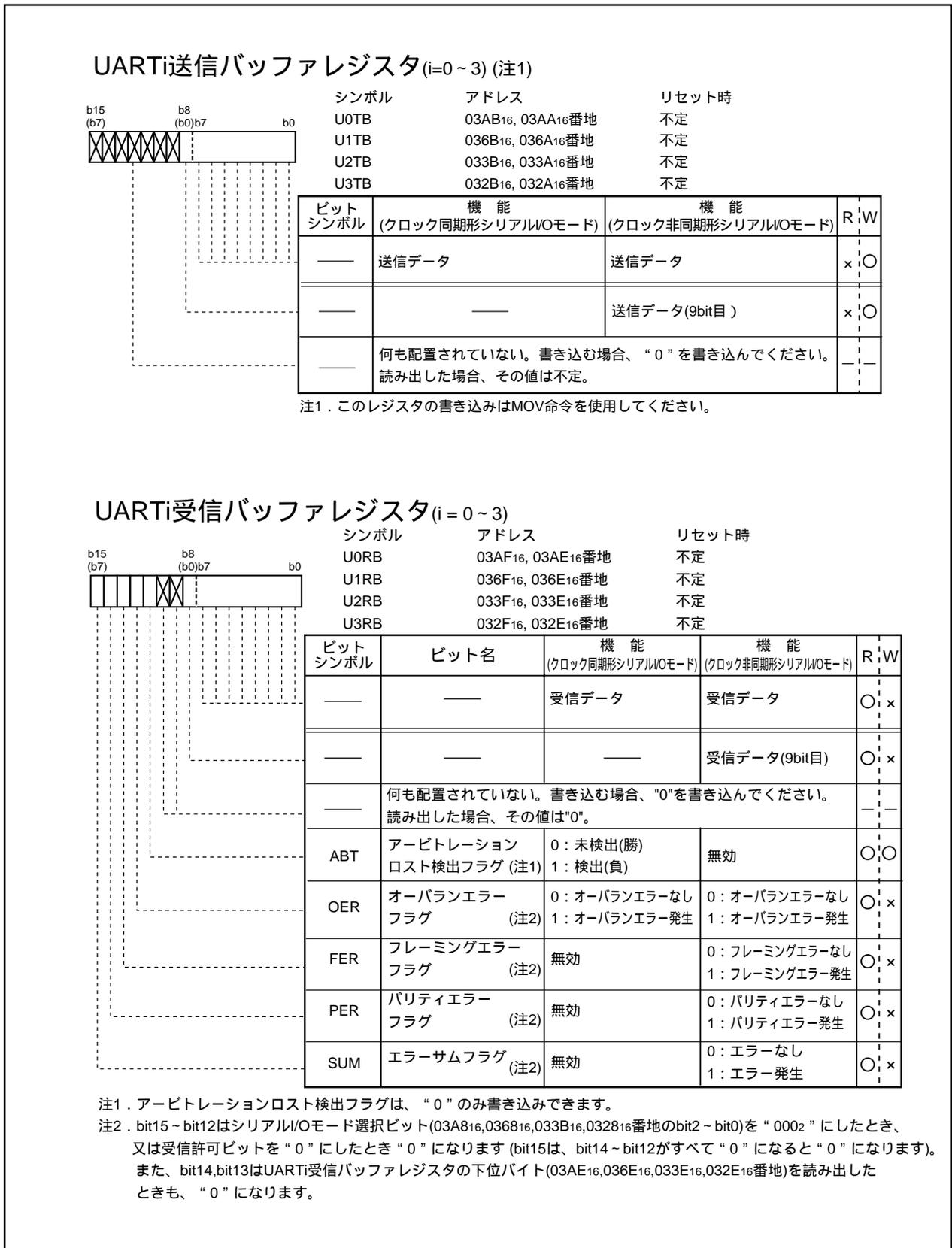


図2.5.2. シリアルインタフェース特殊機能関連のレジスタ (1)

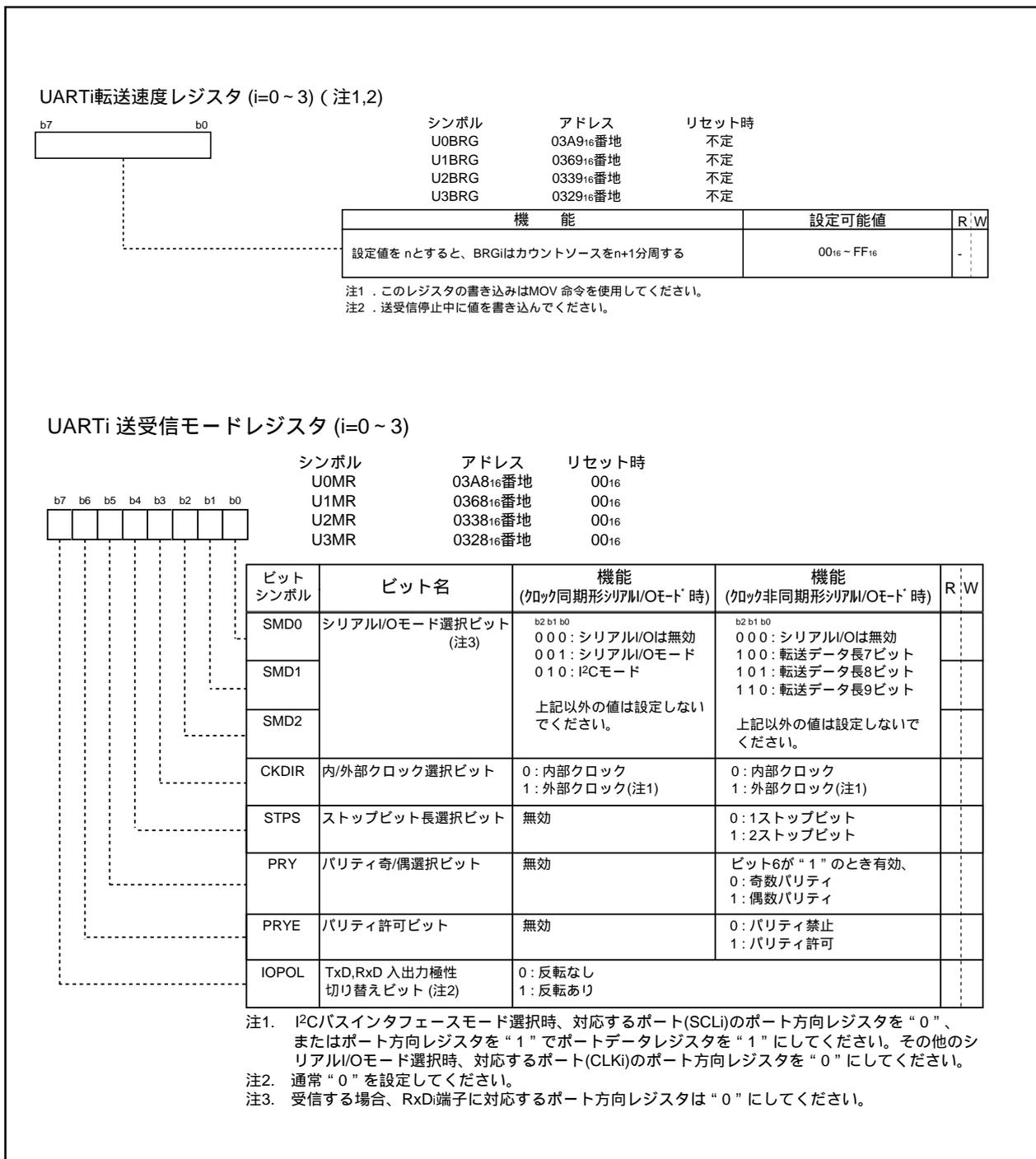


図2.5.3. シリアルインタフェース特殊機能関連のレジスタ (2)

UARTi 送受信制御レジスタ0 (i=0~3)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
UIC0(i=0~3)

アドレス
03AC16, 036C16, 033C16, 032C16, 番地

リセット時
0816

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
CLK0	BRGカウントソース 選択ビット	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 使用禁止		
CLK1				
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効。 0: CTS機能を選択(注1) 1: RTS機能を選択(注4)		
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)		x
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止		
NCH (注2)	データ出力選択ビット	0: TxDi/SDAi及びSCLi端子はCMOS出力 1: TxDi/SDAi及びSCLi端子はNチャネルオープンドレイン出力		
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	"0"に固定してください	
UFORM	転送フォーマット選択ビット (注3)	0: LSBファースト 1: MSBファースト		

注1. 対応するポート方向レジスタは“0”にしてください。
 注2. UART2の送信端子(TxD2: P70、SCL2: P71)はNチャネルオープンドレイン出力です。CMOS出力は設定できません。
 注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。
 注4. 対応するポートレジスタとポート方向レジスタは無効です。

UARTi送受信制御レジスタ1 (i=0~3)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
UIC1(i=0~3)

アドレス
03AD16, 036D16, 033D16, 032D16番地

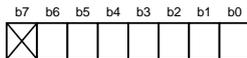
リセット時
0216

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同期形シリアルI/Oモード)	R/W
TE	送信許可ビット	0: 送信禁止 1: 送信許可		○ ○
TI	送信バッファ空フラグ	0: 送信バッファレジスタにデータあり 1: 送信バッファレジスタにデータなし		○ ○
RE	受信許可ビット	0: 受信禁止 1: 受信許可		○ ○
RI	受信完了フラグ	0: 受信バッファレジスタにデータなし 1: 受信バッファレジスタにデータあり		○ ○
UiIRS	UARTi 送信割り込み要因選択ビット	0: 送信バッファ空(TI="1") 1: 送信完了(TXEPT="1")		○ ○
UiRRM	UARTi 連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	"0"を設定してください	○ ○
UiLCH	データ論理選択ビット	0: 反転なし 1: 反転あり		○ ○
UiERE	エラー信号出力許可ビット	"0"を設定してください。読み出した場合、その値は不定。	エラー信号出力許可ビット 0: 出力しない 1: 出力する (注1)	○ ○

注1. エラー信号出力を許可しない場合は、UIMRレジスタを設定した後にUiEREビットを“0”にしてください。

図2.5.4. シリアルインタフェース特殊機能関連のレジスタ (3)

UARTi特殊モードレジスタ1 (i=0~3)



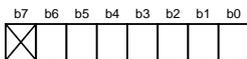
シンボル アドレス リセット時
 UiSMR(i=0~3) 03A716, 036716, 033716, 032716番地 0016

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード)	機能 (クロック非同形シリアルI/Oモード)	R	W	
	IICM	I ² Cモード 選択ビット	0: 通常モード 1: I ² Cモード	"0"を設定してください	○	○
	ABC	アービトレーション ロスト検出 フラグ制御	0: ビット毎に更新 1: バイト毎に更新	"0"を設定してください	○	○
	BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出	"0"を設定してください	○	○ (注1)
	LSYN	SCLL同期出力 許可ビット	0: 禁止 1: 許可	"0"を設定してください	○	○
	ABSCS	バス衝突検出 サンプリング クロック選択ビット	"0"を設定してください	0: 転送クロックの立ち上がり 1: タイマAiのアンダフロー (注2)	○	○
	ACSE	送信許可ビット 自動クリア機能 選択ビット	"0"を設定してください	0: 自動クリア機能なし 1: バス衝突発生時 自動クリア	○	○
	SSS	送信開始条件 選択ビット	"0"を設定してください	0: 通常 1: RxDiの立ち下がり	○	○
		何も配置されていない。書き込む場合は"0"を書き込んでください。 読み出し時、その値は不定です。			—	—

注1. "0"だけ書き込み可。

注2. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、
 UART2ではタイマA0のアンダフロー信号。

UARTi特殊モードレジスタ2 (i=0~3)



シンボル アドレス リセット時
 UiSMR2(i=0~3) 03A616, 036616, 033616, 032616番地 0016

ビットシンボル	ビット名	機能	R	W		
	IICM2	I ² Cモード 選択ビット2	0: NACK/ACK割り込み(DMAの要因: ACK) 受信クロックの最終ビットの立ち上がりで 受信バッファに転送 受信クロックの最終ビットの立ち上がりで 受信割り込み発生 1: UARTi送信受信割り込み(DMAの要因: UARTi受信) 受信クロックの最終ビットの立ち下がり 受信バッファに転送 受信クロックの最終ビットの立ち下がり 受信割り込み発生	○	○	
	CSC	クロック同期化ビット	0: 禁止 1: 許可	○	○	
	SWC	SCLウェイト 出力ビット	0: 禁止 1: 許可		○ (注1)	
	ALS	SDA出力停止ビット	0: 禁止 1: 許可	○	○	
	STC	UARTi初期化ビット	0: 禁止 1: 許可		○ (注1)	
	SWC2	SCLウェイト 出力ビット2	0: UARTiクロック 1: 0出力		○ (注1)	
	SDHI	SDA出力禁止ビット	0: 許可 1: 禁止(ハイインピーダンス)	○	○	
		何も配置されていない。書き込む場合は"0"を書き込んでください。 読み出し時、その値は不定です。			—	—

注1. SCLが外部クロック時は使用できません。

図2.5.5. シリアルインタフェース特殊機能関連のレジスタ (4)

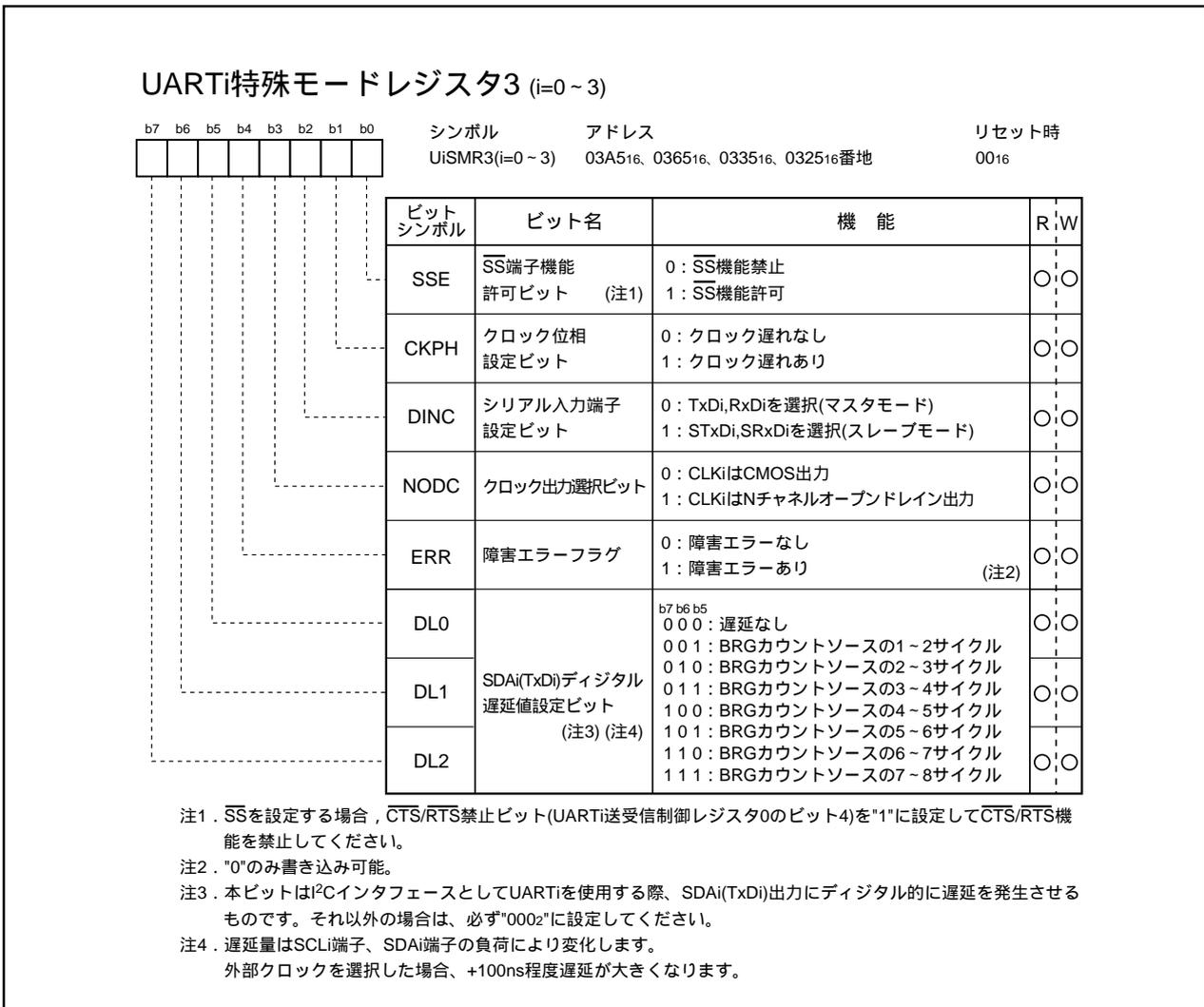
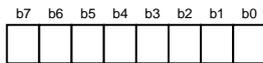


図2.5.6. シリアルインタフェース特殊機能関連のレジスタ (5)

UARTi特殊モードレジスタ4 (i=0~3)



シンボル アドレス
UISMR4(i=0~3) 03A4₁₆, 0364₁₆, 0334₁₆, 0324₁₆番地

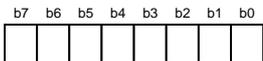
リセット時
00₁₆

ビットシンボル	ビット名	機能	R/W
STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート	○ ○
RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート	○ ○
STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート	○ ○
STSPSEL	SCL,SDA出力選択ビット	0: 従来ブロック 1: スタート/ストップコンディション生成ブロック	○ ○
ACKD	ACKデータビット	0: ACK 1: NACK	○ ○
ACKC	ACKデータ出力許可ビット	0: SI/Oデータ出力 1: ACKD出力	○ ○
SCLHI	SCL出力停止許可ビット	0: 禁止 1: 許可	○ ○
SWC9	SCLウエイト出力ビット3	0: SCL"L"ホールド禁止 1: SCL"L"ホールド許可 (注2)	○ ○

注1. スタートコンディションが生成された場合、自動的に"0"になります。

注2. SCLが外部クロック時は使用できません。

外部割り込み要因選択レジスタ



シンボル アドレス
IFSR 035F₁₆番地

リセット時
00₁₆

ビットシンボル	ビット名	機能	R/W
IFSR0	INT0割り込み極性選択ビット	0: 片エッジ 1: 両エッジ	○ ○
IFSR1	INT1割り込み極性選択ビット	0: 片エッジ 1: 両エッジ	○ ○
IFSR2	INT2割り込み極性選択ビット	0: 片エッジ 1: 両エッジ	○ ○
何も配置されていません。 書き込み時は"0"を書き込んでください。読み出し時、不定です。			- -
IFSR6	バス衝突割り込み要因選択ビット0	0: UART0のバス衝突/スタートストップ検出/障害エラー検出要因選択 1: UART2のバス衝突/スタートストップ検出/障害エラー検出要因選択	○ ○
IFSR7	バス衝突割り込み要因選択ビット1	0: UART1のバス衝突/スタートストップ検出/障害エラー検出要因選択 1: UART3のバス衝突/スタートストップ検出/障害エラー検出要因選択	○ ○

図2.5.7. シリアルインタフェース特殊機能関連のレジスタ (6)

2.5.2 シリアルインタフェース特殊機能動作 (マスタモード、クロック遅れなし送信)

シリアルインタフェース特殊機能のマスタモード送信では、表2.5.1に示す項目の中から機能を選択できます。ここでは、表2.5.1に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.5.8に動作タイミングを、図2.5.9、図2.5.10に設定手順を示します。

表2.5.1. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	SSi端子機能許可	SSi機能禁止
	外部クロック(CLKi端子)		SSi機能許可
CLK極性	転送クロックの立ち下がりで送信データ出力	クロック位相設定	クロック遅れなし
	転送クロックの立ち上がりで送信データ出力		クロック遅れあり
送信割り込み要因	送信バッファ空	シリアル入力端子設定	TxDi,RxDiを選択 (マスタモード)
	送信完了		STxDi,SRxDiを選択 (スレーブモード)

動作

- (1) 受信側ICのSSi端子が“L”レベルとなるようにポート出力します。
- (2) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。
- (3) 最初の転送クロックの立ち下がりエッジに同期して、UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、UARTi送信割り込み要求ビットが“1”になります。また、送信データの1ビット目がTxDi端子から送信されます。そして、立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。
- (4) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。また、転送クロックは“L”レベルで停止します。
- (5) 送信中(8ビット目が出力される前)に、UARTi送信バッファレジスタに次の送信データを設定していれば、続けて送信が行われます。

補足説明

- ・SSi端子には、“H”を入力してください。“L”を入力すると障害エラーとなります。

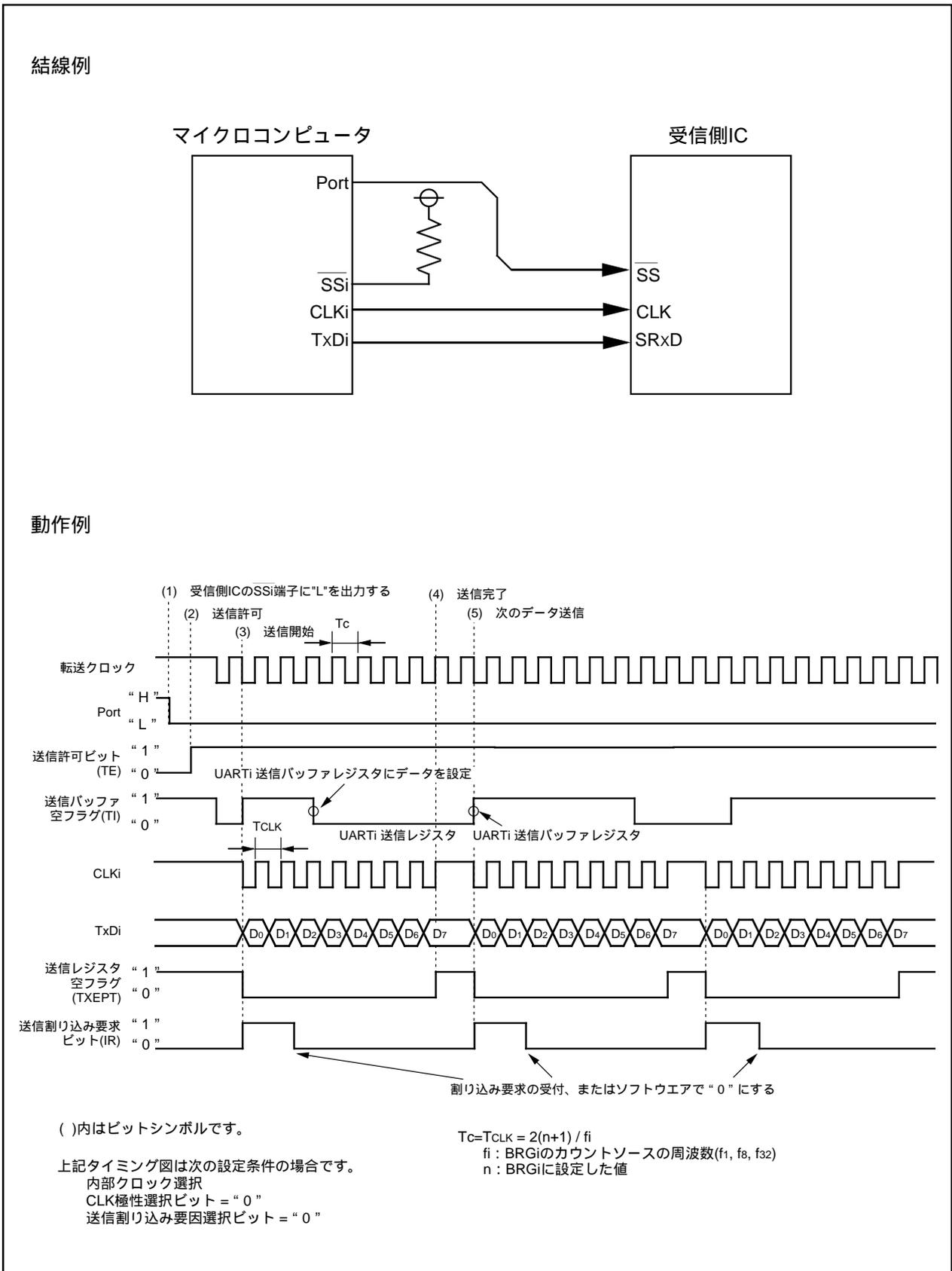


図2.5.8. シリアルインタフェース特殊機能マスターモード、クロック遅れなし送信動作タイミング図

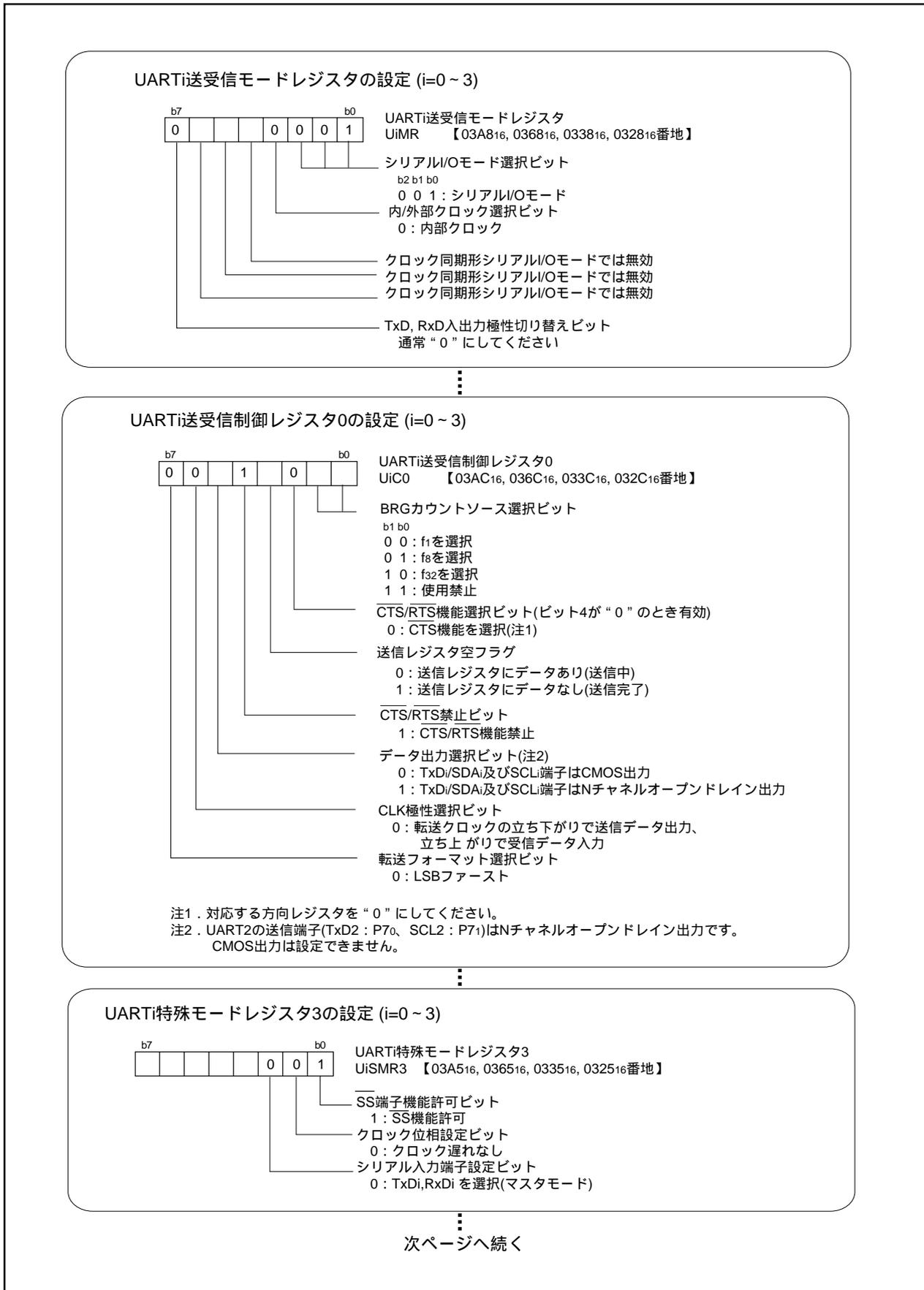


図2.5.9. シリアルインタフェース特殊機能マスタモード、クロック遅れなし送信動作時のレジスタ設定手順(1)

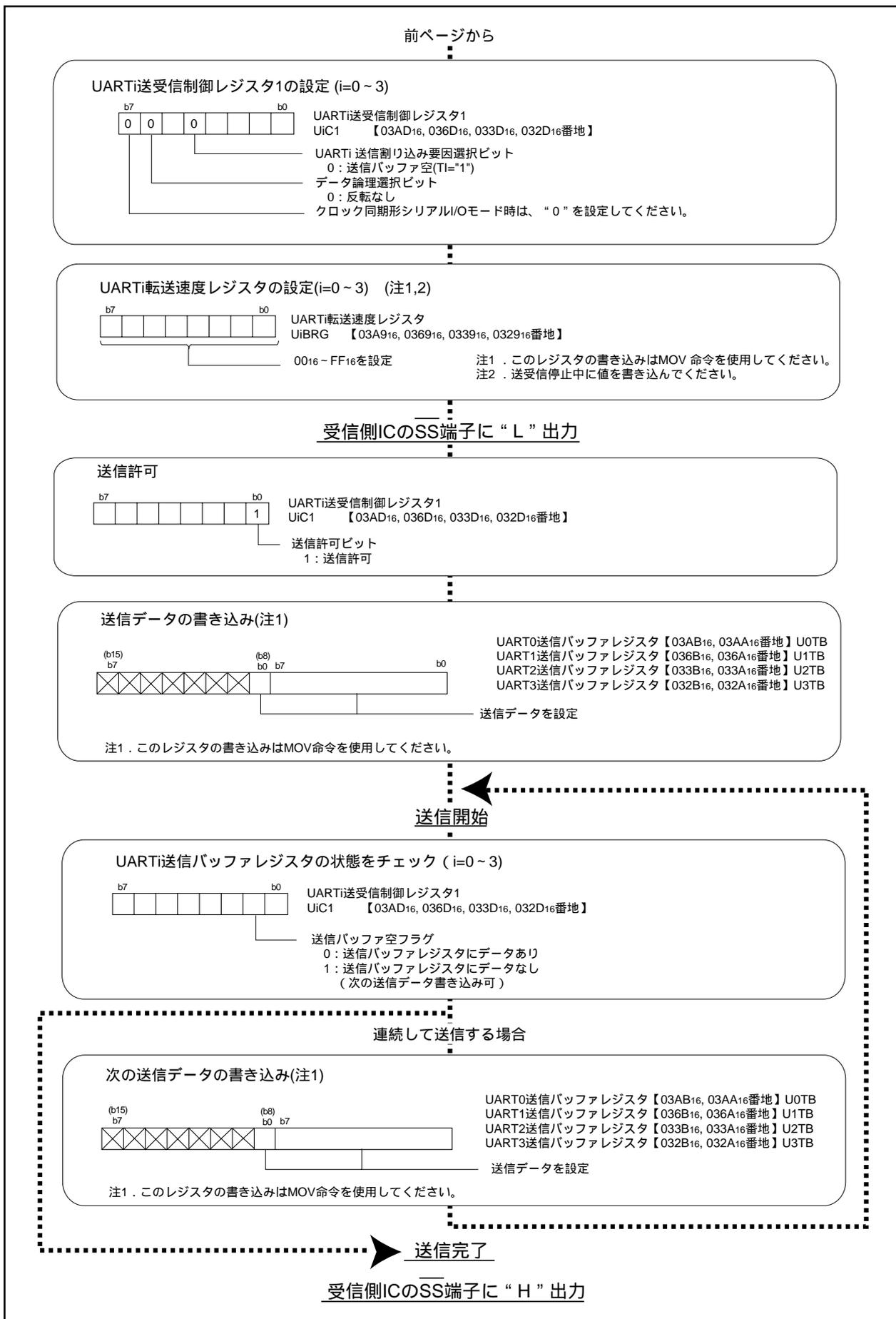


図2.5.10. シリアルインタフェース特殊機能マスタモード、クロック遅れなし送信動作時のレジスタ設定手順(2)

2.5.3 シリアルインタフェース特殊機能動作(マスタモード、クロック遅れあり受信)

シリアルインタフェース特殊機能のマスタモード受信では、表2.5.2に示す項目の中から機能を選択できます。ここでは、表2.5.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.5.11に動作タイミングを、図2.5.12、図2.5.13に設定手順を示します。

表2.5.2. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	SSi端子機能許可	SSi機能禁止
	外部クロック(CLKi端子)		SSi機能許可
CLK極性	転送クロックの立ち上がりで受信データ入力	クロック位相設定	クロック遅れなし
	転送クロックの立ち下がり で受信データ入力		クロック遅れあり
連続受信モード	禁止	シリアル入力端子設定	TxDi,RxDiを選択 (マスタモード)
	許可		STxDi,SRxDiを選択 (スレーブモード)

- 動作
- (1) 送信側ICのSSi端子が“L”レベルとなるようにポート出力します。
 - (2) UARTi送信バッファレジスタにダミーデータを書き込み、受信許可ビットを“1”、送信許可ビットを“1”にすると受信できる状態になります。
 - (3) 最初の転送クロックの立ち上がりエッジに同期して、RxDi端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。そして、転送クロックの立ち上がりエッジに同期して、UARTi受信レジスタの内容を右にシフトしながらデータを取り込みます。
 - (4) UARTi受信レジスタに1バイトのデータが揃うと、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。同時に、受信完了フラグとUARTi受信割り込み要求ビットが“1”になります。
 - (5) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。

- 補足説明
- ・ RxDi端子の対応する方向レジスタを“0”にしてください。
 - ・ SSi端子には、“H”を入力してください。“L”を入力すると障害エラーとなります。

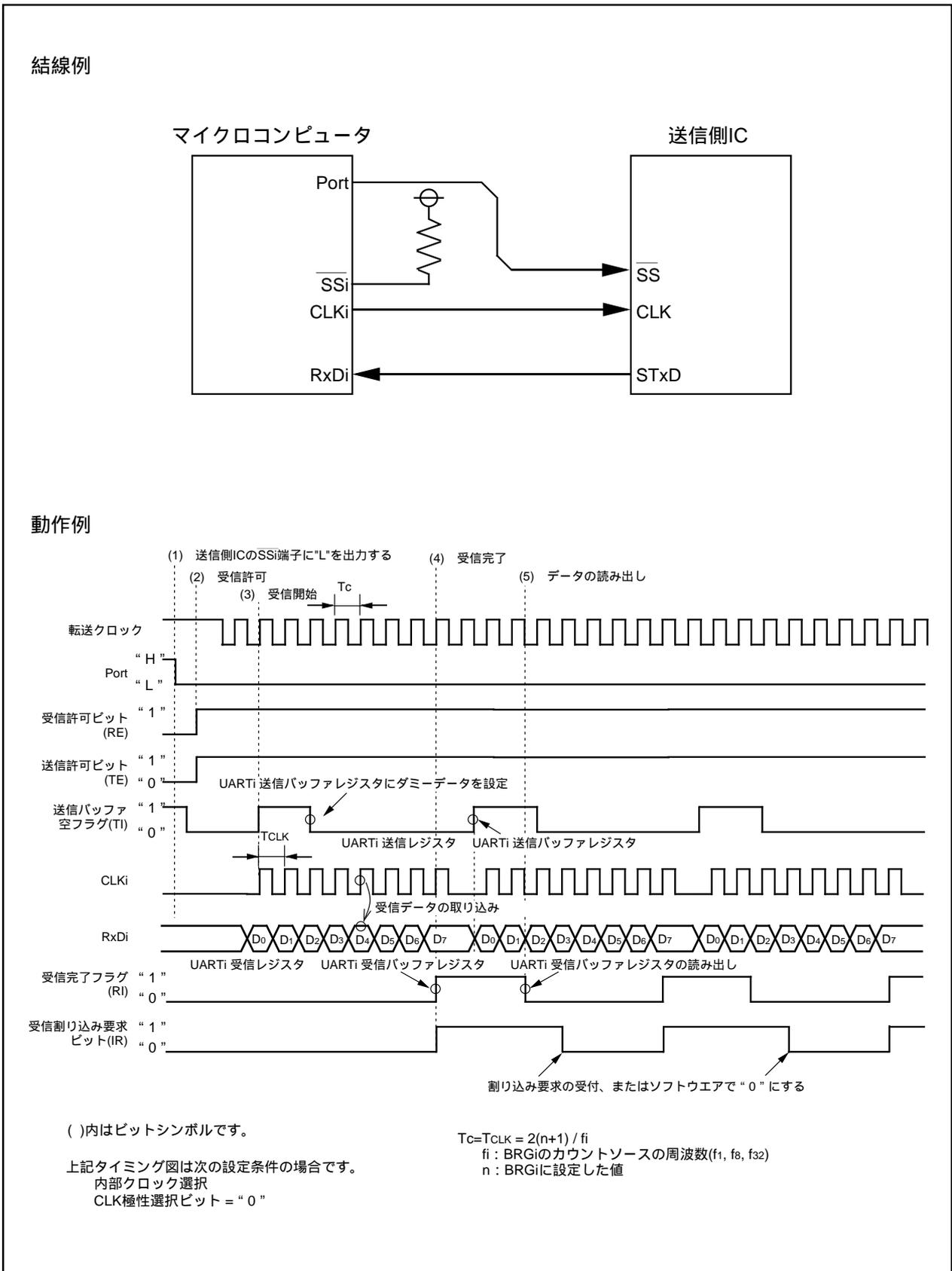


図2.5.11. シリアルインタフェース特殊機能マスターモード、クロック遅れあり受信動作タイミング図

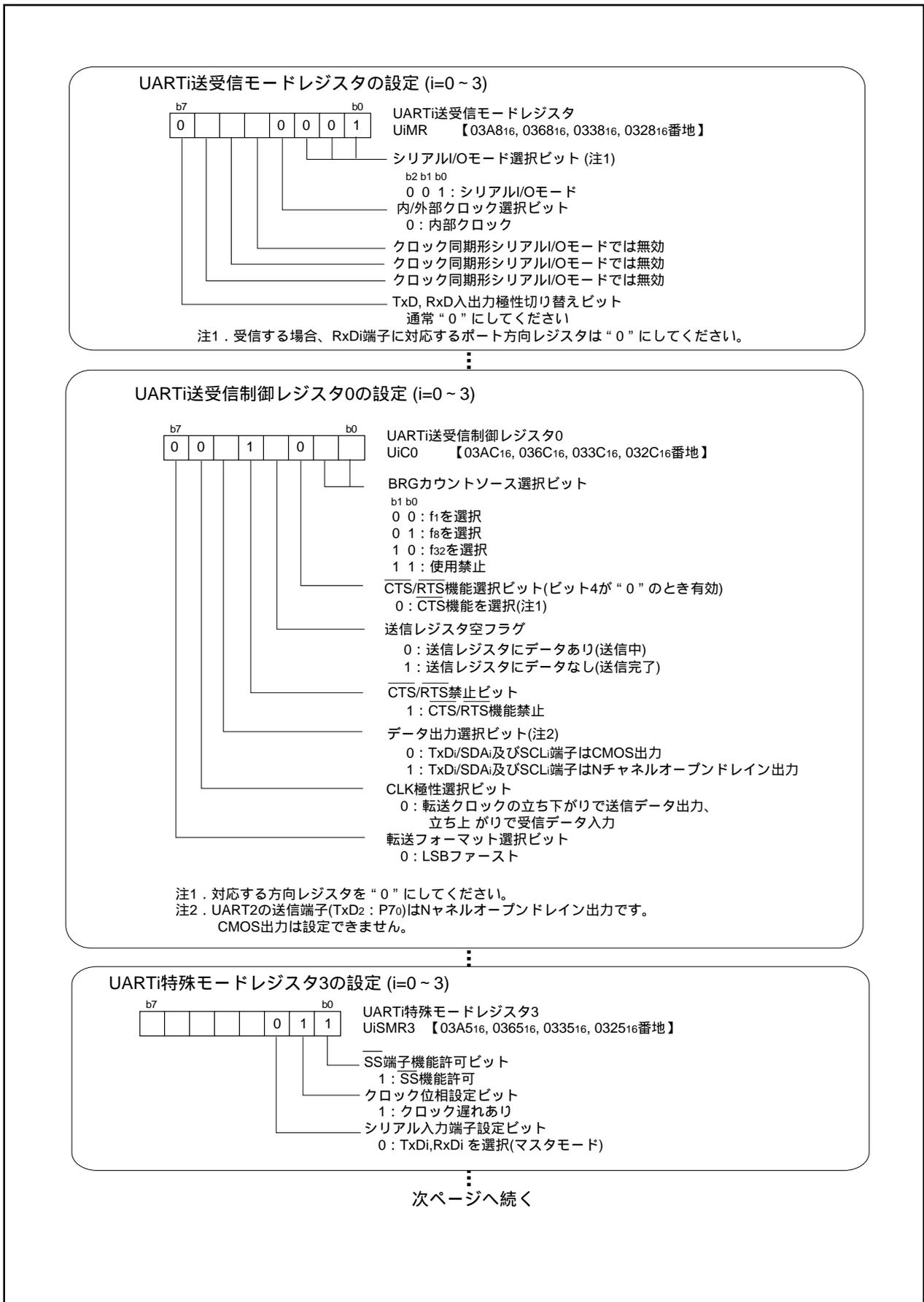


図2.5.12. シリアルインタフェース特殊機能マスタモード、クロック遅れあり受信動作時のレジスタ設定手順(1)

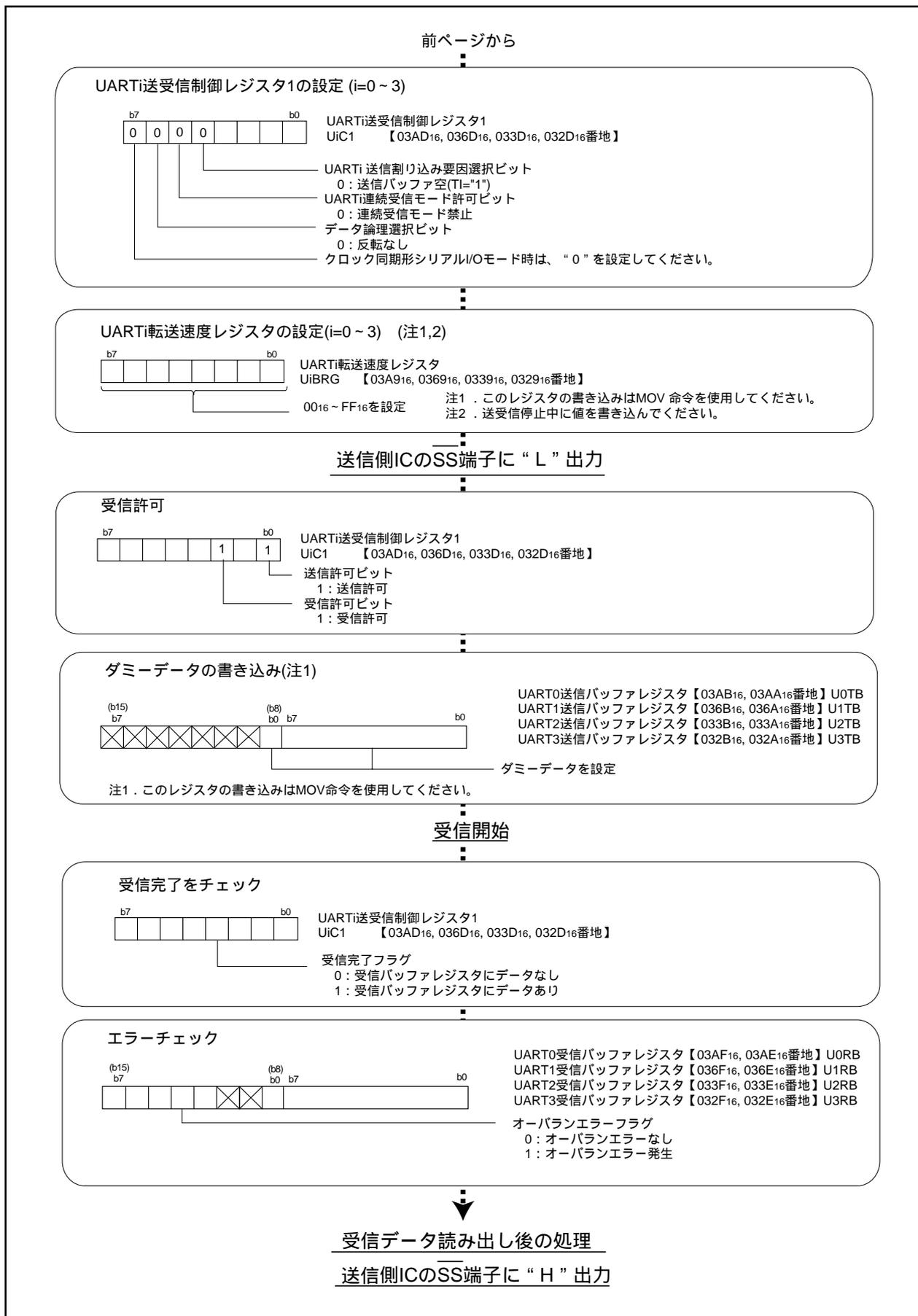


図2.5.13. シリアルインタフェース特殊機能マスタモード、クロック遅れあり受信動作時のレジスタ設定手順(2)

2.5.4 シリアルインタフェース特殊機能動作(スレーブモード、クロック遅れなし送信)

シリアルインタフェース特殊機能スレーブモード送信では、表2.5.3に示す項目の中から機能を選択できます。ここでは、表2.5.3に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.5.14に動作タイミングを、図2.5.15、図2.5.16に設定手順を示します。

表2.5.3. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック(f ₁ / f ₈ / f ₃₂)	SSi端子機能許可	SSi機能禁止
	外部クロック(CLKi端子)		SSi機能許可
CLK極性	転送クロックの立ち下がりで送信データ出力	クロック位相設定	クロック遅れなし
	転送クロックの立ち上がりで送信データ出力		クロック遅れあり
送信割り込み要因	送信バッファ空	シリアル入力端子設定	TxDi,RxDiを選択 (マスターモード)
	送信完了		STxDi,SRxDiを選択 (スレーブモード)

- 動作
- (1) 受信側ICのポート出力により $\overline{\text{SSi}}$ 端子に“L”レベルを入力します。
 - (2) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。
 - (3) 最初の転送クロックの立ち下がりエッジに同期して、UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、UARTi送信割り込み要求ビットが“1”になります。また、送信データの1ビット目がSTxDi端子から送信されます。そして、立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。
 - (4) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。
 - (5) 送信中(8ビット目が出力される前)に、UARTi送信バッファレジスタに次の送信データを設定していれば、続けて送信が行われます。

補足説明 ・CLKi端子の対応する方向レジスタを“0”にしてください。

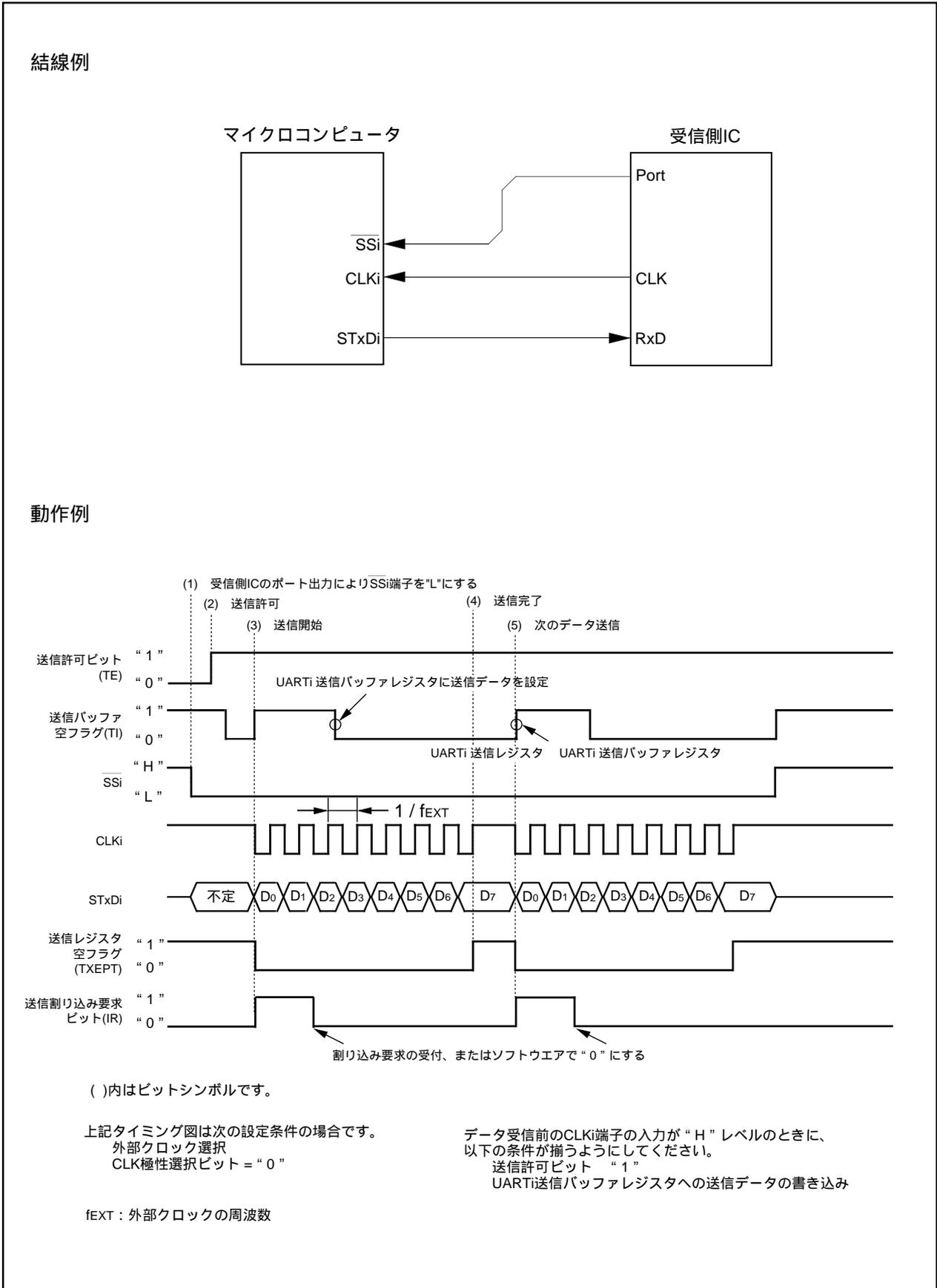


図2.5.14. シリアルインタフェース特殊機能スレーブモード、クロック遅れなし送信動作タイミング図

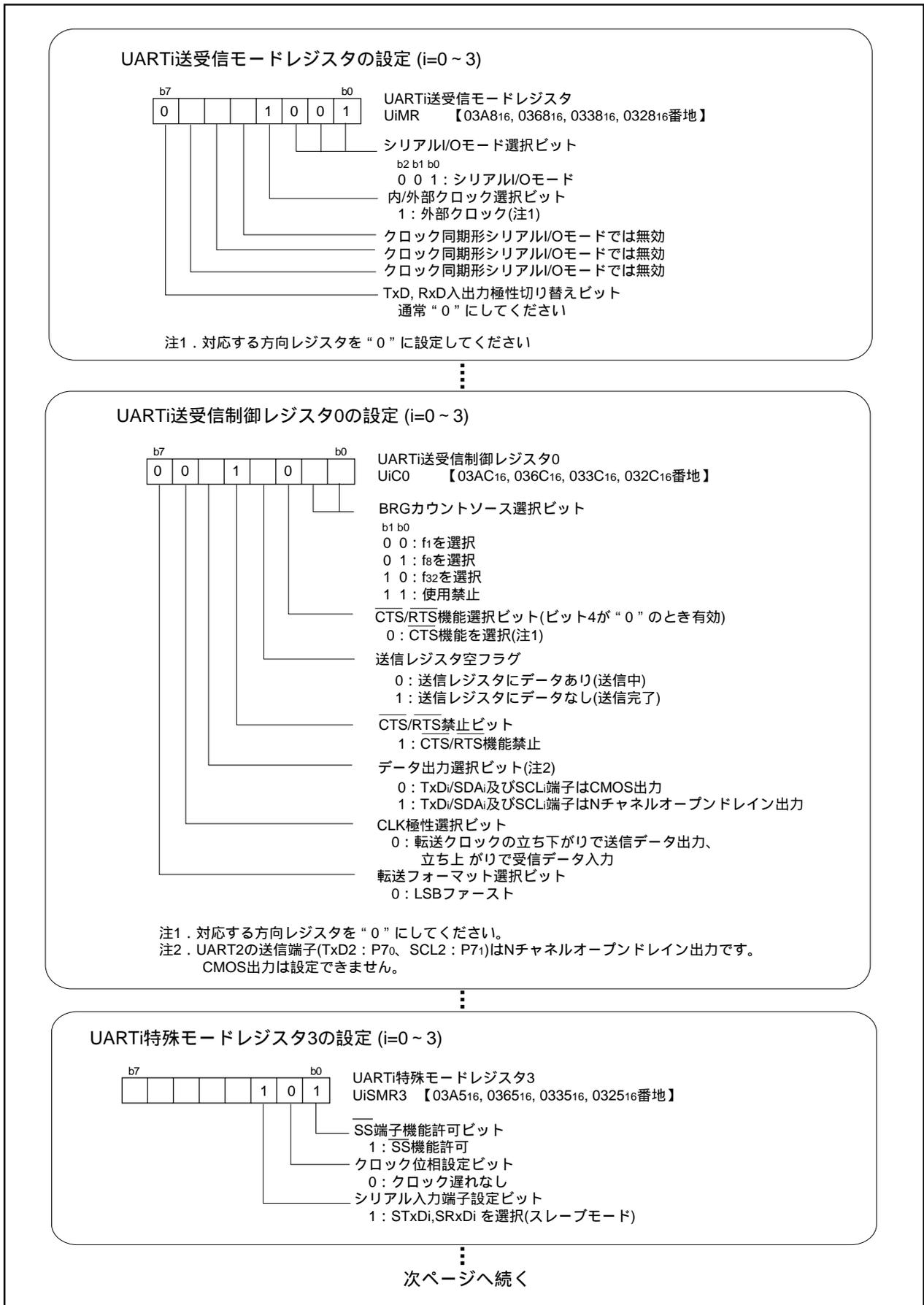


図2.5.15. シリアルインタフェース特殊機能スLEEPモード、クロック遅れ無し送信動作時のレジスタ設定手順(1)

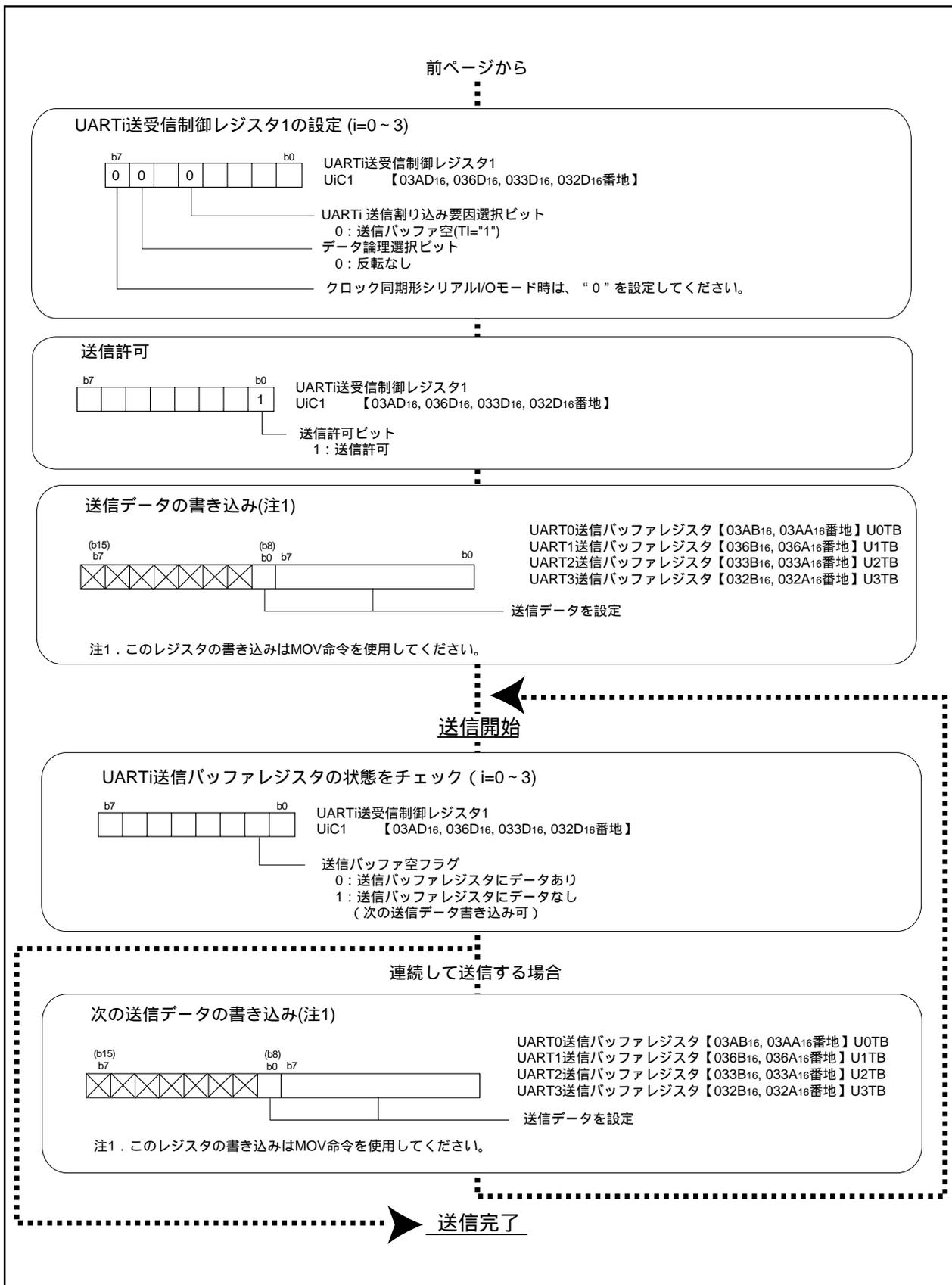


図2.5.16. シリアルインタフェース特殊機能スレーブモード、クロック遅れなし送信動作時のレジスタ設定手順(2)

2.5.5 シリアルインタフェース特殊機能動作(スレーブモード、クロック遅れあり受信)

シリアルインタフェース特殊機能スレーブモード受信では、表2.5.4に示す項目の中から機能を選択できます。ここでは、表2.5.4に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.5.17に動作タイミングを、図2.5.18、図2.5.19に設定手順を示します。

表2.5.4. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	SSI端子機能許可	SSI機能禁止
	外部クロック(CLKi端子)		SSI機能許可
CLK極性	転送クロックの立ち上がりで受信データ入力	クロック位相設定	クロック遅れなし
	転送クロックの立ち下がり で受信データ入力		クロック遅れあり
連続受信モード	禁止	シリアル入力端子設定	TxDi,RxDiを選択 (マスターモード)
	許可		STxDi,SRxDiを選択 (スレーブモード)

- 動作**
- (1) 送信側ICのポート出力により \overline{SSi} 端子に“L”レベルを入力します。
 - (2) UARTi送信バッファレジスタにダミーデータを書き込み、受信許可ビットを“1”、送信許可ビットを“1”にすると、受信できる状態になります。
 - (3) 最初の転送クロックの立ち上がりエッジに同期して、SRxDi端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。そして、転送クロックの立ち上がりエッジに同期して、UARTi受信レジスタの内容を右にシフトしながらデータを取り込みます。
 - (4) UARTi受信レジスタに1バイトのデータが揃うと、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。同時に、受信完了フラグとUARTi受信割り込み要求ビットが“1”になります。
 - (5) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。

補足説明 ・CLKi端子、SRxDi端子の対応する方向レジスタを“0”にしてください。

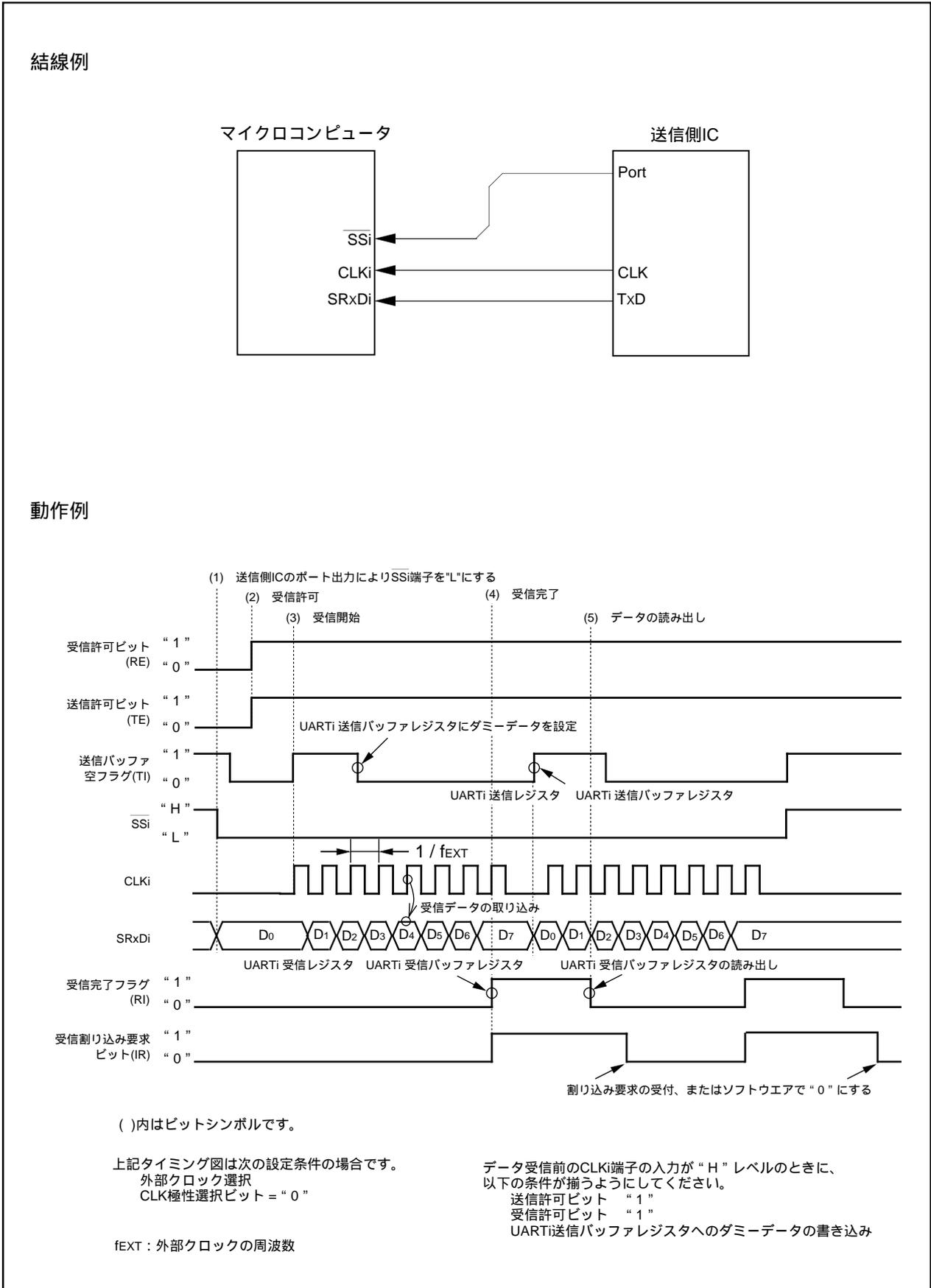


図2.5.17. シリアルインタフェース特殊機能スレーブモード、クロック遅れあり受信動作タイミング図

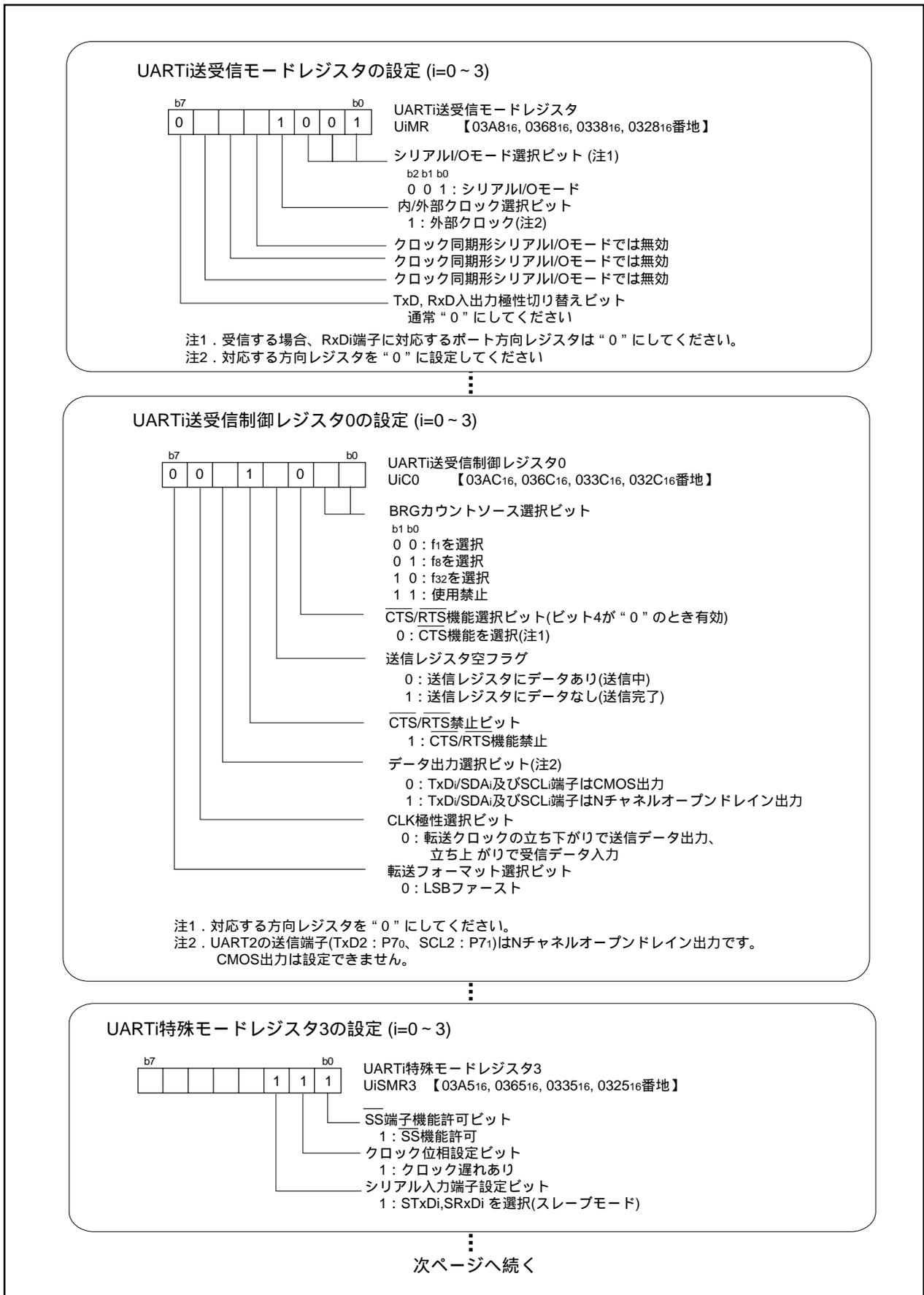


図2.5.18. シリアルインタフェース特殊機能スレープモード、クロック遅れあり受信動作時のレジスタ設定手順(1)

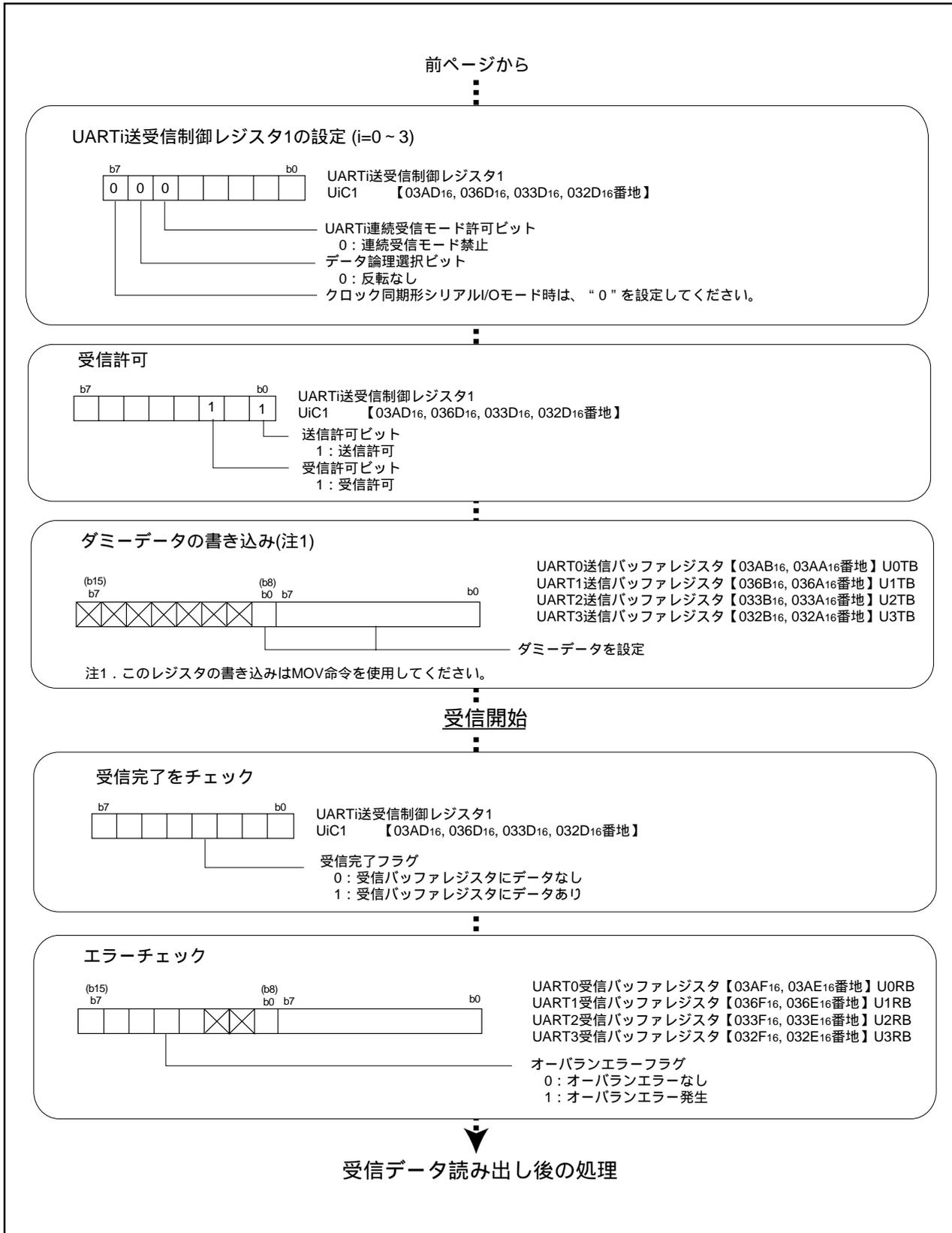


図2.5.19. シリアルインタフェース特殊機能スレープモード、クロック遅れあり受信動作時のレジスタ設定手順(2)

2.6 シリアルサウンドインタフェース

2.6.1 概要

シリアルサウンドインタフェース (SSI)は、デジタルオーディオデータ転送のためのシリアルデータインタフェースです。M30245 のSSI は、以下の4本のバスを持っています。

- ・ データクロック (SCK)
- ・ チャネルクロック (WS)
- ・ データ出力 (XMIT)
- ・ データ入力 (RX)

基本的なSSI システムは2つのSSI と、SCK とWS を供給するマスターコントローラを持っています。コントロール信号(SCK とWS)を供給するSSI はマスターとして動作し、外部からコントロール信号の供給を受けるSSI はスレーブとして動作します。M30245 のSSI はスレーブとしてのみ動作させることができます。

SSI のデータ送受信は、WS のエッジごとにチャンネルデータを切り替えて行われます。データ送信とデータ受信の端子が分かれているため、同一のSCK とWS の信号に同期してデータの送信と受信を同時に行うことができます。

以下にシリアルサウンドインタフェースの概要を説明します。

送受信フォーマット

SSI のデータ配置は、USB オーディオデバイスクラス仕様書のデータフォーマットに合わせて設計されています。

SSI のデータ送受信は、WS のエッジごとにチャンネルデータを切り替えて行われます。WS の “H” / “L” 期間内のSCK の数が、チャンネルデータ幅になります。チャンネルデータ幅は、チャンネル幅選択ビット0、1 (SSIIMR0 のビット4、5)により16ビット、24ビット、又は32ビットを選択できます。設定されたチャンネルデータ幅を超過する場合、データ受信は次のWS エッジまでデータ受信を停止します。また、データ送信は次のWS エッジまで “0” を送信します。SCK の数がチャンネルデータ幅に達しない場合、データ送受信は、直ちに次のチャンネルデータの転送に切り替わります。

選択機能

シリアルサウンドインタフェース機能では、次の機能を選択することができます。

(1) レートフィードバック機能

USB インタフェースと共に使用するとき、USB ラインの1フレームごとのWS、又はSCK の数をカウントする機能です。USB コアが生成するSOF 信号の立ち下がりエッジごとに、カウント値がSS インタフェースx RF レジスタ(x=0,1)に格納されます。SOF 信号はUSB通信で使用されるUSBフレーム周期信号です(1ms)。レジスタから読み出した値は直前のUSB フレームからのカウンタ値です。

(2) チャンネル幅選択機能

32、24及び16ビットのチャンネルデータ幅の送受信が可能です。SSIモードレジスタ0のチャンネル幅選択ビット0,1で選択します。

(3) LSB / MSBファースト選択機能

LSB / MSBファースト選択機能とは、データのビット0から送受信するか、ビット7から送受信するかを切り替える機能です。次の2種類から選択できます。

- | | |
|----------|-----------------|
| LSBファースト | ビット0から送受信を行います。 |
| MSBファースト | ビット7から送受信を行います。 |

(4) 受信フォーマット選択機能

データ受信時、WSの“H”/“L”期間のSCKの数が、設定されたチャンネルデータ幅未満の場合、データはMSB justified、又はLSB justifiedのどちらかでデータを保持できます。

(5) SCK 極性選択機能

データ送受信及びWSをSCKの立ち上がり/立ち下がりエッジに同期させることができます。SSIモードレジスタ1のSCK極性選択ビットで選択できます。

(6) WS 極性選択機能

データ送受信をWSの立ち上がり/立ち下がりエッジに同期させることができます。SSIモードレジスタ1のWS極性選択ビットで選択できます。

(7) WS 遅延選択機能

チャンネルデータの切り替えタイミングとして、以下2つのモードから選択できます。

通常WSモード

チャンネルデータ切り替えタイミングを基準にして、WSがSCKの1周期前に変化するモードです(WSが変化してから、SCKの1周期後にチャンネルデータが切り替わります)。

WS遅延モード

チャンネルデータ切り替えとWSの変化が同期します。

シリアルサウンドインタフェース機能への入力と方向レジスタ

シリアルサウンドインタフェース機能へ外部信号を入力する場合、対応するポートの方向レジスタは入力に設定してください。

シリアルサウンドインタフェース機能関連端子

- | | |
|---|-------------------|
| (1) SCLK ₀ 、SCLK ₁ 端子 | 転送クロックの入力端子です。 |
| (2) WS ₀ 、WS ₁ 端子 | チャンネルクロックの入力端子です。 |
| (3) RX ₀ 、RX ₁ 端子 | データの入力端子です。 |
| (4) XMIT ₀ 、XMIT ₁ 端子 | データの出力端子です。 |

シリアルサウンドインタフェース機能関連レジスタ

図2.6.1に周波数シンセサイザ関連レジスタのメモリ配置図を、図2.6.2、図2.6.3にシリアルサウンドインタフェース機能関連レジスタの構成を示します。

使用するポートの方向レジスタを適切に設定、ポートを共有するクロック同期シリアル、UARTは禁止して下さい。

	≈		≈
0310 ₁₆		SSインタフェース0モードレジスタ0 (SS0MR0)	
0311 ₁₆		SSインタフェース0モードレジスタ1 (SS0MR1)	
0312 ₁₆		予約	
0313 ₁₆		予約	
0314 ₁₆		SSインタフェース0送信バッファレジスタ(SS0TXB)	
0315 ₁₆			
0316 ₁₆		SSインタフェース0受信バッファレジスタ(SS0RXB)	
0317 ₁₆			
0318 ₁₆		SSインタフェース0 RFレジスタ(SS0RF)	
0319 ₁₆			
031A ₁₆		予約	
0370 ₁₆		SSインタフェース1モードレジスタ0 (SSI1MR0)	
0371 ₁₆		SSインタフェース1モードレジスタ1 (SSI1MR1)	
0372 ₁₆		予約	
0373 ₁₆		予約	
0374 ₁₆		SSインタフェース1送信バッファレジスタ(SSI1TXB)	
0375 ₁₆			
0376 ₁₆		SSインタフェース1受信バッファレジスタ(SSI1RXB)	
0377 ₁₆			
0378 ₁₆		SSインタフェース1 RFレジスタ(SSI1RF)	
0379 ₁₆			
			≈

図2.6.1. シリアルサウンドインタフェース機能関連レジスタのメモリ配置図

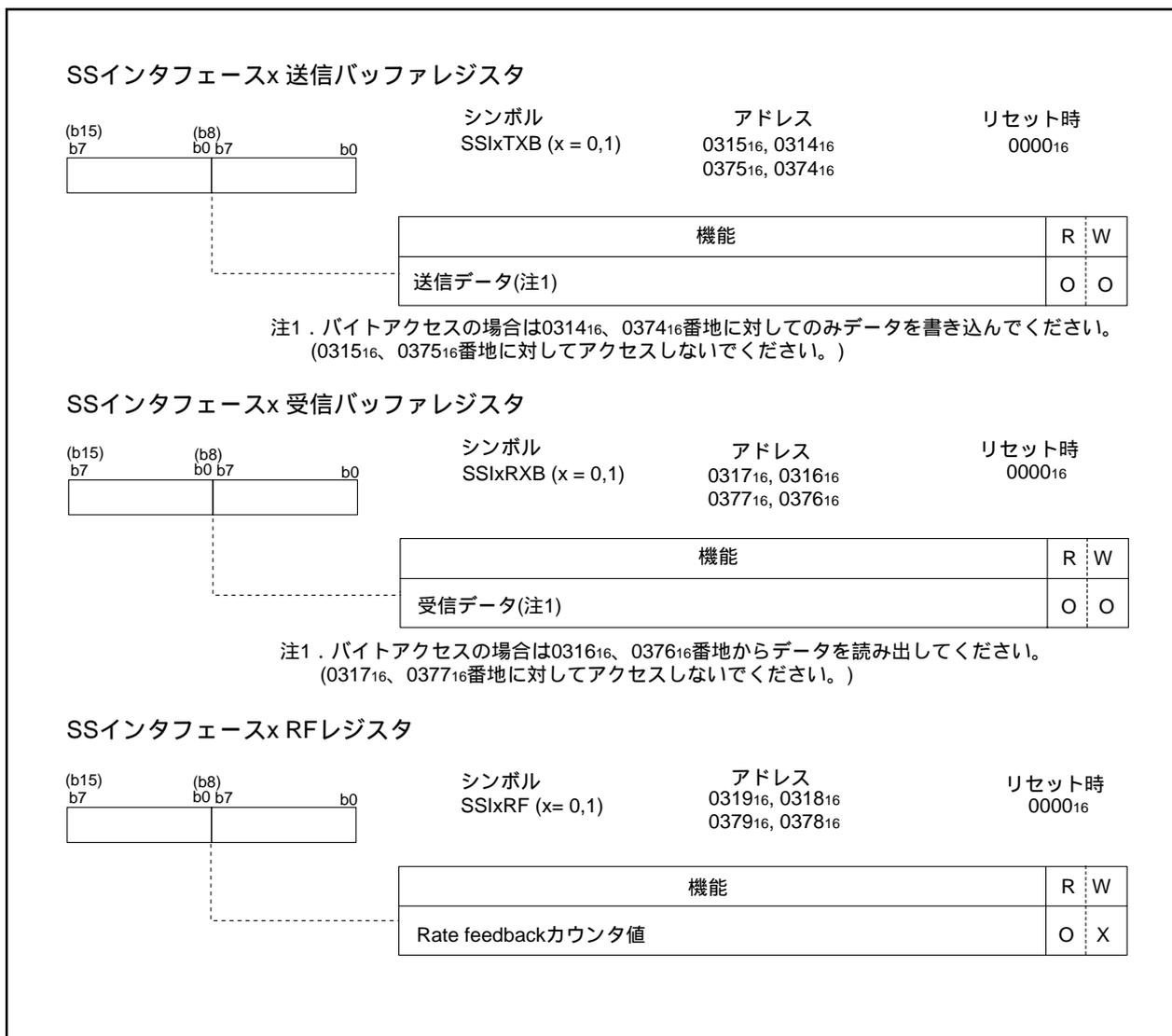


図2.6.2. シリアルサウンドインタフェース機能関連のレジスタ (1)

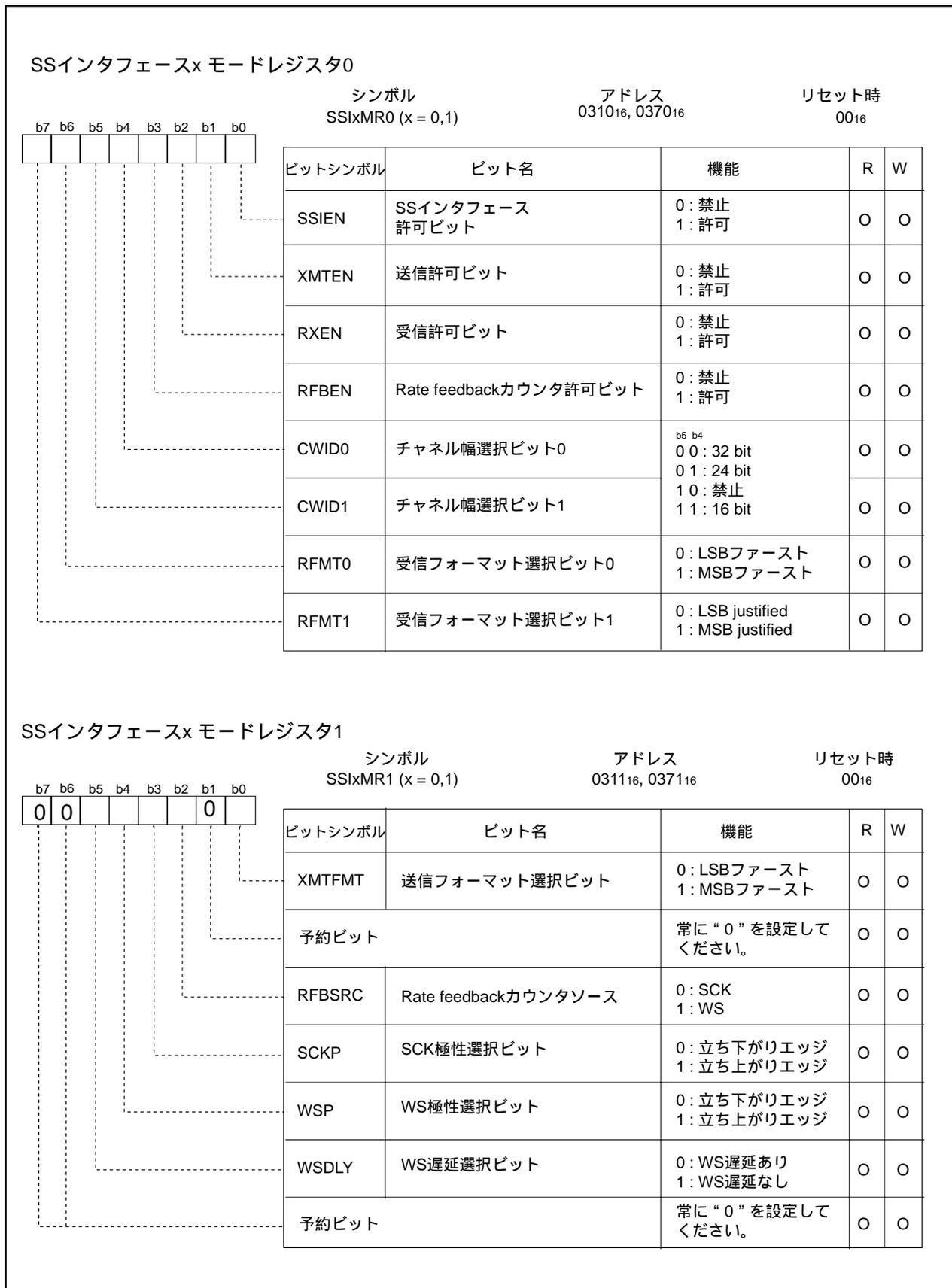


図2.6.3. シリアルサウンドインタフェース機能関連のレジスタ (2)

USBのオーディオクラスの場合、以下のようなストリームが出力されます。

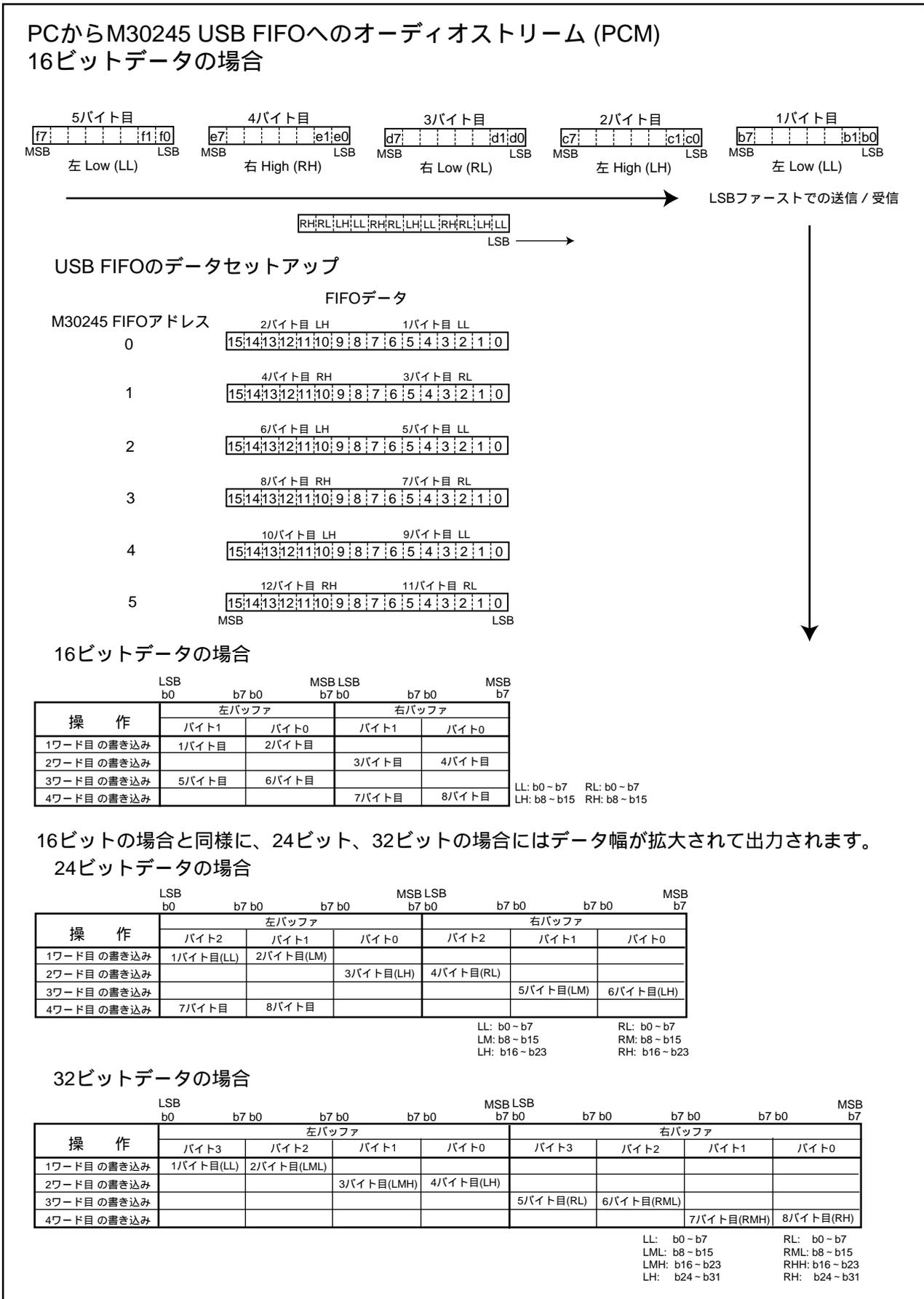


図2.6.4. PCからM30245 USB FIFOへのオーディオストリーム(PCM)例

2.6.2 シリアルサウンドインタフェース動作例

シリアルサウンドインタフェース(SSI)を使用する場合には、SSIの受信バッファから送信バッファへのデータの読み出し/書き込みを迅速に行うために、DMAの使用を推奨します。

以下にDMAを使用したプログラミング例を示します。また、図2.6.5にシリアルサウンドインタフェース送信タイミング例、図2.6.6にシリアルサウンドインタフェース受信タイミング例を示します。

```

/***** SSI初期化の例 *****/
SSIを禁止することによって初期化が行われます。
使用するDMAの初期化も行います。
この例では、SSIの入出力で一本ずつDMAを使用しています。
*****/

ssi1mr1 = 0x00;          /* SSI STOP */
ssi1mr0 = 0x00;          /* SSI STOP */
dm0sl = 0x00;           /* DMA0 STOP */
dm0con = 0x00;          /* DMA0 STOP */
dm1sl = 0x00;           /* DMA1 STOP */
dm1con = 0x00;          /* DMA1 STOP */

/***** 設定例 *****/
オーディオ送信設定、受信設定の順序はどちらが先でも問題ありません。
使用するDMAを設定します。
DMA0 = オーディオデータ送信、DMA1 = オーディオデータ受信
*****/

dm0ic = 0x06;           /* DMA完了割り込み許可 */
dm0sl = 0x0e;           /* DMA0 要因 = SSI1 送信 */
sar0 = (unsigned long)&txb_buffer; /* ソースアドレス : バッファRAM等 */
dar0 = (unsigned long)&ssi1txb; /* デスティネーションアドレス : SSI1 送信バッファ */
tcr0 = txb_counter;    /* DMA0 転送回数設定 */
dm1ic = 0x06;           /* DMA完了割り込み許可 */
dm1sl = 0x0a;           /* DMA1 要因 = SSI1 受信 */
sar1 = (unsigned long)&ssi1rx; /* ソースアドレス : SSI1 受信 */
dar1 = (unsigned long)&rx_buffer; /* デスティネーションアドレス : バッファRAM等 */
tcr1 = rxb_counter;    /* DMA1 転送回数設定 */

/***** 起動処理例 *****/
DMAの起動。DMAの起動の順序は、どちらが先でも問題ありません。
*****/

dm0con = 0x18;          /* DMA0 start [16bit, SRC = inc, single] */
dm1con = 0x28;          /* DMA1 start [16bit, DES = inc, single] */

/*****この時点ではSSIは停止状態です。
SSIを許可状態にし、オーディオデータの送受信が開始されます。 *****/
(次ページに続く)

```

(前ページより)

```
/***** 16ビットの場合のSSI起動例 *****/
#ifdef OUT_Q_BIT_NO_16
    ssi1mr0 = 0x01;          /* SSIEN = 1 */
    ssi1mr0 = 0xf1;          /* 16bit / MSB justified */
    ssi1mr1 = 0x21;          /* SCK neg, WS neg    MSB first normal */
    ssi1mr0 = 0xf7;          /* 16bit / Tx enable, Rx enable MSB justified */
#endif
/***** 24ビットの場合のSSI起動例 *****/
#ifdef OUT_Q_BIT_NO_24
    ssi1mr0 = 0x01;          /* SSIEN = 1 */
    ssi1mr0 = 0xd1;          /* 24bit / MSB justified */
    ssi1mr1 = 0x21;          /* SCK neg, WS neg    MSB first normal */
    ssi1mr0 = 0xd7;          /* 24bit / Tx enable, Rx enable MSB justified */
#endif
/***** 32ビットの場合のSSI起動例 *****/
#ifdef OUT_Q_BIT_NO_32
    ssi1mr0 = 0x01;          /* SSIEN = 1 */
    ssi1mr0 = 0xc1;          /* 32bit / MSB justified */
    ssi1mr1 = 0x21;          /* SCK neg, WS neg    MSB first normal */
    ssi1mr0 = 0xc7;          /* 32bit / Tx enable, Rx enable MSB justified */
#endif
```

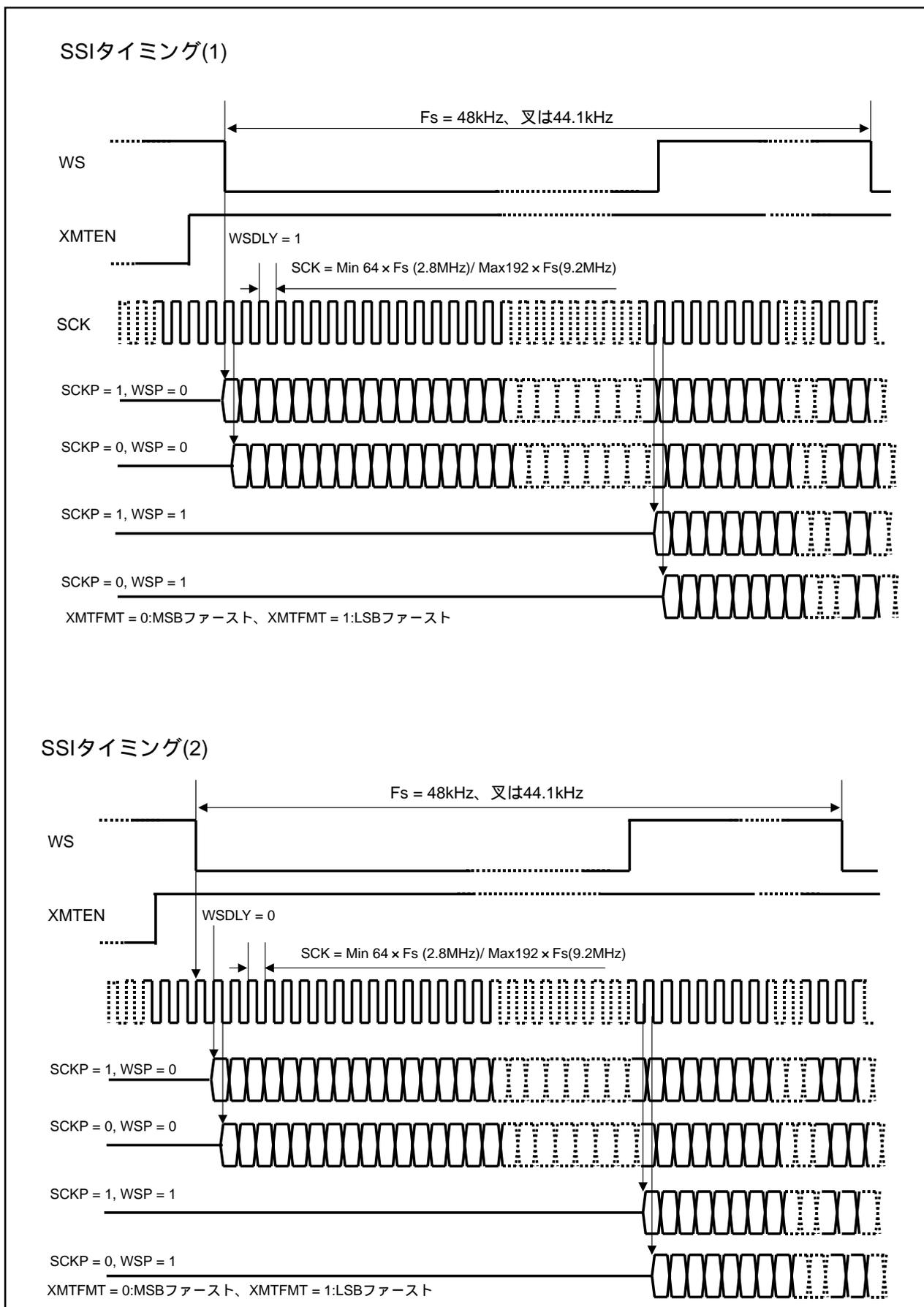


図2.6.5. シリアルサウンドインタフェース送信タイミング例

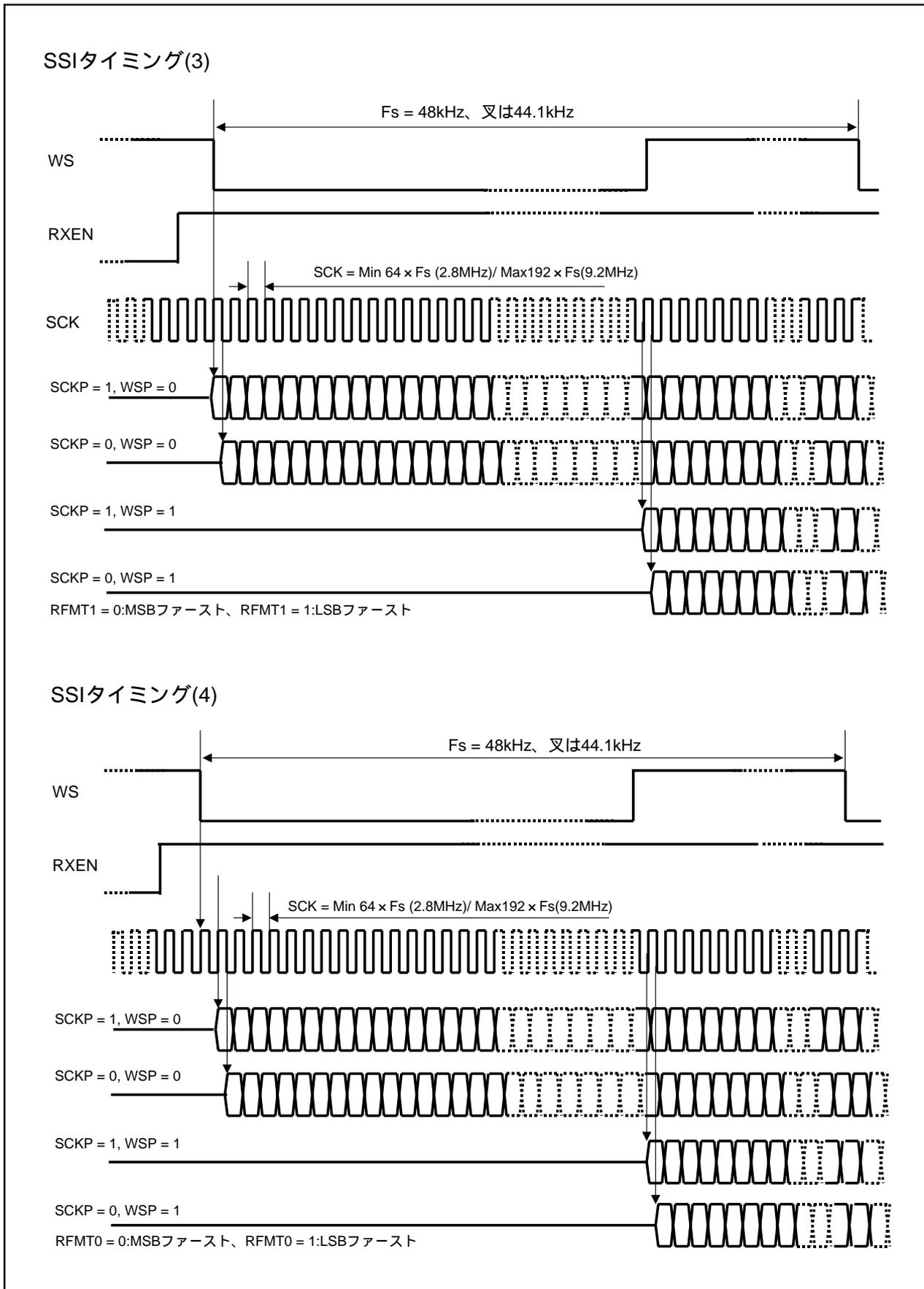


図2.6.6. シリアルサウンドインタフェース受信タイミング例

2.6.3 シリアルサウンドインタフェースの注意事項

- 内 容 フラッシュメモリ版ではSSI データの受信側デバイスにて、下記のタイミングでSSI データをラッチしてください。
- SCKP=0 (SCK極性：立下りエッジ) を選択した場合：SCKの立上りエッジからBCLKの3サイクル以内
 - SCKP=1 (SCK極性：立上りエッジ) を選択した場合：SCKの立下りエッジからBCLKの3サイクル以内

2.7 周波数シンセサイザ

本節では周波数シンセサイザに関するレジスタの設定方法、注意事項などを説明します。

2.7.1 概要

周波数シンセサイザは、外部入力基準クロック $f(XIN)$ の倍数である f_{SYN} およびUSBブロックに必要な48MHzクロック f_{USB} を生成します。図2.7.1に周波数シンセサイザ回路ブロック図を示します。

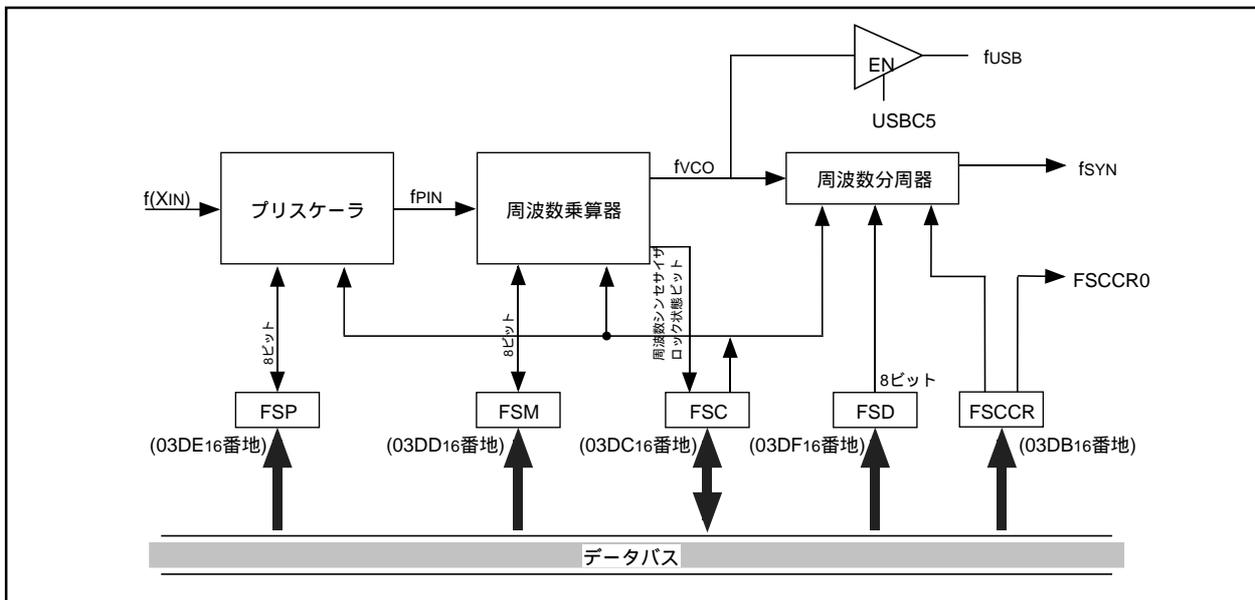


図2.7.1. 周波数シンセサイザ回路のブロック図

周波数シンセサイザ関連レジスタ

図2.7.2に周波数シンセサイザ関連レジスタのメモリ配置図を、図2.7.3～図2.7.4に周波数シンセサイザ関連レジスタの構成を示します。

000A:16	プロテクトレジスタ (PRCR)
≈	≈
03DB:16	周波数シンセサイザクロック制御レジスタ (FSCCR)
03DC:16	周波数シンセサイザ制御レジスタ (FSC)
03DD:16	周波数シンセサイザ乗算レジスタ (FSM)
03DE:16	周波数シンセサイザプリスケラレジスタ (FSP)
03DF:16	周波数シンセサイザ除算レジスタ (FSD)

図2.7.2. 周波数シンセサイザ関連レジスタのメモリ配置図

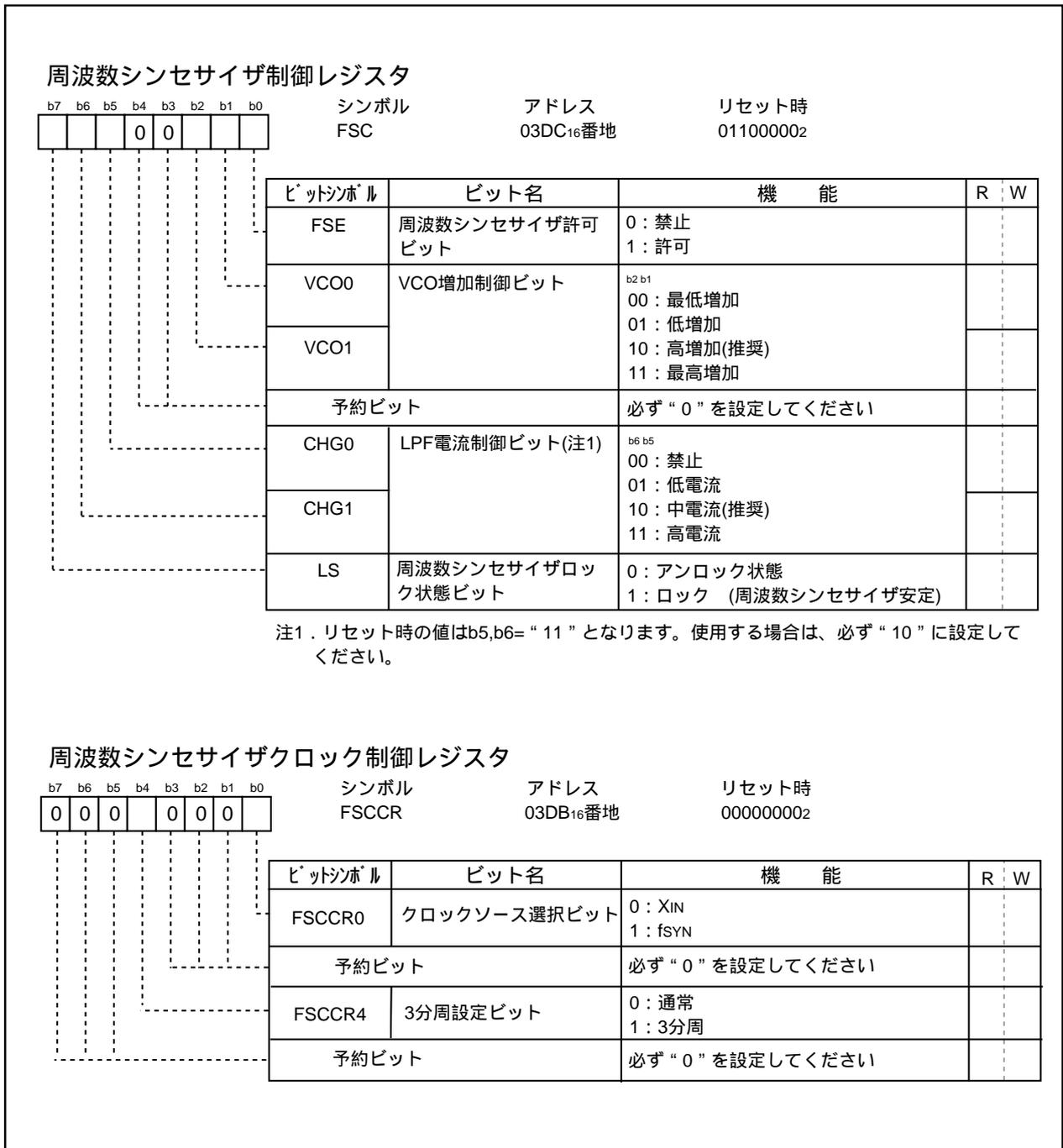


図2.7.3. 周波数シンセサイザ関連レジスタの構成(1)

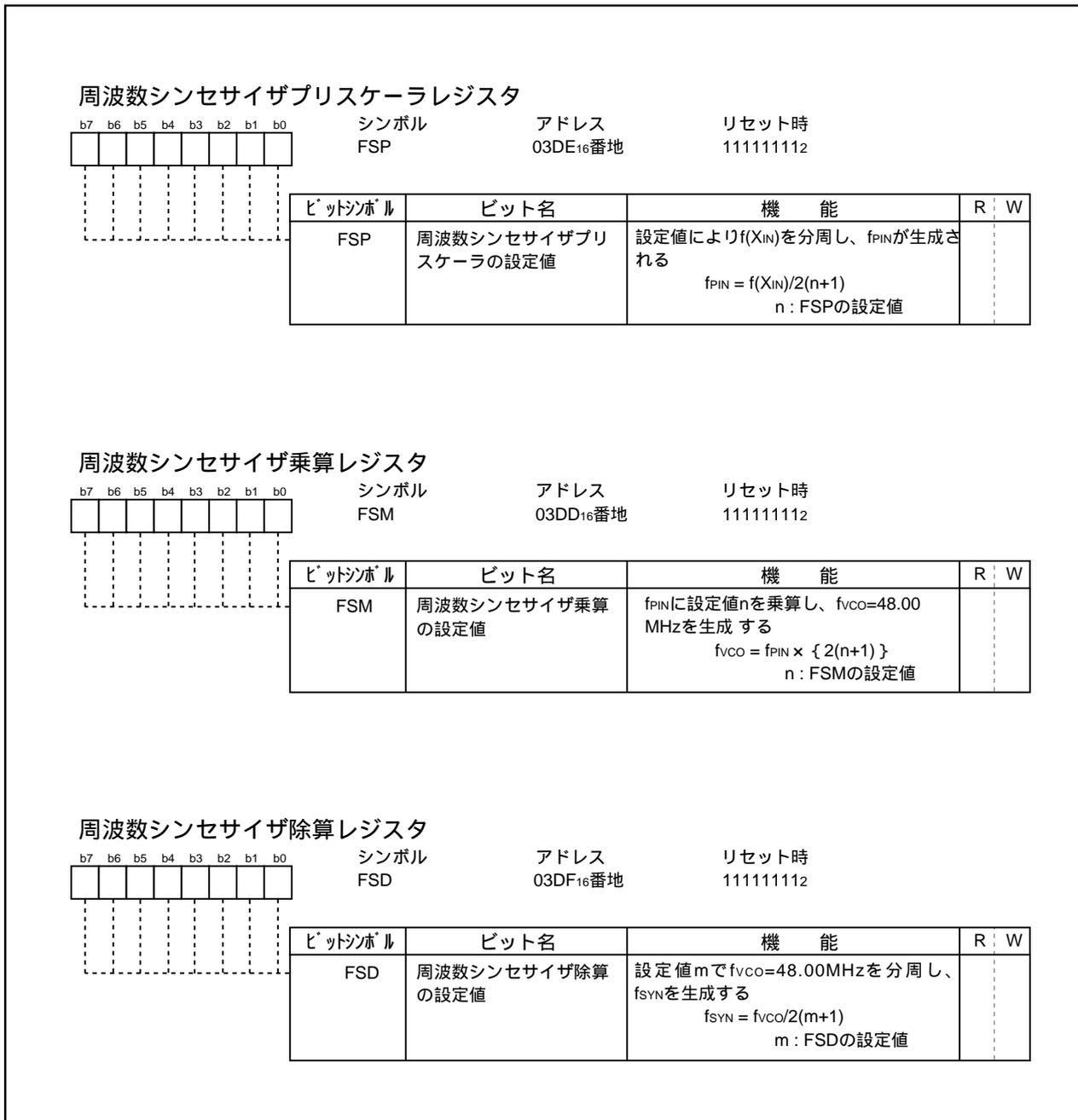


図2.7.4. 周波数シンセサイザ関連レジスタの構成(2)

2.7.2 周波数シンセサイザの動作

ハードウェアリセットからの復帰方法を説明します。また、周波数シンセサイザ回路の内容を詳細に記します。図2.7.6に周波数シンセサイザ乗算レジスタの設定例を示します。

- 動作
- (1) プロテクトを解除します。
 - (2) f_{USB}に必要な48MHzを生成するため、周波数シンセサイザ関連レジスタを設定します。
 - (3) 周波数シンセサイザ制御レジスタを設定し、周波数シンセサイザを許可します。
 - (4) プロテクトレジスタを書き込み禁止設定にしてください。3msウエイトしてください。
 - (5) 周波数シンセサイザロック状態ビットをチェックしてください。
“0”の場合(アンロック状態)、0.1msウエイトと再チェックを繰り返します。
 - (6) USBクロックを許可します。
 - (7) の4サイクル以上ウエイトした後、USB許可ビットを“1”にしてください。
この後USB関連レジスタを操作する場合は、最低250nsのウエイトが必要です。

プリスケーラ

周波数シンセサイザプリスケーラレジスタ(03DE₁₆番地：FSP)の内容により、f(X_{IN})が分周され、f_{PIN}が生成されます。周波数シンセサイザプリスケーラレジスタの設定を255にすると、分周は禁止となり、f_{PIN}=f(X_{IN})となります。図2.7.5に周波数シンセサイザプリスケーラレジスタの設定例を示します。

$$f_{PIN} = f(X_{IN}) / 2^{(n+1)} \quad n : \text{FSPの設定値}$$

f _{PIN}	FSP		f(X _{IN})
	10進表記	16進表記	
12 MHz	255	FF ₁₆	12.00 MHz
1 MHz	7	07 ₁₆	16.00 MHz
1 MHz	5	05 ₁₆	12.00 MHz
2 MHz	3	03 ₁₆	16.00 MHz
2 MHz	2	02 ₁₆	12.00 MHz
3 MHz	1	01 ₁₆	12.00 MHz
6 MHz	0	00 ₁₆	12.00 MHz

図2.7.5 周波数シンセサイザプリスケーラレジスタの設定例

周波数乗算器

周波数シンセサイザ乗算レジスタ(03DD₁₆番地：FSM)の内容によりfvcoが生成されます。周波数シンセサイザ乗算レジスタの設定値を255にすると、乗算は禁止となりfvco=fPINとなります。fvcoの値が48MHzになるようにnを設定してください。図2.7.6に周波数シンセサイザ乗算レジスタの設定例を示します。

$$fvco = fPIN \times 2(n+1) \quad n : \text{FSMの設定値}$$

f _{PIN}	FSM		fvco
	10進表記	16進表記	
1 MHz	23	17 ₁₆	48.00 MHz
2 MHz	11	0B ₁₆	48.00 MHz
4 MHz	5	05 ₁₆	48.00 MHz
6 MHz	3	03 ₁₆	48.00 MHz
8 MHz	2	02 ₁₆	48.00 MHz
12 MHz	1	01 ₁₆	48.00 MHz

図2.7.6 周波数シンセサイザ乗算レジスタの設定例

周波数分周器

周波数シンセサイザ除算レジスタ(03DF₁₆番地：FSD)の内容により、fsynが生成されます。周波数シンセサイザ除算レジスタの設定を255にすると、除算は禁止となりfsyn=fvcoになります。図2.7.7に周波数シンセサイザ除算レジスタの設定例を示します。

$$fsyn = fvco / 2(m+1) \quad m : \text{FSDの設定値}$$

fvco	FSD		fsyn
	10進表記	16進表記	
48.00 MHz	1	01 ₁₆	12.00 MHz
48.00 MHz	2	02 ₁₆	8.00 MHz
48.00 MHz	2	02 ₁₆	16.00 MHz (注1)
48.00 MHz	3	03 ₁₆	6.00 MHz
48.00 MHz	127	7F ₁₆	187.50 kHz

$fsyn = fvco/2(m+1)$

注1 . FSCCR4 = 1 かつ m = 2のとき、fsyn = fvco/(m+1) です。

図2.7.7 周波数シンセサイザ除算レジスタの設定例

2.7.3 周波数シンセサイザの注意事項

内 容

- (1) 周波数シンセサイザ制御レジスタのビット6,5はリセット時“11”(高電流)です。周波数シンセサイザ制御レジスタを使用する場合はビット6,5=“10”(中電流)へ変更してください。
- (2) f_{SYN} は12MHz以下になるようにしてください。
- (3) f_{PIN} が1MHzより小さくならないようにFSPを設定してください。
- (4) 周波数シンセサイザを許可にした後、2~5msの遅延後に周波数シンセサイザの出力を使用してください。出力が安定します。また、周波数シンセサイザを許可にした後、出力が一時的に(2~5ms)不安定になるため、どのレジスタの内容も変更しないでください。
- (5) 周波数シンセサイザを使用する場合は、ローパスフィルタをLPF端子へ接続してください。
- (6) ハードウェアリセットから復帰する際には、周波数シンセサイザを以下の順でセットアップしてください。
 1. プロテクトを解除します。
 2. f_{USB} に必要な48MHzを生成するため、周波数シンセサイザ関連レジスタを設定します。
 3. 周波数シンセサイザ制御レジスタを設定し、周波数シンセサイザを許可します。
 4. プロテクトレジスタを書き込み禁止設定にしてください。3msウェイトしてください。
 5. 周波数シンセサイザロック状態ビットをチェックしてください。
“0”の場合(アンロック状態)、0.1msウェイトと再チェックを繰り返します。
 6. USBクロックを許可します。
 7. の4サイクル以上ウェイトした後、USB許可ビットを“1”にしてください。
この後USB関連レジスタを操作する場合は、最低250nsのウェイトが必要です。

2.8 USB機能

2.8.1 概要

M30245グループのUSBファンクション制御ユニットはUSB2.0仕様に準拠しており、Full-Speed機能に対応しています。USB2.0仕様は以下の4種類の転送タイプを定義しています。

- コントロール転送
- アイソクロナス転送
- インタラプト転送
- バルク転送

USBファンクション制御ユニットは、エンドポイント0、エンドポイント1~4OUT(受信)、エンドポイント1~4IN(送信)の9つのエンドポイントを持ち、エンドポイントごとにFIFOを持ちます。エンドポイント0はコントロール転送(転送形態はバルク転送と同じ)のみ、エンドポイント1~4IN/OUTはバルク転送、アイソクロナス転送、インタラプト転送に使用できます。エンドポイント1~4IN/OUTのFIFOサイズとFIFO開始位置はユーザシステムに応じて設定できます(エンドポイント0 IN/OUT FIFOのサイズと開始位置は、それぞれ固定)。また、ダブルバッファモードを許可すると、設定したIN/OUT FIFOバッファサイズの2倍がIN/OUT FIFOとして使用できます。連続受信/送信モードを許可すると、データの高速転送が可能です(バルク転送時に使用可能)。

USB割り込みは、USBサスペンド、USBレジューム、USBリセット、USBエンドポイント0、USB機能割り込み及びUSB SOF割り込みがあります。これらの割り込み要求をもとに、USBデバイスのステート遷移を制御します。

(1) 転送タイプ

USBの仕様は、接続されている周辺機器を管理するホスト側(PC,Hub)と実機に接続されている周辺機器側(デバイス)の2通りに大きく分けられます。さらに、周辺機器側の中で扱うデータ数によって、1度により多くのデータが必要な周辺機器(画像、音声など)はFull-Speed functionと呼ばれる転送速度の速い(12Mbps)通信仕様を持ち、反対にデータ数の少ない周辺機器(キーボード、マウス)はLow-Speed functionと呼ばれる転送速度の遅い(1.5Mbps)通信仕様を持っています。さらに高速な通信仕様としてHi-Speed function(480Mbps)もあります。

この通信仕様は周辺機器の種類(Device Class)によって決められており、その中で使用する転送タイプが各周辺機器ごとに決められています。

M30245グループは、次の4つの転送タイプをサポートしています。

コントロール転送

勃発的で非周期的な通信のうち、リクエスト-レスポンス形態(双方向)の通信です。主にセットアップ時に使用されます。標準デバイスリクエストはすべてのデバイスがサポートされなければならないので、USBに対応する機器ではコントロール転送が例外なくサポートされます。

バルク転送

勃発的で非周期的な通信のうち、遅延が問題にならない用途に使用されるデータ転送です。大量のデータを使用するのに使われます。

転送データの保証をするために、ハードウェアによりエラー検出が行われ、エラーが検出された場合は再送要求されます。

例えば、プリンタの印字データやスキャナのイメージデータなどです。

インタラプト転送

非周期的、低頻度のデータをデバイスからホストに通知する転送です。例えば、プリンタの紙切れの通知やマウス、キーボードといった機器のデータが該当します。

アイソクロナス転送

連続的で周期的な通信に使用されます。通信経路を確立した後は、限定的な遅延で一定の転送レートが保証されます。転送データの最大サイズはエンドポイントにより指定され、ホストによってデバイスのコンフィギュレーション情報として読み込まれます。この情報をもとに、フレーム内の転送のスケジューリングが行われ、最大サイズのデータの転送に必要なバス時間が優先的に確保されます。データ転送のバンド幅、転送レートは保証されますが、転送にエラーがあっても再送は行いません。動画や音声データのようなリアルタイム性を必要とするストリーミングデータで使われます。

(2) 通信プロトコル

USBの通信は全てホストCPUが主導権を握っています。デバイスからホスト側へデータを送信する場合でも、ホストがデバイスに対してバスの使用权を与えてからデータを送信します。

ホストは、複数の転送を同時に処理するために、各転送をパケットという単位で1ms間隔のフレーム内でスケジューリングします。フレームのイメージを以下に示します。

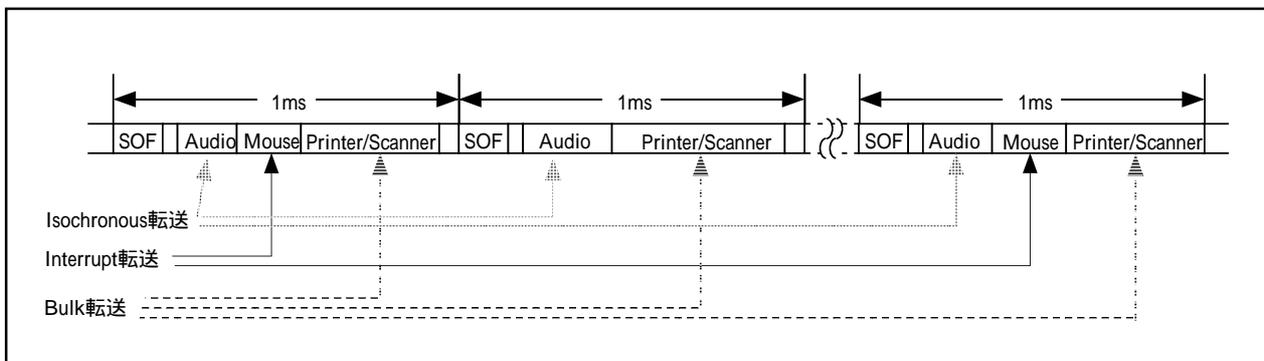


図2.8.1. フレームイメージ

パケット

パケットはホストCPUまたはデバイスがバスを確保する単位です。USBではパケット単位でデータを送受信します。

パケットは、ビットのデータ列（フィールド）の集まりで、SYNC（同期用データ）フィールドの一部であるSOP(Start-of-Packet)で始まります。次にパケットの種類を識別するPIDフィールド、その次にフレームナンバー/ アドレス/ データフィールド等の各情報フィールドと続いて、パケットの最後を示すEOP（End-of-Packet）で終わります。以下にパケットの種類とフォーマットを示します。

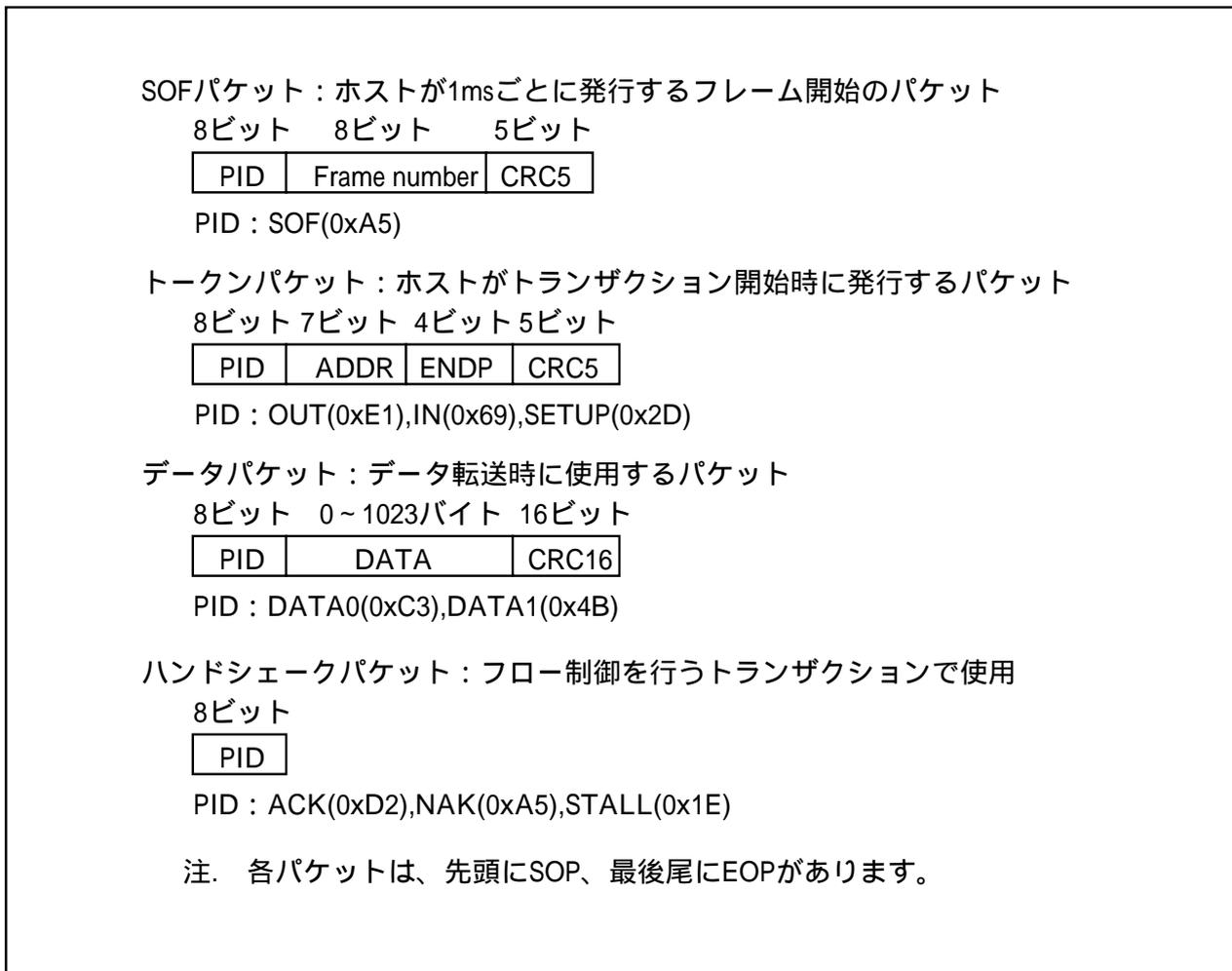


図2.8.2. パケットの種類

表2.8.1 USBパケット認識一覧

PIDタイプ	PID名	処理概要
トークン	SETUP	ホストCPUがデバイスに対して実施処理報告を行う。
	IN	ホストCPUがデバイスに対してデータ送信要求を行う。
	OUT	ホストCPUがデバイスに対してデータ受信要求を行う。
	SOF	ホストCPUがデバイスに対してFrameの先頭を示す。
データ	DATA0	送受信データのシーケンスビットが偶数であることを示す。
	DATA1	送受信データのシーケンスビットが奇数であることを示す。
ハンドシェーク	ACK	送信データが正常終了したことを報告する。
	NAK	デバイスが現在通信待機状態であることを報告する。
	STALL	通信が異常終了したことを報告する。

トランザクション

トランザクションは、ホストCPUが1フレームをスケジューリングする際の単位です。各トランザクションはパケットで構成され、構成パターンによりトランザクションのタイプが決定されます。以下にトランザクションの種類とフォーマットを示します。

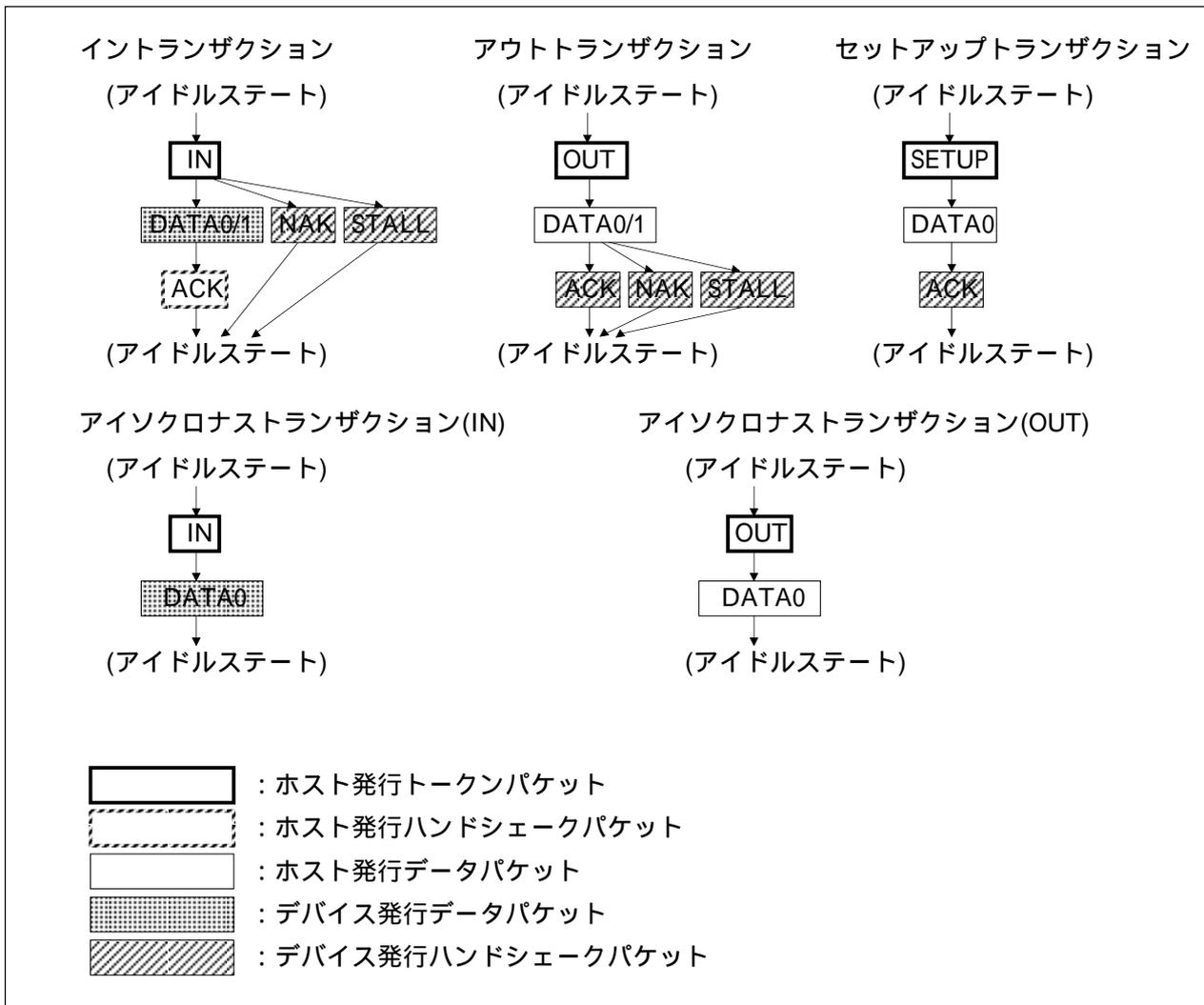


図2.8.3. トランザクションのフォーマット

通信シーケンス

コントロール転送は全デバイス共通のセットアップ時に使用される転送で、1処理を実施する中で3種類のステージを組み合わせて転送を行います。コントロール転送はセットアップステージで始まります。その内容によりデータステージ(コントロールRead転送又はコントロールWrite転送)が実行され、終了時にステータスステージを実行して1処理を終了します。コントロール転送ではエンドポイント0を使用することが決められています。

コントロール転送の通信シーケンスを図2.8.4に示します。

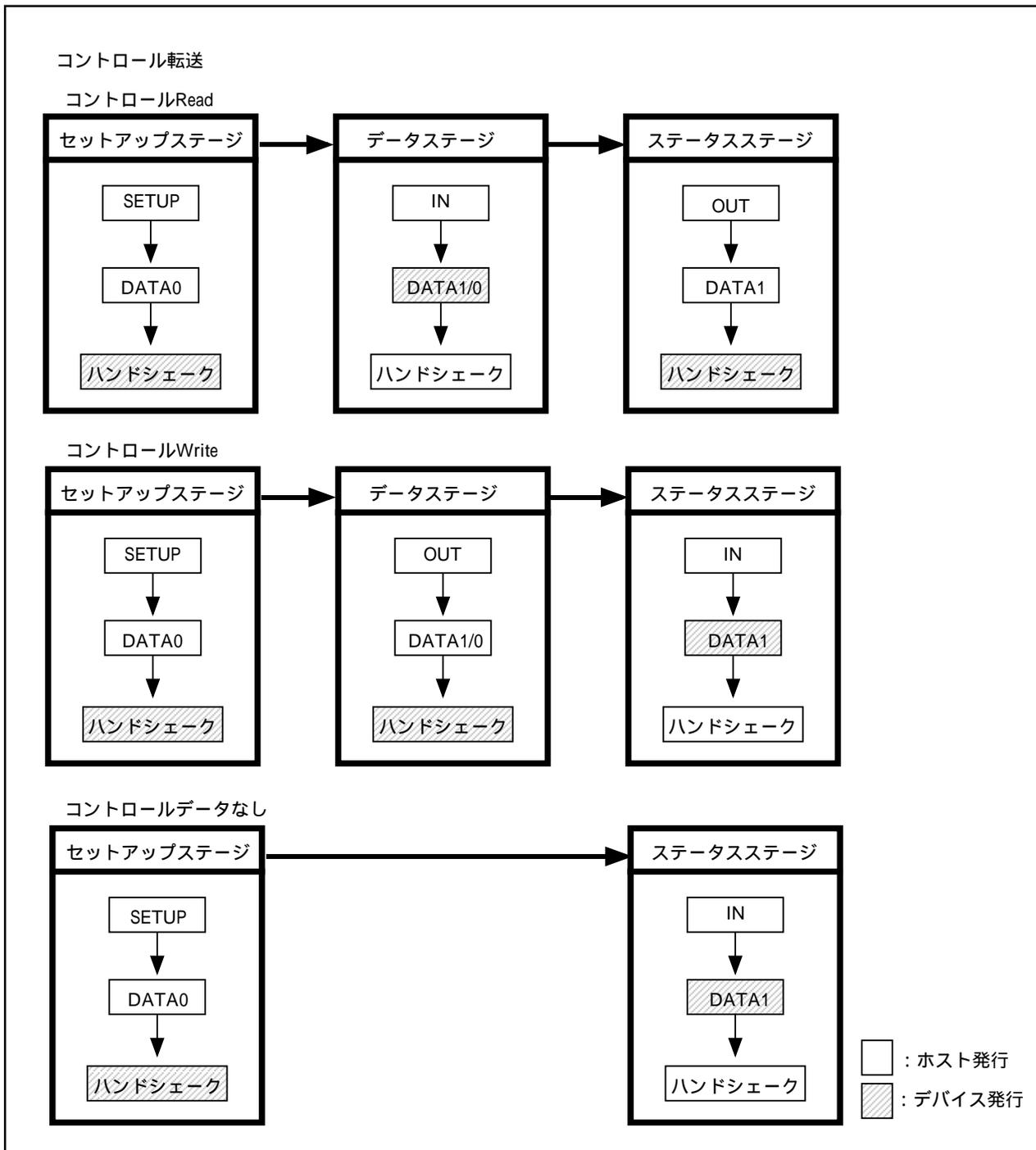


図2.8.4. コントロール転送通信シーケンス

コントロールRead転送

セットアップステージで、ホストはコントロールRead転送であることをデバイスへ知らせます。次に、データステージで、イントランザクションを繰り返し、デバイスからホストへデータを送信します。最後に、ステータスステージで、アウトランザクションを実行（ホストがデータ長(0)の空パケットをデバイスへ送信）し、コントロールRead転送を終了します。

コントロールWrite転送

セットアップステージで、ホストはコントロールWrite転送であることをデバイスへ知らせます。次に、データステージで、アウトランザクションを繰り返し、ホストからデバイスへデータを送信します。最後に、ステータスステージで、イントランザクションを実行（デバイスはデータ長(0)の空パケットをホストへ送信）し、コントロールWrite転送を終了します。

データなし

セットアップステージで、ホストはコントロールデータなし転送であることをデバイスへ知らせます。次に、ステータスステージで、イントランザクションを実行（デバイスはデータ長(0)の空パケットをホストへ送信）し、コントロールデータなし転送を終了します。

ステータスステージでは、セットアップステージとデータステージの実行結果をホストCPUに報告します。コントロール転送の応答フォーマットの詳細は、USB2.0仕様を参照してください。

デバイスリクエスト

コントロール転送のセットアップステージにおけるセットアップトランザクションでは、そのデータフェーズのフォーマットが定義されており、デバイスリクエストと呼ばれています。

タイプが標準(0)のとき、標準デバイスリクエストと呼ばれ、すべてのUSBデバイスでサポートする必要がある基本的なデバイスリクエストです。

タイプがクラス(1)のとき、クラスリクエストと呼ばれます。USBインプリメンターズ・フォーラム(USB IF)はデバイスクラスを定義し、その中で要求する構成とクラスリクエストを決めています。

デバイスリクエストの各データフォーマットについてはUSB2.0仕様、又は、各クラスの仕様書を参照してください。

(3) バルク転送

バルクIN転送

デバイスからホストCPUへデータを送信するバルクIN転送ではイントランザクションを繰り返します。IN FIFOに送信データを用意しておくと、M30245グループはINトークンに対してデータパケットを発行します。各トランザクションのハンドシェイクフェーズで、ホストPCが発行するACKパケットをM30245グループが正常に受信すると、次のデータフェーズのデータパケットのDATA0とDATA1をトグルさせます。これによりハンドシェイクを確実にしています。正常にデータが送信できない場合、M30245グループは下記の応答をします。

- ・受信したINトークンが破壊している場合、無応答です。
- ・送信したデータにACKハンドシェイクがない場合、次のINトークンで再送します。
- ・M30245グループがストールしている場合、STALLハンドシェイクを返します。
- ・IN FIFOに送信データが用意できていない場合、NAKハンドシェイクを返します。

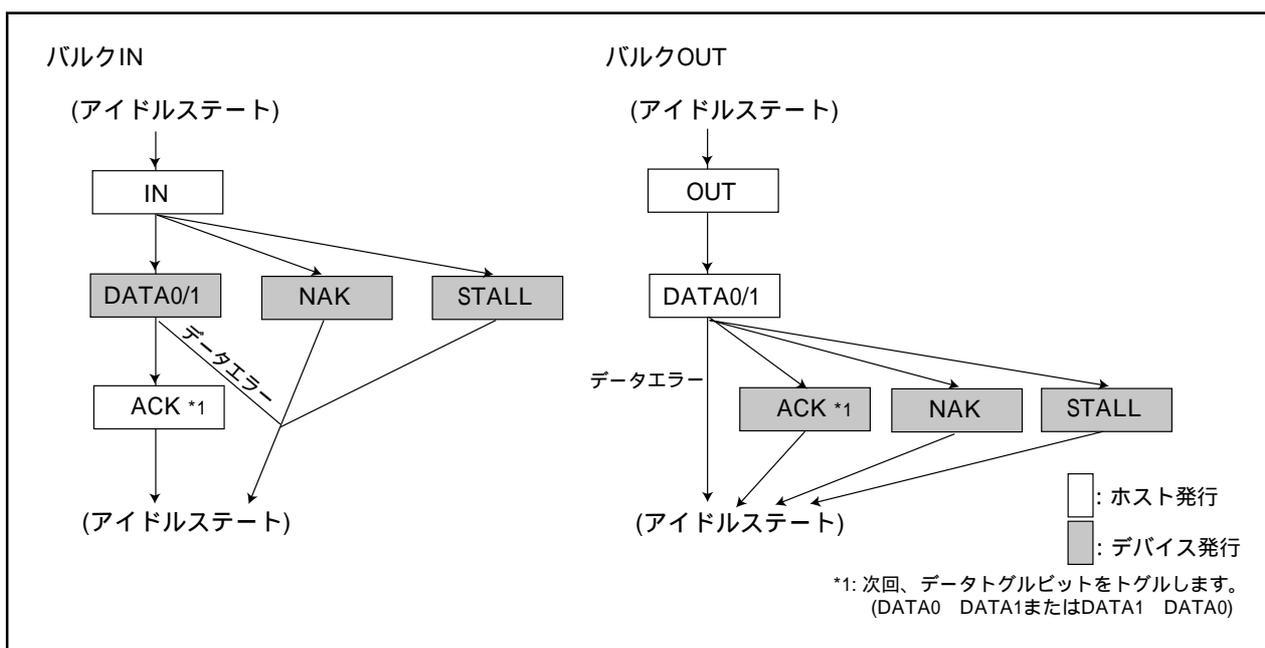
バルクOUT転送

ホストCPUからデバイスへデータを送信するバルクOUT転送ではアウトトランザクションを繰り返します。

M30245グループはデータパケットを正常に受信した場合、ACKハンドシェイクを返します。正常受信とは、ビット・スタッフィング・エラー又はCRCエラーがない状態、データPIDが正しく受信された状態です。各トランザクションのハンドシェイクフェーズで、M30245グループが発行するACKパケットをホストPCが正常に受信すると、次のデータフェーズのデータパケットのDATA0とDATA1をトグルさせます。これによりハンドシェイクを確実にしています。正常に受信できなかった場合のM30245グループの応答は下記の通りです。

- ・受信したOUTトークンデータが破壊している場合、無応答です。
- ・M30245グループがストールしている場合、STALLハンドシェイクを返します。また、受信できないデータサイズの packets が送られてきた場合、STALLハンドシェイクを返します。
- ・受信したデータにシーケンス・ビットの不一致があった場合、ACKハンドシェイクを返します。
- ・M30245グループのOUT FIFOがフルでデータを受信できない場合、NAKハンドシェイクを返します。

詳しくは、USB2.0仕様を参照してください。



(4) アイソクロナス転送

アイソクロナスIN転送

デバイスからホストCPUへデータを転送するアイソクロナスIN転送ではアイソクロナストランザクション(IN)を繰り返します。アイソクロナストランザクションはハンドシェイクフェーズを持ちません。データパケットはDATA0のみです。DATA1とのトグルはしません。IN FIFOに送信データを用意しておくと、M30245グループはINトークンに対してデータパケットを発行します。正常にデータが送信できない場合、M30245グループは下記の動作を行います。

- ・受信したINトークンが破壊している場合、データを発行しません。
- ・IN FIFOに送信データが用意できていない場合、データ長0の空パケット発行します。

アイソクロナスOUT転送

ホストCPUからデバイスへデータを転送するアイソクロナスOUT転送ではアイソクロナストランザクション(OUT)を繰り返します。アイソクロナストランザクションはハンドシェイクフェーズを持ちません。データパケットはDATA0のみです。DATA1とのトグルはしません。

M30245グループは、データパケットを受信するとデータの内容が正常であるかどうかをステータスフラグで示します。正常に受信できなかった場合、M30245グループは下記の動作を行います。

- ・受信したOUTトークンが破壊している場合、データを受信しません。
- ・受信したデータが破壊されている(ビット・スタッフィング・エラー又はCRCエラーがある)場合、データを受信します。
- ・受信できないデータサイズのパケットが送られてきた場合、データを受信しません。
- ・M30245グループのOUT FIFOがフルでデータを受信できない場合、データを受信しません。

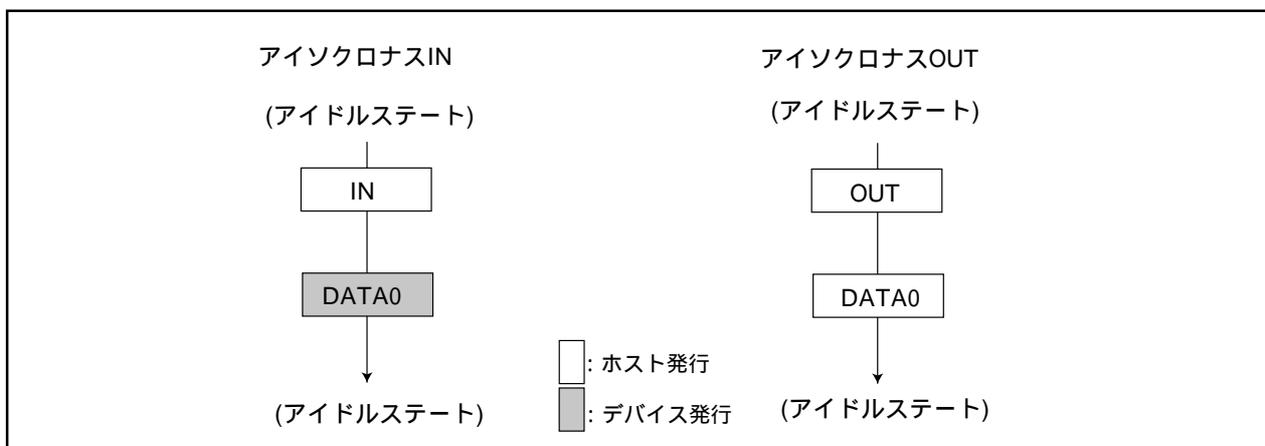


図2.8.6. アイソクロナス転送

(5) インタラプト転送

転送形態はバルク転送と同じです。本項の「(3) バルク転送」を参照してください。

(6) デバイスステート

デバイスはステートを持ち、ステート間を遷移します。M30245グループはステート遷移をハードウェアで行いません。関連するUSB割り込みの要求をもとに、ソフトウェアにて管理してください。図2.8.7にデバイスステートの遷移を示します。

バス接続から構成までの一連の処理をエニミュレーションといいます。各ステートについて以下に説明します。

接続ステート：

デバイスをバスに接続した状態です。

Poweredステート：

HUBが構成を完了し、バスに電力を供給した状態です。

Defaultステート：

ホストCPUからリセット信号を受信した状態です。デフォルトアドレス(0)として応答します。

未構成状態(構成0)です。

Addressステート：

SET_ADDRESS標準デバイスリクエストを受信し、“0”でないデバイスアドレスを割り当てられた状態です。未構成状態(構成0)です。

Configuredステート：

エンドポイント0がSET_CONFIGURATION標準デバイスリクエストを受信し、デバイスが構成された状態です。

Suspendステート：

バスの非アクティブ状態が3ms間続くと、サスペンド状態になります。

バスアクティブを検出すると、元のステートに遷移します。M30245グループでは、保留状態でバスリセットを検出した場合、バスアクティブを検出して元のステートに遷移してからバスリセットを検出します。

(7) USB関連レジスタのメモリ配置

図2.8.8にUSB関連レジスタのメモリ配置図を示します。なお、各レジスタがどの項目で説明されているかの一覧を表2.8.2に示します。

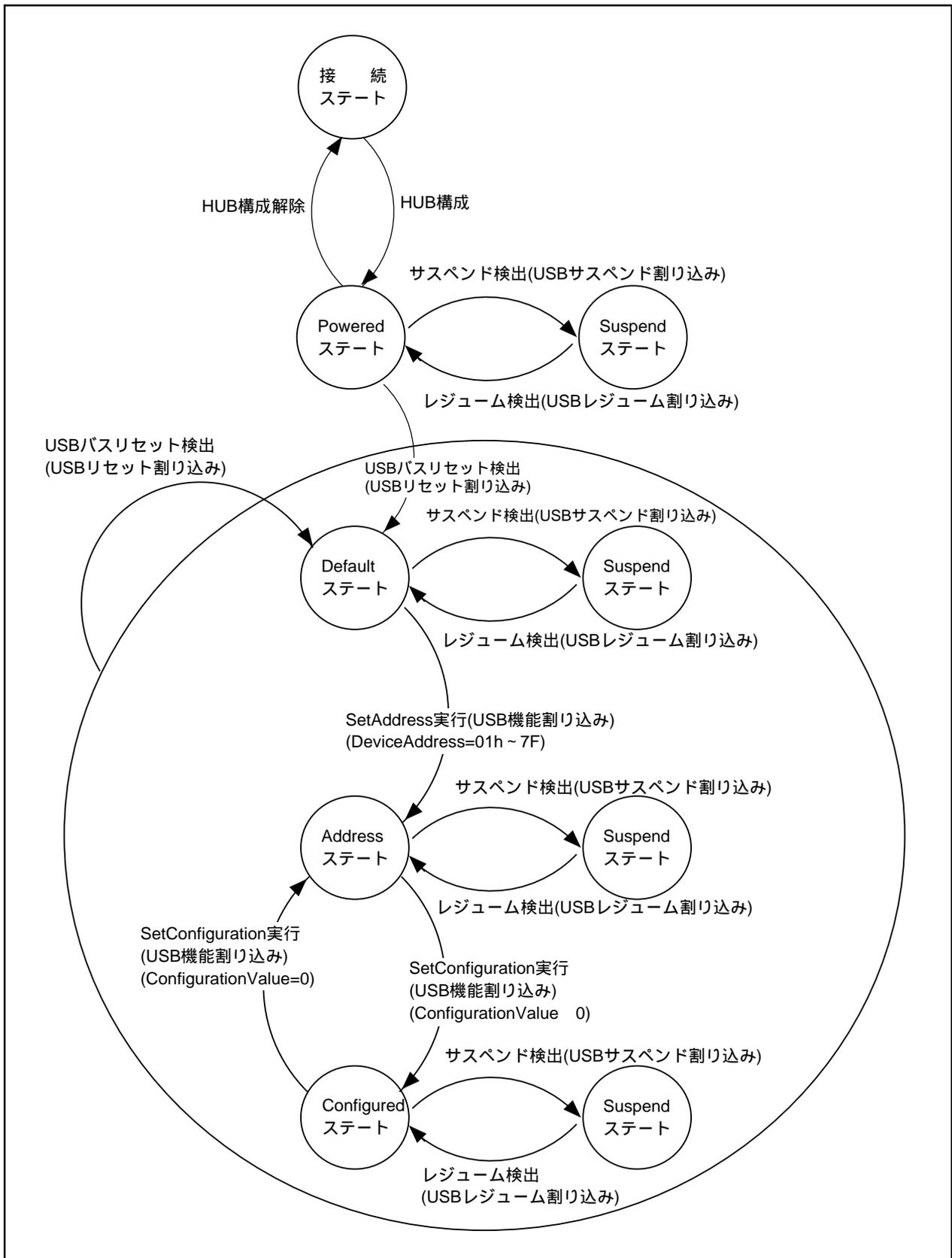


図2.8.7. デバイス状態の遷移

000C16	USB制御レジスタ(USBC)	02B616	USBエンドポイント1 OUT制御/ステータスレジスタ(EP1OCS)
001F16	USB接続/非接続レジスタ(USBAD)	02B716	
004616	USBエンドポイント0割り込み制御レジスタ(EP0IC)	02B816	USBエンドポイント1 OUT最大バケットサイズレジスタ(EP1OMP)
005616	USBサスペンド割り込み制御レジスタ(SUSPIC)	02B916	
005816	USBレジューム割り込み制御レジスタ(RSMIC)	02BA16	USBエンドポイント1 OUT書き込みカウンタレジスタ(EP1WC)
005A16	USBリセット割り込み制御レジスタ(RSTIC)	02BB16	
005B16	USB SOF割り込み制御レジスタ(SOFIC)	02BC16	USBエンドポイント1 OUT FIFOコンフィグレーションレジスタ(EP1OFC)
005C16	USB Vbus検出割り込み制御レジスタ(VBDIC)	02BD16	
005D16	USB機能割り込み制御レジスタ(USBFIC)	02BE16	USBエンドポイント2 OUT制御/ステータスレジスタ(EP2OCS)
028016	USBアドレスレジスタ(USBA)	02BF16	
028116	USBパワー制御レジスタ(USBPM)	02C016	USBエンドポイント2 OUT最大バケットサイズレジスタ(EP2OMP)
028216		02C116	
028316	USB機能割り込みステータスレジスタ(USBIS)	02C216	USBエンドポイント2 OUT書き込みカウンタレジスタ(EP2WC)
028416		02C316	
028516	USB機能割り込みクリアレジスタ(USBC)	02C416	USBエンドポイント2 OUT FIFOコンフィグレーションレジスタ(EP2OFC)
028616	USB機能割り込み許可レジスタ(USBIE)	02C516	
028716		02C616	USBエンドポイント3 OUT制御/ステータスレジスタ(EP3OCS)
028816	USBフレームナンバーレジスタ(USBFN)	02C716	
028916		02C816	USBエンドポイント3 OUT最大バケットサイズレジスタ(EP3OMP)
028A16	USB ISO制御レジスタ(USBISOC)	02C916	
028B16	USBエンドポイント許可レジスタ(USBEPEN)	02CA16	USBエンドポイント3 OUT書き込みカウンタレジスタ(EP3WC)
028C16		02CB16	
028D16	USB DMA0要求レジスタ(USBDMA0)	02CC16	USBエンドポイント3 OUT FIFOコンフィグレーションレジスタ(EP3OFC)
028E16	USB DMA1要求レジスタ(USBDMA1)	02CD16	
028F16	USB DMA2要求レジスタ(USBDMA2)	02CE16	USBエンドポイント4 OUT制御/ステータスレジスタ(EP4OCS)
029016	USB DMA3要求レジスタ(USBDMA3)	02CF16	
029116	USBエンドポイント0制御/ステータスレジスタ(EP0CS)	02D016	USBエンドポイント4 OUT最大バケットサイズレジスタ(EP4OMP)
029216		02D116	
029316	USBエンドポイント0最大バケットサイズレジスタ(EP0MP)	02D216	USBエンドポイント4 OUT書き込みカウンタレジスタ(EP4WC)
029416	USBエンドポイント0 OUT書き込みカウンタレジスタ(EP0WC)	02D316	
029516		02D416	USBエンドポイント4 OUT FIFOコンフィグレーションレジスタ(EP4OFC)
029616	USBエンドポイント1 IN制御/ステータスレジスタ(EP1ICS)	02D516	
029716	USBエンドポイント1 IN最大バケットサイズレジスタ(EP1IMP)		
029816	USBエンドポイント1 IN FIFOコンフィグレーションレジスタ(EP1IFC)	02D816	予約
029916		02D916	予約
02A016	USBエンドポイント2 IN制御/ステータスレジスタ(EP2ICS)	02DA16	予約
02A116	USBエンドポイント2 IN最大バケットサイズレジスタ(EP2IMP)	02DB16	予約
02A216	USBエンドポイント2 IN FIFOコンフィグレーションレジスタ(EP2IFC)	02DC16	予約
02A316		02DD16	予約
02A416	USBエンドポイント3 IN制御/ステータスレジスタ(EP3ICS)	02DE16	予約
02A516	USBエンドポイント3 IN最大バケットサイズレジスタ(EP3IMP)	02DF16	予約
02A616	USBエンドポイント3 IN FIFOコンフィグレーションレジスタ(EP3IFC)		
02A716		02E016	USBエンドポイント0 IN FIFO(EP0I)
02A816	USBエンドポイント4 IN制御/ステータスレジスタ(EP4ICS)	02E116	
02A916	USBエンドポイント4 IN最大バケットサイズレジスタ(EP4IMP)	02E216	USBエンドポイント0 OUT FIFO(EP0O)
02AA16	USBエンドポイント4 IN FIFOコンフィグレーションレジスタ(EP4IFC)	02E316	
02AB16		02E416	USBエンドポイント1 IN FIFO(EP1I)
02AC16	USBエンドポイント0 IN FIFO(EP0I)	02E516	
02AD16	USBエンドポイント0 OUT FIFO(EP0O)	02E616	USBエンドポイント1 OUT FIFO(EP1O)
02AE16	USBエンドポイント1 IN FIFO(EP1I)	02E716	
02AF16	USBエンドポイント1 OUT FIFO(EP1O)	02E816	USBエンドポイント2 IN FIFO(EP2I)
02B016		02E916	
02B116	USBエンドポイント2 IN FIFO(EP2I)	02EA16	USBエンドポイント2 OUT FIFO(EP2O)
02B216	USBエンドポイント2 OUT FIFO(EP2O)	02EB16	
02B316	USBエンドポイント3 IN FIFO(EP3I)	02EC16	USBエンドポイント3 IN FIFO(EP3I)
02B416	USBエンドポイント3 OUT FIFO(EP3O)	02ED16	
02B516	USBエンドポイント4 IN FIFO(EP4I)	02EE16	USBエンドポイント3 OUT FIFO(EP3O)
		02EF16	
		02F016	USBエンドポイント4 IN FIFO(EP4I)
		02F116	
		02F216	USBエンドポイント4 OUT FIFO(EP4O)
		02F316	

図2.8.8. USB関連レジスタのメモリ配置図

表2.8.2. USB関連レジスタの説明項目一覧

項目	レジスタ名
2.8.2 USBファンクション制御	USB制御レジスタ、USB接続/非接続レジスタ、 USBエンドポイント許可レジスタ、 USBエンドポイントx(x=0~4) IN FIFOデータレジスタ、 USBエンドポイントx(x=0~4) OUT FIFOデータレジスタ
2.8.3 USB割り込み	USB機能割り込みステータスレジスタ、 USB機能割り込みクリアレジスタ、USB割り込み許可レジスタ、 USBフレームナンバーレジスタ
2.8.4 USBの動作 (サスペンド/レジューム機能)	USBパワー制御レジスタ
2.8.5 USBの動作 (エンドポイント0)	USBアドレスレジスタ、 USBエンドポイント0制御/ステータスレジスタ、 USBエンドポイント0最大パケットサイズレジスタ、 USBエンドポイント0 OUT書き込みカウントレジスタ
2.8.6 USBの動作 (エンドポイント1~4受信)	USBエンドポイントx(x=1~4) OUT制御/ステータスレジスタ、 USBエンドポイントx(x=1~4) OUT最大パケットサイズレジスタ、 USBエンドポイントx(x=1~4) OUT書き込みカウントレジスタ、 USBエンドポイントx(x=1~4) OUT FIFOコンフィグレーションレジスタ
2.8.7 USBの動作 (エンドポイント1~4送信)	USB ISO制御レジスタ、 USBエンドポイントx(x=1~4) IN制御/ステータスレジスタ、 USBエンドポイントx(x=1~4) IN最大パケットサイズレジスタ、 USBエンドポイントx(x=1~4) IN FIFOコンフィグレーションレジスタ
2.8.8 USBの動作 (DMAC転送とのインタフェース)	USB DMAx(x=0~3)要求レジスタ

2.8.2 USBファンクション制御

USB機能を使用するには、USBファンクション制御ユニットを許可する必要があります。USBファンクション制御ユニットの初期設定手順を説明します。

(1) 関連レジスタ

USB制御レジスタ

USBファンクション制御ユニットの各動作制御のために使用するレジスタです。USB機能を使用する場合、USBクロック許可ビットを“1”にセットしてから、USB許可ビットを“1”にしてください。このレジスタは、USBリセット信号の影響を受けません。USB許可後(USBC7 = “1”)、他のUSBレジスタを操作する場合は最低187.5ns(BCLKの3サイクル)の遅延が必要です。

USBクロック許可ビット

周波数シンセサイザから供給される、USB動作に必要なUSBクロック(f_{USB})の許可/禁止を設定します。USBクロック許可時は、“1”にしてください。

USB SOFポート選択ビット

P92端子からのSOF信号出力の許可/禁止を設定します。USB SOF信号使用時は、“1”にしてください。この場合、ポートP92を出力モードにしてください。このビットに“1”セットすると、フレームパケットの開始に常に“L”パルスを約166ns(12MHz USBクロックの2周期)間出力します。

USB許可ビット

USBブロックの許可/禁止を設定します。“1”にすると、USB機能が許可になります。このビットを“1”にしてから、最低187.5ns(BCLKの3サイクル)ウエイトしてから他のUSB関連レジスタの読み出し又は書き込みを行ってください。

図2.8.9にUSB制御レジスタの構成を示します。

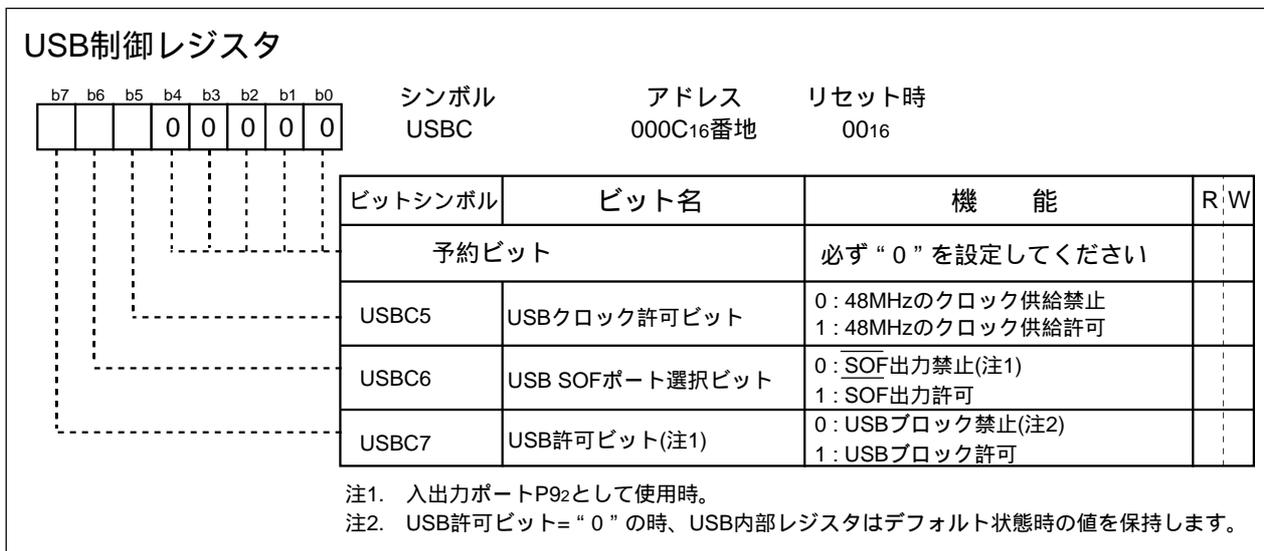


図2.8.9. USB制御レジスタの構成

USB接続/非接続レジスタ

USB接続/非接続レジスタは、物理的にUSBケーブルの接続/非接続をすることなく、USB通信規格におけるUSBホストからの接続/非接続を制御することができます。

ポートP90制御ビット

“0”のとき、P90は通常ポートとして動作します。USB D+端子とUVcc端子間に1.5kΩの抵抗を接続してください（D+ラインプルアップのタイミングはUVcc端子に依存します）。

“1”のとき、P90はUSB接続/非接続機能を持ち、D+ラインへのプルアップ用電源供給端子になります。USB接続/非接続機能を使用する場合、USB D+端子とP90/ATTACH端子間に1.5kΩのプルアップ抵抗を介して接続してください。

また、どちらの場合もUVcc端子は電源に接続してください。

接続/非接続選択ビット

ポートP90制御ビットが“1”の時、有効になるビットです。

“0”のとき、UVcc端子の電圧をP90へ供給するのを停止し、擬似的にUSBケーブルが非接続状態になります。

“1”のとき、UVcc端子の電圧がP90に供給されD+ラインがプルアップされるため、擬似的にUSBケーブルが接続になります。周波数シンセサイザが安定した後、“1”（接続状態）に設定してください。

Vbus検出許可ビット

“1”のとき、Vbus検出を許可します。Vbus検出を許可する場合、USBコネクタのVbus端子をVbusDTCT端子に接続してください。

接続/非接続選択ビットを“0”から“1”、または、“1”から“0”へ変化させる場合、ホストが接続/非接続を認識するまでの時間は、デバイスの基板抵抗成分・容量成分・USBケーブル容量、ホストの基板特性と処理速度によって異なります。実際にご使用になるシステムに合わせて接続/非接続選択ビットを制御し、十分な評価を行ってください。

図2.8.10にUSB接続/非接続レジスタの構成を示します。

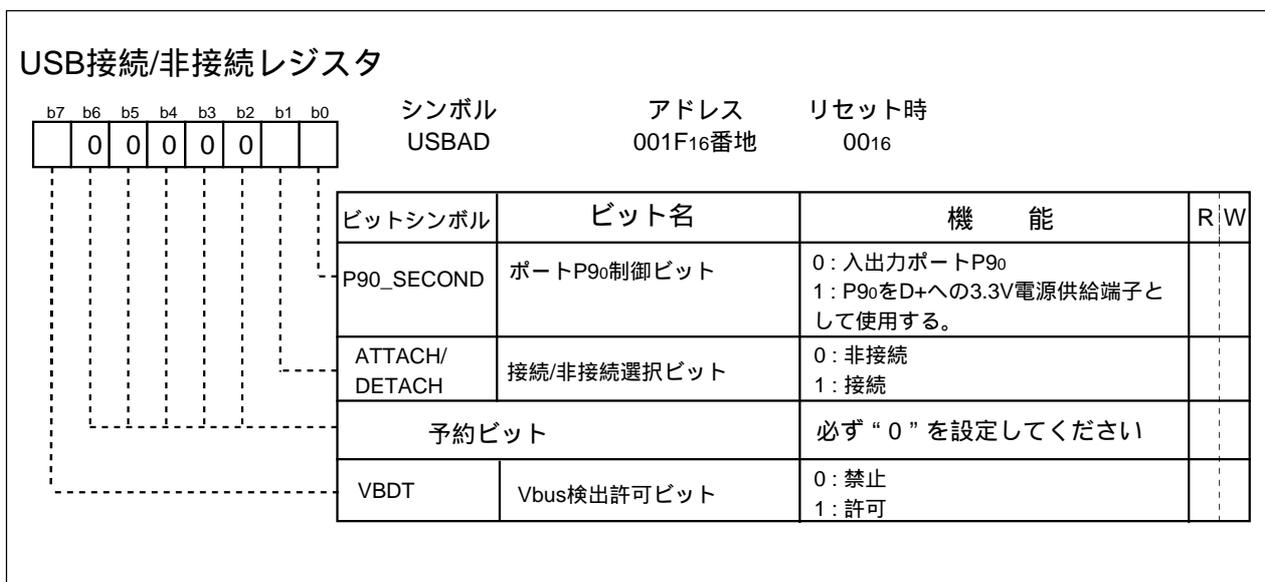


図2.8.10. USB接続/非接続レジスタの構成

USB エンドポイント許可レジスタ

エンドポイント1~4において、使用するエンドポイントIN/OUT FIFOを許可します。エンドポイント0は常に許可されており、ソフトウェアで禁止にすることはできません。リセット時、すべてのエンドポイント1~4は禁止されています。

図2.8.11にUSBエンドポイント許可レジスタの構成を示します。

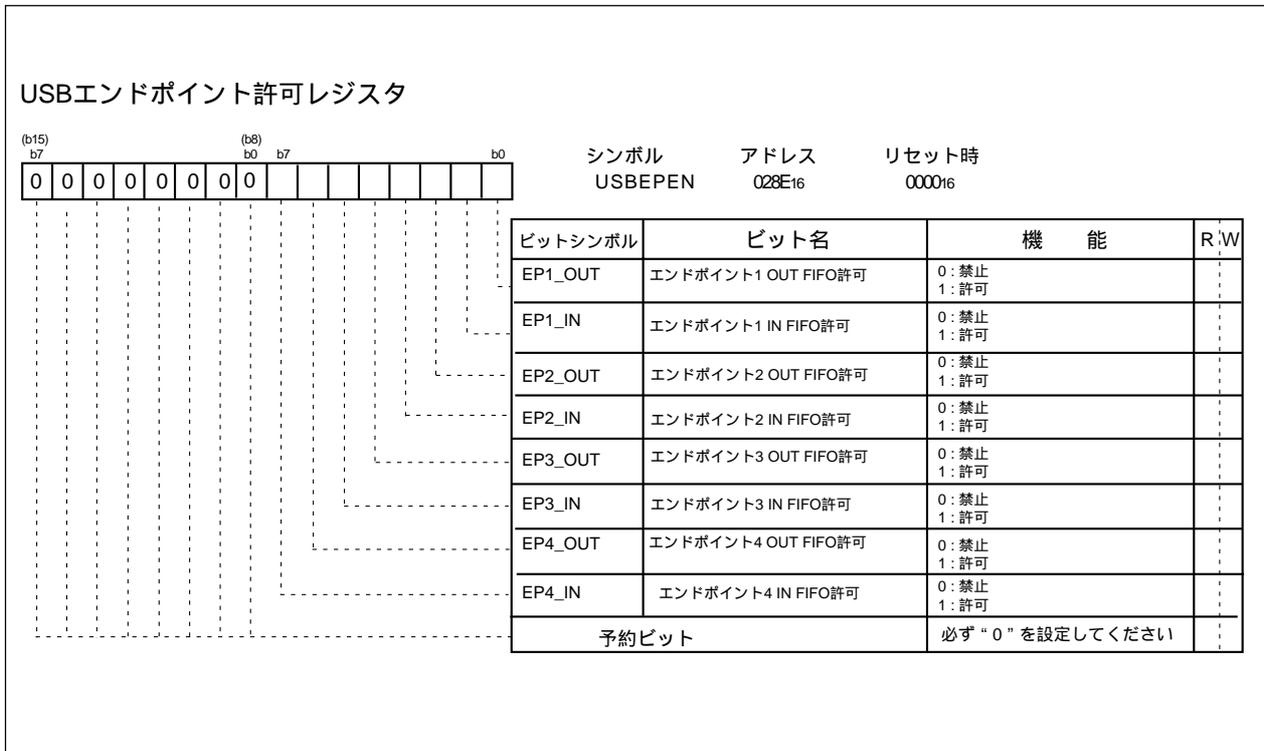


図2.8.11. USBエンドポイント許可レジスタの構成

USBエンドポイントx(x=0~4) IN FIFOデータレジスタ

エンドポイント0~4はそれぞれ独立してIN FIFOを持ちます。ホストPCへ送信時、このレジスタに送信データを書き込んでください。このレジスタはワードアクセス又は下位バイトへバイトアクセスしてください。

図2.8.12にUSBエンドポイントx IN FIFOデータレジスタの構成を示します。

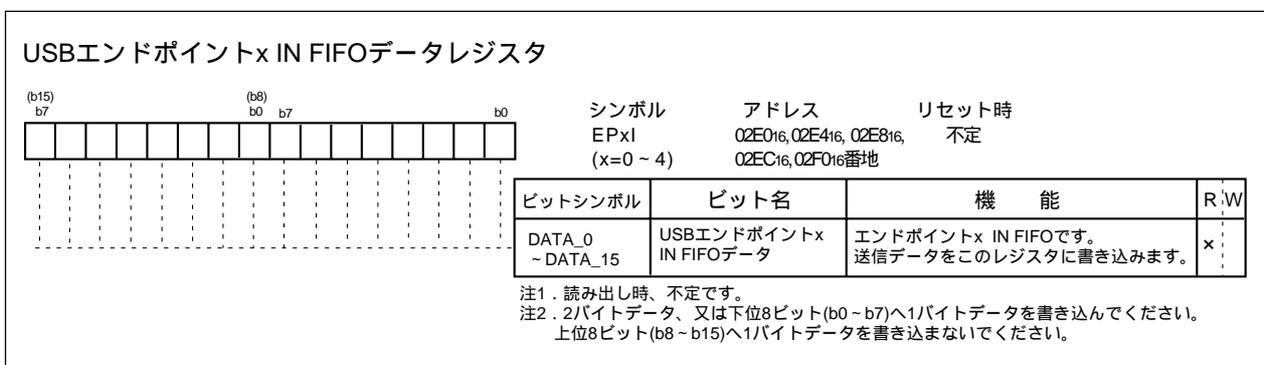


図2.8.12. USBエンドポイントx IN FIFOデータレジスタの構成

(2) USBファンクション制御ユニットの許可

ハードウェアリセット後にM30245グループのUSBファンクション制御ユニットを初期化する手順を下記に示します。また、電源をUSBより供給する場合は、総駆動電流を100mA以下に制御する必要があります。

周波数シンセサイザの設定

- 1: プロテクトを解除します。
- 2: f_{USB}に必要な48MHzを生成するため、周波数シンセサイザ関連レジスタを設定します。
- 3: 周波数シンセサイザ制御レジスタのビット0を“1”に設定し、周波数シンセサイザを許可します。
- 4: プロテクトを禁止します。
- 5: 周波数シンセサイザの安定のため、3msウェイトします。
- 6: 周波数シンセサイザロック状態ビットをチェックします。周波数シンセサイザがアンロック状態であれば、0.1msウェイトと再チェックを繰り返します。

USBファンクション制御ユニットの設定

- 7: USBC5を“1”に設定し、USBクロックを許可します。
- 8: USB 接続 / 非接続レジスタを"0316"に設定し (ポートP90をD+ラインへのプルアップ電源供給端子に設定)、かつ、USBC7を"1"に設定しUSBブロックを許可します。この後USB関連レジスタを操作する場合は、最低187.5ns(BCLKの3サイクル)ウェイトが必要です。

USBファンクション制御ユニットを許可した後、使用するエンドポイントを初期化してください。

周波数シンセサイザの分周比の設定例を図2.8.15、ハードウェアリセット後の周波数シンセサイザのセットアップタイミングを図2.8.16、周波数シンセサイザとUSBファンクション制御ユニットの初期化手順例を図2.8.17、図2.8.18、エンドポイントの初期化手順例を図2.8.19、図2.8.20に示します。

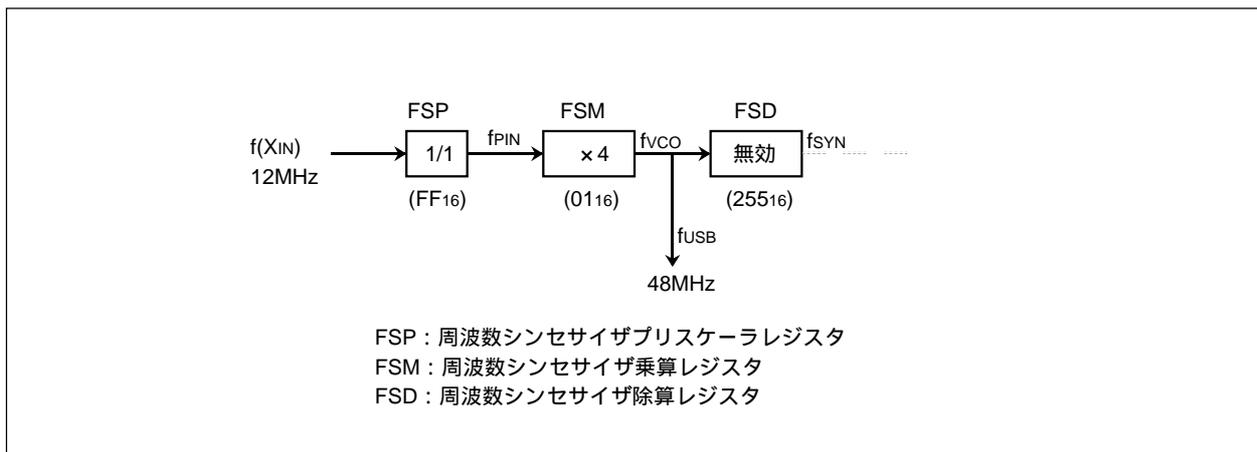


図2.8.15. 周波数シンセサイザの分周比の設定例

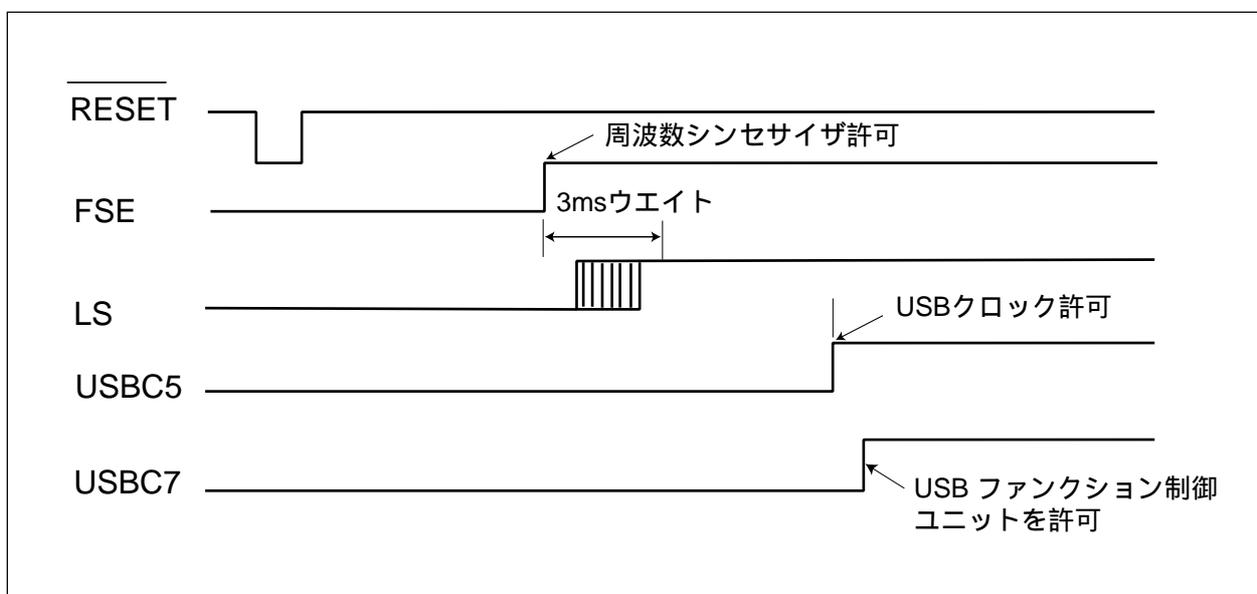


図2.8.16. ハードウェアリセット後の周波数シンセサイザのセットアップタイミング

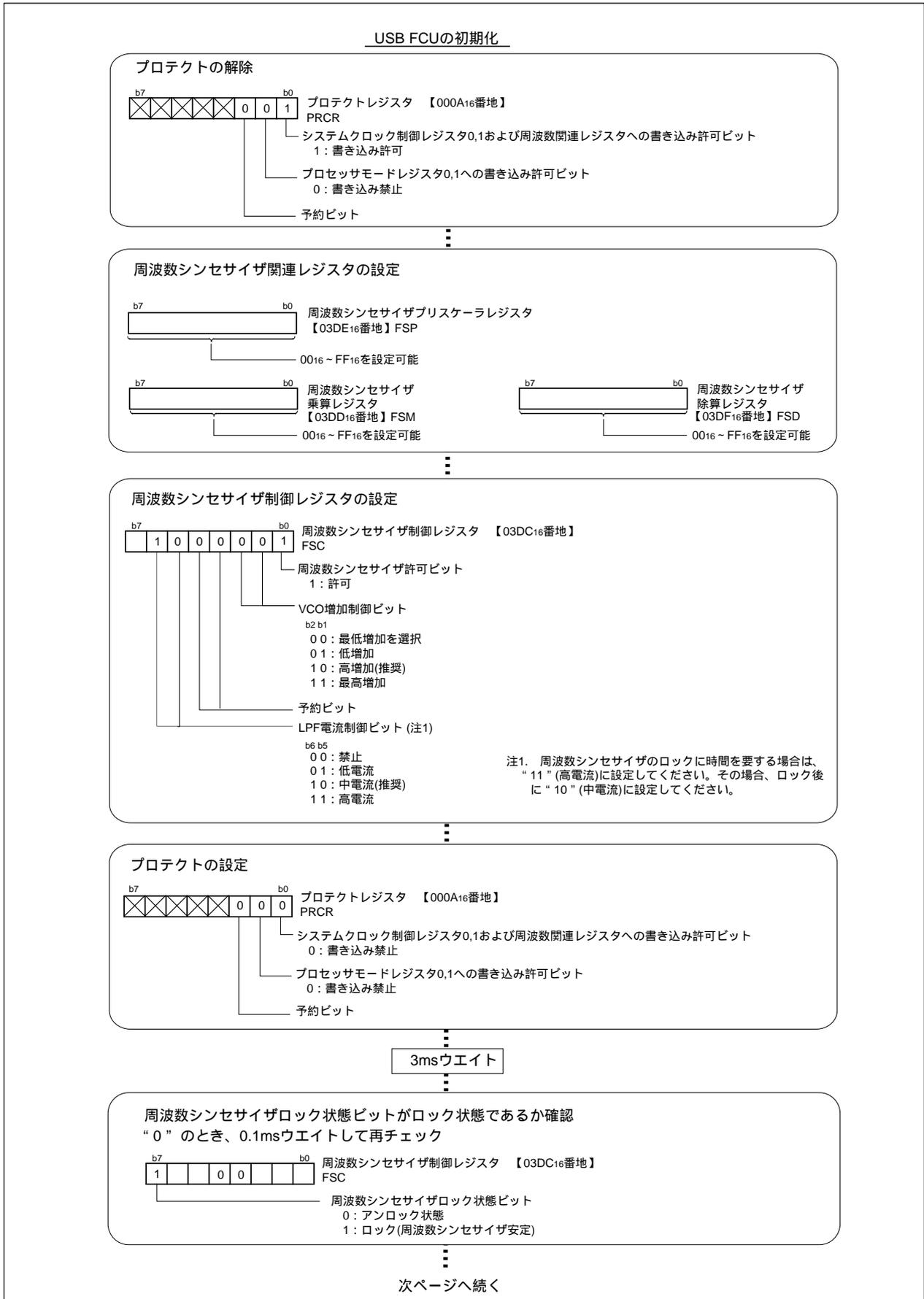


図2.8.17 周波数シンセサイザとUSBファンクション制御ユニットの初期化手順例1

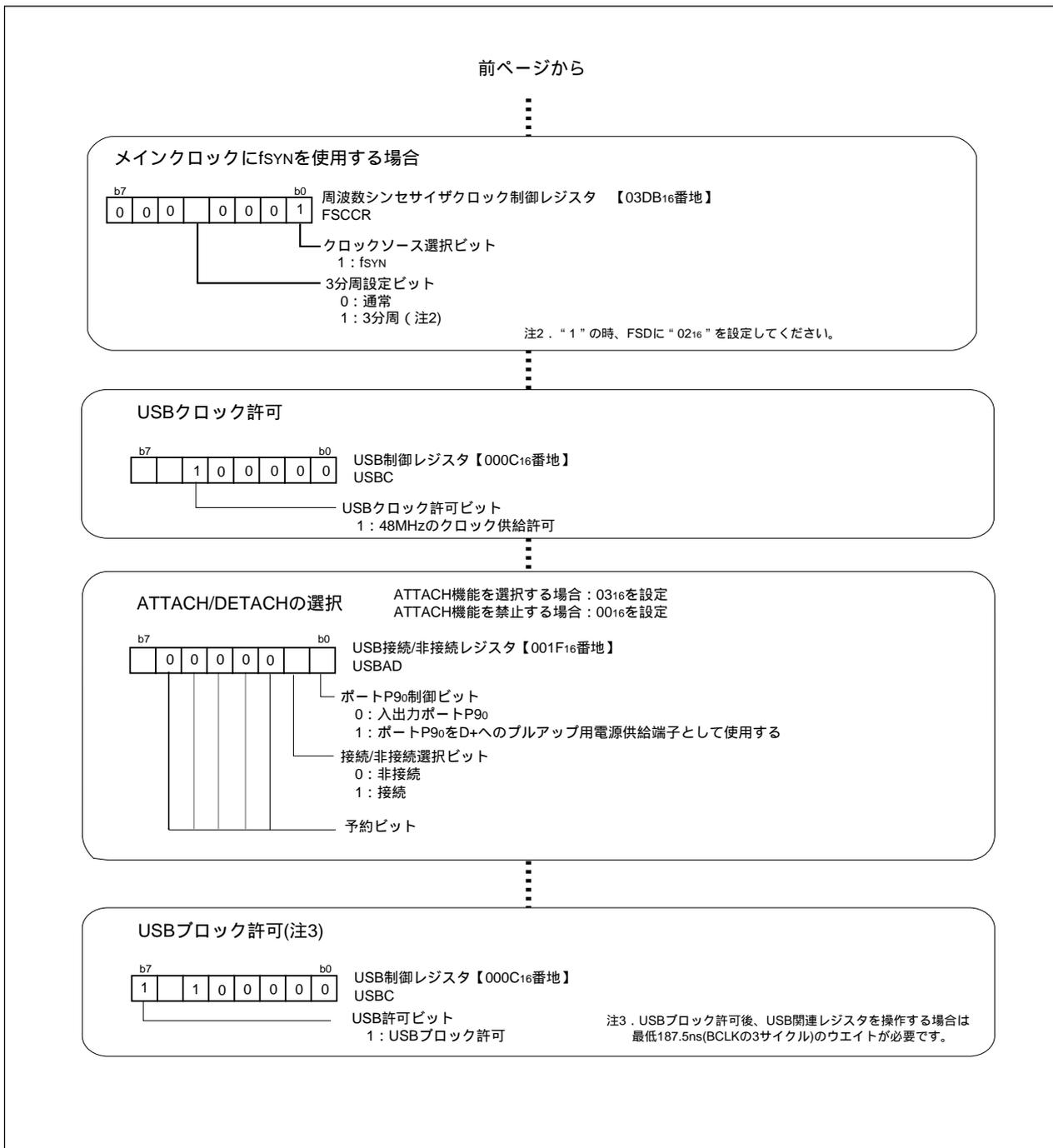


図2.8.18. 周波数シンセサイザとUSBファンクション制御ユニットの初期化手順例2

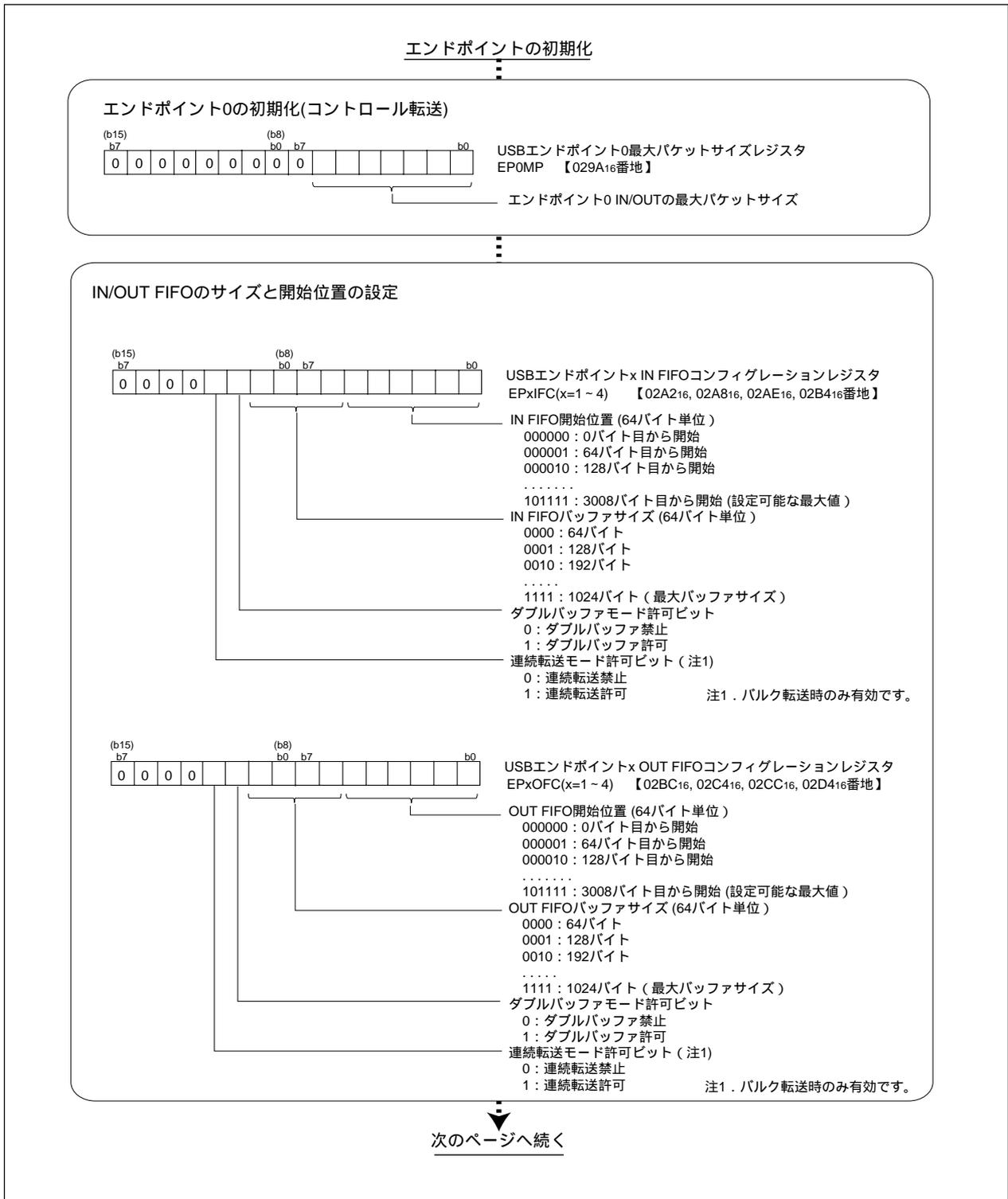


図2.8.19. エンドポイントの初期化手順例1

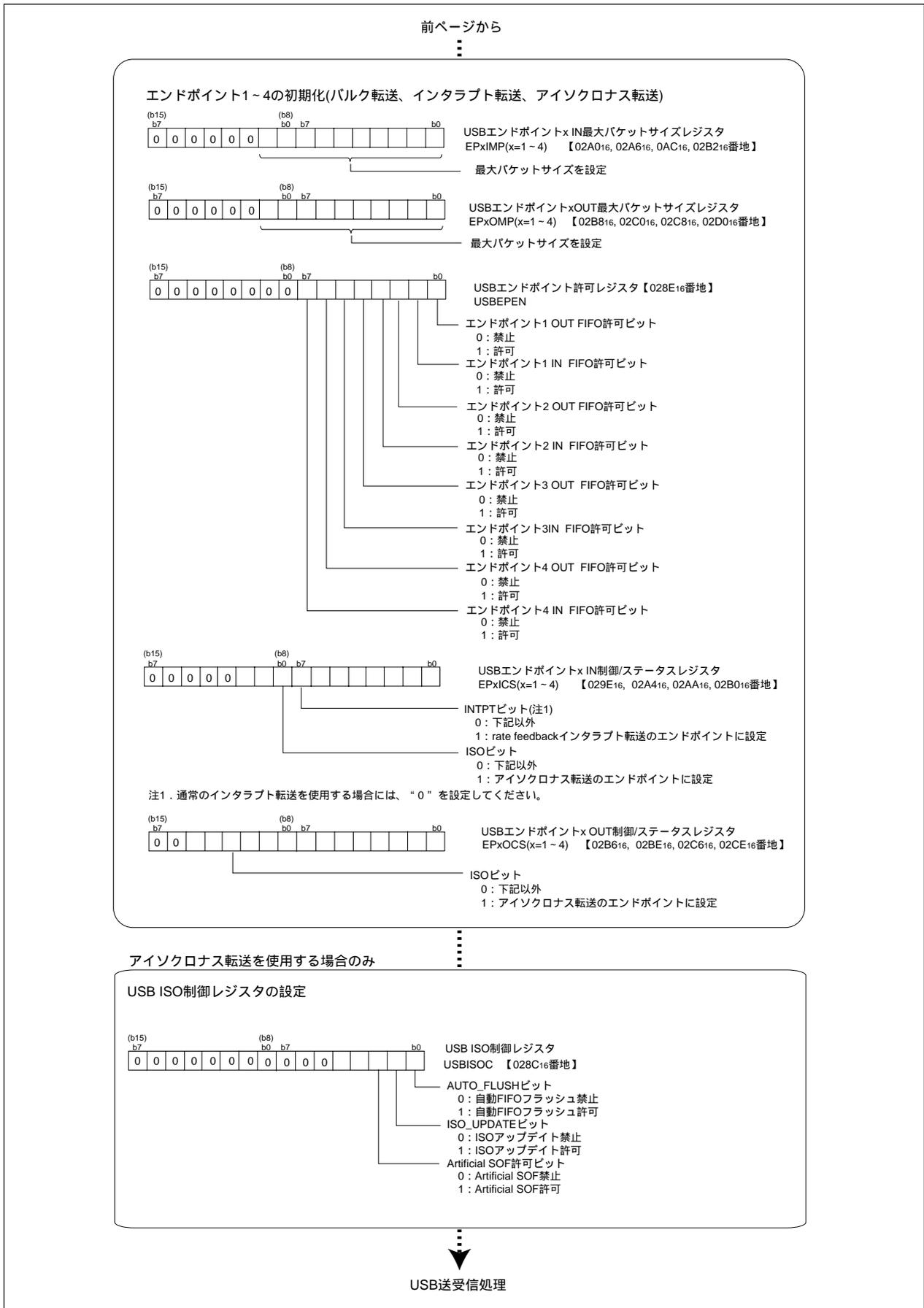


図2.8.20. エンドポイントの初期化手順例2

(3) USBファンクション制御ユニットの禁止

USBファンクション制御ユニットの許可後、USB機能を禁止する必要があるシステム設計の場合、以下の手順で行います。

- 1: USB許可ビット(USBC7)を“0”クリアし、USBブロックを禁止します。
- 2: USBクロック許可ビット(USBC5)を“0”クリアし、USBクロックを禁止します。
- 3: 周波数シンセサイザ許可ビット(FSE)を“0”クリアし、周波数シンセサイザを禁止します。

通常、USB機能を許可し続けるシステム設計の場合は、USBファンクション制御ユニットを禁止する必要はありません。

(4) Vbus検出

USBセルフパワー動作時、電池などの消費を抑えるため、デバイスがホストPCに接続されVbusから電力供給できるときのみバスパワーに切り替えたい場合、Vbus検出機能を使用します。Vbus検出機能を使用するためには、ハードウェア設定としてVbusDTCT端子の処理、ソフトウェアでVbus検出割り込みの設定が必要です。VbusDTCT端子は、Vbus検出機能用の端子です。セルフパワー動作時、USBコネクタのVbusラインをVbusDTCT端子に接続します。Vbus検出機能の許可/禁止は、USB接続/非接続レジスタのVbus検出許可ビット(001F16番地のビット7)を“1”に設定してください。また、Vbus検出割り込み制御レジスタ(VBDIC: 005C16番地)で割り込み優先レベルを設定してください。ホストPCの電源ON/OFF時に、Vbus検出割り込みが発生します。Vbus検出割り込みが発生したら、P91のポートレジスタ値を読みだし、電源ON/OFFを検出してください。

スタートアップ時、誤ったVbus検出割り込みの受信を避けるために、Vbus検出割り込みを許可する前にVbus検出を許可する必要があります。以下の手順でVbus検出許可します。

1. Vbus検出許可ビット(001F16番地のビット7)を“1”に設定し、Vbus検出を許可します。
2. Vbus検出割り込み要求ビット(005C16番地のビット3)を“0”に設定し、Vbus検出割り込み要求をクリアします。
3. Vbus検出割り込み優先レベル(005C16番地のビット0~2)を“0002”より大きな値に設定し、Vbus検出割り込みを許可します。

2.8.3 USB割り込み

USB関連の割り込みにはUSBリセット割り込み、USBサスペンド割り込み、USBレジューム割り込み、USBエンドポイント0割り込み、USB機能割り込み、及びUSB SOF割り込みがあります。

(1) 関連レジスタ

USB機能割り込みステータスレジスタ

USB機能割り込み要因を判断するために使用するレジスタです。エンドポイント $x(x=1 \sim 4)$ IN割り込み、エンドポイント $x(x=1 \sim 4)$ OUT割り込み、エラー割り込みの各割り込み要求の状態を示す、読み出し専用のレジスタです。割り込み要求が発生した場合、“1”にセットされます。USB機能割り込みクリアレジスタの対応するビットに“1”を設定することにより、各割り込みステータスフラグを“0”にクリアできます。

エンドポイント1 IN割り込みステータスフラグ

エンドポイント2 IN割り込みステータスフラグ

エンドポイント3 IN割り込みステータスフラグ

エンドポイント4 IN割り込みステータスフラグ

エンドポイント $x(x=1 \sim 4)$ IN割り込み要求の状態をそれぞれ示します。これらのフラグは、USB機能割り込み許可レジスタで許可した対応するエンドポイントにおいて、次の場合に“1”にセットされます。

- ・エンドポイントが禁止状態から、許可されたとき
- ・1バッファデータ送信成功したとき
- ・IN FIFOにバッファデータが存在する時、AUTO_FLUSH、又はFLUSHビット(EPxICSのビット6)の“1”セットによりバッファフラッシュが実行されたとき

エンドポイント1 OUT割り込みステータスフラグ

エンドポイント2 OUT割り込みステータスフラグ

エンドポイント3 OUT割り込みステータスフラグ

エンドポイント4 OUT割り込みステータスフラグ

エンドポイント $x(x=1 \sim 4)$ OUT割り込み要求の状態をそれぞれ示します。これらのフラグは、対応するエンドポイントにおいて、1データ受信成功したときに“1”にセットされます。

エラー割り込みステータスフラグ

エンドポイント0~4でエラーが発生したことを示します。

次の場合に“1”にセットされます。

- ・エンドポイント0のEP0CSR4(FORCE_STALL)フラグが“1”にセットされたとき
- ・エンドポイント0のEP0CSR5(SETUP_END)フラグが“1”にセットされたとき
- ・エンドポイント1~4 INのINxCSR2(UNDER_RUN)フラグが“1”にセットされたとき
- ・エンドポイント1~4 OUTのOUTxCSR2(OVER_RUN)フラグが“1”にセットされたとき
- ・エンドポイント1~4 OUTのOUTxCSR3(FORCE_STALL)フラグが“1”にセットされたとき
- ・エンドポイント1~4 OUTのOUTxCSR4(DATA_ERR)フラグが“1”にセットされたとき

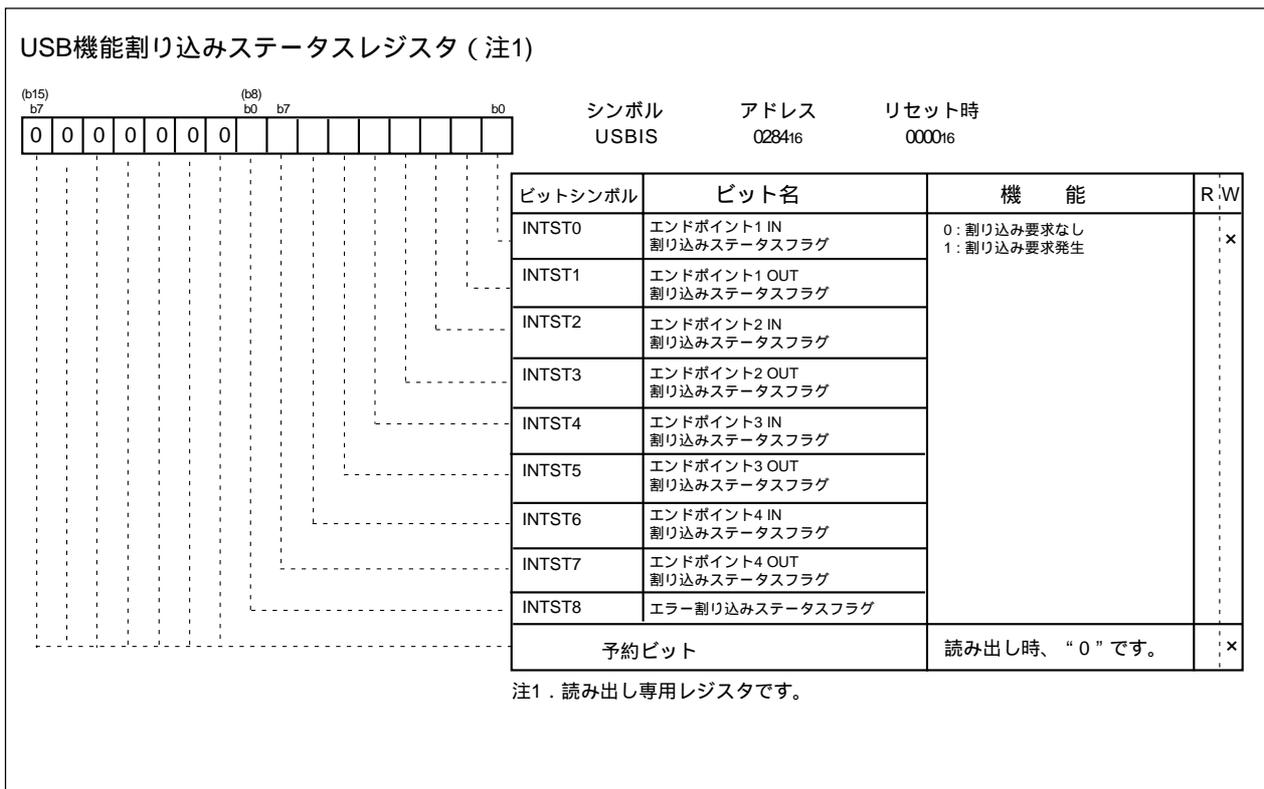


図2.8.21. USB機能割り込みステータスレジスタの構成

USB機能割り込みクリアレジスタ

USB機能割り込み要求要因をクリアするためのレジスタです。

割り込みステータスクリアフラグに“1”をセットすることにより、USB機能割り込みステータスレジスタの対応する割り込みステータスフラグが“0”にクリアされます。

図2.8.22にUSB機能割り込みクリアレジスタの構成を示します。

USB機能割り込み許可レジスタ

USB機能割り込み要求要因を設定するためのレジスタです。

許可ビットを“1”にセットした割り込みの要求が発生すると、USB機能割り込み要求が発生します。

図2.8.23にUSB機能割り込み許可レジスタの構成を示します。

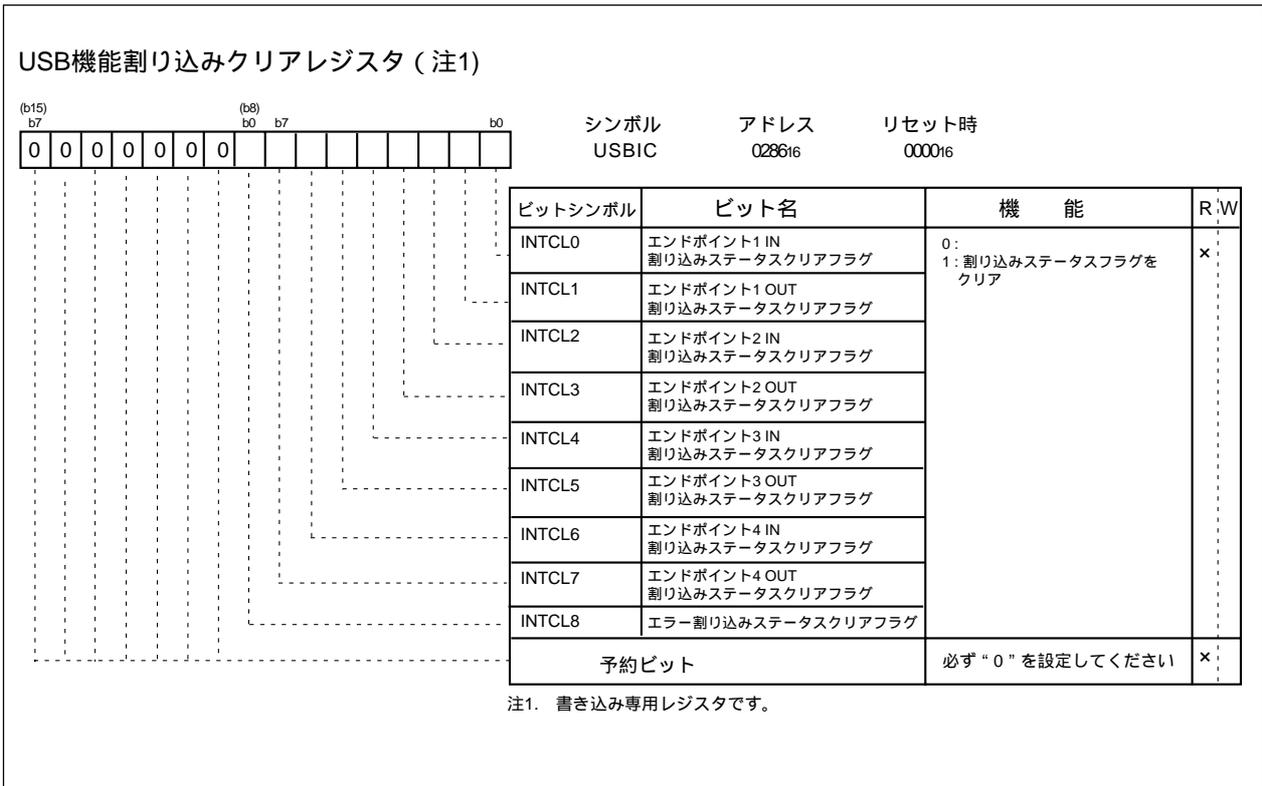


図2.8.22. USB機能割り込みクリアレジスタの構成

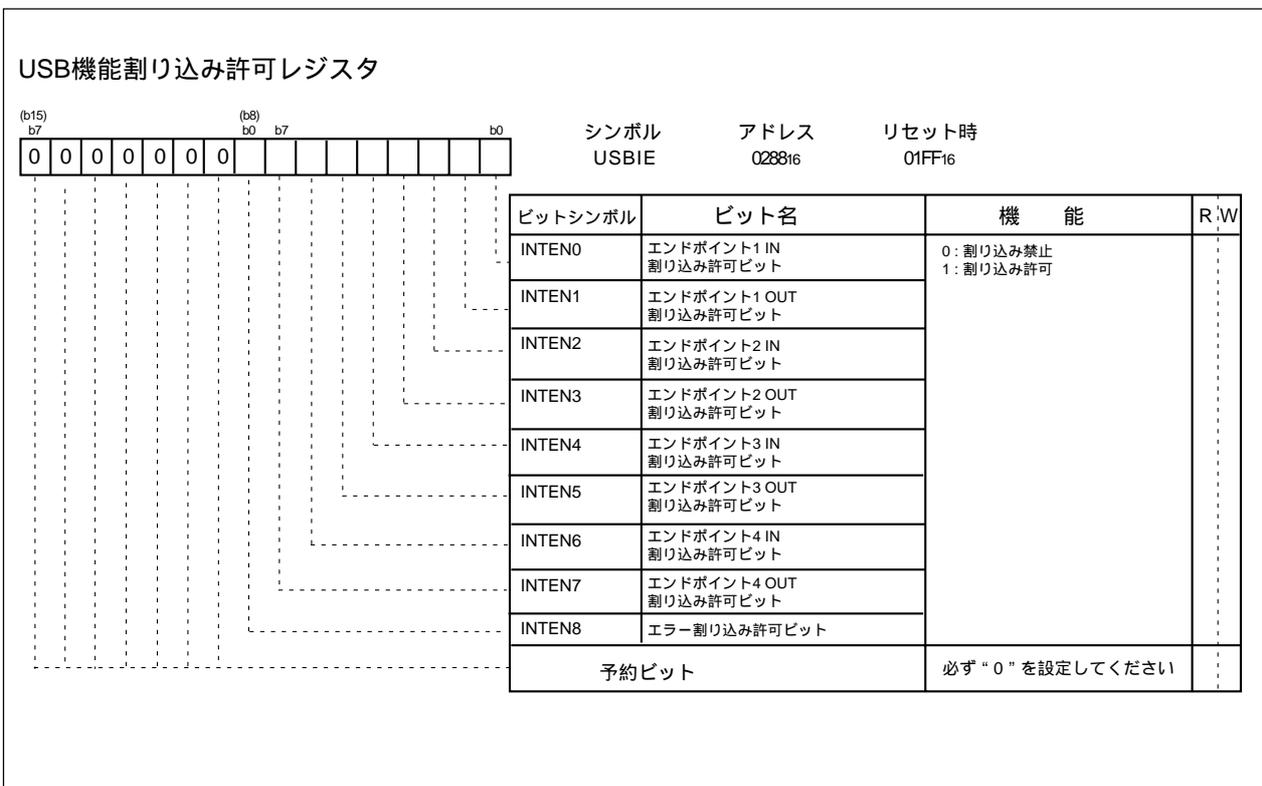


図2.8.23. USB機能割り込み許可レジスタの構成

USBフレームナンバーレジスタ

ホストCPUから受信したSOFトークンのフレームナンバーを格納する11ビットのレジスタです。読み出し専用レジスタです。

図2.8.24にUSBフレームナンバーレジスタの構成を示します。

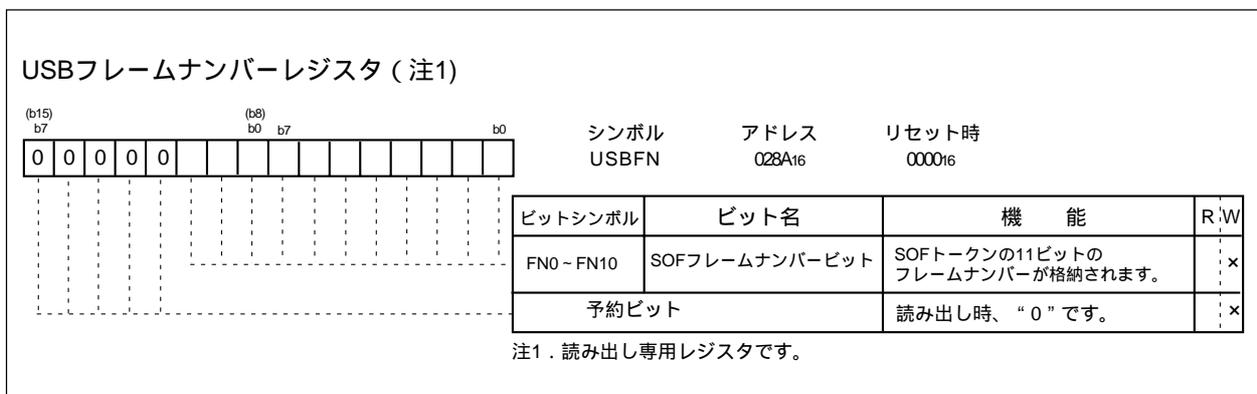


図2.8.24. USBフレームナンバーレジスタの構成

(2) USBエンドポイント0割り込み

エンドポイント0割り込みは、エンドポイント0のデータ送受信完了時に割り込み要求が発生します。USBエンドポイント0割り込み制御レジスタ(EP0IC: 004616番地)で割り込み優先レベルを設定してください。以下のいずれかの要因により、EP0ICの割り込み要求ビットが“1”にセットされ、USBエンドポイント0割り込みが発生します。

- ・データ受信完了
- ・データ送信完了
- ・EP0CSレジスタのDATA_ENDビットが“0”にクリアされたとき
- ・EP0CSレジスタのSETUP_ENDフラグが“1”にセットされたとき

エンドポイント0割り込み要因のマスク機能

USBエンドポイント0制御/ステータスレジスタのDATA_END_MASKビットを設定することにより、DATA_ENDフラグのクリアをエンドポイント0割り込み要因とするか、しないかを制御できます。リセット時、DATA_ENDフラグのクリアをマスクします(DATA_ENDフラグのクリアは、エンドポイント0割り込み要因にはなりません)。

(3) USB機能割り込み

USB機能割り込みには、エンドポイント $x(x=1\sim 4)$ IN割り込み、エンドポイント $x(x=1\sim 4)$ OUT割り込み、エラー割り込みがあります。データの送受信終了、オーバラン/アンダーランなどのエラー発生時に割り込み要求が発生し、USB機能割り込みステータスレジスタ内の割り込み要求要因となったステータスフラグが“1”にセットされます。USB機能割り込みを使用する場合は、USB機能割り込み制御レジスタ(005D₁₆番地)で割り込み優先レベルを、USB機能割り込み許可レジスタの対応するビットを“1”に設定してください。

USB機能割り込みは、複数の割り込み要求要因があります。従って、USB機能割り込み処理中に新しく割り込み要求が発生して、割り込みステータスフラグが変化する可能性があります。USB機能割り込み処理を行う場合は、最初に割り込みステータスレジスタの内容の退避とステータスフラグのクリアを行い、その後退避したデータ値をもとに割り込み処理受付時に発生した割り込み要求処理を行ってください。

エンドポイント $x(x=1\sim 4)$ IN割り込み

エンドポイント $x(x=1\sim 4)$ IN割り込みは、USB機能割り込みステータスレジスタの対応するエンドポイントのUSBエンドポイント x IN割り込みステータスフラグ(INTST0,2,4,6)が“1”のとき、割り込み要求が発生します。INTST2,4,6,8は、次のいずれかの場合に“1”にセットされます。

- ・ USBエンドポイント許可レジスタ(USBEPEN:028E₁₆番地)の対応するビットが“1”にセットされた時(エンドポイントが禁止状態から、許可された時)
- ・ 1データ送信完了時
- ・ IN FIFOに1、又は2パケットデータが存在する時、ハードウェアのオートフラッシュが実行されたか、又は対応するUSBエンドポイント x IN制御/ステータスレジスタ(EPxICS:029E₁₆, 02A4₁₆, 02AA₁₆, 02B0₁₆番地)のFLUSHビットに“1”をセットした時
- ・ コントロールRead転送の最後のACKが破損した場合

エンドポイント $x(x=1\sim 4)$ OUT割り込み

エンドポイント $x(x=1\sim 4)$ OUT割り込みは、USB機能割り込みステータスレジスタの対応するエンドポイントのUSBエンドポイント x OUT割り込みステータスフラグ(INTST1,3,5,7)が“1”のとき、割り込み要求が発生します。INTST1,3,5,7は、対応するエンドポイントにおいてデータ受信完了したとき、“1”にセットされます。

エラー割り込み

エラー割り込みは、USB機能割り込みステータスレジスタのエラー割り込みステータスフラグ(INTST8)が“1”のとき、割り込み要求が発生します。INTST8は、以下のいずれかの場合に“1”にセットされます。

- ・ エンドポイント0制御/ステータスレジスタ(EP0CS)のFORCE_STALLフラグが“1”
- ・ EP0CSのSETUP_ENDフラグが“1”
- ・ USBエンドポイント x IN制御/ステータスレジスタ(EPxICS: 029E₁₆, 02A4₁₆, 02AA₁₆, 02B0₁₆番地)のUNDER_RUNフラグが“1”(アイソクロナス転送として使用しているいずれかのINエンドポイントにおいてFIFOへのデータ書き込みが遅れ、アンダーランが発生)
- ・ USBエンドポイント x OUT制御/ステータスレジスタ(EPxOCS: 02B6₁₆, 02BE₁₆, 02C6₁₆, 02CE₁₆番地)のOVER_RUNフラグが“1”(アイソクロナス転送として使用しているいずれかのOUTエンドポイントにおいて、FIFOからのデータの読み出しが遅れ、オーバランが発生)
- ・ EPxOCSのFORCE_STALLフラグが“1”
- ・ EPxOCSのDATA_ERRフラグが“1”

(4) USB リセット割り込み

USBリセット割り込みは、USBリセットの検出に使用する割り込みです。USBファンクション制御ユニットがホストCPUからのリセット信号を受信(少なくともD+/D-ラインにSE0を2.5 μ s間検出したときに発生します。この時、すべてのUSB内部レジスタはリセット時の状態になります。通信を再開するには、各エンドポイントの初期設定が必要です。

USBリセット割り込みを使用する場合は、USBリセット割り込み制御レジスタ(RSTIC: 005A₁₆番地)で割り込み優先レベルを設定してください。

(5) USBサスペンド割り込み

USBサスペンド割り込みは、USBバスラインの非アクティビティ検出に使用する割り込みです。USBファンクション制御ユニットがUSBバスラインにサスペンド信号を検出したとき(少なくともD+/D-ライン上に3ms間アクティビティが検出されない状態)、USBパワー制御レジスタ(USBPM: 0282₁₆番地)のサスペンドステータスフラグがセットされ、同時にUSBサスペンド割り込みが発生します。

USBサスペンド割り込みを使用する場合は、USBサスペンド割り込み制御レジスタ(SUSPIC: 0056₁₆番地)で割り込み優先レベルを設定してください。

(6) USBレジューム割り込み

USBレジューム割り込みは、デバイスがサスペンド状態にあるときに、USBバスラインのアクティビティ検出に使用する割り込みです。USBファンクション制御ユニットがUSBバスラインにレジューム信号を受信(D+/D-ライン上にアクティビティを検出した時、割り込み要求が発生し、USBレジューム割り込み制御レジスタ(RSMIC: 0058₁₆番地)のレジューム割り込み要求ビットが“1”になり、USBレジューム割り込みが発生します。

USBレジューム割り込みを使用する場合は、RSMICで割り込み優先レベルを設定してください。

(7) USB SOF(スタート・オブ・フレーム)割り込み

USB SOF割り込みは、アイソクロナス転送の制御に有効な割り込みです。有効なSOF PIDを検出すると、SOFパケットを受信したとして割り込み要求が発生します。ホストから受け取ったSOFパケットのフレームナンバー(11ビット)は、フレームナンバーレジスタに自動的に格納されます。

アイソクロナス転送時、USB制御レジスタのUSB SOFポート選択ビットを“1”にすることにより、P92を $\overline{\text{SOF}}$ 出力端子として使用できません(P92を出力に設定してください)。ホストからSOF信号を受信するたびに、約166ns(12MHzUSB クロックの2周期)間“L”をP92から出力します。

USB SOF割り込みを使用する場合は、USB SOF割り込み制御レジスタ(SOFIC: 005B₁₆番地)で割り込み優先レベルを設定してください。

Artificial SOF機能

ホストPCからのSOFパケットが何らかの要因で破壊され、前のフレーム開始から1ms経過しても有効なSOFパケットを受信しなかった場合に、擬似SOF受信動作を行います(USB SOF割り込み要求も発生します)。これにより、SOFパケットが何らかの要因で破壊された場合も次のSOFパケットを待つことなく、新しいフレームを形成することが可能です。擬似SOF受信動作は、有効なSOFパケットを2回受信した後、1回機能します。Artificial SOF機能を許可するためにはUSB ISO制御レジスタ(USBISOC: 028C₁₆番地)のArtificial SOF許可ビットを“1”にセットしてください。

(8) USB機能割り込みルーチン例

USB機能割り込みは、データのフロー制御に使用する割り込みです。データの送受信終了、オーバラン/アンダーラン発生時に割り込み要求が発生します。USB機能割り込みを使用する場合は、USB機能割り込み制御レジスタ(005D16番地)で割り込み優先レベルを、USB機能割り込み許可レジスタの対応するビットを“1”に設定してください。

関連レジスタを図2.8.25に、USB機能割り込みルーチン例を図2.8.26に示します。

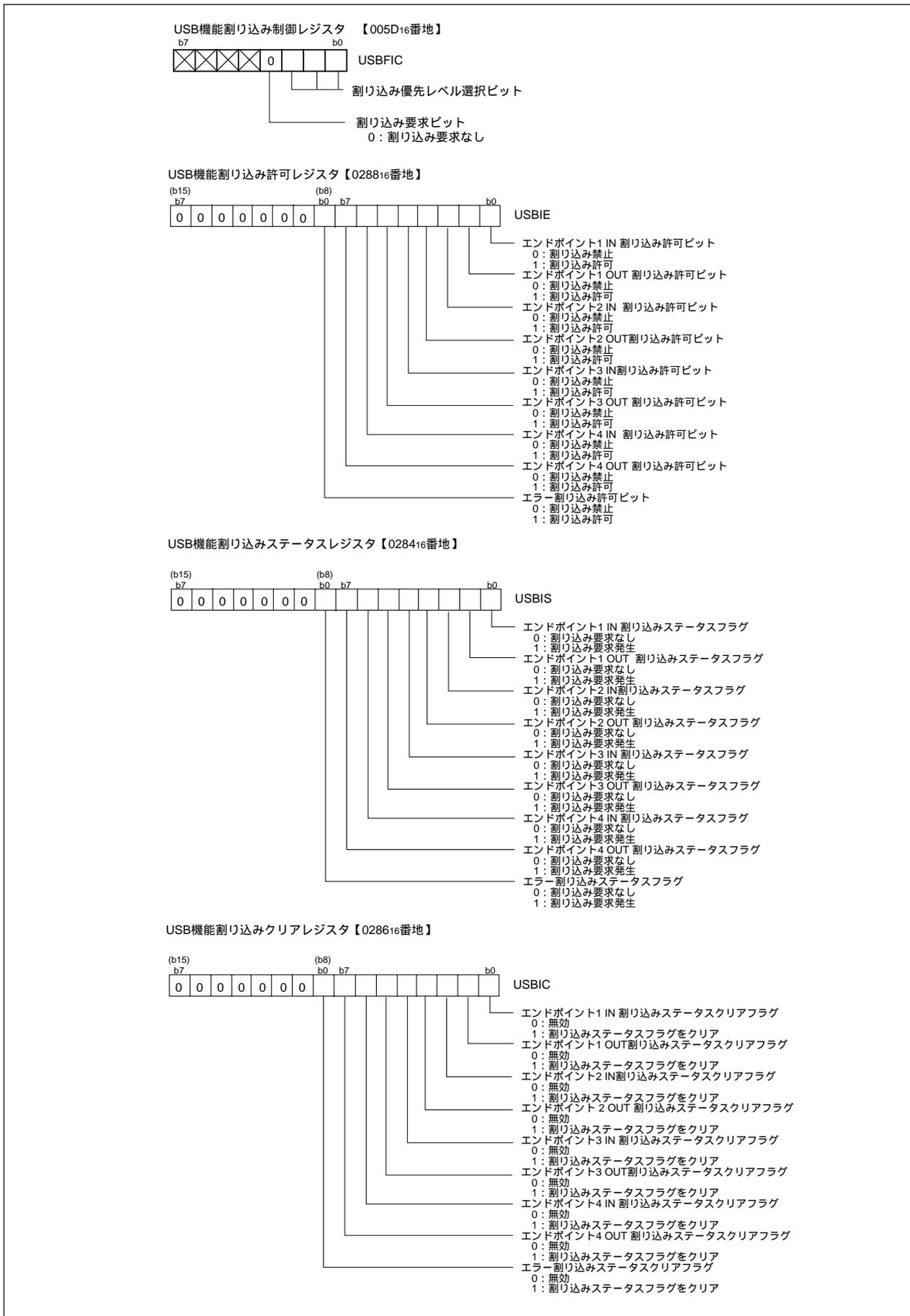


図2.8.25. USB機能割り込み関連レジスタ

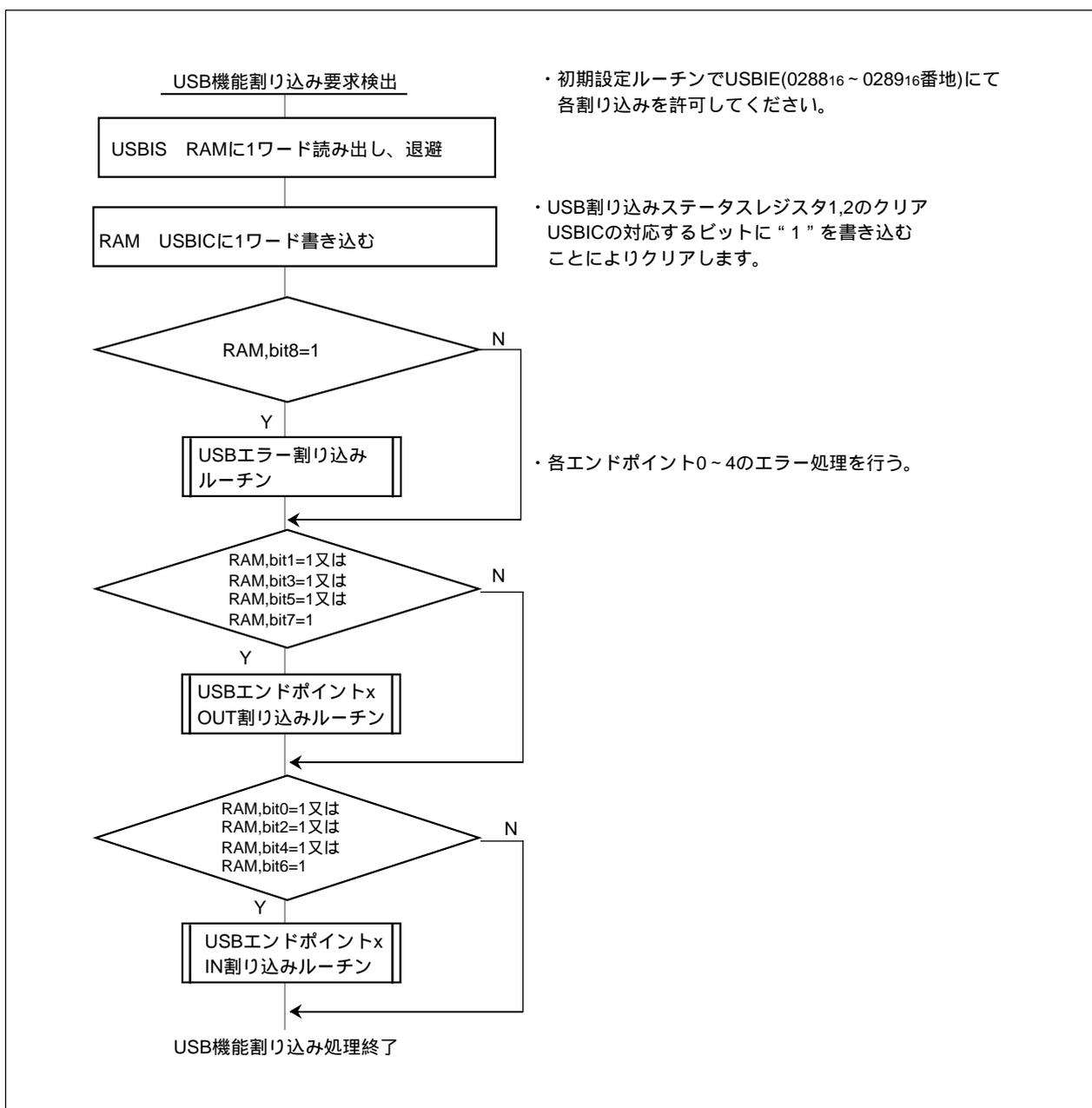


図2.8.26. USB機能割り込み処理例

2.8.4 USBの動作（サスペンド/レジューム機能）

USBデバイスは、電源投入ステート後にホストCPUからサスペンド信号を受信すると、電源制御を行いサスペンド状態へとステートを移行させます。そして、ホストCPUからレジューム信号を受信（リモートウェイクアップの場合は、ホストCPUへレジューム信号を送信）することで、サスペンド状態へ移行する前のステートへと復帰し、USB通信を再開させます。

本項では、USBファンクション制御ユニットを許可した状態でのM30245グループのサスペンド状態への移行制御/レジューム時の復帰制御について説明します。

(1) 関連レジスタ

USBパワー制御レジスタ

USBファンクション制御ユニットがサスペンド/レジューム制御に使用するレジスタです。

USBサスペンドステータスフラグ

USBのD+/D-ラインに少なくとも3ms間アクティビティを検出しなかったとき、USBサスペンドステータスフラグがセットされ、同時にUSBサスペンド割り込み要求が発生します。このフラグは、次の場合に自動的にクリアされます。

- ・ USBのD+/D-ラインにホストCPUからのアクティブな信号を検出したとき（レジューム信号を受信し、同時にUSBレジューム割り込み要求が発生したとき）。
- ・ ホストCPUへレジューム信号を送信終了したとき（USBリモートウェイクアップビットを“1”にセットした後、レジューム信号送信停止するために“0”にクリアしたとき）。

また、サスペンドモード時でUSBクロックを禁止した場合、再度USBクロックを許可するまでこのフラグはクリアされません。

USBリモートウェイクアップビット

USBサスペンド信号ステータスフラグが“1”のとき、USBリモートウェイクアップビットを“1”にしている間、USBファンクション制御ユニットはホストCPUへレジューム信号を送信します。

USBサスペンド状態にあるときに、ホストCPUへレジューム信号を送信して前のステートへと復帰（リモートウェイクアップ）する場合、USBリモートウェイクアップビットを“1”にします。このビットを最低1ms～最大15ms間“1”に保持した後、“0”にクリアしてレジューム信号送信を終了してください。

図2.8.27にUSBパワー制御レジスタの構成を示します。

(2) USBサスペンド機能

ホストCPUからサスペンド信号を受信すると(D+/D-ライン上に3ms間アクティビティがない場合)、M30245グループは、USBパワー制御レジスタ(0282₁₆番地)のUSBサスペンドステータスフラグ(SUSPEND)を“1”にセットし、USBサスペンド割り込み要求を発生させます。

USBサスペンド状態へ移行する場合は、次の手順でUSBファンクション制御ユニットを制御してください。なお、周波数シンセサイザ制御レジスタ(03DC₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)の変更には、プロテクトレジスタ(000A₁₆番地)の対応するビットを解除する必要があります。

USBサスペンドモード制御

- 1: USB制御レジスタのUSBクロック許可ビットを“0”にする。USBクロックが禁止状態の間は、USB内部レジスタ(USBC,USBAD,周波数シンセサイザ関連レジスタを除く)への書き込みは禁止です。
- 2: バス電源動作時、ローパワーデバイスとして動作している場合、総駆動電流を500 μA以下(ホストCPUよりハイパワーデバイスとしてリモートウエイクアップが許可されている場合は、2.5mA以下)に減少するように制御する(サスペンド時のパワー制御についての詳細は、USB2.0仕様を参照してください)。
- 3: 周波数シンセサイザ制御レジスタの周波数シンセサイザ許可ビットを“0”にする。
- 4: USBサスペンド状態からの復帰割り込みを設定する。USBレジューム割り込み制御レジスタ(0058₁₆番地)を設定する(リモートウエイクアップが許可されている場合は、リモートウエイクアップに使用する周辺機能の割り込み制御レジスタを許可する)。
- 5: Iフラグを“1”に設定する。
- 6: 全クロック停止制御ビット(CM1のビット0)を“1”に設定し、システムクロックを停止させる。
- 7: バス電源動作時、USBサスペンド状態からの復帰に使用しない割り込みを禁止するなど低消費電力モードの設定をした後、低消費電力モードを実行する。

注．デバイスがセルフパワー動作時には、上記制御は必要ありません。

(3) USBレジューム機能

USBサスペンド状態からの復帰手順

USBサスペンド状態からの復帰は、ホストからのレジューム信号受信によるUSBレジューム割り込み、または、ホストへのレジューム信号を送信するためのリモートウェイクアップ用の割り込みで行います。

レジューム割り込みによる復帰

USBサスペンド状態にあるときにホストCPUからレジューム信号を受信すると(サスペンド検出状態でD+/D-ライン上にアクティビティを検出した場合)、USBレジューム割り込み要求が発生し、USBレジューム割り込み制御レジスタ(0058₁₆番地)の割り込み要求ビットが“1”になります。USBクロックが動作している場合、この時点でUSBサスペンドステータスフラグは自動的に“0”になります。

USBレジューム割り込みでサスペンド状態から復帰する場合、次の手順で行ってください。

1. USBファンクション制御ユニットの復帰(次頁を参照してください)。
2. 必要に応じて他の機能を許可する。

リモートウェイクアップによる復帰

USBサスペンド状態にあるときに、リモートウェイクアップ割り込み(USBレジューム割り込み以外)でクロック動作が開始した場合、次の手順でホストCPUへレジューム信号を送信してください。

1. USBファンクション制御ユニットの復帰(次頁を参照してください)。
2. USBリモートウェイクアップビットを“1”にし、ホストCPUへレジューム信号を送信する。(最短1ms - 最長15ms間“1”を保持。)
3. USBリモートウェイクアップビットを“0”にし、ホストCPUへレジューム信号を送信終了する。このとき、USBサスペンドステータスフラグが自動的にクリアされる。

また、ストップモードから復帰した場合は、メインクロック分周比が8分周モードとなっているので再設定する必要があります。十分な発振安定時間を待った後、システムクロック制御レジスタ0(0006₁₆番地)のメインクロック分周比選択ビットを再設定してください(詳細は、第1章ハードウェアの「クロック発生回路」を参照してください)。

USBファンクション制御ユニットの復帰手順

USBサスペンド状態から元のステートに復帰する場合、次の手順でUSBファンクション制御ユニットの復帰制御を行ってください。

なお、周波数シンセサイザ制御レジスタ(03DC16番地)の変更には、プロテクトレジスタ(000A16番地)のビットを解除する必要があります。

1. 周波数シンセサイザ制御レジスタの周波数シンセサイザ許可ビットを“1”にする。
2. 3msウエイトする。
3. 周波数シンセサイザ制御レジスタの周波数シンセサイザロック状態ビットが“1”であるかチェックする。このビットが“0”の場合、0.1msウエイトした後、再チェックしてください。このビットが“1”になるまで再チェックを繰り返してください。
4. USB制御レジスタのUSBクロック許可ビットを“1”にする。

サスペンドモード時にUSBクロックが禁止状態の間は、USB 内部レジスタ(USBC,USBAD,周波数シンセサイザ関連レジスタを除く)への書き込みは禁止です。

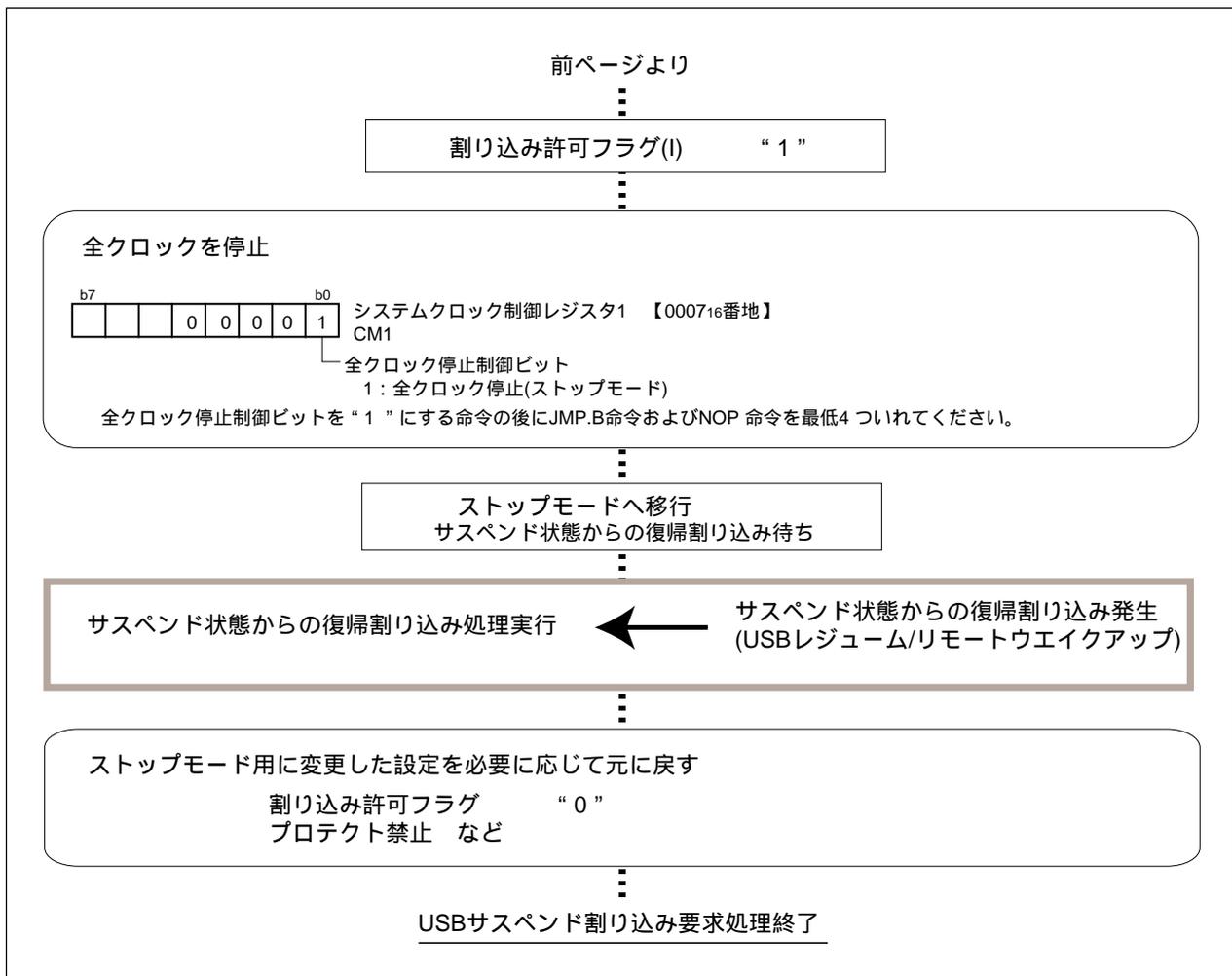


図2.8.29. USBサスペンド割り込み要求処理例(2)

(5) USBレジューム割り込み要求処理例

サスペンドモード中にホストCPUからレジューム信号を受信すると(サスペンド検出状態でD+/D-ライン上にアクティビティを検出した場合)、USBレジューム割り込み要求が発生します。この時点でUSBサスペンドステータスフラグは自動的に“0”になります。

図2.8.30にUSBレジューム割り込み要求処理例を示します。

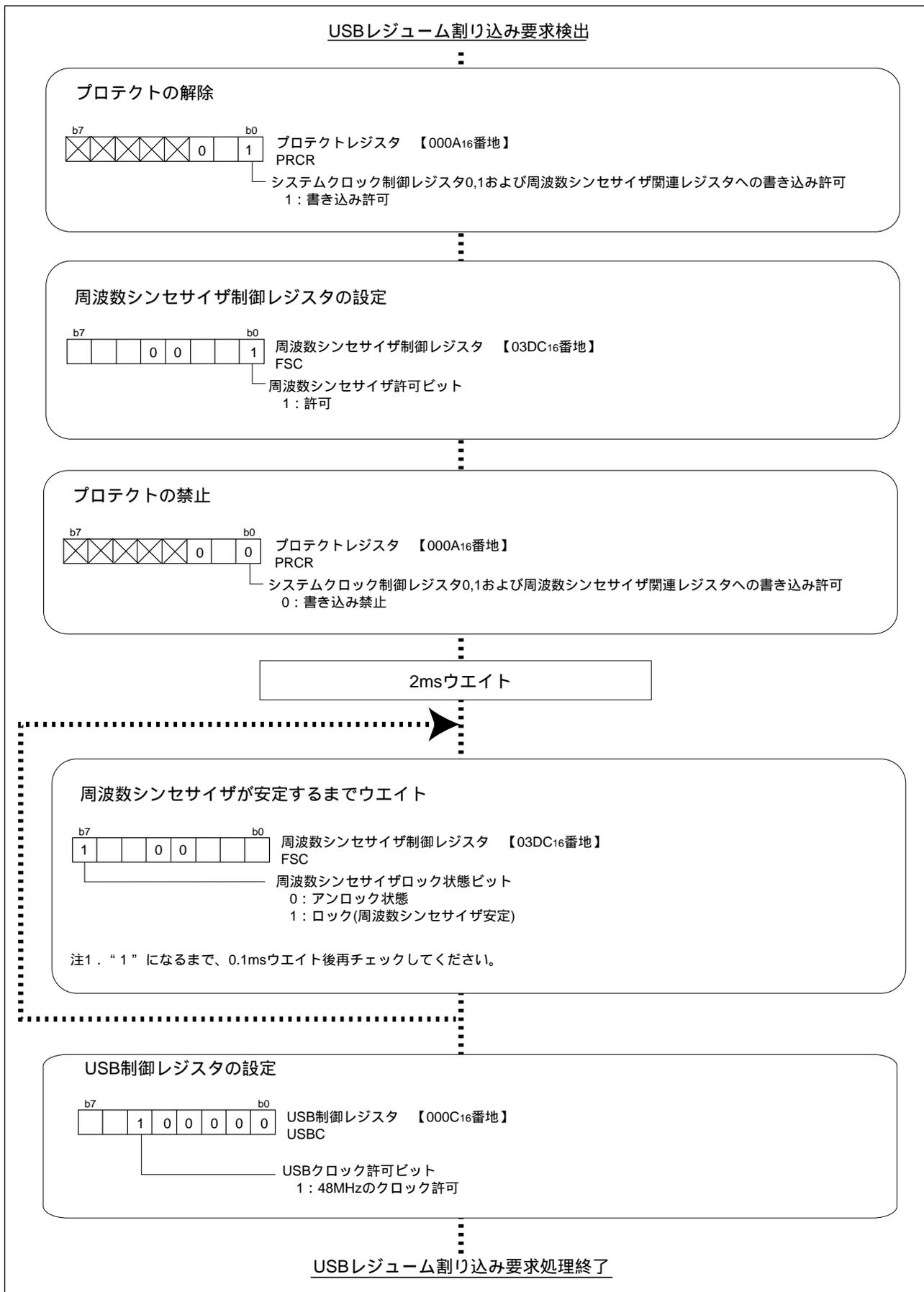


図2.8.30. USBレジューム割り込み要求処理例

2.8.5 USBの動作 (エンドポイント0)

エンドポイント0は、コントロール転送のみに使用します。

エンドポイント0 FIFO は、独立してIN (送信) FIFOとOUT (受信) FIFOを128バイトずつ、合計256バイトです。開始位置は、エンドポイントFIFOの3072 バイト目から3327 バイト目までに配置されます。エンドポイント0 FIFOサイズと開始位置は固定です。使用するFIFOサイズはUSBエンドポイント0最大パケットサイズによって決ります。

ホストCPUよりパケットデータを受信すると、エンドポイント0 OUT FIFO に書き込まれます。OUT FIFOに既にデータがあるときにホストCPUよりデータ受信要求があった場合は、自動的にNAK応答します。ホストCPUへパケットデータを送信するときは、エンドポイント0 IN FIFO へ書き込みます。IN FIFO にデータを書き込む前にホストCPUよりデータ送信要求があった場合は、自動的にNAK応答します。連続転送を許可することにより、より高速に送信/受信できます。

コントロール転送中にエラーを検出すると自動的にSTALL応答し、エラーの検出報告をします。エンドポイント0通信のステータスを元に、ホストCPUより受信したデバイスリクエストに応じて、データの送信/受信制御を行います。

(1) 関連レジスタ

USBアドレスレジスタ

ホストCPUから割り当てられた7ビットのUSBファンクション制御ユニットの自己アドレスを保持します。M30245のUSBファンクション制御ユニットは、このレジスタで保持されているアドレスのトークンパケットに応答します。

USBファンクション制御ユニットが初期状態やホストCPUよりリセット信号を受信したとき、このレジスタの値はデフォルトアドレス“0000₁₆”です。USBブロックを禁止(USB制御レジスタのビット7を“0”)にしたときも、このレジスタは“0000₁₆”になります。

ホストCPUよりSET_ADDRESSリクエストを受信したら、USBアドレスレジスタを書き換え、自己アドレスを更新してください。

USBアドレスレジスタの書き換えは、次の手順で行ってください。

デバイスがデフォルトステート(USBアドレスレジスタ値が“0000₁₆”)の場合

- 1: ホストCPUよりSET_ADDRESSリクエスト受信時、USBアドレスレジスタに新しい自己アドレスデータを格納してください。
- 2: SET_ADDRESSリクエストのステータスフェーズが完了すると、USBアドレスレジスタは1:で書き込んだアドレスに自動的に書きかわります。ステータスフェーズが正常に終了しない場合、USBアドレスレジスタは書きかわりません。

デバイスがアドレスステート(USBアドレスレジスタ値が“0000₁₆”以外)の場合

- 1: ホストCPUよりSET_ADDRESSリクエスト受信時、SET_ADDRESSリクエストのステータスフェーズが完了するのを確認します。
- 2: USBアドレスレジスタに新しい自己アドレスデータを格納します。USBアドレスレジスタが新しい自己アドレスデータに書きかわります。

図2.8.31にUSBアドレスレジスタを示します。

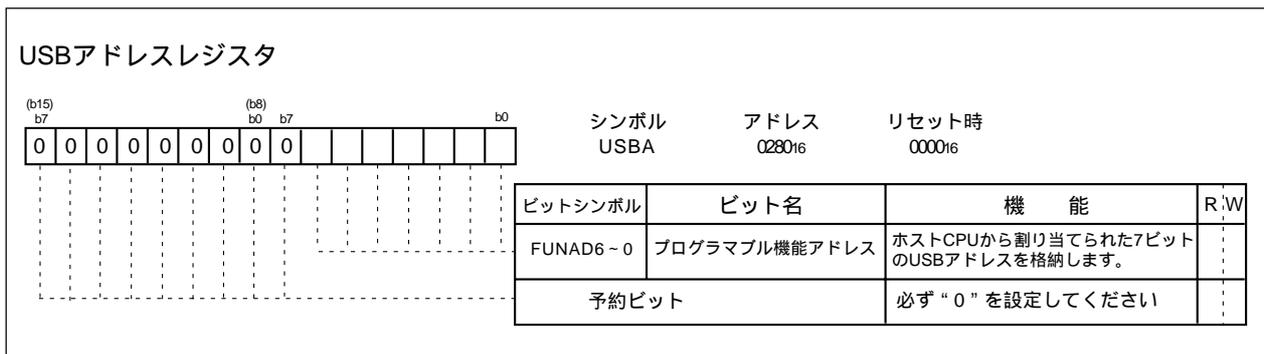


図2.8.31. USBアドレスレジスタの構成

USBエンドポイント0制御/ステータスレジスタ

エンドポイント0の制御情報とステータス情報に関するビットで構成されています。

OUT_BUF_RDYフラグ

OUT FIFOのステータスを表示するフラグです。

OUT_BUF_RDYフラグは以下の場合“1”にセットされます。

- ・SETUPパケットを受信したとき
- ・データフェーズ中、ホストから1データパケット受信したとき

OUT FIFOを読み出した後で、CLR_OUT_BUF_RDYビットを“1”にセットすることにより、OUT_BUF_RDYフラグを“0”にしてください。

IN_BUF_RDYフラグ

IN FIFOのステータスを表示するフラグです。

このフラグが“1”のとき、ホストCPUへ送信するデータがFIFOにあることを示します。

IN FIFOのデータ送信終了時、又はSETUP_ENDフラグが“1”になったとき、このフラグは“0”にクリアされます。

SETUPフラグ

ホストCPUからSETUPパケットを受信した時、“1”にセットされます。この時、OUT_BUF_RDYフラグも“1”にセットされます。CLR_SETUPビットに“1”をセットすることによりこのフラグはクリアされます。

DATA_ENDフラグ

コントロール転送のステータスフェーズ制御を示すフラグです。

ステータスフェーズ開始後、又は、新しいSETUPパケットを受信した時、このフラグは自動的に“0”になります。

DATA_END_MASKビットが“1”(リセット時)の時、DATA_ENDフラグは常に“0”となり、DATA_ENDフラグが“0”クリアされることによるエンドポイント0割り込み要因は発生しません。

FORCE_STALLフラグ

コントロール転送中のエラー発生を示すフラグです。

このフラグは下記の条件のうちいずれか1つでも発生した場合、エラー報告のために“1”にセットされます。

- ・SETUPステージのないINトークンを受信
- ・STATUSステージで不正なデータトグルを受信(DATA0が使用される)
- ・SETUPステージで不正なデータトグルを受信(DATA1が使用される)
- ・SETUPステージで指定された以上のデータを要求される(DATA_ENDフラグがセットされた後にINトークンを受信)

- ・ SETUPステージで指定された以上のデータを受信(DATA_ENDがセットされた後にOUTトークンを受信)
 - ・ USBエンドポイント0最大パケットサイズレジスタに設定した値を超えるデータを受信
- SETUPステージにおける不正データトグルの場合を除き、上記の条件が発生したとき、問題のIN/OUTトークンに対してSTALLを送信します。SETUPステージの不正なデータトグルの場合、SETUPステージに対してACKを返し次のIN/OUTトークンに対してSTALLを返します。上記条件により発生するSTALLハンドシェークは、1つのトランザクションに対して送信され、動作中のコントロール転送を終了させます。STALLハンドシェーク後のパケットは、新しいコントロール転送の始まりとしてみなされます。CLR_FORCE_STALLビットに“1”を書き込むことにより、このフラグを“0”にしてください。

SETUP_ENDフラグ

コントロール転送中の中断を示すフラグです。以下のいずれかが発生した場合、このフラグは“1”にセットされます。

- ・ データフェーズ処理中にセットアップフェーズで設定したデータサイズの転送が終了(DATA_ENDフラグがセットされる前にステータスフェーズが開始)した場合
- ・ ステータスフェーズが終了する前に新しいSETUPパケットを受信した場合

このフラグが“1”のとき、ホストCPUへの送信データがある場合は、IN_BUF_RDYビットが“0”にクリアされてIN FIFOのデータが破棄されます。FIFOへのアクセスを中止し、それ以前のセットアップ処理をしてください。

また、SETUP_ENDフラグが“1”にセットされた直後に新しいSETUPパケットを受信(データフェーズやステータスフェーズを完了する前に次の新しいSETUPパケットを受信)した場合、SETUP_ENDフラグのほかに、SETUPフラグとOUT_BUF_RDYフラグも“1”にセットされ、OUT FIFOに新しいSETUPパケットデータがあることを示します。

CLR_SETUP_ENDビットに“1”を書き込むことにより、このフラグを“0”にしてください。

CLR_OUT_BUF_RDYビット

OUT_BUF_RDYフラグをクリアする為の制御ビットです。

OUT FIFOからデータパケットを読み出し終了後、このビットを“1”にセットしてください。このビットに“1”を書き込むと、OUT_BUF_RDYフラグが“0”にクリアされます。

SETUPトークンの受信によりOUT_BUF_RDYフラグが“1”のとき、USBファンクション制御ユニットはホストCPUからのデータリクエストに対してNAK応答します。

ホストCPUからのリクエストデータのデコードが完了するまでは、このビットを“1”にセット(OUT_BUF_RDYフラグを“0”に)しないでください。

SET_IN_BUF_RDYビット

IN_BUF_RDYフラグを“1”にセットする為の制御ビットです。

USBファンクション制御ユニットへ1バッファデータの書き込み終了を知らせます。

IN FIFOへデータパケットを書き込み終了後、このビットを“1”にセットしてください。このビットに“1”を書き込むと、IN_BUF_RDYフラグが“1”にセットされます。

CLR_SETUPビット

SETUPフラグをクリアする為の制御ビットです。

SETUPパケットのデコードが完了したら、このビットを“1”にセットしてください。このビットに“1”を書き込むと、SETUPフラグが“0”にクリアされます。

SET_DATA_ENDビット

DATA_ENDフラグを“1”にセットする為の制御ビットです。

INデータフェーズにおいてIN FIFOへ最後のデータを書き込んだとき、又は、OUTデータフェーズにおいてOUT FIFOから最後のデータを読み込んだ場合に、このビットに“1”をセットしてください。このビットを“1”にセットすると、DATA_ENDフラグが“1”にセットされます。この時、同時にCLR_OUT_BUF_RDYビット、又は、SET_IN_BUF_RDYビットを“1”にセットしてください。セットアップフェーズで設定したデータ量の処理が終了した事をUSBファンクション制御ユニットへ知らせ、ステータスフェーズ処理へ移ります。

CLR_FORCE_STALLビット

FORCE_STALLフラグをクリアする為の制御ビットです。

このビットに“1”を書き込むと、FORCE_STALLフラグが“0”にクリアされます。

SEND_STALLビット

ホストCPUへのSTALL応答を制御するビットです。

ホストCPUから無効なリクエストを受信したときなどにSTALL応答する場合、

CLR_OUT_BUF_RDYビットを“1”にセットすると同時にこのビットを“1”にしてください。

このビットが“1”の時、USBファンクション制御ユニットは、すべてのIN/OUTトランザクションに対してSTALLハンドシェークをホストCPUへ送信します。新しく有効なSETUPパケットを受信したら、このビットに“0”を書き込むことによりクリアしてください。

DATA_END_MASKビット

DATA_ENDフラグのクリアをエンドポイント0割り込み要因とするか、しないかを制御するビットです。

このビットが“1”のとき、DATA_ENDフラグのクリアは、エンドポイント0割り込み要因にはなりません。リセット時、このビットは“1”です。

図2.8.32にUSBエンドポイント0制御/ステータスレジスタの構成を示します。

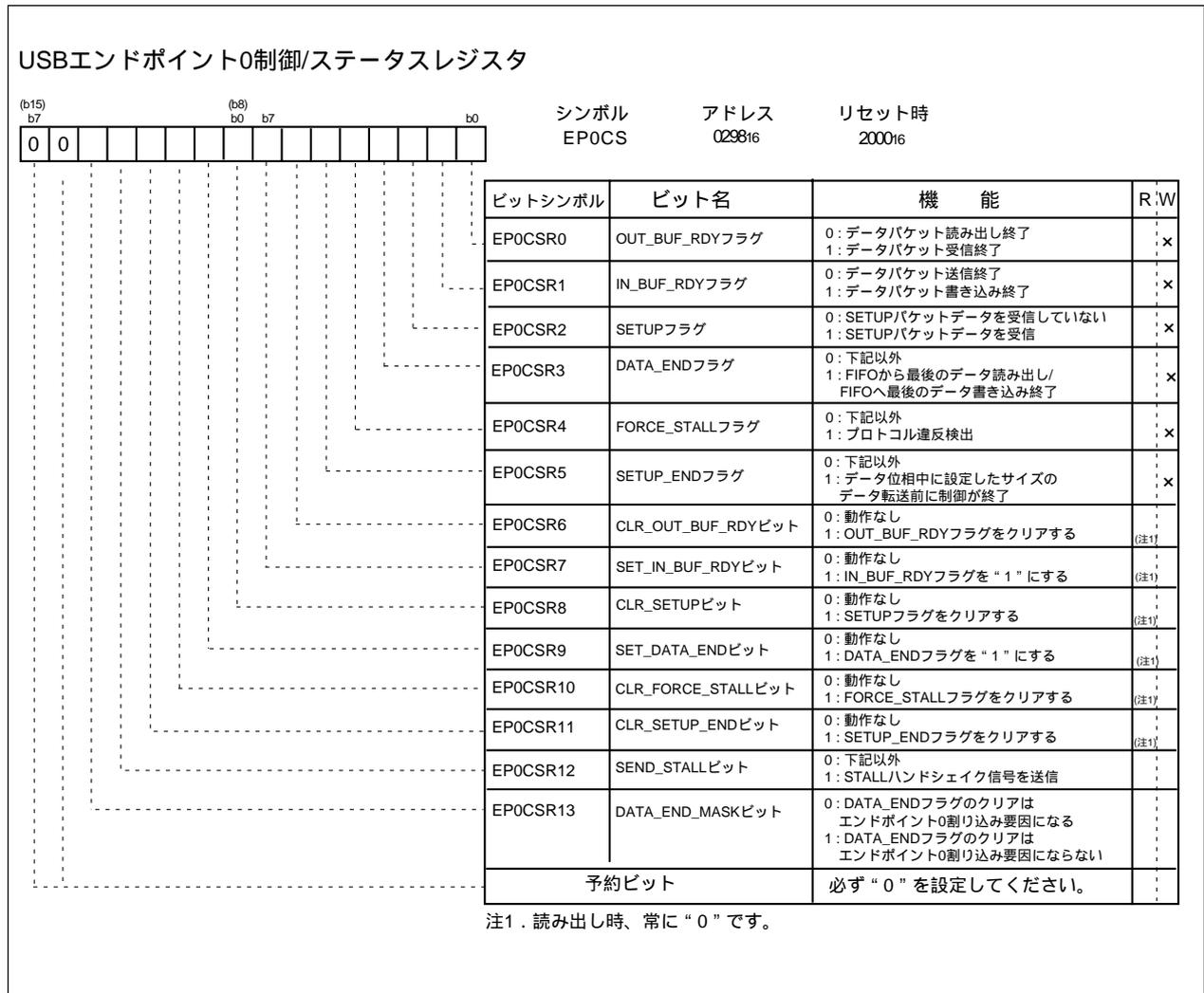


図2.8.32. USBエンドポイント0制御/ステータスレジスタの構成

USBエンドポイント0最大パケットサイズレジスタ

エンドポイント0のIN/OUT最大パケットサイズを示します。

ホストCPU からGET_DESCRIPTOR リクエスト実行時、このレジスタへ書き込んでエンドポイント0のIN/OUT最大パケットサイズ値を変更してください。コントロール転送で規定されているパケットサイズ値（8,16,32バイト）を設定してください。初期値は8バイトです。

図2.8.33にUSBエンドポイント0最大パケットサイズレジスタの構成を示します。

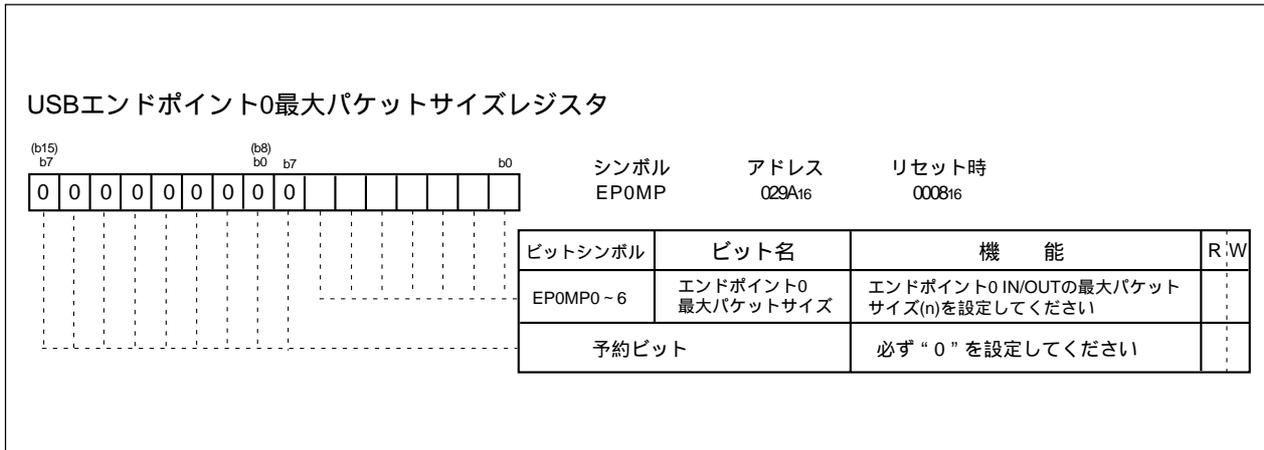


図2.8.33. USBエンドポイント0最大パケットサイズレジスタの構成

USB エンドポイント0 OUT 書き込みカウントレジスタ

エンドポイント0 OUT FIFOに書き込まれた1バッファデータのバイト数を保持するレジスタです。USBファンクション制御ユニットはホストCPUからのデータパケット受信完了時、このレジスタの値を設定します。1バッファデータ受信完了したら、このレジスタを読み出し、OUT FIFOから読み出すデータのバイト数を決定してください。このレジスタの値は、OUT FIFOからデータを読み出してもデクリメントされません。EP0CSRのCLR_OUT_BUF_RDYビットを“1”にセットすると、このレジスタの値は“0”にクリアされます。

図2.8.34にUSBエンドポイント0 OUT書き込みカウントレジスタの構成を示します。

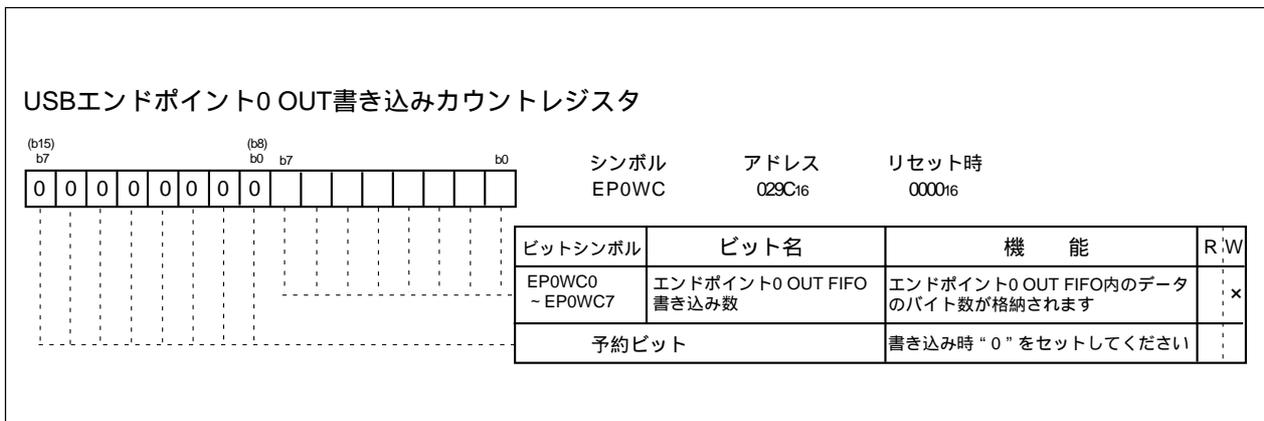


図2.8.34. USBエンドポイント0 OUT書き込みカウントレジスタの構成

(2) コントロール転送：エンドポイント0受信

エンドポイント0では、セットアップステージまたはコントロールライトによるデータステージにおいて、ホストCPUよりパケットデータを受信します。有効なSETUPパケット又はデータパケットの受信が終了すると、SETUPフラグ及びOUT_BUF_RDYフラグが自動的に“1”にセットされ、受信データ数がUSBエンドポイント0 OUT書き込みカウントレジスタ(029C16番地)へ設定されます。受信したバイト数だけエンドポイント0 OUT FIFOよりデータを読み出してください。OUT FIFOから1バイトデータを読み出す毎に内部ライトポインタがワードアクセス時では2、バイトアクセス時では1、自動的にデクリメントされます。内部ライトポインタの値は読み出せません。

OUT FIFOからのデータ読み出しが終了したら、CLR_OUT_BUF_RDYビットとSET_DATA_ENDビットに“1”を同時に書き込んでください(SETUPパケット受信時は、CLR_SETUPビットを“1”にセットし、SETUPフラグをクリアする必要があります)。これによりOUT_BUF_RDYフラグがクリアされ、DATA_ENDフラグが“1”にセットされます。

USBファンクションユニットは、DATA_ENDフラグが“1”になるとステータスフェーズ処理へと進みます。ステータスフェーズが完了すると、DATA_ENDフラグは“0”にクリアされます。

コントロール転送のステージの管理はソフトウェアで行ってください。

SETUPパケット受信時、連続受信モード許可ビットの設定に関係なくUSBエンドポイント0割り込みが発生します(OUT_BUF_RDYフラグとSETUPフラグが“1”にセットされます)。

1)パケットデータ受信手順例

- 1: OUT FIFOに1パケットデータ受信していることを確認する。
- 2: 受信したパケットデータ数をエンドポイント0 OUT書き込みカウントレジスタより読み出す。
OUT FIFOから読み出すデータ数を決定する。
- 3: 上記2:で決定した数だけ、OUT FIFOよりデータを読み出す。受信したデータを解析するときには、読み出したデータを元に次に進むステージや動作を決定する。
- 4: CLR_OUT_BUF_RDYビットを“1”にセットすることにより、OUT_BUF_RDYフラグをクリアして受信1パケット取り出し完了とし、次のステージ管理を行う。このとき、SETUPパケットを受信した場合は、CLR_SETUPビットを“1”にしてSETUPフラグもクリアする。
 - ・次に受信、または送信するデータが無くステータスステージへと移る場合は、CLR_OUT_BUF_RDYビット(SETUPパケットの場合はCLR_SETUPビットも)とSET_DATA_ENDビットの“1”セットを同時に行う。
 - ・次のトークンに対してSTALL応答する場合は、CLR_OUT_BUF_RDYビット(SETUPパケットの場合はCLR_SETUPビットも)とSEND_STALLビットの“1”セットを同時に行う。
 - ・SEND_STALLビットセット後の新しい有効なSETUPパケットを受信した場合は、SEND_STALLビットをクリアし、CLR_OUT_BUF_RDYビット(SETUPパケットの場合はCLR_SETUPビットも)を“1”にセットする。

(3) コントロール転送：エンドポイント0送信

エンドポイント0では、セットアップステージでの受信リクエスト解析処理が終了した後に、コントロールリードによるデータステージにおいて、ホストCPUへパケットデータを送信します。

送信する1パケットデータをIN FIFOへ書き込んでください。IN FIFOへ1バイトデータを書き込む毎に内部ライトポインタは、ワードアクセス時では2、バイトアクセス時では1、自動的にインクリメントします。内部ライトポインタの内容は読み出せません。IN FIFOへのデータ書き込みが終了したら、SET_IN_BUF_RDYビットを“1”にセットしてIN_BUF_EDYフラグを“1”にしてください。空のパケット（データ長0のパケット）を送信する場合は、IN FIFOへデータを書き込まずSET_IN_BUF_RDYビットを“1”にセットします。

この時点で1パケット送信準備が整い、USBファンクション制御ユニットは次のINトークンでパケットデータを送信します。

IN_BUF_RDYフラグは、ホストCPUへ1パケットデータ送信完了（ACKを受信）したとき、又は、SETUP_ENDフラグが“1”になったときに自動的に“0”になります。最後のデータパケットをIN FIFOへ書き込んだ場合は、SET_IN_BUF_RDYビットを“1”にセットすると同時にSET_DATA_ENDビットを“1”にしてください。IN_BUF_RDYフラグが“1”に、DATA_ENDフラグが“1”にセットされます。最後のデータパケットを送信完了した後、USBファンクション制御ユニットは、DATA_ENDフラグが“1”になるとステータスフェーズ処理へと進みます。ステータスフェーズが完了すると、DATA_ENDフラグは“0”にクリアされます。

コントロール転送のステージの管理はソフトウェアで行ってください。

1パケットデータ送信手順例

- 1: データステージの2パケット以降のデータを書き込む前に、IN FIFOにパケットデータが無いこと（IN_BUF_RDYフラグが“0”）を確認する。
- 2: SETUPステージで指定された数に基づき、IN FIFOへデータを書き込む。
空のパケット（データ長0のパケット）を送信する場合は、IN FIFOへデータを書き込まない。
次に進むステージや動作を決定する。
- 3: SET_IN_BUF_RDYビットを“1”にセットして1パケット送信準備を完了し、次のステージ管理を行う。
 - ・次に送信するデータが無くステータスステージへと移る場合は、SET_IN_BUF_RDYビットセットとSET_DATA_ENDビットセットを同時に行う。
 - ・次に空パケットを送信する場合は、SET_IN_BUF_RDYビットを“1”にセットし、送信処理を継続する。

(4) コントロール転送：標準デバイスリクエストの受信例

コントロール転送にはセットアップステージ、データステージおよびステータスステージがあります。データステージにおいて書き込み転送、読みとり転送又はデータなし転送のうち、どの転送を行うかはセットアップステージで取得されたセットアップデータの内容で決まります。

SET_ADDRESSリクエストとGET_CONFIGURATIONリクエストの受信処理手順例を示します。

SET_ADDRESSリクエスト受信時、USB アドレスレジスタの書き換えは、次の手順で行ってください。

デバイスがデフォルトステート(USB アドレスレジスタ値が“0”)の場合

- 1: ホストよりSET_ADDRESS リクエスト受信時、USB アドレスレジスタに新しい自己アドレスデータを格納してください。
- 2: SET_ADDRESS リクエストのステータスフェーズが完了すると、1:で書き込んだアドレスに書き替わります。ステータスフェーズが正常に終了しない場合、アドレスは書きかわりません。

デバイスがアドレスステート(USB アドレスレジスタ値が“0”以外)の場合

- 1: ホストよりSET_ADDRESS リクエスト受信時、SET_ADDRESS リクエストのステータスフェーズが完了するのを確認します。
- 2: USB アドレスレジスタに新しい自己アドレスデータを格納します。

USBファンクション制御ユニットは、後続のすべてのデバイスアクセスに、このアドレスを使用します。

SET_ADDRESSリクエストの構成を図2.8.35に、SET_ADDRESSリクエストのデバイスアドレス取得処理手順例を図2.8.36、図2.8.37に、GET_CONFIGURATIONリクエストのデバイス構成値の通知処理手順例を図2.8.38、図2.8.39に示します。

これらの処理はエンドポイント0割り込み処理に記述してください。

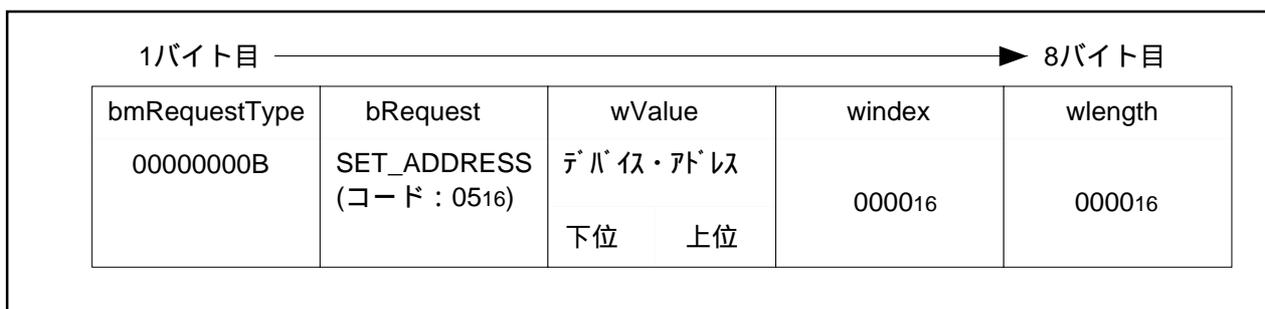


図2.8.35. SET_ADDRESSリクエストの構成

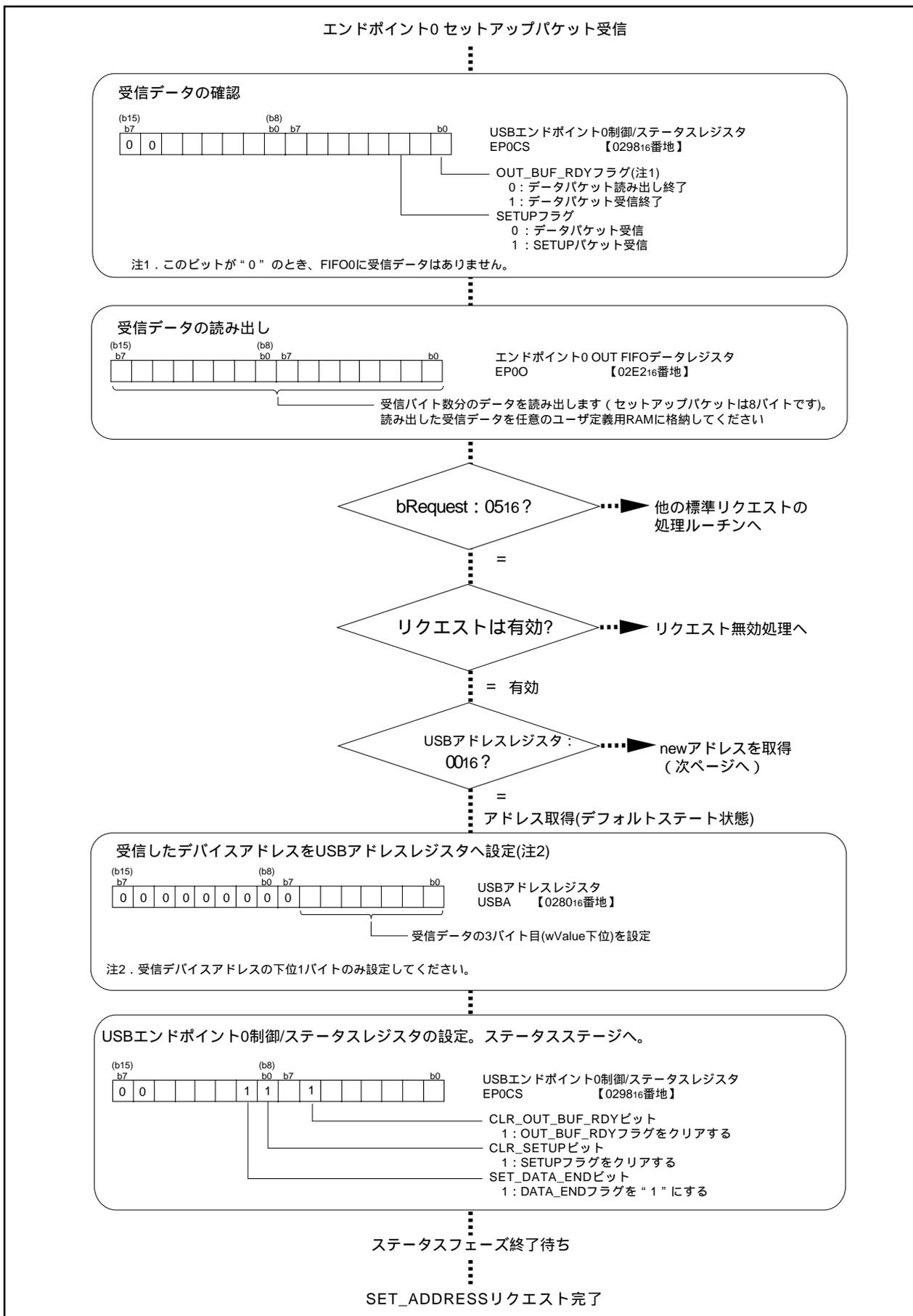


図2.8.36. SET_ADDRESSリクエストのデバイスアドレス取得処理手順例1

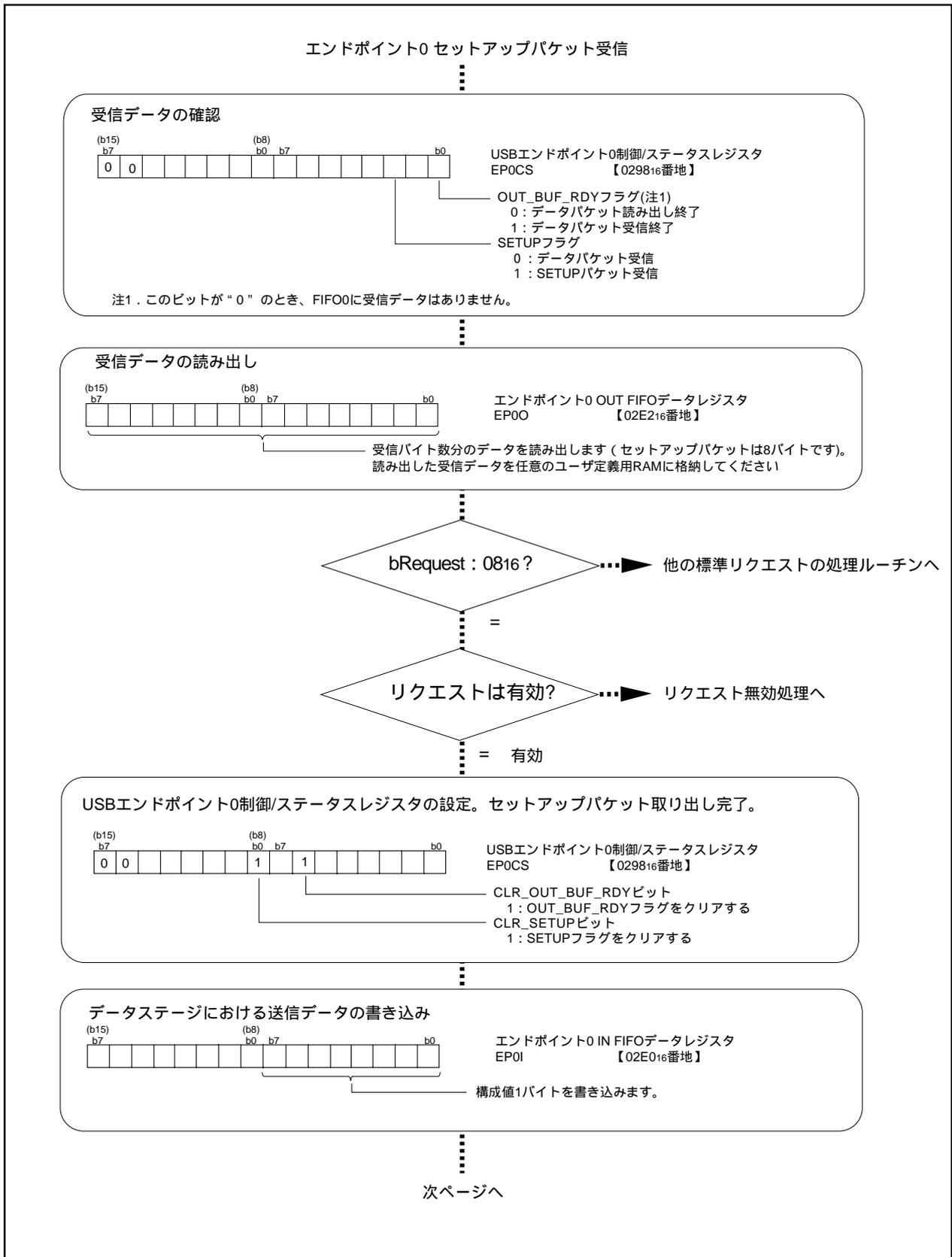


図2.8.38. GET_CONFIGURATIONリクエストのデバイス構成値通知処理手順例1

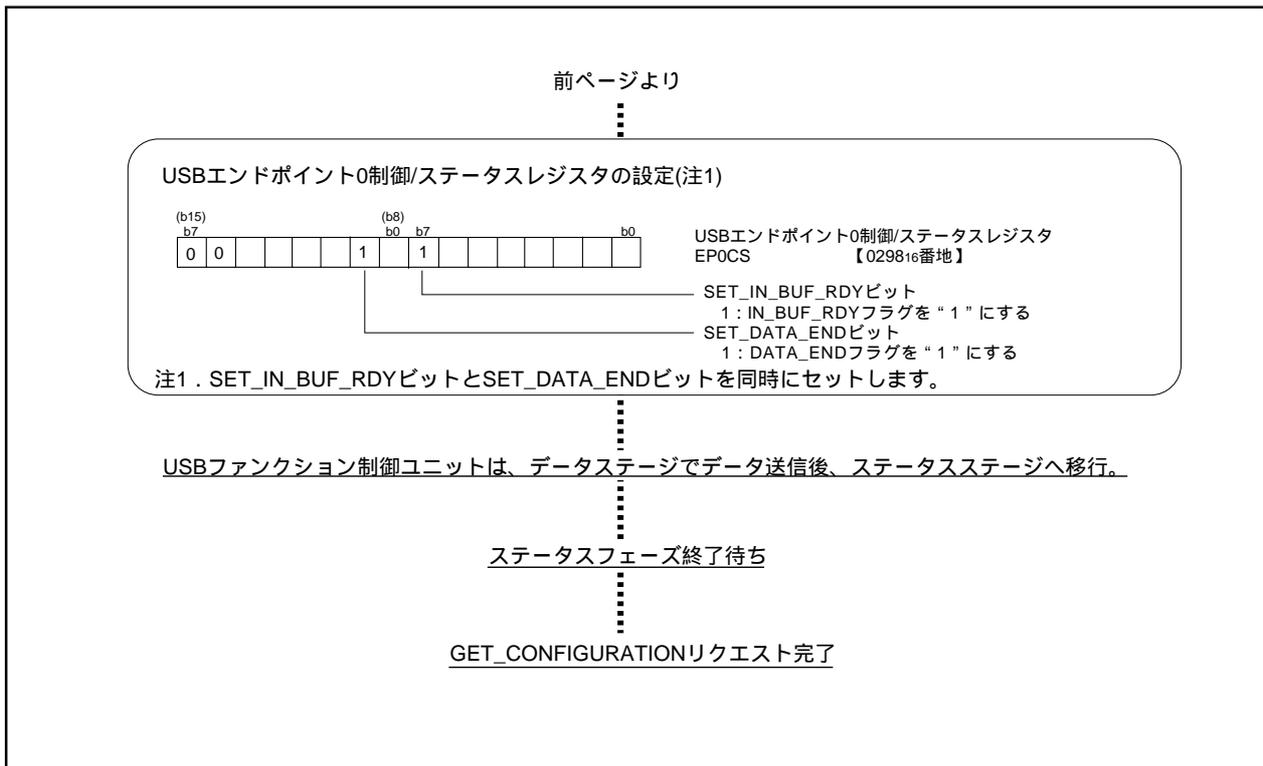


図2.8.39. GET_CONFIGURATIONリクエストのデバイス構成値通知処理手順例2

2.8.6 USBの動作（エンドポイント1～4受信）

エンドポイント1～4は、アイソクロナス転送、バルク転送、インタラプト転送のエンドポイントとして使用できます。

エンドポイント1～4のFIFOは、独立してIN（送信）FIFOとOUT（受信）FIFOを持ちます。エンドポイント1～4 OUTを使用する場合は、USBエンドポイント許可レジスタ(028E₁₆番地)により、各エンドポイントのOUT FIFOを許可してください。各エンドポイント(x=1～4) OUTのFIFOサイズとFIFO開始ロケーション(64バイトごと)はユーザシステムに応じて設定できます。1つのエンドポイントに対してOUT FIFOのバッファサイズは64バイト単位で最高1024バイトまで設定できます。ダブルバッファモードを許可すると、設定したバッファサイズの2倍がOUT FIFOとして使用できます。FIFOサイズ、FIFO開始ロケーション、ダブルバッファモード許可は、USBエンドポイントx OUT FIFOコンフィグレーションレジスタ(EPxOFC)で設定してください。

ホストCPUから1バッファデータを受信すると、エンドポイントx OUT FIFO にデータが書き込まれ、受信パケットデータ数がエンドポイントx OUT 書き込みカウントレジスタに格納されます。既にデータが書き込まれOUT FIFO が受信できないときにホストCPUよりデータ受信要求があった場合は、バルク転送、インタラプト転送では自動的にNAKを送信し、アイソクロナス転送ではオーバランが発生して、パケットデータを受信しません。

エンドポイント1～4OUTの通信ステータスを元に、ホストCPUからのデータ受信制御を行います。エンドポイント1～4のデフォルトは、バルク転送です。その他の転送モードを使用する場合は、各エンドポイントの初期化が必要です。

エンドポイント1～4の受信には、下記の機能が選択できます。

連続受信モード

より高速にホストPCからデータ受信するための機能です。エンドポイント1～4 OUTバルク転送でのみ設定できます。EPxOFCの連続転送モード許可ビットを“1”にセットすることにより、連続受信モードを許可します。USB ファンクション制御ユニットは、ホストPCから受信したデータをUSBエンドポイントx OUT最大パケットサイズレジスタ(EPxOMP)に設定した最大パケットサイズずつ順にOUT FIFOに書き込みます(最後の1パケットがEPxOMPに設定したサイズより小さい場合は、ショートパケットとして受信します)。

連続受信モード許可時、バッファサイズがEPxOMPの整数倍の値である必要があります。また、ホストPCからの受信データがバッファサイズと同じであるか、ショートパケットを含むかユーザシステムで把握しておく必要があります。

AUTO_CLR機能

OUT FIFOから受信データを読み出すと、CLR_OUT_BUF_RDYビットを“1”にセットすることなくOUT_BUF_STS0フラグとOUT_BUF_STS1フラグが更新されます。EPxOCSのAUTO_CLRビットを“1”にセットすることにより、AUTO_CLR機能が許可されます。AUTO_CLR機能は、エンドポイント1～4 OUTの連続受信モード時、連続受信モード禁止時共に使用することができます(エンドポイント0では使用できません)。

(1) 関連レジスタ

USBエンドポイントx(x=1~4) OUT制御/ステータスレジスタ

OUT_BUF_STS1, OUT_BUF_STS0フラグ

これら2つのフラグはOUT FIFOの状態を表示します。

ホストPCからの受信データの読み出し時、OUT FIFOの状態を確認するためにこれらのフラグを読み出してください。OUT_BUF_STS1フラグ、OUT_BUF_STS0フラグが“002”の場合、OUT FIFOにデータはありません。“102”の場合、ダブルバッファ時で1バッファデータのみ存在することを示します(シングルバッファ時、無効)。“112”の場合、シングルバッファ時は1バッファデータ存在、ダブルバッファ時は2バッファデータ存在することを示します。

“012”は無効です。

これらのフラグは、以下のいずれかが発生すると更新されます。

- ・ホストから有効な1バッファデータ受信完了したとき
- ・OUT FIFOから1バッファデータを取り出し終了したとき
OUT FIFOから1受信データを読み出し終了後、CLR_OUT_BUF_RDYビットを“1”にセットしたとき(AUTO_CLR機能許可時にはCLR_OUT_BUF_RDYビットを“1”にセットすることなく、これらのフラグは更新されます)。
- ・OUT FIFOのバッファデータが破棄されたとき(FLUSHビットを“1”にセットしたとき)

OVER_RUNフラグ

アイソクロナス転送におけるオーバラン発生を示すフラグです。アイソクロナス転送時のみ有効なビットです。ホストCPUからのOUTトークン開始時にOUT FIFOが空いておらず受信できないとき、オーバランが発生したとして、このビットが“1”になります。

CLR_OVER_RUNビットに“1”を書き込むことによりこのフラグをクリアしてください。

FORCE_STALLフラグ

パケットサイズエラー発生を示すフラグです。

ホストCPUからUSBエンドポイントx OUT最大パケットサイズレジスタの値を超えるサイズのデータパケットが送信された時、“1”になります。このビットが“1”の間、USBファンクション制御ユニットはパケットデータを受信しません。また、バルク転送であれば、ホストCPUへSTALLハンドシェイクを送信します。CLR_FORCE_STALLビットに“1”を書き込むことによりこのフラグをクリアしてください。

DATA_ERRフラグ

アイソクロナス転送におけるデータエラーを示すフラグです。アイソクロナス転送時のみ有効なビットです。受信したパケットにCRCエラー、又はビットスタッフィングエラーを検出したとき、“1”になります。CLR_DATA_ERRビットに“1”を書き込むことによりこのフラグをクリアしてください。

CLR_OUT_BUF_RDYビット

OUT FIFOの制御ビットです。OUT FIFOから受信1バッファデータを読み出した後、このビットを“1”にセットしてください。1バッファデータの取り出し終了がUSBファンクション制御ユニットへ通知され、同時にOUT_BUF_STS0, OUT_BUF_STS1フラグが更新されます。AUTO_CLR機能許可時には、このビットをセットする必要はありません。

CLR_OVER_RUNビット

このビットを“1”にセットすると、OVER_RUNフラグが“0”にクリアされます。

CLR_FORCE_STALLビット

このビットを“1”にセットすると、FORCE_STALLフラグが“0”にクリアされます。

CLR_DATA_ERRビット

このビットを“1”にセットすると、DATA_ERRフラグが“0”にクリアされます。

TOGGLE_INITビット

バルク/インタラプト転送時、データグルシーケンスビットの初期化を行うビットです。このビットを“1”にセットすると、ホストCPUから受信する次のパケットのPIDがDATA0になります。コンフィグレーション時などにホストCPUからデータグルシーケンスの初期化を要求されたとき、OUTエンドポイント通信を開始する前にTOGGLE_INITビットをセットし、PIDをDATA0に初期化してください。

このとき、OUT FIFOの内部リード/ライトカウンタも初期化されます。このビットは、PIDの初期化が終わると自動的に“0”にクリアされます。

FLUSHビット

OUT FIFOのパケット制御を行うビットです。

このビットを“1”にセットすると、OUT FIFOに受信した1バッファデータを破棄します。

- ・OUT FIFOに1バッファデータがある時、OUT FIFOは空になります。
このとき、OUT_BUF_STS1, OUT_BUF_STS0フラグは“112”(“102”)から“002”に更新されます。
- ・2バッファデータがOUT FIFO内にある場合、古い方のデータを破棄します。
このとき、OUT_BUF_STS1, OUT_BUF_STS0フラグは“112”から“102”に更新されます(もう1バッファデータがOUT FIFOに残っていることを示す)。

USB転送中にこのビットを“1”にすると受信データが破壊される可能性があります。OUT_BUF_STS1, OUT_BUF_STS0フラグを読み出し、OUT FIFOにデータが存在することを確認してから、このビットを“1”にセットしてください。

1バッファデータの破棄が完了すると、このビットは自動的に“0”にクリアされます。

ISOビット

エンドポイントをアイソクロナス転送で使用する時、このビットを“1”にセットしてください。バルク/インタラプト転送で使用するときは、このビットを“0”にしてください。

SEND_STALLビット

バルク転送/インタラプト転送時、ホストCPUへのSTALL応答を制御するビットです。OUTエンドポイントがSTALL状態にあるとき、このビットを“1”にしてください。このビットが“1”の間、USBファンクション制御ユニットは、全てのOUTトランザクションに対してSTALLハンドシェイクをホストCPUへ送信します。OUTエンドポイントがSTALL状態から復帰したら、このビットに“0”を書き込むことによりクリアしてください。OUTエンドポイントの通信を再開します。

AUTO_CLRビット

CLR_OUT_BUF_RDYビットセット制御を行うビットです。

このビットが“1”のとき、OUT FIFOより受信1バッファデータが読み出されると、CLR_OUT_BUF_RDYビットに“1”をセットすることなく自動的にOUT_BUF_STS1, OUT_BUF_STS0フラグが更新されます。このビットが“0”のとき、OUT FIFOより受信1バッファデータ取り出し終了において、ソフトウェアでCLR_OUT_BUF_RDYビットを“1”にセットする必要があります。

図2.8.40にUSBエンドポイントx OUT制御/ステータスレジスタの構成を示します。

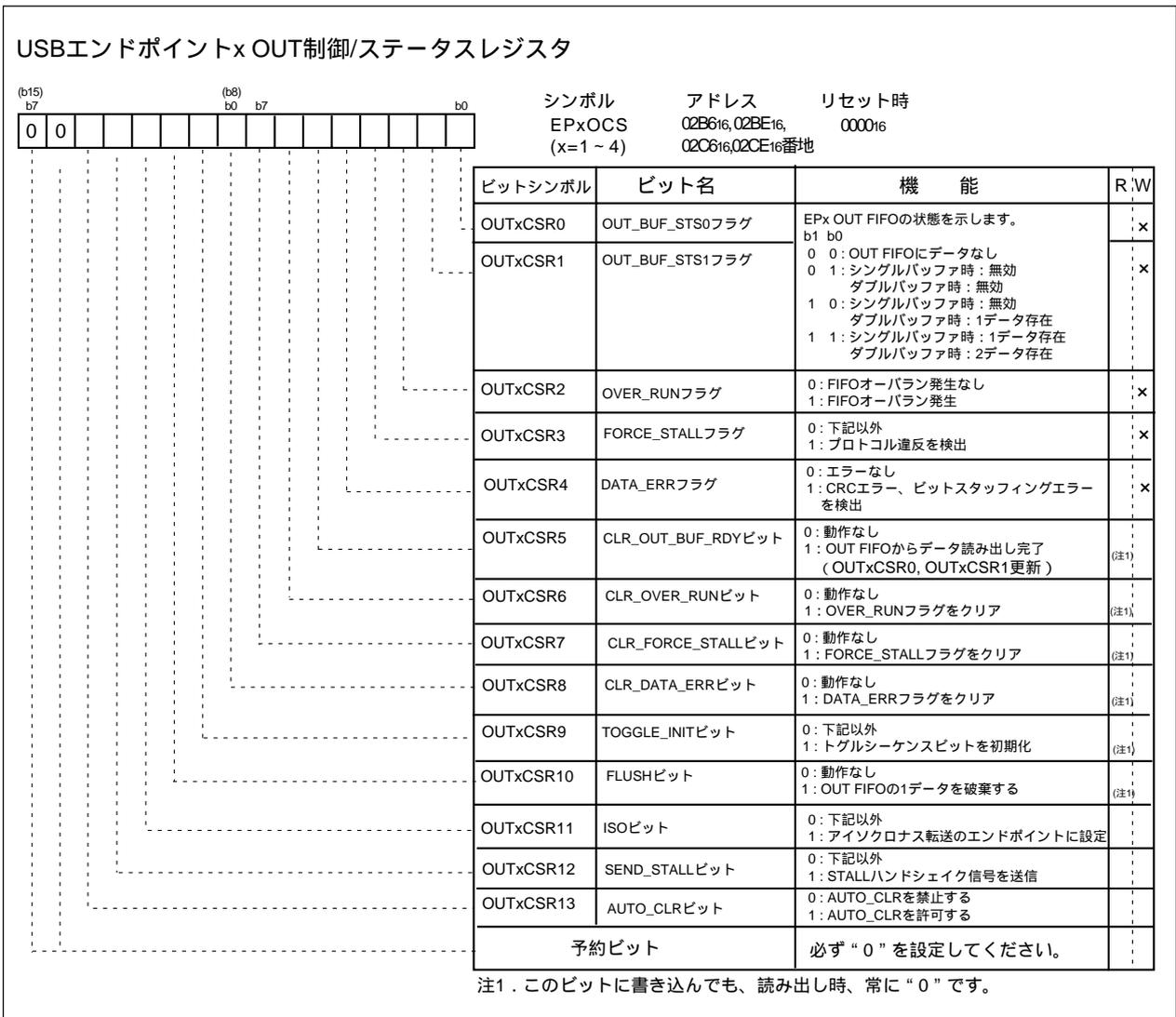


図2.8.40. USBエンドポイントx(x=1~4) OUT制御/ステータスレジスタの構成

USBエンドポイントx(x=1~4) OUT最大パケットサイズレジスタ

エンドポイントx(1~4) OUTの最大パケットサイズを示します。初期値は0バイトです。ホストCPUよりエンドポイントを設定するリクエスト (SET_DESCRIPTOR, SET_CONFIGURATION, SET_INTERFACEなど) を受信した等の理由によりエンドポイントを初期化する場合、このレジスタへ書き込んでエンドポイントx OUTの最大パケットサイズ値を変更します。使用する転送タイプで規定されているパケットサイズ値を設定してください。

図2.8.41にUSBエンドポイントx OUT最大パケットサイズレジスタの構成を示します。

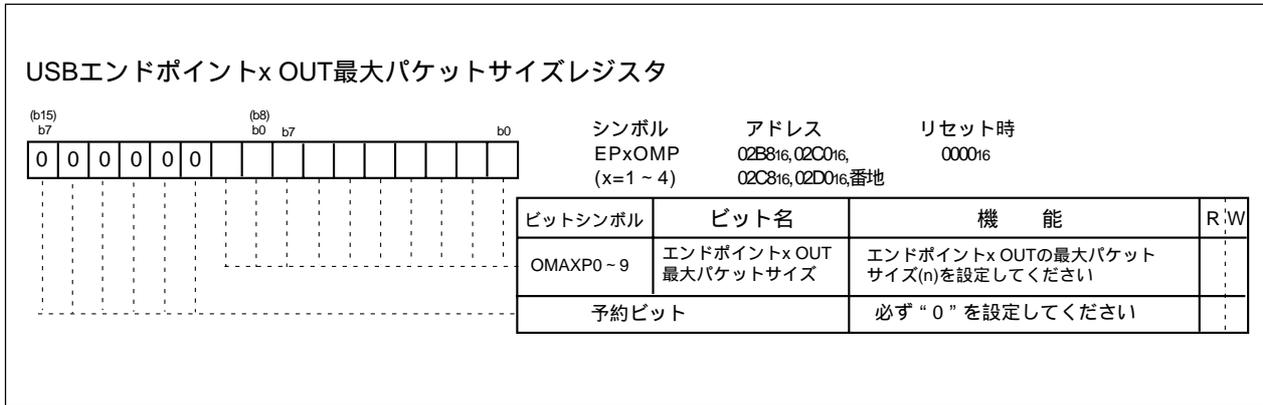


図2.8.41. USBエンドポイントx(x=1~4) OUT最大パケットサイズレジスタの構成

USBエンドポイントx(x=1~4) OUT書き込みカウントレジスタ

このレジスタはエンドポイントx(x=1~4)OUT FIFOに書き込まれた1バッファデータのバイト数を保持する11ビットのレジスタです。このレジスタは読み出し専用です。USBファンクション制御ユニットはホストCPUからのデータパケット受信完了時、このレジスタの値を設定します。1バッファデータ受信完了したら、このレジスタを読み出し、OUT FIFOから読み出すバイト数を決定してください。USBエンドポイントx OUT FIFOデータレジスタからデータを読み出しても、このレジスタの値はデクリメントされません。

ダブルバッファモードにおいてOUT FIFOに2バッファデータがある場合は、このレジスタを読み出すと最初に受信したパケットの受信データ数が格納されています。1バッファデータをOUT FIFOから読み出した後にCLR_OUT_BUF_RDYビットを“1”にセットした時点で、このレジスタの値は後に受信したバッファのデータ数に更新されます。

図2.8.42にUSBエンドポイントx OUT書き込みカウントレジスタの構成を示します。

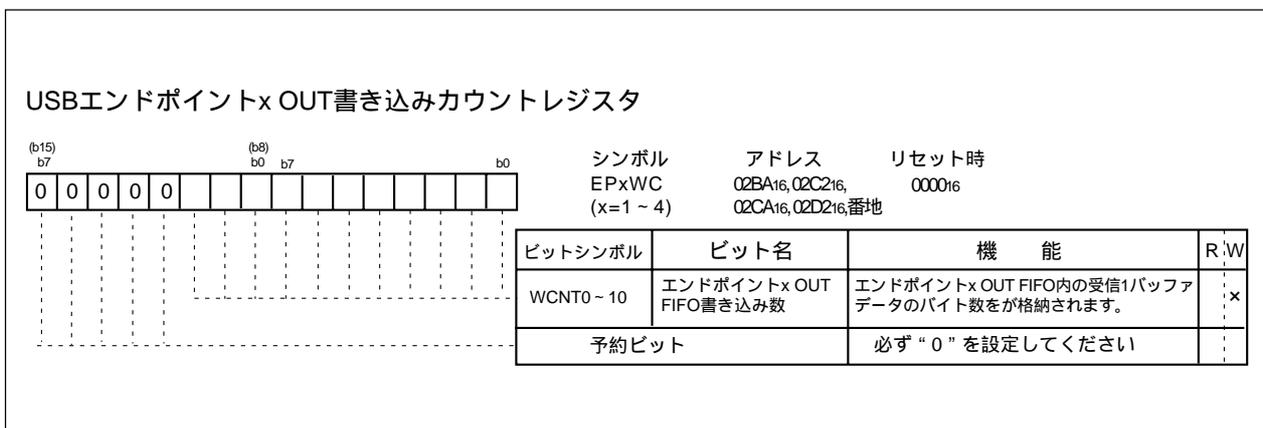


図2.8.42. USBエンドポイントx(x=1~4) OUT書き込みカウントレジスタの構成

USBエンドポイントx(x=1~4) OUT FIFOコンフィグレーションレジスタ

エンドポイントx(x=1~4)のOUT FIFOを設定するレジスタです。

BUF_NUM

エンドポイントx(x=1~4) OUT FIFOの開始位置を64バイト単位で設定します。例えば、320バイト目からOUT FIFOを配置したい場合、設定値は0001012となります。

BUF_SIZ

エンドポイントx(x=1~4) OUT FIFOの1バッファサイズを64バイト単位で設定します。例えば、256バイトの場合、設定値は01002となります。

DBL_BUF

このビットに“1”をセットすると、対応するエンドポイントのOUT FIFOがダブルバッファモードとなります。ダブルバッファ時、有効なOUT FIFOは、BUF_SIZで指定した2倍のバイト数となります。他のエンドポイントのFIFO開始位置と重ならないよう設定時にはご注意ください。

CONTINUE

連続転送モードを許可するビットです。

連続受信許可時、このビットを“1”にしてください。バルク転送時のみ有効なビットです。

USBファンクション制御ユニットは、ホストPCから受信したデータを1パケットサイズ(EPxOMPに設定した最大パケットサイズ)ずつ順にOUT FIFOに書き込み、1バッファフルになる、又はショートパケットを受信するまで連続して受信を行います。

このとき、BUF_SIZがEPxOMPの整数倍であることが必要です。また、連続受信モード許可時、ホストPCからの受信データがバッファサイズと同じであるか、ショートパケットを含むかユーザシステムで把握しておく必要があります。

BUF_NUM、BUF_SIZ設定時、以下に注意してください。

- ・ OUT FIFO開始位置 + OUT FIFOサイズが3072バイトを超えないようにしてください。
- ・ 各エンドポイントのFIFOが互いに重ならないように配置してください。

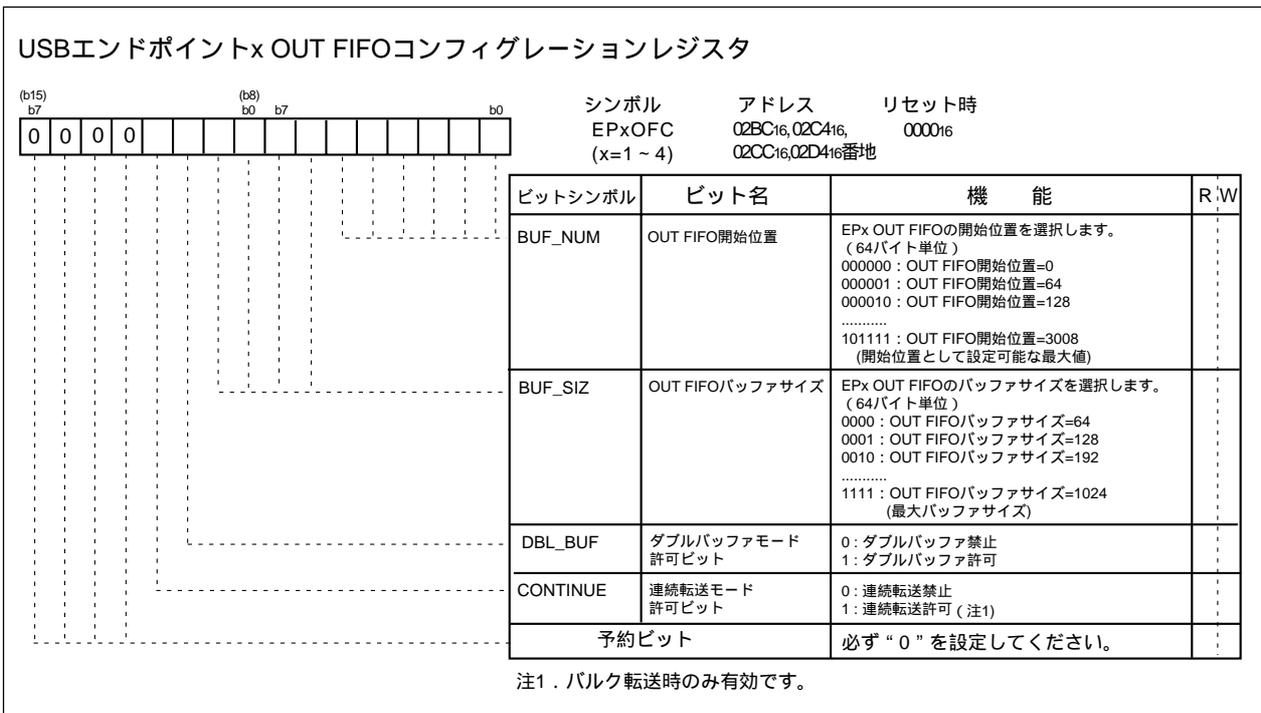


図2.8.43. USBエンドポイントx(x=1~4) OUT FIFOコンフィグレーションレジスタの構成

(2) バルク転送：エンドポイント1～4受信

転送タイプの設定

エンドポイント1～4OUTをバルク転送として使用する場合、USBエンドポイントx OUT制御/ステータスレジスタのISOビットを“0”に設定し、バルク転送の設定を行います。

また、バルク転送におけるトグルシーケンスビットの初期化する場合は、TOGGLE_INITビットを“1”にセットし、PIDをDATA0に初期化します。

ダブルバッファモード、連続受信モードを許可する場合は、USBエンドポイントx OUT FIFOコンフィグレーションレジスタで設定してください。

AUTO_CLR機能を使用する場合は、USBエンドポイントx OUT制御/ステータスレジスタのAUTO_CLRビットを“1”に設定してください。

受信動作

OUT FIFOに1パケットデータ(注1)受信すると、対応するEPxOCSのOUT_BUF_STS1フラグとOUT_BUF_STS0フラグが自動的に更新されます。シングルバッファモード時(ダブルバッファモードビットが“0”)、これらのフラグは、“002”から“112”に更新されます。ダブルバッファモード時は、以下のように更新されます。

- ・OUT FIFOにダブルバッファのうち最初の1パケットデータ(注1)が書き込まれており、2つ目のパケットデータ(注1)が書き込める状態の時、OUT_BUF_STS1とOUT_BUF_STS0フラグは、“002”から“102”に更新されます。
- ・OUT FIFOに2つのパケットデータ(注1)が書き込まれた時、OUT_BUF_STS1とOUT_BUF_STS0フラグは、“102”から“112”に更新されます。

注1．連続転送許可時は、下線部を「バッファデータ」に読み替えてください。USBファンクション制御ユニットは、ホストPCから受信したデータを1パケットサイズ(EPxOMPIに設定した最大パケットサイズ)ずつ順にOUT FIFOに書き込み、1バッファフルになる、又は、ショートパケットを受信するまで連続して受信を行います。

SEND_STALLビットが“1”のときにホストCPUからのOUTトークンを受信すると、自動的にSTALL応答します。

OUT FIFOにパケットの空きがあるとき、ホストCPUから現在のデータトグルシーケンスビットでOUTトークンを受信すると、データを受信してACK応答します。このとき、OUT FIFOのステータスが更新され(OUT_BUF_STS1, OUT_BUF_STS0フラグの更新)、データトグルシーケンスビットがトグルします(DATA0 DATA1またはDATA1 DATA0)。また、エンドポイントx OUT割り込み要求が発生します。

OUT FIFOにパケットの空きがあるとき、ホストCPUから現在のトグルシーケンスビットと異なるトグルでOUTトークンを受信すると、先に受信したパケットで応答したACKが滑落したためホストCPUが同じデータを送ってきたとみなし、データを受信せずACK応答のみ行います。

OUT FIFOに既にデータがあり、パケットデータを受信できないときにホストCPUからOUTトークンを受信すると、自動的にNAK応答します。

ホストCPUから最大パケットサイズを超えるサイズのパケットが送られてきたとき、データを受信せず自動的にSTALL応答します。このとき、FORCE_STALLフラグが“1”にセットされ、USB機能割り込み許可レジスタでエラー割り込みを許可している場合は、エラー割り込み要求が発生します(INTST8が“1”にセットされます)。

バルクOUT転送中にエラーを検出した場合、ACK、NAK応答をせず無応答となります（USB2.0仕様に準拠したエラーチェック（CRCチェック、ビット詰めなど）を自動で行いますので、ソフトウェアにて制御する必要はありません）。

受信データ取り出し

1パケットデータ(注2)を受信したら、OUT FIFOから受信したパケットデータ(注2)を読み出します。次の手順で1パケットデータ(注2)を取り出してください。

- 1: OUT_BUF_STS1とOUT_BUF_STS0フラグの状態からOUT FIFO に受信データがあることを確認する。
- 2: USBエンドポイントx OUT書き込みカウントレジスタを読み出して、OUT FIFOからの読み出すデータバイト数を決定する。
- 3: 上記2:で決定した数だけOUT FIFOから読み出す。

OUT FIFOから1(2)バイトデータを読み出す毎に内部ライトポイントが自動的に1(2)デクリメントします(内部ライトポイントの内容は読み出す事ができません)。

- 4: CLR_OUT_BUF_RDYビットを“1”にセットして、受信1パケットデータ(注2)取り出しを完了する。

この時点で、OUT FIFOの状態(OUT_BUF_STS1とOUT_BUF_STS0フラグ)が更新され、次の1パケットデータ(注2)が受信可能となります。

シングルバッファモード時

OUT_BUF_STS1とOUT_BUF_STS0フラグは、“112” (OUT FIFO空きなし)から“002” (OUT FIFO空)に更新されます。

ダブルバッファモード時

OUT FIFOにもう一つパケットデータ(注2)が存在する時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“112” (OUT FIFO空きなし)から“102” (1データあり)に更新されます。この場合、連続して2つ目のパケットデータ(注2)を取り出すことができます。

OUT FIFOにデータパケットが存在しない時、OUT_BUF_STS1とOUT_BUF_STS1フラグは、“102” (1データあり)から“002” (OUT FIFO空)に更新されます。

AUTO_CLR機能許可時(AUTO_CLRビットが“1”)、OUT FIFOから1パケットデータ(注2)を読み出すとCLR_OUT_BUF_RDYビットを“1”にセットすることなくOUT_BUF_STS1とOUT_BUF_STS0フラグは自動的に更新されます。

注2．連続転送許可時は、下線部を「バッファデータ」に読み替えてください。1バッファデータは、1バッファフル（BUF_SIZで設定した値と同じバイト数だけデータを受信）又はショートパケットを受信すると、1バッファデータ受信完了となります。また、BUF_SIZはEPxOMPの整数倍の値に設定する必要があります。

(3) アイソクロナス転送：エンドポイント1～4受信

転送タイプの設定

エンドポイント1～4OUTをアイソクロナス転送として使用する場合、USBエンドポイントxOUT制御/ステータスレジスタのISOビットを“1”に設定し、アイソクロナス転送の設定を行います。

受信動作

OUT FIFOにパケットの空きがあるとき、ホストCPUからOUTトークンを受信するとデータを受信します。このとき、OUT FIFOのステータスが更新され、エンドポイントxOUT割り込み要求が発生します。また、受信したパケットにエラーを検出した場合は、同時にDATA_ERRフラグが“1”にセットされます（USB2.0仕様に準拠したエラーチェック（CRCチェックなど）を自動で行います）。

OUT FIFOに既にデータがあり、パケットデータを受信できないときにホストCPUからOUTトークンを受信すると、オーバランエラーが発生します。このとき、OVER_RUNフラグが“1”にセットされます。また、ホストCPUから最大パケットサイズを超えるサイズのパケットを送られてきたとき、データを受信せずFORCE_STALLフラグが“1”にセットされます。USB機能割り込み許可レジスタでエラー割り込みを許可している場合、OVER_RUNフラグ、FORCE_STALLフラグ、DATA_ERRフラグのいずれかが“1”にセットされるとエラー割り込み要求が発生します（INTST8が“1”にセットされます）。

受信データ取り出し

アイソクロナス転送のエンドポイントxOUT受信データ取り出し手順はバルク転送と同じです。「(2) バルク転送：エンドポイント1～4受信」の「受信データ取り出し」を参照してください（ただし、連続転送はバルク転送時のみ有効です）。

(4) インタラプト転送：エンドポイント1～4受信

転送タイプの設定

エンドポイント1～4OUTをインタラプト転送として使用する場合、USBエンドポイントx OUT制御/ステータスレジスタのISOビットを“0”に設定し、インタラプト転送の設定を行います。

また、インタラプト転送におけるトグルシーケンスビットの初期化する場合は、TOGGLE_INITビットを“1”にセットし、PIDをDATA0に初期化します。

受信動作

インタラプト転送時のエンドポイントx OUT受信動作は、バルク転送と同じです。「(2) バルク転送：エンドポイント1～4受信」の「受信動作」を参照してください。

受信データ取り出し

インタラプト転送のエンドポイントx OUT受信データ取り出し手順はバルク転送と同じです。「(2) バルク転送：エンドポイント1～4受信」の「受信データ取り出し」を参照してください(ただし、連続転送はバルク転送時のみ有効です)。

(5) 受信に関する注意事項

OUT FIFOからの読み出し

OUT FIFO からデータを読み出すときは、必ずOUT_BUF_STS1, OUT_BUF_STS0フラグの内容を確認してください。これらのフラグの内容からOUT FIFOに受信データが存在するか判断してください。OUT FIFO からデータを読み出すときは、必ずエンドポイントxOUT書き込みカウントレジスタ値で示されたデータ数を読み出してからCLR_OUT_BUF_RDYビットを“1”にセットしてください。OUT FIFO からデータを取り出す途中でCLR_OUT_BUF_RDYビットを“1”にセットすると、内部読み出しポインタの誤動作の原因となります。

表2.8.3. エンドポイント1～4 OUT FIFOの状態

OUT_BUF_STS1	OUT_BUF_STS0	シングルバッファ (OUT FIFO サイズはBUF_SIZ ^(*) で指定)	ダブルバッファ (OUT FIFOサイズ= BUF_SIZ ^(*) で指定したバイト数×2)
0	0	データなし 1バッファ分空きあり	データなし 2バッファ分空きあり
0	1	無効	無効
1	0	無効	1データあり 1データ分空きあり
1	1	1データあり OUT FIFO空きなし	2データあり OUT FIFO空きなし

*1. EPxOFC, bit 6～9

PIDの初期化

TOGGLE_INITビットを“1”にセットすると、FIFO内のリード/ライトカウンタが初期化されます。PIDを初期化するときは、OUT FIFOが空(OUT_BUF_STS0,OUT_BUF_STS1フラグが“002”)の状態ではTOGGLE_INITビットを“1”にセットしてください。

(6) USB受信(エンドポイント1~4 OUT)例

エンドポイント1~4 (OUT)の packets 取り出し手順(連続転送禁止時)を図2.8.44に示します。 packets 取り出し処理とは別に、転送タイプ毎にエラーフラグ(OVER_RUN, FORCE_STALL, DATA_ERR) 処理が必要です。

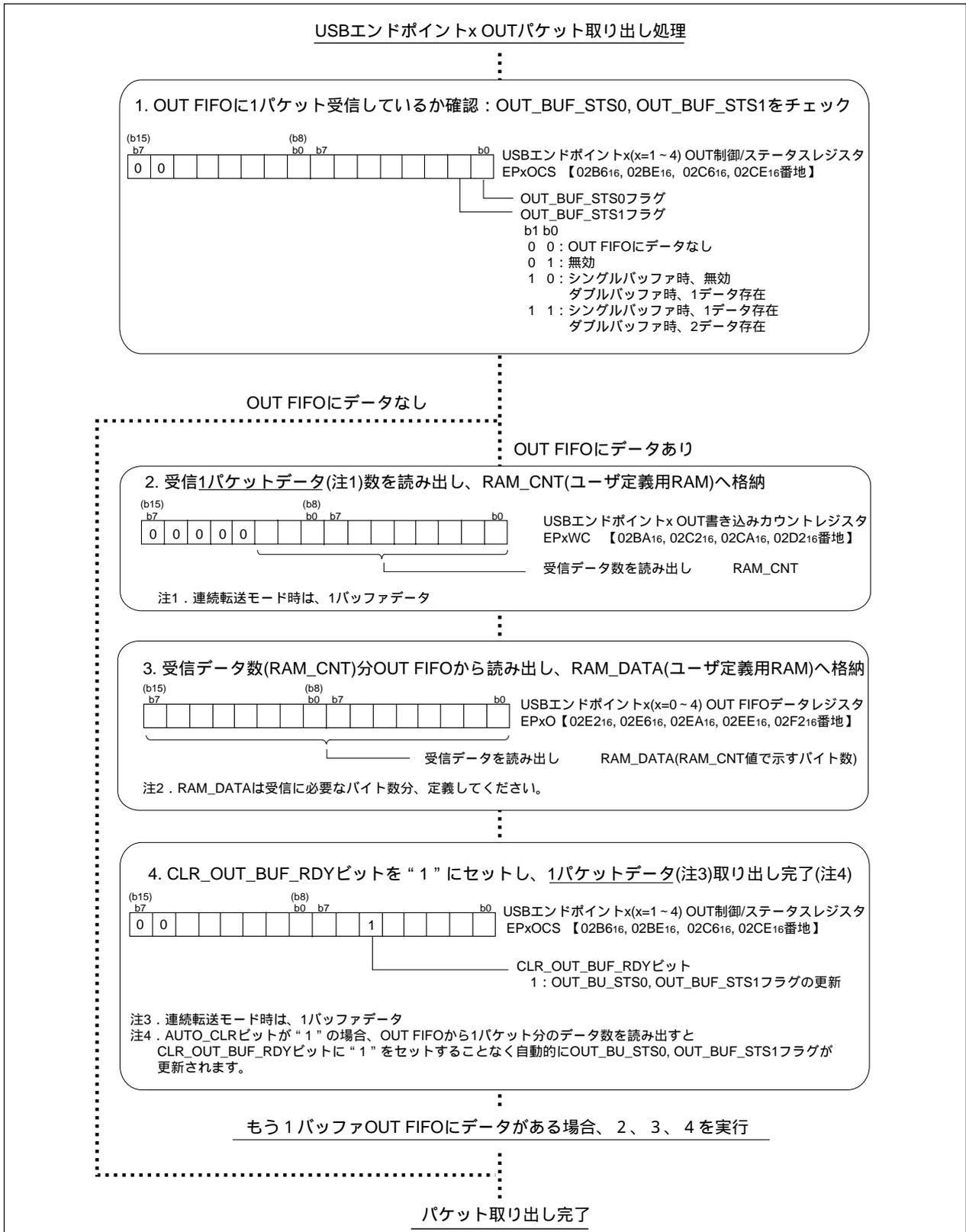


図2.8.44. エンドポイント1~4 OUT packets 取り出し手順例

2.8.7 USBの動作（エンドポイント1～4送信）

エンドポイント1～4は、アイソクロナス転送、バルク転送、インタラプト転送のエンドポイントとして使用できます。

エンドポイント1～4のFIFOは、独立してIN（送信）FIFOとOUT（受信）FIFOを持ち、エンドポイント1～4 INを使用する場合は、USBエンドポイント許可レジスタ(028E16番地)により各エンドポイントのIN FIFOを許可してください。各エンドポイント(x=1～4) INのFIFOサイズとFIFO開始ロケーション(64バイトごと)はユーザシステムに応じて設定できます。1つのエンドポイントに対してIN FIFOバッファサイズは64バイト単位で最高1024バイトまで設定できます。ダブルバッファモードを許可すると、設定したバッファサイズの2倍がIN FIFOとして使用できます。FIFOサイズ、FIFO開始ロケーション、ダブルバッファモード許可は、USBエンドポイントx IN FIFOコンフィグレーションレジスタ(EPxIFC)で設定してください。

ホストCPUへパケットデータを送信するときは、エンドポイントx IN FIFOへ書き込みます。IN FIFOにデータを書き込む前にホストCPUよりデータ送信要求があった場合は、バルク転送、インタラプト転送ではNAKを、アイソクロナス転送では空パケット（データ長0）を自動的に送信します。

エンドポイント1～4 INの通信ステータスを元に、ホストCPUへデータの送信制御を行います。エンドポイント1～4のデフォルトは、バルク転送です。その他の転送モードを使用する場合は、各エンドポイントの初期化が必要です。

エンドポイント1～4の送信には、下記の機能が選択できます。

連続送信モード

より高速にデータ送信するための機能です。エンドポイント1～4 INバルク転送でのみ設定できます。EPxIFCの連続転送モード許可ビットを“1”にセットすることにより、連続送信モードを許可します。連続送信モード時、USBファンクション制御ユニットは、IN FIFO内のデータを1パケットサイズ(EPxIMPに設定した最大パケットサイズ)に分割し、順にホストPCに送信します(最後の1パケットがEPxIMPに設定したサイズより小さい場合は、ショートパケットとして送信します)。連続送信モード許可時、IN FIFOサイズが最大パケットサイズの整数倍の値を設定する必要があります。

AUTO_SET機能

EPxICSのAUTO_SETビットを“1”にセットすることにより、AUTO_SET機能が許可されます。AUTO_SET許可時、IN FIFOにバッファサイズ(BUF_SIZで指定)分の送信データを書き込むとSET_IN_BUF_RDYビットを“1”にセットすることなく、IN_BUF_STS0とIN_BUF_STS1フラグが更新されます。ただし、ショートパケット（連続転送禁止時EPxIMPの値より、連続転送許可時はBUF_SIZの値より小さいサイズのデータ）を書き込んだ場合、IN_BUF_STS1、IN_BUF_STS0フラグは自動的に更新されません。これらの場合にはSET_IN_BUF_RDYビットを“1”にセットしてください。これによりデータ送信準備完了を示します。AUTO_SET機能は、エンドポイント1～4 INの連続送信モード時、連続送信モード禁止時共に使用することができます（エンドポイント0では使用できません）。

(1) 関連レジスタ

USB ISO制御レジスタ

エンドポイント1 ~4 のアイソクロナス転送について制御します。このレジスタの設定は、同時に使用しているアイソクロナス転送のIN エンドポイント全てに有効となります。

AUTO_FLUSHビット

アイソクロナス転送における送信パケットデータ破棄を制御するビットです。このビットは、ISO_UPDATEビットとISOビットがともに“1”の時のみ使用可能です。アイソクロナス転送のINエンドポイント(1~4)にのみ有効です。

ISO_UPDATEビット=“1”、AUTO_FLUSHビット=“1”、かつ、ISOビット(INxCSR8)=“1”の場合、USBファンクション制御ユニットはSOFパケット検出(ホストPCから受信、又は、Artificial SOF動作)時に、IN_BUF_STS1フラグとIN_BUF_STS0フラグがともに“1”(IN FIFOフル状態)ならば、自動的にIN FIFO内の古いデータパケットを破棄します。ダブルバッファでのアイソクロナス転送においてAUTO_FLUSH機能をご使用ください。

ISO_UPDATEビット

アイソクロナス転送におけるパケットデータの送信タイミングを制御するビットです。アイソクロナス転送のINエンドポイント(1~4)にのみ有効です。

ISO_UPDATEビット=“0”、及び、ISOビット=“1”の場合、USBファンクション制御ユニットは、ホストCPUからIN トークンを受信したとき、事前に対応するエンドポイントのSET_IN_BUF_RDYビットを“1”にセットしていれば、IN FIFO のデータを1パケット送信します。

ISO_UPDATEビット=“1”、及び、ISOビット=“1”の場合、対応するエンドポイントのSET_IN_BUF_RDYビットを“1”にセットしても(AUTO_SET機能許可時、最大パケットサイズと等しいデータパケットをIN FIFOに書き込んでも)、USBファンクション制御ユニット内の送信制御回路へパケット制御内部信号は出力されません。次のSOFを受信するまでパケット制御信号であるSET_IN_BUF_RDYビットの“1”セットを遅延させ、IN FIFOのデータパケットの送信を遅延させます。USBファンクション制御ユニットは、IN FIFO のステータス更新時に送信パケットデータがあることを検出すると、次のSOFパケットを検出するまで疑似的に送信パケットデータなしとして動作します。SOFパケットを検出すると、ホストCPUからのINトークンに対してIN FIFO にセットしておいたデータを1パケット送信します。

Artificial SOF許可ビット

Artificial SOF機能を許可するビットです。

このビットが“1”のとき、ホストPCからのSOFパッケージが何らかの要因で破壊され、前のフレーム開始から1ms経過しても有効なSOFパッケージを受信しなかった場合に、擬似SOF受信動作を行います(USB SOF割り込み要求も発生します)。これにより、SOFパッケージが何らかの要因で破壊された場合も次のSOFパッケージを待つことなく、新しいフレームを形成することが可能です。擬似SOF受信動作は、有効なSOFパッケージを2回受信した後、1回機能します。

Artificial SOFステータスフラグ

Artificial SOF機能ステータスフラグです。

Artificial SOF機能を許可(Artificial SOF 許可ビット=“1”)にした場合に有効です。

このフラグが“1”のとき、Artificial SOF機能による擬似SOF受信が発生したことを示します。このフラグは、CLR_ART_SOFビットを“1”にセットすることでクリアされます。

Artificial SOFステータスクリアビット

このビットに“1”をセットすると、Artificial SOFステータスフラグが“0”にクリアされます。

図2.8.45にUSB ISO制御レジスタの構成を示します。

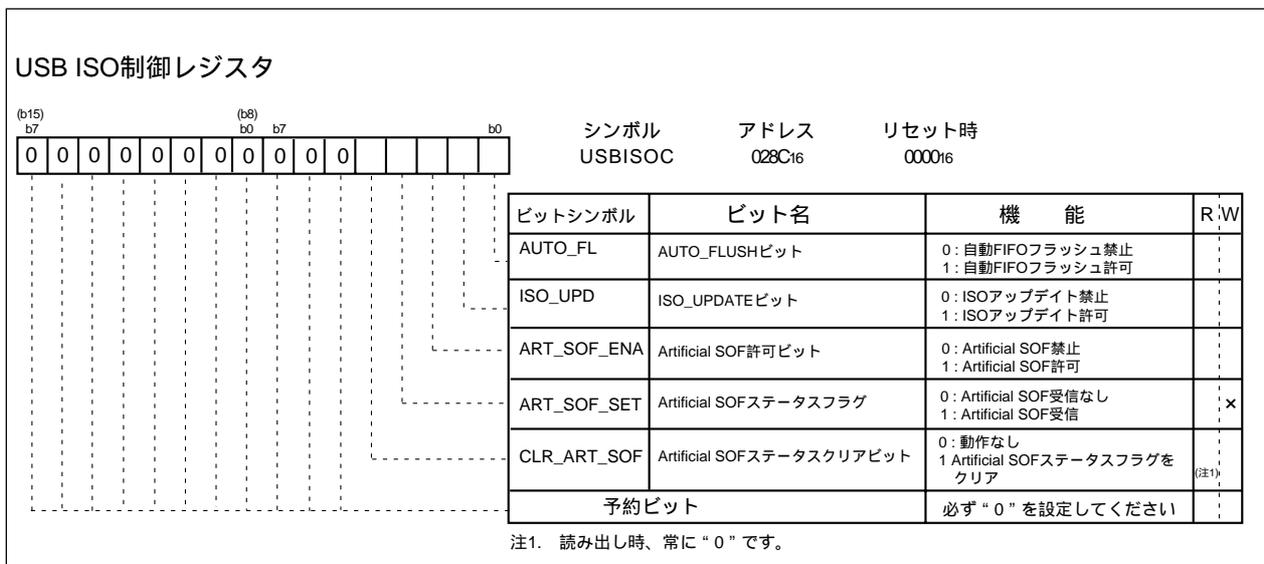


図2.8.45. USB ISO制御レジスタの構成

USBエンドポイントx(x=1~4) IN制御/ステータスレジスタ

IN_BUF_STS1, IN_BUF_STS0フラグ

これら2つのフラグはIN FIFOの状態を表示します。

IN FIFOにホストPCへの送信データを書き込むときに、IN FIFOの状態を確認するためにこれらのフラグを読み出してください。

リセット時、“112”です。対応するエンドポイントが禁止状態から許可状態になると、これらのフラグは自動的に“002”にクリアされます。IN_BUF_STS1フラグ、IN_BUF_STS0フラグが“002”の場合、IN FIFOにデータはありません。“012”の場合、ダブルバッファ時で1データのみ存在することを示します(シングルバッファ時、無効)。“112”の場合、IN FIFOに空きがないことを示します(シングルバッファ時は1データ存在、ダブルバッファ時は2データ存在)。“102”は無効です。

これらのフラグは、以下のいずれかが発生すると更新されます。

- ・IN FIFOの1バッファデータをホストPCへ送信完了したとき

- ・IN FIFOに1バッファデータを準備完了したとき

IN FIFOへの1送信データの書き込み終了時、SET_IN_BUF_RDYビットを“1”にセットしたとき。又は、AUTO_SET許可時に、EPxIMP(連続転送許可時はBUF_SIZ)と同じデータ数をFIFOに書き込んだとき。ただし、AUTO_SET許可時にショートパケットを書き込んだ場合、これらのフラグは自動的に更新されません。これらの場合にはソフトウェアでSET_IN_BUF_RDYビットを“1”にセットしてください。

- ・1バッファデータが破棄されたとき

UNDER_RUNフラグ

アイソクロナス転送におけるアンダーラン発生を示すフラグです。

アイソクロナスIN転送時のみ有効です。ホストCPUからのINトークン開始時にIN FIFOにデータパケットがないとき、アンダーランが発生したとしてこのフラグが“1”になります。

CLR_UNDER_RUNビットに“1”をセットすることにより、このフラグは“0”にクリアされます。

SET_IN_BUF_RDYビット

IN FIFOの制御ビットです。IN FIFOに空きがある時(シングルバッファ時、IN_BUF_STS1, IN_BUF_STS0 = “002”の場合、ダブルバッファ許可時、IN_BUF_STS1, IN_BUF_STS0が“002”又は“012”の場合)、IN FIFOへデータが書き込めます。送信データをIN FIFOに書き込んだ後、このビットを“1”にセットしてください。1送信データの準備を終了します(空の packets を送信する場合は、データを書き込まずにこのビットを“1”にします)。

このビットに“1”をセットすると、1送信データの準備終了がUSBファンクション制御ユニットへ通知され、同時にIN FIFOのステータス(IN_BUF_STS1, IN_BUF_STS0フラグ)が更新されます。AUTO_SET許可時に、ショートパケット(連続転送禁止時EPxIMPの値より、連続転送許可時はBUF_SIZの値より小さいサイズのデータ)を書き込んだ場合には、IN_BUF_STS1, IN_BUF_STS0フラグが自動的に更新されないため、このビットを“1”にセットしてください。

CLR_UNDER_RUNビット

このビットに“1”をセットすると、UNDER_RUNフラグが“0”にクリアされます。

TOGGLE_INITビット

バルク転送やインタラプト転送で要求されるデータトグルビットの初期化を行うビットです。コンフィグレーション時などにホストCPUからデータトグルシーケンスの初期化を要求されたとき、INエンドポイント通信を開始する前にこのビットを“1”にセットし、PIDをDATA0に初期化してください。この時、IN FIFOの内部リード/ライトポインタも初期化されます。

FLUSHビット

IN FIFOのパケット制御を行うビットです。

IN_BUF_STS1, IN_BUF_STS0フラグを読み出し、IN FIFOにデータが存在することを確認してから、このビットを“1”にセットしてください。IN FIFOがフラッシュされると、IN_BUF_STS1, IN_BUF_STS0フラグは次のように更新されます。

- ・IN FIFOに1バッファデータがある時、IN FIFOは空になります。
このとき、IN_BUF_STS1, IN_BUF_STS0フラグは“002”に更新されます。
- ・2バッファデータがIN FIFO内にある場合、古い方のデータを破棄します。
このとき、IN_BUF_STS1, IN_BUF_STS0フラグは“012”に更新されます(もう1バッファデータがIN FIFOに残っていることを示す)。

USB転送中にこのビットを“1”にすると、送信データが破壊される可能性があります。

1バッファデータの破棄が終了すると、このビットは自動的に“0”にクリアされます。

INTPTビット

インタラプト転送における転送モードを制御するビットです。INエンドポイントをrate feedbackインタラプト転送として使用する場合のみ、このビットを“1”にセットしてください。このビットが“1”のとき、ホストCPUよりINトークンを受信すると、IN_BUF_STS1フラグとIN_BUF_STS0フラグの状態やデータトグルに関係なくIN FIFOのデータを送信します。アイソクロナス転送、バルク転送、通常のインタラプト転送時は、このビットを“0”に固定してください。

ISOビット

アイソクロナス転送制御を行うビットです。このビットを“1”にセットすると、INエンドポイントをアイソクロナス転送として使用します。バルク転送、インタラプト転送時は、このビットを“0”に固定してください。

SEND_STALLビット

ホストCPUへのSTALL応答を制御するビットです。

INエンドポイントがSTALL状態にあるとき、このビットを“1”にしてください。これにより、USBファンクション制御ユニットは、全てのINトランザクションに対してSTALLハンドシェイクをホストCPUへ送信します。INエンドポイントがSTALL状態から復帰したら、このビットに“0”を書き込むことによりクリアしてください。INエンドポイントの通信を再開します。

AUTO_SETビット

SET_IN_BUF_RDYビットセット制御を行うビットです。

このビットが“1”のとき、連続送信禁止時は最大パケットサイズ(EPxIMPの設定値)の値と等しい数の1データパケットがIN FIFOへ書き込まれた時に、連続送信許可時はバッファサイズ分(EPxIFCのBUF_SIZで設定したバイト数)のデータがIN FIFOに書き込まれた時に、SET_IN_BUF_RDYビットを“1”にセットすることなく、IN_BUF_STS1, IN_BUF_STS0フラグが更新されます。ただし、ショートパケット(連続転送禁止時EPxIMPの値より、連続転送許可時はBUF_SIZの値より小さいサイズのデータ)を書き込んだ場合、IN_BUF_STS1, IN_BUF_STS0フラグは自動的に更新されません。これらの場合にはソフトウェアでSET_IN_BUF_RDYビットを“1”にセットしてください。

このビットが“0”のとき、送信データをIN FIFOに書き込んだあと、ソフトウェアでSET_IN_BUF_RDYビットを“1”にセットしてください。

図2.8.46にUSBエンドポイントx IN 制御/ステータスレジスタの構成を示します。

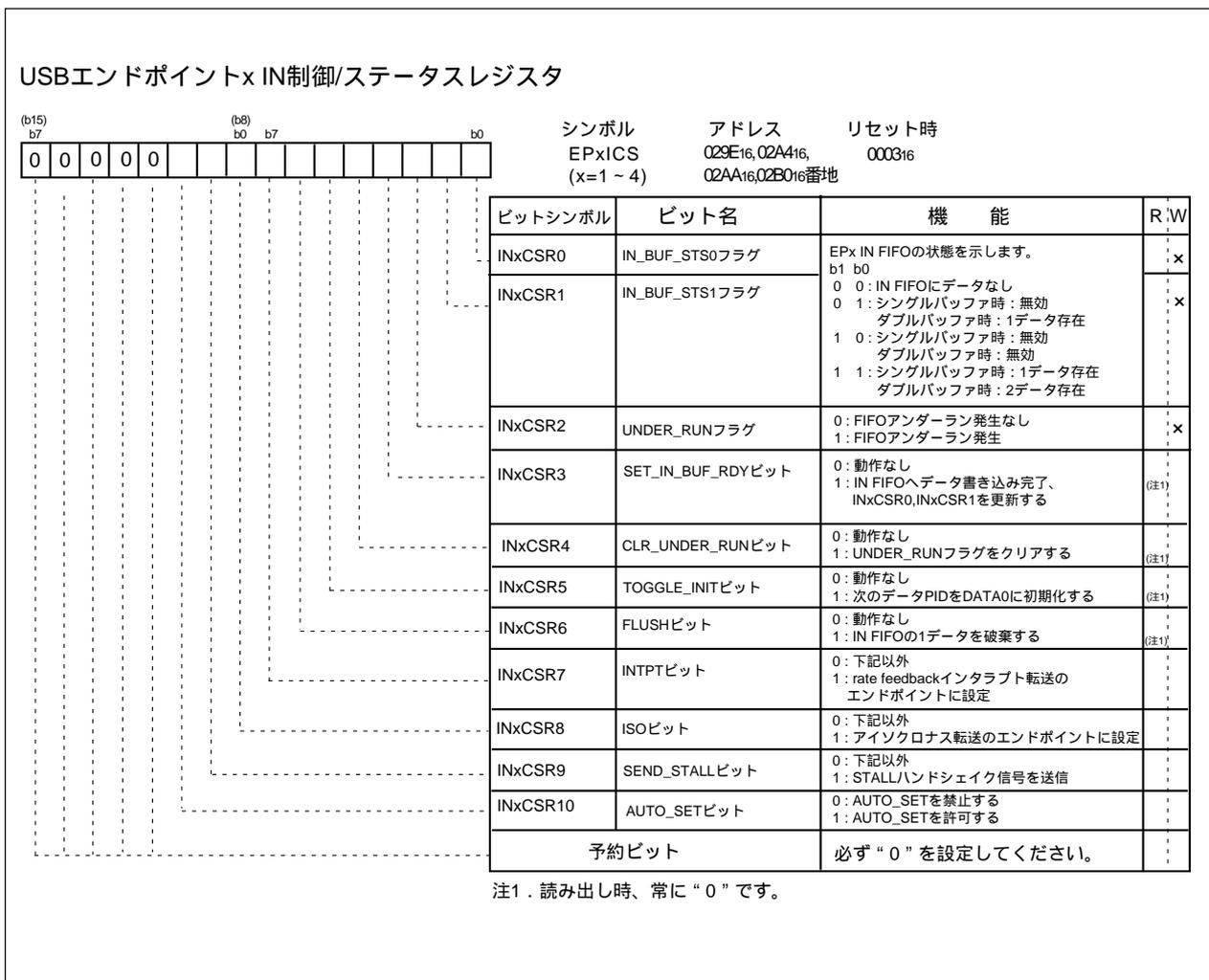


図2.8.46. USBエンドポイントx IN 制御/ステータスレジスタの構成

USBエンドポイントx(x=1~4) IN最大パケットサイズレジスタ

エンドポイントx(x=1~4) INの最大パケットサイズを示します。初期値は0バイトです。

ホストCPUよりエンドポイントを設定するリクエスト (SET_DESCRIPTOR, SET_CONFIGURATION, SET_INTERFACEなど) を受信した等の理由によりエンドポイントを初期化する場合、このレジスタへ書き込んでエンドポイントx INの最大パケットサイズ値を変更します。使用する転送タイプで規定されているパケットサイズ値を設定してください。

図2.8.47にUSBエンドポイントx IN最大パケットサイズレジスタの構成を示します。

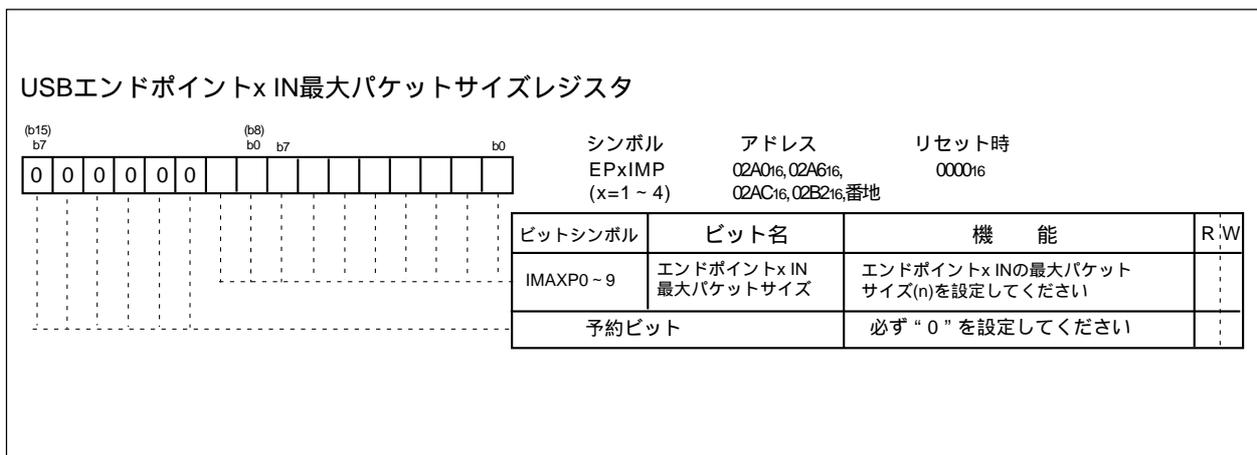


図2.8.47. USBエンドポイントx IN最大パケットサイズレジスタの構成

USBエンドポイントx(x=1～4) IN FIFOコンフィグレーションレジスタ

エンドポイントx(x=1～4)のIN FIFOを設定するレジスタです。

BUF_NUM

エンドポイントx(x=1～4) IN FIFOの開始位置を設定します。64バイト単位とし、例えば、320バイト目からIN FIFOを配置したい場合、設定値は0001012となります。

BUF_SIZ

エンドポイントx(x=1～4) IN FIFOの1バッファサイズを設定します。64バイト単位とし、例えば、256バイトの場合、設定値は01002となります。

DBL_BUF

このビットに“1”をセットすると、対応するエンドポイントのIN FIFOがダブルバッファモードとなります。ダブルバッファ時、有効なIN FIFOは、BUF_SIZで指定した2倍のバイト数となります。他のエンドポイントのFIFO開始位置の設定時にはご注意ください。

CONTINUE

連続送信許可時、このビットを“1”にしてください。バルク転送時のみ有効なビットです。USBファンクション制御ユニットは、IN FIFO内のBUF_SIZで設定したバイト数分の1バッファデータを1パケットサイズ(EPxIMPに設定した最大パケットサイズ)に分割し、順にホストPCに送信します(最後の1パケットが最大パケットサイズより小さい場合は、ショートパケットとして送信します)。連続送信モード許可時、BUF_SIZで設定した値が最大パケットサイズの整数倍である必要があります。

このレジスタを設定する際、以下にご注意ください。

- ・ IN FIFO開始位置 + IN FIFOサイズが3072バイトを超えないようにしてください。
- ・ 各エンドポイントのFIFOが互いに重ならないように配置してください。

図2.8.48にUSBエンドポイントx(x=1～4) IN FIFOコンフィグレーションレジスタの構成を示します。

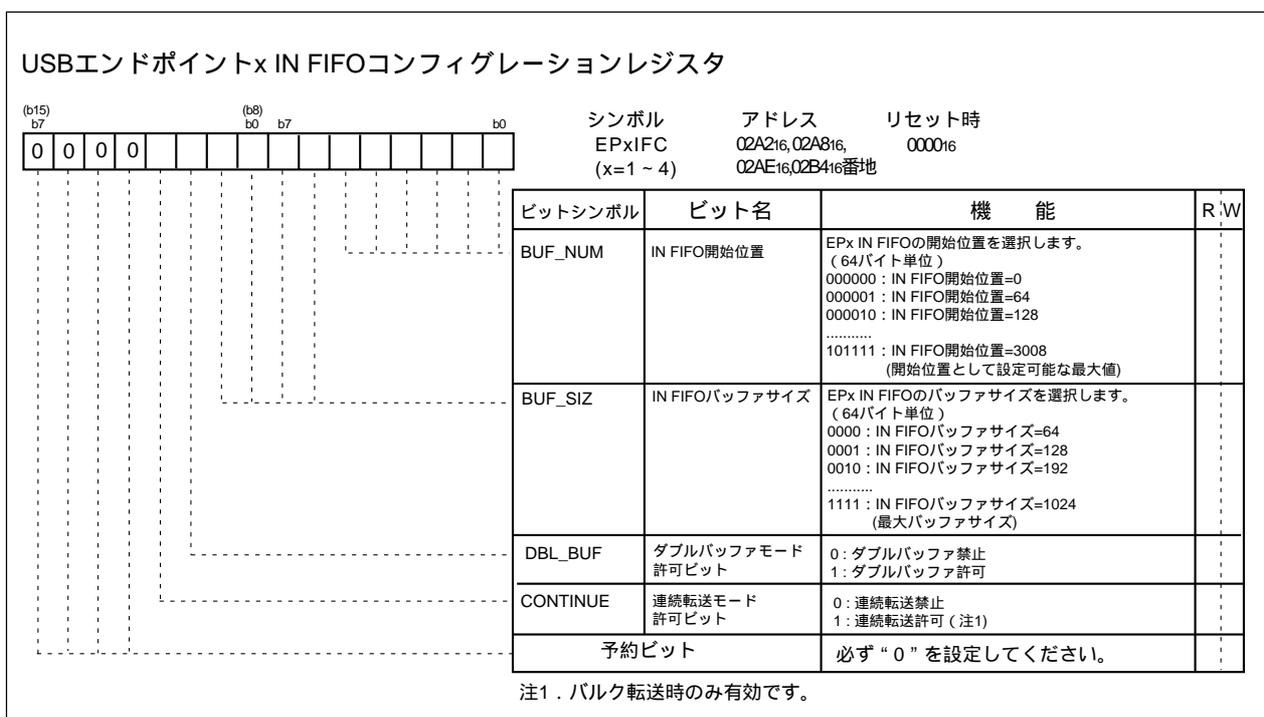


図2.8.48. USBエンドポイントx(x=1～4) IN FIFOコンフィグレーションレジスタの構成

(2) バルク転送：エンドポイント1～4送信

転送タイプの設定

エンドポイント1～4INをバルク転送として使用する場合、USBエンドポイントx IN制御/ステータスレジスタのISOビットを“0”、INTPTビットを“0”に設定し、バルク転送の設定を行います。また、バルク転送におけるトグルシーケンスビットを初期化する場合は、TOGGLE_INITビットを“1”にセットしてPIDをDATA0に初期化します。

ダブルバッファモード、連続送信モードを許可する場合は、USBエンドポイントx IN FIFOコンフィグレーションレジスタで設定してください。

AUTO_SET機能を使用する場合は、USBエンドポイントx IN制御/ステータスレジスタのAUTO_SETビットを“1”に設定してください。

送信データ準備

データを送信するには、まずIN FIFOに送信データを準備しなくてはなりません。次の手順で、IN FIFOへ1パケットデータ(注1)を準備してください。

1: IN FIFOにパケットの空きがあることを確認する。

IN_BUF_STS1, IN_BUF_STS0フラグを読み出し、“002” (IN FIFO空)、又は“012” (ダブルバッファで2つめのデータ書き込み可能)であることを確認します。

2: 送信する1パケットデータ(注1)をIN FIFOへ書き込む。

IN FIFOへ1バイトデータを書き込む毎に内部ライトポイントが自動的に1インクリメントします。内部ライトポイントの内容は読み出せません。空のパケット(データ長0のパケット)を送信する場合は、IN FIFOへデータ書き込みを行わないでください。

3: SET_IN_BUF_RDYビットを“1”にセットする。

この時点で、IN FIFOの状態が以下のように更新され(IN_BUF_STS1とIN_BUF_STS0フラグの更新)、送信準備が整います。

シングルバッファモード時

IN_BUF_STS1とIN_BUF_STS0フラグは、“002” (IN FIFO空)から“112” (IN FIFO空きなし)に更新されます。

ダブルバッファモード時

IN FIFOが空の時にダブルバッファの最初の1パケットデータ(注1)が書き込まれた場合、IN_BUF_STS0とIN_BUF_STS1フラグは、“002”から“012”に更新され、IN FIFOに2つ目のパケットデータ(注1)が書き込める状態であることを示します。この場合、連続して2パケット目のデータを準備することができます。

IN FIFOにダブルバッファの最初の1パケットデータ(注1)のみ存在する場合に、2つ目のパケットデータ(注1)が書き込まれると、IN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“112”に更新され、これ以上IN FIFOにデータ書き込みできないことを示します。

USBファンクション制御ユニットは次のINトークンで1パケットデータ(注1)を送信します。

注1 . 連続転送許可時は、下線部を「バッファデータ」に読み替えてください。1バッファデータは、BUF_SIZで設定した値以下のデータをIN FIFOに書き込んだ後、SET_IN_BUF_RDYビットを“1”にセットすると、1バッファデータの送信準備完了となります。また、BUF_SIZはEPxIMPの整数倍の値に設定する必要があります。

AUTO_SET許可時(AUTO_SETビットが“1”)、連続送信禁止時は最大パケットサイズ(EPxIMPの設定値)の値と等しい数の1データパケットがIN FIFOへ書き込まれた時に、連続送信許可時はバッファサイズ分(EPxIFCのBUF_SIZで設定したバイト数)のデータがIN FIFOに書き込まれた時に、SET_IN_BUF_RDYビットを“1”にセットすることなく、IN_BUF_STS1、IN_BUF_STS0フラグが更新されます。ただし、ショートパケット(連続転送禁止時EPxIMPの値より、連続転送許可時はBUF_SIZの値より小さいサイズのデータ)を書き込んだ場合、IN_BUF_STS1、IN_BUF_STS0フラグは自動的に更新されません。これらの場合にはソフトウェアでSET_IN_BUF_RDYビットを“1”にセットしてください。

送信動作

1パケットデータ(注2)をホストへ送信終了後、IN_BUF_STS0とIN_BUF_STS1フラグが自動的に更新されます。シングルバッファモード時(ダブルバッファモードビットが“0”)、これらのフラグは、“112”から“002”に更新されます。ダブルバッファモード時は、以下のように更新されます。

- ・IN FIFOに2パケットデータ(注2)存在時、その内の1データを送信するとIN_BUF_STS0とIN_BUF_STS1フラグは、“112”から“012”に更新され、IN FIFOにもう一つ送信データが残っていることを示します。
- ・IN FIFOに1パケットデータ(注2)存在時、そのデータを送信するとIN_BUF_STS0とIN_BUF_STS1フラグは、“012”から“002”に更新され、IN FIFOが空になったことを示します。

注2．連続送信許可時は、下線部を「バッファデータ」に読み替えてください。USBファンクション制御ユニットは、送信データを1パケットサイズ(EPxIMPに設定した最大パケットサイズ)ずつ順に送信します(最後の1パケットがEPxIMPに設定したサイズより小さい場合は、ショートパケットとして送信します)。

SEND_STALLビットが“1”のときにホストCPUからのINトークンを受信すると、自動的にSTALL応答します。

IN FIFOにパケットデータがないときにホストCPUからINトークンを受信すると、自動的にNAK応答します。

IN FIFOにパケットデータがあるときにホストCPUからINトークンを受信すると、現在のデータトグルシーケンスビットでデータを送信します。1パケットデータの送信が終了(ホストCPUからACKを受信)すると、IN FIFOのステータスが更新され(IN_BUF_STS1、IN_BUF_STS0が更新される)、データトグルシーケンスビットがトグルします(DATA0 DATA1、又はDATA1 DATA0)。このとき、エンドポイントx IN割り込み要求が発生します。1パケットデータの送信が正常に終了しなかった(ホストCPUからACKを受信しなかった)場合、次のINトークンでデータを再送(同じトグルで同じデータを送信)します。

(3) アイソクロナス転送：エンドポイント1～4送信

転送タイプの設定

エンドポイント1～4 INをアイソクロナス転送として使用する場合、USBエンドポイントx IN制御/ステータスレジスタのISOビットを“1”、INTPTビットを“0”に設定し、アイソクロナス転送の設定を行います。

送信データ準備

アイソクロナス転送のエンドポイントx INパケットデータ準備手順はバルク転送と同じです。「(2) バルク転送：エンドポイント1～4送信」の「送信データ準備」を参照してください(ただし、連続転送はバルク転送時のみ有効です)。

送信動作

ホストCPUからのINトークンに対し、PIDがDATA0であるパケットを送信します。

IN FIFOにデータがないときにホストCPUからINトークンを受信すると、自動的に空パケット(データ長0)を送信し、アンダーランエラーが発生し、UNDER_RUNフラグが“1”にセットされます。USB機能割り込み許可レジスタでエラー割り込みを許可している場合、UNDER_RUNフラグが“1”にセットされるとエラー割り込み要求が発生します(INTST8が“1”にセットされます)。

IN FIFOにパケットデータがあるときにホストCPUからINトークンを受信すると、データを送信します。このとき、IN FIFOのステータスが更新され、エンドポイントx IN割り込み要求が発生します。

アイソクロナス転送において、ホストCPUからのINトークンに対してデータを送信するタイミングは、ISO_UPDATEビットの設定によって異なります。ISO_UPDATEビットが“1”の場合、次のSOFパケットを受信するまでパケット制御信号であるSET_IN_BUF_RDYビットの“1”セットを遅延させ、データパケットの送信を遅延させます。この時、実際のパケットデータ有無に関わらず、次のSOFパケットを検出するまでINトークンに対してIN FIFOにパケットデータなしとして応答します。

また、アイソクロナスIN転送においてソフトウェアでIN FIFOをフラッシュする場合には、AUTO_FLUSH機能を使用します。ISO_UPDATEビット=“1”、AUTO_FLUSHビット=“1”、かつ、ISOビット(INxCSR8)=“1”の場合、USBファンクション制御ユニットはSOFパケット検出時に(ホストPCから、又は、Artificial SOF)、IN_BUF_STS1フラグとIN_BUF_STS0フラグがともに“1”(IN FIFOフル状態)ならば、自動的にIN FIFO内の古いデータパケットを破棄します。ダブルバッファでのアイソクロナス転送においてAUTO_FLUSH機能をご使用ください。

(4) インタラプト転送：エンドポイント1～4送信

転送タイプの設定

インタラプト転送の設定は、通常のインタラプト転送とrate feedbackインタラプト転送の2種類あります。

エンドポイント1～4INを通常のインタラプト転送として使用する場合、USBエンドポイントx IN制御/ステータスレジスタのISOビットを“0”、INTPTビットを“0”に設定します。アイソクロナスデバイスがrate feedback機能を持ち、エンドポイント1～4INをrate feedbackインタラプト転送として使用する場合、USBエンドポイントx IN制御/ステータスレジスタのISOビットを“0”，INTPTビットを“1”に設定し、更にシングルバッファになるようUSBエンドポイントx IN FIFOコンフィグレーションレジスタのダブルバッファモード許可ビットを“0”に設定します。

また、インタラプト転送におけるトグルシーケンスビットを初期化する場合は、TOGGLE_INITビットを“1”にセットしてPIDをDATA0に初期化します。

送信データ準備

通常のインタラプト転送：

通常のインタラプト転送時のエンドポイントxINパケットデータ準備手順は、バルク転送と同じです。「(2) バルク転送：エンドポイント1～4送信」の「送信データ準備」を参照してください(ただし、連続転送はバルク転送時のみ有効です)。

rate feedbackインタラプト転送：

実アプリケーションにおいて、ホストCPUへの送信データを常に準備しておかねばなりません。次の手順で、IN FIFOへ1送信データを準備してください。下記2,3の詳細は「(2) バルク転送：エンドポイント1～4送信」の「送信データ準備」の2,3のシングルバッファモード部分を参照してください(ただし、連続転送はバルク転送時のみ有効です)。

1: 送信する1パケットデータをIN FIFOへ書き込みます。データを書き込むときは、ホストからINトークンを受信しないようタイミングに注意します。IN FIFOへ1バイトデータを書き込む毎に内部ライトポインタが自動的に1インクリメントします。内部ライトポインタの内容は読み出す事ができません。空のパケット(データ長0のパケット)を送信する場合は、IN FIFOへデータを書き込みを行わないでください。

2: IN FIFOへのデータ書き込みが終了したら、SET_IN_BUF_RDYビットを“1”にセットします。

この時点で、IN FIFOの状態が更新され1パケット送信準備が整います。次に送信データを更新するまで、USBファンクション制御ユニットはINトークンに対してこのデータを送信しません。

送信動作

通常のインタラプト転送：

通常のインタラプト転送時のエンドポイントxIN送信動作は、バルク転送と同じです。「(2) バルク転送：エンドポイント1～4送信」の「送信動作」を参照してください。

rate feedbackインタラプト転送：

実アプリケーションにおいて、rate feedbackインタラプト転送は常にホストへ送信するデータを持っています。したがって、rate feedbackインタラプト転送の場合、デバイスはホストからのINトークンに対して、NAK 応答しません。ホストCPUからINトークンを受信すると、IN_BUF_STS0,IN_BUF_STS1の値に関係なく現在のデータグルシーケンスビットで常にIN FIFOのデータを送信します。この点を除けば、通常のインタラプト転送と送信動作は同じです。

SEND_STALLビットが“1”のときにホストCPUからのINトークンを受信すると、自動的にSTALL応答します。ホストCPUからINトークンを受信すると、現在のデータグルシーケンスビットでIN FIFOのデータを送信します。1データの送信が終了（ホストCPUからACKを受信）すると、IN FIFOのステータスが更新され、データグルシーケンスビットがトグルして（DATA0 DATA1またはDATA1 DATA0）、エンドポイントx IN割り込み要求が発生します。このとき、通常のインタラプト転送と違って、IN FIFOのデータは無くなり、次にパケットデータを更新するまで保持されます。1データの送信が正常に終了しなかった（ホストCPUからACKを受信しなかった）場合、次のINトークンでデータを再送（同じトグルで同じデータを送信）します。

(5) 送信に関する注意事項

IN FIFOへの書き込み

IN FIFOへパケットデータを準備するとき、必ずIN FIFOにパケットの空きがあることを確認してから、IN FIFOへデータを書き込んでください。

IN FIFOの状態は、IN_BUF_STS1フラグとIN_BUF_STS0フラグによって示されます。これらの値からIN FIFOに存在するデータパケット数を判断してください。

IN FIFOのステータス（IN_BUF_STS1フラグとIN_BUF_STS0フラグ）は、IN FIFOに送信データを準備（SET_IN_BUF_RDYビットを“1”にセット）したとき、ホストCPUへ1データの送信が終了したとき、又は、IN FIFO内のデータが破棄されたとき（AUTO_FLUSHビットやFLUSHビットが機能したときなど）に更新されます。

表2.8.4. IN FIFOの状態

IN_BUF_STS1	IN_BUF_STS0	シングルバッファ (IN FIFOサイズはBUF_SIZ ^(*) で指定)	ダブルバッファ (IN FIFOサイズ= BUF_SIZ ^(*) で指定したバイト数×2)
0	0	データなし 1バッファ分空きあり	データなし 2バッファ分空きあり
0	1	無効	1データあり 1データ分空きあり
1	0	無効	無効
1	1	1データあり IN FIFO空きなし	2データあり IN FIFO空きなし

*1. EPxIFC, bit 6～9

PIDの初期化

TOGGLE_INITビットを“1”にセットすると、FIFO内のリード/ライトカウンタが初期化されます。PIDを初期化するときは、IN FIFOが空(IN_BUF_STS0,IN_BUF_STS1フラグが“002”)の状態です。TOGGLE_INITビットを“1”にセットしてください。

2.8.8 USBの動作 (DMAC転送とのインタフェース)

DMA要求要因としてUSB (USB0/USB1/USB2/USB3) が選択できます。USB0はDMA0に、USB1はDMA1、USB2はDMA2に、USB3はDMA3に対応してます。また、エンドポイント1~4 IN/OUTの何れか一要因をUSB DMAx(x=0~3)要求レジスタに設定することで、USB0/USB1/USB2/USB3のDMA要求要因を設定します。

USB0/USB1/USB2/USB3のDMA要求要因は、特定の条件下において、各エンドポイントの割り込み要求発生時だけでなく、IN/OUT FIFOへの書き込み/読み出し時にも発生します。

(1) 関連レジスタ

USB DMAx(x=0~3)要求レジスタ

USB0/USB1/USB2/USB3のDMA要求要因を設定するレジスタです。特定条件下において、このレジスタで選択したエンドポイントのFIFOへの書き込み/読み出し、または、そのエンドポイントの割り込み要求などのイベントが発生すると、DMA要求が発生します。

このレジスタは、1ビットのみ“1”に設定可能です。複数のビットを同時に“1”にした場合、設定は無効となります。また、有効な値を設定する前に、DMAx(x=0~3)要因選択レジスタ(03B816,03BA16, 03B016, 03B216番地)のDMA要求要因選択ビット(b4,b3,b2,b1,b0)に“000112”(USB0/USB1/USB2/USB3)を設定するなど、他のDMA関連レジスタを設定する必要があります。

図2.8.50にUSB DMAx(x=0~3)要求レジスタの構成を示します。

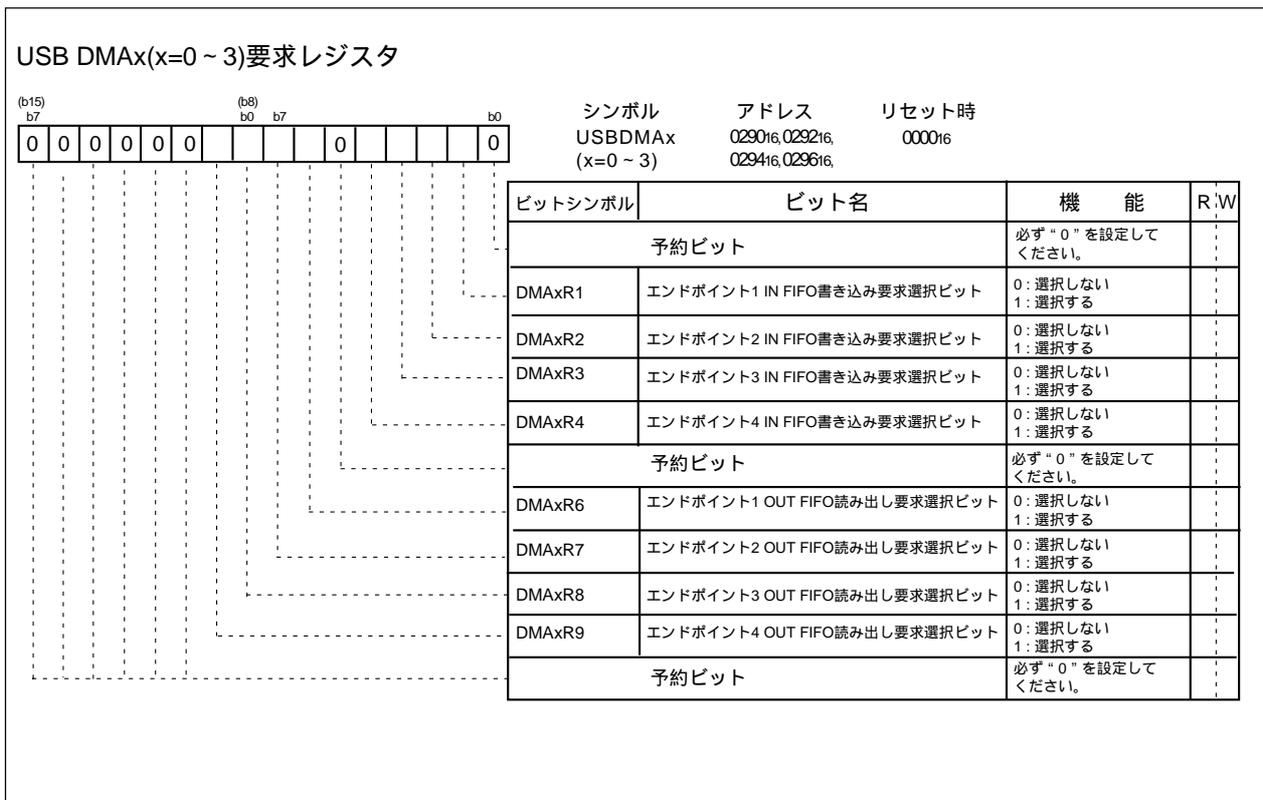


図2.8.50. USB DMA(x=0~3)要求レジスタの構成

(2) エンドポイントx OUTによるDMA要求

DMA要求要因

USB0/USB1/USB2/USB3のDMA要求要因元にエンドポイント1~4OUT FIFO書き込み要求選択ビットを設定する場合、DMA要求要因は以下の3要因あります。各要因において、指定条件を全て満たすときにイベントが発生すると、DMA0/DMA1/DMA2/DMA3のDMA要求が発生します。

要因1

条件：・DMAi制御レジスタのDMA許可ビットが“1”（許可）。
・USB DMAi要求レジスタにエンドポイントx(x=1~4) OUT FIFO読み出し要求選択ビットの何れか1つが“1”。その他のビットは“0”（有効設定であること）。

イベント：USB DMAi要求レジスタで設定したエンドポイントx OUTのOUT FIFOの状態が更新されて、OUT_BUF_STS1, OUT_BUF_STS0フラグが、シングルバッファ時“112”、ダブルバッファ時“102”となったとき(OUT FIFOに1バッファ以上データを受信したとき。このとき1 パケット受信が完了した場合は、同時にエンドポイントx OUT割り込み要求が発生します)。

要因2

条件：・DMAi制御レジスタのDMA許可ビットが“1”（許可）。
・USB DMAi要求レジスタに設定するエンドポイントx OUTのOUT_BUF_STS1, OUT_BUF_STS0フラグが“102”又は“112”（OUT FIFOに1パケット以上データがある状態）。
・USB DMAi要求レジスタが選択無し(“0016”）。

イベント：USB DMAi要求レジスタに、エンドポイントx(x=1~4) OUT FIFO 読み出し要求選択ビットの何れか1つに“1”を設定。その他のビットは“0”（有効設定であること）。

要因3

条件：・DMAi制御レジスタのDMA許可ビットが“1”（許可）。
・USB DMAi要求レジスタに設定するエンドポイントx OUTのOUT_BUF_STS1, OUT_BUF_STS0フラグが“102”又は“112”（OUT FIFOに1パケット以上データがある状態）。
・USB DMAi要求レジスタにエンドポイントx(x=1~4) OUT FIFO 読み出し要求選択ビットの何れか1つが“1”。その他のビットは“0”。

イベント：USB DMAi要求レジスタで設定したエンドポイントx OUT FIFO から1バイト(1ワード)データを読み出す。

DMA転送でのエンドポイントx OUT FIFOの読み出し

USB0/USB1/USB2/USB3のDMA要求要因はエンドポイント1~4OUT FIFOからの読み出しに対応しています（要因3）。そのため、DMAソースポイントにエンドポイントx OUT FIFO を指定して転送元アドレス方向を固定にした場合、要因1（要因2または要因3）によりDMA転送が実行されると、要因3が発生します。このため、1バッファデータ(1パケットデータ)をDMA転送でOUT FIFOから読み出す場合、要因1（要因2または要因3）により1バイト(1ワード)目のデータをDMA転送し、2バイト(2ワード)目から最終バイト目のデータを要因3でDMA転送することが可能です。

DMA転送の詳細は「2章 DMAC」を参照してください。

(3) エンドポイントx INによるDMA要求

DMA要求要因

USB0/USB1/USB2/USB3のDMA要求要因元にエンドポイント1~4IN FIFO書き込み要求選択ビットを設定する場合、DMA要求要因は以下の3要因あります。各要因において、指定条件を全て満たすときにイベントが発生すると、DMA0/DMA1/DMA2/DMA3のDMA要求が発生します。

要因1

条件：・DMAi制御レジスタのDMA許可ビットが“1”（許可）。

・USB DMAi要求レジスタにエンドポイントx(x=1~4) IN FIFO 書き込み要求選択ビットの何れかのみが“1”。その他のビットは“0”（有効設定であること）。

イベント：USB DMAi要求レジスタで設定したエンドポイントx のIN FIFOの状態が更新されIN_BUF_STS1, IN_BUF_STS0フラグがシングルバッファ時“002”、ダブルバッファ時“012”になったとき（IN FIFOに1パケット以上空きができたとき。このとき、1パケット送信が終了した場合は、同時にエンドポイントx IN 割り込み要求が発生します）。

要因2

条件：・DMAi制御レジスタのDMA許可ビットが“1”（許可）。

・USB DMAi要求レジスタに設定するエンドポイントx INのIN_BUF_STS1, IN_BUF_STS0フラグが“002”又は“012”（IN FIFO に1パケット以上空きがある状態）。

・USB DMAi要求レジスタが選択無し（“0016”）。

イベント：USB DMAi要求レジスタに、エンドポイントx (x=1~4) IN FIFO 書き込み要求選択ビットの何れかのみ“1”を設定。その他のビットは“0”（有効設定であること）。

要因3

条件：・DMAi制御レジスタのDMA許可ビットが“1”（許可）。

・USB DMAi要求レジスタに設定するエンドポイントx INのIN_BUF_STS1, IN_BUF_STS0フラグが“002”又は“012”（IN FIFO に1パケット以上空きがある状態）。

・USB DMAi要求レジスタにエンドポイントx(x=1~4) IN FIFO 書き込み要求選択ビットの何れかのみが“1”。その他のビットは“0”。

イベント：USB DMAi要求レジスタで設定したエンドポイントx IN FIFO に1バイト(1ワード)データを書き込む。

エンドポイントx IN FIFO へのDMA転送

USB0/USB1/USB2/USB3のDMA要求要因はエンドポイント1~4 IN FIFOへの書き込みに対応しています（要因3）。そのため、DMAのディスティネーションポイントにエンドポイントx IN FIFOを指定して転送先アドレス方向を固定にした場合、要因1（要因2または要因3）によりDMA転送が実行されると、要因3が発生します。このため、1バッファデータをDMA転送でIN FIFOに書き込む場合、要因1（要因2または要因3）により1バイト(1ワード)目のデータをDMA転送し、2バイト(2ワード)目から最終バイト(最終ワード)目のデータを要因3でDMA転送することが可能です。

DMA転送の詳細は「2.10 DMAC」を参照してください。

2.8.9 USBに関する注意事項

(1) USB通信

通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。

(2) 外付け回路

図2.8.51に周辺回路ブロック図、図2.8.52にLPF端子の受動部品を、図2.8.53に絶縁コネクタの接続図を示します。

USB2.0仕様では、ドライバインピーダンス28 ~ 44 が規定されています(7.1.1.1 Full-speed(12Mb/s) Driver Characteristics を参照してください)。この規格を満足するために、USB D+端子とUSB D-端子に直列抵抗(推奨値 27 ~ 33)を接続してください。また、USB D+端子/USB D-端子とVss端子の間にコンデンサを接続してください。これらのコンデンサはリングングを抑えるため、もしくはD+/D-の立ち上がり、立下がり時間及びクロスオーバーポイントを調整するためのものです。周辺素子の数値と構成は実装プリント基板の特性インピーダンス、レイアウトの違いにより調整が必要となりますので、使用システムで十分に評価、波形観測のうえ、接続の有無と抵抗値・コンデンサ数値をご調整願います。

D+端子、又はD-端子にチョークコイルを接続しないことを推奨します。

USB接続 / 非接続機能(Attach/Detach)を使用しない場合は、UVcc端子とUSB D+端子間を1.5k の抵抗を介して接続してください (D+ラインプルアップのタイミングはUVcc端子に依存します)。

USB接続 / 非接続機能(Attach/Detach)を使用する場合は、P90/ATTACH端子とUSB D+端子間を1.5k の抵抗を介して接続してください。USB接続 / 非接続機能の使用に関わらず、UVcc端子は電源に接続してください。また、ホストPCがUSB接続 / 非接続を認識するまでの時間は、基板抵抗成分・容量成分、USBケーブル容量、ホストの基板特性と処理速度など、全システムの状態によって異なります。実際にご使用になるシステムで十分な評価を行ってください。

LPF端子の受動部品は、すべてLPF端子のできるだけ近くに接続してください。

AVss端子とデジタルVss間、AVcc端子とデジタルVcc間に絶縁コネクタ(フェライトビーズ)を接続してください。またこのとき、A/D変換器を使用する場合は、Vref端子をAVcc端子に接続してください。

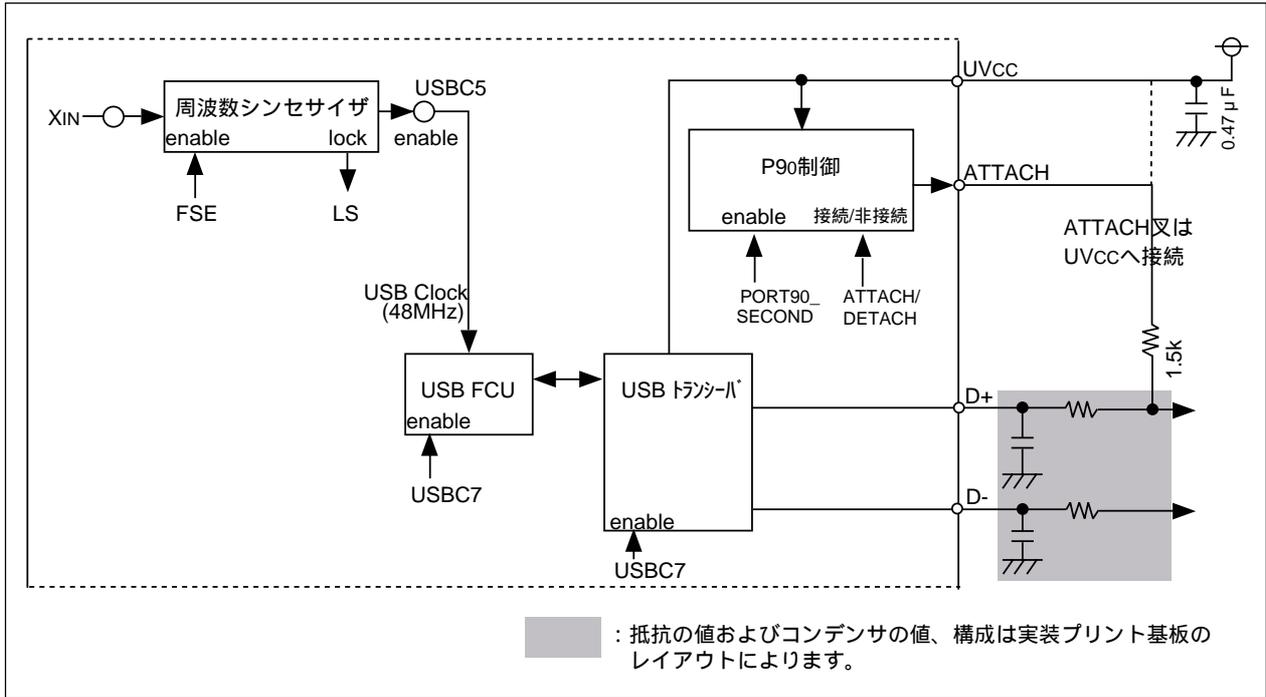


図2.8.51. 周辺回路ブロック図

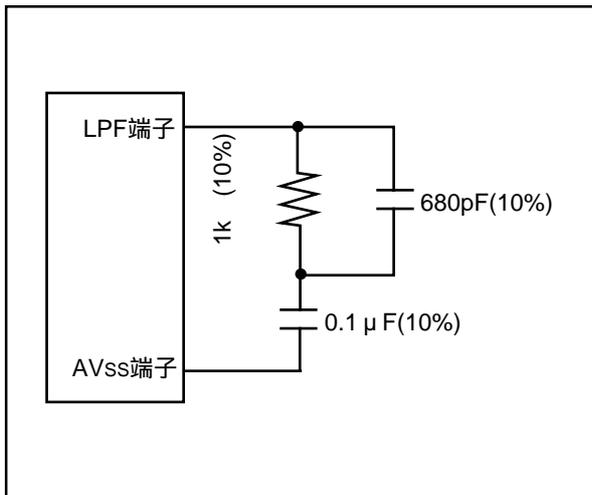


図2.8.52. LPF端子の受動部品

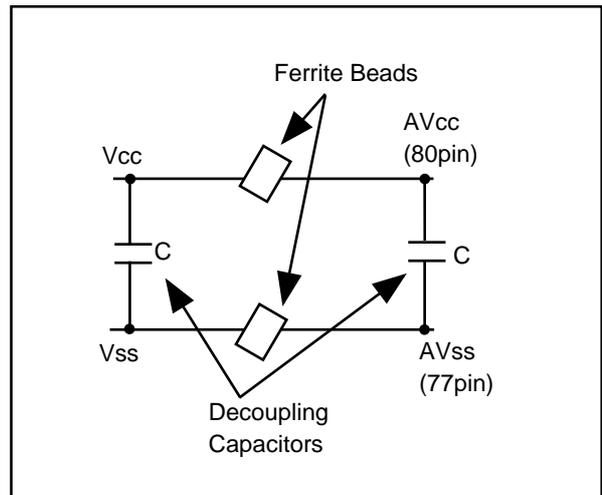


図2.8.53. 絶縁コネクタの接続図

(3) レジスタ、ビット

USBリセット割り込み要求が発生すると、すべてのUSB 内部レジスタはリセット時の状態になります。通信を再開するには、各エンドポイントの初期設定が必要です。

USB エンドポイント $x(x=0 \sim 4)$ IN FIFO データレジスタ(EP x I)とUSB エンドポイント $x(x=0 \sim 4)$ OUT FIFOデータレジスタ(EP x O)、USB 制御レジスタ(USBC)、USB 接続/非接続レジスタ(USBAD)以外のすべてのUSB関連レジスタ(16ビットのレジスタ)は、ワードアクセス、バイトアクセスが可能です。EP x IとEP x Oは、ワードアクセス又は下位バイトへのバイトアクセスのみ可能です。8ビットレジスタのUSBC、USBADにはバイトアクセスのみ可能です。ソフトウェアリセット後、すべてのUSB 関連レジスタの内容は保持されます。

サスペンドモード時にUSBクロックが禁止状態の間は、USB内部レジスタ(USBC, USBAD, 周波数シンセサイザ関連レジスタを除く)への書き込みは禁止です。

(4) パケットデータの破壊

USB転送中にエンドポイント x OUT制御レジスタの(EP x OCS)のFLUSHビットを“1”にすると受信データが破壊される可能性があります。必ずOUT FIFOにデータがある(OUT_BUF_STS1, OUT_BUF_STS0が“102”又は“112”)状態で、EP x OCSのFLUSHビットを“1”にしてください。USB転送中にエンドポイント x IN制御レジスタの(EP x ICS)のFLUSHビットを“1”にすると送信データが破壊される可能性があります。IN_BUF_STS1, IN_BUF_STS0フラグを読み出し、IN FIFO にデータが存在することを確認してから、EP x ICSのFLUSHビットを“1”にセットしてください。アイソクロナス転送時は、AUTO_FLUSHビット(028C₁₆番地のビット0)を使用してください。

2.9 A/D変換器

2.9.1 概要

A/D変換器は、逐次変換方式で動作する10ビットのA/D変換器です。A/D変換器の概要について説明します。

モード

A/D変換器は、次の5つのモードを持ちます。

(1) 単発モード

指定された1端子の入力電圧を1度だけA/D変換します。

(2) 繰り返しモード

指定された1端子の入力電圧を繰り返しA/D変換します。

(3) 単掃引モード

指定された複数の端子の入力電圧を1度だけA/D変換します。

(4) 繰り返し掃引モード0

指定された複数の端子の入力電圧を繰り返しA/D変換します。

(5) 繰り返し掃引モード1

指定された複数の端子の入力電圧を繰り返しA/D変換します。

繰り返し掃引モード0との相違点は、指定する複数の端子の中から変換回数に重みを付けられることです。

動作クロック

動作クロックは、 f_{AD} 、 f_{AD} の2分周、 f_{AD} の3分周、または f_{AD} の4分周の中から選択できます。 f_{AD} は、CPUのメインクロックと同じ周波数です($f_{AD}=f(XIN)$)。動作クロックは10MHz以下で使用してください。 $f(XIN)(f_{AD})$ が10MHzを超える場合は分周してください。

変換時間

A/D変換器の変換サイクル数は次のとおりです。また、表2.9.1にA/D変換器の動作クロックごとの変換時間を示します。

サンプル&ホールド機能を選択した場合

10ビット分解能では33 ADサイクル、8ビット分解能では28 ADサイクル

サンプル&ホールド機能を選択しない場合

10ビット分解能では59 ADサイクル、8ビット分解能では49 ADサイクル

表2.9.1. 動作クロックごとの変換時間

周波数選択ビット1		1	0	0	1
周波数選択ビット0		0	0	1	1
A/D変換器の動作クロック		$\phi_{AD} = f_{AD}/3$	$\phi_{AD} = f_{AD}/4$	$\phi_{AD} = f_{AD}/2$	$\phi_{AD} = f_{AD}$
最短変換サイクル数(注1)	8ビットモード	28 × ϕ_{AD}			
	10ビットモード	33 × ϕ_{AD}			
最短変換時間(注2)	8ビットモード	8.4 μ s	11.2 μ s	5.6 μ s	2.8 μ s
	10ビットモード	9.9 μ s	13.2 μ s	6.6 μ s	3.3 μ s

注1. アナログ入力端子1本あたりの変換サイクル数

注2. アナログ入力端子1本あたりの変換時間($f_{AD} = f(XIN) = 10\text{MHz}$ 時)

選択機能

(1) サンプル&ホールド機能

サンプル&ホールド機能とは、A/D変換開始時、入力電圧をサンプリングし、サンプリングされた電圧に対してA/D変換を行う機能です。A/D変換開始時、動作クロックの3サイクル分サンプリングします。サンプル&ホールドを選択する場合、ADの周波数は1MHz以上にしてください。

(2) 8ビットA/D/10ビットA/D切り替え機能

分解能は、10ビットと8ビットを選択できます。8ビット分解能を選択した場合、10ビットA/Dの上位8ビットをA/D変換結果とします。

10ビットA/D分解能と8ビット分解能の計算式を以下に示します。

$$\text{10ビット分解能} \quad (V_{\text{ref}} \times n / 2^{10}) - (V_{\text{ref}} \times 0.5 / 10^{10}) \quad (n = 1 \sim 1023), 0(n = 0)$$

$$\text{8ビット分解能} \quad (V_{\text{ref}} \times n / 2^8) - (V_{\text{ref}} \times 0.5 / 2^{10}) \quad (n = 1 \sim 255), 0(n = 0)$$

(3) 外部トリガによるA/D変換開始機能

ソフトウェアによるA/D変換開始と外部端子入力によるA/D変換開始を選択できます。

(4) Vref接続/切断選択

Vrefを切断することでA/D変換器に流れ込む電流を小さくすることができます。マイコンの消費電力を小さくする場合は、Vrefを切断してください。また、A/D変換を行う場合、Vrefを接続してから1μs以上経過した後、A/D変換をスタートさせてください。

A/D変換器への入力と方向レジスタの関係

A/D変換器を使用する場合、ポートの方向レジスタを入力に設定してください。

A/D変換器関連端子

- | | |
|-----------------|-------------------|
| (1) AN0 ~ AN7端子 | A/D変換器の入力端子です。 |
| (2) AVCC端子 | アナログ部の電源端子です。 |
| (3) VREF端子 | 基準電圧の入力端子です。 |
| (4) AVSS端子 | アナログ部のGND端子です。 |
| (5) ADTRG端子 | A/D変換器のトリガ入力端子です。 |

A/D変換器関連レジスタ

図2.9.1にA/D変換器関連レジスタのメモリ配置図を、図2.9.2、図2.9.3にA/D変換器関連レジスタの構成を示します。

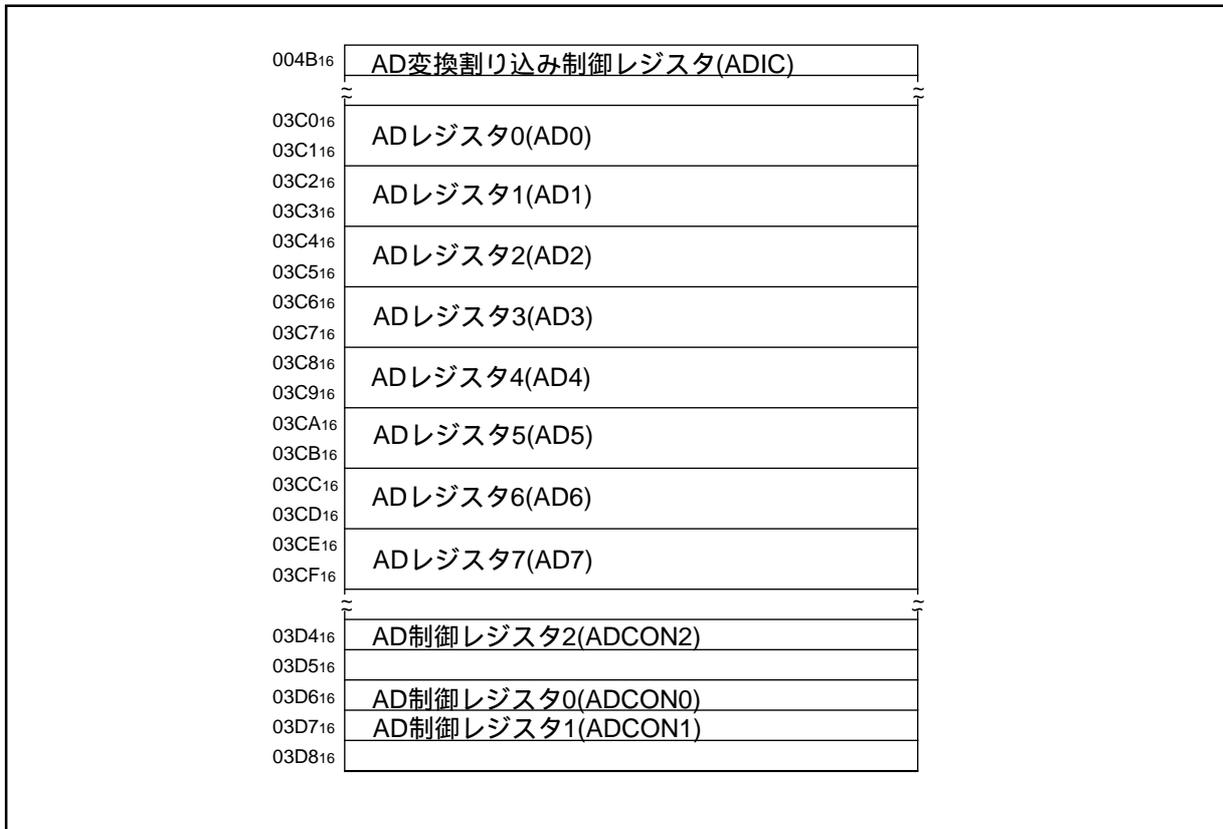


図2.9.1. A/D変換器関連レジスタのメモリ配置図

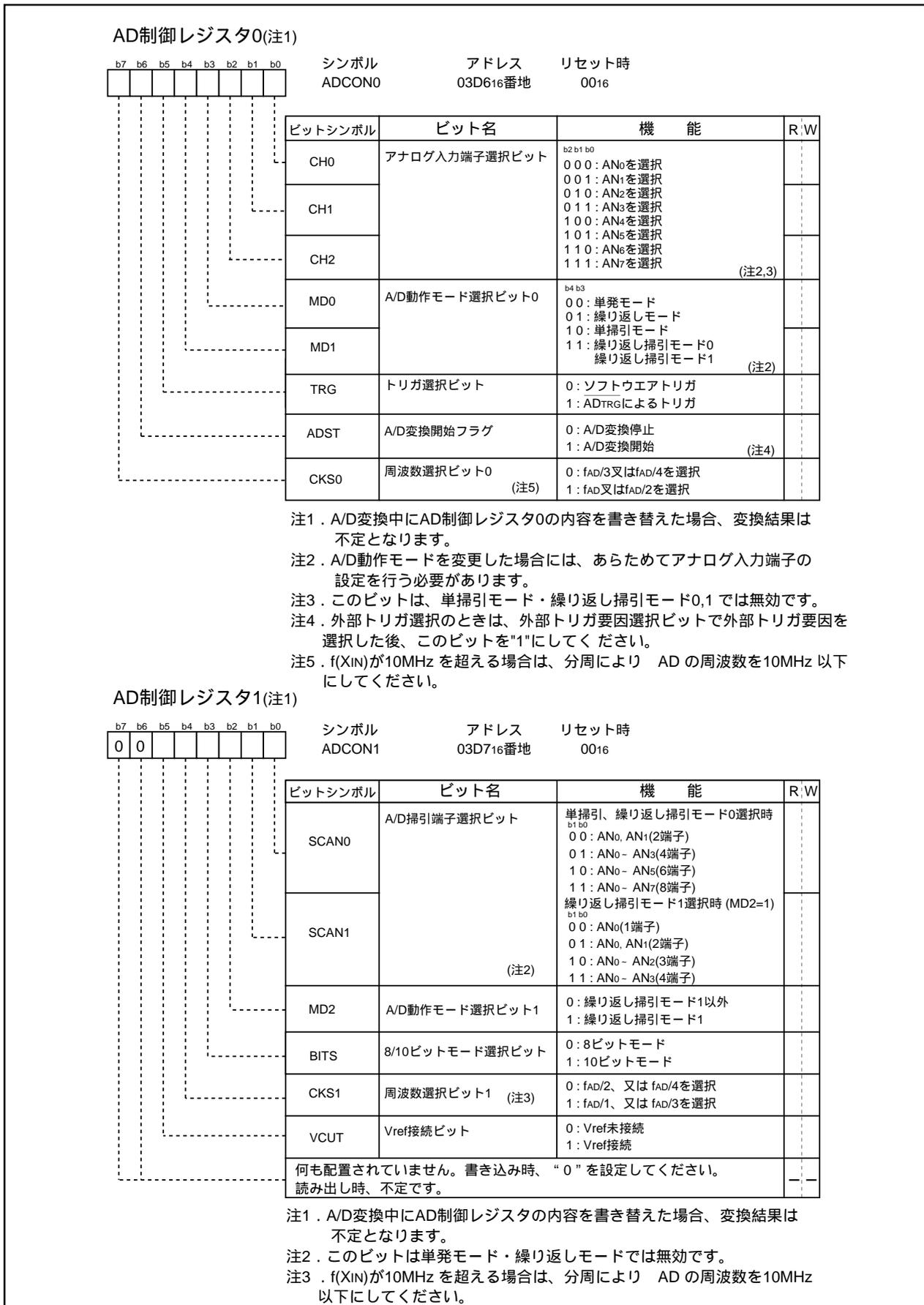


図2.9.2. AD変換器関連レジスタ(1)

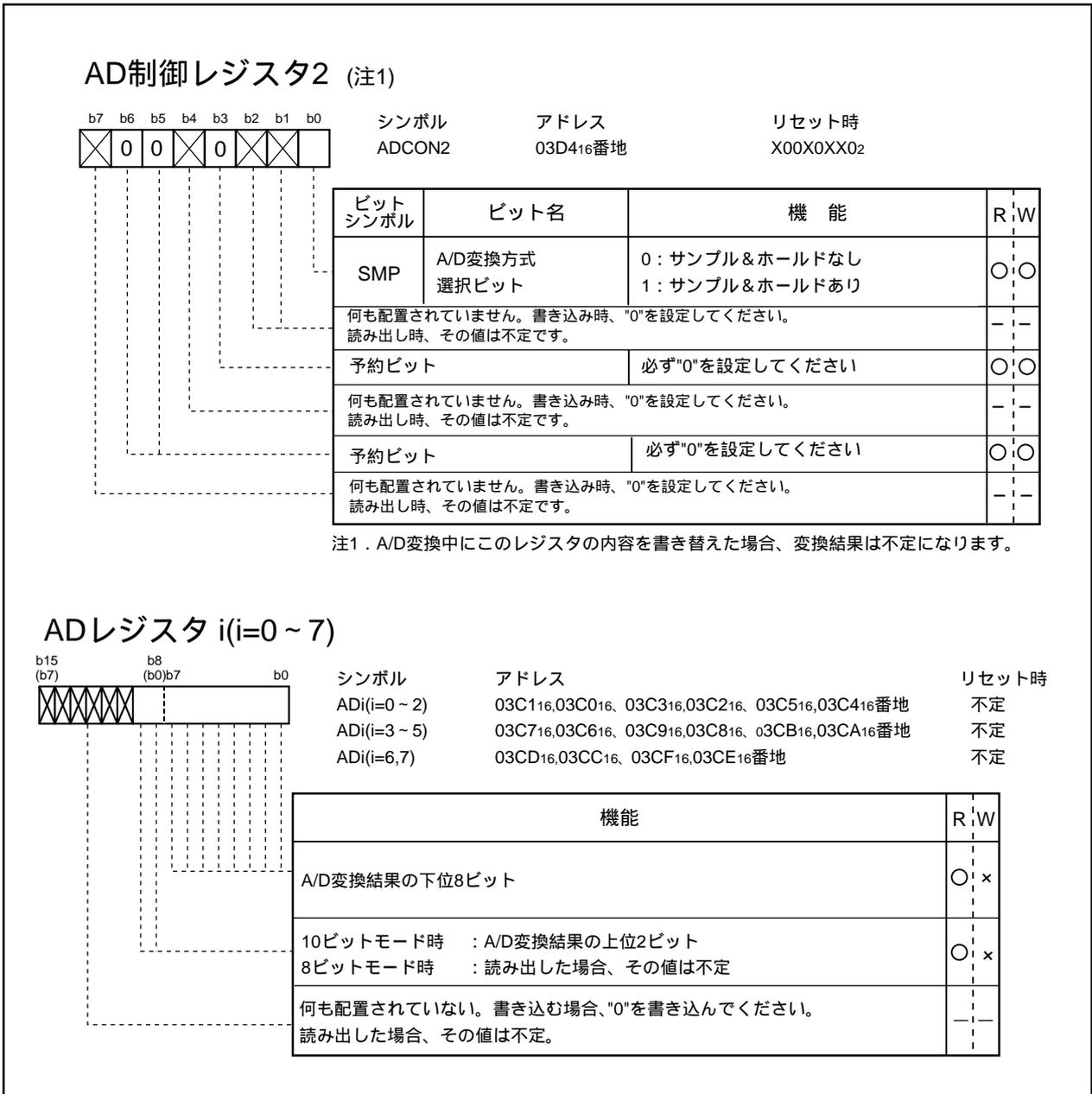


図2.9.3. A/D変換器関連レジスタ(2)

2.9.2 A/D変換器の動作（単発モード）

単発モードでは、表2.9.2に示す項目の中から機能を選択できます。ここでは、表2.9.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.9.4に動作タイミングを、図2.9.5に設定手順を示します。

表2.9.2. 設定内容

設定項目	設定内容
動作クロック AD	f _{AD} の4分周 / f _{AD} の3分周/ f _{AD} の2分周 / f _{AD}
分解能	8ビット / 10ビット
アナログ入力端子	AN ₀ ~ AN ₇ から1本
A/D変換開始条件	ソフトウェアトリガ
	AD _{TRG} によるトリガ
サンプル&ホールド	なし
	あり

- 動作
- (1) A/D変換開始フラグを“1”にすると、A/D変換器は動作を開始します。
 - (2) A/D変換終了後、逐次比較レジスタの内容(変換結果)はADレジスタiに転送されます。同時にA/D変換割り込み要求ビットが“1”になります。また、A/D変換開始フラグが“0”になり、A/D変換器は動作を停止します。

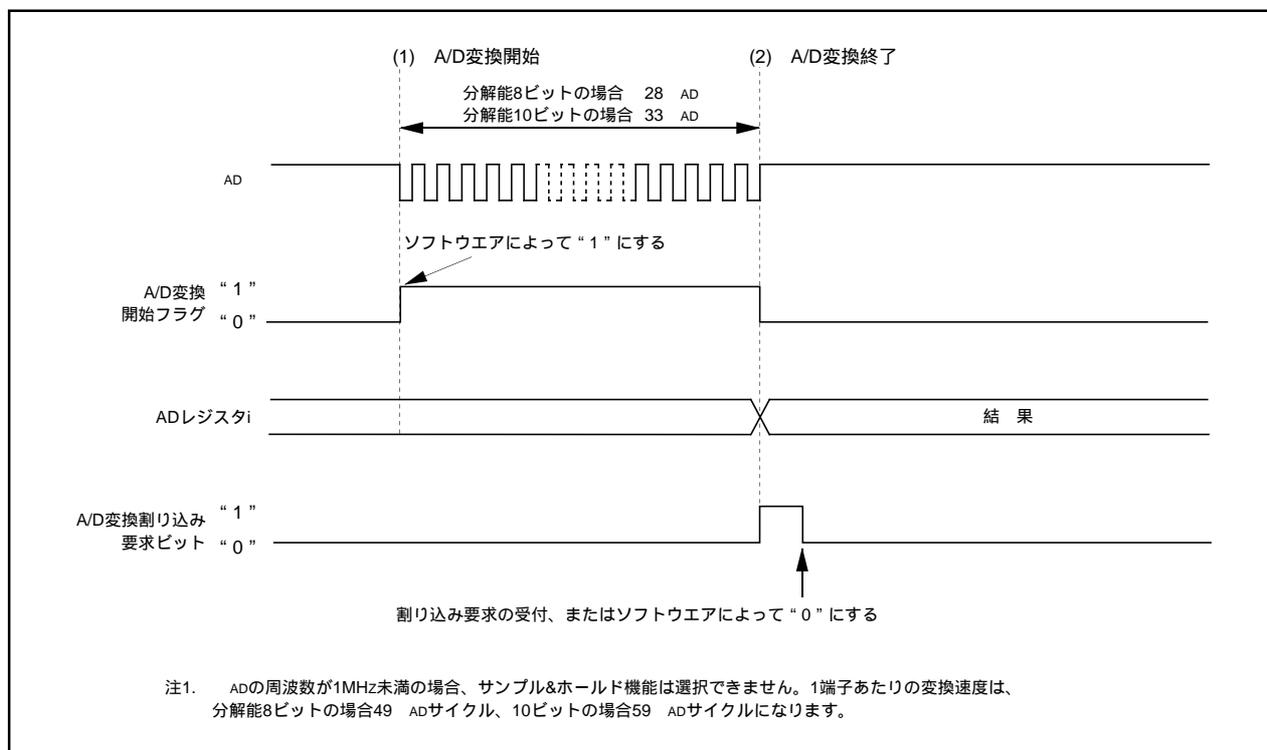
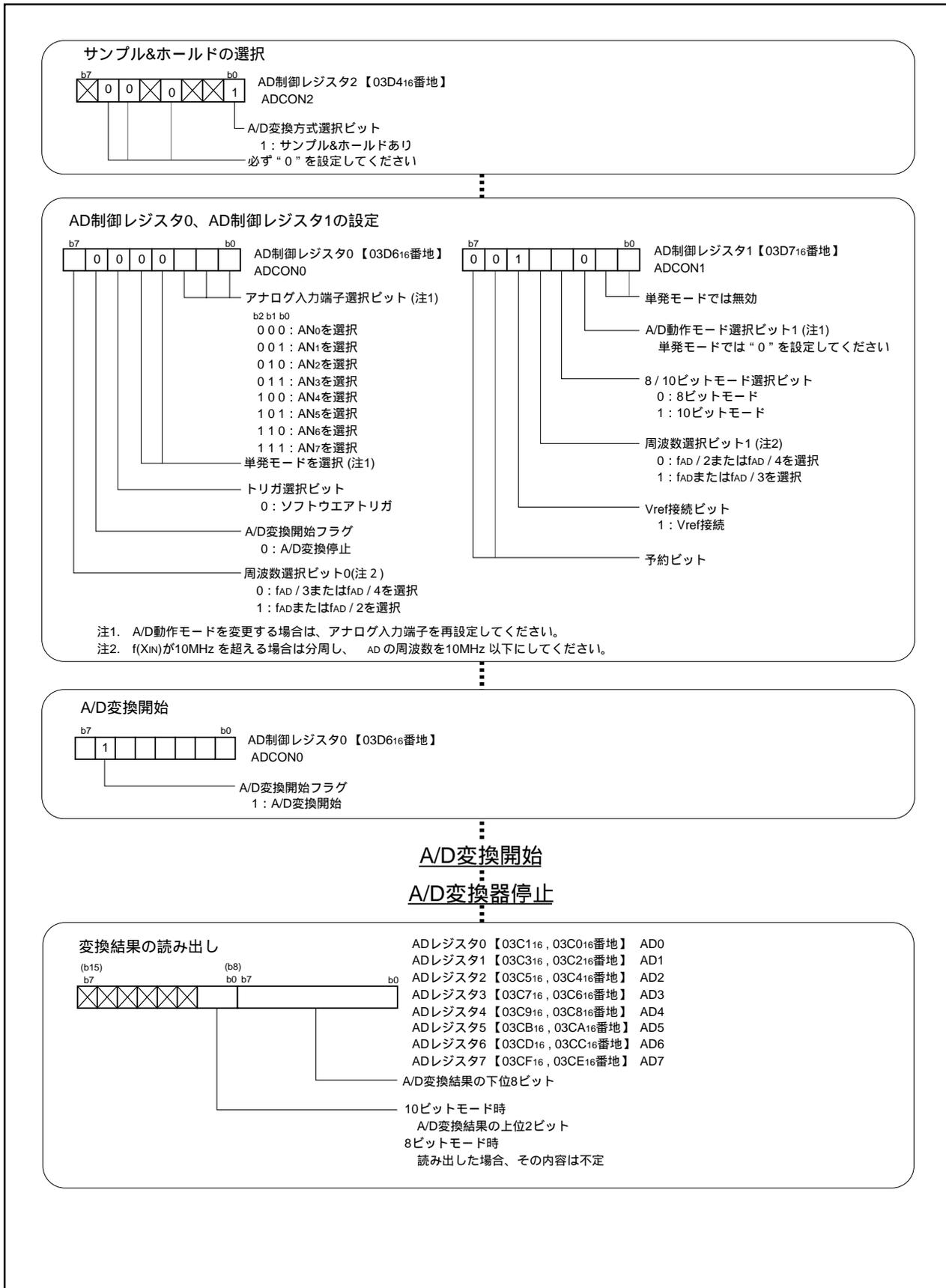


図2.9.4. 単発モード動作タイミング図



2.9.3 A/D変換器の動作 (単発モード、外部トリガ選択時)

単発モードでは、表2.9.3に示す項目の中から機能を選択できます。ここでは、表2.9.3に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.9.6に動作タイミングを、図2.9.7に設定手順を示します。

表2.9.3. 設定内容

設定項目	設定内容
動作クロック AD	f_{AD} の4分周 / f_{AD} の3分周 / f_{AD} の2分周 / f_{AD}
分解能	8ビット / 10ビット
アナログ入力端子	AN ₀ ~ AN ₇ から1本
A/D変換開始条件	ソフトウェアトリガ
	\overline{ADTRG} によるトリガ
サンプル&ホールド	なし
	あり

- 動作
- (1) A/D変換開始フラグが“1”のとき、 \overline{ADTRG} 端子のレベルが“H”から“L”になると、A/D変換器は動作を開始します。
 - (2) A/D変換終了後、逐次比較レジスタの内容(変換結果)はADレジスタiに転送されます。同時にA/D変換割り込み要求ビットが“1”になります。また、A/D変換器は動作を停止します。
 - (3) \overline{ADTRG} 端子のレベルが“H”から“L”になると、A/D変換器は再度(1)から変換を行います。また、A/D変換中に \overline{ADTRG} 端子のレベルが“H”から“L”になると、その時点で行っているA/D変換を中止し、再度(1)から変換を行います。

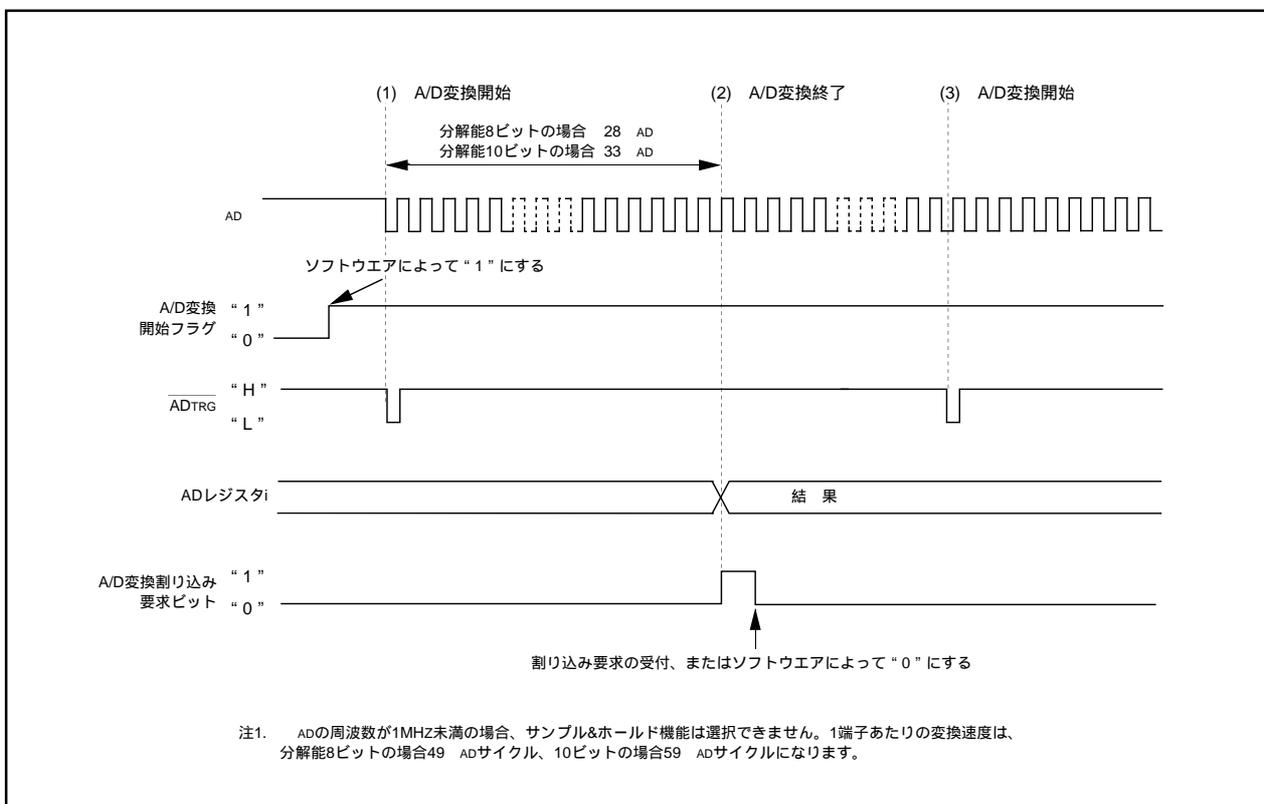


図2.9.6. 単発モード、外部トリガ選択時の動作タイミング図

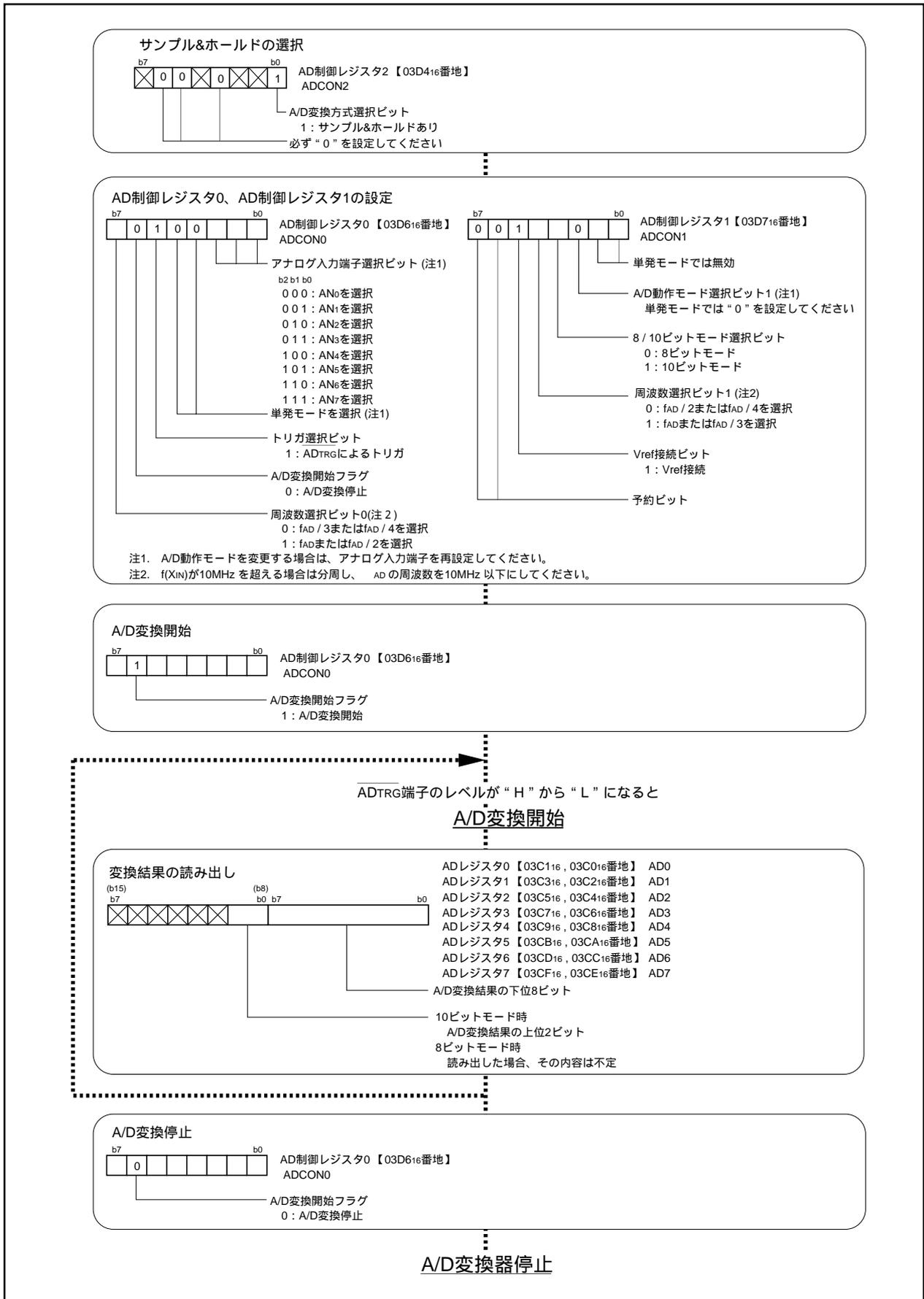


図2.9.7. 単発モード、外部トリガ選択時のレジスタ設定手順

2.9.4 A/D変換器の動作（繰り返しモード）

繰り返しモードでは、表2.9.4に示す項目の中から機能を選択できます。ここでは、表2.9.4に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.9.8に動作タイミングを、図2.9.9に設定手順を示します。

表2.9.4. 設定内容

設定項目	設定内容
動作クロック AD	f _{AD} の4分周/f _{AD} の3分周/ f _{AD} の2分周/ f _{AD}
分解能	8ビット / 10ビット
アナログ入力端子	AN ₀ ~ AN ₇ から1本
A/D変換開始条件	ソフトウェアトリガ
	ADTRGによるトリガ
サンプル&ホールド	なし
	あり

- 動作
- (1) A/D変換開始フラグを“1”にすると、A/D変換器は動作を開始します。
 - (2) 1回目のA/D変換終了後、逐次比較レジスタの内容(変換結果)はADレジスタに転送されます。A/D変換割り込み要求ビットは“1”になりません。
 - (3) ソフトウェアでA/D変換開始フラグを“0”にするまで、A/D変換器は動作を続けます。変換結果は、変換終了ごとにADレジスタに転送されます。

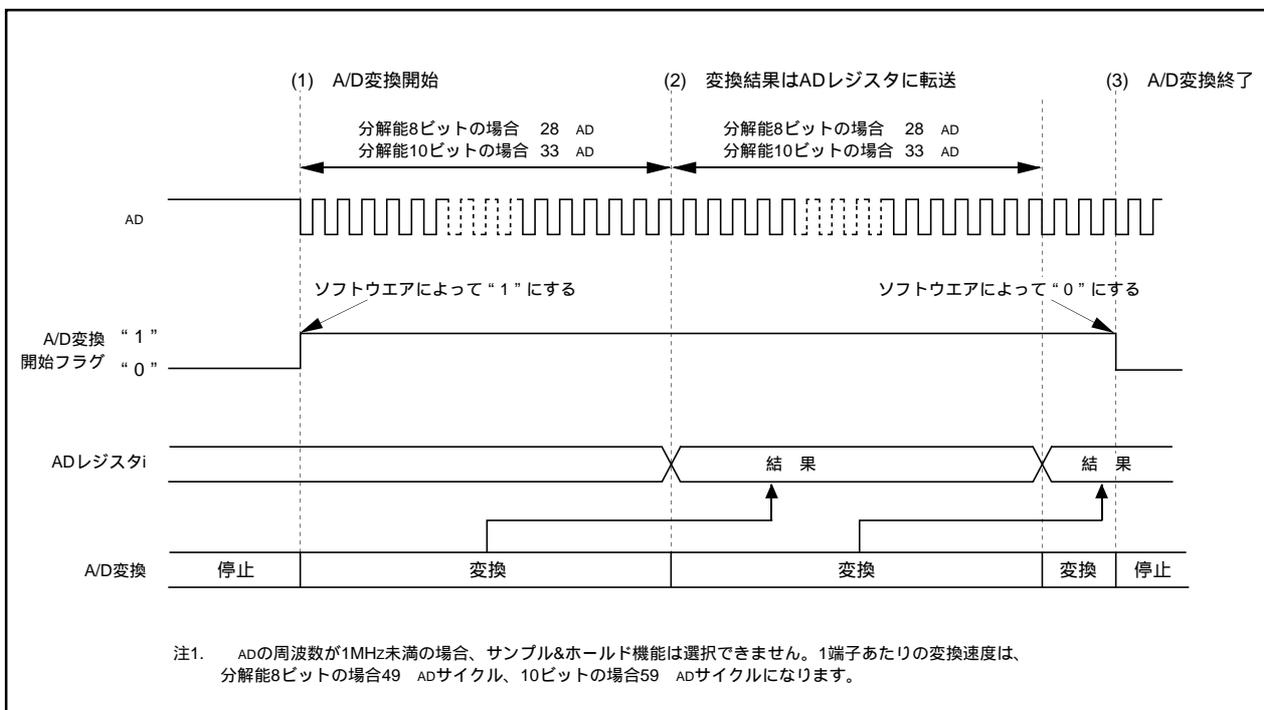


図2.9.8. 繰り返しモード動作タイミング図

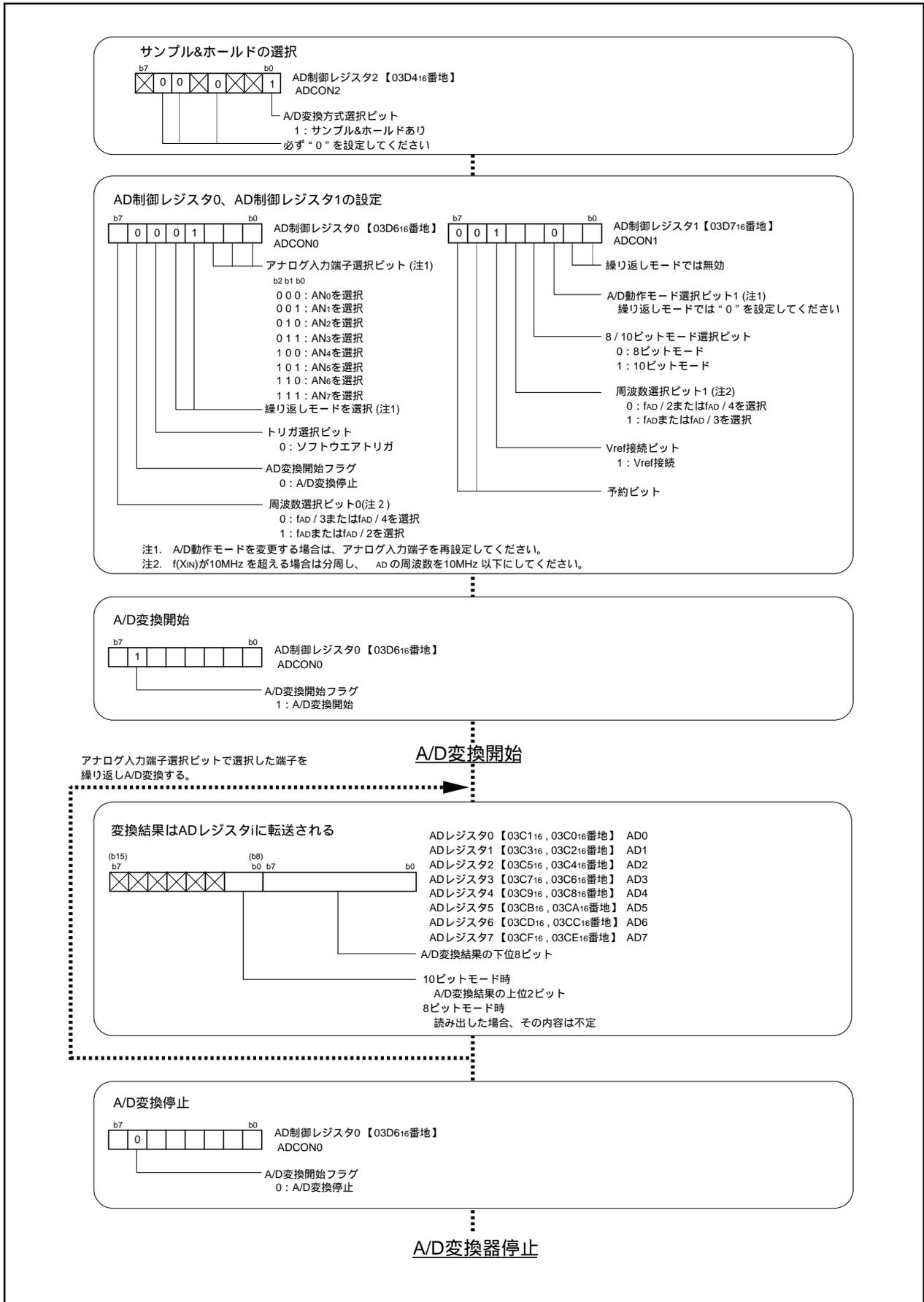


図2.9.9. 繰り返しモード時のレジスタ設定手順

2.9.5 A/D変換器の動作 (単掃引モード)

単掃引モードでは、表2.9.5に示す項目の中から機能を選択できます。ここでは、表2.9.5に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.9.10に動作タイミングを、図2.9.11に設定手順を示します。

表2.9.5. 設定内容

設定項目	設定内容
動作クロック AD	f_{AD} の4分周 / f_{AD} の3分周 / f_{AD} の2分周 / f_{AD}
分解能	8ビット / 10ビット
アナログ入力端子	AN ₀ , AN ₁ (2端子) / AN ₀ ~ AN ₃ (4端子) / AN ₀ ~ AN ₅ (6端子) / AN ₀ ~ AN ₇ (8端子)
A/D変換開始条件	ソフトウェアトリガ
	\overline{ADTRG} によるトリガ
サンプル&ホールド	なし
	あり

- 動作
- (1) A/D変換開始フラグを“1”にすると、A/D変換器はAN₀端子の入力電圧のA/D変換を開始します。
 - (2) AN₀端子の入力電圧のA/D変換終了後、逐次比較レジスタの内容(変換結果)はADレジスタ0に転送されます。選択されたすべてのアナログ入力端子に対してA/D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するADレジスタ*i*に転送されます。
 - (3) 選択されたすべてのアナログ入力端子に対するA/D変換が終了すると、A/D変換割り込み要求ビットが“1”になります。同時に、A/D変換開始フラグが“0”になり、A/D変換器は動作を停止します。

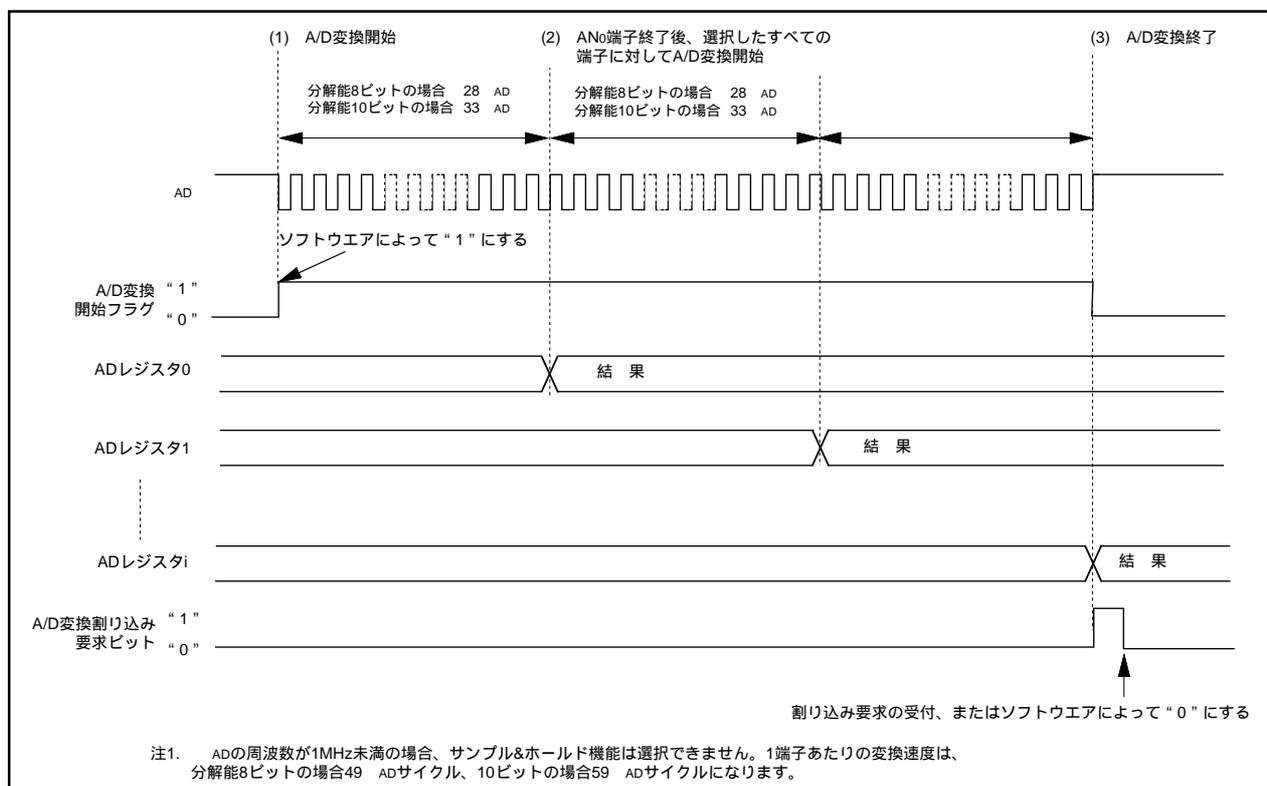


図2.9.10. 単掃引モード動作タイミング図

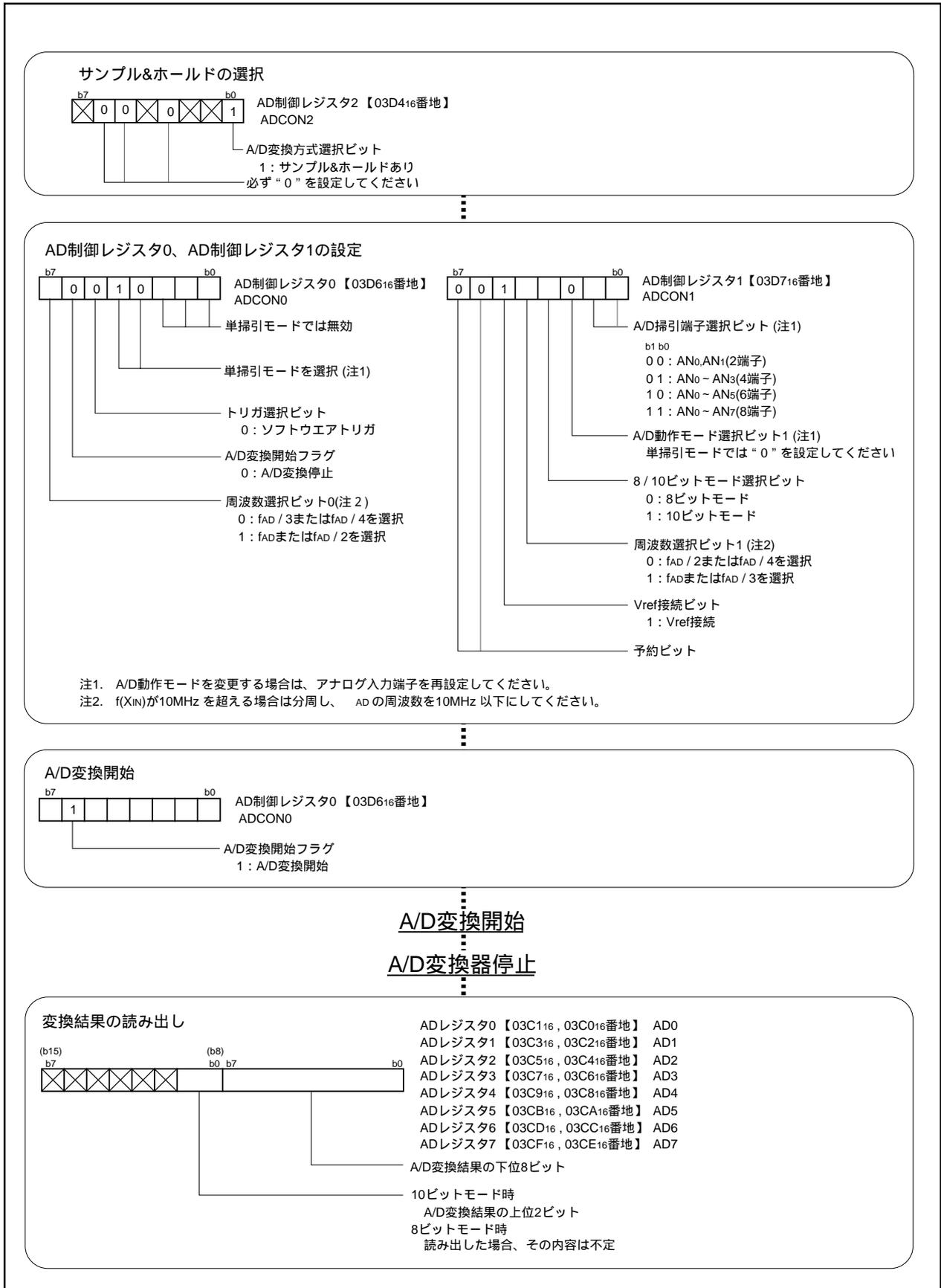


図2.9.11. 単掃引モード時のレジスタ設定手順

2.9.6 A/D変換器の動作 (繰り返し掃引モード0)

繰り返し掃引モード0では、表2.9.6に示す項目の中から機能を選択できます。ここでは、表2.9.6に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.9.12に動作タイミングを、図2.9.13に設定手順を示します。

表2.9.6. 設定内容

設定項目	設定内容
動作クロック AD	f _{AD} の4分周 / f _{AD} の3分周 / f _{AD} の2分周 / f _{AD}
分解能	8ビット / 10ビット
アナログ入力端子	AN ₀ , AN ₁ (2端子) / AN ₀ ~ AN ₃ (4端子) / AN ₀ ~ AN ₅ (6端子) / AN ₀ ~ AN ₇ (8端子)
A/D変換開始条件	ソフトウェアトリガ
	ADTRGによるトリガ
サンプル&ホールド	なし
	あり

- 動作
- (1) A/D変換開始フラグを“1”にすると、A/D変換器はAN₀端子の入力電圧のA/D変換を開始します。
 - (2) AN₀端子の入力電圧のA/D変換終了後、逐次比較レジスタの内容(変換結果)はADレジスタ0に転送されます。
 - (3) 選択されたすべてのアナログ入力端子に対してA/D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するADレジスタiに転送されます。A/D変換割り込み要求ビットは“1”になりません。
 - (4) ソフトウェアでA/D変換開始フラグを“0”にするまで、A/D変換器は動作を続けます。

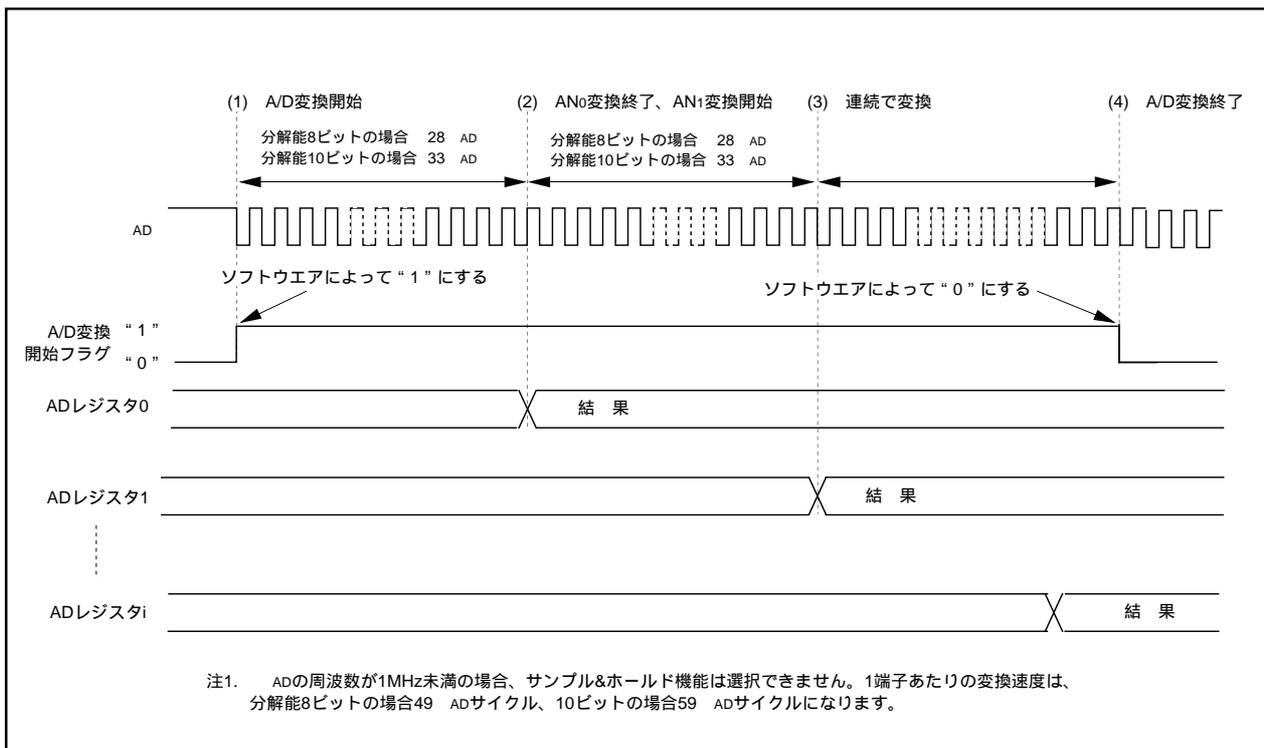


図2.9.12. 繰り返し掃引モード0動作タイミング図

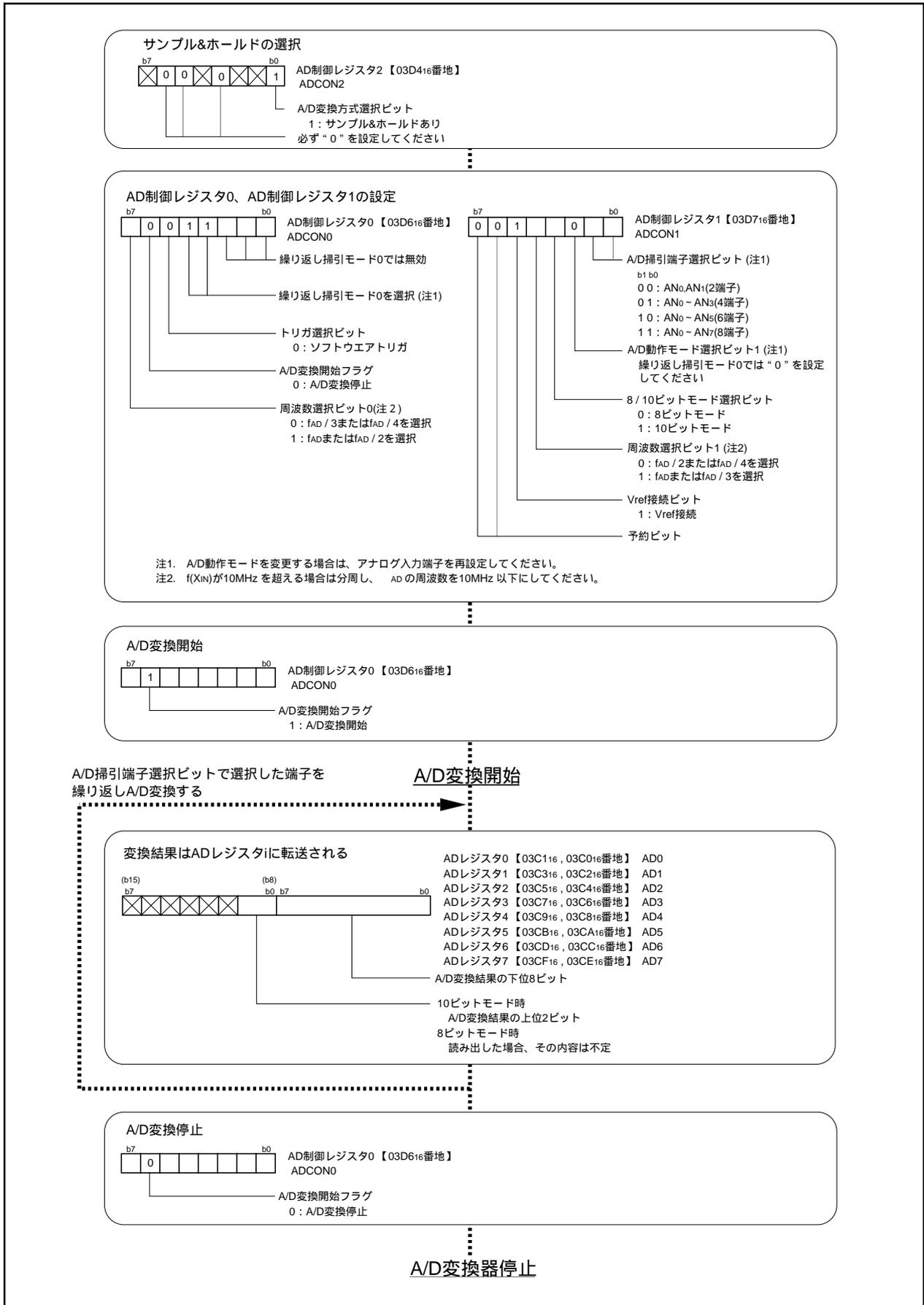


図2.9.13. 繰り返し掃引モード0時のレジスタ設定手順

2.9.7 A/D変換器の動作 (繰り返し掃引モード1)

繰り返し掃引モード1では、表2.9.7に示す項目の中から機能を選択できます。ここでは、表2.9.7に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.9.14にANi端子の掃引順序を、図2.9.15に動作タイミングを、図2.9.16に設定手順を示します。

表2.9.7. 設定内容

設定項目	設定内容
動作クロック AD	f_{AD} の4分周/ f_{AD} の3分周/ f_{AD} の2分周/ f_{AD}
分解能	8ビット / 10ビット
アナログ入力端子	AN0(1端子) / AN0, AN1(2端子) / AN0 ~ AN2(3端子) / AN0 ~ AN3(4端子)
A/D変換開始条件	ソフトウェアトリガ
	ADTRGによるトリガ
サンプル&ホールド	なし
	あり

- 動作
- (1) A/D変換開始フラグを“1”にすると、A/D変換器はAN0端子の入力電圧のA/D変換を開始します。
 - (2) AN0端子の入力電圧のA/D変換終了後、逐次比較レジスタの内容(変換結果)はADレジスタ0に転送されます。
 - (3) 選択されたアナログ入力端子に対してA/D変換を行うごとに、選択されていない端子を1端子だけA/D変換し、再びAN0端子からA/D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するADレジスタに転送されます。A/D変換割り込み要求ビットは“1”になりません。
 - (4) ソフトウェアでA/D変換開始フラグを“0”にするまで、A/D変換器は動作を続けます。

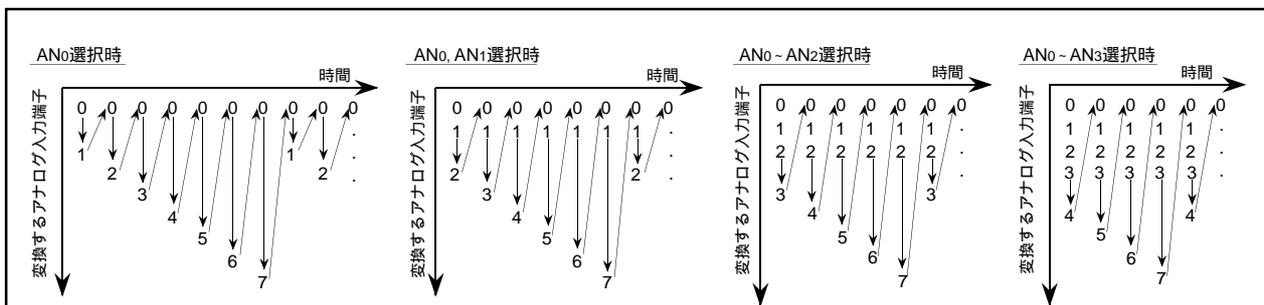


図2.9.14. 繰り返し掃引モード1におけるANi端子の掃引順序

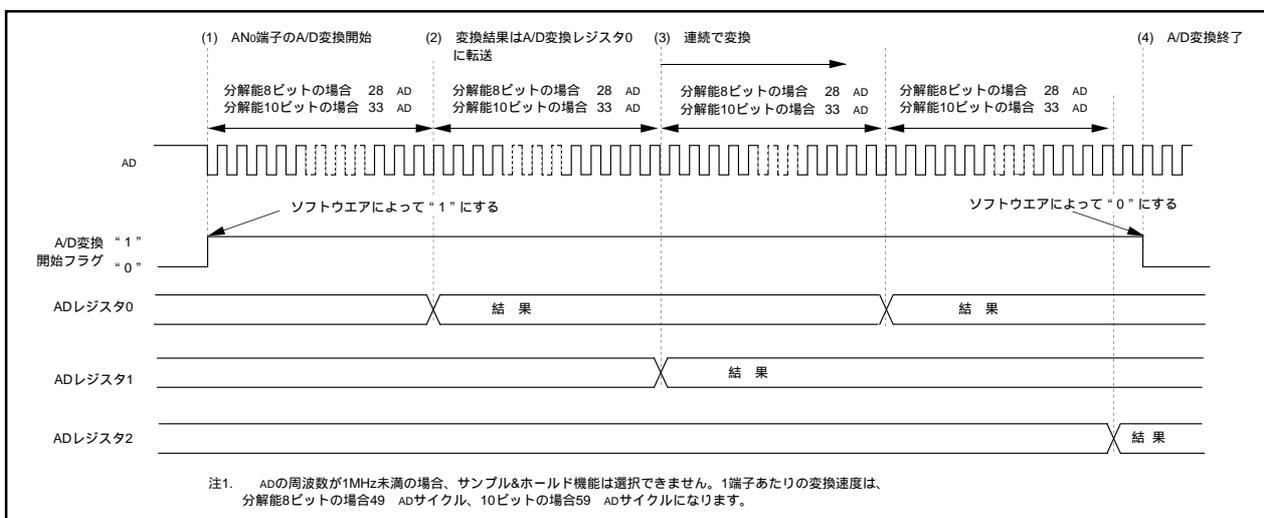


図2.9.15. 繰り返し掃引モード1動作タイミング図

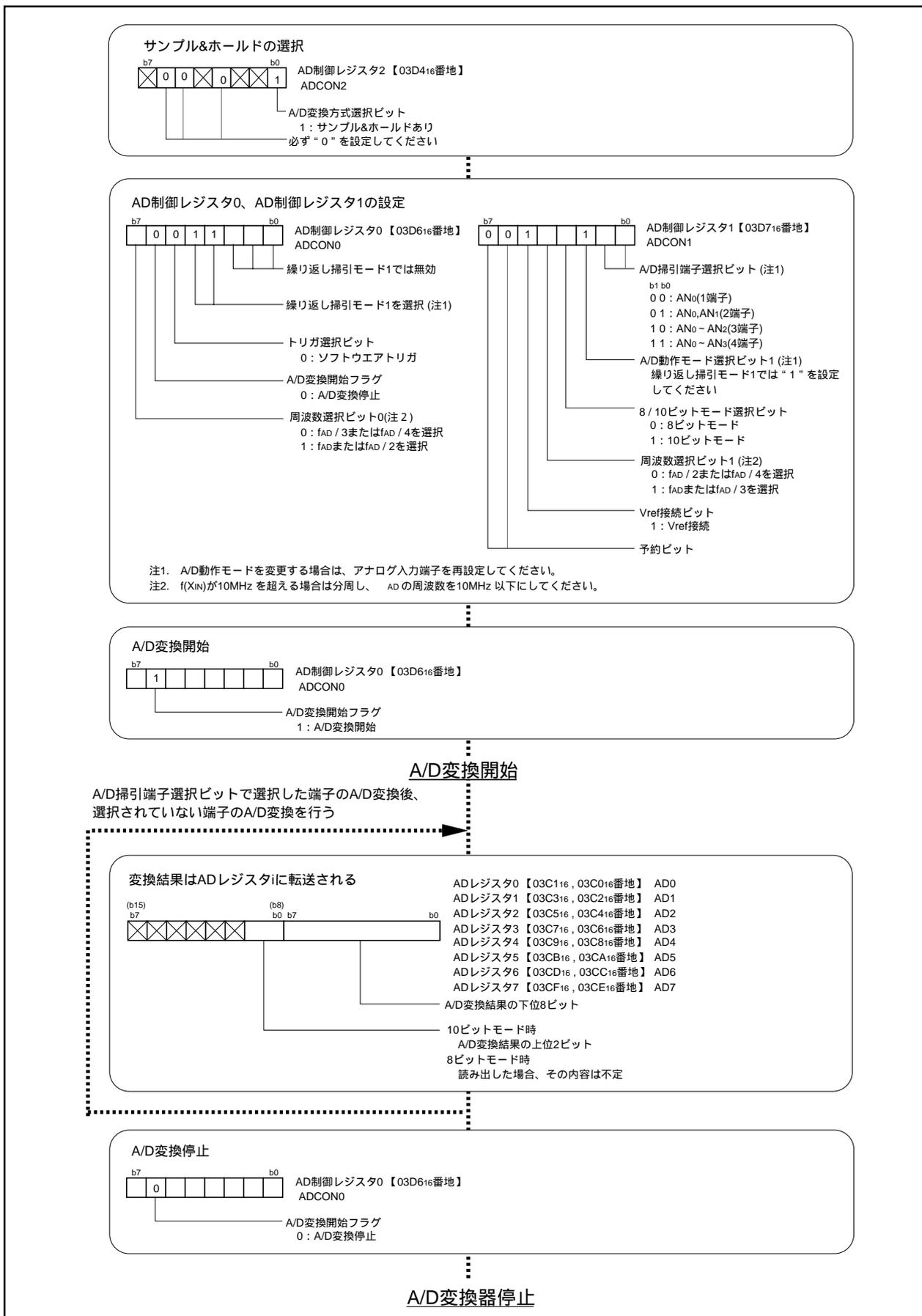


図2.9.16. 繰り返し掃引モード1時のレジスタ設定手順

2.9.8 A/D変換器の注意事項

- 内容 (1) AD制御レジスタ0の各ビット(ビット6を除く)、AD制御レジスタ1の各ビット、およびAD制御レジスタ2のビット0に対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1 μ s以上経過した後にA/D変換を開始してください。
- (2) VREF端子とAVSS端子の間には、それぞれコンデンサを接続してください。また、AVCC端子とAVSS端子、およびアナログ入力端子(ANi)とAVSS端子の間にもコンデンサを接続することを推奨します。図2.9.17に各端子の処理例を示します。

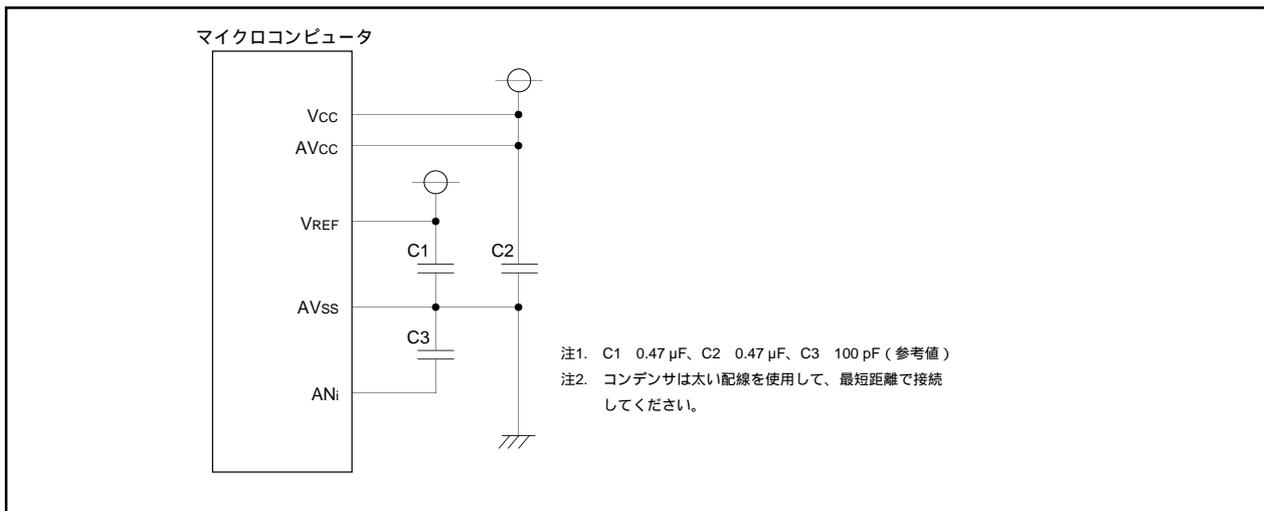


図2.9.17. 各端子の処理例

- (3) アナログ入力端子として使用する端子および外部トリガ入力端子(P93)に対応するポートの方向レジスタは入力に設定してください。
- (4) A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (5) 単発モードまたは単掃引モードで使用する場合
A/D変換が完了したことを確認してから、対象となるADレジスタを読み出してください。
A/D変換の完了はA/D変換割り込み要求ビットで判定できます。
- (6) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。
- (7) キー入力割り込みを使用する場合、AN0 ~ AN7 は8本ともA/D変換ポートとして使用できません(A/D入力電圧が“L”レベルになると、キー入力割り込みが発生します)。
- (8) ADは10MHz以下で使用してください。XINが10MHzを超える場合は分周してください。

2.9.9 A/D変換の方法 (10ビットモード)

内容 (1) A/D変換器は、逐次比較レジスタの内容に従って内部で生成される比較電圧(Vref)と、アナログ入力端子から入力されるアナログ入力電圧(VIN)を比較し、その結果を逐次比較レジスタに反映することによって、VINをデジタル値に変換します(逐次比較変換方式)。トリガが発生すると、A/D変換器は以下の処理を行います。

1. 逐次比較レジスタのビット9の確定
VrefとVINを比較します。このときの逐次比較レジスタの内容は、“1000000002”(初期値)です。比較結果によって逐次比較レジスタのビット9は以下のように変化します。
Vref<VINならば、ビット9は“1”
Vref>VINならば、ビット9は“0”
2. 逐次比較レジスタのビット8の確定
逐次比較レジスタのビット8を“1”にした後、VrefとVINを比較します。比較結果によって逐次比較レジスタのビット8は以下のように変化します。
Vref<VINならば、ビット8は“1”
Vref>VINならば、ビット8は“0”
3. 逐次比較レジスタのビット7~0の確定
上記2の動作をビット7~0に対して行います。
ビット0が確定すると、逐次比較レジスタの内容(変換結果)はADレジスタiに転送されます。

Vrefは最新の逐次比較レジスタの内容に従って生成されます。表2.9.8に逐次比較レジスタの内容とVrefの関係を示します。また、表2.9.9にA/D変換中の逐次比較レジスタとVrefの変化を、図2.9.18に理論的A/D変換特性を示します。

表2.9.8. 逐次比較レジスタの内容とVrefの関係

逐次比較レジスタの内容 : n	Vref (V)
0	0
1 ~ 1023	$\frac{V_{REF}}{1024} \times n - \frac{V_{REF}}{2048}$

表2.9.9. A/D変換中の逐次比較レジスタとVrefの変化(10ビットモード時)

	逐次比較レジスタの変化	Vrefの変化
A/D変換器停止状態	$\begin{matrix} & \text{b9} & & & & & & & & & \text{b0} \\ \hline & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \hline \end{matrix}$	$\frac{V_{REF}}{2}$ [V]
1回目比較	$\begin{matrix} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \hline \end{matrix}$	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048}$ [V]
↓	$\begin{matrix} & \text{n9} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \hline \end{matrix}$ <p>↑ 1回目の比較結果</p>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048}$ [V] $\left(\begin{matrix} \text{n9} = 1 \text{ の場合} & + \frac{V_{REF}}{4} \\ \text{n9} = 0 \text{ の場合} & - \frac{V_{REF}}{4} \end{matrix} \right)$
↓	$\begin{matrix} & \text{n9} & \text{n8} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \hline \end{matrix}$ <p>↑ 2回目の比較結果</p>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048}$ [V] $\left(\begin{matrix} \text{n8} = 1 \text{ の場合} & + \frac{V_{REF}}{8} \\ \text{n8} = 0 \text{ の場合} & - \frac{V_{REF}}{8} \end{matrix} \right)$
↓
↓	$\begin{matrix} & \text{n9} & \text{n8} & \text{n7} & \text{n6} & \text{n5} & \text{n4} & \text{n3} & \text{n2} & \text{n1} & 1 \\ \hline \end{matrix}$	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{1024} - \frac{V_{REF}}{2048}$ [V]
↓	$\begin{matrix} & \text{n9} & \text{n8} & \text{n7} & \text{n6} & \text{n5} & \text{n4} & \text{n3} & \text{n2} & \text{n1} & \text{n0} \\ \hline \end{matrix}$ <p>このデータがADレジスタのビット0～ビット9に入ります</p>	

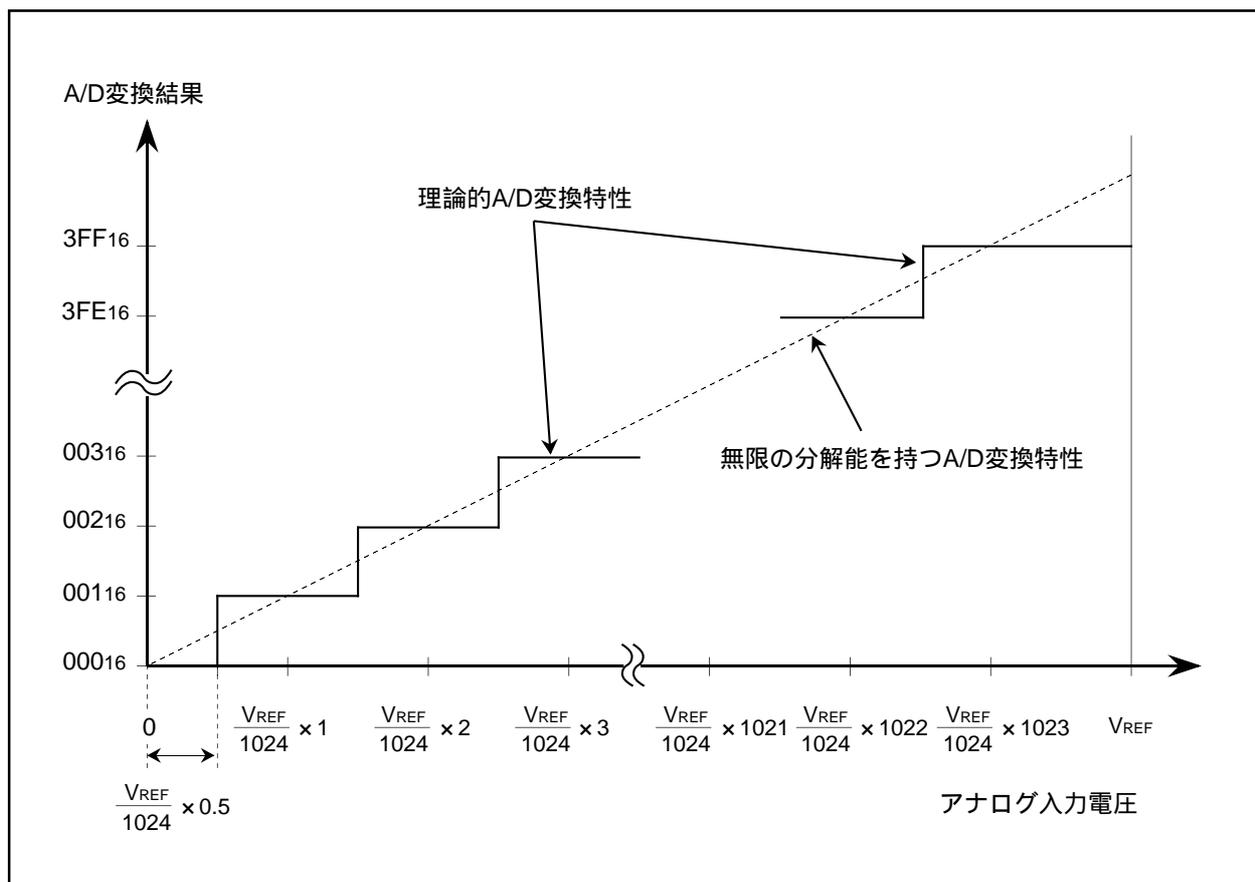


図2.9.18. 理論的A/D変換特性(10ビットモード時)

2.9.10 A/D変換の方法 (8ビットモード)

内容 (1) 8ビットモード時、10ビット逐次比較レジスタの上位8ビットがA/D変換結果となります。このため、8ビットA/D変換器と比較すると、比較電圧が $3V_{REF}/2048$ (表2.9.10の下線参照)異なり、図2.9.19が示す出力コードの変化点の差が生じます。

表2.9.10. 8ビットモードおよび8ビットA/D変換器の比較電圧

		8ビットモード	8ビットA/D変換器
比較電圧 V_{ref}	n=0	0	0
	n=1 ~ 255	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^{10}} \times 0.5$	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^8} \times 0.5$

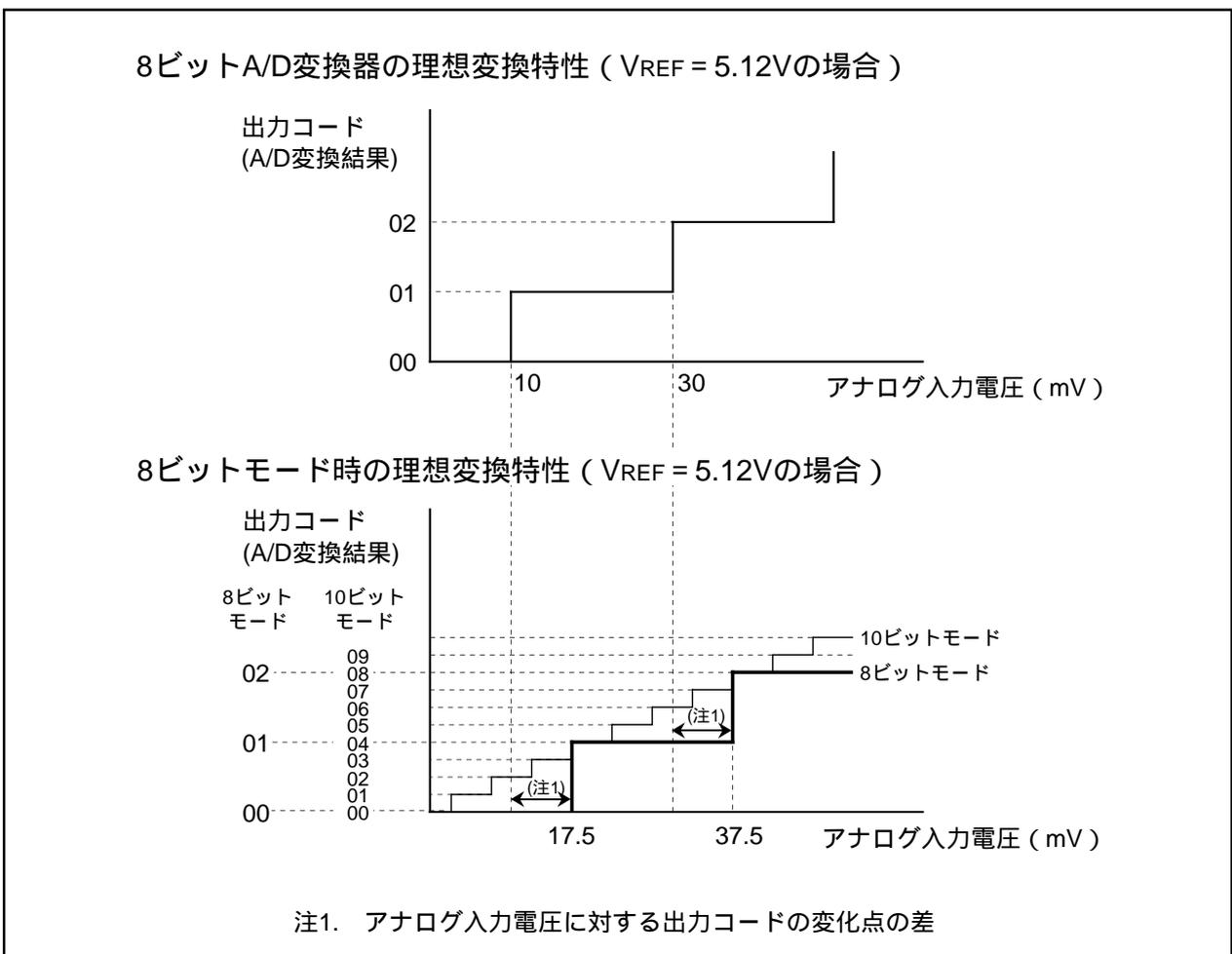


図2.9.19. 8ビットモードおよび8ビットA/D変換器の理想変換特性

表2.9.11. A/D変換中の逐次比較レジスタとVrefの変化(8ビットモード時)

	逐次比較レジスタの変化	Vrefの変化
A/D変換器停止状態	$\begin{matrix} & \text{b9} & & & & & & & & & \text{b0} \\ \hline 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{matrix}$	$\frac{V_{REF}}{2}$ [V]
1回目比較	$\begin{matrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{matrix}$	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048}$ [V]
↓		
2回目比較	$\begin{matrix} \text{n9} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \leftarrow & & & & & & & & & & \text{1回目の比較結果} \end{matrix}$	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048}$ [V] $\begin{cases} \text{n9=1の場合} & + \frac{V_{REF}}{4} \\ \text{n9=0の場合} & - \frac{V_{REF}}{4} \end{cases}$
↓		
3回目比較	$\begin{matrix} \text{n9} & \text{n8} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \leftarrow & & & & & & & & & & \text{2回目の比較結果} \end{matrix}$	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048}$ [V] $\begin{cases} \text{n8=1の場合} & + \frac{V_{REF}}{8} \\ \text{n8=0の場合} & - \frac{V_{REF}}{8} \end{cases}$
↓	⋮	⋮
↓		
8回目比較	$\begin{matrix} \text{n9} & \text{n8} & \text{n7} & \text{n6} & \text{n5} & \text{n4} & \text{n3} & 1 & 0 & 0 & 0 \end{matrix}$	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{256} - \frac{V_{REF}}{2048}$ [V]
↓		
変換終了	$\begin{matrix} \text{n9} & \text{n8} & \text{n7} & \text{n6} & \text{n5} & \text{n4} & \text{n3} & \text{n2} & 0 & 0 & 0 \end{matrix}$ <p>このデータがADレジスタiのビット0~ビット7に入ります</p>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{256} - \frac{V_{REF}}{2048}$ [V]

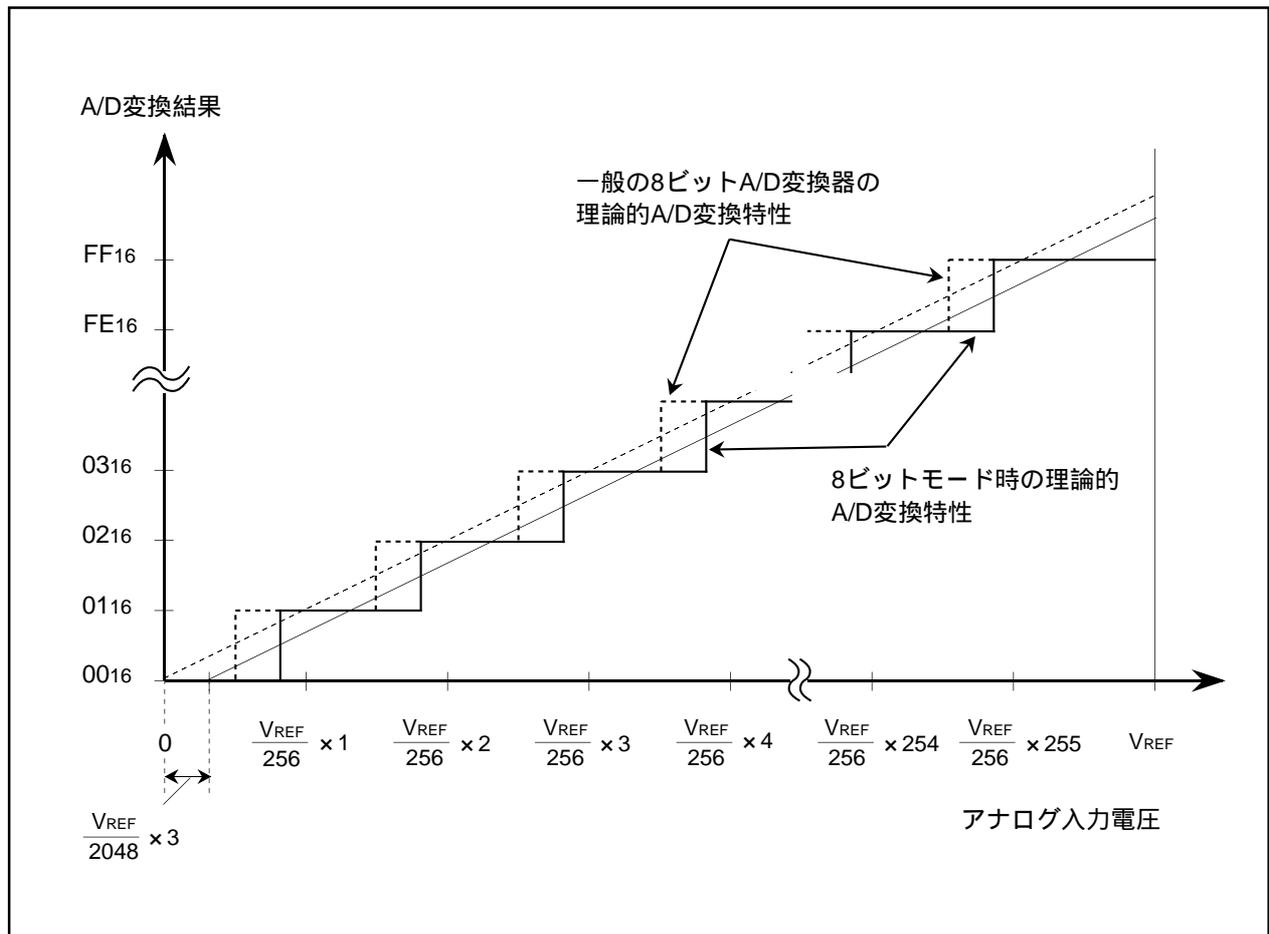


図2.9.20. 理論的A/D変換特性(8ビットモード時)

2.9.11 絶対精度と微分非直線性誤差

A/D変換の精度について、以下に説明します。

絶対精度

理論的A/D変換特性における出力コードと、実際のA/D変換結果の差が絶対精度です。絶対精度測定時は、理論的A/D変換特性において同じ出力コードを期待できるアナログ入力電圧の幅(1LSB幅)の中点の電圧を、アナログ入力電圧として使用します。例えば分解能10ビット、基準電圧(V_{REF}) = 5.12Vの場合、1LSB幅は5mVで、アナログ入力電圧には0mV、5mV、10mV、15mV、20mV...を使用します。絶対精度 = $\pm 3\text{LSB}$ とは、アナログ入力電圧が25mVの場合、理論的A/D変換特性では出力コード“005₁₆”を期待できますが、実際のA/D変換結果は“002₁₆” ~ “008₁₆”になることを意味します。絶対精度にはゼロ誤差、フルスケール誤差を含みます。

V_{REF} ~ AV_{CC} 間のアナログ入力電圧に対する出力コードは、すべて“3FF₁₆”となります。

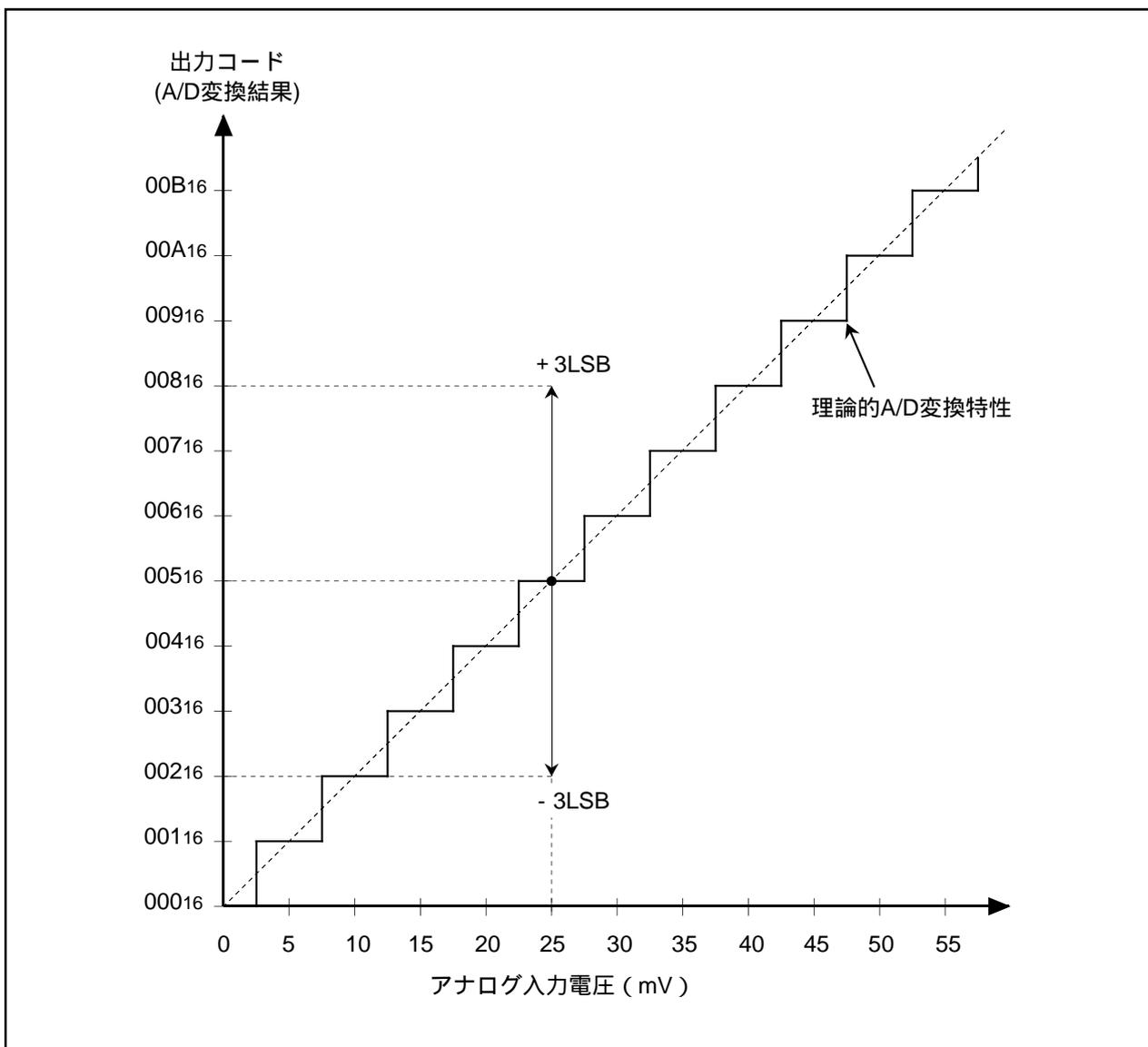


図2.9.21. 絶対精度(分解能10ビット時)

微分非直線性誤差

微分非直線性誤差は、理論的A/D変換特性における1LSB幅(同じ出力コードを期待できるアナログ入力電圧の幅)と、実測定される1LSB幅(同じコードを出力するアナログ入力電圧の幅)の差を示すものです。分解能10ビット、基準電圧(V_{REF}) = 5.12Vの場合、微分非直線性誤差 = ± 1 LSBならば、理論的A/D変換特性における1LSB幅は5mVですが、実測定される1LSB幅は0 ~ 10mVになることを意味します。

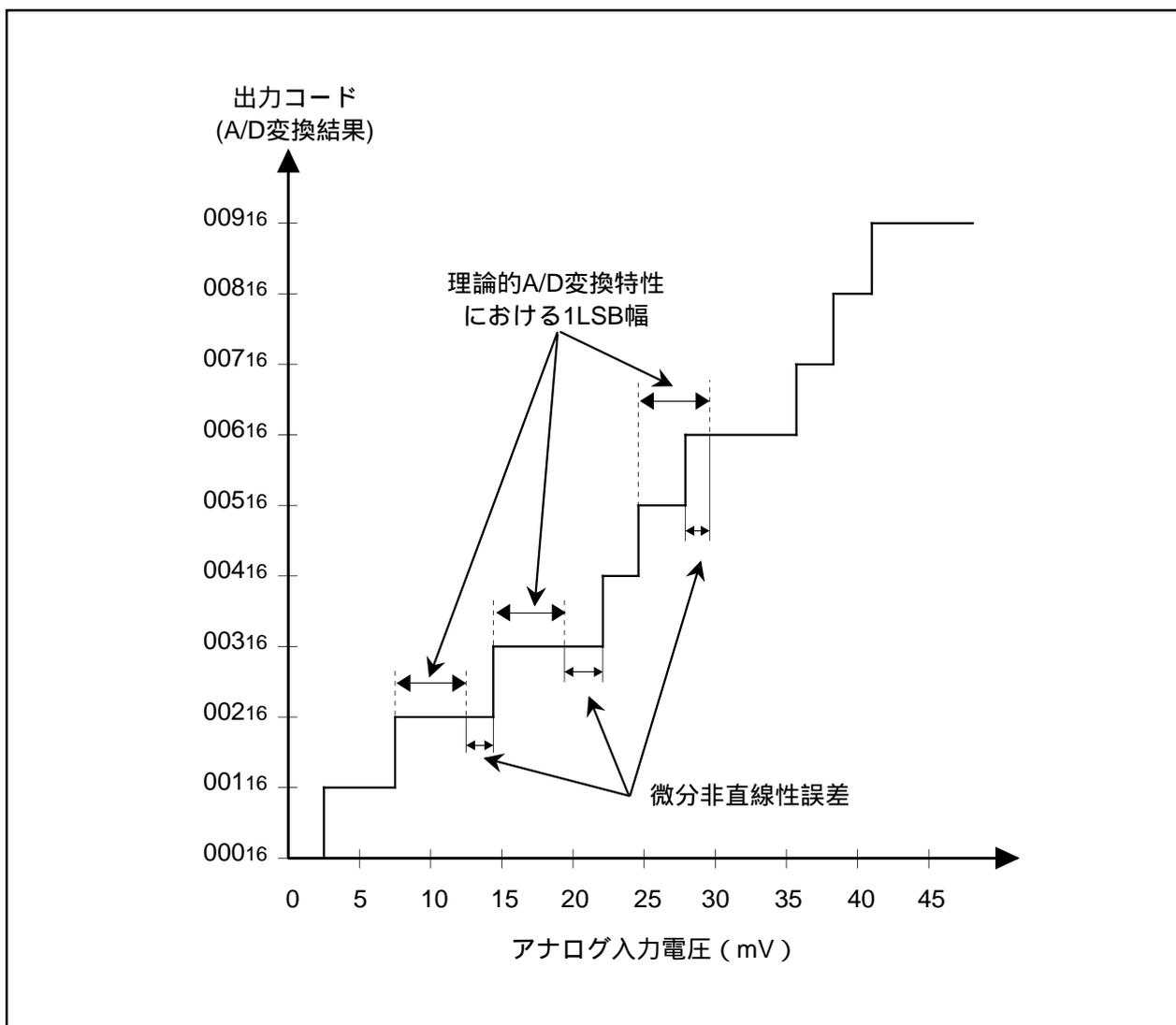


図2.9.22. 微分非直線性誤差(分解能10ビット時)

2.9.12 アナログ入力内部等価回路

図2.9.23にアナログ入力内部等価回路を示します。

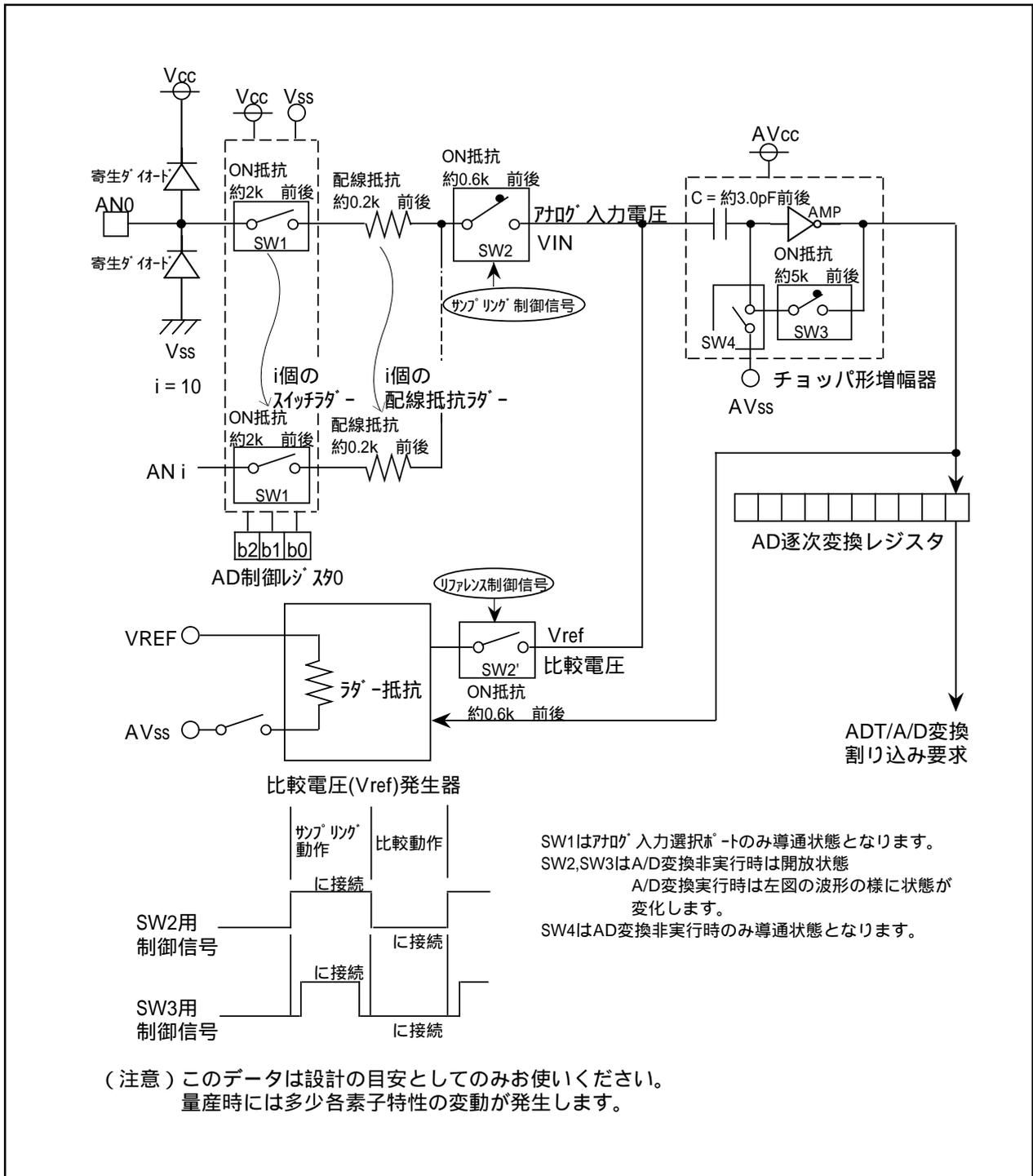


図2.9.23. アナログ入力内部等価回路

2.9.13 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図2.9.24の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をTとすると、時間Tとは、図2.9.23において、スイッチSW2とSW3がともにに接続されている時間です。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/D変換器の精度(誤差)をX、分解されるレベル間隔をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$V_C \text{は一般に } V_C = V_{IN} \left\{ 1 - e^{-\frac{1}{C(R_0+R)} t} \right\}$$

$$t=T \text{ のとき、 } V_C = V_{IN} - \frac{X}{Y} V_{IN} = V_{IN} \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R_0+R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0+R)} T = \ln \frac{X}{Y}$$

$$\text{よって、 } R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

例として図2.9.24のようなモデルを考え、 V_{IN} と V_C の差が0.1LSBとなるときの、時間TでコンデンサCの端子間電圧 V_C が0から $V_{IN} - (0.1/1024)V_{IN}$ になるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

$f(X_{IN})=10\text{MHz}$ の時、サンプル&ホールド付きA/D変換モードでは $T=0.3\mu\text{s}$ となります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

$T=0.3\mu\text{s}$ 、 $R=7.8\text{k}$ 、 $C=3\text{pF}$ 、 $X=0.1$ 、 $Y=1024$ だから、

$$R_0 = -\frac{0.3 \times 10^{-6}}{3.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 \approx 3.0 \times 10^3$$

したがって、A/D変換器の精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大3.0k になります。表2.9.12、表2.9.13に出力インピーダンスとA/D変換器の精度(誤差)の関係を示します。

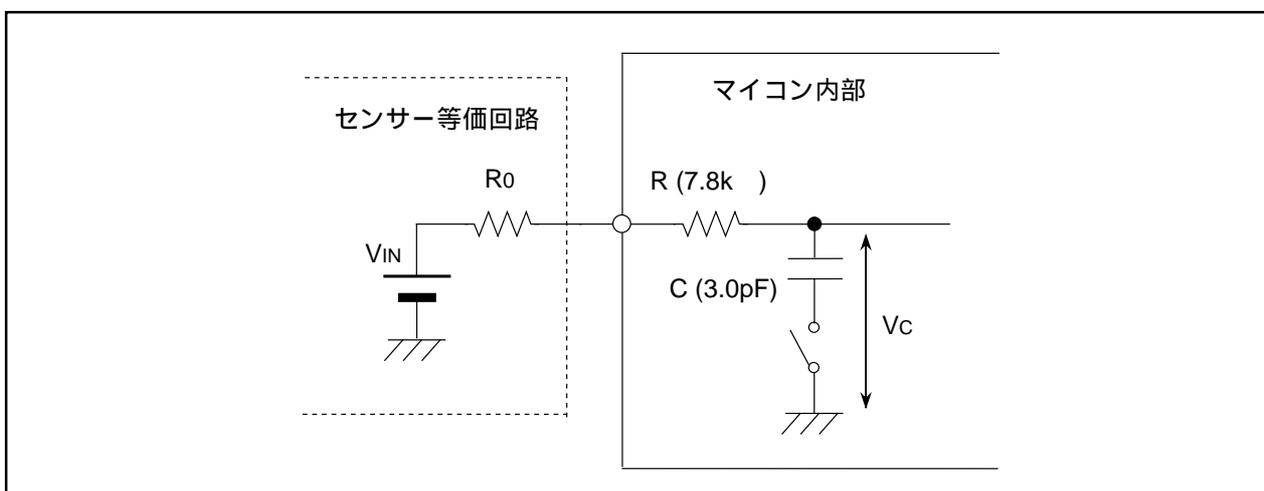


図2.9.24. A/D変換端子の等価回路

表2.9.12. 出力インピーダンスとA/D変換器の精度(誤差)の関係(10ビットモード)

f(XIN) (MHz)	サイクル (μ s)	サンプリング時間 (μ s)	R (k Ω)	C (pF)	誤差 (LSB)	R0 (k Ω)
10	0.1	0.3 (3 \times サイクル、 サンプル&ホールド 機能有効)	7.8	3.0	0.1	3.0
					0.3	4.5
					0.5	5.3
					0.7	5.9
					0.9	6.4
					1.1	6.8
					1.3	7.2
					1.5	7.5
					1.7	7.8
					1.9	8.1
10	0.1	0.2 (2 \times サイクル、 サンプル&ホールド 機能無効)	7.8	3.0	0.3	0.4
					0.5	0.9
					0.7	1.3
					0.9	1.7
					1.1	2.0
					1.3	2.2
					1.5	2.4
					1.7	2.6
					1.9	2.8

表2.9.13. 出力インピーダンスとA/D変換器の精度(誤差)の関係(8ビットモード)

f(XIN) (MHz)	サイクル (μ s)	サンプリング時間 (μ s)	R (k Ω)	C (pF)	誤差 (LSB)	R0 (k Ω)
10	0.1	0.3 (3 \times サイクル、 サンプル&ホールド 機能有効)	7.8	3.0	0.1	4.9
					0.3	7.0
					0.5	8.2
					0.7	9.1
					0.9	9.9
					1.1	10.5
					1.3	11.1
					1.5	11.7
					1.7	12.1
					1.9	12.6
10	0.1	0.2 (2 \times サイクル、 サンプル&ホールド 機能無効)	7.8	3.0	0.1	0.7
					0.3	2.1
					0.5	2.9
					0.7	3.5
					0.9	4.0
					1.1	4.4
					1.3	4.8
					1.5	5.2
					1.7	5.5
					1.9	5.8

2.10 DMAC

2.10.1 概要

DMACは、転送要求が発生するごとに転送元番地の1データを転送先番地へデータ転送する機能です。DMACの概要について説明します。

転送元アドレスと転送先アドレス

転送元を示すレジスタおよび転送先を示すレジスタは24ビットあり1Mバイトの空間を示すことができます。1データの転送終了後、転送元レジスタまたは転送先レジスタのどちらか一方のアドレスをインクリメントすることができます。転送元レジスタ、転送先レジスタの両方のアドレスをインクリメントすることはできません。転送元と転送先の組み合わせは次のとおりです。

- (1) 1Mバイトの任意の空間から固定アドレス
- (2) 固定アドレスから1Mバイトの任意の空間
- (3) 固定アドレスから固定アドレス

(ただしDMA関係のレジスタはアクセス不可:0020₁₆番地 ~ 003F₁₆、0180₁₆番地 ~ 019F₁₆番地)

転送データ数

転送カウンタに示されるデータ数を転送します。16ビット転送を選択した場合、最大転送バイト数は128Kバイト、8ビット転送を選択した場合、最大転送バイト数は64Kバイトになります。

転送カウンタは、1データの転送ごとにデクリメントします。アンダフローしたときにDMA割り込み要求が発生します。

DMA転送要因

INT0 / INT1 / INT2端子の立ち下がりエッジ/両エッジ、タイマA0 ~ タイマA4割り込み要求、UART0送信/NACK/SSインタフェース0送信、UART0受信/ACK/SSインタフェース0受信割り込み要求、UART1送信/NACK/SSインタフェース1送信、UART1受信/ACK/SSインタフェース1受信割り込み要求、UART2送信/NACK送信、UART2受信/ACK割り込み要求、UART3送信/NACK送信、UART3受信/ACK割り込み要求、USB0/USB1/USB2/USB3機能割り込み要求、A/D変換割り込み要求、ソフトウェアトリガ(常に許可されています)、DMAトリガの31種類の要因から選択することができます。

ソフトウェアトリガは常に許可されています、ソフトウェアでソフトウェアDMA要求ビットに“1”を書き込むことでDMA転送が行われます。それ以外の要因を選択した場合、対応する割り込み要求が発生することでDMA転送が行われます。

チャンネルの優先順位

優先順位の高い順に、DMA0, DMA1, DMA2, DMA3です。

レジスタへの書き込み

DMA許可状態で転送元レジスタ、転送先レジスタに書き込みを行った場合、アドレスを固定しているレジスタに対しては、書き込みと同時に変更されます。したがって、アドレスを固定しているレジスタに対しては、DMA許可ビットが“1”のときには書き込まないでください。順方向を選択しているレジスタ、および転送カウンタは、リロード時に変更されます。

リロードは、転送カウンタがアンダフローしたとき、およびDMA許可ビットを禁止にした後再度許可にしたとき発生します。

リロードレジスタへは、常時、書き込むことができます。

レジスタの読み込み

常時、読み出すことができます。

選択機能

(1) 単転送/リピート転送切り替え

単転送とは、転送カウンタがアンダフローした後、DMA禁止状態になるモードです。リピート転送とは、転送カウンタがアンダフローした後、再度リロードし転送を繰り返すモードです。

リロードは、転送カウンタに対して、および順方向を選択しているアドレスポインタに対して行われます。

次のとおり選択した動作例を2.10.2項以降に示します。

1Mバイトの任意の空間から固定アドレス、単転送

固定アドレスから1Mバイトの任意の空間、リピート転送

DMAC関連レジスタ

図2.10.1にDMAC関連レジスタのメモリ配置図を、図2.10.2～図2.10.4にDMAC関連レジスタの構成を示します。



図2.10.1. DMAC関連レジスタのメモリ配置図

DMA0要因選択レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	DM0SL	03B8 ₁₆ 番地	00 ₁₆
ビットシンボル	ビット名	機能(注2)	R	W						
DSEL0	DMA要求要因 選択ビット	b4 b3 b2 b1b0 0 0 0 0 0 : DMA禁止 0 0 0 0 1 : INT0(立ち下がリエッジ) 0 0 0 1 0 : INT0(両エッジ) 0 0 0 1 1 : USB0 0 0 1 0 0 : タイマA0 0 0 1 0 1 : タイマA1 0 0 1 1 0 : タイマA2 0 0 1 1 1 : タイマA3 0 1 0 0 0 : タイマA4 0 1 0 0 1 : UART0受信/ACK/SSI0受信 0 1 0 1 0 : UART1受信/ACK/SSI1受信 0 1 0 1 1 : UART2受信/ACK 0 1 1 0 0 : UART3受信/ACK 0 1 1 0 1 : UART0送信/NACK/SSI0送信 0 1 1 1 0 : UART1送信/NACK/SSI1送信 0 1 1 1 1 : UART2送信/NACK 1 0 0 0 0 : UART3送信/NACK 1 0 0 0 1 : A/D変換 1 0 0 1 0 : 使用禁止(注3) 1 0 0 1 1 : DMA1 1 0 1 0 0 : DMA2 1 0 1 0 1 : DMA3 1 0 1 1 0 : 使用禁止(注3) 1 0 1 1 1 : 使用禁止(注3) 1 1 x x x : 使用禁止(注3)	○	○						
DSEL1		○	○							
DSEL2		○	○							
DSEL3		○	○							
DSEL4		○	○							
DSR	ソフトウェアDMA 要求ビット	ソフトウェアトリガ選択時は、このビットに "1"を書き込むことでDMA要求が発生する	○	○						
何も配置されていません。 書き込み時は、"0"を書き込んでください。読み出し時、その値は"0"です。			-	-						

注1. ソフトウェアは常に許可されています。
注2. SSI=シリアルサウンドインタフェース
注3. この値を設定しないでください。

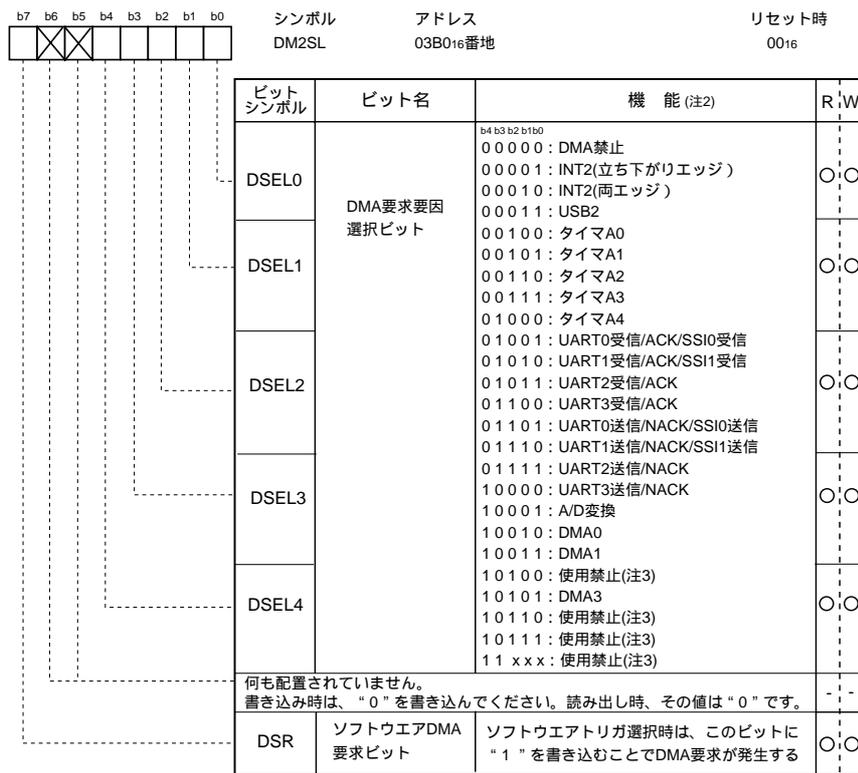
DMA1要因選択レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	DM1SL	03BA ₁₆ 番地	00 ₁₆
ビットシンボル	ビット名	機能(注2)	R	W						
DSEL0	DMA要求要因 選択ビット	b4 b3 b2 b1b0 0 0 0 0 0 : DMA禁止 0 0 0 0 1 : INT1(立ち下がリエッジ) 0 0 0 1 0 : INT1(両エッジ) 0 0 0 1 1 : USB1 0 0 1 0 0 : タイマA0 0 0 1 0 1 : タイマA1 0 0 1 1 0 : タイマA2 0 0 1 1 1 : タイマA3 0 1 0 0 0 : タイマA4 0 1 0 0 1 : UART0受信/ACK/SSI0受信 0 1 0 1 0 : UART1受信/ACK/SSI1受信 0 1 0 1 1 : UART2受信/ACK 0 1 1 0 0 : UART3受信/ACK 0 1 1 0 1 : UART0送信/NACK/SSI0送信 0 1 1 1 0 : UART1送信/NACK/SSI1送信 0 1 1 1 1 : UART2送信/NACK 1 0 0 0 0 : UART3送信/NACK 1 0 0 0 1 : A/D変換 1 0 0 1 0 : DMA0 1 0 0 1 1 : 使用禁止(注3) 1 0 1 0 0 : DMA2 1 0 1 0 1 : DMA3 1 0 1 1 0 : 使用禁止(注3) 1 0 1 1 1 : 使用禁止(注3) 1 1 x x x : 使用禁止(注3)	○	○						
DSEL1		○	○							
DSEL2		○	○							
DSEL3		○	○							
DSEL4		○	○							
DSR	ソフトウェアDMA 要求ビット	ソフトウェアトリガ選択時は、このビットに "1"を書き込むことでDMA要求が発生する	○	○						
何も配置されていません。 書き込み時は、"0"を書き込んでください。読み出し時、その値は"0"です。			-	-						

注1. ソフトウェアは常に許可されています。
注2. SSI=シリアルサウンドインタフェース
注3. この値を設定しないでください。

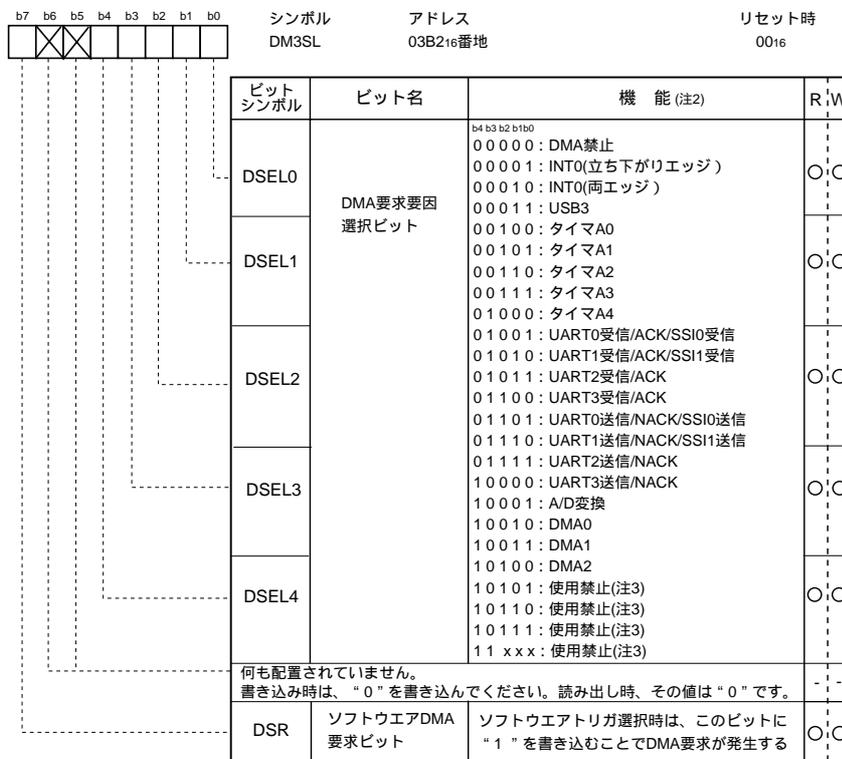
図2.10.2. DMAC関連レジスタの構成(1)

DMA2要因選択レジスタ (注1)



注1. ソフトウェアは常に許可されています。
 注2. SSI=シリアルサウンドインタフェース
 注3. この値を設定しないでください。

DMA3要因選択レジスタ (注1)



注1. ソフトウェアは常に許可されています。
 注2. SSI=シリアルサウンドインタフェース
 注3. この値を設定しないでください。

図2.10.3. DMAC関連レジスタの構成(2)

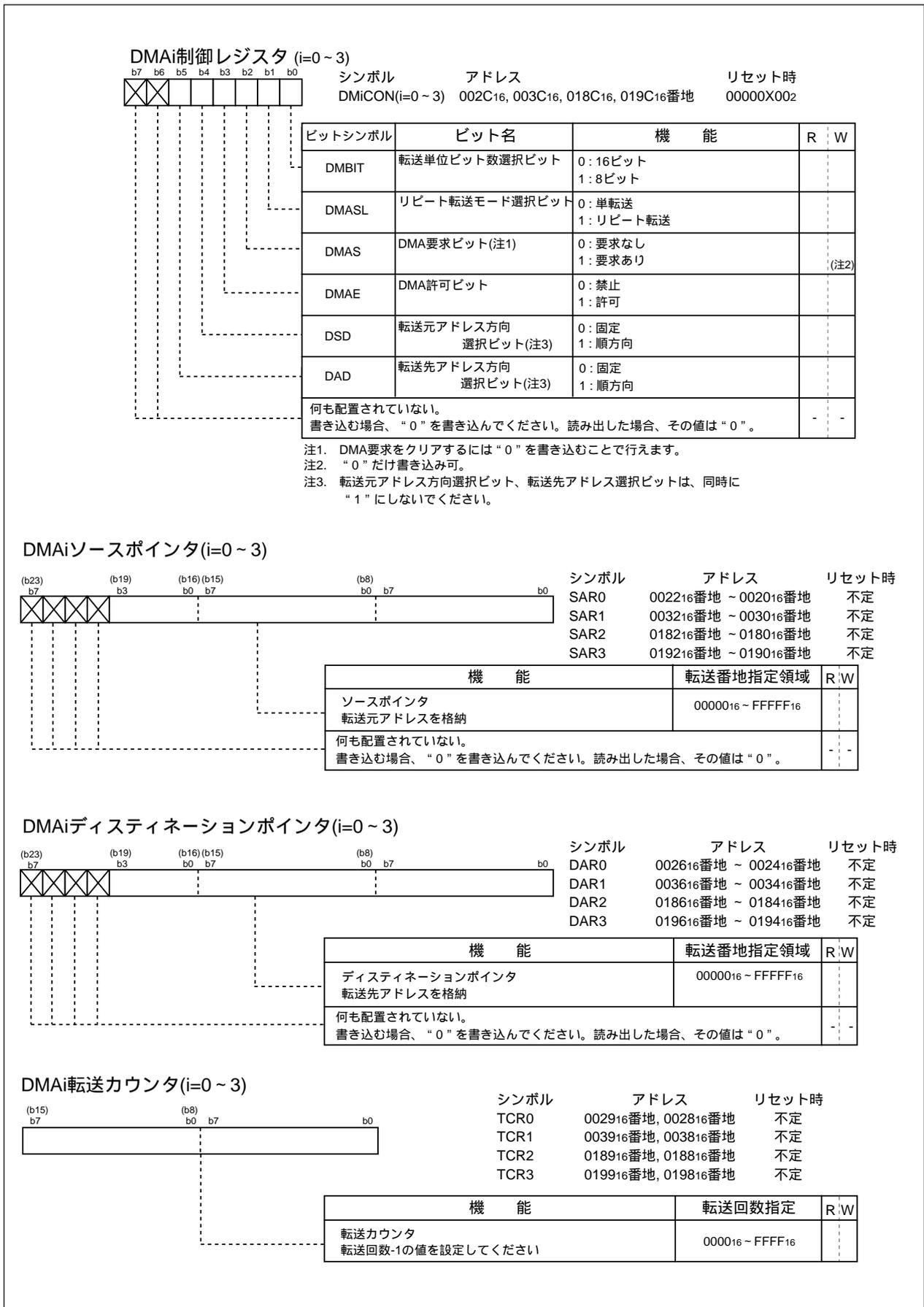


図2.10.4. DMAC関連レジスタの構成(3)

2.10.2 DMACの動作 (単転送モード)

単転送モードでは、表2.10.1に示す項目の中から機能を選択できます。ここでは、表2.10.1に示す項目の中で“ ”印の内容を選択した場合の動作について説明します。また、図2.10.5に動作例を、図2.10.6に設定手順を示します。

表2.10.1. 設定内容

設定項目	設定内容
転送空間	1Mバイトの任意の空間から固定アドレス
	固定アドレスから1Mバイトの任意の空間
	固定アドレスから固定アドレス
転送単位	8ビット
	16ビット

- 動作**
- (1) ソフトウェアトリガ選択時、ソフトウェアDMA要求ビットを“1”にすると、DMA転送の要求信号が発生します。
 - (2) DMACがアクティブ状態であればデータ転送が開始され、DMAi順方向アドレスポインタが示す番地の内容は、DMAiディスティネーションポインタが示す番地に転送されます。なお、DMACをアクティブ状態にした直後のデータ転送開始時に、DMAi転送カウンタリロードレジスタの値はDMAi転送カウンタにリロードされ、DMAiソースポインタの値がDMAi順方向アドレスポインタにリロードされます。
DMA転送の要求信号が発生するごとに1バイトのデータ転送が行われます。DMAi転送カウンタはダウンカウントされ、DMAi順方向アドレスポインタはアップカウントされます。
 - (3) DMAi転送カウンタがアンダフローすると、DMA許可ビットは“0”になり、DMA転送は終了します。同時にDMAi割り込み要求ビットが“1”になります。

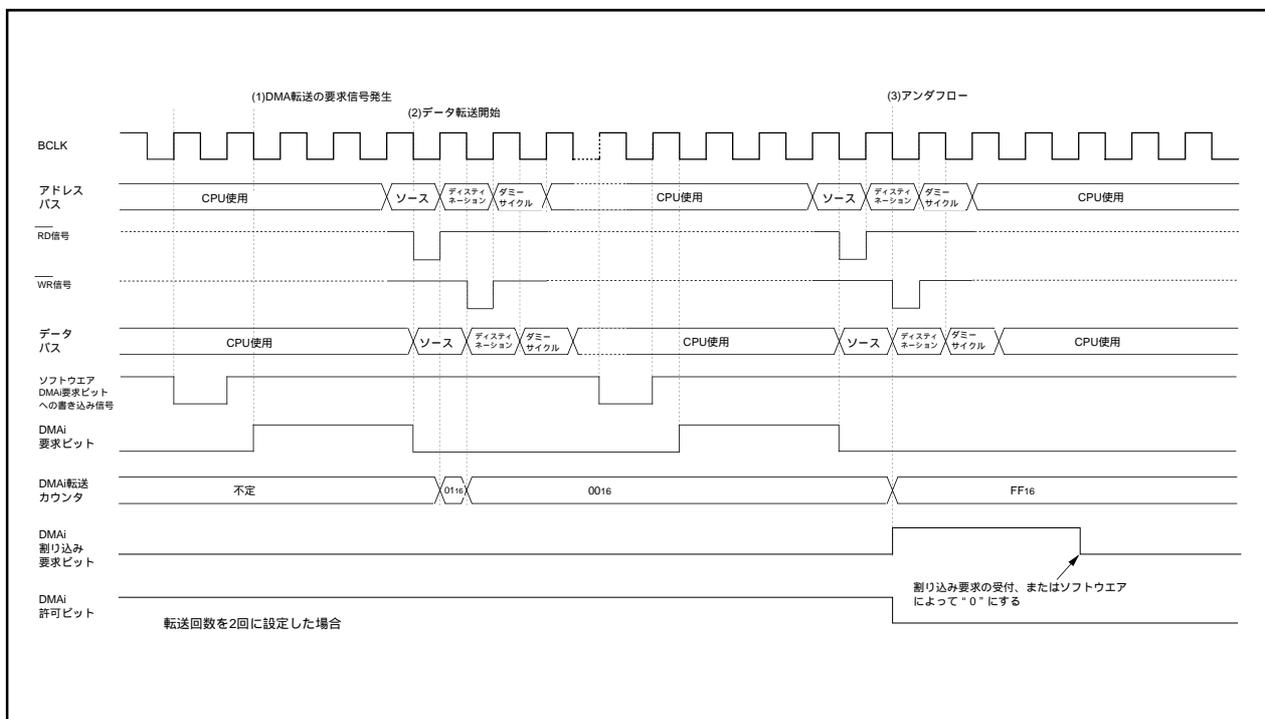


図2.10.5. 単転送モード動作例

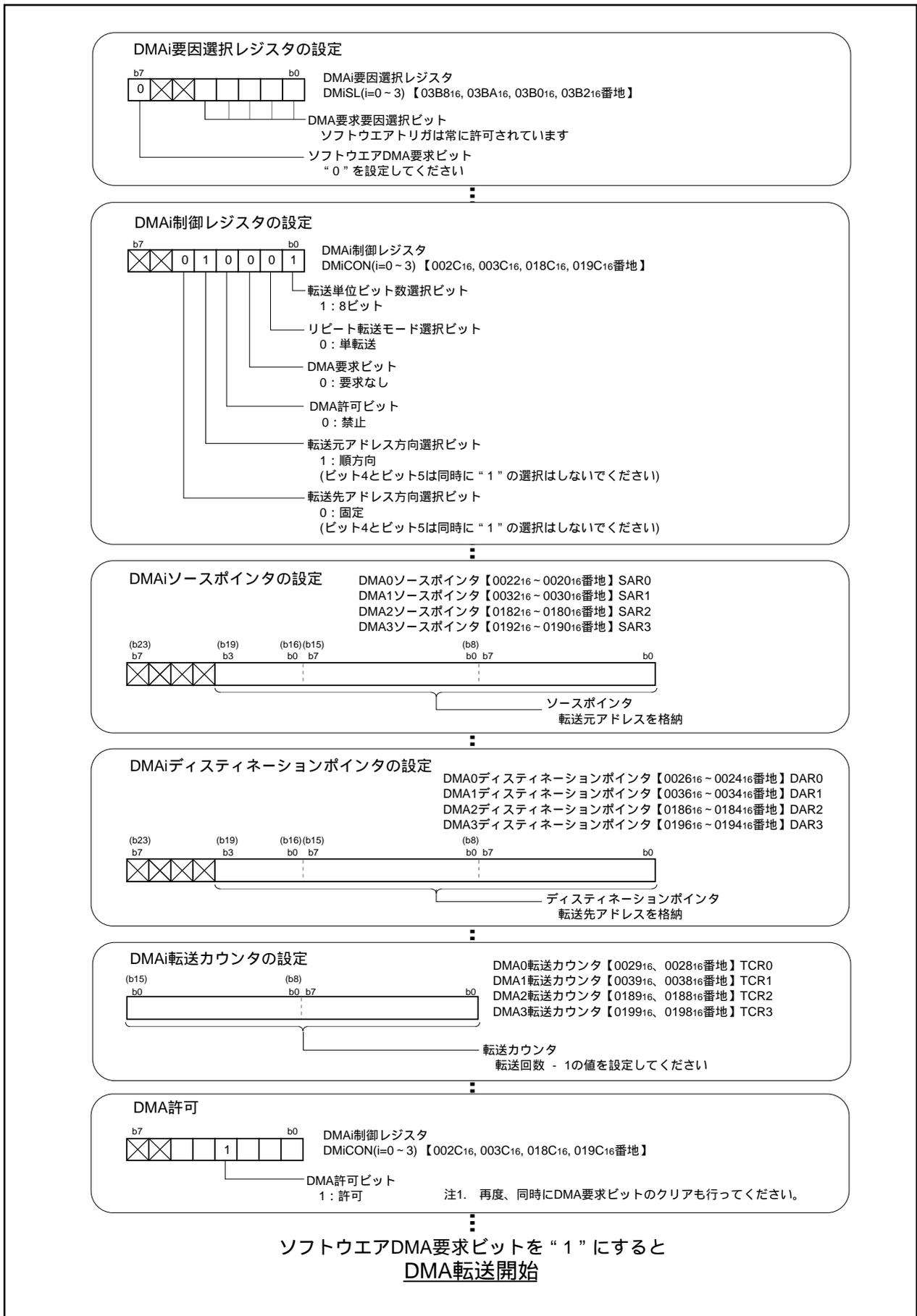


図2.10.6. 単転送モード時のレジスタ設定手順

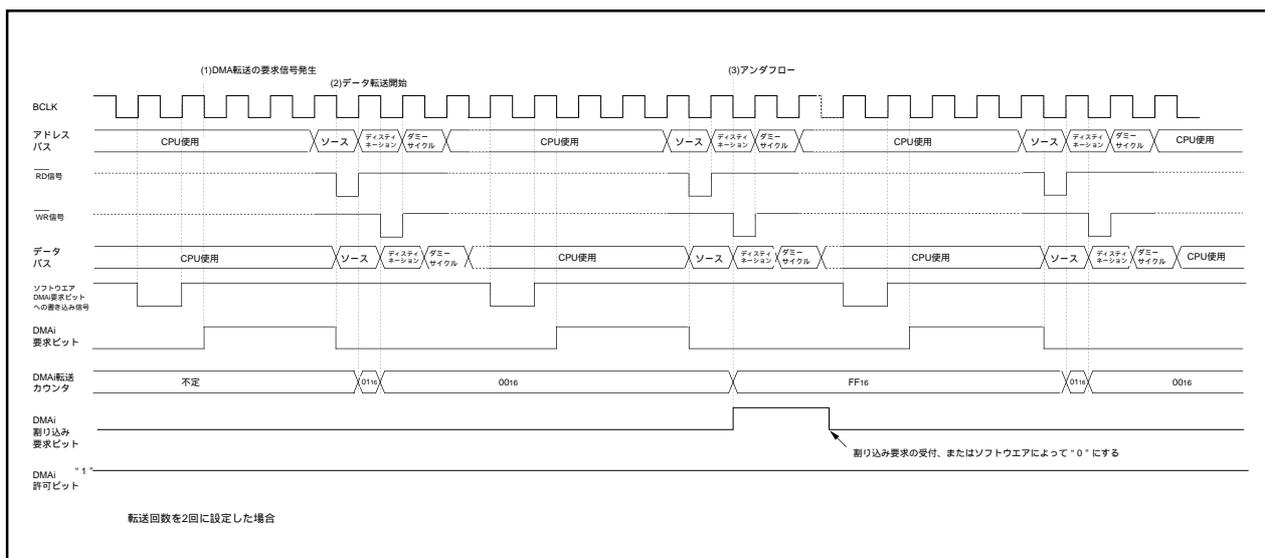
2.10.3 DMACの動作 (リピート転送)

リピート転送モードでは、表2.10.2に示す項目の中から機能を選択できます。ここでは、表2.10.2に示す項目の中で“ ”印の内容を選択した場合の動作について説明します。また、図2.10.7に動作例を、図2.10.8に設定手順を示します。

表2.10.2. 設定内容

設定項目	設定内容
転送空間	1Mバイトの任意の空間から固定アドレス
	固定アドレスから1Mバイトの任意の空間
	固定アドレスから固定アドレス
転送単位	8ビット
	16ビット

- 動作**
- (1) ソフトウェアトリガ選択時、ソフトウェアDMA要求ビットを“1”にすると、DMA転送の要求信号が発生します。
 - (2) DMACがアクティブ状態であればデータ転送が開始され、DMAi順方向アドレスポインタが示す番地の内容は、DMAiディスティネーションポインタが示す番地に転送されます。なお、DMACをアクティブ状態にした直後のデータ転送開始時に、DMAi転送カウンタリロードレジスタの値はDMAi転送カウンタにリロードされ、DMAiソースポインタの値がDMAi順方向アドレスポインタにリロードされます。
DMA転送の要求信号が発生するごとに2バイトのデータ転送が行われます。DMAi転送カウンタはダウンカウントされ、DMAi順方向アドレスポインタはアップカウントされます。
 - (3) DMAi転送カウンタがアンダフローしてもDMA許可ビットは“1”のままです。
DMAi転送カウンタがアンダフローしたときDMAi割り込み要求ビットが“1”になります。
 - (4) DMAi転送カウンタがアンダフローした後、次のDMA転送の要求信号が発生すると(1)に戻り、データ転送を繰り返します。



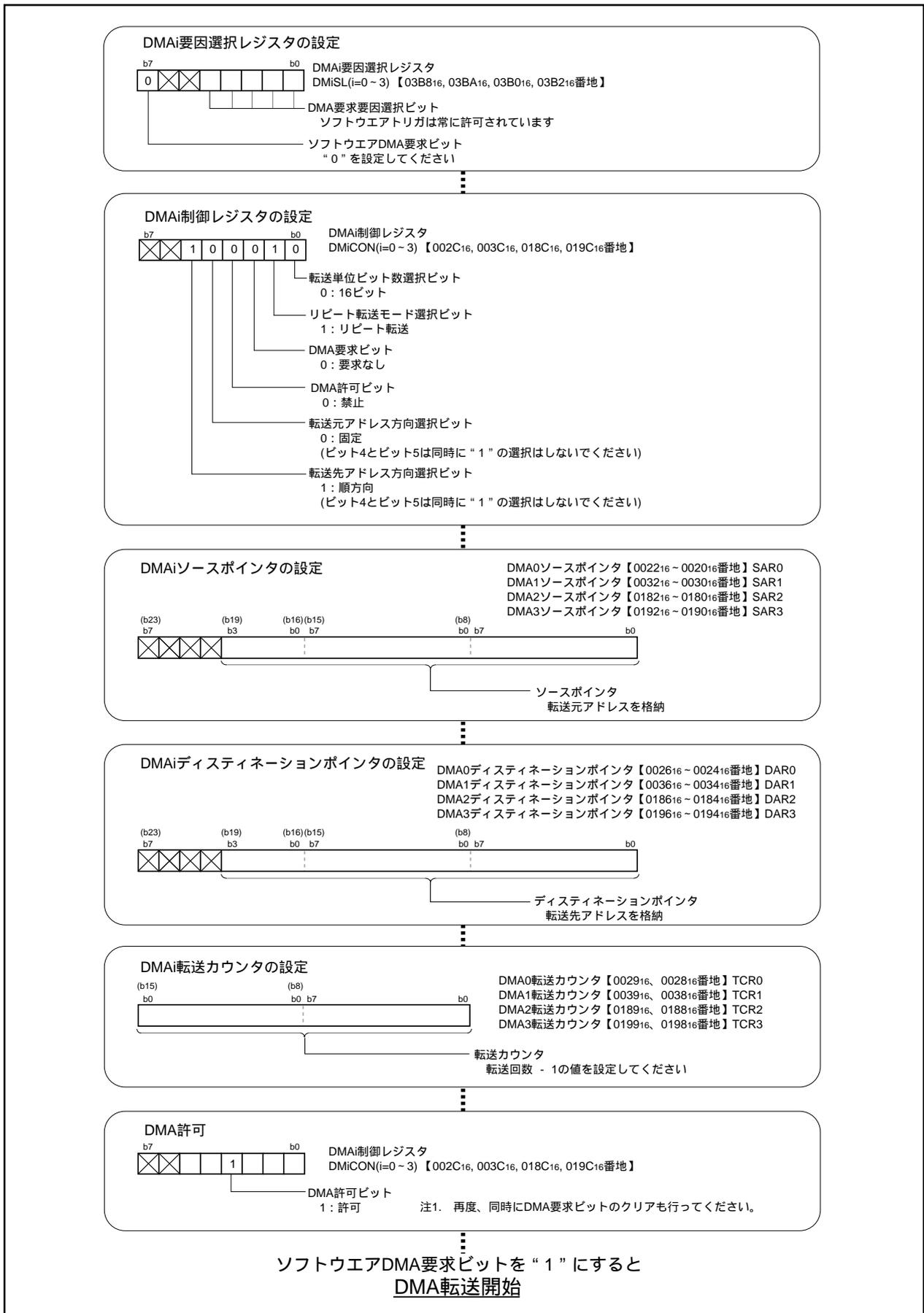


図2.10.8. リピート転送モード時のレジスタ設定手順

2.11 CRC演算回路

2.11.1 概要

CRC(Cyclic Redundancy Check)とは、通信データを生成多項式によって加工したCRCコードと送られてきたCRCチェックデータとを比較することで、通信データの誤りを検出する方法です。CRC演算回路を用いれば、CRCコードを生成することができます。生成多項式はCRC-CCITT($X^{16}+X^{12}+X^5+1$)、又はCRC-16($X^{16}+X^{15}+X^2+1$)を使用します。また、CRC演算回路はSFRへの書き込み・SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。

CRC演算回路関連のレジスタ

図2.11.1にCRC関連レジスタのメモリ配置図を、図2.11.2にCRC関連レジスタの構成を示します。



図2.11.1. CRC演算回路関連レジスタのメモリ配置図

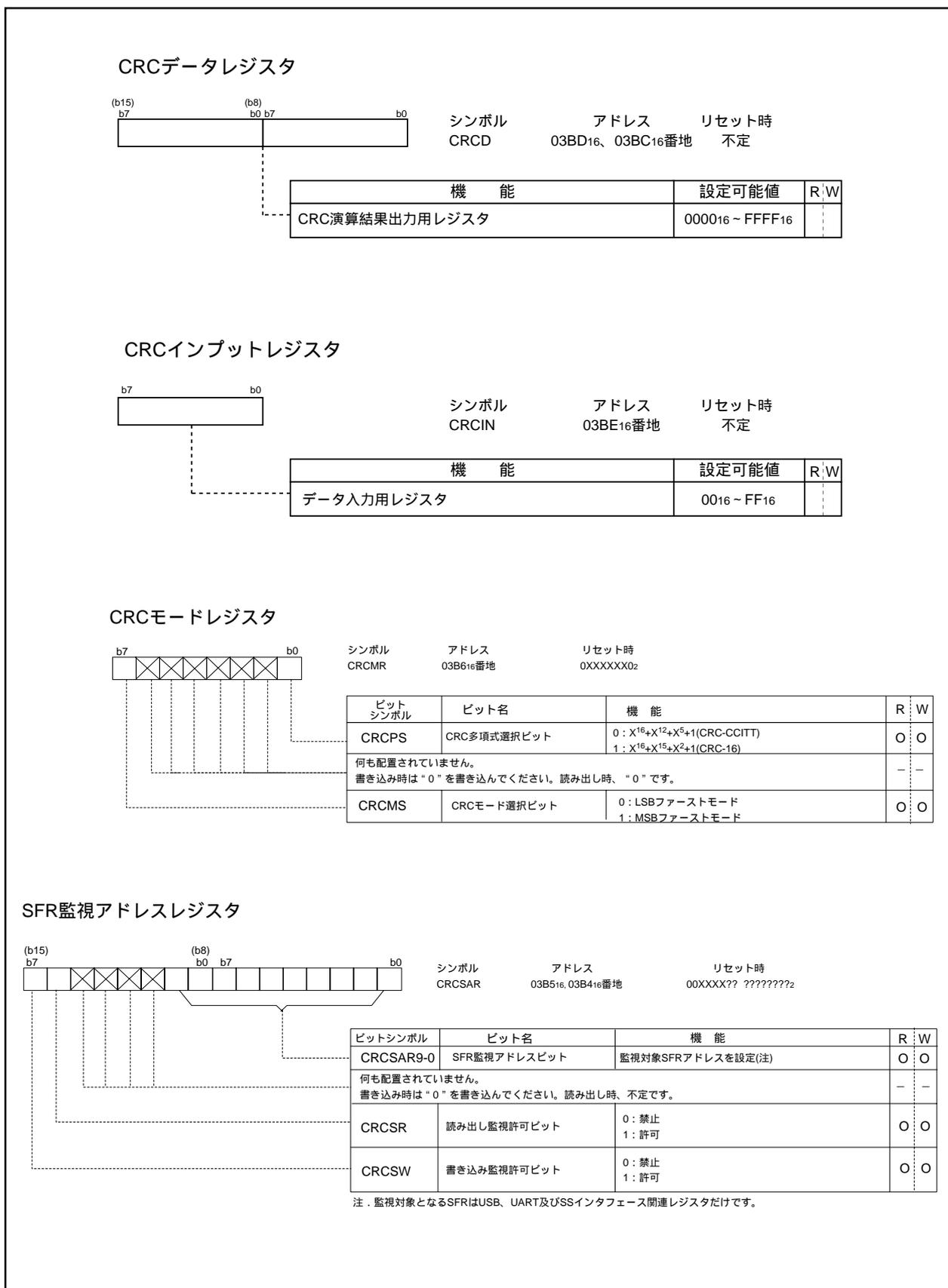


図2.11.2. CRC演算回路関連レジスタの構成

2.11.2 CRC演算回路の動作

CRC演算回路の動作について説明します。また、図2.11.3にCRC-CCITT使用の場合のCRC演算回路の演算例を示します。

- 動作
- (1) CRCモードレジスタのビット0でCRC-CCITTかCRC-16か選択し、ビット7でLSBファーストかMSBファーストを選択します。
 - (2) CRCデータレジスタに初期値0000₁₆を設定します。
 - (3) CRCインプットレジスタに1バイトのデータを書き込むと、書き込んだデータとCRCデータレジスタの内容に基づいて、CRCコードがCRCデータレジスタに生成されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。
 - (4) 連続数バイトCRC演算で行う場合には、続けて次のデータをCRCインプットレジスタに書き込んでください。
 - (5) 全データを書き終えた後のCRCデータレジスタの内容がCRC符号となります。

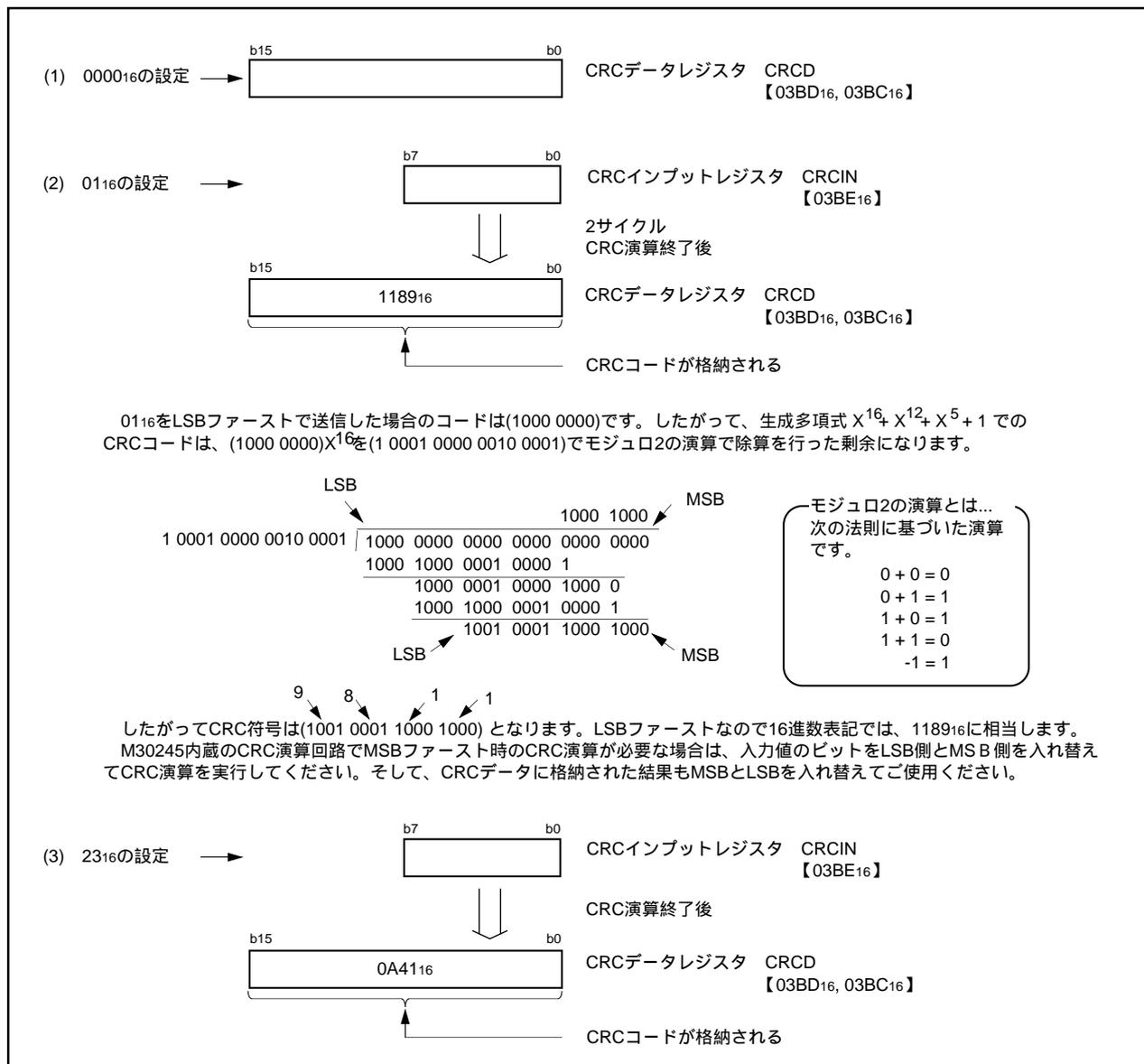


図2.11.3. データ0123₁₆でのCRC演算回路の演算例 (CRC-CCITT使用時)

2.11.3 SFRアクセス監視機能の動作

CRC演算回路は、SFRへの書き込み・SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。SFRに書き込まれた、又はSFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCインプットレジスタにデータを設定する必要がありません。対象となるSFRはUSB関連レジスタ、UART関連レジスタ、およびSSインタフェース関連レジスタです。

- 動作
- (1) CRCモードレジスタのビット1でCRC-CCITTかCRC-16か選択し、ビット7でLSBファーストかMSBファーストを選択します。
 - (2) 監視対象のSFRアドレスをSFR監視アドレスレジスタ(CRCSARのビット0～9)に設定します。書き込み監視許可ビット(CRCSARのビット15)で対象SFRへの書き込みの監視を、読み出し監視許可ビット(CRCSARのビット14)で対象SFRの読み出しの監視を許可します。
 - (3) CRCデータレジスタに初期値0000₁₆を設定します
 - (4) 書き込み監視許可ビットに“1”を設定している場合、CPU又はDMAによって監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれたデータをCRCインプットレジスタに格納し、CRC演算を実行します。同様に、読み出し監視許可ビットに“1”を設定している場合、CPU又はDMAによって監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCインプットレジスタに格納し、CRC演算を実行します。CRC演算回路は1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、CRCインプットレジスタには1バイトデータのみが格納されます。
 - (5) CRCインプットレジスタに1バイトのデータが格納されると、格納されたデータとCRCデータレジスタの内容に基づいて、CRCコードがCRCデータレジスタに生成されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

2.12 監視タイマ

2.12.1 概要

監視タイマは、プリスケアラ付き15ビットのタイマでプログラムの暴走を検知することができます。監視タイマの概要について説明します。

監視タイマの開始

リセット時、監視タイマは停止しています。監視タイマスタートレジスタに書き込みを行うと、監視タイマは7FFF16に初期化され、ダウンカウントを開始します。一度動作を開始した監視タイマは、監視タイマの停止条件以外では停止させることはできません。

監視タイマの停止条件

監視タイマは、次の状態のとき停止します。

- (1) CPUがストップ状態の期間。
- (2) CPUがウエイト状態の期間。
- (3) ホールド状態の期間。

監視タイマの初期化

監視タイマは次のとき7FFF16に初期化され、継続してダウンカウントを行います。

- (1) 監視タイマがカウント中に監視タイマスタートレジスタに書き込みを行った場合
- (2) 監視タイマがアンダフローした場合

暴走の検知

監視タイマがアンダフローすると、監視タイマ割り込みが発生します。プログラムでは、監視タイマがアンダフローする前に、監視タイマスタートレジスタに書き込みを行ってください。

監視タイマ割り込みは割り込み許可フラグ(Iフラグ)の状態にかかわらず発生します。監視タイマ割り込み処理では、ソフトウェアリセットビットを“1”にしてソフトウェアリセットをかけてください。

監視タイマの周期

監視タイマの周期は、BCLKと選択されたプリスケアラの分周比によって変わります。

監視タイマの周期を以下に示します。

表2.12.1. 監視タイマの周期 ($f(XIN)=16\text{MHz}$)

CM07	CM06	CM17	CM16	BCLK	WDC7	周期
0	0	0	0	16MHz	0	約32.8ms(注1)
					1	約262.1ms(注1)
0	0	0	1	8MHz	0	約65.5ms(注1)
					1	約524.3ms(注1)
0	0	1	0	4MHz	0	約131.1ms(注1)
					1	約1.049s(注1)
0	0	1	1	1MHz	0	約524.3ms(注1)
					1	約4.194s(注1)
0	1	無効	無効	2MHz	0	約262.1ms(注1)
					1	約2.097s(注1)
1	無効	無効	無効	32kHz	無効	約2s(注1)

注1. プリスケアラによる誤差が生じます。

監視タイマ関連レジスタ

図2.12.1に監視タイマ関連レジスタのメモリ配置図を、図2.12.2に監視タイマ関連レジスタの構成を示します。

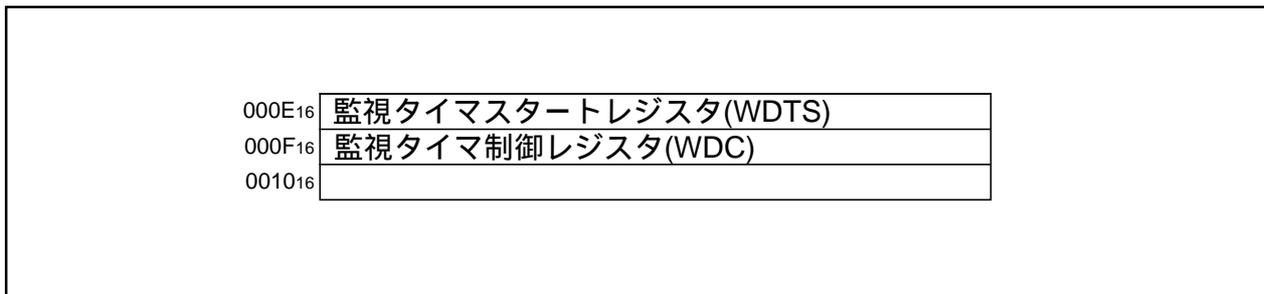


図2.12.1. 監視タイマ関連レジスタのメモリ配置図

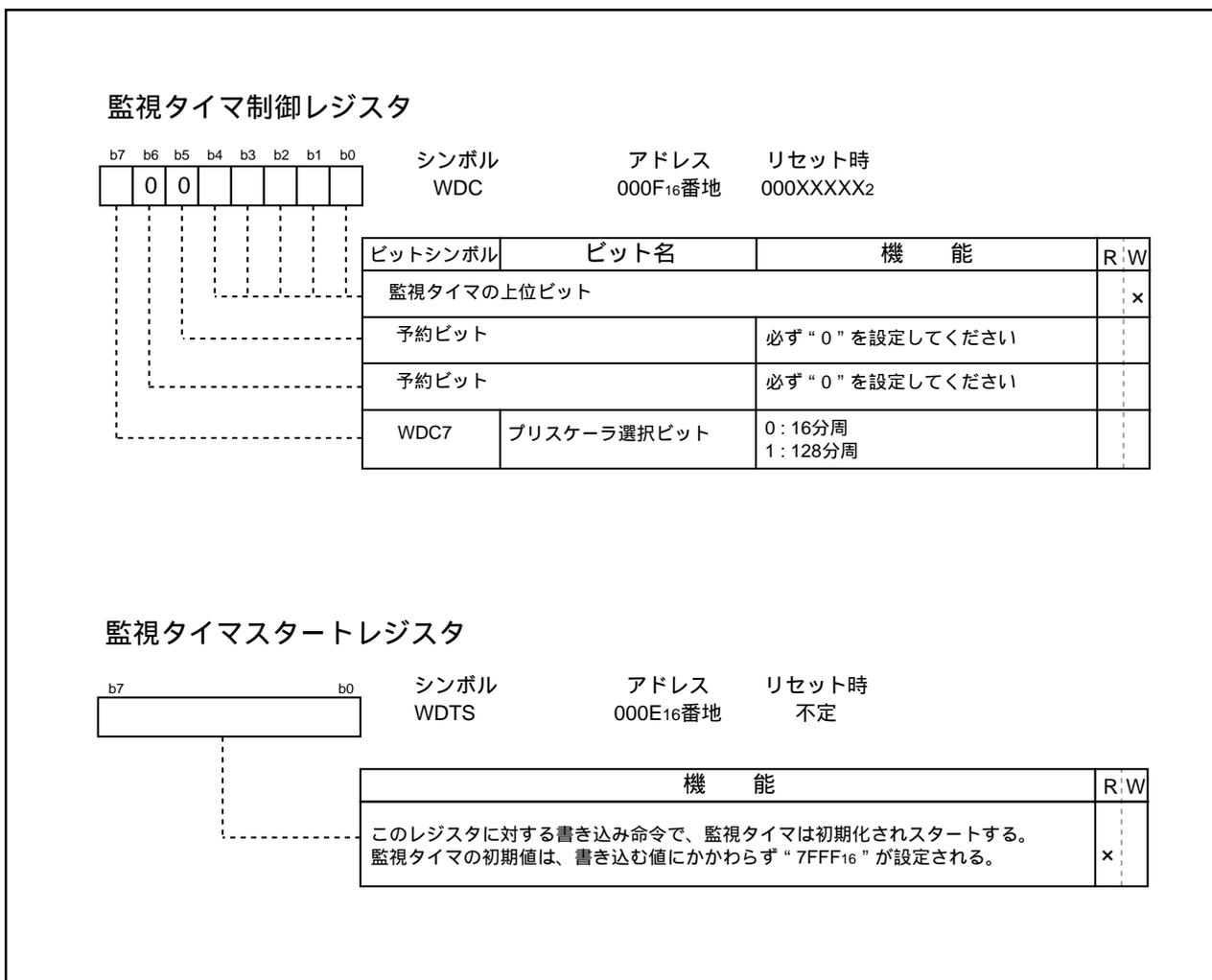


図2.12.2. 監視タイマ関連レジスタの構成

2.12.2 監視タイマの動作

監視タイマの動作について説明します。また、図2.12.3に動作タイミングを、図2.12.4に設定手順を示します。

- 動作
- (1) 監視タイマスタートレジスタに書き込みを行うと、監視タイマは7FFF₁₆に初期化されダウンカウントを開始します。
 - (2) カウント実行中に再度書き込みを行うと、監視タイマは7FFF₁₆に初期化され、カウントを継続して行います。
 - (3) WAIT命令の実行やストップ状態になると、監視タイマはカウント中の値を保持して停止します。WAIT命令の実行やストップ状態から復帰後、保持した値からカウントを再開します。
 - (4) 監視タイマがアンダフローすると、監視タイマは7FFF₁₆に初期化され、カウントを継続して行います。同時に、監視タイマ割り込みが発生します。

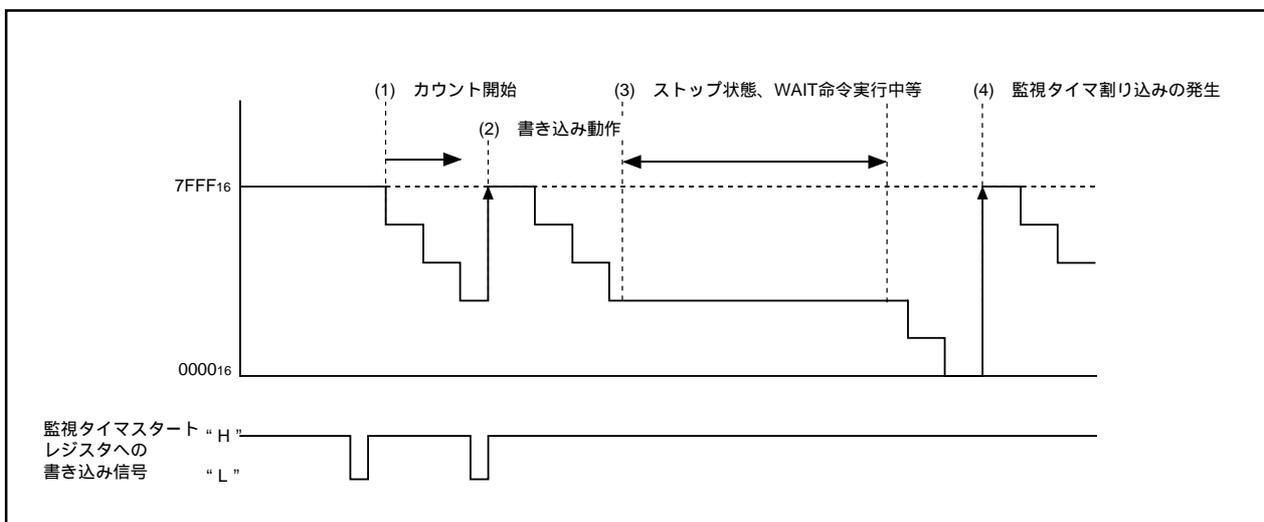


図2.12.3. 監視タイマの動作タイミング図

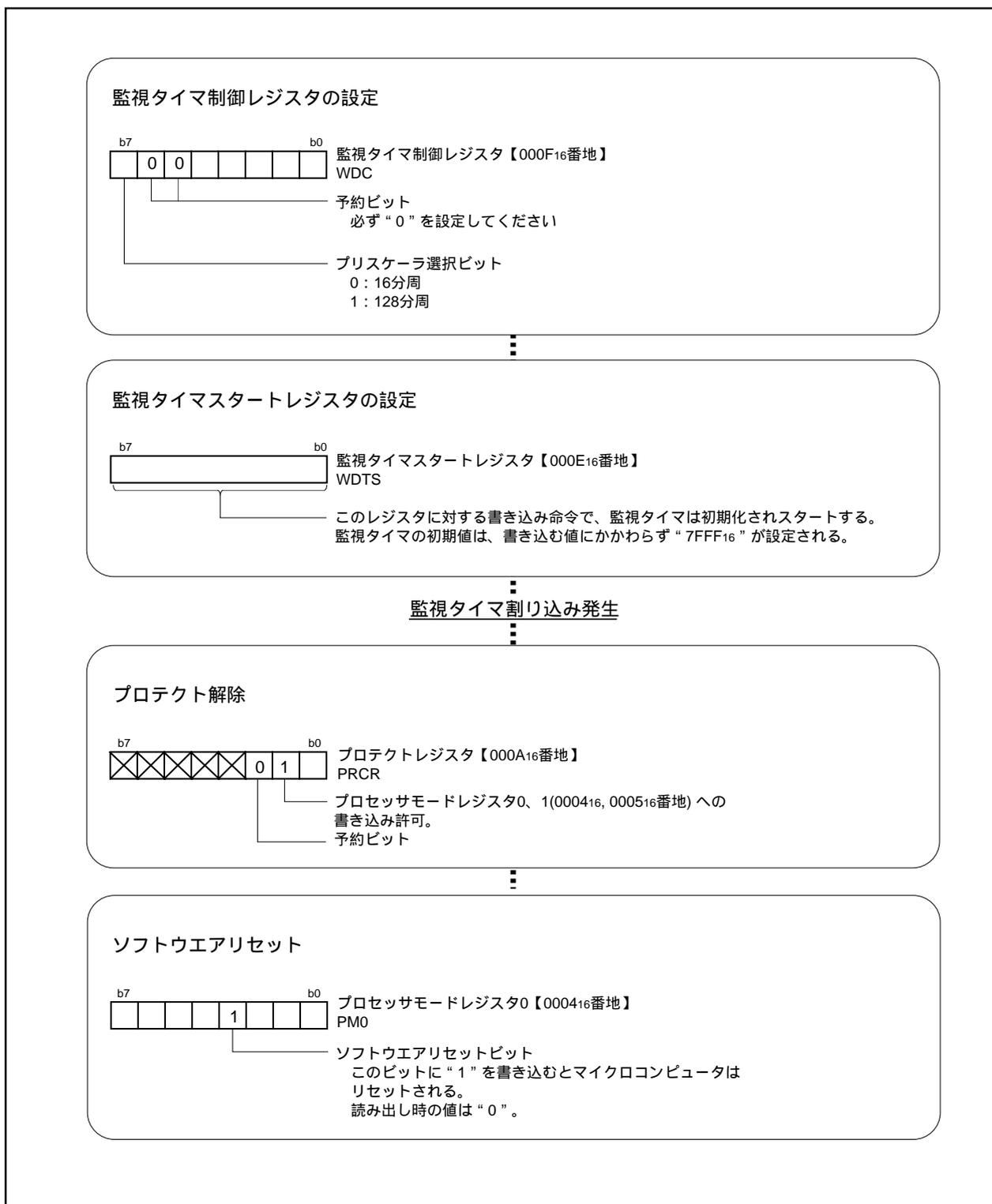


図2.12.4. 監視タイマ割り込みの設定手順

2.13 アドレス一致割り込み

2.13.1 概要

アドレス一致割り込みは、ROM修正やデバッグ用の簡易モニタ等に使用できます。外部データバスを8ビットで使用している場合、外部領域に対してアドレス一致割り込みは使用できません。

アドレス一致割り込みの概要について説明します。

アドレス一致割り込みの許可、禁止

アドレス一致割り込み許可ビットで許可、禁止できます。プロセッサ割り込み優先レベル(IPL)や割り込み許可フラグ(Iフラグ)の影響は受けません。

アドレス一致割り込みの発生タイミング

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に割り込みは発生します。

アドレス一致割り込みレジスタには、命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

また、割り込みルーチンの先頭の命令もアドレス一致割り込みは発生しません。

アドレス一致割り込みからの復帰

アドレス一致割り込みが発生したときにスタックに積まれる戻り先番地は、実行直前の命令(アドレス一致割り込みレジスタで示される命令)によって異なります。戻り先番地がスタックに積まれていません。したがって、アドレス一致割り込みから復帰する場合、スタックの内容を書き替えてREIT命令で復帰するか、またはスタックをPOP命令等を使用して、割り込み発生前の状態に戻してからジャンプ命令で復帰してください。

< アドレス一致割り込み時に + 2 されたアドレスが退避される命令 >

- ・ 16 ビットオペコード命令
 - ・ 8 ビットオペコードの命令のうち、以下に示す命令
- | | | |
|---------------------|-----------------------------|--------------------|
| ADD.B:S #IMM8,dest | SUB.B:S #IMM8,dest | AND.B:S #IMM8,dest |
| OR.B:S #IMM8,dest | MOV.B:S #IMM8,dest | STZ.B:S #IMM8,dest |
| STNZ.B:S #IMM8,dest | STZX.B:S #IMM81,#IMM82,dest | |
| CMP.B:S #IMM8,dest | PUSHM src | POPM dest |
| JMPS #IMM8 | JSRS #IMM8 | |
| MOV.B:S #IMM,dest | (ただし、dest = A0 / A1) | |

< アドレス一致割り込み時に + 1 されたアドレスが退避される命令 >

- ・ 上記以外

図2.13.1. 実行直前の命令と割り込み発生時にスタックに積まれる番地

実行直前の命令と割り込み発生時にスタックに積まれる番地を図2.13.1に示します。

アドレス一致割り込みの判定方法

アドレス一致割り込みは、2箇所、設定することができますが、2箇所とも同じベクタアドレスです。したがって、アドレス一致割り込み0で発生したのかアドレス一致割り込み1で発生したのかの判断が必要です。スタックの内容等で、アドレス一致割り込みルーチンの先頭で判断してください。

アドレス一致割り込み関連レジスタ

図2.13.2にアドレス一致割り込み関連レジスタのメモリ配置図を、図2.13.3にアドレス一致割り込み関連レジスタの構成を示します。

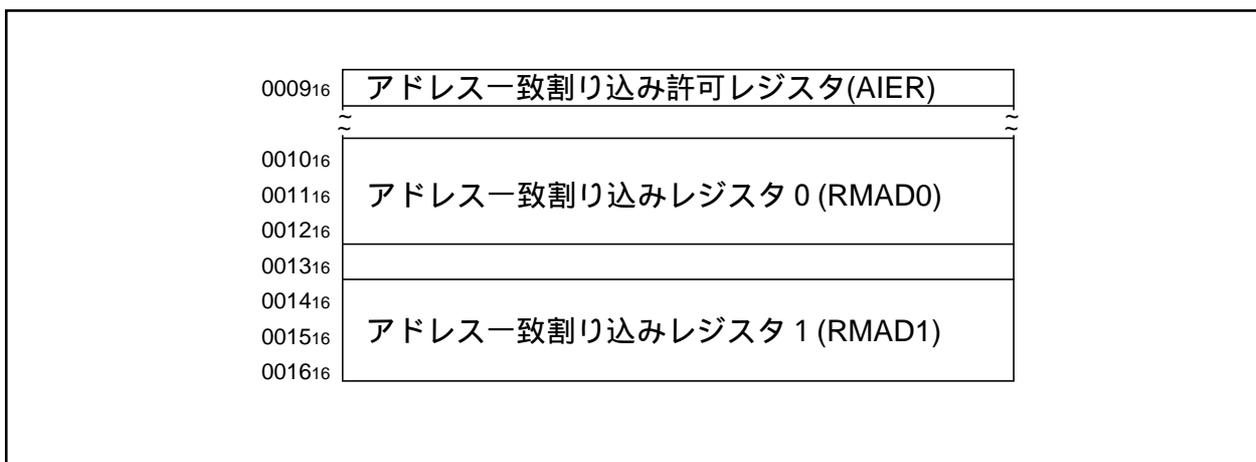


図2.13.2. アドレス一致割り込み関連レジスタのメモリ配置図

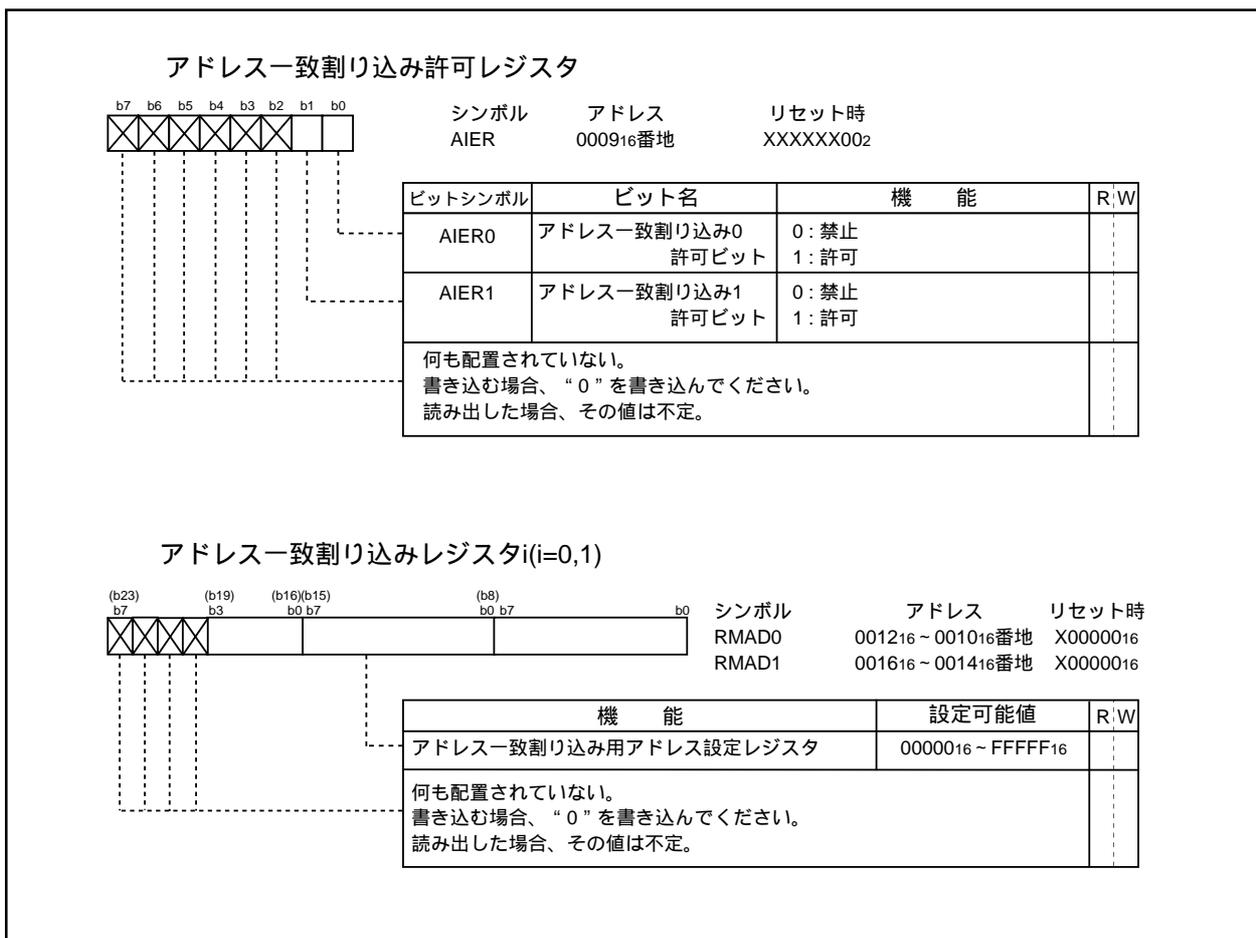


図2.13.3. アドレス一致割り込み関連レジスタの構成

2.13.2 アドレス一致割り込みの動作

アドレス一致割り込みの動作を説明します。また、図2.13.4にアドレス一致割り込みの設定手順を、図2.13.5にアドレス一致割り込み処理ルーチンの概略処理を示します。

- 動作
- (1) アドレス一致割り込みレジスタに割り込みを発生させるアドレスを設定します。
 - (2) アドレス一致許可フラグを“1”にすると割り込み発生許可状態になります。
 - (3) プログラム実行中にアドレス一致割り込みレジスタで設定している番地の命令を実行する直前でアドレス一致割り込みが発生します。

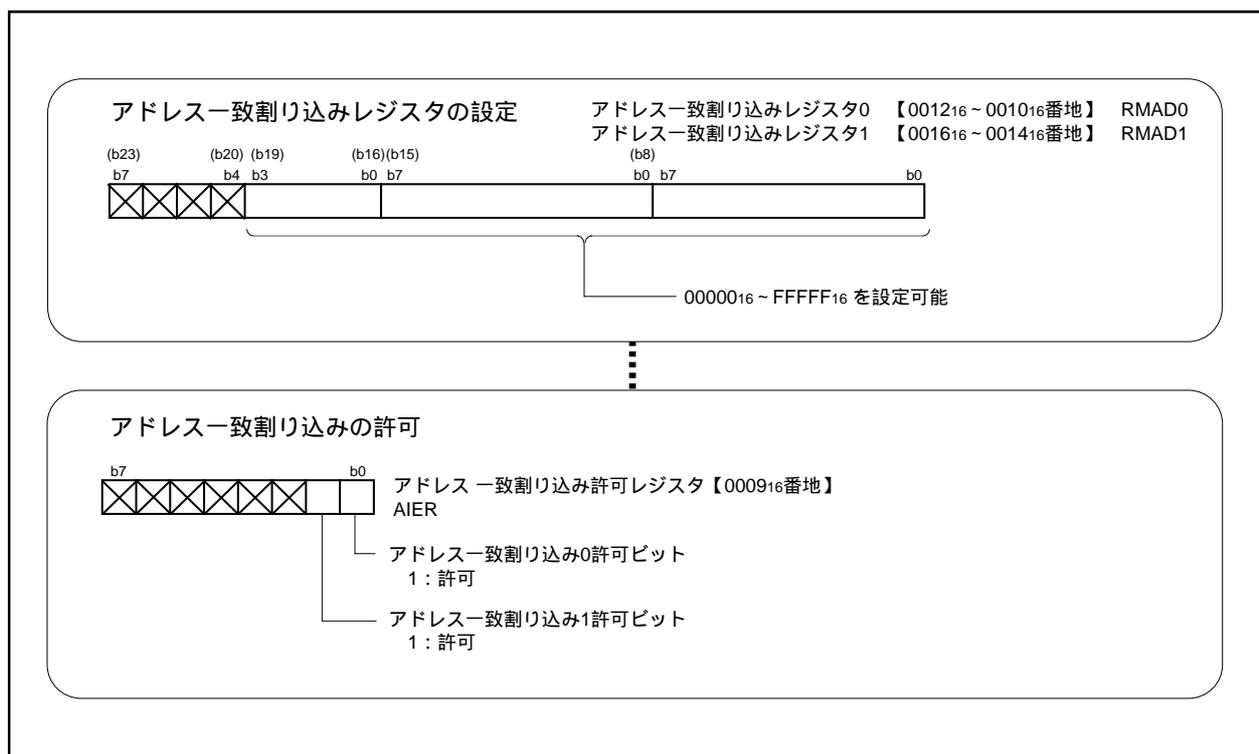


図2.13.4. アドレス一致割り込みの設定手順

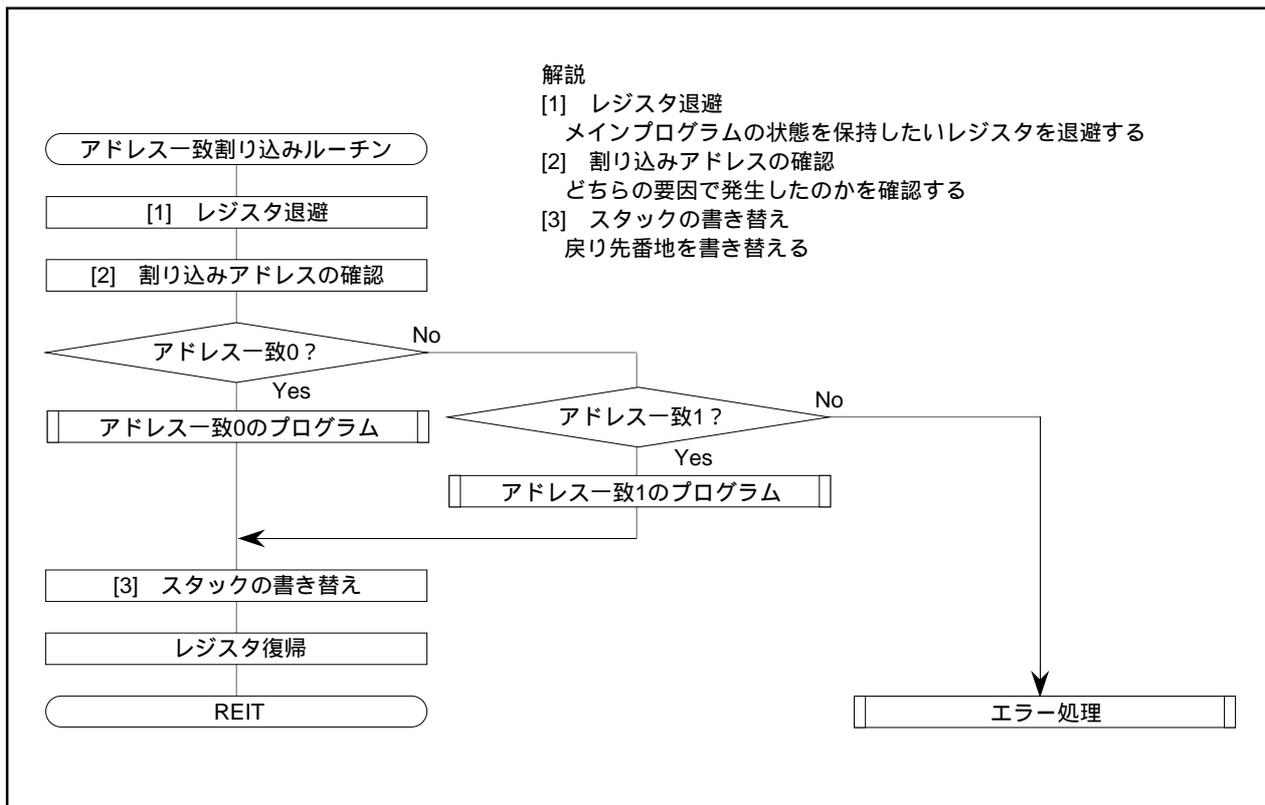


図2.13.5. アドレス一致割り込みルーチン概略処理

2.14 キー入力割り込み

2.14.1 概要

P10のうち方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジ、立ち上がりエッジ、又は両方のエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。キー入力モードレジスタのビット0,1でキー入力割り込みのためのエッジを選択できます。P10はプルアップ制御レジスタを使用することにより、プルアップ設定できます。

キー入力割り込みの許可、禁止

キー入力割り込みは、キー入力モードレジスタ(03F9₁₆番地)とキー入力割り込み制御レジスタ(0041₁₆番地)の設定により許可/禁止を設定します。キー入力割り込みは割り込み優先レベル(IPL)と割り込み許可フラグ(Iフラグ)に影響されます。キー入力割り込みのトリガとなる入力信号のエッジは、P10キー入力エッジ選択ビット(03F9₁₆番地のビット0,1)によって立ち下がり、立ち上がり、又は両方のエッジを選択できます。

キー入力割り込みの発生タイミング

キー入力割り込みが許可状態で、P10の方向レジスタが入力に設定されると、P10はキー入力割り込み端子(KI₀ ~ KI₇)となります。キー入力割り込み端子のいずれかに選択したエッジを入力すると、キー入力割り込みが発生します。このとき、他のキー入力割り込み端子が“H”レベルでなければなりません。他のキー入力割り込み端子のレベルが“L”の場合、割り込みは発生しません。

キー入力割り込みの判定方法

8本のキー入力端子のうちいずれかに選択したエッジが入力されるとキー入力割り込みが発生します。すべてのキー入力割り込み端子は同じベクタアドレスを共有しているため、割り込み端子を決定するためには、キー入力割り込みルーチンでP10の入力レベルを読み出してください。

キー入力割り込み関連レジスタ

図2.14.1にキー入力割り込み関連レジスタのメモリ配置図を、図2.14.2、図2.14.3にキー入力割り込み関連レジスタの構成を示します。

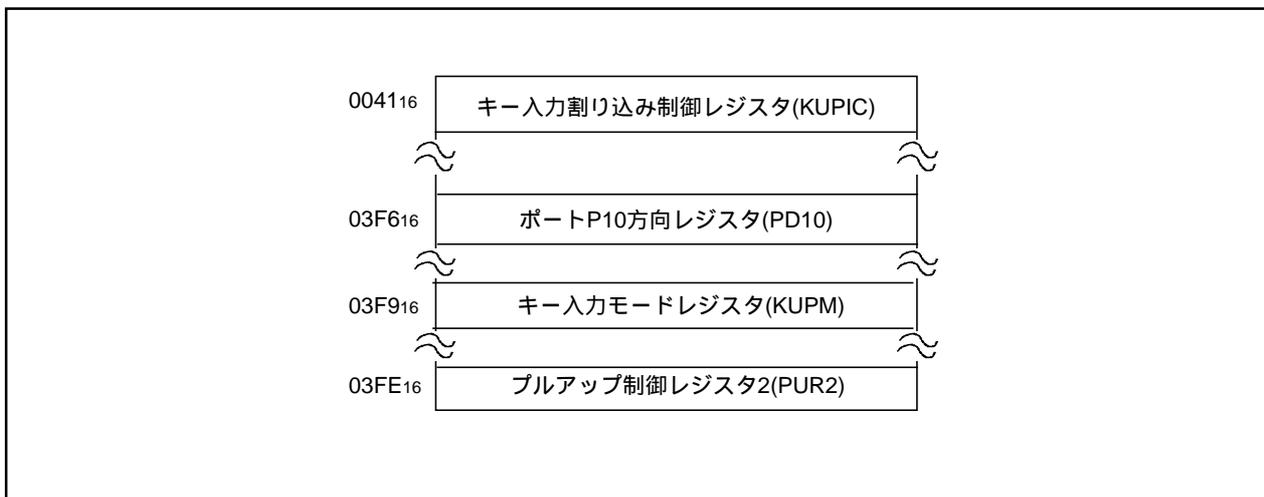


図2.14.1. キー入力割り込み関連レジスタのメモリ配置図

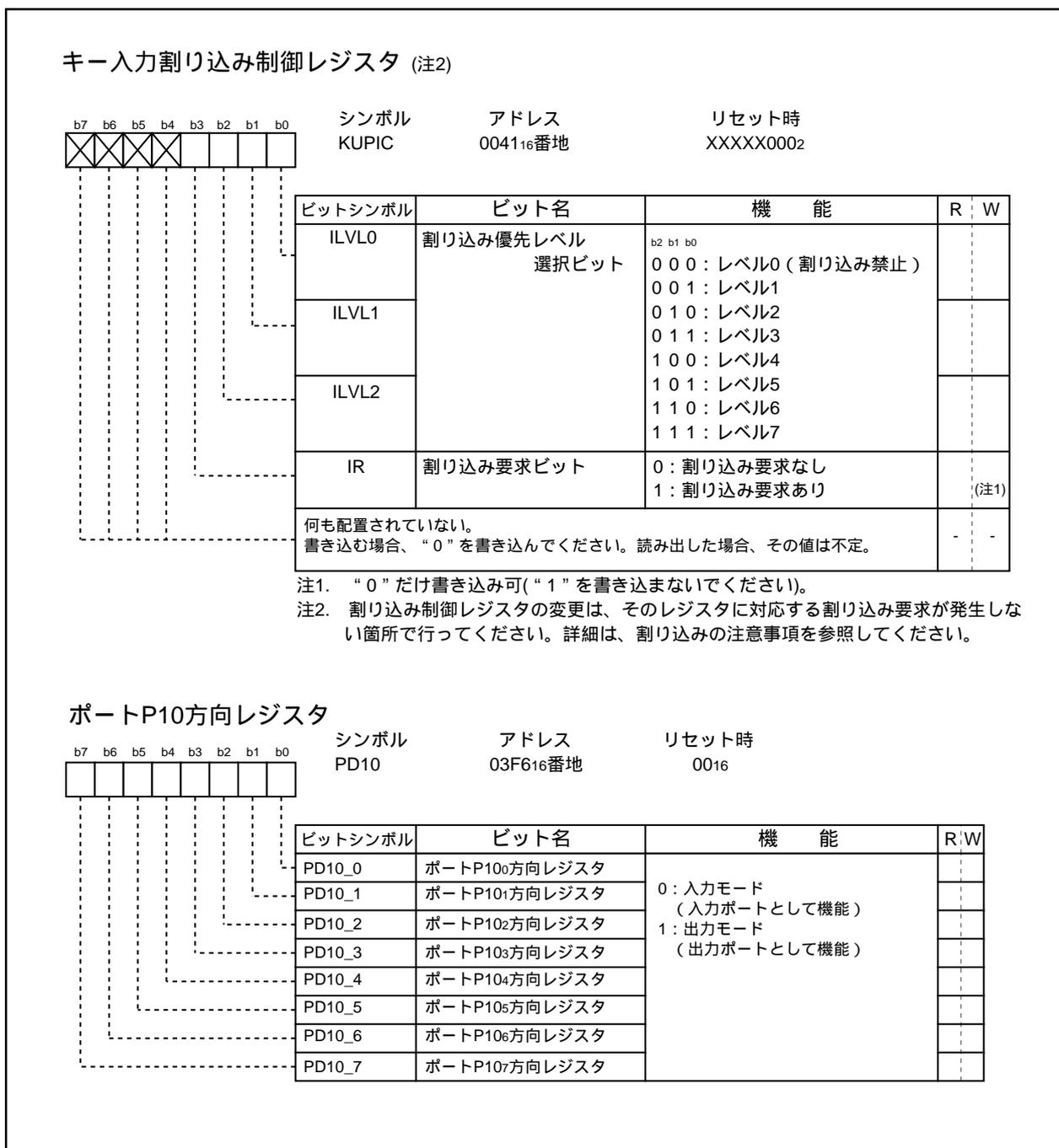


図2.14.2. キー入力割り込み関連レジスタの構成(1)

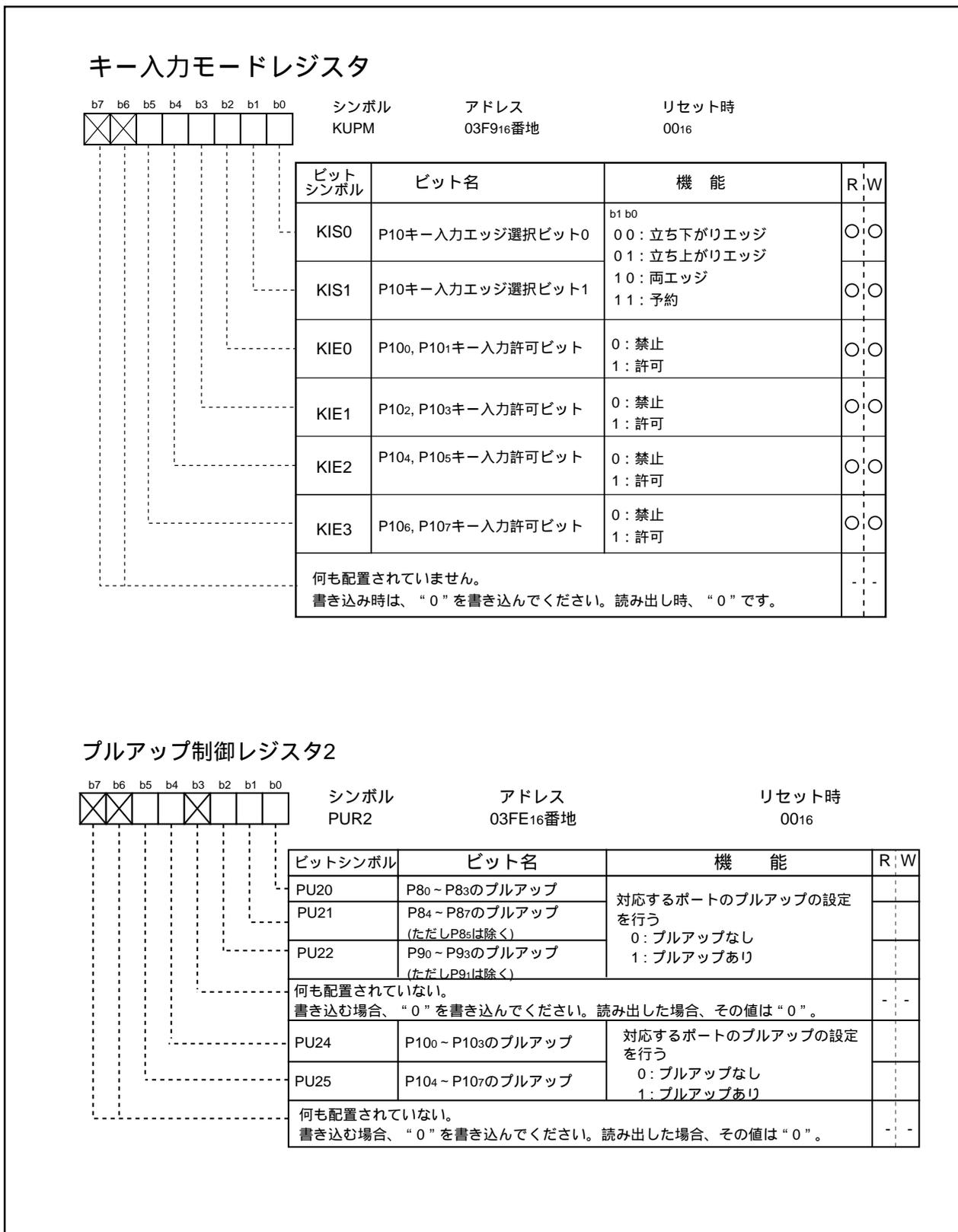


図2.14.3. キー入力割り込み関連レジスタの構成(2)

2.14.2 キー入力割り込みの動作

キー入力割り込みの動作を説明します。また、図2.14.4にキー入力割り込みに用いる回路例を、図2.14.5にキー入力割り込みの動作例を、図2.14.6にキー入力割り込みの設定手順を示します。

- 動作
- (1) キー入力割り込み端子にするポートの方向レジスタを入力に設定し、プルアップ機能を設定します。
 - (2) キー入力割り込み割り込み制御レジスタ、割り込み許可フラグを設定すると割り込み許可状態になります。
 - (3) K10～K17に立ち下がりエッジが入力されるとキー入力割り込み要求ビットが“1”になります。

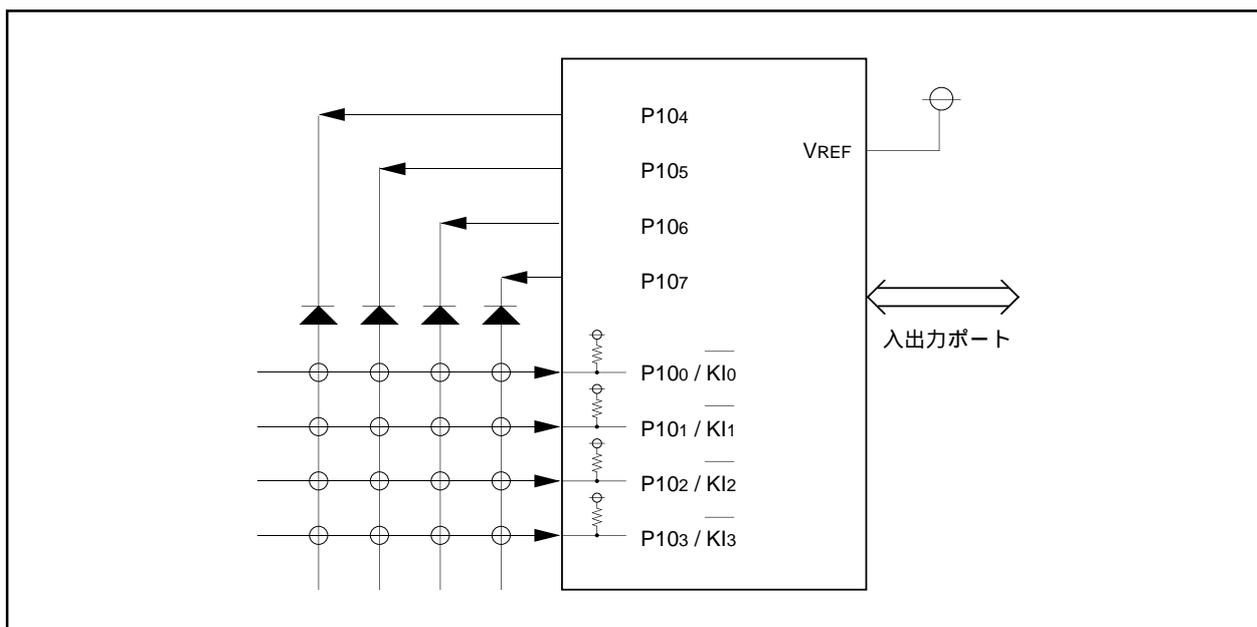


図2.14.4. キー入力割り込みに用いる回路例

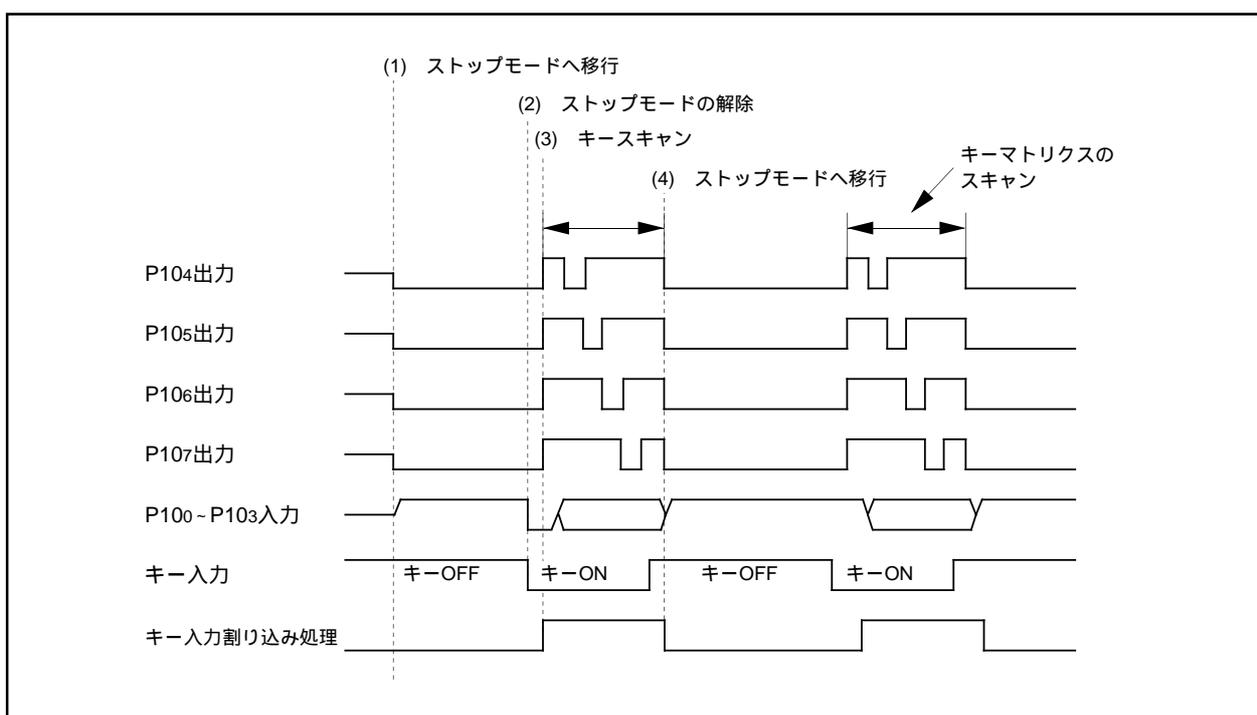


図2.14.5. キー入力割り込みの動作例

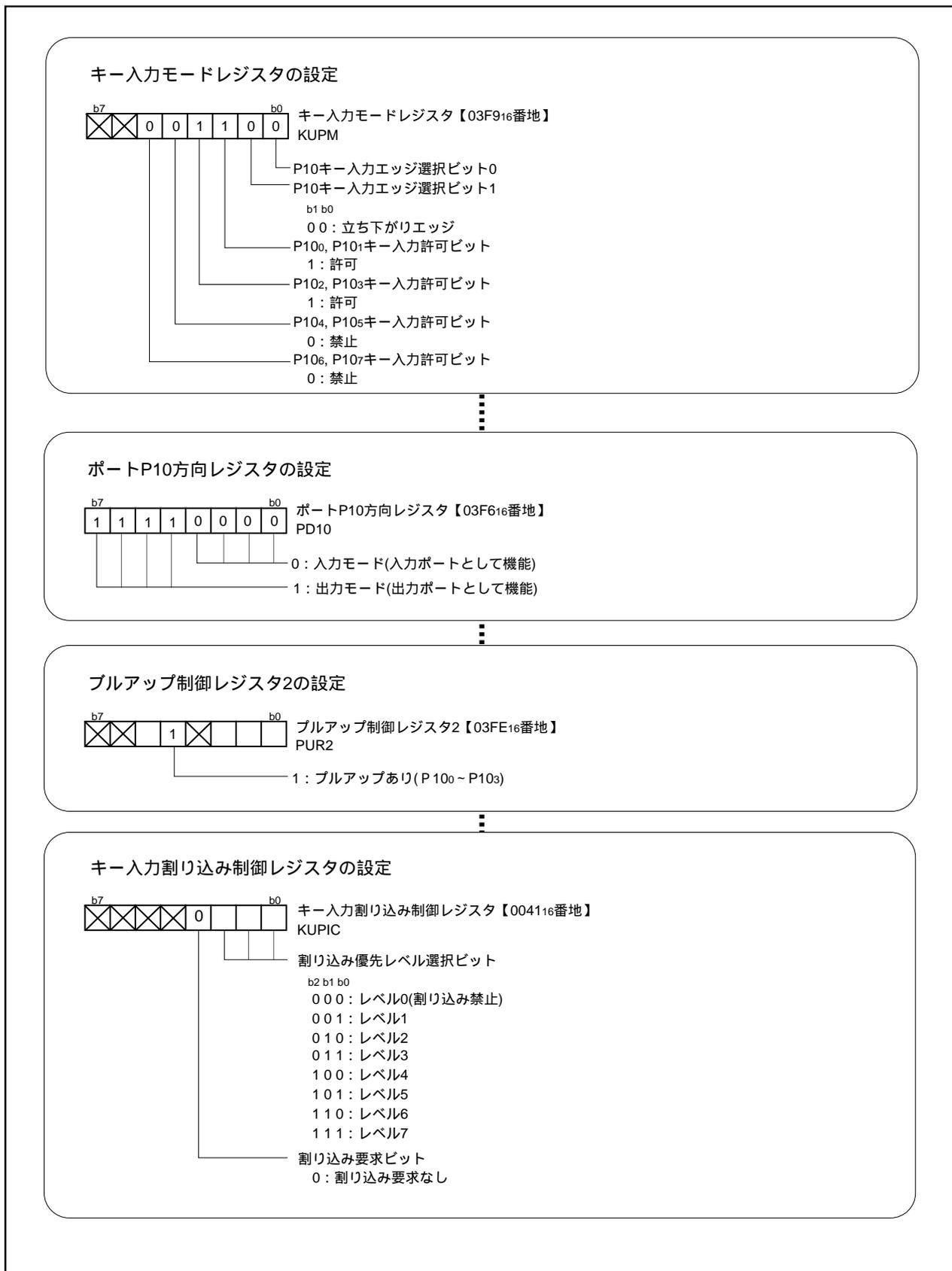


図2.14.6. キー入力割り込みの設定手順

2.15 多重割り込み

2.15.1 概要

割り込み制御の概要について説明します。

割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図2.15.1に割り込み制御レジスタのメモリ配置図を、図2.15.2に割り込み制御レジスタの構成を示します。

0041 ₁₆	キー入力割り込み制御レジスタ(KUPIC)
0042 ₁₆	UART2受信/ACK割り込み制御レジスタ(S2RIC)
0043 ₁₆	UART1/3バス衝突検出割り込み制御レジスタ(S13BCNIC)
0044 ₁₆	INT1割り込み制御レジスタ(INT1IC)
0045 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0046 ₁₆	USBエンドポイント0割り込み制御レジスタ(EP0IC)
0047 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0048 ₁₆	UART1受信/ACK/SSI1割り込み制御レジスタ(S1RIC)
0049 ₁₆	UART0/2バス衝突検出割り込み制御レジスタ(S02BCNIC)
004A ₁₆	UART0受信/ACK/SSI0割り込み制御レジスタ(S0RIC)
004B ₁₆	A-D変換割り込み制御レジスタ(ADIC)
004C ₁₆	DMA0割り込み制御レジスタ(DM0IC)
004D ₁₆	UART3送信/NACK割り込み制御レジスタ(S3TIC)
004E ₁₆	DMA1割り込み制御レジスタ(DM1IC)
004F ₁₆	UART2送信/NACK割り込み制御レジスタ(S2TIC)
0050 ₁₆	DMA2割り込み制御レジスタ(DM2IC)
0051 ₁₆	UART1送信/NACK/SSI1割り込み制御レジスタ(S1TIC)
0052 ₁₆	DMA3割り込み制御レジスタ(DM3IC)
0053 ₁₆	UART0送信/NACK/SSI0割り込み制御レジスタ(S0TIC)
0054 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0055 ₁₆	UART3受信/ACK割り込み制御レジスタ(S3RIC)
0056 ₁₆	USBサスペンド割り込み制御レジスタ(SUSPIC)
0057 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0058 ₁₆	USBレジューム割り込み制御レジスタ(RSMIC)
0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
005A ₁₆	USBリセット割り込み制御レジスタ(RSTIC)
005B ₁₆	USB SOF割り込み制御レジスタ(SOFIC)
005C ₁₆	USB Vbus検出割り込み制御レジスタ(VBDIC)
005D ₁₆	USB機能割り込み制御レジスタ(USBFIC)
005E ₁₆	INT2割り込み制御レジスタ(INT2IC)
005F ₁₆	INT0割り込み制御レジスタ(INT0IC)

図2.15.1. 割り込み制御レジスタのメモリ配置図

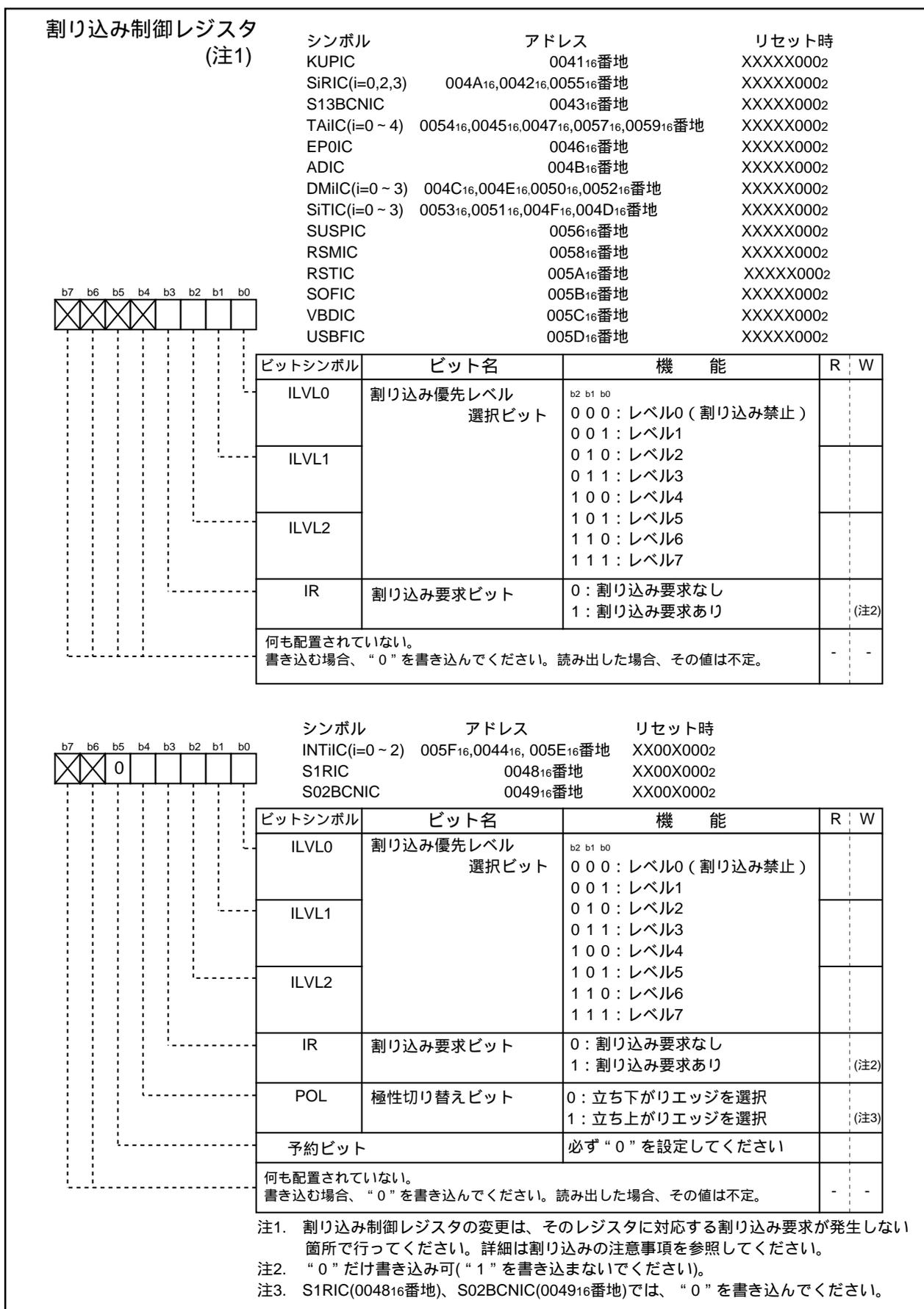


図2.15.2. 割り込み制御レジスタの構成

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

Iフラグを変化させたとき、変化した内容が割り込み要求受付判定に反映されるのは次のタイミングです。

- ・ REIT命令で変化させたとき、そのREIT命令から反映される。
- ・ FCLR、FSET、POPC、LDC各命令で変化させたとき、次の命令から反映される。

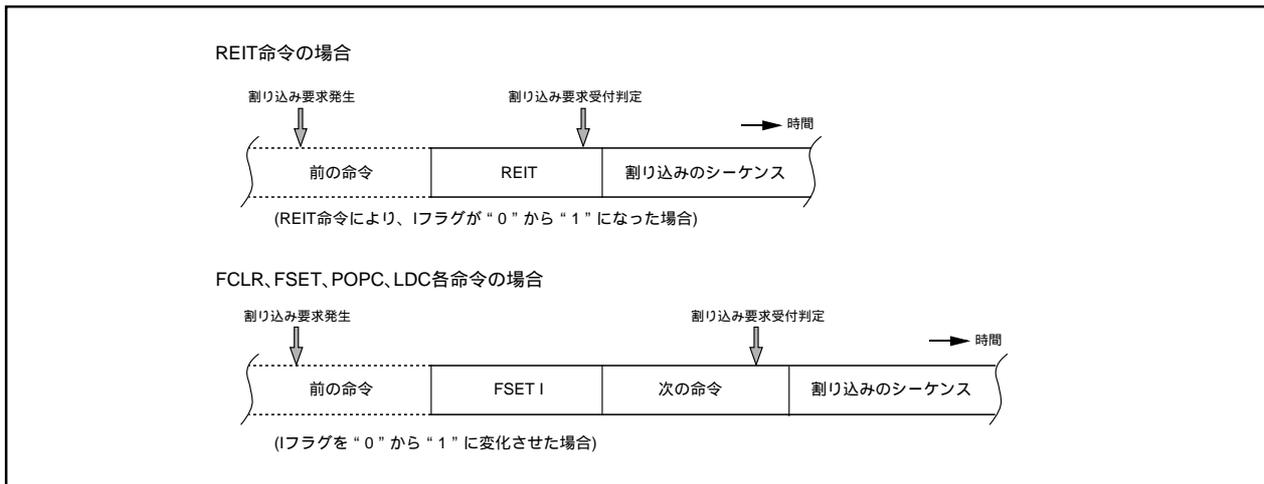


図2.15.3. Iフラグを変化させたときの割り込みへの反映のタイミング

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表2.15.1に割り込み優先レベルの設定を、表2.15.2にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表2.15.1. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	——
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表2.15.2. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

プロセッサ割り込み優先レベル(IPL)、または各割り込み優先レベルを変更させたとき、変化したレベルが割り込みに反映するのは次のタイミングです。

- ・ REIT命令でプロセッサ割り込み優先レベル(IPL)を変化させたとき、REIT命令の最後のクロックから2クロック後に実行されている命令から反映される。
- ・ POPC、LDC、LDIPL各命令でプロセッサ割り込み優先レベル(IPL)を変化させたとき、使用した命令の最後のクロックから3クロック後に実行されている命令から反映される。
- ・ 各割り込みの割り込み優先レベルをMOV命令等で変化させたとき、使用した命令の最後のクロックから2クロック後に実行されている命令から反映される。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図2.15.4に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

リセット > $\overline{\text{NMI}}$ > $\overline{\text{DBC}}$ > 監視タイマ > 周辺I/O > シングルステップ > アドレス一致

図2.15.4. ハードウェア割り込みの割り込み優先順位

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図2.15.5に割り込み優先レベルの判定回路を示します。

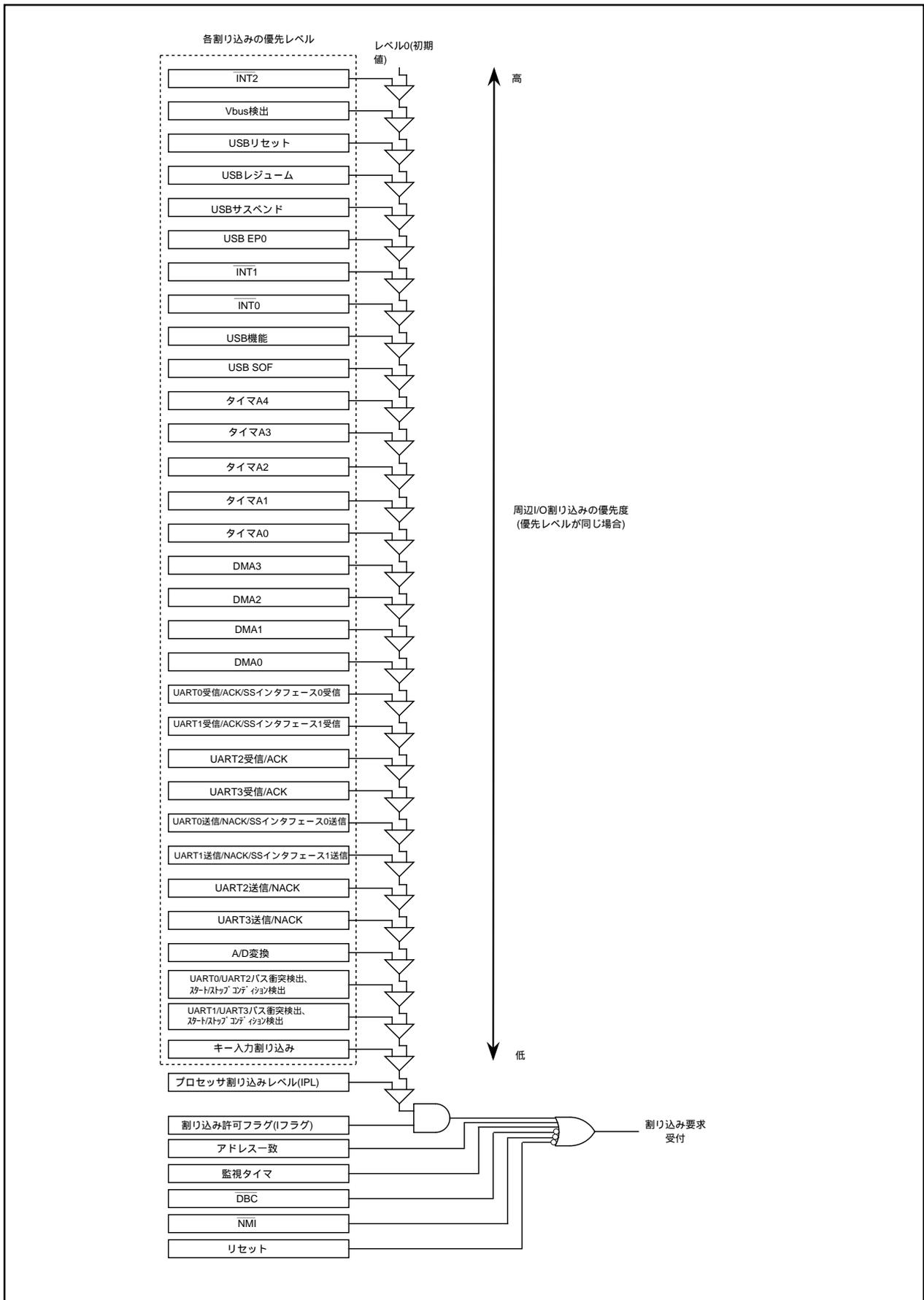


図2.15.5. 割り込み優先レベル判定回路

2.15.2 多重割り込みの動作

割り込みルーチンへ分岐したときの状態を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ)は“0”(割り込み禁止状態)
- ・ 受け付けた割り込みの割り込み要求ビットは“0”
- ・ プロセッサ割り込み優先レベル(IPL)は受け付けた割り込みの割り込み優先レベル

割り込みルーチン内で割り込み許可フラグ(Iフラグ)を“1”にすることによって、プロセッサ割り込み優先レベル(IPL)より高い優先順位をもつ割り込み要求を受け付けることができます。

なお、優先順位が低いために受け付けられなかった割り込み要求は保持されます。そして、REIT命令によってIPLが復帰され、割り込み優先順位の判定が行われたとき、以下の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の
割り込み優先レベル > 復帰されたプロセッサ割り込み優先レベル(IPL)

図2.15.6に多重割り込みの動作例を示します。

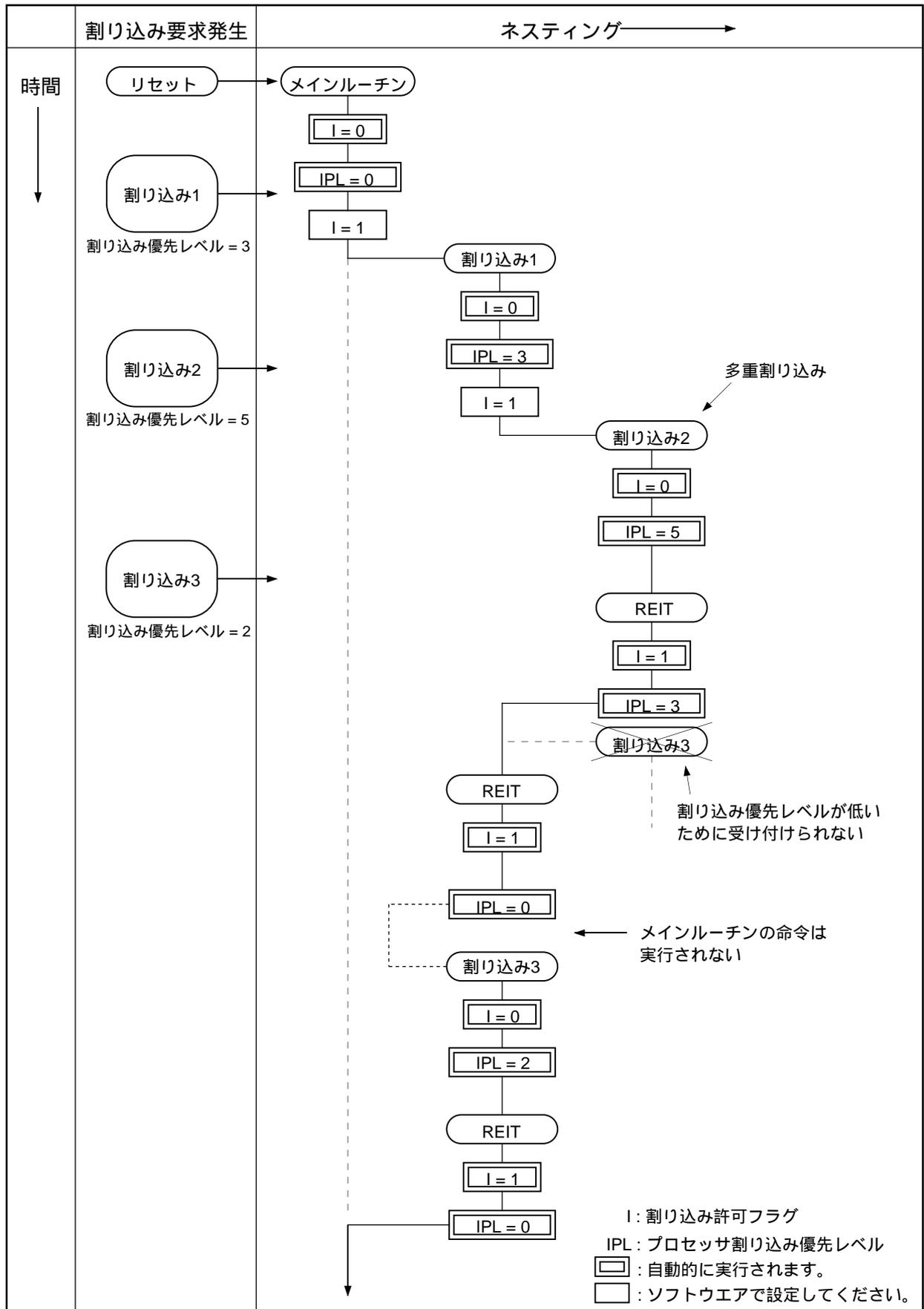


図2.15.6. 多重割り込み動作例

2.16 パワーコントロール

2.16.1 概要

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、又は16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1) ~ (3)の状態遷移図を図2.16.1に示します。

発振回路駆動能力切り替え

メインクロック、及びサブクロックには、駆動能力の切り替え機能があります。

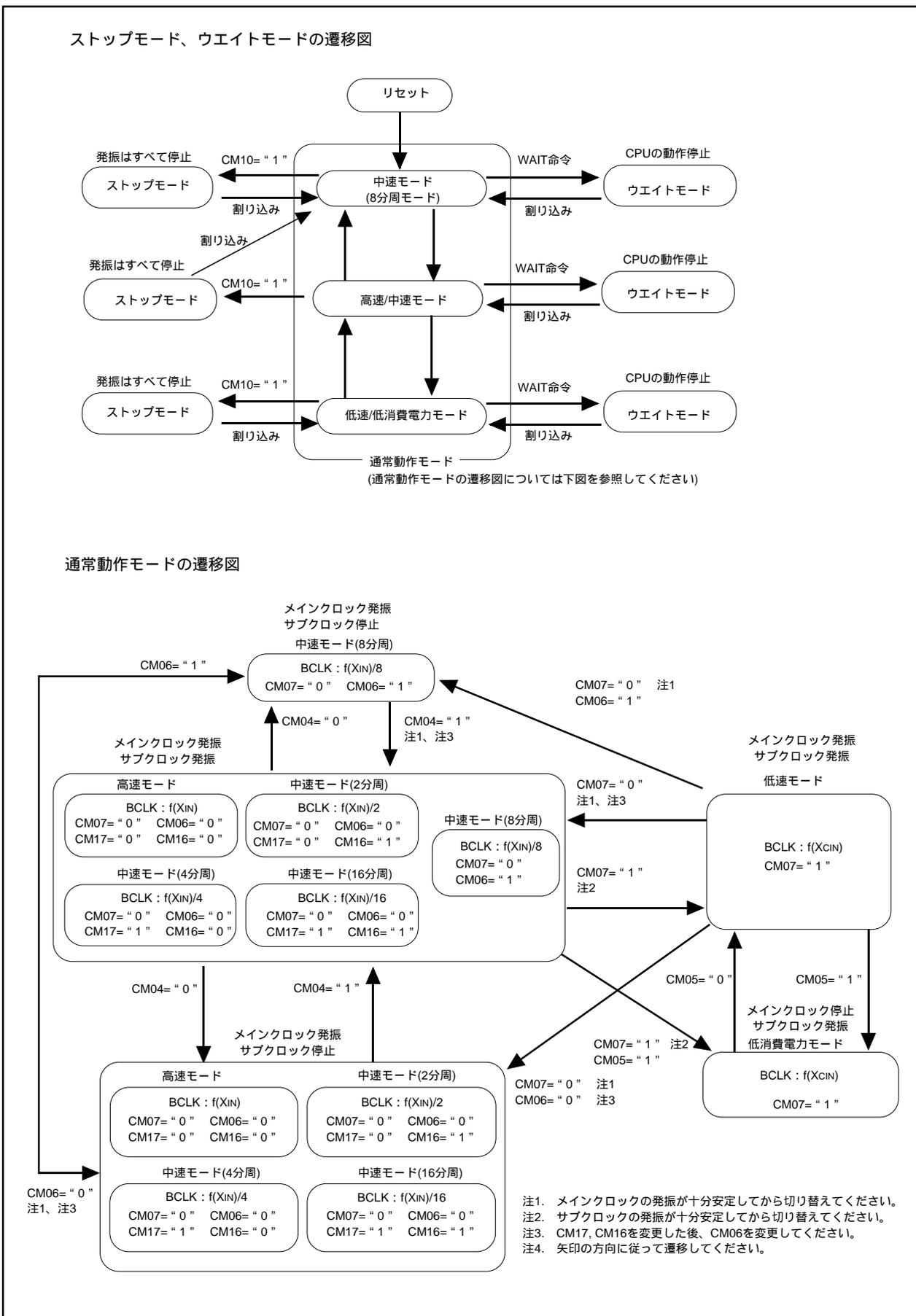


図2.16.1. 状態遷移図

ストップモードからの復帰

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。ストップモードの解除にハードウェアリセットおよびNMI 割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

ウェイトモードからの復帰

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからウェイトモードに移行してください。割り込みで復帰した場合、マイクロコンピュータはWAIT 命令を実行したときのクロックをBCLK とし、割り込みルーチンから動作を再開します。ウェイトモードの解除にハードウェアリセットおよびNMI 割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ウェイトモードに移行してください。

ストップモードおよびウェイトモードの解除に使用できる割り込みを表2.16.1に示します。

復帰時のBCLK

(1)ウェイトモードからの復帰時

ウェイトモードに入る前に使用していたBCLKで直ちに復帰します。

(2)ストップモードからの復帰時

BCLKにメインクロックを選択しストップモードに移行したとき、CM06は“1”となります。CM16、CM17は変化しません。この場合、ストップモードから復帰したとき、8分周モードから動作します。BCLK にサブクロックを選択しストップモードに移行したとき、CM06、CM17、CM16 及びCM07は変化しません。この場合、ストップモードから復帰したとき、低速モードから動作します。

表2.16.1. 各モードの解除に使用できる割り込み

解除用割り込み	ウエイトモード時		ストップモード時
	CM02=0の場合	CM02=1(注6)、CM07=0、 CM05=0の場合	
UART0/UART2バス衝突検出、 スタート/ストップコンディション検出割り込み(注7)		注1	注1
UART1/UART3バス衝突検出、 スタート/ストップコンディション検出割り込み(注7)		注1	注1
DMA0割り込み	×	×	×
DMA1割り込み	×	×	×
DMA2割り込み	×	×	×
DMA3割り込み	×	×	×
キー入力割り込み			
A/D割り込み	注3	×	×
UART0送信/NACK(注7) /SSインタフェース0送信割り込み(注7)		注1	注1
UART0受信/ACK/(注7) /SSインタフェース0受信割り込み(注7)		注1	注1
UART1送信/NACK(注7) /SSインタフェース1送信割り込み(注7)		注1	注1
UART1受信/ACK/(注7) /SSインタフェース1受信割り込み(注7)		注1	注1
UART2送信/NACK割り込み(注7)		注1	注1
UART2受信/ACK割り込み(注7)		注1	注1
UART3送信/NACK割り込み(注7)		注1	注1
UART3受信/ACK割り込み(注7)		注1	注1
タイマA0割り込み		注2、注4	注2
タイマA1割り込み		注2、注4	注2
タイマA2割り込み		注2、注4	注2
タイマA3割り込み		注2、注4	注2
タイマA4割り込み		注2、注4	注2
USBサスペンド割り込み			×
USBレジューム割り込み			注5
USBリセット割り込み			×
USB SOF割り込み			×
USB Vbus検出割り込み			
USB機能割り込み			×
USB EP0割り込み			×
INT0割り込み			
INT1割り込み			
INT2割り込み			
NMI割り込み			

注1. 外部クロックを選択している場合、使用可。

注2. イベントカウンタモードで、外部信号をカウントしているとき使用可。

注3. 単発モードおよび単掃引モードで使用可。

注4. カウントソースにfc32を選択している場合、使用可。

注5. USBサスペンドモード時のみ。

注6. 低速モードおよび低消費電力モード時にはCM02に“1”を設定してウエイトモードに移行しないでください。

注7. I²Cモード選択時にNACK/ACK、スタート/ストップコンディション検出割り込みが選択されます。

SS端子選択時、障害エラー割り込みが選択されます。

ストップモードからの復帰シーケンス

ストップモードからの復帰シーケンスは、発振立ち上がりと割り込みシーケンスからなります。ストップモード中に割り込みが発生すると、CM10が“0”になり、ストップモードが解除されます。その後、発振が開始しBCLKが供給され始めると、下記の割り込みシーケンスを実行します。

割り込みシーケンスでは次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、及びスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

注1. ユーザは使用できません。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

図2.16.2にストップモードからの復帰シーケンスを示します。

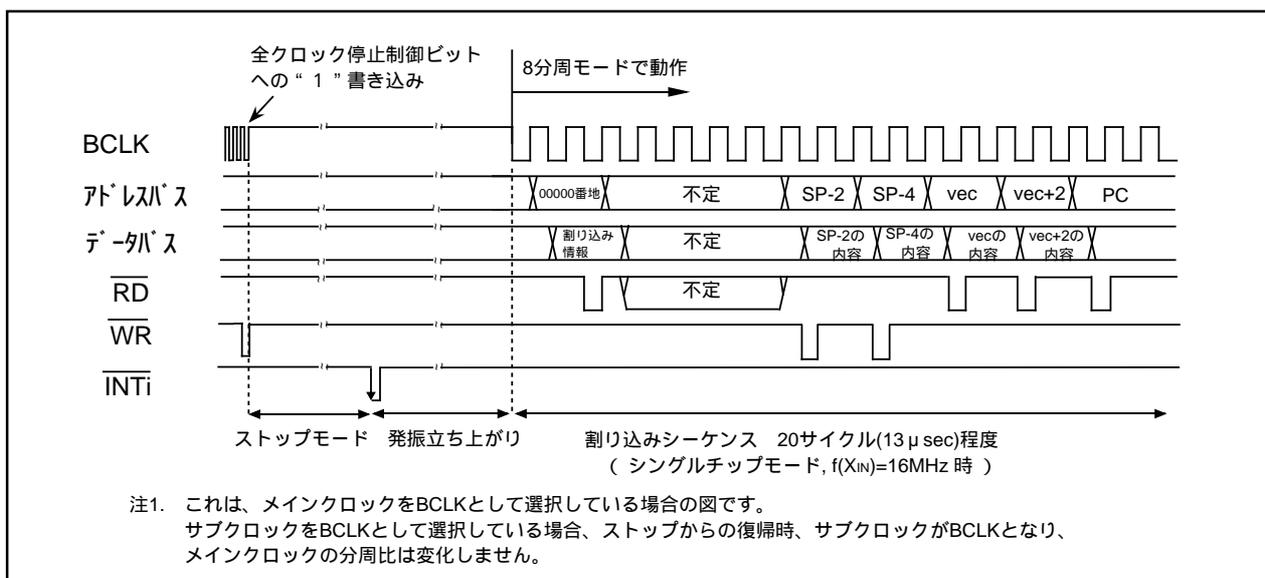


図2.16.2. ストップモードからの復帰シーケンス

パワーコントロール関連レジスタ

図2.16.3にパワーコントロール関連レジスタのメモリ配置図を、図2.16.4にパワーコントロール関連レジスタの構成を示します。

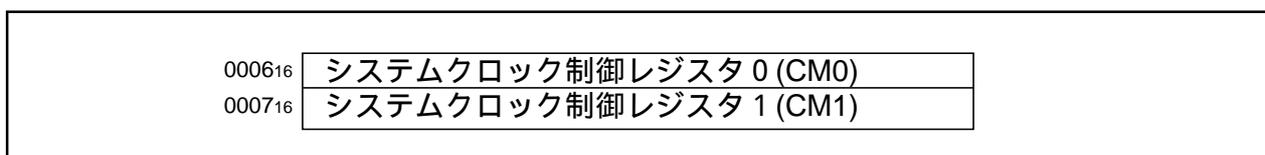


図2.16.3. パワーコントロール関連レジスタのメモリ配置図



図2.16.4. パワーコントロール関連レジスタの構成

2.16.2 ストップモードへの設定

ストップモードへ移行するための設定と動作について説明します。

- 動作 (1) ストップモードから復帰する割り込みを許可します。
 (2) 割り込み許可フラグ(Iフラグ)を“1”にします。
 (3) プロテクトを解除して、全クロック停止制御ビットを“1”にすることで発振が停止しストップモードへ移行します。

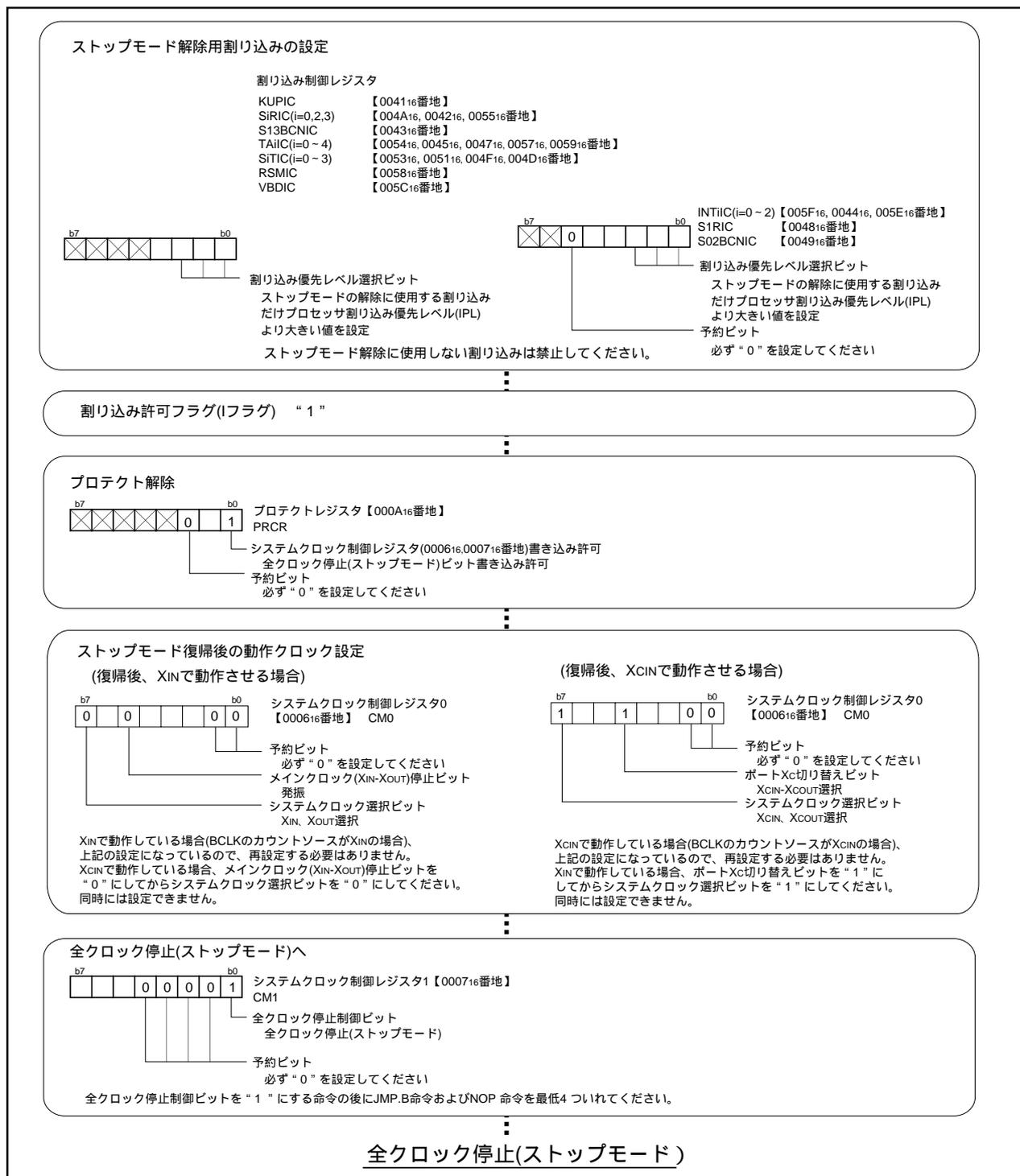
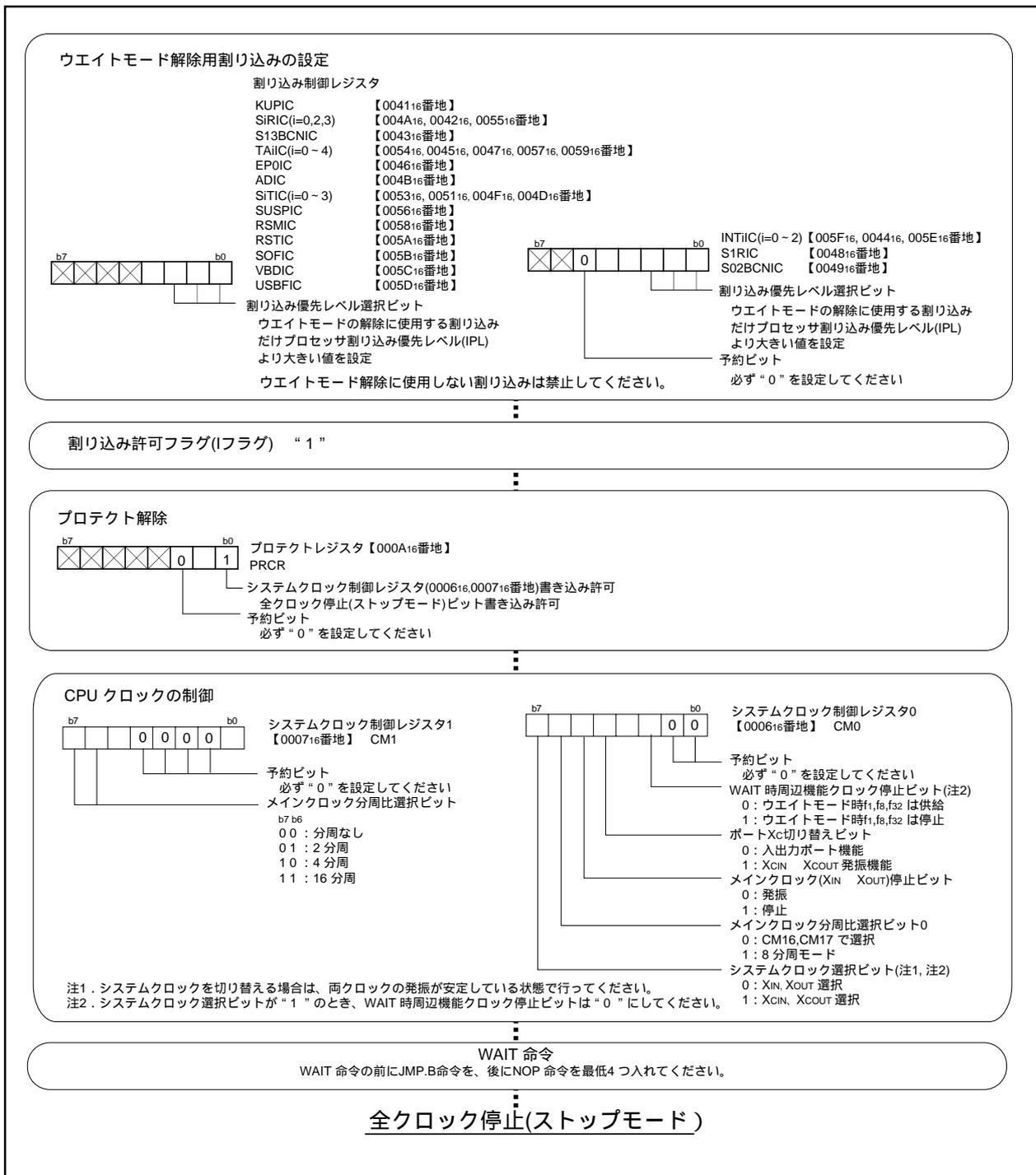


図2.16.5. ストップモードへ移行するための設定例

2.16.3 ウェイトモードへの設定

ウェイトモードへ移行するための設定と動作について説明します。

- 動作
- (1) ウェイトモードから復帰する割り込みを許可します。
 - (2) 割り込み許可フラグ(Iフラグ)を“1”にします。
 - (3) プロテクトを解除して、システムクロック制御レジスタの内容を変更します。
 - (4) WAIT命令を実行します。



2.16.4 パワーコントロールの注意事項

- 内 容 (1) $\overline{\text{NMI}}$ 端子が“L”のときストップモードへ移行しないでください。
- (2) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
- (3) ウェイトモードに移行するとき、WAIT命令の前にJMP.B命令を挿入してください。JMP.B命令とWAIT命令実行の間に、RAMへの書き込みが発生する命令を実行しないでください。JMP.B命令とWAIT命令の間にDMA転送が発生する可能性がある場合は、DMA転送を禁止してください。
- また、WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに移行する場合、命令キューはWAIT命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

ウェイトモードに移行するときのプログラム例を示します。

```

例:          JMP.B    L1          ;WAIT命令の前にJMP.B 命令を挿入
          L1:
          FSET    I          ;
          WAIT          ;ウェイトモードに移行
          NOP          ;NOP命令を4つ以上
          NOP
          NOP
          NOP
  
```

- (4) ストップモードに移行するとき、CM1レジスタのCM10ビットを“1”にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに移行する場合、命令キューはCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。

ストップモードに移行するときのプログラム例を示します。

```

例:          FSET    I
          BSET    0, CM1      ;ストップモードに移行
          JMP.B    L2          ;JMP.B 命令を挿入
          L2:
          NOP          ;NOP 命令を4つ以上
          NOP
          NOP
          NOP
  
```

- (5) BCLK のカウントソースをXIN からXCIN、XCIN からXIN に切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。
- (6) 消費電力を小さくするためのポイント
消費電力を小さくするため、ポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

ポート

ウエイトモード、ストップモードに移行してもプログラブル入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。フローティングになる入力ポートは貫通電流が流れます。ウエイトモード、ストップモードに移行するとき、不要なポートは入力に設定し、安定した電位に固定してください。

メモリ拡張、マイクロプロセッサ

メモリ拡張モードまたはマイクロプロセッサモードの状態からウエイトモードに入る場合、アドレスバスおよびデータバスとして機能している端子は、ウエイトモードに入る直前のバスの状態を保持します。消費電流を低減するため任意の値を出力する場合、シングルチップモードに移行することによって、バスとして機能していた端子は汎用の入出力ポートとなり、任意の値を出力することができます。このとき、シングルチップモードに移行してから、ポートレジスタおよび方向レジスタを設定してください(チップセレクトやリードなど、外部デバイスのアクセスに必要な信号として機能している端子の場合も含む)。

ストップモードも同様です。

A/D変換器

VREF端子には、常時、電流が流れ込みます。ウエイトモード、ストップモードに移行する場合、Vref 接続ビットを“0”にしてVREFに電流が流れ込まないようにしてください。

周辺機能の停止

ウエイトモード時にWAIT時周辺機能クロック停止ビットで、不要な周辺機能を停止させてください。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに“1”を設定してウエイトモードに移行しないでください。

外部クロック

CPU のクロックに外部クロック入力を使用している場合、メインクロック停止ビットを“1”にしてください。メインクロック停止ビットを“1”にすることでXOUT 端子が動作しなくなり、消費電流が小さくなります(外部クロック入力を使用している場合、メインクロック停止ビットの内容にかかわらず、クロックは入力されます)。

2.17 プログラマブル入出力ポート

2.17.1 概要

プログラマブル入出力ポートは81本、入力専用ポートは1本あります。各入出力端子は、内蔵周辺機能の入出力端子と兼用になっています。

各ポートは、入出力の方向を決定する方向レジスタとデータの入出力を行うポートレジスタをもちます。さらに4ビット単位でプルアップを行うプルアップ制御レジスタをもちます。入力専用ポートには、方向レジスタおよびプルアップ制御ビットはありません。

プログラマブル入出力ポートの概要について説明します。

ポートレジスタへの書き込み

方向レジスタを出力に設定しているとき、ポートレジスタに書き込めば、それぞれの端子から書き込んだ値のレベルを出力します。出力のレベルは、CMOS出力です。ただし、ポートP70、P71はNチャネルオープンドレイン出力です。

方向レジスタを入力に設定しているとき、ポートレジスタに書き込めば、ポートレジスタには書き込まれますが、それぞれの端子には出力されません。出力のレベルは、フローティングのままです。

メモリ拡張モード時またはマイクロプロセッサモード時、 $\overline{A0} \sim \overline{A19}$ 、 $\overline{D0} \sim \overline{D15}$ 、 $\overline{CS0} \sim \overline{CS3}$ 、 \overline{RD} 、 $\overline{WRL}/\overline{WR}$ 、 $\overline{WRH}/\overline{BHE}$ 、 \overline{ALE} 、 \overline{RDY} 、 \overline{HOLD} 、 \overline{HLDA} 、 \overline{BCLK} に設定している端子のポートレジスタおよび方向レジスタの内容は変更できません。

ポートレジスタからの読み込み

方向レジスタを出力に設定しているとき、ポートレジスタから読み込めば、端子の内容ではなくポートレジスタの内容を読み込みます。方向レジスタを入力に設定しているとき、ポートレジスタから読み込みを行えば、端子の内容を読み込みます。

入力専用ポート

入力専用ポートは、P85で \overline{NMI} と兼用の端子です。P85は、方向レジスタをもちません。また、プルアップも設定できません。 \overline{NMI} は、禁止することができませんので、P85に立ち下がりエッジが入力された場合、 \overline{NMI} 割り込みが発生します。P85は、そのときのレベル入力読み込み用としてだけ使用してください。

プルアップ設定

プルアップ制御ビットによって4ビット単位でプルアップあり/なしを設定できます。プルアップは、選択された4ビットの中で方向レジスタを入力に設定しているポートに対してだけ有効になります。方向レジスタを出力に設定しているポートはプルアップされません。

$\overline{XCIN}/\overline{XCOUT}$ を設定している場合や、A/D入力でポートを使用する場合は、該当する端子のプルアップを設定しないでください。

また、P0～P3、P4₀～P4₃、P50～P53のプルアップはシングルチップモードのみ設定できます。

メモリ拡張モード、マイクロプロセッサモード時、P0～P3、P4₀～P4₃、P50～P53のプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

ドライブ能力の設定

ポートP7のNチャネル出力トランジスタの駆動能力について、標準駆動・高駆動を選択できます。ポートP7の対応するビットのNチャネルトランジスタの駆動能力を増加させることにより、LEDの直接駆動が可能です。

内蔵周辺装置の入出力機能

表2.17.1に各ポートと内蔵周辺装置の入出力の対応を示します。

表2.17.1. 各ポートと内蔵周辺装置の入出力の対応

ポート	内蔵周辺装置の入出力端子
P6	UART0、UART1の入出力端子 / シリアルサウンドインタフェース、I ² C、SPI通信用端子
P7	タイマA0～A3の入出力端子 / UART2、UART3の入出力端子 / I ² C、SPI通信用端子 / LED駆動出力端子
P80, P81	タイマA4の入出力端子
P82, P83, P84	外部割り込みの入力端子
P86, P87	サブクロック発振回路の入出力端子
P90	USBの接続 / 非接続制御端子
P92	USBのSOF出力端子
P93	A/Dトリガ入力端子
P10	A/D変換器の入力端子 / キー入力割り込み機能の入力端子

未使用端子の処理例

未使用端子の処理例を以下に示します。

ここで説明する例は一例です。ご使用に際しては、ユーザアプリケーションに対応して適宜変更、および十分な評価をしてください。

(1) シングルチップモード時

表2.17.2. シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P10 (P85は除く)	・入力モードに設定し、端子ごとに抵抗を介してV _{CC} 、又はV _{SS} に接続(プルダウン)するか、又は出力モードに設定し、端子を開放(注1,注2,注3)
XOUT (注1)	・開放
NMI	・抵抗を介してV _{CC} に接続(プルアップ)
UVCC, AVCC	・V _{CC} に接続
AVSS, VREF, BYTE	・V _{SS} に接続
USB D+, USB D-	・開放
LPF	・開放
VbusDTCT	・開放

注1. XIN端子に外部クロックを入力しているとき。

注2. 出力モードに設定し、開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注3. ポートP70、P71を出力モードに設定する場合は“L”を出力してください。
ポートP70、P71はNチャンネルオープンドレイン出力です。

(2) メモリ拡張モード、マイクロプロセッサモード時

表2.17.3. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVss、又はVccに接続(プルダウン)するか、又は出力モードに設定し、端子を開放(注2,注3,注4)
P45/ $\overline{CS1}$ ～P47/ $\overline{CS3}$	ポートを入力モードに設定し、 $\overline{CS1}$ ～ $\overline{CS3}$ 出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
BHE(注5), ALE(注5), HLDA(注5), XOUT(注1), BCLK	開放
\overline{HOLD} , RDY, NMI	抵抗を介してVccに接続(プルアップ)
UVcc, AVcc	Vssに接続
AVss, VREF	開放
USB D+, USB D-	開放
LPF	開放
VbusDTCT (注6)	開放

注1. XIN端子に外部クロックを入力しているとき

注2. 出力モードに設定し、開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注3. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注4. ポートP70、P71を出力モードに設定する場合は“L”を出力してください。

ポートP70、P71はNチャンネルオープンドレイン出力です。

注5. CNVss端子にVssレベルを印加している場合、リセットからソフトウェアによってプロセッサモードを切り替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不安定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。

注6. VbusDTCT端子は内部でプルダウンされています。

プログラマブル入出力ポート関連レジスタ

図2.17.1にプログラマブル入出力ポート関連レジスタのメモリ配置図を、図2.17.2～図2.17.5にプログラマブル入出力ポート関連レジスタの構成を示します。

03E0 ₁₆	ポートP0(P0)
03E1 ₁₆	ポートP1(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2(P2)
03E5 ₁₆	ポートP3(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4(P4)
03E9 ₁₆	ポートP5(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6(P6)
03ED ₁₆	ポートP7(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8(P8)
03F1 ₁₆	ポートP9(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
03FA ₁₆	P7駆動能力選択レジスタ(P7DR)
03FB ₁₆	
03FC ₁₆	プルアップ制御レジスタ0(PUR0)
03FD ₁₆	プルアップ制御レジスタ1(PUR1)
03FE ₁₆	プルアップ制御レジスタ2(PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

図2.17.1. プログラマブル入出力ポート関連レジスタのメモリ配置図

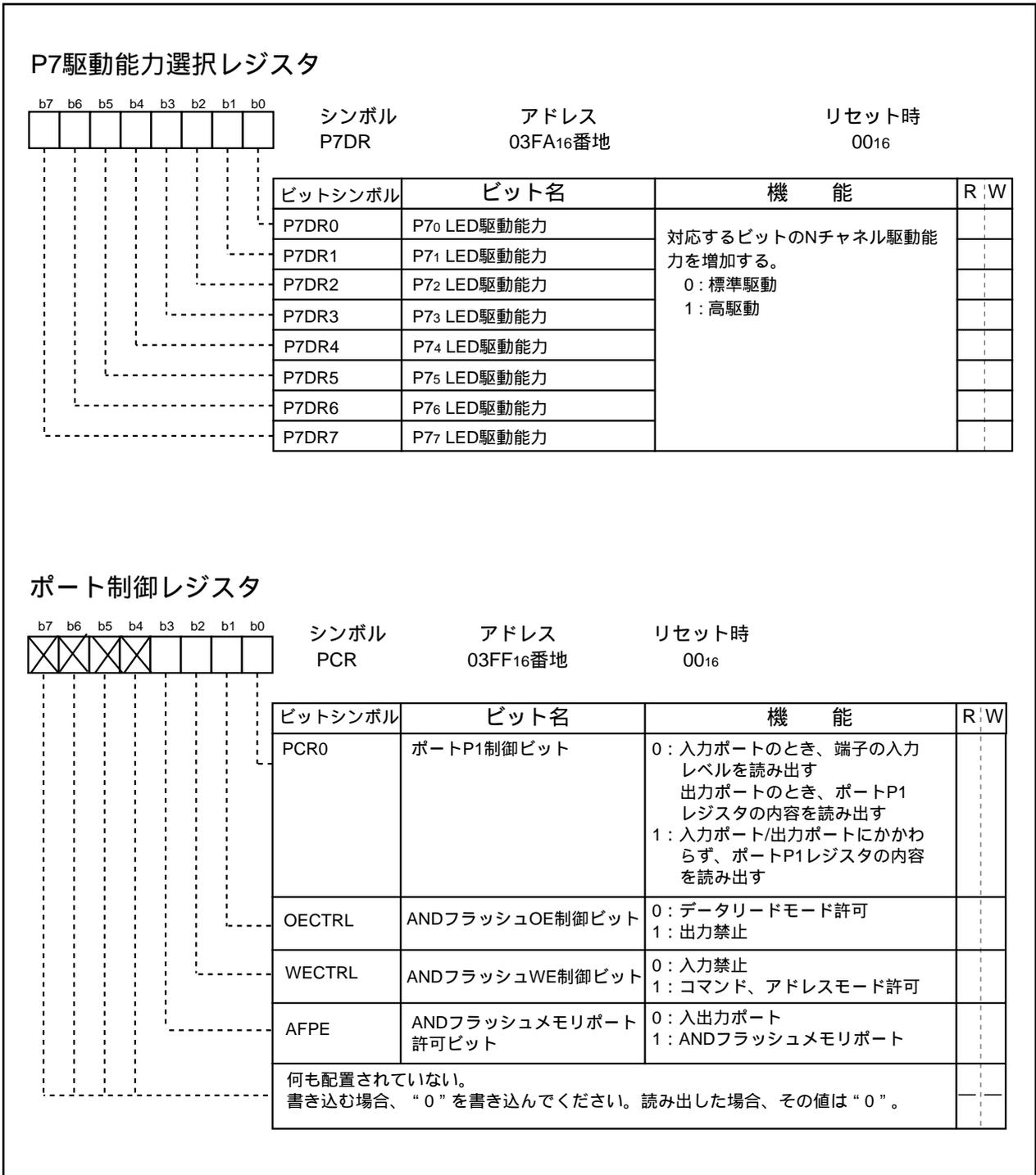


図2.17.2. プログラマブル入出力ポート関連レジスタの構成(1)

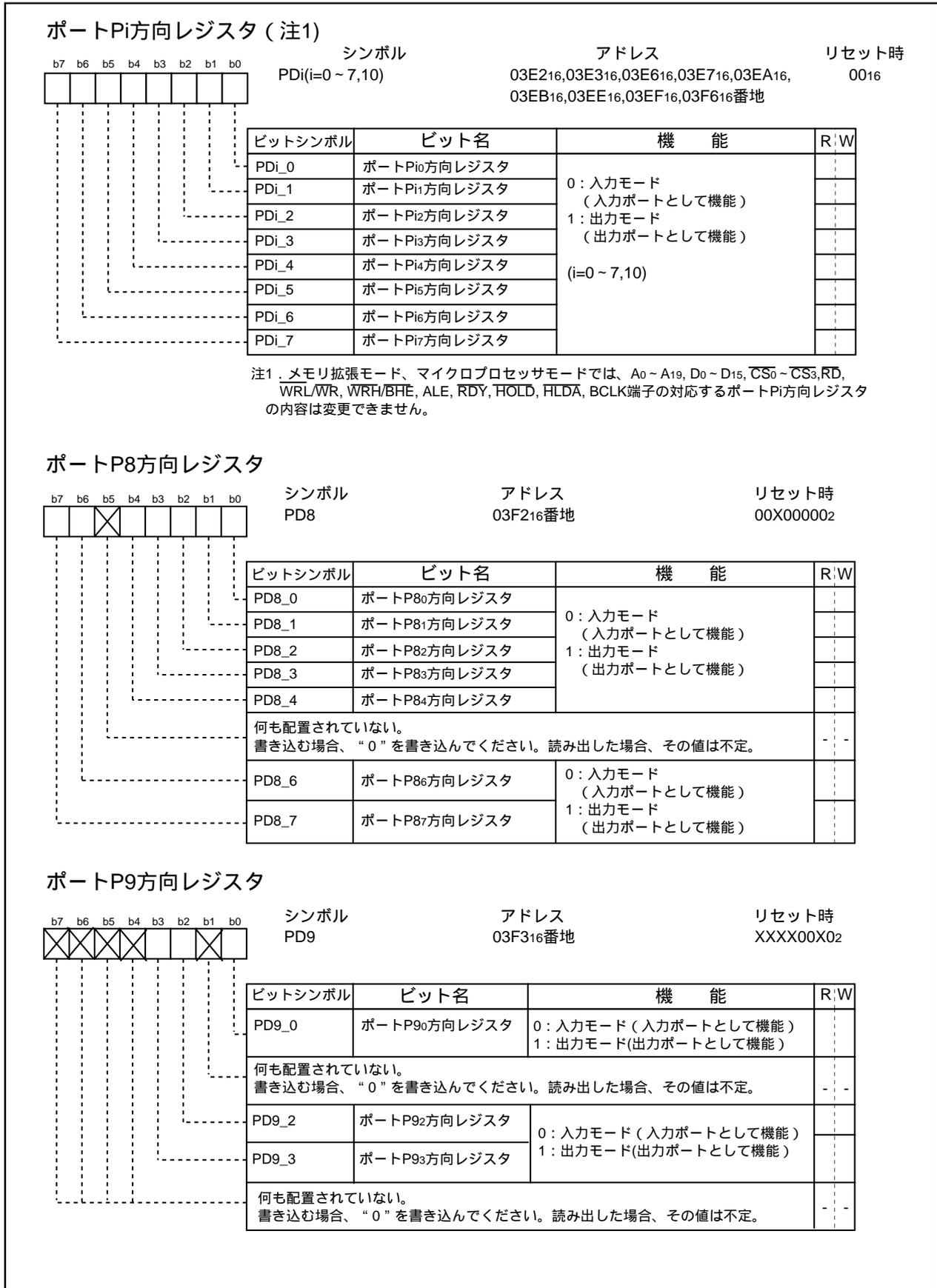


図2.17.3. プログラマブル入出力ポート関連レジスタの構成(2)

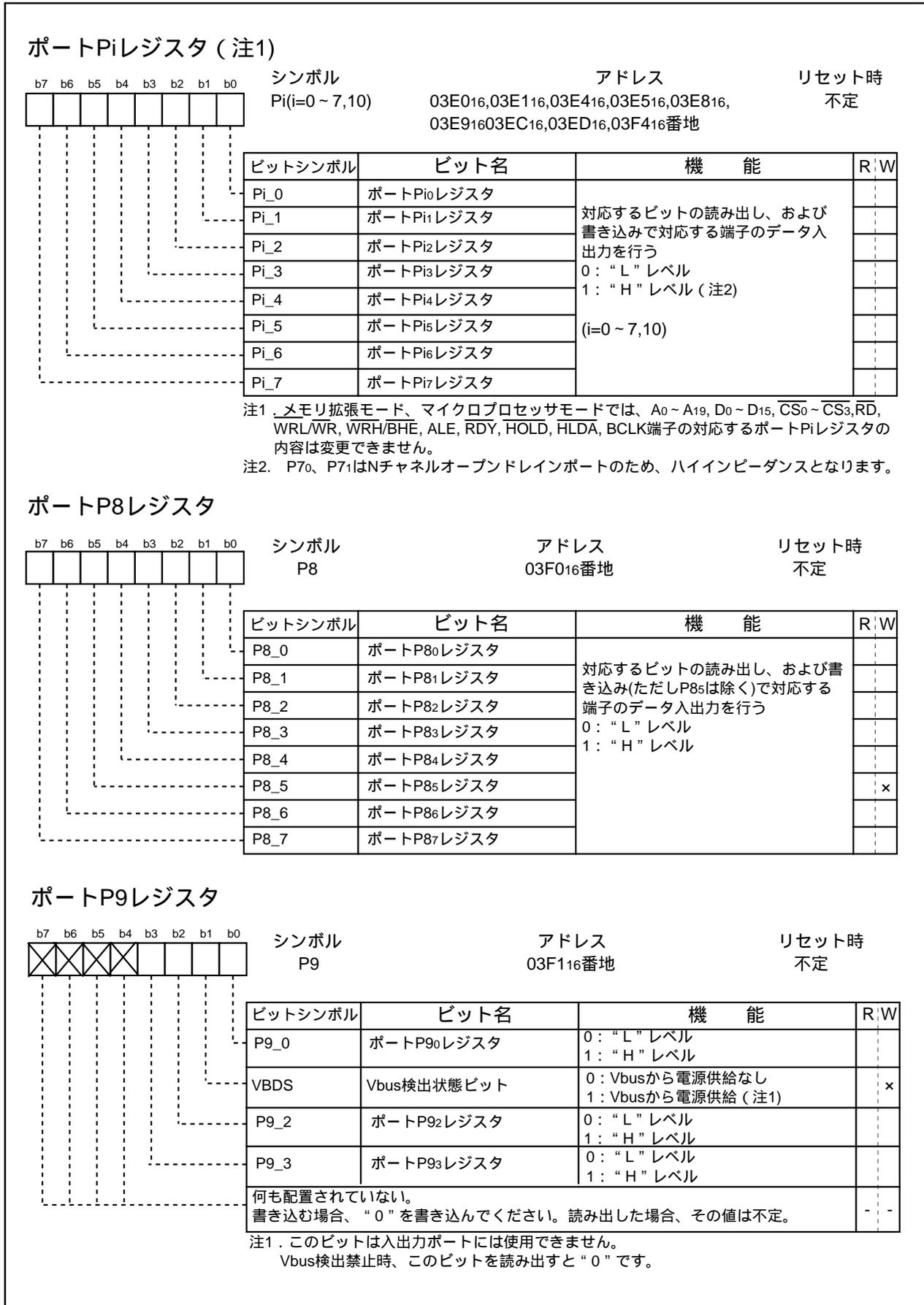


図2.17.4. プログラマブル入出力ポート関連レジスタの構成(3)

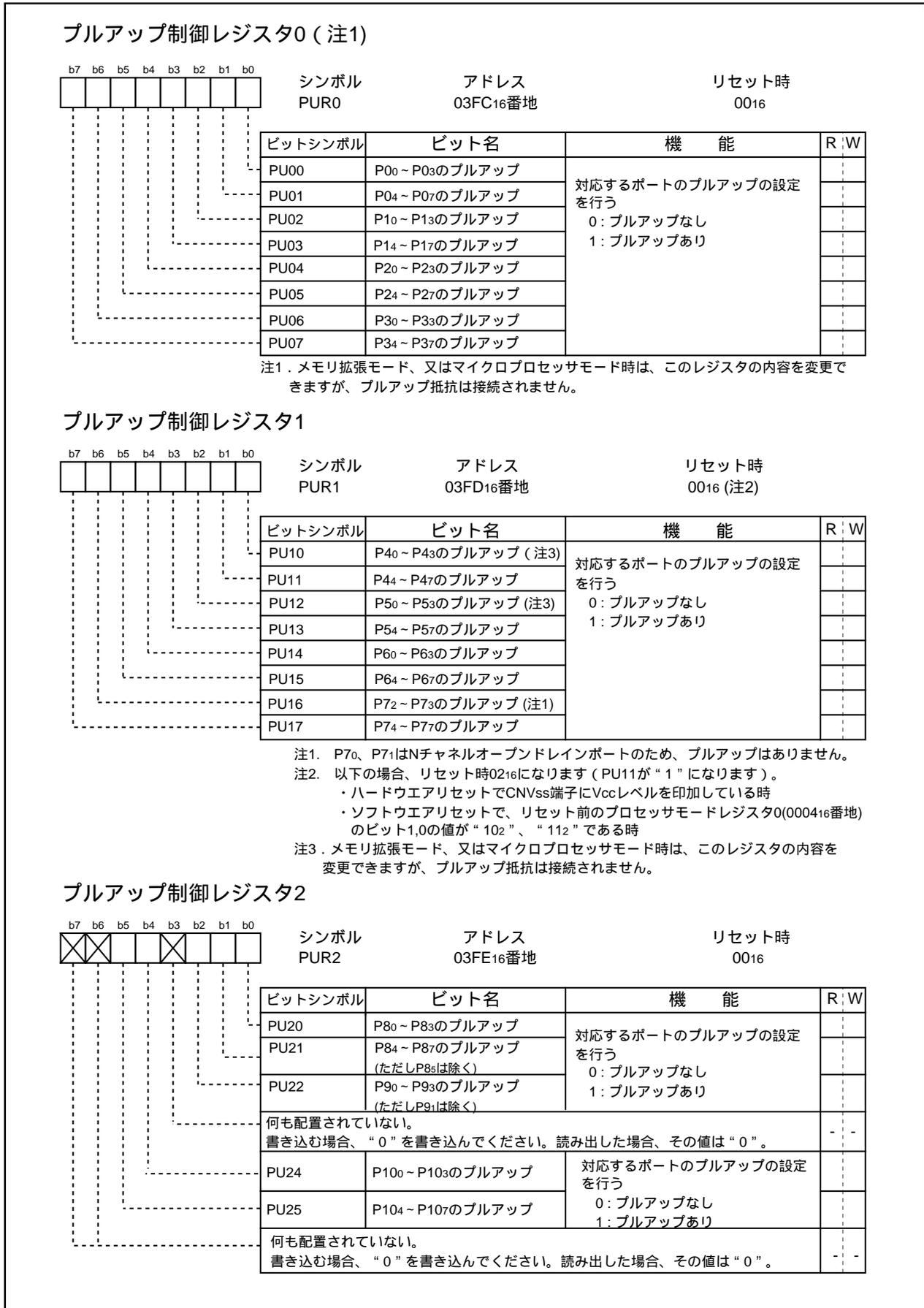


図2.17.5. プログラマブル入出力ポート関連レジスタの構成(4)

第3章

周辺機能の応用例

この章では、M30245に内蔵された周辺機能を使用した応用事例を紹介します。なお、ここで示す応用事例は一例です。ご使用に際しては、適宜変更、および十分な評価を行ってください。基本的な使い方については、「第2章 周辺機能の使い方」を参照してください。

3.1 長い周期のタイマ

概要 タイマAを2本接続して16ビットプリスケラ付き16ビットタイマを実現します。その動作タイミングを図3.1.1に、接続図を図3.1.2に、設定手順を図3.1.3、図3.1.4に示します。

使用する周辺機能は次のとおりです。

タイマAのタイマモード

タイマAのイベントカウンタモード

- 仕様**
- (1) タイマA0はタイマモードに、タイマA1はイベントカウンタモードに設定します。
 - (2) タイマA0でカウントソース f_1 をカウントして1msを作成し、タイマA1でタイマA0をカウントして1秒を作成します。
 - (3) XINには16MHzの発振子を接続します。

- 動作**
- (1) カウント開始フラグを“1”にすると、カウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソース f_1 をダウンカウントします。
 - (2) タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA0割り込み要求ビットが“1”になります。タイマA1のカウンタはタイマA0のアンダフローをダウンカウントします。
 - (3) タイマA1のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA1割り込み要求ビットが“1”になります。

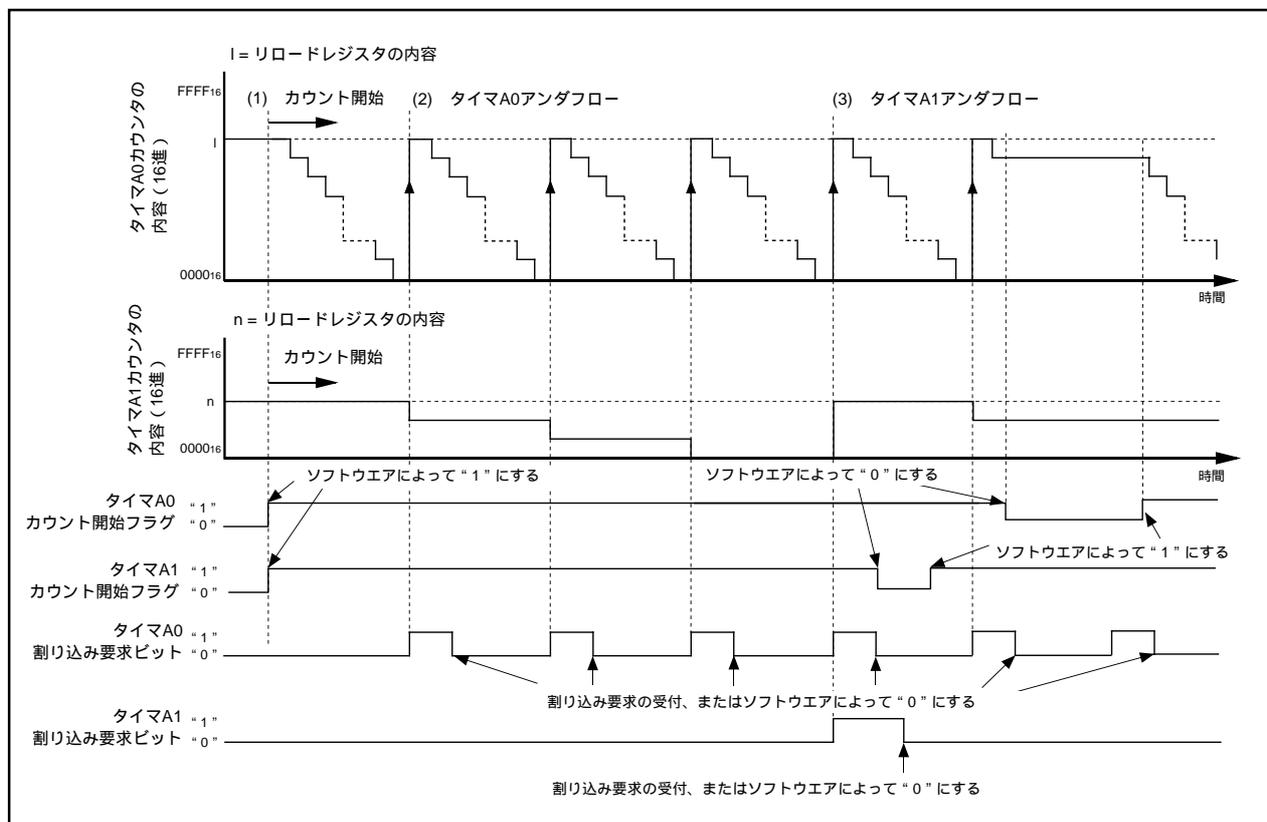


図3.1.1. 長い周期のタイマの動作タイミング

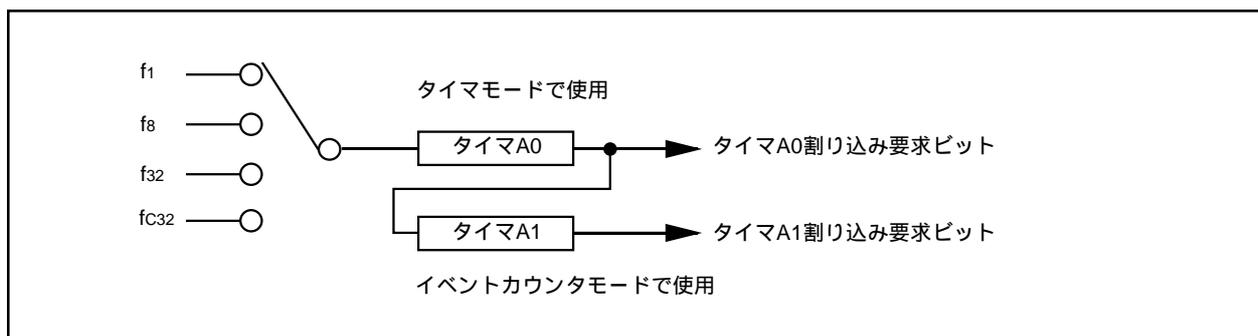


図3.1.2. 長い周期のタイマのタイマ接続図

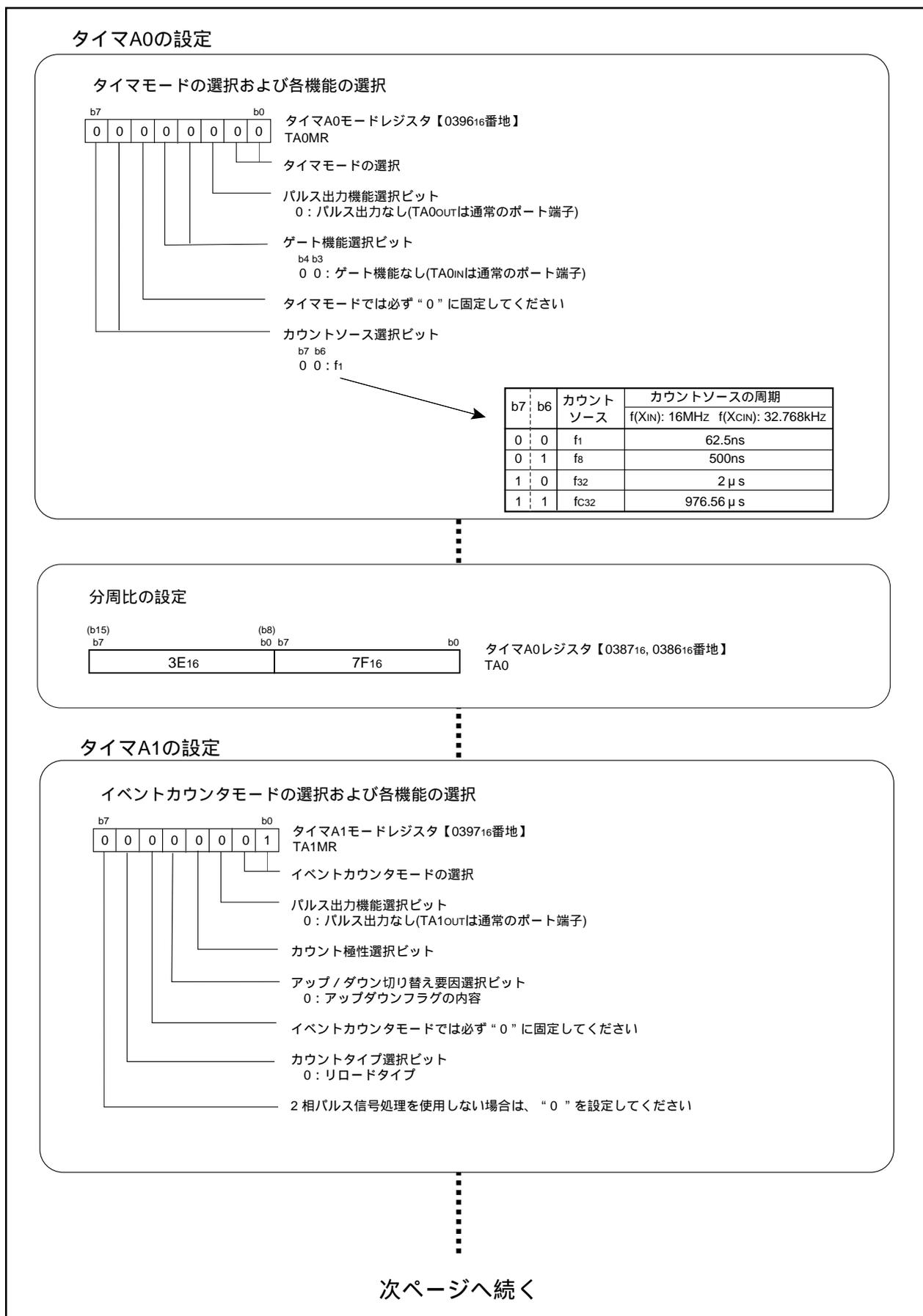


図3.1.3. 長い周期のタイマ関連レジスタの設定手順(1)

3.2 周期およびデューティ - 可変のPWM出力

概要 タイマAを2本使用し、周期およびデューティ - 可変のPWM出力を行います。その動作タイミングを図3.2.1に、接続図を図3.2.2に、設定手順を図3.2.3、図3.2.4に示します。

使用する周辺機能は次のとおりです。

タイマAのタイマモード

タイマAのワンショットタイマモード

仕様 (1) タイマA0はタイマモードに、タイマA1はパルス出力機能付きワンショットタイマモードに設定します。

(2) タイマA0にはPWMの周期1msを設定します。タイマA1にはPWMの“H”幅500 μ sを設定します。タイマA0、タイマA1ともカウントソースにはf1を使用します。

(3) XINには16MHzの発振子を接続します。

動作 (1) カウント開始フラグを“1”にすると、タイマA0のカウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソースf1をダウンカウントします。

(2) タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA0割り込み要求ビットは“1”になります。

(3) タイマA0のアンダフローをトリガにしてタイマA1のカウンタはカウント動作を開始します。タイマA1のカウンタがカウントを開始するとTA1OUT端子の出力レベルは“H”になります。

(4) タイマA1のカウンタの値が“0000₁₆”になるとき、TA1OUT端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時にタイマA1割り込み要求ビットが“1”になります。

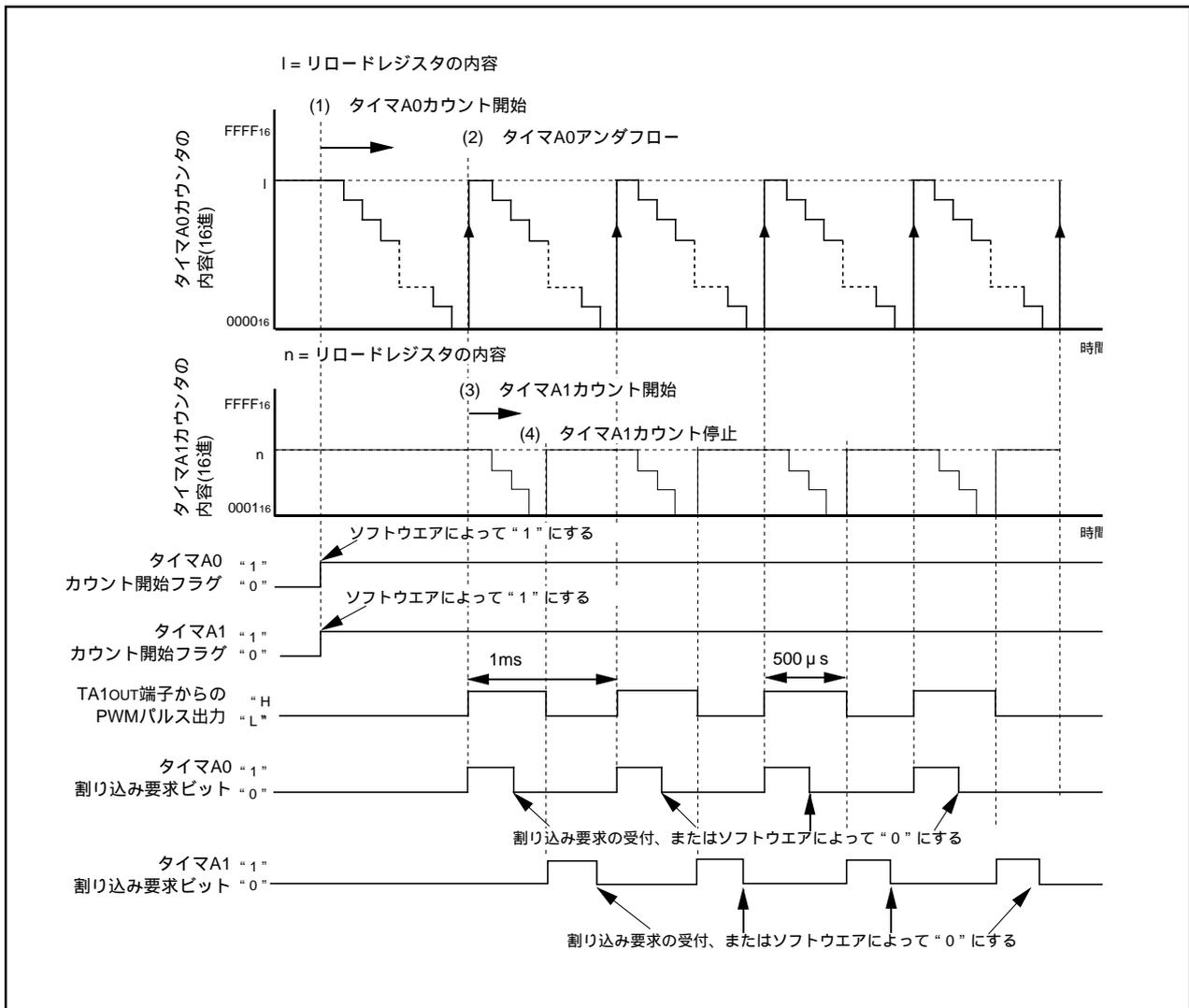


図3.2.1. 周期およびデューティ可変のPWM出力の動作タイミング

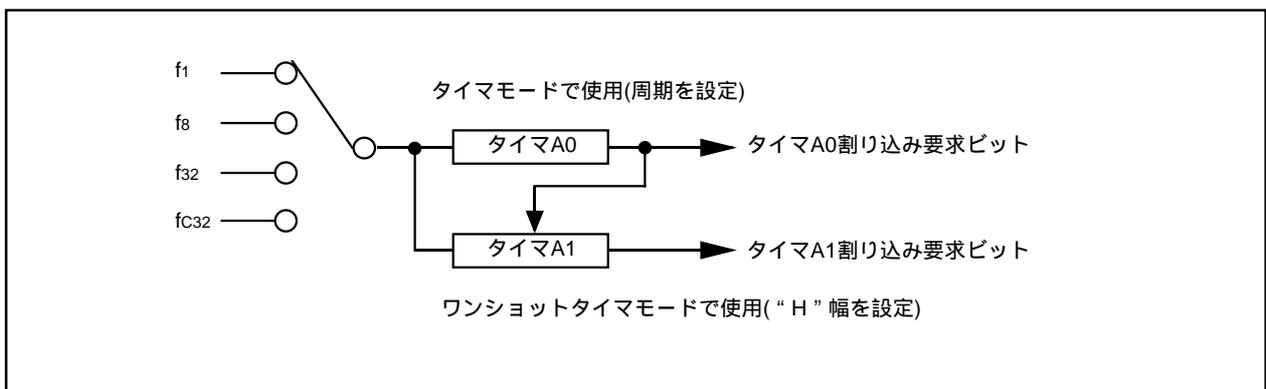


図3.2.2. 周期およびデューティ可変のPWM出力のタイマ接続図

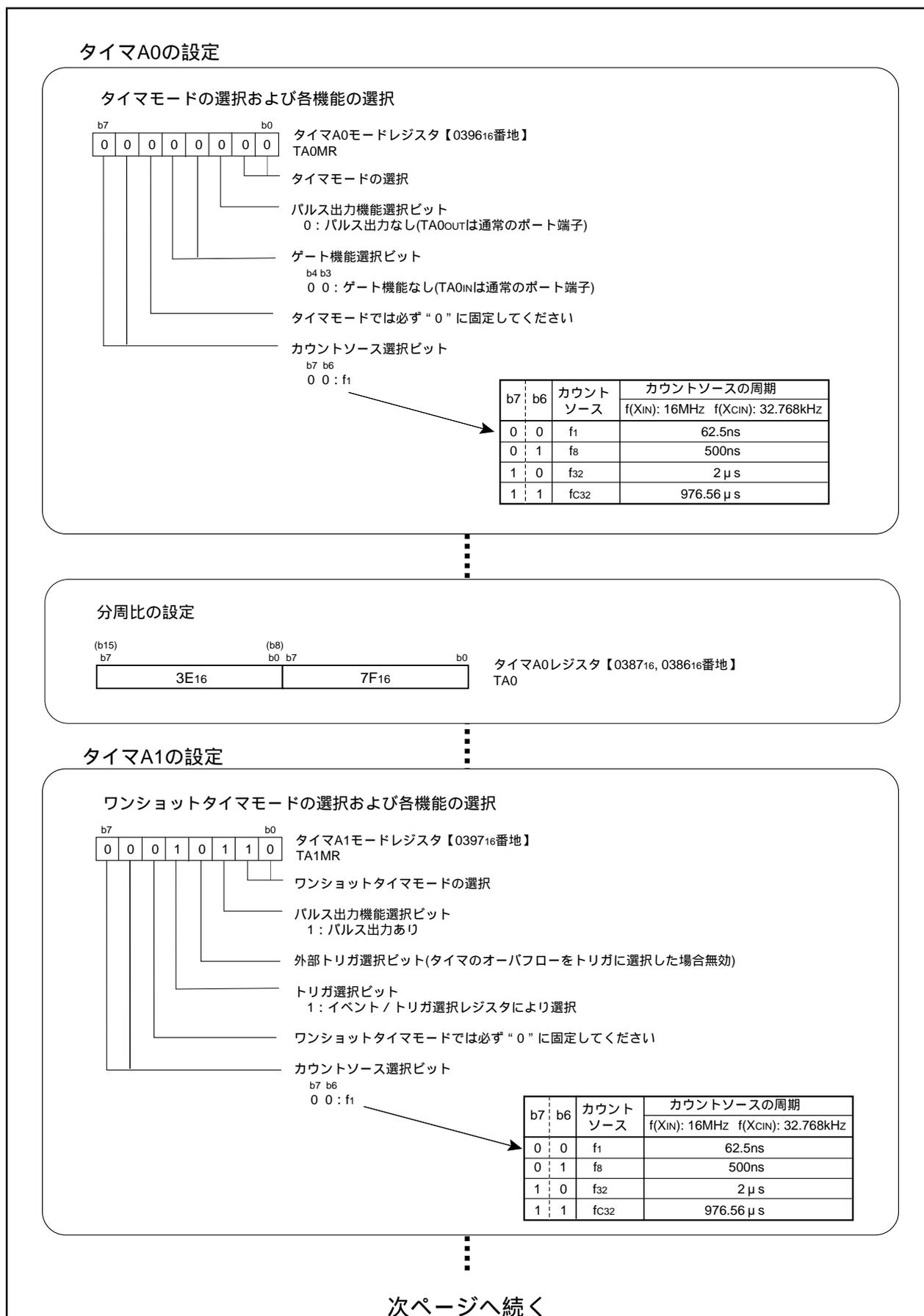


図3.2.3. 周期およびデューティ可変のPWM出力関連レジスタの設定手順(1)

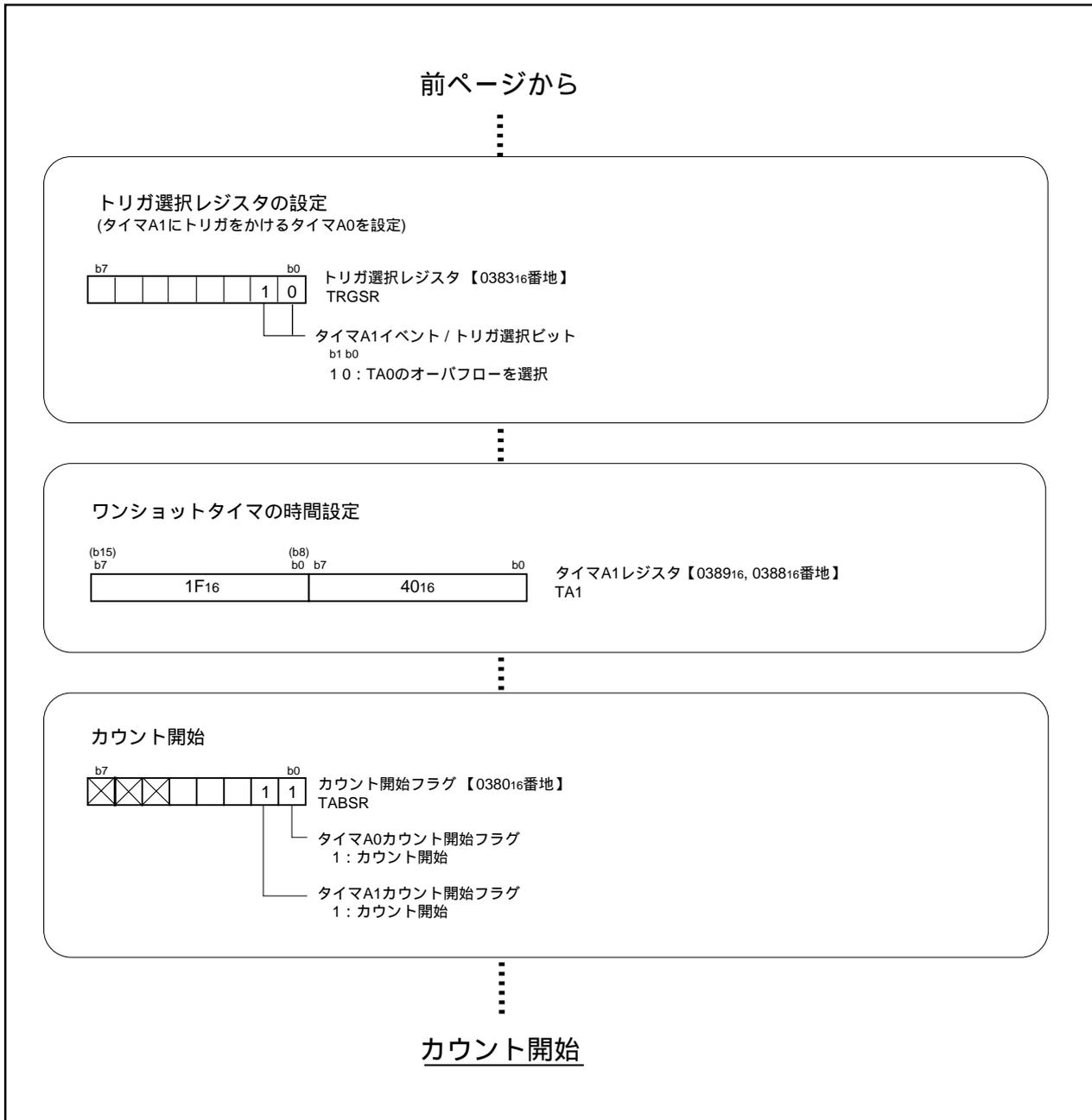


図3.2.4. 周期およびデューティー可変のPWM出力関連レジスタの設定手順(2)

3.3 ブザーの出力

概要 タイマモードを使用してブザーを鳴らします。その動作タイミングを図3.3.1に、設定手順を図3.3.2に示します。

使用する周辺機能は次のとおりです。

タイマAのタイマモード パルス出力機能

- 仕様**
- (1) タイマA0を利用して2kHzのブザーを鳴らします。
 - (2) ポートにはプルアップ抵抗でプルアップします。ブザーがOFFのときは、ポートをハイインピーダンスにしてプルアップした電位に固定します。
 - (3) XINには16MHzの発振子を接続します。

- 動作**
- (1) タイマA0のカウントを開始します。タイマA0は、割り込み禁止に設定します。
 - (2) パルス出力機能選択ビットを“パルス出力あり”としてパルスを開始します。P70は、TA0OUT端子となり2kHzのパルスを出力します。
 - (3) パルス出力機能選択ビットをパルスを出力なしとしてパルスの出力を停止します。P70は、入力端子となり端子の出力はハイインピーダンスになります。

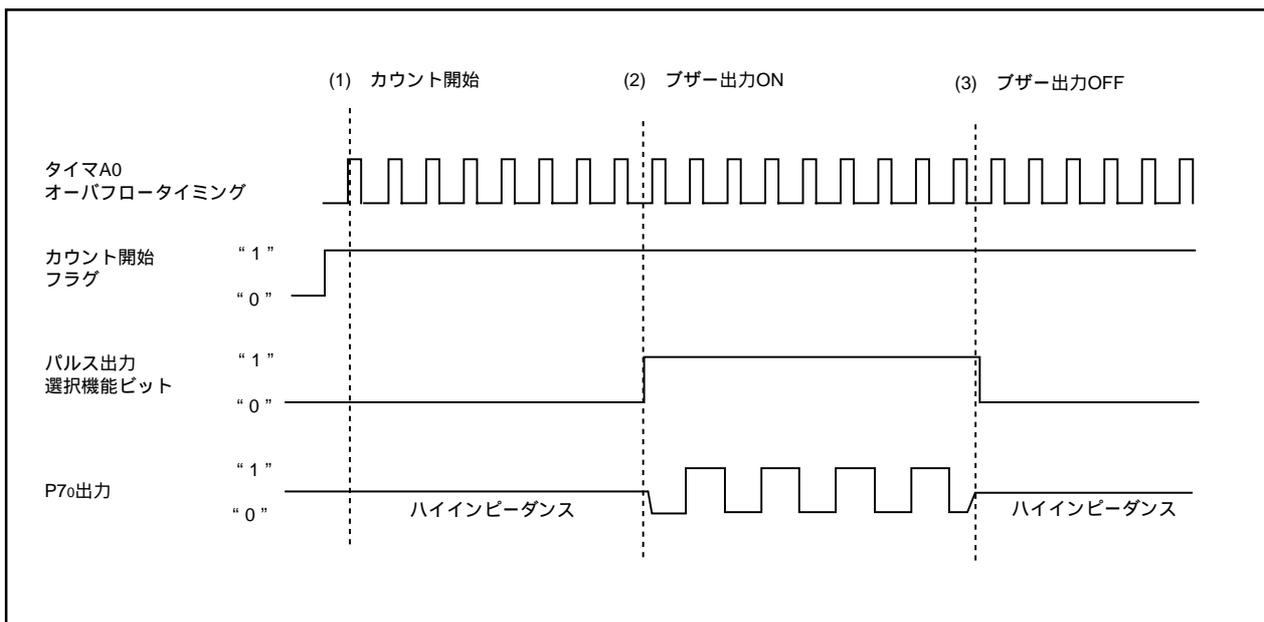


図3.3.1. ブザー出力の動作図

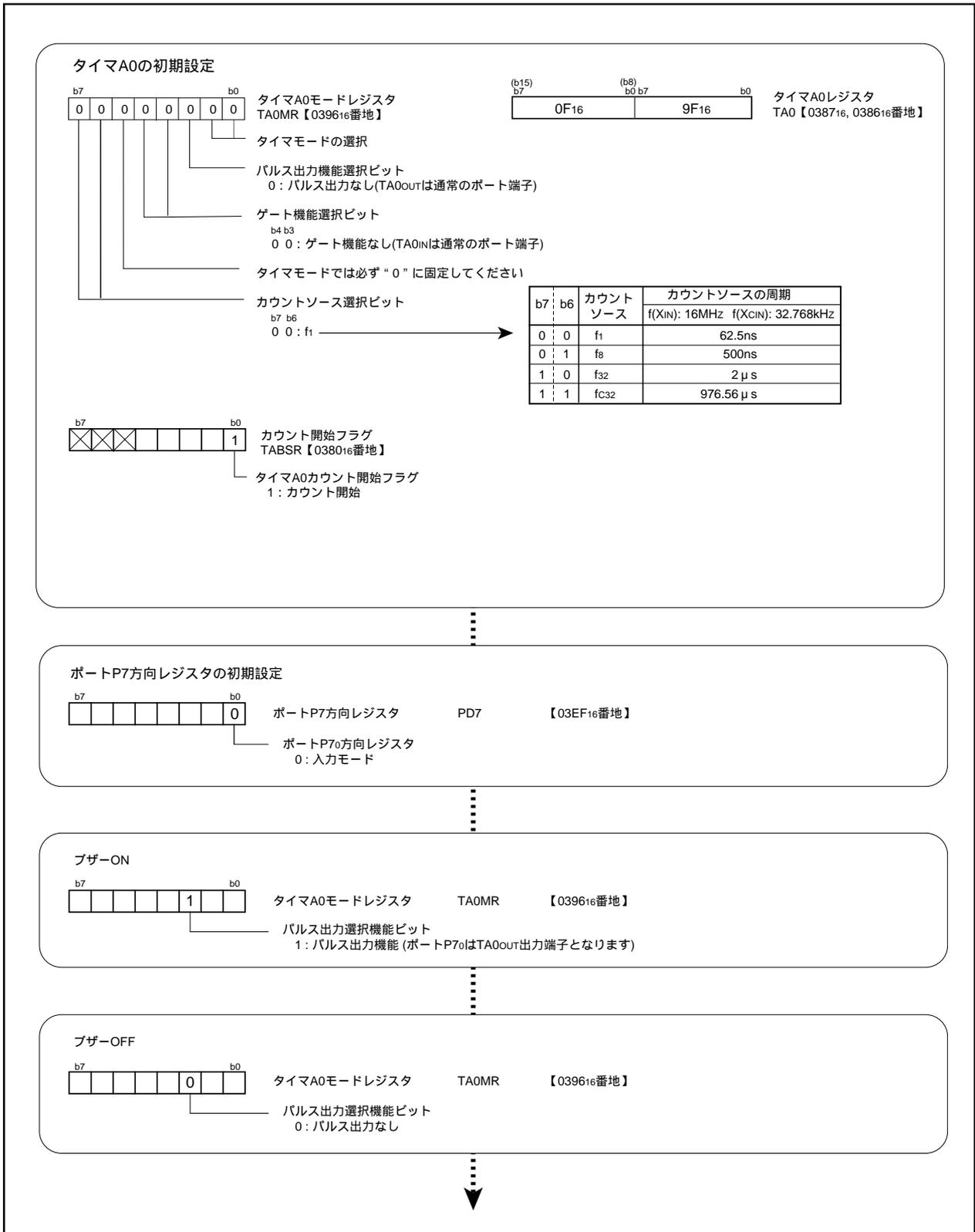


図3.3.2. ブザー出力の設定手順

3.4 外部割り込み端子が不足したときの対処方法

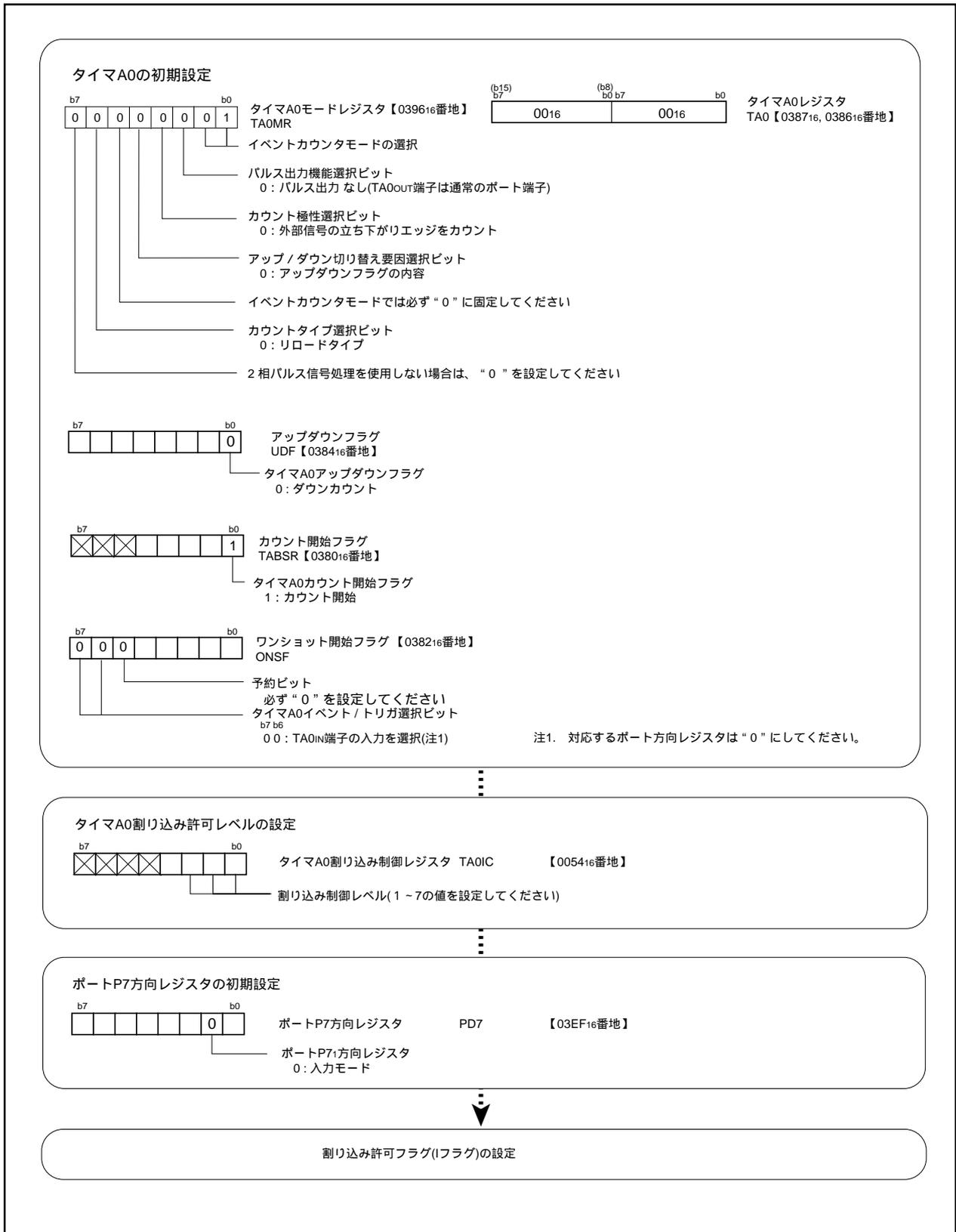
概要 外部割り込み端子が不足したときの対処例を示します。その設定手順を図3.4.1に示します。使用する周辺機能は次のとおりです。

タイマAのイベントカウントモード

仕様 (1) TA0iN端子に立ち下がりエッジを入力するとタイマA0割り込みが発生します。

動作 (1) タイマA0をイベントカウントモードにします。タイマ値は、“0”に設定します。タイマA0の割り込み許可レベルを設定します。

(2) TA0iN端子に立ち下がりエッジを入力するとタイマA0割り込みが発生します。



3.5 メモリからメモリへのDMA転送例

概要 転送先のアドレスと転送元のアドレスを共に変えて、メモリからメモリへDMA転送を行います。このDMA転送は、2チャンネルのDMAに同時に転送要求が発生するとDMA0の転送を優先するという仕様を利用したものです。その動作タイミングを図3.5.1に、ブロック図を図3.5.2に、設定手順を図3.5.3、図3.5.4に示します。

使用する周辺機能は次のとおりです。

タイマAのタイマモード

DMAC 2チャンネル

テンポラリRAM(0800₁₆番地) 1バイト

仕様 (1) F6000₁₆番地から128バイトのメモリの内容を00400₁₆番地から128バイトの領域へ転送します。転送は、タイマA0の割り込み要求が発生するたびにを行います。
(2) DMA0を転送元から内蔵メモリへの転送、DMA1を内蔵メモリから転送先への転送で使用します。

動作 (1) タイマAの割り込み要求が発生します。DMA0の転送要求とDMA1の転送要求が同時に発生しますが、DMA0が優先して実行されます。
(2) 転送要求を受けてDMA0が転送元から内蔵メモリへ転送します。同時に、転送元アドレスがインクリメントします。
(3) 次にDMA1が転送要求を受けて内蔵メモリから転送先へ転送します。同時に、転送先アドレスがインクリメントします。

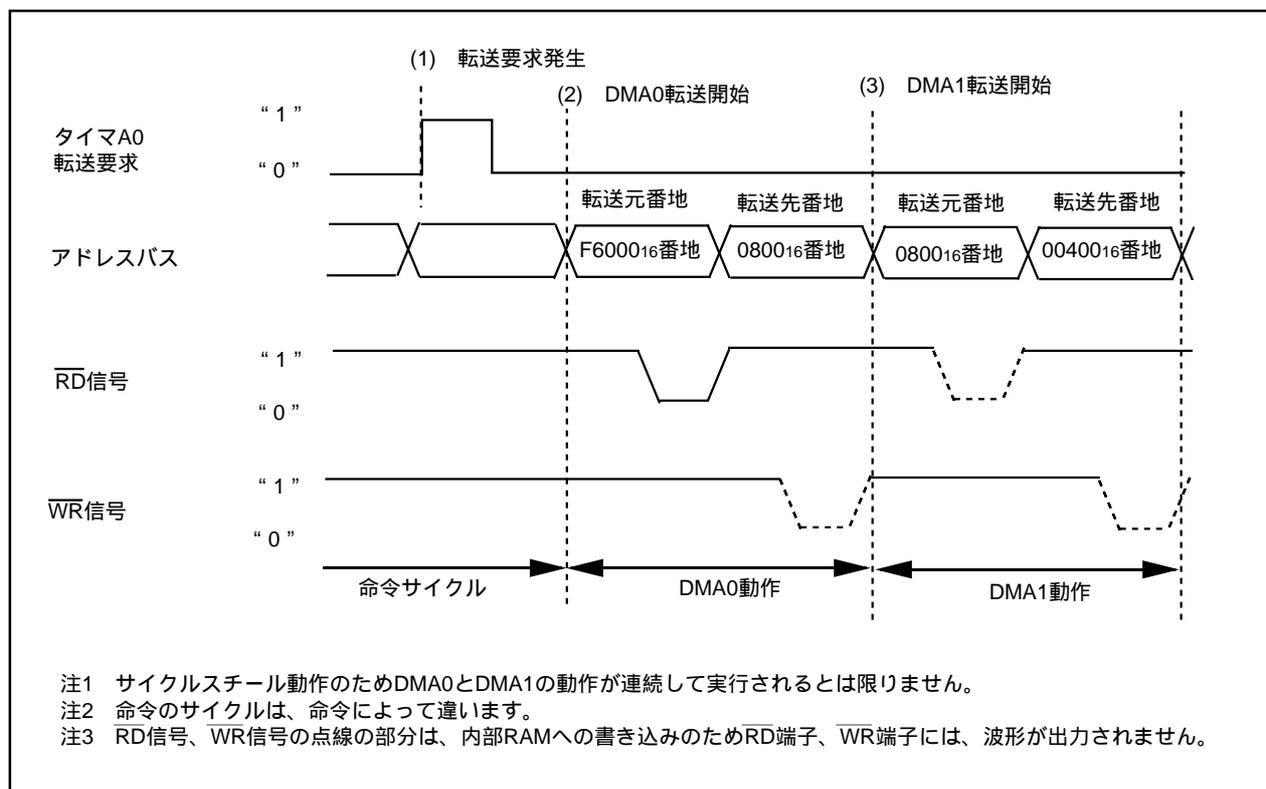


図3.5.1. メモリからメモリへのDMA転送動作タイミング

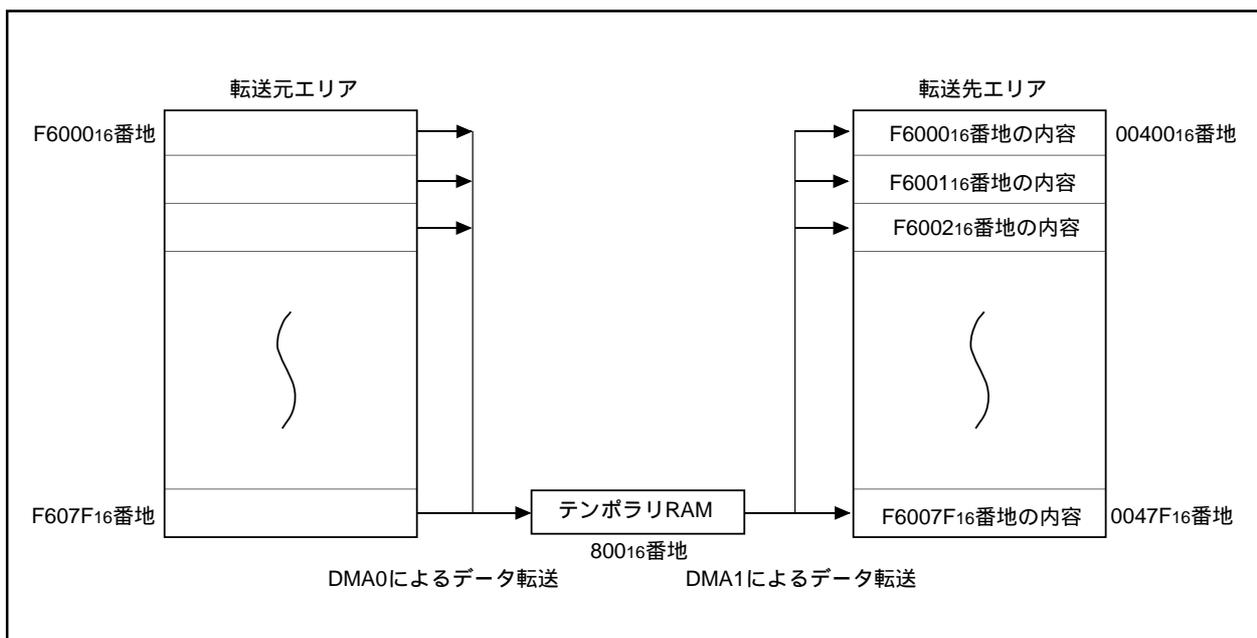


図3.5.2. メモリからメモリへのDMA転送のブロック図

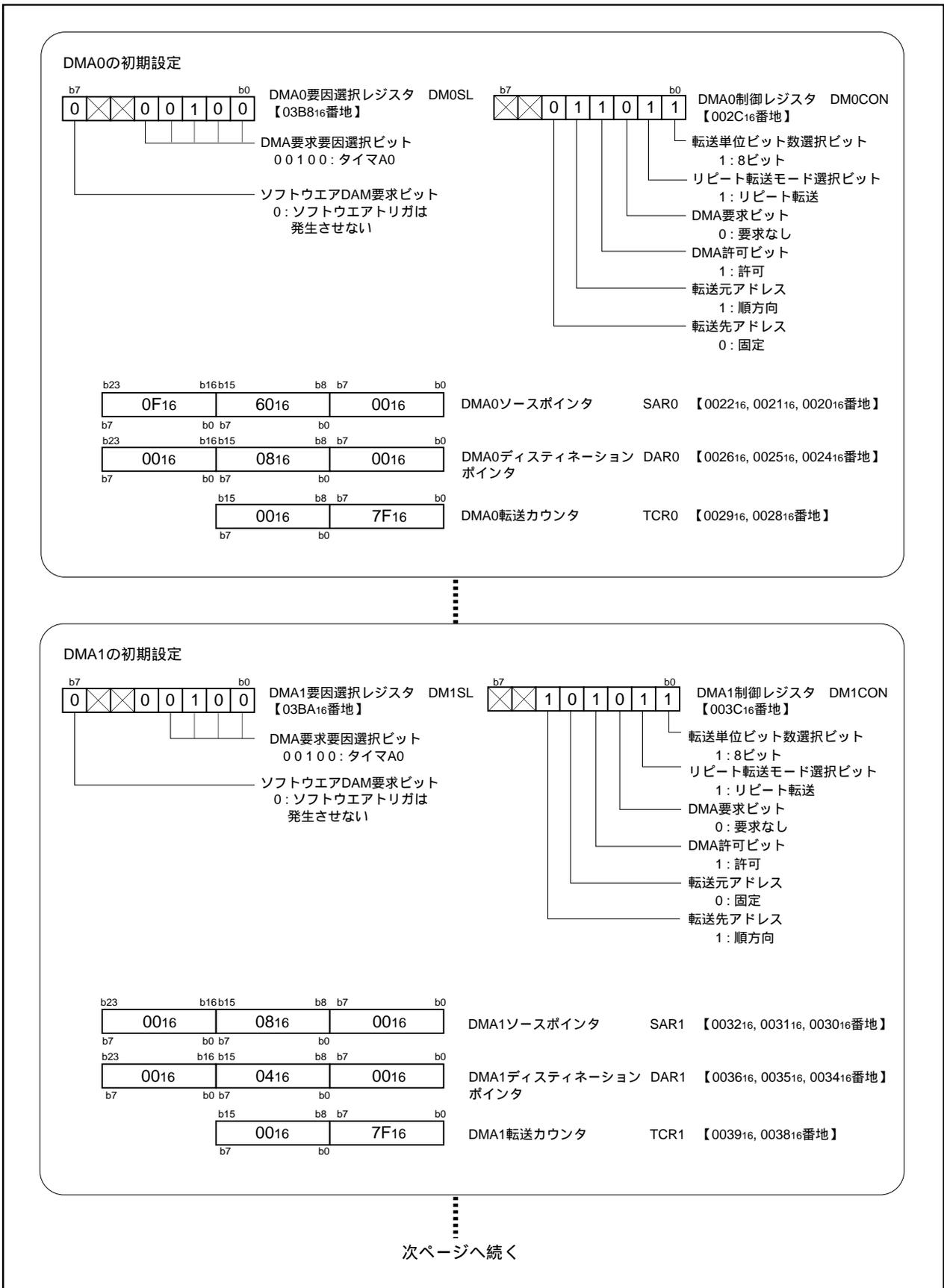


図3.5.3. メモリからメモリへのDMA転送関連レジスタの設定手順(1)

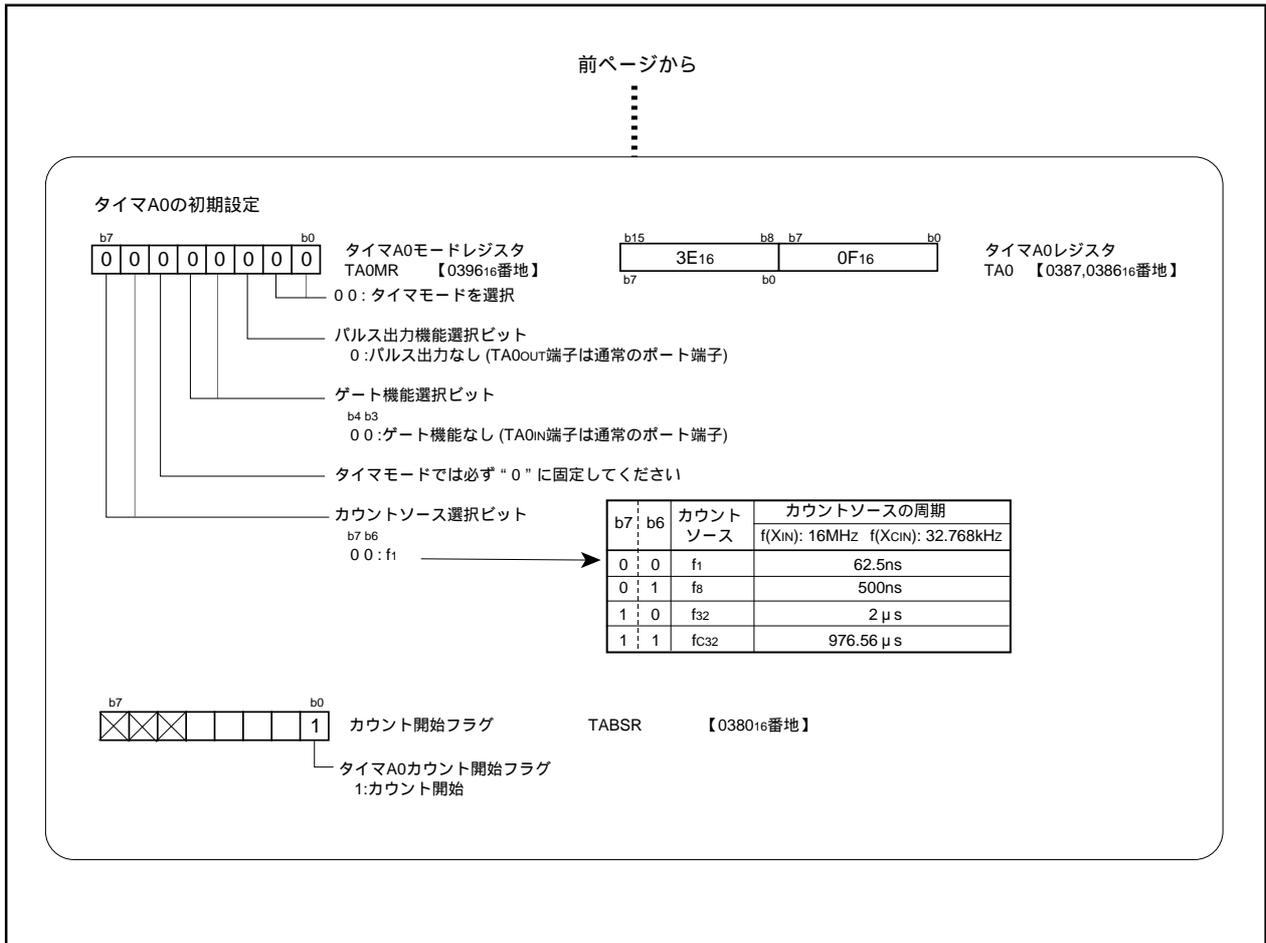


図3.5.4. メモリからメモリへのDMA転送関連レジスタの設定手順(2)

3.6 クロック同期シリアルデータ送信でのCRC 演算SFR アクセス監視機能応用

概要 DMAC を使用して、内部RAM からUART1 へデータ転送し、SFR アクセス監視機能を使用し、その結果をUART1 へ転送します。ブロック図を図3.6.1に、設定手順を図3.6.2 ~ 図3.6.4に示します。

使用する周辺機能は次の通りです。

DMAC 1チャンネル
内部RAM (00400₁₆番地) 512バイト
UART1(クロック同期形シリアルI/Oモード)
CRC演算回路
SFR アクセス監視機能

仕様

- (1) 00400₁₆番地から512 バイト内の領域からUART1 へデータ転送します。転送は、1 バイトのシリアル送信が完了するごとに行います。
- (2) DMA0 を内部RAM からUART1への転送で使用します。DMA0 要求要因にUART1 送信を選択します。単転送モードを使用し、DMA0 転送カウンタに511バイト(512 - 1)をセットします。
- (3) CRC 演算回路をCRC-CCITT に設定します。SFR アクセス監視アドレスレジスタにUART1 送信バッファレジスタのアドレスを設定します。(書き込み)
- (4) DMA が終了したら、CRC データレジスタ (演算結果) のデータ2 バイトをUART1 へ転送し、動作を完了します。

動作

- (1) UART1 関連レジスタの初期設定をします。
- (2) DMA を禁止した状態で、DMA0 関連レジスタの初期設定をします。
- (3) 転送データ数511バイトをDMA0転送カウンタにセットします(この場合は8 ビット転送)。
- (4) CRC 演算回路、SFR 監視機能の初期設定をします。
- (5) DMA0 のソフトウェア転送要求ビットに “ 1 ” をセットします。このとき、1バイト目のデータがRAM からUART1 の送信バッファへ転送されます。同時に転送元アドレスがインクリメントされ、転送カウンタの内容がダウンカウントされます。転送されたデータは、SFRアクセス監視機能によりCRC インพุットレジスタに自動的に書き込まれます。
- (6) UART1 の送信バッファが書き込み可能状態になると、UART1 からDMA転送要求が発生します。このとき、次のデータがRAM からUART1 の送信バッファへ転送されます。同時に転送元アドレスがインクリメントされ、転送カウンタの内容がダウンカウントされます。転送されたデータは、SFRアクセス監視機能によりCRC インพุットレジスタに自動的に書き込まれます。
- (7) (6)を繰り返し、DMA0 転送カウンタがアンダーフローするとDMA 許可ビットが “ 0 ” になり、DMA0 転送が終了します。同時にDMA0 割り込み要求が発生します。DMA0 割り込み要求を検出したらCRC データレジスタ(2 バイト)を読み取り、順次UART1 送信バッファに転送します。

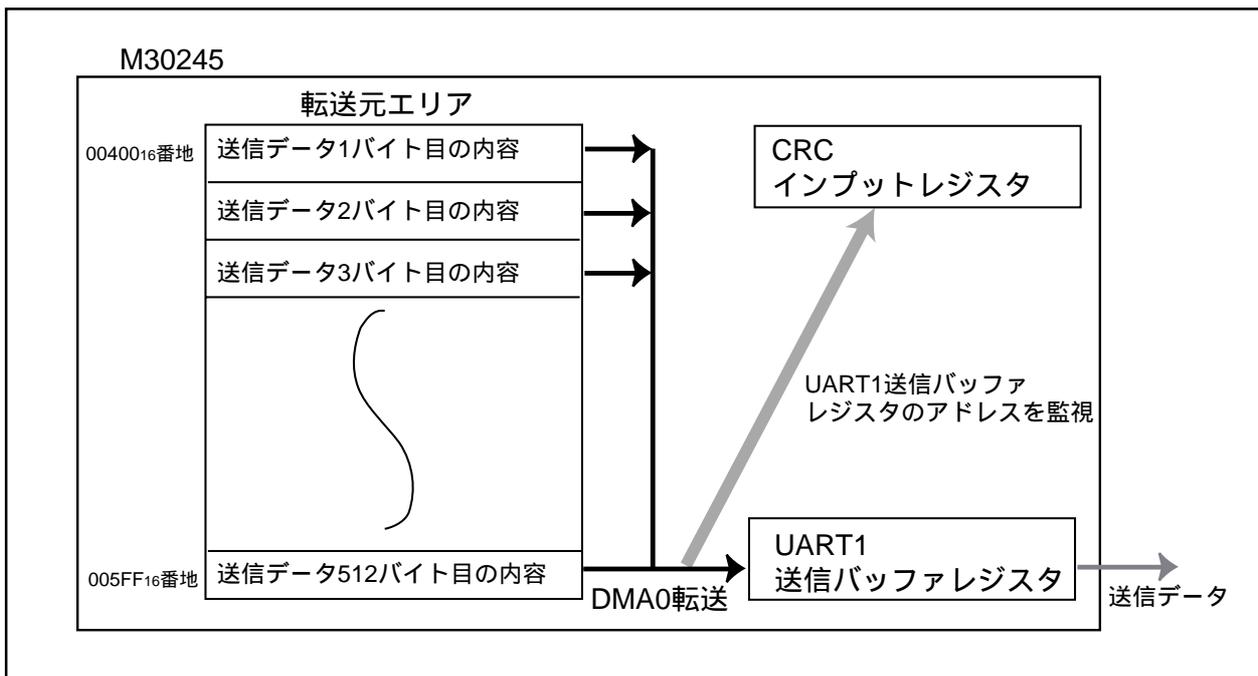


図3.6.1. RAMからUARTへのDMA転送とSFR監視機能のブロック図

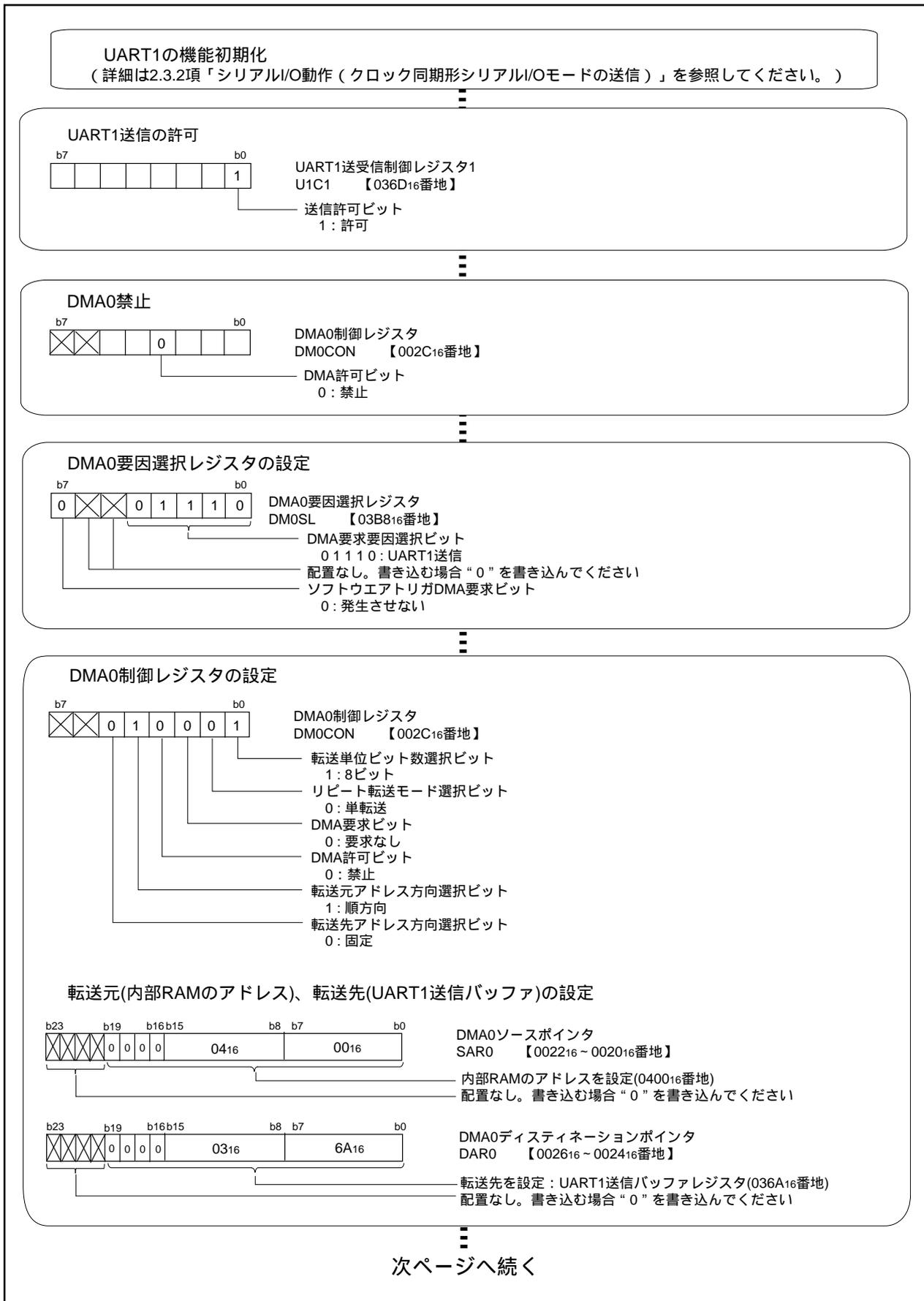


図3.6.2. SFR監視機能を使用したRAMからUARTへのDMA転送設定手順例(1)

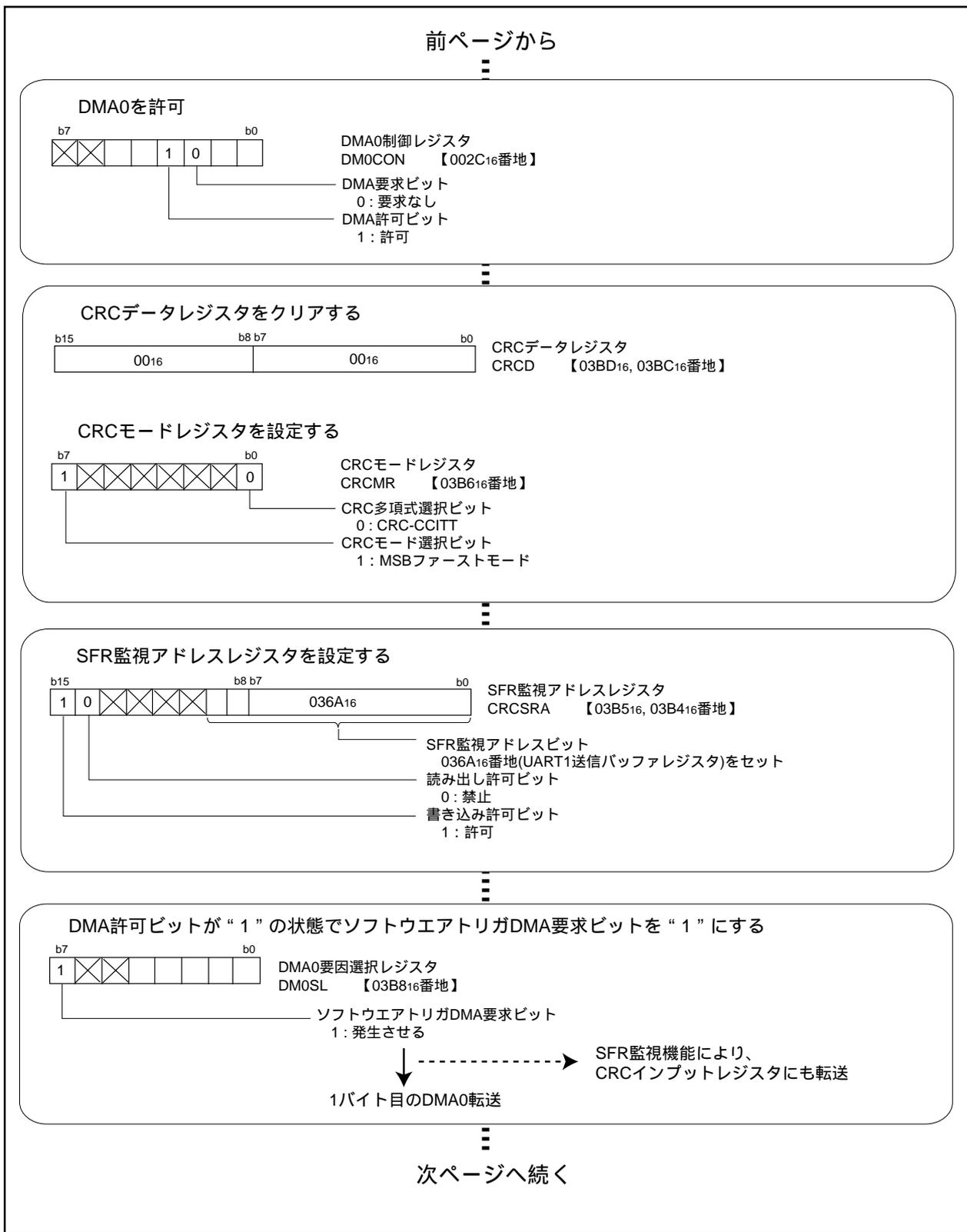


図3.6.3. SFR監視機能を使用したRAMからUARTへのDMA転送設定手順例(2)

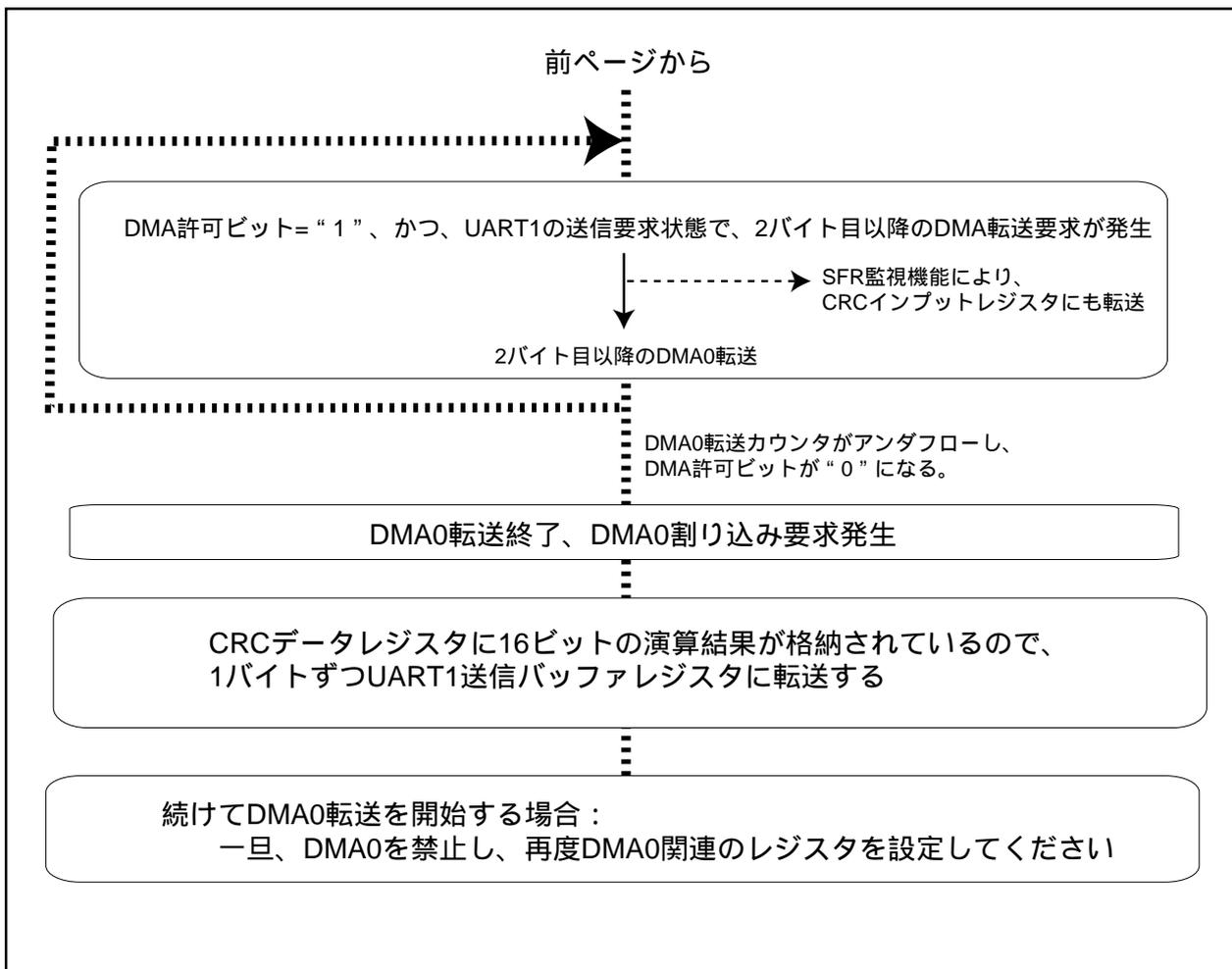


図3.6.4. SFR監視機能を使用したRAMからUARTへのDMA転送設定手順例(3)

3.7 USB FIFO からシリアルサウンドインタフェースへの転送

概要 DMAC を使用して、USBエンドポイント1 OUT FIFOからSSインタフェース1送信バッファレジスタへデータを転送し、1 パケットデータを取り出します。ブロック図を図3.7.1 に、設定手順を図3.7.2 ~ 図3.7.4に示します。

使用する周辺機能は次の通りです。

DMAC 1 チャンネル
USBエンドポイント1 OUT(受信)
シリアルサウンドインタフェース1

仕様

- (1) エンドポイント1 OUT FIFOの受信パケットデータをSSインタフェース1 送信バッファレジスタに転送します。転送は、シリアルサウンドインタフェース1 のDMA 転送要因が発生するたびにを行います。
- (2) DMA0 をエンドポイント1 OUT FIFO からSSインタフェース1 送信バッファレジスタへの転送で使用します。DMA0 要求要因にシリアルサウンドインタフェース1 の送信を選択します。単転送モードを使用し、DMA0転送カウンタに $1/2 \times$ (エンドポイント1 OUTで受信した1 パケットデータ数) - 1 をセットします。
- (3) エンドポイント1 OUT最大パケットサイズを288 バイト(サンプリング48KHz・24 ビット・ステレオ時)とし、AUTO_CLR 機能は禁止します。エンドポイント1 の受信パケットデータ数(エンドポイント1 OUT 書き込みカウントレジスタ)を288 バイトとします。エンドポイント1 OUT は、アイソクロナス転送で使用します。
- (4) DMA0 転送が終了したら、エンドポイント1 のCLR_OUT_BUF_RDYビットを“1”にし、エンドポイント1 OUT FIFOからの1 パケットデータ取り出しを完了します。

動作

- (1) DMAを禁止し、USB DMA0要求レジスタを選択なしの状態にDMA0関連レジスタの初期設定をします(ここでは16 ビット転送モードにします)。
- (2) エンドポイント1 のOUT_BUF_STS1フラグが“1”で、パケットデータの受信を検出したら、 $1/2 \times$ (受信1 パケットデータ数) - 1をDMA0 転送カウンタにセットします(この応用例では143をセット)。
- (3) DMA0の許可ビットを“1”にします。このあと、シリアルサウンドインタフェースからのDMA0転送要求が発生します。
- (4) 転送要求を受けて、DMA0 がエンドポイント1 OUT FIFO からシリアルサウンドインタフェース1 へ1 ワード(16 ビット)を転送します。同時に転送カウンタの内容がダウンカウントされます。このあと、シリアルサウンドインタフェースからのDMA0 転送要求が発生します。
- (5) (4)を繰り返し、DMA0転送カウンタがアンダーフローするとDMA 許可ビットが“0”となり、DMA0転送が終了します。同時にDMA0割り込み要求が発生します。DMA0割り込み要求を検出したら、エンドポイント1 OUT のCLR_OUT_BUF_RDYビットを“1”にセットします。

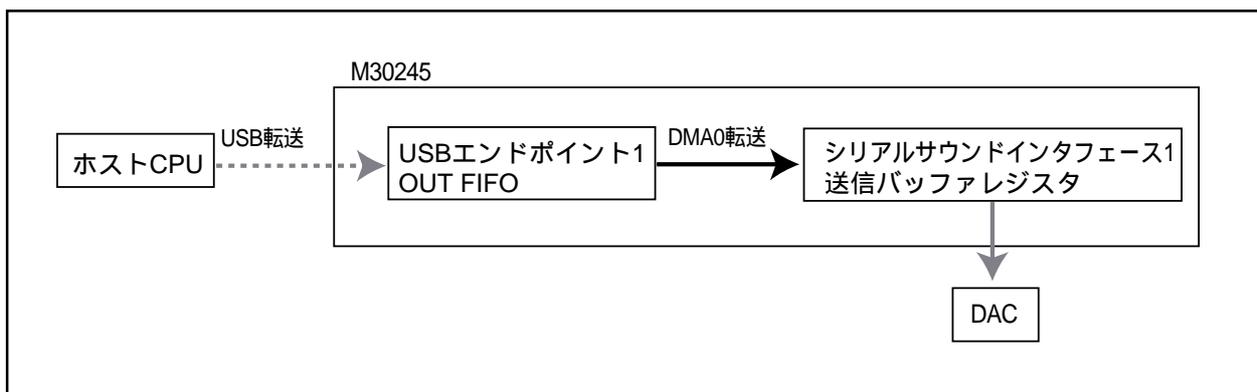


図3.7.1. USB FIFOからシリアルサウンドインタフェースへのDMA転送のブロック図

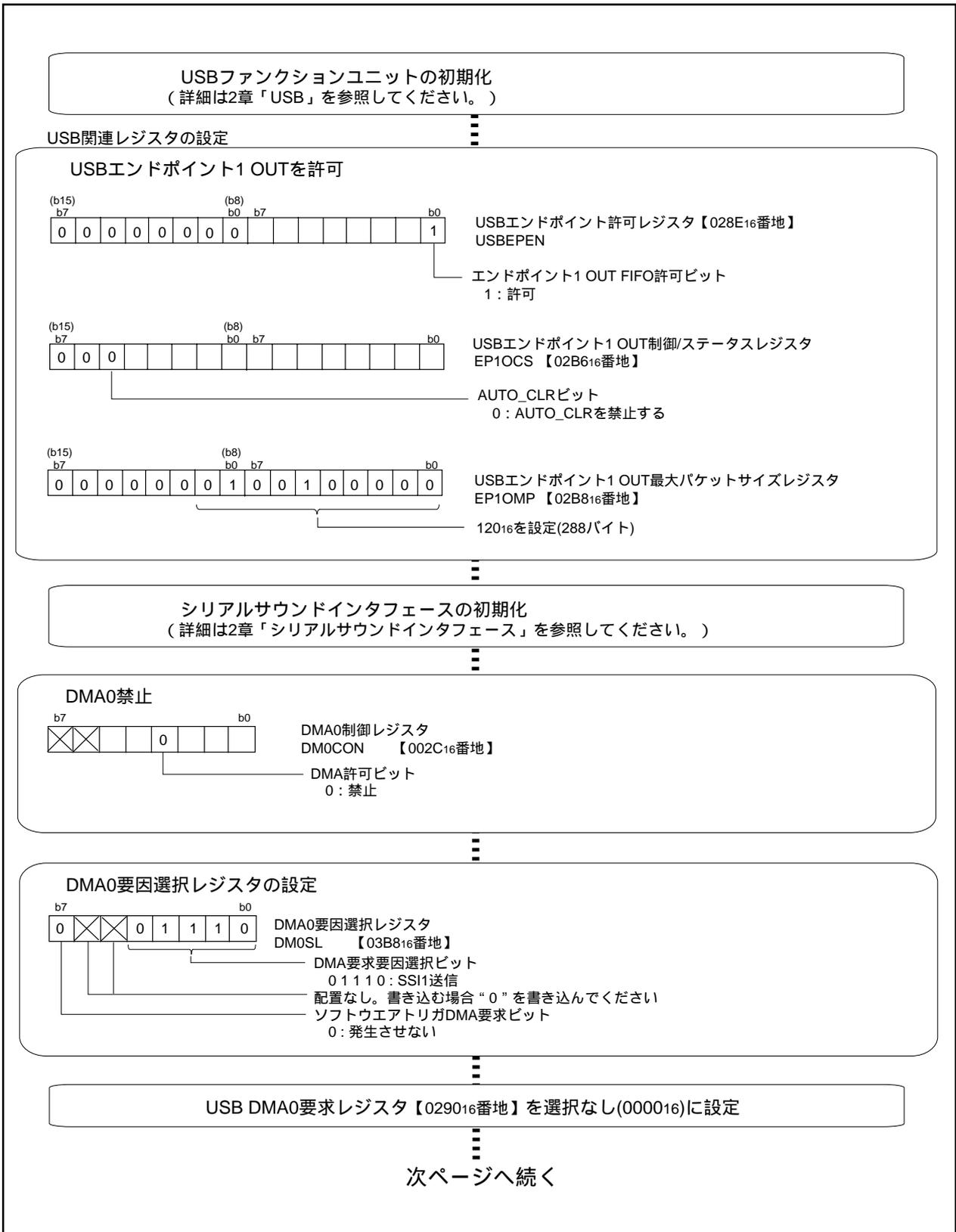


図3.7.2. USB OUT FIFOからシリアルサウンドインタフェースへのDMA転送設定手順例(1)

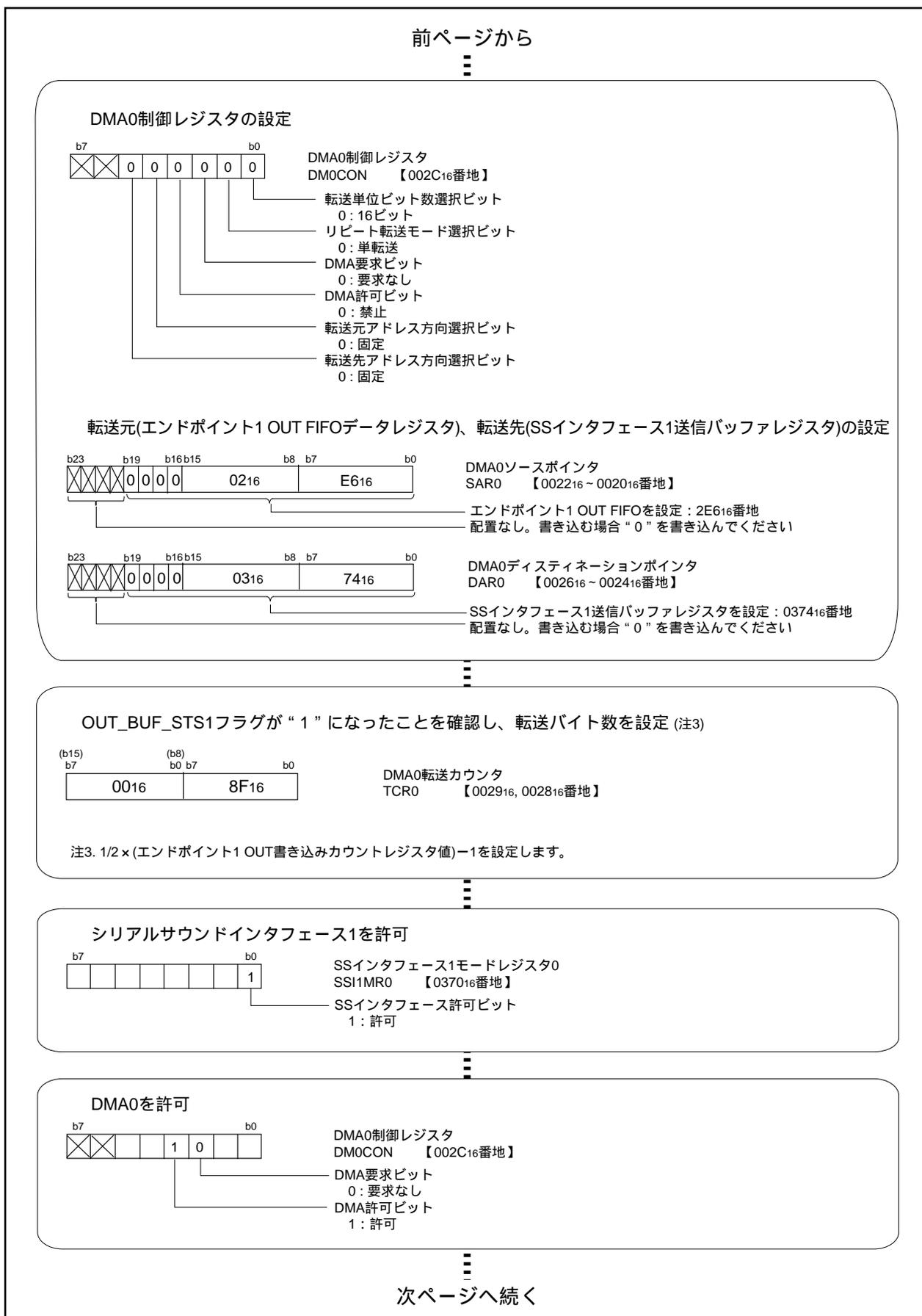


図3.7.3. USB OUT FIFOからシリアルサウンドインタフェースへのDMA転送設定手順例(2)

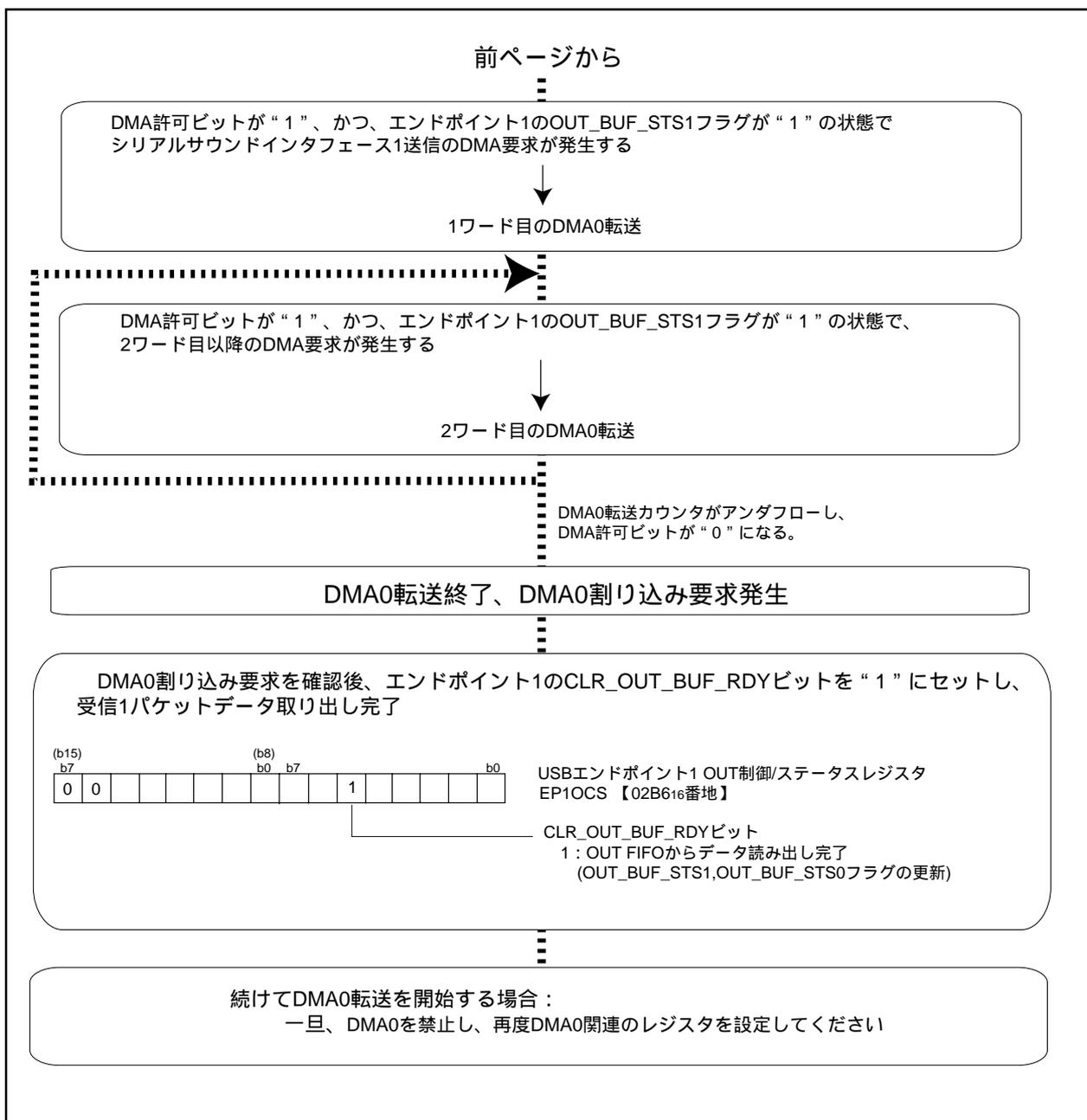


図3.7.4. USB OUT FIFOからシリアルサウンドインタフェースへのDMA転送設定手順例(3)

3.8 ストップモードを使用したパワーコントロール例

概要 ストップモードを使用してパワーコントロールを行います。その動作タイミングを図3.8.1に、回路例を図3.8.2に、設定手順を図3.8.3、図3.8.4に示します。

使用する周辺機能は次のとおりです。

- キー入力割り込み
- ストップモード
- プルアップ機能

このパワーコントロール例では、USBのパワー制御を行っていません。USBに関するパワーコントロールについては、2.8.4項「USBの動作（サスペンド/レジューム動作）」を参照してください。

仕様 (1) キーマトリクスのスキャン出力端子にはP00～P03を使用します。キー入力の読み込み端子にはキー入力割り込み機能の入力端子(KI0～KI3)を使用し、プルアップ機能も使用します。
(2) キー入力割り込み要求の発生で、ストップモードを解除してキーの読み込みを行います。

動作 (1) キー入力割り込みを許可にして、KI0～KI3端子はプルアップ機能を設定します。P00～P03の出力を“L”にしてストップモードに移行します。
(2) キーが押されるとKI0～KI3端子のいずれかに“L”が入力されストップモードを解除します。キー入力割り込みが発生して、キー入力割り込み処理を実行します。
(3) P00～P03の出力を順番に“L”にし、どのキーを押されたか判断します。
(4) 入力キーに対する処理が終了すれば、再度P00～P03の出力を“L”にしてストップモードに移行します。

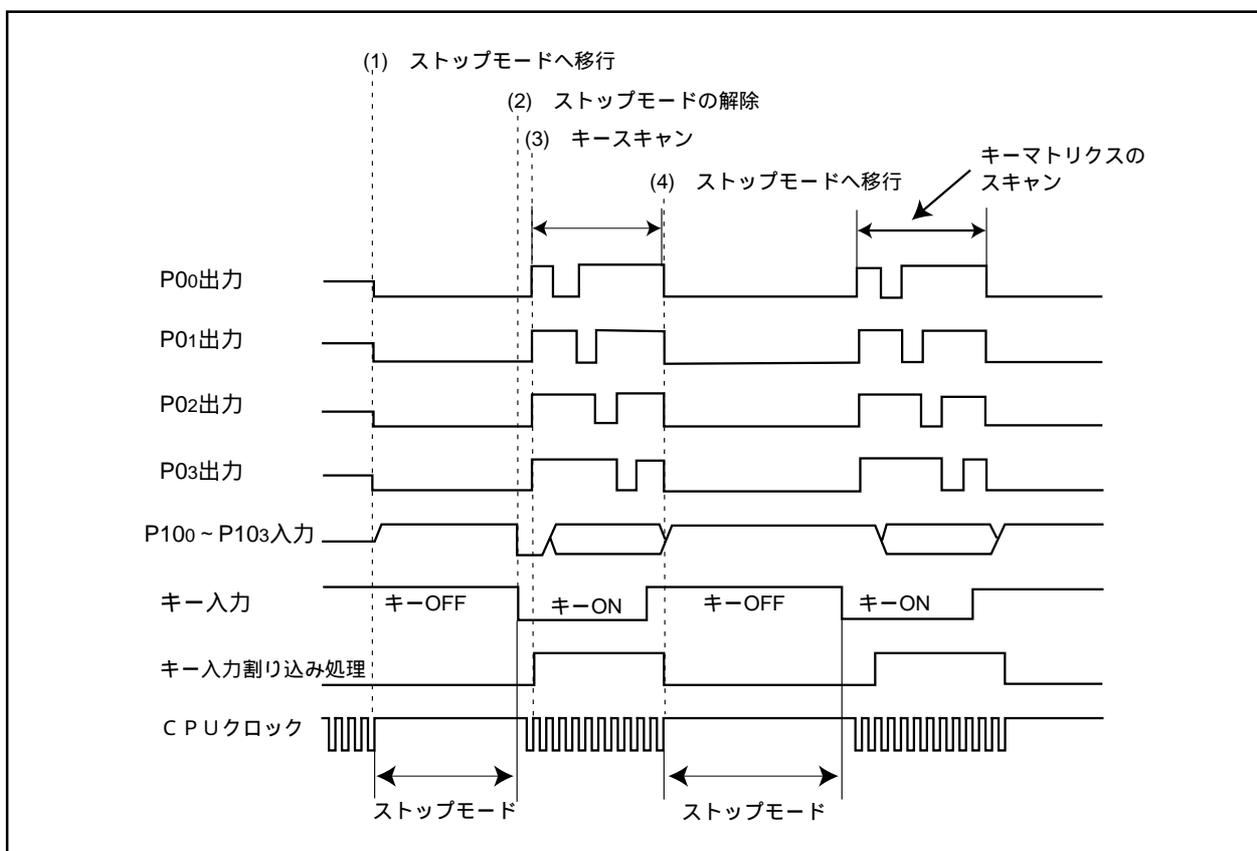


図3.8.1. ストップモードを使用したパワーコントロールの動作タイミング図

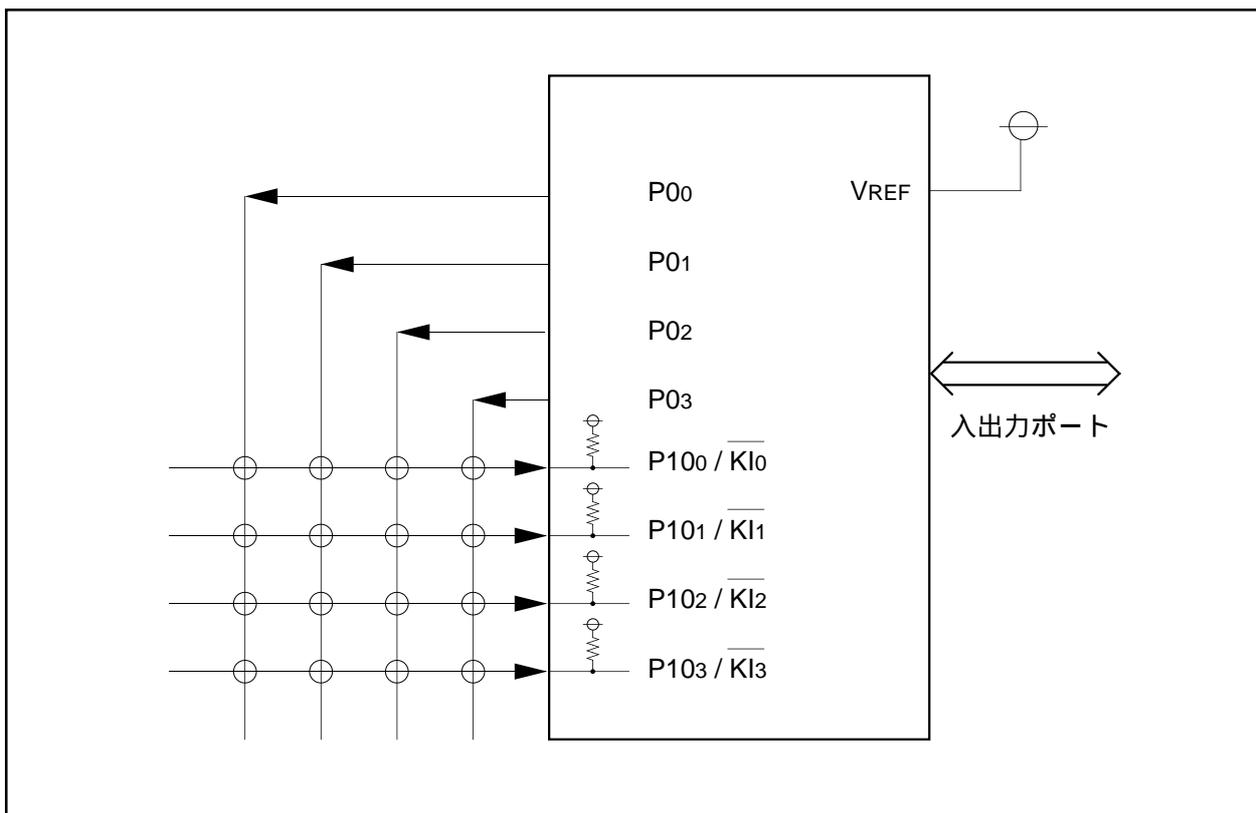


図3.8.2. 回路例

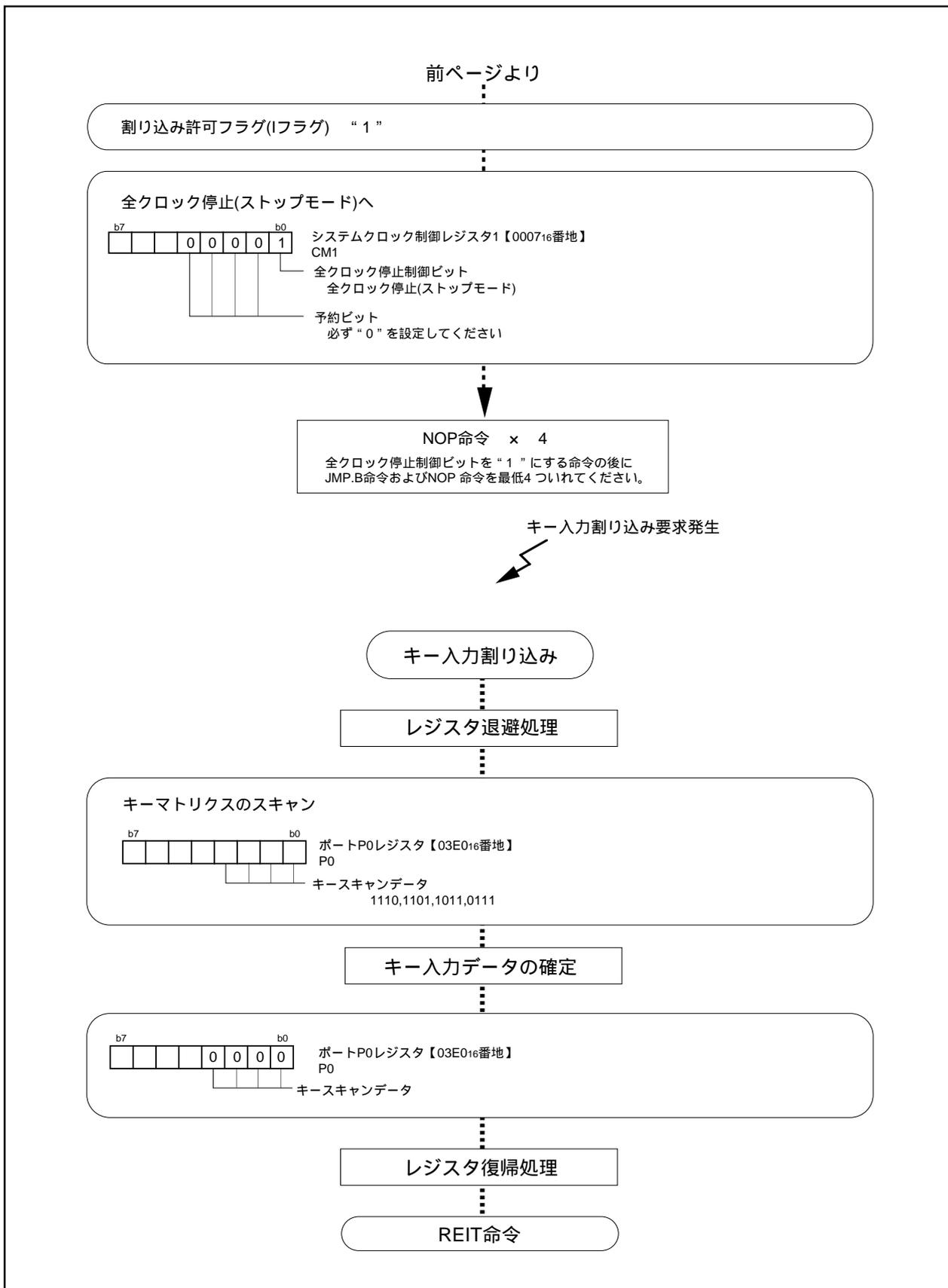


図3.8.4. ストップモードを使用したパワーコントロールの関連レジスタの設定手順(2)

3.9 ウェイトモードを使用したパワーコントロール例

- 概要** ウェイトモードを使用してパワーコントロールを行います。その動作タイミングを図3.9.1に、設定手順を図3.9.2～図3.9.4に示します。
使用する周辺機能は次のとおりです。
タイマAのタイマモード
ウェイトモード
- 設定手順の中で「F_WIT」というフラグを使用しています。このフラグはウェイトモードを解除するかどうかを判断するためのフラグです。メインプログラムの中でF_WIT = “1” のときはウェイトモードへ移行し、F_WIT = “0” のときはウェイトモードを解除します。
- 仕様**
- (1) XCINには、32.768kHzの発振子を接続してタイマのカウントソースとします。タイマで1秒をカウントし割り込みが発生するごとに、ウェイトモードから復帰してプログラムで時計をカウントします。
 - (2) $\overline{\text{INT0}}$ の割り込み要求が発生すると、ウェイトモードを解除します。
- 動作**
- (1) BCLKのカウントソースをXINからXCINに切り替え、低速モードにします。
 - (2) XINを停止させてウェイトモードへ移行します。このとき、タイマA2割り込みと $\overline{\text{INT0}}$ の割り込みは許可にしてください。
 - (3) タイマA2割り込み要求(割り込み間隔1秒)が発生すると、XCINからのBCLKが供給されはじめます。
同時に、タイマA2割り込み処理の中で時計をカウントして、再度ウェイトモードに移行します。
 - (4) $\overline{\text{INT0}}$ 割り込み要求が発生すると、XCINからのBCLKが供給されはじめます。 $\overline{\text{INT0}}$ 割り込みの中で、XINの発振を開始し、発振が安定した後、BCLKのカウントソースをXINに切り替えます。

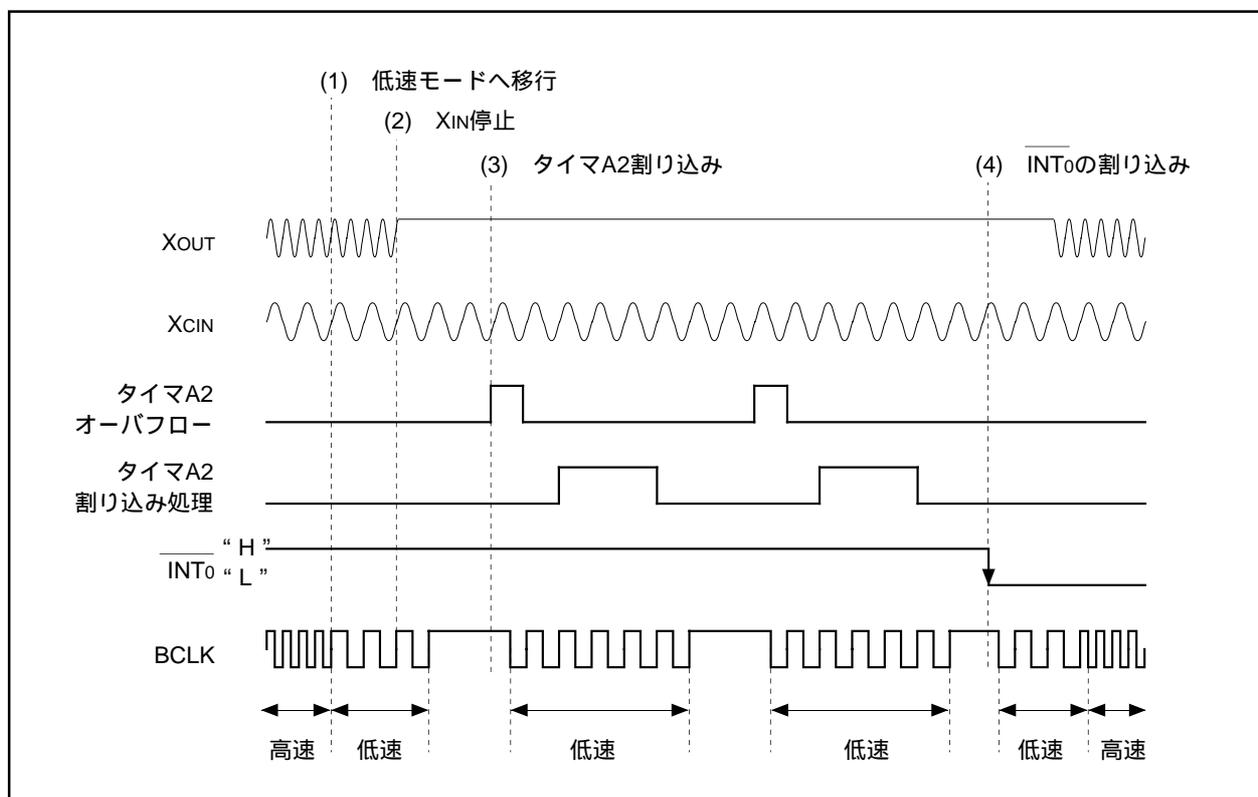


図3.9.1. ウェイトモードを使用したパワーコントロールの動作タイミング図

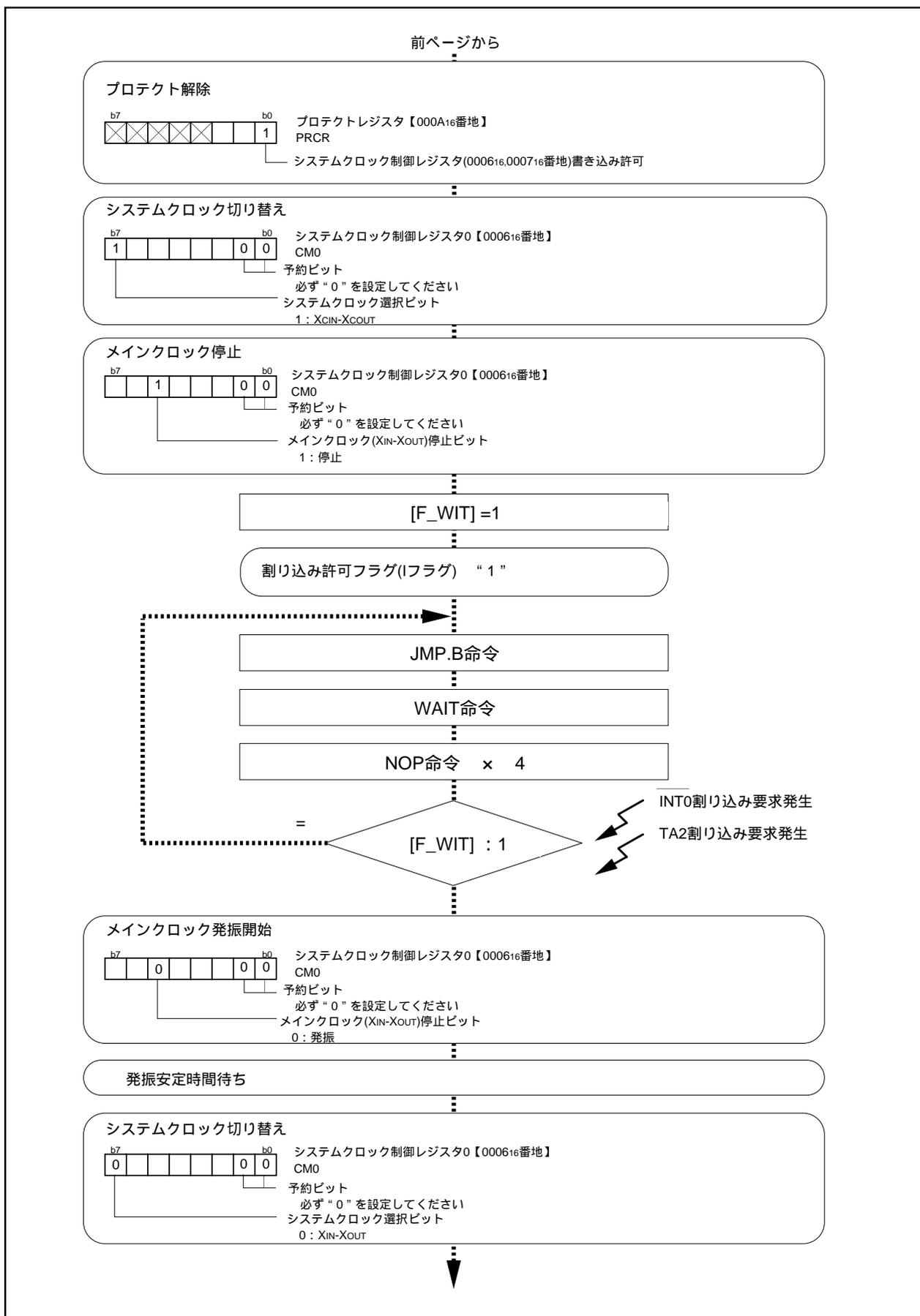


図3.9.3. ウェイトモードを使用したパワーコントロール関連レジスタの設定手順(2)

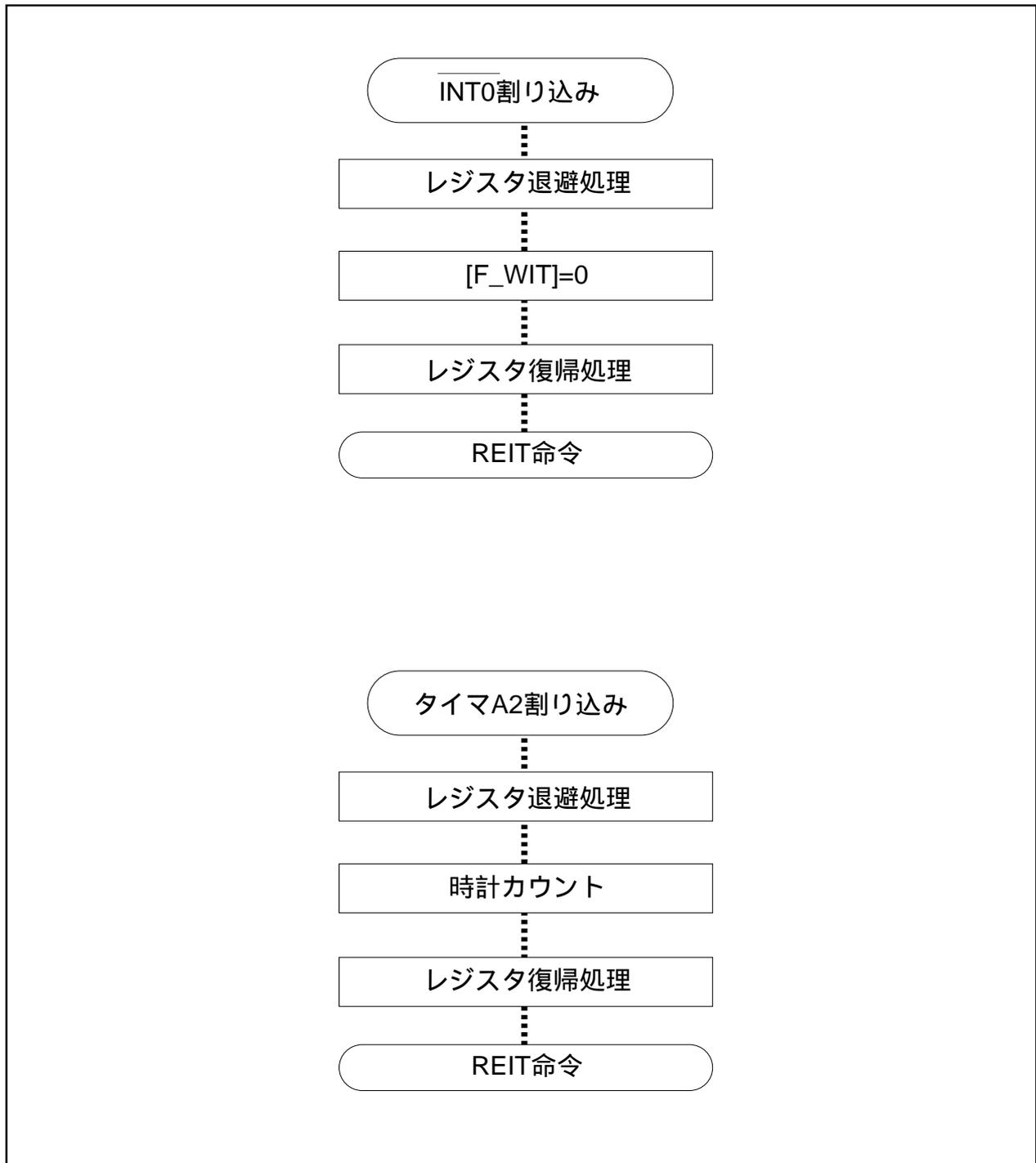


図3.9.4. ウェイトモードを使用したパワーコントロール関連レジスタの設定手順(3)

第 4 章

外部バス

4.1 外部バスの概要

外部バスの機能を用いることで、マイクロコンピュータと外部のメモリやI/Oを簡単に接続することができます。外部バスは、プロセッサモードとしてメモリ拡張モード、又はマイクロプロセッサモードを選択したとき、一部の端子がデータバス、アドレスバス、制御信号用の端子として機能することにより動作します。

データバス幅は、外部領域をアクセスする場合、BYTE端子のレベルによって8ビット、又は16ビットから選択できます。内部領域をアクセスする場合、BYTE端子のレベルに関係なく、データバス幅は16ビット固定です。外部領域に8ビット及び16ビットのデータバス幅を混在することはできません。必ず、BYTE端子は8ビットバス幅選択時は“H”レベルに固定し、16ビットバス幅選択時は“L”レベルに固定してください。

4.2 データアクセス

4.2.1 データバス幅

BYTE端子に入力される電圧レベルが“H”の場合、外部データバス幅は8ビットとなり、P10(/D8)～P17(/D15)は入出力ポートとして使用できます(図4.2.1)。

BYTE端子に入力される電圧レベルが“L”の場合、外部データバス幅は16ビットとなり、P00(/D0)～P07(/D7)、P10(/D8)～P17(/D15)はデータバス(D0～D15)として動作します(図4.2.1)。

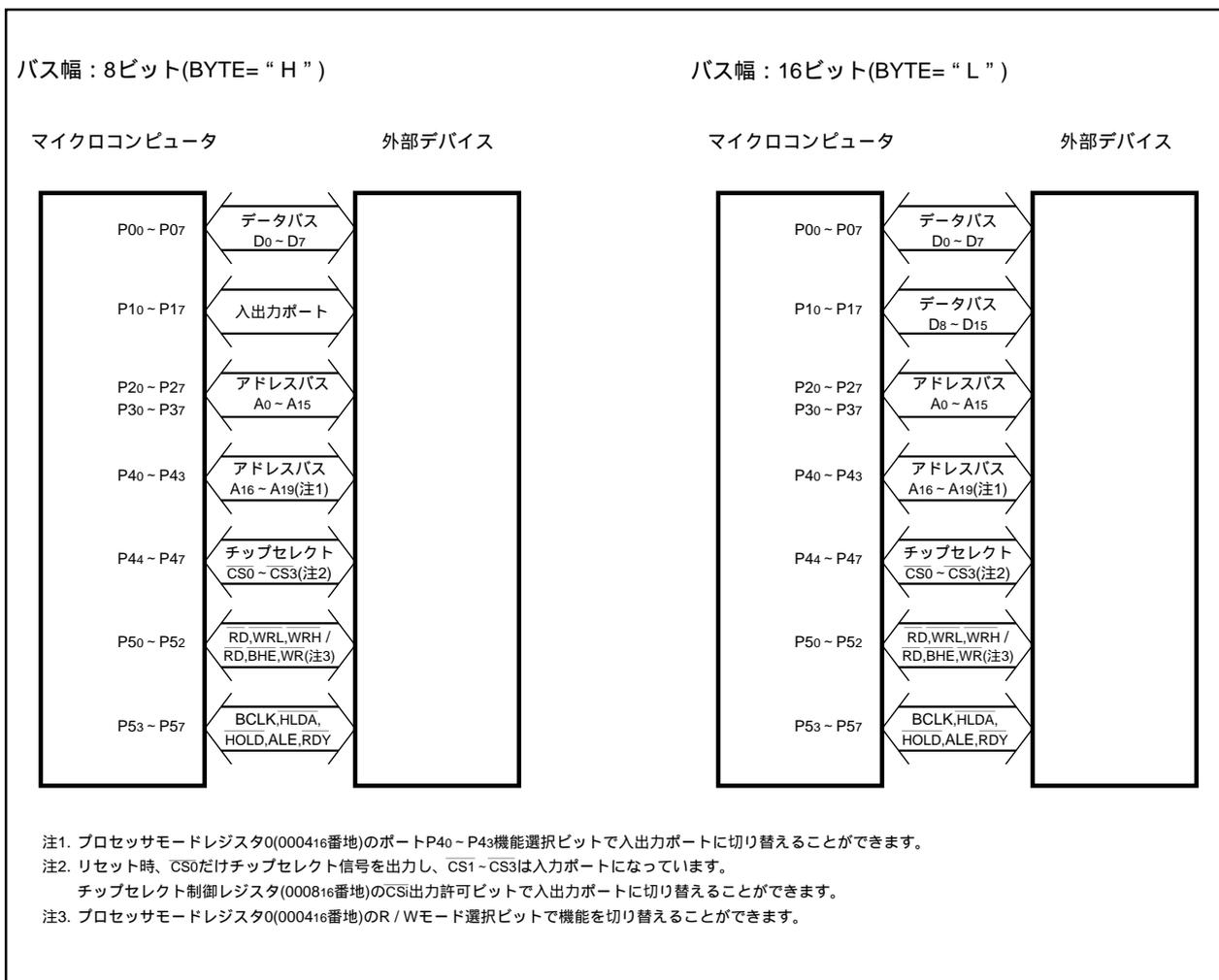


図4.2.1. BYTE端子のレベルと外部データバス幅

4.2.2 チップセレクトとアドレスバス

チップセレクト(P44/ $\overline{CS0}$ ~ P47/ $\overline{CS3}$)は、1Mバイトの空間を4分割した領域で出力します。チップセレクトを使用する場合、チップセレクト制御レジスタの設定で、チップセレクト出力許可状態にする必要があります。各チップセレクトがアクティブ(“L”)になるアドレスを図4.2.2に示します。ただし、メモリ拡張モードとマイクロプロセッサモードで内部領域と外部領域の範囲が異なるため、 $\overline{CS0}$ が出力される領域は異なります。また、内部のROM/RAM領域がアクセスされているときは、チップセレクトは出力されず、アドレスバスも変化しません(直前にアクセスされた外部領域のアドレスが保持されます)。

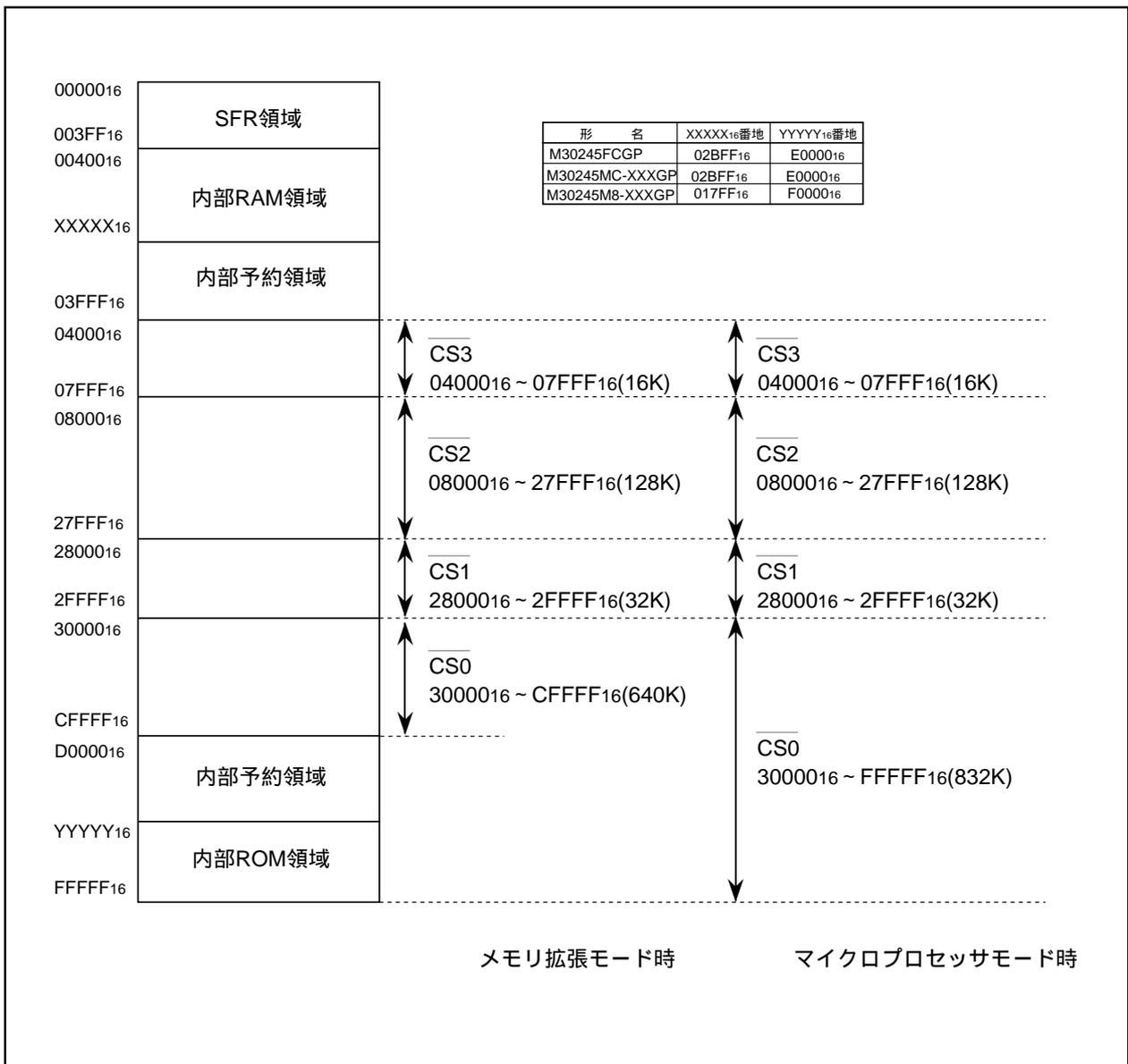


図4.2.2. 各チップセレクトがアクティブ(“L”)になるアドレス

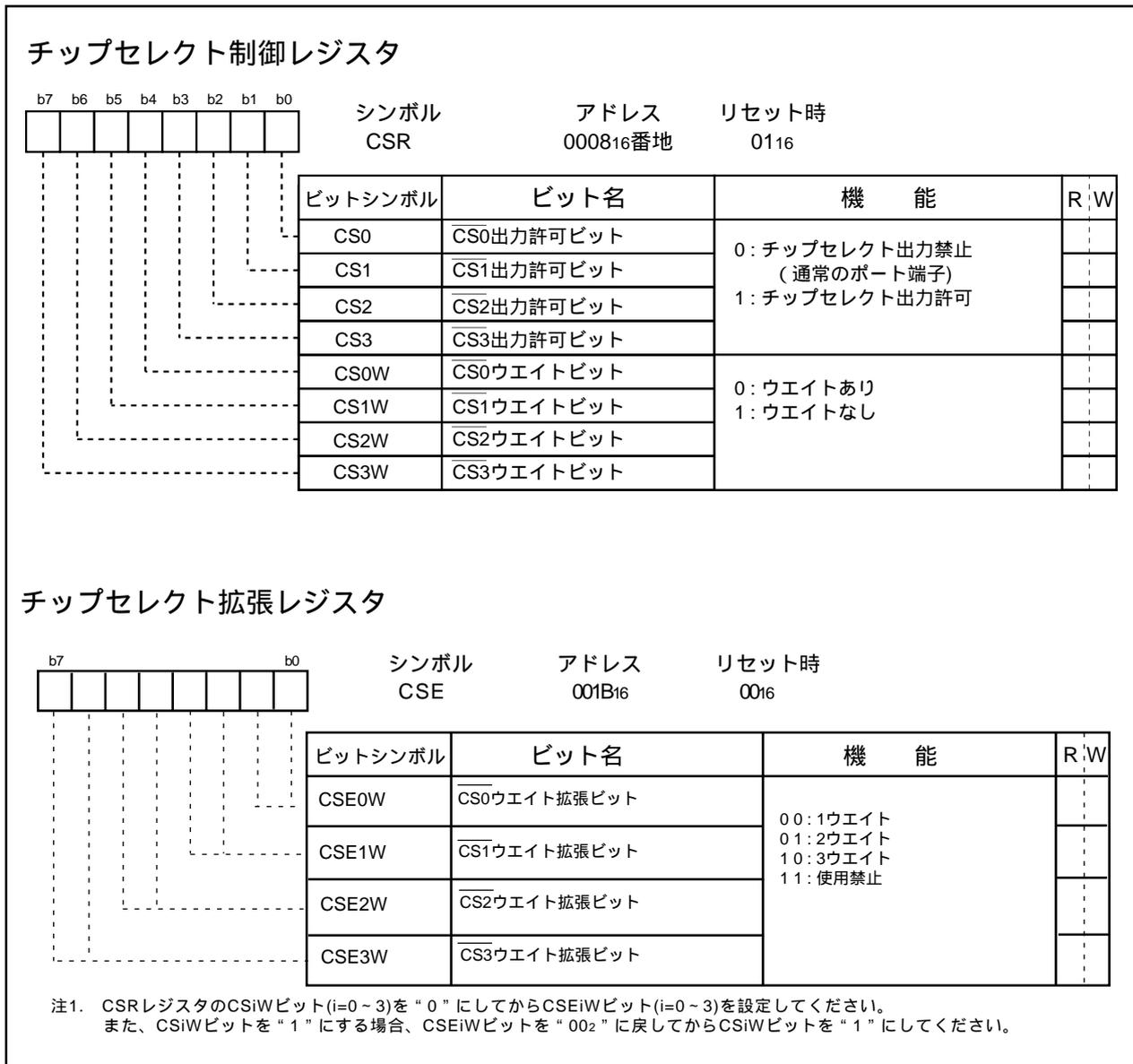


図4.2.3. チップセレクト関連レジスタ

4.2.3 R/Wモード

外部領域をアクセスする場合に出力されるリード/ライト信号は、プロセッサモードレジスタ0(000416番地)のR/Wモード選択ビット(ビット2)の設定で、 $\overline{\text{RD/BHE/WR}}$ 、又は $\overline{\text{RD/WRH/WRL}}$ を選択することができます。 $\overline{\text{RD/BHE/WR}}$ は、8ビット幅および16ビット幅をもつRAMをアクセスする場合に使用することが可能、 $\overline{\text{RD/WRH/WRL}}$ は16ビット幅をもつRAMをアクセスする場合に使用することが可能です。

リセット時、M30245グループは、 $\overline{\text{RD/BHE/WR}}$ の設定になっています。 $\overline{\text{RD/WRH/WRL}}$ に切り替える場合は、外部のRAMをアクセスする前に切り替えてください。

「4.3 接続例」に $\overline{\text{RD/BHE/WR}}$ および $\overline{\text{RD/WRH/WRL}}$ の接続例を示しますので参照してください。

4.3 接続例

メモリの接続例を示します。

4.3.1 16ビット幅のメモリの接続例

図4.3.1にM5M51016BTP(SRAM)との接続例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

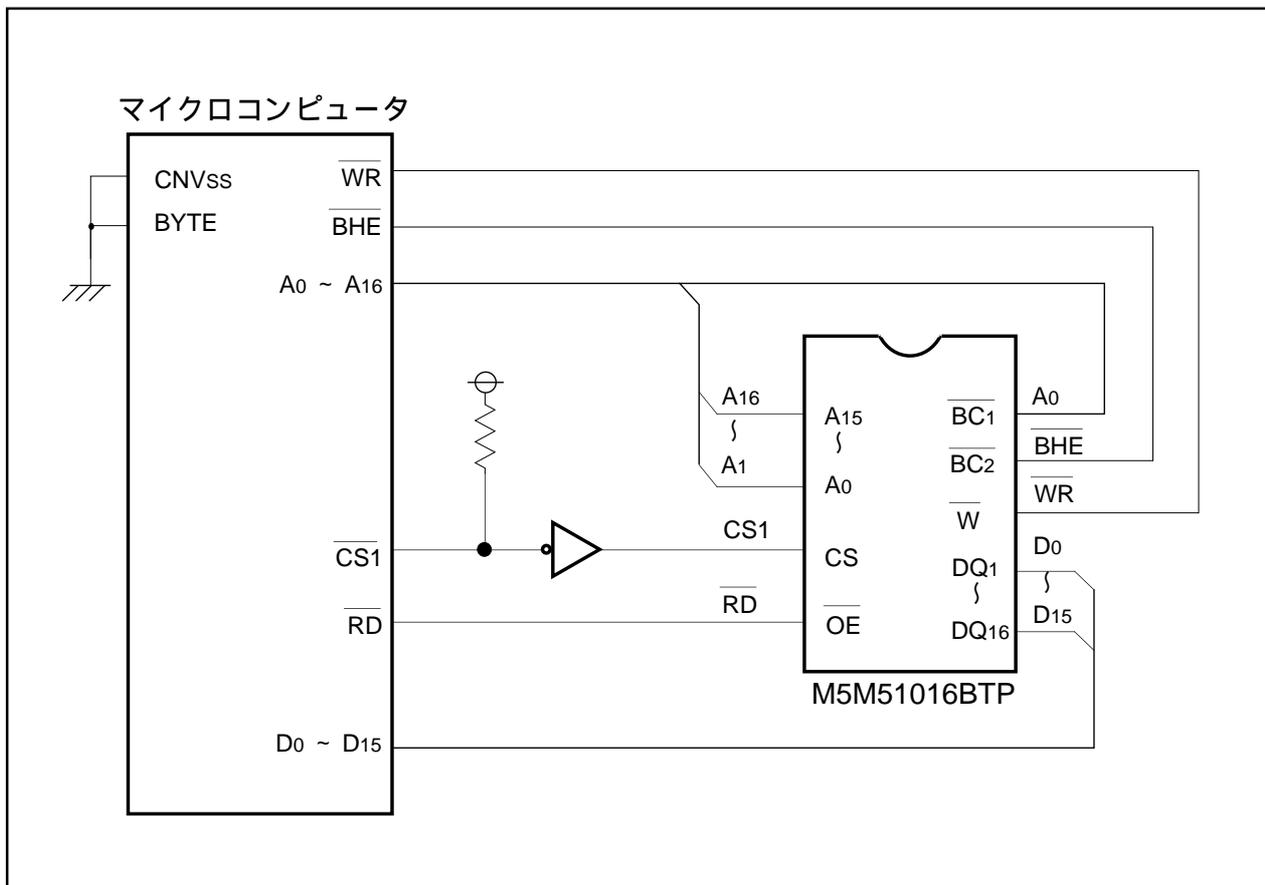


図4.3.1. M5M51016BTPとの接続例

4.3.2 16ビット幅のデータバスと8ビットメモリとの接続例

図4.3.2に16ビットのデータバスに2個のM5M5278(SRAM)と接続した例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

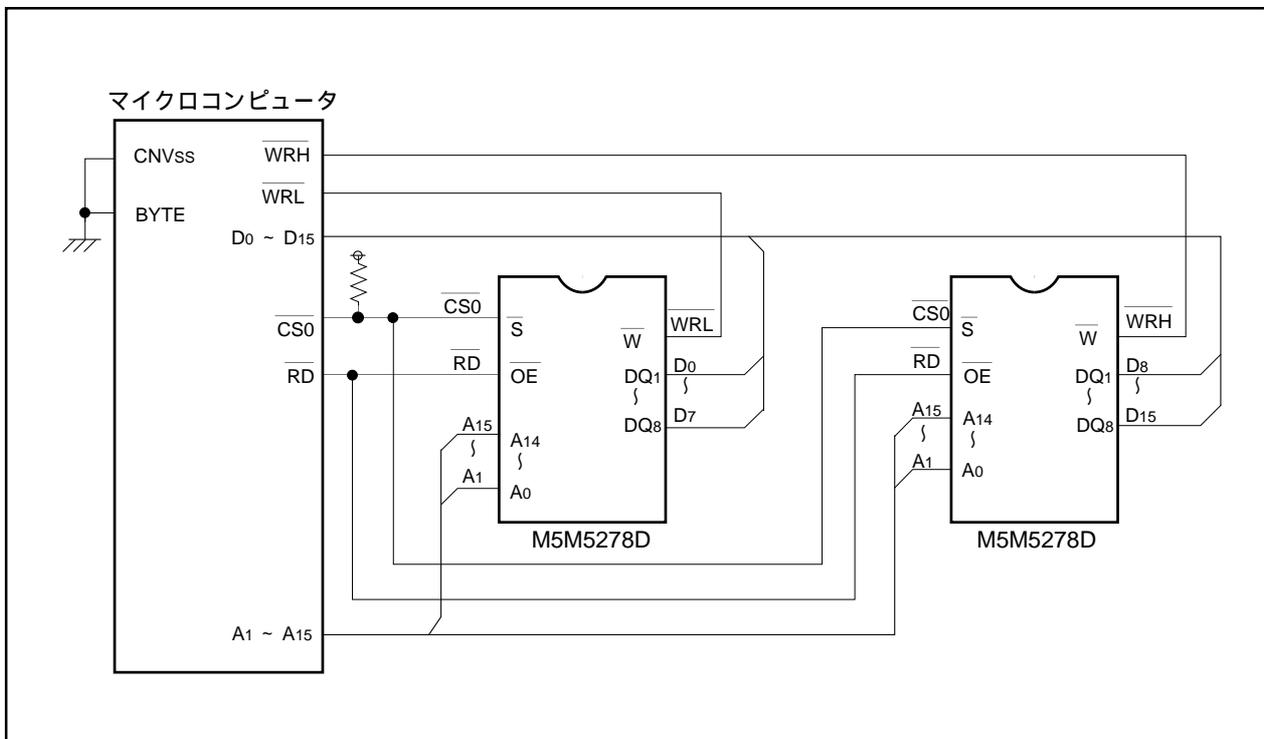


図4.3.2. M5M5278(32K×8ビット)を2個、16ビットバス幅で使用する場合の接続例

図4.3.3に16ビットのデータバスに2個のAm29LV008B(フラッシュメモリ)と接続した例を示します。16ビットバスモードではリセット解除後、 $\overline{\text{BHE}}/\overline{\text{WRH}}$ 端子はBHEとして動作し信号が出力されます。16ビットバスモードに8ビットフラッシュメモリを接続する場合、両方のフラッシュの $\overline{\text{WR}}$ 端子に $\overline{\text{WRL}}$ 端子を接続し、フラッシュメモリへは偶数アドレスから16ビット単位で書き込むようにしてください。

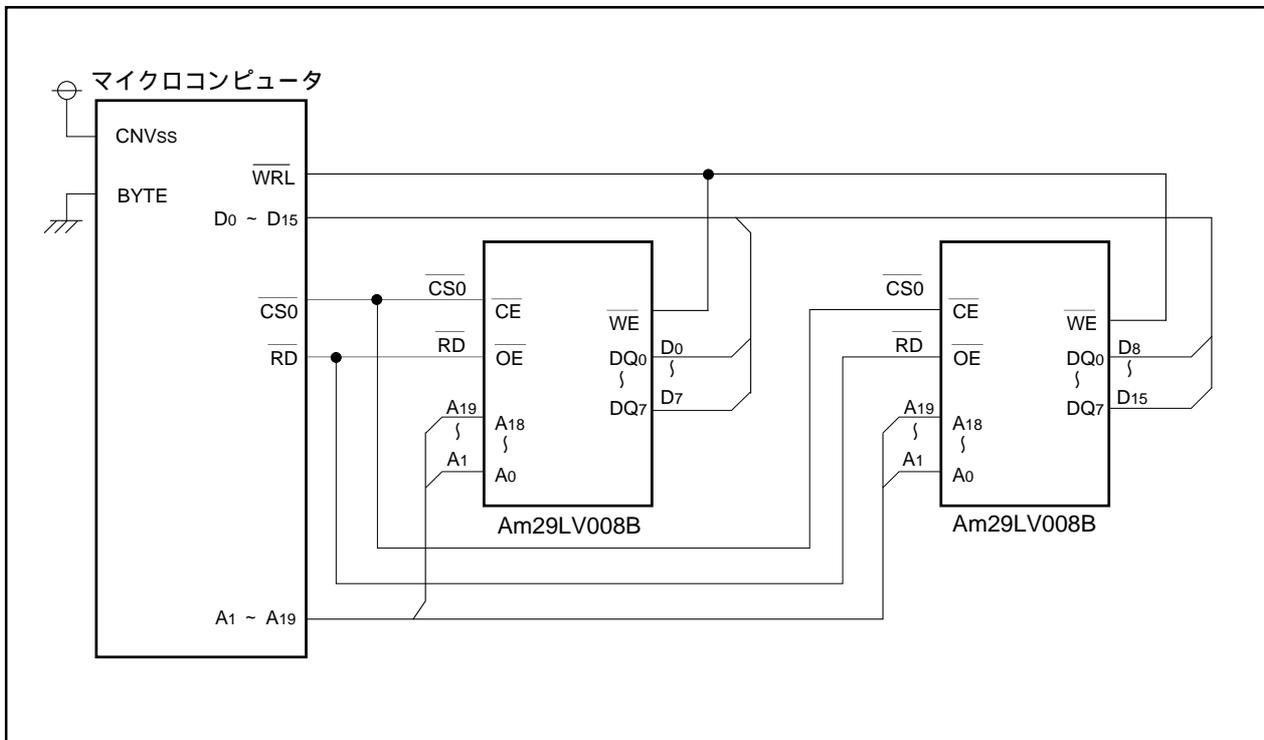


図4.3.3. Am29LV008B(1M×8ビット)を2個、16ビットバス幅で使用する場合の接続例

4.3.3 8ビット幅のデータバスと8ビットメモリとの接続例

図4.3.4に8ビットのデータバスに2個のM5M5278(SRAM)と接続した例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

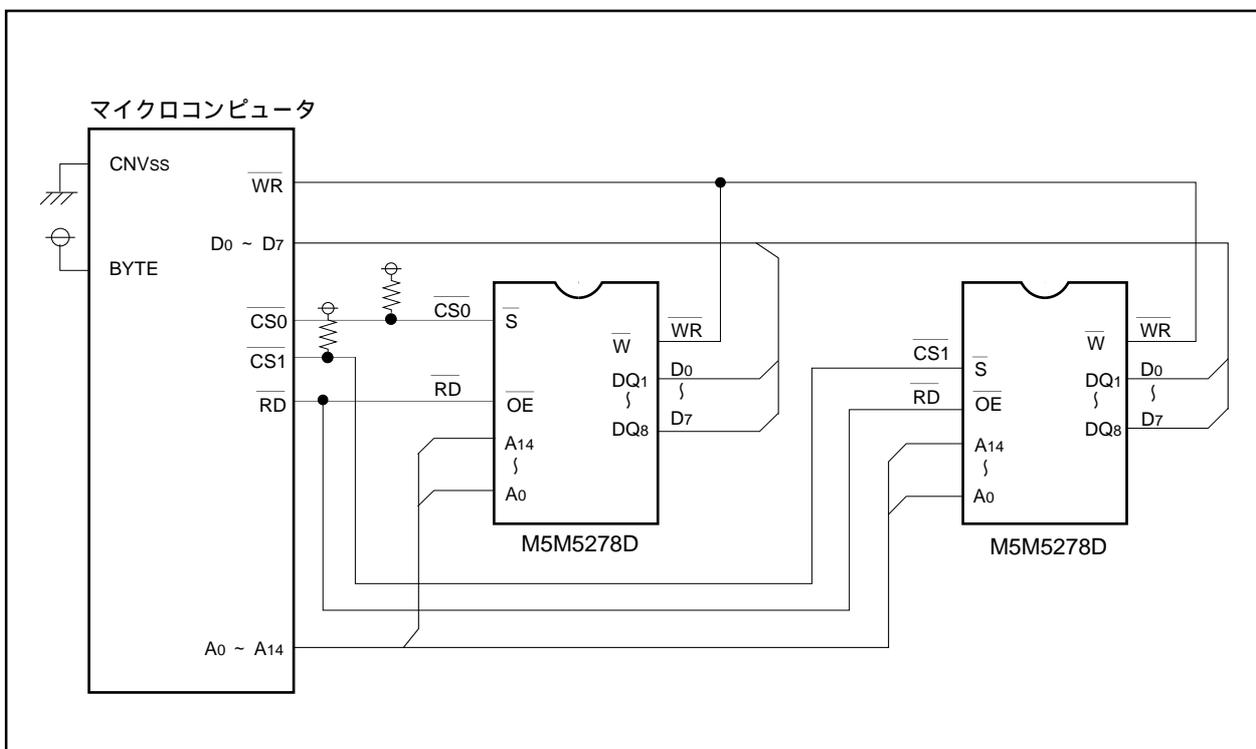


図4.3.4. M5M5278(32K×8ビット)を2個、8ビットバス幅で使用する場合の接続例

4.3.4 16ビット幅のデータバスに8ビットメモリと16ビットメモリの接続例

図4.3.5に16ビットのデータバスにM5M28F102(16ビットのフラッシュメモリ)とM5M5278(8ビットのSRAM) 2個の接続例を示します。

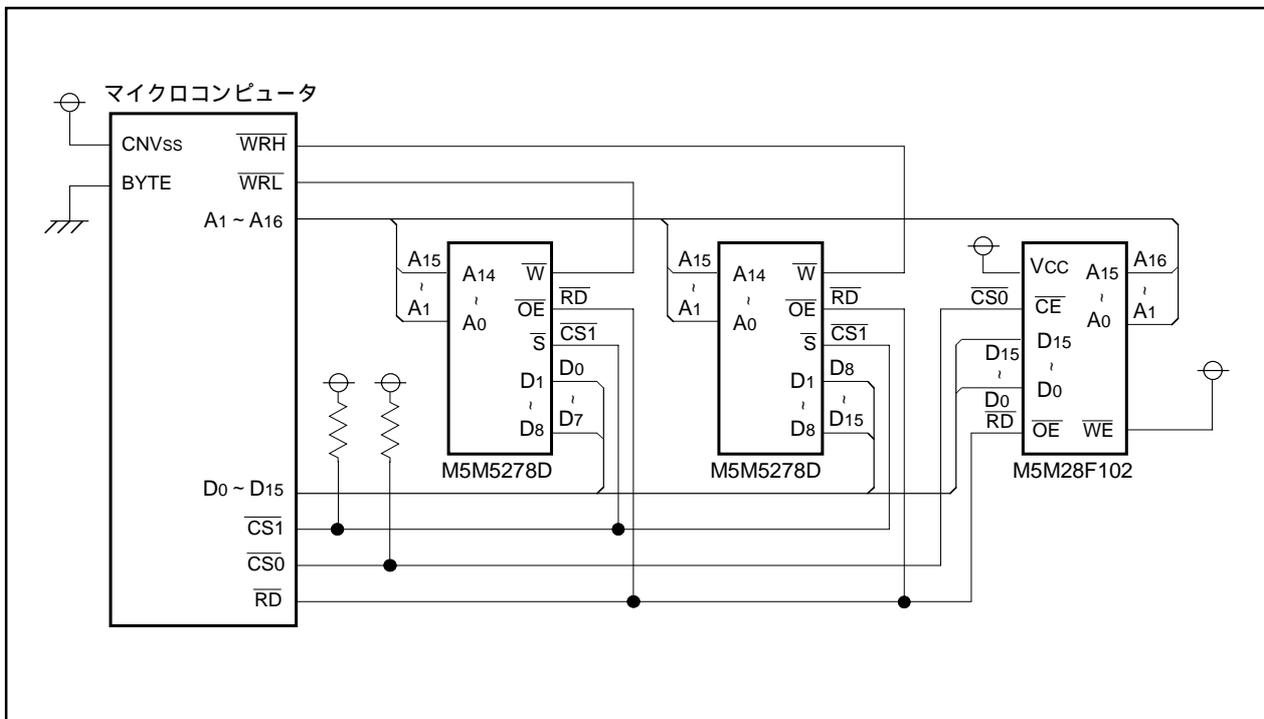


図4.3.5. 16ビットバス幅で8ビット / 16ビットのメモリを混在させた場合の接続例

4.3.5 チップセレクトとアドレスバス

内蔵しているチップセレクト信号が不足する場合、外部でチップセレクト信号を生成する必要があります。 $\overline{CS2}$ (128Kバイト)の領域を32Kバイト単位で4個に分割する接続例を図4.3.6に示します。

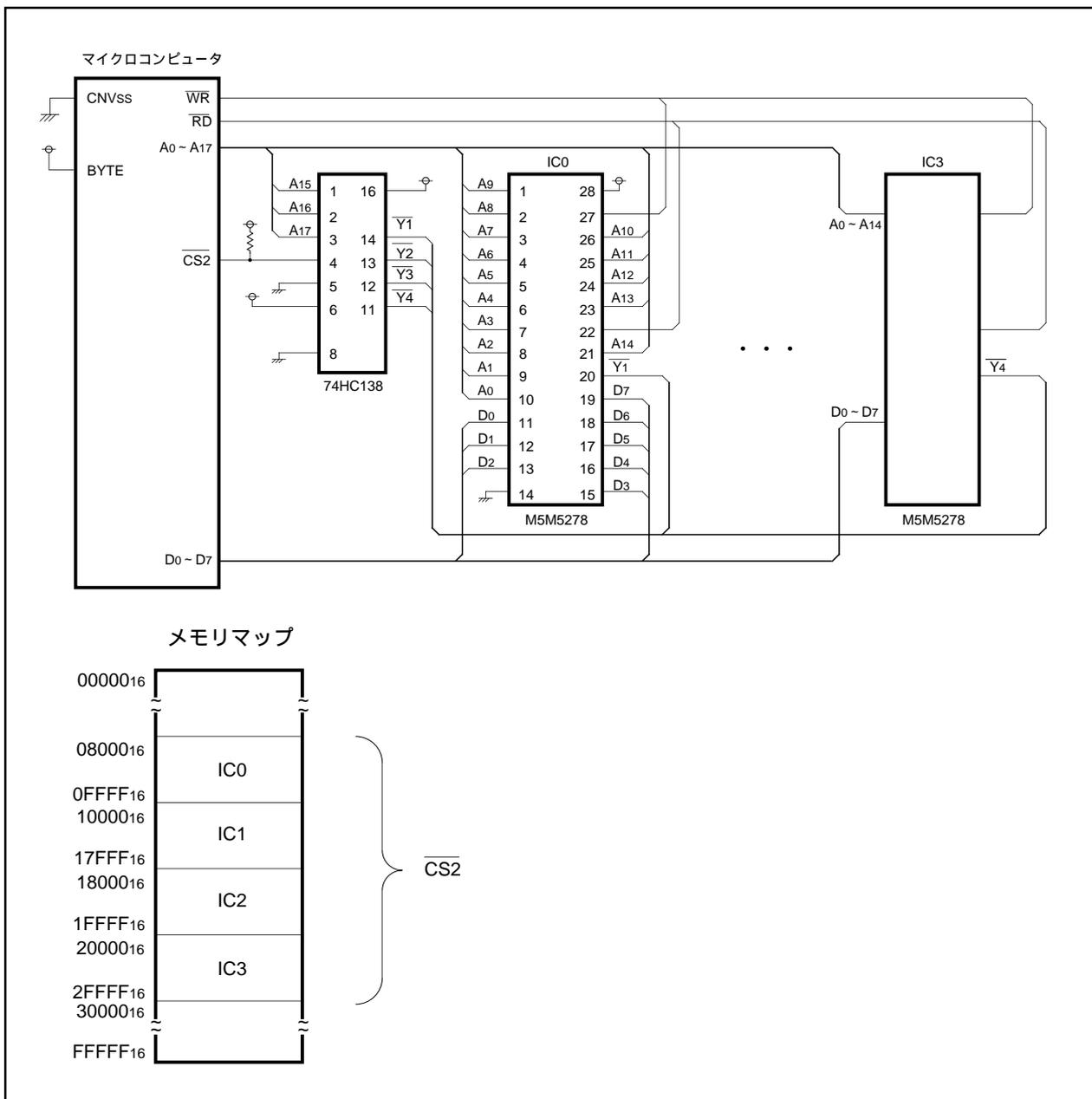


図4.3.6. チップセレクトとアドレスバス

4.4 接続可能なメモリ

4.4.1 動作周波数とアクセス時間

接続可能なメモリは、BCLKの周波数 $f(\text{BCLK})$ により異なります。 $f(\text{BCLK})$ は、発振子の周波数とシステムクロック選択ビット(0006₁₆番地のビット6、0007₁₆番地のビット6、7)の設定で決まります。

以下に接続条件式を示します。最低限、これらの条件を満たすようにしてください。また、BCLKの周波数とメモリの関係を図4.4.1、図4.4.2に示します。

リードサイクル時間(t_{CR}) / ライトサイクル時間(t_{CW})

リードサイクル時間 (t_{CR}) / ライトサイクル時間 (t_{CW}) は次の条件式を満たす必要があります。

・ウエイトなし

$$t_{\text{CR}} < 10^9 / f(\text{BCLK}) \text{ かつ } t_{\text{CW}} < 2 \times 10^9 / f(\text{BCLK})$$

($\text{CSxW}=1$ の場合、リードはBCLKの1サイクル、ライトはBCLKの2サイクル)

・ウエイトあり

$$t_{\text{CR}} < (m+1) \times 10^9 / f(\text{BCLK}) \text{ かつ } t_{\text{CW}} < (m+1) \times 10^9 / f(\text{BCLK})$$

($\text{CSxW}=0$, CSExW ビットで拡張ウエイト数を指定する場合)

(m はウエイト数: 1ウエイト時" $m=1$ ", 2ウエイト時" $m=2$ ", 3ウエイト時" $m=3$ ")

アドレスアクセス時間 $t_{\text{a}}(\text{A})$

アドレスアクセス時間 $t_{\text{a}}(\text{A})$ は次の条件を満たす必要があります。

(1) $V_{\text{CC}}=3.0 \sim 3.6\text{V}$ の場合

・ウエイトなし

$$t_{\text{a}}(\text{A}) < 10^9 / f(\text{BCLK}) - 80 \text{ (ns)}$$

・ウエイトあり

$$t_{\text{a}}(\text{A}) < (m+1) \times 10^9 / f(\text{BCLK}) - 80 \text{ (ns)} \text{ (} m \text{ は1ウエイト時"1", 2ウエイト時"2", 3ウエイト時"3")}$$

$$80 \text{ (ns)} = t_{\text{d}}(\text{BCLK-AD}) + t_{\text{su}}(\text{DB-RD}) - t_{\text{h}}(\text{BCLK-RD})$$

$$= (\text{アドレス出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

チップセレクトアクセス時間 $t_{\text{a}}(\text{S})$

チップセレクトアクセス時間 $t_{\text{a}}(\text{S})$ は次の条件式を満たす必要があります。

(1) $V_{\text{CC}}=3.0 \sim 3.6\text{V}$ の場合

・ウエイトなし

$$t_{\text{a}}(\text{S}) < 10^9 / f(\text{BCLK}) - 80 \text{ (ns)}$$

・ウエイトあり

$$t_{\text{a}}(\text{S}) < (m+1) \times 10^9 / f(\text{BCLK}) - 80 \text{ (ns)} \text{ (} m \text{ は1ウエイト時"1", 2ウエイト時"2", 3ウエイト時"3")}$$

$$80 \text{ (ns)} = t_{\text{d}}(\text{BCLK-CS}) + t_{\text{su}}(\text{DB-RD}) - t_{\text{h}}(\text{BCLK-RD})$$

$$= (\text{チップセレクト出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

出力イネーブル時間 $t_{\text{a}}(\text{OE})$

出力イネーブル時間 $t_{\text{a}}(\text{OE})$ は次の条件式を満たす必要があります。

(1) $V_{\text{CC}}=3.0 \sim 3.6\text{V}$ の場合

・ウエイトなし

$$t_{\text{a}}(\text{OE}) < 10^9 / (f(\text{BCLK}) \times 2) - 60 \text{ (ns)} = t_{\text{ac1}}(\text{RD} - \text{DB})$$

・ウエイトあり

$$t_{\text{a}}(\text{OE}) < (m+0.5) \times 10^9 / (f(\text{BCLK})) - 60 \text{ (ns)} = t_{\text{ac2}}(\text{RD} - \text{DB})$$

(m は1ウエイト時"1", 2ウエイト時"2", 3ウエイト時"3")

データセットアップ時間tsu(D)

データセットアップ時間tsu(D)は次の条件式を満たす必要があります。

(1)V_{CC}=3.0~3.6Vの場合

- PM16=0(WR幅通常)

$$tsu(D) < (n-0.5) \times 10^9 / f(BCLK) - 40(ns) = td(DB-WR)$$

- PM16=1(WR幅拡張)

$$tsu(D) < n \times 10^9 / f(BCLK) - 40(ns) = td(DB-WR)$$

$$40(ns) = td(BCLK DB) - th(BCLK WR)$$

= (データ出力遅延時間) - (WR 信号出力保持時間)

(n=1 (ウエイトなし)、n=2 (1 ウエイト)、n=3 (2 ウエイト)、n=4 (3 ウエイト))

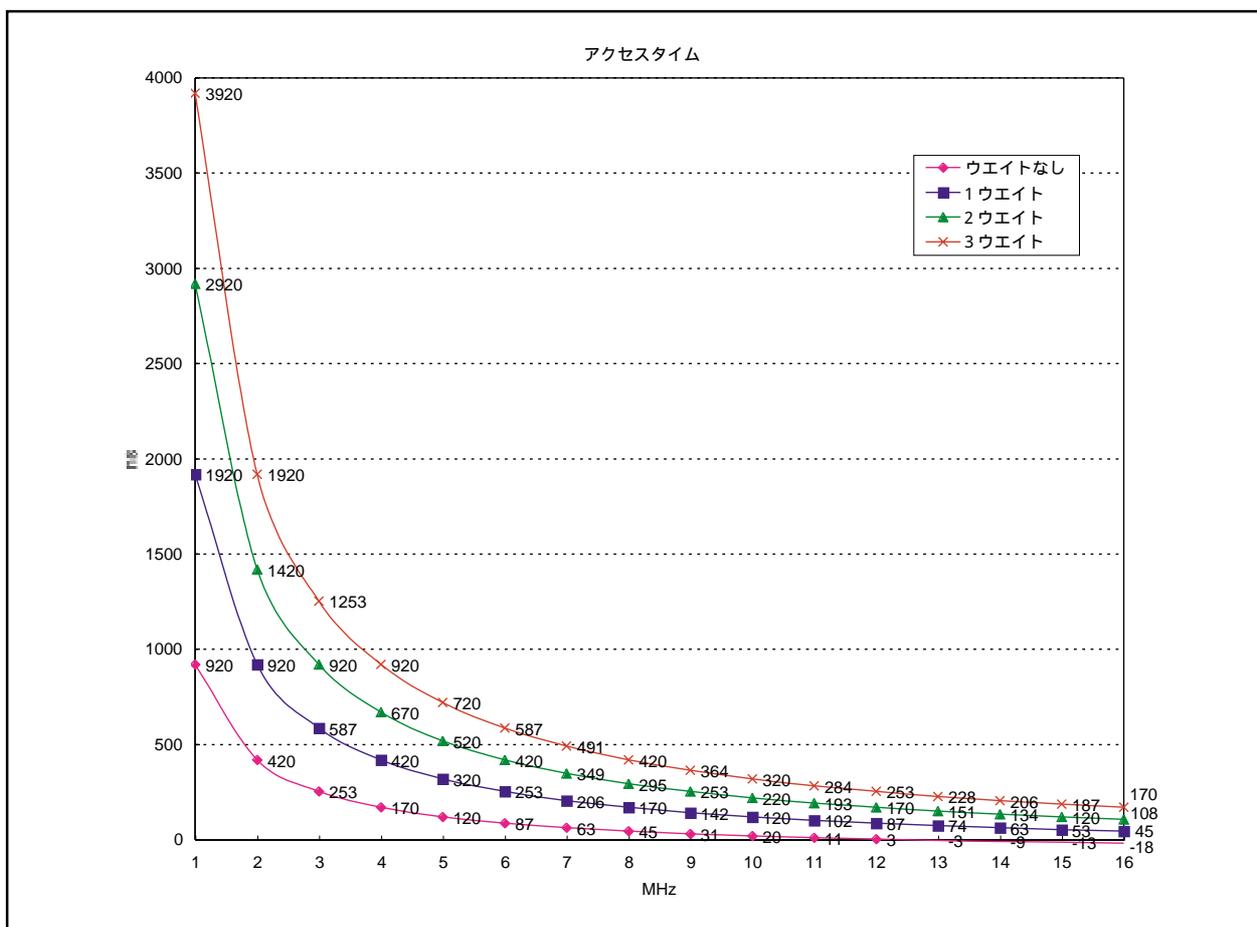


図4.4.1. BCLKの周波数とメモリの関係その1

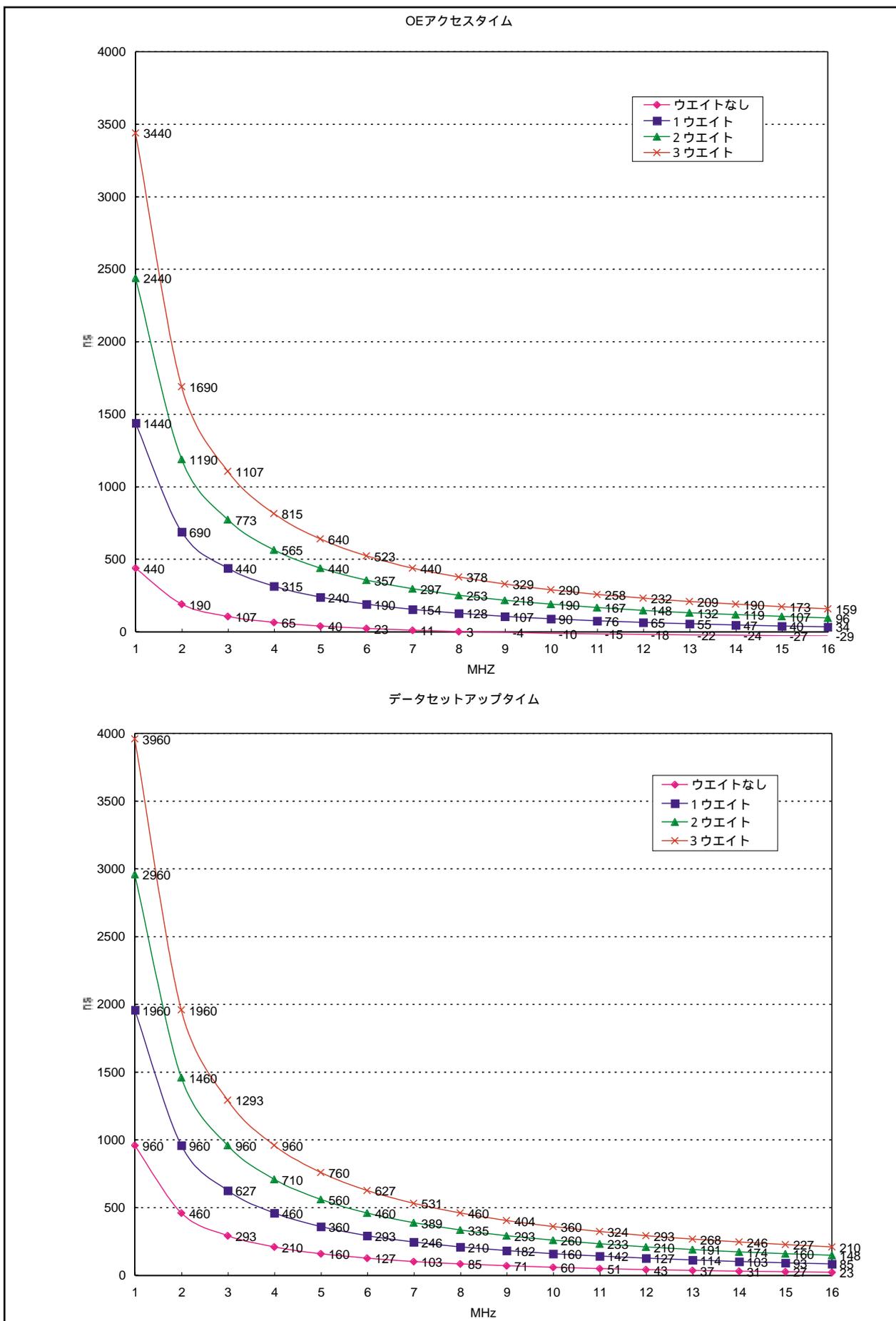


図4.4.2. BCLKの周波数とメモリの関係その2

4.4.2 低速メモリの接続

アクセスタイム $t_a(A)$ の大きいメモリを接続する場合、BCLKの周波数を下げるか、ソフトウェアウエイトを設定してください。ソフトウェアウエイトを設定しても、接続できないタイミングのメモリは、RDY機能を使用することにより接続可能となります。

(1) ソフトウェアウエイトの使用

チップセレクト制御レジスタ(0008₁₆番地)のCS0W~CS3Wビット、及びチップセレクト拡張レジスタ(001B₁₆番地)によって、外部メモリ領域に対してソフトウェアウエイトを挿入できます。

RDY信号を使用する場合、CS0W~CS3Wの該当するビットに“0”を設定する必要があります。

チップセレクト制御レジスタのCS0W~CS3WはそれぞれチップセレクトCS0~CS3に対応します。これらのビットを“1”にするとReadバスサイクルはBCLKの1サイクル、WriteバスサイクルはBCLKの2サイクルで実行されます。“0”にすると、チップセレクト拡張レジスタの設定に応じてRead/WriteバスサイクルがBCLKの2サイクル、又は3サイクル、又は4サイクルになります。チップセレクト制御レジスタの対応するビットが“0”のときチップセレクト拡張レジスタの設定が有効になり、“1”のとき、チップセレクト拡張レジスタの対応するビットは“00₂”を設定してください。

リセット解除後、チップセレクト制御レジスタとチップセレクト拡張レジスタの値は“00₁₆”です。

SFR領域と内部ROM/RAM領域は、これらの制御ビットの影響を受けません。

表4.4.1にソフトウェアウエイトとバスサイクル、図4.4.3に各プロセッサモードとウエイトビット(CSiW, CSiEW)の関係を示します。

表4.4.1. ソフトウェアウエイトとバスサイクル

領域	CSxW (注1)	CSExW (注2)	バスサイクル	
			読み出し	書き込み
SFR	無効	無効	BCLKの2サイクル	BCLKの2サイクル
内部ROM/RAM	無効	無効	BCLKの1サイクル	BCLKの1サイクル
外部メモリ 領域	0	00	BCLKの2サイクル	BCLKの2サイクル
	0	01	BCLKの3サイクル	BCLKの3サイクル
	0	10	BCLKの4サイクル	BCLKの4サイクル
	0	11	設定禁止	
	1	00	BCLKの1サイクル	BCLKの2サイクル

注1. RDY信号を使用する場合“0”を設定してください。

注2. CSRレジスタのCSiWビット(i=0~3)を“0”にしてからCSEiWビット(i=0~3)を設定してください。

また、CSiWビットを“1”にする場合、CSEiWビットを“00₂”に戻してからCSiWビットを“1”にしてください。

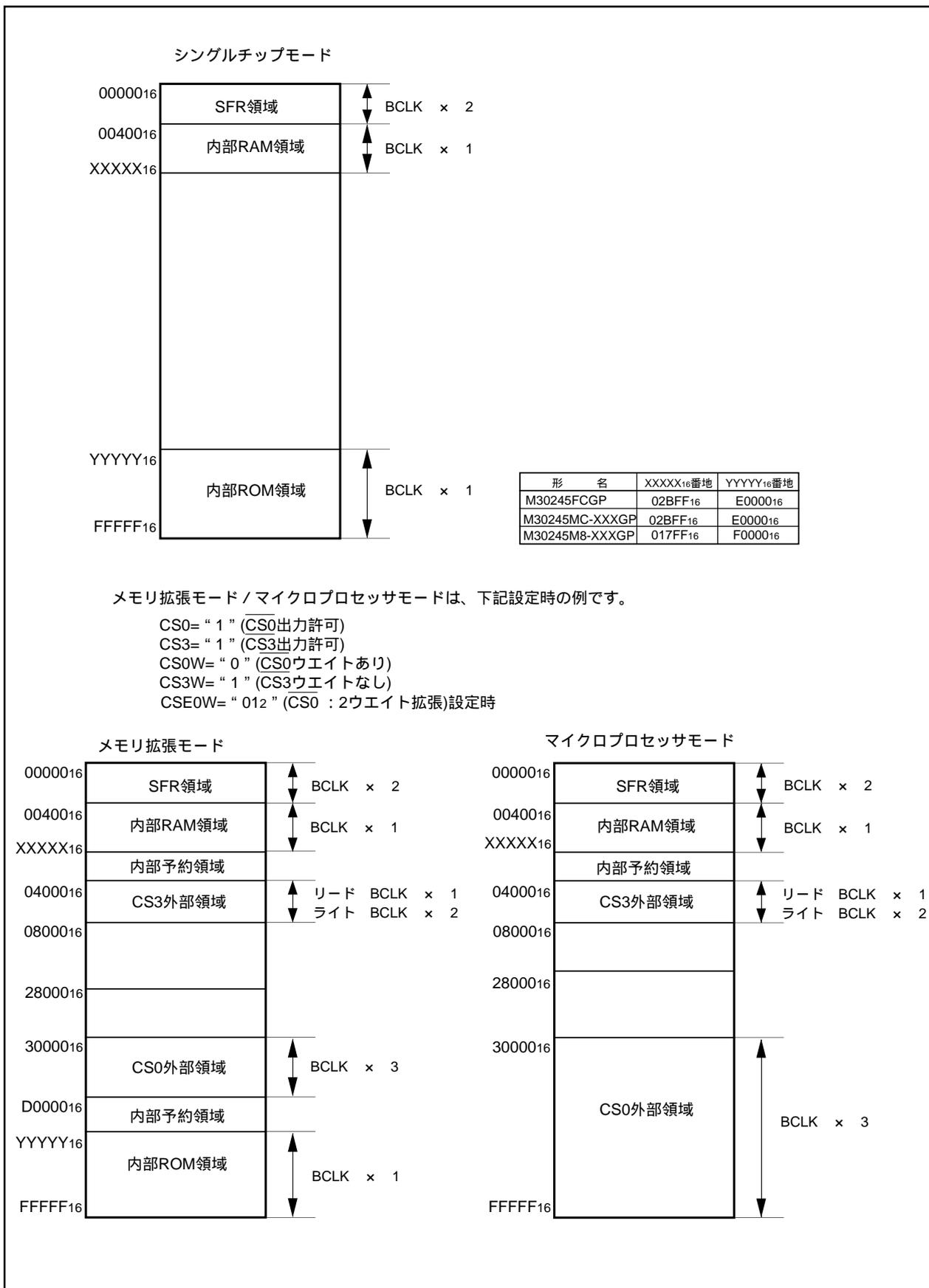


図4.4.3. 各プロセッサモードとウエイトビット(CSiW, CSiEW)の関係

(2) $\overline{\text{RDY}}$ 機能の使用

$\overline{\text{RDY}}$ 機能を使用する場合は、ソフトウェアウエイトを設定してください。

$\overline{\text{RDY}}$ 機能は、BCLK信号の立ち下がり時 $\overline{\text{RDY}}$ 端子が“L”の場合に動作し、1BCLKの間バスは変化せず、そのときの状態を保持します。

$\overline{\text{RDY}}$ 機能は、 $\overline{\text{RDY}}$ 端子が“L”の間バスの状態が保持され、BCLK信号の立ち下がり時 $\overline{\text{RDY}}$ 端子が“H”の場合に解除されます。図4.4.4に1BCLKの間バスを保持させるための $\overline{\text{RDY}}$ 回路例を示します。

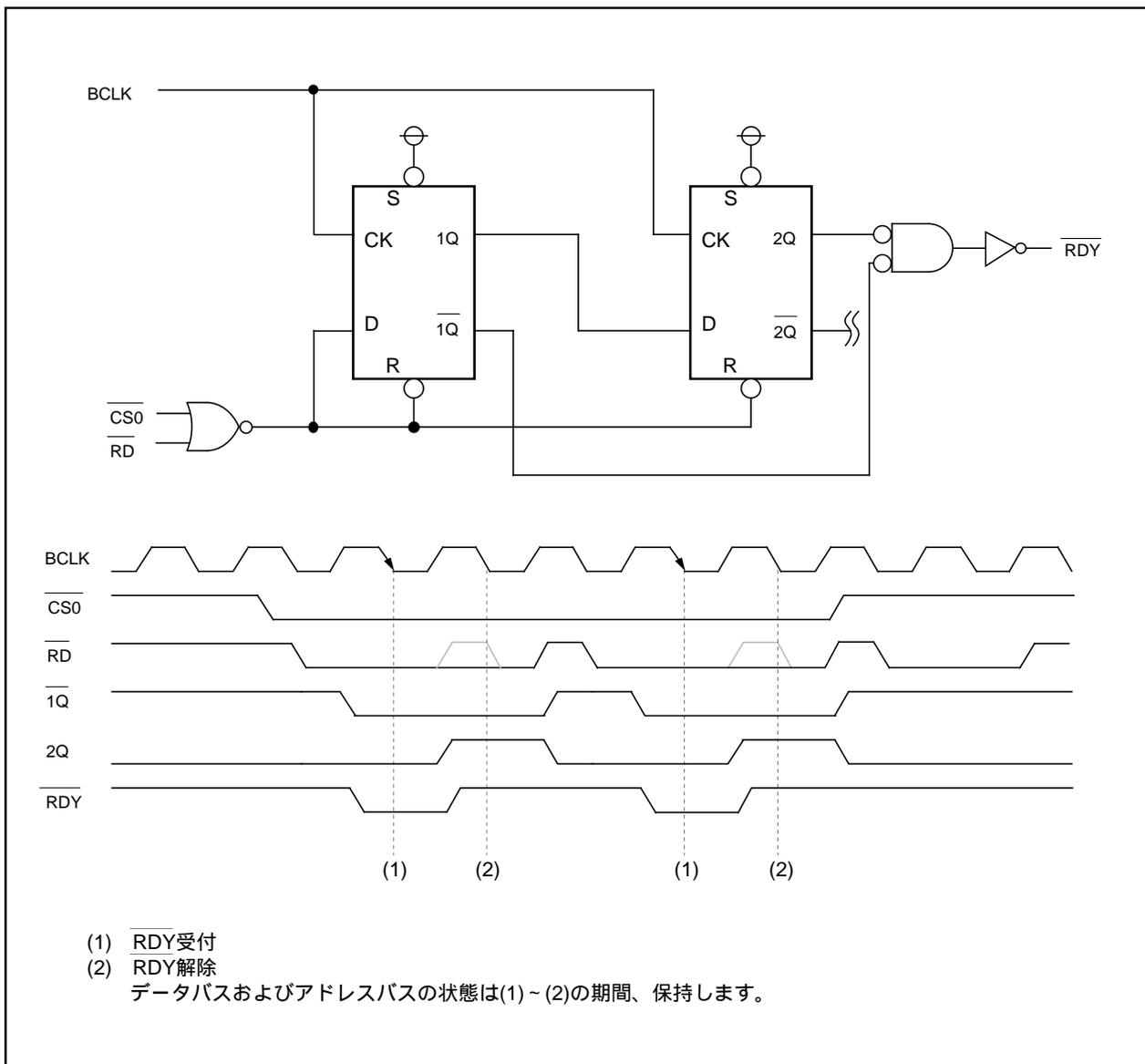


図4.4.4. 1BCLKの間バスを保持させるための $\overline{\text{RDY}}$ 回路例

4.4.3 接続可能なメモリ

接続可能なメモリとそのときの最大周波数を示します。

なお、M30245グループの最大周波数は、下記のとおりです。

Vcc = 3V時 16MHz、ノーウエイト

(1) フラッシュメモリ(リードオンリモード)

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
3.57	M5M29GB/T160BVP-80

(b)接続条件 3V、1ウエイト

最大周波数(MHz)	形 名
8.33	M5M29GB/T160BVP-80

(2) SRAM

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
5.12	M5M54R08AJ-12 M5M54R16AJ,ATP-12

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
10.0	M5M54R08AJ-12 M5M54R16AJ,ATP-12

4.5 外部バスの開放($\overline{\text{HOLD}}$ 入力と $\overline{\text{HLDA}}$ 出力)

ホールド機能とは、複数のバスマスタがアドレスバス、データバス、コントロールバスを共有する場合に、M30245グループ以外のバスマスタからのホールド要求によって、M30245グループ側のアドレスバス、データバス、コントロールバス端子を開放する機能です。ホールド機能は、マイクロプロセッサモード、メモリ拡張モード時のみ有効です。

ホールド機能を使用する順序としては、

1. $\overline{\text{HOLD}}$ 端子の入力レベルを"L"にする。
2. M30245グループがバスを開放できる状態になると、BCLKの立ち下がりのタイミングで各バスがハイインピーダンス状態になる。
3. 次のBCLKの立ち上がりのタイミングで $\overline{\text{HLDA}}$ 端子出力が"L"になる。
4. 外部のバスマスタがバスを使用する。
5. 外部のバスマスタがバスを使用し終わると、 $\overline{\text{HOLD}}$ 端子の入力レベルを"H"に戻す。
6. 次のBCLKの立ち上がりのタイミングで $\overline{\text{HLDA}}$ 端子出力が"H"になる。
7. 次のBCLKの立ち下がりのタイミングでハイインピーダンス状態から元に戻る。

上記のように、 $\overline{\text{HLDA}}$ 出力が"L"の間は必ず各バスはハイインピーダンス状態となります。

また、バスを開放できる状態とは、バスサイクル中ではないことを意味します。すなわち、バスサイクル中にホールド要求が入った場合、そのバスサイクルが終了するまで $\overline{\text{HLDA}}$ 出力は"L"になりません。

ホールド状態では、各端子の状態は、下記のようになります。

- ・アドレスバス A0 ~ A19

ハイインピーダンス状態。マイクロプロセッサモード時、メモリ拡張モード時に、A16 ~ A19をポートP40 ~ P43として使用する場合(アドレス空間64Kバイト)も該当する。

- ・データバス D0 ~ D15

ハイインピーダンス状態。マイクロプロセッサモード時、メモリ拡張モード時に、D8 ~ D15をポートP10 ~ P17として使用する場合(外部バス幅8ビット)も該当する。

- ・ $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, BHE

ハイインピーダンス状態。

- ・ALE

BCLKと同位相の内部クロックが出力される。

- ・ $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$

ハイインピーダンス状態。ただし、チップセレクト制御レジスタによって、ポートが選択されている場合も該当する。

図4.5.1に外部バスの開放例を示します。

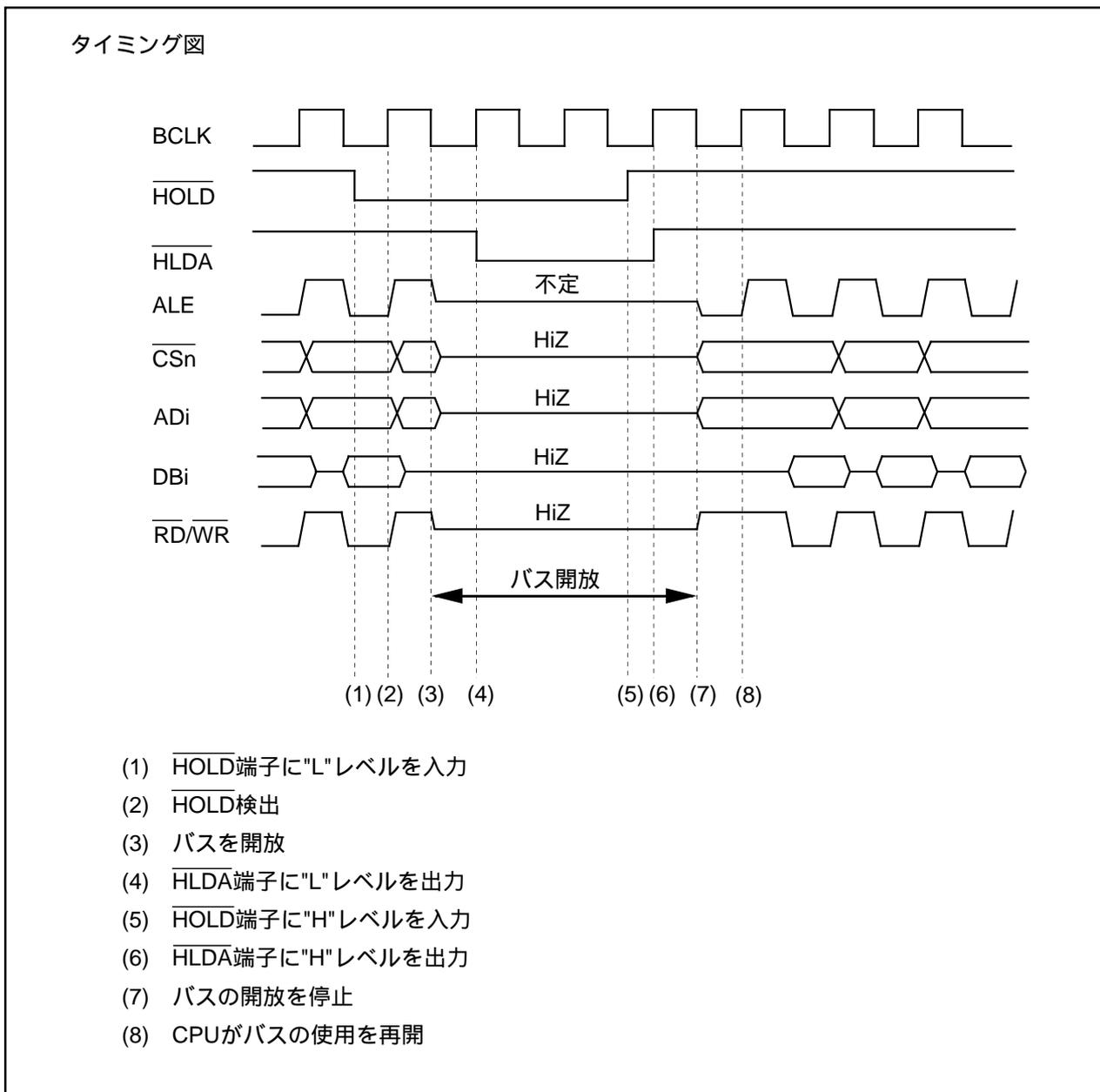


図4.5.1. 外部バスの開放例

4.6 外部バスの注意事項

内 容 メモリ拡張モードまたはマイクロプロセッサモードの状態ですエイトモードに入る場合、アドレスバスおよびデータバスとして機能している端子は、エイトモードに入る直前のバスの状態を保持します。消費電流を低減するため任意の値を出力する場合、シングルチップモードに移行することによって、バスとして機能していた端子は汎用の入出力ポートとなり、任意の値を出力することができます。このとき、シングルチップモードに移行してから、ポートレジスタおよび方向レジスタを設定してください(チップセレクトやリードなど、外部デバイスのアクセスに必要な信号として機能している端子の場合も含む)。

メモリ拡張モードまたはマイクロプロセッサモードの状態です、ポートレジスタおよび方向レジスタに設定しても無視されます。

ストップモードに入る場合も同様です。

図4.6.1にエイトモードまたはストップモードに入る設定手順を示します。

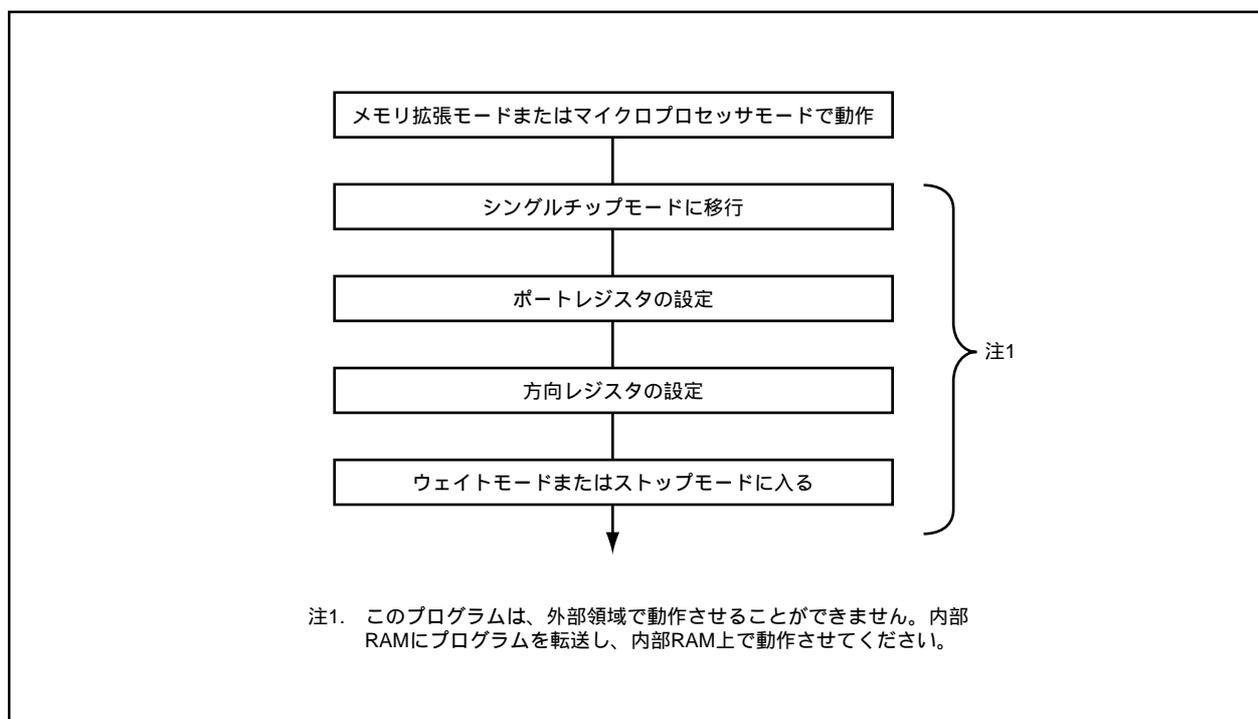


図4.6.1. ウェイトモードまたはストップモードに入る設定手順

レイアウトの都合上、このページは白紙です。

第 5 章

標準特性

5.1 DC標準特性

本節で記載している標準特性は特性例であり、保証値ではありません。保証値は「電気的特性」を参照してください。

5.1.1 ポート標準特性

図5.1.1～図5.1.4にポート標準特性を示します。

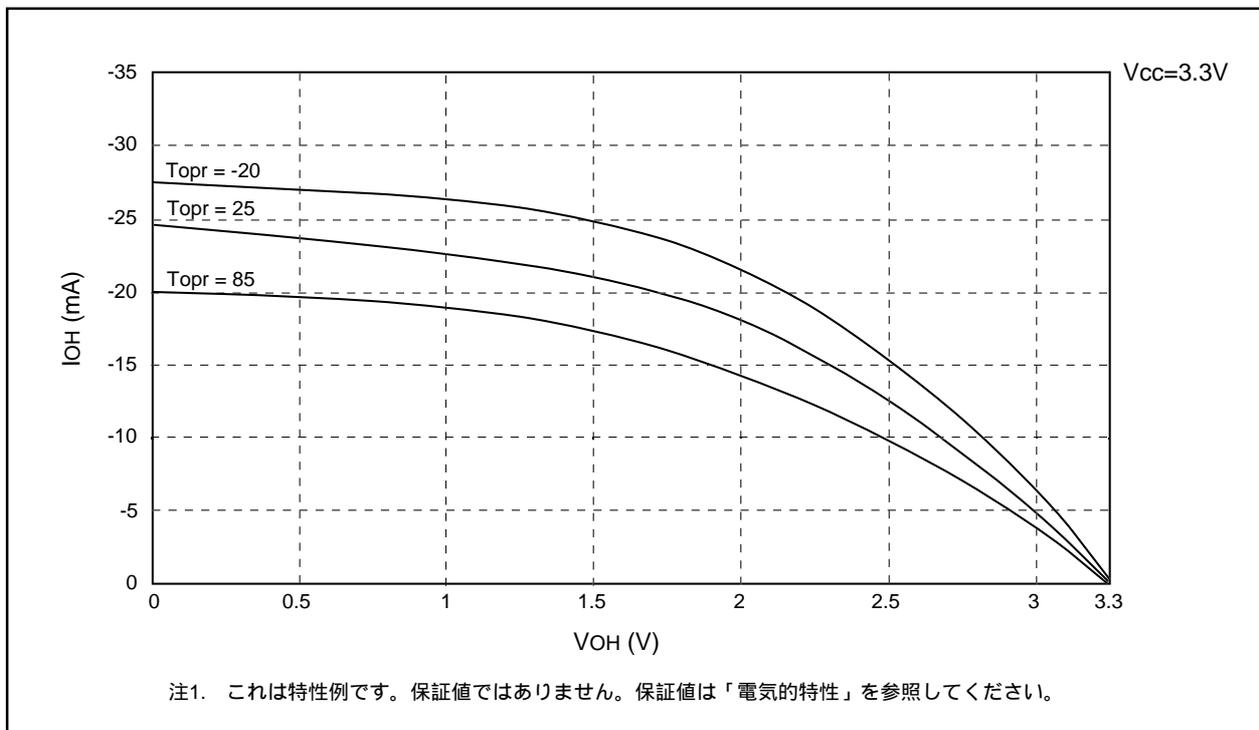


図5.1.1. ポートP0～P10 (P63,P67,P85は除く) のVOH-IoH標準特性

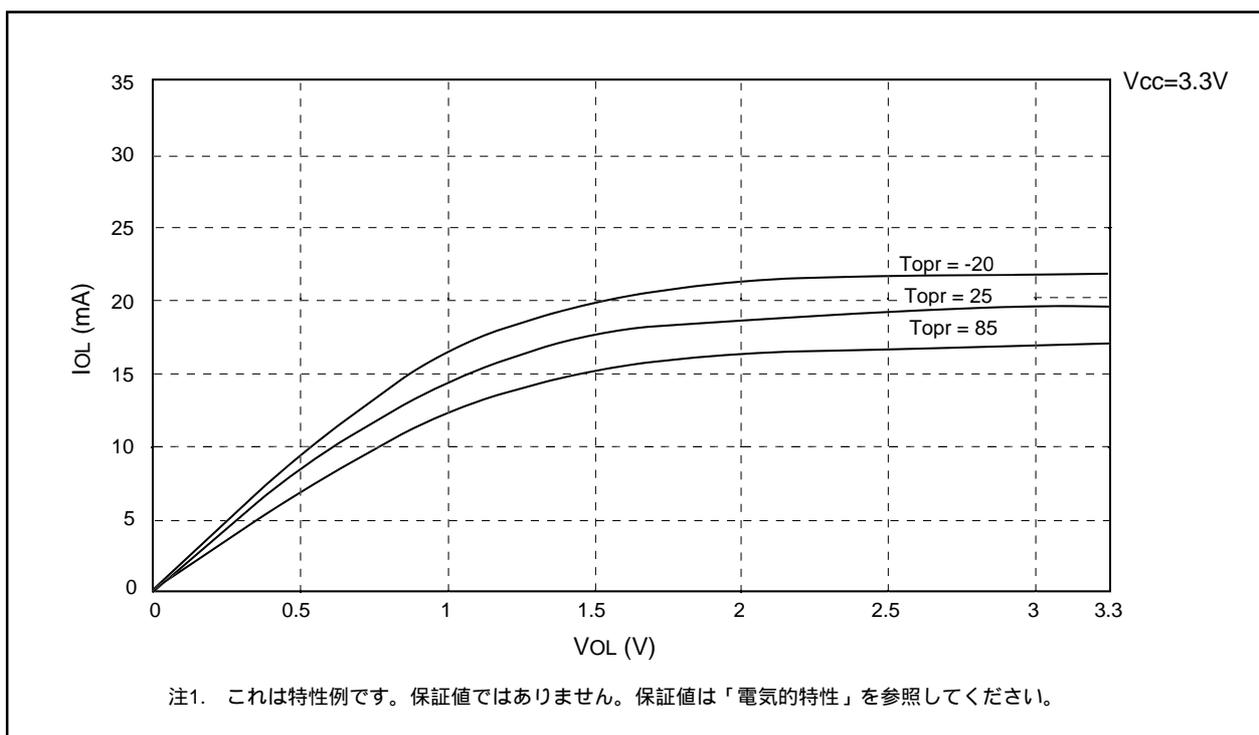


図5.1.2. ポートP0～P10 (P63,P67,P85は除く) のVOL-IoL標準特性

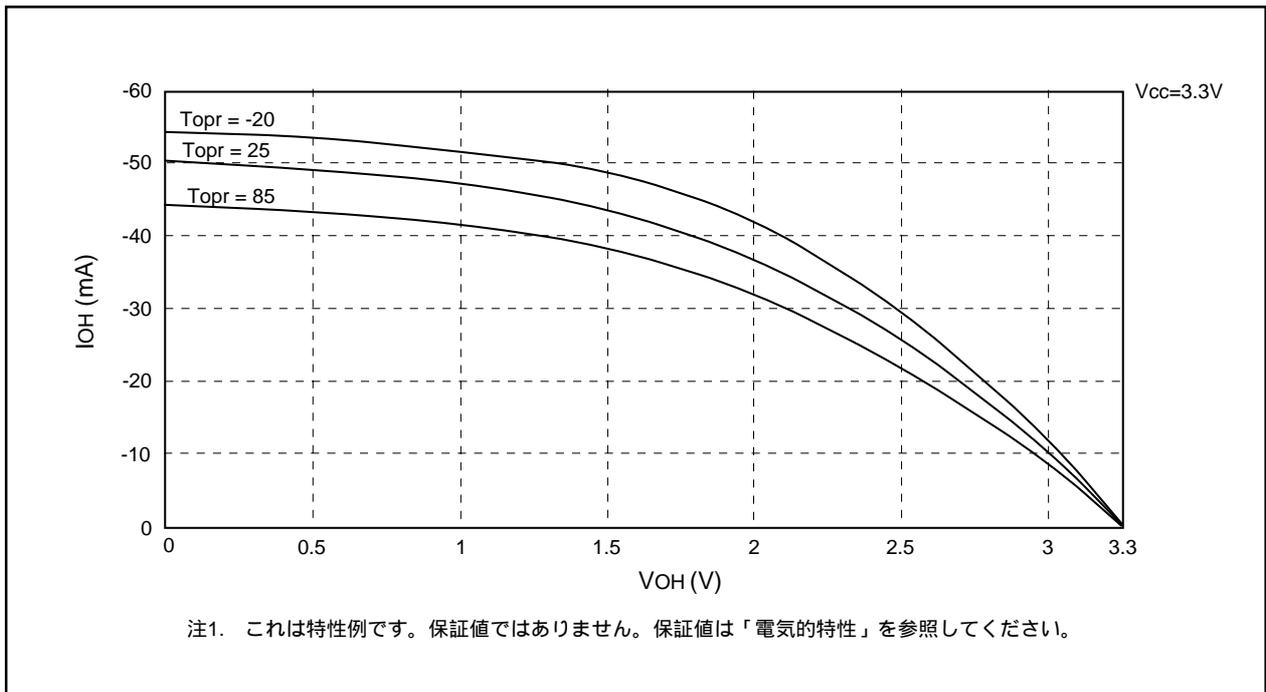


図5.1.3. ポートP63,P67のVOH-IOH標準特性

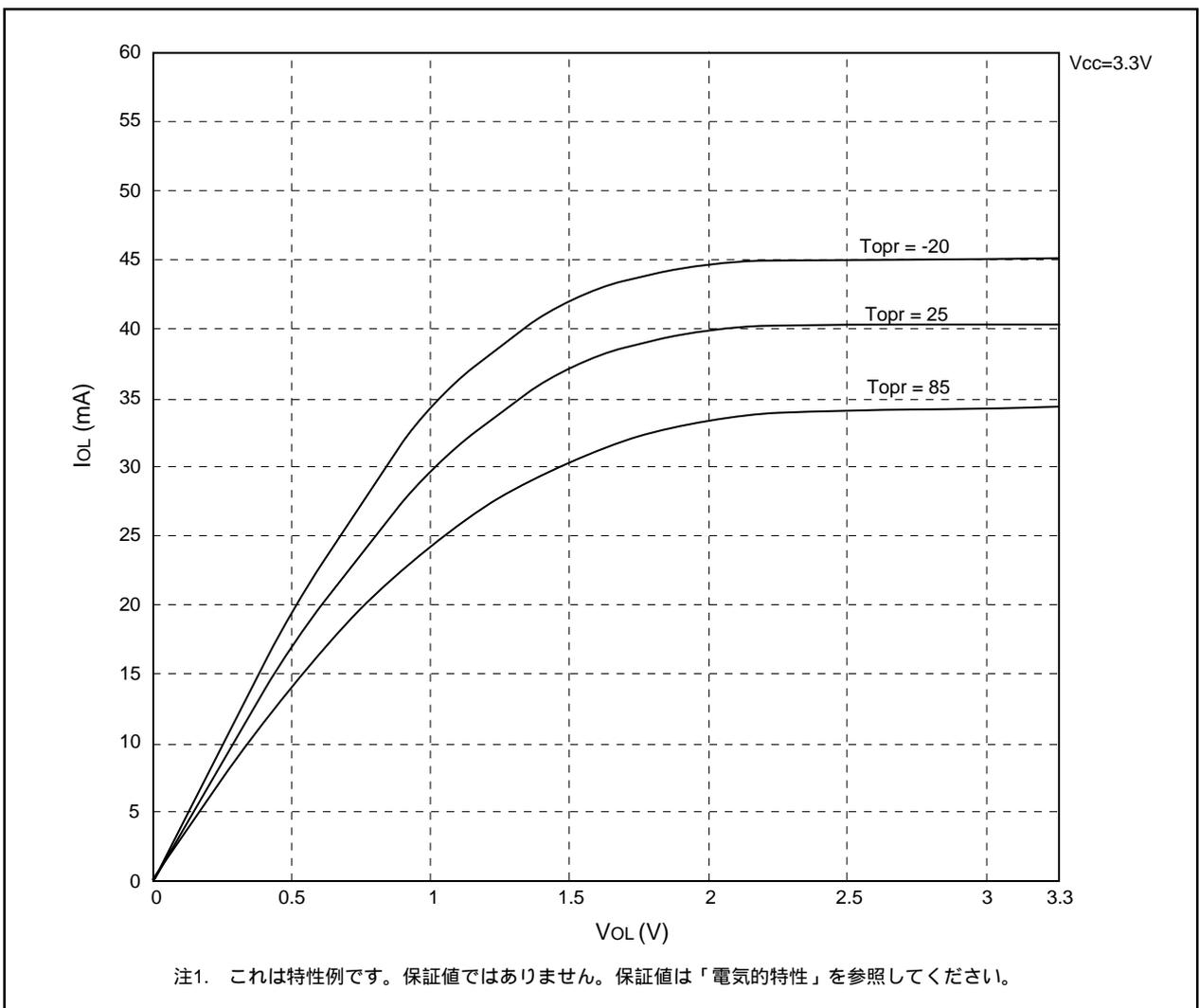


図5.1.4. ポートP63,P67,P7 (Highドライブ選択時)のVOL-IOL標準特性

5.1.2 Vcc-Icc特性

図5.1.5、図5.1.6にVcc-Icc特性を示します。

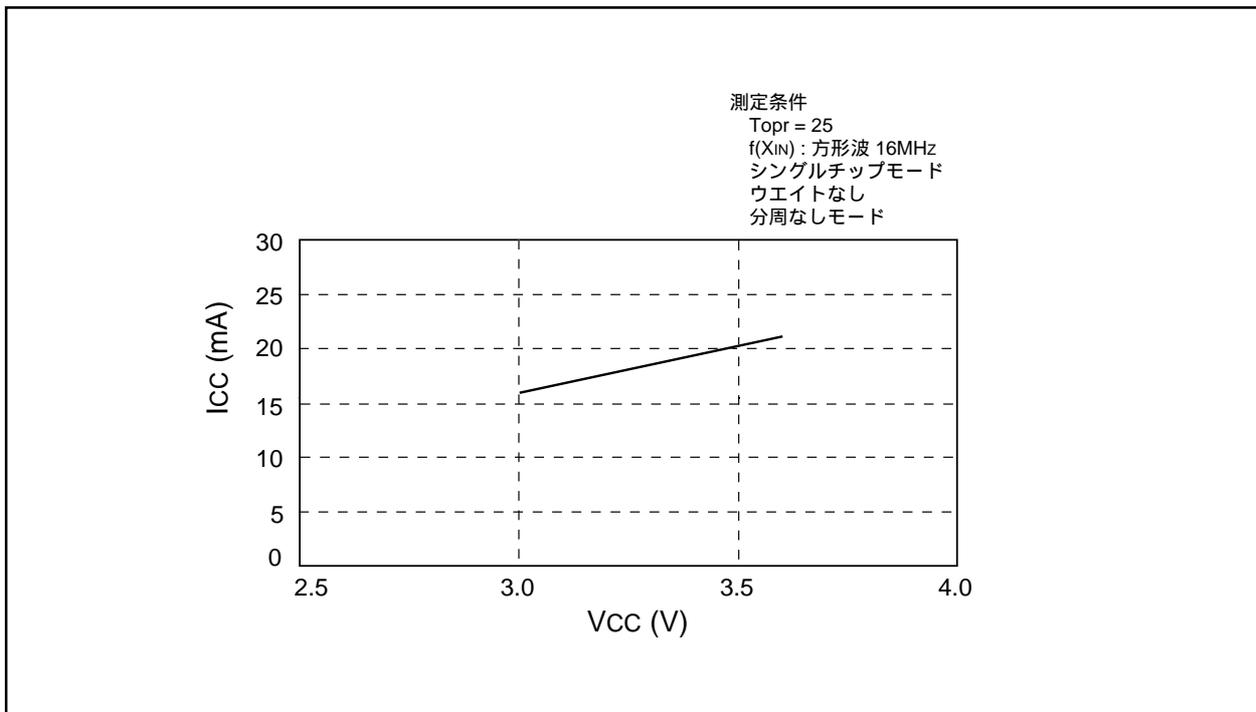


図5.1.5. Vcc-Icc特性例 (マスク版)

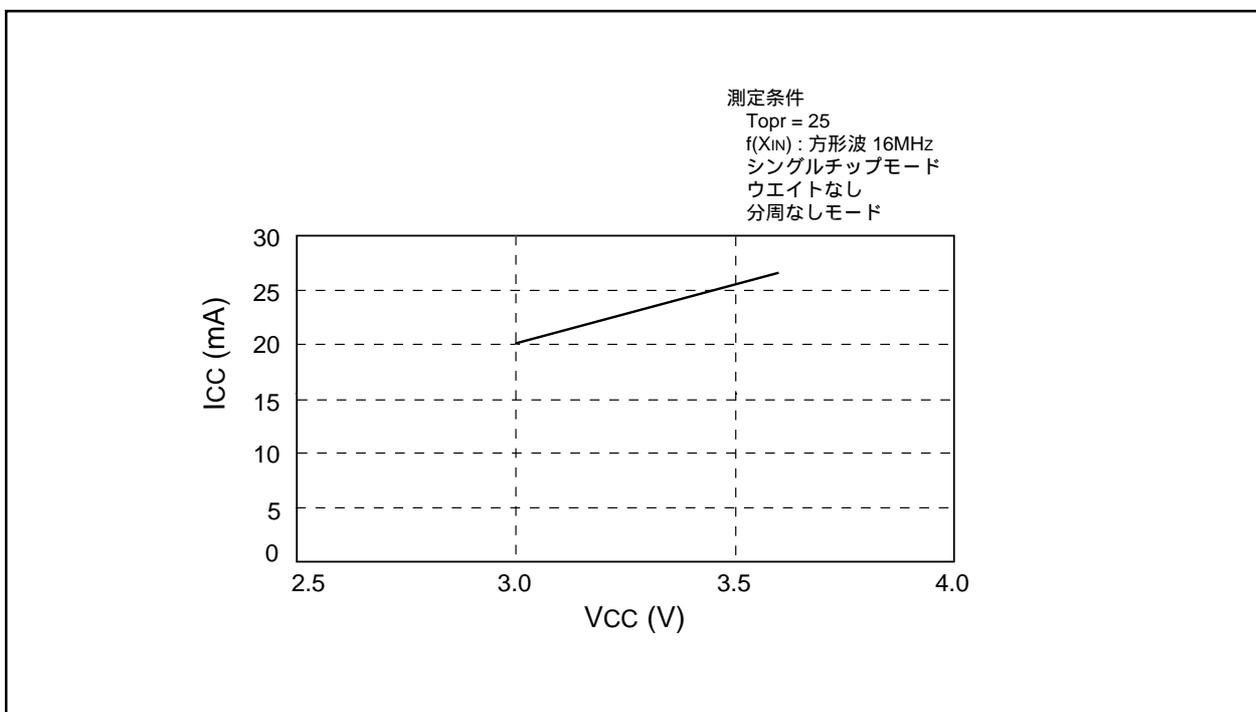


図5.1.6. Vcc-Icc特性例 (フラッシュ版)

改訂履歴

M30245 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
暫定	03/04/1	-	初版発行
1.00	04/08/1	4	図 2.1.1 : PRCR,bit3-7 を書き込み時 " 0 " に修正
		10	図 2.2.4 : UDF,bit5-7 の R を - に修正
		25	図 2.2.19 : TRGSR の設定 タイマ 2 タイマ 4 に修正
		45	エラー検知 : オーバーラン発生条件修正
		48	図 2.3.2 : UiRB の注 1 削除、ABT の W を × に修正
		49	図 2.3.3 : UiMR リセット値修正、注 3 追加
		50	図 2.3.4 : UiC0,bit5: TxDi TxDi/SDAi 及び SCLi に修正。注 2 修正、注 4 追加、 UiCi,bit7 のクロック分周化停止ビット削除、注の変更
		53	図 2.3.6 : UiC0,bit5: TxDi TxDi/SDAi 及び SCLi に修正、UiCi,bit7 修正
		56	図 2.3.8 : タイミング図修正
		57	図 2:3:9 : UiMR,bit0-2 に注文追加、UiC0,bit5: TxDi TxDi/SDAi 及び SCLi に修正、 UiCi,bit7 修正
		60	受信(3): オーバーラン発生条件修正
		62	表 2.4.3 : オーバーラン発生条件修正
		63	(3) LSB/MSB 選択機能追加
		66	図 2.4.3 : UiRB の注 1 削除、ABT の W を × に修正
		67	図 2.4.4 : UiMR リセット値修正、注 3 追加
		68	図 2.4.5 : UiC0,bit5: TxDi TxDi/SDAi 及び SCLi に修正。注 2 修正、注 4 追加、 UiCi,bit7 のクロック分周化停止ビット削除、注の変更
		72	図 2.4.8 : UiC0,bit5: TxDi TxDi/SDAi 及び SCLi に修正、UiCi,bit7 修正
		76	図 2.4.11 : UiMR に注 1 追加、UiC0,bit5: TxDi TxDi/SDAi 及び SCLi に修正、 UiCi,bit7 修正
		78	「UART モードの注意事項」項目追加
		80	図 2.4.13 : 動作例の転送クロックと TI タイミング修正
		81	図 2.4.14 : UiC0 の bit5 機能修正、UiC1 の bit7 機能修正
		85	図 2.4.17 : UiMR に注 1 追加、UiC0 の bit5 機能修正、UiC1 の bit7 機能修正
		94	図 2.5.2. : UiRB の ABT の W を に修正、注 1 削除
		95	図 2.5.3 : UiMR のリセット値不定 00 ₁₆ に修正、注 3 追加
		96	図 2.5.4 : UiC0,NCH : TxDi 端子 TxDi/SDi 及び SCLi 端子、注 2 修正、注 4 追加 UiC1,bit7 のクロック分周同期化停止ビット(SCLKSTPB)削除、注の変更
		97	図 2.5.5 : UiSMR,bit7 : クロック分周設定ビット削除、 UiSMR2,bit7 : クロック分周同期化有効ビット、注 1 削除、 UiSMR2, bit2,4,5 に注 1 追加
		98	図 2.5.6 : UiSMR3,bit5-7 BRG カウントソースのサイクル数修正、 注 4 に「遅延量は ~ 」の一文追記。
		99	図 2.5.7 : UiSMR4 bit7 に注 2 追加
		102	図 2.5.9 : UiC0 の bit5 機能修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	04/08/1	103	図 2.5.10 : UiC1 の bit7 機能修正
		105	図 2.5.11 : 動作例: (1)受信 IC 送信 IC
		106	図 2.5.12 : UiMR に注 1 追加、UiC0 の bit5 機能修正
		107	図 2.5.13 : UiC1 の bit7 機能修正
		110	図 2.5.15 : UiC0 の bit6 機能修正、UiSMR3,bit2 を 1 に修正
		111	図 2.5.16 : UiC1 の bit7 機能修正
		114	図 2.5.18 : UiMR に注 1 追加、UiC0 の bit5 機能修正、UiSMR3,bit2 を 1 に修正
		115	図 2.5.19 : UiC1 の bit7 機能修正
		116 ~	「2.6 シリアルサウンドインタフェース」追加
		127	図 2.7.3 : FSC, bit2,1 = "10" を推奨に修正
		129	図 2.7.5 : 項目追加
		130	図 2.7.7 : 項目追加
		142	図 2.8.8 : USB SAR0 ~ 3 USB DMA0 ~ 3 に修正
		144	最低 250ns 最低 187.5ns(BCLK の 3 サイクル)に修正 (2 箇所)
		148	手順 3,7 に追記、手順 8 修正
		149	図 2.8.16 : 最低 の 4 サイクルウェイトを削除
		150	図 2.8.17 : FSC,bit1,2 の推奨を高増加に修正
		151	図 2.8.18 : フロー順番修正、 の 4 サイクルウェイトを削除、注 3 修正
		159	「・SETUP_ENDフラグが“1”にセットされたとき」追加
		160	EPx IN 割り込み発生要因に「・コントロールRead 転送の最後の ACK が破損した場合」追加
		162	Artificial SOF 説明修正
		168	サスペンド制御手順 1 追記、5,6 および注を追加
		170	手順 5 削除、USB 内部レジスタの () 内を修正
		172	図 2.8.28-2 追加
		179	EP0MP の説明中、SET_DESCRIPTOR を GET_DESCRIPTOR に修正
		184	図 2.8.36 : USBA 設定内容修正
		185	図 2.8.37 : 一番下の枠内 : EP0 EP0I に修正
		199	ISO_UPDATE ビット : IN_PKT_RDY ビット SET_IN_BUF_RDY ビット
		206	注 1 : IN_BUF_RDY ビット SET_IN_BUF_RDY ビット
		211	図 2.8.48 : 真中辺り「パケットに空きあり」「IN FIFO に空きあり」
		212-214	DMA 応急要因元に EP0 ~ 4 OUT/IN FIFO の記述を EP1 ~ 4 OUT/IN FIFO に全て修正
		215	1 つ目の : 「必要に応じて USB D+ 端子と USB D- 端子の間」削除、 2 つ目 追加、3 つ目 追記
216	図 2.8.50 : コンデンサ、抵抗位置修正		
217	(2) : 2 つ目 : x=1 ~ 4 x=0 ~ 4、 3 つ目 : USB 内部レジスタの () 内修正		
218	動作クロック : fAD の 3 分周追加、表 2.9.1 修正		
221	図 2.9.2 : ADCON0, bit7 機能追加		
223 ~	表 2.9.2 ~ 表 2.9.7 : 動作クロックに fAD の 3 分周追加、 図 2.9.7, 図 2.9.9, 図 2.9.9, 図 2.9.11, 図 2.9.3, 図 2.9.16 : ADCON0, bit7、		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	04/08/1		ADCON1,bit4 機能追加
		243	出カインピーダンスR0計算結果：1.2×10 ³ 3.0×10 ³ 、R0最大1.2k 3.0k
		255	図2.11.2：CRCMR, CRC SARのリセット値修正、CRC SARに注を追加
		256	動作(1)：CRCモードレジスタのビット1 ビット0
		257	アクセス監視対象SFRに、SSインタフェース関連レジスタを追加
		262	「外部データバスを8ビットで使用している場合、外部領域に対してアドレス一致割り込みは使用できません。」追記
		266	概要：キー入力モードレジスタのビット1,2 ビット0,1
		268	図2.14.3：KUPMのbit0,1：10=両エッジ、01=立ち上がりエッジに修正
		278	発進回路駆動能力切り替え：「発振が安定した後に駆動能力を弱めることで、さらに消費電力を小さくすることができます。」削除
		280	ストップモード、ウェイトモード復帰修正
		286	発振駆動能力の切り替え：削除
		288	表2.17.1：修正
		289	表2.17.3：AVss, VREF, USB D+, USB D-, LPF, VbusDTCT,注6を追加
		291	図2.17.2：PCRのb1-b3にANDフラッシュ関連ビットを追加
		292	図2.17.3：PD9のリセット値修正
		299	図3.1.3：TA0MR,b3,b4：TA0OUT TA0IN
		303	図3.2.3：TA0MR,b3,b4：TA0OUT TA0IN
		310	図3.4.2：TA0MR,b3,b4：TA0OUT TA0IN
		312	図3.5.1：TABSRのb7-b5を×
		317	動作(7)：DMA許可ビットが1に 0に
		318	図3.7.1：転送先エリア 転送元エリア
321	図3.7.4：一番上枠内の文修正		
322	動作(3)：「DMAを許可し」削除、動作(5)：DMA 許可ビットが“1” “0”		
335～	「第4章 外部バス」、「第5章 標準特性」を追加		
2.00	06/10/03	11	図2.2.5 ワンショット開始フラグ 注3 追加
		28	2.2.10 削除
		39	2.2.14 (3) 削除
		76	図2.4.13 注3 追加
		122	2.6.3 追加
		169	図2.8.28-2 図2.8.29 変更
		212	2.8.9 (1) USB 通信 追加
		213	図2.8.51 変更
		281	図2.16.5 変更
		282	図2.16.6 変更
		283	2.16.4 (3) 変更、(4) 追加
		284	(6) メモリ拡張、マイクロプロセッサ 追加
		303	3.3 削除
		324	図3.8.4 変更

M30245グループユーザズマニュアル

発行年月日 2002年4月1日 初版 (暫定版)
2006年10月3日 Rev. 2.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.

M30245 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0010-0200