

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ  
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 概要

M16C/70グループは高性能シリコンゲートCMOSプロセスを採用し、M16C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータです。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

## 特長

メモリ容量 .....	ROM : 516Kバイト、772Kバイト RAM : 8Kバイト、12Kバイト
最短命令実行時間 .....	29.4ns( f(BCLK) = 34MHz時 )
電源電圧 .....	V <sub>CC</sub> = 3.3V ± 0.3V FV <sub>CC</sub> = 5V ± 0.5V(フラッシュメモリ用電源電圧)
低消費電流 .....	34mA( f(BCLK) = 34MHz時、CPU動作時 )
割り込み .....	ノンマスクابل : ソフトウェア4要因、ハードウェア2要因 マスクابل(7レベル) : 内部17要因、外部6要因
多機能16ビットタイマ .....	8本
シリアルI/O .....	UART / クロック同期2本
DMAC .....	4チャンネル(スタート条件 : 16要因)
A-D変換器 .....	10ビット × 8チャンネル
D-A変換器 .....	8ビット × 3チャンネル
監視タイマ .....	1本
プログラマブル入出力ポート .....	85本
メモリ拡張 .....	可能(16Mバイト)
チップセレクト出力 .....	4本
クロック発生回路 .....	内蔵 帰還抵抗内蔵、セラミック共振子、又は水晶共振子外付け)
PLL周波数変換回路 .....	2 ~ 5通倍と2, 4分周の組み合わせ
入出力特性 .....	入出力耐電圧 : 3.3V 出力電流 : 5mA
動作周囲温度 .....	- 20 ~ 85

本仕様書はできる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

## 応用

PDP、DVDプレーヤ、OA機器、光ディスク、他

## - 目次 -

1. ピン接続図 .....	2	10.3 監視タイマ .....	22
2. 機能ブロック図 .....	3	10.4 DMAC .....	23
3. 端子の機能説明 .....	4	10.5 タイマA .....	25
4. 中央演算処理装置( CPU ) .....	7	10.6 タイマB .....	30
5. メモリ配置 .....	8	10.7 シリアルI/O .....	32
6. リセット .....	13	10.8 A-D変換器 .....	36
7. プロセッサモード .....	14	10.9 D-A変換器 .....	37
7.1 外部デバイスのアクセスに使用する端子 ...	14	10.10 プログラマブル入出力ポート .....	38
7.2 チップセレクト .....	16	11. フラッシュメモリ .....	40
8. クロック発生回路 .....	18	11.1 CPU書き換えモード .....	42
9. ストップモード、ウエイトモード .....	19	11.2 シリアル入出力モード .....	43
10. 周辺機能 .....	20	11.3 パラレル入出力モード .....	44
10.1 割り込み .....	20	12. M16C/70電気的特性 .....	45
10.2 キー入力割り込み .....	22		

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

# 1. ピン接続図

## 1. ピン接続図

図1.1.1にピン接続図(上面図)を示します。

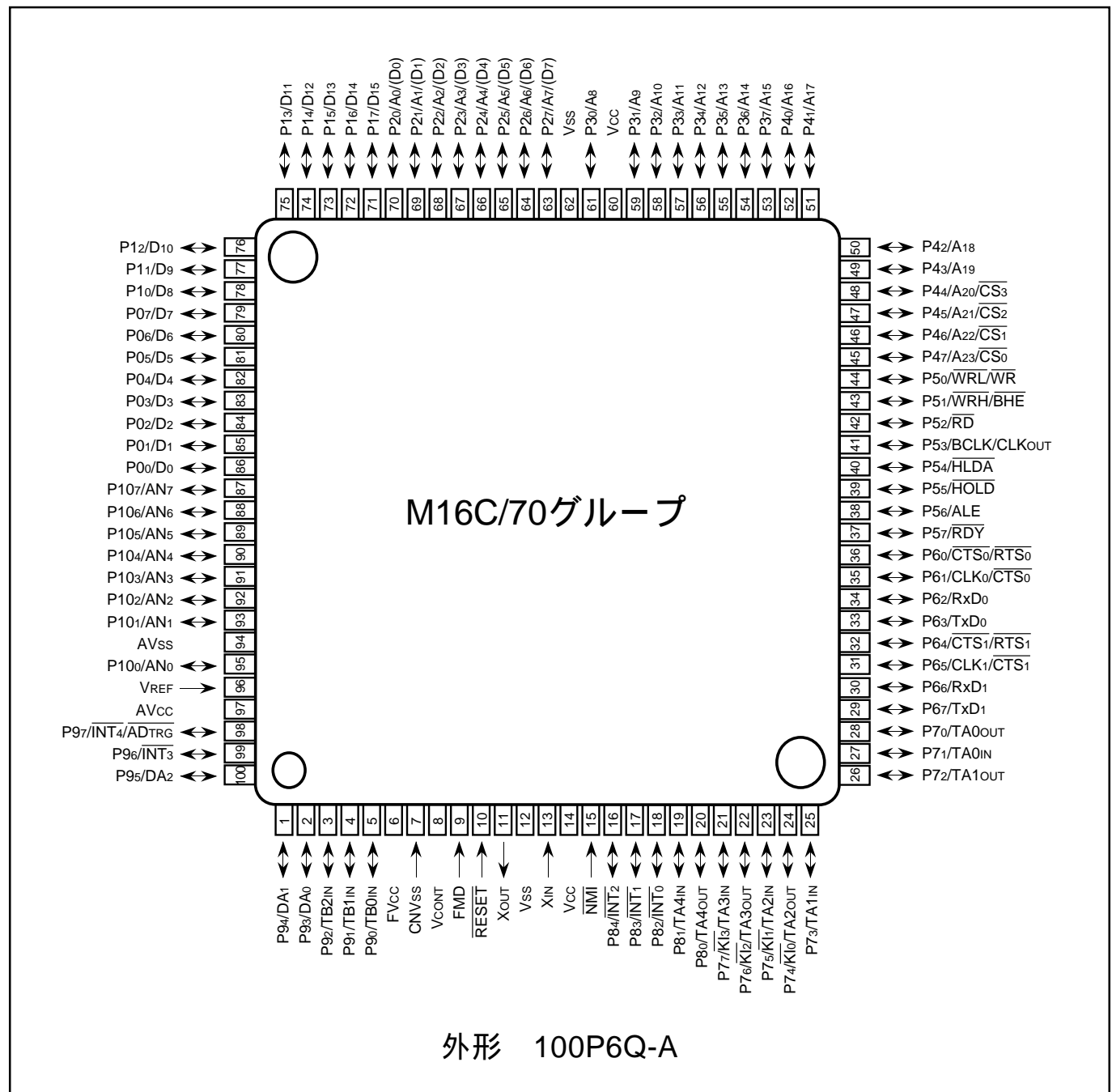


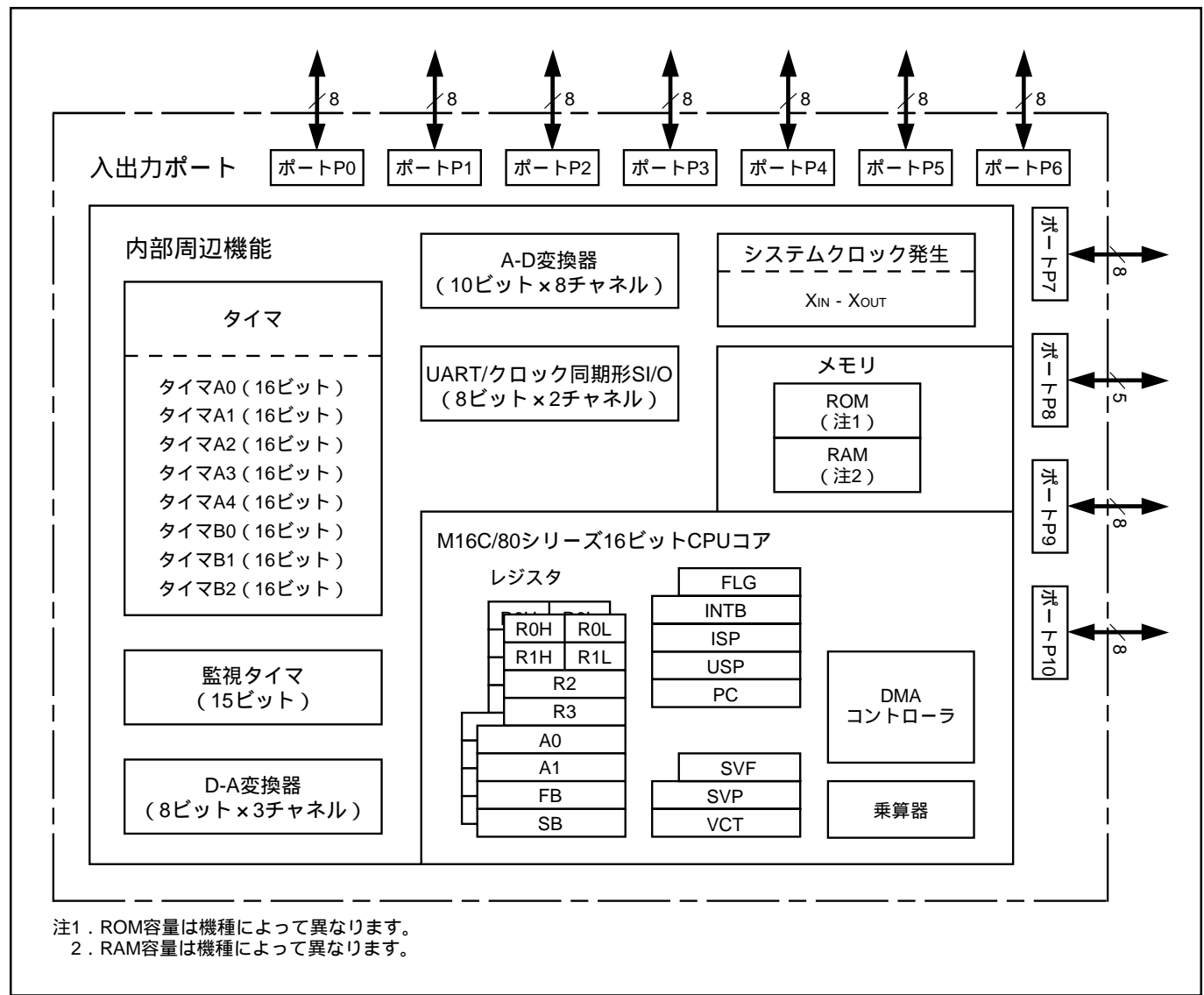
図1.1.1 ピン接続図(上面図)

本製品は開発品ですので後日規格等を変更する場合があります

2. 機能ブロック図

2. 機能ブロック図

図2.1.1にM16C/70グループ機能ブロック図を示します。



注1. ROM容量は機種によって異なります。  
注2. RAM容量は機種によって異なります。

図2.1.1 M16C/70グループ機能ブロック図

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ  
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

### 3. 端子の機能説明

#### 3. 端子の機能説明

端子名	名称	入出力	機能
V <sub>CC</sub> 、V <sub>SS</sub>	電源入力		V <sub>CC</sub> 端子には3.3V ± 0.3V、V <sub>SS</sub> 端子には0Vを印加してください。
FV <sub>CC</sub>	フラッシュメモリ用電源入力		この端子には5V ± 0.5Vを印加してください。FV <sub>CC</sub> 端子とV <sub>SS</sub> 端子の間には、0.1 μF程度(参考値)のバイパスコンデンサを挿入してください。
CNV <sub>SS</sub>	CNV <sub>SS</sub>	入力	V <sub>SS</sub> に接続してください。
FMD	FMD	入力	V <sub>SS</sub> に接続してください。
RESET	リセット入力	入力	この端子に“L”レベルを入力すると、マイクロコンピュータはリセット状態になります。
X <sub>IN</sub>	クロック入力	入力	クロック発生回路の入出力端子です。X <sub>IN</sub> 端子とX <sub>OUT</sub> 端子の間にはセラミック共振子、又は水晶共振子を接続してください。
X <sub>OUT</sub>	クロック出力	出力	外部で生成したクロックを入力する場合は、X <sub>IN</sub> 端子から外部で生成したクロックを入力し、X <sub>OUT</sub> 端子は開放してください。
NMI	NMI割り込み入力	入力	NMI割り込みの入力端子です。RESET端子のレベルが“L”の期間及びリセット後はプルアップされます。プルアップはソフトウェアで解除できます。
V <sub>CONT</sub>	フィルタ回路接続		PLL周波数変換回路を使用する場合は、この端子にフィルタ回路を接続してください。
AV <sub>CC</sub>	アナログ電源入力		A-D変換器の電源入力端子です。V <sub>CC</sub> に接続してください。
AV <sub>SS</sub>			A-D変換器及びD-A変換器の電源入力端子です。V <sub>SS</sub> に接続してください。
V <sub>REF</sub>	基準電圧入力	入力	A-D変換器及びD-A変換器の基準電圧入力端子です。
P0 <sub>0</sub> ~ P0 <sub>7</sub>	入出力ポートP0	入出力	【シングルチップモード時】 CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、端子ごとに入力、又は出力ポートに設定できます。
D0 ~ D7		入出力	【メモリ拡張モード時】 データの下位8ビット(D0 ~ D7)を入出力します。 すべてのCS <sub>i</sub> 領域でマルチプレックスバスを選択している場合、ソフトウェアで選択することによって、入出力ポートとして機能します。
P1 <sub>0</sub> ~ P1 <sub>7</sub>	入出力ポートP1	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
D8 ~ D15		入出力	【メモリ拡張モード時】 データの上位8ビット(D8 ~ D15)を入出力します。 すべてのCS <sub>i</sub> 領域でデータバス幅8ビットを選択している場合、P0と同等の機能を持つ入出力ポートとして機能します。
P2 <sub>0</sub> ~ P2 <sub>7</sub>	入出力ポートP2	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
A0 ~ A7		入出力	【メモリ拡張モード時】 アドレスの下位8ビット(A0 ~ A7)を出力します。 マルチプレックスバス選択時、設定された領域をアクセスすると、アドレス出力(A0 ~ A7)とデータ入出力(D0 ~ D7)を時分割で行います。

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

### 3. 端子の機能説明

端子名	名称	入出力	機能
P3 <sub>0</sub> ~ P3 <sub>7</sub>	入出力ポートP3	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
A <sub>8</sub> ~ A <sub>15</sub>		出力	【メモリ拡張モード時】 アドレスの中位8ビット(A <sub>8</sub> ~ A <sub>15</sub> )を出力します。 また、ソフトウェアで選択することによって、P0と同等の機能を持つ8ビット入出力ポートとしても機能します。
P4 <sub>0</sub> ~ P4 <sub>7</sub>	入出力ポートP4	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
A <sub>16</sub> ~ A <sub>23</sub>		出力	【メモリ拡張モード時】 アドレスの上位8ビット(A <sub>16</sub> ~ A <sub>23</sub> )を出力します。 A <sub>20</sub> ~ A <sub>23</sub> は、ソフトウェアの設定によって、CS <sub>3</sub> ~ CS <sub>0</sub> としても機能します。 また、ソフトウェアで選択することによって、P0と同等の機能を持つ8ビット入出力ポートとしても機能します。
P5 <sub>0</sub> ~ P5 <sub>7</sub>	入出力ポートP5	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、P5 <sub>3</sub> はクロック出力端子CLK <sub>OUT</sub> としても機能します。
WRL/WR WRH/BHE RD P5 <sub>3</sub> ~ P5 <sub>7</sub>		出力 出力 出力 入出力	【メモリ拡張モード時】 P5 <sub>0</sub> はWRL/WR端子、P5 <sub>1</sub> はWRH/BHE端子、P5 <sub>2</sub> はRD端子として機能します。これらの端子はソフトウェアでWRL, WRH, RD端子、又はWR, BHE, RD端子のいずれかの機能の組み合わせを選択できます。RDが“L”レベルのとき、マイクロコンピュータはデータ、命令コードの読み出しを行います。 WRL, WRH選択時 WRLが“L”レベルのとき、マイクロコンピュータは偶数番地にデータの書き込みを行います。WRHが“L”レベルのとき、マイクロコンピュータは奇数番地にデータの書き込みを行います。 すべてのCS <sub>i</sub> 領域でデータバス幅8ビットを選択している場合、WRHはP0と同等の機能を持つ入出力ポートとして機能します。 WR, BHE選択時 WRが“L”レベルのとき、マイクロコンピュータはデータの書き込みを行います。奇数番地をアクセスした場合BHEが“L”レベルになります。すべてのCS <sub>i</sub> 領域でデータバス幅8ビットを選択している場合、BHEはP0と同等の機能を持つ入出力ポートとして機能します。 P5 <sub>3</sub> はCLK <sub>OUT</sub> 出力端子、P5 <sub>4</sub> はHLDA端子、P5 <sub>5</sub> はHOLD端子、P5 <sub>6</sub> はALE端子、P5 <sub>7</sub> はRDY端子として機能します。 CLK <sub>OUT</sub> 端子はシステムクロックBCLK、f <sub>8</sub> 、又はf <sub>32</sub> のうちから選択したクロックを出力します。HOLD端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。 リセット時、HOLD端子にはV <sub>CC</sub> レベルを印加してください。 HLDAはマイクロコンピュータがホールド状態になったとき“L”レベルを出力し、ホールド状態であることを外部に知らせます。 これらの端子は、ソフトウェアで選択することによって、P0と同等の機能を持つ入出力ポートとしても機能します。



本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

### 3. 端子の機能説明

端子名	名称	入出力	機能
P6 <sub>0</sub> ~ P6 <sub>7</sub>	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、シリアルI/Oの入出力端子として機能します。
P7 <sub>0</sub> ~ P7 <sub>7</sub>	入出力ポートP7	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、タイマA0 ~ A3の入出力端子、又はキー入力割り込みの入力端子としても機能します。
P8 <sub>0</sub> ~ P8 <sub>4</sub>	入出力ポートP8	入出力	P0と同等の機能を持つ5ビット入出力ポートです。 ソフトウェアで選択することによって、タイマA4の入出力端子、又は外部割り込みの入力端子としても機能します。
P9 <sub>0</sub> ~ P9 <sub>7</sub>	入出力ポートP9	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、タイマB0 ~ B2の入力端子、DA <sub>0</sub> ~ DA <sub>2</sub> の出力端子、 $\overline{INT}_3$ 、 $\overline{INT}_4$ 、又はAD <sub>TRG</sub> 入力端子としても機能します。
P10 <sub>0</sub> ~ P10 <sub>7</sub>	入出力ポートP10	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、A-D変換器の入力端子としても機能します。

本製品は開発品ですので後日  
規格等を変更する場合があります

#### 4. 中央演算処理装置(CPU)

#### 4. 中央演算処理装置(CPU)

中央演算処理装置(以下CPUと称す)には図4.1.1に示す28個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個は2セット(2レジスタバンク)あります。

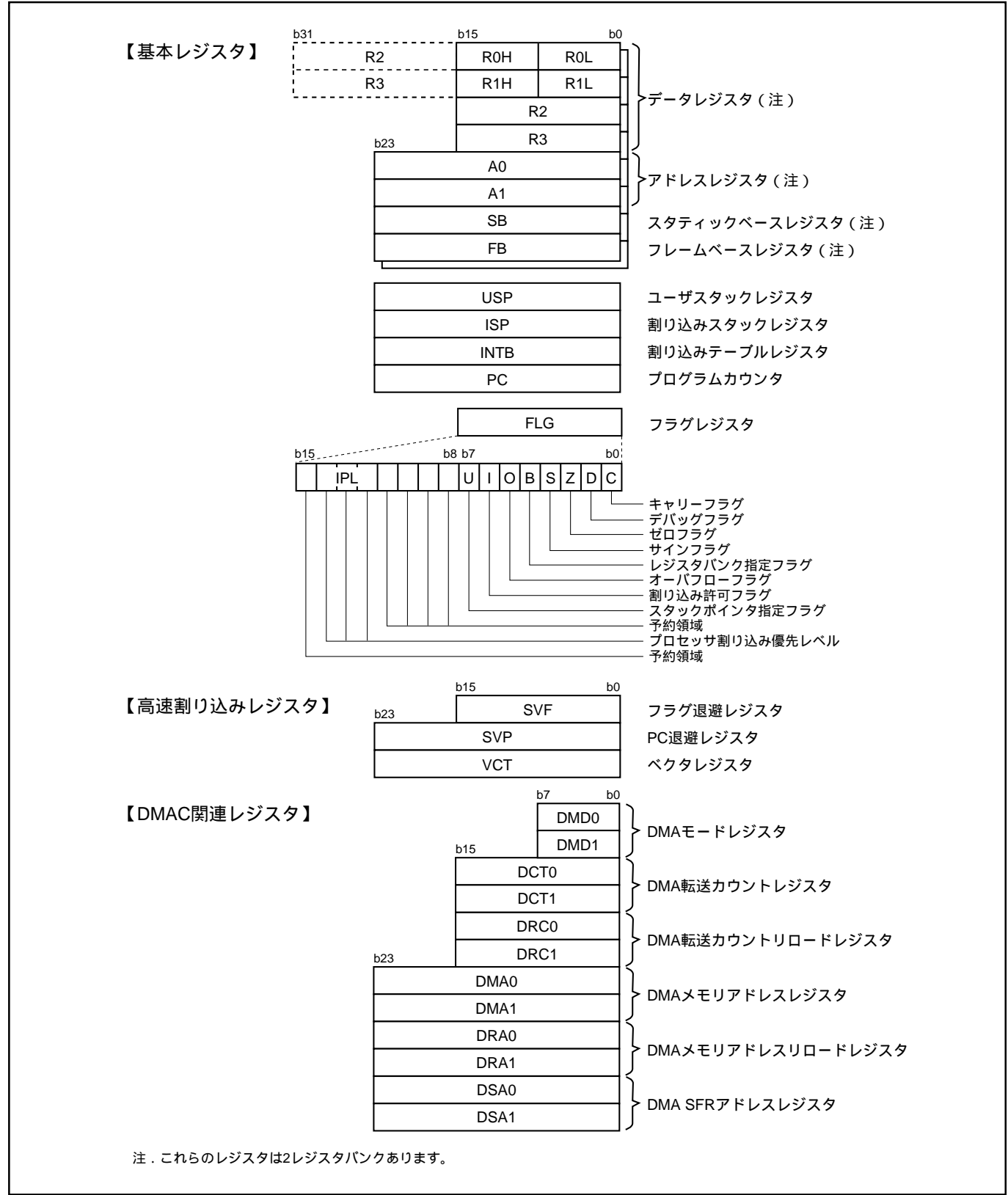


図4.1.1 CPUのレジスタ構成

本製品は開発品ですので後日  
規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

5. メモリ配置

5. メモリ配置

図5.1.1にM16C/70グループのメモリ配置を示します。

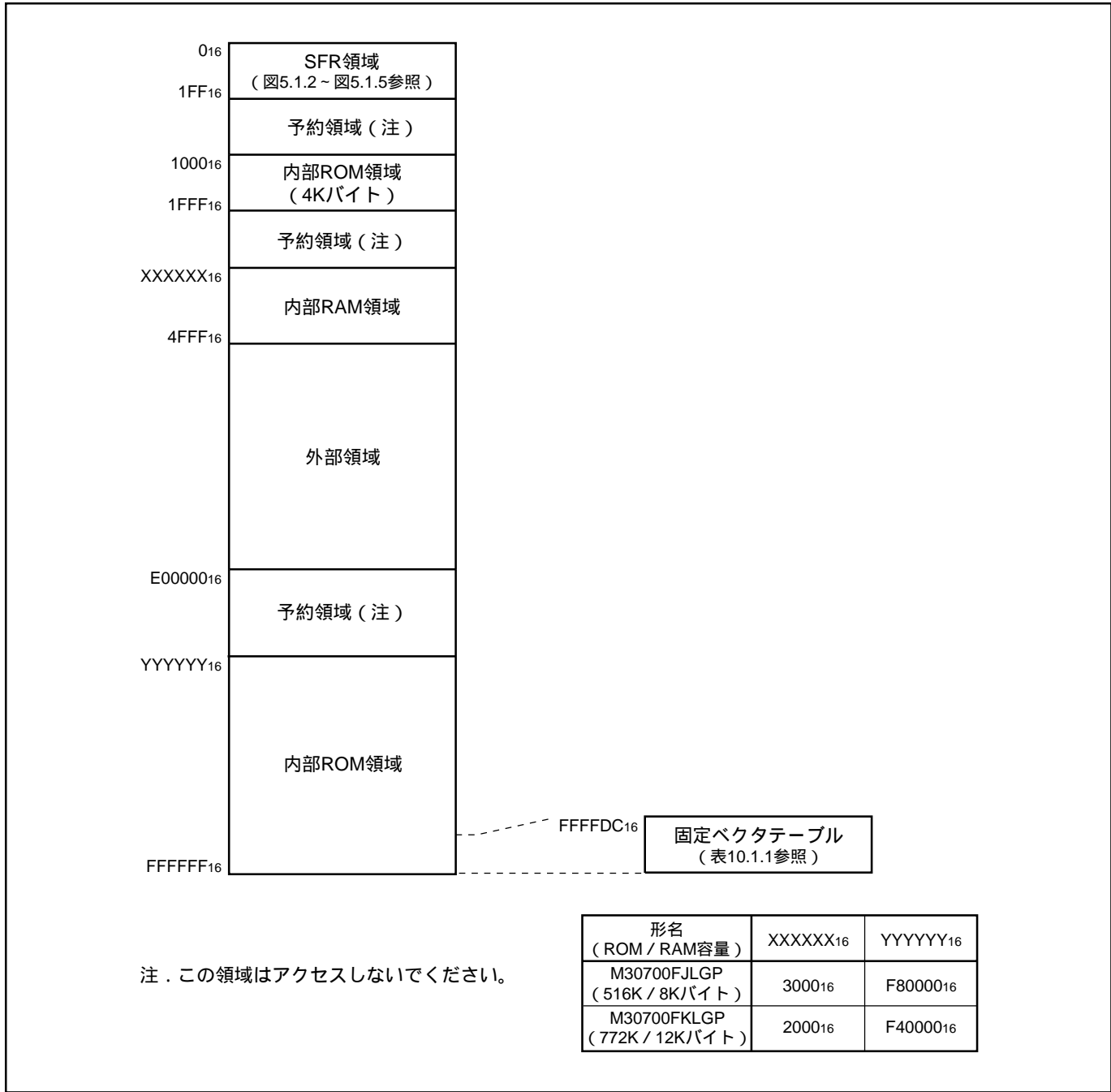


図5.1.1 M16C/70グループのメモリ配置

本製品は開発品ですので後日規格等を変更する場合があります

5. メモリ配置

0000 <sub>16</sub>	(注)	0040 <sub>16</sub>	(注)
0001 <sub>16</sub>	(注)	0041 <sub>16</sub>	(注)
0002 <sub>16</sub>	(注)	0042 <sub>16</sub>	(注)
0003 <sub>16</sub>	(注)	0043 <sub>16</sub>	(注)
0004 <sub>16</sub>	プロセッサモードレジスタ0 (PM0)	0044 <sub>16</sub>	(注)
0005 <sub>16</sub>	プロセッサモードレジスタ1 (PM1)	0045 <sub>16</sub>	(注)
0006 <sub>16</sub>	システムクロック制御レジスタ0 (CM0)	0046 <sub>16</sub>	(注)
0007 <sub>16</sub>	システムクロック制御レジスタ1 (CM1)	0047 <sub>16</sub>	(注)
0008 <sub>16</sub>	(注)	0048 <sub>16</sub>	PLL制御レジスタ0 (PLC0)
0009 <sub>16</sub>	(注)	0049 <sub>16</sub>	(注)
000A <sub>16</sub>	プロテクトレジスタ (PRCR)	004A <sub>16</sub>	(注)
000B <sub>16</sub>	(注)	004B <sub>16</sub>	(注)
000C <sub>16</sub>	メインクロック分周レジスタ (MCD)	004C <sub>16</sub>	(注)
000D <sub>16</sub>	(注)	004D <sub>16</sub>	(注)
000E <sub>16</sub>	監視タイマスタートレジスタ (WDTS)	004E <sub>16</sub>	(注)
000F <sub>16</sub>	監視タイマ制御レジスタ (WDC)	004F <sub>16</sub>	(注)
0010 <sub>16</sub>	(注)	0050 <sub>16</sub>	監視タイマ禁止レジスタ (WDDS)
0011 <sub>16</sub>	(注)	0051 <sub>16</sub>	(注)
0012 <sub>16</sub>	(注)	0052 <sub>16</sub>	(注)
0013 <sub>16</sub>	(注)	0053 <sub>16</sub>	(注)
0014 <sub>16</sub>	(注)	0054 <sub>16</sub>	(注)
0015 <sub>16</sub>	(注)	0055 <sub>16</sub>	フラッシュメモリ制御レジスタ1 (FMR1)
0016 <sub>16</sub>	(注)	0056 <sub>16</sub>	(注)
0017 <sub>16</sub>	(注)	0057 <sub>16</sub>	フラッシュメモリ制御レジスタ0 (FMR0)
0018 <sub>16</sub>	(注)	0058 <sub>16</sub>	(注)
0019 <sub>16</sub>	(注)	0059 <sub>16</sub>	(注)
001A <sub>16</sub>	(注)	005A <sub>16</sub>	(注)
001B <sub>16</sub>	(注)	005B <sub>16</sub>	(注)
001C <sub>16</sub>	(注)	005C <sub>16</sub>	(注)
001D <sub>16</sub>	(注)	005D <sub>16</sub>	(注)
001E <sub>16</sub>	(注)	005E <sub>16</sub>	(注)
001F <sub>16</sub>	(注)	005F <sub>16</sub>	(注)
0020 <sub>16</sub>	(注)	0060 <sub>16</sub>	(注)
0021 <sub>16</sub>	(注)	0061 <sub>16</sub>	(注)
0022 <sub>16</sub>	(注)	0062 <sub>16</sub>	(注)
0023 <sub>16</sub>	(注)	0063 <sub>16</sub>	(注)
0024 <sub>16</sub>	(注)	0064 <sub>16</sub>	(注)
0025 <sub>16</sub>	(注)	0065 <sub>16</sub>	(注)
0026 <sub>16</sub>	(注)	0066 <sub>16</sub>	(注)
0027 <sub>16</sub>	(注)	0067 <sub>16</sub>	(注)
0028 <sub>16</sub>	(注)	0068 <sub>16</sub>	DMA0割り込み制御レジスタ (DM0IC)
0029 <sub>16</sub>	(注)	0069 <sub>16</sub>	(注)
002A <sub>16</sub>	(注)	006A <sub>16</sub>	DMA2割り込み制御レジスタ (DM2IC)
002B <sub>16</sub>	(注)	006B <sub>16</sub>	(注)
002C <sub>16</sub>	(注)	006C <sub>16</sub>	タイマA0割り込み制御レジスタ (TA0IC)
002D <sub>16</sub>	(注)	006D <sub>16</sub>	(注)
002E <sub>16</sub>	(注)	006E <sub>16</sub>	タイマA2割り込み制御レジスタ (TA2IC)
002F <sub>16</sub>	(注)	006F <sub>16</sub>	(注)
0030 <sub>16</sub>	(注)	0070 <sub>16</sub>	タイマA4割り込み制御レジスタ (TA4IC)
0031 <sub>16</sub>	(注)	0071 <sub>16</sub>	(注)
0032 <sub>16</sub>	(注)	0072 <sub>16</sub>	UART0受信割り込み制御レジスタ (S0RIC)
0033 <sub>16</sub>	(注)	0073 <sub>16</sub>	A-D変換割り込み制御レジスタ (ADIC)
0034 <sub>16</sub>	(注)	0074 <sub>16</sub>	UART1受信割り込み制御レジスタ (S1RIC)
0035 <sub>16</sub>	(注)	0075 <sub>16</sub>	(注)
0036 <sub>16</sub>	(注)	0076 <sub>16</sub>	タイマB1割り込み制御レジスタ (TB1IC)
0037 <sub>16</sub>	(注)	0077 <sub>16</sub>	(注)
0038 <sub>16</sub>	(注)	0078 <sub>16</sub>	(注)
0039 <sub>16</sub>	(注)	0079 <sub>16</sub>	(注)
003A <sub>16</sub>	(注)	007A <sub>16</sub>	(注)
003B <sub>16</sub>	(注)	007B <sub>16</sub>	(注)
003C <sub>16</sub>	(注)	007C <sub>16</sub>	INT <sub>3</sub> 割り込み制御レジスタ (INT3IC)
003D <sub>16</sub>	(注)	007D <sub>16</sub>	(注)
003E <sub>16</sub>	(注)	007E <sub>16</sub>	INT <sub>1</sub> 割り込み制御レジスタ (INT1IC)
003F <sub>16</sub>	(注)	007F <sub>16</sub>	(注)

注. 書き込み禁止。

図5.1.2 SFR領域のメモリ配置(1)

本製品は開発品ですので後日規格等を変更する場合があります

5. メモリ配置

0080 <sub>16</sub>	(注)	00C0 <sub>16</sub>	CS <sub>0</sub> 制御レジスタ0 (CS0C0)
0081 <sub>16</sub>	(注)	00C1 <sub>16</sub>	CS <sub>0</sub> 制御レジスタ1 (CS0C1)
0082 <sub>16</sub>	(注)	00C2 <sub>16</sub>	(注)
0083 <sub>16</sub>	(注)	00C3 <sub>16</sub>	(注)
0084 <sub>16</sub>	(注)	00C4 <sub>16</sub>	CS <sub>1</sub> 制御レジスタ0 (CS1C0)
0085 <sub>16</sub>	(注)	00C5 <sub>16</sub>	CS <sub>1</sub> 制御レジスタ1 (CS1C1)
0086 <sub>16</sub>	(注)	00C6 <sub>16</sub>	(注)
0087 <sub>16</sub>	(注)	00C7 <sub>16</sub>	(注)
0088 <sub>16</sub>	DMA1割り込み制御レジスタ (DM1IC)	00C8 <sub>16</sub>	CS <sub>2</sub> 制御レジスタ0 (CS2C0)
0089 <sub>16</sub>	(注)	00C9 <sub>16</sub>	CS <sub>2</sub> 制御レジスタ1 (CS2C1)
008A <sub>16</sub>	DMA3割り込み制御レジスタ (DM3IC)	00CA <sub>16</sub>	(注)
008B <sub>16</sub>	(注)	00CB <sub>16</sub>	(注)
008C <sub>16</sub>	タイマA1割り込み制御レジスタ (TA1IC)	00CC <sub>16</sub>	CS <sub>3</sub> 制御レジスタ0 (CS3C0)
008D <sub>16</sub>	(注)	00CD <sub>16</sub>	CS <sub>3</sub> 制御レジスタ1 (CS3C1)
008E <sub>16</sub>	タイマA3割り込み制御レジスタ (TA3IC)	00CE <sub>16</sub>	(注)
008F <sub>16</sub>	(注)	00CF <sub>16</sub>	(注)
0090 <sub>16</sub>	UART0送信割り込み制御レジスタ (S0TIC)	00D0 <sub>16</sub>	(注)
0091 <sub>16</sub>	(注)	00D1 <sub>16</sub>	(注)
0092 <sub>16</sub>	UART1送信割り込み制御レジスタ (S1TIC)	00D2 <sub>16</sub>	(注)
0093 <sub>16</sub>	キー入力割り込み制御レジスタ (KUPIC)	00D3 <sub>16</sub>	(注)
0094 <sub>16</sub>	タイマB0割り込み制御レジスタ (TB0IC)	00D4 <sub>16</sub>	(注)
0095 <sub>16</sub>	(注)	00D5 <sub>16</sub>	(注)
0096 <sub>16</sub>	タイマB2割り込み制御レジスタ (TB2IC)	00D6 <sub>16</sub>	(注)
0097 <sub>16</sub>	(注)	00D7 <sub>16</sub>	(注)
0098 <sub>16</sub>	(注)	00D8 <sub>16</sub>	(注)
0099 <sub>16</sub>	(注)	00D9 <sub>16</sub>	(注)
009A <sub>16</sub>	INT <sub>4</sub> 割り込み制御レジスタ (INT4IC)	00DA <sub>16</sub>	(注)
009B <sub>16</sub>	(注)	00DB <sub>16</sub>	(注)
009C <sub>16</sub>	INT <sub>2</sub> 割り込み制御レジスタ (INT2IC)	00DC <sub>16</sub>	(注)
009D <sub>16</sub>	(注)	00DD <sub>16</sub>	(注)
009E <sub>16</sub>	INT <sub>0</sub> 割り込み制御レジスタ (INT0IC)	00DE <sub>16</sub>	(注)
009F <sub>16</sub>	復帰用優先順位レジスタ (RLVL)	00DF <sub>16</sub>	(注)
00A0 <sub>16</sub>	(注)	00E0 <sub>16</sub>	(注)
00A1 <sub>16</sub>	(注)	00E1 <sub>16</sub>	(注)
00A2 <sub>16</sub>	外部割り込み入力制御レジスタ (IPIN)	00E2 <sub>16</sub>	(注)
00A3 <sub>16</sub>	外部割り込み入力読み出しレジスタ (IRKI)	00E3 <sub>16</sub>	(注)
00A4 <sub>16</sub>	(注)	00E4 <sub>16</sub>	(注)
00A5 <sub>16</sub>	(注)	00E5 <sub>16</sub>	(注)
00A6 <sub>16</sub>	(注)	00E6 <sub>16</sub>	(注)
00A7 <sub>16</sub>	外部割り込み要因選択レジスタ (IFSR)	00E7 <sub>16</sub>	(注)
00A8 <sub>16</sub>	(注)	00E8 <sub>16</sub>	(注)
00A9 <sub>16</sub>	(注)	00E9 <sub>16</sub>	(注)
00AA <sub>16</sub>	(注)	00EA <sub>16</sub>	(注)
00AB <sub>16</sub>	(注)	00EB <sub>16</sub>	(注)
00AC <sub>16</sub>	(注)	00EC <sub>16</sub>	(注)
00AD <sub>16</sub>	(注)	00ED <sub>16</sub>	(注)
00AE <sub>16</sub>	(注)	00EE <sub>16</sub>	(注)
00AF <sub>16</sub>	(注)	00EF <sub>16</sub>	(注)
00B0 <sub>16</sub>	(注)	00F0 <sub>16</sub>	(注)
00B1 <sub>16</sub>	(注)	00F1 <sub>16</sub>	(注)
00B2 <sub>16</sub>	(注)	00F2 <sub>16</sub>	(注)
00B3 <sub>16</sub>	(注)	00F3 <sub>16</sub>	(注)
00B4 <sub>16</sub>	(注)	00F4 <sub>16</sub>	(注)
00B5 <sub>16</sub>	(注)	00F5 <sub>16</sub>	(注)
00B6 <sub>16</sub>	(注)	00F6 <sub>16</sub>	(注)
00B7 <sub>16</sub>	(注)	00F7 <sub>16</sub>	(注)
00B8 <sub>16</sub>	DMA0要因選択レジスタ (DM0SL)	00F8 <sub>16</sub>	(注)
00B9 <sub>16</sub>	DMA1要因選択レジスタ (DM1SL)	00F9 <sub>16</sub>	(注)
00BA <sub>16</sub>	DMA2要因選択レジスタ (DM2SL)	00FA <sub>16</sub>	(注)
00BB <sub>16</sub>	DMA3要因選択レジスタ (DM3SL)	00FB <sub>16</sub>	(注)
00BC <sub>16</sub>	(注)	00FC <sub>16</sub>	(注)
00BD <sub>16</sub>	(注)	00FD <sub>16</sub>	(注)
00BE <sub>16</sub>	(注)	00FE <sub>16</sub>	(注)
00BF <sub>16</sub>	(注)	00FF <sub>16</sub>	(注)

注. 書き込み禁止。

図5.1.3 SFR領域のメモリ配置(2)

本製品は開発品ですので後日規格等を変更する場合があります

5. メモリ配置

0100 <sub>16</sub>	A-Dレジスタ0 (AD0)	0140 <sub>16</sub>	(注)
0101 <sub>16</sub>		0411 <sub>16</sub>	(注)
0102 <sub>16</sub>	A-Dレジスタ1 (AD1)	0412 <sub>16</sub>	(注)
0103 <sub>16</sub>		0143 <sub>16</sub>	(注)
0104 <sub>16</sub>	A-Dレジスタ2 (AD2)	0144 <sub>16</sub>	(注)
0105 <sub>16</sub>		0145 <sub>16</sub>	(注)
0106 <sub>16</sub>	A-Dレジスタ3 (AD3)	0146 <sub>16</sub>	(注)
0107 <sub>16</sub>		0147 <sub>16</sub>	(注)
0108 <sub>16</sub>	A-Dレジスタ4 (AD4)	0148 <sub>16</sub>	UART0送受信モードレジスタ (U0MR)
0109 <sub>16</sub>		0149 <sub>16</sub>	UART0転送速度レジスタ (U0BRG)
010A <sub>16</sub>	A-Dレジスタ5 (AD5)	014A <sub>16</sub>	UART0送信バッファレジスタ (U0TB)
010B <sub>16</sub>		014B <sub>16</sub>	
010C <sub>16</sub>	A-Dレジスタ6 (AD6)	014C <sub>16</sub>	UART0送受信制御レジスタ0 (U0C0)
010D <sub>16</sub>		014D <sub>16</sub>	UART0送受信制御レジスタ1 (U0C1)
010E <sub>16</sub>	A-Dレジスタ7 (AD7)	014E <sub>16</sub>	UART0受信バッファレジスタ (U0RB)
010F <sub>16</sub>		014F <sub>16</sub>	
0110 <sub>16</sub>	(注)	0150 <sub>16</sub>	(注)
0111 <sub>16</sub>	(注)	0151 <sub>16</sub>	(注)
0112 <sub>16</sub>	(注)	0152 <sub>16</sub>	(注)
0113 <sub>16</sub>	(注)	0153 <sub>16</sub>	(注)
0114 <sub>16</sub>	A-D制御レジスタ2 (ADCON2)	0154 <sub>16</sub>	(注)
0115 <sub>16</sub>	(注)	0155 <sub>16</sub>	(注)
0116 <sub>16</sub>	A-D制御レジスタ0 (ADCON0)	0156 <sub>16</sub>	(注)
0117 <sub>16</sub>	A-D制御レジスタ1 (ADCON1)	0157 <sub>16</sub>	(注)
0118 <sub>16</sub>	D-Aレジスタ0 (DA0)	0158 <sub>16</sub>	(注)
0119 <sub>16</sub>	D-Aレジスタ1 (DA1)	0159 <sub>16</sub>	(注)
011A <sub>16</sub>	D-Aレジスタ2 (DA2)	015A <sub>16</sub>	(注)
011B <sub>16</sub>	(注)	015B <sub>16</sub>	(注)
011C <sub>16</sub>	D-A制御レジスタ0 (DACON0)	015C <sub>16</sub>	(注)
011D <sub>16</sub>	D-A制御レジスタ1 (DACON1)	015D <sub>16</sub>	(注)
011E <sub>16</sub>	(注)	015E <sub>16</sub>	(注)
011F <sub>16</sub>	(注)	015F <sub>16</sub>	(注)
0120 <sub>16</sub>	カウント開始フラグ (TABSR)	0160 <sub>16</sub>	(注)
0121 <sub>16</sub>	(注)	0161 <sub>16</sub>	(注)
0122 <sub>16</sub>	ワンショット開始フラグ (ONSF)	0162 <sub>16</sub>	(注)
0123 <sub>16</sub>	トリガ選択レジスタ (TRGSR)	0163 <sub>16</sub>	(注)
0124 <sub>16</sub>	アップダウンフラグ (UDF)	0164 <sub>16</sub>	(注)
0125 <sub>16</sub>	(注)	0165 <sub>16</sub>	(注)
0126 <sub>16</sub>	タイマA0レジスタ (TA0)	0166 <sub>16</sub>	(注)
0127 <sub>16</sub>		0167 <sub>16</sub>	(注)
0128 <sub>16</sub>	タイマA1レジスタ (TA1)	0168 <sub>16</sub>	UART1送受信モードレジスタ (U1MR)
0129 <sub>16</sub>		0169 <sub>16</sub>	UART1転送速度レジスタ (U1BRG)
012A <sub>16</sub>	タイマA2レジスタ (TA2)	016A <sub>16</sub>	UART1送信バッファレジスタ (U1BR)
012B <sub>16</sub>		016B <sub>16</sub>	
012C <sub>16</sub>	タイマA3レジスタ (TA3)	016C <sub>16</sub>	UART1送受信制御レジスタ0 (U1C0)
012D <sub>16</sub>		016D <sub>16</sub>	UART1送受信制御レジスタ1 (U1C1)
012E <sub>16</sub>	タイマA4レジスタ (TA4)	016E <sub>16</sub>	UART1受信バッファレジスタ (U1RB)
012F <sub>16</sub>		016F <sub>16</sub>	
0130 <sub>16</sub>	タイマB0レジスタ (TB0)	0170 <sub>16</sub>	シリアルI/O端子制御レジスタ (SIOCON)
0131 <sub>16</sub>		0171 <sub>16</sub>	(注)
0132 <sub>16</sub>	タイマB1レジスタ (TB1)	0172 <sub>16</sub>	(注)
0133 <sub>16</sub>		0173 <sub>16</sub>	(注)
0134 <sub>16</sub>	タイマB2レジスタ (TB2)	0174 <sub>16</sub>	(注)
0135 <sub>16</sub>		0175 <sub>16</sub>	(注)
0136 <sub>16</sub>	タイマA0モードレジスタ (TA0MR)	0176 <sub>16</sub>	(注)
0137 <sub>16</sub>	タイマA1モードレジスタ (TA1MR)	0177 <sub>16</sub>	(注)
0138 <sub>16</sub>	タイマA2モードレジスタ (TA2MR)	0178 <sub>16</sub>	(注)
0139 <sub>16</sub>	タイマA3モードレジスタ (TA3MR)	0179 <sub>16</sub>	(注)
013A <sub>16</sub>	タイマA4モードレジスタ (TA4MR)	017A <sub>16</sub>	(注)
013B <sub>16</sub>	タイマB0モードレジスタ (TB0MR)	017B <sub>16</sub>	(注)
013C <sub>16</sub>	タイマB1モードレジスタ (TB1MR)	017C <sub>16</sub>	(注)
013D <sub>16</sub>	タイマB2モードレジスタ (TB2MR)	017D <sub>16</sub>	(注)
013E <sub>16</sub>	(注)	017E <sub>16</sub>	(注)
013F <sub>16</sub>	(注)	017F <sub>16</sub>	(注)

注. 書き込み禁止。

図5.1.4 SFR領域のメモリ配置(3)

本製品は開発品ですので後日規格等を変更する場合があります

5. メモリ配置

0180 <sub>16</sub>	ポートP0レジスタ (P0)	01C0 <sub>16</sub>	(注)
0181 <sub>16</sub>	ポートP1レジスタ (P1)	01C1 <sub>16</sub>	(注)
0182 <sub>16</sub>	ポートP0方向レジスタ (PD0)	01C2 <sub>16</sub>	(注)
0183 <sub>16</sub>	ポートP1方向レジスタ (PD1)	01C3 <sub>16</sub>	(注)
0184 <sub>16</sub>	ポートP2レジスタ (P2)	01C4 <sub>16</sub>	(注)
0185 <sub>16</sub>	ポートP3レジスタ (P3)	01C5 <sub>16</sub>	(注)
0186 <sub>16</sub>	ポートP2方向レジスタ (PD2)	01C6 <sub>16</sub>	(注)
0187 <sub>16</sub>	ポートP3方向レジスタ (PD3)	01C7 <sub>16</sub>	(注)
0188 <sub>16</sub>	ポートP4レジスタ (P4)	01C8 <sub>16</sub>	(注)
0189 <sub>16</sub>	ポートP5レジスタ (P5)	01C9 <sub>16</sub>	(注)
018A <sub>16</sub>	ポートP4方向レジスタ (PD4)	01CA <sub>16</sub>	(注)
018B <sub>16</sub>	ポートP5方向レジスタ (PD5)	01CB <sub>16</sub>	(注)
018C <sub>16</sub>	(注)	01CC <sub>16</sub>	(注)
018D <sub>16</sub>	(注)	01CD <sub>16</sub>	(注)
018E <sub>16</sub>	(注)	01CE <sub>16</sub>	(注)
018F <sub>16</sub>	(注)	01CF <sub>16</sub>	(注)
0190 <sub>16</sub>	(注)	01D0 <sub>16</sub>	(注)
0191 <sub>16</sub>	(注)	01D1 <sub>16</sub>	(注)
0192 <sub>16</sub>	(注)	01D2 <sub>16</sub>	(注)
0193 <sub>16</sub>	(注)	01D3 <sub>16</sub>	(注)
0194 <sub>16</sub>	(注)	01D4 <sub>16</sub>	(注)
0195 <sub>16</sub>	(注)	01D5 <sub>16</sub>	(注)
0196 <sub>16</sub>	(注)	01D6 <sub>16</sub>	(注)
0197 <sub>16</sub>	(注)	01D7 <sub>16</sub>	(注)
0198 <sub>16</sub>	(注)	01D8 <sub>16</sub>	(注)
0199 <sub>16</sub>	(注)	01D9 <sub>16</sub>	(注)
019A <sub>16</sub>	ポート機能制御レジスタ (PCON)	01DA <sub>16</sub>	(注)
019B <sub>16</sub>	特殊機能選択レジスタ (PMD)	01DB <sub>16</sub>	(注)
019C <sub>16</sub>	(注)	01DC <sub>16</sub>	(注)
019D <sub>16</sub>	(注)	01DD <sub>16</sub>	(注)
019E <sub>16</sub>	(注)	01DE <sub>16</sub>	(注)
019F <sub>16</sub>	(注)	01DF <sub>16</sub>	(注)
01A0 <sub>16</sub>	ポートP6レジスタ (P6)	01E0 <sub>16</sub>	(注)
01A1 <sub>16</sub>	ポートP7レジスタ (P7)	01E1 <sub>16</sub>	(注)
01A2 <sub>16</sub>	ポートP6方向レジスタ (PD6)	01E2 <sub>16</sub>	(注)
01A3 <sub>16</sub>	ポートP7方向レジスタ (PD7)	01E3 <sub>16</sub>	(注)
01A4 <sub>16</sub>	ポートP8レジスタ (P8)	01E4 <sub>16</sub>	(注)
01A5 <sub>16</sub>	ポートP9レジスタ (P9)	01E5 <sub>16</sub>	(注)
01A6 <sub>16</sub>	ポートP8方向レジスタ (PD8)	01E6 <sub>16</sub>	(注)
01A7 <sub>16</sub>	ポートP9方向レジスタ (PD9)	01E7 <sub>16</sub>	(注)
01A8 <sub>16</sub>	ポートP10レジスタ (P10)	01E8 <sub>16</sub>	(注)
01A9 <sub>16</sub>	(注)	01E9 <sub>16</sub>	(注)
01AA <sub>16</sub>	ポートP10方向レジスタ (PD10)	01EA <sub>16</sub>	(注)
01AB <sub>16</sub>	(注)	01EB <sub>16</sub>	(注)
01AC <sub>16</sub>	(注)	01EC <sub>16</sub>	(注)
01AD <sub>16</sub>	(注)	01ED <sub>16</sub>	(注)
01AE <sub>16</sub>	(注)	01EE <sub>16</sub>	(注)
01AF <sub>16</sub>	(注)	01EF <sub>16</sub>	(注)
01B0 <sub>16</sub>	(注)	01F0 <sub>16</sub>	(注)
01B1 <sub>16</sub>	(注)	01F1 <sub>16</sub>	(注)
01B2 <sub>16</sub>	(注)	01F2 <sub>16</sub>	(注)
01B3 <sub>16</sub>	(注)	01F3 <sub>16</sub>	(注)
01B4 <sub>16</sub>	(注)	01F4 <sub>16</sub>	(注)
01B5 <sub>16</sub>	(注)	01F5 <sub>16</sub>	(注)
01B6 <sub>16</sub>	(注)	01F6 <sub>16</sub>	(注)
01B7 <sub>16</sub>	(注)	01F7 <sub>16</sub>	(注)
01B8 <sub>16</sub>	(注)	01F8 <sub>16</sub>	(注)
01B9 <sub>16</sub>	(注)	01F9 <sub>16</sub>	(注)
01BA <sub>16</sub>	(注)	01FA <sub>16</sub>	(注)
01BB <sub>16</sub>	(注)	01FB <sub>16</sub>	(注)
01BC <sub>16</sub>	(注)	01FC <sub>16</sub>	(注)
01BD <sub>16</sub>	(注)	01FD <sub>16</sub>	(注)
01BE <sub>16</sub>	(注)	01FE <sub>16</sub>	(注)
01BF <sub>16</sub>	(注)	01FF <sub>16</sub>	(注)

注. 書き込み禁止。

図5.1.5 SFR領域のメモリ配置(4)

本製品は開発品ですので後日規格等を変更する場合があります

## 6. リセット

### 6. リセット

マイクロコンピュータをリセットする方法は、以下の3種類です。いずれの方法も、リセット後の動作は同じです。

- ・ハードウェアリセット ... 電源電圧 ( $V_{CC}$ 、 $FV_{CC}$ ) が推奨動作条件を満たしている状態で、 $\overline{RESET}$  端子に“L”レベルを印加する
- ・ソフトウェアリセット ... 電源電圧 ( $V_{CC}$ 、 $FV_{CC}$ ) が推奨動作条件を満たしている状態で、ソフトウェアリセットビットに“1”を書き込む
- ・パワーオンリセット ...  $\overline{RESET}$  端子に“L”レベルを印加している状態で、電源投入後、 $V_{CC}$  端子、 $FV_{CC}$  端子に印加する電圧を推奨動作条件を満たすレベルまで上昇させる

表6.1.1に $\overline{RESET}$ 端子のレベルが“L”の期間の端子の状態を、図6.1.1にパワーオンリセット条件を、図6.1.2にリセット後の内部処理シーケンスを示します。

発振子を使用した場合、発振が安定するまでの時間は、発振子によって異なります。発振子メーカーへお問い合わせください。

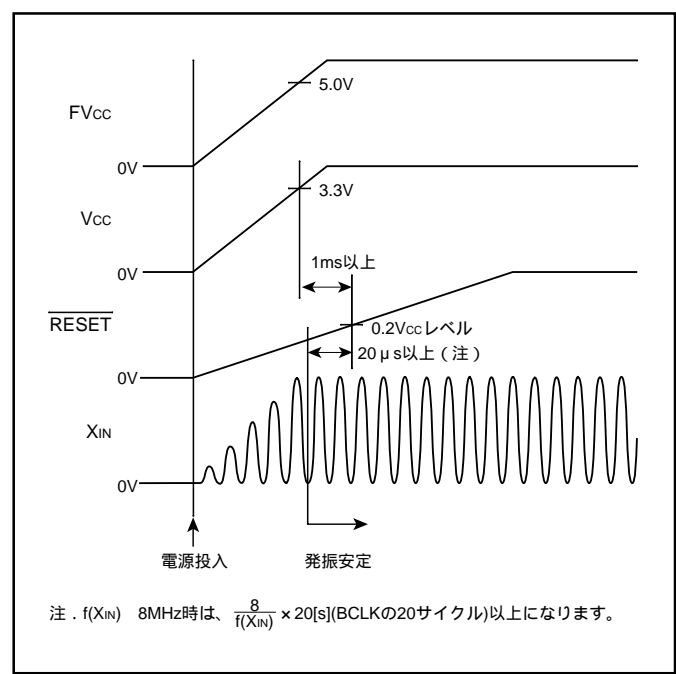


図6.1.1 パワーオンリセット条件

表6.1.1  $\overline{RESET}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0 ~ P3、P4 <sub>0</sub> ~ P4 <sub>3</sub> 、P5 ~ P10	フローティング
P4 <sub>4</sub> ~ P4 <sub>7</sub> 、 $\overline{NMI}$	プルアップ

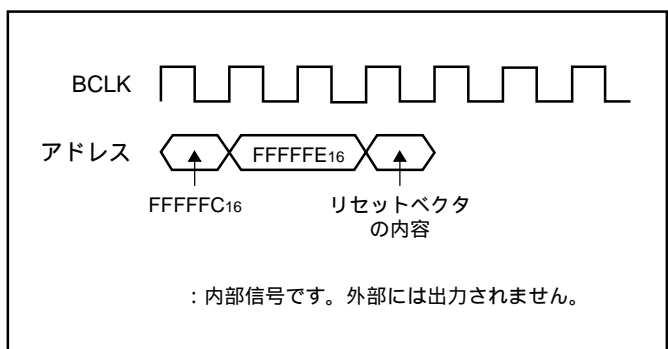


図6.1.2 リセット後の内部処理シーケンス



本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ  
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 7. プロセッサモード

### 7. プロセッサモード

プロセッサモードは、シングルチップモード、及びメモリ拡張モードのいずれかを選択できます。プロセッサモードによって、P0～P5の機能、アクセス空間が異なります(表7.1.1参照)。

表7.1.1 プロセッサモード

プロセッサモード	アクセスできる空間	P0～P5の機能
シングルチップモード	内部領域(注)のみ	プログラマブル入出力ポート又は周辺機能の入出力端子
メモリ拡張モード	内部領域(注)、外部領域	アドレス/データ/外部アクセス制御端子

注：SFR / 内部ROM / 内部RAM

#### 7.1 外部デバイスのアクセスに使用する端子

メモリ拡張モードでは、P0～P5がアドレス/データ/外部アクセス制御端子として機能し、外部領域に外部デバイスを接続できます。表7.1.2に外部デバイスのアクセスに使用する端子を示します。

表7.1.2 外部デバイスのアクセスに使用する端子

端子	外部領域アクセス時		内部領域アクセス時
	データバス幅16ビット	データバス幅8ビット	
A <sub>0</sub> ～A <sub>23</sub> (注1)	アドレス(A <sub>0</sub> ～A <sub>23</sub> )出力端子		直前のアドレスを保持
D <sub>0</sub> ～D <sub>7</sub> (注2)	偶数番地のデータ(D <sub>0</sub> ～D <sub>7</sub> )入出力端子	データ(D <sub>0</sub> ～D <sub>7</sub> )入出力端子	フローティング
D <sub>8</sub> ～D <sub>15</sub>	奇数番地のデータ(D <sub>8</sub> ～D <sub>15</sub> )入出力端子	すべてのCS <sub>i</sub> 領域でデータバス幅8ビットを選択している場合は、プログラマブル入出力ポート(P1)として機能します。CS <sub>0</sub> ～CS <sub>3</sub> 領域のうち1つでもデータバス幅16ビットを選択している場合は、フローティングになります。	
RDY	レディー機能関連信号の入力端子		無効
WRL	リード/ライト制御信号の出力端子(表7.1.3、表7.1.4参照)		“H”レベルを出力
WRH			“H”レベルを出力
WR			“H”レベルを出力
BHE			直前の状態を保持
RD			“H”レベルを出力
ALE	アドレスラッチイネーブル信号出力端子 (アドレスの確定を示す。アドレスをラッチするときを使用できる)		“L”レベルを出力
BCLK/CLK <sub>OUT</sub>	ソフトウェアで選択したクロックを出力		
HOLD	ホールド機能関連信号の入力端子		有効
HLDA	ホールド機能関連信号の出力端子		HOLD受付時 “L”レベルを出力
CS <sub>0</sub> ～CS <sub>3</sub>	チップセレクト出力端子		

注1. ソフトウェアで選択することによって、A<sub>0</sub>～A<sub>7</sub>はアドレス(A<sub>0</sub>～A<sub>7</sub>)の出力とデータ(D<sub>0</sub>～D<sub>7</sub>)の入出力を時分割で行えます(マルチプレックスバス)。

2. すべてのCS<sub>i</sub>領域でマルチプレックスバスを選択している場合は、ソフトウェアで選択することによって、プログラマブル入出力ポート(P0)として機能します。

本製品は開発品ですので後日規格等を変更する場合があります

## 7. プロセッサモード

リード/ライト制御信号は、ソフトウェアによって、 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ の組み合わせ、又は $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ の組み合わせが選択できます。

表7.1.3  $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ 信号の動作

データバス幅	$\overline{RD}$	$\overline{WRL}$	$\overline{WRH}$	外部データバスの状態
16ビット	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地共にデータを書き込む
8ビット	H	L	使用しない(注)	1バイトのデータを書き込む
	L	H	使用しない(注)	1バイトのデータを読み出す

注．すべてのCS<sub>i</sub>領域でデータバス幅8ビットを選択している場合は、プログラマブル入出力ポート(P5<sub>i</sub>)になります。

表7.1.4  $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ 信号の動作

データバス幅	$\overline{RD}$	$\overline{WR}$	$\overline{BHE}$	A <sub>0</sub>	外部データバスの状態
16ビット	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地の1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地の1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地共にデータを書き込む
	L	H	L	L	偶数番地、奇数番地共にデータを読み出す
8ビット	H	L	使用しない(注)	H又はL	1バイトのデータを書き込む
	L	H	使用しない(注)	H又はL	1バイトのデータを読み出す

注．すべてのCS<sub>i</sub>領域でデータバス幅8ビットを選択している場合は、プログラマブル入出力ポート(P5<sub>i</sub>)になります。

本製品は開発品ですので後日規格等を変更する場合があります

## 7. プロセッサモード

### 7.2 チップセレクト

メモリ拡張モード時、16Mバイトのアドレス空間は4Mバイトのブロックに分割され、各ブロック(以下チップセレクト( $\overline{CS}_0 \sim \overline{CS}_3$ )領域と称す)ごとに外部デバイスへのアクセス方法が設定できます。各チップセレクト領域をアクセスするときに出力されるチップセレクト信号 $\overline{CS}_i$ ( $i=0 \sim 3$ )は、出力範囲を選択できます。

表7.2.1に各チップセレクト領域の機能を、図7.2.1にチップセレクト領域を示します。

表7.2.1 各チップセレクト領域の機能

チップセレクト領域		$\overline{CS}_0$	$\overline{CS}_1$	$\overline{CS}_2$	$\overline{CS}_3$	
チップセレクト出力端子		$\overline{CS}_0$	$\overline{CS}_1$	$\overline{CS}_2$	$\overline{CS}_3$	
チップセレクト出力先頭番地		C00000 <sub>16</sub>	5000 <sub>16</sub> 又は100000 <sub>16</sub>	400000 <sub>16</sub>	800000 <sub>16</sub>	
チップセレクト 選択できる機能	チップセレクト出力範囲	64K、256K、1M、又は4Mバイト				
	データバス幅	8ビット又は16ビット				
	バスの形態	分離バス又はマルチプレックスバス				
	バスサイクル	分離バス	1 +1、1 +2、1 +3、1 +4、1 +5、1 +6、2 +2、2 +3、2 +4、3 +3、3 +4、3 +5、又は3 +6			
		マルチプレックスバス	2 +2、2 +3、2 +4、2 +5、3 +3、3 +4、3 +5、又は3 +6			
	RDY制御	有効又は無効				
リカバリサイクル	挿入する又は挿入しない					

チップセレクト出力端子 $\overline{CS}_i$ は、アドレス出力端子 $A_{23} \sim A_{20}$ と共用です。したがって、どのチップセレクトを使用するかによって、アクセスできる領域が異なります(表7.2.2参照)。

なお、チップセレクト、アドレス、プログラマブル入出力ポートの切り替えについては、表7.2.3を参照してください。

表7.2.2  $\overline{CS}_i$ を使用するときのチップセレクト/アドレス出力端子の機能選択とアクセス可能領域の範囲

使用する $\overline{CS}_i$	端子の機能選択					$\overline{CS}_i$ を使用してアクセスできる領域の範囲(最大)
	$\overline{CS}_0/A_{23}/P_{47}$	$\overline{CS}_1/A_{22}/P_{46}$	$\overline{CS}_2/A_{21}/P_{45}$	$\overline{CS}_3/A_{20}$	$A_{19} \sim A_0$	
$\overline{CS}_3$ のみ、又は $\overline{CS}_0 \sim \overline{CS}_3$ の任意の $\overline{CS}_i$	$\overline{CS}_0$ 又は $P_{47}$	$\overline{CS}_1$ 又は $P_{46}$	$\overline{CS}_2$ 又は $P_{45}$	$\overline{CS}_3$	$A_{19} \sim A_0$	1Mバイト
$\overline{CS}_2$ のみ、又は $\overline{CS}_0 \sim \overline{CS}_2$ の任意の $\overline{CS}_i$	$\overline{CS}_0$ 又は $P_{47}$	$\overline{CS}_1$ 又は $P_{46}$	$\overline{CS}_2$	$A_{20} \sim A_0$		2Mバイト
$\overline{CS}_1$ のみ、又は $\overline{CS}_0$ 、 $\overline{CS}_1$ の任意の $\overline{CS}_i$	$\overline{CS}_0$ 又は $P_{47}$	$\overline{CS}_1$	$A_{21} \sim A_0$			4Mバイト(注1)
$\overline{CS}_0$ のみ	$\overline{CS}_0$	$A_{22} \sim A_0$				2Mバイト

注1. ただし、内部ROM領域と重なる領域は、外部アクセスできません。

2. 上記以外の機能の組み合わせは選択しないでください。

表7.2.3 チップセレクト、アドレス、プログラマブル入出力ポートの切り替え

$\overline{CS}_i$ 出力選択ビット	$\overline{CS}_i$ アドレス/ポート切り替えビット	$\overline{CS}_i/A_j/P_{4k}$
0	0	$P_{4k}$
	1	$A_j$
1	X	$\overline{CS}_i$

X: "0"又は"1"いずれでもよい。

$i=0 \sim 3$ 、 $j=23-i$ 、 $k=7-i$

本製品は開発品ですので後日規格等を変更する場合があります

## 7. プロセッサモード

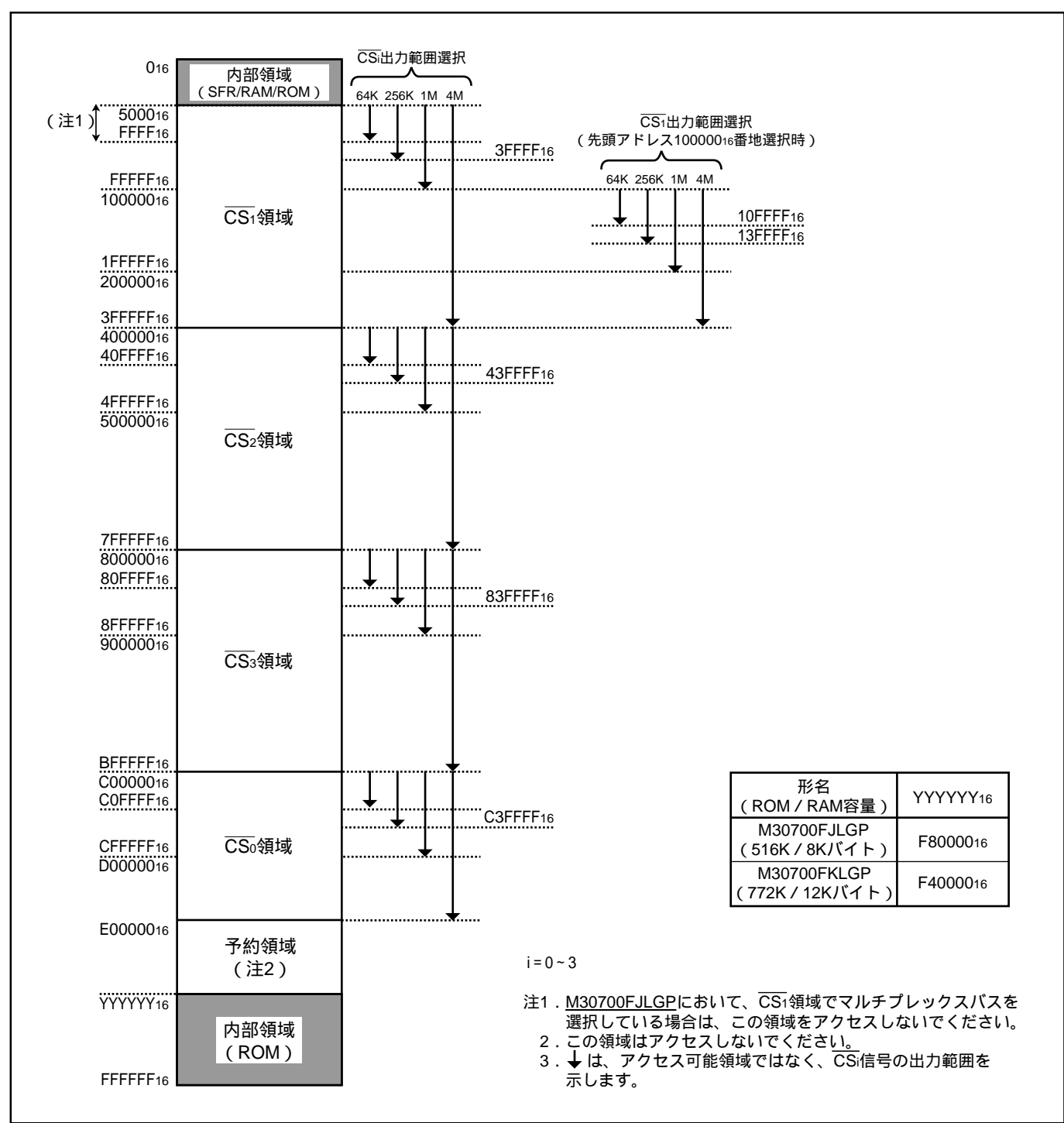


図7.2.1 チップセレクト領域

本製品は開発品ですので後日規格等を変更する場合があります

## 8. クロック発生回路

### 8. クロック発生回路

図8.1.1にクロック発生回路ブロック図を示します。

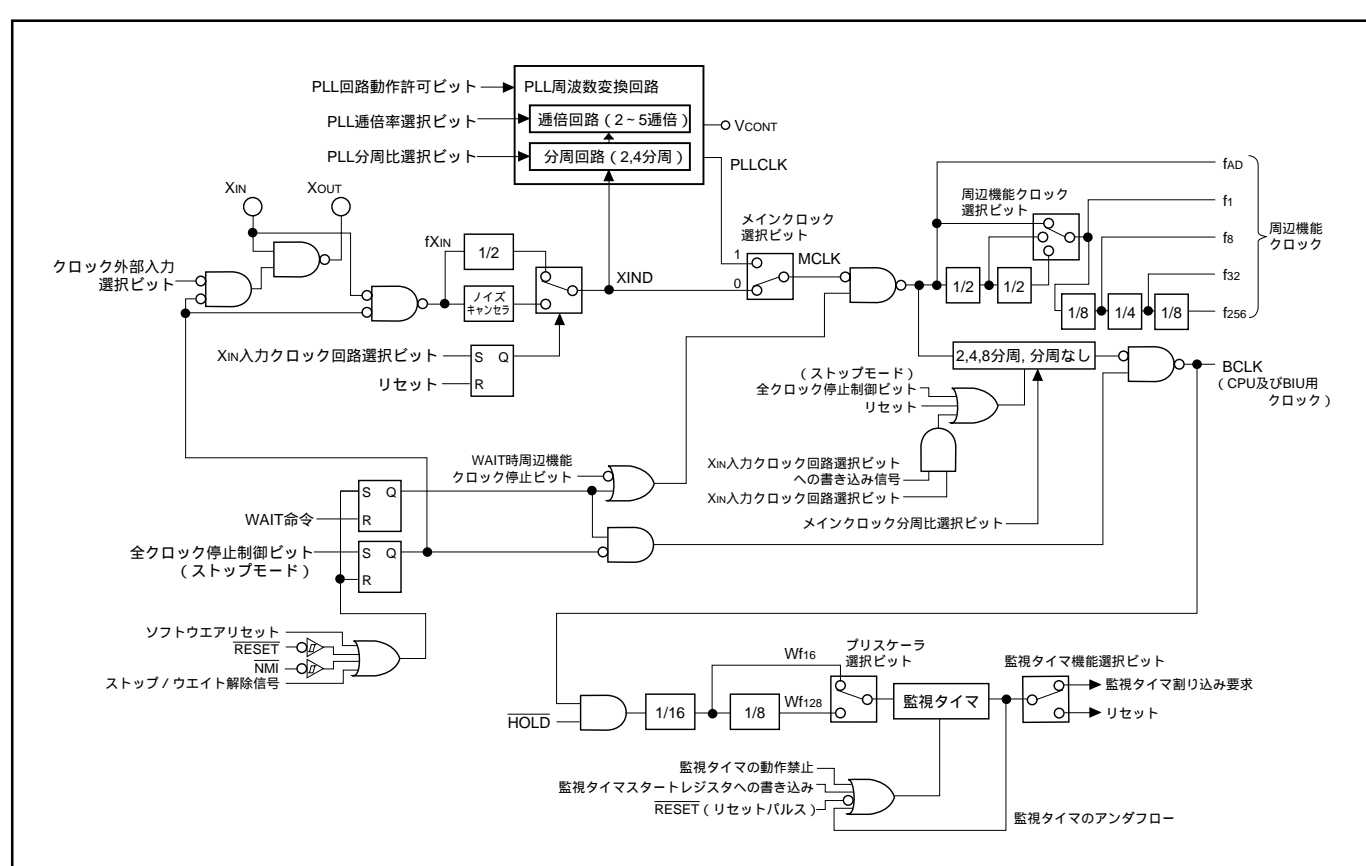


図8.1.1 クロック発生回路ブロック図

本製品は開発品ですので後日規格等を変更する場合があります

## 9. ストップモード、ウエイトモード

### 9. ストップモード、ウエイトモード

ストップモード及びウエイトモードは、中央演算処理装置(CPU)を動作させる必要がないとき、発振、又は内部クロックを停止させて消費電力を低減する機能です。

ストップモード：全クロック停止制御ビットを“1”にする。

ウエイトモード：WAIT命令を実行する。

表9.1.1 ストップモード及びウエイトモード時の状態、及び解除後の動作

項目	ストップモード	ウエイトモード		
		周辺機能クロック動作	周辺機能クロック停止	
発振	停止	動作		
PLL周波数変換回路	停止	動作(注1)		
BCLK	停止	停止		
f <sub>1</sub> ~ f <sub>256</sub> 、f <sub>AD</sub>	停止	動作	停止	
Wf <sub>16</sub> 、Wf <sub>128</sub>	停止	停止		
状態 内蔵周辺装置 端子(注3)	タイマA タイマB	停止(注2)	動作 イベントカウンタモード でだけ動作できる	
	シリアルI/O	停止(注2)	動作 外部クロック選択時だけ 動作できる	
	A-D変換器	停止	動作 停止	
	D-A変換器	停止	動作 停止	
	DMAC	停止	停止	
	監視タイマ	停止	停止	
	A <sub>0</sub> ~ A <sub>23</sub> 、 D <sub>0</sub> ~ D <sub>15</sub> 、 CS <sub>0</sub> ~ CS <sub>3</sub>	全クロック停止制御ビットを“1”にしたときの 状態を保持	WAIT命令実行時の状態を保持	
	WRL(WR)、 WRH(BHE)、 RD、HLDA	“H”レベルを出力	“H”レベルを出力	
	ALE	“H”レベルを出力	“L”レベルを出力	
	BCLK / CLK <sub>OUT</sub>	“H”レベルを出力	BCLK出力選択時は“H”出力 f <sub>8</sub> 、f <sub>32</sub> 出力選択時は動作	f <sub>8</sub> 、f <sub>32</sub> 出力選択時は WAIT命令実行時の状態 を保持
上記以外	全クロック停止制御ビットを“1”にしたときの 状態を保持	WAIT命令実行時の状態を保持		
解除後の動作 割り込み要求発生 による解除時	解除直後からBCLKを供給	解除直後からBCLKを供給		
ハードウェアリセット による解除時	ハードウェアリセット後の動作	ハードウェアリセット後の動作		

注1. PLL回路動作許可ビット=1の場合。

2. 全クロック停止制御ビットを“1”にする前に、ソフトウェアでこれらの動作を停止してください。
3. 外部バス、及びバス制御信号の入出力端子については、ソフトウェアでプログラマブル入出力ポートに切り替えることができます。

本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

### 10. 周辺機能

#### 10.1 割り込み

図10.1.1に割り込みの分類を示します。表10.1.1及び表10.1.2に示す該当ベクタテーブルに各割り込みルーチンの先頭番地を設定してください。

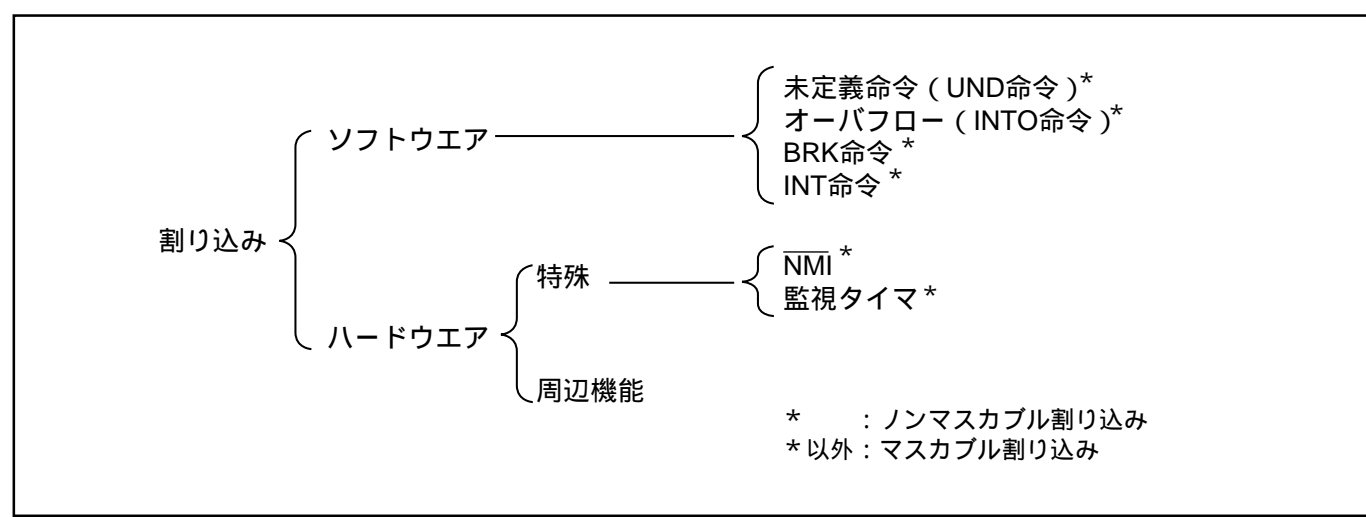


図 10.1.1 割り込みの分類

マスクابل割り込み・・・ソフトウェアによって、割り込み要求の受付を禁止できる割り込み。  
 ノンマスクابل割り込み・・・割り込み要求が発生すると必ず受け付けられる割り込み。割り込み制御レジスタを持たず、割り込み許可フラグ(1)の影響を受けない。

表10.1.1 固定ベクタテーブルに配置されている割り込みの割り込み要因

割り込み要因	ベクタテーブル (下位～上位)	備考
未定義命令	FFFFDC <sub>16</sub> ～FFFFDF <sub>16</sub> (注1)	UND命令を実行すると発生
オーバフロー	FFFFE0 <sub>16</sub> ～FFFFE3 <sub>16</sub> (注1)	Oフラグ=1のときにINTO命令を実行すると発生
BRK命令	FFFFE4 <sub>16</sub> ～FFFFE7 <sub>16</sub> (注2)	BRK命令を実行すると発生
予約領域	FFFFE8 <sub>16</sub> ～FFFFEB <sub>16</sub> (注1)	使用禁止
予約領域	FFFFEC <sub>16</sub> ～FFFFEF <sub>16</sub> (注1)	使用禁止
監視タイマ	FFFFF0 <sub>16</sub> ～FFFFF3 <sub>16</sub> (注1)	
予約領域	FFFFF4 <sub>16</sub> ～FFFFF7 <sub>16</sub> (注1)	使用禁止
NMI	FFFFF8 <sub>16</sub> ～FFFFFB <sub>16</sub> (注1)	
リセット	FFFFFC <sub>16</sub> ～FFFFF <sub>16</sub> (注3)	

注1 . FFFDF<sub>16</sub>, FFFE3<sub>16</sub>, FFE<sub>16</sub>, FFEF<sub>16</sub>, FFFF3<sub>16</sub>, FFFF7<sub>16</sub>, FFFF<sub>16</sub>番地の7バイトは、シリアル及びパラレルライタの予約領域です。これらの番地には“FF<sub>16</sub>”以外を書かないでください。

2 . FFFE7<sub>16</sub>番地の内容が“FF<sub>16</sub>”の場合は、可変ベクタテーブル内のベクタ(ソフトウェア割り込み番号0)が有効になります。

3 . FFFF<sub>16</sub>番地には、“FF<sub>16</sub>”以外を書かないでください。

本製品は開発品ですので後日  
規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ  
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 10. 周辺機能

表10.1.2 可変ベクタテーブルに配置されている割り込みの割り込み要因

割り込み要因	ベクタテーブル (下位~上位)注1)	ソフトウェア 割り込み番号	備考
BRK命令	+0 ~ +3	0	BRK命令を実行すると発生(注2)
予約領域	+4 ~ +7 ⋮ +28 ~ +31		使用禁止
DMA0	+32 ~ +35	8	
DMA1	+36 ~ +39	9	
DMA2	+40 ~ +43	10	
DMA3	+44 ~ +47	11	
タイマA0	+48 ~ +51	12	
タイマA1	+52 ~ +55	13	
タイマA2	+56 ~ +59	14	
タイマA3	+60 ~ +63	15	
タイマA4	+64 ~ +67	16	
UART0送信	+68 ~ +71	17	
UART0受信	+72 ~ +75	18	
UART1送信	+76 ~ +79	19	
UART1受信	+80 ~ +83	20	
タイマB0	+84 ~ +87	21	
タイマB1	+88 ~ +91	22	
タイマB2	+92 ~ +95	23	
予約領域	+96 ~ +99 ⋮ +104 ~ +107		使用禁止
INT <sub>4</sub>	+108 ~ +111	27	
INT <sub>3</sub>	+112 ~ +115	28	
INT <sub>2</sub>	+116 ~ +119	29	
INT <sub>1</sub>	+120 ~ +123	30	
INT <sub>0</sub>	+124 ~ +127	31	
A-D変換	+168 ~ +171	42	
キー入力	+172 ~ +175	43	
予約領域	+176 ~ +179 ⋮ +216 ~ +219	44 ⋮ 54	使用禁止
	+220 ~ +223 ⋮ +252 ~ +255	55 ⋮ 63	割り込み要因は割り当てられていない INT命令割り込みに使用できる
INT命令		0 ~ 63	オペランドで任意のソフトウェア割り込み番号を 指定できる

注1. 割り込みテーブルレジスタ(INTB)が示す番地からの相対番地です。  
2. FFFFE7<sub>16</sub>番地の内容がFF<sub>16</sub>の場合は、このベクタが有効になります。



本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

### 10.2 キー入力割り込み

4本の端子のいずれかの入力信号の立ち下がり、割り込み要求を発生します。ストップモード、又はウエイトモード解除時、この機能を利用すると、キーオンウエイクアップを実現できます。

キー入力割り込み端子 (KI<sub>0</sub> ~ KI<sub>3</sub>)は、ソフトウェアで選択することによって、内部でプルアップできます。図10.2.1にキー入力割り込みブロック図を示します。

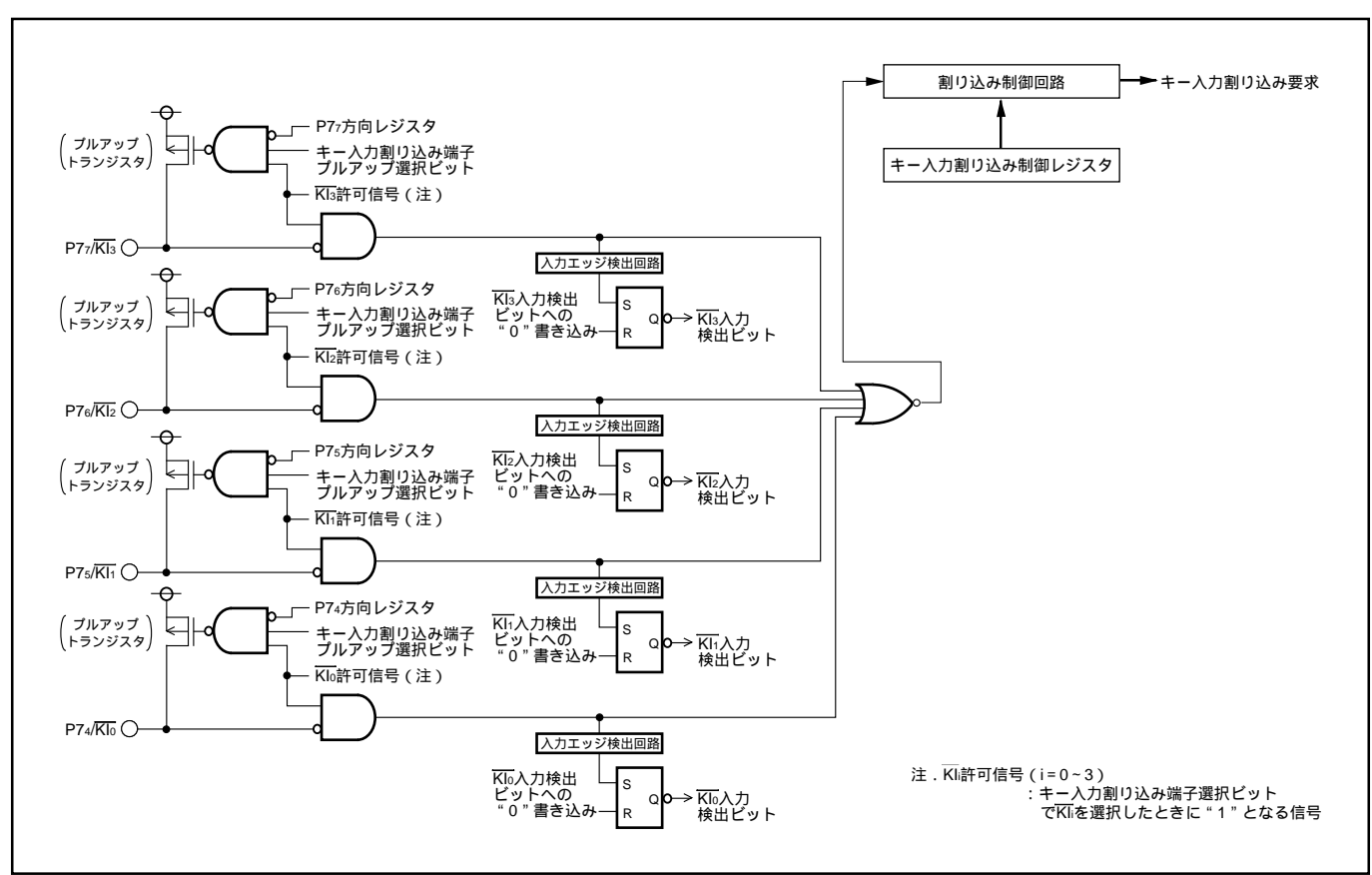
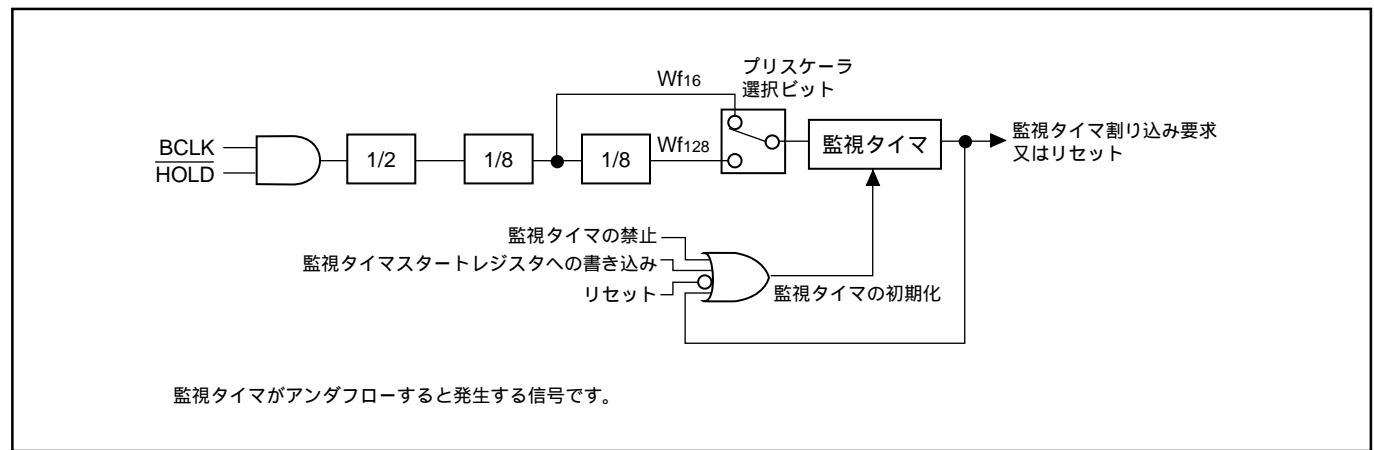


図10.2.1 キー入力割り込みブロック図

### 10.3 監視タイマ

監視タイマは15ビットのカウンタで、プログラムの暴走を検知するために使用します。

図10.3.1に監視タイマブロック図を示します。



監視タイマがアンダフローすると発生する信号です。

図10.3.1 監視タイマブロック図

本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

### 10.4 DMAC

DMACは、CPUを介さずにデータを転送する機能です。

表10.4.1にDMACの性能概要を、図10.4.1にDMACブロック図を、表10.4.2に転送アドレス方向と転送方法を示します。

表10.4.1 DMACの性能概要

項目	性能
チャンネル数	4チャンネル
転送空間	16Mバイト( 任意の空間から固定アドレス、固定アドレスから任意のアドレス )
転送バイト数( 最大 )	16ビット転送 : 128Kバイト 8ビット転送 : 64Kバイト
DMA要求要因	16要因
チャンネル優先順位	固定( DMA0 > DMA1 > DMA2 > DMA3( DMA0が最優先 ) )
転送単位	8ビット、又は16ビット
転送アドレス方向	順方向( 転送元、又は転送先のいずれか一方のみ )
転送モード	サイクルスチール転送モード
動作モード	単転送モード、又はリピート転送モード

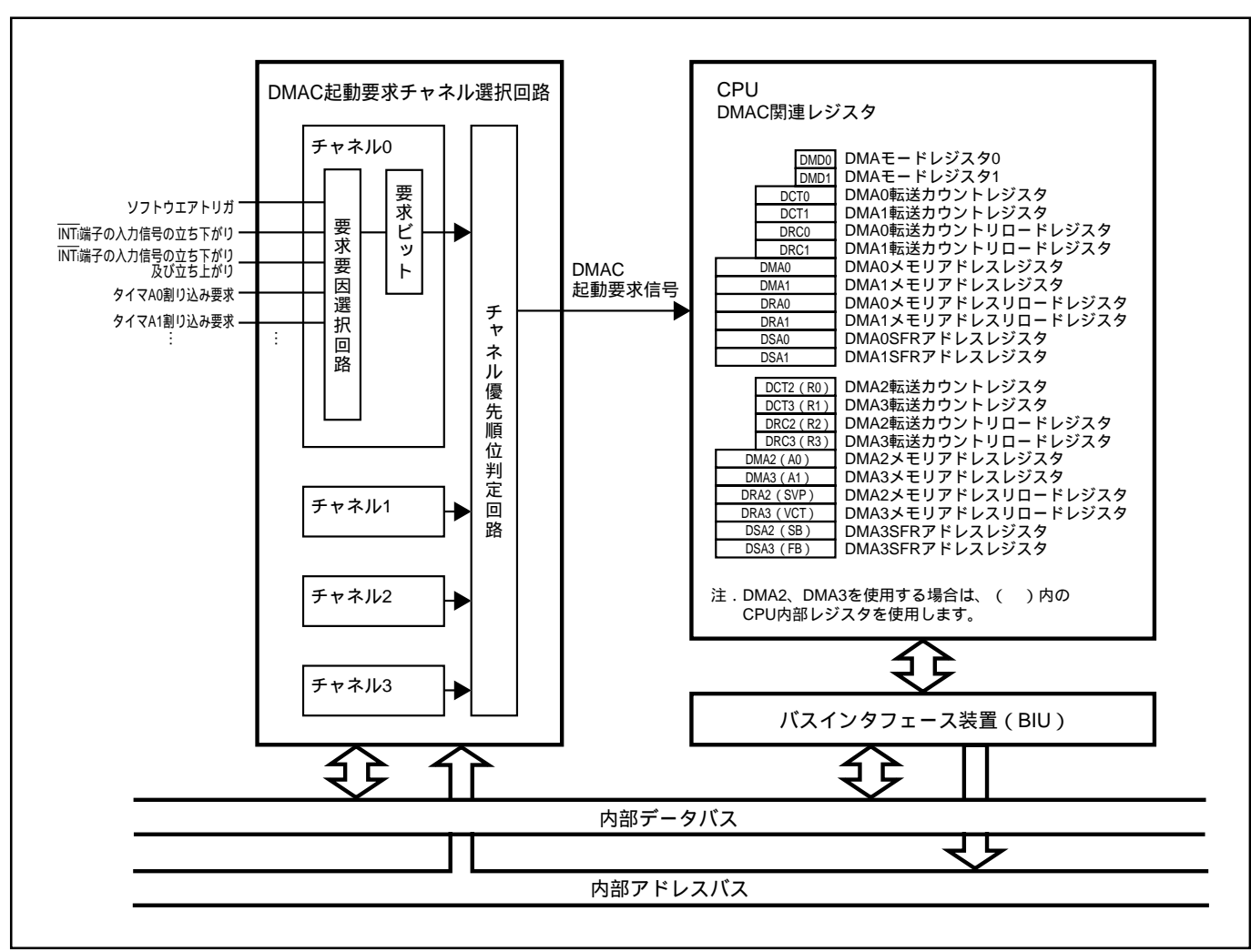


図10.4.1 DMACブロック図

本製品は開発品ですので後日規格等を変更する場合があります

10. 周辺機能

表10.4.2 転送アドレス方向と転送方法

転送アドレス方向		外部データバス幅：16ビット又は8ビット					
		転送単位：16ビット			転送単位：8ビット		
転送元 (アドレスを設定するレジスタ)	転送先 (アドレスを設定するレジスタ)	転送元メモリ上のデータの並び	転送順序	転送先メモリ上のデータの並び (転送結果)	転送元メモリ上のデータの並び	転送順序	転送先メモリ上のデータの並び (転送結果)
固定 (DMAiSFR アドレスレジスタ)	順方向 (DMAi メモリ アドレス レジスタ 又は DMAi メモリ アドレス リロード レジスタ)						
順方向 (DMAi メモリ アドレス レジスタ 又は DMAi メモリ アドレス リロード レジスタ)	固定 (DMAiSFR アドレス レジスタ)						

本製品は開発品ですので後日規格等を変更する場合があります

10. 周辺機能

10.5 タイマA

タイマAは16ビットのリロード機能付きカウンタ5本(タイマA0~A4)で構成されています。タイマA0~A4はそれぞれ以下に示す4つの動作モードを選択できます。

- タイマモード：内部で生成されたカウントソースをカウントするモード
- イベントカウンタモード：外部信号をカウントするモード
- ワンショットパルスモード：任意のパルス幅のパルスを1回出力するモード
- パルス幅変調(PWM)モード：任意のパルス幅のパルスを連続して出力するモード

図10.5.1にタイマAブロック図を、表10.5.1~表10.5.5に各モードの仕様を示します。

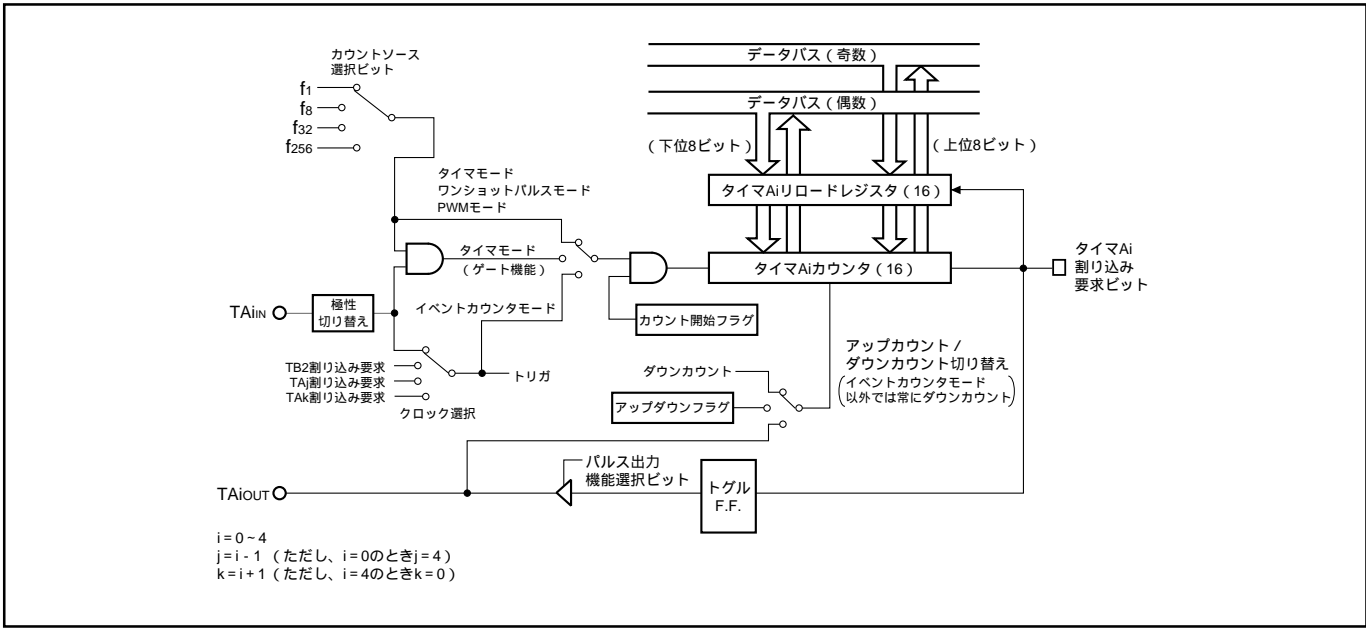


図10.5.1 タイマAブロック図

表10.5.1 タイマモードの仕様

項目	仕様
カウントソース f <sub>i</sub>	f <sub>1</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、又はf <sub>256</sub>
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ n: タイマA <sub>i</sub> レジスタ設定値
カウント開始条件	カウント開始フラグへの'1'書き込み
カウント停止条件	カウント開始フラグへの'0'書き込み
割り込み要求発生タイミング	アンダフロー時
TA <sub>iin</sub> 端子の機能	プログラマブル入出力ポート、又はゲート入力
TA <sub>iout</sub> 端子の機能	プログラマブル入出力ポート、又はパルス出力
タイマの読み出し	タイマA <sub>i</sub> レジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマA <sub>i</sub> レジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマA <sub>i</sub> レジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

i = 0 ~ 4

本製品は開発品ですので後日  
規格等を変更する場合があります

## 10. 周辺機能

表10.5.2 イベントカウンタモードの仕様(二相パルス信号処理機能を使用しない場合)

項目	仕様
カウントソース	以下のいずれかをソフトウェアで選択できる <ul style="list-style-type: none"> <li>・TA<sub>iIN</sub>端子に入力された外部信号 (有効エッジ：立ち下がり又は立ち上がりのどちらかを選択可能)</li> <li>・タイマB2割り込み要求</li> <li>・タイマA<sub>j</sub>割り込み要求 <math>j = i - 1</math> (ただし、<math>i = 0</math>のとき<math>j = 4</math>)</li> <li>・タイマA<sub>k</sub>割り込み要求 <math>k = i + 1</math> (ただし、<math>i = 4</math>のとき<math>k = 0</math>)</li> </ul>
カウント動作	以下のいずれかを、外部信号又はソフトウェアで選択できる <ul style="list-style-type: none"> <li>・アップカウント</li> <li>・ダウンカウント</li> </ul> 以下のいずれかをソフトウェアで選択できる <ul style="list-style-type: none"> <li>・オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(リロードタイプ)</li> <li>・オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードせずにカウントを継続(フリーランタイプ)</li> </ul>
分周比	ダウンカウント時 $\frac{1}{(n+1)}$ アップカウント時 $\frac{1}{(FFFF_{16} - n + 1)}$ n: タイマA <sub>i</sub> レジスタ設定値
カウント開始条件	カウント開始フラグへの"1"書き込み
カウント停止条件	カウント開始フラグへの"0"書き込み
割り込み要求発生タイミング	オーバフロー、及びアンダフロー時
TA <sub>iIN</sub> 端子の機能	プログラマブル入出力ポート、又はカウントソース入力
TA <sub>iOUT</sub> 端子の機能	プログラマブル入出力ポート、パルス出力、又はアップカウント/ダウンカウント切り替え信号入力
タイマの読み出し	タイマA <sub>i</sub> レジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマA <sub>i</sub> レジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマA <sub>i</sub> レジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

i = 0 ~ 4

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ  
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 10. 周辺機能

表10.5.3 イベントカウンタモードの仕様(タイマA2~A4で二相パルス信号処理機能を使用する場合)

項目	仕様
カウントソース	TA <sub>jIN</sub> 、TA <sub>jOUT</sub> 端子に入力された外部信号(二相パルス)
カウント動作	以下のいずれかを、外部信号又はソフトウェアで選択できる <ul style="list-style-type: none"> <li>・アップカウント</li> <li>・ダウンカウント</li> </ul> 以下のいずれかをソフトウェアで選択できる <ul style="list-style-type: none"> <li>・オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(リロードタイプ)</li> <li>・オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードせずにカウントを継続(フリーランタイプ)</li> </ul> 動作の選択 <ul style="list-style-type: none"> <li>・タイマA2：通常(2逓倍)処理動作</li> <li>・タイマA3：通常(2逓倍)処理動作又は4逓倍処理動作(ソフトウェアで選択できる)</li> <li>・タイマA4：4逓倍処理動作</li> </ul>
分周比	ダウンカウント時 $\frac{1}{(n+1)}$ アップカウント時 $\frac{1}{(FFFF_{16} - n + 1)}$ n：タイマAjレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー、及びアンダフロー時
TA <sub>jIN</sub> 、TA <sub>jOUT</sub> 端子の機能	二相パルス入力
タイマの読み出し	タイマAjレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマAjレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAjレジスタに書き込むと、リロードレジスタにだけ書き込まれる(カウンタには次のリロード時に転送される)

j = 2 ~ 4

本製品は開発品ですので後日  
規格等を変更する場合があります

## 10. 周辺機能

表10.5.4 ワンショットパルスモードの仕様

項目	仕様
カウントソース $f_i$	$f_1$ 、 $f_8$ 、 $f_{32}$ 、又は $f_{256}$
カウント動作	ダウンカウント カウンタの値が $0000_{16}$ になるタイミングでリロードレジスタの内容をリロードしてカウントを停止 カウント中にトリガが発生した場合は、リロードレジスタの内容をリロードしてカウントを継続
出力パルス幅(“H”)	$\frac{n}{f_i}$ [S] $n$ : タイマAiレジスタ設定値
カウント開始条件	トリガ発生(注) ソフトウェアによって6種類のトリガを選択可能
カウント停止条件	カウンタの値が $0000_{16}$ になる カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウント停止時
TA <sub>in</sub> 端子の機能	プログラマブル入出力ポート、又はトリガ入力
TA <sub>out</sub> 端子の機能	ワンショットパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

$i = 0 \sim 4$

注. トリガはカウント開始フラグが“1”のときに発生します。

本製品は開発品ですので後日  
規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 10. 周辺機能

表10.5.5 PWMモードの仕様

項目	仕様
カウントソース $f_i$	$f_1$ 、 $f_8$ 、 $f_{32}$ 、又は $f_{256}$
カウント動作	ダウンカウント(8ビット、又は16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードレジスタの内容をリロードしてカウントを継続 カウント中に発生したトリガはカウントに影響しない
PWM周期 / “H”レベル幅	16ビットパルス幅変調器 $\text{周期} = \frac{(2^{16} - 1)}{f_i} \quad [\text{S}]$ “H”レベル幅 = $\frac{n}{f_i} \quad [\text{S}]$ $n$ : タイマAiレジスタ設定値  8ビットパルス幅変調器 $\text{周期} = \frac{(m + 1) \times 2^8 - 1}{f_i} \quad [\text{S}]$ “H”レベル幅 = $\frac{n(m + 1)}{f_i} \quad [\text{S}]$ $m$ : タイマAiレジスタ下位8ビット設定値  $n$ : タイマAiレジスタ上位8ビット設定値
カウント開始条件	トリガ発生(注) ソフトウェアによって6種類のトリガを選択可能
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TA <sub>in</sub> 端子の機能	プログラマブル入出力ポート、又はトリガ入力
TA <sub>out</sub> 端子の機能	PWMパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

$i = 0 \sim 4$

注. トリガはカウント開始フラグが“1”のときに発生します。



本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

### 10.6 タイマB

タイマBは16ビットのリロード機能付きカウンタ3本(タイマB0~B2)で構成されています。タイマB0~B2はそれぞれ以下に示す3つの動作モードを選択できます。

- タイマモード：内部で生成されたカウントソースをカウントするモード
- イベントカウンタモード：外部信号をカウントするモード
- パルス周期測定/パルス幅測定モード：外部信号のパルス周期、又はパルス幅を測定するモード

図10.6.1にタイマBブロック図を、表10.6.1~表10.6.3に各モードの仕様を示します。

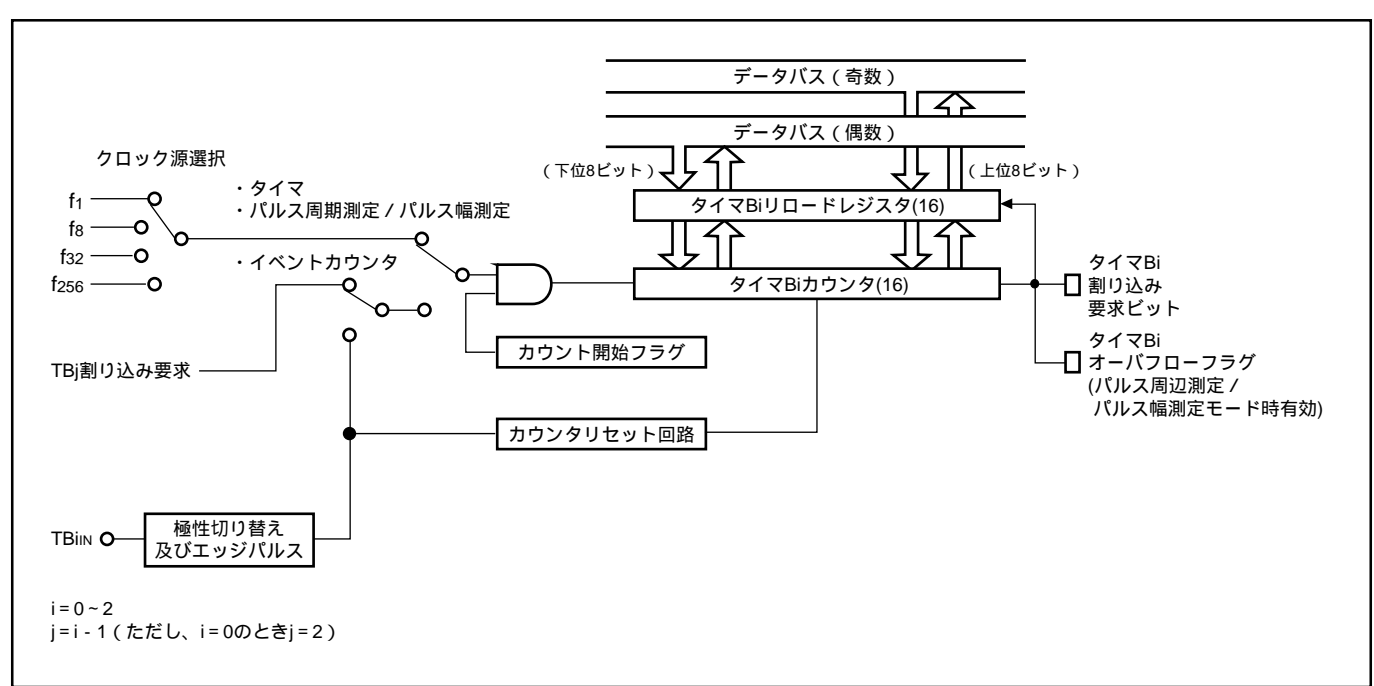


図10.6.1 タイマBブロック図

表10.6.1 タイマモードの仕様

項目	仕様
カウントソース $f_i$	$f_1$ 、 $f_8$ 、 $f_{32}$ 、又は $f_{256}$
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ $n$ : タイマBiレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBin端子の機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

$i = 0 \sim 2$

本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

表10.6.2 イベントカウンタモードの仕様

項目	仕様
カウントソース	以下のいずれかをソフトウェアで選択できる ・ TBin端子に入力された外部信号 (有効エッジ：立ち下がり又は立ち上がりのどちらかを選択可能) ・ タイマBj割り込み要求 $j = i - 1$ (ただし、 $i = 0$ のとき $j = 2$ )
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ n: タイマBiレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBin端子の機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

$i = 0 \sim 2$

表10.6.3 パルス周期測定 / パルス幅測定モードの仕様

項目	仕様
カウントソース $f_i$	$f_1$ 、 $f_8$ 、 $f_{32}$ 、又は $f_{256}$
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 <sub>16</sub> ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にオーバフローフラグが“1”になる)
TBin端子の機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	無効

$i = 0 \sim 2$

オーバフローフラグ：割り込み要求発生要因の判別用フラグ

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

2. カウント開始後2回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

### 10.7 シリアルI/O

シリアルI/OはUART0、及びUART1の2チャンネルで構成されています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

UART( $i = 0, 1$ )には以下に示す2つの動作モードがあります。

- クロック同期形シリアルI/Oモード  
転送クロックに送受信間で同一のクロックを使用するモードです。転送データ長は8ビットです。
- クロック非同期形シリアルI/O (UART)モード  
任意の転送速度、転送データフォーマットを設定できるモードです。転送データ長には7ビット、8ビット、又は9ビットのいずれかを選択できます。

図10.7.1に各動作モード時の転送データフォーマットを、図10.7.2～図10.7.4にブロック図を示します。

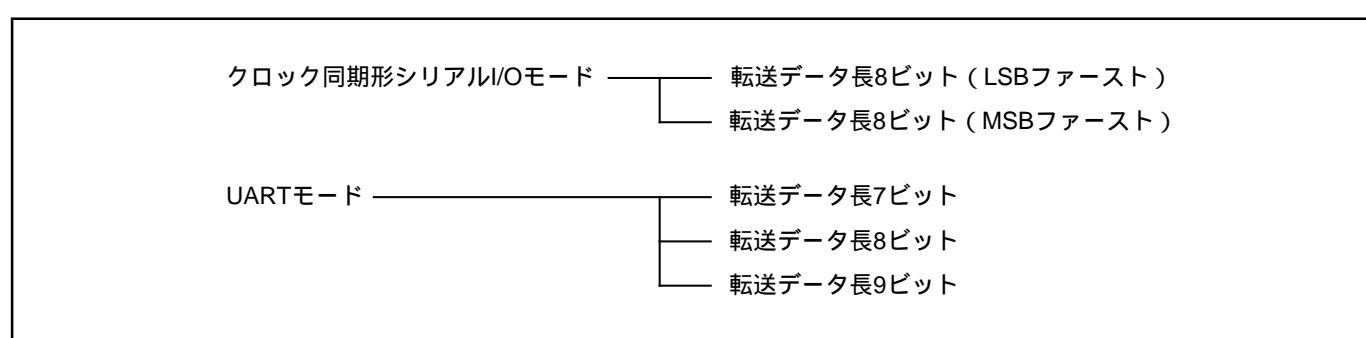


図10.7.1 各動作モード時の転送データフォーマット

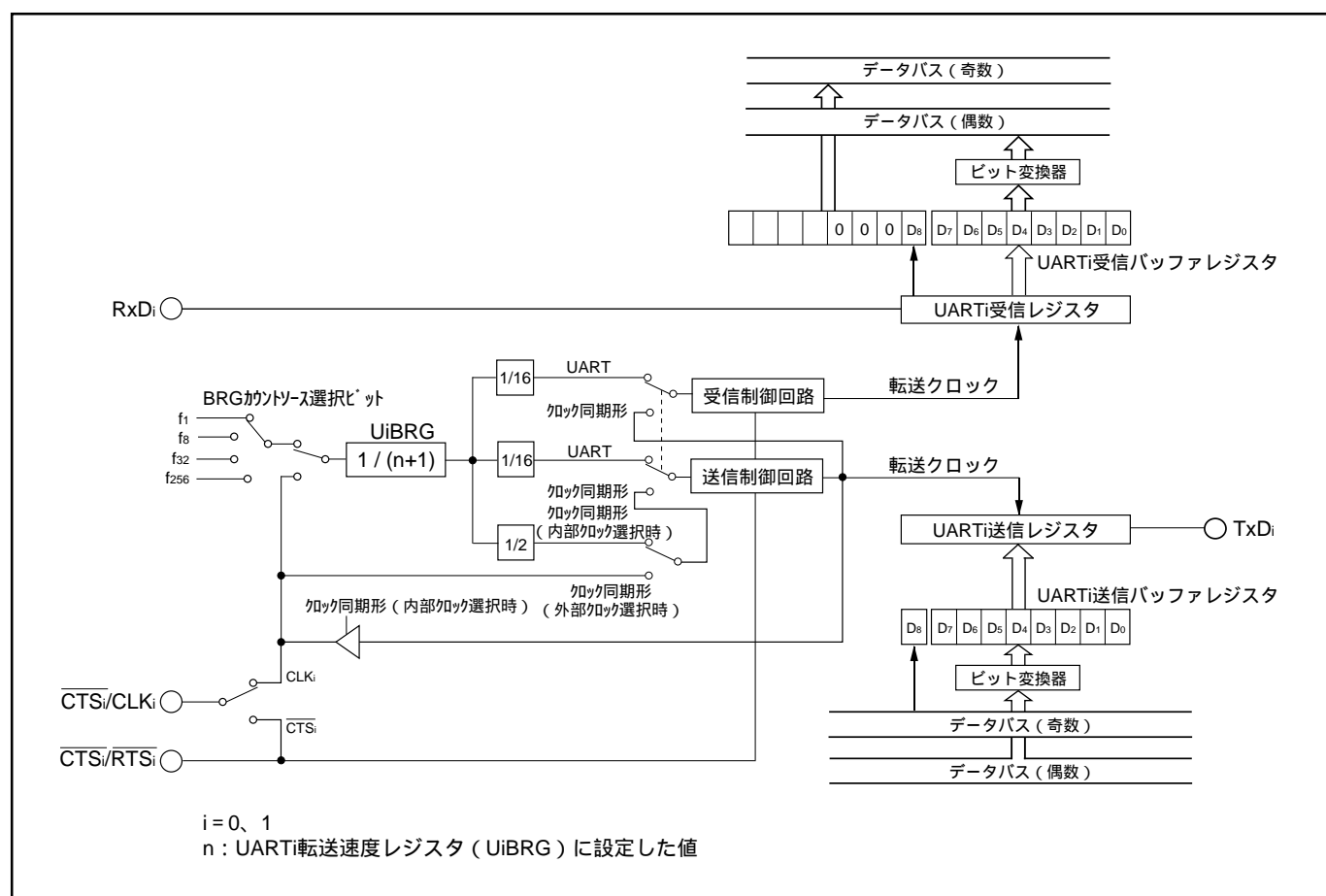


図10.7.2 シリアルI/Oブロック図

本製品は開発品ですので後日規格等を変更する場合があります

10. 周辺機能

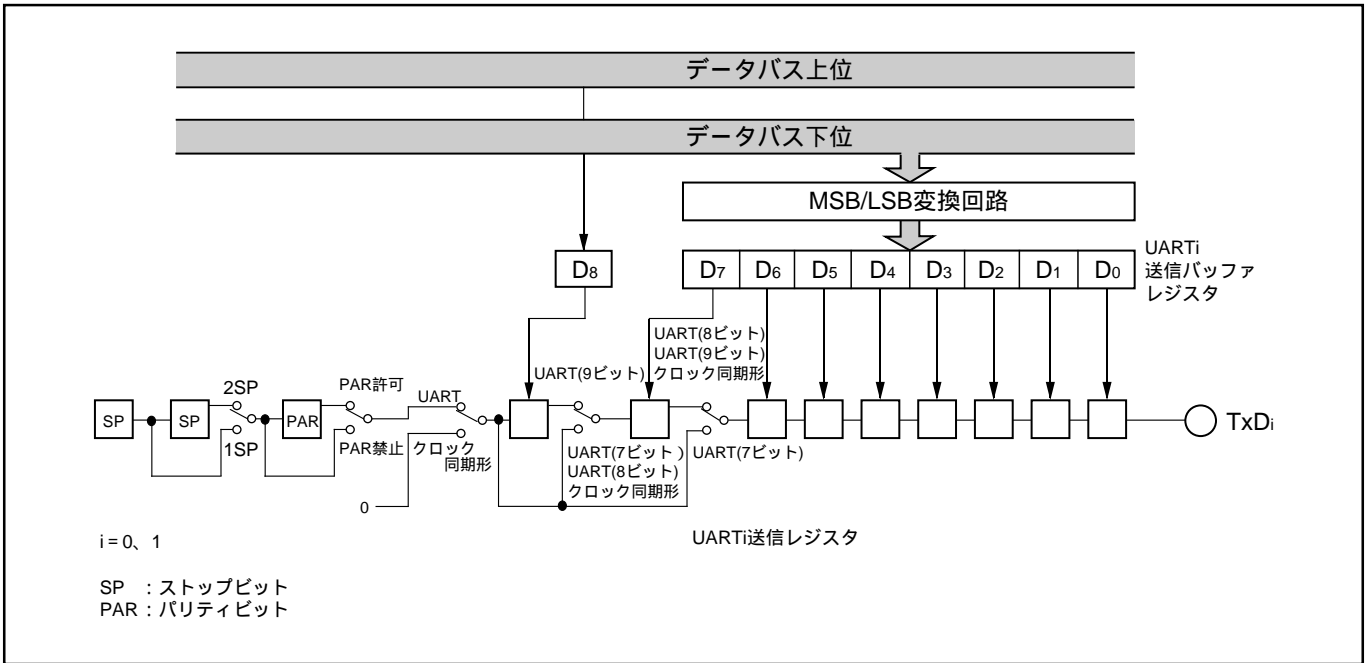


図10.7.3 送信部のブロック図

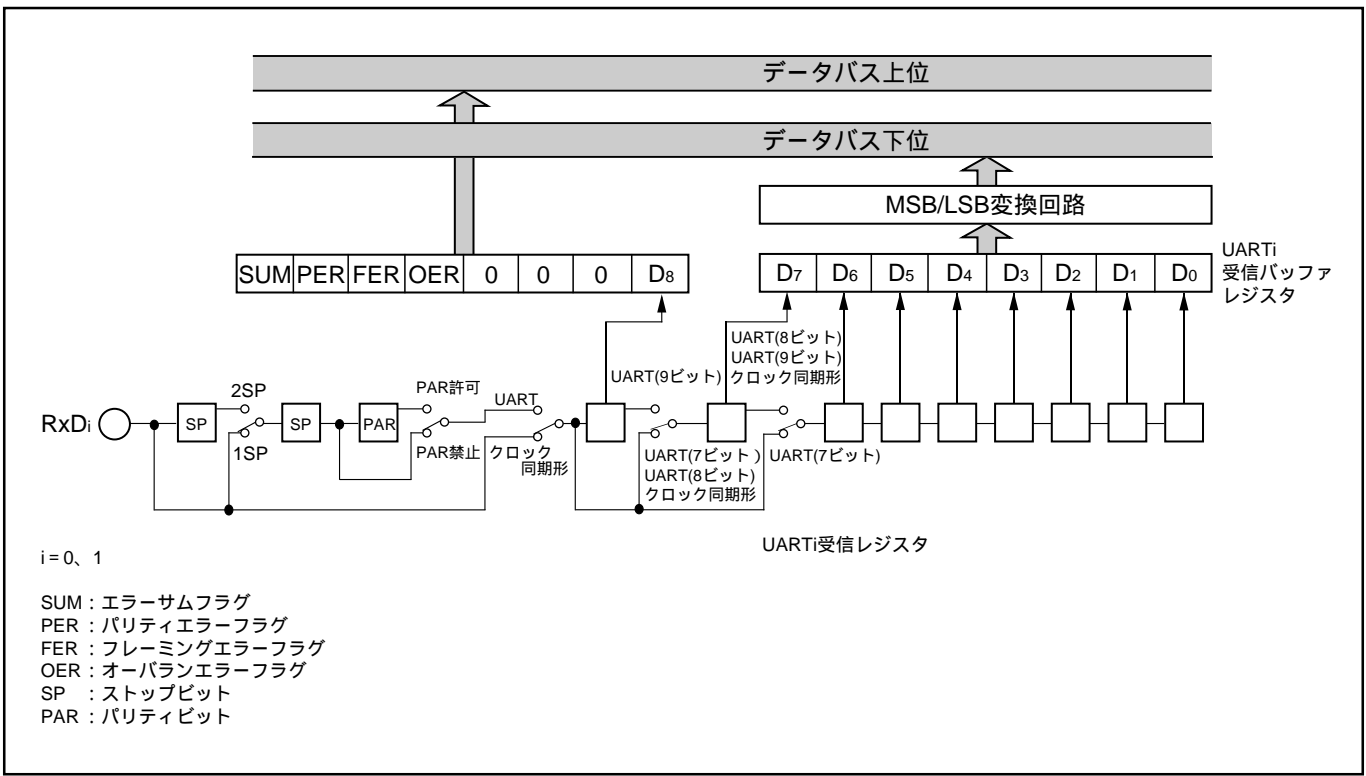


図10.7.4 受信部のブロック図

本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

### 10.7.1 クロック同期形シリアルI/Oモード

表10.7.1にクロック同期形シリアルI/Oモード時の性能概要を、表10.7.2に入出力端子の機能を示します。

表10.7.1 クロック同期形シリアルI/Oモード時の性能概要

項目		機能
転送データフォーマット		転送データ長8ビット LSBファースト、又はMSBファーストをソフトウェアによって選択できる
転送速度	内部クロック選択時	UiBRGの出力の2分周クロック
	外部クロック選択時	最大5Mbps
送信制御 / 受信制御		CTS機能、又はRTS機能をソフトウェアによって選択できる
エラー検出		オーバランエラー

i = 0, 1

表10.7.2 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxD(P6 <sub>3</sub> 、P6 <sub>7</sub> )	シリアルデータ出力	-(受信だけを行うときはダミーデータを出力)(注) TxD <sub>0</sub> /P6 <sub>3</sub> 、TxD <sub>1</sub> /P6 <sub>7</sub> 切り替えビット = 1
	プログラマブル入出力ポート	
RxD(P6 <sub>2</sub> 、P6 <sub>6</sub> )	シリアルデータ入力	ポートP6方向レジスタの対応するビット = 0 (送信だけを行うときは入出力ポートとして使用できる)
CLK(P6 <sub>1</sub> 、P6 <sub>5</sub> )	転送クロック出力	内 / 外部クロック選択ビット = 0
	転送クロック入力	内 / 外部クロック選択ビット = 1
CTS <sub>i</sub> 、RTS <sub>i</sub> (P6 <sub>0</sub> 、P6 <sub>1</sub> 、P6 <sub>4</sub> 、 P6 <sub>5</sub> )	CTS入力	表10.7.3参照
	RTS出力	
	プログラマブル入出力ポート	

i = 0, 1

注 . UART<sub>i</sub>の動作モード選択後、送信開始までは、TxD<sub>i</sub>端子は“H”レベルを出力します。

表10.7.3 CTS/RTS機能の選択

CTS/RTS 禁止ビット	CTS <sub>i</sub> /RTS <sub>i</sub> 分離選択ビット	CTS/RTS 機能選択ビット	機能			
			P6 <sub>0</sub> /CTS <sub>0</sub> /RTS <sub>0</sub> 端子(注1)	P6 <sub>1</sub> /CTS <sub>0</sub> /CLK <sub>0</sub> 端子	P6 <sub>4</sub> /CTS <sub>1</sub> /RTS <sub>1</sub> 端子	P6 <sub>5</sub> /CTS <sub>1</sub> /CLK <sub>1</sub> 端子
0	0	0	CTS <sub>0</sub>	P6 <sub>1</sub> 又はCLK <sub>0</sub>	CTS <sub>1</sub>	P6 <sub>5</sub> 又はCLK <sub>1</sub>
		1	RTS <sub>0</sub>	P6 <sub>1</sub> 又はCLK <sub>0</sub>	RTS <sub>1</sub>	P6 <sub>5</sub> 又はCLK <sub>1</sub>
	1	x	RTS <sub>0</sub>	CTS(注1、2)	RTS <sub>1</sub>	CTS(注1、2)
1	x	x	P6 <sub>0</sub>	P6 <sub>1</sub> 又はCLK <sub>0</sub>	P6 <sub>4</sub>	P6 <sub>5</sub> 又はCLK <sub>1</sub>

i = 0, 1

x : “0”又は“1”いずれでもよい。

注1 . P6<sub>1</sub>又はP6<sub>5</sub>端子をCTS<sub>i</sub>端子として使用する場合は、ポートP6方向レジスタの対応するビットを“0”にしてください。

2 . CTS<sub>i</sub>/RTS<sub>i</sub>分離を選択した場合は、CLK<sub>i</sub>端子を使用できません。したがって、クロック同期形シリアルI/Oモードでは、CTS<sub>i</sub>/RTS<sub>i</sub>を分離できません。また、UARTモードでCTS<sub>i</sub>/RTS<sub>i</sub>を分離する場合は、内部クロックを選択してください。

本製品は開発品ですので後日  
規格等を変更する場合があります

## 10. 周辺機能

### 10.7.2 クロック非同期形シリアルI/O (UART)モード

表10.7.4にUARTモード時の性能概要を、表10.7.5に入出力端子の機能を示します。

表10.7.4 UARTモード時の性能概要

項 目		機 能
転送データ フォーマット	スタートビット	1ビット
	キャラクタビット(転送データ)	7ビット、8ビット、又は9ビット
	パリティビット	0ビット、又は1ビット(奇数、又は偶数を選択できる)
	ストップビット	1ビット、又は2ビット
転送速度	内部クロック選択時	UiBRGの出力の16分周クロック
	外部クロック選択時	最大312.5kbps
受信制御 / 送信制御		CTS機能、RTS機能をソフトウェアによって選択できる
エラー検出		エラーフラグ4種類(オーバラン、フレーミング、パリティ、エラーサム) エラーの有無はエラーサムフラグの判定だけで可能

i = 0、1

表10.7.5 UARTモード時の入出力端子の機能

端子名	機 能	選択方法
TxD( P6 <sub>3</sub> 、P6 <sub>7</sub> )	シリアルデータ出力	- (注)
	プログラマブル入出力ポート	TxD <sub>0</sub> /P6 <sub>3</sub> 、TxD <sub>1</sub> /P6 <sub>7</sub> 切り替えビット = 1
RxD( P6 <sub>2</sub> 、P6 <sub>6</sub> )	シリアルデータ入力	ポートP6方向レジスタの対応するビット = 0 (送信だけを行うときは入出力ポートとして使用できる)
CLK( P6 <sub>1</sub> 、P6 <sub>5</sub> )	UiBRGのカウントソース入力	内 / 外部クロック選択ビット = 1
	プログラマブル入出力ポート	内 / 外部クロック選択ビット = 0
CTS <sub>i</sub> 、RTS <sub>i</sub> ( P6 <sub>0</sub> 、P6 <sub>1</sub> 、P6 <sub>4</sub> 、 P6 <sub>5</sub> )	CTS入力	表10.7.3参照
	RTS出力	
	プログラマブル入出力ポート	

i = 0、1

注 . UART<sub>i</sub>の動作モード選択後、送信を行っていないときは、TxD<sub>i</sub>端子は“H”レベルを出力します。

本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

### 10.8 A-D変換器

分解能8ビット、又は分解能10ビットのA-D変換ができます。表10.8.1にA-D変換器の性能を、図10.8.1にA-D変換器ブロック図を示します。

表10.8.1 A-D変換器の性能

項目	性能		
A-D変換方式	逐次比較変換方式		
動作モード	単発モード	選択された1本のアナログ入力端子からの入力電圧を1回だけA-D変換する	
	繰り返しモード	選択された1本のアナログ入力端子からの入力電圧を繰り返しA-D変換する	
	単掃引モード	選択された複数のアナログ入力端子からの入力電圧を1回ずつA-D変換する	
	繰り返し掃引モード	選択された複数のアナログ入力端子からの入力電圧を繰り返しA-D変換する	
アナログ入力端子	8本(AN <sub>0</sub> ~ AN <sub>7</sub> )		
動作クロック AD	f <sub>AD</sub> 、f <sub>AD</sub> の2分周、f <sub>AD</sub> の3分周、f <sub>AD</sub> の4分周、及びf <sub>AD</sub> の6分周		
分解能	8ビット、又は10ビットをソフトウェアで選択できる		
A-D変換開始条件	以下のいずれかをソフトウェアで選択できる <ul style="list-style-type: none"> <li>・ A-D変換開始フラグへの「1」書き込み</li> <li>・ A-D変換開始フラグが「1」の状態でのAD<sub>TRG</sub>端子への立ち下がり入力</li> <li>・ A-D変換開始フラグが「1」の状態でのタイマB2割り込み要求発生</li> </ul>		
アナログ入力端子1本あたりの変換時間	サンプル&ホールドなし	分解能8ビットモード時	49 ADサイクル
		分解能10ビットモード時	59 ADサイクル
	サンプル&ホールドあり	分解能8ビットモード時	28 ADサイクル
		分解能10ビットモード時	33 ADサイクル
		単発モード、繰り返しモード時	単掃引モード、繰り返し掃引モード時

AD : A-D変換器の動作クロック

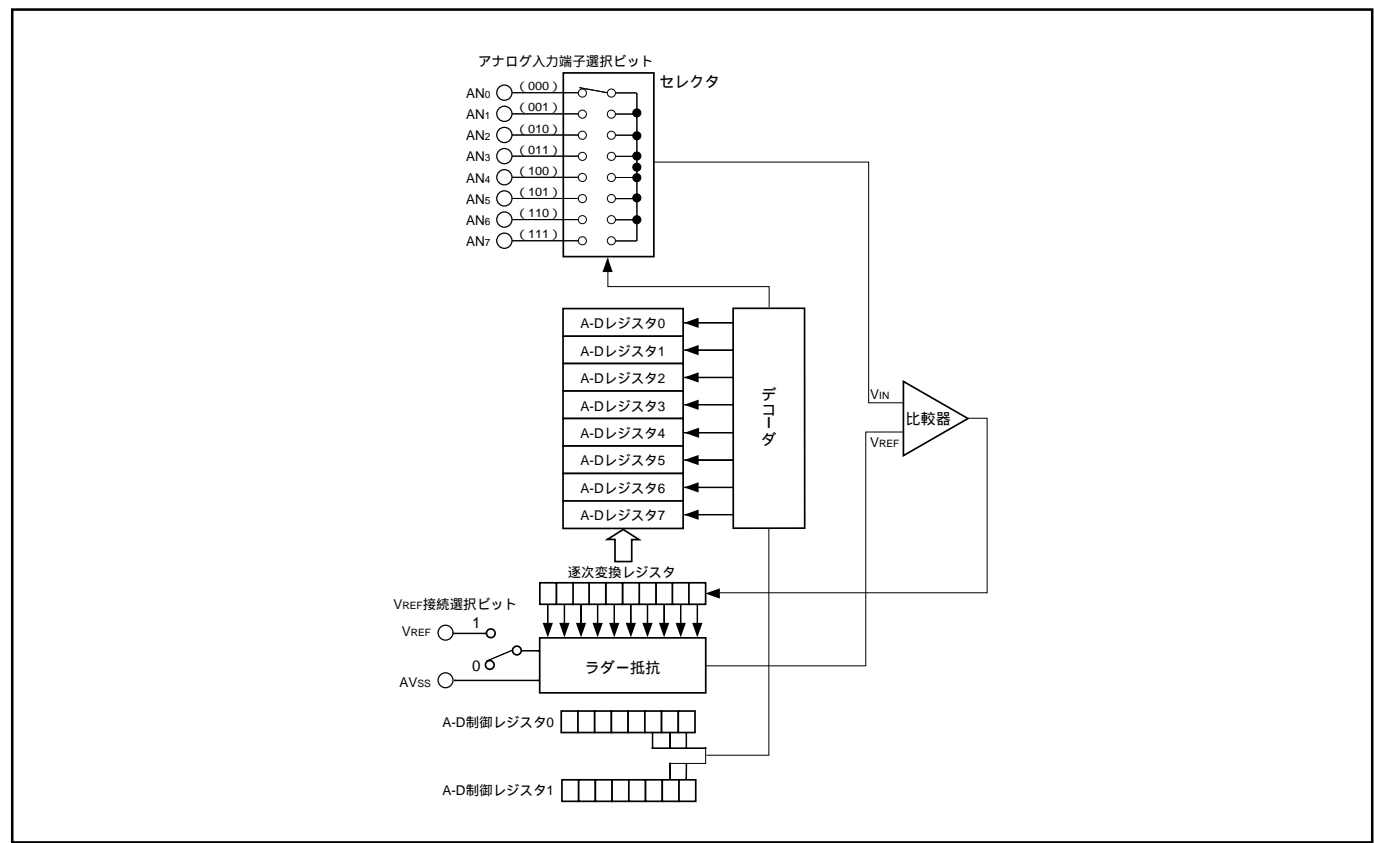


図10.8.1 A-D変換器ブロック図

本製品は開発品ですので後日  
規格等を変更する場合があります

10. 周辺機能

10.9 D-A変換器

8ビットの分解能を持つR-2R方式のD-A変換器は3回路あり、それぞれ独立して動作します。  
図10.9.1にD-A変換器ブロック図を示します。

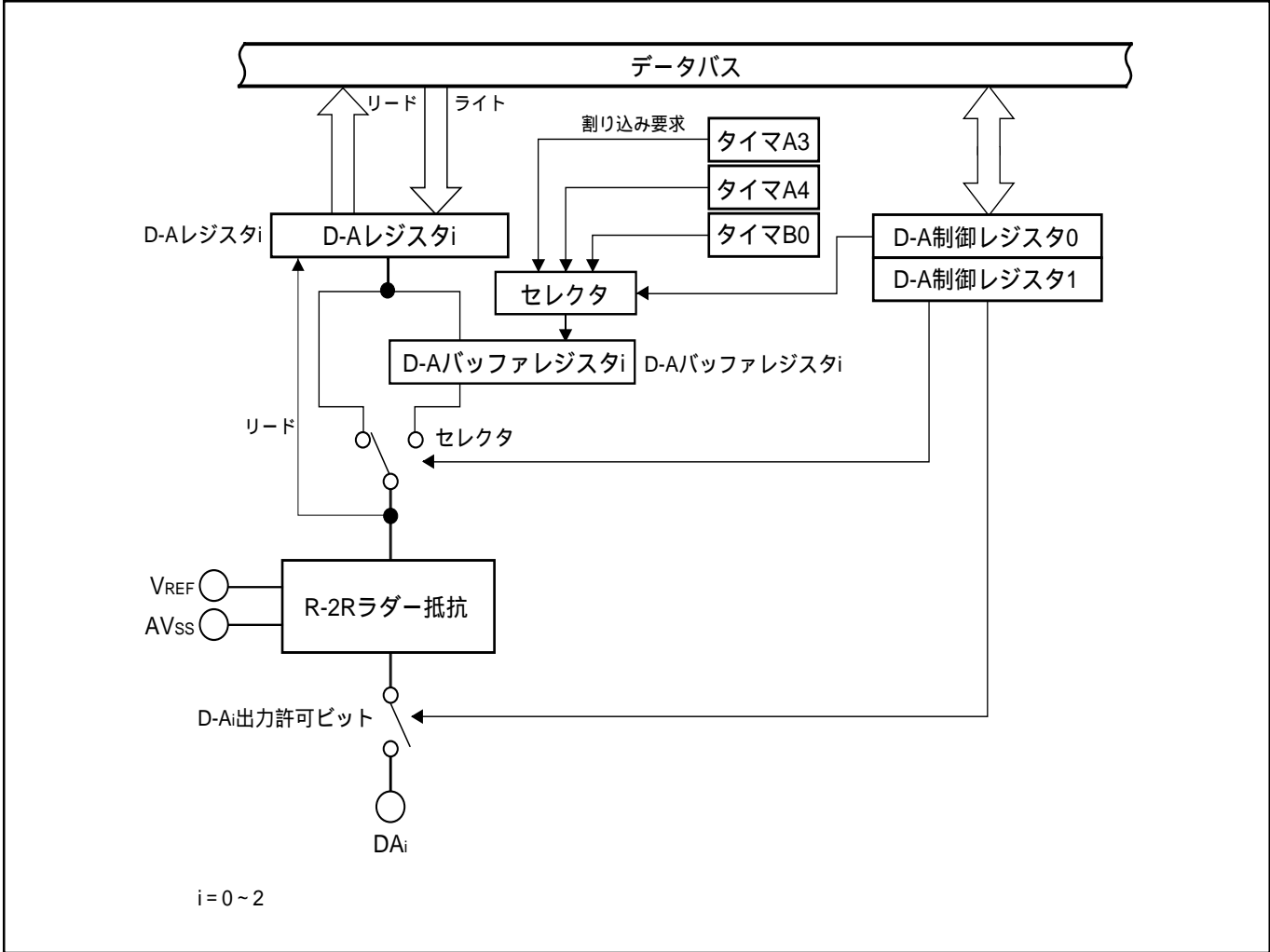


図10.9.1 D-A変換器ブロック図



本製品は開発品ですので後日規格等を変更する場合があります

## 10. 周辺機能

### 10.10 プログラマブル入出力ポート

プログラマブル入出力ポートは85本あり、各ポートの入出力は、方向レジスタによって1ポート(1ビット)ごとに設定できます。

図10.10.1、図10.10.2にポート周辺回路を示します。

なお、プログラマブル入出力ポートは、内蔵周辺装置の入出力端子と共用です。内蔵周辺装置の入出力端子として使用する場合は、各内蔵周辺装置の説明を参照してください。

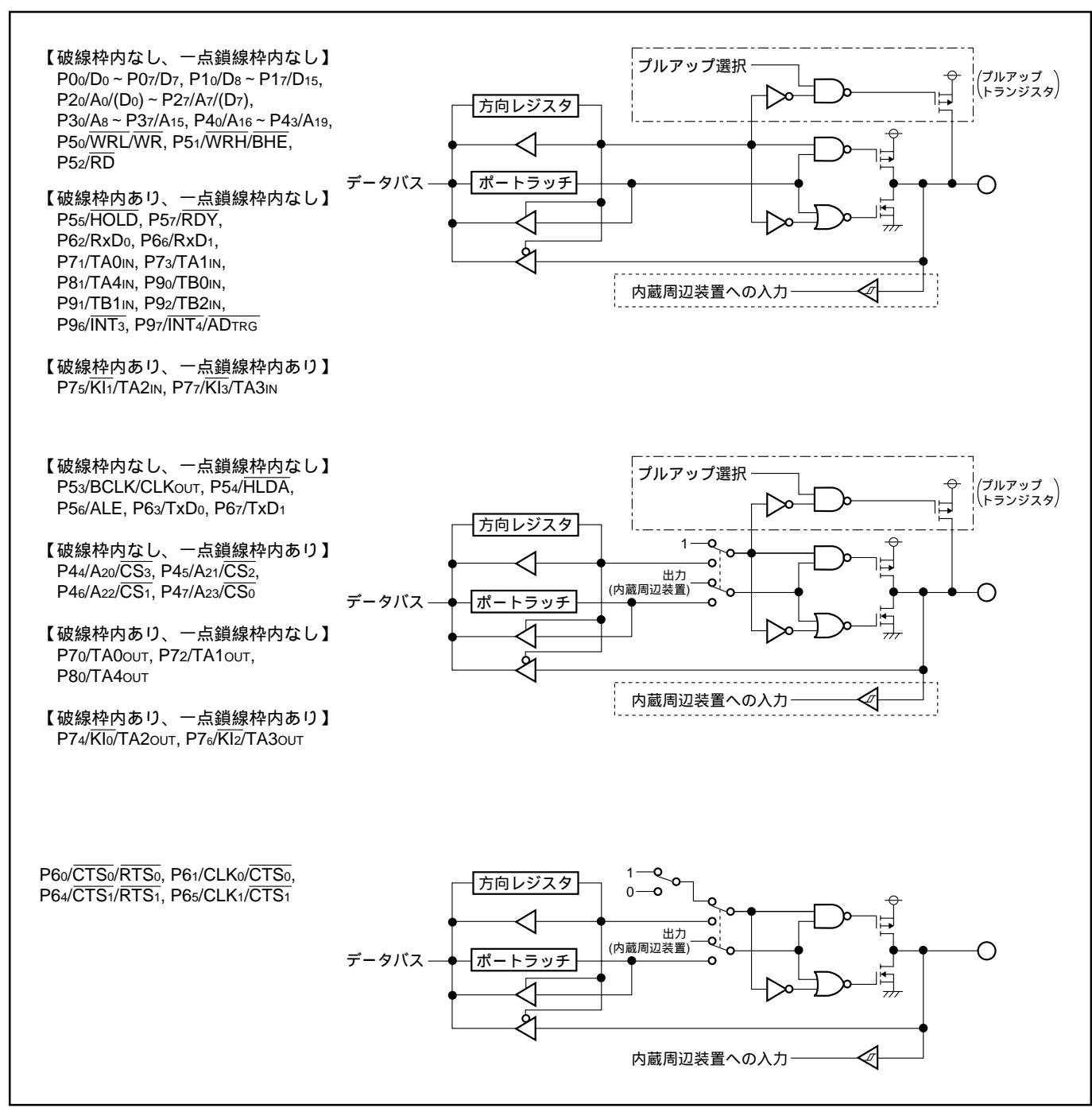


図10.10.1 ポート周辺回路(1)

本製品は開発品ですので後日  
規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

10. 周辺機能

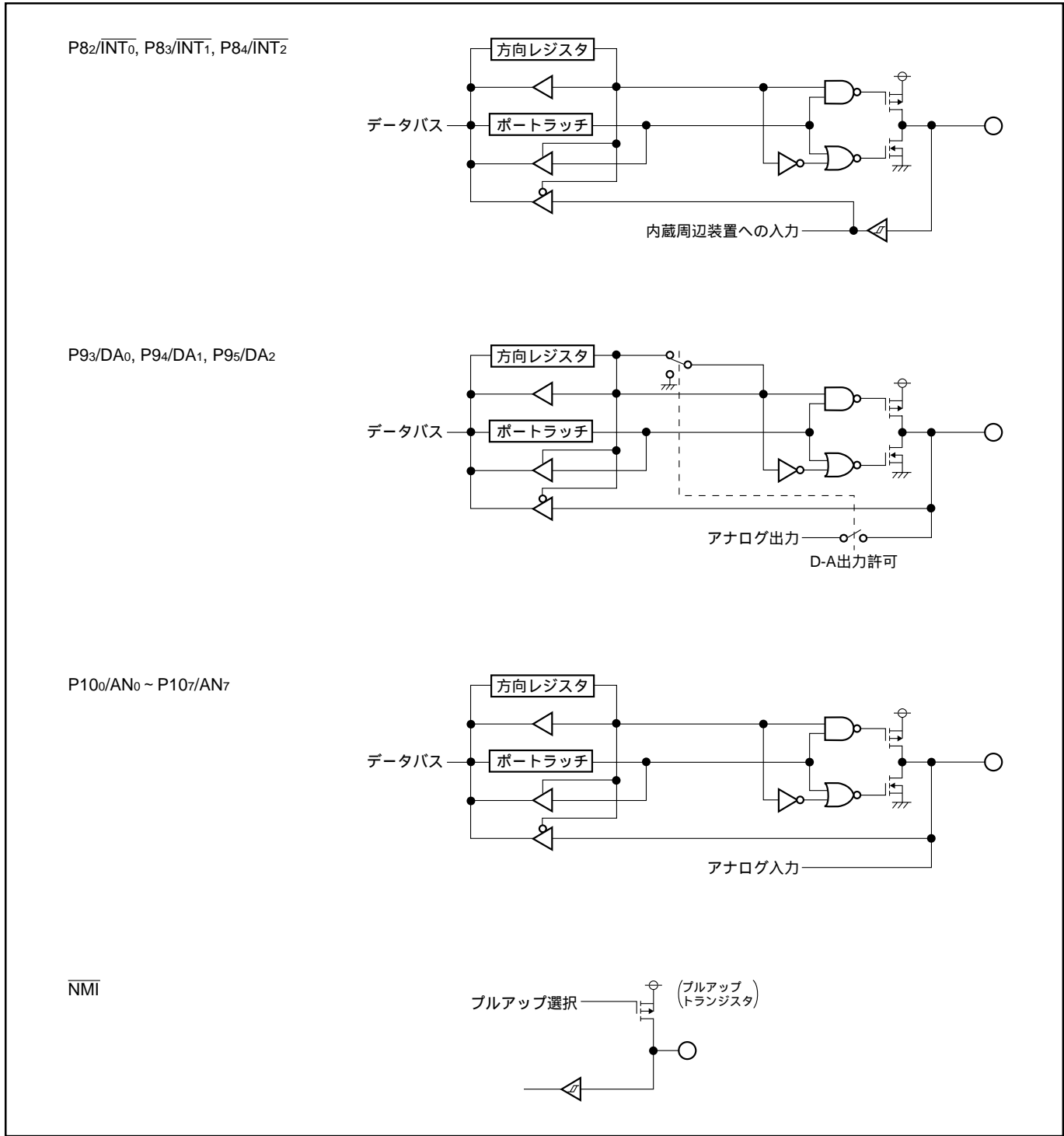


図10.10.2 ポート周辺回路(2)

本製品は開発品ですので後日  
規格等を変更する場合があります

## 11. フラッシュメモリ

### 11. フラッシュメモリ

内蔵のフラッシュメモリは、CPU書き換えモード、シリアル入出力モード、及びパラレル入出力モードの3つの書き換えモードで操作できます。

表11.1.1にフラッシュメモリの性能概要を、表11.1.2にフラッシュメモリ書き換えモードの概要を示します。

表11.1.1 フラッシュメモリの性能概要

項目	性能
電源電圧	FV <sub>CC</sub> : 5V ± 0.5V、V <sub>CC</sub> : 3.3V ± 0.3V
プログラム/イレーズ電圧	FV <sub>CC</sub> : 5V ± 0.5V、V <sub>CC</sub> : 3.3V ± 0.3V
プログラム	1ワード(2バイト)単位
イレーズ	ブロック単位
フラッシュメモリ書き換えモード	CPU書き換えモード シリアル入出力モード パラレル入出力モード
プログラム/イレーズ回数	100回

表11.1.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ 書き換えモード	CPU書き換えモード	シリアル入出力モード	パラレル入出力モード
機能概要	シングルチップモード又はメモリ拡張モードで、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換える	専用シリアルライタを使用して、内蔵フラッシュメモリ領域を書き換える	専用パラレルライタを使用して、内蔵フラッシュメモリ領域を書き換える
使用できるROMライタ	(必要なし)	シリアルライタ(注) ・(株)替星電子システム製 ・(株)ワイ・ディ・シー製	パラレルライタ(注) ・(株)替星電子システム製

注．シリアルライタ及びパラレルライタについては、最新のカタログ類を参照してください。

本製品は開発品ですので後日規格等を変更する場合があります

11. フラッシュメモリ

内蔵フラッシュメモリの領域はいくつかのブロックに分割されており、各ブロックごとにプログラム/イレーズを禁止する(ロックする)ことができます。

図11.1.1にフラッシュメモリのメモリ配置を示します。

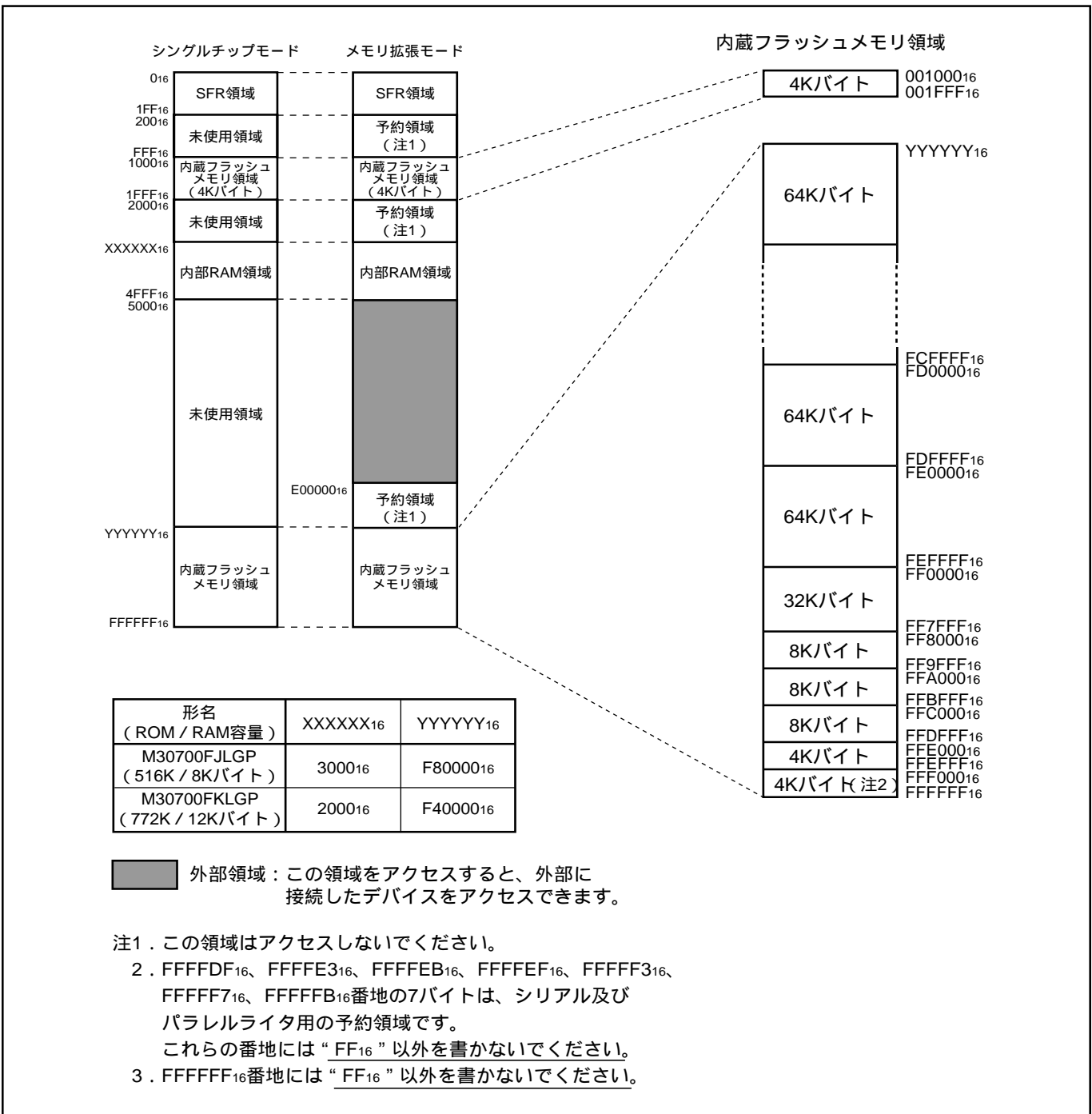


図11.1.1 フラッシュメモリのメモリ配置

本製品は開発品ですので後日規格等を変更する場合があります

## 11. フラッシュメモリ

### 11.1 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換えることができます。したがって、ROMライタなどを使用せずに、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。

表11.1.3にソフトウェアコマンドを、表11.1.4、表11.1.5に電気的特性を示します。

表11.1.3 ソフトウェアコマンド

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D <sub>15</sub> ~D <sub>0</sub> )	モード	アドレス	データ (D <sub>15</sub> ~D <sub>0</sub> )	モード	アドレス	データ (D <sub>15</sub> ~D <sub>0</sub> )
リードアレイ	ライト	X	xxFF <sub>16</sub>	-	-	-	-	-	-
クリアステータス	ライト	X	xx50 <sub>16</sub>	-	-	-	-	-	-
プログラム	ライト	X	xx40 <sub>16</sub>	ライト	WA	WD	-	-	-
ブロックイレーズ	ライト	X	xx20 <sub>16</sub>	ライト	BA	xxD0 <sub>16</sub>	-	-	-
ロックビットプログラム	ライト	X	xx77 <sub>16</sub>	ライト	BA	xxD0 <sub>16</sub>	-	-	-
リードロックビットステータス	ライト	X	xx71 <sub>16</sub>	ライト	BA	xxD0 <sub>16</sub>	リード	0055 <sub>16</sub>	D <sub>6</sub>

WA : 書き込み番地

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位番地(ただし、A<sub>0</sub>=0)

D<sub>6</sub> : ロックビットフラグ(D<sub>6</sub>=1 : 非ロック状態、D<sub>6</sub>=0 : ロック状態)

X : 内蔵フラッシュメモリ領域内の任意の偶数番地(A<sub>0</sub>=0)

xx : コマンドコード上位8ビット(任意の値)

表11.1.4 直流電気的特性(V<sub>CC</sub>=3.3V±0.3V, FV<sub>CC</sub>=5V±0.5V, Ta=0~60, f(BCLK)=20MHz)

記号	項目	規格値			単位
		最小	標準	最大	
I <sub>CC1</sub>	V <sub>CC</sub> 電源電流(プログラム時)			54	mA
I <sub>CC2</sub>	V <sub>CC</sub> 電源電流(イレーズ時)			54	mA

表11.1.5 交流電気的特性(V<sub>CC</sub>=3.3V±0.3V, FV<sub>CC</sub>=5V±0.5V, Ta=0~60, f(BCLK)=20MHz)

項目	規格値			単位
	最小	標準	最大	
ワードプログラム時間		25	600	μs
4K/8Kブロックイレーズ時間		0.3	8	s
32Kブロックイレーズ時間		0.6	8	s
64Kブロックイレーズ時間		0.8	8	s
ロックビットプログラム時間		25	600	μs

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ  
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 11. フラッシュメモリ

### 11.2 シリアル入出力モード

シリアル入出力モードでは、(株) 慧星電子システム製、又は(株)ワイ・ディ・シー製シリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

また、FFFFDF<sub>16</sub>、FFFFE3<sub>16</sub>、FFFFEB<sub>16</sub>、FFFFEF<sub>16</sub>、FFFFF3<sub>16</sub>、FFFFF7<sub>16</sub>、FFFFFB<sub>16</sub>番地の7バイトは、シリアル及びパラレルライタの予約領域です。これらの番地には“FF<sub>16</sub>”以外を書かないでください。

表11.2.1にシリアル入出力モード時の端子の機能説明を、図11.2.1にシリアル入出力モード時の端子の結線図を示します。

表11.2.1 シリアル入出力モード時の端子の機能説明

端子名	名称	入出力	機能	
V <sub>CC</sub>	電源入力		3.3V ± 0.3Vを印加してください。	
V <sub>SS</sub>			0Vを印加してください。	
FV <sub>CC</sub>	フラッシュメモリ用電源入力		5V ± 0.5Vを印加してください。	
CNV <sub>SS</sub>	CNV <sub>SS</sub>	入 力	0Vを印加してください。	
FMD	FMD	入 力	抵抗(10k ~ 100k )を介してV <sub>SS</sub> に接続してください。	
RESET	リセット入力	入 力	リセット入力端子です(注1)。	
X <sub>IN</sub>	クロック入力	入 力	X <sub>IN</sub> 端子とX <sub>OUT</sub> 端子の間にはセラミック共振子、又は水晶共振子を接続してください。外部で生成したクロックを入力する場合は、X <sub>IN</sub> 端子から外部で生成したクロックを入力し、X <sub>OUT</sub> 端子は開放してください。	
X <sub>OUT</sub>	クロック出力	出 力		
NMI	NMI割り込み入力	入 力	V <sub>CC</sub> に接続、又は開放してください。	
V <sub>CONT</sub>	フィルタ回路接続		V <sub>CONT</sub> 端子(シリアル入出力モード時は使用しません)	
AV <sub>CC</sub>	アナログ電源入力		V <sub>CC</sub> に接続してください。	
AV <sub>SS</sub>			V <sub>SS</sub> に接続してください。	
V <sub>REF</sub>	基準電圧入力	入 力	V <sub>REF</sub> 端子(シリアル入出力モード時は使用しません)	
P0 <sub>0</sub> ~ P0 <sub>7</sub>	入力ポートP0	入 力	入力ポート(シリアル入出力モード時は使用しません)	
P1 <sub>0</sub> ~ P1 <sub>7</sub>	入力ポートP1	入 力		
P2 <sub>0</sub> ~ P2 <sub>7</sub>	入力ポートP2	入 力		
P3 <sub>0</sub> ~ P3 <sub>7</sub>	入力ポートP3	入 力		
P4 <sub>0</sub> ~ P4 <sub>7</sub>	入力ポートP4	入 力		
P5 <sub>0</sub> ~ P5 <sub>2</sub> 、P5 <sub>6</sub> 、P5 <sub>7</sub>	入力ポートP5	入 力		
P5 <sub>3</sub>	SCLK入力	入 力		シリアルクロックの入力端子です。
P5 <sub>4</sub>	BUSY出力	出 力		BUSY信号の出力端子です。
P5 <sub>5</sub>	SDA入出力	入出力		シリアルデータの入出力端子です。この端子は、抵抗(1k程度)を介してV <sub>CC</sub> に接続してください。
P6 <sub>0</sub> ~ P6 <sub>7</sub>	入力ポートP6	入 力		入力ポート(シリアル入出力モード時は使用しません)
P7 <sub>0</sub> ~ P7 <sub>7</sub>	入力ポートP7	入 力		
P8 <sub>0</sub> ~ P8 <sub>4</sub>	入力ポートP8	入 力		
P9 <sub>0</sub> ~ P9 <sub>7</sub>	入力ポートP9	入 力		
P10 <sub>0</sub> ~ P10 <sub>7</sub>	入力ポートP10	入 力		

注1. ユーザリセット信号がシリアル入出力モード中に“L”になる可能性のある場合は、ジャンプスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください。

2. シリアル入出力モードで使用しない端子は、ユーザシステム上で必要に応じて接続してください。

本製品は開発品ですので後日  
規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

11. フラッシュメモリ

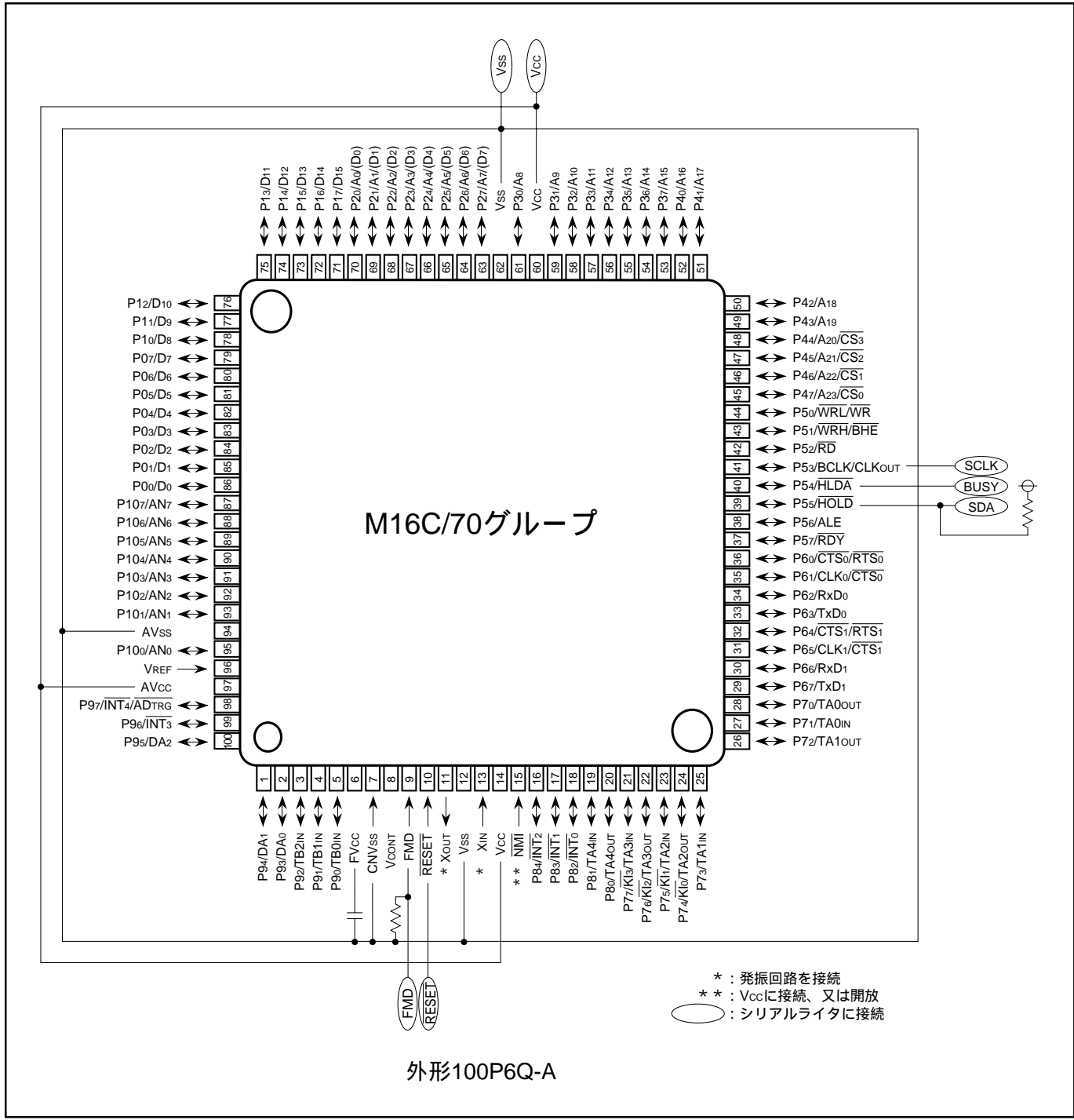


図11.2.1 シリアル入出力モード時の端子の結線図(外形：100P6Q-A)

11.3 パラレル入出力モード

パラレル入出力モードでは、(株) 蒼星電子システム製パラレルライターを使用して、内蔵フラッシュメモリ領域の内容を書き換えることができます。パラレルライターについては、メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

本製品は開発品ですので後日  
規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 12. M16C/70電気的特性

### 12. M16C/70電気的特性

以下にM16C/70の電気的特性を示します。

#### 絶対最大定格

記号	項目	定格値	単位
V <sub>CC</sub>	電源電圧	-0.3 ~ 4.2	V
FV <sub>CC</sub>	フラッシュメモリ用電源電圧	-0.3 ~ 6.5	V
AV <sub>CC</sub>	アナログ電源電圧	-0.3 ~ 4.2	V
V <sub>I</sub>	入力電圧 P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub> , V <sub>REF</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub> , FMD, NMI, V <sub>CONT</sub>	-0.3 ~ V <sub>CC</sub> +0.3	V
V <sub>O</sub>	出力電圧 P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub> , X <sub>OUT</sub>	-0.3 ~ V <sub>CC</sub> +0.3	V
P <sub>d</sub>	消費電力	300	mW
T <sub>opr</sub>	動作周囲温度	-20 ~ 85	
T <sub>stg</sub>	保存温度	-40 ~ 150	



本製品は開発品ですので後日規格等を変更する場合があります

## 12. M16C/70電気的特性

推奨動作条件(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85$  )

記号	項目	規格値			単位	
		最小	標準	最大		
$V_{CC}$	電源電圧	3.0	3.3	3.6	V	
$FV_{CC}$	フラッシュメモリ用電源電圧	4.5	5.0	5.5	V	
$AV_{CC}$	アナログ電源電圧		$V_{CC}$		V	
$V_{SS}$	電源電圧		0		V	
$AV_{SS}$	アナログ電源電圧		0		V	
$V_{IH}$	“H”入力電圧	$X_{IN}$ , RESET, $CNV_{SS}$ , FMD		$0.8V_{CC}$	$V_{CC}$	V
$V_{IH}$	“H”入力電圧	P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub>		$0.65V_{CC}$	$V_{CC}$	V
$V_{IH}$	“H”入力電圧	D0~D7, D8~D15		$0.65V_{CC}$	$V_{CC}$	V
$V_{IH}$	“H”入力電圧	RDY, HOLD, TA0 <sub>IN</sub> ~TA4 <sub>IN</sub> , TA0 <sub>OUT</sub> ~TA4 <sub>OUT</sub> , TB0 <sub>IN</sub> ~TB2 <sub>IN</sub> , KI0~KI3, INT0~INT4, NMI, AD <sub>TRG</sub> , CTS0, CTS1, CLK0, CLK1, RxD0, RxD1		$0.65V_{CC}$	$V_{CC}$	V
$V_{IH}$	“H”入力電圧	SCLK, SDA (注1)		$0.65V_{CC}$	$V_{CC}$	V
$V_{IL}$	“L”入力電圧	$X_{IN}$ , RESET, $CNV_{SS}$ , FMD		0	$0.2V_{CC}$	V
$V_{IL}$	“L”入力電圧	P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub>		0	$0.2V_{CC}$	V
$V_{IL}$	“L”入力電圧	D0~D7, D8~D15		0	$0.2V_{CC}$	V
$V_{IL}$	“L”入力電圧	RDY, HOLD, TA0 <sub>IN</sub> ~TA4 <sub>IN</sub> , TA0 <sub>OUT</sub> ~TA4 <sub>OUT</sub> , TB0 <sub>IN</sub> ~TB2 <sub>IN</sub> , KI0~KI3, INT0~INT4, NMI, AD <sub>TRG</sub> , CTS0, CTS1, CLK0, CLK1, RxD0, RxD1		0	$0.2V_{CC}$	V
$V_{IL}$	“L”入力電圧	SCLK, SDA (注1)		0	$0.2V_{CC}$	V
$I_{OH(peak)}$	“H”尖頭出力電流	P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub>			-10	mA
$I_{OH(avg)}$	“H”平均出力電流	P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub>			-5	mA
$I_{OL(peak)}$	“L”尖頭出力電流	P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub>			10	mA
$I_{OL(avg)}$	“L”平均出力電流	P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub>			5	mA
$f(X_{IN})$	外部クロック入力周波数(注2)		1		54	MHz
$f(MCLK)$	メインクロック周波数				34	MHz
$f_{AD}$	A-D変換周波数(注3)		0.25		11.3	MHz
$f_i$	周辺機能クロック周波数				17	MHz

$i = 1, 8, 32, 256$

注1. SCLK、SDAはフラッシュメモリ内蔵版でシリアル入出力モード時のみ使用する端子です。

2. 外部方形波入力の場合は最大54MHz、発振子接続の場合は最大34MHzとなります。

3. サンプル&ホールドありの場合は、最小1MHzになります。

4. 平均出力電流は100msの期間内での平均値です。

5. P0, P1, P2, P9, P10の $I_{OL(peak)}$ 及び $I_{OH(peak)}$ の合計は80mA以下、P3, P4, P5, P6, P7, P8の $I_{OL(peak)}$ 及び $I_{OH(peak)}$ の合計は80mA以下にしてください。

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 12. M16C/70電気的特性

直流電気的特性(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{OH}$	“H”出力電圧 P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>3</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub>	$I_{OH}=-1mA$	2.5			V
$V_{OH}$	“H”出力電圧 P5 <sub>0</sub> ~P5 <sub>2</sub>	$I_{OH}=-1mA$	2.6			V
$V_{OL}$	“L”出力電圧 P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>7</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>3</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub>	$I_{OL}=1mA$			0.5	V
$V_{OL}$	“L”出力電圧 P5 <sub>0</sub> ~P5 <sub>2</sub>	$I_{OL}=1mA$			0.4	V
$V_{T+}-V_{T-}$	ヒステリシス RDY, HOLD, TA0 <sub>IN</sub> ~TA4 <sub>IN</sub> , TA0 <sub>OUT</sub> ~TA4 <sub>OUT</sub> , TB0 <sub>IN</sub> ~TB2 <sub>IN</sub> , KI <sub>0</sub> ~KI <sub>3</sub> , INT <sub>0</sub> ~INT <sub>4</sub> , NMI, AD <sub>TRG</sub> , CTS <sub>0</sub> , CTS <sub>1</sub> , CLK <sub>0</sub> , CLK <sub>1</sub> , RxD <sub>0</sub> , RxD <sub>1</sub>		0.05		0.5	V
$V_{T+}-V_{T-}$	ヒステリシス RESET	M30700FJLGP	0.15		0.5	V
		M30700FKLGP	0.25		1	V
$I_{IH}$	“H”入力電流 P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>3</sub> , P4 <sub>0</sub> ~P4 <sub>7</sub> , P5 <sub>0</sub> ~P5 <sub>7</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub> , FMD, NMI	$V_i=3.3V$			4	$\mu A$
$I_{IL}$	“L”入力電流 P0 <sub>0</sub> ~P0 <sub>7</sub> , P1 <sub>0</sub> ~P1 <sub>7</sub> , P2 <sub>0</sub> ~P2 <sub>7</sub> , P3 <sub>0</sub> ~P3 <sub>3</sub> , P4 <sub>0</sub> ~P4 <sub>3</sub> , P5 <sub>0</sub> ~P5 <sub>3</sub> , P6 <sub>0</sub> ~P6 <sub>7</sub> , P7 <sub>0</sub> ~P7 <sub>7</sub> , P8 <sub>0</sub> ~P8 <sub>4</sub> , P9 <sub>0</sub> ~P9 <sub>7</sub> , P10 <sub>0</sub> ~P10 <sub>7</sub> , X <sub>IN</sub> , RESET, CNV <sub>SS</sub> , FMD	$V_i=0V$			-4	$\mu A$
$I_{IL}$	“L”入力電流 P4 <sub>4</sub> ~P4 <sub>7</sub> , P7 <sub>4</sub> ~P7 <sub>7</sub> , NMI	$V_i=0V$ (プルアップトランジスタなし)			-4	$\mu A$
		$V_i=0V$ (プルアップトランジスタあり)	-0.2	-0.36	-0.54	mA
$V_{RAM}$	RAM保持電圧	クロック停止時	2			V
$I_{CC}$	電源電流 出力専用端子は開放、その他の 端子は $V_{SS}$ 又は $V_{CC}$ 、外部方形波 クロック入力(X <sub>OUT</sub> 開放) PLL周波数変換回路動作時	( $\phi$ BCLK)=34MHz、 CPU動作時		34	54	mA
		クロック停止時 $T_a=25$			50	$\mu A$
		クロック停止時 $T_a=85$			300	

本製品は開発品ですので後日規格等を変更する場合があります

## 12. M16C/70電気的特性

A-D変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim 85$  )

記号	項目	測定条件		規格値		単位
				最小	最大	
-	分解能	$V_{REF}=V_{CC}$			10	Bits
-	絶対精度	$V_{REF}=V_{CC}=3.3V$	分解能10ビットモード		$\pm 3$	LSB
			分解能8ビットモード		$\pm 2$	LSB
$R_{LADDER}$	ラダー抵抗	$V_{REF}=V_{CC}$		10	40	$k\Omega$
$t_{CONV}$	変換時間	単発モード	分解能10ビットモード	3.88(注)		$\mu s$
		繰返しモード	分解能8ビットモード	3.29(注)		
		単掃引モード	分解能10ビットモード	4.94(注)		
		繰返し掃引モード	分解能8ビットモード	4.35(注)		
$V_{REF}$	基準電圧			2	$V_{CC}$	V
$V_{IA}$	アナログ入力電圧			0	$V_{REF}$	V

注. サンプル&ホールドありの場合です。

D-A変換特性(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $V_{REF}=3.3V$ ,  $T_a=-20\sim 85$  )

記号	項目	測定条件		規格値		単位
				最小	最大	
-	分解能				8	Bits
-	絶対精度				$\pm 1.0$	%
$t_{su}$	設定時間				3	$\mu s$
$R_o$	出力抵抗			4	20	$k\Omega$
$I_{VREF}$	基準電源入力電流	(注)			1.5	mA

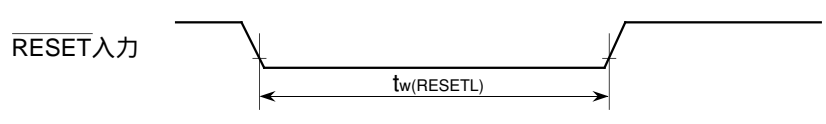
注. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が $00_{16}$ の場合です。

A-D変換器のラダー抵抗分は除きます。

リセット入力タイミング必要条件(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85$  )

記号	項目	規格値		単位
		最小	最大	
$t_w(RESETL)$	RESET入力“L”パルス幅	20(注)		$\mu s$

注.  $f(X_{IN})$  8MHz時は、 $\frac{8}{f(X_{IN})} \times 20[s]$ (BCLKの20サイクル)になります。



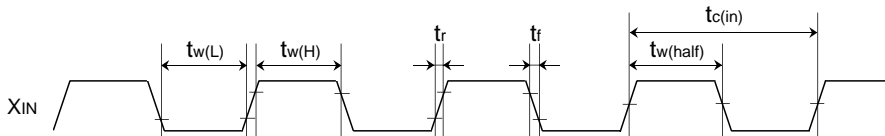
本製品は開発品ですので後日  
規格等を変更する場合があります

## 12. M16C/70電気的特性

外部クロック入力タイミング必要条件(指定のない場合は $V_{CC}=3.3V \pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20 \sim 85$ )

記号	項目	規格値		単位
		最小	最大	
$t_{c(in)}$	外部クロック入力サイクル時間	$1/f(X_{IN})$		ns
$t_{w(half)}$	外部クロック入力半値パルス幅	$0.45t_{c(in)}$	$0.55t_{c(in)}$	ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	$t_{w(half)}-6$		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	$t_{w(half)}-6.8$		ns
$t_r$	外部クロック入力立ち上がり時間		6.4	ns
$t_f$	外部クロック入力立ち下がり時間		6.4	ns

### 外部クロック入力



#### 測定条件

- $V_{CC} = 3.3V \pm 0.3V$ ,  $T_a = -20 \sim 85$
- 入力タイミング電圧:  $V_{IL} = 0.2V_{CC}$ ,  $V_{IH} = 0.8V_{CC}$ で判定 ( $t_{w(H)}$ ,  $t_{w(L)}$ ,  $t_r$ ,  $t_f$ )
- 出力タイミング電圧:  $0.5V_{CC}$ で判定 ( $t_{c(in)}$ ,  $t_{w(half)}$ )

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ  
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

## 12. M16C/70電気的特性

内蔵周辺装置入出力タイミング必要条件(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85$  )

### タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	200(注)		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	200(注)		ns

注. 同時に、カウントソースf(i = 1, 8, 32, 256)の2サイクル以上になるようにしてください。

### タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	80		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	40		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	40		ns

### タイマA入力(ワンショットパルスモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	160(注)		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	80		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	80		ns

注. 同時に、カウントソースf(i = 1, 8, 32, 256)の1サイクル以上になるようにしてください(カウント動作中の再トリガ発生時も、同様の時間が必要です)。

### タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	80		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	80		ns

### タイマA入力(イベントカウンタモードのアップダウン入力及びカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

### タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAjIN入力サイクル時間	800		ns
$t_{su}(TAjIN-TAjOUT)$	TAjIN入力セットアップ時間	200		ns
$t_{su}(TAjOUT-TAjIN)$	TAjOUT入力セットアップ時間	200		ns

本製品は開発品ですので後日規格等を変更する場合があります

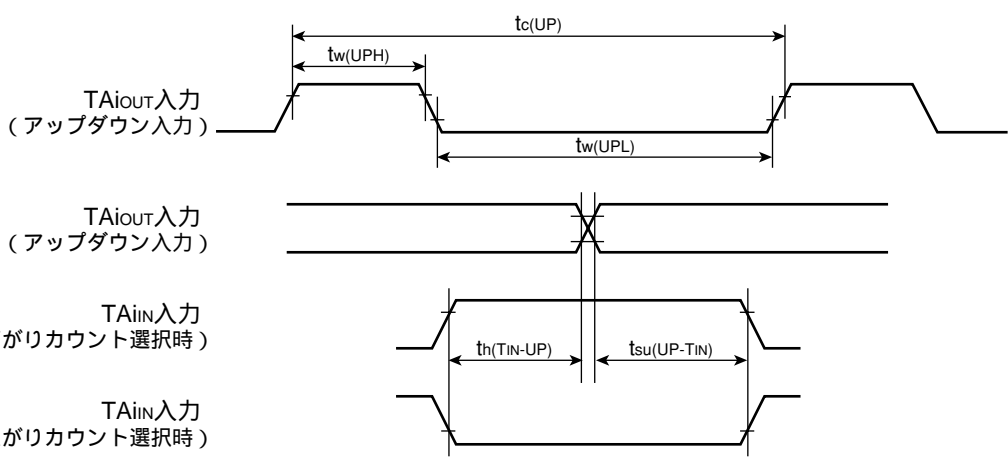
12. M16C/70電気的特性

タイマA

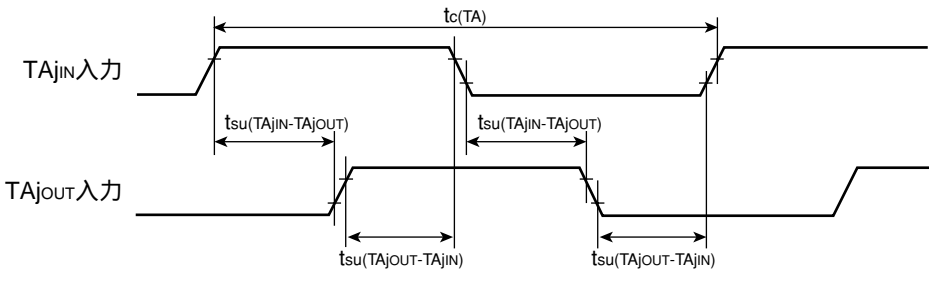
- タイマモードのゲーティング入力
- イベントカウンタモードのカウンタ入力
- ワンショットパルスモードの外部トリガ入力
- パルス幅変調モードの外部トリガ入力



イベントカウンタモードのアップダウン入力及びカウンタ入力



イベントカウンタモードの二相パルス入力



測定条件

- $V_{CC} = 3.3V \pm 0.3V$ ,  $T_a = -20 \sim 85$
- 入力タイミング電圧:  $V_{IL} = 0.66V$ ,  $V_{IH} = 2.15V$ で判定

本製品は開発品ですので後日規格等を変更する場合があります

## 12. M16C/70電気的特性

### タイマB入力( イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB <sub>iIN</sub> 入力サイクル時間(片エッジカウント)	80		ns
$t_{w(TBH)}$	TB <sub>iIN</sub> 入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TB <sub>iIN</sub> 入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TB <sub>iIN</sub> 入力サイクル時間(両エッジカウント)	160		ns
$t_{w(TBH)}$	TB <sub>iIN</sub> 入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TB <sub>iIN</sub> 入力“L”パルス幅(両エッジカウント)	80		ns

### タイマB入力( パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB <sub>iIN</sub> 入力サイクル時間	400		ns
$t_{w(TBH)}$	TB <sub>iIN</sub> 入力“H”パルス幅	200(注)		ns
$t_{w(TBL)}$	TB <sub>iIN</sub> 入力“L”パルス幅	200(注)		ns

注：同時に、カウントソース $f(i = 1, 8, 32, 256)$ の2サイクル以上になるようにしてください。

### タイマB入力( パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB <sub>iIN</sub> 入力サイクル時間	400		ns
$t_{w(TBH)}$	TB <sub>iIN</sub> 入力“H”パルス幅	200(注)		ns
$t_{w(TBL)}$	TB <sub>iIN</sub> 入力“L”パルス幅	200(注)		ns

注：同時に、カウントソース $f(i = 1, 8, 32, 256)$ の2サイクル以上になるようにしてください。

### A-Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	AD <sub>TRG</sub> 入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	AD <sub>TRG</sub> 入力“L”パルス幅	125		ns

### シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CLK)}$	CLK <sub>i</sub> 入力サイクル時間	200		ns
$t_{w(CLKH)}$	CLK <sub>i</sub> 入力“H”パルス幅	100		ns
$t_{w(CLKL)}$	CLK <sub>i</sub> 入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TxD <sub>i</sub> 出力遅延時間		80	ns
$t_{h(C-Q)}$	TxD <sub>i</sub> ホールド時間	0		ns
$t_{su(D-C)}$	RxD <sub>i</sub> 入力セットアップ時間	20		ns
$t_{h(C-D)}$	RxD <sub>i</sub> 入力ホールド時間	90		ns

本製品は開発品ですので後日規格等を変更する場合があります

## 12. M16C/70電気的特性

外部割り込みINT<sub>i</sub>入力、NMI入力、キー入力割り込みK<sub>i</sub>入力

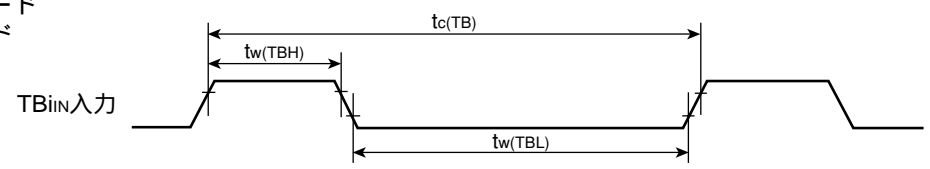
記号	項目	規格値		単位
		最小	最大	
t <sub>w</sub> (INH)	INT <sub>i</sub> 入力“H”パルス幅(エッジセンス選択時)	250		ns
	INT <sub>i</sub> 入力“H”パルス幅(レベルセンス選択時)(注)	t <sub>c</sub> +200		ns
	NMI入力“H”パルス幅(注)	t <sub>c</sub> +250		ns
	K <sub>i</sub> 入力“H”パルス幅	250		ns
t <sub>w</sub> (INL)	INT <sub>i</sub> 入力“L”パルス幅(エッジセンス選択時)	250		ns
	INT <sub>i</sub> 入力“L”パルス幅(レベルセンス選択時)(注)	t <sub>c</sub> +200		ns
	NMI入力“L”パルス幅(注)	t <sub>c</sub> +250		ns
	K <sub>i</sub> 入力“L”パルス幅	250		ns

t<sub>c</sub> = 1/f (BCLK)

注. ストップモード及びウエイトモードの解除に使用する場合は、最小t<sub>c</sub> + 50 μsになります。

### タイマB

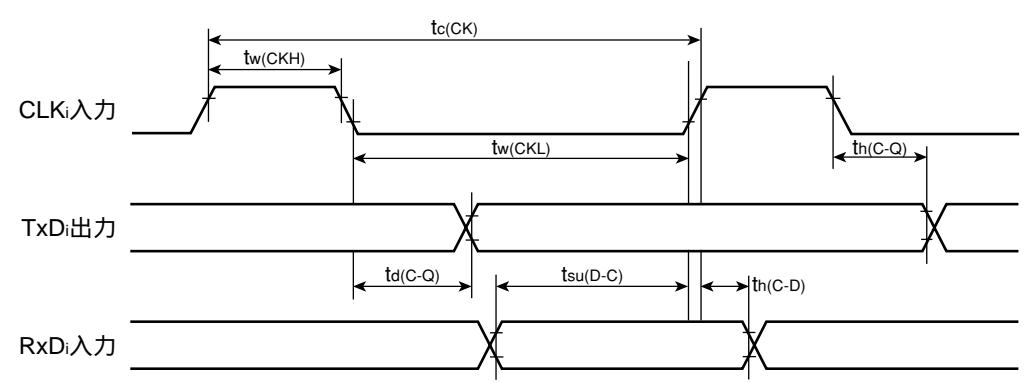
イベントカウンタモードのカウンタ入力  
パルス周期測定モード  
パルス幅測定モード



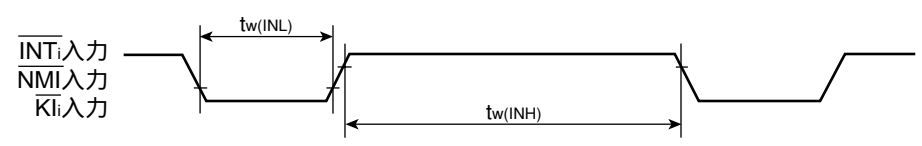
### A-Dトリガ入力



### シリアルI/O



外部割り込みINT<sub>i</sub>入力、NMI入力、キー入力割り込みK<sub>i</sub>入力



### 測定条件

- V<sub>CC</sub> = 3.3V ± 0.3V, T<sub>a</sub> = -20 ~ 85
- 入力タイミング電圧: V<sub>IL</sub> = 0.66V, V<sub>IH</sub> = 2.15Vで判定
- 出力タイミング電圧: V<sub>OL</sub> = 0.8V, V<sub>OH</sub> = 2.0V, C<sub>L</sub> = 50pFで判定



本製品は開発品ですので後日規格等を変更する場合があります

## 12. M16C/70電気的特性

### レディー機能、ホールド機能

タイミング必要条件(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85$  )

記号	項目	規格値		単位
		最小	最大	
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	30		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	30		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns

スイッチング特性(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85$  )

記号	項目	規格値		単位
		最小	最大	
$t_d(BCLK-HLDA)$	HLDA出力遅延時間		25	ns
$t_d(RDH-HLDAL)$	リード後HLDA“L”出力遅延時間(注)	$t_c-15$		ns
$t_d(WRH-HLDAL)$	ライト後HLDA“L”出力遅延時間	$1.5t_c-15$		ns
$t_{pxz}(BCLK-RDZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(BCLK-WRZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(BCLK-CSZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(BCLK-ALEZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(BCLK-ADZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pzx}(BCLK-RDZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(BCLK-WRZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(BCLK-CSZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(BCLK-ALEZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(BCLK-ADZ)$	フローティング解除遅延時間	0		ns

$t_c = 1/f(BCLK)$

注：直前のバスサイクルが、マルチプレックスバスを選択した領域に対するアクセスであった場合は、 $0.5t_c[ns]$  延びます。

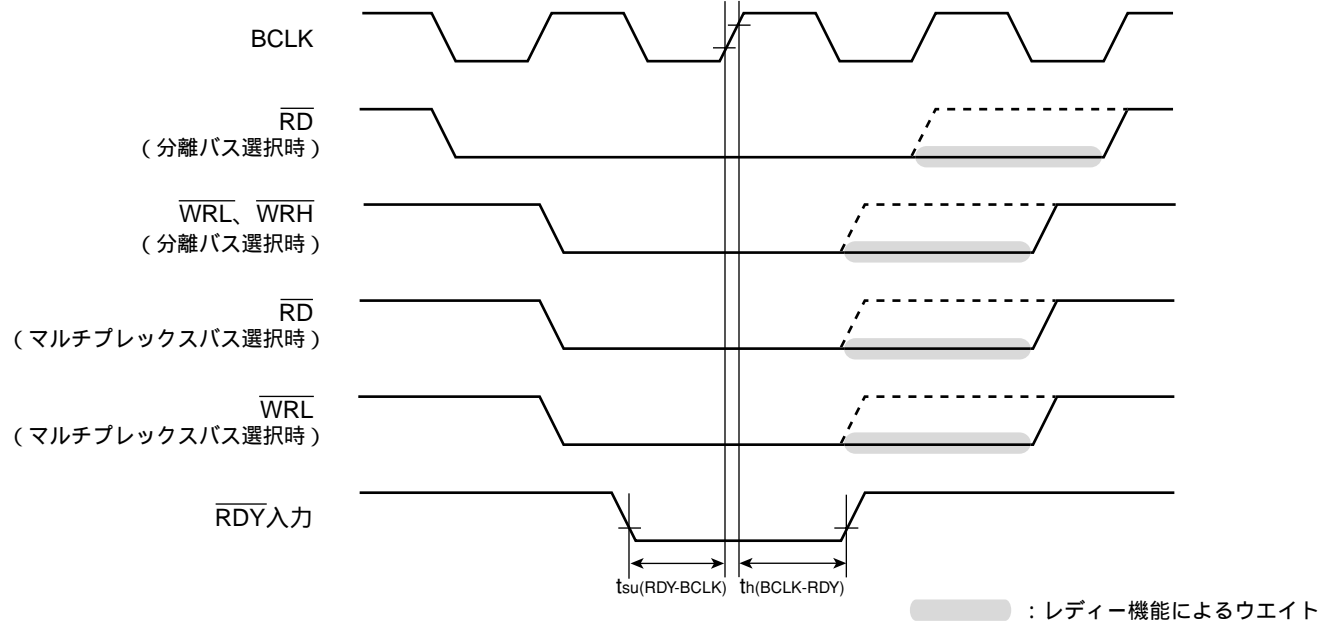
本製品は開発品ですので後日  
規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

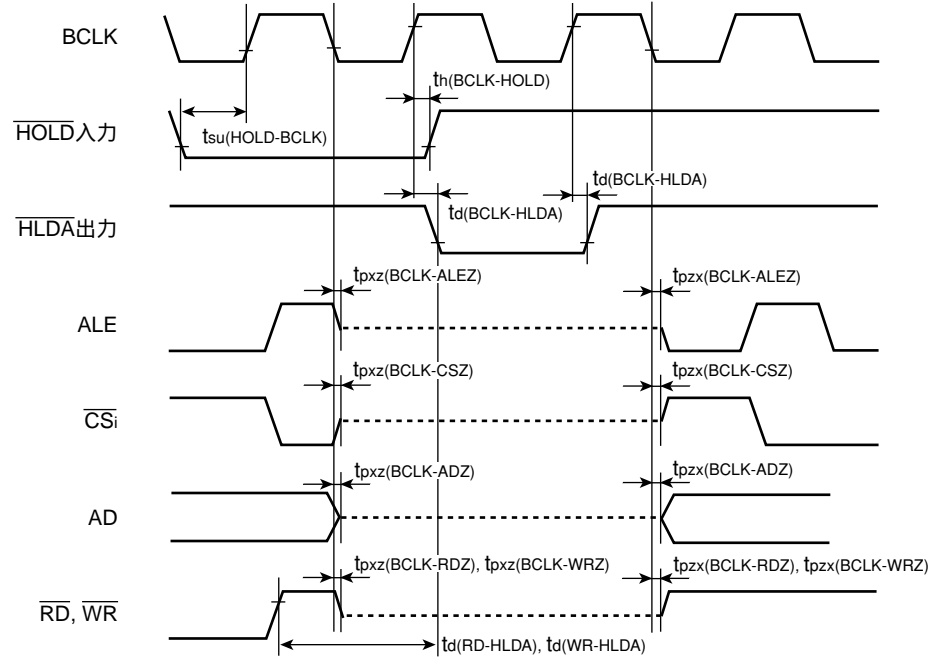
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

12. M16C/70電気的特性

$\overline{RDY}$ 入力



$\overline{HOLD}$ 入力



測定条件

- $V_{CC} = 3.3V \pm 0.3V$ ,  $T_a = -20 \sim 85$
- $\overline{RDY}$ 入力、 $\overline{HOLD}$ 入力 :  $V_{IL} = 0.66V$ ,  $V_{IH} = 2.15V$ で判定
- HLDA出力 :  $V_{OL} = 0.8V$ ,  $V_{OH} = 2.0V$ ,  $C_L = 50pF$ で判定

本製品は開発品ですので後日規格等を変更する場合があります

## 12. M16C/70電気的特性

### 外部バスタイミング

システムクロック周波数に依存する規格値は、算出式で示します。算出式の中の記号は以下の値を示します。

バスサイクル	W <sub>H</sub>	W <sub>L</sub>	バスサイクル	W <sub>H</sub>	W <sub>L</sub>	バスサイクル	W <sub>H</sub>	W <sub>L</sub>	バスサイクル	W <sub>H</sub>	W <sub>L</sub>
1 +1	1	1	1 +5	1	5	2 +2	2	2	3 +3	3	3
1 +2	1	2	1 +6	1	6	2 +3	2	3	3 +4	3	4
1 +3	1	3				2 +4	2	4	3 +5	3	5
1 +4	1	4				2 +5	2	5	3 +6	3	6

$t_c = 1/f(\text{BCLK})$

タイミング必要条件(指定のない場合はV<sub>cc</sub>=3.3V±0.3V, V<sub>ss</sub>=0V, T<sub>a</sub>=-20 ~ 85 )

#### 分離バス選択時

記号	項目	規格値		単位
		最小	最大	
t <sub>ac</sub> (AD-DB)	アドレスアクセス時間		(W <sub>H</sub> +W <sub>L</sub> )t <sub>c</sub> -35	ns
t <sub>ac</sub> (CS-DB)	チップセレクトアクセス時間		(W <sub>H</sub> +W <sub>L</sub> )t <sub>c</sub> -35	ns
t <sub>ac</sub> (RD-DB)	リードアクセス時間		(W <sub>L</sub> +0.5)t <sub>c</sub> -30	ns
t <sub>su</sub> (DB-RD)	リードデータセットアップ時間	15		ns
t <sub>h</sub> (RD-DB)	リード後データ入力ホールド時間	0		ns

#### マルチプレックスバス選択時

記号	項目	規格値		単位
		最小	最大	
t <sub>ac</sub> (AD-DB)	アドレスアクセス時間		(W <sub>H</sub> +W <sub>L</sub> -0.5)t <sub>c</sub> -25	ns
t <sub>ac</sub> (CS-DB)	チップセレクトアクセス時間		(W <sub>H</sub> +W <sub>L</sub> -0.5)t <sub>c</sub> -25	ns
t <sub>ac</sub> (RD-DB)	リードアクセス時間		(W <sub>L</sub> -0.5)t <sub>c</sub> -20	ns
t <sub>su</sub> (DB-RD)	リードデータセットアップ時間	5		ns
t <sub>h</sub> (RD-DB)	リード後データ入力ホールド時間	0		ns

本製品は開発品ですので後日規格等を変更する場合があります

## 12. M16C/70電気的特性

スイッチング特性(指定のない場合は $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85$  )

### 分離バス選択時

記号	項目	規格値		単位
		最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間		20	ns
$t_{h(RD-AD)}$	アドレス出力保持時間(RD基準)(注1)	0		ns
$t_{h(WR-AD)}$	アドレス出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間		20	ns
$t_{h(RD-CS)}$	チップセレクト出力保持時間(RD基準)(注1)	0		ns
$t_{h(WR-CS)}$	チップセレクト出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns
$t_w(RDL)$	リード“L”パルス幅	$(W_L+0.5)t_c-15$		ns
$t_w(RDH)$	リード“H”パルス幅(注2,3)	$(W_H-0.5)t_c-15$		ns
$t_{d(RD-WR)}$	リード後ライトディセーブル有効時間(注1,4)	$W_H\times t_c-15$		ns
$t_{d(AD-RDH)}$	リード“H”出力保持時間(アドレス基準)	$(W_H-0.5)t_c-20$		ns
$t_{d(CS-RDH)}$	リード“H”出力保持時間(CS基準)	$(W_H-0.5)t_c-20$		ns
$t_{d(CS-RDL)}$	リード“L”出力保持時間(CS基準)	$(W_H+W_L)t_c-20$		ns
$t_{d(BCLK-RDL)}$	リード“L”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(BCLK-RDH)}$	リード“H”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(RD-DB)}$	リード後次ライトサイクルデータ出力遅延時間(注1,4)	$(W_H-0.5)t_c-15$		ns
$t_{pxz(WR-DZ)}$	ライト後フローティング開始遅延時間(注1)		$0.5t_c+10$	ns
$t_w(WRL)$	ライト“L”パルス幅	$(W_L-0.5)t_c-15$		ns
$t_w(WRH)$	ライト“H”パルス幅(注2)	$(W_H+0.5)t_c-15$		ns
$t_{d(WR-RD)}$	ライト後リードディセーブル有効時間(注1,4)	$W_H\times t_c-15$		ns
$t_{d(AD-WRH)}$	ライト“H”出力保持時間(アドレス基準)	$W_H\times t_c-20$		ns
$t_{d(CS-WRH)}$	ライト“H”出力保持時間(CS基準)	$W_H\times t_c-20$		ns
$t_{d(CS-WRL)}$	ライト“L”出力保持時間(CS基準)	$(W_H+W_L-0.5)t_c-20$		ns
$t_{d(BCLK-WRL)}$	ライト“L”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(BCLK-WRH)}$	ライト“H”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(DB-WR)}$	データ出力遅延時間(WR基準)	$W_L\times t_c-20$		ns
$t_{h(WR-DB)}$	データ出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns

注1. リカバリサイクル挿入時は、 $t_c$ [ns]延びます。

- 直前のバスサイクルが、リカバリサイクル挿入を選択した領域に対するアクセスであった場合は、 $t_c$ [ns]延びます。
- 直前のバスサイクルが、マルチプレックスバスを選択した領域に対するアクセスであった場合は、 $0.5t_c$ [ns]延びます。
- ここでは、次のバスサイクルの $W_H$ を示します。

本製品は開発品ですので後日規格等を変更する場合があります

## 12. M16C/70電気的特性

スイッチング特性(指定のない場合は $V_{CC}=3.3V\pm 0.3V$ ,  $V_{SS}=0V$ ,  $T_a=-20\sim 85$ )

### マルチプレックスバス選択時

記号	項目	規格値		単位
		最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間		20	ns
$t_{h(RD-AD)}$	アドレス出力保持時間(RD基準)(注1)	$0.5t_c-10$		ns
$t_{h(WR-AD)}$	アドレス出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間		20	ns
$t_{h(RD-CS)}$	チップセレクト出力保持時間(RD基準)(注1)	$0.5t_c-10$		ns
$t_{h(WR-CS)}$	チップセレクト出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns
$t_{d(BCLK-ALE)}$	ALE出力遅延時間(BCLK基準)		20	ns
$t_{d(AD-ALE)}$	ALE出力遅延時間(アドレス基準)	$(W_H\times 0.5)t_c-20$		ns
$t_{h(ALE-AD)}$	ALE出力保持時間(アドレス基準)	$(W_H\times 0.5)t_c-15$		ns
$t_w(ALE)$	ALEパルス幅	$(W_H\times 0.5)t_c-15$		ns
$t_w(RDL)$	リード“L”パルス幅	$(W_L-0.5)t_c-15$		ns
$t_w(RDH)$	リード“H”パルス幅(注2,3)	$W_H\times t_c-15$		ns
$t_{d(RD-WR)}$	リード後ライトディセーブル有効時間(注1,4)	$W_H\times t_c-15$		ns
$t_{d(AD-RDH)}$	リード“H”出力保持時間(アドレス基準)	$W_H\times t_c-20$		ns
$t_{d(ALE-RDH)}$	リード“H”出力保持時間(ALE基準)	$(W_H\times 0.5)t_c-15$		ns
$t_{d(CS-RDH)}$	リード“H”出力保持時間(CS基準)	$W_H\times t_c-20$		ns
$t_{d(CS-RDL)}$	リード“L”出力保持時間(CS基準)	$(W_H+W_L-0.5)t_c-20$		ns
$t_{d(BCLK-RDL)}$	リード“L”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(BCLK-RDH)}$	リード“H”出力遅延時間(BCLK基準)	-10	15	ns
$t_{pxz(RD-AZ)}$	フローティング開始遅延時間		5	ns
$t_{pxz(RD-DZ)}$	リード後フローティング解除遅延時間(注1)	$0.5t_c-15$		ns
$t_{pxz(WR-DZ)}$	ライト後フローティング開始遅延時間(注1)		$0.5t_c+10$	ns
$t_w(WRL)$	ライト“L”パルス幅	$(W_L-0.5)t_c-15$		ns
$t_w(WRH)$	ライト“H”パルス幅(注2)	$W_H\times t_c-15$		ns
$t_{d(WR-RD)}$	ライト後リードディセーブル有効時間(注1,3)	$W_H\times t_c-15$		ns
$t_{d(AD-WRH)}$	ライト“H”出力保持時間(アドレス基準)	$W_H\times t_c-20$		ns
$t_{d(ALE-WRH)}$	ライト“H”出力保持時間(ALE基準)	$(W_H\times 0.5)t_c-15$		ns
$t_{d(CS-WRH)}$	ライト“H”出力保持時間(CS基準)	$W_H\times t_c-20$		ns
$t_{d(CS-WRL)}$	ライト“L”出力保持時間(CS基準)	$(W_H+W_L-0.5)t_c-20$		ns
$t_{d(BCLK-WRL)}$	ライト“L”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(BCLK-WRH)}$	ライト“H”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(DB-WR)}$	データ出力遅延時間(WR基準)	$W_L\times t_c-20$		ns
$t_{h(WR-DB)}$	データ出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns

注1. リカバリサイクル挿入時は、 $t_c$ [ns]延びます。

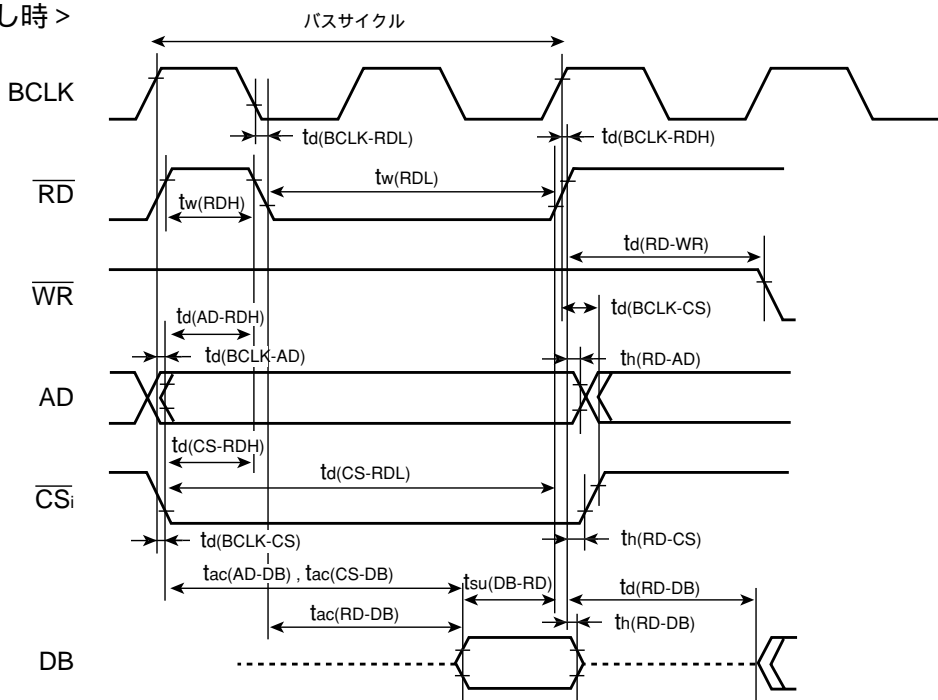
- 直前のバスサイクルが、リカバリサイクル挿入を選択した領域に対するアクセスであった場合は、 $t_c$ [ns]延びます。
- 直前のバスサイクルが、マルチプレックスバスを選択した領域に対するアクセスであった場合は、 $0.5t_c$ [ns]延びます。
- ここでは、次のバスサイクルの $W_H$ を示します。

本製品は開発品ですので後日規格等を変更する場合があります

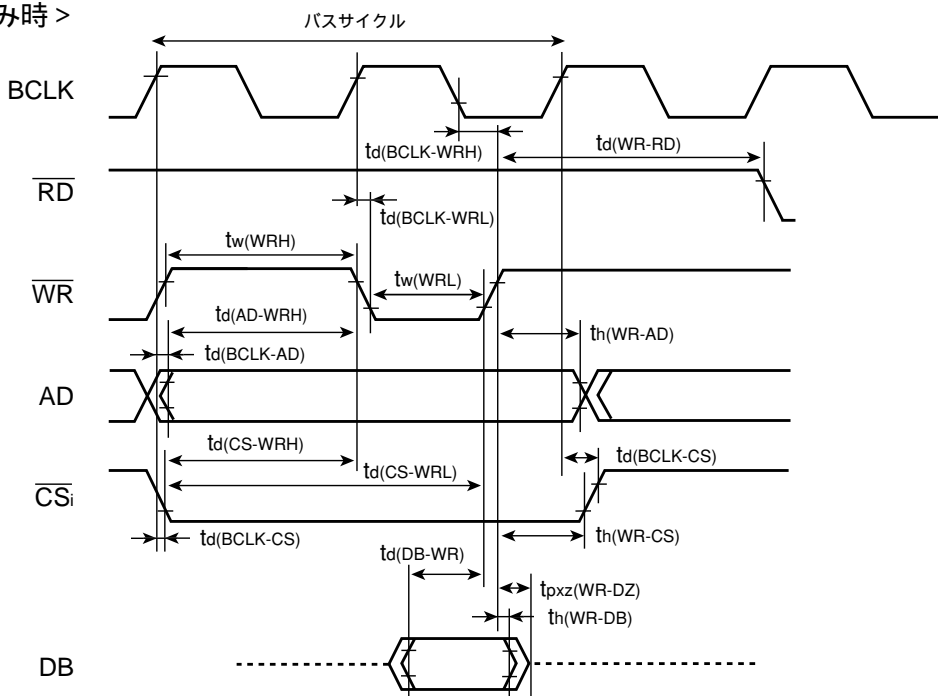
12. M16C/70電気的特性

分離バス選択時

< 読み出し時 >



< 書き込み時 >



測定条件

- $V_{CC} = 3.3V \pm 0.3V$ ,  $T_a = -20 \sim 85$
- 入力タイミング電圧:  $V_{IL} = 0.66V$ ,  $V_{IH} = 2.15V$ で判定
- 出力タイミング電圧:  $V_{OL} = 0.8V$ ,  $V_{OH} = 2.0V$ ,  $C_L = 15pF$ で判定 ( $\overline{CS}_i$ , ALE)
- 出力タイミング電圧:  $V_{OL} = 0.8V$ ,  $V_{OH} = 2.0V$ ,  $C_L = 50pF$ で判定 ( $\overline{CS}_i$ , ALE以外)

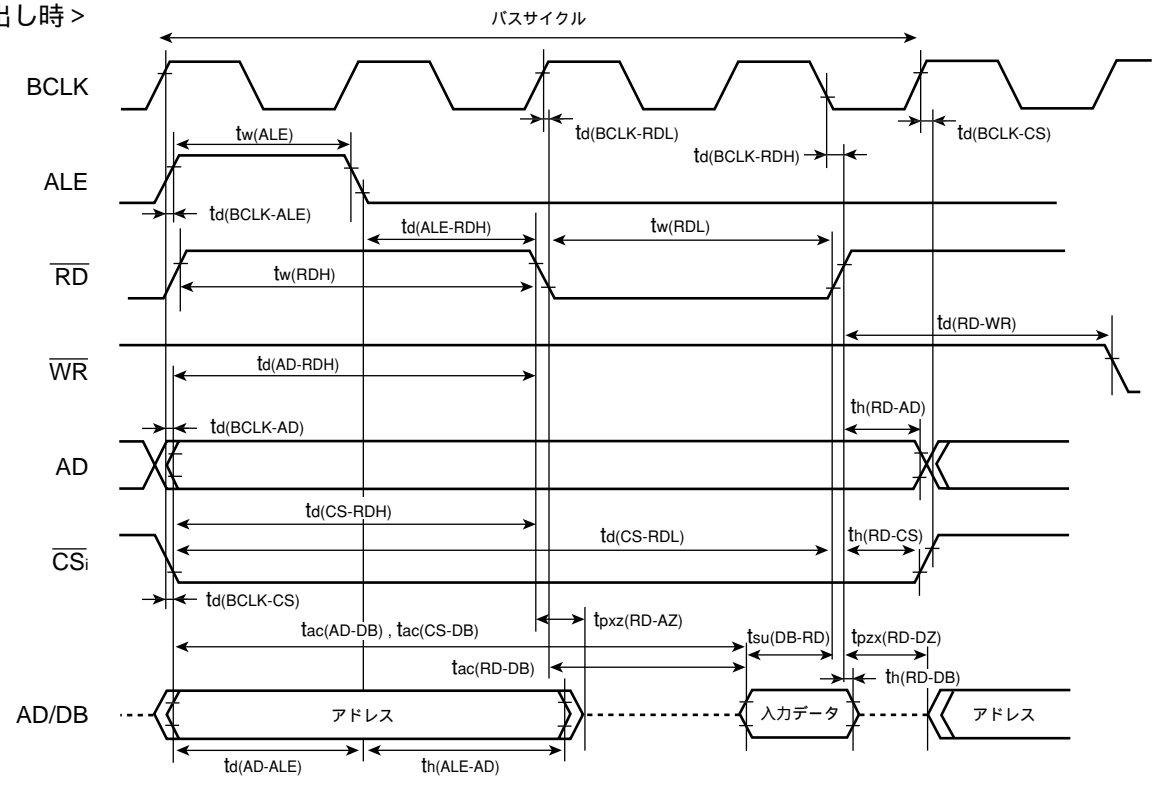
本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ  
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

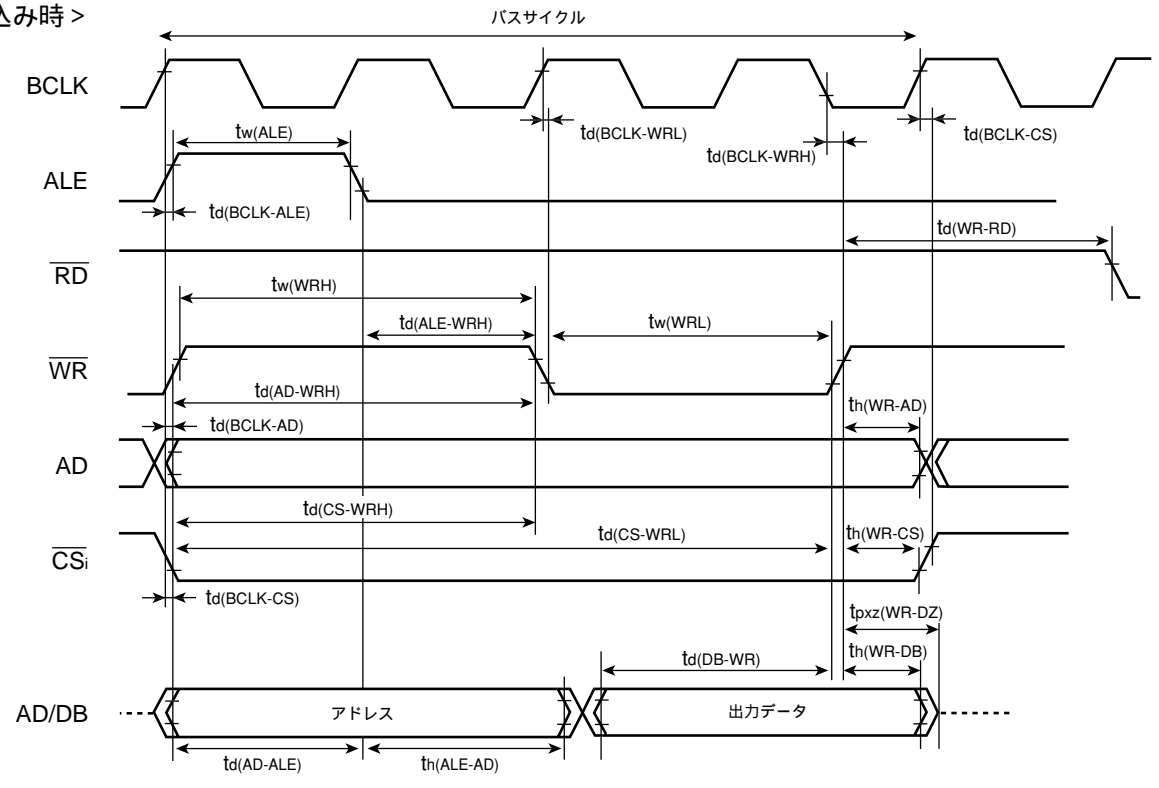
## 12. M16C/70電気的特性

### マルチプレックスバス選択時

< 読み出し時 >



< 書き込み時 >



#### 測定条件

- $V_{CC} = 3.3V \pm 0.3V$ ,  $T_a = -20 \sim 85$
- 入力タイミング電圧:  $V_{IL} = 0.66V$ ,  $V_{IH} = 2.15V$ で判定
- 出力タイミング電圧:  $V_{OL} = 0.8V$ ,  $V_{OH} = 2.0V$ ,  $C_L = 15pF$ で判定 ( $\overline{CS}_i$ , ALE)
- 出力タイミング電圧:  $V_{OL} = 0.8V$ ,  $V_{OH} = 2.0V$ ,  $C_L = 50pF$ で判定 ( $\overline{CS}_i$ , ALE以外)

本製品は開発品ですので後日規格等を変更する場合があります

三菱マイクロコンピュータ  
M16C/70グループ

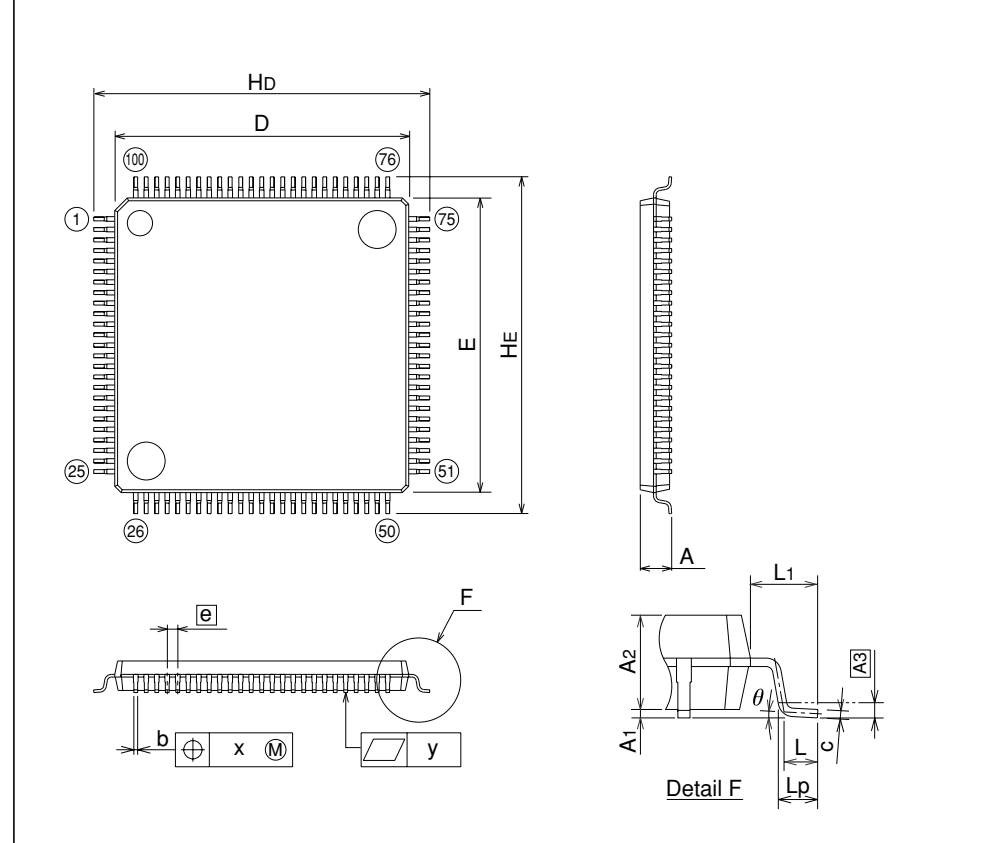
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

パッケージ外形寸法図

100P6Q-A

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	-	0.63	Cu Alloy



Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	-	0.5	-
HD	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
theta	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
MD	-	14.4	-
ME	-	14.4	-

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒 100-0004

安全設計に  
関するお願い

（弊社では品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。）

本資料  
ご利用に  
際しての  
留意事項

- 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（<http://www.semicon.meico.co.jp/>）などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、三菱電機または特約店へご照会ください。
- 本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。



## 改訂履歴

## M16C/70グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	020530		PDFファイル初版発行
1.1	020705	40 46 57 58 60	PDFファイル改訂版発行 改訂箇所・内容は下記を参照してください(表現のみの変更は除きます)。 表11.1.1: イレーズ欄、又は一括消去」を削除 表下から2行目: 「AD: A-D変換周波数」の最大値を「8.5」から「11.3」に変更 表最下行: 「周辺装置用クロック周波数」を「周辺機能クロック周波数」に変更 表下から11行目: 「 $t_{pxz(WR-DZ)}$ : ライト後フローティング開始遅延時間」の最小値を最大値に変更 表最下行: 「 $t_{h(WR-DB)}$ : データ出力保持時間 (WR基準)」の最小値を「 $0.5t_c+10$ 」から「 $0.5t_c-10$ 」に変更 表上から11行目: 「 $t_{w(RDL)}$ : リード“L”パルス幅」の最小値を「 $(W_L+0.5)t_c-15$ 」から「 $(W_L-0.5)t_c-15$ 」に変更 表下から14行目: 「 $t_{pxz(RD-AZ)}$ : フローティング開始遅延時間」を追加 表下から12行目: 「 $t_{pxz(WR-DZ)}$ : ライト後フローティング開始遅延時間」の最小値を最大値に変更 <読み出し時>のタイミング図に「 $t_{pxz(RD-AZ)}$ 」を追加
1.2	021001	8 16 17 26 41 60	PDFファイル改訂版発行 Rev.1.1からの改訂箇所・内容は下記を参照してください(表現のみの変更は除きます)。 図5.1.1: E00000 <sub>16</sub> ~ YYYYYY <sub>16</sub> 番地に「予約領域 (注)」を追加 図下の「注2」を削除、「注1」を「注」に変更 表7.2.2: 「CS <sub>0</sub> のみ」のCSを使用してアクセスできる領域の範囲(最大)」を「4Mバイト(注1)」から「2Mバイト」に変更 図7.2.1: 5000 <sub>16</sub> ~ FFFF <sub>16</sub> 番地に「(注1)」を追加 E00000 <sub>16</sub> ~ YYYYYY <sub>16</sub> 番地に「予約領域 (注2)」を追加 CS <sub>0</sub> 領域の矢印(右端)の範囲を「C00000 <sub>16</sub> ~ FFFFFFFF <sub>16</sub> 番地」から「C00000 <sub>16</sub> ~ DFFFFFFF <sub>16</sub> 番地」に変更 図下に「注1」、「注2」、「注3」を追加 表10.5.2: 「TA <sub>in</sub> 端子の機能」欄の「カウントソース入力」を「プログラマブル入出力ポート、又はカウントソース入力」に変更 図11.1.1: メモリ拡張モードのE00000 <sub>16</sub> ~ YYYYYY <sub>16</sub> 番地に「予約領域 (注1)」を追加 図下に「注3」を追加 「マルチプレックスバス選択時」の「DB」を「AD/DB」に変更
1.3	021210	8 17 41 47	PDFファイル改訂版発行 Rev.1.2からの改訂箇所・内容は下記を参照してください(表現のみの変更は除きます)。 図5.1.1: 右下表にM30700FKLGPを追加 図7.2.1: 右下表にM30700FKLGPを追加 「注1」に「M30700FJLGPにおいて、」を追加 図11.1.1: 左下表にM30700FKLGPを追加 「ヒステリシス RESET」にM30700FKLGPの値を追加