

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

V850E/IF3, V850E/IG3

32ビット・シングルチップ・マイクロコントローラ

タイマAB, タイマQオプション, タイマAA, A/Dコンバータ0, 1による6相PWM出力制御編

V850E/IF3 :

μPD70F3451

μPD70F3452

V850E/IG3 :

μPD70F3453

μPD70F3454

〔メ モ〕

目次要約

第1章	ハードウェア構成	...	12
第2章	制御方式	...	19
第3章	プログラム構成	...	60
第4章	ファイル構成	...	70
第5章	フロー・チャート	...	72
第6章	設 定	...	79
付録A	モジュール間のインタフェース	...	80

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

注意：本製品は、Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に掲載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

M5 02.11

はじめに

- 注 意**
1. このアプリケーション・ノートでは、V850E/IG3 (μ PD70F3454GC-8EA-A) を代表マイコンとして用いた場合で記述しています。V850E/IG3 (μ PD70F3454GC-8EA-A 以外) , V850E/IF3 を使用する場合は、このアプリケーション・ノートを参考にしてください。
 2. このアプリケーション・ノートで使用するプログラムは、
NEC エレクトロニクスのホーム・ページ (<http://www.necel.co.jp/>) の
サンプル・プログラムのページ (<http://www.necel.com/micro/ja/designsupports/sampleprogram/index.html>)
よりダウンロードしてください。
 3. サンプル・プログラムを使用する場合は、次のスタートアップ・モジュール、リンク・ディレクティブ・ファイルを参照し、必要に応じて修正してください。
・ スタートアップ・モジュール : ig3_start.s
・ リンク・ディレクティブ・ファイル : ig3_link.dir
 4. サンプル・プログラムはあくまで参考用のものであり、当社がこの動作を保証するものではありません。
サンプル・プログラムを使用する場合、ユーザのセット上で十分な評価をしたうえで使用してください。

対 象 者 このアプリケーション・ノートは、V850E/IF3, V850E/IG3の機能を理解し、それらを使用した応用システムを設計するユーザを対象とします。対象製品を次に示します。

- ・ V850E/IF3
 μ PD70F3451, 70F3452
- ・ V850E/IG3
 μ PD70F3453, 70F3454

目 的 このアプリケーション・ノートは、V850E/IF3, V850E/IG3による3相モータのインバータ制御に必要な、16ビット・タイマ/イベント・カウンタAB0 (TAB0) , タイマQ0オプション (TMQOP0) , 16ビット・タイマ/イベント・カウンタAA0 (TAA0) , A/Dコンバータ0, 1を用いた6相PWM出力モードおよびA/D変換開始トリガ・タイミングの設定のための参考資料です。

構 成 このアプリケーション・ノートは大きく分けて次の内容で構成しています。

- | | |
|------------|------------|
| ・ ハードウェア構成 | ・ ファイル構成 |
| ・ 制御方式 | ・ フロー・チャート |
| ・ プログラム構成 | ・ 設 定 |

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

ハードウェア機能の詳細（特にレジスタ機能とその設定方法など）、および電気的特性を知りたいとき
→ 別冊のV850E/IF3, V850E/IG3 **ユーザズ・マニュアル ハードウェア編**を参照してください。

命令機能の詳細を理解しようとするとき
→ 別冊のV850E1 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

凡 例 データ表記の重み：左が上位桁、右が下位桁
アクティブ・ロウの表記： $\overline{\text{xxx}}$ （端子、信号名称に上線）
メモリ・マップのアドレス：上部-上位、下部-下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数... xxxx
16進数... xxxxH

2のべき数を示す接頭語（アドレス空間、メモリ容量）：

K（キロ） ... $2^{10} = 1024$

M（メガ） ... $2^{20} = 1024^2$

G（ギガ） ... $2^{30} = 1024^3$

データ・タイプ：ワード ... 32ビット

ハーフワード ... 16ビット

バイト ... 8ビット

製品間の違い V850E/IG3 と V850E/IF3 のタイマ Q オプション (TMQOP) , 16 ビット・タイマ/イベント・カウンタ AA (TAA) についての製品間の違いを次に示します。

項 目		V850E/IG3	V850E/IF3
TMQOP	TOA3OFF	あり	なし
TAA	TIA30端子	あり	なし
	TIA31端子	あり	なし
	TOA30端子	あり	なし
	TOA31端子	あり	なし

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850E/IF3, V850E/IG3に関する資料

資 料 名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/IF3, V850E/IG3 ユーザーズ・マニュアル ハードウェア編	U18279J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム シリアル通信 (UARTA) 編	U18723J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム シリアル通信 (UARTB) 編	U18724J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム シリアル通信 (CSIB) 編	U18725J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム シリアル通信 (I ² C) 編	U18726J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム DMA機能編	U18727J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム タイマM編	U18728J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム ウォッチドッグ・タイマ編	U18729J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム タイマAA編	U18730J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム タイマAB編	U18731J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム タイマT編	U18732J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム ポート機能編	U18733J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム クロック・ジェネレータ編	U18734J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム スタンバイ機能編	U18735J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム 割り込み機能編	U18736J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム A/Dコンバータ0, 1編	U18737J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム A/Dコンバータ2編	U18738J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム 低電圧検出回路 (LVI) 機能編	U18739J
V850E/IF3, V850E/IG3 アプリケーション・ノート タイマAB, タイマQオプション, タイマAA, A/Dコンバータ0, 1による6相PWM出力制御編	このマニュアル

開発ツールに関する資料（ユーザズ・マニュアル）

資 料 名		資料番号
QB-V850EIX3 インサーキット・エミュレータ		U18651J
QB-V850MINI オンチップ・デバッグ・エミュレータ		U17638J
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ		U18371J
CA850 Ver.3.00 Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+ Ver.6.30 プロジェクト・マネージャ		U18416J
ID850QB Ver.3.40 統合デバッガ	操作編	U18604J
TW850 Ver.2.00 性能解析チューニング・ツール		U17241J
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
RX-NET TCP/IPライブラリ		U15083J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ		U17423J
PG-FP4 フラッシュ・メモリ・プログラマ		U15260J

目 次

第1章 ハードウェア構成 ... 12

- 1.1 オペレーション ... 12
- 1.2 システム構成 ... 12
- 1.3 CPUブロック ... 13
 - 1.3.1 メモリ・マップ ... 13
 - 1.3.2 端子の割り付け ... 14
 - 1.3.3 内蔵周辺I/O ... 17

第2章 制御方式 ... 19

- 2.1 制御ブロック ... 19
- 2.2 3相電圧変換 ... 20
- 2.3 レジスタ設定 ... 21

第3章 プログラム構成 ... 60

- 3.1 3相PWMドライバの構成 ... 60
- 3.2 グローバル変数 ... 61
- 3.3 定数定義 ... 63
- 3.4 デッド・タイムの設定 ... 64
- 3.5 PWMパルスの決定 ... 64
- 3.6 A/D変換 ... 66
 - 3.6.1 同調動作によるA/Dコンバータ0, 1の変換開始トリガ・タイミング ... 66
 - 3.6.2 A/D変換終了時間 ... 67
- 3.7 引き数 ... 68

第4章 ファイル構成 ... 70

- 4.1 ファイル構成 ... 70
- 4.2 ソース・ファイル説明 ... 71

第5章 フロー・チャート ... 72

- 5.1 イニシャル処理 ... 72
- 5.2 グローバル変数処理 (common.c) ... 72
- 5.3 グローバル変数処理 (common.h) ... 73
- 5.4 MAIN処理 ... 73
- 5.5 PWM処理 ... 74
- 5.6 ハイ・インピーダンス設定処理 ... 75
- 5.7 TAB0谷割り込み (INTTB0OV) 処理 ... 76
- 5.8 A/Dコンバータ0, 1変換終了処理 ... 76
- 5.9 sin2計算処理 ... 77
- 5.10 sins計算処理 ... 78

第6章 設 定 ... 79

6.1 3相PWMドライバの設定 ... 79

付録A モジュール間のインタフェース ... 80

第1章 ハードウェア構成

3相PWMドライバのハードウェア構成について説明します。

1.1 オペレーション

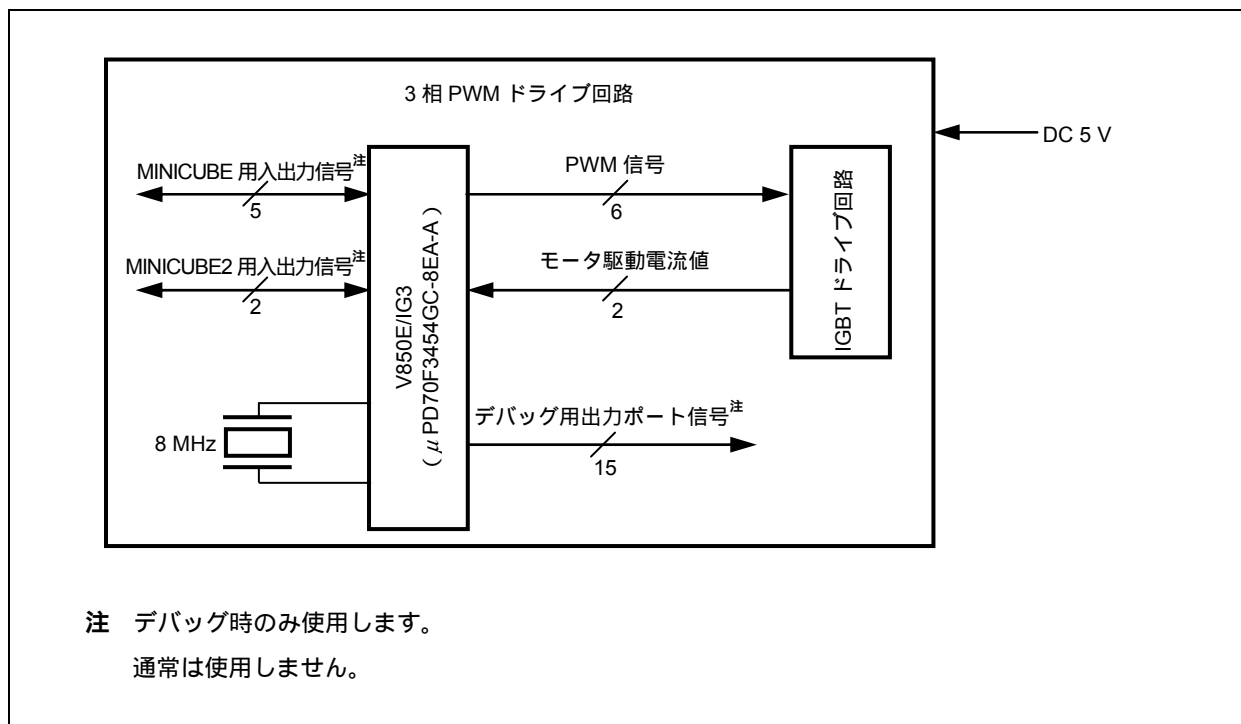
次に3相PWMドライバの主な機能を示します。

- ・ d軸, q軸, 回転座標 (θ) の指定によりU相, V相, W相のパルス・デューティを任意で設定できます。
- ・ 出力ロック・モードで同じデューティのPWMパルスを出力し続けることができます。
- ・ PWM出力端子 (TOB0T1-TOB0T3, TOB0B1-TOB0B3) をソフトウェアでハイ・インピーダンスにすることができます。
- ・ キャリア周期に同調して, 任意にA/Dコンバータ0, 1の変換開始トリガを生成します。

1.2 システム構成

システム構成を次に示します。

図1 - 1 システム構成図



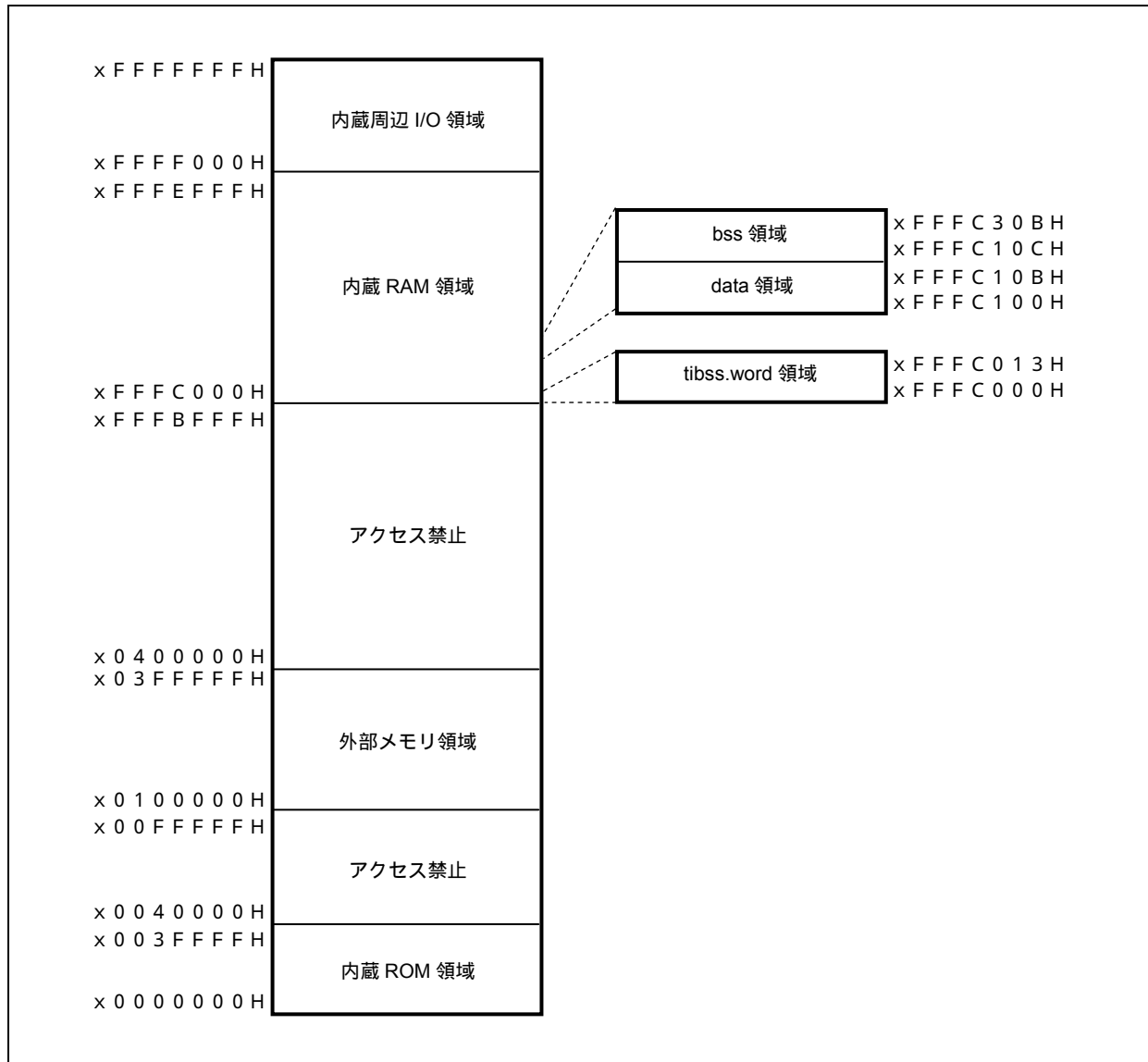
1.3 CPUブロック

3相PWMドライバでは、V850E/IG3 (μ PD70F3454GC-8EA-A) に8 MHzのクロックを入力し、それを8通倍することで64 MHzで動作します。V850E/IG3 (μ PD70F3454GC-8EA-A) の内蔵RAMサイズは12 Kバイトです。

1.3.1 メモリ・マップ

メモリ・マップを次に示します。

図1 - 2 メモリ・マップ



1.3.2 端子の割り付け

次にV850E/IG3 (μ PD70F3454GC-8EA-A) の場合の端子割り付け表を示します。

表1 - 1 V850E/IG3 (μ PD70F3454GC-8EA-A) の端子割り付け (1/3)

端子番号	端子名	入出力モードの設定	信号名	アクティブ・レベル
1	EV _{SS1}	-	内部ユニット用グラウンド電位	GND
2	ANI00	入力	A/Dコンバータ0用モータ駆動電流	0 ~ +5 V
3	ANI01	-	未使用	-
4	ANI02	-		-
5	AIN03	-		-
6	AIN04	-		-
7	AV _{SS0}	-	A/Dコンバータ0用グラウンド電位	GND
8	AV _{REFP0}	-	A/Dコンバータ0用基準電圧入力	+5 V
9	AV _{DD0}	-	A/Dコンバータ0用正電源供給	+5 V
10	AV _{DD1}	-	A/Dコンバータ1用正電源供給	+5 V
11	AV _{REFP1}	-	A/Dコンバータ1用基準電圧入力	+5 V
12	AV _{SS1}	-	A/Dコンバータ1用グラウンド電位	GND
13	ANI14	-	未使用	-
14	ANI13	-		-
15	ANI12	-		-
16	ANI11	-		-
17	ANI10	-	A/Dコンバータ1用モータ駆動電流	0 ~ +5 V
18	P77	入力	未使用	-
19	P76	入力		-
20	P75	入力		-
21	P74	入力		-
22	P73	入力		-
23	P72	入力		-
24	P71	入力		-
25	P70	入力		-
26	AV _{DD2}	-	A/Dコンバータ2用正電源供給	+5 V
27	AV _{SS2}	-	A/Dコンバータ2用グラウンド電位	+5 V
28	P20	入力	未使用	-
29	P21	入力		-
30	P22	入力		-
31	P23	入力		-
32	P24	入力		-
33	P25	入力		-
34	P26	入力		-
35	V _{DD0}	-	内部ユニット用正電源供給	+5 V
36	REGC0	-	レギュレータ出力安定容量接続	-
37	V _{SS0}	-	内部ユニット用グラウンド電位	GND
38	X1	入力	未使用	-
39	X2	-		-

表1 - 1 V850E/IG3 (μ PD70F3454GC-8EA-A) の端子割り付け (2/3)

端子番号	端子名	入出力モードの設定	信号名	アクティブ・レベル
40	RESET	入力	システム・リセット入力	L
41	EV _{DD2}	-	外部端子用正電源供給	GND
42	EV _{SS2}	-	外部端子用グラウンド電位	GND
43	DRST	入力	オンチップ・デバック・エミュレータ用 デバック・リセット入力 (デバッグ時のみ使用)	L
44	DDO	出力	オンチップ・デバック・エミュレータ用 デバック・データ出力 (デバッグ時のみ使用)	L
45	P27	入力	未使用	-
46	FLMD0	入力	フラッシュ・メモリ・プログラミング・ モード引き込み用端子	H
47	RXDA0	入力	UARTA0のシリアル受信データ入力	L
48	TXDA0	出力	UARTA0のシリアル送信データ出力	L
49	P42	入力	未使用	-
50	P43	入力		-
51	P44	入力		-
52	P45	入力		-
53	P46	入力		-
54	P47	入力		-
55	P30	入力		-
56	P31	入力		-
57	P32	入力		-
58	P33	入力		-
59	P34	入力		-
60	P35	入力		-
61	P36	入力		-
62	P37	入力		-
63	P07	入力		-
64	EV _{SS0}	-	外部端子用グラウンド電位	GND
65	EV _{DD0}	-	外部端子用正電源供給	+5V
66	PDL15	入力 (デバッグ時は出力)	デバック用出力ポート	- (デバック中はH)
67	PDL14	入力 (デバッグ時は出力)		- (デバック中はH)
68	PDL13	入力 (デバッグ時は出力)		- (デバック中はH)
69	PDL12	入力 (デバッグ時は出力)		- (デバック中はH)
70	PDL11	入力 (デバッグ時は出力)		- (デバック中はH)
71	PDL10	入力 (デバッグ時は出力)		- (デバック中はH)
72	PDL9	入力 (デバッグ時は出力)		- (デバック中はH)
73	PDL8	入力 (デバッグ時は出力)		- (デバック中はH)
74	PDL7	入力 (デバッグ時は出力)		- (デバック中はH)
75	PDL6	入力 (デバッグ時は出力)		- (デバック中はH)

備考 L: ロウ・レベル

H: ハイ・レベル

表1 - 1 V850E/IG3 (μ PD70F3454GC-8EA-A) の端子割り付け (3/3)

端子番号	端子名	入出力モードの設定	信号名	アクティブ・レベル
76	FLMD1	入力	フラッシュ・メモリ・プログラミング・モード引き込み用端子	H
77	PDL4	入力 (デバッグ時は出力)	デバック用出力ポート	- (デバック中はH)
78	PDL3	入力 (デバッグ時は出力)		- (デバック中はH)
79	PDL2	入力 (デバッグ時は出力)		- (デバック中はH)
80	PDL1	入力 (デバッグ時は出力)		- (デバック中はH)
81	PDL0	入力 (デバッグ時は出力)		- (デバック中はH)
82	P06	入力	未使用	-
83	P05	入力		-
84	P04	入力		-
85	V _{SS1}	-	内部ユニット用グラウンド電位	GND
86	REGC1	-	レギュレータ出力安定容量接続	-
87	V _{DD1}	-	内部ユニット用正電源供給	+5 V
88	P03	入力	未使用	-
89	P02	入力		-
90	P01	入力		-
91	P00	入力		-
92	P17	入力		-
93	P16	入力		-
94	TOB0B3	出力	W相出力	-
95	TOB0T3	出力	W相出力	-
96	TOB0B2	出力	V相出力	-
97	TOB0T2	出力	V相出力	-
98	TOB0B1	出力	U相出力	-
99	TOB0T1	出力	U相出力	-
100	EV _{DD1}	-	外部端子用正電源供給	+5 V

備考 H: ハイ・レベル

1.3.3 内蔵周辺I/O

3相PWMドライバでは、次の内蔵周辺I/Oを使用しています。

表1 - 2 使用内蔵周辺I/O一覧

内蔵周辺I/O機能名 (V850E/IG3 (μ PD70F3454GC-8EA-A))	機 能
PDL0-PDL4, PDL6-PDL15	デバッグ用 (デバッグ時のみ使用。通常は使用しない)
タイマAB0 (TAB0) + TMQ0オブション (TMQOP0) + タイマAA0 (TAA0)	PWM出力
ANI00	A/Dコンバータ0用モータ駆動電流
ANI10	A/Dコンバータ1用モータ駆動電流
オンチップ・デバッグ機能 (MINICUBE, NIMICUBE2)	DCUを使用する方法: MINICUBE使用 DCUを使用しない方法: MINICUBE2使用

(1) 内蔵周辺I/O機能の説明

(a) デバッグ用出力ポート

プログラムのデバッグに使用するポートです。通常は入出力しません。

(b) PWM出力

- ・ TAB0 : 6相PWM出力モード時にPWMタイマのカウント, デューティ比の設定をします。
- ・ TMQOP0 : TAB0で生成されたPWMにデッド・タイムを付加します。
- ・ TAA0 : TAA0はTAB0と同調した動作をさせて, A/Dコンバータ0, 1の変換開始トリガを生成します。

3相PWMドライバでのPWM設定は次のようになります。

キャリア周波数 : 20 kHz
 デッド・タイム : 4 μs
 間引き率 : 1/1

表1 - 3 PWM出力端子の出力レベル

TOB0T1-TOB0T3, TOB0B1-TOB0B3	出力レベル
3相PWMのCALL命令実行前	ハイ・インピーダンス
3相PMMドライバ起動時	ハイ・インピーダンス / ハイ・レベル / ロウ・レベル

(c) ANI00

TAA0からのトリガを受けてANI00の値をA/D変換します。A/D変換終了後は割り込み優先順位レベル4のA/D0変換終了割り込み (INTAD0) を発生します。

ANI00 : 0 ~ +5 V
 INTTA0CC0トリガ・タイミング : キャリア周期のTAB0谷割り込み (INTTB0OV) から1 μs後
 A/D変換終了時間 : 2 μs

(d) ANI10

TAA0からのトリガを受けてANI10の値をA/D変換します。A/D変換終了後は割り込み優先順位レベル4のA/D1変換終了割り込み (INTAD1) を発生します。

ANI10	: 0 ~ +5 V
INTTA0CC1トリガ・タイミング	: キャリア周期のTAB0谷割り込み (INTTB0OV) から1 μ s後
A/D変換終了時間	: 2 μ s

(e) オンチップ・デバッグ機能

V850E/IG3 (μ PD70F3454GC-8EA-A) のオンチップ・デバッグ機能を実現するには次の2つの方法があります。

- ・DCU (デバッグ・コントロール・ユニット) を使用する方法 (MINICUBE使用)
 $\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子としてV850E/IG3に内蔵されているDCUによってオンチップ・デバッグを実現します。
- ・DCUを使用しない方法 (MINICUBE2使用)
DCUを使用せず, ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

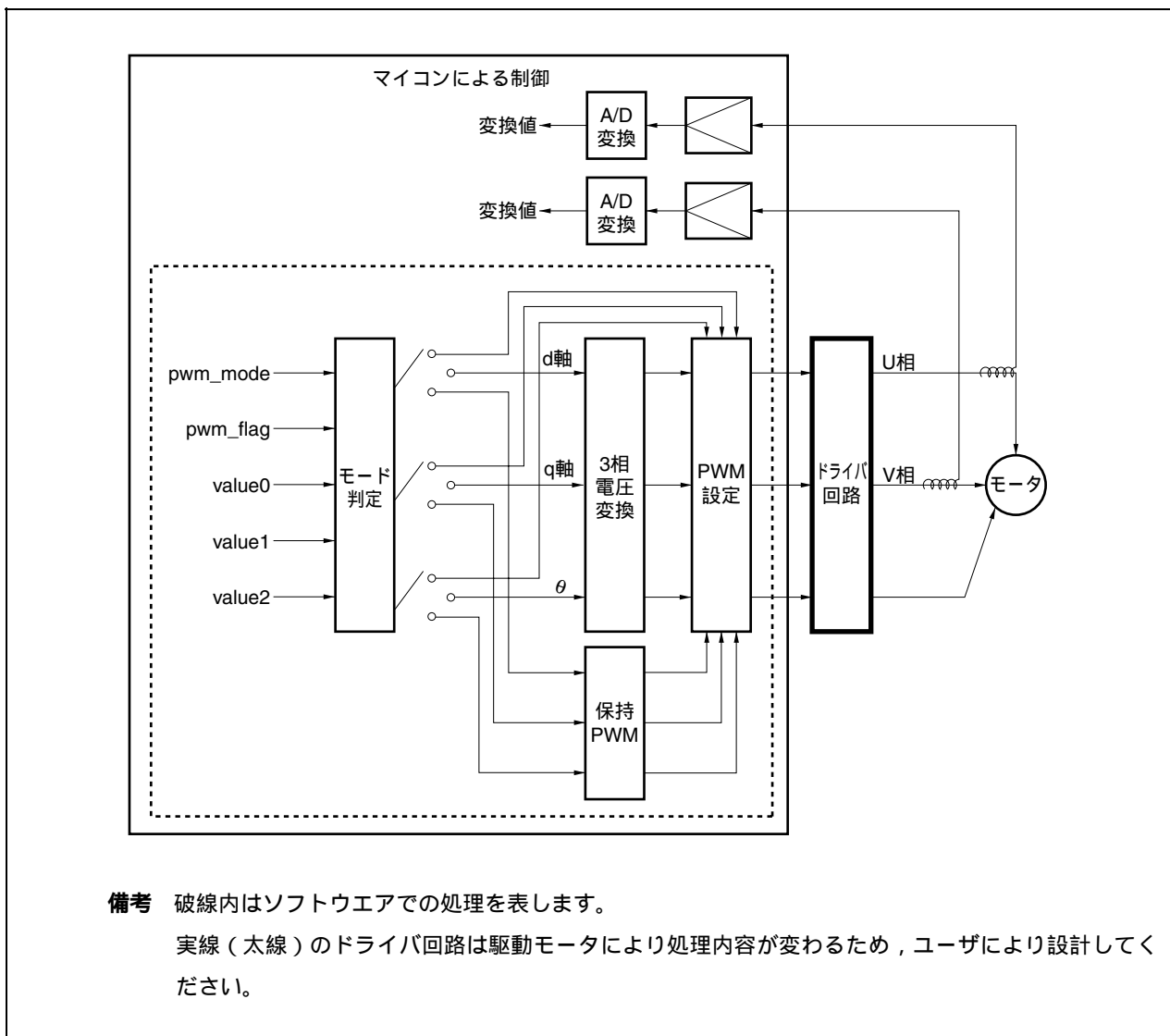
オンチップ・デバッグ・エミュレータ (MINICUBE, MINICUBE2) との接続方法については, 使用するデバッガのマニュアルを参照してください。

第2章 制御方式

2.1 制御ブロック

3相PWMドライバの制御ブロック図を次に示します。

図2 - 1 3相PWMドライバの制御ブロック図



備考 破線内はソフトウェアでの処理を表します。

実線（太線）のドライバ回路は駆動モータにより処理内容が変わるため、ユーザにより設計してください。

(1) モード判定

3相PWMドライバのモードをソフトウェアの状態変化に応じて判定します。

モードは次のとおりです。

- ・ダイレクト・モード : value0-value2で設定したPWMデューティ比をPWM電圧とします。
- ・dq変換モード : d軸電圧, q軸電圧, 回転位置 (θ) によりPWM電圧とします。
- ・出力ロック・モード : 前回3相PWMドライバで設定したPWM電圧を出力します。

(2) 3相電圧変換

dq変換モード時に座標変換処理を行います。

(3) 保持PWM

出力ロック・モード時に前回3相PWMドライバで設定したPWM電圧を保持します。

(4) PWM設定

PWM電圧を計算し, V850E/IG3 (μ PD70F3454GC-8EA-A) のレジスタにPWM電圧を出力します。

2.2 3相電圧変換

dq軸の電圧を3相座標へ変換する式を次に示します。

$$\begin{aligned} \text{U相電圧} &= (\text{d軸電圧} \times \sin(\theta + 90^\circ)) - (\text{q軸電圧} \times \sin(\theta)) \\ \text{V相電圧} &= (\text{d軸電圧} \times \sin(\theta + 330^\circ)) - (\text{q軸電圧} \times \sin(\theta + 240^\circ)) \\ \text{W相電圧} &= -\text{U相電圧} - \text{V相電圧} \end{aligned}$$

2.3 レジスタ設定

(1) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、下記の設定値を設定しています。

VSWCレジスタ = 13H

VSWC		アドレス : FFFFF06EH						
		7	6	5	4	3	2	1 0
初期値		0	1	1	1	0	1	1 1
ビット名		-	-	-	-	-	-	-
設定値		0	0	0	1	0	0	1 1

内蔵周辺I/Oレジスタに対するバス・アクセスのウェイト	
64 MHz動作で4ウェイト	

注意 VSWCレジスタはスタートアップ・モジュール (ig3_start.s) で設定します。

(2) PLLコントロール・レジスタ (PLLCTL) の設定

PLLCTLレジスタは、下記の設定値を設定しています。

PLLCTLレジスタ = 03H

PLLCTL		アドレス : FFFFF82CH						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0 1
ビット名		0	0	0	0	0	0	SELPLL 1
設定値		0	0	0	0	0	0	1 1

SELPLL	CPU動作クロックの選択
1	PLLモード

注意 ビット7-2には必ず0を、ビット0には必ず1を設定してください。

(3) プロセッサ・クロック・コントロール・レジスタ (PCC) の設定

PCCレジスタは、下記の設定値を設定しています。

PCCレジスタ = 00H

PCC	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	1	1
ビット名	0	0	0	0	0	0	CK1	CK0
設定値	0	0	0	0	0	0	0	0

アドレス : FFFFF828H

CK1	CK0	クロックの選択 (f_{CLK}/f_{CPU})
0	0	f_{XX}

- 注意1.** PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます。詳細については、V850E/IF3, V850E/IG3 ユーザーズ・マニュアル ハードウェア編 (U18279J) の3. 4. 8 特定レジスタを参照してください。
2. ビット2-7には、必ず0を設定してください。
3. PCCレジスタの設定はPLLモード(PLLCTL.SELPLLビット = 1)に切り替えたあとに行ってください。

(4) パワー・セーブ・コントロール・レジスタ (PSC) の設定

PSCレジスタは、下記の設定値を設定しています。

PSCレジスタ = 00H

PSC	アドレス : FFFFF1FEH							
	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	0	0	INTM	0	0	STB	0
設定値	0	0	0	0	0	0	0	0

INTM	マスカブル割り込み要求 (INTxx ^注) によるスタンバイ・モードの制御
0	INTxx要求によるスタンバイ・モード解除許可

STB	動作モードの設定
0	通常モード

注 詳細については、V850E/IF3, V850E/IG3 ユーザーズ・マニュアル ハードウェア編 (U18279J) の表20 - 1 割り込み要因一覧を参照してください。

注意1. PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます。詳細については、V850E/IF3, V850E/IG3 ユーザーズ・マニュアル ハードウェア編 (U18279J) の3. 4. 8 特定レジスタを参照してください。

2. ビット0, 2, 3, 5-7には、必ず0を設定してください。

(5) パワー・セーブ・モード・レジスタ (PSMR) の設定

PSMRレジスタは、下記の設定値を設定しています。

PSMRレジスタ = 00H

PSMR	アドレス : FFFFF820H							
	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	0	0	0	0	0	0	PSM0
設定値	0	0	0	0	0	0	0	0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。

(6) 発振安定時間選択レジスタ (OSTS) の設定

OSTSレジスタは、下記の設定値を設定しています。

OSTSレジスタ = 04H

OSTS		アドレス : FFFFF6C0H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	1	0 0
ビット名		0	0	0	0	OSTS3	OSTS2	OSTS1 OSTS0
設定値		0	0	0	0	0	1	0 0

OSTS3	OSTS2	OSTS1	OSTS0	発振安定時間の選択 (fx = 8 MHz時)
0	1	0	0	$2^{14}/f_x$ (2.05 ms)

注意 ビット4-7には、必ず0を設定してください。

(7) クロック・モニタ・モード・レジスタ (CLM) の設定

CLMレジスタは、下記の設定値を設定しています。

CLMレジスタ = 00H

CLM		アドレス : FFFFF870H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0 0
ビット名		0	0	0	0	0	0	CLME
設定値		0	0	0	0	0	0	0

CLME	クロック・モニタの動作制御
0	クロック・モニタの動作禁止

注意 CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます。詳細については、V850E/IF3, V850E/IG3 ユーザーズ・マニュアル ハードウェア編(U18279J)の3. 4. 8 特定レジスタを参照してください。

(8) ポート1モード・コントロール・レジスタ (PMC1) の設定

PMC1レジスタは、下記の設定値を設定しています。

PMC1レジスタ = 3FH

PMC1	アドレス : FFFFF442H							
	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10
設定値	0	0	1	1	1	1	1	1

PMC17	P17端子の動作モードの指定
0	入出力ポート

PMC16	P16端子の動作モードの指定
0	入出力ポート

PMC15	P15端子の動作モードの指定
1	TOB0B3出力 / TRGB0入力 / A5出力

PMC14	P14端子の動作モードの指定
1	TOB0T3出力 / EVTB0入力 / A4出力

PMC13	P13端子の動作モードの指定
1	TOB0B2出力 / TIB00入力 / A3出力

PMC12	P12端子の動作モードの指定
1	TOB0T2出力 / TIB03入力 / TOB03出力 / A2出力

PMC11	P11端子の動作モードの指定
1	TOB0B1出力 / TIB02入力 / TOB02出力 / A1出力

PMC10	P10端子の動作モードの指定
1	TOB0T1出力 / TIB01入力 / TOB01出力 / A0出力

(9) ポート1ファンクション・コントロール・レジスタ (PFC1) ,
 ポート1ファンクション・コントロール拡張レジスタ (PFCE1) の設定
 PFC1, PFCE1レジスタは , 下記の設定値を設定しています。

PFC1レジスタ = 00H

PFCE1レジスタ = 00H

PFCE1		アドレス : FFFFF702H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0
ビット名		0	0	PFCE15	PFCE14	PFCE13	PFCE12	PFCE11 PFCE10
設定値		0	0	0	0	0	0	0

PFC1		アドレス : FFFFF462H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0
ビット名		0	0	PFC15	PFC14	PFC13	PFC12	PFC11 PFC10
設定値		0	0	0	0	0	0	0

PFCE15	PFC15	P15端子の兼用機能の設定
0	0	TOB0B3出力

PFCE14	PFC14	P14端子の兼用機能の設定
0	0	TOB0T3出力

PFCE13	PFC13	P13端子の兼用機能の設定
0	0	TOB0B2出力

PFCE12	PFC12	P12端子の兼用機能の設定
0	0	TOB0T2出力

PFCE11	PFC11	P11端子の兼用機能の設定
0	0	TOB0B1出力

PFCE10	PFC10	P10端子の兼用機能の設定
0	0	TOB0T1出力

(10) プルアップ抵抗オプション・レジスタ1 (PU1) の設定

PU1レジスタは、下記の設定値を設定しています。

PU1レジスタ = 00H

PU1		アドレス : FFFFC42H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0
ビット名		PU17	PU16	PU15	PU14	PU13	PU12	PU11 PU10
設定値		0	0	0	0	0	0	0

PU1n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない

(11) TAA0制御レジスタ0 (TAA0CTL0) の設定

TAA0CTL0レジスタは、下記の設定値を設定しています。

TAA0CTL0レジスタ = 01H/81H

TAA0CTL0		アドレス : FFFF660H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0
ビット名		TAA0CE	0	0	0	0	TAA0CKS2 TAA0CKS1	TAA0CKS0
設定値		0/1	0	0	0	0	0	1

TAA0CE	TAA0の動作の制御
0	TAA0動作禁止 (TAA0を非同期にリセット ^注)
1	TAA0動作許可。TAA0動作開始

TAA0CKS2	TAA0CKS1	TAA0CKS0	内部カウント・クロックの選択
0	0	1	fxx/2

注 TAA0OPT0.TAA0OVFビット, 16ビット・カウンタが同時にリセットされます。

注意 ビット3-6には、必ず0を設定してください。

(12) TAA0制御レジスタ1 (TAA0CTL1) の設定

TAA0CTL1レジスタは、下記の設定値を設定しています。

TAA0CTL1レジスタ = 85H

TAA0CTL1

アドレス : FFFFF661H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	TAA0SYE	0	0	0	0	TAA0MD2	TAA0MD1	TAA0MD0
設定値	1	0	0	0	0	1	0	1

TAA0SYE	動作モードの選択
1	同調動作モード

TAA0MD2	TAA0MD1	TAA0MD0	タイマ・モードの選択
1	0	1	フリー・ランニング・タイマ・モード

注意 ビット3-6には、必ず0を設定してください。

(13) TAA2I/O制御レジスタ0 (TAA2IOC0) の設定

TAA2IOC0レジスタは、下記の設定値を設定しています。

TAA2IOC0レジスタ = 00H

TAA2IOC0

アドレス : FFFFF6A2H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	0	0	0	TAA2OL1	TAA2OE1	TAA2OL0	TAA2OE0
設定値	0	0	0	0	0	0	0	0

TAA2OL1	TOA21端子出力レベルの設定
0	TOA21端子ハイ・レベル・スタート

TAA2OE1	TOA21端子出力の設定
0	タイマ出力禁止 ・ TOA21端子からロウ・レベルを出力

TAA2OL0	TOA20端子出力レベルの設定
0	TOA20端子ハイ・レベル・スタート

TAA2OE0	TOA20端子出力の設定
0	タイマ出力禁止 ・ TOA20端子からロウ・レベルを出力

(14) TAA2I/O制御レジスタ1 (TAA2IOC1) の設定

TAA2IOC1レジスタは、下記の設定値を設定しています。

TAA2IOC1レジスタ = 00H

TAA2IOC1

アドレス：FFFFF6A3H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	0	0	0	TAA2IS3	TAA2IS2	TAA2IS1	TAA2IS0
設定値	0	0	0	0	0	0	0	0

TAA2IS3	TAA2IS2	キャプチャ・トリガ入力信号（TIA21端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）

TAA2IS1	TAA2IS0	キャプチャ・トリガ入力信号（TIA20端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）

(15) TAA2I/O制御レジスタ2 (TAA2IOC2) の設定

TAA2IOC2レジスタは、下記の設定値を設定しています。

TAA2IOC2レジスタ = 00H

TAA2IOC2

7

6

5

4

3

2

1

0

初期値

0

0

0

0

0

0

0

ビット名

0

0

0

0

TAA2EES1

TAA2EES0

TAA2ETS1

TAA2ETS0

設定値

0

0

0

0

0

0

0

TAA2EES1

TAA2EES0

外部イベント・カウント入力信号（TIA20端子）の有効エッジの設定

0

0

エッジ検出なし（外部イベント・カウント無効）

TAA2ETS1

TAA2ETS0

外部トリガ入力信号（TIA20端子）の有効エッジの設定

0

0

エッジ検出なし（外部トリガ無効）

(16) TAA0オプション・レジスタ0 (TAA0OPT0) の設定

TAA0OPT0レジスタは、下記の設定値を設定しています。

TAA0OPT0レジスタ = 00H

TAA0OPT0		アドレス : FFFFF665H							
		7	6	5	4	3	2	1	0
初期値		0	0	0	0	0	0	0	0
ビット名		0	0	0	0	0	0	0	TAA0OVF
設定値		0	0	0	0	0	0	0	0

TAA0OVF	TAA0のオーバーフロー検出フラグ
リセット (0)	TAA0OVFビットへの0書き込みまたはTAA0CTL0.TAA0CEビット = 0

注意 ビット1-7には、必ず0を設定してください。

(17) TAA0キャプチャ/コンペア・レジスタ0 (TAA0CCR0) の設定

TAA0CCR0レジスタは、下記の設定値を設定しています。

TAA0CCR0レジスタ = 0020H

TAA0CCR0		アドレス : FFFFF666H															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット名		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
設定値		0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

コンペア・レジスタに値を設定
TAA0のA/Dコンバータ0の変換開始トリガ値を設定 (1 μ sでコンペア一致発生)

(18) TAA0キャプチャ/コンペア・レジスタ1 (TAA0CCR1) の設定

TAA0CCR1レジスタは、下記の設定値を設定しています。

TAA0CCR1レジスタ = 0020H

TAA0CCR1															アドレス : FFFF668H	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット名	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
設定値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

コンペア・レジスタに値を設定
TAA0のA/Dコンバータ1の変換開始トリガ値を設定 (1 μ sでコンペア一致発生)

(19) TAB0制御レジスタ0 (TAB0CTL0) の設定

TAB0CTL0レジスタは、下記の設定値を設定しています。

TAB0CTL0レジスタ = 01H/81H

TAB0CTL0								アドレス : FFFF5E0H	
	7	6	5	4	3	2	1	0	
初期値	0	0	0	0	0	0	0	0	
ビット名	TAB0CE	0	0	0	0	TAB0CKS2	TAB0CKS1	TAB0CKS0	
設定値	0/1	0	0	0	0	0	0	1	

TAB0CE	TAB0の動作の制御
0	TAB0動作禁止 (TAB0を非同期にリセット ^注)
1	TAB0動作許可。TAB0動作開始

TAB0CKS2	TAB0CKS1	TAB0CKS0	内部カウント・クロックの選択
0	0	1	fx/2

注 TAB0OPT0.TAB0OVFビット, 16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOB00-TOB03端子) もTAB0IOC0レジスタの設定状態に16ビット・カウンタと同時にリセットされます。

注意 ビット3-6には、必ず0を設定してください。

(20) TAB0制御レジスタ1 (TAB0CTL1) の設定

TAB0CTL1レジスタは、下記の設定値を設定しています。

TAB0CTL1レジスタ = 07H

TAB0CTL1	アドレス : FFFFF5E1H							
	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	TAB0EST	TAB0EEE	0	0	TAB0MD2	TAB0MD1	TAB0MD0
設定値	0	0	0	0	0	1	1	1

TAB0EST	ソフトウェア・トリガ制御
0	ソフトウェア・トリガ動作なし

TAB0EEE	カウント・クロックの選択
0	外部イベント・カウント入力 (EVTB0端子) での動作禁止 (TAB0CTL0.TAB0CKS0-TAB0CKS2ビットによって選択されたカウント・クロックでカウント動作を行う)

TAB0MD2	TAB0MD1	TAB0MD0	タイマ・モードの選択
1	1	1	6相PWM出力モード

注意 ビット3, 4, 7には、必ず0を設定してください。

(21) TAB0I/O制御レジスタ0 (TAB0IOC0) の設定

TAB0IOC0レジスタは、下記の設定値を設定しています。

TAB0IOC0レジスタ = 55H

TAB0IOC0	アドレス : FFFFF5E2H							
	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	TAB0OL3	TAB0OE3	TAB0OL2	TAB0OE2	TAB0OL1	TAB0OE1	TAB0OL0	TAB0OE0
設定値	0	1	0	1	0	1	0	1

TAB0OLm	TOB0m, TOB0Tb端子出力レベルの設定 (m = 0-3, b = 1-3)
0	TOB0m, TOB0Tb端子ハイ・レベル・スタート

TAB0OEm	TOB0m, TOB0Tb端子出力の設定 (m = 0-3, b = 1-3)
1	タイマ出力許可 (TOB0m, TOB0Tb端子からパルスを出力)

(22) TAB0I/O制御レジスタ1 (TAB0IOC1) の設定

TAB0IOC1レジスタは、下記の設定値を設定しています。

TAB0IOC1レジスタ = 00H

TAB0IOC1		アドレス：FFFFF5E3H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0
ビット名		TAB0IS7	TAB0IS6	TAB0IS5	TAB0IS4	TAB0IS3	TAB0IS2	TAB0IS1 TAB0IS0
設定値		0	0	0	0	0	0	0

TAB0IS7	TAB0IS6	キャプチャ・トリガ入力信号 (TIB03端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)

TAB0IS5	TAB0IS4	キャプチャ・トリガ入力信号 (TIB02端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)

TAB0IS3	TAB0IS2	キャプチャ・トリガ入力信号 (TIB01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)

TAB0IS1	TAB0IS0	キャプチャ・トリガ入力信号 (TIB00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)

(23) TAB0I/O制御レジスタ2 (TAB0IOC2) の設定

TAB0IOC2レジスタは、下記の設定値を設定しています。

TAB0IOC2レジスタ = 00H

TAB0IOC2		アドレス：FFFFF5E4H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0
ビット名		0	0	0	0	TAB0EES1	TAB0EES0	TAB0ETS1 TAB0ETS0
設定値		0	0	0	0	0	0	0

TAB0EES1	TAB0EES0	外部イベント・カウント入力信号 (EVTB0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)

TAB0ETS1	TAB0ETS0	外部トリガ入力信号 (TRGB0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)

(24) TAB0オプション・レジスタ0 (TAB0OPT0) の設定

TAB0OPT0レジスタは、下記の設定値を設定しています。

TAB0OPT0レジスタ = 00H

TAB0OPT0		アドレス：FFFFF5E5H						
		7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0
ビット名		TAB0CCS3	TAB0CCS2	TAB0CCS1	TAB0CCS0	0	TAB0CMS	TAB0CUF TAB0OVF
設定値		0	0	0	0	0	0	0

TAB0CCSm	TAB0CCRmレジスタのキャプチャ / コンペア選択 (m = 0-3)
0	コンペア・レジスタに選択

TAB0CMS	コンペア・レジスタの書き換えモード選択
0	一斉書き換えモード指定 (転送動作指定)

TAB0CUF	タイマAB0のアップ・カウント / ダウン・カウント・フラグ
0	タイマAB0がアップ・カウント中

TAB0OVF	TAB0のオーバフロー・フラグ
リセット (0)	TAB0OVFビットへの0書き込みまたはTAB0CTL0.TAB0CEビット = 0

注意 ビット3には、必ず0を設定してください。

(25) TAB0キャプチャ / コンペア・レジスタ0 (TAB0CCR0) の設定

TAB0CCR0レジスタは、下記の設定値を設定しています。

TAB0CCR0レジスタ = 031FH

TAB0CCR0		アドレス：FFFFF5E6H														
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 0
初期値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット名		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
設定値		0	0	0	0	0	0	1	1	0	0	0	1	1	1	1

コンペア・レジスタに値を設定	
50 μ s , 799カウント	

(26) TAB0キャプチャ/コンペア・レジスタ1 (TAB0CCR1) の設定

TAB0CCR1レジスタは、下記の設定値を設定しています。

TAB0CCR1レジスタ = 0320H

TAB0CCR1																アドレス : FFFFF5E8H	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット名	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
設定値	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0	
																コンペア・レジスタに値を設定	
																800カウント	

(27) TAB0キャプチャ/コンペア・レジスタ2 (TAB0CCR2) の設定

TAB0CCR2レジスタは、下記の設定値を設定しています。

TAB0CCR2レジスタ = 0320H

TAB0CCR2																アドレス : FFFFF5EAH	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット名	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
設定値	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0	
																コンペア・レジスタに値を設定	
																800カウント	

(28) TAB0キャプチャ/コンペア・レジスタ3 (TAB0CCR3) の設定

TAB0CCR3レジスタは、下記の設定値を設定しています。

TAB0CCR3レジスタ = 0320H

TAB0CCR3

アドレス : FFFF5ECH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット名	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
設定値	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0

コンペア・レジスタに値を設定

800カウント

(29) TAB0オプション・レジスタ1 (TAB0OPT1) の設定

TAB0OPT1レジスタは、下記の設定値を設定しています。

TAB0OPT1レジスタ = 40H

TAB0OPT1

アドレス : FFFFF600H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	TAB0ICE	TAB0IOE	0	TAB0ID4	TAB0ID3	TAB0ID2	TAB0ID1	TAB0ID0
設定値	0	1	0	0	0	0	0	0

TAB0ICE	山割り込み (INTTB0CC0信号) 許可
0	INTTB0CC0信号を使用しない (割り込み間引きのカウント信号としない)

TAB0IOE	谷割り込み (INTTB0OV信号) 許可
1	INTTB0OV信号を使用する (割り込み間引きのカウント信号とする)

TAB0ID4	TAB0ID3	TAB0ID2	TAB0ID1	TAB0ID0	割り込み回数の選択
0	0	0	0	0	間引きなし (すべての割り込みを出力)

(30) TAB0オプション・レジスタ2 (TAB0OPT2) の設定

TAB0OPT2レジスタは、下記の設定値を設定しています。

TAB0OPT2レジスタ = 85H

TAB0OPT2

アドレス：FFFFFF601H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	TAB0RDE	TAB0DTM	TAB0ATM3	TAB0ATM2	TAB0AT3	TAB0AT2	TAB0AT1	TAB0AT0
設定値	1	0	0	0	0	1	0	1

TAB0RDE	転送間引き許可
1	TAB0OPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く

TAB0DTM	デッド・タイム・カウンタ動作モード選択 (m = 1-3)
0	通常のアップ・カウントを行い、TAB0のTOB0m出力が狭間隔 (TOB0m出力幅 < デッド・タイム幅) の場合は、デッド・タイム・カウンタをクリアし再カウントを行う。

TAB0ATM3	TAB0ATM3モード選択
0	INTTA0CC1割り込みのA/Dトリガ信号 (TABTADT00) をアップ・カウント時に出力

TAB0ATM2	TAB0ATM2モード選択
0	INTTA0CC0割り込みのA/Dトリガ信号 (TABTADT00) をアップ・カウント時に出力

TAB0AT3	A/Dトリガ出力制御3
0	INTTA0CC1割り込みのA/Dトリガ信号 (TABTADT00) の出力禁止

TAB0AT2	A/Dトリガ出力制御2
1	INTTA0CC0割り込みのA/Dトリガ信号 (TABTADT00) の出力許可

TAB0AT1	A/Dトリガ出力制御1
0	INTTB0CC0 (山割り込み) のA/Dトリガ信号 (TABTADT00) の出力禁止

TAB0AT0	A/Dトリガ出力制御0
1	INTTB0OV (谷割り込み) のA/Dトリガ信号 (TABTADT00) の出力許可

(31) TAB0オプション・レジスタ3 (TAB0OPT3) の設定

TAB0OPT3レジスタは、下記の設定値を設定しています。

TAB0OPT3レジスタ = 05H

TAB0OPT3

アドレス：FFFFFF603H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	0	TAB0ATM7	TAB0ATM6	TAB0AT7	TAB0AT6	TAB0AT5	TAB0AT4
設定値	0	0	0	0	0	1	0	1

TAB0ATM7	TAB0ATM7モード選択
0	INTTA0CC1割り込みのA/Dトリガ信号 (TABTADT01) をアップ・カウント時に出力

TAB0ATM6	TAB0ATM6モード選択
0	INTTA0CC0割り込みのA/Dトリガ信号 (TABTADT01) をアップ・カウント時に出力

TAB0AT7	A/Dトリガ出力制御3
0	INTTA0CC1割り込みのA/Dトリガ信号 (TABTADT01) の出力禁止

TAB0AT6	A/Dトリガ出力制御2
1	INTTA0CC0割り込みのA/Dトリガ信号 (TABTADT01) の出力許可

TAB0AT5	A/Dトリガ出力制御1
0	INTTB0CC0 (山割り込み) のA/Dトリガ信号 (TABTADT01) の出力禁止

TAB0AT4	A/Dトリガ出力制御0
1	INTTB0OV (谷割り込み) のA/Dトリガ信号 (TABTADT01) の出力許可

(32) TAB0I/O制御レジスタ3 (TAB0IOC3) の設定

TAB0IOC3レジスタは、下記の設定値を設定しています。

TAB0IOC3レジスタ = FCH

TAB0IOC3	アドレス : FFFFF602H						
	7	6	5	4	3	2	1 0
初期値	1	0	1	0	1	0	0 0
ビット名	TAB0OLB3	TAB0OEB3	TAB0OLB2	TAB0OEB2	TAB0OLB1	TAB0OEB1	0 0
設定値	1	1	1	1	1	1	0 0

TAB0OLBm	TOB0Bm端子出力レベルの設定 (m = 1-3)
1	TOB0Bm端子出力反転許可

TAB0OEBm	TOB0Bm端子出力の設定 (m = 1-3)
1	TOB0Bm端子出力許可

(33) TAB0デッド・タイム・コンペア・レジスタ (TAB0DTC) の設定

TAB0DTCレジスタは、下記の設定値を設定しています。

TAB0DTCレジスタ = 0080H

TAB0DTC	アドレス : FFFFF604H														
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット名	0	0	0	0	0	0	TAB0DTC9	TAB0DTC8	TAB0DTC7	TAB0DTC6	TAB0DTC5	TAB0DTC4	TAB0DTC3	TAB0DTC2	TAB0DTC1DTC0
設定値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

デッド・タイム値の指定														
4 μ s														

(34) ハイ・インピーダンス出力制御レジスタ00 (HZA0CTL0) の設定

HZA0CTL0レジスタは、下記の設定値を設定しています。

HZA0CTL0レジスタ = 80H/88H

HZA0CTL0

アドレス : FFFFF610H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	HZA0DCE0	HZA0DCM0	HZA0DCN0	HZA0DCP0	HZA0DCT0	HZA0DCC0	0	HZA0DCF0
設定値	1	0	0	0	0/1	0	0	0

HZA0DCE0	ハイ・インピーダンス出力の制御
1	ハイ・インピーダンス出力制御動作許可

HZA0DCM0	HZA0DCC0ビットによるハイ・インピーダンス解除の条件
0	TOB0OFF端子入力に関係なく、HZA0DCC0ビットの設定が有効

HZA0DCN0	HZA0DCP0	TOB0OFF端子の入力エッジ指定
0	0	有効エッジなし (TOB0OFF端子入力によるHZA0DCF0ビットのセット禁止)

HZA0DCT0	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZA0DCF0ビットがセット (1) されます。

HZA0DCC0	ハイ・インピーダンス出力制御クリア・ビット
0	非動作

HZA0DCF0	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・ HZA0DCE0ビット = 0によりクリア (0) されます。 ・ HZA0DCC0ビット = 1によりクリア (0) されます。

(35) A/Dコンバータ_nスキャン・モード・レジスタ (ADnSCM) の設定

ADnSCMレジスタは、下記の設定値を設定しています。

ADnSCMレジスタ = 0180H/8180H

ADnSCM (n = 0, 1)		アドレス : AD0SCM FFFF220H, AD1SCM FFFF2A0H															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット名		ADn CE	ADn CS	0	0	0	ADn PLM	ADn TRG1	ADn TRG0	ADn PS	0	0	0	0	0	0 ^注	0
設定値		0/1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

ADnCE	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADnCS	A/Dコンバータ _n のステータス
0	A/D変換停止中

ADnPLM	ADnTRG1	ADnTRG0	通常動作モードの指定
0	0	1	ハードウェア・トリガ・モード

ADnPS	A/Dパワー・セーブ・モードの指定
1	A/D動作モード

注 A/Dコンバータ0, 1を使用する場合、ビット1には必ず1を設定してください。
この設定は、ADnSCMレジスタの他のビット設定と同時にできます。

注意 ビット0-6, 11-13には、必ず0を設定してください。

(36) A/Dコンバータ_nクロック選択レジスタ (ADnOCS) の設定

ADnOCSレジスタは、下記の設定値を設定しています。

ADnOCSレジスタ = 12H

ADnOCS (n = 0, 1)	アドレス : AD0OCS FFFFF270H, AD1OCS FFFFF274H							
	7	6	5	4	3	2	1	0
	初期値	0	0	0	0	0	0	0
	ビット名	0	0	0	ADnOCKSEN	0	0	ADnOCKS1 ADnOCKS0
設定値	0	0	0	1	0	0	1	0

ADnOCKSEN	クロック動作制御
1	A/Dコンバータ _n の動作クロック供給許可

ADnOCKS1	ADnOCKS0	A/Dコンバータ _n の入力クロックの選択 (f _{AD01})
1	0	f _{xx} /4 (f _{xx} = 64 MHzの場合)

- 注意1. f_{AD01}は、16 MHz以下に設定してください。
2. A/Dコンバータ_n使用時は、A/D変換結果レジスタのリードも含め、ADnOCSレジスタおよびADnSCM.ADnPSビット = 1の設定を必ず行ってください。
3. ビット2, 3, 5-7には必ず0を設定してください。

(37) A/Dコンバータ_n変換時間制御レジスタ (ADnCTC) の設定

ADnCTCレジスタは、下記の設定値を設定しています。

ADnCTCレジスタ = 0CH

ADnCTC (n = 0, 1)	アドレス : AD0CTC FFFFF222H, AD1CTC FFFFF2A2H							
	7	6	5	4	3	2	1	0
	初期値	0	0	0	0	0	0	0
	ビット名	0	0	0	0	ADnFR3	ADnFR2	ADnFR1 ADnFR0
設定値	0	0	0	0	1	1	0	0

ADnFR3	ADnFR2	ADnFR1	ADnFR0	変換クロック数の指定
1	1	0	0	変換クロック数 = 32 (変換時間 = 2.00 μs)

注意 ビット4-7には、必ず0を設定してください。

(38) A/Dコンバータ_n変換チャネル指定レジスタ (AD_nCHEN) の設定

AD_nCHENレジスタは、下記の設定値を設定しています。

AD_nCHENレジスタ = 0001H

AD _n CHEN (n = 0, 1)		アドレス : AD0CHEN FFFFF224H, AD1CHEN FFFFF2A4H															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット名		AD _n CHEN 15	AD _n CHEN 14	AD _n CHEN 13	AD _n CHEN 12	AD _n CHEN 11	AD _n CHEN 10	AD _n CHEN 9	AD _n CHEN 8	AD _n CHEN 7	AD _n CHEN 6	AD _n CHEN 5	AD _n CHEN 4	AD _n CHEN 3	AD _n CHEN 2	AD _n CHEN 1	AD _n CHEN 0
設定値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

AD _n CHEN0	アナログ入力端子の指定
1	ANIn0端子の指定許可

(39) A/Dコンバータ_n制御レジスタ (AD_nCTL0) の設定

AD_nCTL0レジスタは、下記の設定値を設定しています。

AD_nCTL0レジスタ = 00H

AD _n CTL0 (n = 0, 1)		アドレス : AD0CTL0 FFFFF230H, AD1CTL0 FFFFF2B0H							
		7	6	5	4	3	2	1	0
初期値		0	0	0	0	0	0	0	0
ビット名								AD _n MD1	AD _n MD0
設定値		0	0	0	0	0	0	0	0

AD _n MD1	AD _n MD0	拡張動作モードの指定
0	0	通常動作モード

(41) オペアンプ_n制御レジスタ0 (OPnCTL0) の設定

OPnCTL0レジスタは、下記の設定値を設定しています。

OPnCTL0レジスタ = 00H

OP0CTL0	アドレス : FFFFF260H						
	7	6	5	4	3	2	1 0
初期値	0	0	0	0	0	0	0
ビット名	0	0	0	OP0EN	OP0GA3	OP0GA2	OP0GA1 OP0GA0
設定値	0	0	0	0	0	0	0

OP1CTL0	アドレス : FFFFF2E0H						
	7	6	5	4	3	2	1 0
初期値	0	0	0	0	0	0	0
ビット名	0	OP12EN	OP11EN	OP10EN	OP1GA3	OP1GA2	OP1GA1 OP1GA0
設定値	0	0	0	0	0	0	0

OP12EN	オペアンプ2の動作制御
0	動作禁止 (使用しない)

OP11EN	オペアンプ1の動作制御
0	動作禁止 (使用しない)

OP0EN	オペアンプ0の動作制御
0	動作禁止 (使用しない)

OP10EN	オペアンプ0の動作制御
0	動作禁止 (使用しない)

OPnGA3	OPnGA2	OPnGA1	OPnGA0	オペアンプのゲイン指定
0	0	0	0	2.500倍

注意 OP0CTL0レジスタのビット5-7, OP1CTL0レジスタのビット7には必ず0を設定してください。

(42) コンパレータ_n制御レジスタ0 (CMPnCTL0) の設定

CMPnCTL0レジスタは、下記の設定値を設定しています。

CMPnCTL0レジスタ = 00H

CMP0CTL0

アドレス : FFFFF261H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	0	0	CMP0FEN	0	0	0	CMP0LEN
設定値	0	0	0	0	0	0	0	0

CMP1CTL0

アドレス : FFFFF2E1H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	CMP12FEN	CMP11FEN	CMP10FEN	0	CMP12LEN	CMP11LEN	CMP10LEN
設定値	0	0	0	0	0	0	0	0

CMP12FEN	コンパレータ2 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)

CMP11FEN	コンパレータ1 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)

CMP0FEN	コンパレータ0 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)

CMP10FEN	コンパレータ0 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)

CMP12LEN	コンパレータ2 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)

CMP11LEN	コンパレータ1 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)

CMP0LEN	コンパレータ0 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)

CMP10LEN	コンパレータ0 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)

注意 CMP0CTL0レジスタのビット1-3, 5-7, CMP1CTL0レジスタのビット3, 7には必ず0を設定してください。

(43) コンパレータ_n制御レジスタ2 (CMPnCTL2) の設定

CMPnCTL2レジスタは、下記の設定値を設定しています。

CMPnCTL2レジスタ = 00H

CMP0CTL2

アドレス : FFFFF263H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	0	0	0	0	0	0	CMP0SEL
設定値	0	0	0	0	0	0	0	0

CMP1CTL2

アドレス : FFFFF2E3H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	0	0	0	0	0	CMP12SEL	CMP11SEL	CMP10SEL
設定値	0	0	0	0	0	0	0	0

CMP12SEL	コンパレータ2の比較信号の指定
0	オペアンプ2増幅前

CMP11SEL	コンパレータ1の比較信号の指定
0	オペアンプ1増幅前

CMP0SEL	コンパレータ0の比較信号の指定
0	オペアンプ0増幅前

CMP10SEL	コンパレータ0の比較信号の指定
0	オペアンプ0増幅前

注意 CMP0CTL2レジスタのビット1-7 , CMP1CTL2レジスタのビット3-7には必ず0を設定してください。

(44) コンパレータ_n制御レジスタ3 (CMPnCTL3) の設定

CMPnCTL3レジスタは、下記の設定値を設定しています。

CMPnCTL3レジスタ = 00H

(1/2)

CMP0CTL3 アドレス : FFFFF264H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	CMP0FDS	0	0	CMP0FDE	CMP0LDS	0	0	CMP0LDE
設定値	0	0	0	0	0	0	0	0

CMP1CTL3 アドレス : FFFFF2E4H

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	CMP1FDS	CMP12FDE	CMP11FDE	CMP10FDE	CMP1LDS	CMP12LDE	CMP11LDE	CMP10LDE
設定値	0	0	0	0	0	0	0	0

CMPnFDS	コンパレータ (フル・レンジ) の出力生成の指定
0	論理積 (AND) 検出

CMP12FDE	コンパレータ2 (フル・レンジ) のエッジ検出制御
0	エッジ検出禁止

CMP11FDE	コンパレータ1 (フル・レンジ) のエッジ検出制御
0	エッジ検出禁止

CMP0FDE	コンパレータ0 (フル・レンジ) のエッジ検出制御
0	エッジ検出禁止

CMP10FDE	コンパレータ0 (フル・レンジ) のエッジ検出制御
0	エッジ検出禁止

CMPnLDS	コンパレータ (ロウ・レンジ) の出力生成の指定
0	論理積 (AND) 検出

CMP12LDE	コンパレータ2 (ロウ・レンジ) のエッジ検出制御
0	エッジ検出禁止

CMP11LDE	コンパレータ1 (ロウ・レンジ) のエッジ検出制御
0	エッジ検出禁止

CMP0LDE	コンパレータ0 (ロウ・レンジ) のエッジ検出制御
0	エッジ検出禁止

CMP10LDE	コンパレータ0 (ロウ・レンジ) のエッジ検出制御
0	エッジ検出禁止

(45) コンパレータ出力デジタル・ノイズ除去レジスタ_{nL}, _{nF} (CMPNFC_{nL}, CMPNFC_{nF}) の設定

CMPNFC_{nL}, CMPNFC_{nF}レジスタは、下記の設定値を設定しています。

CMPNFC_{nL}レジスタ = 00H

CMPNFC_{nF}レジスタ = 00H

CMPNFC_{nL} (n = 0, 1) アドレス : CMPNFC0L FFFFF278H, CMPNFC1L FFFFF27CH

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	CMPnNFEN					CMPnNFC2	CMPnNFC1	CMPnNFC0
設定値	0	0	0	0	0	0	0	0

CMPNFC_{nF} (n = 0, 1) アドレス : CMPNFC0F FFFFF27AH, CMPNFC1F FFFFF27EH

	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
ビット名	CMPnNFEN					CMPnNFC2	CMPnNFC1	CMPnNFC0
設定値	0	0	0	0	0	0	0	0

CMPnNFEN	デジタル・ノイズ除去の設定
0	デジタル・ノイズ除去を行わない (スルー)

CMPnNFC2	CMPnNFC1	CMPnNFC0	サンプリング・クロックの選択
0	0	0	f _{xx} /32

注意 ビット3-6には必ず0を設定してください。

(46) A/Dトリガ立ち上がり，立ち下がりエッジ指定レジスタ (ADTR, ADTF) の設定

ADTR, ADTFレジスタは，下記の設定値を設定しています。

ADTRレジスタ = 00H

ADTFレジスタ = 00H

ADTR				アドレス : FFFFF2F2H			
	7	6	5	4	3	2	1 0
初期値	0	0	0	0	0	0	0
ビット名	0	0	0	0	0	0	ADTR1 ADTR0
設定値	0	0	0	0	0	0	0

ADTF				アドレス : FFFFF2F0H			
	7	6	5	4	3	2	1 0
初期値	0	0	0	0	0	0	0
ビット名	0	0	0	0	0	0	ADTF1 ADTF0
設定値	0	0	0	0	0	0	0

ADTFn	ADTRn	有効エッジの指定
0	0	エッジ検出なし

(47) コンパレータ出力割り込み立ち上がり，立ち下がりエッジ指定レジスタ (CMPOR, CMPOF) の設定

CMPOR, CMPOFレジスタは，下記の設定値を設定しています。

CMPORレジスタ = 00H

CMPOFレジスタ = 00H

CMPOR				アドレス : FFFFF2F6H			
	7	6	5	4	3	2	1 0
初期値	0	0	0	0	0	0	0
ビット名	0	0	0	0	CMPOR1F	CMPOR1L	CMPOR0F CMPOR0L
設定値	0	0	0	0	0	0	0

CMPOF				アドレス : FFFFF2F4H			
	7	6	5	4	3	2	1 0
初期値	0	0	0	0	0	0	0
ビット名	0	0	0	0	CMPOF1F	CMPOF1L	CMPOF0F CMPOF0L
設定値	0	0	0	0	0	0	0

CMPOFnF	CMPORnF	有効エッジの指定
0	0	エッジ検出なし

CMPOFnL	CMPORnL	有効エッジの指定
0	0	エッジ検出なし

(48) デジタル・ノイズ除去0制御レジスタ_n (INTNFC_n) の設定

INTNFC_nレジスタは、下記の設定値を設定しています。

INTNFC_nレジスタ = 00H

INTNFCn
(n = 14-16)

初期値

ビット名

設定値

7

6

5

4

3

2

1

0

0	0	0	0	0	0	0	0
INTNFENn	0	0	0	0	INTNFCn2	INTNFCn1	INTNFCn0
0	0	0	0	0	0	0	0

INTNFENn

デジタル・ノイズ除去の設定

0

デジタル・ノイズ除去禁止

INTNFCn2

INTNFCn1

INTNFCn0

サンプリング・クロックの選択

0

0

0

fxx/4

アドレス : INTNFC14 FFFFF310H, INTNFC15 FFFFF312H,

INTNFC16 FFFFF314H

(49) 割り込み制御レジスタ (ADnIC) の設定

ADnICレジスタは、下記の設定値を設定しています。

ADnICレジスタ = 04H

ADnIC (n = 0, 1)	アドレス : AD0IC FFFFF1BCH, AD1IC FFFFF1BEH							
	7	6	5	4	3	2	1	0
初期値	0	1	0	0	0	1	1	1
ビット名	ADnIF	ADnMK	0	0	0	ADnPR2	ADnPR1	ADnPR0
設定値	0	0	0	0	0	1	0	0

ADnIF	割り込み要求フラグ ^注
0	割り込み要求信号なし

ADnMK	割り込みマスク・フラグ
0	割り込み処理を許可

ADnPR2	ADnPR1	ADnPR0	割り込み優先順位指定ビット
1	0	0	レベル4を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

(50) 割り込み制御レジスタ (TB0OVIC) の設定

TB0OVICレジスタは、下記の設定値を設定しています。

TB0OVICレジスタ = 01H

TB0OVIC

アドレス : FFFFF142H

	7	6	5	4	3	2	1	0
初期値	0	1	0	0	0	1	1	1
ビット名	TB0OVIF	TB0OVMK	0	0	0	TB0OVPR2	TB0OVPR1	TB0OVPR0
設定値	0	0	0	0	0	0	0	1

TB0OVIF	割り込み要求フラグ ^注
0	割り込み要求信号なし

TB0OVMK	割り込みマスク・フラグ
0	割り込み処理を許可

TB0OVPR2	TB0OVPR1	TB0OVPR0	割り込み優先順位指定ビット
0	0	1	レベル1を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

(51) 割り込みマスク・レジスタ1 (IMR1) の設定

IMR1レジスタは、下記の設定値を設定しています。

IMR1レジスタ = FDFFH

(1/2)

IMR1 (IMR1H/IMR1L)		アドレス :IMR1 FFFFF102H IMR1L FFFFF102H, IMR1H FFFFF103H															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ビット名		TB1 CCMK0	TB1 OVMK	TB0 CCMK3	TB0 CCMK2	TB0 CCMK1	TB0 CCMK0	OVMK	MK1F	MK1L	MK0F	MK0L	PMK18	PMK17	PMK16	PMK15	PMK14
設定値		1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1

TB1CCMK0	割り込みマスク・フラグの設定
1	INTTB1CC0割り込み処理を禁止

TB1OVMK	割り込みマスク・フラグの設定
1	INTTB1OV割り込み処理を禁止

TB0CCMK3	割り込みマスク・フラグの設定
1	INTTB0CC3割り込み処理を禁止

TB0CCMK2	割り込みマスク・フラグの設定
1	INTTB0CC2割り込み処理を禁止

TB0CCMK1	割り込みマスク・フラグの設定
1	INTTB0CC1割り込み処理を禁止

TB0CCMK0	割り込みマスク・フラグの設定
1	INTTB0CC0割り込み処理を禁止

TB0OVMK	割り込みマスク・フラグの設定
0	INTTB0OV割り込み処理を許可

CMPMK1F	割り込みマスク・フラグの設定
1	INTCMP1F割り込み処理を禁止

CMPMK1L	割り込みマスク・フラグの設定
1	INTCMP1L割り込み処理を禁止

CMPMK0F	割り込みマスク・フラグの設定
1	INTCMP0F割り込み処理を禁止

CMPMK0L	割り込みマスク・フラグの設定
1	INTCMP0L割り込み処理を禁止

PMK18	割り込みマスク・フラグの設定
1	INTP18割り込み処理を禁止

PMK17	割り込みマスク・フラグの設定
1	INTP17割り込み処理を禁止

PMK16	割り込みマスク・フラグの設定
1	INTP16割り込み処理を禁止

PMK15	割り込みマスク・フラグの設定
1	INTP15割り込み処理を禁止

PMK14	割り込みマスク・フラグの設定
1	INTP14割り込み処理を禁止

(52) 割り込みマスク・レジスタ5 (IMR5) の設定

IMR5レジスタは、下記の設定値を設定しています。

IMR5レジスタ = FF3FH

(1/2)

IMR5 (IMR5H/IMR5L)		アドレス :IMR5 FFFFF10AH IMR5L FFFFF10AH, IMR5H FFFFF10BH															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ビット名		1	ADT1 MK	ADT0 MK	TM3 EQMK0	TM2 EQMK0	TM1 EQMK0	TM0 EQMK0	AD2 MK	AD1 MK	AD0 MK	IIC MK	CB2 TMK	CB2 RMK	CB2 REMK	UA2 TMK	UA2 RMK
設定値		1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1

ADT1MK	割り込みマスク・フラグの設定
1	INTADT1割り込み処理を禁止

ADT0MK	割り込みマスク・フラグの設定
1	INTADT0割り込み処理を禁止

TM3EQMK0	割り込みマスク・フラグの設定
1	INTTM3EQ0割り込み処理を禁止

TM2EQMK0	割り込みマスク・フラグの設定
1	INTTM2EQ0割り込み処理を禁止

TM1EQMK0	割り込みマスク・フラグの設定
1	INTTM1EQ0割り込み処理を禁止

TM0EQMK0	割り込みマスク・フラグの設定
1	INTTM0EQ0割り込み処理を禁止

AD2MK	割り込みマスク・フラグの設定
1	INTAD2割り込み処理を禁止

AD1MK	割り込みマスク・フラグの設定
0	INTAD1割り込み処理を許可

AD0MK	割り込みマスク・フラグの設定
0	INTAD0割り込み処理を許可

IICMK	割り込みマスク・フラグの設定
1	INTIIC割り込み処理を禁止

CB2TMK	割り込みマスク・フラグの設定
1	INTCB2T割り込み処理を禁止

CB2RMK	割り込みマスク・フラグの設定
1	INTCB2R割り込み処理を禁止

CB2REMK	割り込みマスク・フラグの設定
1	INTCB2RE割り込み処理を禁止

UA2TMK	割り込みマスク・フラグの設定
1	INTUA2T割り込み処理を禁止

UA2RMK	割り込みマスク・フラグの設定
1	INTUA2R割り込み処理を禁止

第3章 プログラム構成

3相PWMドライバのプログラム構成について説明します。PWMパルスの設定についてはユーザで行ってください。

3. 1 3相PWMドライバの構成

次に3相PWMドライバの構成について示します。

図3 - 1 3相PWMドライバ構成図 (1/2)

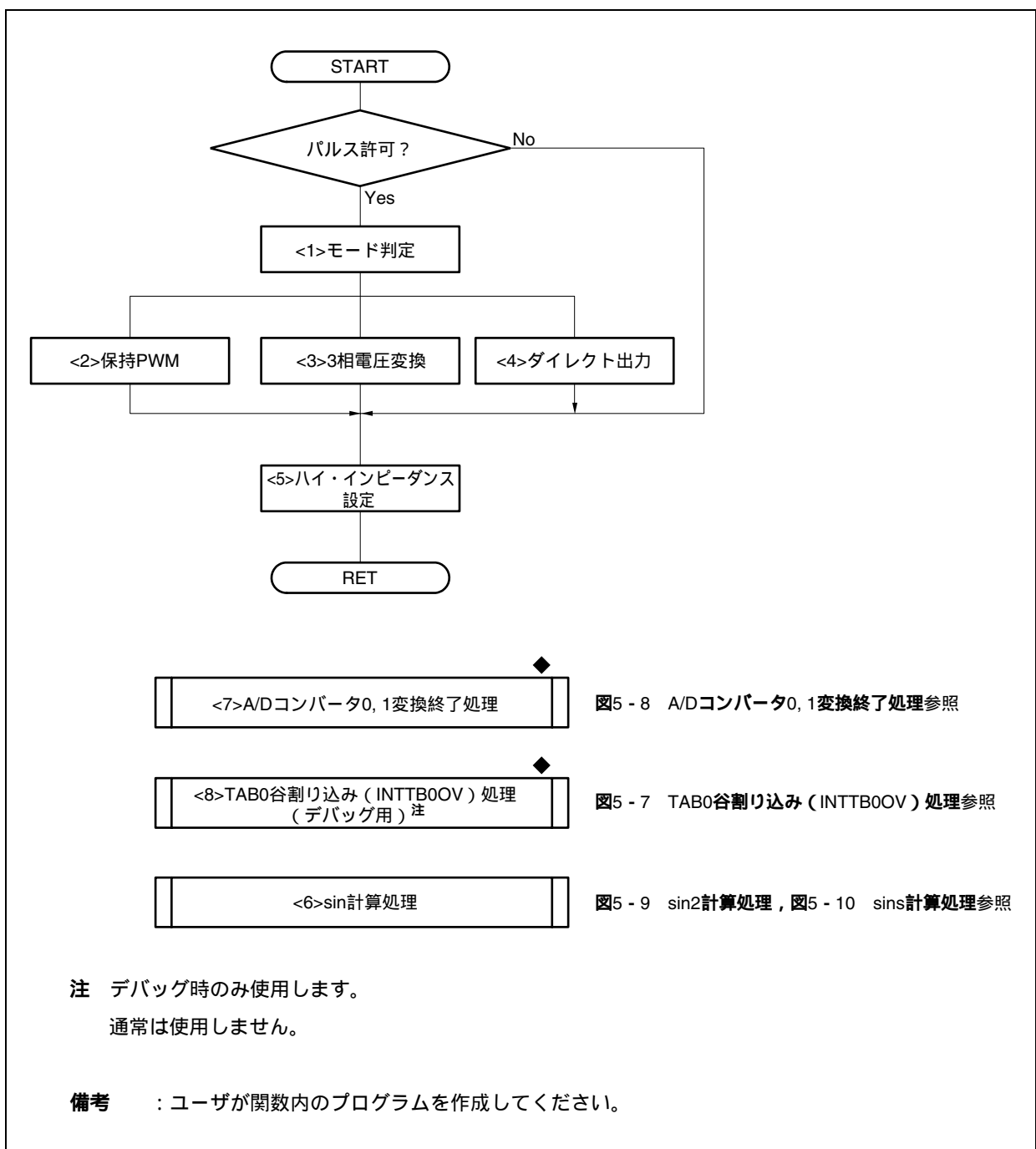


図3 - 1 3相PWMドライバ構成図 (2/2)

- <1> モード判定 : 3相PWMドライバの動作モードを判定します。
- <2> 保持PWM : 出力ロック・モード時は、前回3相PWMドライバで設定したPWMデューティ比をセットします。
- <3> 3相電圧変換 : dq変換モード時に3相電圧変換処理を行います。
- <4> ダイレクト出力 : U相, V相, W相の値を個別に設定します。
- <5> ハイ・インピーダンス設定 : U相, $\bar{U}$ 相, V相, $\bar{V}$ 相, W相, $\bar{W}$ 相端子のポート状態をハイ・インピーダンス状態 / PWM出力状態に切り替えます。
- <6> sin計算処理 : テイラー展開によるsin計算です。<3>によりCALLされます。
- <7> A/Dコンバータ0, 1変換終了処理 : A/Dコンバータ0, 1の変換終了後に発生する割り込み処理です。
- <8> TAB0谷割り込み (INTTB0OV) 処理 : TAB0谷割り込み (INTTB0OV) 処理です。
デバッグ時に使用します。

3.2 グローバル変数

3相PWMドライバで使用するグローバル変数を次に示します。

表3 - 1 グローバル変数

シンボル	番 号	型	用 途	設定値
bk_hi_z	(1)	unsigned char	ハイ・インピーダンス状態の保持フラグ	0 : PWM出力端子はハイ・インピーダンス状態 1 : PWM出力端子はPWM出力可能
bk_phase_u	(2)	signed int	U相のデューティ比保持	0 ~ 800
bk_phase_v	(3)	signed int	V相のデューティ比保持	0 ~ 800
bk_phase_w	(4)	signed int	W相のデューティ比保持	0 ~ 800
test_pwm_mode	(5)	unsigned char	デバッグ用 (通常はコメント・アウト)	0 : ダイレクト・モード 1 : dq変換モード 2 : 出力ロック・モード
test_pwm_flag	(6)	unsigned char	デバッグ用 (通常はコメント・アウト)	0 : PWM出力禁止 1 : PWM出力許可
test_value0	(7)	signed int	デバッグ用 (通常はコメント・アウト)	ダイレクト・モード時 : 0 ~ 800 dq変換モード時 : - 400 ~ 400
test_value1	(8)	signed int	デバッグ用 (通常はコメント・アウト)	ダイレクト・モード時 : 0 ~ 800 dq変換モード時 : - 400 ~ 400
test_value2	(9)	signed int	デバッグ用 (通常はコメント・アウト)	ダイレクト・モード時 : 0 ~ 800 dq変換モード時 : - 400 ~ 400

[グローバル変数の説明]

(1) bk_hi_z

前回3相PWMドライバを駆動したときのPWM出力端子状態を保持します。

(2) bk_phase_u

出力ロック・モード時に前回3相PWMドライバを駆動したときのTAB0CCR1レジスタ設定値（U相デューティ）を保持します。

(3) bk_phase_v

出力ロック・モード時に前回3相PWMドライバを駆動したときのTAB0CCR2レジスタ設定値（V相デューティ）を保持します。

(4) bk_phase_w

出力ロック・モード時に前回3相PWMドライバを駆動したときのTAB0CCR3レジスタ設定値（W相デューティ）を保持します。

(5) test_pwm_mode

3相PWMドライバのデバッグ時に使用しているRAM領域です。taa_zero()関数内でpwm関数にpwm_modeを指定します。通常はコメント・アウトです。

(6) test_pwm_flag

3相PWMドライバのデバッグ時に使用しているRAM領域です。taa_zero()関数内でpwm関数にpwm_flagを指定します。通常はコメント・アウトです。

(7) test_value0

3相PWMドライバのデバッグ時に使用しているRAM領域です。taa_zero()関数内でpwm関数にvalue0を指定します。通常はコメント・アウトです。

(8) test_value1

3相PWMドライバのデバッグ時に使用しているRAM領域です。taa_zero()関数内でpwm関数にvalue1を指定します。通常はコメント・アウトです。

(9) test_value2

3相PWMドライバのデバッグ時に使用しているRAM領域です。taa_zero()関数内でpwm関数にvalue2を指定します。通常はコメント・アウトです。

3.3 定数定義

3相PWMドライバで使用する定数を次に示します。

表3 - 2 定数一覧

シンボル	番 号	用 途	定 数
MAXPULSE	(1)	モータ回転角度の分解能	10000
SGETA	(2)	sinゲタ定数	14
CARRIERPULSE	(3)	キャリア周波数 (TAB0CCR0レジスタ設定値)	799

[定数の説明]

(1) MAXPULSE

モータ回転角度の分解能を示します。sin2関数で使します。
0 ° -360 ° を10000分解で表します。

(2) SGETA

sins関数でのゲタ定数です。

(3) CARRIERPULSE

キャリア周波数設定値です。
TAB0カウント・クロック周期は次の計算式で算出できます。

$$\text{TAB0カウント・クロック周期} = \frac{2}{f_{xx}}$$

備考 f_{xx} : 周辺クロック

キャリア周期は次の計算式で算出できます。

$$\text{キャリア周期} = (\text{TAB0CCR0レジスタ設定値} + 1) \times 2 \times \text{TAB0カウント・クロック周期}$$

例 キャリア周波数を20 kHz (キャリア周期 : 50 μ s) , 周辺クロック (f_{xx}) を64 MHzとした場合のキャリア周波数設定値

$$\begin{aligned}
 \text{TAB0CCR0レジスタ設定値} &= \{ (\text{キャリア周期} \times f_{xx}) / (2 \times 2) \} - 1 \\
 &= (50 \times 64) / 4 - 1 \\
 &= 3200 / 4 - 1 \\
 &= 800 - 1 \\
 &= 799
 \end{aligned}$$

したがってTAB0CCR0 = CARRIERPULSE = 799となります。

3.4 デッド・タイムの設定

デッド・タイムはTAB0DTCレジスタで設定し、次の計算式で算出します。

$$\text{デッド・タイム} = \text{TAB0DTCレジスタ設定値} \times \text{TAB0カウント} \cdot \text{クロック周期}$$

例 デッド・タイムを4 μ s , 周辺クロック (f_{xx}) を64 MHzとした場合のTAB0DTCレジスタ設定値

$$\begin{aligned}
 \text{TAB0DTC} &= \text{デッド・タイム} \times f_{xx} / 2 \\
 &= 4 \times 64 / 2 \\
 &= 256 / 2 \\
 &= 128
 \end{aligned}$$

したがってTAB0DTC = 128となります。

3.5 PWMパルスの決定

U相, V相, W相のデューティ比とTAB0CCR1-TAB0CCR3レジスタの関係を次に示します。

(1) 上アーム相出力幅の算出

U相, V相, W相出力幅は次の計算式で算出します (デッド・タイム含む) 。

$$\text{U相出力幅} = \{ (\text{TAB0CCR0} + 1 - \text{TAB0CCR1}) \times 2 - \text{TAB0DTC} \} \times \text{TAB0カウント} \cdot \text{クロック周期}$$

$$\text{V相出力幅} = \{ (\text{TAB0CCR0} + 1 - \text{TAB0CCR2}) \times 2 - \text{TAB0DTC} \} \times \text{TAB0カウント} \cdot \text{クロック周期}$$

$$\text{W相出力幅} = \{ (\text{TAB0CCR0} + 1 - \text{TAB0CCR3}) \times 2 - \text{TAB0DTC} \} \times \text{TAB0カウント} \cdot \text{クロック周期}$$

(2) 下アーム相出力幅の算出

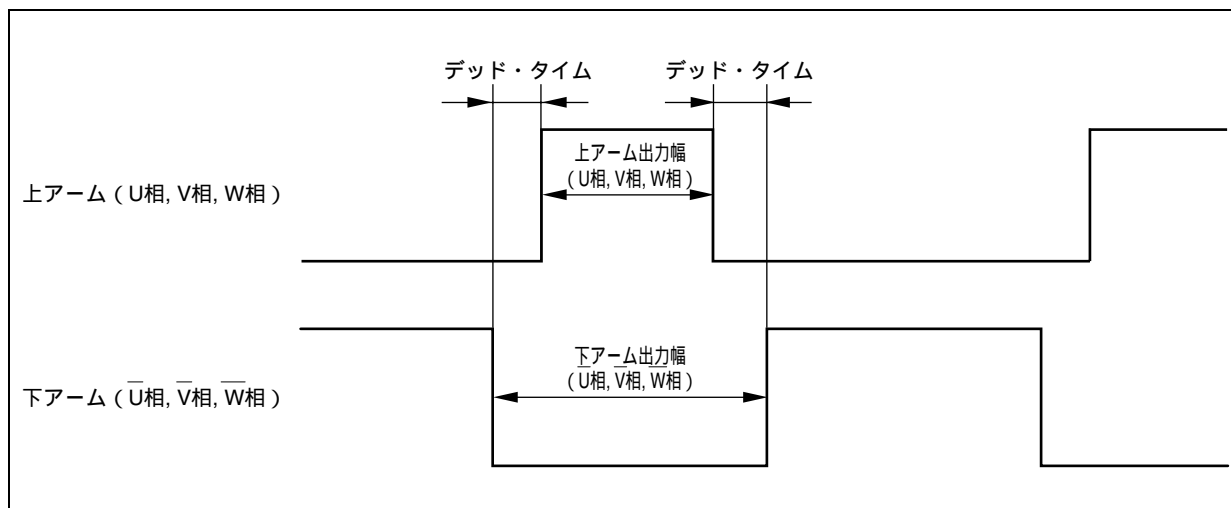
$\overline{U}$ 相, $\overline{V}$ 相, $\overline{W}$ 相出力幅は次の計算式で算出します(デッド・タイム含む)。

$$\overline{U} \text{相出力幅} = \{ (\text{TAB0CCR0} + 1 - \text{TAB0CCR1}) \times 2 + \text{TAB0DTC} \} \times \text{TAB0カウント} \cdot \text{クロック周期}$$

$$\overline{V} \text{相出力幅} = \{ (\text{TAB0CCR0} + 1 - \text{TAB0CCR2}) \times 2 + \text{TAB0DTC} \} \times \text{TAB0カウント} \cdot \text{クロック周期}$$

$$\overline{W} \text{相出力幅} = \{ (\text{TAB0CCR0} + 1 - \text{TAB0CCR3}) \times 2 + \text{TAB0DTC} \} \times \text{TAB0カウント} \cdot \text{クロック周期}$$

図3 - 2 6相PWM出力モードのパルス算出



3.6 A/D変換

3.6.1 同調動作によるA/Dコンバータ0, 1の変換開始トリガ・タイミング

3相PWMドライバでは、TAB0, TMQOP0, TAA0による同調動作を実現しており、そのためA/Dコンバータ0, 1の変換開始トリガ・タイミングを任意に設定できます。同調動作時のTAA0コンペア一致タイミングはTAB0の動作クロックと同調しているため、TAB0カウント・クロック周期で計算します。

A/Dコンバータ0, 1の変換開始トリガ・タイミングは次の計算式で算出できます。

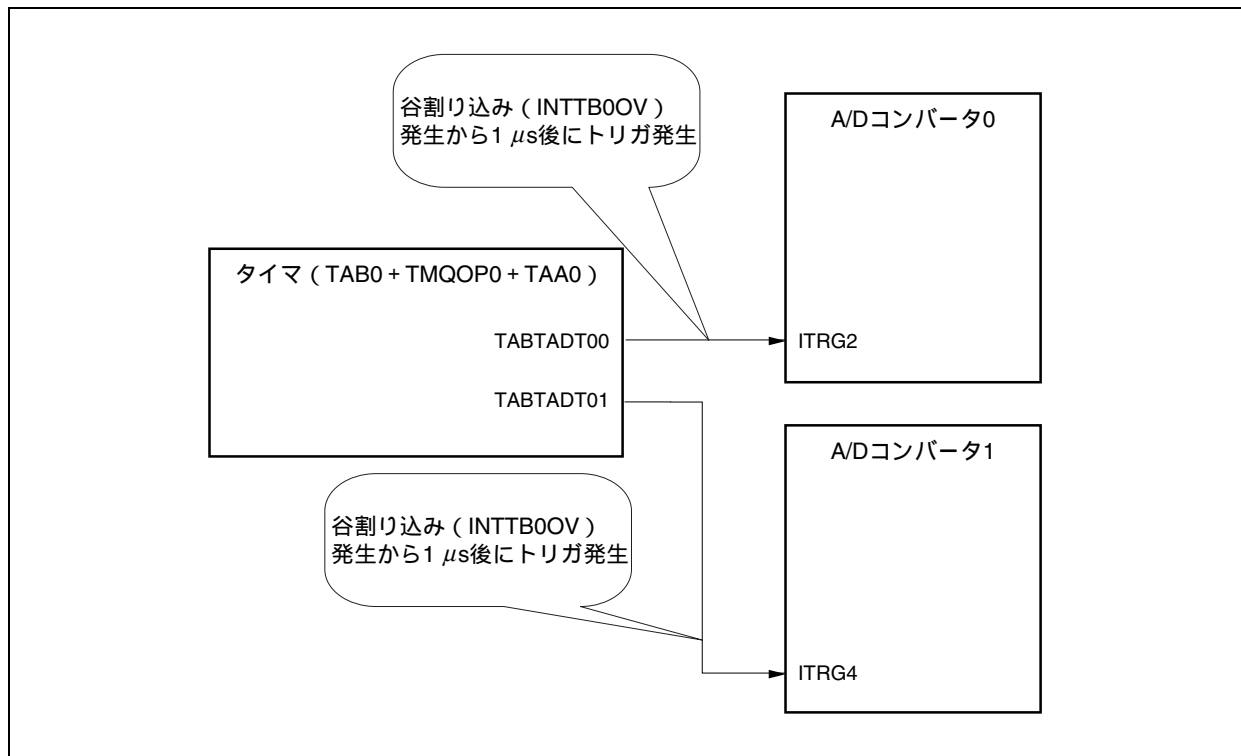
$$\text{A/Dコンバータnの変換開始トリガ・タイミング} = \text{TAA0CCRn} \times \text{TAB0カウント} \cdot \text{クロック周期}$$

備考 n = 0, 1

例 A/Dコンバータnの変換開始トリガ・タイミングをキャリア周期のTAB0谷割り込み（INTTB0OV）から1 μ s後、周辺クロック（f_{xx}）を64 MHzとした場合のTAA0コンペア一致タイミング

$$\begin{aligned} \text{TAA0CCRnレジスタ設定値} &= (\text{A/Dコンバータnの変換開始トリガ・タイミング} \times f_{xx}) / 2 \\ &= (1 \times 64) / 2 \\ &= 32 \end{aligned}$$

図3 - 3 3相PWMドライバのA/Dコンバータ0, 1の変換開始トリガ・ソース



3相PWMドライバでは、A/Dコンバータ0, 1の変換開始トリガ・タイミングを同じにしています。各変換開始時間を変更する場合は上記の計算式に従ってTAA0CCR0, TAA0CCR1レジスタを設定してください。

3.6.2 A/D変換終了時間

3相PWMドライバでは、AD0CTCレジスタは次のように設定します。

```
AD0CTC = 0x0C;          /* A/D0変換クロック 32 (2  $\mu$ s) */
```

A/D変換クロック時間を32クロック，A/D変換終了時間を2 μ sとしています。

3.7 引き数

3相PWMドライバで使用する引き数を次に示します。

表3 - 3 引き数

シンボル	番 号	型	用 途	設定値
pwm_mode	(1)	unsigned char	3相PWMモード設定	0 : ダイレクト・モード 1 : dq変換モード 2 : 出力ロック・モード ^注
pwm_flag	(2)	unsigned char	PWM出力フラグ	0 : PWM出力禁止 (ハイ・インピーダンス状態) 1 : PWM出力許可 (PWM出力)
value0	(3)	signed int	設定値0	ダイレクト・モード時 : 0 ~ 800 dq変換モード時 : - 400 ~ 400
value1	(4)	signed int	設定値1	ダイレクト・モード時 : 0 ~ 800 dq変換モード時 : - 400 ~ 400
value2	(5)	signed int	設定値2	ダイレクト・モード時 : 0 ~ 800 dq変換モード時 : 0 ~ MAXPULSE

注 出力ロック・モードでは、パルス・デューティが大きいまま出力ロック状態にすると、IGBTドライブ回路が発熱、破損することがあります。そのため、パルス・デューティをシステム全体で十分考慮してから、出力ロック状態にしてください。

[引き数の説明]

(1) pwm_mode

3相PWMドライバのモードを設定します。

(2) pwm_flag

PWM出力端子の出力状況を設定します。

(3) value0

各モードでの設定値です。

ダイレクト・モード時 : U相出力幅です。0 ~ 800 (CARRIERPULSE + 1) の範囲で設定します。

dq変換モード時 : ベクトル演算で使用される3相電圧変換を行います。

dq変換ではd軸電流に相当します。

設定値は (- 400 ~ 400) です。^注

出力ロック・モード時 : なし。

出力ロック・モードでは使用しません。

備考 注の説明は次ページに記載しています。

(4) value1

各モードでの設定値です。

ダイレクト・モード時 : V相出力幅です。0 ~ 800 (CARRIERPULSE + 1) の範囲で設定します。

dq変換モード時 : ベクトル演算で使用する3相電圧変換を行います。

dq変換ではq軸電流に相当します。

設定値は (- 400 ~ 400) です。^注

出力ロック・モード時 : なし。

出力ロック・モードでは使用しません。

(5) value2

各モードでの設定値です。

ダイレクト・モード時 : W相出力幅です。0 ~ 800 (CARRIERPULSE + 1) の範囲で設定します。

dq変換モード時 : ベクトル演算で使用する3相電圧変換を行います。

dq変換では回転座標 (θ) に相当します。

設定値は (0 ~ MAXPULSE - 1) です。^注

出力ロック・モード時 : なし。

出力ロック・モードでは使用しません。

注 dq変換モードではd軸, q軸, 回転座標 (θ) によってはPWMパルス・デューティが100 %を超えることがあります。そのため, value0, value1, value2の値は十分に考慮してください。

第4章 ファイル構成

3相PWMドライバのファイル構成について説明します。

4.1 ファイル構成

3相PWMドライバは、次の10個のファイルによって構成されています。

(1) ソース・ファイル

main.c : MAIN処理
pt_unit.c : 3相PWMドライバ・ファイル
init.c : 初期化处理
common.c : 定数定義とグローバル変数宣言
sin2.c : sin計算処理

(2) インクルード・ファイル

common.h : common.cで定義されたグローバル変数をEXTERN命令によって他のファイルでもアクセスできるようにしたヘッダ・ファイルです。
ファイル分割によって定数定義やグローバル変数を他のファイルで使用する場合には、このヘッダ・ファイルを読み込んでください。
また、定数定義やグローバル変数を変更した場合には、common.cとcommon.hの両ファイルをユーザが変更してください。

(3) プロジェクト関連ファイル

libm.a : 数学ライブラリ^注
libc.a : 標準ライブラリ^注
ig3_start.s : 3相PWMドライバのスタートアップ・モジュール
ig3_link.dir : 3相PWMドライバのリンク・ディレクティブ・ファイル

注 libm.aやlibc.aは、プロジェクト生成時にプロジェクト・マネージャが自動的に割り当てるライブラリです。

4.2 ソース・ファイル説明

ソース・ファイル名	関数名	説 明
main.c	main()	MAIN処理です。3相PWMドライバでは ,mainルーチン内には何も記載されていません。
	ad0_function()	A/Dコンバータ0の変換終了処理です。
	ad1_function()	A/Dコンバータ1の変換終了処理です。
	Tab_zero()	キャリア周期の割り込み処理です。
pt_unit.c	pwm()	3相PWM制御を行うドライバです。
	hi_z()	3相PWMの出力端子制御を行うドライバです。
init.c	hinit()	V850E/IG3(μ PD70F3454GC-8EA-A)の内蔵周辺I/Oイニシャル処理を行います。
	ainit()	3相PWMドライバで使用されているグローバル変数をイニシャルします。
common.c	-	定数定義 , グローバル変数領域の宣言をします。
sin2.c	sin2()	sin計算を行います。
	sins()	sin計算を行います。

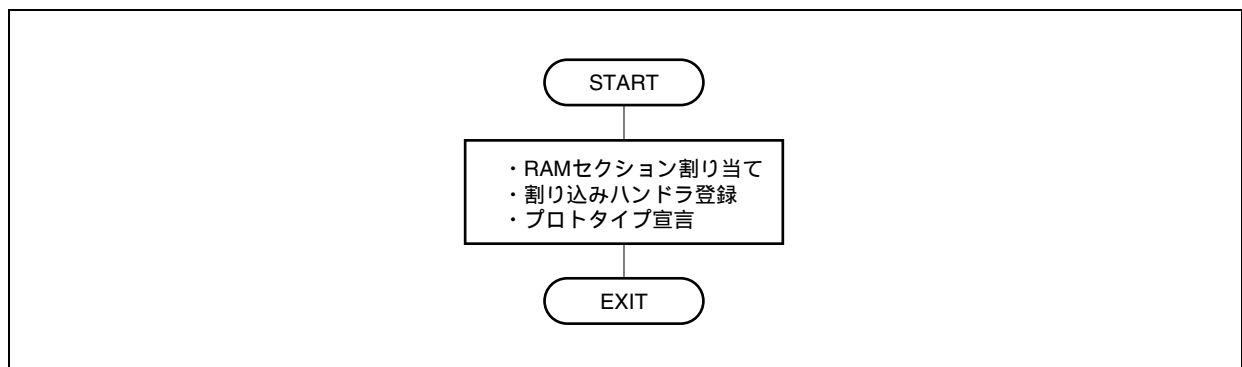
第5章 フロー・チャート

3相PWMドライバの各処理についてフロー・チャートで説明します。

5.1 イニシャル処理

次にイニシャル処理についてのフローを示します。

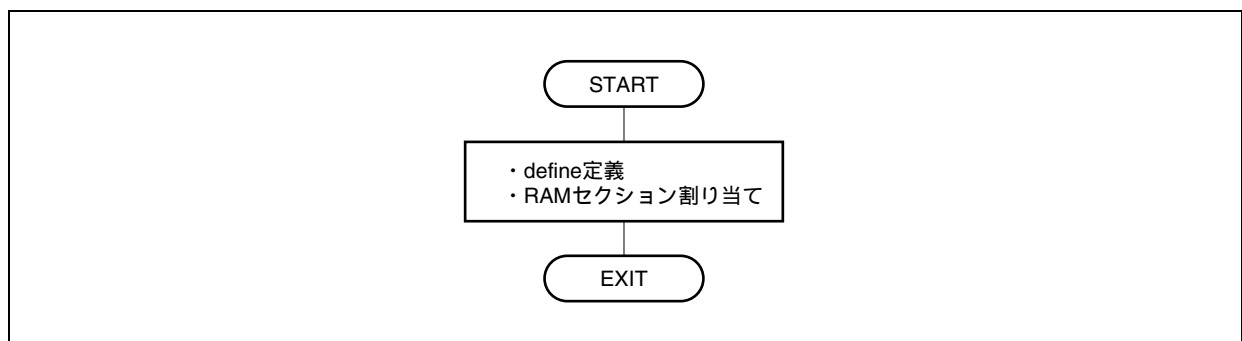
図5 - 1 イニシャル処理



5.2 グローバル変数処理 (common.c)

次にグローバル変数処理 (common.c) についてのフローを示します。

図5 - 2 グローバル変数処理 (common.c)

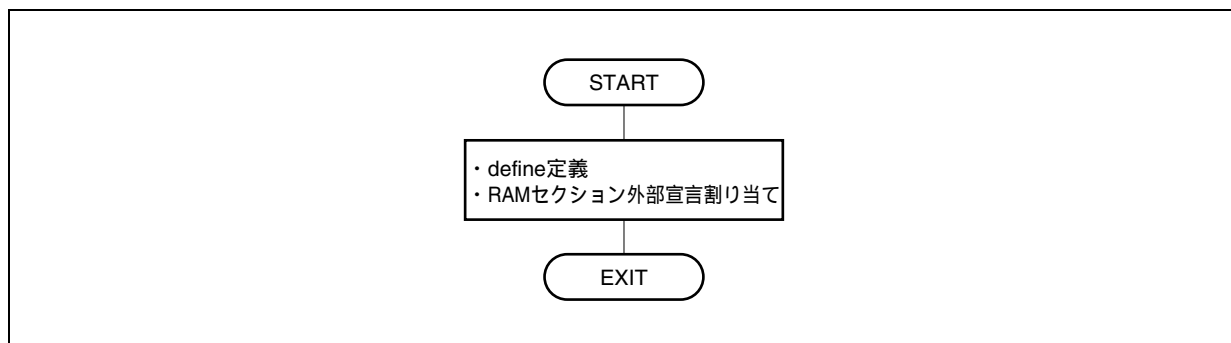


5.3 グローバル変数処理 (common.h)

common.hはEXTERN命令によって外部定義しています。common.hは, main.c, pt_unit.c, init.c, sin2.cから呼び込まれます。

次にグローバル変数処理 (common.h) についてのフローを示します。

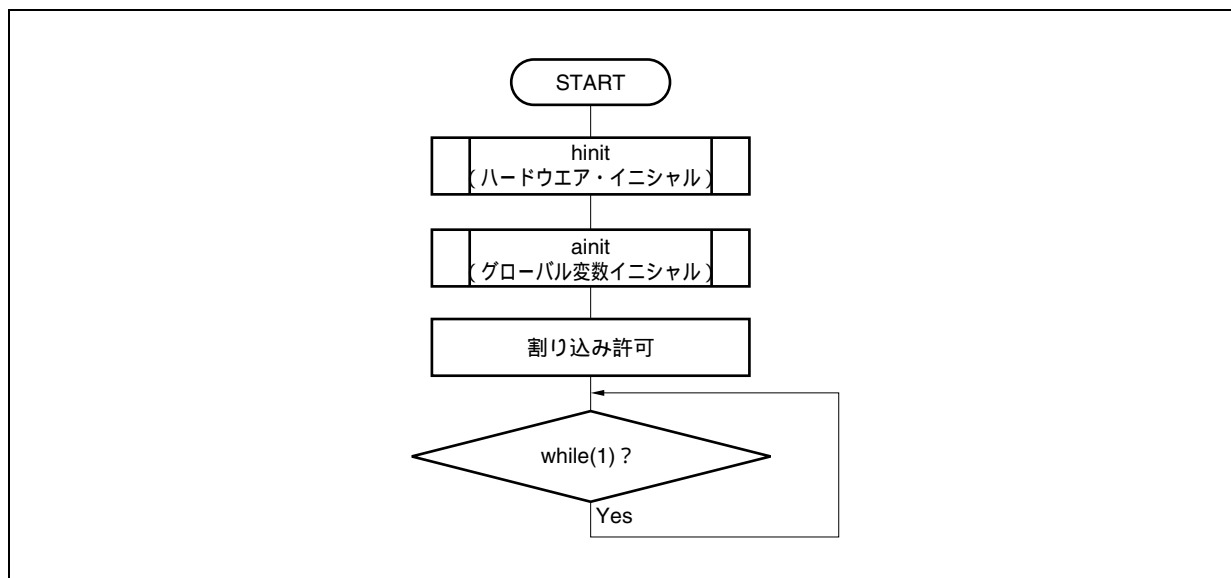
図5 - 3 グローバル変数処理 (common.h)



5.4 MAIN処理

MAIN処理では, 3相PWMドライバのハードウェア・イニシャルやグローバル変数イニシャルの設定を行います。次にMAIN処理についてのフローを示します。

図5 - 4 MAIN処理

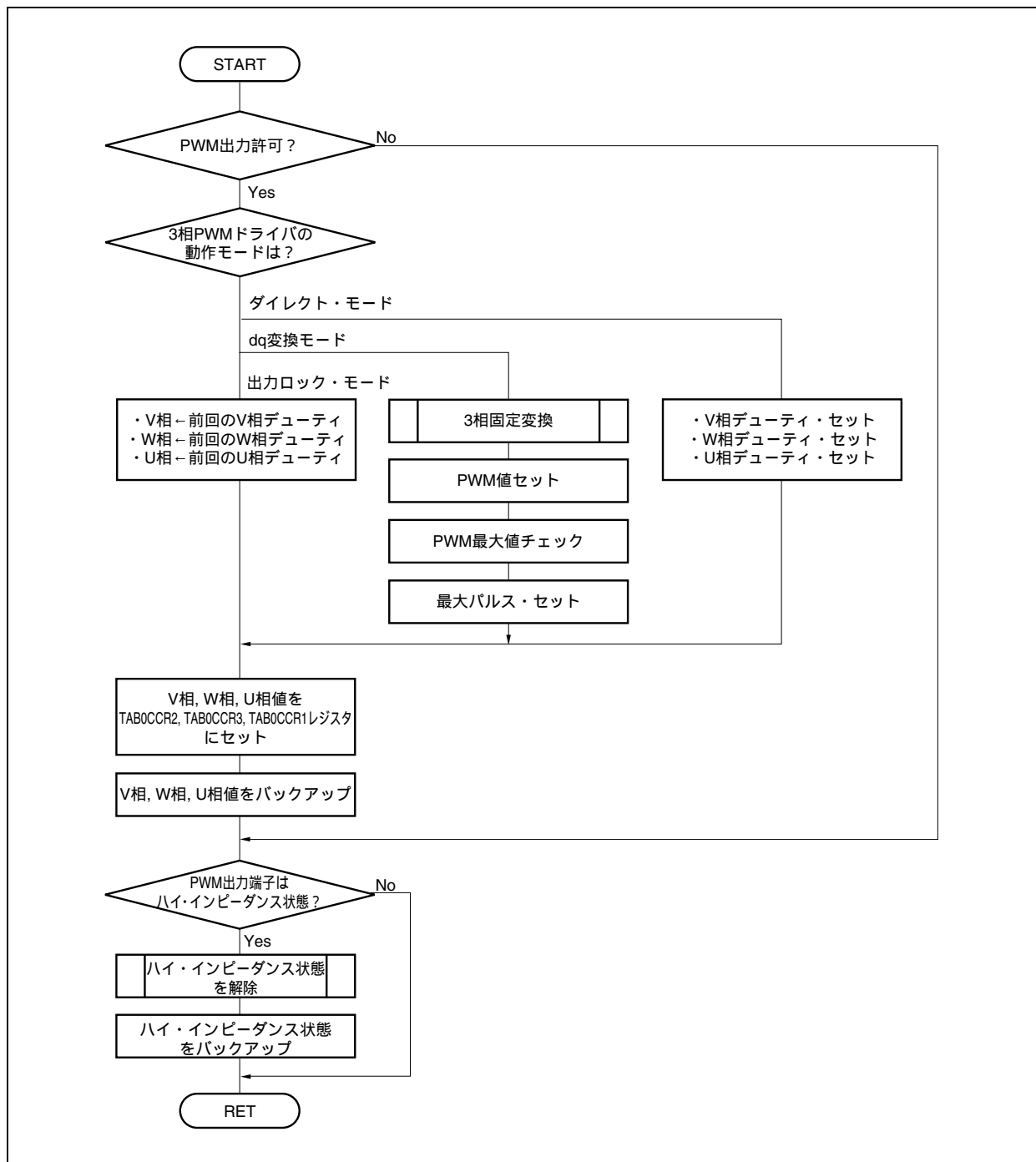


5.5 PWM処理

PWM処理方法としてダイレクト・モード，dq変換モード，出力ロック・モードの3種類があります。3相PWMドライバでは，TAB0CCR0-TAB0CCR3，TAB0OPT1，TAA0CCR0，TAA0CCR1レジスタはTAB0CCR1レジスタの書き込み後にTAB0谷割り込み（INTTB0OV）タイミングで一斉書き込みを行います。したがって，PWM処理でレジスタを設定する場合には必ずtab_zero処理でCALLしてください（TAB0CCR1レジスタの書き込み後はTAB0谷割り込み（INTTB0OV）が発生するまで次のレジスタ書き込みは禁止です）。

次にPWM処理についてのフローを示します。

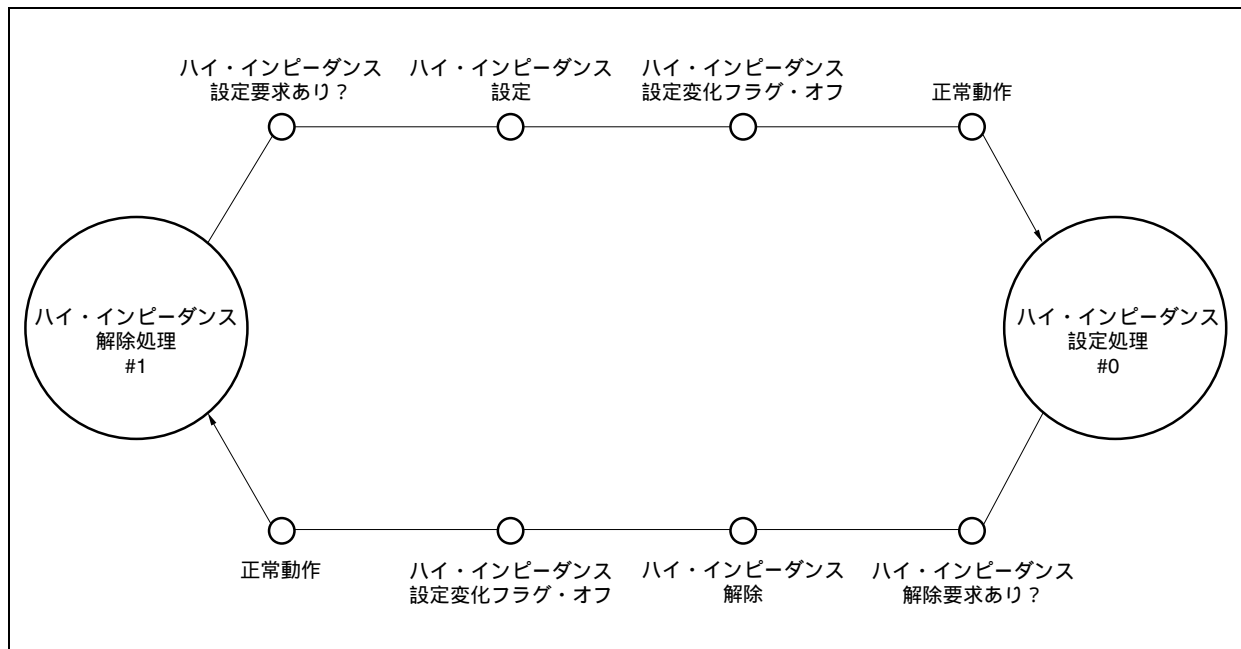
図5 - 5 PMW処理



5.6 ハイ・インピーダンス設定処理

次にハイ・インピーダンス設定処理についてのフローを示します。

図5 - 6 ハイ・インピーダンス設定処理



5.7 TAB0谷割り込み (INTTB0OV) 処理

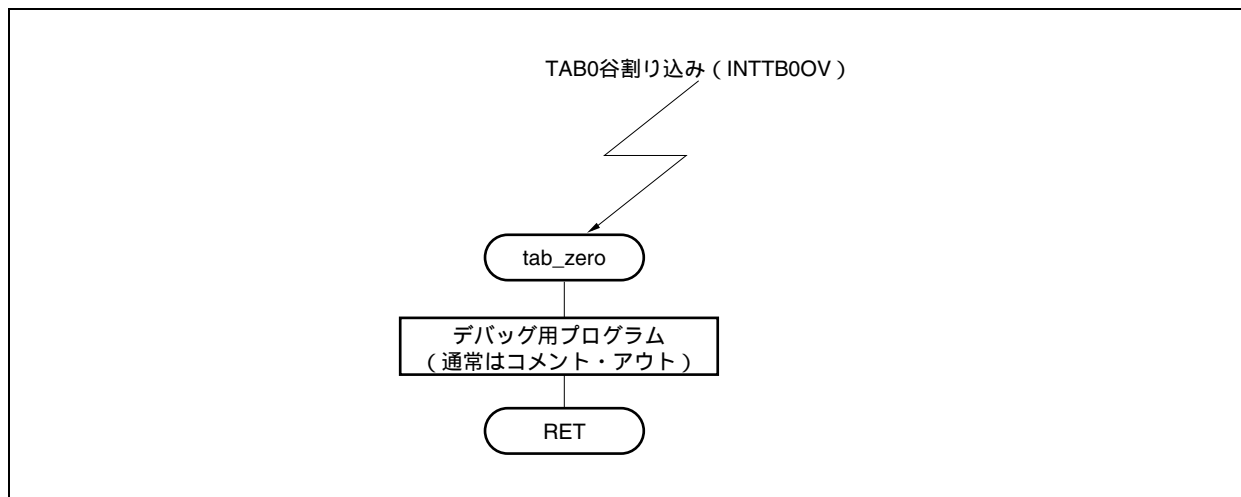
キャリア周期のTAB0谷割り込み (INTTB0OV) のときに発生する割り込み処理です。3相PWMドライバでは、デバッグ時のみ使用します。通常は使用しません。そのため、プログラム記述はコメント・アウトしています。

ユーザが3相PWMドライバを使用する場合には、デバッグ用プログラムは削除してください。

なお、TAB0谷割り込み (INTTB0OV) の割り込み優先順位レベルは、レベル1です。

次にTAB0谷割り込み (INTTB0OV) 処理についてのフローを示します。

図5 - 7 TAB0谷割り込み (INTTB0OV) 処理



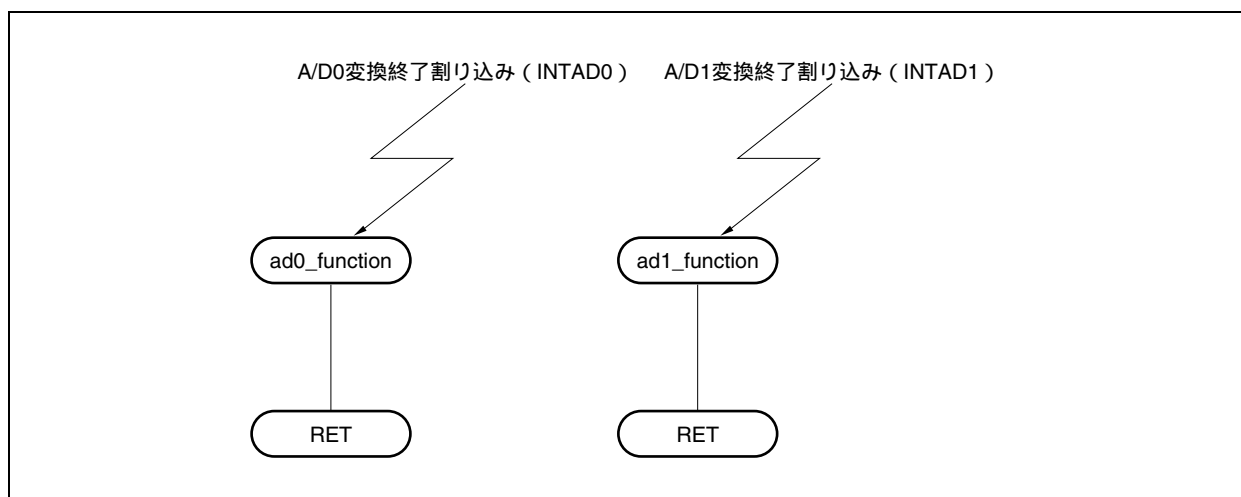
5.8 A/Dコンバータ0, 1変換終了処理

A/Dコンバータ0, 1の変換終了後に呼び出される関数です。3相PWMドライバでは、関数内に何もプログラムしていません。

なお、A/D_n変換終了割り込み (INTAD_n) の割り込み優先順位レベルは、レベル4です (n = 0, 1)。

次にA/Dコンバータ0, 1変換終了処理についてのフローを示します。

図5 - 8 A/Dコンバータ0, 1変換終了処理

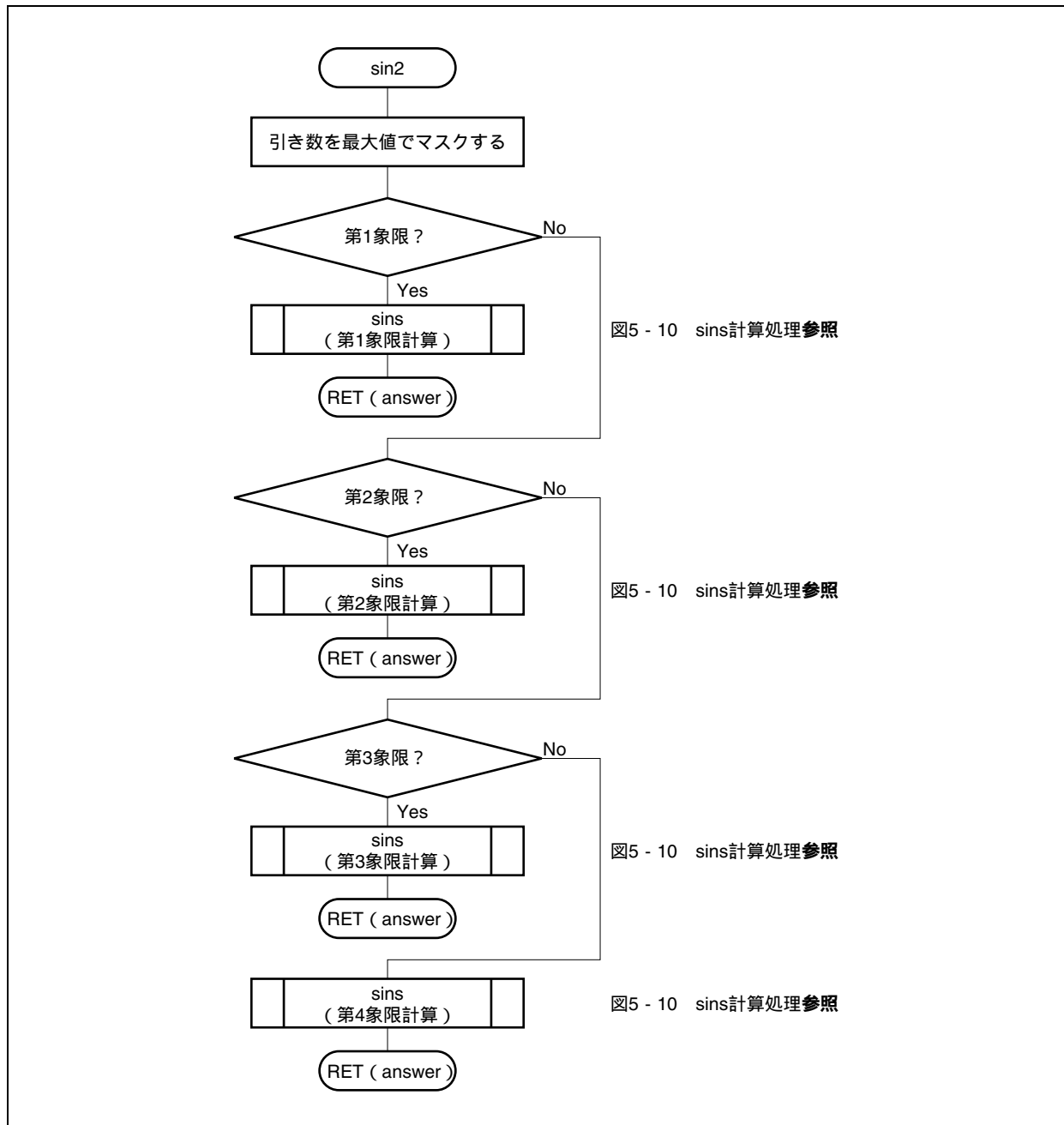


5.9 sin2計算処理

テイラー展開によるsin計算を行う関数です。

次にsin2計算処理についてのフローを示します。

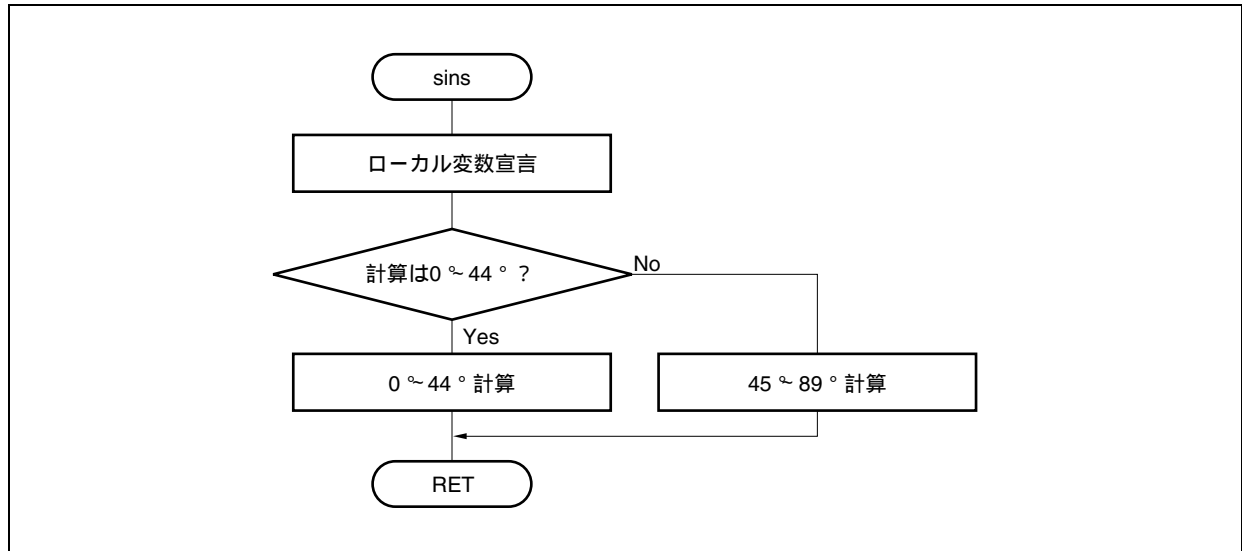
図5 - 9 sin2計算処理



5. 10 sins計算処理

テイラー展開によるsin計算を行う関数です。sin2から呼び出されます。
次にsins計算処理についてのフローを示します。

図5 - 10 sins計算処理



第6章 設 定

6. 1 3相PWMドライバの設定

3相PWMドライバの設定を次に示します。

表6 - 1 3相PWMドライバ設定表

項 目	設定値
マイコンの動作クロック	64 MHz (入力クロック : 8 MHz)
PWM出力端子	TOB0T1-TOB0T3, TOB0B1-TOB0B3
キャリア周波数	20 kHz
間引き率	1/1
デッド・タイム	4 μ s
ANI00のA/D変換開始トリガ・タイミング	キャリア周期のTAB0谷割り込み (INTTB0OV) から1 μ s後
ANI10のA/D変換開始トリガ・タイミング	キャリア周期のTAB0谷割り込み (INTTB0OV) から1 μ s後
ANI00のA/D変換終了時間	2 μ s
ANI10のA/D変換終了時間	2 μ s
ANI00のA/D0変換終了割り込み (INTAD0) の割り込み優先順位レベル	レベル4
ANI10のA/D1変換終了割り込み (INTAD1) の割り込み優先順位レベル	レベル4
A/Dコンバータ0, 1の動作モード	通常動作モードのハードウェア・トリガ・モードで INTTA0CC0, INTTA0CC1のトリガを選択
同調動作	あり

付録A モジュール間のインタフェース

次に3相PWMドライバのモジュール間のインタフェースを示します。

表A - 1 3相PWMドライバのモジュール間のインタフェース (1/2)

送信モジュール	インタフェース	タイプ	シンボル	説 明	受信モジュール
main()	モード設定	B	pwm_mode	3相PWMモード設定用 0x00 : ダイレクト・モード 0x01 : dq変換モード 0x02 : 出力ロック・モード	pwm()
	出力許可	B	pwm_flag	PWM出力許可 0x00 : PWM出力端子をハイ・インピーダンス・モードに変更 0x01 : PWM出力端子をPWM出力モードに変更	
	セット0	W	value0	コントロール値0 ダイレクト・モード時 : U相デューティ (0 ~ 800) dq変換モード時 : d軸電流 (- 400 ~ 400)	
	セット1	W	value1	コントロール値1 ダイレクト・モード時 : V相デューティ (0 ~ 800) dq変換モード時 : q軸電流 (- 400 ~ 400)	
	セット2	W	value2	コントロール値2 ダイレクト・モード時 : W相デューティ (0 ~ 800) dq変換モード時 : ロータ回転位置 (0 ~ 9999)	
	x	LW	x	sin2計算処理のx値を渡す。 0 ~ 9999	sin2()

備考 B : Byte型

W : Word型

LW : Local Word型

表A - 1 3相PWMドライバのモジュール間のインタフェース (2/2)

送信モジュール	インタフェース	タイプ	シンボル	説 明	受信モジュール
pwm()	pt_unit状態	W	pwm()出力	pwm処理後の状態を渡す。 0x00-0x03, 0xff: hi-z関数からの戻り値	main()
	x	LW	x	Sin2計算処理のx値を渡す。 0 ~ 9999	sin2()
	ハイ・インピーダンス・モード設定	B	hi_mode	ハイ・インピーダンス許可設定用 0x00: ハイ・インピーダンス・モード 0x01: ハイ・インピーダンス解除	hi_z()
	hi_zフラグ	B	hi_flag	ハイ・インピーダンス・モード設定変化フラグ 0x00: ハイ・インピーダンス状態変更なし 0x01: ハイ・インピーダンス状態変更許可	
Hi_z()	ハイ・インピーダンス状態	W	hi_z()出力	ハイ・インピーダンス処理後の状態を渡す。 0x00: ハイ・インピーダンス状態 0x01: ハイ・インピーダンス状態解除 0x02: なし 0x03: others mode	main() pwm()
sin2()	sin2answer	LW	sin2()出力	sin2計算結果を返す。 最大値: 0x3fff 最小値: 0xffffc001	main() pwm()
	x	LW	x	sins計算処理のx値を渡す。 0 ~ 2499	sins()
sins()	sinanswer	LW	sins	sins計算結果を表す	sin2()
				最大値: 0x3fff	
				最小値: 0xffffc001	

備考 B: Byte型

W: Word型

LW: Local Word型

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）： **044(435)5111**

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) **<http://www.necel.co.jp/>**

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： **044-435-9494**

E-mail ： **info@necel.com**

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。