

## V850E2/MN4

R01AN0923JJ0100

Rev.1.00

2012.02.13

## A/D コンバータ制御編

## 要旨

本アプリケーションノートは、A/D コンバータ（ADC）機能の設定方法、およびサンプルコードの動作概要や使用方法を説明したものです。ワンショット・モードで、ソフトウェア・トリガによってチャンネル・グループ CG0 のスキャン・リスト変換を行います。スキャン・リスト変換の繰り返し回数は、CG ごとに特定レジスタで 1 回から 4 回まで指定できますが、このサンプルコードでは 1 回に設定しています。変換完了後、結果に応じて LED を点灯させます。

## 動作確認デバイス

V850E2/MN4 マイクロコントローラ

## 目次

1. 概要 .....	2
2. 利用環境 .....	4
3. ソフトウェアについて .....	5
4. アプリケーション例 .....	6

## 1. 概要

このサンプルコードではワンショット・モードを使い、ソフトウェア・トリガによってCG0のスキャン・リスト変換を行います。スキャン・リスト変換の繰り返し回数は、CGごとに特定レジスタで1回から4回まで指定できますが、このサンプルコードでは1チャンネルで1回繰り返し変換を行います。

A/D変換の流れは下図の通りです。各処理の詳細については4.1フローチャートで説明します。

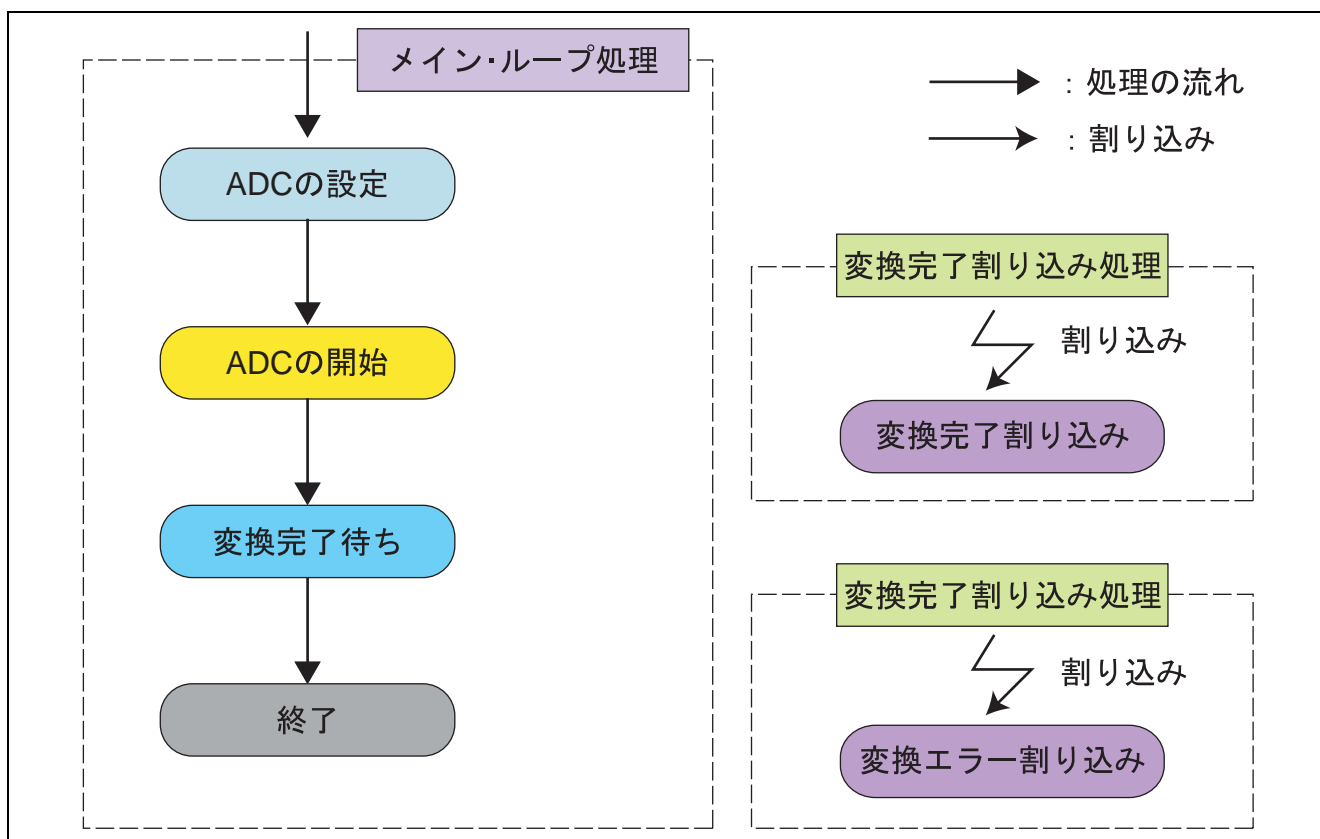


図 1.1 A/D 変換の流れ

## 1.1 初期化

汎用レジスタや機能端子などの初期化処理を行います。

<ポートの設定>

- ポート n・ファンクション・コントロール・エクспанション・レジスタ (PFCE<sub>n</sub>)
- ポート n・ファンクション・コントロール・レジスタ (PFC<sub>n</sub>)
- ポート n・モード・コントロール・レジスタ (PMC<sub>n</sub>)
- ポート n・モード・レジスタ (PM<sub>n</sub>)

## 1.2 ADC の基本動作

A/D 変換の基本的な手順について説明します。

1. パワーオン後の起動時間を最適化する場合は、安定カウンタ ADCAnCNT レジスタを設定して安定時間を調整します。
2. ADC を有効 (ADCAnCTL0.ADCAnCE = 1 に設定) にする前に、次の各レジスタで、パワーオン、分解能、ADCAn クロック、トリガ・モード、変換モード、割り込み発生、チャンネル・グループなどを設定してください。
  - ADCAnCTL1 レジスタ
  - ADCAnCGi レジスタ
  - ADCAnIOCi レジスタ
  - ADCAnTSELi レジスタ
3. ADC 変換結果が特定の範囲内にあることを確認する場合は、該当するチャンネルの変換結果上下限比較機能を有効にし (ADCAnCTL2.ADCAnRCKm)、ADCAnLL レジスタと ADCAnUL レジスタで下限値と上限値を指定します。
4. 変換前に共通サンプル・ホールド回路のコンデンサを放電する場合は、ADCAnCTL1.ADCAnDISC に 1 を設定してディスチャージ機能を有効にします。
5. バッファ・アンプ機能を有効または無効にするには、ADCAnCTL1.ADCAnBPC を設定します。
6. ADC を有効にするには、ADCAnCTL0.ADCAnCE を 1 に設定します。A/D コンバータは、パワーオン後またはスタンバイ・モード解除後に安定時間が経過すると、A/D 変換が可能な状態になります。
7. 設定したトリガ・モードに応じて、チャンネル・グループ CG 毎に次のいずれかの起動トリガによって A/D 変換が開始します。
  - ソフトウェア・トリガ (ADCAnTRGi.ADCAnSTTi に 1 を設定)
  - ハードウェア・トリガ (入力信号 ADCAnTTRGi)複数の CG に対して A/D 変換が起動した場合、変換の順序は CG の優先順位によって決まります。
8. ADCAnIOCi レジスタで設定したチャンネルの変換が終了した時点で A/D 変換終了割り込み INTADCAnTi が発生します。
9. ADC 変換結果レジスタ ADCAnLCR、ADCAnDBiCR、ADCAnCmCR から結果を読み出します。
- 10 次のレジスタをモニタします。
  - ADCAnSTR1 : 用途に応じて A/D 変換結果を読み出す前に上書きされていないかどうかを確認します。
  - ADCAnSTR0 : A/D 変換結果が設定した範囲内にあるかどうかを確認します (変換結果上下限比較機能が有効の場合のみ)。
11. ADC を再設定する場合、ADCAnCTL0.ADCAnCE を 0 に設定して ADC を無効にします。

## 2. 利用環境

この章では、このサンプルコードで使用する場合の回路図および利用環境を説明します。

### 2.1 回路図

回路図の詳細は V850E2/MN4 ターゲット・ボード QB-V850E2MN4DUAL-TB ユーザーズマニュアル (R20UT0683XJ) を参照してください。

このプログラムで使用する資源は A/D 変換専用端子 ANI00 です。

LED はポート 13 と接続しています。LED1 は P13\_7、LED2 は P13\_6 を使用しています。

### 2.2 開発環境

サンプルコードを動作させるために、次の開発ツールをインストールする必要があります。

- **CubeSuite+**

ルネサスエレクトロニクス社製統合開発環境 CubeSuite+は、コーディング、アSEMBル/コンパイル、エミュレータやシミュレータを使ったデバッグ、フラッシュプログラミング等のお客様のアプリケーション開発に必要なあらゆるソフトウェア開発ツールをシームレスかつ簡単に操作することができます。

- **MINICUBE**

ルネサスエレクトロニクス社製 JTAG 接続方式の汎用型インサーキットエミュレータです。実プロセッサをオンボードの状態でのデバッグでき、透過性の高い安定したエミュレーション機能を提供しています。

MINICUBE と TB ボードを接続するには、変換アダプタが必要です。

- **Multi**

Green Hills software, Inc.製統合開発ツール

- **IAR Embedded Workbench**

IAR システムズ社製統合開発ツール

### 3. ソフトウェアについて

この章では、ダウンロードする圧縮ファイルのファイル構成について説明します。

#### 3.1 ファイル構成

ダウンロードする圧縮ファイルのファイル構成は、次のようになっています。

ファイル名 (ツール構造)	説明	共通ソース ファイル	CubeSuite+用 ファイル	Multi 用 ファイル
crtE.s	ハードウェア初期化処理		●	
startup.s				●
V850E2MN4.dir	リンク・ディレクティブ・ファイル		●	
V850E2_MN4 ADC.ld				●
vector.s	ベクタ・テーブル			●
adc.h	変数、関数宣言	●		
main.c	メイン処理	●		
initial.c	ソフトウェア初期化処理	●		
adc_control.c	AD コンバータ制御処理	●		
interrupt.c	割り込み処理	●		

## 4. アプリケーション例

この章では、サンプルコードの A/D 変換動作について説明します。

### 4.1 フローチャート

このサンプルコードのフローチャートを、次に示します。

#### 4.1.1 メイン処理フロー

メイン処理フローでは ADC 動作を設定して起動します。A/D 変換は繰り返して行い、LED は A/D 変換の状態を示します。変換完了した後は、LED1 を反転させます。

A/D 変換結果を読み出す前に上書きされた場合レジスタへの上書きによるエラー割り込み INTADCA<sub>n</sub>TERR となり、LED2 を点灯させます。

それぞれの転送処理の詳細については、4.1.2 を参照してください。

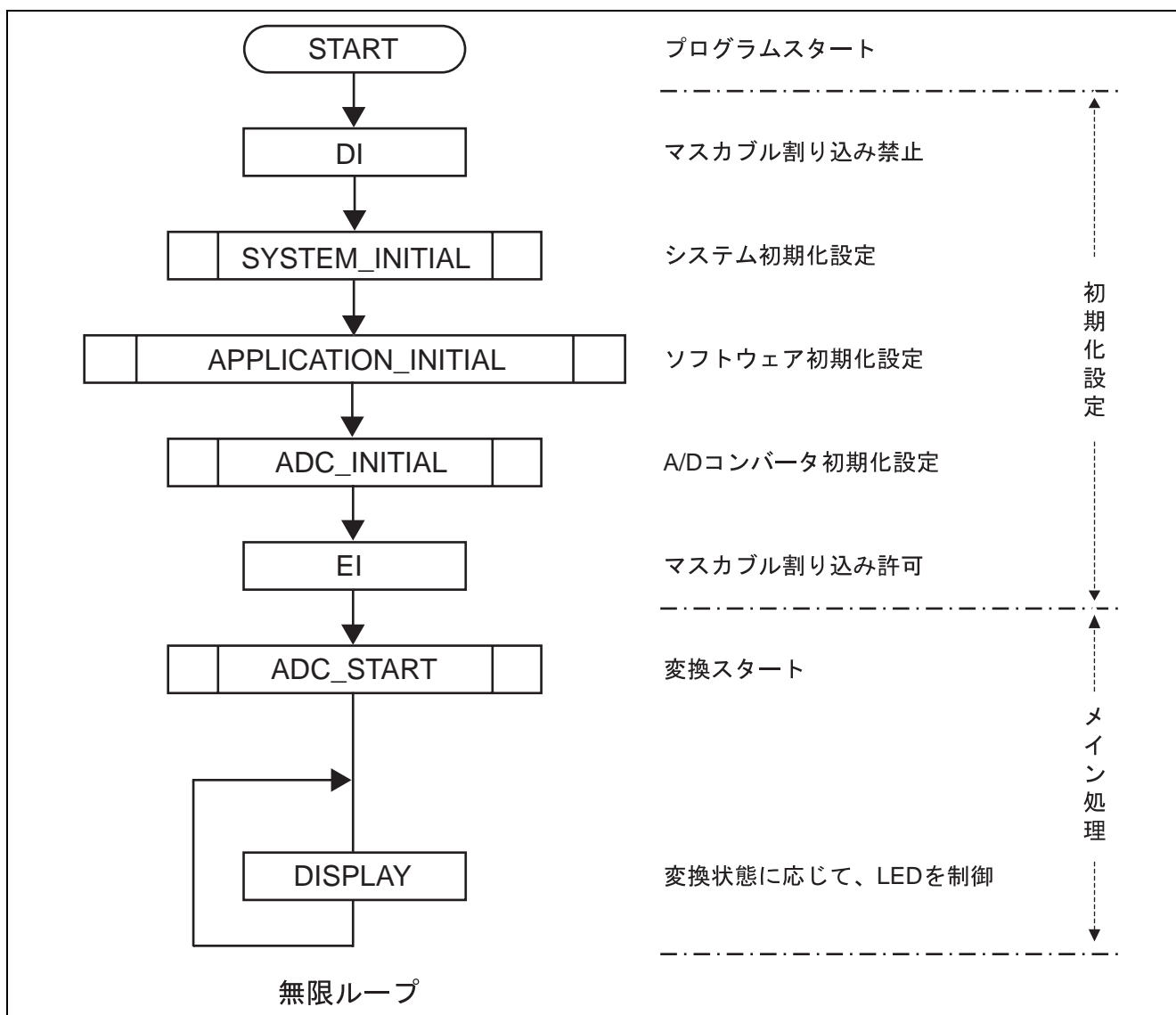


図 4.1 メイン処理フロー

## 4.1.2 割り込み処理

A/D 変換完了或いは A/D 変換エラーが発生するとそれぞれに応じた割り込み処理を行います。

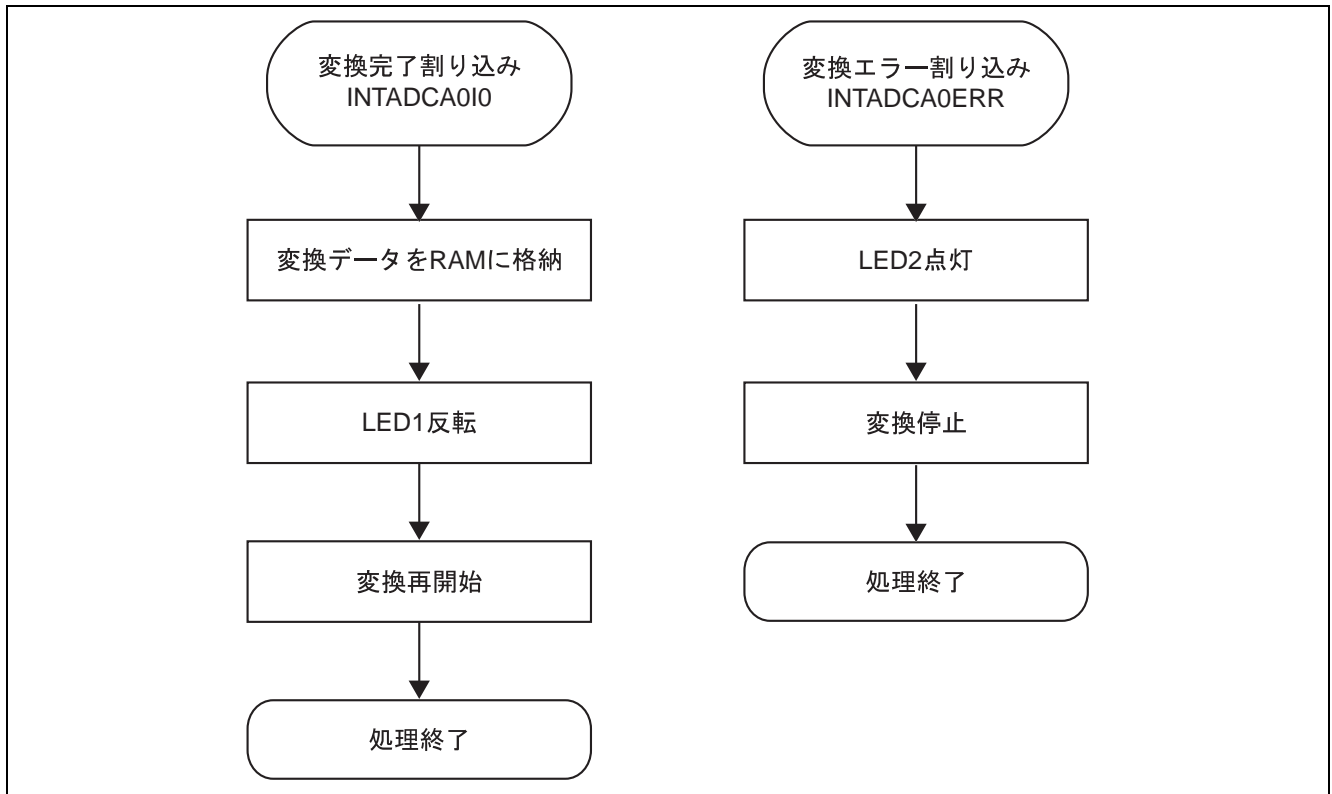


図 4.2 割り込み処理

## 4.2 レジスタの設定

この節では、4.1 フローチャートに基づき、各レジスタの設定について説明します。ADC の動作を制御するために、以下のレジスタを設定します。

### 4.2.1 ポート設定

LED はポート 13 と接続していますので、制御レジスタは以下のとおり設定してください。LED1 は P13\_7、LED2 は P13\_6 を使用しています。

マクロ	端子	PMC	PFCE	PFC	PM	対応機能
PORT	P13_6	0	0	0	0	ポート・モード、出力
	P13_7	0	0	0	0	ポート・モード、出力

設定例：

```
/* P13_6: LED2; port mode; output*/
/* P13_7: LED1; port mode; output*/
PFCE13 = 0x0000;
PFC13  = 0x0000;
PMC13  = 0x0000;
PM13   = 0x0000;
```

### 4.2.2 ADC 安定カウンタ (ADCA<sub>n</sub>CNT)

ADC の安定時間を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCA<sub>n</sub>\_base\_OS> + 114<sub>H</sub>

初期値 00<sub>H</sub> どのリセット要因でも初期化されます。

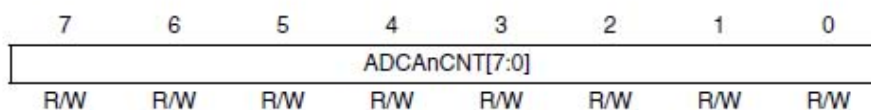


表 25-13 ADCA<sub>n</sub>CNT レジスタの内容

ビット位置	ビット名	機能
7-0	ADCA <sub>n</sub> CNT[7:0]	安定カウンタ値を指定します。 安定時間 = ADCA <sub>n</sub> CNT[7:0] × クロック (PCLK)

図 4.3 ADCA<sub>n</sub>CNT レジスタのフォーマット

```
ADCA0CNT = 0xff; /* stabilization counter */
```



4.2.3 ADC モード制御レジスタ 1 (ADCA<sub>n</sub>CTL1)

変換モードを指定し、変換動作を制御します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCA<sub>n</sub>\_base\_OS> + 104<sub>H</sub>

初期値 0100 0008<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCA <sub>n</sub> T2ETS[1:0]	ADCA <sub>n</sub> T1ETS[1:0]	ADCA <sub>n</sub> T0ETS[1:0]	0	ADCA <sub>n</sub> CRAC	0	0	ADCA <sub>n</sub> MD1	ADCA <sub>n</sub> MD0	0	0	ADCA <sub>n</sub> DISC	ADCA <sub>n</sub> RCL			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCA <sub>n</sub> CTYP	0	0	ADCA <sub>n</sub> STL	ADCA <sub>n</sub> FR[3:0]			0	ADCA <sub>n</sub> TRM[2:0]		ADCA <sub>n</sub> BPC	0	0	ADCA <sub>n</sub> GPS		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-10 ADCA<sub>n</sub>CTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
31-26	ADCA <sub>n</sub> TiETS[1:0]	ハードウェア・トリガ ADCA <sub>n</sub> TTRGi 信号の有効エッジを指定します。 <table border="1"> <thead> <tr> <th>ADCA<sub>n</sub> TiETS1</th><th>ADCA<sub>n</sub> TiETS0</th><th>有効エッジ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>エッジ検出なし (受け付けない)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジ</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジ</td></tr> <tr> <td>1</td><td>1</td><td>立ち上がりエッジと立ち下がりエッジ</td></tr> </tbody> </table>	ADCA <sub>n</sub> TiETS1	ADCA <sub>n</sub> TiETS0	有効エッジ	0	0	エッジ検出なし (受け付けない)	0	1	立ち上がりエッジ	1	0	立ち下がりエッジ	1	1	立ち上がりエッジと立ち下がりエッジ
ADCA <sub>n</sub> TiETS1	ADCA <sub>n</sub> TiETS0	有効エッジ															
0	0	エッジ検出なし (受け付けない)															
0	1	立ち上がりエッジ															
1	0	立ち下がりエッジ															
1	1	立ち上がりエッジと立ち下がりエッジ															
24	ADCA <sub>n</sub> CRAC	A/D 変換結果および診断変換結果の揃え位置を指定します。 0: 右揃え 1: 左揃え															
21	ADCA <sub>n</sub> MD1	すべての CG の A/D 変換の起動トリガを指定します。 0: ソフトウェア・トリガ 1: ハードウェア・トリガとソフトウェア・トリガ この設定はすべての CG に対して有効です。 トリガは、A/D コンバータが有効な場合のみ検出されます。 詳細は 1713 ページの 25.3.5 「A/D 変換の開始 (起動トリガ)」を参照してください。															
20	ADCA <sub>n</sub> MD0	CG0 の A/D 変換モードを指定します。 0: ワンショット変換モード 繰り返し回数は、CG ごとに ADCA <sub>n</sub> CTL0.ADCA <sub>n</sub> SCTI[1:0] で指定します。 1: 連続変換モード この設定は CG0 の A/D 変換のみに適用します。 CG1 と CG2 は、常にワンショット変換モードで動作します。 詳細は 1710 ページの 25.3.4 「A/D 変換モード」を参照してください。															
17	ADCA <sub>n</sub> DISC	ディスチャージ機能の有効/無効を設定します。 0: 無効 1: 有効 詳細は 1741 ページの 25.3.15 「ディスチャージ機能 (製品依存)」を参照してください。															

図 4.4 ADCA<sub>n</sub>CTL1 レジスタのフォーマット (1/2)

表 25-10 ADCAnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能																								
16	ADCAnRCL	A/D 変換結果 ADCAnCmCR と ADCAnDBiCR を読み出したあと、その値を保持するかどうかを指定します。 0: 次の A/D 変換結果によって上書きされるまで保持 1: 読み出し後にクリア																								
15	ADCAnCTYP	分解能モードを指定します。 0: 12 ビット分解能 (製品依存) 1: 10 ビット分解能																								
12	ADCAnSTL	ADCAnCNVi 信号のレベルを指定します。 0: ADCAnCNVi = L のとき、CGi は変換中ではない。 ADCAnCNVi = H のとき、CGi は変換中。 1: ADCAnCNVi = H のとき、CGi は変換中ではない。 ADCAnCNVi = L のとき、CGi は変換中。																								
11-8	ADCAnFR[3:0]	ADCAn クロック ADCAnTCLK を指定します。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ADCAnFR[3:0]</th> <th>ADCAn クロック</th> </tr> </thead> <tbody> <tr><td>0000</td><td>PCLK/2</td></tr> <tr><td>0001</td><td>PCLK/3</td></tr> <tr><td>0010</td><td>PCLK/4</td></tr> <tr><td>0011</td><td>PCLK/5</td></tr> <tr><td>0100</td><td>PCLK/6</td></tr> <tr><td>0110</td><td>PCLK/8</td></tr> <tr><td>1000</td><td>PCLK/10</td></tr> <tr><td>1010</td><td>PCLK/12</td></tr> <tr><td>1100</td><td>PCLK/14</td></tr> <tr><td>1110</td><td>PCLK/16</td></tr> <tr><td>上記以外</td><td>設定禁止</td></tr> </tbody> </table>	ADCAnFR[3:0]	ADCAn クロック	0000	PCLK/2	0001	PCLK/3	0010	PCLK/4	0011	PCLK/5	0100	PCLK/6	0110	PCLK/8	1000	PCLK/10	1010	PCLK/12	1100	PCLK/14	1110	PCLK/16	上記以外	設定禁止
ADCAnFR[3:0]	ADCAn クロック																									
0000	PCLK/2																									
0001	PCLK/3																									
0010	PCLK/4																									
0011	PCLK/5																									
0100	PCLK/6																									
0110	PCLK/8																									
1000	PCLK/10																									
1010	PCLK/12																									
1100	PCLK/14																									
1110	PCLK/16																									
上記以外	設定禁止																									
6-4	ADCAnTRMi (製品依存)	より優先順位の高い CG の A/D 変換の起動トリガが入力された場合 (または ADCHALT モードへの遷移が要求された場合) の中断動作を指定します。 0: CGi の現在の A/D 変換はただちに中断し、より優先順位の高い CG の A/D 変換を開始する (または ADCHALT モードに入る)。 1: CGi の現在のチャンネルの変換を終了してから CG の A/D 変換を中断し、より優先順位の高い CG の A/D 変換を開始する (または ADCHALT モードに入る)。 より優先順位の高い CG の A/D 変換がすべて終了した (または ADCHALT モードから復帰した) あと、CGi の A/D 変換を継続します。 優先順位は、ADCHALT > CG2 > CG1 > CG0 です。 詳細は 1709 ページの (1) 「A/D 変換の順序」を参照してください。																								
3	ADCAnBPC	バッファ・アンプ機能の有効/無効を設定します。 0: 無効 1: 有効 詳細は 1742 ページの 25.3.16 「バッファ・アンプ機能」を参照してください。																								
0	ADCAnGPS	ADCAn のパワーオン/オフを切り替えます。 0: パワーオフ 1: パワーオン A/D コンバータは、パワーオンにしたあとで動作を安定させるための時間が必要です (1742 ページの 25.3.17 「安定制御」を参照)。																								

図 4.5 ADCAnCTL1 レジスタのフォーマット (2/2)

```
ADCA0CTL1 = 0x00028001; /* no detection of hard edge;  
                          right aligned conversion result;  
                          software trigger;  
                          one shot mode;  
                          discharge on;  
                          keep conversion result after read-out;  
                          10bit resolution mode;  
                          ADCATCNV0,1,2=L means no conversion;  
                          ADCATCNV0,1,2=H means running conversion;  
                          1/2 A/D Frequency configuration */
```

4.2.4 ADC チャンネル・グループ・レジスタ i (ADCA<sub>n</sub>CGi)

各 CG のスキャン・リストを作成します。スキャン・リストに設定したチャンネルは昇順に変換されます。

また、ADCA<sub>n</sub>CG0.ADCA<sub>n</sub>DIAG を使用して、基準電圧 ADDIAGOUT 信号を用いた A/D 変換の診断の有効・無効を選択することができます。

**アクセス** 32 ビット単位でリード/ライト可能です。  
本レジスタは、マスタ/スレーブ構成のレジスタのため、A/D 変換動作中に新たな A/D 変換チャンネルをマスタ・レジスタに設定できます。マスタ・レジスタの値がスレーブ・レジスタに転送されるタイミングは次のとおりです。

- CGi が A/D 変換中でない場合は、マスタ・レジスタに書き込まれた 1 クロック (PCLK) 後に転送されます。
- CGi が A/D 変換中の場合は、現在実行されている CGi のスキャン・リスト変換が終了したときに転送されます。
- 本レジスタに書き込みを行ったあとで CGi の停止トリガビット (ADCA<sub>n</sub>SPI ビット) をセットした場合は、A/D 変換停止時に転送されず。

**アドレス** <ADCA<sub>n</sub>\_base\_USER> + i × 4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCA <sub>n</sub> DIAG	0	0	0	0	0	0	0	ADCA <sub>n</sub> CGiS[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCA <sub>n</sub> CGiS[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-11 ADCA<sub>n</sub>CGi レジスタの内容

ビット位置	ビット名	機能
31	ADCA <sub>n</sub> DIAG	CG0 の A/D 変換終了時に行う基準電圧 ADDIAGOUT 信号の診断 A/D 変換の有効/無効を設定します。 0: ADDIAGOUT 信号の A/D 変換無効 1: ADDIAGOUT 信号を変換 このビットは ADCA <sub>n</sub> CG0 のみ設定できます。ADCA <sub>n</sub> CG1 と ADCA <sub>n</sub> CG2 は 0 としてください。
23-00	ADCA <sub>n</sub> CGiS[23:00]	変換対象の CGi のアナログ入力信号を指定します。 0: アナログ入力 ADCA <sub>n</sub> Im を変換しない 1: アナログ入力 ADCA <sub>n</sub> Im を変換する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

図 4.6 ADCA<sub>n</sub>CGi レジスタのフォーマット

```
ADCA0CG0 = 0x00000001; /* conversion of ADDIAGOUT(AVdd) is not available;
                          ANI00 conversion */
```



4.2.5 ADC 割り込み制御レジスタ i (ADCA<sub>n</sub>IOCI)

A/D 変換が終了したときに、A/D 変換終了割り込み INTADCA<sub>n</sub>Ti を発生させることができます。

このレジスタで A/D 変換終了時に割り込み INTADCA<sub>n</sub>Ti を発生させるチャンネルを指定します。

ADCA<sub>n</sub>IOCI = 0000 0000H を設定した場合、CGi の A/D 変換終了時に自動的に割り込み INTADCA<sub>n</sub>Ti が発生します。

**アクセス** 32 ビット単位でリード/ライト可能です。  
A/D コンバータが有効 (ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE に 1 を設定) の場合でも、  
任意のタイミングで書き込むことができます。新しい値は CGi の現在の A/D  
変換が終了したあとに有効になります。

**アドレス** <ADCA<sub>n</sub>\_base\_USER> + 0C<sub>H</sub> + i × 4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCA <sub>n</sub> CG0 IDG	0	0	0	0	0	0	0	ADCA <sub>n</sub> CGi[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCA <sub>n</sub> CGi[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-12 ADCA<sub>n</sub>IOCI レジスタの内容

ビット位置	ビット名	機能
31	ADCA <sub>n</sub> CG0IDG	CG0 の診断モードが有効な場合 (ADCA <sub>n</sub> CG0.ADCA <sub>n</sub> DIAG に 1 を設定)、基準電圧の A/D 変換終了時に割り込み INTADCA <sub>n</sub> Ti を発生させるかどうかを指定します。 0: A/D 変換終了割り込み INTADCA <sub>n</sub> Ti を発生しない 1: A/D 変換終了割り込み INTADCA <sub>n</sub> Ti を発生する このビットは ADCA <sub>n</sub> IOCI レジスタのみ設定できます。ADCA <sub>n</sub> IOCI1 レジスタと ADCA <sub>n</sub> IOCI2 レジスタは 0 としてください。 詳細は 1727 ページの (1) 「A/D 変換回路の診断」を参照してください。
23-00	ADCA <sub>n</sub> CGi[23:00]	チャンネル m の A/D 変換終了時に割り込み INTADCA <sub>n</sub> Ti を発生させるかどうかを指定します。 0: A/D 変換終了割り込み INTADCA <sub>n</sub> Ti を発生しない 1: A/D 変換終了割り込み INTADCA <sub>n</sub> Ti を発生する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

**備考** ADCA<sub>n</sub>IOCI レジスタは ADCA<sub>n</sub>CGi レジスタに連動しているため、それぞれのバッファ・レジスタを更新する場合はあわせて行う必要があります。更新は ADCA<sub>n</sub>CGi レジスタが書き込まれた時点で行われるため、CG の割り込み発生を変更する場合は、必ず ADCA<sub>n</sub>CGi レジスタの前に ADCA<sub>n</sub>IOCI レジスタの書き込みを行ってください。

図 4.7 ADCA<sub>n</sub>IOCI レジスタのフォーマット

ADCA0IOCI0 = 0x00000001; /\* ADCATINT0 does not output at the end of channel diag conversion;  
ADCATINT0 output at the end of channel 00 (CG0) conversion \*/

4.2.6 ADC モード制御レジスタ 0 (ADCA<sub>n</sub>CTL0)

ADCの有効/無効を設定します。さらに、ワンショット変換モードの繰り返し回数と、A/D変換結果を読み出す前に上書きされた場合にエラー割り込み要求を発生させるかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <ADCA<sub>n</sub>\_base\_OS> + 100<sub>H</sub>

初期値 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	ADCA <sub>n</sub> OEM4	ADCA <sub>n</sub> OEM[3:1]	ADCA <sub>n</sub> OEM0	ADCA <sub>n</sub> CE	0	ADCA <sub>n</sub> SCT2[1:0]	ADCA <sub>n</sub> SCT1[1:0]	ADCA <sub>n</sub> SCT0[1:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-9 ADCA<sub>n</sub>CTL0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
12	ADCA <sub>n</sub> OEM4	ADCA <sub>n</sub> LCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に、エラー割り込み INTADCA <sub>n</sub> TERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCA <sub>n</sub> TERR を発生 1: エラー割り込み INTADCA <sub>n</sub> TERR を発生しない 詳細は 1724 ページの (1) 「変換結果上書きチェック機能」を参照してください。
11-9	ADCA <sub>n</sub> OEM[3:1]	いずれかの ADCA <sub>n</sub> DBICR レジスタの A/D 変換結果を読み出す前に上書きされた場合に、エラー割り込み INTADCA <sub>n</sub> TERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCA <sub>n</sub> TERR 発生 1: エラー割り込み INTADCA <sub>n</sub> TERR を発生しない CGi は ADCA <sub>n</sub> OEM(i+1) ビットによって制御されます。 詳細は 1724 ページの (1) 「変換結果上書きチェック機能」を参照してください。
8	ADCA <sub>n</sub> OEM0	ADCA <sub>n</sub> CmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に、エラー割り込み INTADCA <sub>n</sub> TERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCA <sub>n</sub> TERR を発生 1: エラー割り込み INTADCA <sub>n</sub> TERR を発生しない 詳細は 1724 ページの (1) 「変換結果上書きチェック機能」を参照してください。

図 4.8 ADCA<sub>n</sub>CTL0 レジスタのフォーマット (1/2)

表 25-9 ADCAnCTL0 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
7	ADCAnCE	A/D コンバータの有効/無効を設定します。 0: A/D コンバータ無効 1: A/D コンバータ有効 ADCAnCTL0.ADCAnCE を 1 に設定した場合、A/D 変換はハードウェア・トリガまたはソフトウェア・トリガ (ADCAnTRGi.ADCAnSTTi) でのみ開始します。また、A/D コンバータ有効後には安定するための時間が必要です。パワーオンの直後でも起動トリガは受け付けます。安定カウンタ ADCAnCNT=00 <sub>H</sub> のあと、A/D 変換を開始します。															
5-0	ADCAnSCTi[1:0]	CG1, CG2 とワンショット変換モードの CG0 のスキャンリスト変換繰り返し回数 <table border="1"> <thead> <tr> <th>ADCAnSCTi1</th> <th>ADCAnSCTi0</th> <th>CGi のスキャンリスト変換繰り返し回数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>1</td> <td>1</td> <td>4</td> </tr> </tbody> </table>	ADCAnSCTi1	ADCAnSCTi0	CGi のスキャンリスト変換繰り返し回数	0	0	1	0	1	2	1	0	3	1	1	4
ADCAnSCTi1	ADCAnSCTi0	CGi のスキャンリスト変換繰り返し回数															
0	0	1															
0	1	2															
1	0	3															
1	1	4															

図 4.9 ADCAnCTL0 レジスタのフォーマット (2/2)

```
ADCA0CTL0 = 0x0080;
```

```
/* ADCATERR which is generated by ADCA0LCR register overwrite admitted;
```

```
ADCATERR which is generated by ADCA0DBiCR register overwrite admitted;
```

```
ADCATERR which is generated by ADCA0CmCR register overwrite admitted;
```

```
A/D Controller enable ON;
```

```
1-time conversion of CG0 scanlist (channel 00) */
```

4.2.7 ADC ソフトウェア・トリガ・レジスタ i (ADCA<sub>n</sub>TRGi)

CGi の A/D 変換を開始するためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。  
読み出し値は常に 00<sub>H</sub> です。

アドレス <ADCA<sub>n</sub>\_base\_USER> + A4<sub>H</sub> + i × 4<sub>H</sub>

初期値 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCA <sub>n</sub> STTi
W	W	W	W	W	W	W	W

表 25-19 ADCA<sub>n</sub>TRGi レジスタの内容

ビット位置	ビット名	機能
0	ADCA <sub>n</sub> STTi	CGi の A/D 変換を開始します。 0: 機能なし 1: CGi の A/D 変換を開始

詳細は 1713 ページの 25.3.5 「A/D 変換の開始 (起動トリガ)」を参照してください。

図 4.10 ADCA<sub>n</sub>TRGi レジスタのフォーマット

ADCA0TRG0 = 0x01; /\* conversion start \*/



4.2.8 A/D 変換結果レジスタ (ADCA<sub>n</sub>LCR、ADCA<sub>n</sub>CmCR、ADCA<sub>n</sub>DBiCR)ADCA<sub>n</sub>LCR — A/D コンバータ最新変換結果レジスタADCA<sub>n</sub>CmCR — チャンネル m の A/D コンバータ変換結果レジスタADCA<sub>n</sub>DBiCR — CGi の DMA バッファ・レジスタ

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCA<sub>n</sub>\_base\_USER> + A0<sub>H</sub>初期値 0300 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCA <sub>n</sub> LCG[1:0]	ADCA <sub>n</sub> LER1	ADCA <sub>n</sub> LER0	ADCA <sub>n</sub> LUR	ADCA <sub>n</sub> LCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCA <sub>n</sub> LCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-23 ADCA<sub>n</sub>LCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCA <sub>n</sub> LCG[1:0]	ADCA <sub>n</sub> LCR[15:00] に格納されている変換結果の対象 CG を示します。 <table border="1"> <thead> <tr> <th>ADCA<sub>n</sub> LCG1</th><th>ADCA<sub>n</sub> LCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table>	ADCA <sub>n</sub> LCG1	ADCA <sub>n</sub> LCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCA <sub>n</sub> LCG1	ADCA <sub>n</sub> LCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															
23	ADCA <sub>n</sub> LER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCA <sub>n</sub> STC2.ADCA <sub>n</sub> LERC1 を 1 に設定するとクリアされます。															
22	ADCA <sub>n</sub> LER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCA <sub>n</sub> STC2.ADCA <sub>n</sub> LERC0 を 1 に設定するとクリアされます。															
21	ADCA <sub>n</sub> LUR	A/D 変換結果の更新状態を示します。 0: ADCA <sub>n</sub> LCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCA <sub>n</sub> LCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。															

図 4.11 ADCA<sub>n</sub>LCR レジスタのフォーマット (1/2)

表 25-23 ADCAnLCR レジスタの内容 (2/2)

ビット位置	ビット名	機能																				
20-16	ADCAn LCN[4:0]	ADCAnLCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示します。 $00001 \times m = CHm$																				
15-0	ADCAn LCR[15:00]	A/D 変換の結果を示します。 分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。																				
		<table border="1"> <thead> <tr> <th>ADCAn CTL1. ADCAn CTYP</th> <th>ADCAn CTL1. ADCAn CRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値の ビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnLCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnLCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnLCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnLCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAn CTL1. ADCAn CTYP	ADCAn CTL1. ADCAn CRAC	分解能と揃え位置	A/D 変換結果値の ビット位置	0	0	12 ビット分解能, 右揃え	ADCAnLCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnLCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:06]
ADCAn CTL1. ADCAn CTYP	ADCAn CTL1. ADCAn CRAC	分解能と揃え位置	A/D 変換結果値の ビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnLCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnLCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:06]																			

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタには格納されません (1764 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

図 4.12 ADCAnLCR レジスタのフォーマット (2/2)

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCA<sub>n</sub>\_base\_USER> + 3C<sub>H</sub> + m × 4<sub>H</sub>

初期値 0300 0000<sub>H</sub> + m × 0001 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCA <sub>n</sub> CmCG[1:0]	ADCA <sub>n</sub> CmER1	ADCA <sub>n</sub> CmER0	ADCA <sub>n</sub> CmUR	ADCA <sub>n</sub> CmCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCA <sub>n</sub> CmCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 備考
1. 各ビットの機能は ADCA<sub>n</sub>LCR レジスタのビットと同じですが、ADCA<sub>n</sub>LCR レジスタの対象が全チャンネルであるのに対し、このレジスタは指定チャンネルの最新の A/D 変換結果を示します (1757 ページの表 25-23 「ADCA<sub>n</sub>LCR レジスタの内容」を参照)。
  2. リセット後、ADCA<sub>n</sub>CmCG[1:0] ビットは 11<sub>B</sub> に設定されます。
  3. ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>RCL に 0 を設定の場合は、ADCA<sub>n</sub>CmCR[15:00] ビットの A/D 変換結果は次の A/D 変換結果によって上書きされるまで保持されます。  
ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>RCL に 1 を設定の場合、ADCA<sub>n</sub>CmCR[15:00] ビットの A/D 変換結果は読み出し後クリアされます。

表 25-24 ADCA<sub>n</sub>CmCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCA <sub>n</sub> CmCG[1:0]	ADCA <sub>n</sub> CmCR[15:00] に格納されている変換結果の対象 CG を示します。															
		<table border="1"> <thead> <tr> <th>ADCA<sub>n</sub> CmCG1</th><th>ADCA<sub>n</sub> CmCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table>	ADCA <sub>n</sub> CmCG1	ADCA <sub>n</sub> CmCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCA <sub>n</sub> CmCG1	ADCA <sub>n</sub> CmCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															

図 4.13 ADCA<sub>n</sub>CmCR レジスタのフォーマット (1/2)

表 25-24 ADCAnCmCR レジスタの内容 (2/2)

ビット位置	ビット名	機能																				
23	ADCAnCmER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTR1.ADCAnQWEm の値を反映し ADCAnSTC1.ADCAnQWECm を 1 に設定するとクリアされます。																				
22	ADCAnCmER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTR0.ADCAnRCEm の値を反映し ADCAnSTC0.ADCAnRCECm を 1 に設定するとクリアされます。																				
21	ADCAnCmUR	A/D 変換結果の更新状態を示します。 0: ADCAnCmCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCAnCmCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。																				
20-16	ADCAnCmCN[4:0]	ADCAnCmCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示します。 00001 × m = CHm																				
15-0	ADCAnCmCR [15:00]	A/D 変換の結果を示します。 分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。																				
		<table border="1"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnCmCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnCmCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnCmCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnCmCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置	0	0	12 ビット分解能, 右揃え	ADCAnCmCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnCmCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnCmCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnCmCR[15:00] の [15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnCmCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnCmCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnCmCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnCmCR[15:00] の [15:06]																			

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタには格納されません (1764 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

図 4.14 ADCAnCmCR レジスタのフォーマット (2/2)



アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは、A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCA<sub>n</sub>\_base\_USER> + C4<sub>H</sub> + i × 4<sub>H</sub>

初期値 0000 0000<sub>H</sub> + i × 0100 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCA <sub>n</sub> DBiCG[1:0]	ADCA <sub>n</sub> DBiER1	ADCA <sub>n</sub> DBiER0	ADCA <sub>n</sub> DBiUR	ADCA <sub>n</sub> DBiCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCA <sub>n</sub> DBiCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備考 各ビットの機能は ADCA<sub>n</sub>LCR レジスタのビットと同じですが、ADCA<sub>n</sub>LCR レジスタの対象が全 CG であるのに対し、このレジスタは CG<sub>i</sub> の最新の A/D 変換結果を示します (1757 ページの表 25-23 「ADCA<sub>n</sub>LCR レジスタの内容」を参照)。

表 25-25 ADCA<sub>n</sub>DBiCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCA <sub>n</sub> DBiCG[1:0]	ADCA <sub>n</sub> DBiCR[15:00] に格納されている変換結果の対象 CG を示します。 <table border="1"> <thead> <tr> <th>ADCA<sub>n</sub> DBiCG1</th><th>ADCA<sub>n</sub> DBiCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table> 常に同じ CG の変換結果と状態を格納するため、このビットの値は固定されます。	ADCA <sub>n</sub> DBiCG1	ADCA <sub>n</sub> DBiCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCA <sub>n</sub> DBiCG1	ADCA <sub>n</sub> DBiCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															
23	ADCA <sub>n</sub> DBiER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCA <sub>n</sub> STC2.ADCA <sub>n</sub> DBiERC1 を 1 に設定するとクリアされます。															
22	ADCA <sub>n</sub> DBiER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCA <sub>n</sub> STC2.ADCA <sub>n</sub> DBiERC0 を 1 に設定するとクリアされます。															
21	ADCA <sub>n</sub> DBiUR	A/D 変換結果の更新状態を示します。 0: ADCA <sub>n</sub> DBiCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCA <sub>n</sub> DBiCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。															

図 4.15 ADCA<sub>n</sub>DBiCR レジスタのフォーマット (1/2)

表 25-25 ADCAnDBiCR レジスタの内容 (2/2)

ビット位置	ビット名	機能																				
20-16	ADCAnDBiCN[4:0]	ADCAnDBiCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示します。 $00001 \times m = CHm$																				
15-0	ADCAnDBiCR [15:00]	A/D 変換の結果を示します。 分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。 <table border="1" data-bbox="528 510 1323 891"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置	0	0	12 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]																			

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタ、ADCAnDBiCRL レジスタには格納されません (1764 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

図 4.16 ADCAnDBiCR レジスタのフォーマット (2/2)

```
adc_result[0] = ADCA0LCR;          /* read converted result */
adc_result[1] = ADCA0C00CR;       /* read converted result */
adc_result[2] = ADCA0DB0CR;       /* read converted result */
```

### 4.3 関数仕様

今回のプログラムで使用する関数の仕様について説明します。

#### 4.3.1 メイン (main.c)

【関数名】	main ()
【機能】	各初期化処理関数を呼び出したあと、永久ループに入る
【引数】	なし
【戻り値】	なし
【起動方法】	ハードウェア初期化完了したあと自動的にメイン関数に入る
【使用 SFR】	なし
【call 関数】	なし
【変数】	なし
【ファイル名】	main.c
【注意事項】	なし

#### 4.3.2 初期化処理 (initial.c)

【関数名】	port_initial ()
【機能】	ポート・モードの設定を行う
【引数】	なし
【戻り値】	なし
【起動方法】	コールする
【使用 SFR】	PFCE13, PFC13, PMC13, PM13
【call 関数】	main ()
【変数】	なし
【ファイル名】	initial.c
【注意事項】	なし

【関数名】	cg_initial ()
【機能】	特殊クロック周波数制御レジスタの初期化設定を行う
【引数】	なし
【戻り値】	なし
【起動方法】	コールする
【使用 SFR】	SFRCTL3
【call 関数】	main ()
【変数】	なし
【ファイル名】	initial.c
【注意事項】	なし

【関数名】 hbus\_initial ()  
【機能】 AHB バスの初期化設定を行う  
【引数】 なし  
【戻り値】 なし  
【起動方法】 コールする  
【使用 SFR】 ETARCFG0, ETARADRS0, ETARMASK0  
【call 関数】 main ()  
【変数】 なし  
【ファイル名】 initial.c  
【注意事項】 なし

【関数名】 board\_initial ()  
【機能】 LED 初期状態の設定を行う  
【引数】 なし  
【戻り値】 なし  
【起動方法】 コールする  
【使用 SFR】 P13  
【call 関数】 main ()  
【変数】 なし  
【ファイル名】 initial.c  
【注意事項】 なし

【関数名】 ram\_initial ()  
【機能】 ユーザ RAM の初期状態の設定を行う  
【引数】 なし  
【戻り値】 なし  
【起動方法】 コールする  
【使用 SFR】 なし  
【call 関数】 main ()  
【変数】 adc\_result[]  
【ファイル名】 initial.c  
【注意事項】 なし



## 4.3.3 ADC 制御 (adc\_control.c)

【関数名】	adc_initial ()
【機能】	ADC の動作設定を行う
【引数】	なし
【戻り値】	なし
【起動方法】	コールする
【使用 SFR】	ICADCA0ERR, ICADCA0I0, ADCA0CNT, ADCA0CTL1, ADCA0CG0, ADCA0IOC0,ADCA0TSEL0, ADCA0CTL2, ADCA0LL, ADCA0UL, ADCA0CTL0, ADCA0TRG0
【call 関数】	main ()
【変数】	なし
【ファイル名】	adc_control.c
【注意事項】	なし

## 4.3.4 割り込み (interrupt.c)

【関数名】	int_adca0i0 ()
【機能】	ADC 変換完了割り込み処理を行う
【引数】	なし
【戻り値】	なし
【起動方法】	マスクをされていない状態で、INTADCA0I0 要求がある
【使用 SFR】	ADCA0LCR, ADCA0TRG0, ADCA0C00CR, ADCA0DB0CR, P13
【call 関数】	なし
【変数】	adc_result[]
【ファイル名】	interrupt.c
【注意事項】	なし

【関数名】	int_adca0err ()
【機能】	ADC 変換エラー割り込み処理を行う
【引数】	なし
【戻り値】	なし
【起動方法】	マスクをされていない状態で、INTADCA0ERR 要求がある
【使用 SFR】	P13, ADCA0CTL0
【call 関数】	なし
【変数】	なし
【ファイル名】	interrupt.c
【注意事項】	なし

## ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.02.13	—	初版発行

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/inquiry>