

RZ/T1 グループ

R01AN3595JJ0110

Rev.1.10

Encoder I/F HIPERFACE DSL application package

2018.9.27

要旨

本書は、RZ/T1 Encoder I/F HIPERFACE DSL のアプリケーション・パッケージについて記載します。

本アプリケーションを使用する時は、“RZ/T1 Encoder I/F Configuration Library”のリリースパッケージをルネサス エレクトロニクスホームページから入手してください。

動作確認デバイス

RZ/T1 CPU ボード (RTK7910018C00000BE)

過去バージョンからの変更履歴

Ver.	Date	内容	備考
1.10	2018.9	ユーザーズマニュアルを Ver1.31 に更新	
		サンプルプログラムを更新 ・ iodefined_hfdsl.h ファイルの修正 ・ DS-5、e2 studio の動作手順を変更	
1.00	2018.4	ユーザーズマニュアルを Ver.1.30 に更新	
		コンフィグレーション・データを Ver.1.3 に更新 ・ プロトコル初期化処理の修正 ・ Quality monitor の修正 ・ Equalization の修正 ・ SYNC モードの修正 ・ stuffing の上限値の修正 ・ EXTRA ビットを追加	
		アプリケーションノートを Ver.1.30 に更新	
		サンプルプログラムを Ver.1.5 に更新 ・ プロトコル初期化処理の修正 ・ 割り込み処理の修正 ・ EXTRA ビット設定処理を追加	
		本書の注意事項を更新 ・ プロトコル初期化後の Fast position	
0.9	2017.9	サンプルプログラムを Ver.1.2 に更新 ・ プロトコル初期化処理の修正	
		コンフィグレーション・データ Ver1.1 に更新 ・ RSSI 処理の修正 ・ ライン遅延処理の修正 ・ MAXDEVR レジスタの更新タイミングの修正 ・ estimator 処理の修正 ・ RAW_FIFO 機能の異常データ出力処理修正	
0.8	2017.8	サンプルプログラムを Ver.1.0 に更新 ・ IAR Systems 社製 EWARM と ARM 社製 DS-5 に対応	
		コンフィギュレーションデータ Ver1.0 に更新 ・ Ver0.1 からユーザーズマニュアルに記載の機能すべてに対応	
		ユーザーズマニュアルを Ver.1.10 に更新	
		アプリケーションノートを新規作成	
0.1	2017.1	新規	

目次

1. パッケージ内容	4
1.1 ソフトウェア	4
・ソースコード	4
・コンフィグレーション・データ	4
1.2 ドキュメント	4
2. ファイル構成	5
3. HIPERFACE DSL サンプルプログラムについて	6
3.1 ソフトウェア情報	6
3.1.1 ベース OS	6
3.1.2 メモリサイズ	6
3.2 ハードウェア情報	7
3.2.1 デバイス	7
3.2.2 ターゲットボード	7
3.3 開発環境における動作手順	8
3.3.1 サンプルプログラムの実行前の準備	8
3.3.2 EWARM : IAR 社製	8
3.3.3 DS-5 : ARM 社製	10
3.3.4 e2 studio : RENESAS 社製	14
4. 制限事項	17
5. 注意事項	18
5.1 処理時間	18
5.2 プロトコル初期化後の Fast position	18

1. パッケージ内容

本パッケージには次のものが含まれています。

1.1 ソフトウェア

・ソースコード

No.	名称	版数
1	RZ/T1 HIPERFACE DSL サンプルドライバコード一式	1.5

・コンフィグレーション・データ

No.	名称	版数
1	RZ/T1 Encoder I/F Configuration Data (HIPERFACE DSL)	1.3

1.2 ドキュメント

No.	文書名	版数	ファイル名
1	RZ/T1 グループ Encoder I/F HIPERFACE DSL application package リリースノート	1.10	(日) r01an3595jj0110-rzt1.pdf (本書) (英) r01an3595ej0110-rzt1.pdf
2	RZ/T1 グループ HIPERFACE DSL@インタフェース (HFDSL) ユーザーズマニュアル	1.31	(日) r01uh0731jj0131-rzt1-hfdsl.pdf (英) r01uh0731ej0131-rzt1-hfdsl.pdf (中) r01uh0731cj0131-rzt1-hfdsl.pdf
3	RZ/T1 グループ HIPERFACE DSL サンプルプログラムアプリケーションノート	1.30	(日) r01an3869jj0130-rzt1-hfdsl.pdf (英) r01an3869ej0130-rzt1-hfdsl.pdf (中) r01an3869cj0130-rzt1-hfdsl.pdf

2. ファイル構成

本パッケージのファイル構成と内容物の詳細を以下に示します。

```

Top
├─r01an3595ej0110-rzt1.pdf
├─r01an3595jj0110-rzt1.pdf
├─workspace
│   └─Software
│       ├──iccarms
│       │   └─RZ_T1_hfdsl.zip      :A set of RZ/T1 HIPERFACE DSL sample driver code (IAR)
│       ├──armcc
│       │   └─RZ_T1_hfdsl.zip      :A set of RZ/T1 HIPERFACE DSL sample driver code (DS-5)
│       └─kpitgcc
│           └─RZ_T1_hfdsl.zip      :A set of RZ/T1 HIPERFACE DSL sample driver code (e2 studio)
└─Documentation
    ├──r01an3869cj0130-rzt1-hfdsl.pdf
    ├──r01an3869ej0130-rzt1-hfdsl.pdf
    ├──r01an3869jj0130-rzt1-hfdsl.pdf
    ├──r01uh0731cj0131-rzt1-hfdsl.pdf
    ├──r01uh0731ej0131-rzt1-hfdsl.pdf
    └─r01uh0731jj0131-rzt1-hfdsl.pdf
  
```

RZ_T1_hfdsl.zip のファイル構成を以下に示します。

Top folder		
inc		
iodefne.h		RZ/T1 レジスタ定義ファイル
iodefne_hfdsl.h		HIPERFACE DSL レジスタ定義ファイル
r_hfdsl_rzt1_dat.h		r_hfdsl_rzt1.dat 用ヘッダファイル
r_hfdsl_rzt1_if.h		HFDSL サンプルドライバヘッダファイル
lib		
ecl		
r_hfdsl_rzt1.dat		Multi-Protocol Encoder IF (HIPERFACE DSL mode) Configuration data
src		
common		
初期設定などの共通ソース		
drv		
hfdsl		
r_hfdsl_rz1.c		HIPERFACE DSL サンプルドライバファイル
r_hfdsl_rz1_config.h		HIPERFACE DSL サンプルドライバファイル
scifa_uart		
scifa_uart.c		SCIFA サンプルドライバファイル
scifa_uart_userdef.c		SCIFA サンプルドライバファイル
sample		
main.c		HFDSL サンプルプログラム
hfdsl_dat.asm		Configuration data 用リンク設定ファイル※
siorw.c		SCIFA サンプルプログラム
siochar.c		SCIFA サンプルプログラム

※ DS-5/e2 studio 用ファイル
 DS-5: hfdsl_dat.s
 e2 studio: hfdsl_dat.asm

3. HIPERFACE DSL サンプルプログラムについて

HIPERFACE DSL サンプルドライバ一式を使用するために必要な情報を記載します。

3.1 ソフトウェア情報

3.1.1 ベース OS

OS レス

3.1.2 メモリサイズ

領域名		開発環境別 メモリサイズ			
		IAR [bytes]	DS-5 [bytes]	e2 studio [bytes]	
HFDSL ドライバ	コード領域	3052	3980	5752	
	データ領域 (初期値あり)	8	34	8	
	データ領域 (初期値なし)	87	64	96	
	定数領域	96	96	108	
	スタック サイズ	R_HFDSL_Open 関数	60	60	88
		R_HFDSL_Close 関数	16	28	56
		R_HFDSL_Control 関数	48	120	128
		R_HFDSL_GetVersion 関数	0	0	4
hfdsl_int_nml_isr 関数		128+※	56+※	80+※	
hfdsl_int_err_isr 関数	112+※	48+※	56+※		
HFDSL Configuration data	コード領域	0	0	0	
	データ領域 (初期値あり)	0	0	0	
	データ領域 (初期値なし)	0	0	0	
	定数領域	43908	43908	43908	
サンプルプログラ ム	コード領域	1904	2580	3716	
	データ領域 (初期値あり)	32	59	30	
	データ領域 (初期値なし)	316	288	320	
	定数領域	908	40	901	

※ R_HFDSL_Control 関数で登録するユーザー定義コールバック関数のうち最大のスタックサイズ

3.2 ハードウェア情報

3.2.1 デバイス

RZ/T1

3.2.2 ターゲットボード

(1) ボード名

RZ/T1 CPU ボード(RTK7910018C00000BE)

(2) CPU ボードの設定

ターゲットボードの設定は以下の通り。

SW4-1: ON

SW4-2: シリアルフラッシュを使用する場合は ON、NOR を使用する場合は OFF

SW4-3: ON

SW4-4: ON

SW4-5: ON

SW4-6: OFF

JP2: 2-3 ショート

JP7: 1-2 ショート

3.3 開発環境における動作手順

3.3.1 サンプルプログラムの実行前の準備

本サンプルプログラムでは、PC と通信動作を行います。ホスト PC のターミナルソフトの設定は「RZ/T1 グループ FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA) アプリケーションノート」の「6.1.2 使用準備」を参照してください。PC の USB Serial Driver は、下記のリンクから最新版をダウンロードしてください。

<https://www.renesas.com/jp/ja/software/D6000699.html>

3.3.2 EWARM : IAR 社製

➤ ビルド環境

IAR Embedded Workbench for ARM v8.20.2

➤ 実行環境

I-jet

➤ サンプルプログラムのビルド手順

サンプルプログラムのビルド手順は以下の通り。

1. 展開したソースファイルを任意の場所にコピー
2. “RZ/T1 Encoder I/F Configuration Library” (IAR EWARM 版)の以下のファイルを各フォルダへコピー

lib\ecl\r_ecl_rzt1.a

inc\r_ecl_rzt1_if.h

3. EWARM を起動
4. [ファイル]メニュー→[開く]→[ワークスペース]を選択
5. 展開したソースファイルの RZ_T1_hfdsl_boot\RZ_T1_hfdsl_****_boot.eww を開く

Nor 版	RZ_T1_hfdsl_nor_boot.eww
Serial Flash 版	RZ_T1_hfdsl_serial_boot.eww

6. [プロジェクト]メニュー→[すべてを再ビルド]を選択

次のファイルが生成される。

RZ_T1_hfdsl_boot\Debug\Exe\RZ_T1_hfdsl_****_boot.out

Nor 版	RZ_T1_hfdsl_nor_boot.out
Serial Flash 版	RZ_T1_hfdsl_serial_boot.out

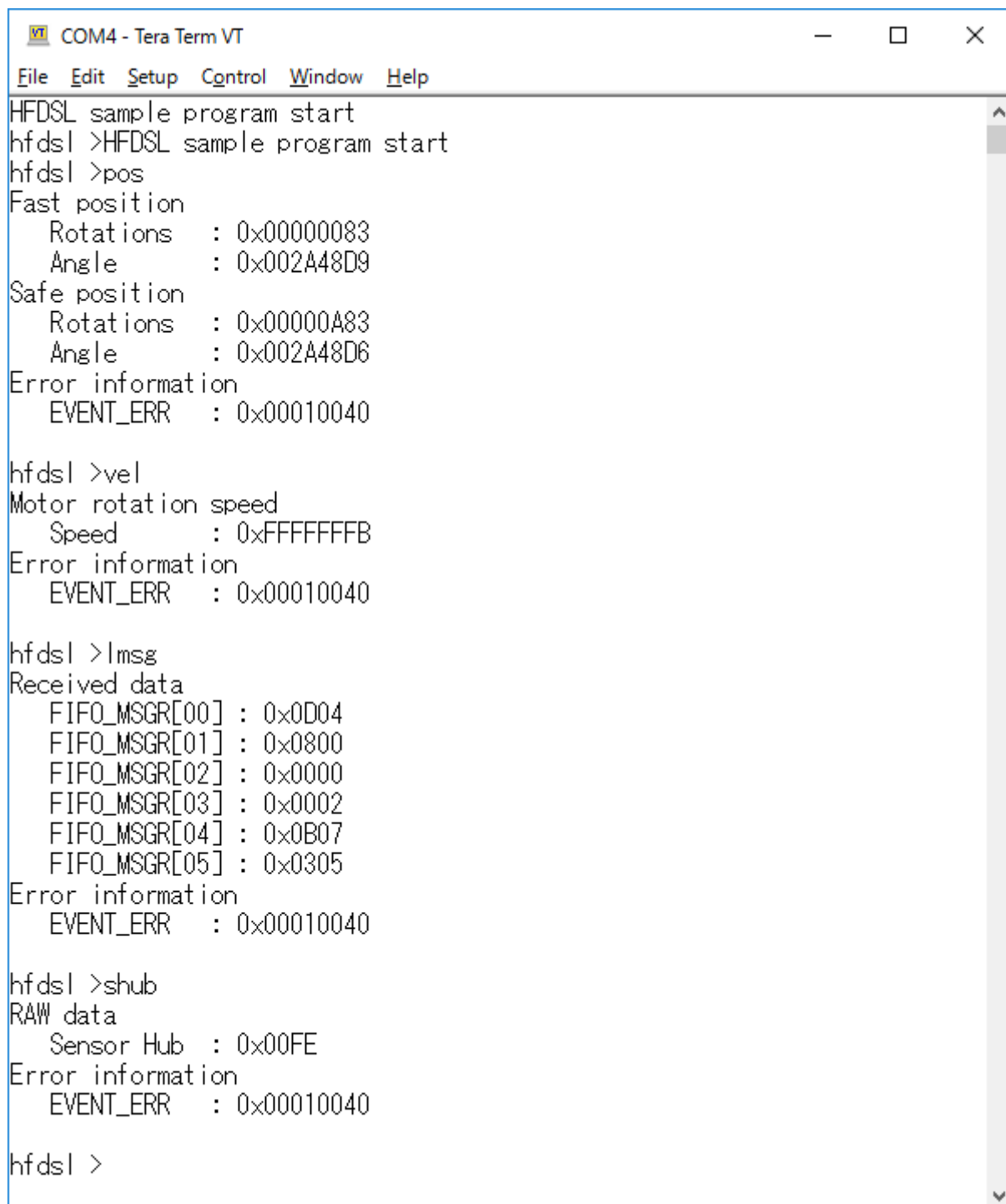
➤ サンプルプログラムの実行手順

「ビルド手順」を実行後、ターゲットボード、デバッガを正しく接続し、以下の操作を行う。

1. [プロジェクト]メニュー→[ダウンロードしてデバッグ]を選択
2. [デバッグ]メニュー→[実行]を選択

▶ サンプルプログラムの実行結果

サンプルプログラムを実行し、ターミナルのウィンドウにコマンドを入力してください。
コマンドについては、RZ/T1 グループ HIPERFACE DSL サンプルプログラムアプリケーションノート
に記載のコンソールコマンドの章を参照してください。



```
COM4 - Tera Term VT
File Edit Setup Control Window Help
HFDSL sample program start
hfdsl >HFDSL sample program start
hfdsl >pos
Fast position
  Rotations : 0x00000083
  Angle     : 0x002A48D9
Safe position
  Rotations : 0x00000A83
  Angle     : 0x002A48D6
Error information
  EVENT_ERR : 0x00010040

hfdsl >vel
Motor rotation speed
  Speed     : 0xFFFFFFFFB
Error information
  EVENT_ERR : 0x00010040

hfdsl >lmsg
Received data
  FIFO_MSGR[00] : 0x0D04
  FIFO_MSGR[01] : 0x0800
  FIFO_MSGR[02] : 0x0000
  FIFO_MSGR[03] : 0x0002
  FIFO_MSGR[04] : 0x0B07
  FIFO_MSGR[05] : 0x0305
Error information
  EVENT_ERR : 0x00010040

hfdsl >shub
RAW data
  Sensor Hub : 0x00FE
Error information
  EVENT_ERR : 0x00010040

hfdsl >
```

3.3.3 DS-5 : ARM 社製

➤ ビルド環境

ARM Development Studio 5 (DS-5) Version 5.26.2

ARM Compiler 5.06 update 4

➤ 実行環境

ULINK2 (v2.01)

➤ サンプルプログラムのビルド手順

サンプルプログラムのビルド手順は以下の通り。

1. DS-5 を起動しワークスペースへ移動後、[ファイル] → [インポート] をクリックし、一般> 既存プロジェクトをワークスペースへ を選択して[次へ] をクリックします。
2. プロジェクトのインポート画面でアーカイブ・ファイルの選択にて RZ_T1_hfdsl.zip を指定して、[終了] をクリックします。
3. “RZ/T1 Encoder I/F Configuration Library” (ARM DS-5 版)の以下のファイルを、インポートして展開した各フォルダへコピーします。

lib\ecl\r_ecl_rzt1.a

inc\r_ecl_rzt1_if.h

4. [プロジェクト]メニュー→[すべてビルド]を選択

次のファイルが生成される。

Debug\RZ_T_nor_sample.axf

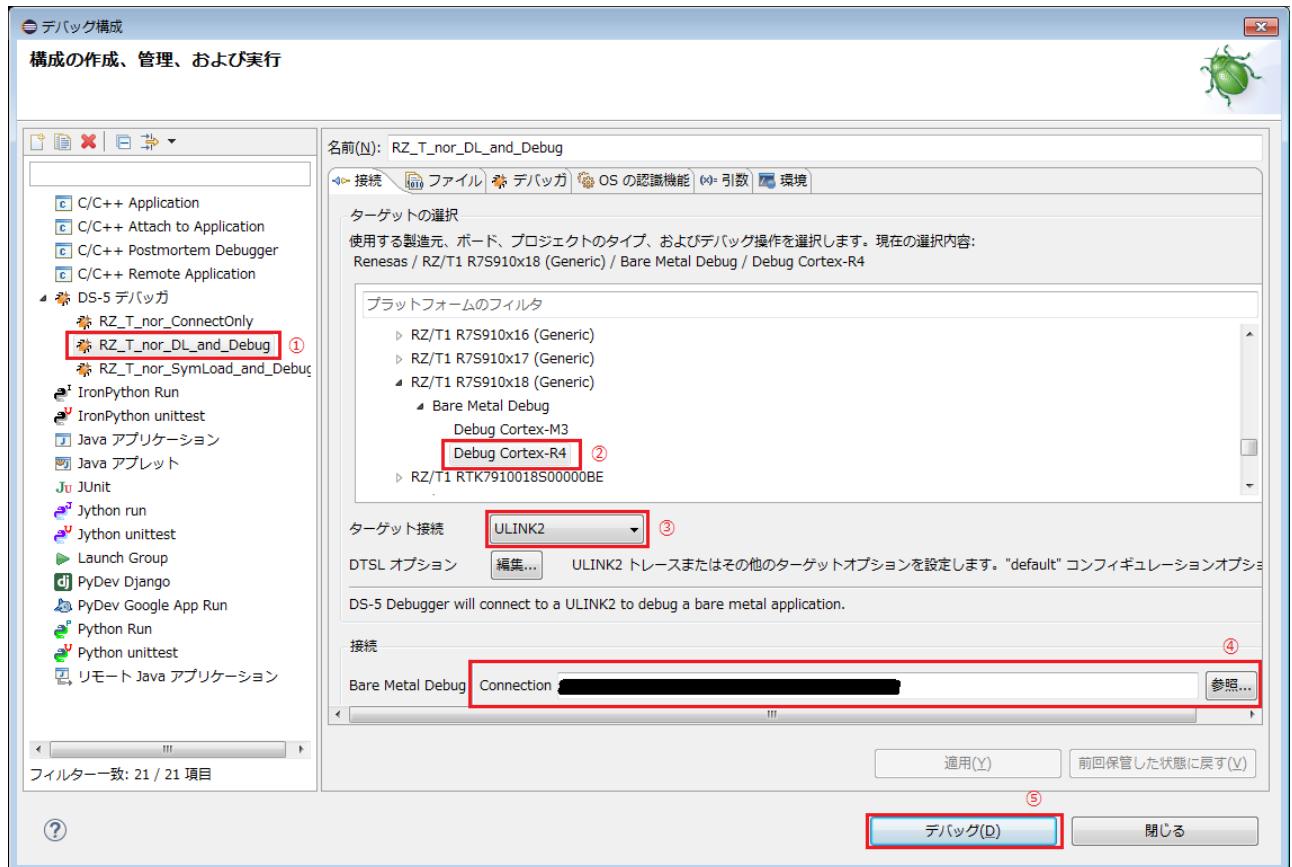
(シリアルフラッシュの場合は、「RZ_T_sflash_sample.axf」)

▶ サンプルプログラムの実行手順

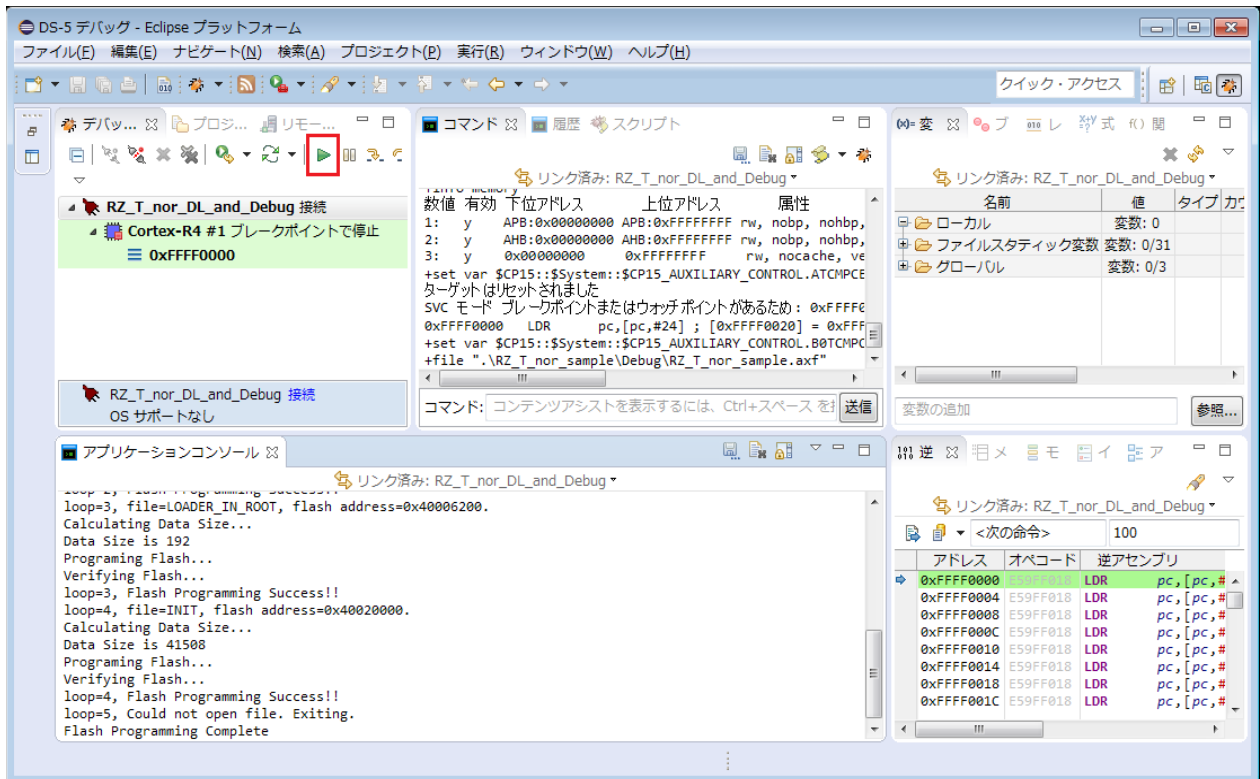
「ビルド手順」を実行後、ターゲットボード、デバッガを正しく接続し、以下の操作を行う。

1. [実行]→[デバッグの構成]でデバッグ構成を開き、“RZ_T_nor_DL_and_Debug”の接続設定を選択します。（シリアルフラッシュの場合は、“RZ_T_sflash_DL_and_Debug”）
ターゲットの選択で “RZ/T1 R7S910x18 (Generic)” の Debug Cortex-R4 を選択します。

接続タブよりターゲット接続の ULINK2 を選択し、[参照] を選択し、検出されたターゲット接続を選択後、[デバッグ] を選択しデバッグを開始します。

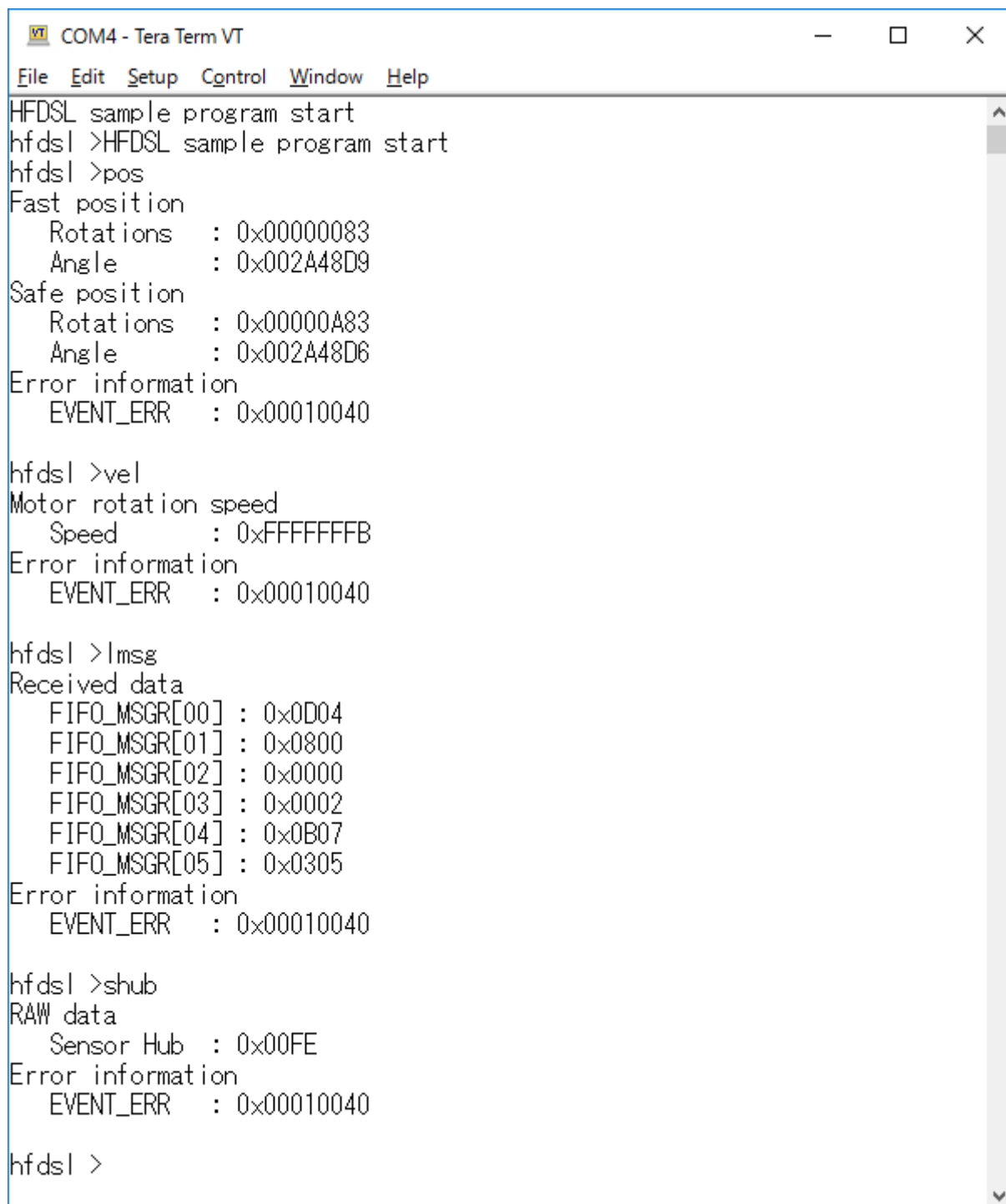


2. フラッシュ書き込みが完了すると、アプリケーションコンソール画面に「Flash Programming Complete」が表示され、デバッグを開始できます。



▶ サンプルプログラムの実行結果

サンプルプログラムを実行し、ターミナルのウィンドウにコマンドを入力してください。
コマンドについては、RZ/T1 グループ HIPERFACE DSL サンプルプログラムアプリケーションノート
に記載のコンソールコマンドの章を参照してください。



```
COM4 - Tera Term VT
File Edit Setup Control Window Help
HFDSL sample program start
hfdsl >HFDSL sample program start
hfdsl >pos
Fast position
  Rotations : 0x00000083
  Angle     : 0x002A48D9
Safe position
  Rotations : 0x00000A83
  Angle     : 0x002A48D6
Error information
  EVENT_ERR : 0x00010040

hfdsl >vel
Motor rotation speed
  Speed     : 0xFFFFFFFFB
Error information
  EVENT_ERR : 0x00010040

hfdsl >lmsg
Received data
  FIFO_MSGR[00] : 0x0D04
  FIFO_MSGR[01] : 0x0800
  FIFO_MSGR[02] : 0x0000
  FIFO_MSGR[03] : 0x0002
  FIFO_MSGR[04] : 0x0B07
  FIFO_MSGR[05] : 0x0305
Error information
  EVENT_ERR : 0x00010040

hfdsl >shub
RAW data
  Sensor Hub : 0x00FE
Error information
  EVENT_ERR : 0x00010040

hfdsl >
```

3.3.4 e2 studio : RENESAS 社製

➤ ビルド環境

RENESAS e2 studio 6.1.0.020

KPIT GNUARM-NONE-EABI Toolchain v16.01

➤ 実行環境

J-Link BASE

➤ サンプルプログラムのビルド手順

サンプルプログラムのビルド手順は以下の通り。

1. e2studio を起動しワークスペースへ移動後、[ファイル] → [インポート] をクリックし、一般> 既存プロジェクトをワークスペースへ を選択して[次へ] をクリックします。
2. プロジェクトのインポート画面でアーカイブ・ファイルの選択にて RZ_T1_hfdsl.zip を指定して、[終了] をクリックします。
3. “RZ/T1 Encoder I/F Configuration Library” (KPIT GCC 版)の以下のファイルを、インポートして展開した各フォルダへコピー

lib\ecl\r_ecl_rzt1.a

inc\r_ecl_rzt1_if.h

4. [プロジェクト]メニュー→[すべてビルド]を選択

次のファイルが生成される。

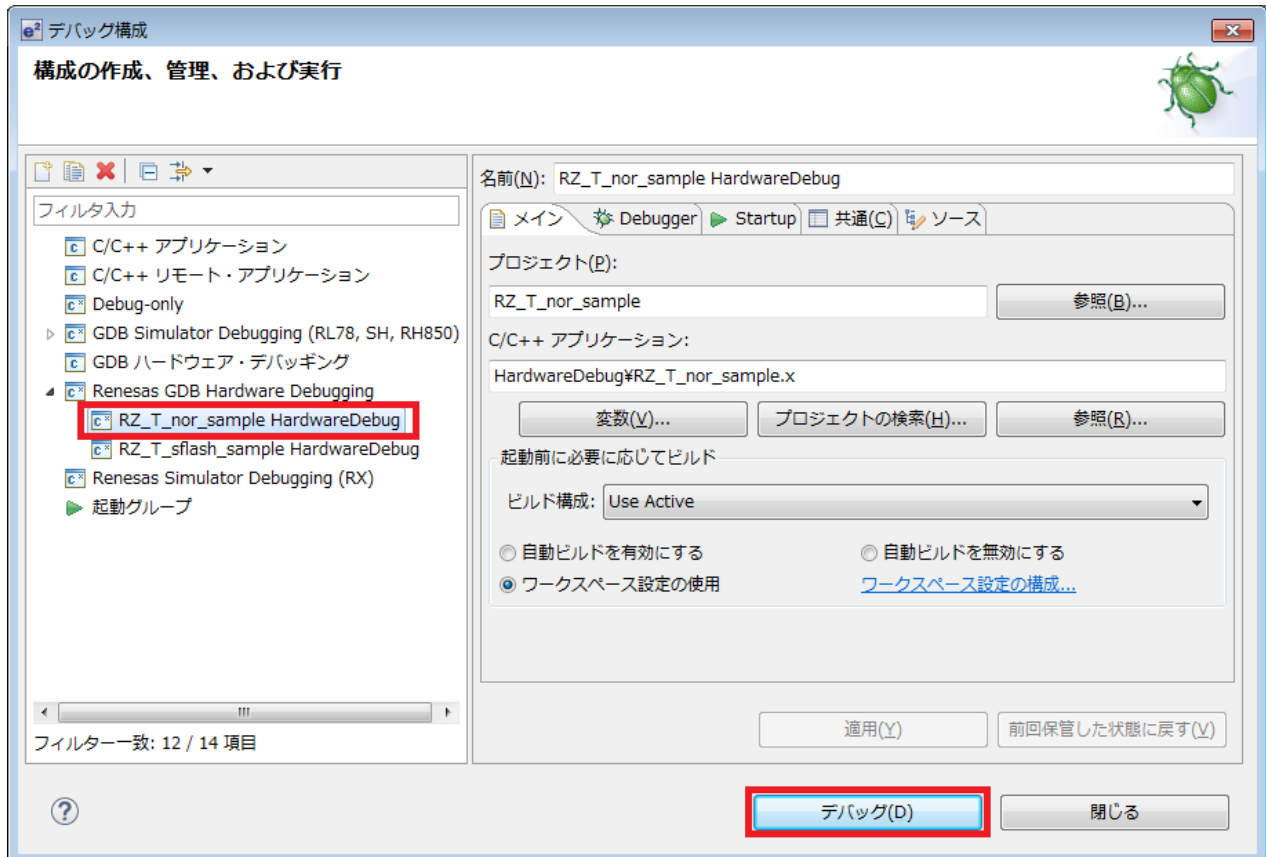
HardwareDebug\RZ_T_nor_sample.x

(シリアルフラッシュの場合は、「RZ_T_sflash_sample.x」)

▶ サンプルプログラムの実行手順

「ビルド手順」を実行後、ターゲットボード、デバッガを正しく接続し、以下の操作を行う。

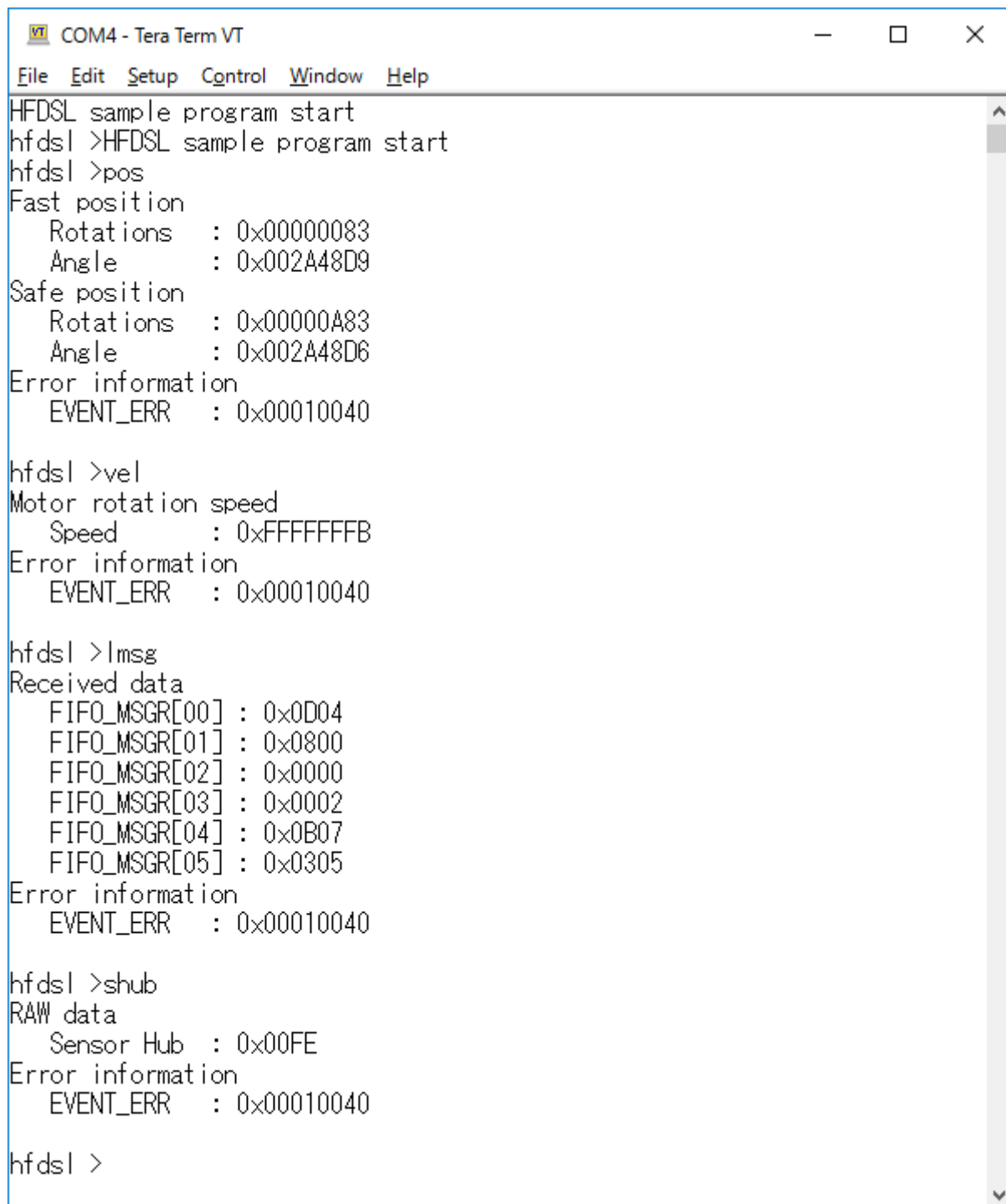
1. [プロジェクト] → [すべてビルド] を実行後、[実行] → [デバッグの構成] を選択。
2. 以下の画面の [RZ_T_nor_sample_HardwareDebug] を選択、[デバッグ]をクリックするとフラッシュメモリへダウンロードを開始。
(シリアルフラッシュの場合は、「RZ_T_sflash_sample_HardwareDebug」)



3. [実行] → [再開]をクリックするとサンプルプログラムの実行を開始。

▶ サンプルプログラムの実行結果

サンプルプログラムを実行し、ターミナルのウィンドウにコマンドを入力してください。
コマンドについては、RZ/T1 グループ HIPERFACE DSL サンプルプログラムアプリケーションノート
に記載のコンソールコマンドの章を参照してください。



```
COM4 - Tera Term VT
File Edit Setup Control Window Help
HFDSL sample program start
hfdsl >HFDSL sample program start
hfdsl >pos
Fast position
  Rotations : 0x00000083
  Angle     : 0x002A48D9
Safe position
  Rotations : 0x00000A83
  Angle     : 0x002A48D6
Error information
  EVENT_ERR : 0x00010040

hfdsl >vel
Motor rotation speed
  Speed      : 0xFFFFFFFFB
Error information
  EVENT_ERR  : 0x00010040

hfdsl >lmsg
Received data
  FIFO_MSGR[00] : 0x0D04
  FIFO_MSGR[01] : 0x0800
  FIFO_MSGR[02] : 0x0000
  FIFO_MSGR[03] : 0x0002
  FIFO_MSGR[04] : 0x0B07
  FIFO_MSGR[05] : 0x0305
Error information
  EVENT_ERR    : 0x00010040

hfdsl >shub
RAW data
  Sensor Hub : 0x00FE
Error information
  EVENT_ERR  : 0x00010040

hfdsl >
```


4. 制限事項

特になし。

5. 注意事項

5.1 処理時間

Encoder I/F HFDSL サンプルプログラムでは、制御ループにおけるユーザーが使用可能な時間は以下の様になっています。ご使用の環境で問題がないか十分評価を行ってください。

制御周期を 62.5us とした場合の例を以下に示します。62.5us のうち、HFDSL サンプル処理の使用時間は約 4us(6.1%)となり、ユーザーが使用可能な時間は約 58.7us (93.9%)となります。

処理		時間		占有率
HFDSL サンプル処理 ※2	Fast position 取得時間	約 2us	約 4us	6.1%
	割り込み処理時間※3	約 2us		
ユーザー使用可能時間		約 58.5us ※1		93.9%

※1：ユーザー使用可能時間のうち、エンコーダとの通信時間は約 11.5us となります。詳細は、「RZ/T1 グループ HIPERFACE DSL®インタフェース (HFDSL) ユーザーズマニュアル」を参照してください。

※2：初期設定時間は除きます。

※3：POS_RDY ビットのみ割り込み許可した場合の時間です。

5.2 プロトコル初期化後の Fast position

Fast position は Safe position と速度データで補正されます。ただし、プロトコル初期化後の 8 回分の Fast position は補正されません。

例

