

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/25 グループ

2チャンネル200V系 IH制御

1. 要約

この資料はこの資料はR8C/25 グループのアウトプットコンペア機能を使用した2チャンネル200V系 IH制御について掲載しています。

2. はじめに

この資料で説明する応用例は次のマイコン、条件での利用に適用されます。

- マイコン : R8C/25 グループ
- 発振周波数 : 16MHz (fl)
- CPUクロック : 16MHz (fl)
- タイマカウントソース : 16MHz (fl)

3. 200V系IH制御

3.1 概要

1. 図3.1に示すように、R8C/25グループを使用して200V系IH制御を行います。
2. R8C/25グループ内蔵タイマにより、短絡防止時間を設けた2本（正相、逆相）のPWM波形を生成し、ドライブ回路へ出力します。
3. R8C/25グループはハーフブリッジのスイッチング素子（Tr1、Tr2）を交互にON/OFFすることで2石電流共振方式によるIH制御を行います。

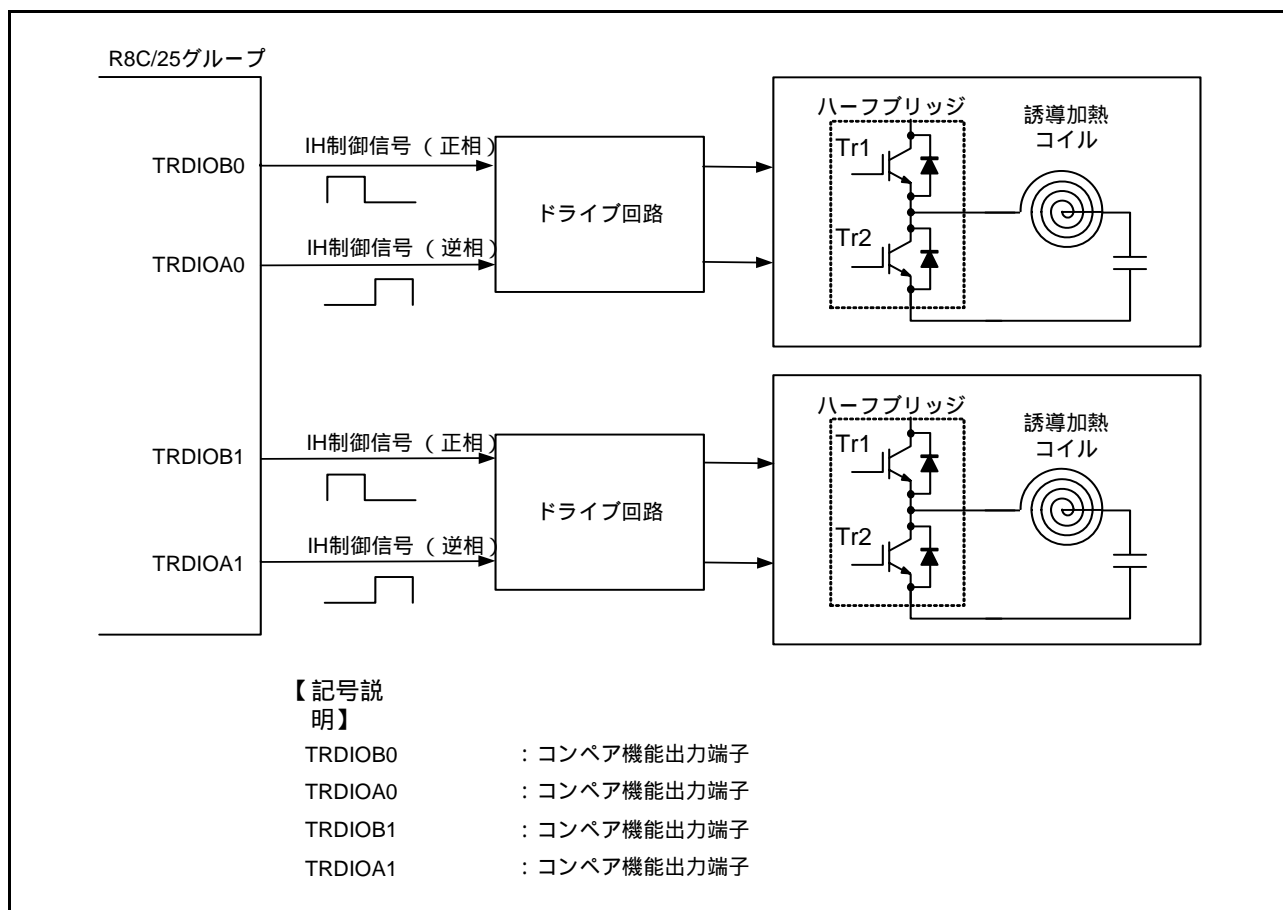


図 3.1 200V系IH制御

3.2 仕様

1. チャンネル1の200V系IHを制御するためのPWM波形をタイマRD(チャンネル0)のアウトプットコ機能で生成し、TRDIOB0端子およびTRDIOA0端子から出力します。チャンネル2の200V系IH制御するためのPWM波形をタイマRD(チャンネル1)のアウトプットコンペア機能で生成し、TRDIOB1端子およびTRDIOA1端子から出力します。
2. TRDIOB0またはTRDIOB1端子から出力される波形を正相、TRDIOA0またはTRDIOA1端子から出力される波形を逆相とします。
3. ポートP1_1～P1_0へのスイッチ入力によりチャンネル1の出力状態を選択し、ポートP1_3～P1_2へのスイッチ入力によりチャンネル2の出力状態を選択します。スイッチ入力と出力状態の関係を表3.1に示します。

表 3.1 スイッチ入力と出力状態の関係

P1_1	P1_0	出力状態	PWM周波数[kHz]	Ton1[μ s]	Ton2[μ s]	Toff1[μ s]	Toff2[μ s]
L	L	停止	-	-	-	-	-
L	H	出力あり	10	48		2	
H	L	出力あり	25	19		1	
H	H	出力あり	100	4.5		0.5	
P1_3	P1_2	出力状態	PWM周波数[kHz]	Ton1[μ s]	Ton2[μ s]	Toff1[μ s]	Toff2[μ s]
L	L	停止	-	-	-	-	-
L	H	出力あり	10	48		2	
H	L	出力あり	25	19		1	
H	H	出力あり	100	4.5		0.5	

3.3 使用機能

1. 図3.2のようにR8C/25グループのタイマRD(アウトプットコンペア)およびI/Oポートの各機能を割り付けることで200V系IH制御のための出力を行います。

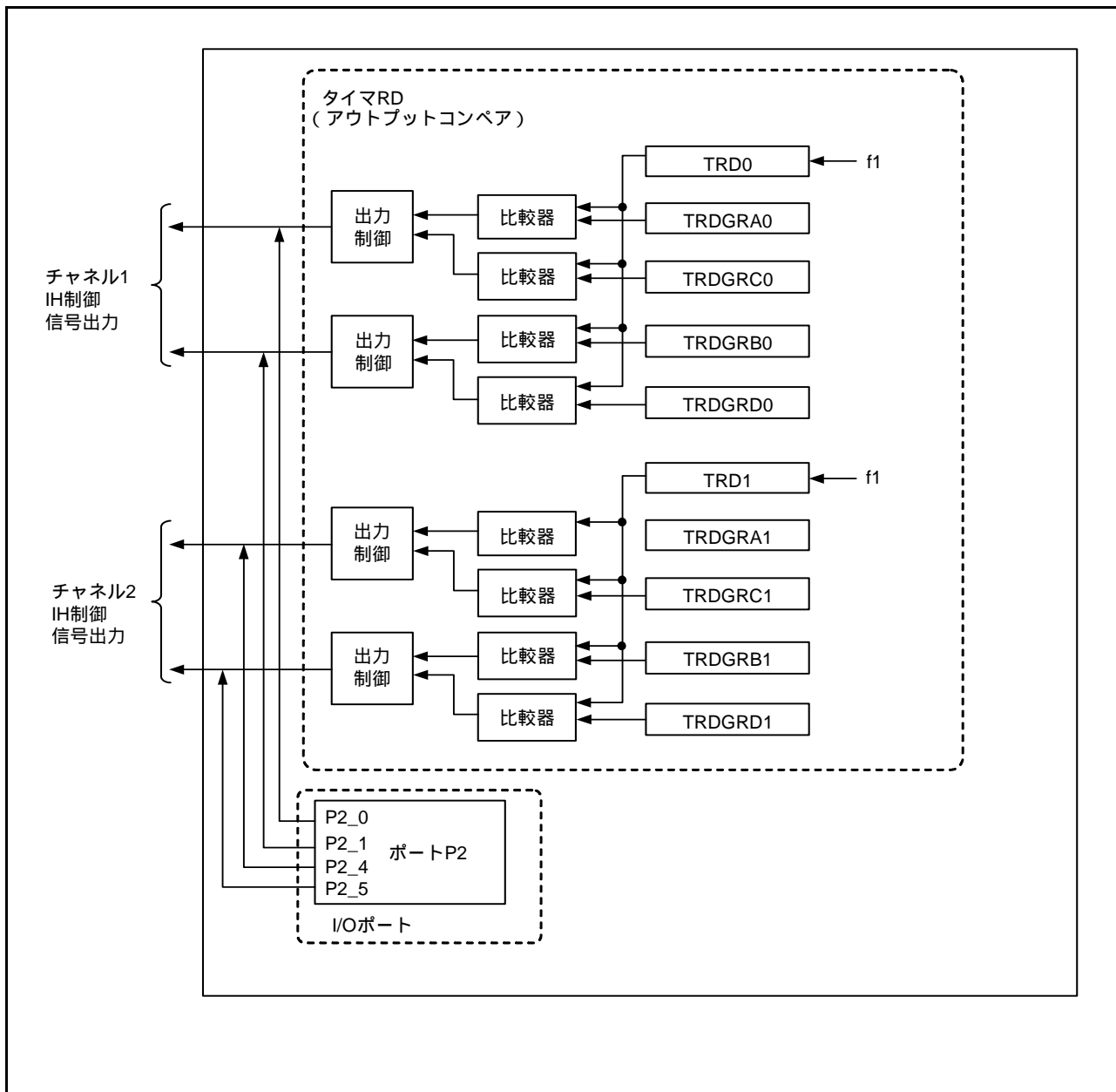


図 3.2 使用機能ブロック図

以下にR8C/25グループの機能割り付けについて説明します。

- ・タイマRD(アウトプットコンペア): IH制御のためのPWM波形を生成し、TRDIOA0、TRDIOB0、TRDIOA1、TRDIOB1端子から出力します。
- ・I/Oポート(P2_0、P2_1、P2_4、P2_5): 初期時のOFF出力("L"出力)する際に使用します。

3.4 動作説明

1. 図 3.3 に IH 制御出力開始時の動作原理を説明します。図 3.3 に示すように R8C/25 グループのハードウェア処理、およびソフトウェア処理により IH 制御出力を開始します

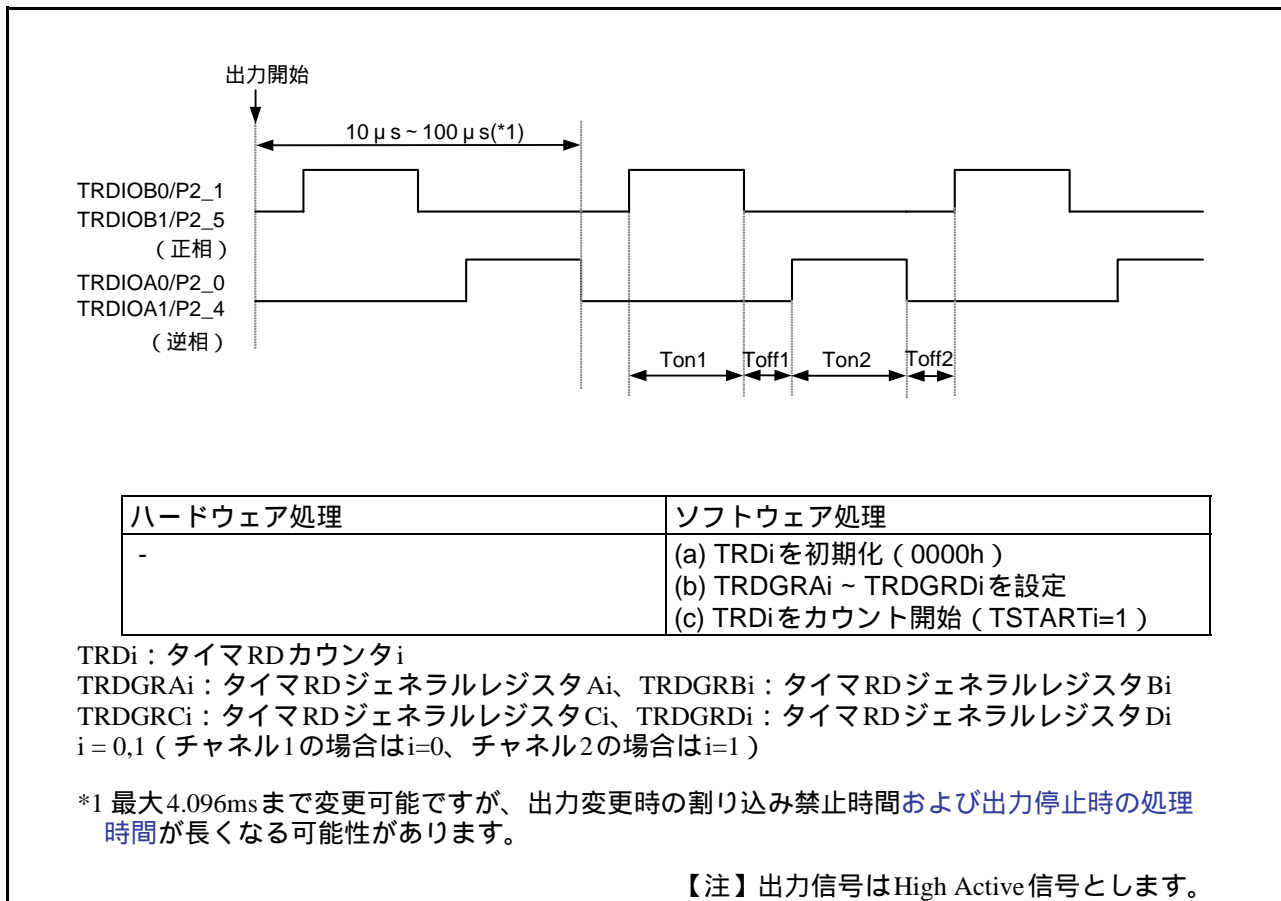


図 3.3 IH制御出力開始時の動作原理

2. 図 3.4にIH制御出力変更時の動作原理について説明します。図 3.4に示すようにR8C/25グループのハードウェア処理、およびソフトウェア処理によりIH制御出力を変更します。

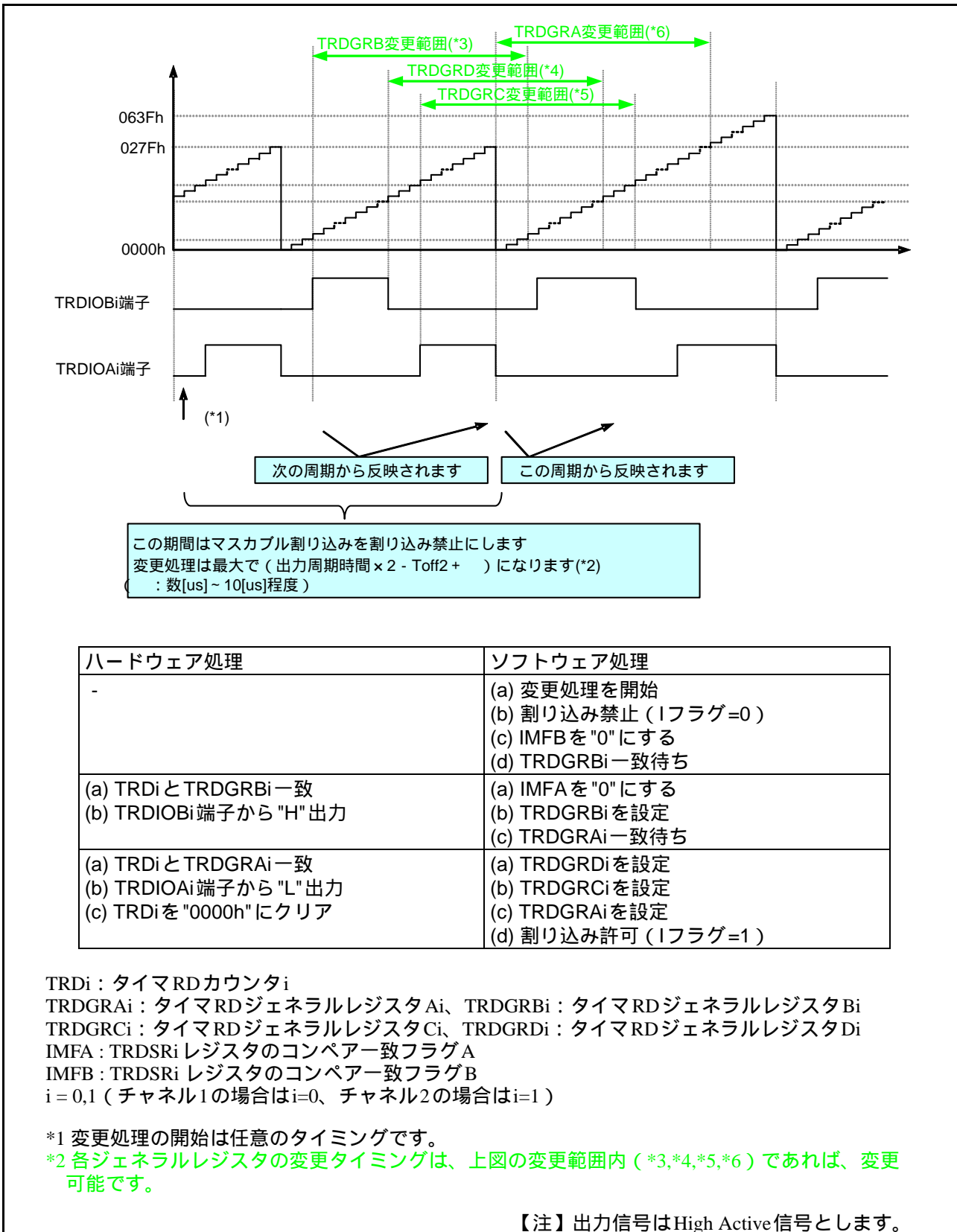


図 3.4 IH制御出力変更時の動作原理

3. 図 3.5にIH制御出力停止時の動作原理について説明します。図 3.5に示すようにR8C/25グループのハードウェア処理、およびソフトウェア処理によりIH制御出力を停止します。

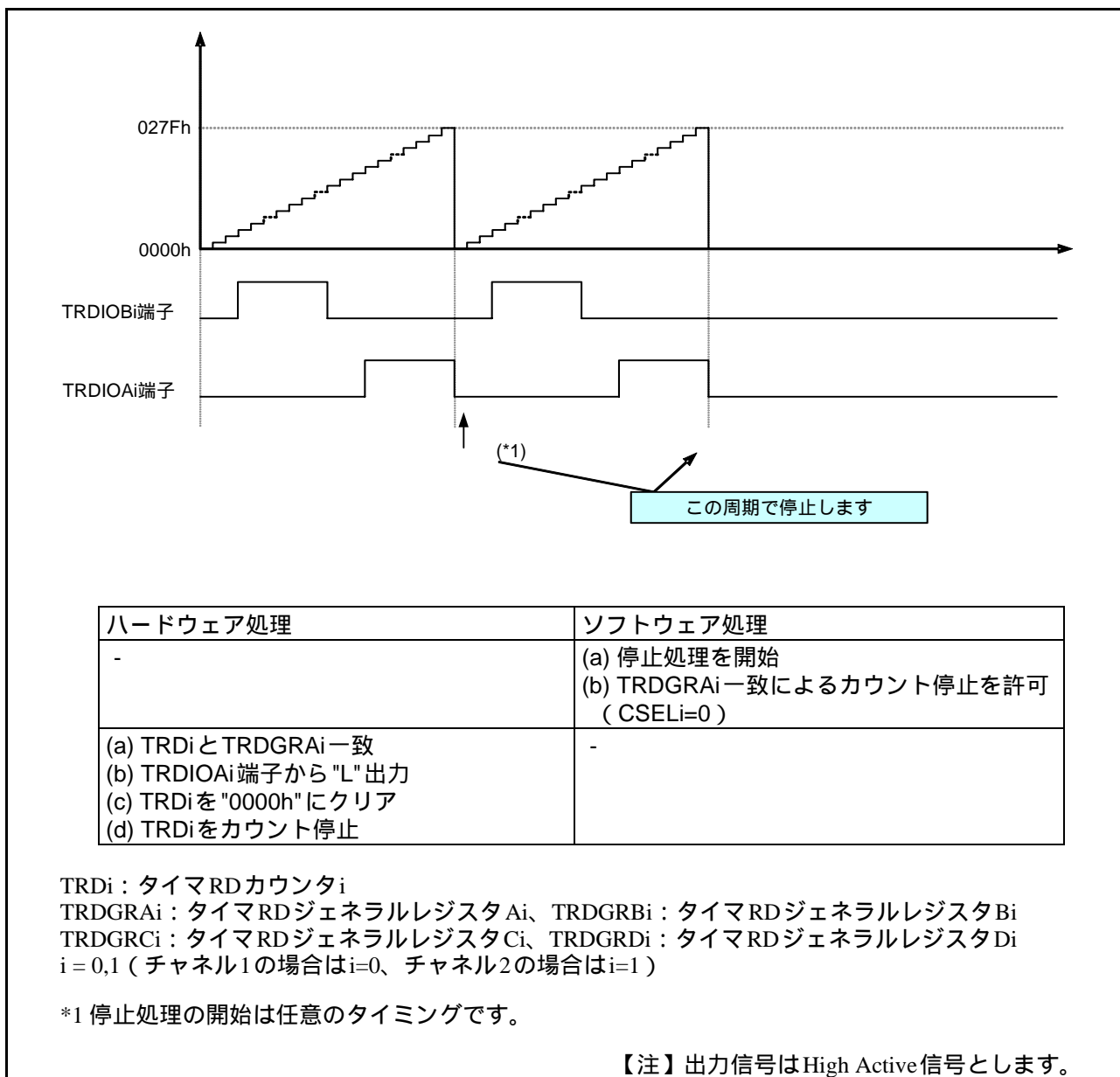
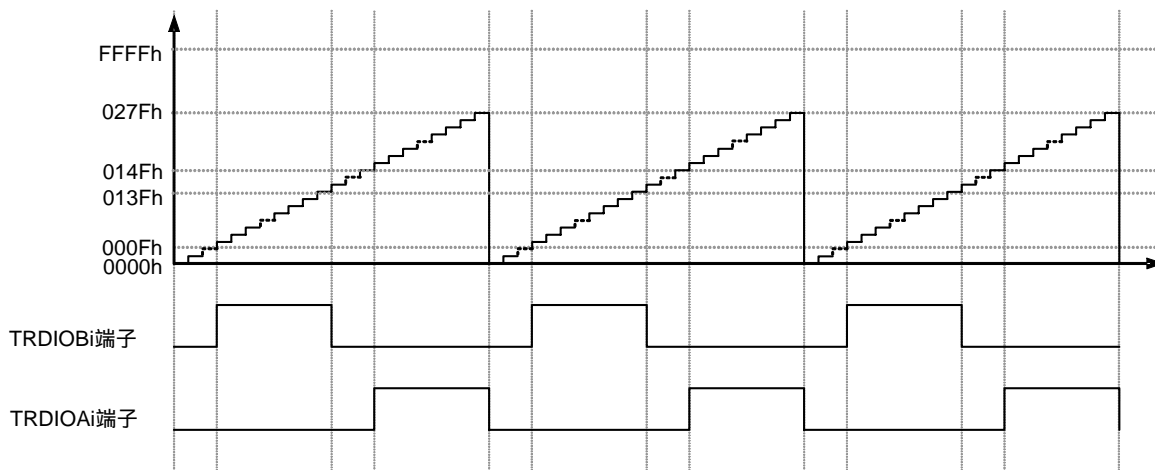


図 3.5 IH制御出力停止時の動作原理

4. PWM波形はタイマRDのアウトプットコンペアにより生成し、TRDIOB0端子とTRDIOA0端子、またはTRDIOB1端子とTRDIOA1端子から出力します。図3.6にアウトプットコンペア出力波形の動作原理を説明します。



ハードウェア処理	ソフトウェア処理
(a) TRDiとTRDGRBi一致 (b) TRDIOBi端子から"H"出力	-
(a) TRDiとTRDGRDi一致 (b) TRDIOBi端子から"L"出力	-
(a) TRDiとTRDGRCi一致 (b) TRDIOAi端子から"H"出力	-
(a) TRDiとTRDGRAi一致 (b) TRDIOAi端子から"L"出力 (c) TRDiを"0000h"にクリア	-

設定値

TRDGRBi : 000Fh (Toff2=1 μs)、TRDGRDi : 013Fh (Ton1=19 μs)
TRDGRCi : 014Fh (Toff1=1 μs)、TRDGRAi : 027Fh (Ton2=19 μs)

TRDi : タイマRDカウンタi

TRDGRAi : タイマRDジェネラルレジスタAi、TRDGRBi : タイマRDジェネラルレジスタBi

TRDGRCi : タイマRDジェネラルレジスタCi、TRDGRDi : タイマRDジェネラルレジスタDi

i = 0,1 (チャンネル1の場合はi=0、チャンネル2の場合はi=1)

【注】出力信号はHigh Active信号とします。

図3.6 アウトプットコンペア出力波形の動作原理

3.5 使用上の注意事項

- (1) 出力を開始または変更する際にTon1幅、およびTon2幅を"0"にしないでください。

4. 内部SFR説明

図 4.2 ~ 図 4.28 に本アプリケーションで使用する内部SFRを示します。

図 4.1 に内部 SFR 図の見方を説明します。基本的なレジスタ図の見方はハードウェアマニュアルを参照ください。

また、各レジスタの内容は最新版のハードウェアマニュアルでご確認ください。



図 4.1 内部使用SFR図の見方

システムクロック制御レジスタ0(注1)

ビット シンボル	ビット名	機能	RW
- (b1-b0)	予約ビット	"0" にしてください。	RW
CM02	WAIT時周辺機能クロック 停止ビット	0 : ウェイトモード時、周辺機能ク ロック停止しない 1 : ウェイトモード時、周辺機能ク ロック停止する	RW
CM03	XCIN-XCOUT駆動能力選択ビット (注9)	0 : Low 1 : High	RW
CM04	ポート、XCIN-XCOUT切り替え ビット(注6)	0 : 入出力ポートP4_3、P4_4 1 : XCIN、XCOUT端子(注7)	RW
CM05	XINクロック(XIN-XOUT) 停止ビット(注2、4)	0 : 発振 1 : 停止(注3)	RW
CM06	システムクロック分周比 選択ビット0(注5)	0 : CM16、CM17有効 1 : 8分周モード	RW
CM07	CPUクロック選択ビット(注8)	0 : システムクロック 1 : XCINクロック	RW

- 注1. CM0レジスタはPRCRレジスタのPRC0ビットを"1" (書き込み許可) にした後で書き換えてください。
- 注2. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。
- (1) OCDレジスタのOCD1 ~ OCD0ビットを"00b"にする。
- (2) OCD2ビットを"1" (オンチップオシレータクロック選択) にする。
- 注3. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。
- 注4. CM05ビットが"1" (XINクロック停止) の場合、P4_6、P4_7は入力ポートとして使用できます。
- 注5. ストップモードへの移行時、CM06ビットは"1" (8分周モード) になります。
- 注6. CM04ビットはプログラムで"1" にできますが、"0" にできません。
- 注7. XCINクロックを使用する場合、CM04ビットを"1" にしてください。また、ポートP4_3、P4_4は入力ポートで、プルアップなしにしてください。
- 注8. CM04ビットを"1" (XCIN-XCOUT端子) にし、XCINクロックの発振が安定した後に、CM07ビットを"0" から"1" (XCINクロック) にしてください。
- 注9. ストップモードへ移行したとき、CM03ビットは"1" (High) になります。CM03ビットの書き換えは、XCINクロックの発振が安定しているときに行ってください。

図 4.2 システムクロック制御レジスタ0

システムクロック制御レジスタ1(注1)

シンボル	アドレス	リセット後の値	
CM1	0007h番地	00100000b	
ビットシンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注4、7、8)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	RW
CM12	XCIN-XCOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	RW
CM13	ポートXIN-XOUT切り替え ビット(注7、9)	0 : 入力ポートP4_6、P4_7 1 : XIN-XOUT端子	RW
CM14	低速オンチップオシレータ発振停止 ビット(注5、6、8)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	RW
CM15	XIN-XOUT駆動能力選択ビット (注2)	0 : LOW 1 : HIGH	RW
CM16	システムクロック分周比 選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

- 注1. CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. ストップモードへの移行時、CM15ビットは“1”(駆動能力HIGH)になります。
- 注3. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16~CM17ビットは有効となります。
- 注4. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。
- 注5. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
- 注6. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
- 注7. CM10ビットが“1”(ストップモード)の場合、CM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。
CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。
- 注8. カウントソース保護モード有効時(R8C/25グループハードウェアマニュアルの「13.2 カウントソース保護モード有効時」参照)は、CM10、CM14ビットへ書いても値は変化しません。
- 注9. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

図 4.3 システムクロック制御レジスタ1

発振停止検出レジスタ(注1)

シンボル	アドレス	リセット後の値	
OCD	000Ch番地	00000100b	
ビットシンボル	ビット名	機能	RW
OCD0	発振停止検出有効ビット(注7)	0 : 発振停止検出機能無効(注2) 1 : 発振停止検出機能有効	RW
OCD1	発振停止検出割り込み許可ビット	0 : 禁止(注2) 1 : 許可	RW
OCD2	システムクロック選択ビット(注4)	0 : XINクロック選択(注7) 1 : オンチップオシレータクロック選択(注3)	RW
OCD3	クロックモニタビット(注5、6)	0 : XINクロック発振 1 : XINクロック停止	RO
- (b7-b4)	予約ビット	“0”にしてください。	RW

注1 . OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2 . ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。

注3 . OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。

注4 . OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック

注5 . OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。

注6 . OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。

注7 . 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、(R8C/25グループハードウェアマニュアルの「図10.12 低速オンチップオシレータからXINクロックへの切り替え手順」)を参照してください。

図 4.4 発振停止検出レジスタ

プロテクトレジスタ

シンボル PRCR	アドレス 000Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
PRC0	プロテクトビット0	CM0、CM1、OCD、FRA0、FRA1、FRA2レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC2	プロテクトビット2	PD0レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	RW
PRC3	プロテクトビット3	VCA2、VWOC、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
- (b5-b4)	予約ビット	“0”にしてください。	RW
- (b7-b6)	予約ビット	読んだ場合、その値は“0”。	RO

注1. PRC2ビットは“1”を書いた後、任意の番地に書き込みを実行すると、“0”になります。他のビットは“0”になりませんので、プログラムで“0”にしてください。

図 4.5 プロテクトレジスタ

タイマRDスタートレジスタ(注1)

シンボル	アドレス	リセット後の値	
TRDSTR	0137h番地	11111100b	
ビットシンボル	ビット名	機能	RW
TSTART0	TRD0カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	RW
TSTART1	TRD1カウント開始フラグ(注5)	0: カウント停止(注3) 1: カウント開始	RW
CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペアー一致でカウントクリア後、カウント停止 1: TRDGRA0レジスタとのコンペアー一致でカウントクリア後、カウント継続	RW
CSEL1	TRD1カウント動作選択ビット	0: TRDGRA1レジスタとのコンペアー一致でカウントクリア後、カウント停止 1: TRDGRA1レジスタとのコンペアー一致でカウントクリア後、カウント継続	RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRDSTRレジスタにはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。R8C/25グループハードウェアマニュアルのタイマRD使用上の注意事項の「14.3.12.1 TRDSTRレジスタ」を参照してください。

注2. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注3. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注4. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注5. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

図 4.6 タイマRDスタートレジスタ

タイマRDモードレジスタ

シンボル	アドレス	リセット後の値	
TRDMR	0138h番地	00001110b	
ビットシンボル	ビット名	機能	RW
SYNC	タイマRD同期ビット	0: TRD0とTRD1は独立動作 1: TRD0とTRD1は同期動作	RW
- (b3-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
BFC0	TRDGR0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	RW
BFD0	TRDGR0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	RW
BFC1	TRDGR1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	RW
BFD1	TRDGR1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	RW

図 4.7 タイマRDモードレジスタ

タイマRD PWMモードレジスタ

シンボル	アドレス	リセット後の値	
TRDPMR	0139h番地	10001000b	
ビットシンボル	ビット名	機能	RW
PWMB0	TRDI0B0 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください。	RW
PWMC0	TRDI0C0 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください。	RW
PWMD0	TRDI0D0 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください。	RW
- (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
PWMB1	TRDI1B1 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください。	RW
PWMC1	TRDI1C1 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください。	RW
PWMD1	TRDI1D1 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください。	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

図 4.8 タイマRD PWMモードレジスタ

タイマRD機能制御レジスタ

		シンボル TRDFCR	アドレス 013Ah番地	リセット後の値 1000000b
ビット シンボル	ビット名	機能	RW	
CMD0	コンピネーションモード選択ビット (注1)	アウトプットコンペア機能では "00b" (タイマモード・PWMモード・ PWM3モード)にしてください。	RW	
CMD1			RW	
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相 補PWMモード時)	アウトプットコンペア機能では無効で す。	RW	
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相 補PWMモード時)	アウトプットコンペア機能では無効で す。	RW	
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	アウトプットコンペア機能では無効で す。	RW	
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	アウトプットコンペア機能では無効で す。	RW	
STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW	
PWM3	PWM3モード選択ビット (注2)	アウトプットコンペア機能では "1" (PWM3モード以外)にしてくださ い。	RW	

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに"0" (カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが"00b" (タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図 4.9 タイマRD機能制御レジスタ

タイマRDアウトプットマスタ許可レジスタ1

		シンボル TRDOER1	アドレス 013Bh番地	リセット後の値 FFh
ビット シンボル	ビット名	機能	RW	
EA0	TRDIOA0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	RW	
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW	
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW	
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW	
EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	RW	
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW	
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW	
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW	

図 4.10 タイマRDアウトプットマスタ許可レジスタ1

タイマRDアウトプットマスタ許可レジスタ2

		シンボル TRDOER2	アドレス 013Ch番地	リセット後の値 01111111b
ビット シンボル	ビット名	機能	RW	
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-	
PTO	パルス出力強制遮断信号 入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	RW	

注1. R8C/25グループハードウェアマニュアルの「14.3.4 パルス出力強制遮断」を参照してください。

図 4.11 タイマRDアウトプットマスタ許可レジスタ2

タイマRDアウトプット制御レジスタ(注1、2)

シンボル TRDOCR		アドレス 013Dh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW	
TOA0	TRDIOA0出力レベル選択ビット	0: 初期出力 “L” 1: 初期出力 “H”	RW	
TOB0	TRDIOB0出力レベル選択ビット	0: 初期出力 “L” 1: 初期出力 “H”	RW	
TOC0	TRDIOC0初期出力レベル選択ビット	0: “L” 1: “H”	RW	
TOD0	TRDIOD0初期出力レベル選択ビット		RW	
TOA1	TRDIOA1初期出力レベル選択ビット	RW		
TOB1	TRDIOB1初期出力レベル選択ビット	RW		
TOC1	TRDIOC1初期出力レベル選択ビット	RW		
TOD1	TRDIOD1初期出力レベル選択ビット	RW		

注1. TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

注2. 端子の機能が波形出力の場合(R8C/25グループハードウェアマニュアルの「表14.12~表14.19参照」)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図 4.12 タイマRDアウトプット制御レジスタ

タイマRD制御レジスタ0

シンボル TRDCR0		アドレス 0140h番地	リセット後の値 00h
b7 b6 b5 b4 b3 b2 b1 b0 1 1 0 0 0 0 0 0	ビット シンボル	ビット名	機能
	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fOCO40M 1 1 1 : 設定しないでください
	TCK1		RW
	TCK2		RW
	CKEG0	外部クロックエッジ選択 ビット(注2)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください
	CKEG1		RW
	CCLR0	TRD0カウンタクリア選択ビッ ト	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング 動作) 0 0 1 : TRDGRA0のコンペアー一致でクリア 0 1 0 : TRDGRB0のコンペアー一致でクリア 0 1 1 : 同期クリア(他のチャンネルのカ ウンタと同時にクリア)(注3) 1 0 0 : 設定しないでください 1 0 1 : TRDGRC0のコンペアー一致でクリア 1 1 0 : TRDGRD0のコンペアー一致でクリア 1 1 1 : 設定しないでください
	CCLR1		RW
	CCLR2		RW

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注3. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

図 4.13 タイマRD制御レジスタ0

タイマRD制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0	シンボル TRDCR1	アドレス 0150h番地	リセット後の値 00h	
1	1	0	0	0	0	0	0				
								ビット シンボル	ビット名	機能	RW
								TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8	RW
								TCK1		1 0 0 : f32	RW
								TCK2		1 0 1 : TRDCLK入力(注1) 1 1 0 : fOCO40M	RW
										1 1 1 : 設定しないでください	RW
								CKEG0	外部クロックエッジ選択 ビット(注2)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	RW
								CKEG1			RW
								CCLR0	TRD1カウンタクリア選択ビッ ト	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング 動作) 0 0 1 : TRDGRA1のコンペアー致でクリア 0 1 0 : TRDGRB1のコンペアー致でクリア 0 1 1 : 同期クリア(他のチャンネルのカ ウンタと同時にクリア)(注3) 1 0 0 : 設定しないでください 1 0 1 : TRDGRC1のコンペアー致でクリア 1 1 0 : TRDGRD1のコンペアー致でクリア 1 1 1 : 設定しないでください	RW
								CCLR1			RW
								CCLR2			RW

注1 . TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2 . TCK2~TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注3 . TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

図 4.14 タイマRD制御レジスタ1

タイマRD I/O制御レジスタA0

		シンボル TRDIORA0	アドレス 0141h番地	リセット後の値 10001000b
ビット シンボル	ビット名	機能	RW	
IOA0	TRDGRA制御ビット	b1 b0 0 0 : コンペアー一致による端子出力禁止 (TRDIOA0端子はプログラマブル 入出力ポート)	RW	
		0 1 : TRDGRA0のコンペアー一致で“L”出力 1 0 : TRDGRA0のコンペアー一致で“H”出力 1 1 : TRDGRA0のコンペアー一致でトグル出力	RW	
IOA2	TRDGRAモード選択ビット (注1)	アウトプットコンペアー機能では“0”(アウト プットコンペアー)にしてください。	RW	
IOA3	インプットキャプチャ入力 切替ビット	“1”にしてください。	RW	
IOB0	TRDGRB制御ビット	b5 b4 0 0 : コンペアー一致による端子出力禁止 (TRDIOB0端子はプログラマブル 入出力ポート)	RW	
		0 1 : TRDGRB0のコンペアー一致で“L”出力 1 0 : TRDGRB0のコンペアー一致で“H”出力 1 1 : TRDGRB0のコンペアー一致でトグル出力	RW	
IOB2	TRDGRBモード選択ビット (注2)	アウトプットコンペアー機能では“0”(アウト プットコンペアー)にしてください。	RW	
- (b7)	何も配置されていない。書く場合、“0”を 書いてください。 読んだ場合、その値は“1”。		-	

注1 . TRDMRレジスタのBFC0ビットで“1”(TRDGRA0レジスタのバッファレジスタ)を選択した場合、TRDIORA0レジスタのIOA2ビットとTRDIORC0レジスタのIOC2ビットの設定を同じにしてください。

注2 . TRDMRレジスタのBFD0ビットで“1”(TRDGRB0レジスタのバッファレジスタ)を選択した場合、TRDIORA0レジスタのIOB2ビットとTRDIORC0レジスタのIOD2ビットの設定を同じにしてください。

図 4.15 タイマRD I/O制御レジスタA0

タイマRD I/O制御レジスタC0

		シンボル TRDIORC0	アドレス 0142h番地	リセット後の値 10001000b
ビット シンボル	ビット名	機能	RW	
IOC0	TRDGRC制御ビット	b1 b0 0 0 : コンペアー致による端子出力禁止 0 1 : TRDGRC0のコンペアー致で“L”出力 1 0 : TRDGRC0のコンペアー致で“H”出力 1 1 : TRDGRC0のコンペアー致でトグル出力	RW	
			RW	
IOC2	TRDGRCモード選択ビット (注1)	アウトプットコンペアー機能では“0”(アウトプットコンペアー)にしてください	RW	
IOC3	TRDGRCレジスタ機能選択ビット	0 : TRDIOA出力レジスタ (R8C/25グループハードウェアマニュアルの「14.3.6.1 TRDGRCi(i=0~1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW	
IOD0	TRDGRD制御ビット	b5 b4 0 0 : コンペアー致による端子出力禁止 0 1 : TRDGRD0のコンペアー致で“L”出力 1 0 : TRDGRD0のコンペアー致で“H”出力 1 1 : TRDGRD0のコンペアー致でトグル出力	RW	
			RW	
IOD2	TRDGRDモード選択ビット (注2)	アウトプットコンペアー機能では“0”(アウトプットコンペアー)にしてください	RW	
IOD3	TRDGRDレジスタ機能選択ビット	0 : TRDIOB出力レジスタ (R8C/25グループハードウェアマニュアルの「14.3.6.1 TRDGRCi(i=0~1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW	

注1. TRDMRレジスタのBFC0ビットで“1”(TRDGRA0レジスタのバッファレジスタ)を選択した場合、TRDIOA0レジスタのIOA2ビットとTRDIORC0レジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFD0ビットで“1”(TRDGRB0レジスタのバッファレジスタ)を選択した場合、TRDIOA0レジスタのIOB2ビットとTRDIORC0レジスタのIOD2ビットの設定を同じにしてください。

図 4.16 タイマRD I/O制御レジスタC0

タイマRD I/O制御レジスタA1

		シンボル TRDIORA1	アドレス 0151h番地	リセット後の値 10001000b
ビット シンボル	ビット名	機能	RW	
IOA0	TRDGRA制御ビット	b1 b0 0 0 : コンペアー一致による端子出力禁止 (TRDIOA1端子はプログラマブル 入出力ポート)	RW	
		0 1 : TRDGRA1のコンペアー致で“L”出力 1 0 : TRDGRA1のコンペアー致で“H”出力 1 1 : TRDGRA1のコンペアー致でトグル出力	RW	
IOA2	TRDGRAモード選択ビット (注1)	アウトプットコンペア機能では“0”(アウト プットコンペア)にしてください。	RW	
IOA3	インプットキャプチャ入力 切替ビット	“1”にしてください。	RW	
IOB0	TRDGRB制御ビット	b5 b4 0 0 : コンペアー一致による端子出力禁止 (TRDIOB1端子はプログラマブル 入出力ポート)	RW	
		0 1 : TRDGRB1のコンペアー致で“L”出力 1 0 : TRDGRB1のコンペアー致で“H”出力 1 1 : TRDGRB1のコンペアー致でトグル出力	RW	
IOB2	TRDGRBモード選択ビット (注2)	アウトプットコンペア機能では“0”(アウト プットコンペア)にしてください。	RW	
- (b7)	何も配置されていない。書く場合、“0”を 書いてください。 読んだ場合、その値は“1”。		-	

注1. TRDMRレジスタのBFC1ビットで“1”(TRDGRA1レジスタのバッファレジスタ)を選択した場合、TRDIORA1レジスタのIOA2ビットとTRDIORC1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFD1ビットで“1”(TRDGRB1レジスタのバッファレジスタ)を選択した場合、TRDIORA1レジスタのIOB2ビットとTRDIORC1レジスタのIOD2ビットの設定を同じにしてください。

図 4.17 タイマRD I/O制御レジスタA1

タイマRD I/O制御レジスタC1

		シンボル TRDIORC1	アドレス 0152h番地	リセット後の値 10001000b
ビット シンボル	ビット名	機能	RW	
IOC0	TRDGRC制御ビット	b1 b0 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRC1のコンペア一致で“L”出力 1 0 : TRDGRC1のコンペア一致で“H”出力 1 1 : TRDGRC1のコンペア一致でトグル出力	RW	
IOC1			RW	
IOC2	TRDGRCモード選択ビット (注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	RW	
IOC3	TRDGRCレジスタ機能選択ビット	0 : TRDIOA出力レジスタ (R8C/25グループハードウェアマニュアルの「14.3.6.1 TRDGRCi(i=0~1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW	
IOD0	TRDGRD制御ビット	b5 b4 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRD1のコンペア一致で“L”出力 1 0 : TRDGRD1のコンペア一致で“H”出力 1 1 : TRDGRD1のコンペア一致でトグル出力	RW	
IOD1			RW	
IOD2	TRDGRDモード選択ビット (注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	RW	
IOD3	TRDGRDレジスタ機能選択ビット	0 : TRDIOB出力レジスタ (R8C/25グループハードウェアマニュアルの「14.3.6.1 TRDGRCi(i=0~1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW	

注1 . TRDMRレジスタのBFC1ビットで“1”(TRDGRA1レジスタのバッファレジスタ)を選択した場合、TRDIORA1レジスタのIOA2ビットとTRDIORC1レジスタのIOC2ビットの設定を同じにしてください。

注2 . TRDMRレジスタのBFD1ビットで“1”(TRDGRB1レジスタのバッファレジスタ)を選択した場合、TRDIORA1レジスタのIOB2ビットとTRDIORC1レジスタのIOD2ビットの設定を同じにしてください。

図 4.18 タイマRD I/O制御レジスタC1

タイマRDステータスレジスタ0

シンボル TRDSR0	アドレス 0143h番地	リセット後の値 11100000b	
ビット シンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDOとTRDGRA0の値が一致したとき。	RW
IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDOとTRDGRB0の値が一致したとき。	RW
IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDOとTRDGRCOの値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDOとTRDGRDOの値が一致したとき。 (注3)	RW
OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDOがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	アウトプットコンペア機能では無効です	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

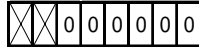
- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

図 4.19 タイマRDステータスレジスタ0

タイマRDステータスレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



シンボル TRDSR1	アドレス 0153h番地	リセット後の値 11100000b	
ビット シンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRD1とTRDGRA1の値が一致したとき。	RW
IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRD1とTRDGRB1の値が一致したとき。	RW
IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRD1とTRDGRC1の値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRD1とTRDGRD1の値が一致したとき。 (注3)	RW
OVF	オーパフローフラグ	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRD1がオーパフローしたとき。	RW
UDF	アンダフローフラグ(注1)	アウトプットコンペア機能では無効です	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

図 4.20 タイマRDステータスレジスタ1

タイマRD割り込み許可レジスタ0

		シンボル TRDIER0 アドレス 0144h番地 リセット後の値 11100000b	
ビット シンボル	ビット名	機能	RW
IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	RW
IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	RW
IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	RW
IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	RW
OVIE	オーバフロー/アンダフロー割り込み許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	RW
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

図 4.21 タイマRD割り込み許可レジスタ0

タイマRD割り込み許可レジスタ1

		シンボル TRDIER1	アドレス 0154h番地	リセット後の値 11100000b
ビット シンボル	ビット名	機能	RW	
IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	RW	
IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	RW	
IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	RW	
IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	RW	
OVIE	オーバフロー/アンダフロー割り込み許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	RW	
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-	

図 4.22 タイマRD割り込み許可レジスタ1

タイマRDカウンタ0(注1)

(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TRD0	0147h-0146h番地	0000h
機能				RW
カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRDSRiレジスタのOVFビットが“1”になる。				RW

注1 . TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 4.23 タイマRDカウンタ0

タイマRDジェネラルレジスタA0、B0、C0、D0(注1)

(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TRDGRA0	0149h-0148h番地	FFFFh
		TRDGRB0	014Bh-014Ah番地	FFFFh
		TRDGRC0	014Dh-014Ch番地	FFFFh
		TRDGRD0	014Fh-014Eh番地	FFFFh
機能				RW
R8C/25グループハードウェアマニュアル「表14.26 アウトプットコンペア機能時のTRDGRjiレジスタの機能」参照。				RW

注1 . TRDGRA0 ~ TRDGRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 4.24 タイマRDジェネラルレジスタA0、B0、C0、D0

タイマRDカウンタ1(注1)

(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TRD1	0157h-0156h番地	0000h
機能				RW
カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRDSRiレジスタのOVFビットが“1”になる。				RW

注1 . TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 4.25 タイマRDカウンタ1

タイマRDジェネラルレジスタA1、B1、C1、D1(注1)

(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TRDGRA1	0159h-0158h番地	FFFFh
		TRDGRB1	015Bh-015Ah番地	FFFFh
		TRDGRC1	015Dh-015Ch番地	FFFFh
		TRDGRD1	015Fh-015Eh番地	FFFFh
機能				RW
R8C/25グループハードウェアマニュアル「表14.26 アウトプットコンペア機能時のTRDGRjiレジスタの機能」参照。				RW

注1 . TRDGRA1 ~ TRDGRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 4.26 タイマRDジェネラルレジスタA1、B1、C1、D1

ポートP2レジスタ

シンボル	アドレス	リセット後の値
P2	00E4h番地	不定

ビットシンボル	ビット名	機能	RW
P2_0	ポートP2_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: “L” レベル 1: “H” レベル	RW
P2_1	ポートP2_1ビット		RW
P2_2	ポートP2_2ビット		RW
P2_3	ポートP2_3ビット		RW
P2_4	ポートP2_4ビット		RW
P2_5	ポートP2_5ビット		RW
P2_6	ポートP2_6ビット		RW
P2_7	ポートP2_7ビット	RW	

図 4.27 ポートP2レジスタ

ポートP2方向レジスタ

シンボル	アドレス	リセット後の値
PD2	00E6h番地	00h

ビットシンボル	ビット名	機能	RW
PD2_0	ポートP2_0方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PD2_1	ポートP2_1方向ビット		RW
PD2_2	ポートP2_2方向ビット		RW
PD2_3	ポートP2_3方向ビット		RW
PD2_4	ポートP2_4方向ビット		RW
PD2_5	ポートP2_5方向ビット		RW
PD2_6	ポートP2_6方向ビット		RW
PD2_7	ポートP2_7方向ビット		RW

図 4.28 ポートP2方向レジスタ

5. ソフトウェア説明

5.1 モジュール説明

表 5.1 に本アプリケーションにおけるモジュール説明を示します。

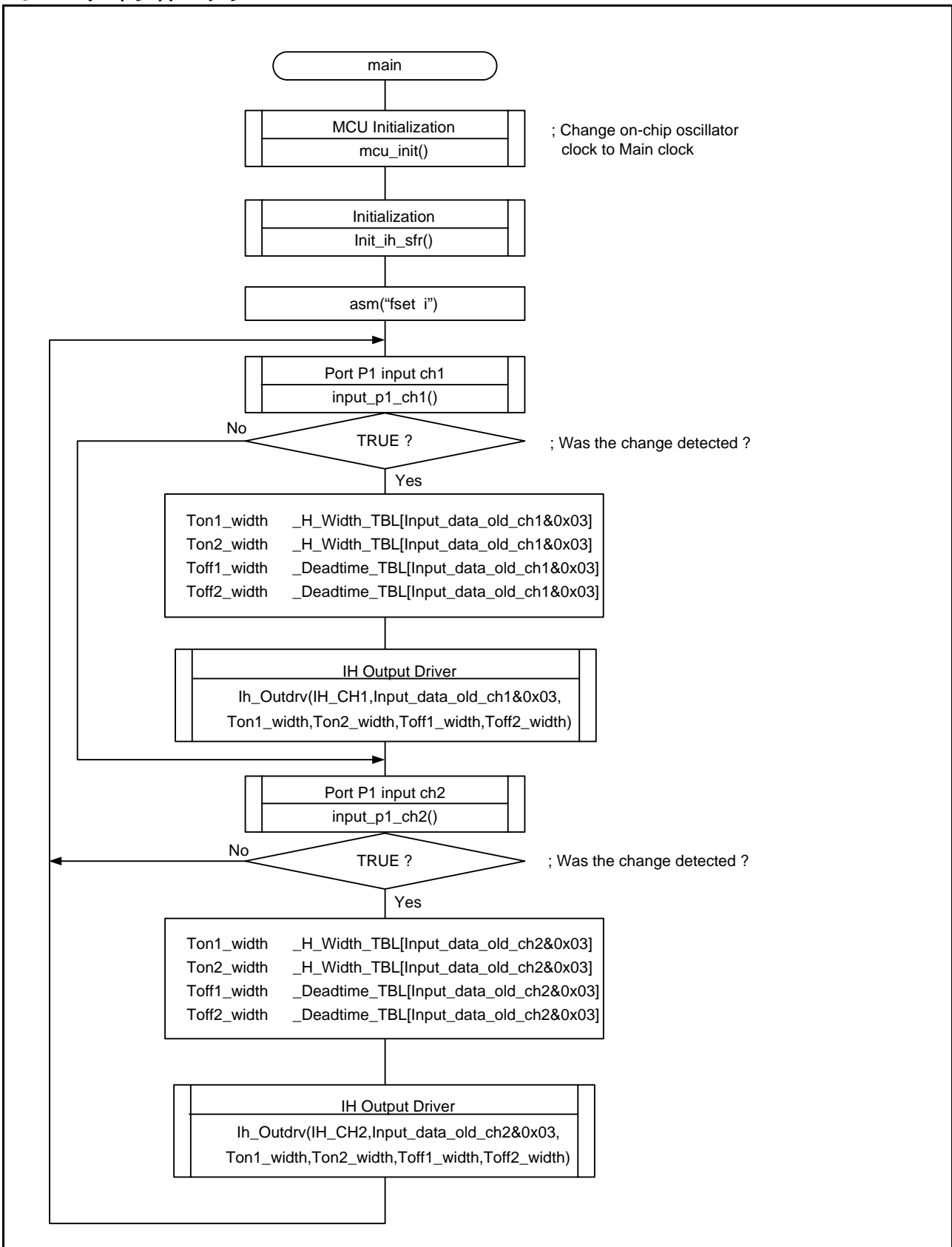
本アプリケーションでは、unsigned char を u08、unsigned short を u16 と定義します。

表 5.1 モジュール説明

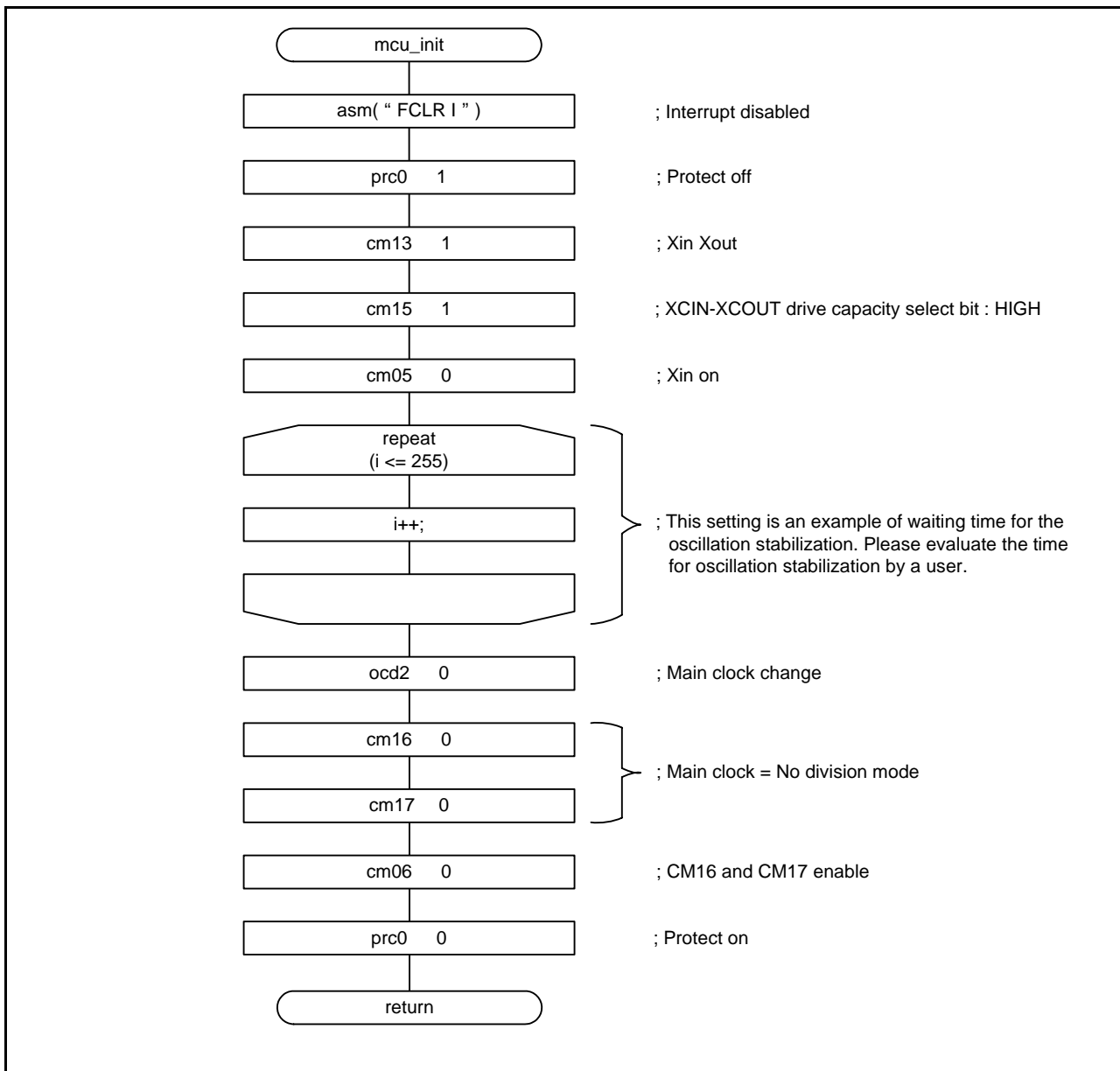
モジュール名：メインルーチン	void main (void)
引数：無し	戻り値：無し
機能：必要に応じてIH制御処理を行います。ポートP1入力処理の結果によりTon、Toffを選択します。	
モジュール名：MCUイニシャライズ	void mcu_init (void)
引数：無し	戻り値：無し
機能：オンチップオシレータクロックからメインクロックに切り替えを行います。	
モジュール名：ポートP1入力処理1ルーチン	static u08 input_p1_ch1 (void)
引数：無し	戻り値：入力変化有無
機能：ポートP1_1～P1_0を入力します。	
モジュール名：ポートP1入力処理2ルーチン	static u08 input_p1_ch2 (void)
引数：無し	戻り値：入力変化有無
機能：ポートP1_3～P1_2を入力します。	
モジュール名：イニシャライズ	void Init_ih_sfr (void)
引数：無し	戻り値：無し
機能：制御に関するSFRの設定を行います。	
モジュール名：IH制御出力ドライバルーチン	void lh_Outdrv (u08, u08, u16, u16, u08, u08)
引数：チャンネル (0 : チャンネル1、1 : チャンネル2) ：出力モード (0 : 出力停止、0以外 : 出力開始 / 変更) ：Ton1幅 ：Ton2幅 ：Toff1幅 ：Toff2幅	戻り値：無し
機能：各ジェネラルレジスタに設定する値を計算します。	
モジュール名：IH出力設定処理1ルーチン	static void _lh_Width_Set_ch1 (u08, u16, u16, u16, u16)
引数：出力モード (0 : 出力停止、1 : 出力開始 / 変更) ：TRDGRB0設定値 ：TRDGRD0設定値 ：TRDGRC0設定値 ：TRDGRA0設定値	戻り値：無し
機能：チャンネル1のIH出力開始、変更または停止の設定を行います。	
モジュール名：IH出力設定処理2ルーチン	static void _lh_Width_Set_ch2 (u08, u16, u16, u16, u16)
引数：出力モード (0 : 出力停止、1 : 出力開始 / 変更) ：TRDGRB1設定値 ：TRDGRD1設定値 ：TRDGRC1設定値 ：TRDGRA1設定値	戻り値：無し
機能：チャンネル2のIH出力開始、変更または停止の設定を行います。	

5.2 フローチャート

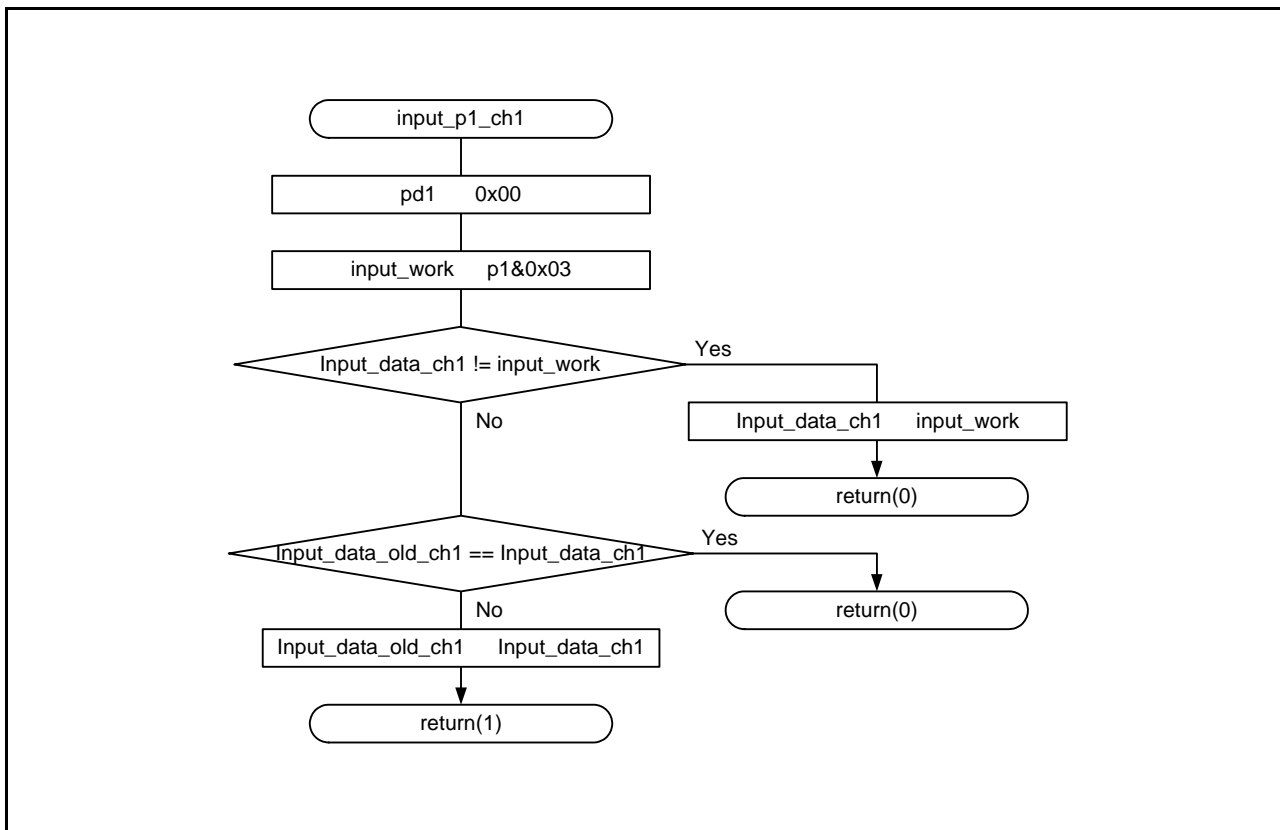
5.2.1 メインルーチン



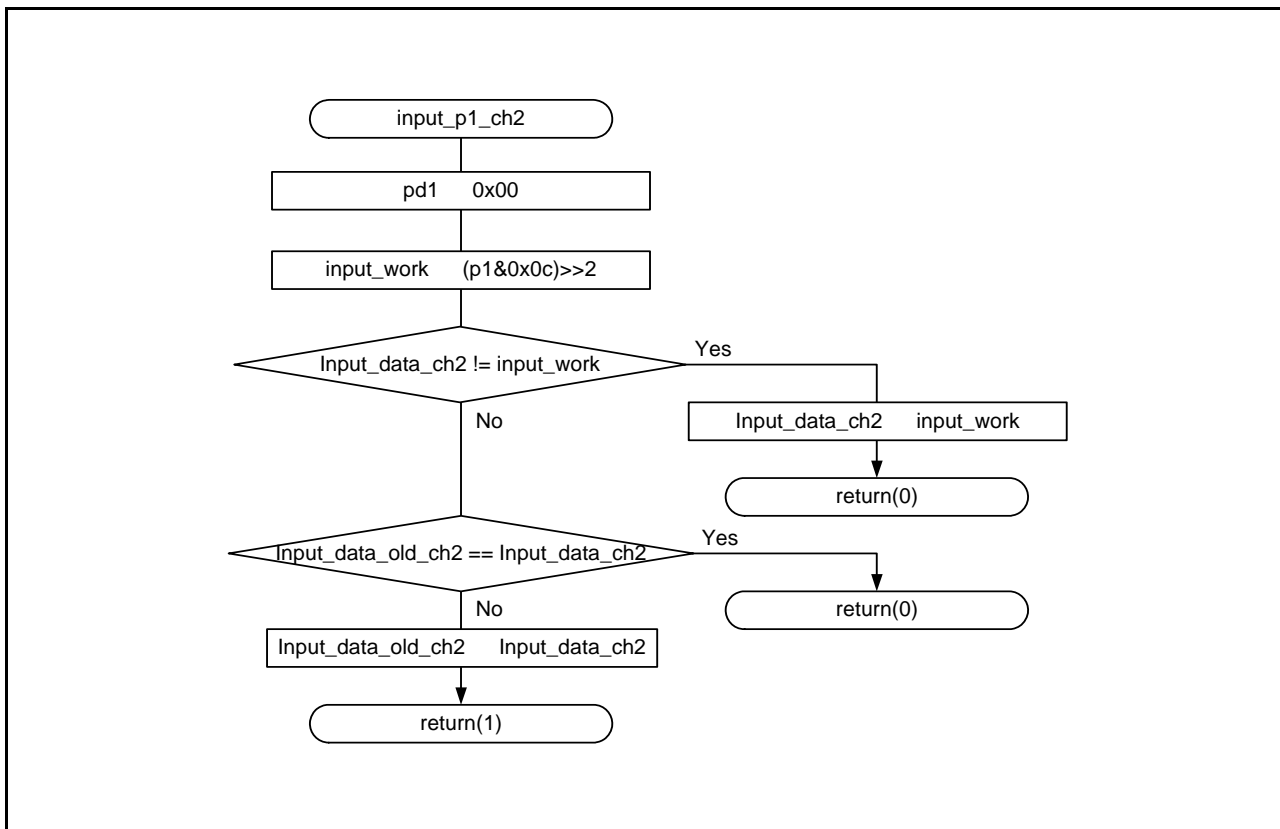
5.2.2 MCUイニシャライズ



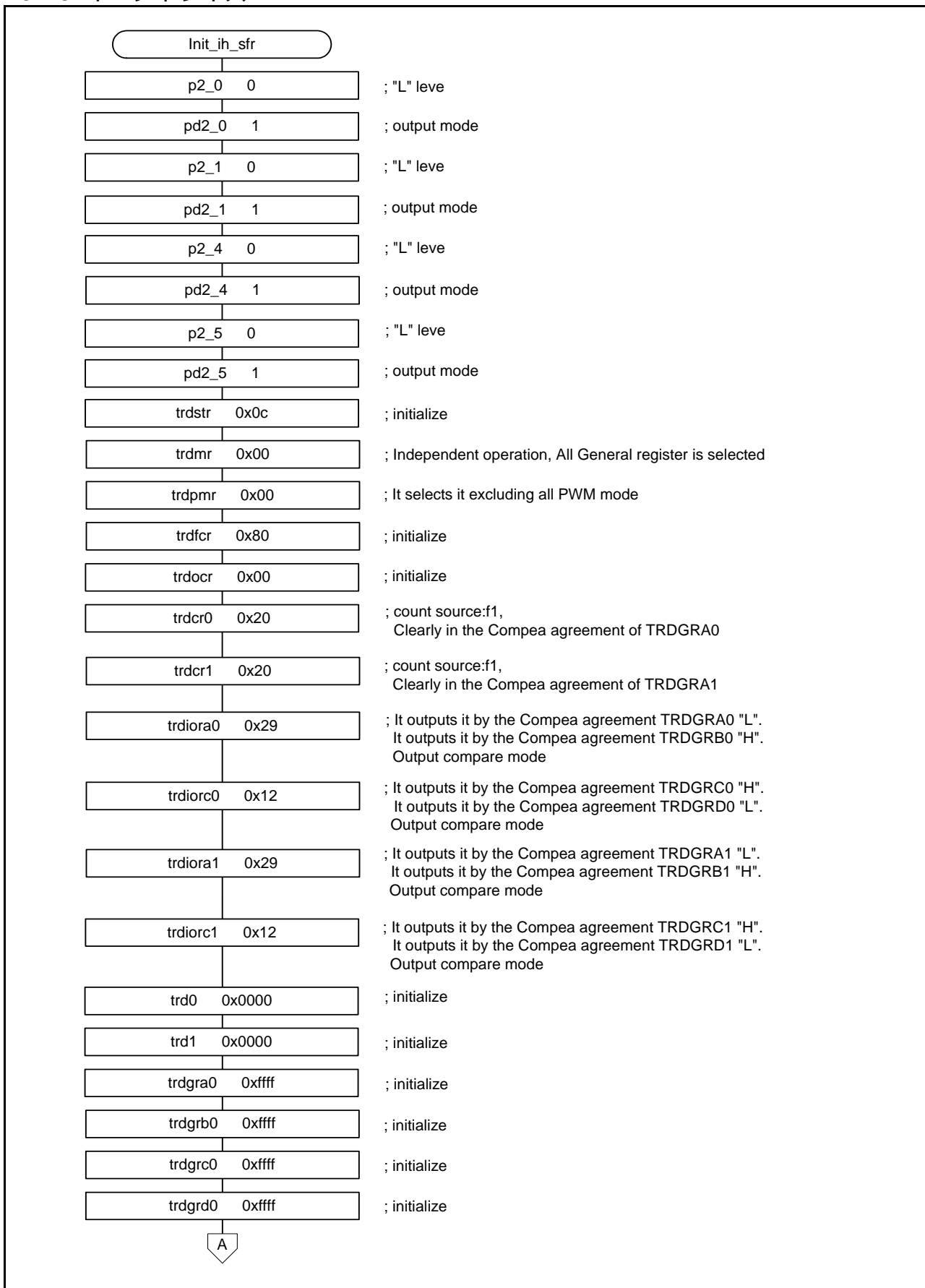
5.2.3 ポートP1入力処理1ルーチン



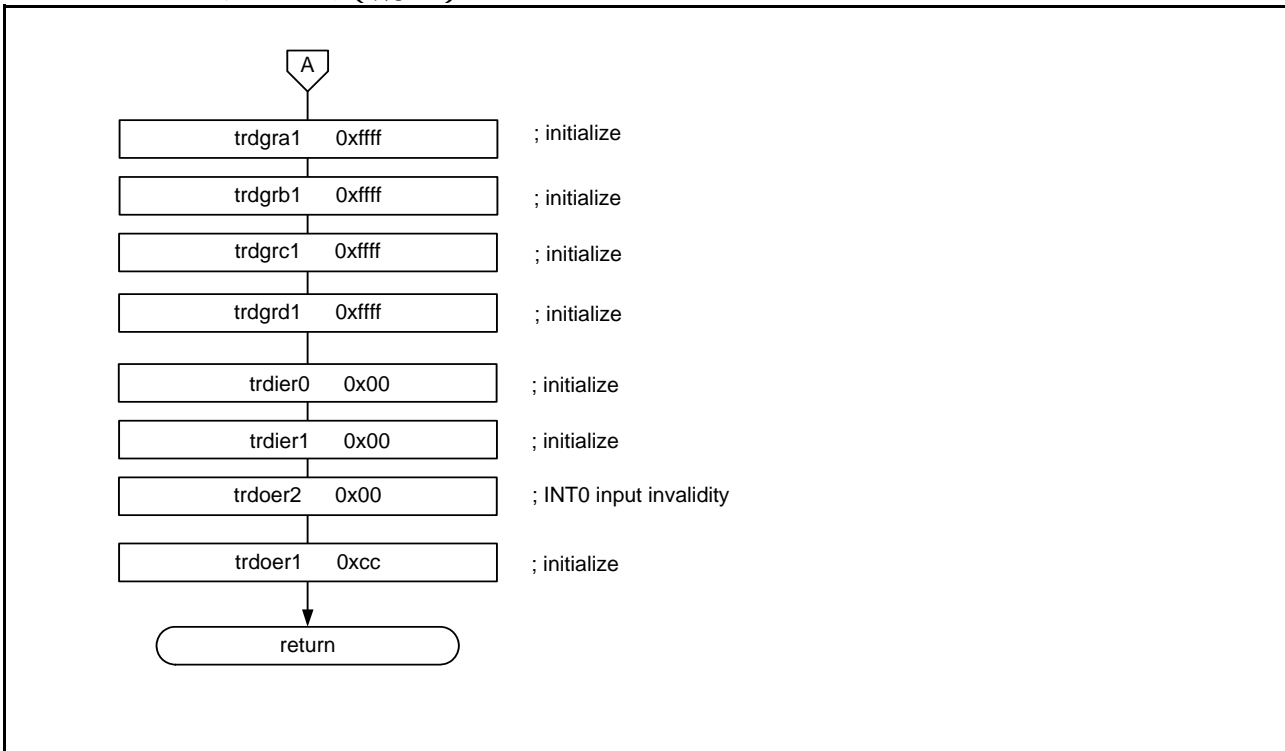
5.2.4 ポートP1入力処理2ルーチン



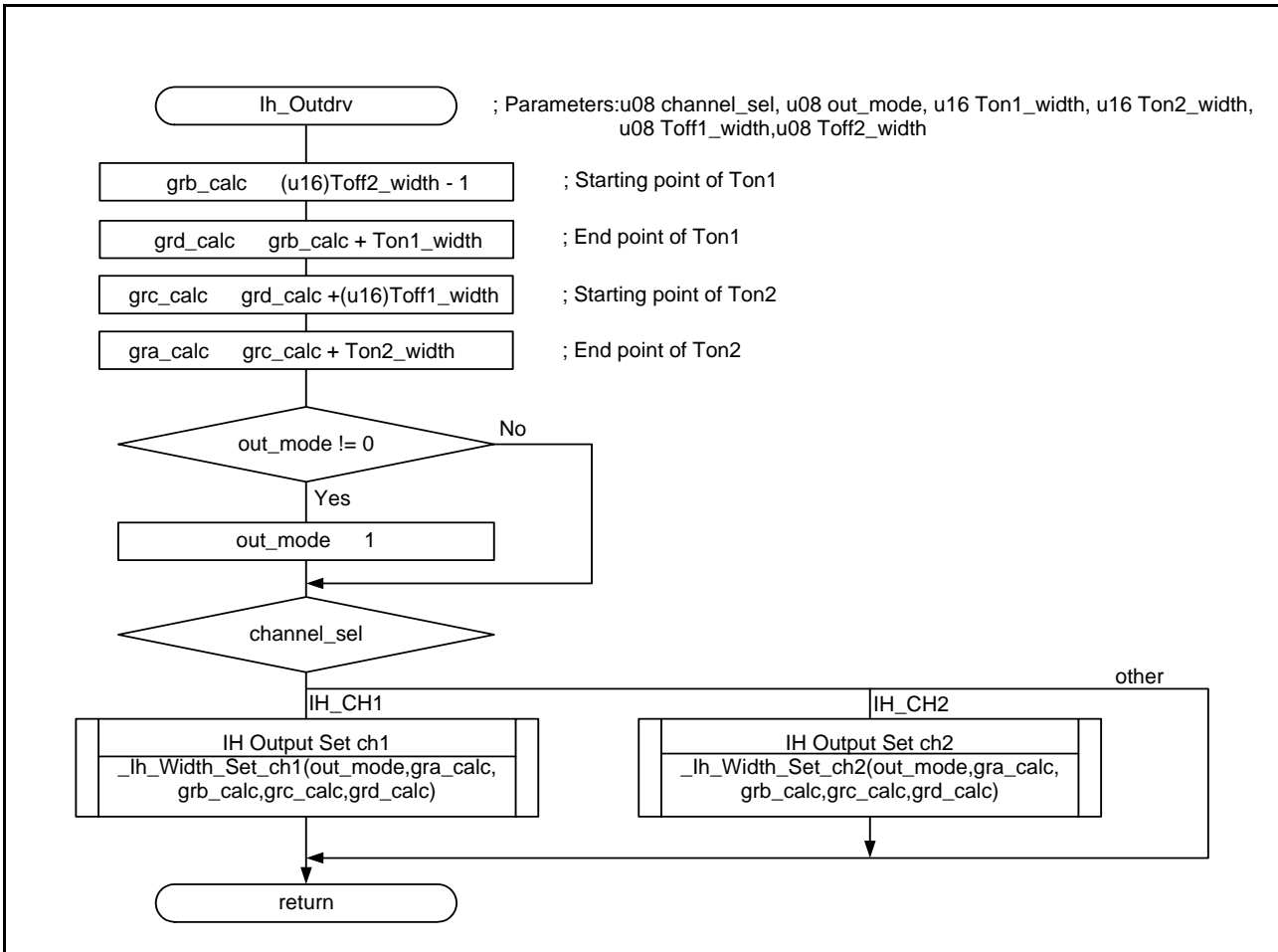
5.2.5 イニシャライズ



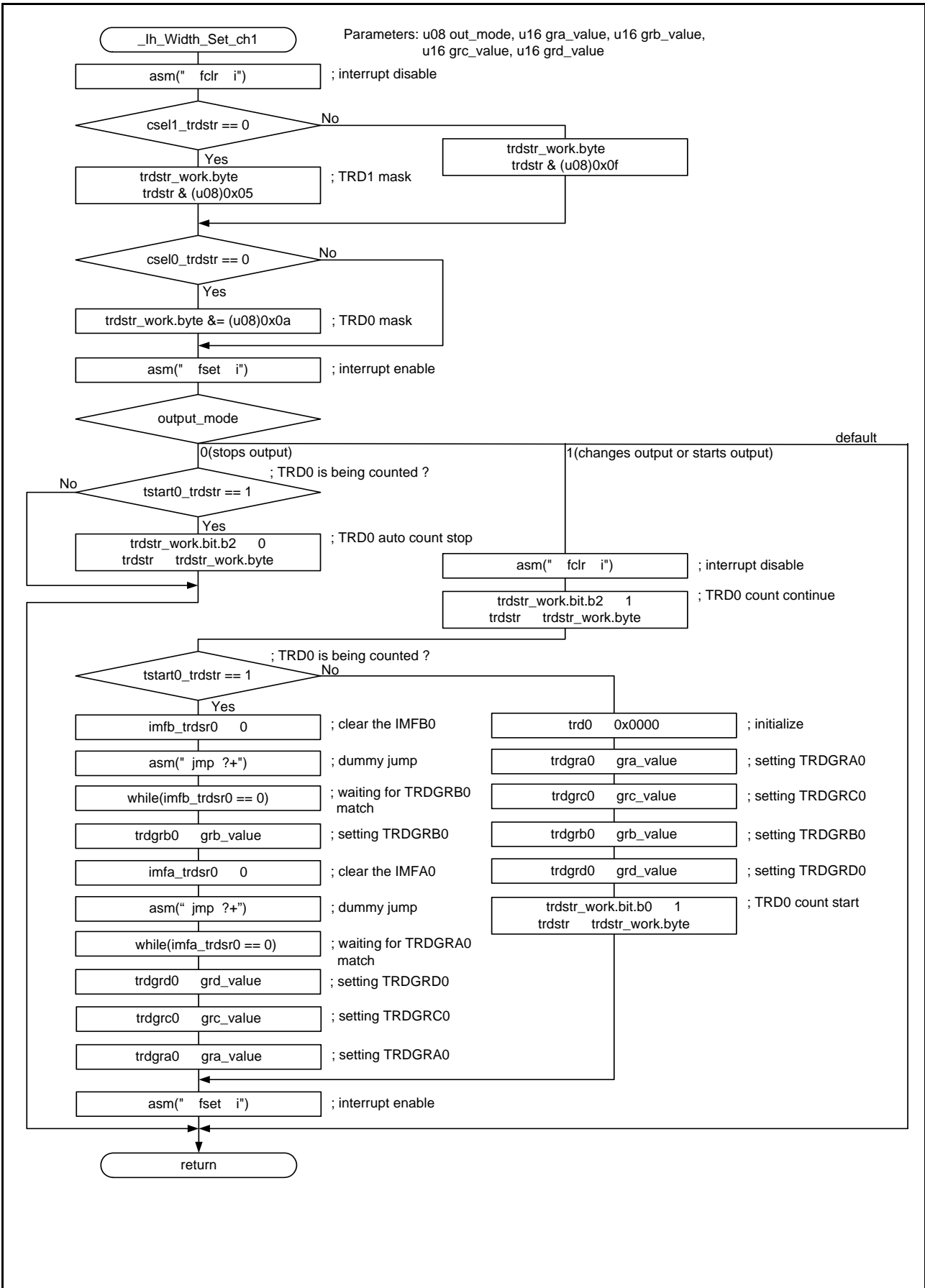
5.2.6 イニシャライズ (続き)



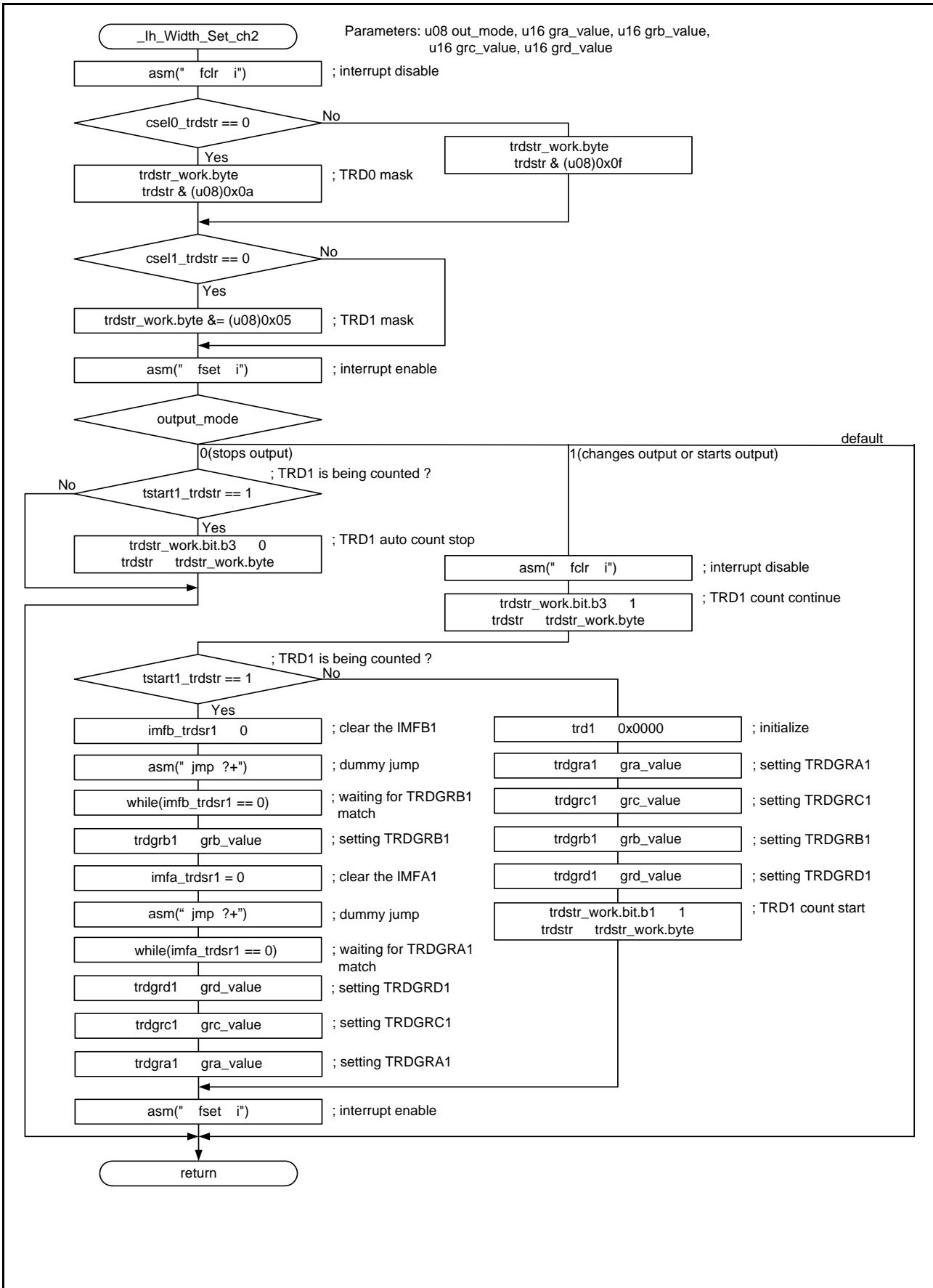
5.2.7 IH制御出力ドライバルーチン



5.2.8 IH出力設定処理1ルーチン



5.2.9 IH出力設定処理ルーチン



6. 参考プログラム

参考プログラムは、ルネサステクノロジホームページから入手してください。
R8C/Tinyシリーズのトップページの画面左メニュー「アプリケーションノート」をクリックしてください。

7. 参考ドキュメント

ハードウェアマニュアル
R8C/25グループハードウェアマニュアル
(最新版をルネサステクノロジホームページから入手してください。)

テクニカルニュース/テクニカルアップデート
(最新の情報をルネサステクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ
<http://japan.renesas.com/>

お問合せ先
<http://japan.renesas.com/inquiry>
csc@renesas.com

改訂記録	R8C/25グループ 2チャンネル200V系IH制御
------	----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.11.30	-	初版発行

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。