

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# SH7080 グループ

## DTC を用いた SCIF 調歩同期式シリアルデータ転送機能

### 要旨

本アプリケーションノートは、SCIF (FIFO 付きシリアルコミュニケーションインタフェース) 調歩同期式シリアル転送機能と DTC (Data Transfer Controller) によるデータ転送機能を使用してのデータ送受信動作について述べており、ユーザソフトウェア設計の際のご参考として役立てていただくようまとめたものです。

### 動作確認デバイス

SH7085

### 目次

1. 仕様 .....	2
2. 適用条件 .....	3
3. 使用機能の動作概要 .....	4
4. 動作説明 .....	9
5. ソフトウェア説明 .....	11
6. フローチャート .....	20

1. 仕様

本応用例では、FIFO 付き調歩同期式シリアル転送機能と DTC によるデータ転送機能を使用して 32 バイトのデータ送受信動作を行います。図 1 に、本タスク例の動作概要を示します。

- 送受信データの通信フォーマットは、データ長 8 ビット、パリティなし、ストップビット長を 1 ビットに設定します。
- ビットレートは 9600 (bit/s) で送受信します。
- 送信トリガ数を 8 とし、送信 FIFO データエンプティ割り込み要因を用いて、32 バイトのデータを送信します。
- 受信トリガ数を 8 とし、受信データフル割り込み要因を用いて、32 バイトのデータを受信します。

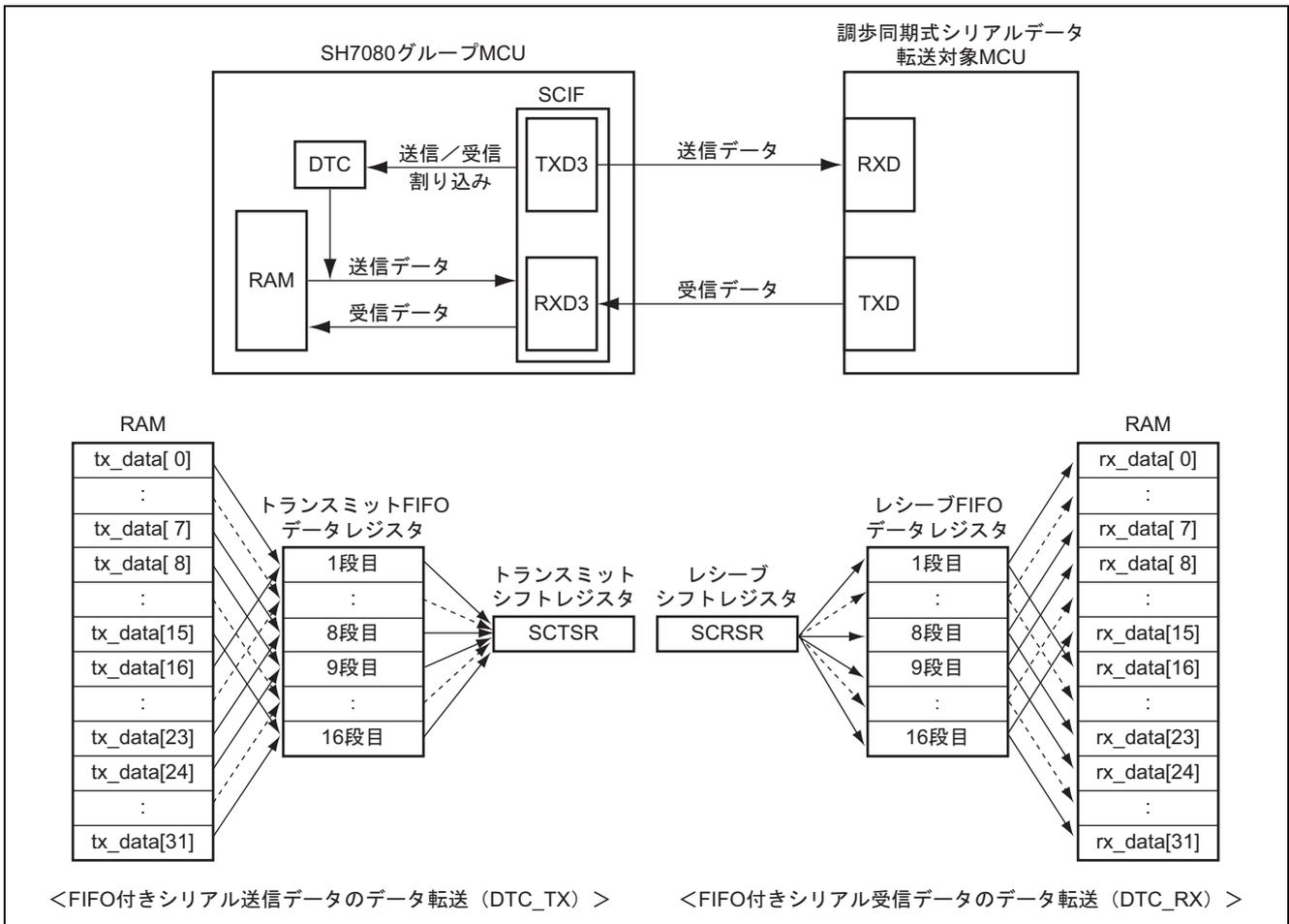


図 1 DTC を用いた FIFO 付き調歩同期式シリアルデータ送受信概要

DTC の転送条件を表 1 に示します。

表 1 DTC 転送条件

条件	SCIF 送信側 DTC の転送条件 (DTC_TX)	SCIF 受信側 DTC の転送条件 (DTC_RX)
転送モード	ノーマルモード	ノーマルモード
転送回数	32 回	32 回
転送サイズ	バイト (Byte) 転送	バイト (Byte) 転送
転送元	内蔵 RAM	レシーブ FIFO データレジスタ
転送先	トランスミット FIFO データレジスタ	内蔵 RAM
転送元アドレス	転送後に転送元アドレスを インクリメント	転送元は固定
転送先アドレス	転送先は固定	転送後に転送先アドレスを インクリメント
起動要因	SCIF の送信 FIFO データエンプティ割り 込みで起動	SCIF の受信データフル割り込みで起動
割り込み処理	指定したデータ転送終了後, CPU に対し て割り込みを許可	指定したデータ転送終了後, CPU に対し て割り込みを許可

## 2. 適用条件

- マイコン: SH7085 (R5F7085)
- 動作周波数:
  - 内部クロック 80MHz
  - バスクロック 40MHz
  - 周辺クロック 40MHz
  - MTU2 クロック 40MHz
  - MTU2S クロック 80MHz
- C コンパイラ: ルネサス テクノロジ製 V.9.00.02

3. 使用機能の動作概要

本応用例では、FIFO 付き SCIF (Serial Communication Interface with FIFO) と DTC (Data Transfer Controller) を使用して、調歩同期式シリアルデータの送受信動作を行います。

3.1 SCIF 調歩同期式シリアルデータ転送の動作概要

図 2 に FIFO 付き SCIF 調歩同期式シリアルデータの送受信動作のブロック図を示します。

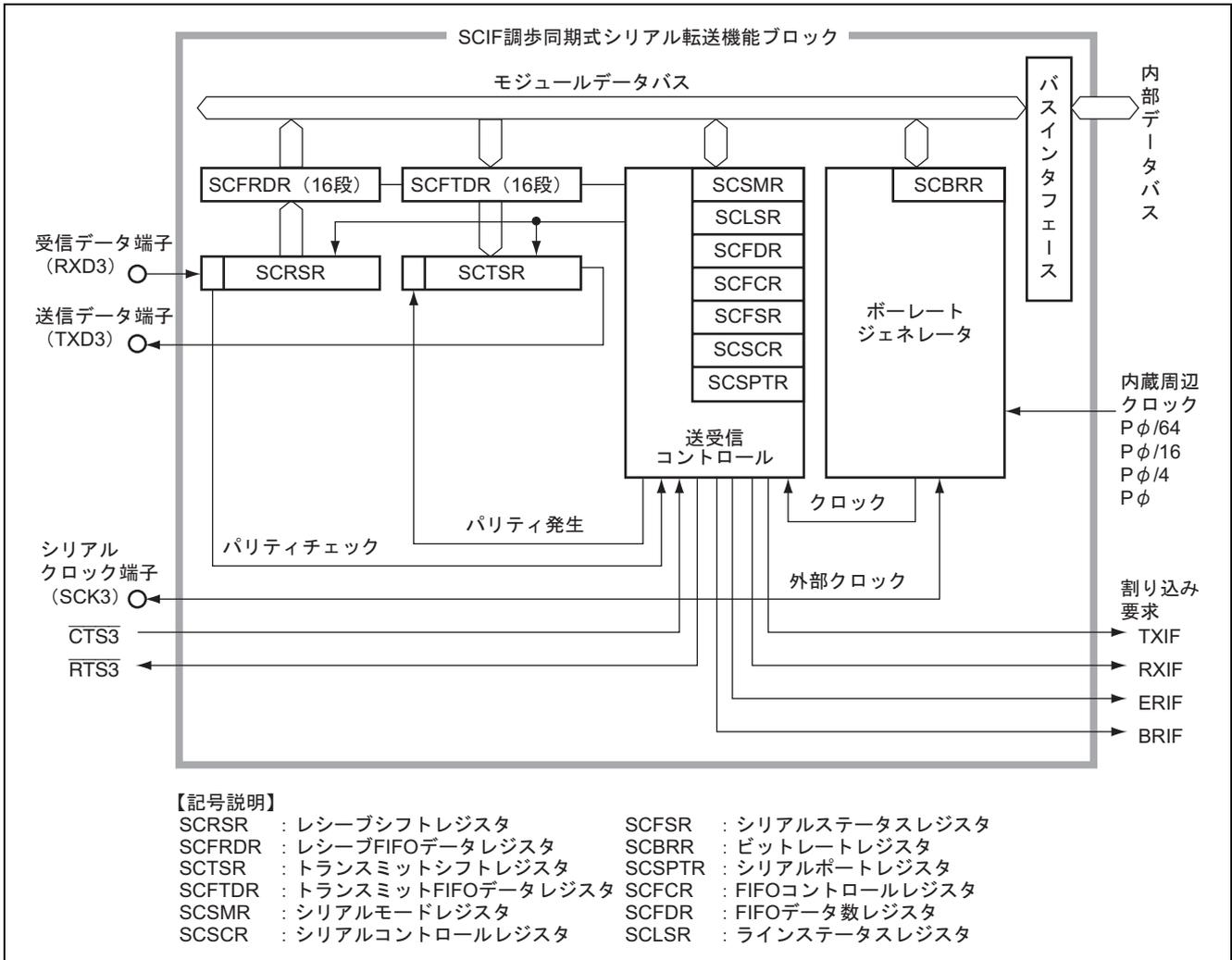


図 2 シリアルコミュニケーションインタフェース (SCIF) のブロック図

- 送受信に FIFO レジスタを各々16 段内蔵しており、効率の良い高速連続通信を行うことができます。
- 調歩同期式モードでは、キャラクタ単位で同期をとり、シリアルデータ通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。
- レシーブシフトレジスタ (SCRSR) は、シリアルデータを受信するためのレジスタです。SCIF は SCRSR に RDX 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。CPU から直接読み出し/書き込みをすることはできません。
- レシーブ FIFO データレジスタ (SCFRDR) は、受信したシリアルデータを格納する 8 ビット 16 段の FIFO レジスタです。1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込むことはできません。レシーブ FIFO データレジスタに受信データがない状態で読み出すと値は不定になります。このレジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。
- トランスミットシフトレジスタ (SCTSR) は、シリアルデータを送信するためのレジスタです。SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。CPU から、直接 SCTSR の読み出し/書き込みをすることはできません。
- トランスミット FIFO データレジスタ (SCFTDR) は、シリアル送信するデータを格納する 8 ビット 16 段 FIFO レジスタです。SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は、常に CPU による書き込みが可能です。SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことはできません。書き込みを試みてもデータは無視されます。
- シリアルモードレジスタ (SCSMR) は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。SCSMR は、常に CPU による読み出し/書き込みが可能です。
- シリアルコントロールレジスタ (SCSCR) は、SCIF の送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行う 16 ビットのレジスタです。SCSCR は、常に CPU による読み出し/書き込みが可能です。
- シリアルステータスレジスタ (SCFSR) は、16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。SCFSR は常に CPU から読み出し/書き込みが可能です。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。
- ビットレートレジスタ (SCBRR) は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータのクロックソースと合わせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。SCBRR は、常に CPU による読み出し/書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。
- FIFO コントロールレジスタ (SCFCR) は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行う 16 ビットのレジスタです。またループバックテストの許可ビットを含んでいます。SCFCR は、常に CPU による読み出し/書き込みが可能です。

- FIFO データ数レジスタ (SCFDR) は、トランスミット FIFO データレジスタ (SCFTDR) およびレシーブ FIFO データレジスタ (SCFRDR) に格納されているデータ数を示す 16 ビットのレジスタです。上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU からの読み出しが可能です。
- ラインステータスレジスタ (SCLSR) は、常に CPU による読み出し/書き込みが可能な 16 ビットのレジスタです。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。このフラグを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

3.2 DTC によるデータ転送の動作概要

図 3 に DTC によるデータ転送ブロック図を示します。

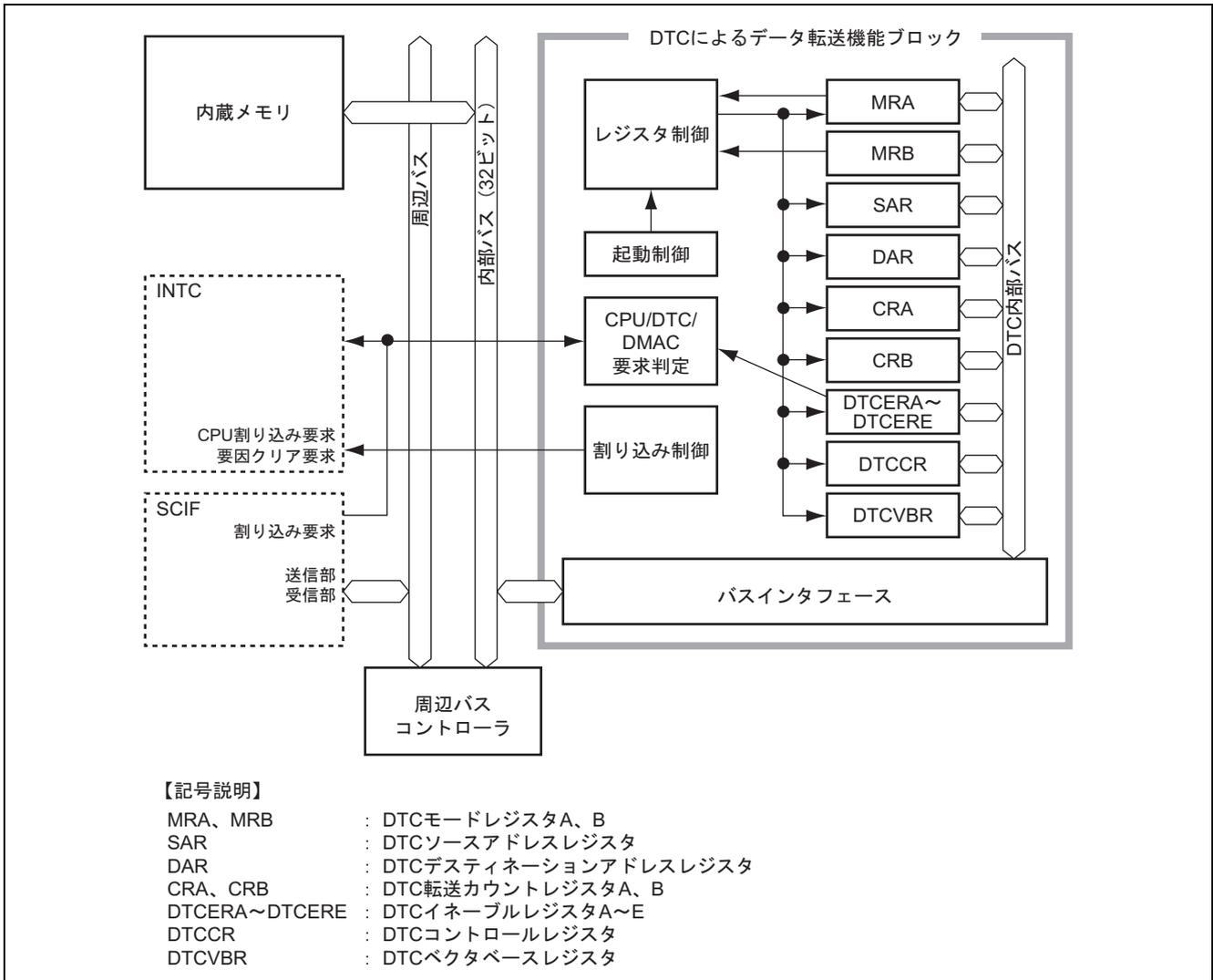


図 3 DTC によるデータ転送ブロック図

- DTC モードレジスタ A (MRA) は、DTC の動作モードの選択を行います。CPU から直接アクセスすることはできません。
- DTC モードレジスタ B (MRB) は、DTC の動作モードの選択を行います。CPU から直接アクセスすることはできません。
- DTC ソースアドレスレジスタ (SAR) は、32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。CPU から直接アクセスすることはできません。
- DTC デスティネーションアドレスレジスタ (DAR) は、32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。CPU から直接アクセスすることはできません。
- DTC 転送カウントレジスタ A (CRA) は、16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。  
 ノーマル転送モードでは、一括して 16 ビットの転送カウンタ (1 ~ 65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると、起動要因に対応する DTCEn ビット (n = 15 ~ 0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときが 65536 回になります。  
 リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1 ~ 256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH = CRAL = H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときが 256 回になります。  
 ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1 ~ 256 バイト, 1 ~ 256 ワード, または 1 ~ 256 ロングワード) として機能します。CRAL は 1 回のデータ転送を行うたびに 1 バイト (または 1 ワード, 1 ロングワード) ごとにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH = CRAL = H'01 のときは 1 バイト (または 1 ワード, 1 ロングワード), H'FF のときは 255 バイト (または 255 ワード, 255 ロングワード) で、H'00 のときが 256 バイト (または 256 ワード, 256 ロングワード) になります。CPU から直接アクセスすることはできません。
- DTC 転送カウントレジスタ B (CRB) は、16 ビットのレジスタで、ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送回数カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると、起動要因に対応する DTCEn ビット (n = 15 ~ 0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときが 65536 回になります。ノーマル転送モードおよびリピート転送モードでは、CRB は使用しません。CRB は、CPU から直接アクセスすることはできません。
- DTC イネーブルレジスタ A ~ E (DTCERA ~ DTCERE) は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERE があります。
- DTC コントロールレジスタ (DTCCR) は、転送情報リードスキップを設定します。
- DTC ベクタベースレジスタ (DTCVBR) は、32 ビットのレジスタで、ベクタテーブルアドレス算出時のベースアドレスを設定します。

4. 動作説明

図 4 に本応用例の動作説明を、表 2、表 3 にソフトウェアおよびハードウェア処理説明を示します。

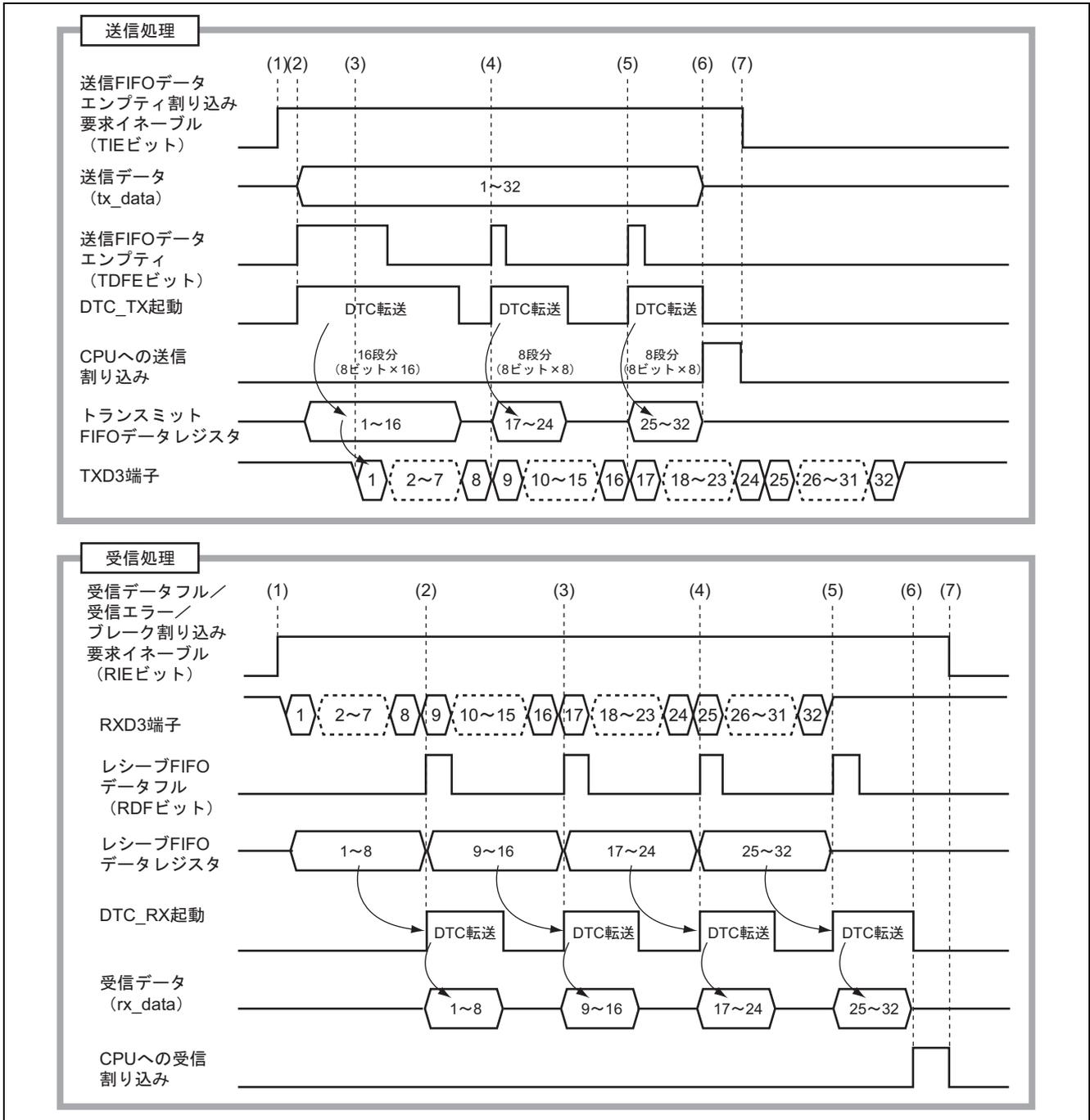


図 4 動作説明

表 2 ソフトウェアおよびハードウェア処理説明 (送信処理)

	ソフトウェア処理	ハードウェア処理
(1)	<ul style="list-style-type: none"> <li>送信 FIFO データエンpty 割り込み要求 (SCSR の TIE ビット) および送信動作 (SCSR の TE ビット) を許可</li> </ul>	
(2)		<ul style="list-style-type: none"> <li>送信 FIFO データエンpty 割り込みにより DTC_TX 起動</li> <li>送信データを RAM からトランスミット FIFO データレジスタへ転送</li> </ul>
(3)		<ul style="list-style-type: none"> <li>トランスミット FIFO データレジスタ内のデータ 8 バイトを送信</li> </ul>
(4)	<ul style="list-style-type: none"> <li>(2) と同様</li> </ul>	<ul style="list-style-type: none"> <li>(2) と同様</li> </ul>
(5)	<ul style="list-style-type: none"> <li>(3) と同様</li> </ul>	<ul style="list-style-type: none"> <li>(3) と同様</li> </ul>
(6)		<ul style="list-style-type: none"> <li>トランスミット FIFO データレジスタ内のデータ 8 バイトを送信</li> <li>CPU に対して送信割り込み発生</li> </ul>
(7)	<ul style="list-style-type: none"> <li>送信 FIFO データエンpty 割り込み要求 イネーブル (TIE ビット) を 0 クリアして、割り込み禁止とする</li> </ul>	

表 3 ソフトウェアおよびハードウェア処理説明 (受信処理)

	ソフトウェア処理	ハードウェア処理
(1)	<ul style="list-style-type: none"> <li>受信データフル割り込み要求, 受信エラー割り込み要求, ブレーク割り込み要求 (SCSR の RIE ビット) および受信動作 (SCSR の RE ビット) を許可</li> </ul>	
(2)		<ul style="list-style-type: none"> <li>受信データフル割り込みにより DTC_RX 起動</li> <li>受信データをレシーブ FIFO データレジスタから RAM へ転送</li> </ul>
(3)	<ul style="list-style-type: none"> <li>(2) と同様</li> </ul>	<ul style="list-style-type: none"> <li>(2) と同様</li> </ul>
(4)	<ul style="list-style-type: none"> <li>(2) と同様</li> </ul>	<ul style="list-style-type: none"> <li>(2) と同様</li> </ul>
(5)	<ul style="list-style-type: none"> <li>(2) と同様</li> </ul>	<ul style="list-style-type: none"> <li>(2) と同様</li> </ul>
(6)		<ul style="list-style-type: none"> <li>CPU に対して受信割り込み発生</li> </ul>
(7)	<ul style="list-style-type: none"> <li>受信データフル割り込み要求, 受信エラー割り込み要求, ブレーク割り込み要求 イネーブル (SCSR の RIE ビット) およびレシーブイネーブル (SCSR の RE ビット) の 1 をリードした後, 0 にクリア</li> </ul>	

## 5. ソフトウェア説明

### 5.1 モジュール説明

表 4 に本タスク例のモジュール説明を示します。

表 4 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main()	DTC の設定, SCIF の初期設定および送受信動作を許可
SCIF 受信データフル 割り込みルーチン	int_scif_rxif ()	SCIF 受信データフル割り込み処理
SCIF 受信エラー 割り込みルーチン	int_scif_erif()	SCIF 受信エラー割り込み処理
SCIF ブレーク 割り込みルーチン	int_scif_brif()	SCIF ブレーク割り込み処理
SCIF 送信 FIFO データ エンプティ割り込み ルーチン	int_scif_txif()	SCIF 送信 FIFO データエンプティ割り込み処理

### 5.2 使用変数

表 5 に本タスク例で使用する変数の説明を示します。

表 5 使用変数説明

変数, ラベル名	機能	使用モジュール
volatile unsigned char tx_data[32]	送信データの格納領域	main ()
volatile unsigned char rx_data[32]	受信データの格納領域	main ()

### 5.3 レジスタ設定

本応用例で使用するレジスタ設定を示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

#### 5.3.1 クロック発振器 (CPG) の設定

##### 1. 周波数制御レジスタ (FRQCR)

周波数の分周率を指定します。

設定値: H'0241

ビット	ビット名	設定値	内容
15		0	リザーブビット
14~12	IFC[2:0]	000	内部クロック (I $\phi$ ) 周波数の分周率 000: $\times 1$ 倍, 入力クロック 10MHz のとき 80MHz
11~9	BFC[2:0]	001	バスクロック (B $\phi$ ) 周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき 40MHz
8~6	PFC[2:0]	001	周辺クロック (P $\phi$ ) 周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき 40MHz
5~3	MIFC[2:0]	000	MTU2S クロック (MI $\phi$ ) 周波数の分周率 000: $\times 1$ 倍, 入力クロック 10MHz のとき 80MHz
2~0	MPFC[2:0]	001	MTU2 クロック (MP $\phi$ ) 周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき 40MHz

#### 5.3.2 低消費電力モードの設定

##### 1. スタンバイコントロールレジスタ 2 (STBCR2)

低消費電力時の各モジュールの動作を制御します。

設定値: H'28

ビット	ビット名	設定値	内容
7	MSTP7	0	0: RAM は動作
6	MSTP6	0	0: ROM は動作
5		1	リザーブビット
4	MSTP4	0	0: DTC は動作
3	MSTP3	1	1: DMAC へのクロック供給を停止
2-0		000	リザーブビット

##### 2. スタンバイコントロールレジスタ 3 (STBCR3)

低消費電力時の各モジュールの動作を制御します。

設定値: H'BF

ビット	ビット名	設定値	内容
7	MSTP15	1	1: I <sup>2</sup> C2 へのクロック供給を停止
6	MSTP14	0	0: SCIF は動作
5	MSTP13	1	1: SCI_2 へのクロック供給を停止
4	MSTP12	1	1: SCI_1 へのクロック供給を停止
3	MSTP11	1	1: SCI_0 へのクロック供給を停止
2	MSTP10	1	1: SSU へのクロック供給を停止
1~0		11	リザーブビット

### 5.3.3 データトランスファコントローラ (DTC) の設定

#### 1. DTC コントロールレジスタ (DTCCR)

転送情報リードスキップを設定します。

設定値: H'10

ビット	ビット名	設定値	内容
7~5		000	リザーブビット
4	RRS	1	0: 転送情報リードスキップを行わない 1: バクタ番号の値が一致したとき転送情報リードスキップを行う
3	RCHNE	0	0: リピート転送後のチェイン転送を禁止
2~1		00	リザーブビット
0	ERR	0	0: 割り込み要求なし

#### 2. SCIF 送信用 転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) の設定

##### • DTC モードレジスタ A (MRA)

DTC の動作モードの選択を行います (SCIF 送信用 転送情報)

設定値: H'08

ビット	ビット名	設定値	内容
7~6	MD[1:0]	00	00: ノーマル転送
5~4	Sz[1:0]	00	00: バイトサイズ転送
3~2	SM[1:0]	10	10: 転送後 SAR をインクリメント (Sz1, Sz0 が B'00 のとき+1, B'01 のとき+2, B'10 のとき+4)
1~0		00	リザーブビット

##### • DTC モードレジスタ B (MRB)

DTC の動作モードの選択を行います (SCIF 送信用 転送情報)

設定値: H'00

ビット	ビット名	設定値	内容
7	CHNE	0	0: チェイン転送禁止
6	CHNS	0	0: 連続してチェイン転送を行う
5	DISEL	0	0: 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
4	DTS	0	0: デスティネーション側がリピート領域またはブロック領域
3~2	DM[1:0]	00	0x: DAR は固定
1~0		00	リザーブビット

##### • DTC ソースアドレスレジスタ (SAR)

DTC の転送するデータの転送元アドレスを指定します。

設定値: &tx\_data[0]

##### • DTC デスティネーションアドレスレジスタ (DAR)

DTC の転送するデータの転送先アドレスを指定します。

設定値: &SCIF.SCFTDR

##### • DTC 転送カウントレジスタ A (CRA)

DTC のデータ転送の転送回数を指定します。

設定値: 32

- DTC 転送カウントレジスタ B (CRB)  
 ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。  
 設定値: 0
- 3. SCIF 受信用 転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) の設定
- DTC モードレジスタ A (MRA)  
 DTC の動作モードの選択を行います。  
 設定値: H'00

ビット	ビット名	設定値	内容
7~6	MD[1:0]	00	00: ノーマル転送
5~4	Sz[1:0]	00	00: バイトサイズ転送
3~2	SM[1:0]	00	0x: SAR は固定
1~0		00	リザーブビット

- DTC モードレジスタ B (MRB)  
 DTC の動作モードの選択を行います。  
 設定値: H'08

ビット	ビット名	設定値	内容
7	CHNE	0	0: チェイン転送禁止
6	CHNS	0	0: 連続してチェイン転送を行う
5	DISEL	0	0: 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
4	DTS	0	0: デスティネーション側がリピート領域またはブロック領域
3~2	DM[1:0]	10	10: 転送後 DAR をインクリメント (Sz1, Sz0 が B'00 のとき+1, B'01 のとき+2, B'10 のとき+4)
1~0		00	リザーブビット

- DTC ソースアドレスレジスタ (SAR)  
 DTC の転送するデータの転送元アドレスを指定します。  
 設定値: &SCIF.SCFRDR
- DTC デスティネーションアドレスレジスタ (DAR)  
 DTC の転送するデータの転送先アドレスを指定します。  
 設定値: &rx\_data[0]
- DTC 転送カウントレジスタ A (CRA)  
 DTC のデータ転送の転送回数を指定します。  
 設定値: 32
- DTC 転送カウントレジスタ B (CRB)  
 ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。  
 設定値: 0
- 4. DTC ベクタベースレジスタ (DTCVBR)  
 ベクタテーブルアドレス算出時のベースアドレスを設定します。  
 設定値: H'00000000

## 5. DTC イネーブルレジスタ E (DTCERE)

DTC を起動する割り込み要因を選択するためのレジスタです。

設定値: H'0300

ビット	ビット名	設定値	内容
15	DTCE15	0	0: 対応する割り込み要因なし
14	DTCE14	0	0: 対応する割り込み要因なし
13	DTCE13	0	0: 対応する割り込み要因なし
12	DTCE12	0	0: 対応する割り込み要因なし
11	DTCE11	0	0: 対応する割り込み要因なし
10	DTCE10	0	0: 対応する割り込み要因なし
9	DTCE9	1	起動要因発生元: SCIF, 起動要因: RXIF
8	DTCE8	1	起動要因発生元: SCIF, 起動要因: TXIF
7	DTCE7	0	0: 対応する割り込み要因なし
6	DTCE6	0	0: 対応する割り込み要因なし
5	DTCE5	0	0: 対応する割り込み要因なし
4	DTCE4	0	0: 対応する割り込み要因なし
3	DTCE3	0	0: 対応する割り込み要因なし
2	DTCE2	0	0: 対応する割り込み要因なし
1	DTCE1	0	0: 対応する割り込み要因なし
0	DTCE0	0	0: 対応する割り込み要因なし

### 5.3.4 FIFO 付きシリアルコミュニケーションインタフェース (SCIF) の設定

#### 1. シリアルコントロールレジスタ (SCSCR)

送信/受信動作，割り込み要求の許可/禁止，および送信/受信クロックソースの選択を行います。

設定値: H'00F0

ビット	ビット名	設定値	内容
15~8		0000 0000	リザーブビット
7	TIE	1	0: 送信 FIFO データエンプティ割り込み (TXIF) 要求を禁止 1: 送信 FIFO データエンプティ割り込み (TXIF) 要求を許可
6	RIE	1	0: 受信データフル割り込み (RXIF) 要求, 受信エラー割り込み (ERIF) 要求, およびブ레이크割り込み (BRIF) 要求を禁止 1: 受信データフル割り込み (RXIF) 要求, 受信エラー割り込み (ERIF) 要求, およびブ레이크割り込み (BRIF) 要求を許可
5	TE	1	0: 送信動作を禁止 1: 送信動作を許可
4	RE	1	0: 受信動作を禁止 1: 受信動作を許可
3	REIE	0	0: 受信エラー割り込み (ERIF) 要求, およびブ레이크割り込み (BRIF) 要求を禁止
2		0	リザーブビット
1~0	CKE[1:0]	00	00: 内部クロック/SCK 端子は入力端子 (入力信号は無視)

#### 2. FIFO コントロールレジスタ (SCFCR)

トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット，トリガデータ数の設定を行います。

設定値: H'0080

ビット	ビット名	設定値	内容
15~11		00000	リザーブビット
10~8	RSTRG[2:0]	000	000: RTS 出力アクティブトリガ。モデム信号を許可していないので無効。
7~6	RTRG[1:0]	10	10: レシーブ FIFO データトリガ数 = 8
5~4	TTRG[1:0]	00	00: トランスミット FIFO データトリガ数 = 8
3	MCE	0	0: モデム信号を禁止
2	TFRST	0	0: トランスミット FIFO データレジスタのリセット動作を禁止 1: トランスミット FIFO データレジスタのリセット動作を許可
1	RFRST	0	0: レシーブ FIFO データレジスタのリセット動作を禁止 1: レシーブ FIFO データレジスタのリセット動作を許可
0	LOOP	0	0: ループバックテストを禁止

## 3. シリアルステータスレジスタ (SCFSR)

上位 8 ビットは受信エラー数，下位 8 ビットは SCIF の動作状態を示します。

設定値: H'0000

ビット	ビット名	設定値	内容
15~12	PER[3:0]	0000	パリティエラー数
11~8	FER[3:0]	0000	フレーミングエラー数
7	ER	0	受信エラー
6	TEND	0	0: 送信中 1: 送信が終了
5	TDFE	0	0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多い 1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より少ない
4	BRK	0	0: ブレーク信号なし
3	FER	0	0: フレーミングエラーなし
2	PER	0	0: パリティエラーなし
1	RDF	0	0: SCFRDR 受信データ数が指定受信トリガ数より少ない
0	DR	0	0: 受信中であるか，正常に受信後 SCFRDR に受信データが残っていない

## 4. シリアルモードレジスタ (SCSMR)

通信フォーマットの設定と，ポーレートジェネレータのクロックソースを選択します。

設定値: H'0000

ビット	ビット名	設定値	内容
15~8		0000 0000	リザーブビット
7	C/A	0	0: 調歩同期式モード
6	CHR	0	0: 8 ビットデータ
5	PE	0	0: パリティビットの付加，およびチェック禁止
4	O/E	0	0: PE = 0 なので O/E ビットの指定は無効
3	STOP	0	0: 1 ストップビット
2		0	リザーブビット
1~0	CKS[1:0]	00	00: P $\phi$ クロック

## 5. ビットレートレジスタ (SCBRR)

シリアル送信/受信のビットレートを設定します。

設定値: H'81

ビット	ビット名	設定値	内容
7~0		1000 0001	シリアル送信/受信のビットレート

### 5.3.5 ピンファンクションコントローラ (PFC) の設定

#### 1. ポート E・I/O レジスタ L (PEIORL)

ポート E にある端子の入力方向を選びます。

設定値: H'0020

ビット	ビット名	設定値	内容
15	PE15IOR	0	0: PE15 入力
14	PE14IOR	0	0: PE14 入力
13	PE13IOR	0	0: PE13 入力
12	PE12IOR	0	0: PE12 入力
11	PE11IOR	0	0: PE11 入力。RXD3 入力端子
10	PE10IOR	0	0: PE10 入力
9	PE9IOR	0	0: PE9 入力
8	PE8IOR	0	0: PE8 入力
7	PE7IOR	0	0: PE7 入力
6	PE6IOR	0	0: PE6 入力
5	PE5IOR	1	1: PE5 出力。TXD3 出力端子
4	PE4IOR	0	0: PE4 入力
3	PE3IOR	0	0: PE3 入力
2	PE2IOR	0	0: PE2 入力
1	PE1IOR	0	0: PE1 入力
0	PE0IOR	0	0: PE0 入力

#### 2. ポート E コントロールレジスタ L2 (PECRL2)

ポート E にあるマルチプレクス端子の機能を選びます。

設定値: H'0020

ビット	ビット名	設定値	内容
15		0	リザーブビット
14~12	PE7MD[2:0]	000	000: PE7 入出力 (ポート)
11		0	リザーブビット
10~8	PE6MD[2:0]	000	000: PE6 入出力 (ポート)
7		0	リザーブビット
6~4	PE5MD[2:0]	010	010: TXD3 出力 (SCIF)
3		0	リザーブビット
2~0	PE4MD[2:0]	000	000: PE4 入出力 (ポート)

3. ポート E コントロールレジスタ L3 (PECRL3)  
 ポート E にあるマルチプレクス端子の機能を選びます。  
 設定値: H'3000

ビット	ビット名	設定値	内容
15		0	リザーブビット
14~12	PE11MD[2:0]	011	011: RXD3 入力 (SCIF)
11		0	リザーブビット
10~8	PE10MD[2:0]	000	000: PE10 入出力 (ポ - ト)
7		0	リザーブビット
6~4	PE9MD[2:0]	000	000: PE9 入出力 (ポ - ト)
3		0	リザーブビット
2~0	PE8MD[2:0]	000	000: PE8 入出力 (ポ - ト)

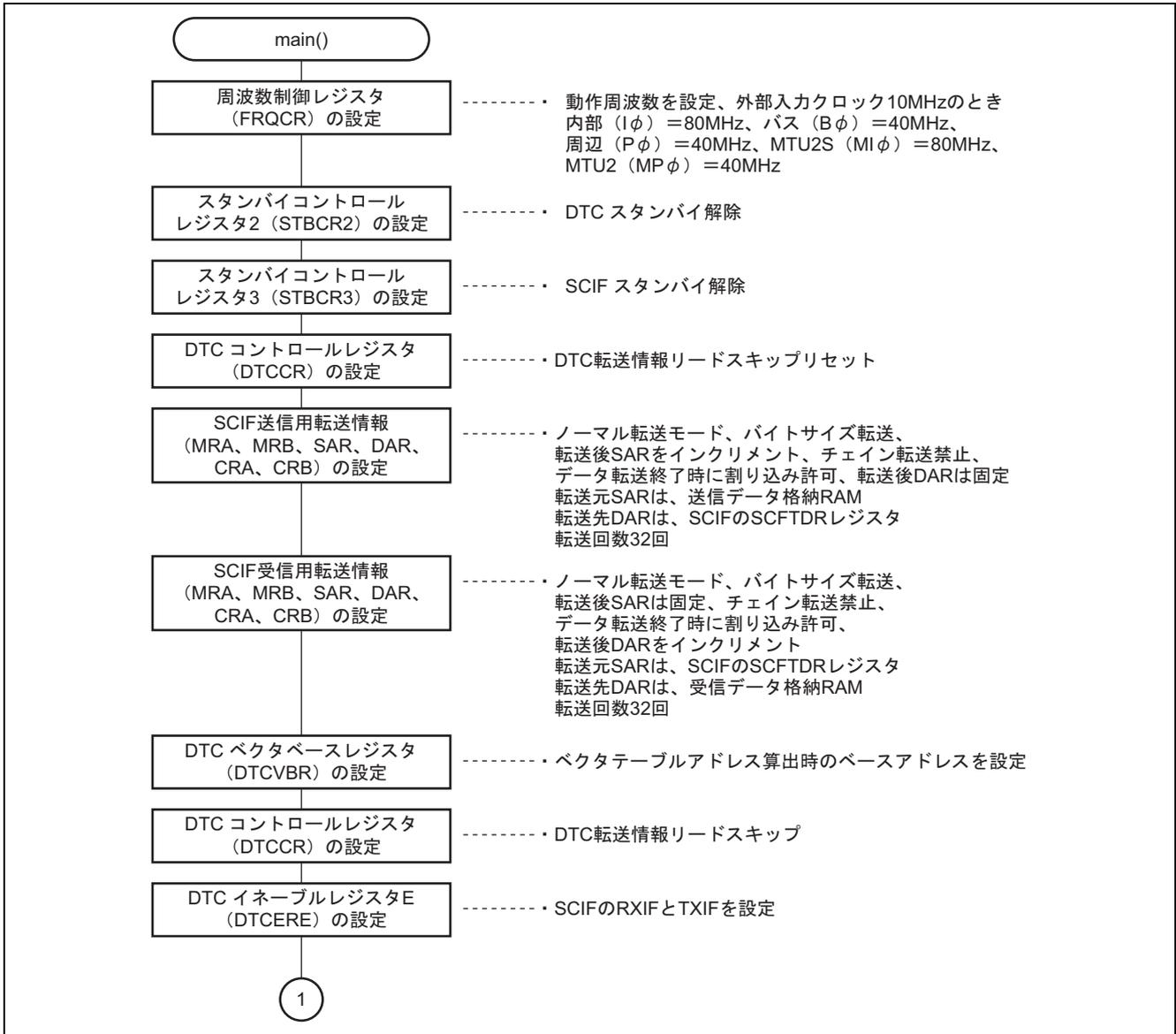
### 5.3.6 割り込みコントローラ (INTC) の設定

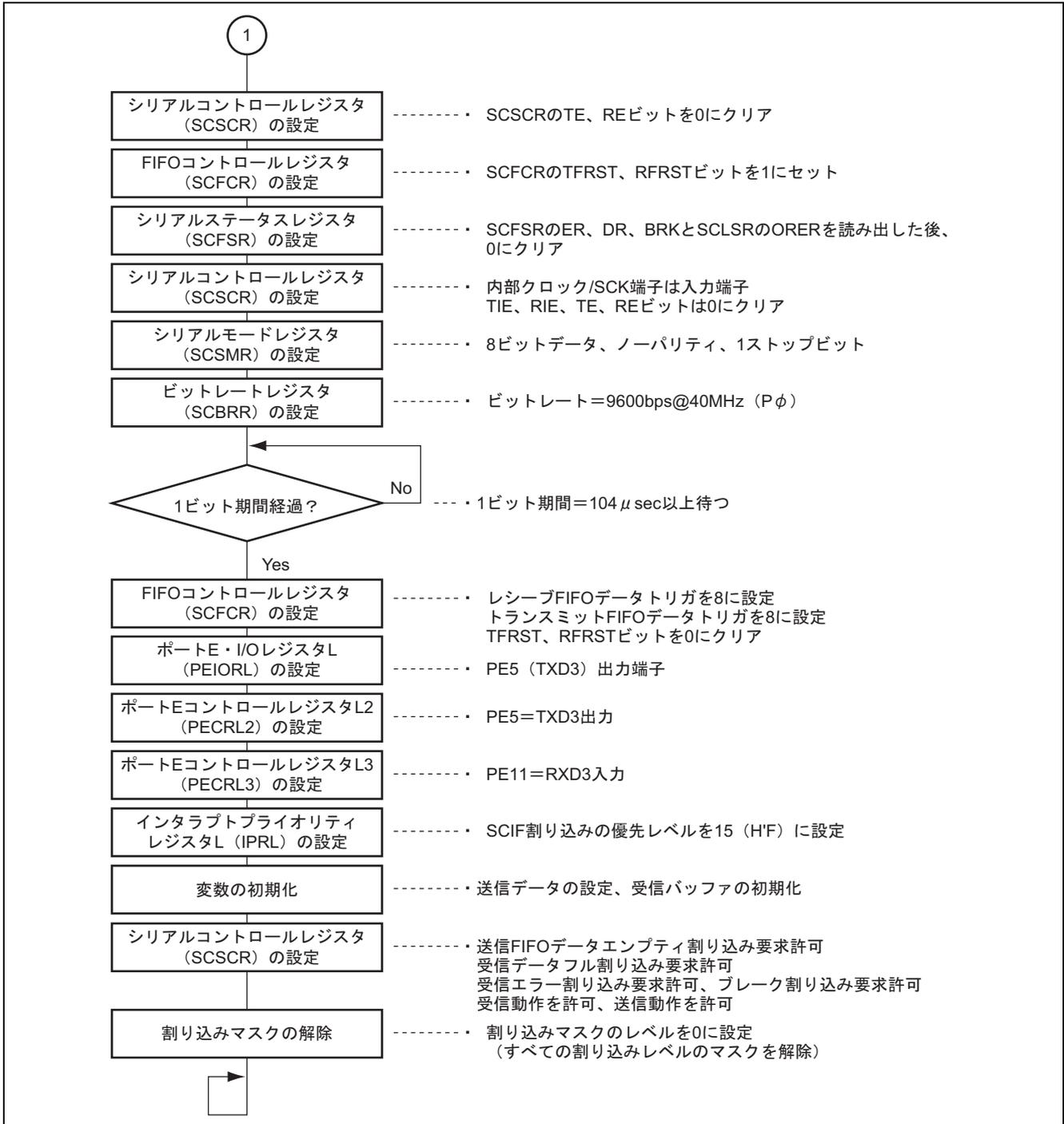
1. インタラプトプライオリティレジスタ L (IPRL)  
 対応する割り込み要求の優先順位が決まります。  
 設定値: H'000F

ビット	ビット名	設定値	内容
15~12	IPR[15:12]	0000	優先レベル 0
11~8	IPR[11:8]	0000	優先レベル 0
7~4	IPR[7:4]	0000	優先レベル 0
3~0	IPR[3:0]	1111	優先レベル 15, SCIF の割り込み

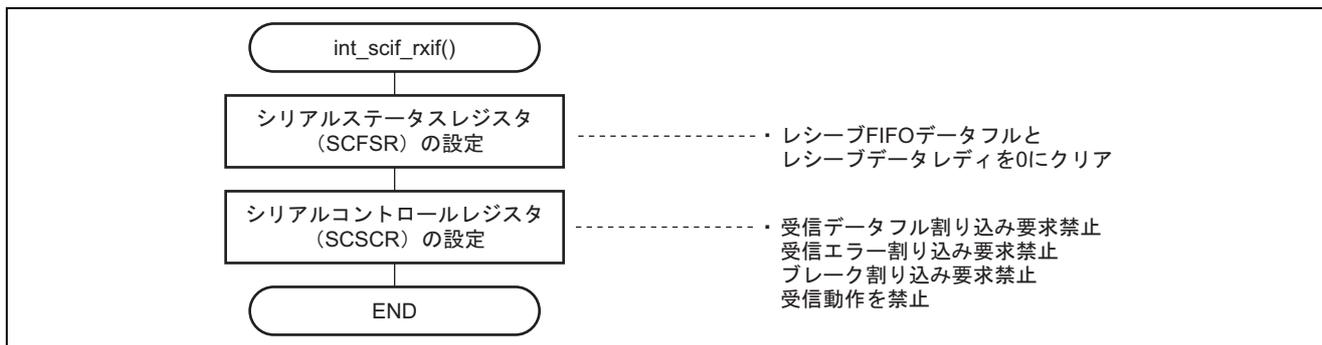
6. フローチャート

6.1 メインルーチン

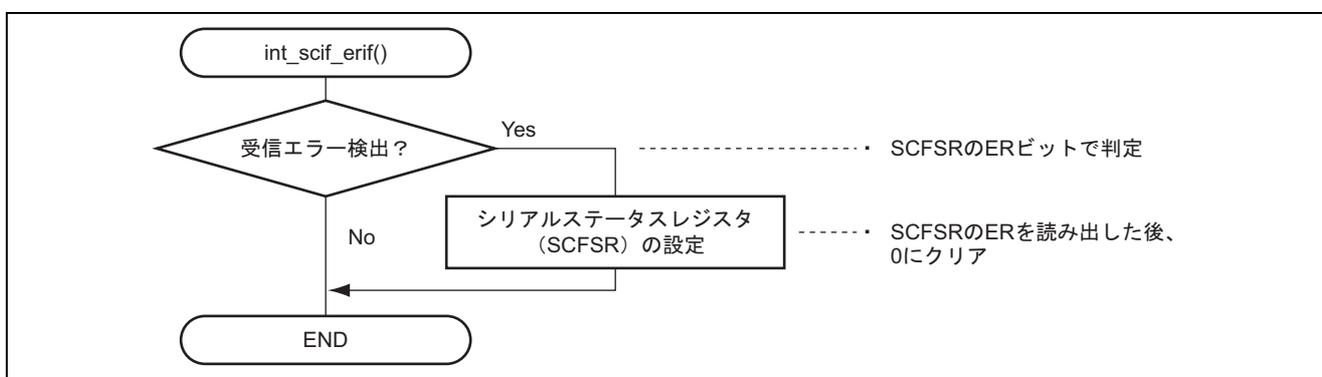




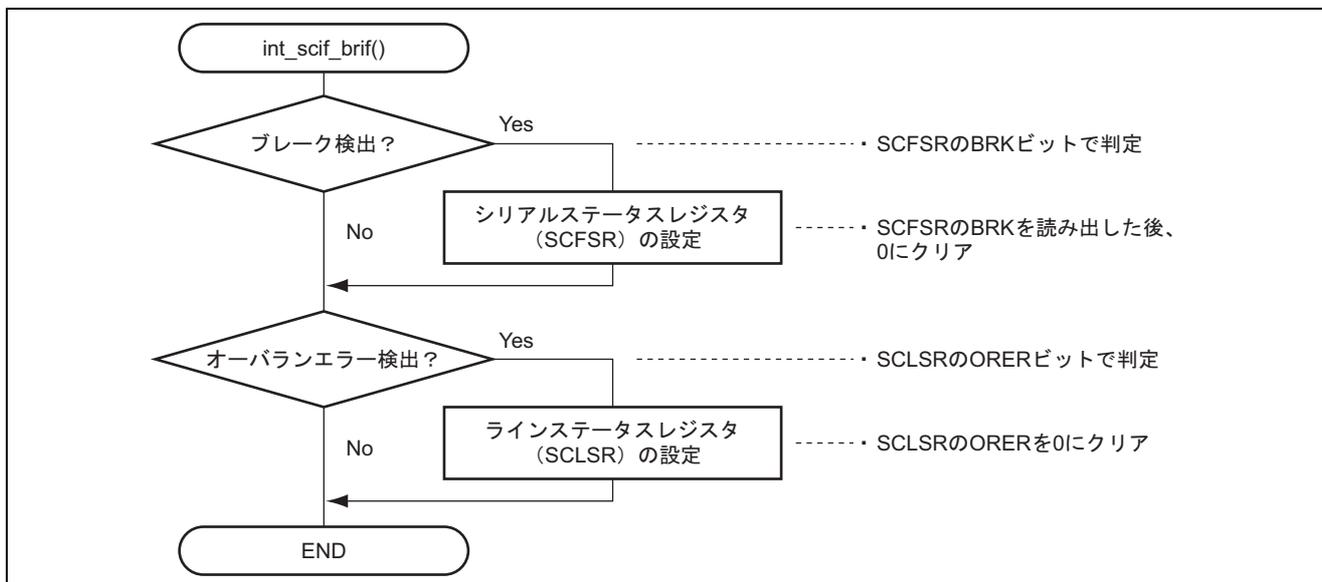
### 6.2 SCIF 受信データフル割り込みルーチン



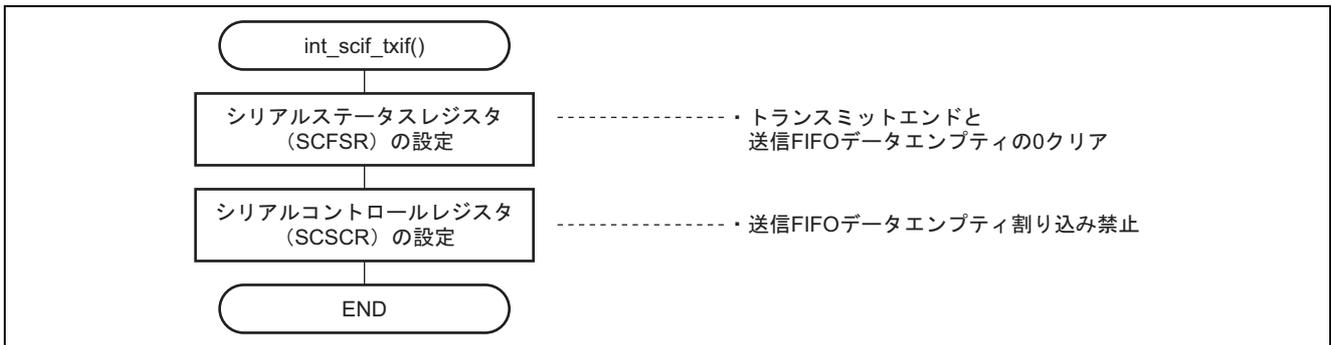
### 6.3 SCIF 受信エラー割り込みルーチン



### 6.4 SCIF ブレーク割り込みルーチン



6.5 SCIF 送信 FIFO データエンブティ割り込みルーチン



改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.27	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。