

32 ビット・シングルチップ・マイクロコントローラ

V850ES/Jx3-L

R01AN0473JJ0100

Rev.1.00

2011.3.25

電源電流編

要旨

このアプリケーション・ノートは、V850ES/Jx3-L の電源電流の低減に関する機能を説明しています。V850ES/Jx3-L の電源電流の特徴、電源電流を低減する機能を理解していただき、アプリケーション・システムの電源電流の低減にお役立てください。

対象デバイス

- V850ES/JC3-L
 - ・μPD70F3797
 - ・μPD70F3798
 - ・μPD70F3799
 - ・μPD70F3800
 - ・μPD70F3801
 - ・μPD70F3802
 - ・μPD70F3803
 - ・μPD70F3804
 - ・μPD70F3838
 - ・μPD70F3839
- V850ES/JE3-L
 - ・μPD70F3805
 - ・μPD70F3806
 - ・μPD70F3807
 - ・μPD70F3808
 - ・μPD70F3840
- V850ES/JF3-L
 - ・μPD70F3735
 - ・μPD70F3736
- V850ES/JG3-L
 - ・μPD70F3737
 - ・μPD70F3738
 - ・μPD70F3792
 - ・μPD70F3793
 - ・μPD70F3841
 - ・μPD70F3842

目次

- 第 1 章 概 要 ... 3
 - 1.1 はじめに ... 3
 - 1.2 電源電流のデータについて ... 3
- 第 2 章 V850ES/Jx3-L の電源電流の特徴 ... 4
 - 2.1 処理性能と消費電力 ... 4
 - 2.2 動作周波数と電源電流 ... 5
 - 2.3 動作周囲温度と電源電流 ... 6
 - 2.4 電源電圧と電源電流 ... 7
- 第 3 章 電源電流を低減する機能 ... 8
 - 3.1 クロック制御 ... 8
 - 3.1.1 CPU クロック選択 ... 10
 - 3.1.2 PLL 機能 ... 12
 - 3.1.3 内蔵発振器 ... 15
 - 3.1.4 各周辺機能へのクロック供給/停止機能 ... 16
 - 3.2 スタンバイ機能 ... 18
 - 3.3 A/D コンバータ ... 20
 - 3.4 時計タイマ機能とタイマ M ... 21
- 付録 A 電源電流特性データ ... 23
 - A.1 動作周波数 vs. 電源電流特性 (通常動作モード時) ... 23
 - A.2 周囲温度 vs. 電源電流特性 ... 27
 - A.3 電源電圧 vs. 電源電流特性 ... 34

はじめに

- 対象者** このアプリケーション・ノートは、V850ES/Jx3-L の機能を理解し、それを用いたアプリケーション・システムを設計するユーザを対象としています。
- 目的** このアプリケーション・ノートは、V850ES/Jx3-L の電源電流を抑えるためのノウハウを学んでいただくことを目的としています。
- 構成** このアプリケーション・ノートは、大きく分けて次の内容で構成しています。
- ・概要
 - ・V850ES/Jx3-L の電源電流の特徴
 - ・電源電流を低減する機能
- 読み方** このアプリケーション・ノートを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき
→目次に従って読んでください。

V850ES/Jx3-L の電源電流の特徴を理解しようとするとき
→第 2 章 V850ES/Jx3-L の電源電流の特徴を参照してください。

電源電流を低減する機能を理解しようとするとき
→第 3 章 電源電流を低減する機能を参照してください。

V850ES/Jx3-L のハードウェア機能を知りたいとき
→V850ES/Jx3-L 各製品のユーザーズ・マニュアル ハードウェア編を参照してください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
 - アクティブ・ロウの表記 : x x x (端子, 信号名称に上線)
 - 注 : 本文中につけた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文の補足説明
 - 数の表記 : 2 進数... x x x x または x x x x B
10 進数... x x x x
16 進数... x x x x H

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/Jx3-L に関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943JJ
V850ES/JC3-L, V850ES/JE3-L ユーザーズ・マニュアル ハードウェア編	R01UH0018JJ
V850ES/JG3-L ユーザーズ・マニュアル ハードウェア編	R01UH0165JJ
V850ES/JF3-L ユーザーズ・マニュアル ハードウェア編	R01UH0017JJ

第1章 概要

1.1 はじめに

本アプリケーション・ノートでは、V850ES/Jx3-L の電源電流に関する機能を説明します。第 2 章では電源電流の特長について、第 3 章では電源電流を低減する機能について説明します。

本アプリケーション・ノートで、V850ES/Jx3-L の電源電流の特徴と電源電流を低減する機能を理解して頂き、アプリケーション・システムの電源電流の低減にお役立てください。

1.2 電源電流のデータについて

本文中に掲載している電源電流のグラフや値は特定サンプルで測定した実測値であり、その内容を保証するものではありません。また製品のバラツキにより特性が異なる場合がありますので、ご注意ください。保証する電源電流については、V850ES/Jx3-L 各製品のユーザーズ・マニュアル ハードウェア編の電気的特性の章を参照してください。

備考

V850ES/JC3-L, V850ES/JE3-L	ユーザーズ・マニュアル	ハードウェア編	R01UH0018JJ
V850ES/JF3-L	ユーザーズ・マニュアル	ハードウェア編	R01UH0017JJ
V850ES/JG3-L	ユーザーズ・マニュアル	ハードウェア編	R01UH0165JJ

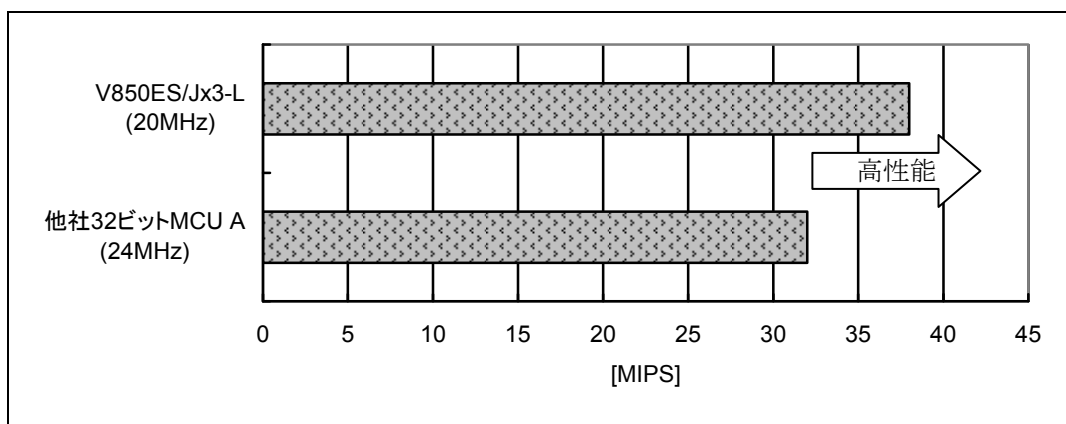
第2章 V850ES/Jx3-Lの電源電流の特徴

この章では、V850ES/Jx3-Lの電源電流の特徴について説明します。

2.1 処理性能と消費電力

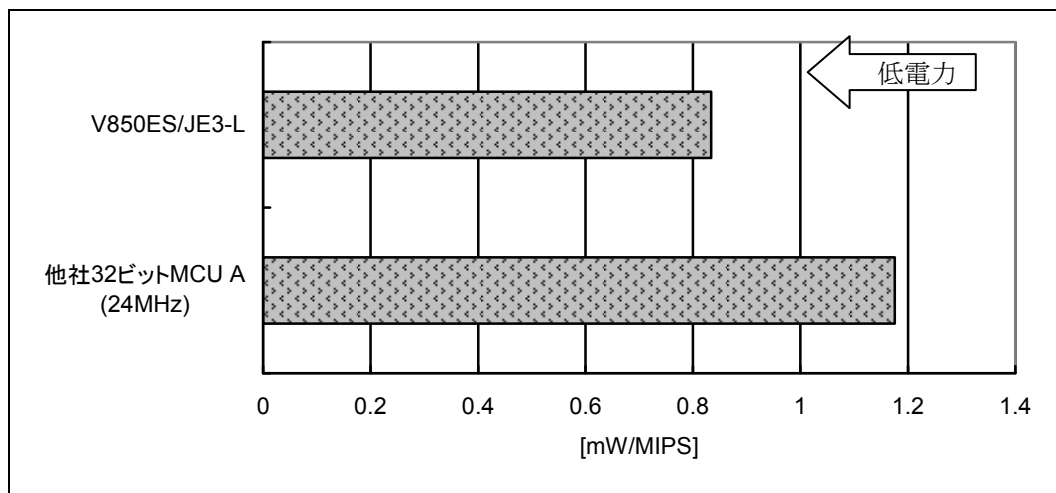
V850ES/Jx3-Lは、32ビット・マイクロコントローラの処理性能と16ビット・マイクロコントローラ・クラスの低消費電力を両立したマイクロコントローラです。性能はドライストーン2.1のベンチマーク・プログラムにおいて20MHz動作時に38MIPSを実現します。また、同一周波数下においては他社32ビット・マイクロコントローラの約1.4倍以上の処理性能を有しています(図2-1参照)。

図2-1 処理性能 [ドライストーン 2.1]



消費電力については、1MIPS当りの消費電力で比較すると、他社32ビット・マイクロコントローラと比較して約70%以下の低消費電力を実現しております(図2-2参照)。

図2-2 1MIPS当りの消費電力 [ドライストーン 2.1]



- 備考 1 電源電圧 : 3.3V
2 電源電流 : ドライストーン 2.1 実行時の値を使用
3 MIPS : Million Instructions Per Second の略
4 64ピン, Flash サイズ 256KB 品で比較

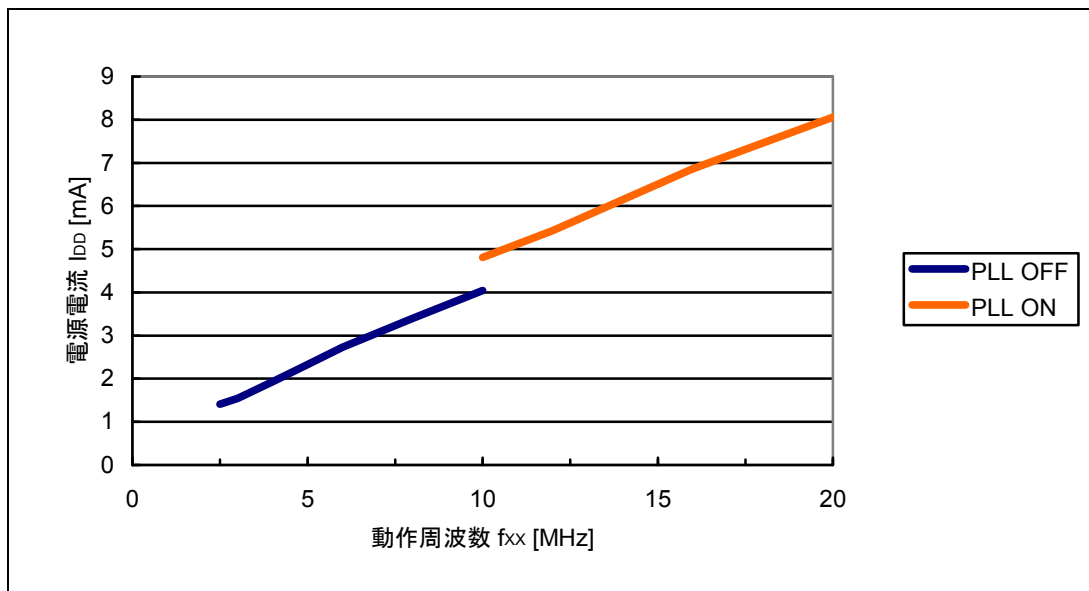
2.2 動作周波数と電源電流

マイクロコントローラの電力を比較する場合、単純に周波数における電流の値で比較するだけでは不十分なことがあります。それは、マイクロコントローラで使用する周波数を、処理の実行時間によって決定することがあるからです。たとえば、あるマイクロコントローラでは20MHzで実行しなければ許容処理時間を満たせない処理でも、2倍の処理性能を有するマイクロコントローラであれば、10MHzで動作させても許容処理時間を満たせる場合があります。

マイクロコントローラは通常、動作周波数が高いほど電源電流が大きくなります。そのため、動作周波数を抑えて低い周波数で動作させることができれば、更なる低消費電力を実現できます。たとえば、V850ES/Jx3-Lは、16MHz動作時でも30MIPS (Dhrystone2.1)の処理性能があり、他社32ビット・マイクロコントローラの24MHz動作クラスの処理性能を有しています。そのときの電源電流は約6.9mAです。

図2-3はV850ES/JE3-Lの動作周波数と電源電流の関係を表しています。

図 2-3 動作周波数と電源電流の関係 (V850ES/JE3-L での例)



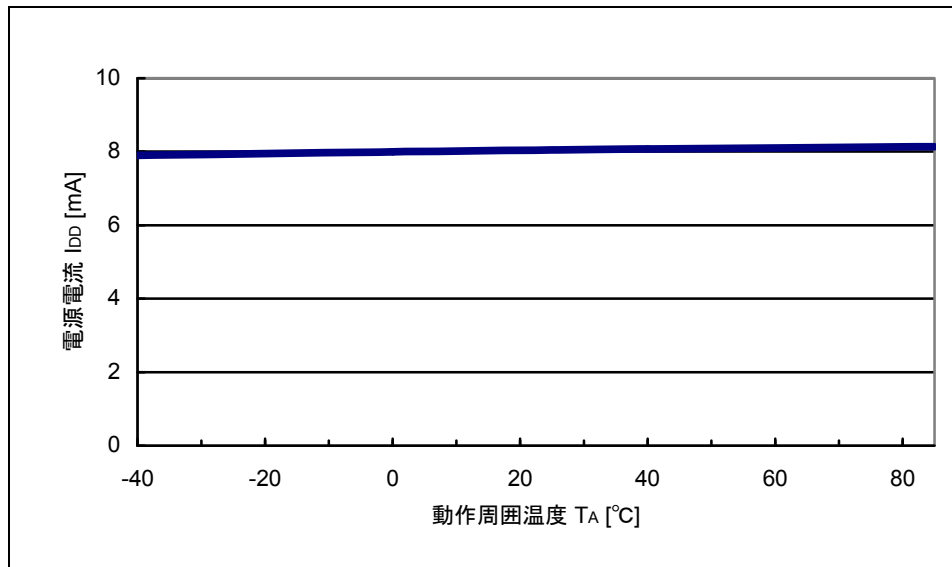
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3V$ 、 $T_A=25^{\circ}C$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

2.3 動作周囲温度と電源電流

電気的特性の電源電流の TYP. 値は動作周囲温度 (T_A) が 25°C の場合の値であり、電源電流は動作周囲温度 (T_A) により変化します。特に、STOP モードなどでは高温側の電源電流の変化量が大きくなるので、電源電流を抑えるためにアプリケーション・システムの使用温度範囲を絞ることも有効です。

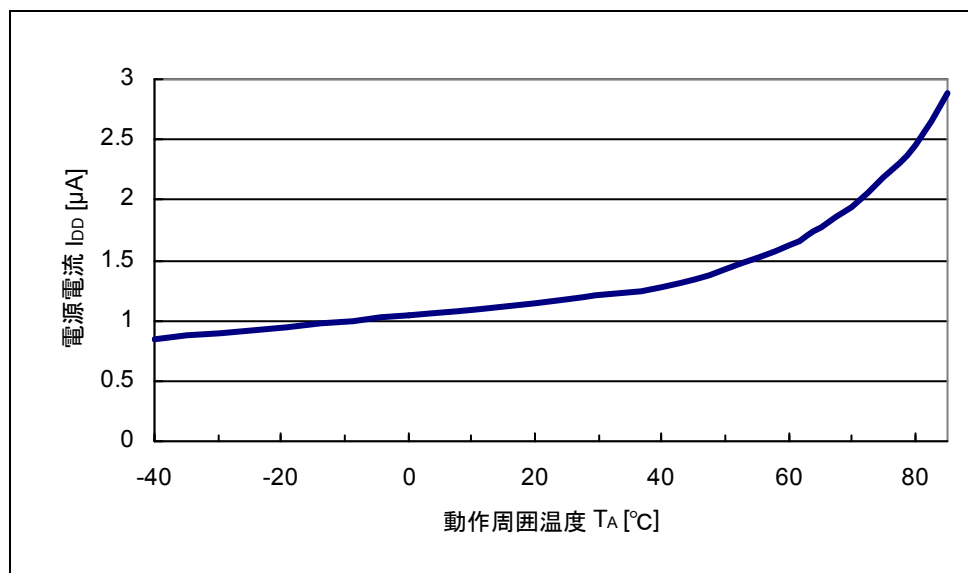
図 2-4 は通常動作モード時の動作周囲温度と電源電流の関係、図 2-5 は低電圧 STOP モード時の動作周囲温度と電源電流の関係を表しています。

図 2-4 動作周囲温度と電源電流の関係 (V850ES/JE3-L : 通常動作モードでの例)



備考 電源電流は、 $V_{DD}=EV_{DD}=3.3\text{V}$ 、 $T_A=25^{\circ}\text{C}$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

図 2-5 動作周囲温度と電源電流の関係 (V850ES/JE3-L : 低電圧 STOP モードでの例)



備考 電源電流は、 $V_{DD}=EV_{DD}=3.3\text{V}$ の条件で、周辺機能を全て停止し、サブクロック未使用時の値です。

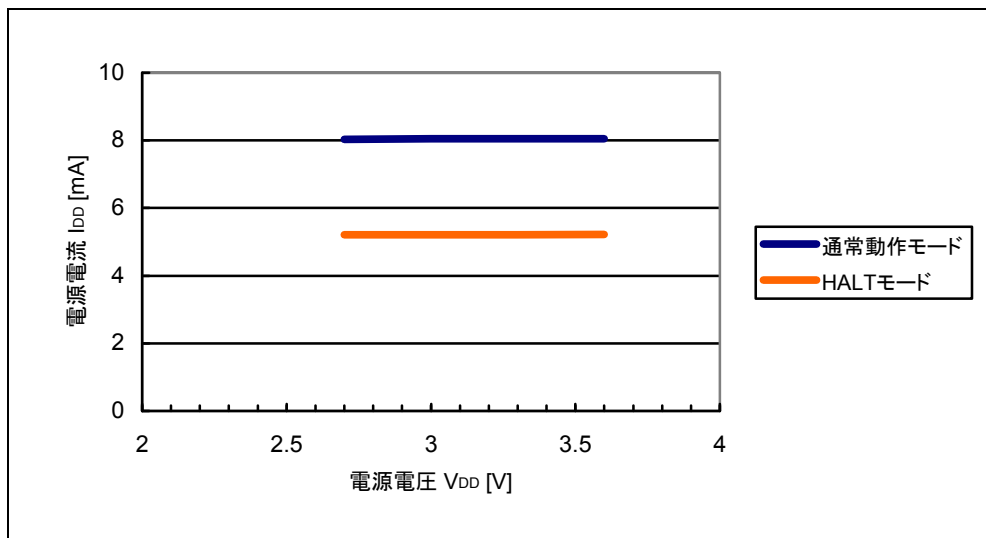
2.4 電源電圧と電源電流

V850ES/Jx3-L は、内部回路を定電圧動作させるためのレギュレータを内蔵しています。このレギュレータは、発振器ブロックと内部ロジック回路（A/D コンバータ、D/A コンバータ、出力バッファは除く）に V_{DD} 電源電圧を降圧した電圧（約 2.5V）を供給します。

レギュレータを内蔵しているため、電源電流は電源電圧 V_{DD} に対してほとんど影響がありません。

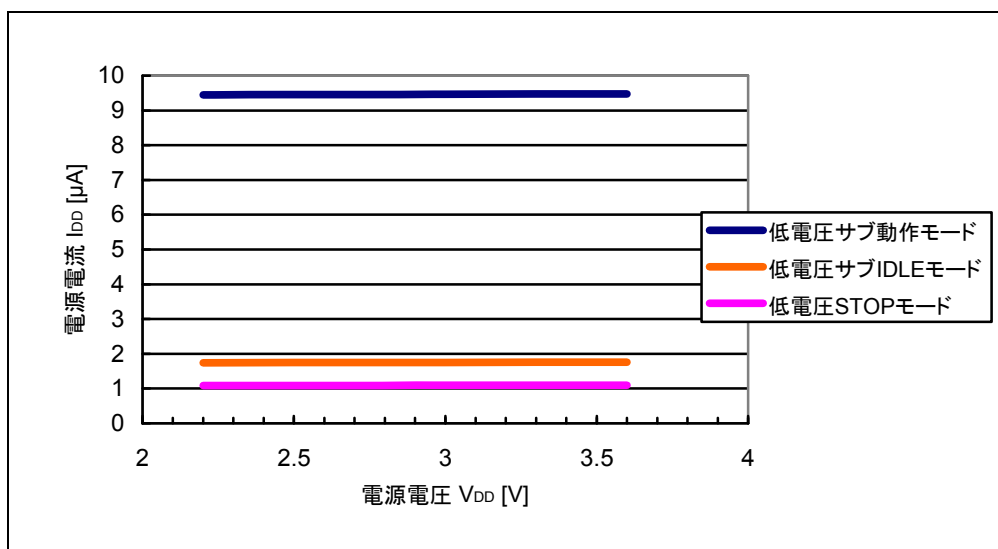
図 2-6 は 20MHz 動作時の電源電圧と電源電流の関係を表しています。図 2-7 は低電圧モード時の電源電圧と電源電流の関係を表しています。

図 2-6 20MHz 動作時の電源電圧と電源電流の関係（V850ES/JE3-L での例）



備考 電源電流は、 $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止し、通常動作モードについては全命令を繰り返し実行したときの値です。

図 2-7 低電圧モード時の電源電圧と電源電流の関係（V850ES/JE3-L での例）



備考 電源電流は、 $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止したときの値です。また、低電圧 STOP モード時はサブクロック未使用時の値です。

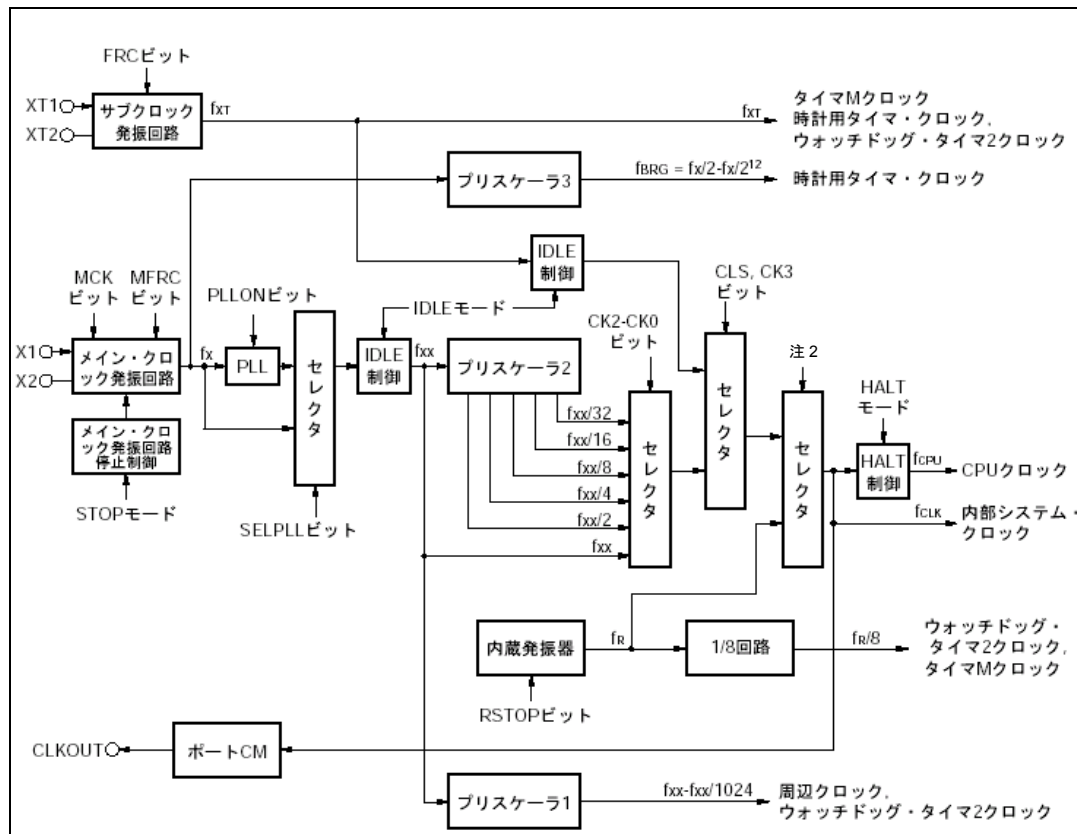
第3章 電源電流を低減する機能

この章では、V850ES/Jx3-Lの電源電流を低減する機能について説明します。

3.1 クロック制御

最適なクロックを選択し、必要のないクロックや機能を停止することで電源電流を低減できます。次にV850ES/Jx3-Lのクロック発生回路を示します。

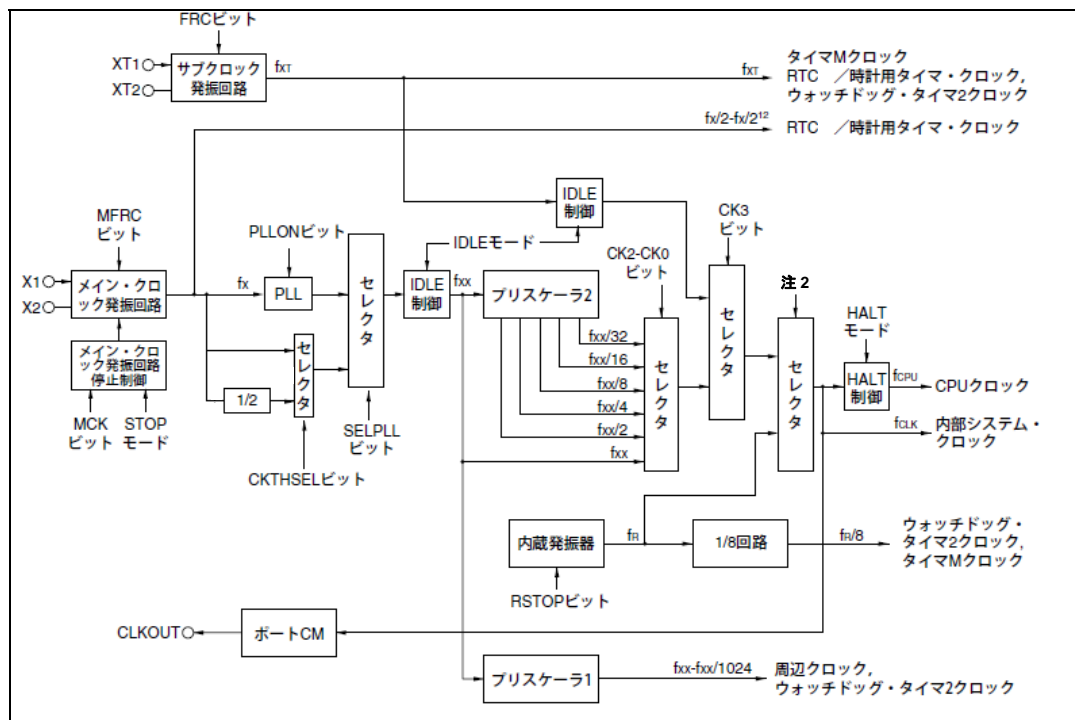
図 3-1 クロック発生回路 (1/2) 注1



- 注1 μ PD70F3735, μ PD70F3736, μ PD70F3737, μ PD70F3738, μ PD70F3797, μ PD70F3798, μ PD70F3799, μ PD70F3800, μ PD70F3801, μ PD70F3802, μ PD70F3803, μ PD70F3804, μ PD70F3838, μ PD70F3839, μ PD70F3805, μ PD70F3806, μ PD70F3807, μ PD70F3808, μ PD70F3840 の回路です。
- 2 発振安定期間中にウォッチドッグ・タイマ2がオーバーフローした場合、内蔵発振クロックが選択されます。

備考 f_x : メイン・クロック発振周波数
 f_{xx} : メイン・クロック周波数
 f_{CLK} : 内部システム・クロック周波数
 f_{xt} : サブクロック周波数
 f_{CPU} : CPU クロック周波数
 f_r : 内蔵発振クロック周波数

図 3-1 クロック発生回路 (2/2) 注1



注 1 μ PD70F3792, μ PD70F3793, μ PD70F3841, μ PD70F3842 の回路です。

2 発振安定期間中にウォッチドッグ・タイマ 2 がオーバーフローした場合、内蔵発振クロックが選択されます。

- 備考**
- f_x : メイン・クロック発振周波数
 - f_{xx} : メイン・クロック周波数
 - f_{CLK} : 内部システム・クロック周波数
 - f_{XT} : サブクロック周波数
 - f_{CPU} : CPU クロック周波数
 - f_R : 内蔵発振クロック周波数

3.1.1 CPUクロックの選択

内蔵周辺機能のクロック周波数は変更せずに、メイン・クロック周波数 (f_{xx}) の分周比を選択して、CPUクロック (f_{CPU}) として使用することが可能です。分周したクロックを選択することで、電源電流を低減できます。

(1) 機能の詳細

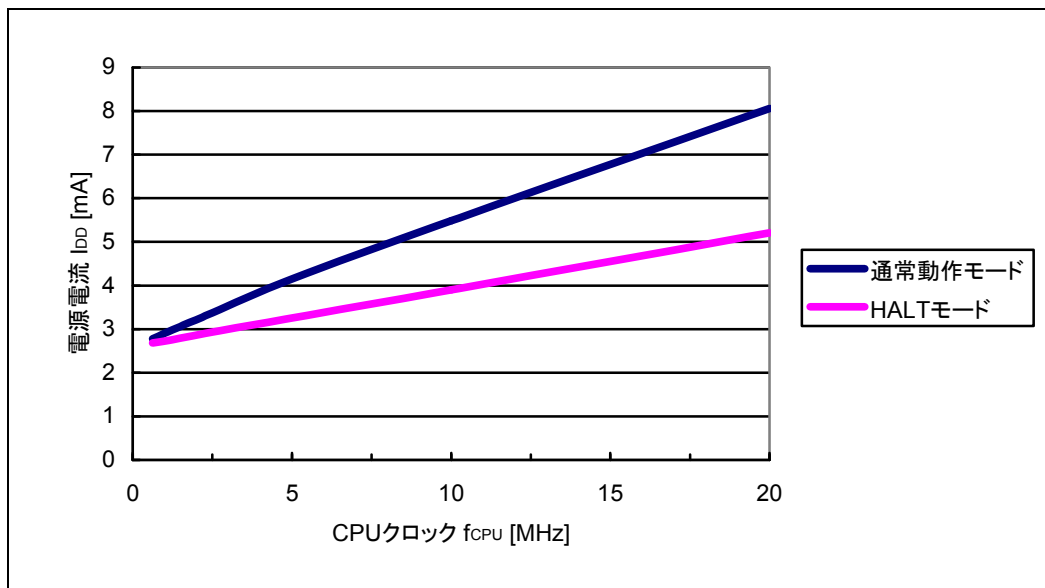
PCCレジスタのCK3-CK0ビットを設定することで、メイン・クロック周波数 (f_{xx}) を分周したクロックをCPUクロック (f_{CPU}) と内蔵システム・クロック (f_{CLK}) に使用することができます。このとき、プリスケアラ1からクロック供給される周辺クロックには影響しないため、内蔵周辺機能の再設定をすることなく、電源電流の低減が可能です。

たとえば、次のような場合に電源電流の低減手段として有効です。

- ・ 内蔵周辺機能に高速なクロックが必要であるが、CPU処理性能は下げられるとき。
- ・ 一定期間だけCPUの処理性能が必要で、それ以外は低速でも良い場合。
- ・ HALTモードの代用 (HALTよりも復帰に時間がかかっても良い場合)

図3-2は $f_{xx}=20\text{MHz}$ 時にPCCレジスタのCK3-CK0ビットにより、CPUクロック (f_{CPU}) のクロック選択を変えた場合の周波数と電源電流の関係を表しています。

図3-2 CPUクロックと電源電流の関係 (V850ES/JE3-Lでの例)



備考 電源電流は、 $V_{DD}=EV_{DD}=3.3\text{V}$ 、 $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止し、通常動作モードについては全命令を繰り返し実行したときの値です。

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPU クロック (f_{CPU}) と内蔵システム・クロック (f_{CLK}) のクロックを選択するレジスタです。低速な CPU クロックを選択することで電源電流を低減することができます。

PCC レジスタの詳細は、V850ES/Jx3-L の各製品のユーザーズ・マニュアルを参照してください。

PCC レジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます。リセットにより 03H になります。

表 3-1 PCC レジスタのフォーマット

	7	6	5	4	3	2	1	0
PCC	FRC	MCK	MFRC	CLS	CK3	CK2	CK1	CK0

CK3	CK2	CK1	CK0	クロックの選択(f_{CLK}/f_{CPU})
0	0	0	0	f_{XX}
0	0	0	1	$f_{XX}/2$
0	0	1	0	$f_{XX}/4$
0	0	1	1	$f_{XX}/8$ (初期値)
0	1	0	0	$f_{XX}/16$
0	1	0	1	$f_{XX}/32$
0	1	1	X	設定禁止
1	0	0	0	サブクロック

備考 CPU クロック (f_{CPU}) は、CPU の動作クロックとして使用されています。内蔵システム・クロック (f_{CLK}) は、割り込みコントローラ、内蔵 ROM、内蔵 RAM、DMA、バス制御機能の動作クロックとして使用されています。

3.1.2 PLL 機能

V850ES/Jx3-L では、メイン・クロック発振周波数 (fx) をそのままメイン・クロック周波数 (fxx) として動作させるクロック・スルー・モードと、PLL 機能によりメイン・クロック発振周波数 (fx) を 4 通倍する PLL モードが選択できます。PLL を停止し、クロック・スルー・モードで動作させることで電源電流を低減できます。使用できるメイン・クロック発振周波数 (fx) と、メイン・クロック周波数 (fxx) は次の通りです。

表 3-2 使用できるメイン・クロック発振周波数 (fx) と、メイン・クロック周波数 (fxx) の関係

μPD70F3735, μPD70F3736, μPD70F3737, μPD70F3738, μPD70F3797, μPD70F3798,
μPD70F3799, μPD70F3800, μPD70F3801, μPD70F3802, μPD70F3803, μPD70F3804,
μPD70F3838, μPD70F3839, μPD70F3805, μPD70F3806, μPD70F3807, μPD70F3808,
μPD70F3840 の場合

クロック・モード	メイン・クロック発振周波数 (fx)	メイン・クロック周波数 (fxx)
クロック・スルー・モード	2.5 ~ 10 MHz	2.5 ~ 10 MHz
PLLモード	2.5 ~ 5 MHz	10 ~ 20 MHz

μPD70F3792, μPD70F3793, μPD70F3841, μPD70F3842 の場合

クロック・モード	メイン・クロック発振周波数 (fx)	メイン・クロック周波数 (fxx)
クロック・スルー・モード	2.5 ~ 10 MHz	1.25 ~ 10 MHz
PLLモード	2.5 ~ 5 MHz	10 ~ 20 MHz

(1) 機能の詳細

PLLCTL レジスタで、PLL 動作/停止、クロック・スルー・モード/PLL モードの選択ができます。PLL を停止状態から PLL を動作させるためには PLL ロックアップ時間 (PLLS レジスタで設定) が必要です。

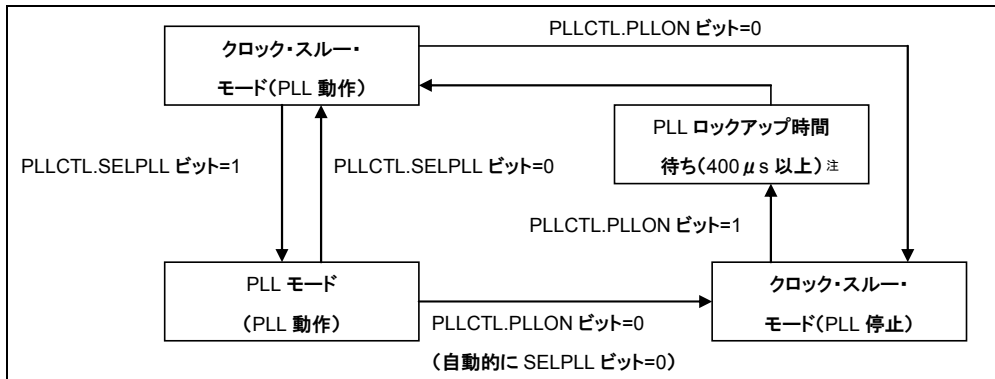
リセット解除後は、PLL 動作&クロック・スルー・モードの状態になりますので、PLL モードで使用する場合には、PLL モード (PLLCTL.SELPLL ビット=1) にしてください。また、PLL を使用しない場合には PLL 停止 (PLLCTL.PLLON ビット=0) にすることで、電源電流を低減できます。

たとえば、次のような場合にクロック・スルー・モードで動作させることは、電源電流の低減手段として有効です。

- ・ 周辺機能を含め常に 10MHz 以下で動作可能なとき。
- ・ 一定期間だけ CPU の演算性能が必要で、それ以外は低速でも良い場合。また、PLL モードとクロック・スルー・モードの切り替え時に周辺機能の停止/再設定が可能な場合。

PLL モードの状態からクロック・スルー・モードに切り替えるとき、PLL 動作 (PLLCTL.PLLON=1) のまま、クロック・スルー・モードに切り替える (PLLCTL.SELPLL=0) 方法と、PLL を停止 (PLLCTL.PLLON=0) する方法があります。PLL を停止すると、再度 PLL を動作させるには PLL ロックアップ時間 (400μs 以上) が必要になりますが、PLL を使用しないときに PLL 停止することで約 1mA の電源電流を低減できます。図 3-3 はクロック・スルー・モードと PLL モードの状態遷移図を表しています。

図 3-3 クロック・スルー・モードと PLL モードの状態遷移図



注 メイン・クロック発振周波数に合わせて、PLLS レジスタにロックアップ時間が 400μs 以上になるように設定してください。

(2) PLL コントロール・レジスタ (PLLCTL)

PLL の動作の選択、および PLL モードの選択をするレジスタです。PLL を停止し、クロック・スルー・モードで動作させることで電源電流を低減することができます。

PLLCTL レジスタの詳細は、V850ES/Jx3-L の各製品のユーザーズ・マニュアルを参照してください。リセットにより 01H になります。

表 3-3 PLLCTL レジスタのフォーマット

	7	6	5	4	3	2	1	0
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

SELPLL	動作クロック選択レジスタ
0	クロック・スルー・モード (初期値)
1	PLLモード

PLLON	PLL動作停止レジスタ
0	PLL停止
1	PLL動作 (PLLロックアップ時間が必要)

(3) PLL ロックアップ時間指定レジスタ (PLLS)

PLLCTL.PLLON ビットを 0→1 に設定したときの、PLL ロックアップ時間を選択するレジスタです。
PLLS レジスタの詳細は、V850ES/Jx3-L の各製品のユーザーズ・マニュアルを参照してください。
リセットにより 03H になります。

表 3-4 PLLS レジスタのフォーマット

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	$2^{10}/f_x$
0	1	$2^{11}/f_x$
1	0	$2^{12}/f_x$
1	1	$2^{13}/f_x$ (初期値)

- 備考 1** ロックアップ時間は、400 μ s 以上になるように設定してください。
2 ロックアップ期間中は、PLLS レジスタの設定を変更しないでください。

(4) ロック・レジスタ (LOCKR)

PLL 周波数の安定状態を示すレジスタです。PLL モード (PLLCTL.SELPLL ビット=1) に設定する場合は、PLL 周波数が安定した (LOCKR.LOCK ビット=0) 状態で設定する必要があります。

LOCKR レジスタの詳細は、V850ES/Jx3-L の各製品のユーザーズ・マニュアルを参照してください。
リセットにより 01H になり、リセット解除後の発振安定時間経過後に 00H になります。

表 3-5 LOCKR レジスタのフォーマット

	7	6	5	4	3	2	1	0
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態 (リセット解除後の発振安定時間経過後の初期値)
1	アンロック状態

【セット条件】

- ・ システム・リセット時 (リセットで 01H となり、リセット解除後の発振安定時間経過後に 00H になる)
- ・ IDLE2, STOP モード時
- ・ PLL 停止設定時 (PLLCTL.PLLON=0)
- ・ CPU をサブクロック動作としメイン・クロックを停止したとき (PCC.CK3=1 を設定し、PCC.MCK=1 を設定)

【クリア条件】

- ・ リセット解除後の発振安定時間 (オプションバイトで設定) 経過後
- ・ IDLE2, STOP モード解除後の発振安定時間 (OSTS レジスタで設定) 経過後 (PLL 動作状態で IDLE2, STOP モードを設定した場合)
- ・ PLLCTL.PLLON ビットを 0→1 にし、ロックアップ時間 (PLLS で設定) 経過後

3.1.3 内蔵発振器

V850ES/Jx3-L では、ウォッチドッグ・タイマ 2，タイマ M，クロック・モニタ用のクロックとして、内蔵発振器のクロックを選択できます。

これらの機能を使用しないか、ウォッチドッグ・タイマ 2，タイマ M で内蔵発振器のクロックを使用しないときは、内蔵発振器を停止することで消費電力を低減できます。

(1) 機能の詳細

リセット解除後、内蔵発振器は動作を開始し、ウォッチドッグ・タイマ 2 は内蔵発振クロック (f_R) で動作を開始します。ウォッチドッグ・タイマ 2 を使用しない場合、内蔵発振器とウォッチドッグ・タイマ 2 を停止してください。また、他のクロック (メイン・クロック / サブクロック) でウォッチドッグ・タイマ 2 を動作させる場合には、クロックを切り替えた後、内蔵発振器を停止してください。内蔵発振器を停止することで約 2~5 μ A の電源電流を低減することができます。

たとえば、次のような場合に内蔵発振器を停止して、電源電流が低減できます。

- ・ ウォッチドッグ・タイマ 2，クロック・モニタを使用しない場合。
- ・ ウォッチドッグ・タイマ 2 をメイン・クロック，またはサブクロックで動作させる場合，かつクロック・モニタを使用しない場合。

(2) 内蔵発振モード・レジスタ (RCM)

内蔵発振器の発振 / 停止を制御するレジスタです。

RCM レジスタの詳細は、V850ES/Jx3-L の各製品のユーザーズ・マニュアルを参照してください。

リセットにより 00H になります。

表 3-6 RCM レジスタのフォーマット

	7	6	5	4	3	2	1	0
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振 / 停止
0	内蔵発振器発振
1	内蔵発振器停止

3.1.4 各周辺機能へのクロック供給／停止機能

V850ES/Jx3-L は各周辺機能をソフトウェアで動作停止することができます。使用しない周辺機能は動作を停止することで、電源電流を低減できます。

(1) 機能の詳細

V850ES/Jx3-L は次の周辺機能をソフトウェアで動作停止することができます。リセット解除後、各周辺機能は停止状態になっています。

- ・ タイマ P (TMP)
- ・ タイマ Q (TMQ)
- ・ タイマ M (TMM)
- ・ 時計タイマ
- ・ リアルタイム・カウンタ (RTC) ^{注1}
- ・ リアルタイム出力機能 (RTO)
- ・ A/D コンバータ (A/D)
- ・ D/A コンバータ (D/A)
- ・ アシンクロナス・シリアル・インタフェース A (UARTA)
- ・ アシンクロナス・シリアル・インタフェース C (UARTC) ^{注2}
- ・ 3 線式可変長シリアル I/O (CSIB)
- ・ I²C バス (I2C)
- ・ DMA コントローラ (DMA)
- ・ クロック・モニタ (CLM)
- ・ 低電圧検出回路 (LVI)

注 1 μPD70F3735, μPD70F3736, μPD70F3737, μPD70F3738 以外の製品に搭載されています。

注 2 μPD70F3792, μPD70F3793, μPD70F3841, μPD70F3842 のみに搭載されています。

(2) 動作許可／停止の制御レジスタ

各周辺機能はそれぞれ、次のレジスタ、ビットで動作許可／停止を制御します。

表 3-7 周辺機能と対応する制御レジスタ／ビット

周辺機能	動作／停止 制御レジスタ	動作／停止 制御ビット	停止設定
TMP	TPnCTL0	TPnCE	0
TMQ	TQ0CTL0	TQ0CE	0
TMM	TM0CTL0	TM0CE	0
時計タイマ	WTM	WTM0	0
RTC ^{注1}	RC1CC1	RTCE	0
RTO	RTPC0	RTPOE0	0
A/D	ADA0M0	ADA0CE	0
D/A	DA0M	DA0CEn	0
UARTA	UAnCTL0	UAnPWR	0
UARTC ^{注2}	UC0CTL0	UC0PWR	0
CSIB	CBnCTL0	CBnPWR	0
I ² C	IICn	IICEn	0
DMA	DCHCn	Enn	0
CLM	CLM	CLME	0
LVI	LVIM	LVION	0

注 1 μPD70F3735, μPD70F3736, μPD70F3737, μPD70F3738 以外の製品に搭載されています。

2 μPD70F3792, μPD70F3793, μPD70F3841, μPD70F3842 のみに搭載されています。

3.2 スタンバイ機能

V850ES/Jx3-L は、3 種類の動作モードと 7 種類^注のスタンバイ・モードがあります。各モードを組み合わせ、用途によって切り替えて使用することで、効果的な低消費電力システムを実現できます。

注 μ PD70F3792, μ PD70F3793, μ PD70F3841, μ PD70F3842 のみ 8 種類のスタンバイ・モードがあります。

3.2.1 動作モードとスタンバイ・モードの種類

動作モードとスタンバイ・モードには次に示すものがあります。

表 3-8 V850ES/Jx3-L の動作モードとスタンバイ・モード

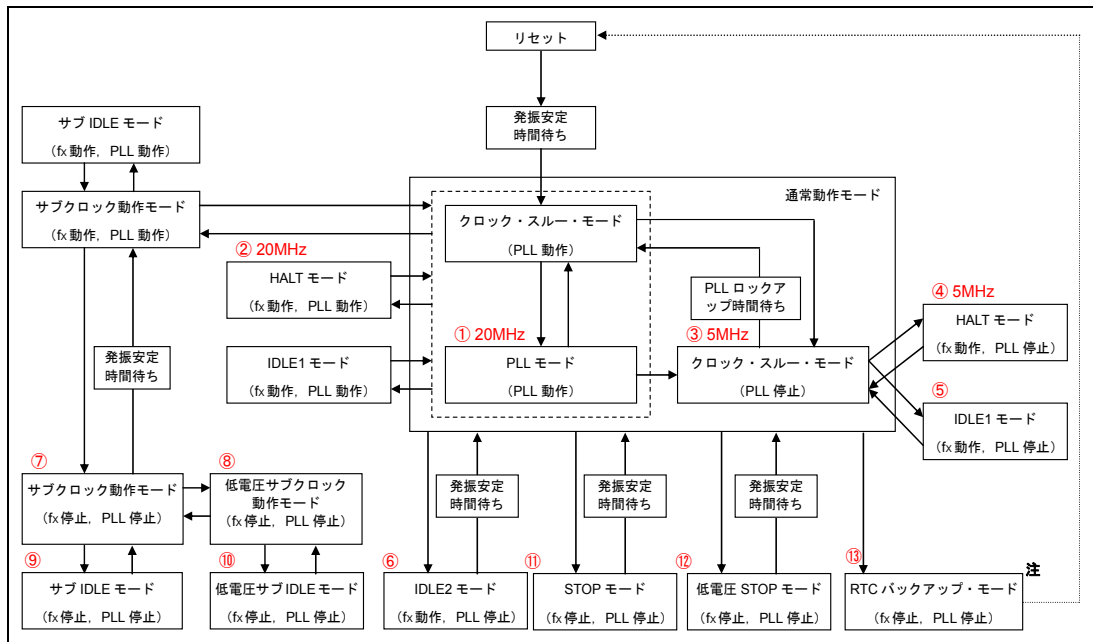
モード	機能概要
通常動作モード	CPUがメイン・クロックで動作するモード。
HALTモード	CPUの動作クロックのみを停止させるモード。
IDLE1モード	発振回路, PLL動作 ^{注1} , フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード。
IDLE2モード	発振回路以外の内部回路をすべて停止させるモード。通常動作モードに復帰するとき, レギュレータ, フラッシュ・メモリ, PLLのセットアップ時間 (OSTSレジスタで設定) が必要。
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード。メイン・クロックを停止した場合, 通常動作モードに復帰するとき, プログラムにより発振安定時間を確保する。
低電圧サブクロック動作モード	内部システム・クロックをサブクロックで動作させ, レギュレータの電圧を下げるモード。メイン・クロックは停止。
サブIDLEモード	サブクロック動作モード時, 発振回路, PLL動作 ^{注1} , フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード。
低電圧サブIDLEモード	低電圧サブクロック動作モード時, フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード。
STOPモード	サブクロック発振回路以外の内部回路動作をすべて停止させるモード。通常動作モードに復帰するとき, 発振安定時間 (OSTSレジスタで設定) が必要。
低電圧STOPモード	サブクロック発振回路以外の内部回路動作をすべて停止させ, レギュレータの電圧を下げるモード。通常動作モードに復帰するとき, 発振安定時間 (OSTSレジスタで設定) が必要。
RTCバックアップ・モード ^{注2}	RTCバックアップ準備状態設定後にRTCバックアップ電源 (RVDD) 以外の電源供給を停止させるモード。

注 1 IDLE1 モード, サブ IDLE モード時に PLL は, モード遷移直前の状態を保持します。PLL 動作が不要な場合は, 低消費電力化のために PLL を停止させてください。なお, IDLE2 モードの場合, PLL はモード遷移で自動的に停止します。

2 μ PD70F3792, μ PD70F3793, μ PD70F3841, μ PD70F3842 のみ

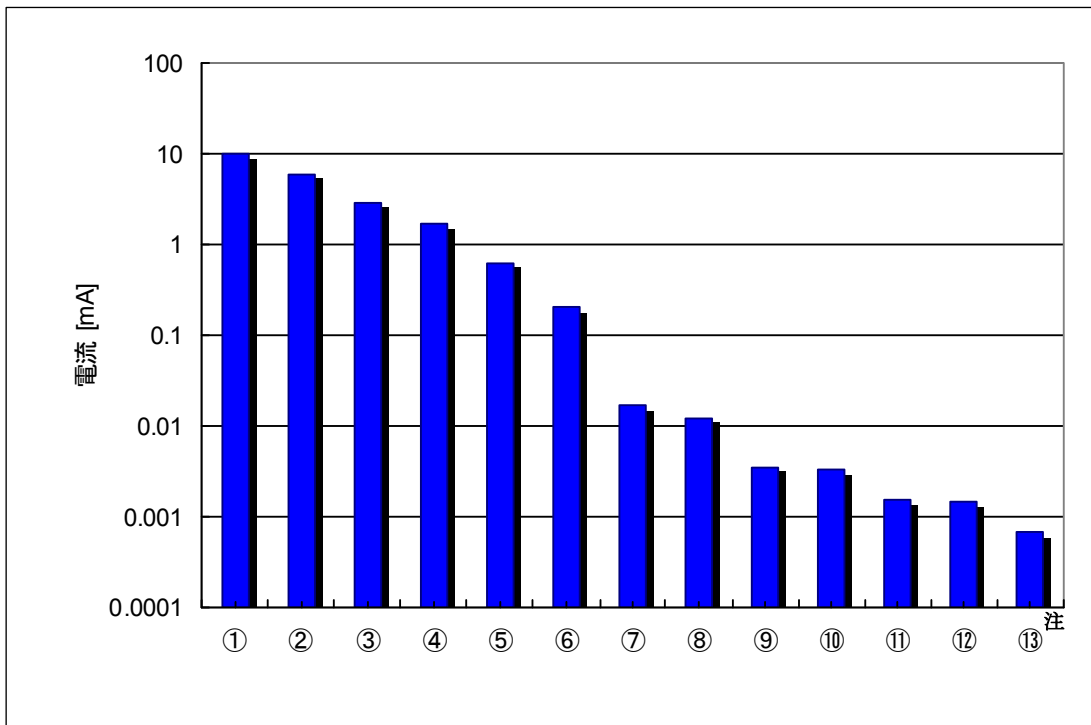
図 3-4 は各モードの状態遷移図，図 3-5 は各モードの電源電流を表しています。

図 3-4 状態遷移図



注 μPD70F3792, μPD70F3793, μPD70F3841, μPD70F3842 のみ

図 3-5 各モードの電源電流 (V850ES/JG 3-L (UPD70F3793) での例)



注 μPD70F3792, μPD70F3793, μPD70F3841, μPD70F3842 のみ

備考 ①~⑬の各モードは，図 3-4 状態遷移図を参照してください。

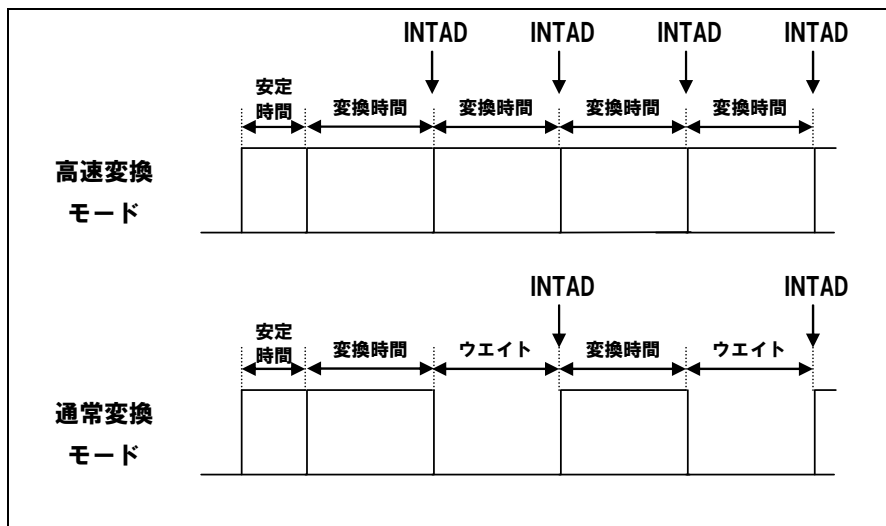
3.3 A/D コンバータ

A/D コンバータの変換モードには、通常変換モードと高速変換モードがあります。A/D コンバータの動作モードを連続セレクト・モード、または連続スキャン・モードで使用する場合、ソフトウェアで動作停止 (ADA0M0.ADA0CE ビット=0) にするまで A/D 変換を繰り返し行います。このように A/D 変換を連続で行う場合には、通常変換モードに設定することで平均電流を低減できます。

(1) 機能の詳細

通常変換モードの場合は、A/D 変換動作許可 (ADA0M0.ADA0CE ビット=1) にしてから、安定時間後に変換を開始し、変換時間の間だけ A/D 変換動作を行います。変換終了後は動作を停止し、ウェイト時間が経過してから A/D 変換終了割り込み要求信号 (INTAD) が発生します。ウェイト時間中は変換動作を停止しているため、平均電流を低減することができます。図 3-6 は高速変換モードと通常変換モードの動作イメージを表しています。

図 3-6 高速変換と通常変換の動作イメージ



(2) A/D コンバータ・モード・レジスタ 1 (ADA0M1)

変換時間を指定するレジスタです。

ADA0M1 レジスタの詳細は、V850ES/Jx3-L の各製品のユーザーズ・マニュアルを参照してください。

リセットにより 00H になります。

表 3-9 ADA0M1 レジスタのフォーマット

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	0	0	0	0	ADA0FR2	ADA0FR1	ADA0FR0

ADA0HS1	通常変換モード／高速変換モードを指定
0	通常変換モード
1	高速変換モード

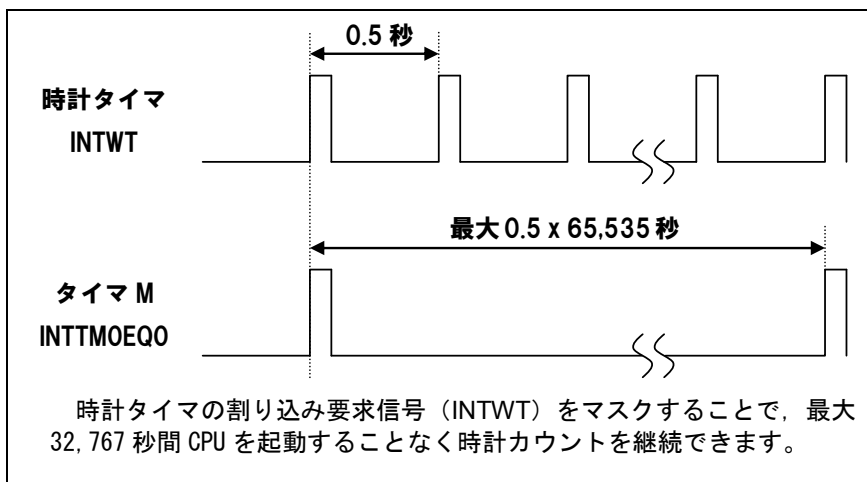
3.4 時計タイマ機能とタイマ M

時計タイマは、0.25 秒または 0.5 秒の時間間隔で割り込み要求信号 (INTWT) を発生します。時計タイマとタイマ M (TMM) を組み合わせることで、時間カウント処理の頻度を大幅に減らすことができるため、電源電流が低減できます。この機能の組み合わせによって、RTC を搭載していない μ PD70F3735, μ PD70F3736, μ PD70F3737, μ PD70F3738 でも、RTC と同等に低頻度の処理で時計カウント機能を実現することが可能です。

(1) 機能の詳細

時計タイマを使用する場合は、割り込み要求信号 (INTWT) により時間カウント処理を行う必要がありますが、タイマ M (TMM) のカウント・クロックに INTWT を選択し、タイマ M のコンペア一致割り込み要求信号 (INTTM0EQ0) により時間カウント処理を行うことで、時間カウント処理の頻度を大幅に減らすことができます。特に、時計のみカウント動作をさせるため、サブ IDLE モードとサブクロック動作モードを繰り返すような場合に有効です。図 3-7 は時計タイマ割り込み要求信号 (INTWT) とタイマ M のコンペア一致割り込み要求信号 (INTTM0EQ0) の発生タイミングを表しています。

図 3-7 時計タイマの割り込みと、タイマ M の割り込みタイミング



(2) TMM0 制御レジスタ 0 (TMOCTL0)

TMM0 の動作制御とカウント・クロックの選択をするレジスタです。

TMOCTL0 レジスタの詳細は、V850ES/Jx3-L の各製品のユーザーズ・マニュアルを参照してください。

リセットにより 00H になります。

表 3-10 TMOCTL0 レジスタのフォーマット

	7	6	5	4	3	2	1	0
TMOCTL0	TMOCE	0	0	0	0	TMOCKS2	TMOCKS1	TMOCKS0

TMOCKS2	TMOCKS1	TMOCKS0	カウント・クロックの選択
0	0	0	f_{xx} (初期値)
0	0	1	$f_{xx}/2$
0	1	0	$f_{xx}/4$
0	1	1	$f_{xx}/64$
1	0	0	$f_{xx}/512$
1	0	1	INTWT ←設定値
1	1	0	$f_R/8$
1	1	1	f_{XT}

付録A 電源電流特性データ

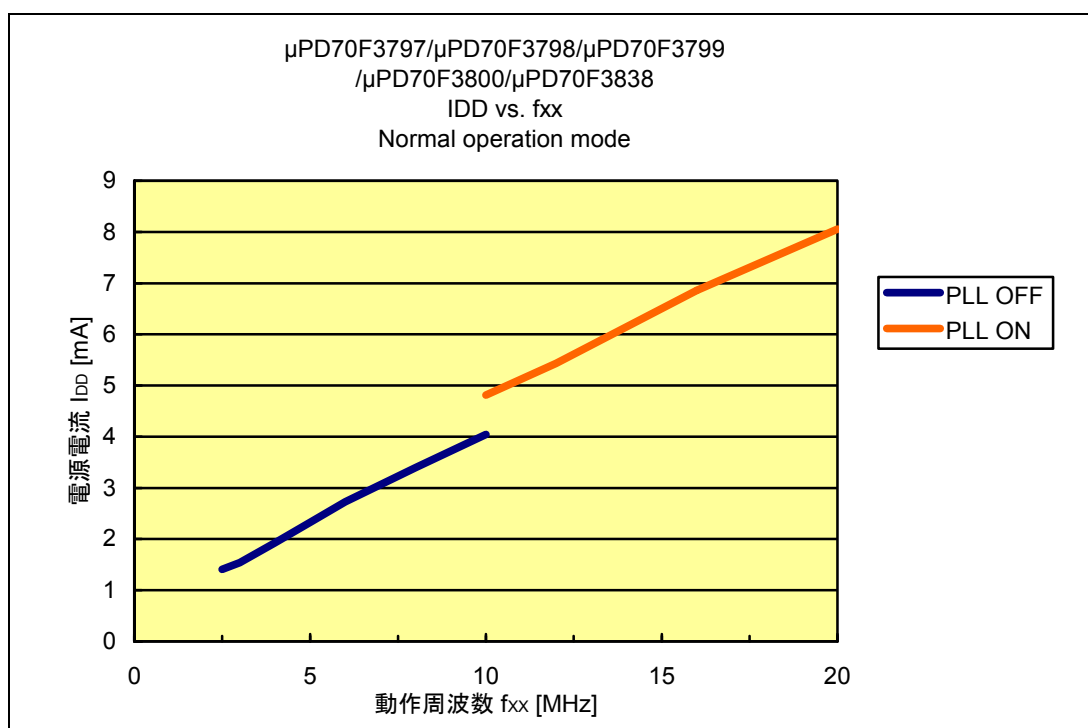
注意 以下のデータは、個別のサンプル・デバイスの特定の測定条件下での測定結果を示す参考値であり、保証値ではありません。

設計に当たっては、必ず、ユーザズ・マニュアルの電気的特性に記載された規格値をご使用ください。

A.1 動作周波数 vs. 電源電流特性（通常動作モード時）

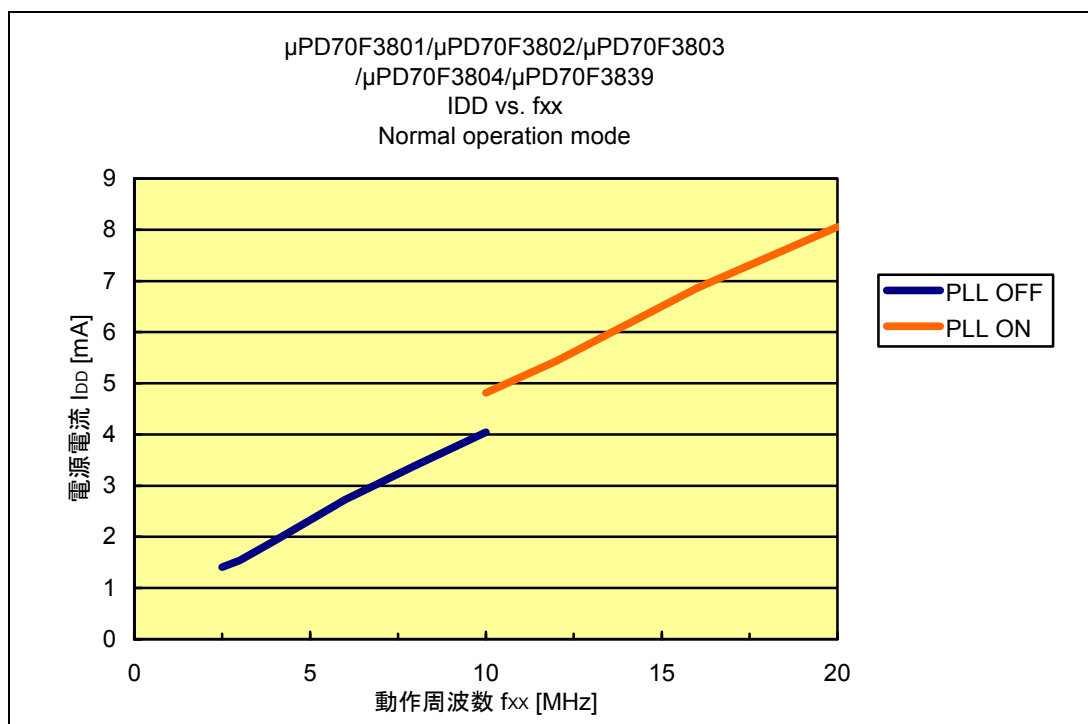
各デバイスの、動作クロック周波数の変化に対する電源電流の変化特性を以下に示します。

図 A1-1 V850ES/JC3-L(40ピン)での I_{DD} vs. f_{XX} 特性



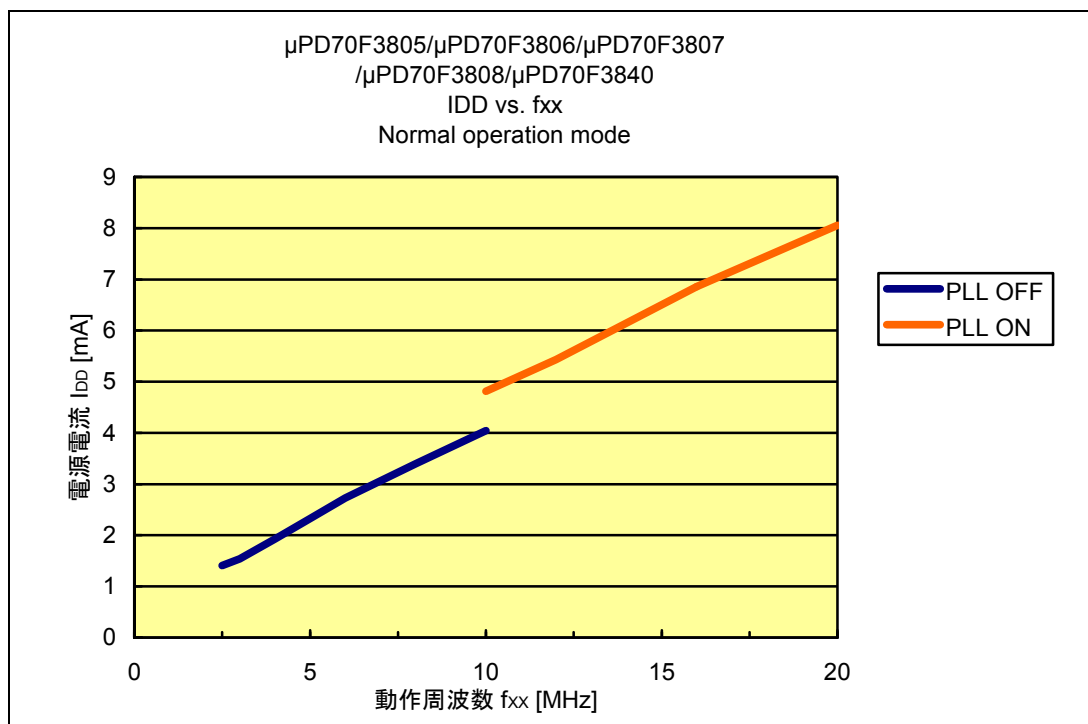
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3V$ 、 $T_A=25^\circ C$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

図 A1-2 V850ES/JC3-L(48ピン)での I_{DD} vs. f_{XX} 特性



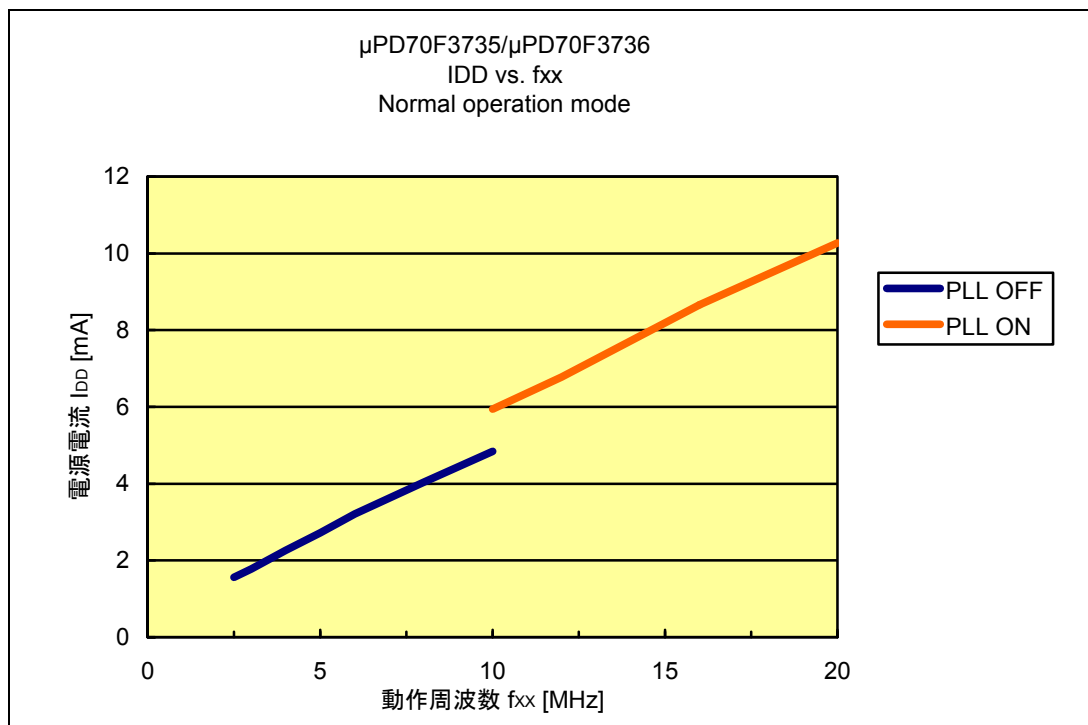
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3V$ 、 $T_A=25^\circ C$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

図 A1-3 V850ES/JE3-L での I_{DD} vs. f_{XX} 特性



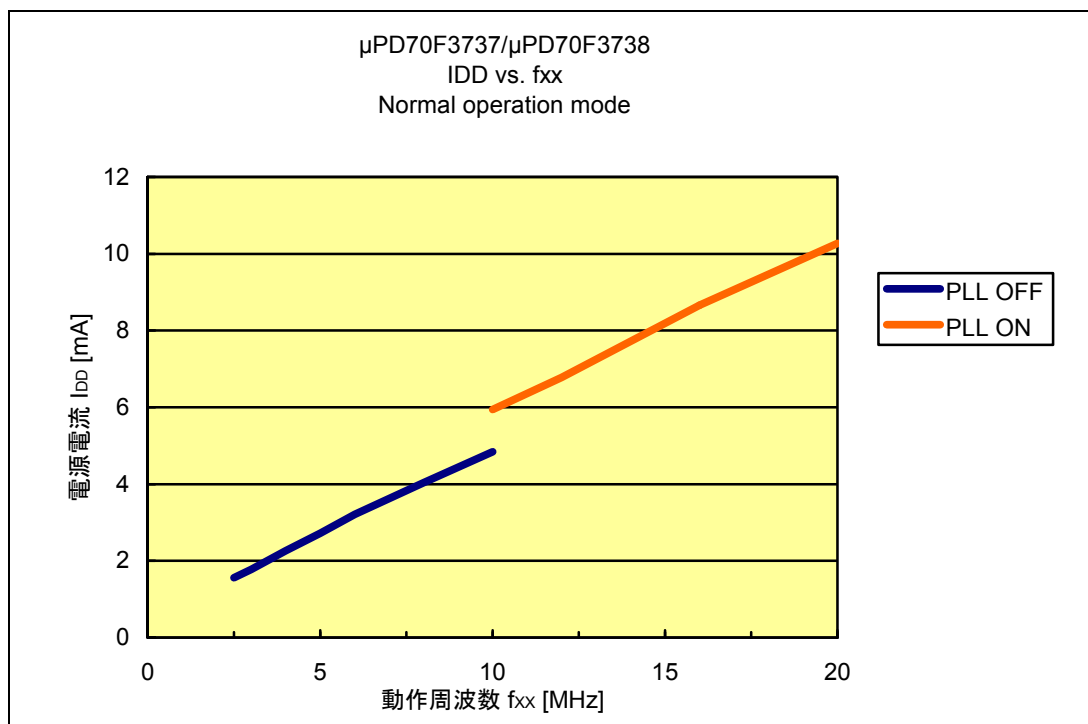
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3V$ 、 $T_A=25^\circ C$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

図 A1-4 V850ES/JF3-L での I_{DD} vs. f_{XX} 特性



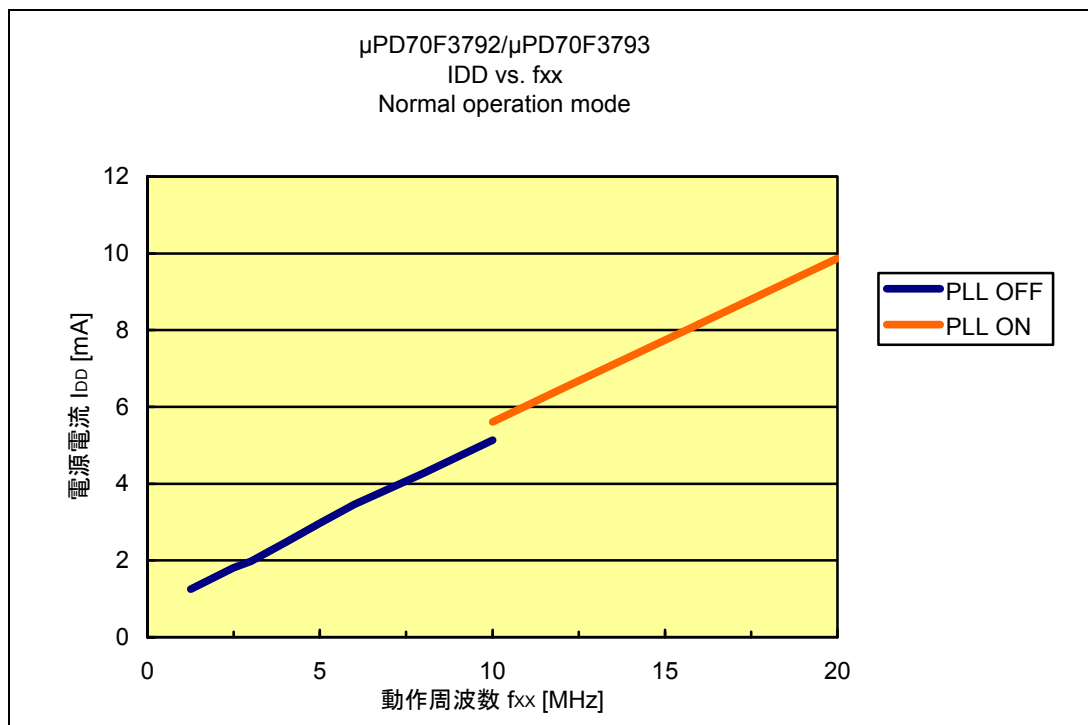
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3V$, $T_A=25^\circ C$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

図 A1-5 V850ES/JG3-L での I_{DD} vs. f_{XX} 特性(1/3)



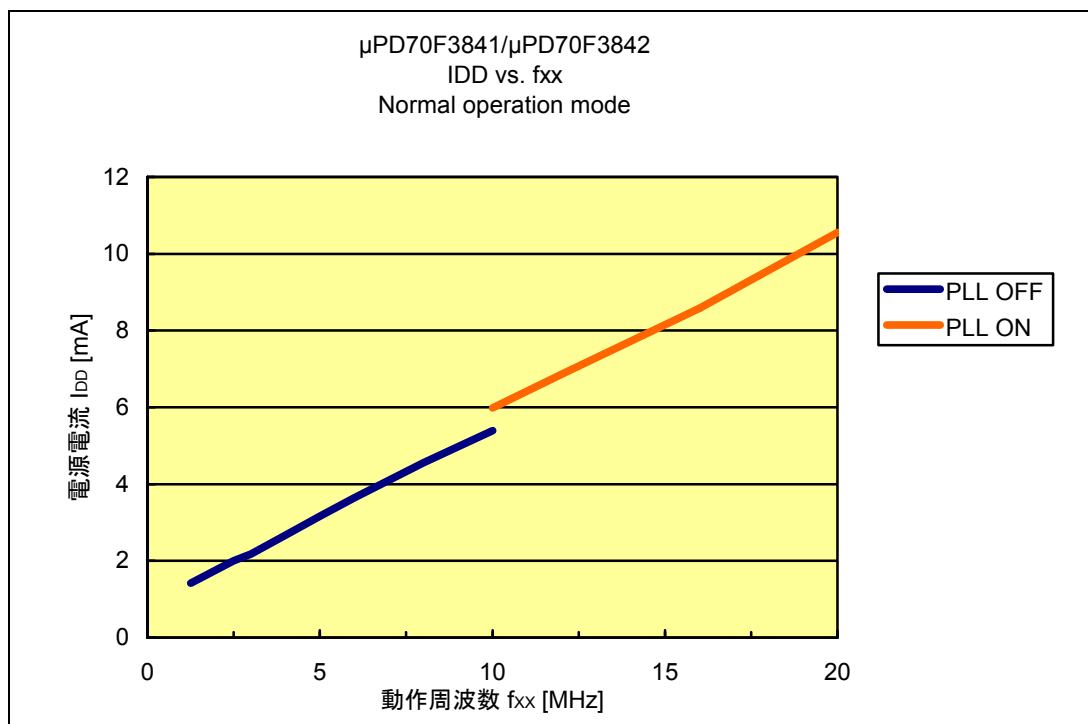
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3V$, $T_A=25^\circ C$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

図 A1-6 V850ES/JG3-L での I_{DD} vs. f_{XX} 特性(2/3)



備考 電源電流は、 $V_{DD}=EV_{DD}=RV_{DD}=3.3V$ 、 $T_A=25^\circ C$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

図 A1-7 V850ES/JG3-L での I_{DD} vs. f_{XX} 特性(3/3)

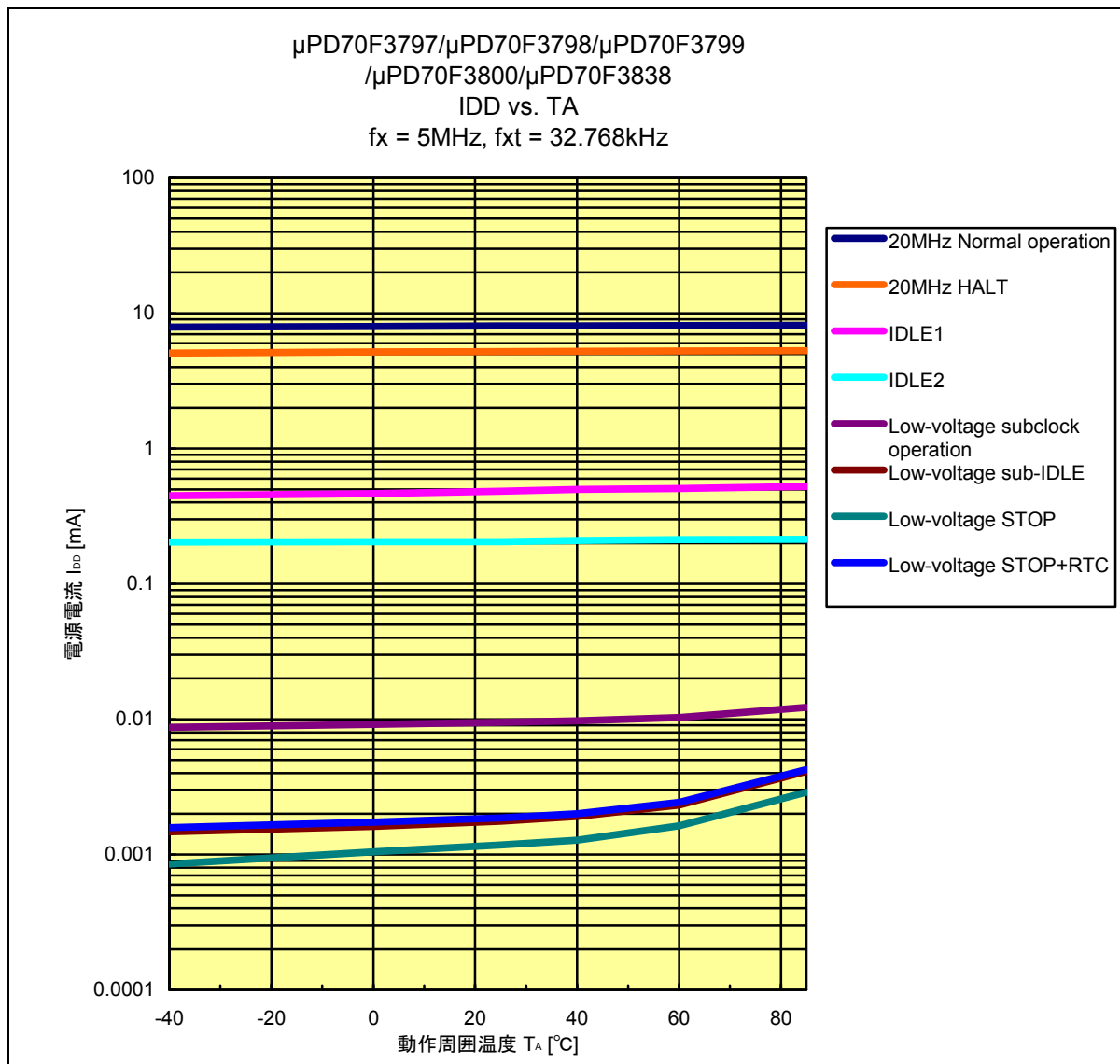


備考 電源電流は、 $V_{DD}=EV_{DD}=RV_{DD}=3.3V$ 、 $T_A=25^\circ C$ の条件で、周辺機能を全て停止し、全命令を繰り返し実行したときの値です。

A.2 周囲温度 vs. 電源電流特性

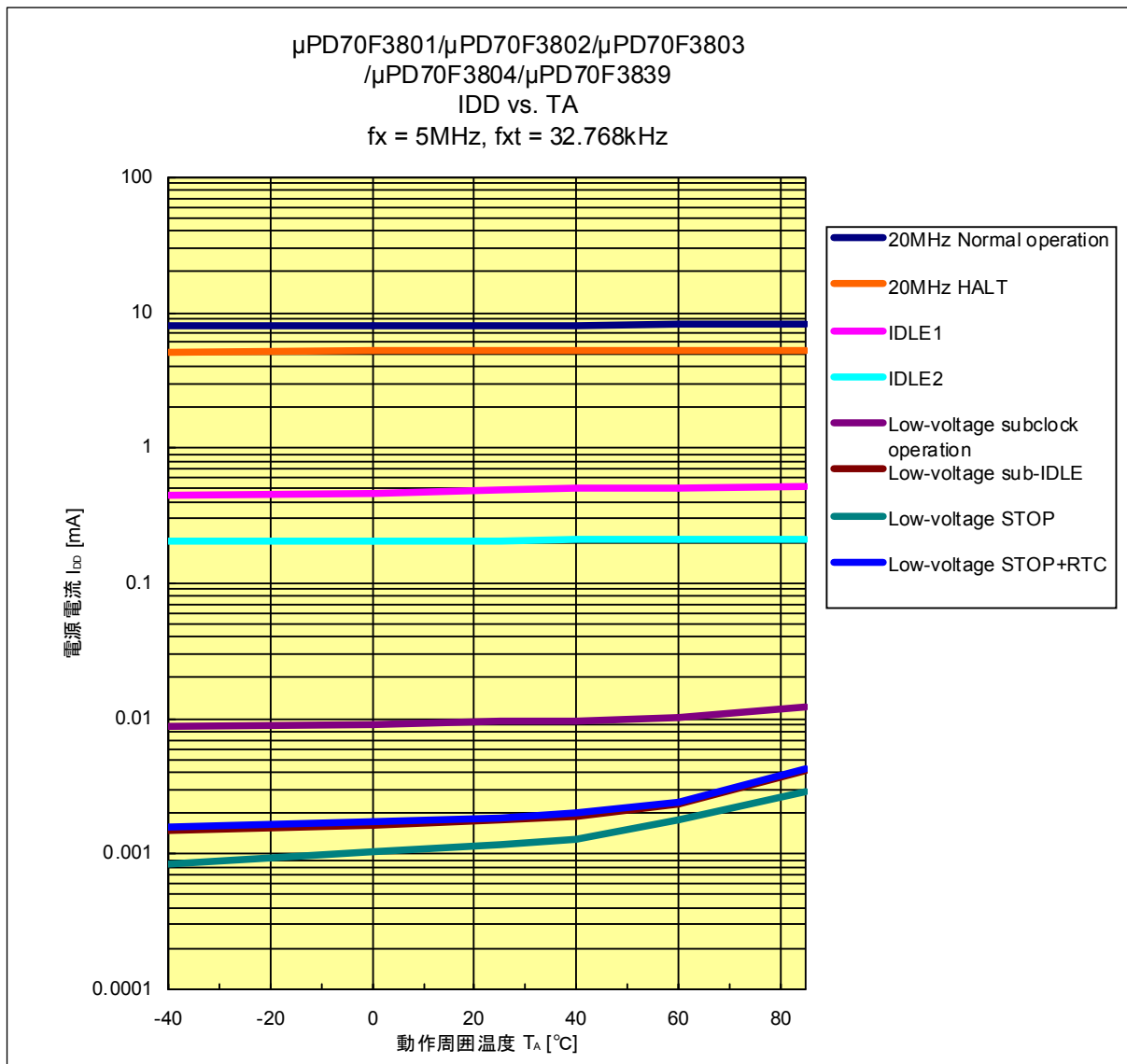
各デバイスの、動作周囲温度の変化に対する電源電流の変化特性を以下に示します。

図 A2-1 V850ES/JC3-L(40ピン)での I_{DD} vs. T_A 特性



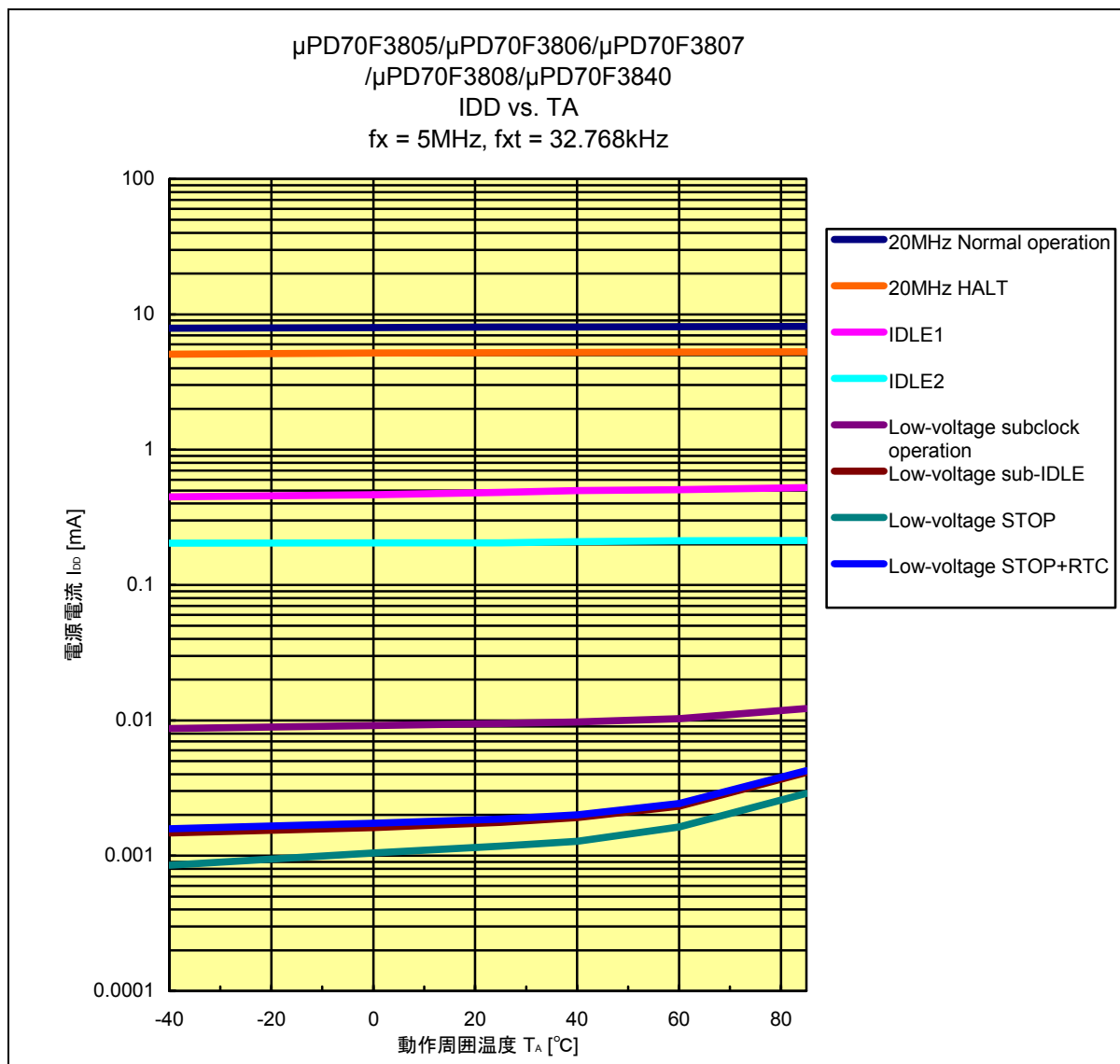
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3\text{V}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A2-2 V850ES/JC3-L(48ピン)での I_{DD} vs. T_A 特性



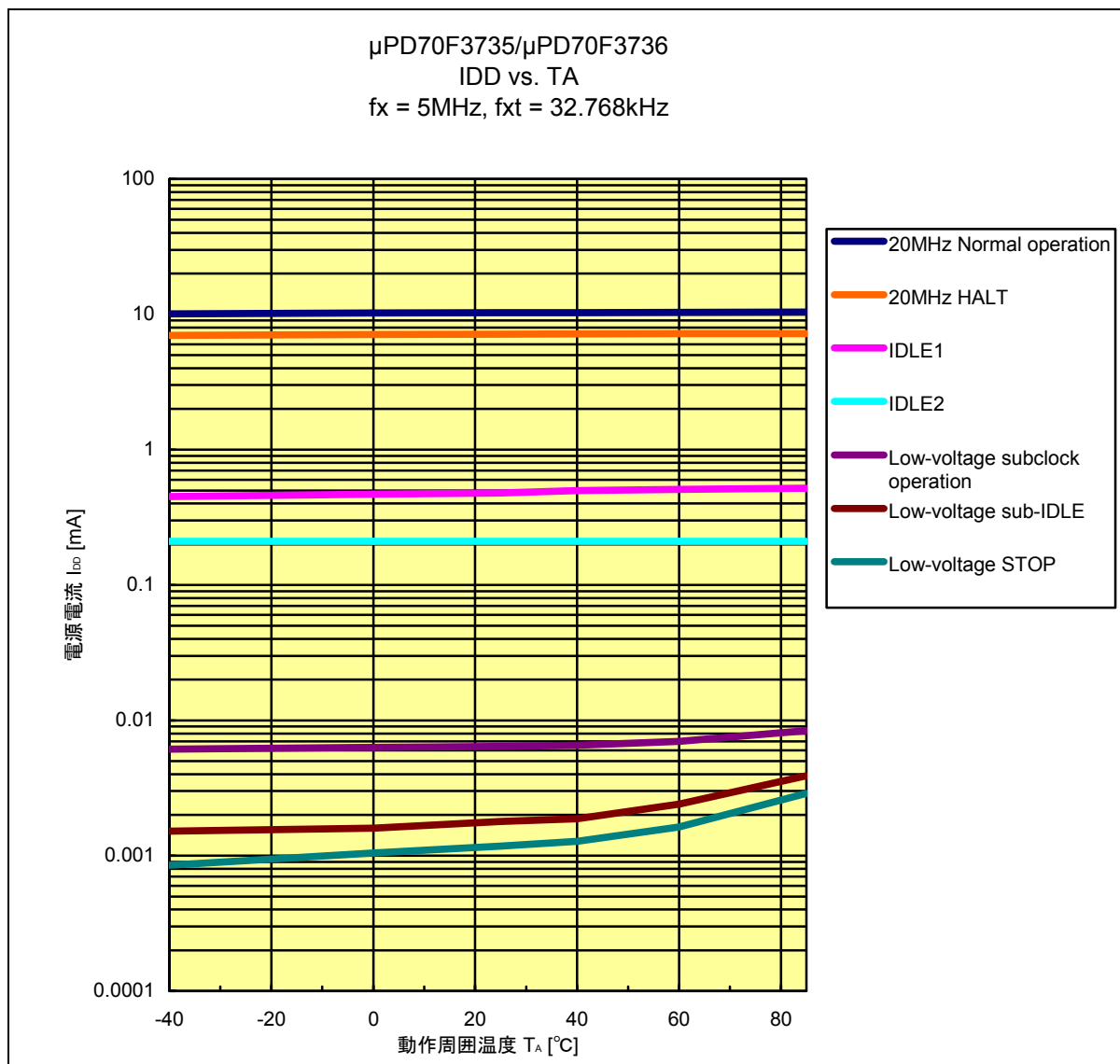
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3V$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A2-3 V850ES/JE3-L での I_{DD} vs. T_A 特性



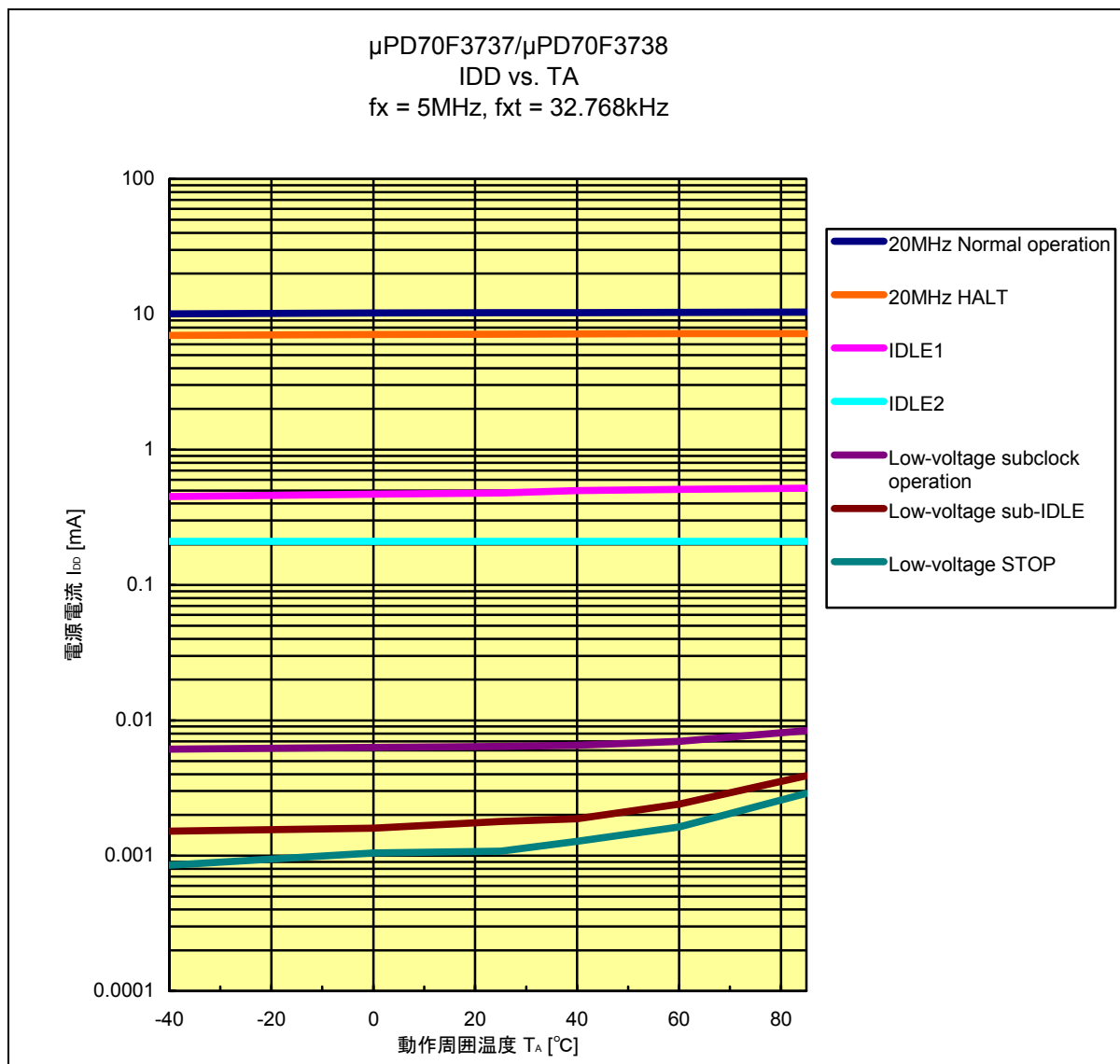
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3\text{V}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A2-4 V850ES/JF3-L での I_{DD} vs. T_A 特性



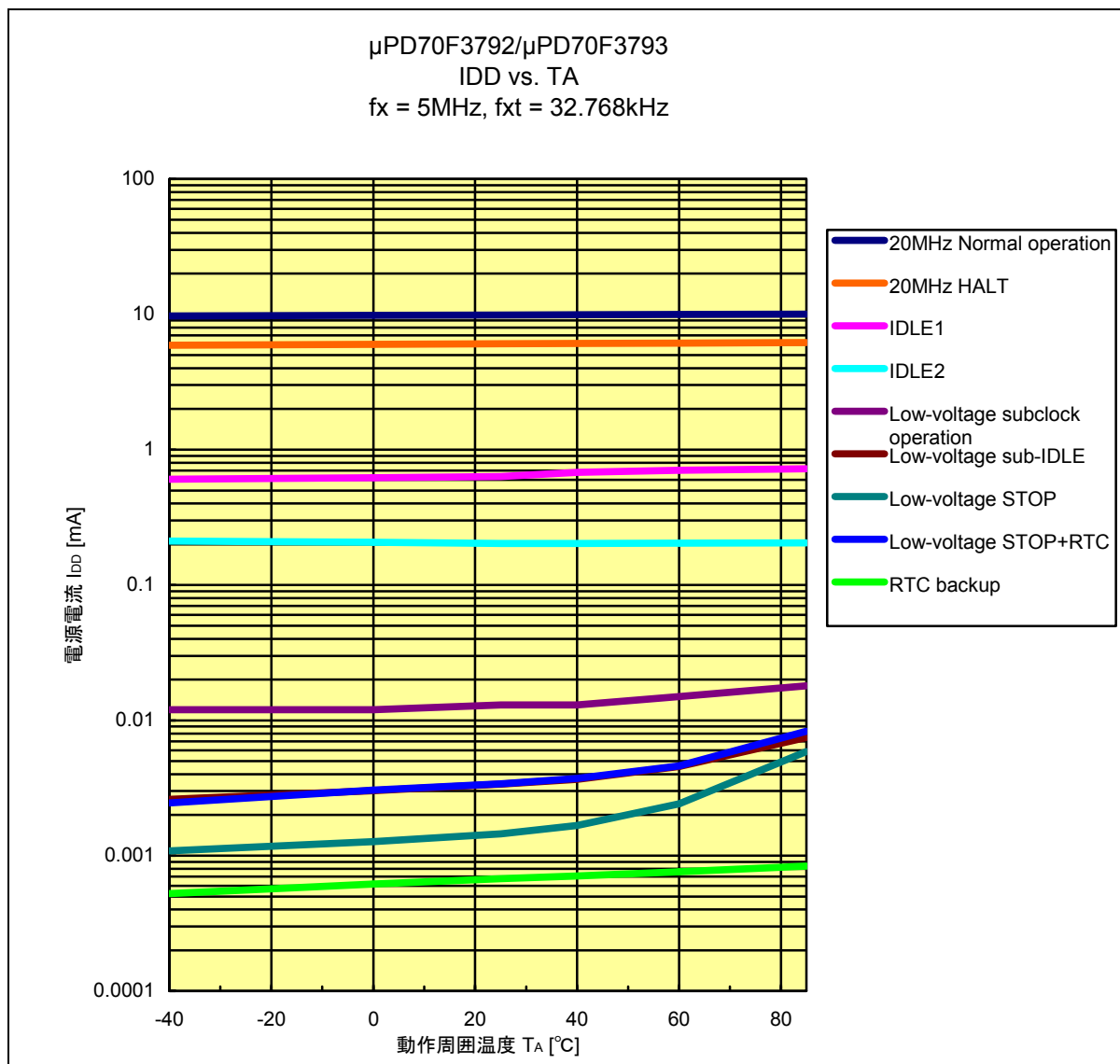
備考 電源電流は、 $V_{DD}=EV_{DD}=3.3\text{V}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A2-5 V850ES/JG3-L での I_{DD} vs. T_A 特性(1/3)



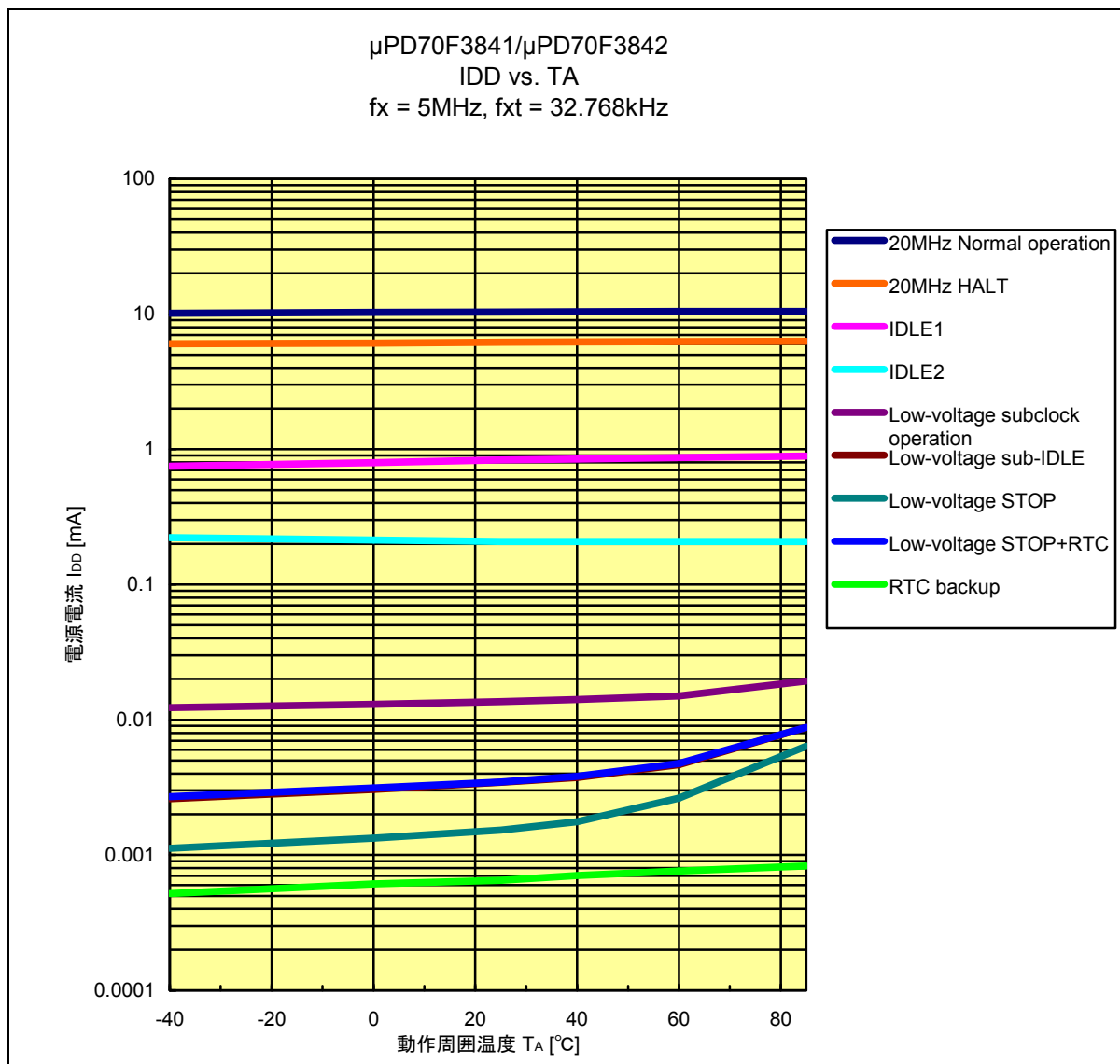
備考 電源電流は、 $V_{DD}=E_{VDD}=3.3V$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A2-6 V850ES/JG3-L での I_{DD} vs. T_A 特性(2/3)



備考 電源電流は、 $V_{DD}=EV_{DD}=RV_{DD}=3.3\text{V}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A2-7 V850ES/JG3-L での I_{DD} vs. T_A 特性(3/3)

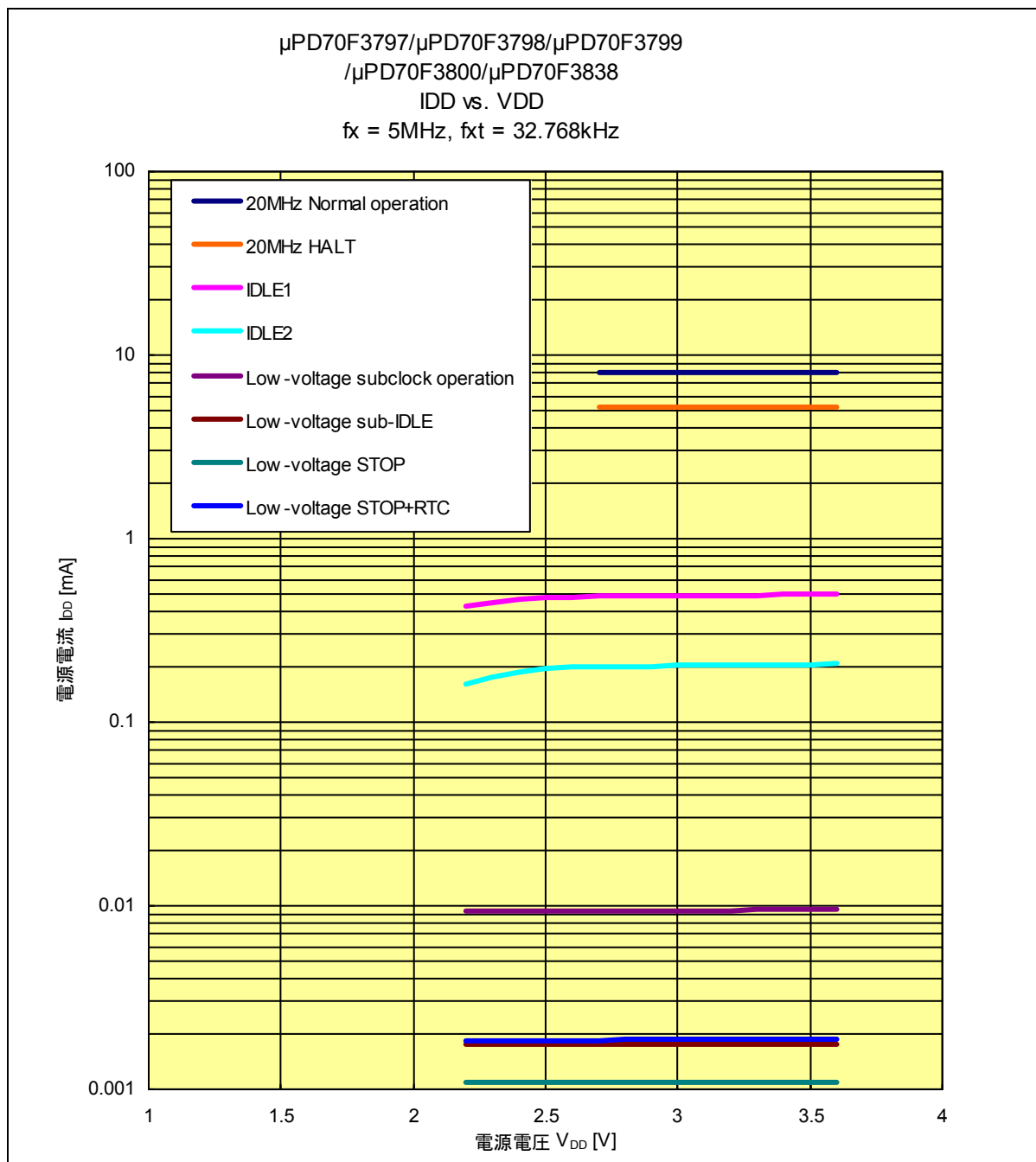


備考 電源電流は、 $V_{DD}=EV_{DD}=RV_{DD}=3.3V$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

A.3 電源電圧 vs. 電源電流特性

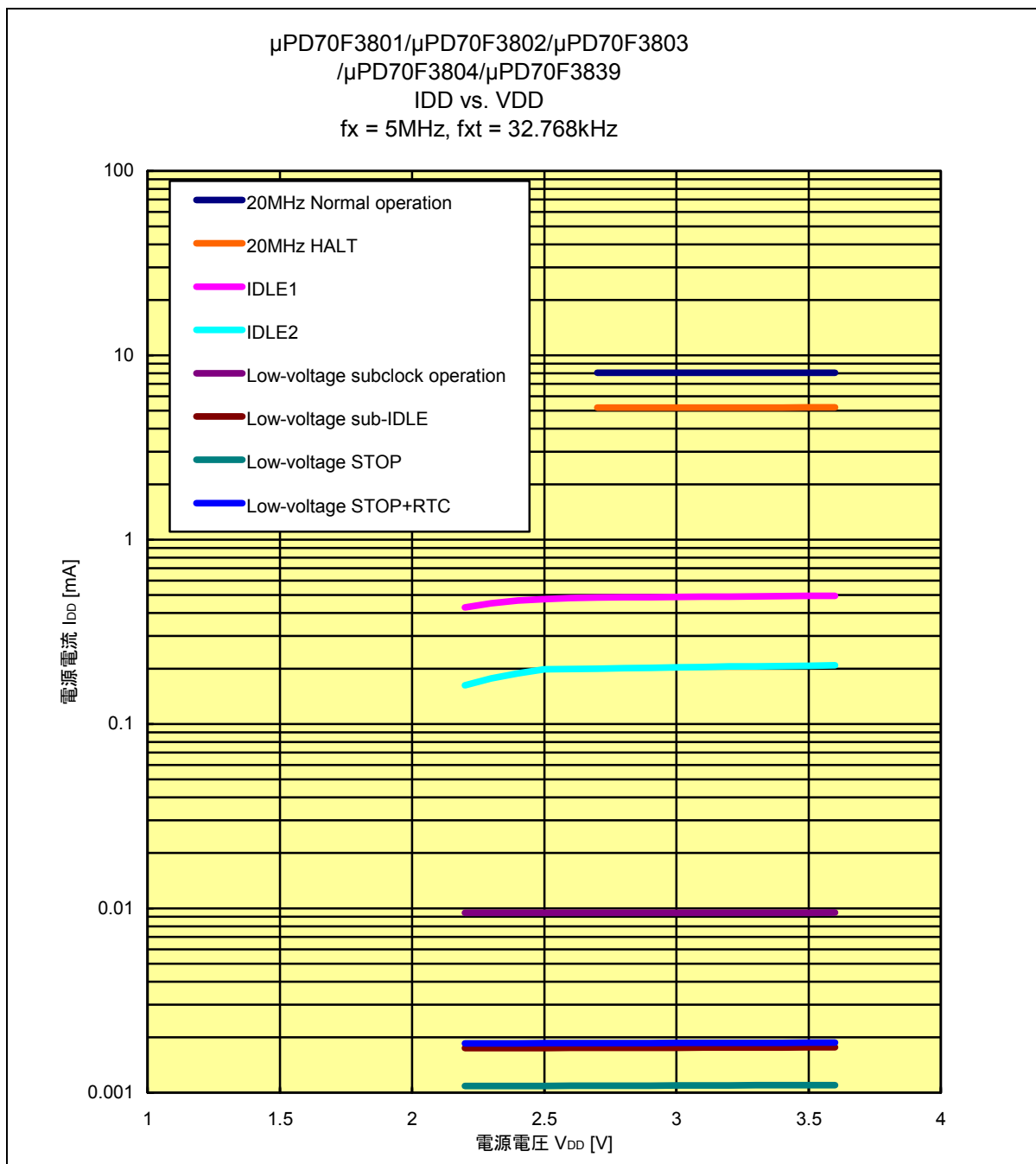
各デバイスの、電源電圧の変化に対する電源電流の変化特性を以下に示します。

図 A3-1 V850ES/JC3-L(40ピン)での I_{DD} vs. V_{DD} 特性



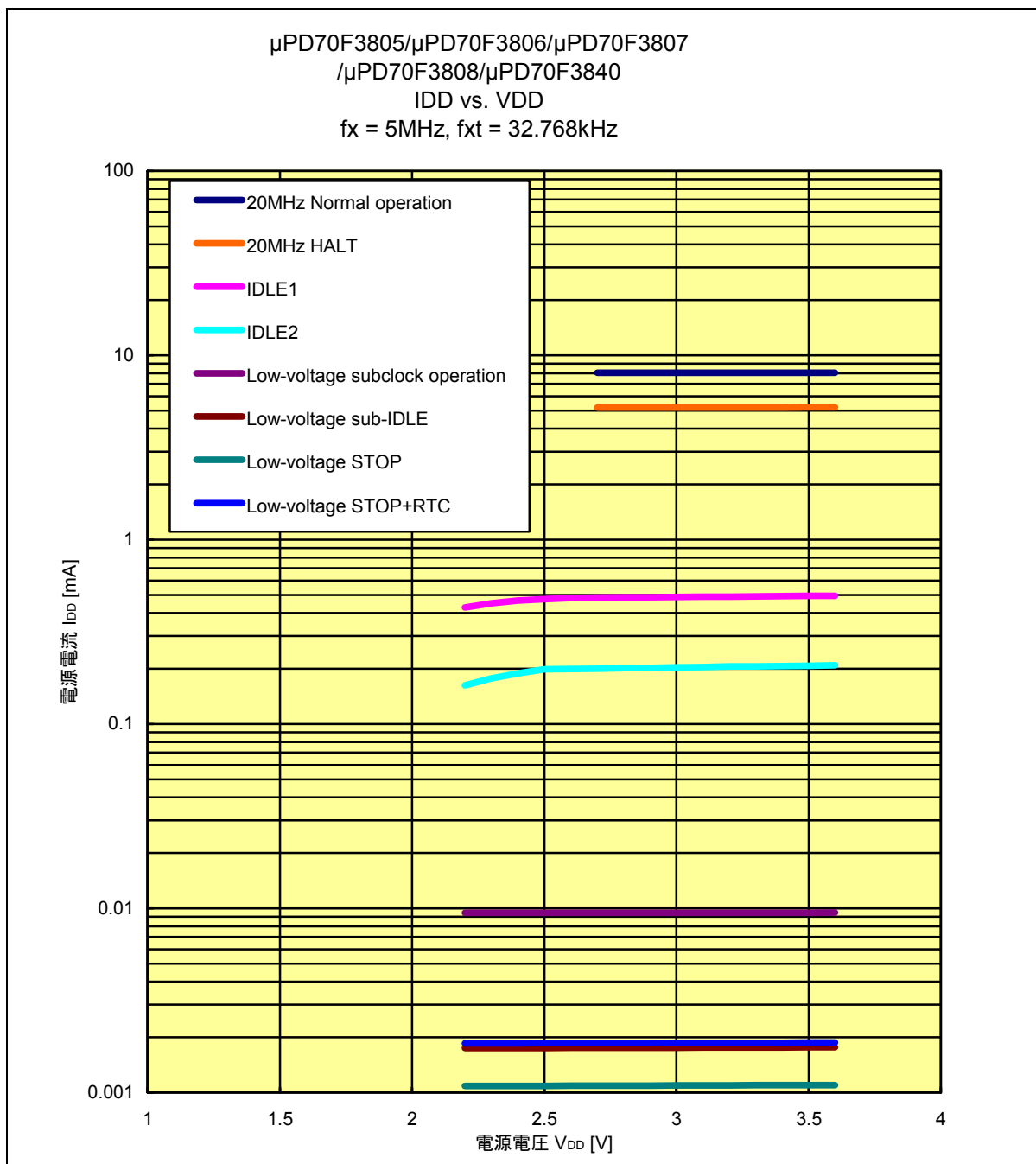
備考 電源電流は、 $V_{DD}=E_{VDD}$ 、 $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A3-2 V850ES/JC3-L(48ピン)での I_{DD} vs. V_{DD} 特性



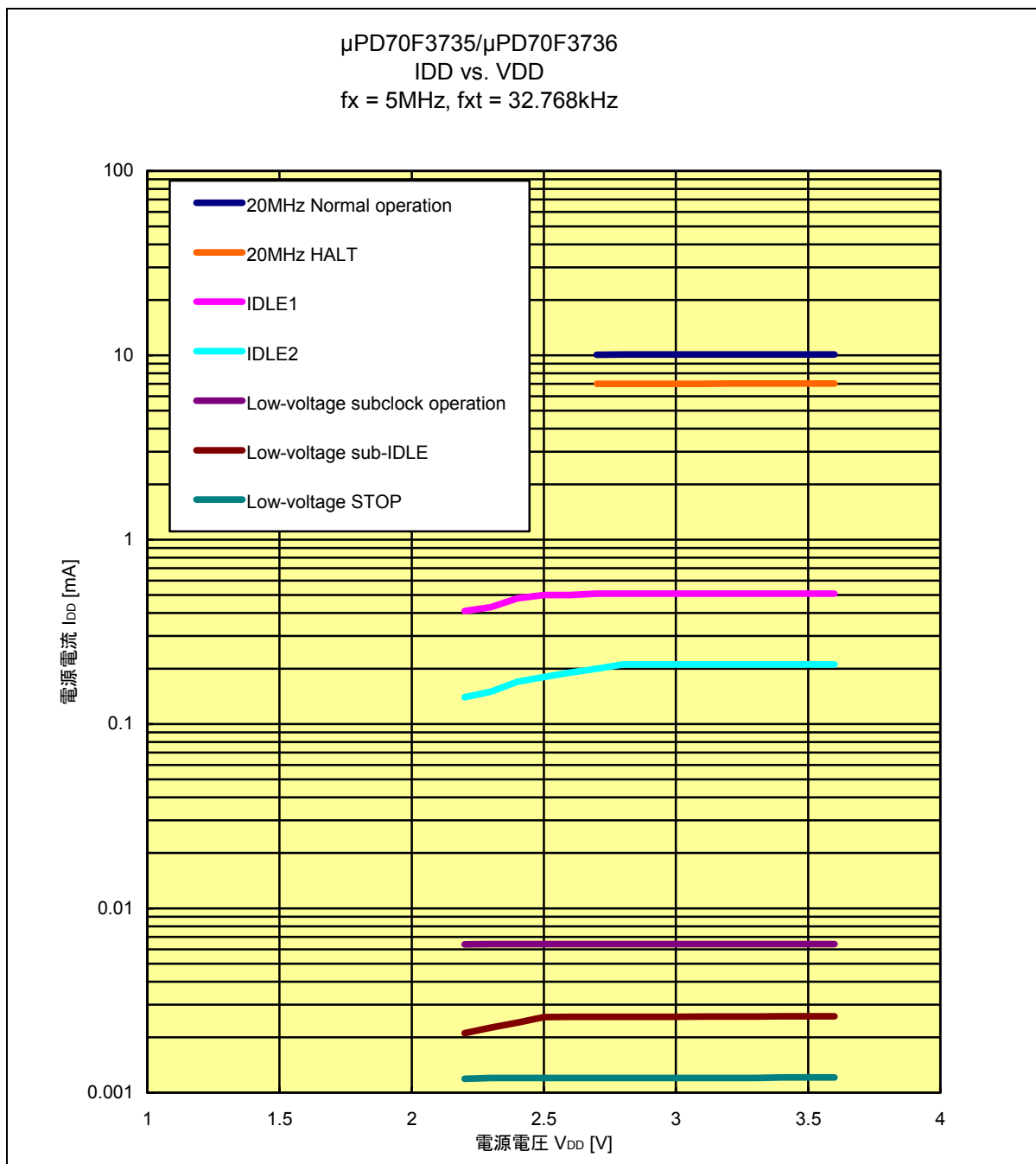
備考 電源電流は、 $V_{DD}=EV_{DD}$, $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A3-3 V850ES/JE3-L での I_{DD} vs. V_{DD} 特性



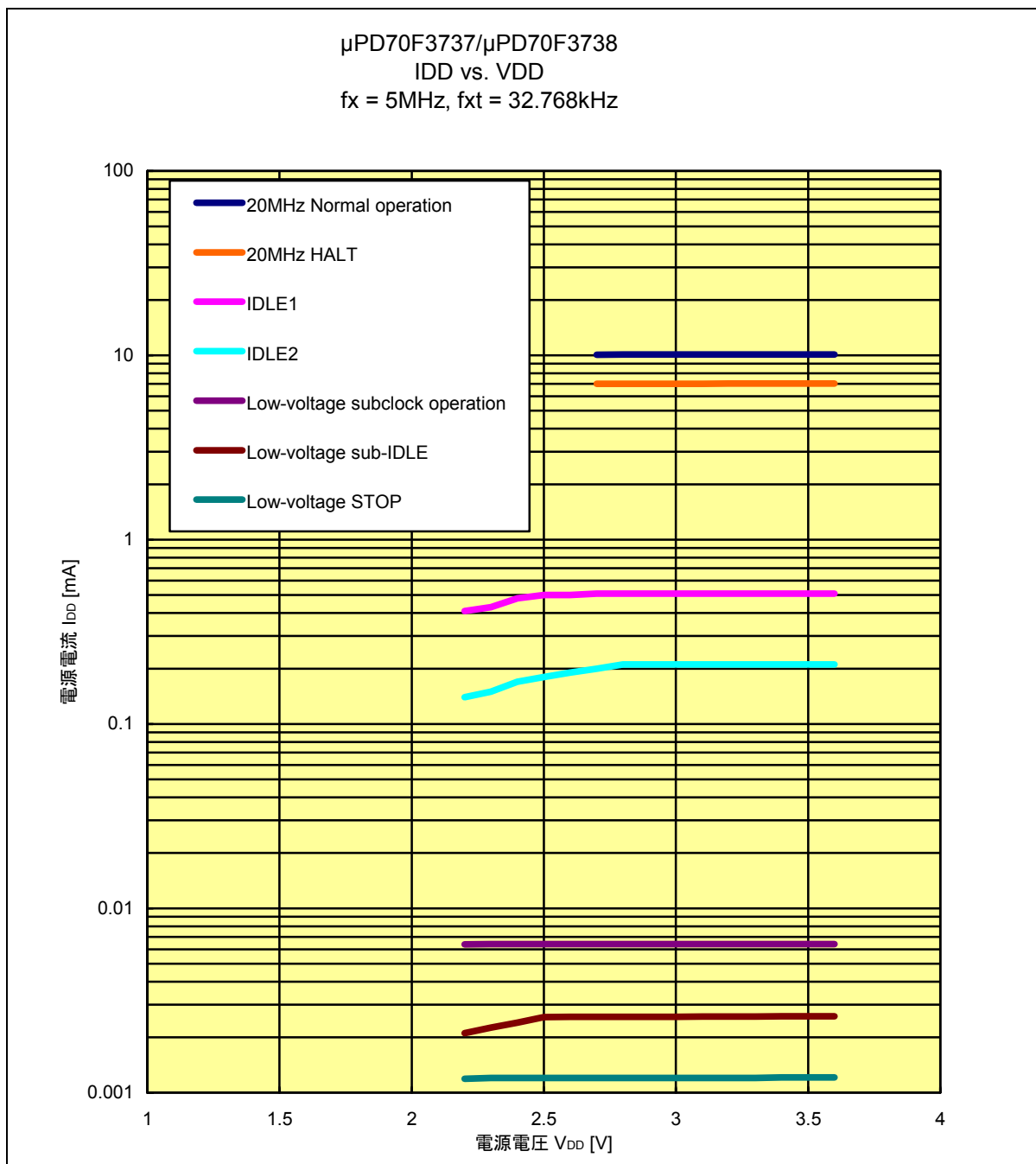
備考 電源電流は、 $V_{DD}=EV_{DD}$, $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A3-4 V850ES/JF3-L での I_{DD} vs. V_{DD} 特性



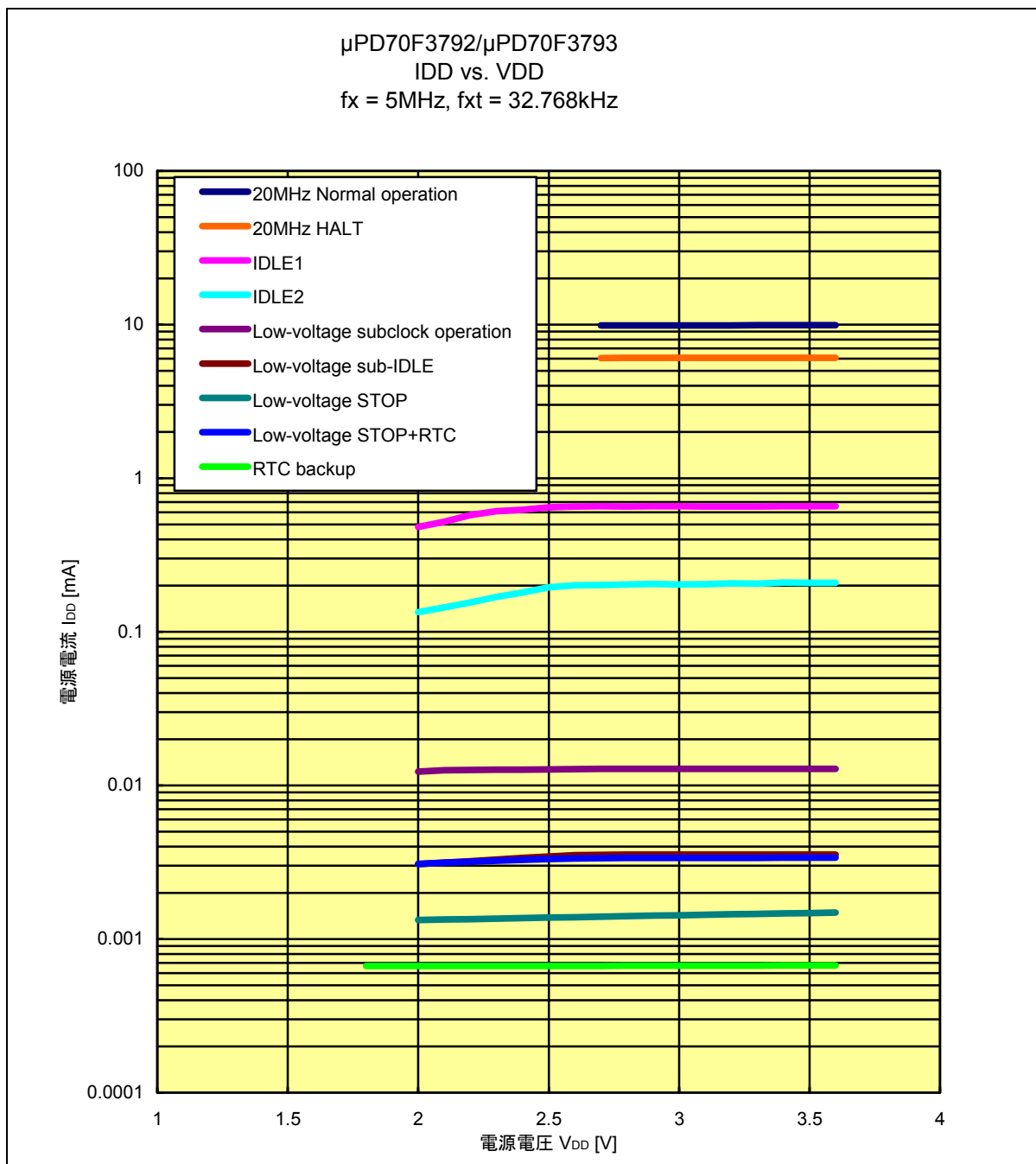
備考 電源電流は、 $V_{DD}=EV_{DD}$, $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A3-5 V850ES/JG3-L での I_{DD} vs. V_{DD} 特性(1/3)



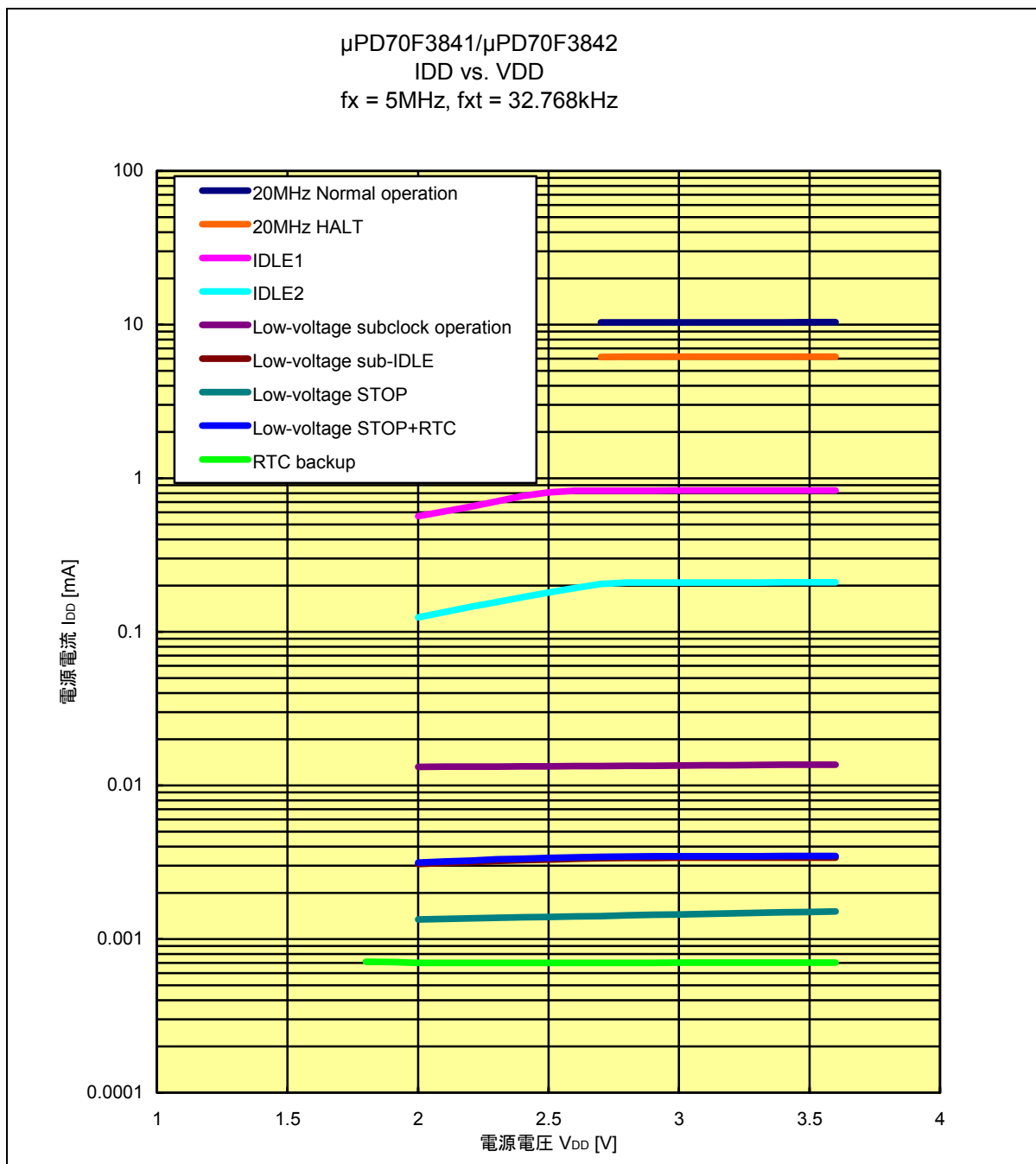
備考 電源電流は、 $V_{DD}=EV_{DD}$, $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A3-6 V850ES/JG3-L での I_{DD} vs. V_{DD} 特性(2/3)



備考 電源電流は、 $V_{DD}=E_{VDD}=R_{VDD}$, $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

図 A3-7 V850ES/JG3-L での I_{DD} vs. V_{DD} 特性(3/3)



備考 電源電流は、 $V_{DD}=E_{VDD}=R_{VDD}$, $T_A=25^\circ\text{C}$ の条件で、周辺機能を全て停止したときの値です。また、「Low-voltage STOP」時はサブクロック未使用時の値です。

ホームページとサポート窓口<website and support,ws>

- ルネサス エレクトロニクスホームページ
<http://japan.renesas.com/>
- お問い合わせ先
<http://japan.renesas.com/inquiry>

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.3.25	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社その総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口： <http://japan.renesas.com/inquiry>