

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>

E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-16C-A159A/J	Rev.	第1版
題名	タイマ S IC/OC ベースタイマ割り込みに関する使用上の注意事項		情報分類	技術情報	
適用製品	M16C/28 グループ M16C/29 グループ	対象ロット等	—	関連資料	

1. 注意事項

G1BCR0 レジスタの RST4 ビットが“1”（G1BTRR レジスタとベースタイマが一致したとき、ベースタイマリセットする）の場合、表1の組み合わせで使用すると、ベースタイマリセットのタイミングで IC/OC ベースタイマ割り込み要求が2回発生します。

表1. ベースタイマリセット時IC/OCベースタイマ割り込み要求が2回発生する組み合わせ

G1BCR0レジスタのITビットの設定	G1BTRRレジスタの設定値
“0” (ベースタイマのビット15のオーバーフロー)	07FFFH~0FFFEH
“1” (ベースタイマのビット14のオーバーフロー)	03FFFH~07FFEH、または 0BFFFH~0FFFEH

2回目の IC/OC ベースタイマ割り込み要求が発生する原因は、ベースタイマリセット直後に、ベースタイマオーバーフロー要求が発生するためです。ベースタイマオーバーフロー要求は、ベースタイマリセットからカウントソース (fBT1) の1サイクル後に発生します。

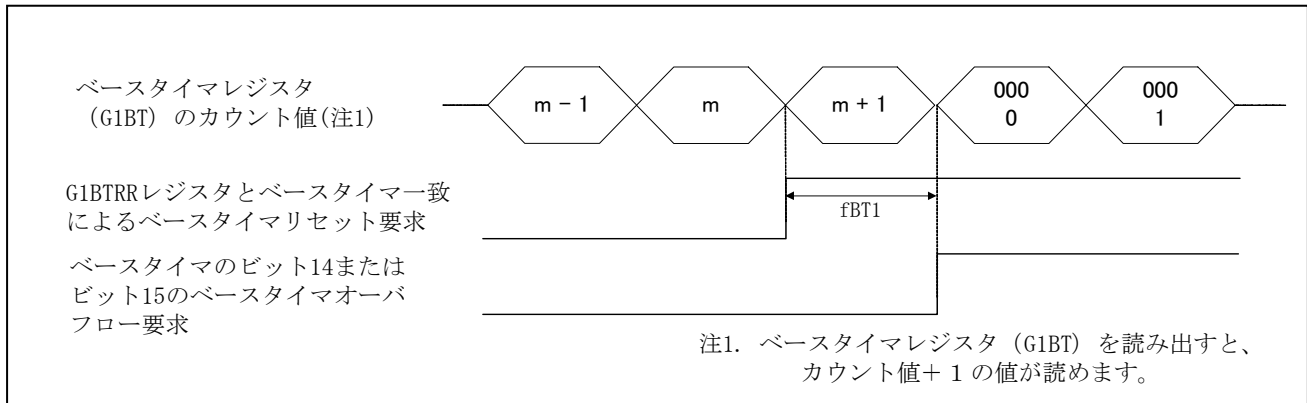


図1 ベースタイマリセット直後のベースタイマオーバーフロー要求発生タイミング

ベースタイマリセットのタイミングで、IC/OC ベースタイマ割り込み処理を1回のみ実行するには下記のいずれかの対応を行ってください。

- (1) RST4 ビットを“1”にするならば G1BTRR レジスタの設定値を、表1の組み合わせの設定にならないようにしてください。
- (2) ベースタイマリセットの要因を、RST4 ビットを“1”（G1BTRR レジスタとベースタイマが一致したとき、ベースタイマリセットする）でなく、RST1 ビットを“1”（G1P00 レジスタとベースタイマが一致したとき、ベースタイマリセットする）にしてください。