

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-A885A/J	Rev.	第1版
題名	マルチファンクションタイマパルスユニット 2 (MTU2, MTU2S) に関する注意事項		情報分類	技術情報	
適用製品	下記参照	対象ロット等	関連資料	下記参照	
		全ロット			

マルチファンクションタイマパルスユニット2 (MTU2、MTU2S) について、以下に示す注意事項があります。これに伴い、マニュアルを訂正します。訂正内容は“SH7280グループ、SH7243グループ ユーザーズマニュアル ハードウェア編”を例に説明します。

## 1. タイマアウトプットマスタイネーブルレジスタ(TOER)

### 1.1 注意事項

TCNT\_3/4 の動作中に、TOER のビットを“1” (MTU 出力許可) から“0” (MTU 出力禁止) に変更すると、再度“1”にした時に、設定と異なるデューティ比の PWM 波形が出力される場合があります。TOER のビットを“0”に変更する場合は、TCNT\_3/4 を停止させてから実施してください。

### 1.2 対策

TCNT\_3/4 を動作させた後に、TOER のビットを“1”から“0”にする場合、以下の手順に従ってください。

- (1) タイマスタートレジスタ (TSTR) の該当するカウンタのビットに“0” (カウント停止) を書く
- (2) TOER のビットに“0”を書く

### 1.3 マニュアルの記述訂正

#### 11.3.19 タイマアウトプットマスタイネーブルレジスタ (TOER)

##### < 訂正前(p.11-60) >

TOER は、8 ビットの読み出し／書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可／禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

##### < 訂正後(p.11-60) >

TOER は、8 ビットの読み出し／書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可／禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

**TOER の設定は、チャンネル 3、4 の TCNT のカウント動作を停止した状態で行ってください (図 11.35、図 11.38 参照)。**

2. タイマアウトプットコントロールレジスタ 1 (TOCR1)、タイマアウトプットコントロールレジスタ 2 (TOCR2)

2.1 注意事項

デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、TOCR1 では OLSP ビットのみ有効となり、OLSN ビットの値は無視されます。また、TOCR2 では OLSiP ビット (i = 1~3) のみ有効となり、OLSiN ビットの値は無視されます。

2.2 マニュアルの記述訂正

11.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)

< 訂正前(p.11-61) >

ビット:	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】\* パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PSYE	0	R/W	PWM同期出力カインエーブル PWM周期に同期したトグル出力の許可/禁止を設定します。 0: トグル出力を禁止 1: トグル出力を許可
5, 4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TOCL	0	R/(W)*	TOCレジスタ書き込み禁止ビット*1 TOCR1レジスタのTOCSビット、OLSNビット、OLSPビットへの書き込み禁止/許可の設定をします。 0: TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1: TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止
2	TOCS	0	R/W	TOCセレクトビット 相補PWMモード/リセット同期PWMモードの出力レベルの設定をTOCR1とTOCR2のどちらの設定を有効にするか選択します。 0: TOCR1の設定を有効にする 1: TOCR2の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクトN*2 リセット同期PWMモード/相補PWMモード時に、逆相の出力レベルを選択します。表11.30を参照してください。
0	OLSP	0	R/W	出力レベルセレクトP*2 リセット同期PWMモード/相補PWMモード時に、正相の出力レベルを選択します。表11.31を参照してください。

【注】 \*1 TOCLビットを1に設定することにより、CPU暴走時の誤書き込みを防止することができます。

\*2 TOCSビットを0に設定することにより、本設定が有効になります。

< 訂正後(p.11-61) >

ビット：	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】\* パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PSYE	0	R/W	PWM同期出力イネーブル PWM周期に同期したトグル出力の許可/禁止を設定します。 0：トグル出力を禁止 1：トグル出力を許可
5, 4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TOCL	0	R/(W)* <sup>*1</sup>	TOCレジスタ書き込み禁止ビット <sup>*2</sup> TOCR1レジスタのTOCSビット、OLSNビット、OLSPビットへの書き込み禁止/許可の設定をします。 0：TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1：TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止
2	TOCS	0	R/W	TOCセレクトビット 相補PWMモード/リセット同期PWMモードの出力レベルの設定をTOCR1とTOCR2のどちらの設定を有効にするか選択します。 0：TOCR1の設定を有効にする 1：TOCR2の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクトN <sup>*3*4</sup> リセット同期PWMモード/相補PWMモード時に、逆相の出力レベルを選択します。表11.30を参照してください。
0	OLSP	0	R/W	出力レベルセレクトP <sup>*3*4</sup> リセット同期PWMモード/相補PWMモード時に、正相の出力レベルを選択します。表11.31を参照してください。

- 【注】 \*1 パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。
- \*2 TOCLビットを1に設定することにより、CPU暴走時の誤書き込みを防止することができます。
- \*3 TOCSビットを0に設定することにより、本設定が有効になります。
- \*4 デッドタイムを生成しない場合は、逆相の出力は正相の反転となります。このとき、OLSPビット設定値のみ有効となります。

11.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)

< 訂正前(p.11-63) >

ビット	ビット名	初期値	R/W	説明
7, 6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 11.32 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 11.33 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 11.34 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 11.35 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 11.36 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 11.37 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 11.38 を参照してください。

【注】 \* TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

< 訂正後(p.11-63) >

ビット	ビット名	初期値	R/W	説明
7, 6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 11.32 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* <sup>1</sup> * <sup>2</sup> リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 11.33 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* <sup>1</sup> * <sup>2</sup> リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 11.34 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* <sup>1</sup> * <sup>2</sup> リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 11.35 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* <sup>1</sup> * <sup>2</sup> リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 11.36 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* <sup>1</sup> * <sup>2</sup> リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 11.37 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* <sup>1</sup> * <sup>2</sup> リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 11.38 を参照してください。

【注】 \*<sup>1</sup> TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

\*<sup>2</sup> デッドタイムを生成しない場合は、逆相の出力は正相の反転となります。このとき、OLS*i*P ビット設定値のみ有効となります。(i=1, 2, 3)

### 3. カスケード接続動作

#### 3.1 注意事項

カスケード動作時に、TCNT\_1 と TCNT\_2 の同時にインพุットキャプチャを行う場合、2 本の端子の入力信号をインพุットキャプチャ条件にできます。この場合、2 つの入力信号の論理和を取った後の信号のエッジがインพุットキャプチャ条件になります。したがって、いずれか一方が High レベルのとき、もう一方が変化してもインพุットキャプチャを行いません。

#### 3.2 マニュアルの記述訂正

##### 11.4.4 カスケード接続動作

###### < 訂正前(p.11-88) >

カスケード動作時に、TCNT\_1 と TCNT\_2 の同時インพุットキャプチャをする場合、インพุットキャプチャコントロールレジスタ (TICCR) で設定することで、インพุットキャプチャ条件となる入力端子を追加することができます。カスケード接続時のインพุットキャプチャについては「11.7.22 カスケード接続における TCNT\_1、TCNT\_2 同時インพุットキャプチャ」を参照してください。

TICCR 設定値とインพุットキャプチャ入力端子の対応を表 11.45 に示します。

###### < 訂正後(p.11-88) >

カスケード動作時に、TCNT\_1 と TCNT\_2 の同時インพุットキャプチャをする場合、インพุットキャプチャコントロールレジスタ (TICCR) で設定することで、インพุットキャプチャ条件となる入力端子を追加することができます。インพุットキャプチャ条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインพุットキャプチャについては「11.7.22 カスケード接続における TCNT\_1、TCNT\_2 同時インพุットキャプチャ」を参照してください。

TICCR 設定値とインพุットキャプチャ入力端子の対応を表 11.45 に示します。

11.4.4 カスケード接続動作

(4) カスケード接続動作例(c)

< 訂正前(p.11-91) >

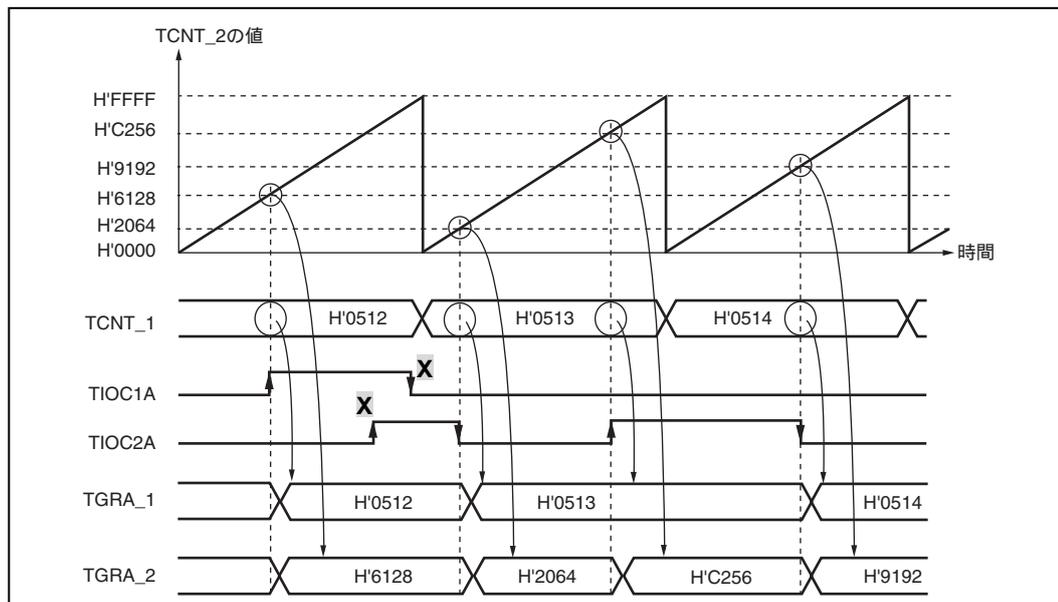
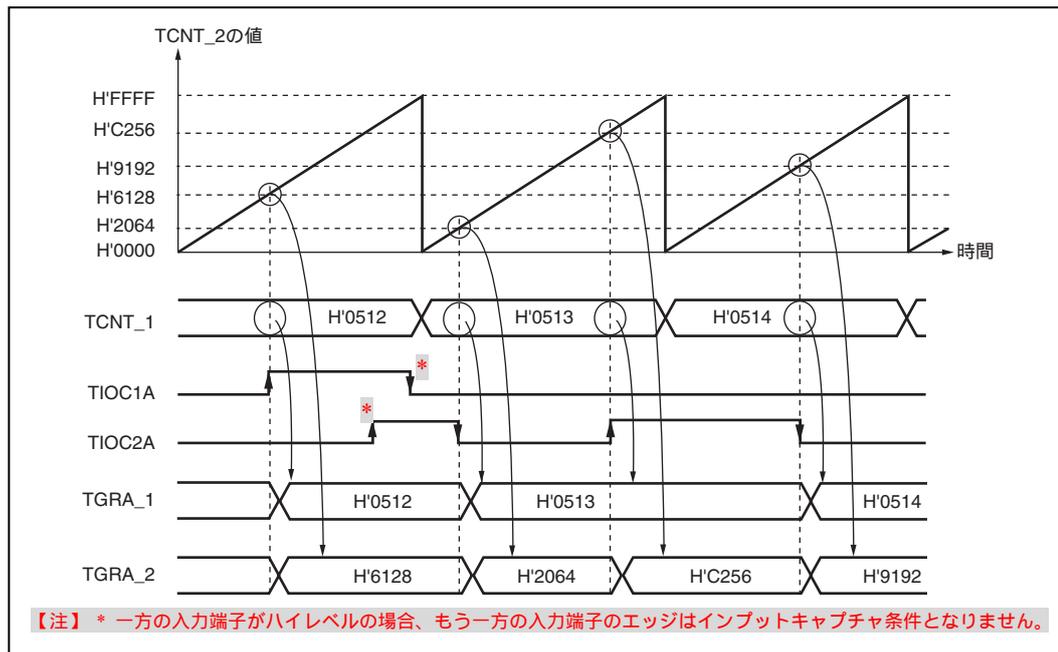


図 11.23 カスケード接続動作例(c)

< 訂正後(p.11-91) >



【注】 \* 一方の入力端子がハイレベルの場合、もう一方の入力端子のエッジはインプットキャプチャ条件となりません。

図 11.23 カスケード接続動作例(c)

4. チャンネル5のコンペアマッチについて

4.1 注意事項

チャンネル5のコンペアマッチは、TCNTU/V/W<sub>5</sub>がカウント動作を停止していても発生します。

4.2 マニュアルの記述訂正

11.6.2 割り込み信号タイミング

(1) コンペアマッチ時のTGFフラグのセットタイミング

< 訂正前(p.11-167) >

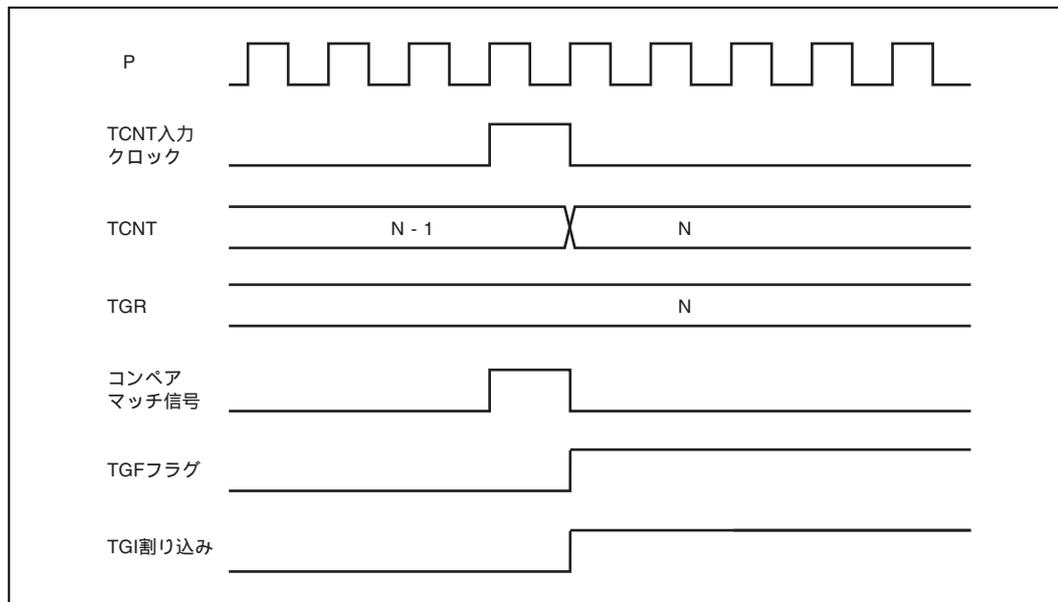


図 11.110 TGI 割り込みタイミング (コンペアマッチ)(チャンネル5)

< 訂正後(p.11-167) >

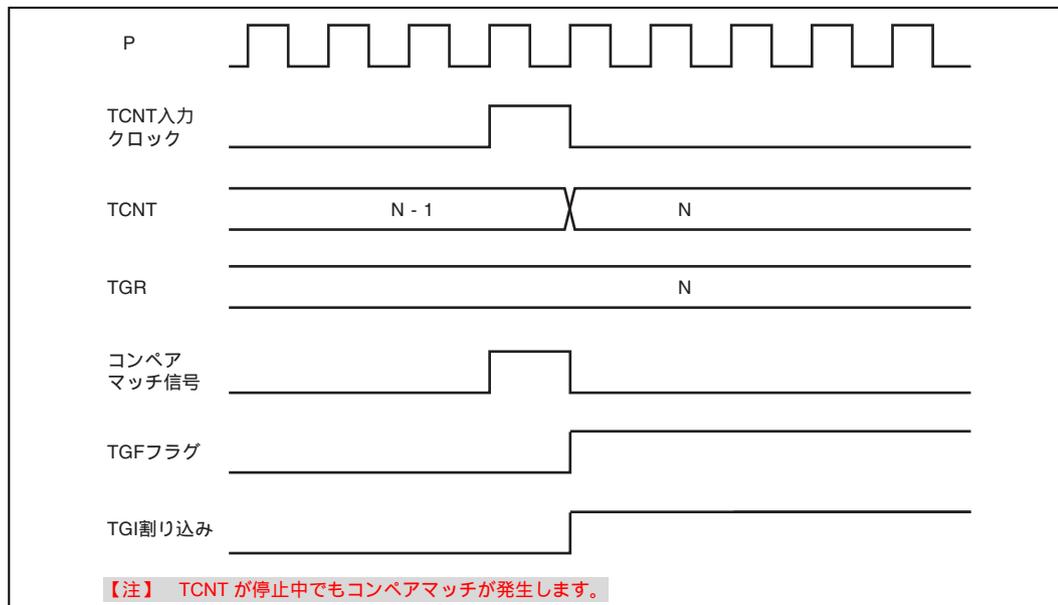


図 11.110 TGI 割り込みタイミング (コンペアマッチ)(チャンネル5)

## 【適用製品及び関連資料】

シリーズ	グループ	関連資料	Rev.	管理番号
SH7080	SH7083, SH7084, SH7085, SH7086	SH7080 グループ ユーザーズマニュアル ハードウェア編	5.00	R01UH0198JJ0500
SH7137	SH7131, SH7132, SH7136, SH7137	SH7137 グループハードウェアマニュアル	3.00	RJJ09B0392-0300
SH7146	SH7146, SH7149	SH7146 グループ ユーザーズマニュアル ハードウェア編	4.00	R01UH0049JJ0400
SH7210	SH7211	SH7211 グループハードウェアマニュアル	3.00	RJJ09B0338-0300
SH7216	SH7214, SH7216	SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編	4.00	R01UH0230JJ0400
SH7231	SH7231	SH7231 グループ ユーザーズマニュアル ハードウェア編	2.00	R01UH0073JJ0200
SH7239	SH7237, SH7239	SH7239 グループ、SH7237 グループ ユーザーズマニュアル ハードウェア編	2.00	R01UH0086JJ0200
SH7243	SH7243	SH7280 グループ、SH7243 グループ ユーザーズマニュアル ハードウェア編	3.00	R01UH0229JJ0300
SH7280	SH7285, SH7286	SH7280 グループ、SH7243 グループ ユーザーズマニュアル ハードウェア編	3.00	R01UH0229JJ0300
SH/Tiny	SH7124, SH7125	SH7125 グループ、SH7124 グループハードウェアマニュアル	5.00	RJJ09B0249-0500

以上