

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル

株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A641A/J	Rev.	第1版
題名	SH7720 ハードウェアマニュアル Rev.3.00 の改訂について		情報分類	技術情報	
適用製品	SuperH RISC engine ファミリ SH7700 シリーズ SH7720 グループ	対象ロット等 全ロット	関連資料	SH7720 ハードウェアマニュアル (RJJ09B0027-0200 Rev.2.00) SH7720 グループ、SH7721 グループ ハードウェアマニュアル (RJJ09B0027-0300 Rev.3.00)	

SH7720 ハードウェアマニュアルを Rev.3.00 に改訂致しましたのでご連絡致します。 Rev.3.00 では、SH7720 と SH7320 ハードウェアマニュアルとを統合し、新たに SH7721 グループを追加しました。また、SD ホストインタフェース (SDHI) の端子を追加しました。Rev.3.00 で修正、追加または削除された箇所は以下をご参照ください。

項 目	ページ	修正箇所										
1. 概要 1.1 特長	1-1	追加、修正 また、RSA 演算 (RSA: Rivest Shamir Adleman)、DES (Data Encryption Standard) および Triple-DES の暗号・復号を行う SSL (Secure Socket Layer) アクセラレータを搭載した SH7720 グループと、SSL を搭載しない SH7721 グループを用意し、各グループには、SD ホストインタフェース (SDHI) を搭載した品種を用意しており、多彩な用途にご利用いただけます。 SDHI の搭載品種は表 1.2 および表 1.3 を参照してください。 【注】SDHI、SSL の詳細な仕様に関しては担当営業までご連絡ください。										
表 1.1 SH7720 グループ、SH7721 グループの特長 シリアル I/O FIFO 付き (SIOF0, SIOF1) ・SPI モード部分	1-5	削除										
表 1.1 SH7720 グループ、SH7721 グループの特長	1-6、 1-7	追加、修正 <table border="1" style="width: 100%;"> <thead> <tr> <th>項目</th> <th>特 長</th> </tr> </thead> <tbody> <tr> <td>A/D 変換器 (ADC)</td> <td>・10 ビット ±4LSB、4 チャンネル ・変換時間: 15µs ・入力範囲: 0 ~ AV_{CC} (最大 3.6V)</td> </tr> <tr> <td>PC カードコントローラ (PCC)</td> <td>・PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格に準拠 ・IC メモリカードインタフェースと I/O カードインタフェースをサポート</td> </tr> <tr> <td>SD ホストインタフェース (SDHI) 【注】SDHI 搭載品種のみ</td> <td>項目追加</td> </tr> <tr> <td>SSL アクセラレータ (SSL) 【注】SH7720 グループのみ搭載</td> <td>・RSA 暗号化サポート ・サポート演算: 加算、減算、乗算、べき乗演算 ・DES/Triple-DES 暗号 / 複合化サポート</td> </tr> </tbody> </table>	項目	特 長	A/D 変換器 (ADC)	・10 ビット ±4LSB、4 チャンネル ・変換時間: 15µs ・入力範囲: 0 ~ AV _{CC} (最大 3.6V)	PC カードコントローラ (PCC)	・PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格に準拠 ・IC メモリカードインタフェースと I/O カードインタフェースをサポート	SD ホストインタフェース (SDHI) 【注】SDHI 搭載品種のみ	項目追加	SSL アクセラレータ (SSL) 【注】SH7720 グループのみ搭載	・RSA 暗号化サポート ・サポート演算: 加算、減算、乗算、べき乗演算 ・DES/Triple-DES 暗号 / 複合化サポート
項目	特 長											
A/D 変換器 (ADC)	・10 ビット ±4LSB、4 チャンネル ・変換時間: 15µs ・入力範囲: 0 ~ AV _{CC} (最大 3.6V)											
PC カードコントローラ (PCC)	・PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格に準拠 ・IC メモリカードインタフェースと I/O カードインタフェースをサポート											
SD ホストインタフェース (SDHI) 【注】SDHI 搭載品種のみ	項目追加											
SSL アクセラレータ (SSL) 【注】SH7720 グループのみ搭載	・RSA 暗号化サポート ・サポート演算: 加算、減算、乗算、べき乗演算 ・DES/Triple-DES 暗号 / 複合化サポート											
表 1.2 製品ラインナップ (SH7720 グループ) 表 1.3 製品ラインナップ (SH7721 グループ)	1-8	追加										

項目	ページ	修正箇所																																																																								
1.2 ブロック図	1-9	「ブリッジ」および「クロック」を削除 「SDHI」を追加																																																																								
1.3 端子の説明 1.3.1 ピンの配置 図 1.2 ピン配置図 (PLBG0256GA-A (BP-256H/HV))	1-10	SDHI 関連の端子を追加 追加 K17 SCIF0_TxD/IrTX/PTT2 L17 SCIF0_RxD/IrRX/PTT1																																																																								
図 1.3 ピン配置図 (PLBG0256KA-A (BP-256C/CV))	1-11	SDHI 関連の端子を追加 追加 L20 SCIF0_TxD/IrTX/PTT2 L21 SCIF0_RxD/IrRX/PTT1 修正 K1 VssQ1 L1 VccQ1 U5 D5																																																																								
表 1.4 ピン配置表	1-12 ~ 1-20	「電源端子」の名称変更 VccQ / VssQ I/O 電源 (3.3V) / (0V) VccQ1 / VssQ1 I/O 電源 (1.8V/3.3V) / (0V) Vcc / Vss 内部電源 (1.5V) / (0V) 追加、修正、削除																																																																								
<table border="1"> <thead> <tr> <th>端子番号 (PLBG0 256GA-A)</th> <th>端子番号 (PLBG0 256KA-A)</th> <th>端子名</th> <th>機能</th> <th>入出力</th> <th>I/O パッファ 供給電源</th> </tr> </thead> <tbody> <tr> <td>A9</td> <td>D10</td> <td>LCD_CL2/PTE2</td> <td>LCD シフトクロック 2 / 汎用ポート</td> <td>O/IO</td> <td>VccQ</td> </tr> <tr> <td>A12</td> <td>E13</td> <td>LCD_CLK</td> <td>LCD クロックソース</td> <td>I</td> <td>VccQ</td> </tr> <tr> <td>A15</td> <td>D13</td> <td>USB1_pwr_en/ USBF_UPLUP/ PTH0</td> <td>USB1 パワーイネーブル / ブルアップ制御 / 汎用ポート</td> <td>O/O/IO</td> <td>VccQ</td> </tr> <tr> <td>A16</td> <td>A15</td> <td>AVss</td> <td>アナログ用電源 (0V)</td> <td></td> <td>-</td> </tr> <tr> <td>A17</td> <td>A16</td> <td>AN0/PTF1</td> <td>ADC アナログ入力 / 汎用ポート</td> <td>I/I</td> <td>AVcc</td> </tr> <tr> <td>B10</td> <td>E10</td> <td>LCD_FLM/PTE0</td> <td>LCD ラインマーカ / 汎用ポート</td> <td>O/IO</td> <td>VccQ</td> </tr> <tr> <td>B11</td> <td>D11</td> <td>LCD_M_DISP/PTE4</td> <td>LCD 液晶交流化信号 / 汎用ポート</td> <td>O/IO</td> <td>VccQ</td> </tr> <tr> <td>B12</td> <td>E14</td> <td>SIOF0_MCLK/PTS3</td> <td>SIOF マスタクロック / 汎用ポート</td> <td>I/IO</td> <td>VccQ</td> </tr> <tr> <td>B13</td> <td>E16</td> <td>USB2_pwr_en/PTH1</td> <td>USB2 パワーイネーブル / 汎用ポート</td> <td>O/IO</td> <td>VccQ</td> </tr> <tr> <td>B14</td> <td>B16</td> <td>DA1/PTF6</td> <td>DAC アナログ出力 / 汎用ポート</td> <td>O/I</td> <td>VccQ</td> </tr> <tr> <td>B15</td> <td>B17</td> <td>AN2/PTF3</td> <td>ADC アナログ入力 / 汎用ポート</td> <td>I/I</td> <td>AVcc</td> </tr> </tbody> </table>			端子番号 (PLBG0 256GA-A)	端子番号 (PLBG0 256KA-A)	端子名	機能	入出力	I/O パッファ 供給電源	A9	D10	LCD_CL2/PTE2	LCD シフトクロック 2 / 汎用ポート	O/IO	VccQ	A12	E13	LCD_CLK	LCD クロックソース	I	VccQ	A15	D13	USB1_pwr_en/ USBF_UPLUP/ PTH0	USB1 パワーイネーブル / ブルアップ制御 / 汎用ポート	O/O/IO	VccQ	A16	A15	AVss	アナログ用電源 (0V)		-	A17	A16	AN0/PTF1	ADC アナログ入力 / 汎用ポート	I/I	AVcc	B10	E10	LCD_FLM/PTE0	LCD ラインマーカ / 汎用ポート	O/IO	VccQ	B11	D11	LCD_M_DISP/PTE4	LCD 液晶交流化信号 / 汎用ポート	O/IO	VccQ	B12	E14	SIOF0_MCLK/PTS3	SIOF マスタクロック / 汎用ポート	I/IO	VccQ	B13	E16	USB2_pwr_en/PTH1	USB2 パワーイネーブル / 汎用ポート	O/IO	VccQ	B14	B16	DA1/PTF6	DAC アナログ出力 / 汎用ポート	O/I	VccQ	B15	B17	AN2/PTF3	ADC アナログ入力 / 汎用ポート	I/I	AVcc
端子番号 (PLBG0 256GA-A)	端子番号 (PLBG0 256KA-A)	端子名	機能	入出力	I/O パッファ 供給電源																																																																					
A9	D10	LCD_CL2/PTE2	LCD シフトクロック 2 / 汎用ポート	O/IO	VccQ																																																																					
A12	E13	LCD_CLK	LCD クロックソース	I	VccQ																																																																					
A15	D13	USB1_pwr_en/ USBF_UPLUP/ PTH0	USB1 パワーイネーブル / ブルアップ制御 / 汎用ポート	O/O/IO	VccQ																																																																					
A16	A15	AVss	アナログ用電源 (0V)		-																																																																					
A17	A16	AN0/PTF1	ADC アナログ入力 / 汎用ポート	I/I	AVcc																																																																					
B10	E10	LCD_FLM/PTE0	LCD ラインマーカ / 汎用ポート	O/IO	VccQ																																																																					
B11	D11	LCD_M_DISP/PTE4	LCD 液晶交流化信号 / 汎用ポート	O/IO	VccQ																																																																					
B12	E14	SIOF0_MCLK/PTS3	SIOF マスタクロック / 汎用ポート	I/IO	VccQ																																																																					
B13	E16	USB2_pwr_en/PTH1	USB2 パワーイネーブル / 汎用ポート	O/IO	VccQ																																																																					
B14	B16	DA1/PTF6	DAC アナログ出力 / 汎用ポート	O/I	VccQ																																																																					
B15	B17	AN2/PTF3	ADC アナログ入力 / 汎用ポート	I/I	AVcc																																																																					

項 目	ページ	修正箇所					
表 1.4 ピン配置表	1-12 ~ 1-20	追加、修正、削除					
		端子番号 (PLBG0 256GA-A)	端子番号 (PLBG0 256KA-A)	端子名	機 能	入出力	I/O バッファ 供給電源
		C3	B5	MD5	エンディアン設定	I	VccQ
		C5	B4	MD3	バス幅設定	I	VccQ
		C11	A12	SIOF0_SYNC/PTS4	SIOF フレーム同期信号 / 汎用ポート	IO/IO	VccQ
		C12	A13	SIOF0_TxD/PTS2	SIOF 送信データ / 汎用ポート	O/IO	VccQ
		C13	A14	SIOF0_SCK/PTS0	SIOF シリアルクロック / 汎用ポート	IO/IO	VccQ
		C14	E17	ADTRG/PTF0	ADC 外部トリガ / 汎用ポート	I/I	VccQ
		C15	D18	AN3/PTF4	ADC アナログ入力 / 汎用ポート	I/I	AVcc
		C17	B19	AVcc	アナログ電源 (3.3V)		-
		D10	E11	LCD_CL1/PTE3	LCD シフトクロック 1 / 汎用ポート	O/IO	VccQ
		D13	B14	SIOF0_RxD/PTS1	SIOF 受信データ / 汎用ポート	I/IO	VccQ
		D14	B15	USB2_ovr_current	USB2 オーバカレント	I	VccQ
		D15	D14	DA0/PTF5	DAC アナログ出力 / 汎用ポート	O/I	VccQ
		D16	D15	AN1/PTF2	ADC アナログ入力 / 汎用ポート	I/I	AVcc
		D17	A19	USB1d_DMNS/PINT 11/AFE_RLYCNT/ PCC_BVD2/PTG3	D-信号入力 / ポート割 り込み / AFE オンフッ ク制御 / PCC バッテリ 検出 2 / 汎用ポート	I/I/O/I/O	VccQ
		D18	C21	USB1d_SUSPEND/ REFOUT/ IRQOUT/PTP4	サスペンドステート / バス権要求信号 (Refresh) / バス権要 求信号 (割り込み) / 汎用ポート	O/O/IO/IO	VccQ
		D20	F21	USB1d_TXENL/ PINT8/PCC_CD1/ PTG0	ドライバ出力許可 / ポ ート割り込み / PCC カ ード検出 1 / 汎用ポート	O/I/IO	VccQ
		E17	G18	USB1d_SPEED/ PINT9/PCC_CD2/ PTG1	スピード制御 / ポート 割り込み / PCC カード 検出 2 / 汎用ポート	O/I/IO	VccQ
		E18	D20	USB1d_RCV/IRQ5/ AFE_FS/ PCC_REG/PTG6	受信データ / 割り込み / AFE フレーム同期 / PCC 空間指示 / 汎用ポート	I/I/IO/IO	VccQ
		E19	D21	USB1d_TXSE0/ IRQ4/AFE_TXOUT/ PCC_DRW/PTG5	SE0 ステート / 割り込み / AFE シリアル送信 / PCC バッファ制御 / 汎用ポート	O/I/O/IO/IO	VccQ

項目	ページ	修正箇所				
表 1.4 ピン配置表	1-12	追加、修正、削除				
	~					
	1-20					
	端子番号 (PLBG0 256GA-A)	端子番号 (PLBG0 256KA-A)	端子名	機能	入出力	I/Oバッファ 供給電源
	F17	F17	MMC_VDDON/ SCIF1_CTS/ LCD_VEPWC/ TPU_TO3/PTV4	MMC カード電源制御 / SCIF 送信許可 / LCD 電 源制御 / TPU アウト プットコンペアマッ チ出力 / 汎用ポート	O/I/O/O/ IO	VccQ
	F18	C20	AFE_RDET/ IIC_SDA/PTE5	AFE リンキング / IIC データ入出力 / 汎用ポート	I/O/I	VccQ
	F19	F20	USB1d_DPLS/ PINT10/AFE_HC1/ PCC_BVD1/PTG2	D+送信入力 / ポート割 り込み / AFE ハードウ ェア制御/PCC バッテリ 検出 1 / 汎用ポート	I/I/O/I/O	VccQ
	G18	H18	MMC_ODMOD/ SCIF1_RTS/ LCD_VCPWC/ TPU_TO2/PTV3	MMC オープンドレイン 制御 / SCIF 送信要求 / LCD 電源制御 / TPU アウトプットコン ペア出力 / 汎用ポート	O/O/O/O/O	VccQ
	G19	G20	AFE_RXIN/IIC_SCL/ PTE6	AFE シリアル受信 / IIC クロック / 汎用ポート	I/O/I	VccQ
	G20	J20	SIM_CLK/ SCIF1_SCK/ SD_DAT3/PTV0	SIM クロック / SCIF シ リアルクロック / SD デ ータ / 汎用ポート	O/I/O/I/O	VccQ
	H18	H17	SIM_RST/ SCIF1_RxD/ SD_WP/PTV1	SIM リセット / SCIF 受 信データ / SD ライトプ ロテクト / 汎用ポート	O/I/I/O	VccQ
	H19	H21	SIM_D/SCIF1_TxD/ SD_CD/PTV2	SIM データ / SCIF 送信デ ータ / SD カード検出 / 汎用ポート	I/O/O/I/O	VccQ
	H20	K20	MMC_DAT/ SIOF1_TxD/ SD_DAT0/ TPU_T13A/PTU2	MMC データ / SIOF 送 信データ / SD データ / TPU クロック入力 / 汎用ポート	I/O/O/I/O/I/O	VccQ
J17	K17	MMC_CMD/ SIOF1_RxD/ SD_CMD/ TPU_T12B/PTU1	MMC コマンド / SIOF 受 信データ / SD コマンド / TPU クロック入力 / 汎用ポート	I/O/I/O/I/O	VccQ	
J18	J17	SIOF1_MCLK/ SD_DAT1/ TPU_T13B/ PTU3	SIOF マスタクロック / SD データ / TPU クロッ ク入力 / 汎用ポート	I/O/I/O	VccQ	
J19	J21	SIOF1_SYNC/ SD_DAT2/PTU4	SIOF フレーム同期信号 / SD データ / 汎用ポート	I/O/I/O	VccQ	

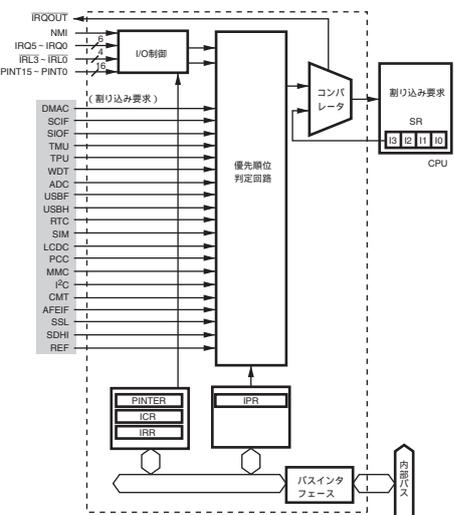
項 目	ページ	修正箇所					
表 1.4 ピン配置表	1-12	追加、修正、削除					
	~ 1-20	端子番号 (PLBG0 256GA-A)	端子番号 (PLBG0 256KA-A)	端子名	機 能	入出力	I/Oバッファ 供給電源
		J20	L17	SCIF0_RTS/ TPU_TO0/PTT3	SCIF 送信要求 / TPU ア ウトプットコンペア 出力 / 汎用ポート	O/O/IO	VccQ
		K17	L20	SCIF0_TxD/IrTx/ PTT2	SCIF 送信データ / IrDA 送信データ / 汎用ポート	O/O/IO	VccQ
		K18	K18	SCIF0_CTS/ TPU_TO1/PTT4	SCIF 送信許可 / TPU アウトプットコンペア 出力 / 汎用ポート	I/O/IO	VccQ
		K19	K21	MMC_CLK/ SIOF1_SCK/ SD_CLK/ TPU_TI2A/PTU0	MMC クロック/SIOF シ リアルクロック / SD ク ロック / TPU クロック 入力 / 汎用ポート	O/IO/O/IO	VccQ
		L2	M1	WE2/DQMUL/ ICIOR0	上位側書き込み / DQ マ スク UL / IO リード	O/O/IO	VccQ1
		L3	M4	WE3/DQMUU/ ICIOR1	最上位側書き込み / DQ マスク UU / IO ライト	O/O/IO	VccQ1
		L4	L5	RD/WR	リードライト信号	O	VccQ1
		L17	L21	SCIF0_RxD/IrRx/ PTT1	SCIF 受信データ / IrDA 受信データ / 汎用ポート	I/IO	VccQ
		L19	N17	SCIF0_SCK/PTT0	SCIF シリアルクロック / 汎用ポート	IO/IO	VccQ
		M4	M5	CKE/PTH4	クロックイネーブル / 汎用ポート	O/IO	VccQ1
		M18	N20	NMI	NMI 割り込み	I	VccQ
		N1	M2	RAS/PTH6	ロウアドレス / 汎用ポート	O/IO	VccQ1
		T19	U21	PINT7/PCC_RESET /PTK3	ポート割り込み / PCC リセット / 汎用ポート	I/O/IO	VccQ
		T20	V18	ASEBRKAK/PTJ5	ASE ブレークモード アク / リッジ / 汎用ポート	O/IO	VccQ
		U16	V15	DACK0/PINT1/ PTM4	DMA 転送要求受け付け / ポート割り込み / 汎用ポート	O/IO	VccQ1
		U19	V21	PINT6/PCC_RDY/ PTK2	ポート割り込み / PCC レディ / 汎用ポート	I/IO	VccQ
		V15	Y19	DREQ0/PINT0/ PTM6	DMA 転送要求 / ポート 割り込み / 汎用ポート	I/IO	VccQ1
		V17	AA19	XTAL_RTC	RTC 用クリスタル	O	VccQ_RTC
	V19	AA21	PINT5/PCC_VS2/ PTK1	ポート割り込み / PCC 電圧検出 2 / 汎用ポート	I/IO	VccQ	
	W15	Y16	TEND0/PINT2/PTM2	DMA 転送終了 / ポート 割り込み / 汎用ポート	O/IO	VccQ1	

項目	ページ	修正箇所																																																																																					
表 1.4 ピン配置表	1-12 ~ 1-20	<p>追加、修正、削除</p> <table border="1"> <thead> <tr> <th>端子番号 (PLBG0 256GA-A)</th> <th>端子番号 (PLBG0 256KA-A)</th> <th>端子名</th> <th>機能</th> <th>入出力</th> <th>I/Oバッファ 供給電源</th> </tr> </thead> <tbody> <tr> <td>W17</td> <td>V16</td> <td>TEND1/PINT3/PTM3</td> <td>DMA 転送終了 / ポート 割り込み / 汎用ポート</td> <td>O/I/O</td> <td>VccQ1</td> </tr> <tr> <td>W19</td> <td>Y21</td> <td>PINT4/PCC_VS1/ PTK0</td> <td>ポート割り込み / PCC 電圧検出 1 / 汎用ポート</td> <td>I/O</td> <td>VccQ</td> </tr> <tr> <td>Y13</td> <td>Y12</td> <td>RD</td> <td>リードストローブ</td> <td>O</td> <td>VccQ1</td> </tr> <tr> <td>Y18</td> <td>AA17</td> <td>DACK1/PTM5</td> <td>DMA 転送要求受け付け / 汎用ポート</td> <td>O/O</td> <td>VccQ1</td> </tr> </tbody> </table>	端子番号 (PLBG0 256GA-A)	端子番号 (PLBG0 256KA-A)	端子名	機能	入出力	I/Oバッファ 供給電源	W17	V16	TEND1/PINT3/PTM3	DMA 転送終了 / ポート 割り込み / 汎用ポート	O/I/O	VccQ1	W19	Y21	PINT4/PCC_VS1/ PTK0	ポート割り込み / PCC 電圧検出 1 / 汎用ポート	I/O	VccQ	Y13	Y12	RD	リードストローブ	O	VccQ1	Y18	AA17	DACK1/PTM5	DMA 転送要求受け付け / 汎用ポート	O/O	VccQ1																																																							
端子番号 (PLBG0 256GA-A)	端子番号 (PLBG0 256KA-A)	端子名	機能	入出力	I/Oバッファ 供給電源																																																																																		
W17	V16	TEND1/PINT3/PTM3	DMA 転送終了 / ポート 割り込み / 汎用ポート	O/I/O	VccQ1																																																																																		
W19	Y21	PINT4/PCC_VS1/ PTK0	ポート割り込み / PCC 電圧検出 1 / 汎用ポート	I/O	VccQ																																																																																		
Y13	Y12	RD	リードストローブ	O	VccQ1																																																																																		
Y18	AA17	DACK1/PTM5	DMA 転送要求受け付け / 汎用ポート	O/O	VccQ1																																																																																		
<p>1.3.2 端子の機能</p> <p>表 1.5 SH7720 グループ、SH7721 グループの端子機能</p>	1-21 ~ 1-28	<p>修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>記号</th> <th>入出力</th> <th>名称</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td rowspan="2">クロック</td> <td>EXTAL</td> <td>入力</td> <td>外部クロック</td> <td>水晶発振子を接続します。または外部クロックを入力することもできます。</td> </tr> <tr> <td>CKIO</td> <td>入出力</td> <td>システムクロック</td> <td>外部クロック入力、または外部クロック出力端子として使用します。</td> </tr> <tr> <td>動作モード コントロール</td> <td>MD5 - MD0</td> <td>入力</td> <td>モード設定</td> <td>動作モードを設定します。これらの端子は動作中には変化させないでください。 MD2 - MD0 はクロックモード設定用 MD3、MD4 はエリア 0 のバス幅設定用 MD5 はエンディアン設定用</td> </tr> <tr> <td rowspan="3">割り込み</td> <td>PINT15 - PINT0</td> <td>入力</td> <td>ポート割り込み要求 15 - 0</td> <td>ポート割り込み要求端子です。</td> </tr> <tr> <td>REFOUT</td> <td>出力</td> <td>バス権要求信号</td> <td>リフレッシュのためのバス権要求信号です。</td> </tr> <tr> <td>IRQOUT</td> <td>出力</td> <td>バス権要求信号</td> <td>割り込みのためのバス権要求信号です。</td> </tr> <tr> <td rowspan="10">バス制御</td> <td>RD</td> <td>出力</td> <td>リードストローブ</td> <td>外部デバイスから読み出すことを示します。</td> </tr> <tr> <td>RD/WR</td> <td>出力</td> <td>リード/ライト信号</td> <td>リード / ライト信号です。</td> </tr> <tr> <td>BACK</td> <td>出力</td> <td>バス権要求 アックノリッジ</td> <td>バス権を外部デバイスに解放したことを示します。</td> </tr> <tr> <td>WE3 (BE3)</td> <td>出力</td> <td>最上位側書き込み</td> <td>外部のデータのビット 31 - 24 に書き込みすることを示します。</td> </tr> <tr> <td>WE2 (BE2)</td> <td>出力</td> <td>上位側書き込み</td> <td>外部のデータのビット 23 - 16 に書き込みすることを示します。</td> </tr> <tr> <td>WE1 (BE1)</td> <td>出力</td> <td>下位側書き込み</td> <td>外部のデータのビット 15 - 8 に書き込みすることを示します。</td> </tr> <tr> <td>WE0 (BE0)</td> <td>出力</td> <td>最下位側書き込み</td> <td>外部のデータのビット 7 - 0 に書き込みすることを示します。</td> </tr> <tr> <td>CKE</td> <td>出力</td> <td>クロックイネーブル</td> <td>クロックイネーブル (SDRAM)</td> </tr> <tr> <td>RAS</td> <td>出力</td> <td>ロウアドレス</td> <td>SDRAM 接続時は RAS 端子に接続します。</td> </tr> <tr> <td>WAIT</td> <td>入力</td> <td>ウェイト入力</td> <td>外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。</td> </tr> <tr> <td>IOIST6</td> <td>入力</td> <td>16 ビット IO</td> <td>PCMCIA 使用時の 16 ビット I/O を示します。</td> </tr> <tr> <td>ICIORD</td> <td>出力</td> <td>IO リード</td> <td>PCMCIA 使用時の I/O リードを示します。</td> </tr> <tr> <td>ICIOWR</td> <td>出力</td> <td>IO ライト</td> <td>PCMCIA 使用時の I/O ライトを示します。</td> </tr> </tbody> </table>	分類	記号	入出力	名称	機能	クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。または外部クロックを入力することもできます。	CKIO	入出力	システムクロック	外部クロック入力、または外部クロック出力端子として使用します。	動作モード コントロール	MD5 - MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。 MD2 - MD0 はクロックモード設定用 MD3、MD4 はエリア 0 のバス幅設定用 MD5 はエンディアン設定用	割り込み	PINT15 - PINT0	入力	ポート割り込み要求 15 - 0	ポート割り込み要求端子です。	REFOUT	出力	バス権要求信号	リフレッシュのためのバス権要求信号です。	IRQOUT	出力	バス権要求信号	割り込みのためのバス権要求信号です。	バス制御	RD	出力	リードストローブ	外部デバイスから読み出すことを示します。	RD/WR	出力	リード/ライト信号	リード / ライト信号です。	BACK	出力	バス権要求 アックノリッジ	バス権を外部デバイスに解放したことを示します。	WE3 (BE3)	出力	最上位側書き込み	外部のデータのビット 31 - 24 に書き込みすることを示します。	WE2 (BE2)	出力	上位側書き込み	外部のデータのビット 23 - 16 に書き込みすることを示します。	WE1 (BE1)	出力	下位側書き込み	外部のデータのビット 15 - 8 に書き込みすることを示します。	WE0 (BE0)	出力	最下位側書き込み	外部のデータのビット 7 - 0 に書き込みすることを示します。	CKE	出力	クロックイネーブル	クロックイネーブル (SDRAM)	RAS	出力	ロウアドレス	SDRAM 接続時は RAS 端子に接続します。	WAIT	入力	ウェイト入力	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。	IOIST6	入力	16 ビット IO	PCMCIA 使用時の 16 ビット I/O を示します。	ICIORD	出力	IO リード	PCMCIA 使用時の I/O リードを示します。	ICIOWR	出力	IO ライト	PCMCIA 使用時の I/O ライトを示します。
分類	記号	入出力	名称	機能																																																																																			
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。または外部クロックを入力することもできます。																																																																																			
	CKIO	入出力	システムクロック	外部クロック入力、または外部クロック出力端子として使用します。																																																																																			
動作モード コントロール	MD5 - MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。 MD2 - MD0 はクロックモード設定用 MD3、MD4 はエリア 0 のバス幅設定用 MD5 はエンディアン設定用																																																																																			
割り込み	PINT15 - PINT0	入力	ポート割り込み要求 15 - 0	ポート割り込み要求端子です。																																																																																			
	REFOUT	出力	バス権要求信号	リフレッシュのためのバス権要求信号です。																																																																																			
	IRQOUT	出力	バス権要求信号	割り込みのためのバス権要求信号です。																																																																																			
バス制御	RD	出力	リードストローブ	外部デバイスから読み出すことを示します。																																																																																			
	RD/WR	出力	リード/ライト信号	リード / ライト信号です。																																																																																			
	BACK	出力	バス権要求 アックノリッジ	バス権を外部デバイスに解放したことを示します。																																																																																			
	WE3 (BE3)	出力	最上位側書き込み	外部のデータのビット 31 - 24 に書き込みすることを示します。																																																																																			
	WE2 (BE2)	出力	上位側書き込み	外部のデータのビット 23 - 16 に書き込みすることを示します。																																																																																			
	WE1 (BE1)	出力	下位側書き込み	外部のデータのビット 15 - 8 に書き込みすることを示します。																																																																																			
	WE0 (BE0)	出力	最下位側書き込み	外部のデータのビット 7 - 0 に書き込みすることを示します。																																																																																			
	CKE	出力	クロックイネーブル	クロックイネーブル (SDRAM)																																																																																			
	RAS	出力	ロウアドレス	SDRAM 接続時は RAS 端子に接続します。																																																																																			
	WAIT	入力	ウェイト入力	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。																																																																																			
IOIST6	入力	16 ビット IO	PCMCIA 使用時の 16 ビット I/O を示します。																																																																																				
ICIORD	出力	IO リード	PCMCIA 使用時の I/O リードを示します。																																																																																				
ICIOWR	出力	IO ライト	PCMCIA 使用時の I/O ライトを示します。																																																																																				

項目	ページ	修正箇所				
表 1.5 SH7720 グループ、SH7721 グループの端子機能	1-21 ~ 1-28	追加、修正、削除				
		分類	記号	入出力	名称	機能
		ダイレクトメモリアクセスコントローラ (DMAC)	DACK0	出力	DMA 転送要求受け付け	外部デバイスへの DMA 転送要求受付を示します。
			DACKT			
			TEND0	出力	DMA 転送終了	DMAC の転送終了出力端子です。
			TEND1			
		16 ビット タイマバルスユニット (TPU)	TPU_TO3	出力	TPU アウトプットコンペア出力	TPU のアウトプットコンペア出力端子です。
			TPU_TO0			
			TPU_T13A	入力	TPU クロック入力	TPU クロック入力端子です。
			TPU_T12A			
			TPU_T12B	入力	TPU クロック入力	TPU クロック入力端子です。
			TPU_T13B			
		アナログフロントエンドインタフェース (AFEIF)	AFE_	出力	AFE オンフック制御	オンフック制御端子です。
			RLYCNT			
			AFE_FS	入力	AFE フレーム同期	AFE フレーム同期信号端子です。
			AFE_SCLK	入力	AFE シフトクロック	AFE シフトクロック入力端子です。
			AFE_TXOUT	出力	AFE シリアル送信	AFE シリアル送信データ出力端子です。
			AFE_RDDET	入力	AFE リンギング信号	AFE リンギング信号入力端子です。
			AFE_HC1	出力	AFE ハードコントロール	AFE ハードウェアコントロール信号
			AFE_RXIN	入力	AFE シリアル受信	AFE シリアル受信データ
		FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	SCIF0_TxD、	出力	SCIF 送信データ	送信データ用の端子です。
			SCIF1_TxD			
			SCIF0_RxD、	入力	SCIF 受信データ	受信データ用の端子です。
			SCIF1_RxD			
			SCIF0_SCK、	入出力	SCIF シリアルクロック	クロック入出力端子です。
			SCIF1_SCK			
			SCIF0_RTS	出力	SCIF 送信要求	送信要求出力端子です。
			SCIF1_RTS			
			SCIF0_CTS、	入力	SCIF 送信許可	モデムコントロール端子です。
			SCIF1_CTS			
		IrDA	IrTX	出力	IrDA 送信データ	IrDA 送信データ出力端子です。
			IrRX	入力	IrDA 受信データ	IrDA 受信データ入力端子です。
		シリアル I/O FIFO 付き (SIOF)	SIOF0_SYNC	入出力	SIOF フレーム同期信号	SIOF のフレーム同期信号です。
			SIOF1_SYNC			
			SIOF0_TxD	出力	SIOF 送信データ	SIOF の送信信号です。
			SIOF1_TxD			
			SIOF0_RxD	入力	SIOF 受信データ	SIOF の受信信号です。
			SIOF1_RxD			
			SIOF0_SCK	入出力	SIOF シリアルクロック	SIOF シリアルクロック端子です。
			SIOF1_SCK			
			SIOF0_MCLK	入力	SIOF マスタクロック	SIOF マスタクロック入力端子です。
			SIOF1_MCLK			
		I ² C バスインタフェース (IIC)	IIC_SCL	入出力	IIC クロック	I ² C シリアルクロック端子です。
			IIC_SDA	入出力	IIC データ入出力	I ² C データ入出力端子です。

項 目	ページ	修正箇所			
表 1.5 SH7720 グループ、SH7721 グループの端子機能	1-21	追加、修正、削除			
	~				
	1-28				
	分類	記号	入出力	名称	機 能
	LCDコントローラ (LCDC)	LCD_CL1	出力	LCD シフトクロック 1	LCD シフトクロック 1 / 水平同期信号端子です。
		LCD_CL2	出力	LCD シフトクロック 2	LCD シフトクロック 2 / ドットクロック端子です。
		LCD_CLK	入力	LCD クロックソース	LCD クロックソース入力端子です。
		LCD_FLM	出力	LCD ラインマーカ	ファーストラインマーカ / 垂直同期信号端子です。
		LCD_VCPWC	出力	LCD 電源制御 (VCC)	LCD 液晶モジュール電源制御 (VCC) 端子です。
		LCD_VEPWC	出力	LCD 電源制御 (VEE)	LCD 液晶モジュール電源制御 (VEE) 端子です。
		LCD_M_DISP	出力	LCD 液晶交流化信号	液晶交流化信号端子です。
	PC カードコントローラ (PCC)	PCC_BVD1	入力	PCC バッテリ検出 1	PC カードからのバッテリ電圧検出 1 / カードステータス変更信号端子です。
		PCC_BVD2	入力	PCC バッテリ検出 2	PC カードからのバッテリ電圧検出 2 / デジタル音声信号端子です。
		PCC_REG	出力	PCC 空間指示	PC カードへの空間指示信号端子です。
		PCC_RESET	出力	PCC リセット	PC カードへのリセット信号端子です。
		PCC_CD1	入力	PCC カード検出 1	PC カードからのカード検出 1 信号端子です。
		PCC_CD2	入力	PCC カード検出 2	PC カードからのカード検出 2 信号端子です。
		PCC_WAIT	入力	PCC ウェイト要求	PCC ハードウェアウェイト要求信号端子です。
		PCC_DRV	出力	PCC バッファ制御	PCC のバッファ制御信号端子です。
		PCC_VS1	入力	PCC 電圧検出 1	PC カードからの電圧センス 1 信号端子です。
		PCC_VS2	入力	PCC 電圧検出 2	PC カードからの電圧センス 2 信号端子です。
		PCC_IOIS16	入力	PCC16 ビット IO	PC カードからのライトプロテクト / 16 ビット I/O 信号端子です。
	マルチメディアカードインタフェース (MMCIF)	MMC_ODMOD	出力	MMC オープンドレイン制御	オープンドレインモード制御端子です。
		MMC_VDDON	出力	MMC カード電源制御	MMC カード電源制御端子です。
		MMC_CLK	出力	MMC クロック	クロック出力端子です。
		MMC_DAT	入出力	MMC データ	データ入出力端子 (MMC モード) です。カード側の Data in 端子に接続してください。
		MMC_CMD	入出力	MMC コマンド	コマンド出力 / レスポンス入力端子 (MMC モード) です。カード側の Data out 端子に接続してください。
	SD ホストインタフェース (SDHI)	SD_CLK	出力	SD クロック	クロック出力端子です。
		SD_CMD	入出力	SD コマンド	コマンド出力 / レスポンス入力端子です。
		SD_DAT0	入出力	SD データ 0	データ入出力端子です。

項目	ページ	修正箇所																																																																																				
<p>表 1.5 SH7720 グループ、SH7721 グループの端子機能</p>	<p>1-21 ~ 1-28</p>	<p>追加、修正、削除</p> <table border="1" data-bbox="715 344 1315 1227"> <thead> <tr> <th>分類</th> <th>記号</th> <th>入出力</th> <th>名称</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td rowspan="5">SD ホスト インタフェース (SDHI)</td> <td>SD_DAT1</td> <td>入出力</td> <td>SD データ 1</td> <td>データ入出力端子です。</td> </tr> <tr> <td>SD_DAT2</td> <td>入出力</td> <td>SD データ 2</td> <td>データ入出力端子です。</td> </tr> <tr> <td>SD_DAT3</td> <td>入出力</td> <td>SD データ 3</td> <td>データ入出力端子です。</td> </tr> <tr> <td>SD_CD</td> <td>入力</td> <td>SD カード検出</td> <td>カード検出端子です。</td> </tr> <tr> <td>SD_WP</td> <td>入力</td> <td>SD ライト プロテクト</td> <td>ライトプロテクト端子です。</td> </tr> <tr> <td rowspan="3">SIM カード モジュール (SIM)</td> <td>SIM_RST</td> <td>出力</td> <td>SIM リセット</td> <td>スマートカードリセット出力端子です。</td> </tr> <tr> <td>SIM_CLK</td> <td>出力</td> <td>SIM クロック</td> <td>スマートカードクロック出力端子です。</td> </tr> <tr> <td>SIM_D</td> <td>入出力</td> <td>SIM データ</td> <td>スマートカード送受信データ入出力端子です。</td> </tr> <tr> <td rowspan="4">A/D 変換器 (ADC)</td> <td>AN3 ~ AN0</td> <td>入力</td> <td>ADC アナログ入力</td> <td>アナログ入力端子です。</td> </tr> <tr> <td>AVcc</td> <td>-</td> <td>アナログ電源</td> <td>A/D、D/A 変換器の電源端子です。A/D 変換器を使用しない場合はポート用電源 (VccQ) に接続してください。</td> </tr> <tr> <td>AVss</td> <td>-</td> <td>アナロググランド</td> <td>A/D、D/A 変換器のグランド端子です。システムの電源 (VssQ) に接続してください。</td> </tr> <tr> <td>ADTRG</td> <td>入力</td> <td>ADC 外部トリガ</td> <td>A/D 変換を開始する外部トリガ信号です。</td> </tr> <tr> <td rowspan="2">D/A 変換器 (DAC)</td> <td>DA0</td> <td>出力</td> <td>DAC アナログ出力</td> <td>チャンネル 0 のアナログ出力端子です。</td> </tr> <tr> <td>DA1</td> <td>出力</td> <td>DAC アナログ出力</td> <td>チャンネル 1 のアナログ出力端子です。</td> </tr> <tr> <td rowspan="2">USB</td> <td>USB1_pwr_en /USBF_ UPLUP</td> <td>出力</td> <td>USB 1 パワーイネーブル /フルアップ制御</td> <td>USB ポート 1 電源投入許可制御 / フルアップ制御出力端子です。</td> </tr> <tr> <td>USB2_pwr_en</td> <td>出力</td> <td>USB 2 パワーイネーブル</td> <td>USB ポート 2 電源投入許可制御端子です。</td> </tr> <tr> <td>I/O ポート</td> <td>PTF6 ~ PTF0</td> <td>入力</td> <td>汎用ポート</td> <td>7 ビットの汎用ポート端子です。</td> </tr> <tr> <td>E10A インタフェース</td> <td>ASEBRKAK</td> <td>出力</td> <td>ASE ブレークモード アックノリッジ</td> <td>E10A エミュレータがブレークモードに入ったことを示します。</td> </tr> </tbody> </table> <p>【注】 5. ピンファンクションコントローラ (PFC) のレジスタ設定でドライブ能力を切り替えることができます。VccQ1 に 3.3V を供給する場合はドライブ能力を小に、VccQ1 に 1.8V を供給する場合はドライブ能力を大にしてください。</p> <p>6. SDHI 関連端子は、SDHI 搭載品種のみサポートします。</p>	分類	記号	入出力	名称	機能	SD ホスト インタフェース (SDHI)	SD_DAT1	入出力	SD データ 1	データ入出力端子です。	SD_DAT2	入出力	SD データ 2	データ入出力端子です。	SD_DAT3	入出力	SD データ 3	データ入出力端子です。	SD_CD	入力	SD カード検出	カード検出端子です。	SD_WP	入力	SD ライト プロテクト	ライトプロテクト端子です。	SIM カード モジュール (SIM)	SIM_RST	出力	SIM リセット	スマートカードリセット出力端子です。	SIM_CLK	出力	SIM クロック	スマートカードクロック出力端子です。	SIM_D	入出力	SIM データ	スマートカード送受信データ入出力端子です。	A/D 変換器 (ADC)	AN3 ~ AN0	入力	ADC アナログ入力	アナログ入力端子です。	AVcc	-	アナログ電源	A/D、D/A 変換器の電源端子です。A/D 変換器を使用しない場合はポート用電源 (VccQ) に接続してください。	AVss	-	アナロググランド	A/D、D/A 変換器のグランド端子です。システムの電源 (VssQ) に接続してください。	ADTRG	入力	ADC 外部トリガ	A/D 変換を開始する外部トリガ信号です。	D/A 変換器 (DAC)	DA0	出力	DAC アナログ出力	チャンネル 0 のアナログ出力端子です。	DA1	出力	DAC アナログ出力	チャンネル 1 のアナログ出力端子です。	USB	USB1_pwr_en /USBF_ UPLUP	出力	USB 1 パワーイネーブル /フルアップ制御	USB ポート 1 電源投入許可制御 / フルアップ制御出力端子です。	USB2_pwr_en	出力	USB 2 パワーイネーブル	USB ポート 2 電源投入許可制御端子です。	I/O ポート	PTF6 ~ PTF0	入力	汎用ポート	7 ビットの汎用ポート端子です。	E10A インタフェース	ASEBRKAK	出力	ASE ブレークモード アックノリッジ	E10A エミュレータがブレークモードに入ったことを示します。
分類	記号	入出力	名称	機能																																																																																		
SD ホスト インタフェース (SDHI)	SD_DAT1	入出力	SD データ 1	データ入出力端子です。																																																																																		
	SD_DAT2	入出力	SD データ 2	データ入出力端子です。																																																																																		
	SD_DAT3	入出力	SD データ 3	データ入出力端子です。																																																																																		
	SD_CD	入力	SD カード検出	カード検出端子です。																																																																																		
	SD_WP	入力	SD ライト プロテクト	ライトプロテクト端子です。																																																																																		
SIM カード モジュール (SIM)	SIM_RST	出力	SIM リセット	スマートカードリセット出力端子です。																																																																																		
	SIM_CLK	出力	SIM クロック	スマートカードクロック出力端子です。																																																																																		
	SIM_D	入出力	SIM データ	スマートカード送受信データ入出力端子です。																																																																																		
A/D 変換器 (ADC)	AN3 ~ AN0	入力	ADC アナログ入力	アナログ入力端子です。																																																																																		
	AVcc	-	アナログ電源	A/D、D/A 変換器の電源端子です。A/D 変換器を使用しない場合はポート用電源 (VccQ) に接続してください。																																																																																		
	AVss	-	アナロググランド	A/D、D/A 変換器のグランド端子です。システムの電源 (VssQ) に接続してください。																																																																																		
	ADTRG	入力	ADC 外部トリガ	A/D 変換を開始する外部トリガ信号です。																																																																																		
D/A 変換器 (DAC)	DA0	出力	DAC アナログ出力	チャンネル 0 のアナログ出力端子です。																																																																																		
	DA1	出力	DAC アナログ出力	チャンネル 1 のアナログ出力端子です。																																																																																		
USB	USB1_pwr_en /USBF_ UPLUP	出力	USB 1 パワーイネーブル /フルアップ制御	USB ポート 1 電源投入許可制御 / フルアップ制御出力端子です。																																																																																		
	USB2_pwr_en	出力	USB 2 パワーイネーブル	USB ポート 2 電源投入許可制御端子です。																																																																																		
I/O ポート	PTF6 ~ PTF0	入力	汎用ポート	7 ビットの汎用ポート端子です。																																																																																		
E10A インタフェース	ASEBRKAK	出力	ASE ブレークモード アックノリッジ	E10A エミュレータがブレークモードに入ったことを示します。																																																																																		
<p>2. CPU 2.1 処理状態と処理モード 2.1.1 処理状態 (1) リセット状態</p>	<p>2-1</p>	<p>変更</p> <p>…パワーオンリセットでは、LSI 内部の全モジュールのレジスタや内部状態が初期化されます。マニュアルリセットでは、一部のモジュールでレジスタの値が保持されます。詳細は、「第 37 章 レジスタ一覧」を参照してください。…</p>																																																																																				

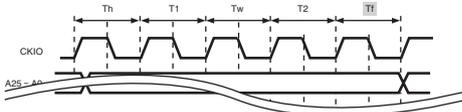
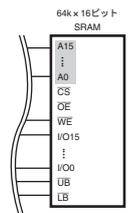
項目	ページ	修正箇所																
<p>8. 割り込みコントローラ (INTC)</p> <p>8.1 特長</p> <p>図 8.1 割り込みコントローラのプロック図</p>	<p>8-2</p>	<p>修正</p>  <p>【記号説明】 ICR : 割り込みコントロールレジスタ IPR : 割り込み優先レベル設定レジスタ IRR : 割り込み要求レジスタ PINTER : PINT割り込みインベナブルレジスタ REF : バスステートコントローラ内のリフレッシュ要求</p>																
<p>表 8.1 端子構成</p>	<p>8-3</p>	<p>修正</p> <table border="1" data-bbox="715 963 1324 1041"> <thead> <tr> <th>名称</th> <th>略語</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>バス権要求信号</td> <td>IRQOUT^{a2}</td> <td>割り込みのためのバス権要求信号</td> </tr> </tbody> </table>	名称	略語	機能	バス権要求信号	IRQOUT ^{a2}	割り込みのためのバス権要求信号										
名称	略語	機能																
バス権要求信号	IRQOUT ^{a2}	割り込みのためのバス権要求信号																
<p>表 8.2 割り込み要求要因と IPRA ~ IPRJ</p>	<p>8-5</p>	<p>追加、修正</p> <table border="1" data-bbox="715 1097 1324 1254"> <thead> <tr> <th>レジスタ名</th> <th>ビット 15-12</th> <th>ビット 11-8</th> <th>ビット 7-4</th> </tr> </thead> <tbody> <tr> <td>IPRD</td> <td>予約*</td> <td>TMU (TMU_SUNI)</td> <td>IRQ5</td> </tr> <tr> <td>IPRG</td> <td>SCIF0</td> <td>SCIF1</td> <td>予約*</td> </tr> <tr> <td>IPRJ</td> <td>予約*</td> <td>USBH</td> <td>SDHI</td> </tr> </tbody> </table> <p>【注】 予約：読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 * SSL、SDHI 関連ビットは搭載品種のみ有効です。非搭載品種では「予約ビット」になります。</p>	レジスタ名	ビット 15-12	ビット 11-8	ビット 7-4	IPRD	予約*	TMU (TMU_SUNI)	IRQ5	IPRG	SCIF0	SCIF1	予約*	IPRJ	予約*	USBH	SDHI
レジスタ名	ビット 15-12	ビット 11-8	ビット 7-4															
IPRD	予約*	TMU (TMU_SUNI)	IRQ5															
IPRG	SCIF0	SCIF1	予約*															
IPRJ	予約*	USBH	SDHI															
<p>8.3.4 割り込み要求レジスタ 0 (IRR0)</p>	<p>8-7</p>	<p>修正</p> <p>IRR0 は、TMU および IRQ5 ~ IRQ0 からの割り込み要求を示す 8 ビットレジスタです。</p> <table border="1" data-bbox="715 1422 1324 1534"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>-</td> <td>R</td> <td>リザーブビット 読み出すと常に0が読み出されます。 書き込む値も常に0にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	RW	説明	7	-	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値も常に0にしてください。								
ビット	ビット名	RW	説明															
7	-	R	リザーブビット 読み出すと常に0が読み出されます。 書き込む値も常に0にしてください。															
<p>8.3.5 割り込み要求レジスタ 1 (IRR1)</p>	<p>8-8</p>	<p>修正</p> <p>IRR1 は、DMAC からの割り込み要求発生の有無を示す 8 ビットレジスタです。</p>																

項 目	ページ	修正箇所								
8.3.6 割り込み要求レジスタ 2 (IRR2)	8-9	<p>追加、修正</p> <p>IRR2 は、SSL、LCDC からの割り込み要求発生の有無を示す 8 ビットレジスタです。</p> <p>このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。</p> <p>【注】 SSL 非搭載品種では、SSL 関連ビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>								
8.3.12 割り込み要求レジスタ 8 (IRR8)	8-15	<p>追加、修正</p> <p>IRR8 は、SDHI、MMC、AFEIF からの割り込み要求発生の有無を示す 8 ビットレジスタです。</p> <p>このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。</p> <p>【注】 SDHI 非搭載品種では、SDHI 関連ビットは「リザーブビット」になります。書き込む値は 0 にしてください。</p> <table border="1" data-bbox="715 896 1324 1041"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>SDIR</td> <td>R/W</td> <td>SDI 割り込み要求 SDI (SDHI) 割り込み要求が発生したかどうかを示します。 ...</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説 明	0	SDIR	R/W	SDI 割り込み要求 SDI (SDHI) 割り込み要求が発生したかどうかを示します。 ...
ビット	ビット名	R/W	説 明							
0	SDIR	R/W	SDI 割り込み要求 SDI (SDHI) 割り込み要求が発生したかどうかを示します。 ...							
8.3.13 割り込み要求レジスタ 9 (IRR9)	8-16	<p>修正</p> <p>IRR9 は、PCC、USBH、USBF、CMT からの割り込み要求発生の有無を示す 8 ビットレジスタです。</p>								
8.4.3 IRL 割り込み	8-19	<p>削除、修正</p> <p>IRL 割り込みは、ノイズキャンセラ機能が組み込まれ、周辺モジュールクロックごとにサンプリングされたレベルが 2 サイクル続けて同一の値になったときに初めて検出されます。これにより、IRL 端子の変化時の誤ったレベルを取りこむことを防止できます。</p> <p>IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理が開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。</p>								
8.4.4 PINT 割り込み	8-20	<p>追加</p> <p>・・・また、RTC 用クロックが有効で、かつ該当する割り込みレベルが SR レジスタの I3~I0 より高い場合は、PINT 割り込みによるスタンバイからの復帰が可能です。</p>								

項目	ページ	修正箇所																											
表 8.3 割り込み例外処理要因と優先順位 (IRQ モード時)	8-22	<p>修正</p> <table border="1"> <thead> <tr> <th colspan="2">割り込み要因</th> <th>例外コード^{s1}</th> <th>割り込み優先順位 (初期値)</th> <th>IPR (ビット番号)</th> <th>IPR 設定 ユニット内の優先順位</th> </tr> </thead> <tbody> <tr> <td>TMU</td> <td>TMU_SUNI</td> <td>H'6C0^{s3}</td> <td>0-15 (0)</td> <td>IPRD (11-8)</td> <td>-</td> </tr> <tr> <td>USBF</td> <td>USBF_SPD</td> <td>H'6E0^{s3}</td> <td>0-15 (0)</td> <td>IPRD (15-12)</td> <td>-</td> </tr> <tr> <td rowspan="2">DMA(2)</td> <td>DEI4</td> <td>H'B80^{s3}</td> <td rowspan="2">0-15 (0)</td> <td rowspan="2">IPRF (11-8)</td> <td>高</td> </tr> <tr> <td>DEI5</td> <td>H'BA0^{s3}</td> <td>低</td> </tr> </tbody> </table>	割り込み要因		例外コード ^{s1}	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の優先順位	TMU	TMU_SUNI	H'6C0 ^{s3}	0-15 (0)	IPRD (11-8)	-	USBF	USBF_SPD	H'6E0 ^{s3}	0-15 (0)	IPRD (15-12)	-	DMA(2)	DEI4	H'B80 ^{s3}	0-15 (0)	IPRF (11-8)	高	DEI5	H'BA0 ^{s3}	低
割り込み要因		例外コード ^{s1}	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の優先順位																								
TMU	TMU_SUNI	H'6C0 ^{s3}	0-15 (0)	IPRD (11-8)	-																								
USBF	USBF_SPD	H'6E0 ^{s3}	0-15 (0)	IPRD (15-12)	-																								
DMA(2)	DEI4	H'B80 ^{s3}	0-15 (0)	IPRF (11-8)	高																								
	DEI5	H'BA0 ^{s3}			低																								
表 8.4 割り込み例外処理要因と優先順位 (IRL モード時)	8-24	<p>修正</p> <table border="1"> <thead> <tr> <th colspan="2">割り込み要因</th> <th>例外コード^{s1}</th> <th>割り込み優先順位 (初期値)</th> <th>IPR (ビット番号)</th> <th>IPR 設定 ユニット内の優先順位</th> </tr> </thead> <tbody> <tr> <td>TMU</td> <td>TMU_SUNI</td> <td>H'6C0^{s3}</td> <td>0-15 (0)</td> <td>IPRD (11-8)</td> <td>-</td> </tr> <tr> <td>USBF</td> <td>USBF_SPD</td> <td>H'6E0^{s3}</td> <td>0-15 (0)</td> <td>IPRD (15-12)</td> <td>-</td> </tr> </tbody> </table>	割り込み要因		例外コード ^{s1}	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の優先順位	TMU	TMU_SUNI	H'6C0 ^{s3}	0-15 (0)	IPRD (11-8)	-	USBF	USBF_SPD	H'6E0 ^{s3}	0-15 (0)	IPRD (15-12)	-									
割り込み要因		例外コード ^{s1}	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の優先順位																								
TMU	TMU_SUNI	H'6C0 ^{s3}	0-15 (0)	IPRD (11-8)	-																								
USBF	USBF_SPD	H'6E0 ^{s3}	0-15 (0)	IPRD (15-12)	-																								
9.2 入出力端子 表 9.1 端子構成	9-4、 9-5	<p>修正</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>RD/WR</td> <td>出力</td> <td>リードライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、WE 端子に接続</td> </tr> <tr> <td>RD</td> <td>出力</td> <td>リードストローブ (リードデータ出力許可信号)</td> </tr> <tr> <td>WAIT</td> <td>入力</td> <td>外部ウェイト入力 (CKIO の立ち下がりでサンプリング)</td> </tr> <tr> <td>REFOUT</td> <td>出力</td> <td>リフレッシュのためのバス権要求信号</td> </tr> </tbody> </table>	端子名	入出力	機能	RD/WR	出力	リードライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、WE 端子に接続	RD	出力	リードストローブ (リードデータ出力許可信号)	WAIT	入力	外部ウェイト入力 (CKIO の立ち下がりでサンプリング)	REFOUT	出力	リフレッシュのためのバス権要求信号												
端子名	入出力	機能																											
RD/WR	出力	リードライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、WE 端子に接続																											
RD	出力	リードストローブ (リードデータ出力許可信号)																											
WAIT	入力	外部ウェイト入力 (CKIO の立ち下がりでサンプリング)																											
REFOUT	出力	リフレッシュのためのバス権要求信号																											
9.3.2 シャドウ空間	9-6	<p>修正</p> <p>物理アドレスの A28 ~ A25 でデコードされ、エリア 0、2 ~ 4、5A/5B、および 6A/6B に対応します。アドレスの・・・</p>																											
9.4.1 共通コントロールレジスタ (CMNCR)	9-10	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>-</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	RW	説明	15	-	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																			
ビット	ビット名	RW	説明																										
15	-	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																										
9.4.2 CSn 空間バスコントロールレジスタ (CSnBCR)	9-13	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>30</td> <td>IWW2</td> <td>RW</td> <td rowspan="3">ライト - リード / ライト - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 . . .</td> </tr> <tr> <td>29</td> <td>IWW1</td> <td>RW</td> </tr> <tr> <td>28</td> <td>IWW0</td> <td>RW</td> </tr> </tbody> </table>	ビット	ビット名	RW	説明	30	IWW2	RW	ライト - リード / ライト - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 . . .	29	IWW1	RW	28	IWW0	RW													
ビット	ビット名	RW	説明																										
30	IWW2	RW	ライト - リード / ライト - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 . . .																										
29	IWW1	RW																											
28	IWW0	RW																											

項目	ページ	修正箇所																																																				
9.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (1)通常空間、バイト選択付き SRAM ・CS0WCR、CS6BWCR	9-17	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>10</td> <td>WR3</td> <td>R/W</td> <td>アクセスウェイトサイクル数</td> </tr> <tr> <td>9</td> <td>WR2</td> <td>R/W</td> <td>本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。</td> </tr> <tr> <td>8</td> <td>WR1</td> <td>R/W</td> <td>0000 : 0 サイクル</td> </tr> <tr> <td>7</td> <td>WR0</td> <td>R/W</td> <td>0001 : 1 サイクル</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説明	10	WR3	R/W	アクセスウェイトサイクル数	9	WR2	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。	8	WR1	R/W	0000 : 0 サイクル	7	WR0	R/W	0001 : 1 サイクル				.				.				.																				
ビット	ビット名	R/W	説明																																																			
10	WR3	R/W	アクセスウェイトサイクル数																																																			
9	WR2	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。																																																			
8	WR1	R/W	0000 : 0 サイクル																																																			
7	WR0	R/W	0001 : 1 サイクル																																																			
			.																																																			
			.																																																			
			.																																																			
・CS2WCR、CS3WCR	9-18	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>10</td> <td>WR3</td> <td>R/W</td> <td>アクセスウェイトサイクル数</td> </tr> <tr> <td>9</td> <td>WR2</td> <td>R/W</td> <td>本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。</td> </tr> <tr> <td>8</td> <td>WR1</td> <td>R/W</td> <td>0000 : 0 サイクル</td> </tr> <tr> <td>7</td> <td>WR0</td> <td>R/W</td> <td>0001 : 1 サイクル</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説明	10	WR3	R/W	アクセスウェイトサイクル数	9	WR2	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。	8	WR1	R/W	0000 : 0 サイクル	7	WR0	R/W	0001 : 1 サイクル				.				.				.																				
ビット	ビット名	R/W	説明																																																			
10	WR3	R/W	アクセスウェイトサイクル数																																																			
9	WR2	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。																																																			
8	WR1	R/W	0000 : 0 サイクル																																																			
7	WR0	R/W	0001 : 1 サイクル																																																			
			.																																																			
			.																																																			
			.																																																			
・CS4WCR	9-19、 9-20	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>18</td> <td>WW2</td> <td>R/W</td> <td>ライトアクセスウェイトサイクル数</td> </tr> <tr> <td>17</td> <td>WW1</td> <td>R/W</td> <td>本ビットは、ライトアクセスに必要なサイクル数を指定します。</td> </tr> <tr> <td>16</td> <td>WW0</td> <td>R/W</td> <td>000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> <tr> <td>10</td> <td>WR3</td> <td>R/W</td> <td>アクセスウェイトサイクル数</td> </tr> <tr> <td>9</td> <td>WR2</td> <td>R/W</td> <td>本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。</td> </tr> <tr> <td>8</td> <td>WR1</td> <td>R/W</td> <td>0000 : 0 サイクル</td> </tr> <tr> <td>7</td> <td>WR0</td> <td>R/W</td> <td>.</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> <tr> <td></td> <td></td> <td></td> <td>.</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説明	18	WW2	R/W	ライトアクセスウェイトサイクル数	17	WW1	R/W	本ビットは、ライトアクセスに必要なサイクル数を指定します。	16	WW0	R/W	000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル				.				.				.	10	WR3	R/W	アクセスウェイトサイクル数	9	WR2	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。	8	WR1	R/W	0000 : 0 サイクル	7	WR0	R/W	.				.				.
ビット	ビット名	R/W	説明																																																			
18	WW2	R/W	ライトアクセスウェイトサイクル数																																																			
17	WW1	R/W	本ビットは、ライトアクセスに必要なサイクル数を指定します。																																																			
16	WW0	R/W	000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル																																																			
			.																																																			
			.																																																			
			.																																																			
10	WR3	R/W	アクセスウェイトサイクル数																																																			
9	WR2	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。																																																			
8	WR1	R/W	0000 : 0 サイクル																																																			
7	WR0	R/W	.																																																			
			.																																																			
			.																																																			

項 目	ページ	修正箇所																											
<p>・ CS5AWCR</p>	<p>9-21、 9-22</p>	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>18</td> <td>WW2</td> <td>R/W</td> <td rowspan="3">ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル . . .</td> </tr> <tr> <td>17</td> <td>WW1</td> <td>R/W</td> </tr> <tr> <td>16</td> <td>WW0</td> <td>R/W</td> </tr> <tr> <td>10</td> <td>WR3</td> <td>R/W</td> <td rowspan="4">アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .</td> </tr> <tr> <td>9</td> <td>WR2</td> <td>R/W</td> </tr> <tr> <td>8</td> <td>WR1</td> <td>R/W</td> </tr> <tr> <td>7</td> <td>WR0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説 明	18	WW2	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル . . .	17	WW1	R/W	16	WW0	R/W	10	WR3	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .	9	WR2	R/W	8	WR1	R/W	7	WR0	R/W
ビット	ビット名	R/W	説 明																										
18	WW2	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル . . .																										
17	WW1	R/W																											
16	WW0	R/W																											
10	WR3	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .																										
9	WR2	R/W																											
8	WR1	R/W																											
7	WR0	R/W																											
<p>・ CS5BWCR</p>	<p>9-23、 9-24</p>	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>18</td> <td>WW2</td> <td>R/W</td> <td rowspan="3">ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル . . .</td> </tr> <tr> <td>17</td> <td>WW1</td> <td>R/W</td> </tr> <tr> <td>16</td> <td>WW0</td> <td>R/W</td> </tr> <tr> <td>10</td> <td>WR3</td> <td>R/W</td> <td rowspan="4">アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .</td> </tr> <tr> <td>9</td> <td>WR2</td> <td>R/W</td> </tr> <tr> <td>8</td> <td>WR1</td> <td>R/W</td> </tr> <tr> <td>7</td> <td>WR0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説 明	18	WW2	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル . . .	17	WW1	R/W	16	WW0	R/W	10	WR3	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .	9	WR2	R/W	8	WR1	R/W	7	WR0	R/W
ビット	ビット名	R/W	説 明																										
18	WW2	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000 : WR3 - WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じサイクル . . .																										
17	WW1	R/W																											
16	WW0	R/W																											
10	WR3	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .																										
9	WR2	R/W																											
8	WR1	R/W																											
7	WR0	R/W																											
<p>・ CS6AWCR</p>	<p>9-25</p>	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>10</td> <td>WR3</td> <td>R/W</td> <td rowspan="4">アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .</td> </tr> <tr> <td>9</td> <td>WR2</td> <td>R/W</td> </tr> <tr> <td>8</td> <td>WR1</td> <td>R/W</td> </tr> <tr> <td>7</td> <td>WR0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説 明	10	WR3	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .	9	WR2	R/W	8	WR1	R/W	7	WR0	R/W										
ビット	ビット名	R/W	説 明																										
10	WR3	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル . . .																										
9	WR2	R/W																											
8	WR1	R/W																											
7	WR0	R/W																											
<p>9.4.4 SDRAM コントロールレジスタ (SDCR)</p>	<p>9-36</p>	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>12</td> <td>-</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説 明	12	-	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																			
ビット	ビット名	R/W	説 明																										
12	-	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																										

項目	ページ	修正箇所
9.5.5 SDRAM インタフェース (10) 低周波モード	9-77	削除
図 9.34 BAS=1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ)	9-87	修正 
図 9.36 16 ビットデータ幅バイト選択付き SRAM 接続例	9-88	修正 
9.5.8 PCMCIA インタフェース (1) メモリカードインタフェース 基本タイミング	9-91	修正 IC メモリカードインタフェースとしてメモリ空間を 32M バイトすべて使用する場合は、コモンメモリとアトリビュートメモリの切り替え信号 REG は I/O ポート等を利用して生成します。・・・
10. ダイレクトメモリアクセスコントローラ (DMAC) 10.5.2 DACK が分割される場合の注意事項	10-34	追加
11. クロック発振器 (CPG) 11.1 特長 ・特定モジュール向けクロックを生成	11-1	削除
(9) USBH/USBF クロック制御レジスタ	11-3	削除、修正 USBH/USBF クロック制御レジスタは、USBH/USBF クロックを生成する源クロックを設定します。
11.2 入出力端子 表 11.1 発振回路の端子構成と機能	11-4	削除、修正 【注】 モード制御端子の値は誤動作防止のために、パワーオンリセット時にのみサンプリングされます。
11.3 クロック動作モード ・モード 0:	11-5	修正 EXTAL 端子から外部クロックを入力し、PLL 回路 2 で波形形成して本 LSI に供給します。入力クロック周波数は 24.00MHz から 66.67MHz まで使用でき、CKIO の周波数レンジは、24.00MHz から 66.67MHz となります。

項目	ページ	修正箇所														
11.4.1 周波数制御レジスタ (FRQCR)	11-8	<p>修正</p> <p>・・・このレジスタは、パワーオンリセット時のみ初期化されます。ただし、WDTのオーバーフローによるパワーオンリセットでは初期化されません。・・・</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>PLL2EN</td> <td>RW</td> <td>PLL2 イネーブル クロック動作モード7のとき、PLL回路2をONにするかどうかを設定します。 クロック動作モード7以外のときは、このビットの値によらずPLL回路2はONになります。 0：PLL回路2をOFFにする 1：PLL回路2をONにする</td> </tr> </tbody> </table>	ビット	ビット名	RW	説明	15	PLL2EN	RW	PLL2 イネーブル クロック動作モード7のとき、PLL回路2をONにするかどうかを設定します。 クロック動作モード7以外のときは、このビットの値によらずPLL回路2はONになります。 0：PLL回路2をOFFにする 1：PLL回路2をONにする						
ビット	ビット名	RW	説明													
15	PLL2EN	RW	PLL2 イネーブル クロック動作モード7のとき、PLL回路2をONにするかどうかを設定します。 クロック動作モード7以外のときは、このビットの値によらずPLL回路2はONになります。 0：PLL回路2をOFFにする 1：PLL回路2をONにする													
11.4.2 USBH/USBFクロック制御レジスタ (UCLKCR)	11-10	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>USSCS2</td> <td>RW</td> <td rowspan="3">ソースクロックセレクトビット 源クロックの選択を行います。 000：クロック停止 001：設定禁止 010：設定禁止 011：初期値* 100：設定禁止 101：設定禁止 110：EXTAL_USB 111：USB水晶発振子</td> </tr> <tr> <td>6</td> <td>USSCS1</td> <td>RW</td> </tr> <tr> <td>5</td> <td>USSCS0</td> <td>RW</td> </tr> </tbody> </table> <p>「【注】*」を追加</p>	ビット	ビット名	RW	説明	7	USSCS2	RW	ソースクロックセレクトビット 源クロックの選択を行います。 000：クロック停止 001：設定禁止 010：設定禁止 011：初期値* 100：設定禁止 101：設定禁止 110：EXTAL_USB 111：USB水晶発振子	6	USSCS1	RW	5	USSCS0	RW
ビット	ビット名	RW	説明													
7	USSCS2	RW	ソースクロックセレクトビット 源クロックの選択を行います。 000：クロック停止 001：設定禁止 010：設定禁止 011：初期値* 100：設定禁止 101：設定禁止 110：EXTAL_USB 111：USB水晶発振子													
6	USSCS1	RW														
5	USSCS0	RW														
11.6 使用上の注意事項	11-12	<p>追加</p> <p>4. USBH/USBF 使用時は、必ず周辺クロック(P)を13MHzより高い周波数に設定してください。</p> <p>5. USBH 使用時は、必ずバスクロック(B)を32MHz以上に設定してください。</p>														
13. 低消費電力モード 13.1 特長 13.1.1 低消費電力モードの種類	13-2	<p>修正</p> <table border="1"> <thead> <tr> <th>低消費電力モード</th> <th>遷移条件</th> <th>解除方法</th> </tr> </thead> <tbody> <tr> <td>ソフトウェアスタンバイモード</td> <td>STBCRのSTBYビットが1の状態 でSLEEP命令を実行</td> <td>割り込み(NMI、IRQ(エッジ検出)、RTC、TMU、PINT)、リセット</td> </tr> </tbody> </table>	低消費電力モード	遷移条件	解除方法	ソフトウェアスタンバイモード	STBCRのSTBYビットが1の状態 でSLEEP命令を実行	割り込み(NMI、IRQ(エッジ検出)、RTC、TMU、PINT)、リセット								
低消費電力モード	遷移条件	解除方法														
ソフトウェアスタンバイモード	STBCRのSTBYビットが1の状態 でSLEEP命令を実行	割り込み(NMI、IRQ(エッジ検出)、RTC、TMU、PINT)、リセット														
13.2 入出力端子	13-3	<p>修正</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>略称</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>ステータス1出力</td> <td>STATUS1</td> <td rowspan="2">出力</td> </tr> <tr> <td>ステータス0出力</td> <td>STATUS0</td> </tr> <tr> <td>チップアクティブ</td> <td>CA</td> <td>入力</td> </tr> </tbody> </table>	端子名	略称	入出力	ステータス1出力	STATUS1	出力	ステータス0出力	STATUS0	チップアクティブ	CA	入力			
端子名	略称	入出力														
ステータス1出力	STATUS1	出力														
ステータス0出力	STATUS0															
チップアクティブ	CA	入力														

項目	ページ	修正箇所												
13.3.5 スタンバイコントロールレジスタ5 (STBCR5)	13-8	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>MSTP56</td> <td>R/W</td> <td> <p>モジュールストップビット 56</p> <p>MSTP56 ビットを 1 にセットすると SDHI へのクロックの供給を開始します。</p> <p>0 : SDHI へのクロック供給を停止</p> <p>1 : SDHI は動作</p> <p>【注】SDHI 非搭載品種では、リザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> </td> </tr> <tr> <td>2</td> <td>MSTP52</td> <td>R/W</td> <td> <p>モジュールストップビット 52</p> <p>MSTP52 ビットを 1 にセットすると SSL へのクロックの供給を停止します。</p> <p>0 : SSL は動作</p> <p>1 : SSL へのクロック供給を停止</p> <p>【注】SSL 非搭載品種ではリザーブビットになります。書き込む値は 1 にしてください。</p> </td> </tr> </tbody> </table>	ビット	ビット名	RW	説明	6	MSTP56	R/W	<p>モジュールストップビット 56</p> <p>MSTP56 ビットを 1 にセットすると SDHI へのクロックの供給を開始します。</p> <p>0 : SDHI へのクロック供給を停止</p> <p>1 : SDHI は動作</p> <p>【注】SDHI 非搭載品種では、リザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>	2	MSTP52	R/W	<p>モジュールストップビット 52</p> <p>MSTP52 ビットを 1 にセットすると SSL へのクロックの供給を停止します。</p> <p>0 : SSL は動作</p> <p>1 : SSL へのクロック供給を停止</p> <p>【注】SSL 非搭載品種ではリザーブビットになります。書き込む値は 1 にしてください。</p>
ビット	ビット名	RW	説明											
6	MSTP56	R/W	<p>モジュールストップビット 56</p> <p>MSTP56 ビットを 1 にセットすると SDHI へのクロックの供給を開始します。</p> <p>0 : SDHI へのクロック供給を停止</p> <p>1 : SDHI は動作</p> <p>【注】SDHI 非搭載品種では、リザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>											
2	MSTP52	R/W	<p>モジュールストップビット 52</p> <p>MSTP52 ビットを 1 にセットすると SSL へのクロックの供給を停止します。</p> <p>0 : SSL は動作</p> <p>1 : SSL へのクロック供給を停止</p> <p>【注】SSL 非搭載品種ではリザーブビットになります。書き込む値は 1 にしてください。</p>											
13.5 ソフトウェアスタンバイモード 13.5.2 ソフトウェアスタンバイモードの解除	13-10	<p>修正</p> <p>ソフトウェアスタンバイモードは、割り込み(NMI、IRQ(エッジ検出)、IRL、RTC、TMU、PINT)およびリセットにより、解除されます。</p> <p>(1) 割り込みによる解除</p> <p>内蔵 WDT によるホットスタートができます。NMI、IRQ(エッジ検出)*1、RTC*1、TMU*1、および PINT*1 の各割り込みが検出されると、・・・</p> <p>【注】*1 RTC 使用時のみ、IRQ(エッジ検出)、RTC、TMU、PINT の各割り込みでソフトウェアスタンバイモードを解除できます。</p>												
13.6 モジュールスタンバイ機能 13.6.1 モジュールスタンバイ機能への遷移	13-11	<p>修正</p> <p>・・・モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、内蔵周辺モジュールおよび I/O ポート設定により異なります。レジスタの状態は、スタンバイモード時と同じです。・・・</p>												
13.8 ハードウェアスタンバイモード 13.8.1 ハードウェアスタンバイモードへの遷移	13-16	<p>修正</p> <p>CA 端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードでは、SLEEP 命令によって遷移するスタンバイモードと同様に、RTC クロックで動作するモジュール以外のすべてのモジュールが停止します。</p>												
図 13.12 V _{CC_RTC} 、V _{CCQ_RTC} 以外の電源 OFF 時のタイミング	13-18	<p>修正</p> <p>仕様：STATUS端子のスタンバイ確認</p> <p>【注】 *1 リセット：HH (STATUS1がハイレベル、STATUS0がハイレベル) *2 スタンバイ：LH (STATUS1がローレベル、STATUS0がハイレベル) *3 通常動作：LL (STATUS1がローレベル、STATUS0がローレベル) *4 Bcyc：バスクロックの再開</p>												

項目	ページ	修正箇所												
15. 16ビットタイムパルスユニット (TPU) 15.3.6 タイマカウンタ (TCNT)	15-14	TCNTは16ビットの読み出し/書き込み可能なカウンタです。各チャンネルに1本、計4本のTCNTがあります。												
15.4.4 PWMモード	15-21	・デューティ 0%：周期レジスタ (TGRB) に対してデューティレジスタ (TGRA) の設定値を TGRB + 1 にした場合												
18. FIFO内蔵シリアルコミュニケーションインタフェース (SCIF) 18.2 入出力端子	18-4	修正 <table border="1"> <thead> <tr> <th>チャンネル</th> <th>端子名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>SCIF0_CTS</td> <td>送信許可</td> </tr> <tr> <td>1</td> <td>SCIF1_CTS</td> <td>送信許可</td> </tr> </tbody> </table>	チャンネル	端子名	機能	0	SCIF0_CTS	送信許可	1	SCIF1_CTS	送信許可			
チャンネル	端子名	機能												
0	SCIF0_CTS	送信許可												
1	SCIF1_CTS	送信許可												
18.3.6 シリアルコントロールレジスタ (SCSCR)	18-12	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>CKE1</td> <td>R/W</td> <td>クロックイネーブル1、0</td> </tr> <tr> <td>0</td> <td>CKE0</td> <td>R/W</td> <td>...</td> </tr> </tbody> </table> <p>【注】*3 調歩同期モードの場合、サンプリングレートに合わせたクロックを入力してください。たとえば、サンプリングレートが1/16の場合、ビットレートの8倍の周波数のクロックを入力してください。外部クロックを入力しない場合は、CKE1、CKE0を00に設定してください。SCK端子をI/Oポートと設定する場合は、CKE1、0を00に設定してください。</p>	ビット	ビット名	R/W	説明	1	CKE1	R/W	クロックイネーブル1、0	0	CKE0	R/W	...
ビット	ビット名	R/W	説明											
1	CKE1	R/W	クロックイネーブル1、0											
0	CKE0	R/W	...											
18.5 割り込み要因とDMAC	18-46	修正 <p>ただし、各要因による割り込みのベクタは共通となります。また、同一要因により、DMAC起動と割り込みを同時に発生させることはできません。DMAC起動を使用する場合は、以下の手順を取ってください。</p> <ol style="list-style-type: none"> 発生要因に対応する割り込みイネーブルビット (TIE、RIE) を1にセットしてください。 その他の割り込みイネーブルビット (TSIE、ERIE、BRIE、DRIE) は0にセットしてください。 												
19. 赤外線通信モジュール (IrDA) 19.2 入出力端子 表 19.1 端子構成	19-2	修正 <table border="1"> <thead> <tr> <th>名称</th> <th>端子名</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>IrDA受信データ端子</td> <td>IrRX</td> <td>入力</td> </tr> <tr> <td>IrDA送信データ端子</td> <td>IrTX</td> <td>出力</td> </tr> </tbody> </table>	名称	端子名	入出力	IrDA受信データ端子	IrRX	入力	IrDA送信データ端子	IrTX	出力			
名称	端子名	入出力												
IrDA受信データ端子	IrRX	入力												
IrDA送信データ端子	IrTX	出力												
19.3.1 IrDAモードレジスタ (SCIMR)	19-3	「IrDAの推奨値について」を追加												

項目	ページ	修正箇所																								
20. I ² C バスインタフェース (IIC) 20.2 入出力端子 表 20.1 端子構成	20-3	修正 <table border="1"> <thead> <tr> <th>名称</th> <th>端子名</th> <th>略称</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>IIC クロック</td> <td>IIC_SCL</td> <td>SCL</td> <td>入出力</td> </tr> <tr> <td>IIC データ入出力</td> <td>IIC_SDA</td> <td>SDA</td> <td>入出力</td> </tr> </tbody> </table>	名称	端子名	略称	入出力	IIC クロック	IIC_SCL	SCL	入出力	IIC データ入出力	IIC_SDA	SDA	入出力												
名称	端子名	略称	入出力																							
IIC クロック	IIC_SCL	SCL	入出力																							
IIC データ入出力	IIC_SDA	SDA	入出力																							
20.3.5 I ² C バスステータスレジスタ (ICSR)	20-9	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>STOP</td> <td>R/W</td> <td>停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき。 スレーブモード時、開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき。 [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき </td> </tr> </tbody> </table>	ビット	ビット名	R/W	説明	3	STOP	R/W	停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき。 スレーブモード時、開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき。 [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき 																
ビット	ビット名	R/W	説明																							
3	STOP	R/W	停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき。 スレーブモード時、開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき。 [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき 																							
20.7 使用上の注意事項	20-30	修正 停止条件の発行および開始条件(再送)の発行は9クロック目の立ち下りを確認してから行ってください。 9クロック目の立ち下がりはI ² Cバスコントロールレジスタ2(ICCR2)のSCLOをチェックすることにより認識することができます。																								
21. シリアル I/O FIFO 付き (SIOF)	21-1	SPI モード部分削除																								
表 21.2 転送モードごとの動作	21-6	「*2」追加																								
21.3.9 FIFO コントロールレジスタ (SIFCTR)	21-17 21-18	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>TFWM2</td> <td>R/W</td> <td rowspan="3">送信 FIFO ウォータマーク ...</td> </tr> <tr> <td>14</td> <td>TFWM1</td> <td>R/W</td> </tr> <tr> <td>13</td> <td>TFWM0</td> <td>R/W</td> </tr> <tr> <td>7</td> <td>RFWM2</td> <td>R/W</td> <td rowspan="3">受信 FIFO ウォータマーク ...</td> </tr> <tr> <td>6</td> <td>RFWM1</td> <td>R/W</td> </tr> <tr> <td>5</td> <td>RFWM0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説明	15	TFWM2	R/W	送信 FIFO ウォータマーク ...	14	TFWM1	R/W	13	TFWM0	R/W	7	RFWM2	R/W	受信 FIFO ウォータマーク ...	6	RFWM1	R/W	5	RFWM0	R/W
ビット	ビット名	R/W	説明																							
15	TFWM2	R/W	送信 FIFO ウォータマーク ...																							
14	TFWM1	R/W																								
13	TFWM0	R/W																								
7	RFWM2	R/W	受信 FIFO ウォータマーク ...																							
6	RFWM1	R/W																								
5	RFWM0	R/W																								
表 21.4 シリアル転送モード	21-25	「【注】*」追加																								

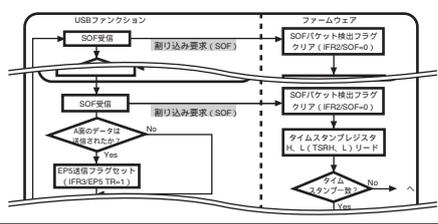
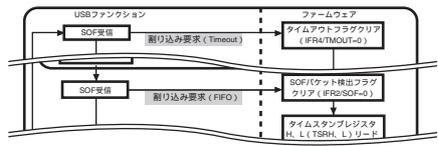
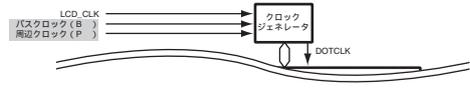
項目	ページ	修正箇所
<p>図 21.9 マスタ時送信動作例</p>	<p>21-32</p>	<p>No.9 ~ No.12 追加</p> <p>【注】* 送信データアップフローによる取り込みを許可している場合は「No.6 送信データを設定」後にTXEビットに1を設定してください。</p>
<p>図 21.10 マスタ時受信動作例</p>	<p>21-33</p>	<p>No.9 ~ No.12 追加</p> <p>【注】* 送信データアップフローによる取り込みを許可している場合は「No.6 送信データを設定」後にTXEビットに1を設定してください。</p>
<p>表 21.11 送受信リセット</p>	<p>21-36</p>	<p>「【注】」追加</p>
<p>21.5 使用上の注意事項</p>	<p>21-43</p>	<p>追加</p>
<p>22. アナログフロントエンドインタフェース (AFEIF)</p> <p>22.4 動作説明</p> <p>22.4.2 AFE インタフェース</p> <p>(2) HC コントロールシーケンス</p> <p>図 22.6 AFE コントロールシーケンス</p>	<p>22-15</p>	<p>修正</p>

項目	ページ	修正箇所																												
23 USBピンマルチプレクスコントローラ 23.2 入出力端子 表 23.3 端子構成 (電源制御信号)	23-3	修正 <table border="1"> <thead> <tr> <th>名称</th> <th>端子名</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>USB 1 パワーイネーブル / プルアップ制御端子</td> <td>USB1_pwr_en/ USBF_UPLUP</td> <td>出力</td> </tr> <tr> <td>USB 2 パワーイネーブル端子</td> <td>USB2_pwr_en</td> <td>出力</td> </tr> <tr> <td>USB 1 オーバカレント / モニタ端子</td> <td>USB1_ovr_current/ USBF_VBUS</td> <td>入力</td> </tr> <tr> <td>USB 2 オーバカレント端子</td> <td>USB2_ovr_current</td> <td>入力</td> </tr> </tbody> </table>	名称	端子名	入出力	USB 1 パワーイネーブル / プルアップ制御端子	USB1_pwr_en/ USBF_UPLUP	出力	USB 2 パワーイネーブル端子	USB2_pwr_en	出力	USB 1 オーバカレント / モニタ端子	USB1_ovr_current/ USBF_VBUS	入力	USB 2 オーバカレント端子	USB2_ovr_current	入力													
名称	端子名	入出力																												
USB 1 パワーイネーブル / プルアップ制御端子	USB1_pwr_en/ USBF_UPLUP	出力																												
USB 2 パワーイネーブル端子	USB2_pwr_en	出力																												
USB 1 オーバカレント / モニタ端子	USB1_ovr_current/ USBF_VBUS	入力																												
USB 2 オーバカレント端子	USB2_ovr_current	入力																												
23.4 外部回路例 23.4.1 USBファンクションコントローラとトランシーバの接続例	23-5	修正 ・・・・USBF_VBUS 端子は USB1_ovr_current 端子とピンマルチプレクスされており、UTRCTL のビット 0 (USB_SEL) に 1 を書き込むことにより、USBF_VBUS 端子の機能が選択されます。・・・																												
24 USBホストコントローラ(USBH) 24.1 特長	24-1	・エリア 3 の SDRAM 領域のみを転送用データ、およびディスクリプタとして利用可能																												
表 24.1 端子構成	24-2	修正 <table border="1"> <thead> <tr> <th>名称</th> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>USB 1 パワーイネーブル / プルアップ制御端子</td> <td>USB1_pwr_en</td> <td>出力</td> <td>USB ポート 1 電源投入許可制御</td> </tr> <tr> <td>USB 2 パワーイネーブル端子</td> <td>USB2_pwr_en</td> <td>出力</td> <td>USB ポート 2 電源投入許可制御</td> </tr> <tr> <td>USB 1 オーバカレント / モニタ端子</td> <td>USB1_ovr_current/ USBF_VBUS</td> <td>入力</td> <td>USB ポート 1 オーバカレント検出 / USB ケーブル接続モニター端子</td> </tr> <tr> <td>USB 2 オーバカレント端子</td> <td>USB2_ovr_current</td> <td>入力</td> <td>USB ポート 2 オーバカレント検出</td> </tr> <tr> <td>USB 外部クロック</td> <td>EXTAL_USB</td> <td>入力</td> <td>USB 用水晶発振子を接続します。また、USB 用外部クロック (48MHz) を入力することもできます。</td> </tr> <tr> <td>USB クリスタル</td> <td>XTAL_USB</td> <td>出力</td> <td>USB 用水晶発振子を接続します。</td> </tr> </tbody> </table>	名称	端子名	入出力	機能	USB 1 パワーイネーブル / プルアップ制御端子	USB1_pwr_en	出力	USB ポート 1 電源投入許可制御	USB 2 パワーイネーブル端子	USB2_pwr_en	出力	USB ポート 2 電源投入許可制御	USB 1 オーバカレント / モニタ端子	USB1_ovr_current/ USBF_VBUS	入力	USB ポート 1 オーバカレント検出 / USB ケーブル接続モニター端子	USB 2 オーバカレント端子	USB2_ovr_current	入力	USB ポート 2 オーバカレント検出	USB 外部クロック	EXTAL_USB	入力	USB 用水晶発振子を接続します。また、USB 用外部クロック (48MHz) を入力することもできます。	USB クリスタル	XTAL_USB	出力	USB 用水晶発振子を接続します。
名称	端子名	入出力	機能																											
USB 1 パワーイネーブル / プルアップ制御端子	USB1_pwr_en	出力	USB ポート 1 電源投入許可制御																											
USB 2 パワーイネーブル端子	USB2_pwr_en	出力	USB ポート 2 電源投入許可制御																											
USB 1 オーバカレント / モニタ端子	USB1_ovr_current/ USBF_VBUS	入力	USB ポート 1 オーバカレント検出 / USB ケーブル接続モニター端子																											
USB 2 オーバカレント端子	USB2_ovr_current	入力	USB ポート 2 オーバカレント検出																											
USB 外部クロック	EXTAL_USB	入力	USB 用水晶発振子を接続します。また、USB 用外部クロック (48MHz) を入力することもできます。																											
USB クリスタル	XTAL_USB	出力	USB 用水晶発振子を接続します。																											
24.7 使用上の注意事項	24-30	修正 1. USBホストコントローラを使用する際には、必ずバスクロック(B) を 32MHz 以上に設定してください。また、必ず周辺クロック(P) を 13MHz より高い周波数に設定してください。 追加 2. レジューム動作時の注意事項																												

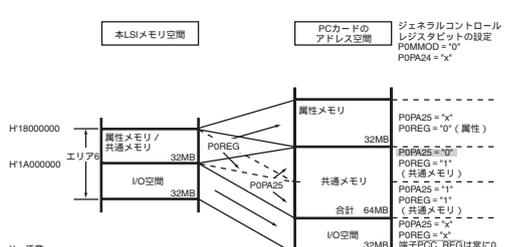
項目	ページ	修正箇所																				
25 USB ファンクションコントローラ (USBF) 25.2 入出力端子	25-2	<p>修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>USB1 オーバercurrent / モニタ端子</td> <td>USB1_ovr_current / USBF_VBUS</td> <td>入力</td> <td>USB ポート 1 オーバercurrent 検出 / USB ケーブル接続 モニタ端子</td> </tr> <tr> <td>USB 外部クロック</td> <td>EXTAL_USB</td> <td>入力</td> <td>USB 用水晶発振子を接続します。また、USB 用外部クロックを入力することもできます。(48MHz)</td> </tr> <tr> <td>USB クリスタル</td> <td>XTAL_USB</td> <td>出力</td> <td>USB 用水晶発振子を接続します。</td> </tr> <tr> <td>USB 1 パワーイネーブル / プルアップ制御端子</td> <td>USB1_pwr_en / USBF_UPLUP</td> <td>出力</td> <td>USB ポート 1 電源投入許可制御 / プルアップ制御出力端子</td> </tr> </tbody> </table>	名称	端子名	入出力	機能	USB1 オーバercurrent / モニタ端子	USB1_ovr_current / USBF_VBUS	入力	USB ポート 1 オーバercurrent 検出 / USB ケーブル接続 モニタ端子	USB 外部クロック	EXTAL_USB	入力	USB 用水晶発振子を接続します。また、USB 用外部クロックを入力することもできます。(48MHz)	USB クリスタル	XTAL_USB	出力	USB 用水晶発振子を接続します。	USB 1 パワーイネーブル / プルアップ制御端子	USB1_pwr_en / USBF_UPLUP	出力	USB ポート 1 電源投入許可制御 / プルアップ制御出力端子
名称	端子名	入出力	機能																			
USB1 オーバercurrent / モニタ端子	USB1_ovr_current / USBF_VBUS	入力	USB ポート 1 オーバercurrent 検出 / USB ケーブル接続 モニタ端子																			
USB 外部クロック	EXTAL_USB	入力	USB 用水晶発振子を接続します。また、USB 用外部クロックを入力することもできます。(48MHz)																			
USB クリスタル	XTAL_USB	出力	USB 用水晶発振子を接続します。																			
USB 1 パワーイネーブル / プルアップ制御端子	USB1_pwr_en / USBF_UPLUP	出力	USB ポート 1 電源投入許可制御 / プルアップ制御出力端子																			
25.3.1 割り込みフラグレジスタ 0 (IFR0)	25-5	<p>削除、修正</p> <p>EP0i、EP0o、EP1、EP2、バスリセット、セットアップコマンド受信の割り込みフラグレジスタです。各フラグが 1 セットされ、IER0 の対応するビットで割り込みが許可されていれば、ISR0 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。</p>																				
25.3.2 割り込みフラグレジスタ 1 (IFR1)	25-7	<p>削除、修正</p> <p>VBUS、EP3 割り込みフラグレジスタです。各フラグが 1 セットされ、IER1 の対応するビットで割り込みが許可されていれば ISR1 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。</p>																				
25.3.3 割り込みフラグレジスタ 2 (IFR2)	25-8	<p>削除、修正</p> <p>SURSS、SURSF、CFDN、SOF、SETC、SETI 割り込みフラグレジスタです。各フラグが 1 セットされ、IER2 の対応するビットで割り込みが許可されていれば ISR2 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。</p>																				
25.3.4 割り込みフラグレジスタ 3 (IFR3)	25-9	<p>削除、修正</p> <p>EP4 TS、EP4 TF、EP5 TS、EP5 TR 割り込みフラグレジスタです。各フラグが 1 セットされ、IER3 の対応するビットで割り込みが許可されていれば ISR3 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。</p>																				
25.3.5 割り込みフラグレジスタ 4 (IFR4)	25-10	<p>削除、修正</p> <p>TMOUT 割り込みフラグレジスタです。フラグが 1 セットされ、IER4 の対応するビットで割り込みが許可されていれば ISR4 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。</p>																				

項 目	ページ	修正箇所
25.3.6 割り込み選択レジスタ 0 (ISR0)	25-11	修正 割り込みフラグレジスタ 0 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBF10 割り込み要求が選択され、1 をセットすると USBF11 割り込み要求が選択されます。 初期値では、割り込みフラグレジスタ 0 の各割り込み要因は USBF10 割り込みを選択します。
25.3.7 割り込み選択レジスタ 1 (ISR1)	25-11	修正 割り込みフラグレジスタ 1 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBF10 割り込み要求が選択され、1 をセットすると USBF11 割り込み要求が選択されます。 初期値では、割り込みフラグレジスタ 1 の各割り込み要因は USBF11 割り込みを選択します。
25.3.8 割り込み選択レジスタ 2 (ISR2)	25-12	修正 割り込みフラグレジスタ 2 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBF10 割り込み要求が選択され、1 をセットすると USBF11 割り込み要求が選択されます。 初期値では、割り込みフラグレジスタ 2 の各割り込み要因は USBF11 割り込みを選択します。
25.3.9 割り込み選択レジスタ 3 (ISR3)	25-12	修正 割り込みフラグレジスタ 3 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBF10 割り込み要求が選択され、1 をセットすると USBF11 割り込み要求が選択されます。 初期値では、割り込みフラグレジスタ 3 の各割り込み要因は USBF10 割り込みを選択します。
25.3.10 割り込み選択レジスタ 4 (ISR4)	25-13	修正 割り込みフラグレジスタ 4 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBF10 割り込み要求が選択され、1 をセットすると USBF11 割り込み要求が選択されます。 初期値では、割り込みフラグレジスタ 4 の各割り込み要因は USBF10 割り込みを選択します。
25.3.11 割り込みイネーブルレジスタ 0 (IER0)	25-13	削除、修正 割り込みフラグレジスタ 0 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 0 で設定された割り込み要求が発行されます。
25.3.12 割り込みイネーブルレジスタ 1 (IER1)	25-14	削除、修正 割り込みフラグレジスタ 1 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 1 で設定された割り込み要求が発行されます。

項目	ページ	修正箇所										
25.3.13 割り込みイネーブルレジスタ 2 (IER2)	25-14	削除、修正 割り込みフラグレジスタ 2 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 2 で設定された割り込み要求が発行されます。										
25.3.14 割り込みイネーブルレジスタ 3 (IER3)	25-15	削除、修正 割り込みフラグレジスタ 3 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 3 で設定された割り込み要求が発行されます。										
25.3.15 割り込みイネーブルレジスタ 4 (IER4)	25-15	削除、修正 割り込みフラグレジスタ 4 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 4 で設定された割り込み要求が発行されます。										
25.3.31 DMA 転送設定レジスタ (DMA)	25-21	修正 DMA 転送可能なエンドポイント 1、2 のデータレジスタに対して内蔵 DMAC のデュアルアドレス転送を使用する場合に設定します。また、ビット 2 により USB1_pwr_en 端子のレベルを制御することができます。										
25.3.36 コントロールレジスタ 0 (CTRL0)	25-24	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>-</td> <td>0</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
ビット	ビット名	初期値	R/W	説明								
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。								
25.5 EP4 アイソクロナスアウト転送 図 25.14 EP4 アイソクロナスアウト転送の動作 (SOF 正常時)	25-42	修正 										
図 25.15 EP4 アイソクロナスアウト転送の動作 (SOF 破損時)	25-43	修正 										

項目	ページ	修正箇所											
25.6 EP5 アイソクロナスイン転送 図 25.16 EP5 アイソクロナスイン転送の動作 (SOF 正常時)	23-45	修正 											
図 25.17 EP5 アイソクロナスイン転送の動作 (SOF 破損時)	25-46	修正 											
25.9.7 クロック周波数の注意事項	25-53	追加											
26. LCD コントローラ (LCDC) 26.1 特長	26-1	修正 <ul style="list-style-type: none"> ・RGB 各 8 ビットの、24 ビットの空間変調 FRC (Frame Rate Controller) により、ちらつき、シャドーイングが起こりやすい STN/DSTN パネルでのちらつきの少ない 65536 の色制御を実現 ・各種のデータフォーマット (バイト内のエンディアン設定、バックドピクセル方式) をレジスタにより選択的にサポート可能 											
図 26.1 LCDC のブロック図	26-2	修正 											
表 26.1 端子構成	26-2	修正 <table border="1" data-bbox="710 1209 1324 1310"> <thead> <tr> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>LCD_CL2</td> <td>出力</td> <td>シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLK) (TFT)</td> </tr> </tbody> </table>	端子名	入出力	機能	LCD_CL2	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLK) (TFT)					
端子名	入出力	機能											
LCD_CL2	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLK) (TFT)											
26.3 レジスタの説明	26-3	修正 <ul style="list-style-type: none"> ・LCD パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF) 											
26.3.1 LCDC インพุットクロックレジスタ (LDICKR)	26-4	修正 <p>LCDC は、LCDC の動作クロック供給源として、バスクロック (B)、周辺クロック (P)、または、外部クロック (LCD_CLK) を選択できます。また、1/1 ~ 1/32 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。</p> <p>修正</p> <table border="1" data-bbox="710 1601 1324 1769"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>13</td> <td>ICKSEL1</td> <td>R/W</td> <td rowspan="2">入力クロック選択 DOTCLK の供給源を設定します。 00 : バスクロックを選択 (B) 01 : 周辺クロックを選択 (P)</td> </tr> <tr> <td>12</td> <td>ICKSEL0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説明	13	ICKSEL1	R/W	入力クロック選択 DOTCLK の供給源を設定します。 00 : バスクロックを選択 (B) 01 : 周辺クロックを選択 (P)	12	ICKSEL0	R/W
ビット	ビット名	R/W	説明										
13	ICKSEL1	R/W	入力クロック選択 DOTCLK の供給源を設定します。 00 : バスクロックを選択 (B) 01 : 周辺クロックを選択 (P)										
12	ICKSEL0	R/W											

項目	ページ	修正箇所																												
26.3.2 LCDC モジュールタイプレジスタ (LDMTR)	26-7	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>MIFTYP5</td> <td>R/W</td> <td>モジュールインタフェースタイプ選択</td> </tr> <tr> <td>4</td> <td>MIFTYP4</td> <td>R/W</td> <td>.....</td> </tr> <tr> <td>3</td> <td>MIFTYP3</td> <td>R/W</td> <td>STN、または DSTN タイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらず LCDC に内蔵された RGB 各 8 ビットの 24 ビット空間変調 FRC (Frame Rate Controller) により表示制御が行われます。そのため、STN、または DSTN の表示においては 1600 万色から DSPCOLOR 指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。</td> </tr> <tr> <td>2</td> <td>MIFTYP2</td> <td>R/W</td> <td>.....</td> </tr> <tr> <td>1</td> <td>MIFTYP1</td> <td>R/W</td> <td>.....</td> </tr> <tr> <td>0</td> <td>MIFTYP0</td> <td>R/W</td> <td>.....</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説明	5	MIFTYP5	R/W	モジュールインタフェースタイプ選択	4	MIFTYP4	R/W	3	MIFTYP3	R/W	STN、または DSTN タイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらず LCDC に内蔵された RGB 各 8 ビットの 24 ビット空間変調 FRC (Frame Rate Controller) により表示制御が行われます。そのため、STN、または DSTN の表示においては 1600 万色から DSPCOLOR 指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。	2	MIFTYP2	R/W	1	MIFTYP1	R/W	0	MIFTYP0	R/W
ビット	ビット名	R/W	説明																											
5	MIFTYP5	R/W	モジュールインタフェースタイプ選択																											
4	MIFTYP4	R/W																											
3	MIFTYP3	R/W	STN、または DSTN タイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらず LCDC に内蔵された RGB 各 8 ビットの 24 ビット空間変調 FRC (Frame Rate Controller) により表示制御が行われます。そのため、STN、または DSTN の表示においては 1600 万色から DSPCOLOR 指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。																											
2	MIFTYP2	R/W																											
1	MIFTYP1	R/W																											
0	MIFTYP0	R/W																											
26.3.10 LCDC 水平キャラクタナンバレジスタ (LDHCNR)	26-13	<p>ビット表の【注】1.修正</p> <p>HDCN、HTCN の設定値は、$HTCN > = HDCN$ の関係を必ず満足してください。</p>																												
26.4.6 電源制御シーケンス処理 図 26.6 電源制御シーケンスと液晶モジュールの動作状態	26-38	<p>修正</p>																												
27. A/D 変換器 (ADC) 27.1 特長	27-1	<p>修正</p> <p>・最小変換時間：1 チャンル当たり 15μs (P-クロック 33MHz 動作時)</p>																												
27.2 入出力端子	27-3	<p>削除、修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>アナロググランド</td> <td>AVss</td> <td>入力</td> <td>アナログ部のグランド</td> </tr> <tr> <td>ADC アナログ入力 0</td> <td>AN0</td> <td>入力</td> <td rowspan="4">アナログ入力 0-3</td> </tr> <tr> <td>ADC アナログ入力 1</td> <td>AN1</td> <td>入力</td> </tr> <tr> <td>ADC アナログ入力 2</td> <td>AN2</td> <td>入力</td> </tr> <tr> <td>ADC アナログ入力 3</td> <td>AN3</td> <td>入力</td> </tr> <tr> <td>ADC 外部トリガ</td> <td>ADTRG</td> <td>入力</td> <td>A/D 変換開始のための外部トリガ</td> </tr> </tbody> </table>	名称	端子名	入出力	機能	アナロググランド	AVss	入力	アナログ部のグランド	ADC アナログ入力 0	AN0	入力	アナログ入力 0-3	ADC アナログ入力 1	AN1	入力	ADC アナログ入力 2	AN2	入力	ADC アナログ入力 3	AN3	入力	ADC 外部トリガ	ADTRG	入力	A/D 変換開始のための外部トリガ			
名称	端子名	入出力	機能																											
アナロググランド	AVss	入力	アナログ部のグランド																											
ADC アナログ入力 0	AN0	入力	アナログ入力 0-3																											
ADC アナログ入力 1	AN1	入力																												
ADC アナログ入力 2	AN2	入力																												
ADC アナログ入力 3	AN3	入力																												
ADC 外部トリガ	ADTRG	入力	A/D 変換開始のための外部トリガ																											
27.3 レジスタの説明 27.3.1 A/D データレジスタ A~D (ADDRA ~ ADDR D)	27-3	<p>修正</p> <p>ADDR は、リセット、モジュールスタンバイ機能、およびスタンバイモードで H'0000 に初期化されます。</p>																												
27.3.2 A/D コントロール / ステータスレジスタ (ADCSR)	27-4	<p>修正</p> <p>ADCSR は、リセット、モジュールスタンバイ機能、およびスタンバイモードで H'0000 に初期化されます。</p>																												

項目	ページ	修正箇所
27.4 動作説明 27.4.1 シングルモード	27-7	追加、修正 1. ADC モジュールにクロックを供給(STBCR3 レジスタの MSTP33 ビットを 0 にセット) し、ADC の動作を開始します。 : 8. A/D 割り込み処理ルーチンの実行を終了します。その後、ADST-ビットを 1 にセットすると A/D 変換が開始され(2) ~ (7) を行います。 9. ADC モジュールへのクロック供給を停止(STBCR3.MSTP33 = 1) し、モジュールスタンバイ状態にします。
27.4.2 マルチモード	27-9	追加 1. ADC モジュールにクロックを供給(STBCR3 レジスタの MSTP33 ビットを 0 にセット) し、ADC の動作を開始します。 : 7. ADC モジュールへのクロック供給を停止(STBCR3.MSTP33 = 1) し、モジュールスタンバイ状態にします。
27.4.3 スキャンモード	27-11	追加、修正 1. ADC モジュールにクロックを供給(STBCR3 レジスタの MSTP33 ビットを 0 にセット) し、ADC の動作を開始します。 : 7. ADST ビットが 1 にセットされている間は、(3) ~ (6) を繰り返します。 ADST ビットを 0 にクリアすると、A/D 変換が停止します。その後、ADST-ビットを 1 にセットすると再び A/D 変換を開始し、第 4 チャネル(AN0) から変換が行われます。 8. ADC モジュールへのクロック供給を停止(STBCR3.MSTP33 = 1) し、モジュールスタンバイ状態にします。
27.7 使用上の注意事項 27.7.1 AD 変換時の注意事項 27.7.2 AD 変換の終了による割り込み、DMA 転送時の注意事項	27-16、 27-17	追加
27.7.5 アナログ入力電圧の設定範囲	27-16	修正
29. PC カードコントローラ (PCC) (1) 連続 32MB エリアモード	29-3	32MB 以下のアドレスにアクセスする場合、POPA25 に 0 を設定してください。
図 29.2 連続 32MB エリアモード	29-4	修正 

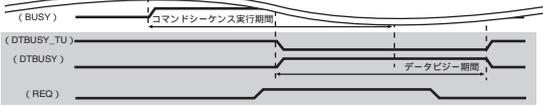
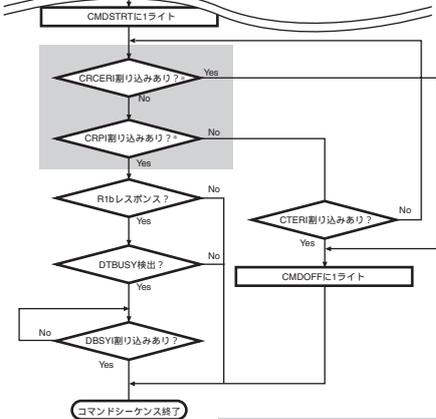
項目	ページ	修正箇所																																	
(2) 連続 16MB エリアモード	29-4	<p>共通メモリ空間で 16MB 単位の各アドレス空間にアクセスするためには、・・・</p> <p>・・・この動作により、端子 A25 と A24 に値が出力され、16MB を超えるアドレス空間にアクセスすることができます。</p>																																	
図 29.3 連続 16MB エリアモード (エリア 6)	29-5	<p>修正</p> <p>本LSIメモリ空間</p> <p>PCカードのアドレス空間</p> <p>ジェネラルコントロールレジスタビットの設定 PCC_REG[31] POPA25 = 'x'</p> <p>属性メモリ 16MB PCC_REG値は常に0</p> <p>属性メモリ 16MB POPA25 = 'x', POPA24 = 'x'</p> <p>共通メモリ 16MB PCC_REG値は常に1</p> <p>共通メモリ 16MB POPA25 = '0', POPA24 = '0'</p> <p>I/O空間 16MB</p> <p>共通メモリ (PCC_REG値は常に1)</p> <p>共通メモリ 16MB POPA25 = '0', POPA24 = '1'</p> <p>I/O空間 16MB</p> <p>合計 64MB</p> <p>I/O空間 16MB PCC_REG値は常に0</p> <p>I/O空間 16MB POPA25 = '1', POPA24 = '0'</p> <p>合計 64MB</p> <p>I/O空間 16MB PCC_REG値は常に0</p> <p>I/O空間 16MB POPA25 = '1', POPA24 = '1'</p> <p>I/O空間 16MB PCC_REG値は常に0</p> <p>I/O空間 16MB POPA25 = 'x', POPA24 = 'x'</p> <p>X: 任意</p>																																	
29.2 入出力端子	29-5	<p>削除、修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>端子名</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>PCC ウェイト要求</td> <td>PCC_WAIT</td> <td>入力</td> </tr> <tr> <td>PCC16 ビット IO</td> <td>PCC_IOIS16</td> <td>入力</td> </tr> <tr> <td>PCC レディ</td> <td>PCC_RDY</td> <td>入力</td> </tr> <tr> <td>PCC バッテリ検出 1</td> <td>PCC_BVD1</td> <td>入力</td> </tr> <tr> <td>PCC バッテリ検出 2</td> <td>PCC_BVD2</td> <td>入力</td> </tr> <tr> <td>PCC カード検出 1</td> <td>PCC_CD1</td> <td>入力</td> </tr> <tr> <td>PCC カード検出 2</td> <td>PCC_CD2</td> <td>入力</td> </tr> <tr> <td>PCC 電圧検出 1</td> <td>PCC_VS1</td> <td>入力</td> </tr> <tr> <td>PCC 電圧検出 2</td> <td>PCC_VS2</td> <td>入力</td> </tr> <tr> <td>PCC 空間指示</td> <td>PCC_REG</td> <td>出力</td> </tr> </tbody> </table>	名称	端子名	入出力	PCC ウェイト要求	PCC_WAIT	入力	PCC16 ビット IO	PCC_IOIS16	入力	PCC レディ	PCC_RDY	入力	PCC バッテリ検出 1	PCC_BVD1	入力	PCC バッテリ検出 2	PCC_BVD2	入力	PCC カード検出 1	PCC_CD1	入力	PCC カード検出 2	PCC_CD2	入力	PCC 電圧検出 1	PCC_VS1	入力	PCC 電圧検出 2	PCC_VS2	入力	PCC 空間指示	PCC_REG	出力
名称	端子名	入出力																																	
PCC ウェイト要求	PCC_WAIT	入力																																	
PCC16 ビット IO	PCC_IOIS16	入力																																	
PCC レディ	PCC_RDY	入力																																	
PCC バッテリ検出 1	PCC_BVD1	入力																																	
PCC バッテリ検出 2	PCC_BVD2	入力																																	
PCC カード検出 1	PCC_CD1	入力																																	
PCC カード検出 2	PCC_CD2	入力																																	
PCC 電圧検出 1	PCC_VS1	入力																																	
PCC 電圧検出 2	PCC_VS2	入力																																	
PCC 空間指示	PCC_REG	出力																																	

項 目	ページ	修正箇所										
29.3.1 エリア6インタフェースステータスレジスタ (PCC0ISR)	29-6 ~ 29-8	<p>修正</p> <table border="1"> <thead> <tr> <th data-bbox="708 338 847 376">ビット</th> <th data-bbox="847 338 1323 376">説 明</th> </tr> </thead> <tbody> <tr> <td data-bbox="708 376 847 674">7</td> <td data-bbox="847 376 1323 674"> PCC0 レディ エリア6に接続されたPCカードのRDY/BSY端子の値は、ICメモリカードインタフェース接続時に読み出されます。エリア6に接続されたPCカードのIREQ端子の値は、I/Oカードインタフェース接続時に読み出されます。書き込みは無効です。 0: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、RDY/BSY端子の値は0であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、IREQ端子の値は0になります。 1: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、RDY/BSY端子の値は1であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、IREQ端子の値は1になります。 </td> </tr> <tr> <td data-bbox="708 674 847 913">6</td> <td data-bbox="847 674 1323 913"> PCC0 ライトプロテクト エリア6に接続されたPCカードのWP端子の値は、ICメモリカードインタフェース接続時に読み出されます。I/Oカードインタフェース接続時には0が読み出されます。書き込みは無効です。 0: エリア6に接続されたPCカードがICメモリカードインタフェースの場合WP端子の値は0であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、ビット6の値は常に0になります。 1: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、WP端子の値は1であることを示します。 </td> </tr> <tr> <td data-bbox="708 913 847 952">1</td> <td data-bbox="847 913 1323 952"> PCC0 バッテリ電圧検出2、1 </td> </tr> <tr> <td data-bbox="708 952 847 1332">0</td> <td data-bbox="847 952 1323 1332"> ICメモリカードインタフェースの接続時、エリア6に接続されたPCカードのBVD1端子、BVD2端子の値が読み出されます。I/Oカードインタフェースの接続時、エリア6に接続されたPCカードのSPKR端子、STSCHG端子の値が読み出されます。書き込みは無効です。 (1) ICメモリインタフェースの場合 11: エリア6に接続されたPCカードのバッテリー電圧が正常であることを示します。(バッテリー正常表示) 01: エリア6に接続されたPCカードのデータは保証されますが、バッテリーの交換が必要であることを示します。(バッテリー警告表示) x0: バッテリ電圧が異常で、エリア6に接続されたPCカードのデータが保証できないことを示します。(バッテリー切れ表示) (2) I/Oカードインタフェースの場合 0: エリア6に接続されたPCカードのSPKR端子、または、STSCHG端子の値が0であることを示します。 1: エリア6に接続されたPCカードのSPKR端子、または、STSCHG端子の値が1であることを示します。 </td> </tr> </tbody> </table>	ビット	説 明	7	PCC0 レディ エリア6に接続されたPCカードのRDY/BSY端子の値は、ICメモリカードインタフェース接続時に読み出されます。エリア6に接続されたPCカードのIREQ端子の値は、I/Oカードインタフェース接続時に読み出されます。書き込みは無効です。 0: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、RDY/BSY端子の値は0であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、IREQ端子の値は0になります。 1: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、RDY/BSY端子の値は1であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、IREQ端子の値は1になります。	6	PCC0 ライトプロテクト エリア6に接続されたPCカードのWP端子の値は、ICメモリカードインタフェース接続時に読み出されます。I/Oカードインタフェース接続時には0が読み出されます。書き込みは無効です。 0: エリア6に接続されたPCカードがICメモリカードインタフェースの場合WP端子の値は0であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、ビット6の値は常に0になります。 1: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、WP端子の値は1であることを示します。	1	PCC0 バッテリ電圧検出2、1	0	ICメモリカードインタフェースの接続時、エリア6に接続されたPCカードのBVD1端子、BVD2端子の値が読み出されます。I/Oカードインタフェースの接続時、エリア6に接続されたPCカードのSPKR端子、STSCHG端子の値が読み出されます。書き込みは無効です。 (1) ICメモリインタフェースの場合 11: エリア6に接続されたPCカードのバッテリー電圧が正常であることを示します。(バッテリー正常表示) 01: エリア6に接続されたPCカードのデータは保証されますが、バッテリーの交換が必要であることを示します。(バッテリー警告表示) x0: バッテリ電圧が異常で、エリア6に接続されたPCカードのデータが保証できないことを示します。(バッテリー切れ表示) (2) I/Oカードインタフェースの場合 0: エリア6に接続されたPCカードのSPKR端子、または、STSCHG端子の値が0であることを示します。 1: エリア6に接続されたPCカードのSPKR端子、または、STSCHG端子の値が1であることを示します。
ビット	説 明											
7	PCC0 レディ エリア6に接続されたPCカードのRDY/BSY端子の値は、ICメモリカードインタフェース接続時に読み出されます。エリア6に接続されたPCカードのIREQ端子の値は、I/Oカードインタフェース接続時に読み出されます。書き込みは無効です。 0: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、RDY/BSY端子の値は0であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、IREQ端子の値は0になります。 1: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、RDY/BSY端子の値は1であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、IREQ端子の値は1になります。											
6	PCC0 ライトプロテクト エリア6に接続されたPCカードのWP端子の値は、ICメモリカードインタフェース接続時に読み出されます。I/Oカードインタフェース接続時には0が読み出されます。書き込みは無効です。 0: エリア6に接続されたPCカードがICメモリカードインタフェースの場合WP端子の値は0であることを示します。エリア6に接続されたPCカードがI/Oカードインタフェースの場合、ビット6の値は常に0になります。 1: エリア6に接続されたPCカードがICメモリカードインタフェースの場合、WP端子の値は1であることを示します。											
1	PCC0 バッテリ電圧検出2、1											
0	ICメモリカードインタフェースの接続時、エリア6に接続されたPCカードのBVD1端子、BVD2端子の値が読み出されます。I/Oカードインタフェースの接続時、エリア6に接続されたPCカードのSPKR端子、STSCHG端子の値が読み出されます。書き込みは無効です。 (1) ICメモリインタフェースの場合 11: エリア6に接続されたPCカードのバッテリー電圧が正常であることを示します。(バッテリー正常表示) 01: エリア6に接続されたPCカードのデータは保証されますが、バッテリーの交換が必要であることを示します。(バッテリー警告表示) x0: バッテリ電圧が異常で、エリア6に接続されたPCカードのデータが保証できないことを示します。(バッテリー切れ表示) (2) I/Oカードインタフェースの場合 0: エリア6に接続されたPCカードのSPKR端子、または、STSCHG端子の値が0であることを示します。 1: エリア6に接続されたPCカードのSPKR端子、または、STSCHG端子の値が1であることを示します。											
29.3.2 エリア6ジェネラルコントロールレジスタ (PCC0GCR)	29-9	<p>修正</p> <p>PCC0GCRは、外部バッファ、リセット、アドレス端子A25、A24、およびREG端子を制御し、エリア6に接続されたPCカードに対してPCカードタイプを設定する読み出し/書き込み可能な8ビットのレジスタです。PCC0GCRはパワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモード時はその値を保持します。</p> <table border="1"> <thead> <tr> <th data-bbox="708 1541 847 1579">ビット</th> <th data-bbox="847 1541 1323 1579">説 明</th> </tr> </thead> <tbody> <tr> <td data-bbox="708 1579 847 1727">4</td> <td data-bbox="847 1579 1323 1727"> PCC0 使用/未使用 PCカードコントローラの使用/未使用を選択します。 0: PCカードコントローラを使用しない 1: PCカードコントローラを使用する . . . </td> </tr> </tbody> </table>	ビット	説 明	4	PCC0 使用/未使用 PCカードコントローラの使用/未使用を選択します。 0: PCカードコントローラを使用しない 1: PCカードコントローラを使用する . . .						
ビット	説 明											
4	PCC0 使用/未使用 PCカードコントローラの使用/未使用を選択します。 0: PCカードコントローラを使用しない 1: PCカードコントローラを使用する . . .											

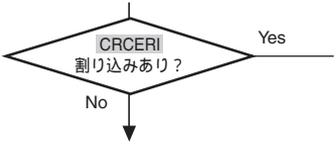
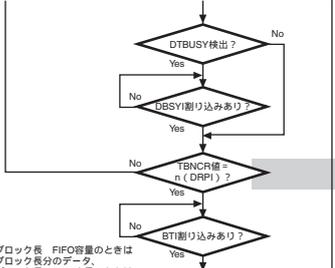
項目	ページ	修正箇所												
29.3.3 エリア6カードステータスチェンジレジスタ (PCC0CSCR)	29-11	修正 ・・・・PCC0CSCR は、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモード時はその値を保持します。												
29.3.4 エリア6カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER)	29-14	修正 ・・・・PCC0CSCIER は、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモード時はその値を保持します。												
29.5 使用上の注意事項 (1) PCカード使用時の外部バス周波数の制限	29-24	修正 ・・・・(IORD および IOWR 信号を基にした) 共通メモリアクセス時間と I/O アクセス時間も同様に指定し (下表を参照)、PC カードはこれらすべての仕様を満足するように上記の範囲内で使用しなければなりません。 修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%;">PC カード空間</th> <th style="width: 33%;">アクセス時間 (5V 動作)</th> <th style="width: 33%;">アクセス時間 (3.3V 動作)</th> </tr> </thead> <tbody> <tr> <td>I/O 空間 (IORD)、(IOWR) パルス幅</td> <td>165 ns</td> <td>165 ns</td> </tr> </tbody> </table>	PC カード空間	アクセス時間 (5V 動作)	アクセス時間 (3.3V 動作)	I/O 空間 (IORD)、(IOWR) パルス幅	165 ns	165 ns						
PC カード空間	アクセス時間 (5V 動作)	アクセス時間 (3.3V 動作)												
I/O 空間 (IORD)、(IOWR) パルス幅	165 ns	165 ns												
30. SIMカードモジュール (SIM) 30.2 入出力端子	30-2	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%;">名 称</th> <th style="width: 33%;">端子名</th> <th style="width: 33%;">入出力</th> </tr> </thead> <tbody> <tr> <td>SIM データ</td> <td>SIM_D*</td> <td>入出力</td> </tr> <tr> <td>SIM クロック</td> <td>SIM_CLK</td> <td>出力</td> </tr> <tr> <td>SIM リセット</td> <td>SIM_RST</td> <td>出力</td> </tr> </tbody> </table>	名 称	端子名	入出力	SIM データ	SIM_D*	入出力	SIM クロック	SIM_CLK	出力	SIM リセット	SIM_RST	出力
名 称	端子名	入出力												
SIM データ	SIM_D*	入出力												
SIM クロック	SIM_CLK	出力												
SIM リセット	SIM_RST	出力												
31. マルチメディアカードインタフェース (MMCIF) 31.3 レジスタの説明 31.3.3 レスポンスタイプレジスタ (RSPTYR)	31-6	修正 RSPTYR は、CMDTYR とともにコマンドの形式を設定します。RTY2~RTY0 でレスポンスバイト数を設定し、RTY5~RTY4 で付加的な設定をします。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット</th> <th style="width: 30%;">ビット名</th> <th style="width: 10%;">R/W</th> <th style="width: 50%;">説 明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>-</td> <td>R/W</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</td> </tr> </tbody> </table> <p>【注】RTY4 による CRC チェックは、コマンドレスポンスの CRC エラービットをチェックするものではなく、コマンドレスポンスに付属する CRC をチェックするものです。また MMC モードの R2 のコマンドレスポンスの CRC チェックはできません。</p>	ビット	ビット名	R/W	説 明	6	-	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。				
ビット	ビット名	R/W	説 明											
6	-	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。											

項 目	ページ	修正箇所																													
表 31.2 コマンドと CMDTYR、RSPTYR 設定	31-7、 31-8	修正 <table border="1" data-bbox="715 443 1329 638"> <thead> <tr> <th rowspan="2">CMD INDEX</th> <th colspan="5">RSPTYR</th> </tr> <tr> <th>1~0</th> <th>6</th> <th>5</th> <th>4</th> <th>2~0</th> </tr> </thead> <tbody> <tr> <td>CMD2</td> <td>00</td> <td></td> <td></td> <td></td> <td>101</td> </tr> <tr> <td>CMD9</td> <td>00</td> <td></td> <td></td> <td></td> <td>101</td> </tr> <tr> <td>CMD10</td> <td>00</td> <td></td> <td></td> <td></td> <td>101</td> </tr> </tbody> </table> <p>【注】 . . .</p> <p>RSPTYR の RTY4 ビットの* :R2 以外のコマンドレスポンスの CRC のチェック時 1 を設定します。 (R2 のコマンドレスポンスの CRC チェックはできません。)</p>	CMD INDEX	RSPTYR					1~0	6	5	4	2~0	CMD2	00				101	CMD9	00				101	CMD10	00				101
CMD INDEX	RSPTYR																														
	1~0	6	5	4	2~0																										
CMD2	00				101																										
CMD9	00				101																										
CMD10	00				101																										
31.3.4 転送バイト数カウントレジスタ (TBCR)	31-8	削除、修正 マルチブロック転送コマンドでは、各データブロックのバイト数に対応します。MMC モードのストリーム転送コマンドでは、本設定は無視されます。 <table border="1" data-bbox="715 1037 1329 1211"> <thead> <tr> <th>ビット</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>転送データブロックサイズ</td> </tr> <tr> <td>2</td> <td>0000 : 1 バイト</td> </tr> <tr> <td>1</td> <td>0001 : 2 バイト</td> </tr> <tr> <td>0</td> <td>0010 : 4 バイト</td> </tr> <tr> <td></td> <td>. . .</td> </tr> </tbody> </table>	ビット	説 明	3	転送データブロックサイズ	2	0000 : 1 バイト	1	0001 : 2 バイト	0	0010 : 4 バイト		. . .																	
ビット	説 明																														
3	転送データブロックサイズ																														
2	0000 : 1 バイト																														
1	0001 : 2 バイト																														
0	0010 : 4 バイト																														
	. . .																														
31.3.7 レスポンスレジスタ 0~16、D (RSPR0~RSPR16、RSPRD) ・RSPRD	31-11	修正 <table border="1" data-bbox="715 1261 1329 1357"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>4~0</td> <td>RSPRD</td> <td>R/W</td> <td>任意の値のライトですべて 00 にクリアされます。データレスポンスが格納されます。</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説 明	4~0	RSPRD	R/W	任意の値のライトですべて 00 にクリアされます。データレスポンスが格納されます。																					
ビット	ビット名	R/W	説 明																												
4~0	RSPRD	R/W	任意の値のライトですべて 00 にクリアされます。データレスポンスが格納されます。																												

項 目	ページ	修正箇所								
31.3.14 割り込みステータスレジスタ 0、1 (INTSTR0、INTSTR1) ・INTSTR1	31-18	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>CRCERI</td> <td>R(W)*</td> <td> CRC エラーフラグ [1 セット条件] CRCERI=1 の状態で、コマンドレスポンスまたは受信データの CRC エラー及び、送信データレスポンスでの CRC ステータスエラーを検出したとき R2 以外のコマンドレスポンスに対しては RSPTYR の RTY4 をイネーブル時 CRC をチェックします。 R2 のコマンドレスポンスに対しては CRC チェックが行われないため本フラグはセットされません。 [0 クリア条件] CRCERI=1 リード後の 0 ライト 【注】 CRC エラー発生時は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してください。 </td> </tr> </tbody> </table>	ビット	ビット名	R/W	説 明	2	CRCERI	R(W)*	CRC エラーフラグ [1 セット条件] CRCERI=1 の状態で、コマンドレスポンスまたは受信データの CRC エラー及び、送信データレスポンスでの CRC ステータスエラーを検出したとき R2 以外のコマンドレスポンスに対しては RSPTYR の RTY4 をイネーブル時 CRC をチェックします。 R2 のコマンドレスポンスに対しては CRC チェックが行われないため本フラグはセットされません。 [0 クリア条件] CRCERI=1 リード後の 0 ライト 【注】 CRC エラー発生時は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してください。
ビット	ビット名	R/W	説 明							
2	CRCERI	R(W)*	CRC エラーフラグ [1 セット条件] CRCERI=1 の状態で、コマンドレスポンスまたは受信データの CRC エラー及び、送信データレスポンスでの CRC ステータスエラーを検出したとき R2 以外のコマンドレスポンスに対しては RSPTYR の RTY4 をイネーブル時 CRC をチェックします。 R2 のコマンドレスポンスに対しては CRC チェックが行われないため本フラグはセットされません。 [0 クリア条件] CRCERI=1 リード後の 0 ライト 【注】 CRC エラー発生時は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してください。							
31.3.15 転送クロックコントロールレジスタ (CLKON)	31-19	<p>修正</p> <p>・・・MMCIF おいて、16.5Mbps の転送クロックを実現するためには、周辺クロックを 33MHz とし CSEL3～CSEL0 を 0001 に設定する必要があります。・・・</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>CLKON</td> <td>R/W</td> <td> クロックオン 0：CLK/SCLK 端子からの転送クロック出力を停止します。 1：CLK/SCLK 端子から転送クロックを出力します。 </td> </tr> </tbody> </table>	ビット	ビット名	R/W	説 明	7	CLKON	R/W	クロックオン 0：CLK/SCLK 端子からの転送クロック出力を停止します。 1：CLK/SCLK 端子から転送クロックを出力します。
ビット	ビット名	R/W	説 明							
7	CLKON	R/W	クロックオン 0：CLK/SCLK 端子からの転送クロック出力を停止します。 1：CLK/SCLK 端子から転送クロックを出力します。							
31.3.19 DMA コントロールレジスタ (DMACR)	31-21	<p>追加</p> <p>・・・マルチブロック転送のコマンド (CMD18、CMD25) を実行する前に本レジスタを設定してください。 オートモードは open-ended マルチブロック転送には使用できません。</p>								
31.4 動作説明 31.4.1 MMC モードの動作 (1)ブロードキャスト型コマンドの動作	31-24	<p>削除、修正</p> <p>・・・ワイヤード-オアされます。このとき、転送クロックの周波数を充分遅くしておく必要があります。 : : ・個々のカードは、自身の CID と MCC_CMD 上のデータを比較し、異なっていればただちに CID 出力を中止します。</p>								

項目	ページ	修正箇所
(4) データ転送を伴わないコマンドの動作	31-26	<p>・・・フラッシュメモリの書き込み / 消去など時間を要する処理に関するコマンドでは、カードは MMC_DAT にデータビジー状態を表示します。</p> <p>：</p> <p>：</p> <p>・CSTR の DTBUSY によりデータビジーであるか否かの判断を行います。データビジーであれば、データビジー状態の終了を、データビジー終了割り込み (DBSYI) で検出します。</p>
図 31.5 データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり)	31-28	<p>修正</p> 
図 31.6 データ転送を伴わないコマンドの動作フローチャートの例	31-29	<p>修正</p>  <p>* R2 のコマンドレスポンスの場合、ハードウェアではCRCチェックが行われませんので、ソフトウェアでCRCチェックをしてエラーの有無の判定を行ってください。</p>
(5) リードデータを伴うコマンド	31-30	<p>追加、修正</p> <p>・コマンドシーケンス終了の検出は、CSTR の BUSY フラグのポーリングか、データ転送終了フラグ (DTI)、マルチブロック転送 (pre-defined) 完了 (BTI) で検出します。</p> <p>：</p> <p>：</p> <p>【注】 マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFF ビットに 1 をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD_CONTI ビットを 1 にセット) してください。</p>

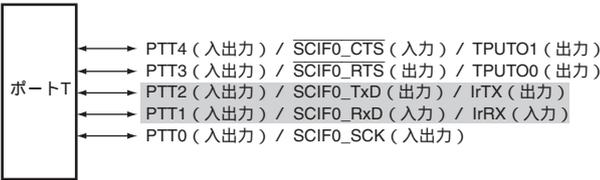
項 目	ページ	修正箇所
<p>図 31.11 リードデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)</p>	<p>31-35</p>	<p>修正</p> <p>【注】* Len : ブロック長(Byte) Cap : FIFO容量(Byte) n (FFI) : リードシーケンス開始からの FFI の回数</p>
<p>図 31.12 (2) リードデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)</p>	<p>31-37</p>	<p>修正</p>
<p>図 31.15 ライトデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)</p>	<p>31-42</p>	<p>修正</p>
<p>図 31.17 ライトデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送)</p>	<p>31-44</p>	<p>修正</p>
<p>図 31.19 ライトデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)</p>	<p>31-46</p>	<p>修正</p>

項目	ページ	修正箇所
図 31.20 (2) ライトデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)	31-48	修正 【注】 *1 ブロック長 ≤ FIFO 容量のときはブロック長分のデータ、 ブロック長 > FIFO 容量のときは FIFO 容量分のデータを書き込み
図 31.21 (1) ライトデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)	31-49	修正 
図 31.21 (2) ライトデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)	31-50	修正  【注】 *1 ブロック長 ≤ FIFO 容量のときはブロック長分のデータ、 ブロック長 > FIFO 容量のときは FIFO 容量分のデータを書き込み
31.5 DMAC 使用時の動作説明 31.5.1 リードシーケンス時の動作	31-53	追加 【注】 2. マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFF ビットに 1 をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD_CONTI ビットを 1 にセット) してください。
図 31.25 (1) リードシーケンスフローチャートの例 (pre-defined マルチブロック転送)	31-57	修正 
図 31.27 (1) オートモード pre-defined マルチブロックリード転送の動作フローの例	31-60	修正 
31.5.2 ライトシーケンス時の動作	31-63	追加 ・ライトデータ送信時の CRC エラー (CRCERI) 発生時、ライトエラー (WRERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFF ビットに 1 をライトし、DMACR に H'00 を設定し、FIFO をクリアしてください

項目	ページ	修正箇所
<p>図 31.29 (2) ライトシーケンスフローチャートの例 (open-ended マルチブロック転送)</p>	<p>31-66</p>	<p>修正</p>
<p>図 31.30 (2) ライトシーケンスフローチャートの例 (pre-defined マルチブロック転送)</p>	<p>31-68</p>	<p>修正</p>
<p>図 31.31 ライトシーケンスフローチャートの例 (ストリームライト転送)</p>	<p>31-69</p>	<p>修正</p>
<p>図 31.32 (1) オートモード pre-defined マルチブロックライト転送動作フローチャートの例</p>	<p>31-70</p>	<p>修正</p>

項目	ページ	修正箇所																																		
図 31.32 (2) オートモード pre-defined マルチブロックライト転送動作フローチャートの例	31-71	修正 																																		
31.6 MMCIF 割り込み要因 表 31.5 MMCIF 割り込み要因	31-72	修正 <table border="1"> <thead> <tr> <th>名称</th> <th>割り込み要因</th> <th>割り込みフラグ</th> </tr> </thead> <tbody> <tr> <td>int_err_n</td> <td>CRC エラー*</td> <td>CRCERI*</td> </tr> </tbody> </table> <p>【注】 * R2 コマンドレスポンスの CRC エラーは除く</p>	名称	割り込み要因	割り込みフラグ	int_err_n	CRC エラー*	CRCERI*																												
名称	割り込み要因	割り込みフラグ																																		
int_err_n	CRC エラー*	CRCERI*																																		
34.ピンファンクションコントローラ (PFC)	34-1	追加 <p>【注】 SDHI 関連の信号は搭載する品種以外では選択しないでください。</p>																																		
表 34.1 マルチプレクス一覧表	34-2 ~ 34-5	修正 <table border="1"> <thead> <tr> <th>ポート</th> <th>ポート機能 (関連モジュール)</th> <th>その他の機能 (関連モジュール)</th> </tr> </thead> <tbody> <tr> <td rowspan="2">E</td> <td>PTE6 入力 (ポート)</td> <td>AFE_RXIN 入力 (AFEIF) / IIC_SCL 入出力 (IIC)</td> </tr> <tr> <td>PTE5 入力 (ポート)</td> <td>AFE_RDDET 入力 (AFEIF) / IIC_SDA 入出力 (IIC)</td> </tr> <tr> <td>F</td> <td>PTF0 入力 (ポート)</td> <td>ADTRG 入力 (ADC)</td> </tr> <tr> <td rowspan="2">T</td> <td>PTT2 入出力 (ポート)</td> <td>SCIF0_TxD 出力 (SCIF) / IrTX (IrDA)</td> </tr> <tr> <td>PTT1 入出力 (ポート)</td> <td>SCIF0_RxD 入力 (SCIF) / IrRX (IrDA)</td> </tr> <tr> <td rowspan="5">U</td> <td>PTU4 入出力 (ポート)</td> <td>SIOF1_SYNC 入出力 (SIOF) / SD_DAT2 入出力 (SDHI)</td> </tr> <tr> <td>PTU3 入出力 (ポート)</td> <td>SIOF1_MCLK 入力 (SIOF) / SD_DAT1 入出力 (SDHI) / TPU_TI3B 入力 (TPU)</td> </tr> <tr> <td>PTU2 入出力 (ポート)</td> <td>MMC_DAT 入出力 (MMC) / SIOF1_TxD 出力 (SIOF) / SD_DAT0 入出力 (SDHI) / TPU_TI3A 入力 (TPU)</td> </tr> <tr> <td>PTU1 入出力 (ポート)</td> <td>MMC_CMD 入出力 (MMC) / SIOF1_RxD 入力 (SIOF) / SD_CMD 入出力 (SDHI) / TPU_TI2B 入力 (TPU)</td> </tr> <tr> <td>PTU0 入出力 (ポート)</td> <td>MMC_CLK 出力 (MMC) / SIOF1_SCK 入出力 (SIOF) / SD_CLK 出力 (SDHI) / TPU_TI2A 入力 (TPU)</td> </tr> <tr> <td rowspan="3">V</td> <td>PTV2 入出力 (ポート)</td> <td>SIM_D 入出力 (SIM) / SCIF1_TxD 出力 / SD_CD 入力 (SDHI)</td> </tr> <tr> <td>PTV1 入出力 (ポート)</td> <td>SIM_RST 出力 (SIM) / SCIF1_RxD 入力 (SCIF) / SD_WP 入力 (SDHI)</td> </tr> <tr> <td>PTV0 入出力 (ポート)</td> <td>SIM_CLK 出力 (SIM) / SCIF1_SCK 入出力 (SCIF) / SD_DAT3 入出力 (SDHI)</td> </tr> </tbody> </table>	ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)	E	PTE6 入力 (ポート)	AFE_RXIN 入力 (AFEIF) / IIC_SCL 入出力 (IIC)	PTE5 入力 (ポート)	AFE_RDDET 入力 (AFEIF) / IIC_SDA 入出力 (IIC)	F	PTF0 入力 (ポート)	ADTRG 入力 (ADC)	T	PTT2 入出力 (ポート)	SCIF0_TxD 出力 (SCIF) / IrTX (IrDA)	PTT1 入出力 (ポート)	SCIF0_RxD 入力 (SCIF) / IrRX (IrDA)	U	PTU4 入出力 (ポート)	SIOF1_SYNC 入出力 (SIOF) / SD_DAT2 入出力 (SDHI)	PTU3 入出力 (ポート)	SIOF1_MCLK 入力 (SIOF) / SD_DAT1 入出力 (SDHI) / TPU_TI3B 入力 (TPU)	PTU2 入出力 (ポート)	MMC_DAT 入出力 (MMC) / SIOF1_TxD 出力 (SIOF) / SD_DAT0 入出力 (SDHI) / TPU_TI3A 入力 (TPU)	PTU1 入出力 (ポート)	MMC_CMD 入出力 (MMC) / SIOF1_RxD 入力 (SIOF) / SD_CMD 入出力 (SDHI) / TPU_TI2B 入力 (TPU)	PTU0 入出力 (ポート)	MMC_CLK 出力 (MMC) / SIOF1_SCK 入出力 (SIOF) / SD_CLK 出力 (SDHI) / TPU_TI2A 入力 (TPU)	V	PTV2 入出力 (ポート)	SIM_D 入出力 (SIM) / SCIF1_TxD 出力 / SD_CD 入力 (SDHI)	PTV1 入出力 (ポート)	SIM_RST 出力 (SIM) / SCIF1_RxD 入力 (SCIF) / SD_WP 入力 (SDHI)	PTV0 入出力 (ポート)	SIM_CLK 出力 (SIM) / SCIF1_SCK 入出力 (SCIF) / SD_DAT3 入出力 (SDHI)
ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)																																		
E	PTE6 入力 (ポート)	AFE_RXIN 入力 (AFEIF) / IIC_SCL 入出力 (IIC)																																		
	PTE5 入力 (ポート)	AFE_RDDET 入力 (AFEIF) / IIC_SDA 入出力 (IIC)																																		
F	PTF0 入力 (ポート)	ADTRG 入力 (ADC)																																		
T	PTT2 入出力 (ポート)	SCIF0_TxD 出力 (SCIF) / IrTX (IrDA)																																		
	PTT1 入出力 (ポート)	SCIF0_RxD 入力 (SCIF) / IrRX (IrDA)																																		
U	PTU4 入出力 (ポート)	SIOF1_SYNC 入出力 (SIOF) / SD_DAT2 入出力 (SDHI)																																		
	PTU3 入出力 (ポート)	SIOF1_MCLK 入力 (SIOF) / SD_DAT1 入出力 (SDHI) / TPU_TI3B 入力 (TPU)																																		
	PTU2 入出力 (ポート)	MMC_DAT 入出力 (MMC) / SIOF1_TxD 出力 (SIOF) / SD_DAT0 入出力 (SDHI) / TPU_TI3A 入力 (TPU)																																		
	PTU1 入出力 (ポート)	MMC_CMD 入出力 (MMC) / SIOF1_RxD 入力 (SIOF) / SD_CMD 入出力 (SDHI) / TPU_TI2B 入力 (TPU)																																		
	PTU0 入出力 (ポート)	MMC_CLK 出力 (MMC) / SIOF1_SCK 入出力 (SIOF) / SD_CLK 出力 (SDHI) / TPU_TI2A 入力 (TPU)																																		
V	PTV2 入出力 (ポート)	SIM_D 入出力 (SIM) / SCIF1_TxD 出力 / SD_CD 入力 (SDHI)																																		
	PTV1 入出力 (ポート)	SIM_RST 出力 (SIM) / SCIF1_RxD 入力 (SCIF) / SD_WP 入力 (SDHI)																																		
	PTV0 入出力 (ポート)	SIM_CLK 出力 (SIM) / SCIF1_SCK 入出力 (SCIF) / SD_DAT3 入出力 (SDHI)																																		

項目	ページ	修正箇所											
34.1.6 ポートFコントロールレジスタ (PFCR)	34-13	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PF0MD1</td> <td>R/W</td> <td rowspan="2">PF0モード 00：その他の機能(表34.1参照) 01：リザーブ 10：ポート入力(プルアップMOS：オン) 11：ポート入力(プルアップMOS：オフ)</td> </tr> <tr> <td>0</td> <td>PF0MD0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	R/W	説明	1	PF0MD1	R/W	PF0モード 00：その他の機能(表34.1参照) 01：リザーブ 10：ポート入力(プルアップMOS：オン) 11：ポート入力(プルアップMOS：オフ)	0	PF0MD0	R/W
ビット	ビット名	R/W	説明										
1	PF0MD1	R/W	PF0モード 00：その他の機能(表34.1参照) 01：リザーブ 10：ポート入力(プルアップMOS：オン) 11：ポート入力(プルアップMOS：オフ)										
0	PF0MD0	R/W											
34.1.21 ビンセレクトレジスタC (PSELC) 34.1.22 ビンセレクトレジスタD (PSELD)	34-29 ~ 34-31	B'11の設定値を修正											
35. I/Oポート	35-1	修正 本LSIには18本のI/Oポート(ポートA~H、J~M、P、R~V)があります。それぞれのI/Oポートの端子は、すべて、他の端子機能(ピンファンクションコントローラ(PFC)で端子機能とプルアップMOS制御の選択を行います)を兼ねているマルチプレクス端子です。I/Oポートは、それぞれ、端子のデータを格納するためのデータレジスタを1本ずつ持っています。											
35.5 ポートE 図35.5 ポートE	35-6	修正 											
35.5.2 ポートEデータレジスタ (PEDR) 表35.5 ポートEデータレジスタ (PEDR)の読み出し/書き込み動作	35-7	追加、修正 n=0~4、およびn=5、6の条件の表に分離											
35.6 ポートF 図35.6 ポートF	35-8	修正 											

項目	ページ	修正箇所																																	
表 35.6 ポートFデータレジスタ (PFDR) の読み出し / 書き込み動作	35-9	追加、修正 n = 1 ~ 6、および n = 0 の条件の表に分離																																	
35.16 ポート T 図 35.16 ポート T	35-22	修正 																																	
36. ユーザデバッグインタフェース (H-UDI) 36.3.3 シフトレジスタ	36-4	追加																																	
36.3.4 バウンダリスキャンレジスタ (SDBSR)	36-4	修正 SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置された 434 ビットのシフトレジスタです。初期値は不定です。CPU からはアクセスできません。																																	
表 36.3 本 LSI の端子とバウンダリスキャンレジスタの対応	36-5 ~ 36-10	修正 <table border="1" data-bbox="715 949 1321 1375"> <thead> <tr> <th>ビット名</th> <th>端子名</th> <th>入出力</th> </tr> </thead> <tbody> <tr> <td>395</td> <td>RD/WR</td> <td>OUT</td> </tr> <tr> <td>389</td> <td>WE1/DQMLU/WE</td> <td>OUT</td> </tr> <tr> <td>354</td> <td>RD/WR</td> <td>Control</td> </tr> <tr> <td>348</td> <td>WE1/DQMLU/WE</td> <td>Control</td> </tr> <tr> <td>194</td> <td>SCIF0_RxD/IrRX/PTT1</td> <td>IN</td> </tr> <tr> <td>193</td> <td>SCIF0_TxD/IrTX/PTT2</td> <td>IN</td> </tr> <tr> <td>155</td> <td>SCIF0_RxD/IrRX/PTT1</td> <td>OUT</td> </tr> <tr> <td>154</td> <td>SCIF0_TxD/IrTX/PTT2</td> <td>OUT</td> </tr> <tr> <td>117</td> <td>SCIF0_RxD/IrRX/PTT1</td> <td>Control</td> </tr> <tr> <td>116</td> <td>SCIF0_TxD/IrTX/PTT2</td> <td>Control</td> </tr> </tbody> </table>	ビット名	端子名	入出力	395	RD/WR	OUT	389	WE1/DQMLU/WE	OUT	354	RD/WR	Control	348	WE1/DQMLU/WE	Control	194	SCIF0_RxD/IrRX/PTT1	IN	193	SCIF0_TxD/IrTX/PTT2	IN	155	SCIF0_RxD/IrRX/PTT1	OUT	154	SCIF0_TxD/IrTX/PTT2	OUT	117	SCIF0_RxD/IrRX/PTT1	Control	116	SCIF0_TxD/IrTX/PTT2	Control
ビット名	端子名	入出力																																	
395	RD/WR	OUT																																	
389	WE1/DQMLU/WE	OUT																																	
354	RD/WR	Control																																	
348	WE1/DQMLU/WE	Control																																	
194	SCIF0_RxD/IrRX/PTT1	IN																																	
193	SCIF0_TxD/IrTX/PTT2	IN																																	
155	SCIF0_RxD/IrRX/PTT1	OUT																																	
154	SCIF0_TxD/IrTX/PTT2	OUT																																	
117	SCIF0_RxD/IrRX/PTT1	Control																																	
116	SCIF0_TxD/IrTX/PTT2	Control																																	
36.3.5 ID レジスタ (SDID)	36-12	ビット説明修正 SH7720 グループでは H'002F200F (初期値) です。SH7721 グループでは、H'002F2447 (初期値) です。																																	

項目	ページ	修正箇所																																																																																				
37. レジスタ一覧 37.1 レジスタアドレス一覧	37-3 ~ 37-14	削除、修正 <table border="1"> <thead> <tr> <th>略称</th> <th>ビット数</th> <th>アドレス</th> <th>モジュール</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>SDMR3</td> <td></td> <td>H'A4FD 5xxx</td> <td>BSC</td> <td>16</td> </tr> <tr> <td>PADR</td> <td>8</td> <td>H'A405 0140</td> <td>I/Oポート</td> <td>8</td> </tr> <tr> <td>PBDR</td> <td>8</td> <td>H'A405 0142</td> <td></td> <td>8</td> </tr> </tbody> </table>	略称	ビット数	アドレス	モジュール	アクセスサイズ	SDMR3		H'A4FD 5xxx	BSC	16	PADR	8	H'A405 0140	I/Oポート	8	PBDR	8	H'A405 0142		8																																																																
略称	ビット数	アドレス	モジュール	アクセスサイズ																																																																																		
SDMR3		H'A4FD 5xxx	BSC	16																																																																																		
PADR	8	H'A405 0140	I/Oポート	8																																																																																		
PBDR	8	H'A405 0142		8																																																																																		
37.2 レジスタビット一覧	37-17 ~ 37-43	修正 <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>ビット 31/23/15/7</th> <th>ビット 30/22/14/6</th> <th>ビット 28/20/12/4</th> <th>ビット 24/16/8/0</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>IRR9</td> <td>PCCIR</td> <td>USBHIR</td> <td>CMIR</td> <td>-</td> <td>INTC</td> </tr> <tr> <td>IRR0</td> <td></td> <td>TMU_ SUNIR</td> <td>IRQ4R</td> <td>IRQ0R</td> <td></td> </tr> <tr> <td>IRR1</td> <td>-</td> <td>-</td> <td></td> <td>DEI0R</td> <td></td> </tr> <tr> <td>IRR2</td> <td>-</td> <td>-</td> <td>SSLIR</td> <td>LCDCIR</td> <td></td> </tr> <tr> <td>IPRD</td> <td colspan="4">-</td> <td></td> </tr> <tr> <td>CMNCR</td> <td>-</td> <td>BSD</td> <td>MAP</td> <td>DMAIW2</td> <td>BSC</td> </tr> <tr> <td>SDCR</td> <td>-</td> <td>-</td> <td>-</td> <td>BACTV</td> <td></td> </tr> <tr> <td>RSPTYR</td> <td>-</td> <td>-</td> <td>RTY4</td> <td>RTY0</td> <td>MMC</td> </tr> <tr> <td>RSPRD</td> <td>-</td> <td>-</td> <td>RSPRD4</td> <td>RSPRD0</td> <td></td> </tr> <tr> <td>PECR</td> <td>-</td> <td>-</td> <td>-</td> <td>PE4MD0</td> <td>PFC</td> </tr> <tr> <td>PSELB</td> <td>-</td> <td>-</td> <td>-</td> <td>PSELB0</td> <td></td> </tr> <tr> <td>PADR</td> <td>PA7DT</td> <td>PA6DT</td> <td>PA4DT</td> <td>PA0DT</td> <td>I/Oポート</td> </tr> <tr> <td>PHDR</td> <td>-</td> <td>PH6DT</td> <td>PH4DT</td> <td>PH0DT</td> <td></td> </tr> </tbody> </table> USBFのCTRL0レジスタのPWWDビットを「-」に修正	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 28/20/12/4	ビット 24/16/8/0	モジュール	IRR9	PCCIR	USBHIR	CMIR	-	INTC	IRR0		TMU_ SUNIR	IRQ4R	IRQ0R		IRR1	-	-		DEI0R		IRR2	-	-	SSLIR	LCDCIR		IPRD	-					CMNCR	-	BSD	MAP	DMAIW2	BSC	SDCR	-	-	-	BACTV		RSPTYR	-	-	RTY4	RTY0	MMC	RSPRD	-	-	RSPRD4	RSPRD0		PECR	-	-	-	PE4MD0	PFC	PSELB	-	-	-	PSELB0		PADR	PA7DT	PA6DT	PA4DT	PA0DT	I/Oポート	PHDR	-	PH6DT	PH4DT	PH0DT	
レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 28/20/12/4	ビット 24/16/8/0	モジュール																																																																																	
IRR9	PCCIR	USBHIR	CMIR	-	INTC																																																																																	
IRR0		TMU_ SUNIR	IRQ4R	IRQ0R																																																																																		
IRR1	-	-		DEI0R																																																																																		
IRR2	-	-	SSLIR	LCDCIR																																																																																		
IPRD	-																																																																																					
CMNCR	-	BSD	MAP	DMAIW2	BSC																																																																																	
SDCR	-	-	-	BACTV																																																																																		
RSPTYR	-	-	RTY4	RTY0	MMC																																																																																	
RSPRD	-	-	RSPRD4	RSPRD0																																																																																		
PECR	-	-	-	PE4MD0	PFC																																																																																	
PSELB	-	-	-	PSELB0																																																																																		
PADR	PA7DT	PA6DT	PA4DT	PA0DT	I/Oポート																																																																																	
PHDR	-	PH6DT	PH4DT	PH0DT																																																																																		
37.3 各動作モードにおけるレジスタの状態	37-54、 37-57、 37-58	修正 <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>パワーオンリセット*1</th> <th>マニュアルリセット*1</th> <th>ソフトウェアスタンバイ</th> <th>モジュールスタンバイ</th> <th>スリープ</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>ADDRA</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td rowspan="5">ADC</td> </tr> <tr> <td>ADDRB</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> </tr> <tr> <td>ADDRC</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> </tr> <tr> <td>ADDRD</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> </tr> <tr> <td>ADCSR</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> </tr> <tr> <td>PADR</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>-</td> <td>保持</td> <td>I/Oポート</td> </tr> </tbody> </table> 【注】*6 WDT によるパワーオンリセットでは初期化されません。	レジスタ略称	パワーオンリセット*1	マニュアルリセット*1	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール	ADDRA	初期化	初期化	初期化	初期化	保持	ADC	ADDRB	初期化	初期化	初期化	初期化	保持	ADDRC	初期化	初期化	初期化	初期化	保持	ADDRD	初期化	初期化	初期化	初期化	保持	ADCSR	初期化	初期化	初期化	初期化	保持	PADR	初期化	保持	保持	-	保持	I/Oポート																																							
レジスタ略称	パワーオンリセット*1	マニュアルリセット*1	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール																																																																																
ADDRA	初期化	初期化	初期化	初期化	保持	ADC																																																																																
ADDRB	初期化	初期化	初期化	初期化	保持																																																																																	
ADDRC	初期化	初期化	初期化	初期化	保持																																																																																	
ADDRD	初期化	初期化	初期化	初期化	保持																																																																																	
ADCSR	初期化	初期化	初期化	初期化	保持																																																																																	
PADR	初期化	保持	保持	-	保持	I/Oポート																																																																																

項目	ページ	修正箇所																																						
38. 電気的特性 38.3 DC 特性 表 38.4 DC 特性 (1) 【共通項目】	38-4、 38-5	修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>アナログ(A/D、D/A)電源電流</td> <td>AV_{CC}^{*2}</td> <td>3.0</td> <td>3.3</td> <td>3.6</td> <td>未使用時はVccQと接続する。</td> </tr> <tr> <td>アナログ USB 電源電圧</td> <td>$AV_{CC_U}SB$</td> <td>3.0</td> <td>3.3</td> <td>3.6</td> <td>未使用時はVccQと接続する。</td> </tr> <tr> <td rowspan="2">消費電流</td> <td>通常動作時</td> <td>I_{CC}</td> <td>-</td> <td>230</td> <td>300</td> <td>Vcc=1.5V f =133MHz</td> </tr> <tr> <td></td> <td>I_{CCQ}</td> <td>-</td> <td>60</td> <td>80</td> <td>VccQ、VccQ1=3.3V f =66MHz</td> </tr> <tr> <td>プルアップ抵抗</td> <td>I/Oポート端子</td> <td>P_{pull}</td> <td>20</td> <td>50</td> <td>120</td> <td></td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	測定条件	アナログ(A/D、D/A)電源電流	AV_{CC}^{*2}	3.0	3.3	3.6	未使用時はVccQと接続する。	アナログ USB 電源電圧	$AV_{CC_U}SB$	3.0	3.3	3.6	未使用時はVccQと接続する。	消費電流	通常動作時	I_{CC}	-	230	300	Vcc=1.5V f =133MHz		I_{CCQ}	-	60	80	VccQ、VccQ1=3.3V f =66MHz	プルアップ抵抗	I/Oポート端子	P_{pull}	20	50	120	
項目	記号	Min.	Typ.	Max.	測定条件																																			
アナログ(A/D、D/A)電源電流	AV_{CC}^{*2}	3.0	3.3	3.6	未使用時はVccQと接続する。																																			
アナログ USB 電源電圧	$AV_{CC_U}SB$	3.0	3.3	3.6	未使用時はVccQと接続する。																																			
消費電流	通常動作時	I_{CC}	-	230	300	Vcc=1.5V f =133MHz																																		
		I_{CCQ}	-	60	80	VccQ、VccQ1=3.3V f =66MHz																																		
プルアップ抵抗	I/Oポート端子	P_{pull}	20	50	120																																			
表 38.4 DC 特性 (2-c) 【USB トランシーバ関連端子*1】	38-7	修正 【注】*2 AV_{CC_USB} は、VccQ AV_{CC_USB} の条件を満足しなければなりません。USB を使用しない場合も必ず、 AV_{CC_USB} と AV_{SS_USB} に給電してください。																																						
38.4.2 制御信号タイミング 表 38.8 制御信号タイミング	38-12	修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>単位.</th> </tr> </thead> <tbody> <tr> <td>RESETP パルス幅</td> <td>t_{RESPW}</td> <td>20*3</td> <td>tcyc*2*4</td> </tr> <tr> <td>RESETM パルス幅</td> <td>t_{RESMW}</td> <td>20*3</td> <td>tcyc*2*4</td> </tr> </tbody> </table>	項目	記号	Min.	単位.	RESETP パルス幅	t_{RESPW}	20*3	tcyc*2*4	RESETM パルス幅	t_{RESMW}	20*3	tcyc*2*4																										
項目	記号	Min.	単位.																																					
RESETP パルス幅	t_{RESPW}	20*3	tcyc*2*4																																					
RESETM パルス幅	t_{RESMW}	20*3	tcyc*2*4																																					
38.4.3 AC バスタイミング仕様	38-15	修正 条件：クロックモード 0、VccQ = 2.7 ~ 3.6V、VccQ1 = 2.7 ~ 3.6V または 1.65 ~ 1.95V、Vcc = 1.4 ~ 1.6V、Ta = -20 ~ 75																																						
38.4.7 PCMCIA タイミング 図 38.39 PCMCIA メモリカードインタフェースバスタイミング	38-44	修正 																																						
図 38.40 PCMCIA メモリカードインタフェースバスタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、1 ソフトウェイト 1、ハードウェイト 1)	38-45	修正 																																						

項目	ページ	修正箇所												
38.4.8 周辺モジュール信号タイミング 表 38.10 周辺モジュール信号タイミング	38-48	修正 条件：V _{CCQ} = 2.7 ~ 3.6V、V _{CCQ1} = 2.7 ~ 3.6V または 1.65 ~ 1.95V、V _{CC} = 1.4 ~ 1.6V、AV _{CC} = 3.0 ~ 3.6V、T _a = -20 ~ 75 <table border="1"> <thead> <tr> <th>モジュール</th> <th>項目</th> <th>記号</th> </tr> </thead> <tbody> <tr> <td>I/Oポート</td> <td>出力データ遅延時間</td> <td>t_{PORTD}</td> </tr> </tbody> </table>	モジュール	項目	記号	I/Oポート	出力データ遅延時間	t _{PORTD}						
モジュール	項目	記号												
I/Oポート	出力データ遅延時間	t _{PORTD}												
図 38.44 I/Oポートタイミング	38-48	修正 												
38.4.9 16ビットタイムバルスユニット (TPU) 表 38.11 16ビットタイムバルスユニット	38-49	修正 条件：V _{CCQ} = 2.7 ~ 3.6V、V _{CCQ1} = 2.7 ~ 3.6V または 1.65 ~ 1.95V、V _{CC} = 1.4 ~ 1.6V、AV _{CC} = 3.0 ~ 3.6V、T _a = -20 ~ 75 【注】* 周辺クロック(P)サイクルを示します。												
38.4.10 RTC 信号タイミング 表 38.12 RTC 信号タイミング	38-50	修正 条件：V _{CCQ} = 2.7 ~ 3.6V、V _{CCQ1} = 2.7 ~ 3.6V または 1.65 ~ 1.95V、V _{CC} = 1.4 ~ 1.6V、AV _{CC} = 3.0 ~ 3.6V、T _a = -20 ~ 75												
38.4.11 SCIF モジュール信号タイミング 表 38.13 SCIF モジュール信号タイミング	38-50	修正 条件：V _{CCQ} = 2.7 ~ 3.6V、V _{CCQ1} = 2.7 ~ 3.6V または 1.65 ~ 1.95V、V _{CC} = 1.4 ~ 1.6V、AV _{CC} = 3.0 ~ 3.6V、T _a = -20 ~ 75 <table border="1"> <thead> <tr> <th>モジュール</th> <th>項目</th> <th>記号</th> </tr> </thead> <tbody> <tr> <td>SCIF</td> <td>RTS 遅延時間</td> <td>t_{PORTD}</td> </tr> </tbody> </table>	モジュール	項目	記号	SCIF	RTS 遅延時間	t _{PORTD}						
モジュール	項目	記号												
SCIF	RTS 遅延時間	t _{PORTD}												
38.4.13 SIOF モジュール信号タイミング 表 38.15 SIOF モジュール信号タイミング	38-53	修正 条件：V _{CCQ} = 2.7 ~ 3.6V、V _{CCQ1} = 2.7 ~ 3.6V または 1.65 ~ 1.95V、V _{CC} = 1.4 ~ 1.6V、AV _{CC} = 3.0 ~ 3.6V、T _a = -20 ~ 75												
38.4.14 AFEIF モジュール信号タイミング 表 38.16 AFEIF モジュール信号タイミング	38-57	修正 条件：V _{CCQ} = 2.7 ~ 3.6V、V _{CCQ1} = 2.7 ~ 3.6V または 1.65 ~ 1.95V、V _{CC} = 1.4 ~ 1.6V、AV _{CC} = 3.0 ~ 3.6V、T _a = -20 ~ 75 【注】t _{pcyc} は周辺クロック (P) のサイクル時間 (ns)												
38.4.15 USB モジュール信号タイミング 表 38.17 USB モジュールクロックタイミング	38-58	修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td>EXTAL_USB クロック周波数(48MHz)</td> <td>t_{FREQ}</td> <td>48.1</td> </tr> <tr> <td>クロック立ち上がり時間</td> <td>t_{R48}</td> <td>6</td> </tr> <tr> <td>クロック立ち下がり時間</td> <td>t_{F48}</td> <td>6</td> </tr> </tbody> </table> 「デューティ」の項目削除	項目	記号	Max	EXTAL_USB クロック周波数(48MHz)	t _{FREQ}	48.1	クロック立ち上がり時間	t _{R48}	6	クロック立ち下がり時間	t _{F48}	6
項目	記号	Max												
EXTAL_USB クロック周波数(48MHz)	t _{FREQ}	48.1												
クロック立ち上がり時間	t _{R48}	6												
クロック立ち下がり時間	t _{F48}	6												

項目	ページ	修正箇所								
表 38.18 USB 電気的特性 (フルスピード)	38-58	修正 【注】エッジ制御用の $C_{EDGE}=47pF$ 、直接抵抗 $R_s=27$ が接続された状態で測定しています。								
表 38.19 USB 電気的特性 (ロースピード)	38-58	修正 【注】エッジ制御用の $C_{EDGE}=47pF$ 、直列抵抗 $R_s=27$ が接続された状態で測定しています。								
38.4.16 LCDC モジュール信号タイミング 表 38.20 LCDC モジュール信号タイミング	38-59	条件追加 条件： $V_{CCQ}=2.7\sim 3.6V$ 、 $V_{CCQ1}=2.7\sim 3.6V$ または $1.65\sim 1.95V$ 、 $V_{CC}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $T_a=-20\sim 75$								
38.4.17 SIM モジュール信号タイミング 表 38.21 SIM モジュール信号タイミング	38-60	修正 条件： $V_{CCQ}=2.7\sim 3.6V$ 、 $V_{CCQ1}=2.7\sim 3.6V$ または $1.65\sim 1.95V$ 、 $V_{CC}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $T_a=-20\sim 75$ <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>SIM_CLK クロックサイクル</td> <td>t_{SMCYC}</td> <td>$2 \times t_{poyc}$</td> <td>$16 \times t_{poyc}$</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	SIM_CLK クロックサイクル	t_{SMCYC}	$2 \times t_{poyc}$	$16 \times t_{poyc}$
項目	記号	Min.	Max.							
SIM_CLK クロックサイクル	t_{SMCYC}	$2 \times t_{poyc}$	$16 \times t_{poyc}$							
38.4.18 MMCIF モジュール信号タイミング 表 38.22 MMCIF モジュール信号タイミング	38-60	修正 条件： $V_{CCQ}=2.7\sim 3.6V$ 、 $V_{CCQ1}=2.7\sim 3.6V$ または $1.65\sim 1.95V$ 、 $V_{CC}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $T_a=-20\sim 75$								
38.4.19 H-UDI 関連端子のタイミング 表 38.23 H-UDI 関連端子のタイミング	38-62	修正 条件： $V_{CCQ}=V_{CCQ_RTC}=2.7\sim 3.6V$ 、 $V_{CCQ1}=2.7\sim 3.6V$ または、 $1.65\sim 1.95V$ 、 $V_{CC}=V_{CC_PLL1}=V_{CC_PLL2}=V_{CC_RTC}=1.4\sim 1.6V$ 、 $AV_{CC}=AV_{CC_USB}=3.0\sim 3.6V$ 、 $T_a=-20\sim 75$								
38.5 A/D 変換器特性 38.6 D/A 変換器特性	38-64	修正 条件： $V_{CCQ}=2.7\sim 3.6V$ 、 $V_{CC}=1.4\sim 1.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $T_a=-20\sim 75$								
38.7 AC 特性測定条件	38-65	修正 ・入力パルスレベル： $V_{CCQ}\sim V_{SSQ}$ 、 $V_{CCQ1}\sim V_{SSQ1}$								

項 目	ページ	修正箇所																																																																																																																																																																																																																																						
付録 A 端子状態 表 A.1 端子状態表	付録-1 ~ 付録-9	修正、削除、追加 <table border="1"> <thead> <tr> <th colspan="2">分類</th> <th>端子名</th> <th>パワー オン リセッ ト</th> <th>マニ ュ アル リセッ ト</th> <th>ソフト ウェア スタンバ イ</th> <th>ハード ウェア スタンバ イ</th> <th>バス解放</th> <th>I/O</th> <th>未使用 端子 の処理</th> </tr> </thead> <tbody> <tr> <td>PLBG02 56GA-A</td> <td>PLBG02 56KA-A</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>A17</td> <td>A16</td> <td>AN0/PTF1</td> <td>Z</td> <td>Z/I</td> <td>Z/Z</td> <td>Z/Z</td> <td>I/I</td> <td>I/I</td> <td>プルア ップ</td> </tr> <tr> <td>B13</td> <td>E16</td> <td>USB2_pwr_en/PTH 1</td> <td>Z</td> <td>O/P</td> <td>O/K</td> <td>Z/Z</td> <td>O/P</td> <td>O/I/O</td> <td>プルア ップ</td> </tr> <tr> <td>B16</td> <td>A17</td> <td>USB2_M</td> <td>Z²</td> <td>L</td> <td>Z</td> <td>Z</td> <td>I</td> <td>I/O</td> <td>プルダ ウン</td> </tr> <tr> <td>B17</td> <td>A18</td> <td>USB1_P</td> <td>Z²</td> <td>Z²</td> <td>Z</td> <td>Z</td> <td>I</td> <td>I/O</td> <td>オーブ ン</td> </tr> <tr> <td>B18</td> <td>A21</td> <td>USB1_M</td> <td>Z²</td> <td>Z²</td> <td>Z</td> <td>Z</td> <td>I</td> <td>I/O</td> <td>オーブ ン</td> </tr> <tr> <td>C14</td> <td>E17</td> <td>ADTRG/PTF0</td> <td>V</td> <td>I/P</td> <td>Z/K</td> <td>Z/Z</td> <td>I/P</td> <td>I/I</td> <td>オーブ ン</td> </tr> <tr> <td>C16</td> <td>D16</td> <td>USB2_P</td> <td>Z²</td> <td>L</td> <td>Z</td> <td>Z</td> <td>I</td> <td>I/O</td> <td>プルダ ウン</td> </tr> <tr> <td>C19</td> <td>B20</td> <td>USB1_ovr_current/ USBF_VBUS</td> <td>I</td> <td>I/I</td> <td>I/I</td> <td>I/I</td> <td>I/I</td> <td>I/I</td> <td>プルダ ウン</td> </tr> <tr> <td>D17</td> <td>A19</td> <td>USB1d_DMNS/ PINT11/ AFE_RLYCNT/ PCC_BVD2/PTG3</td> <td>Z</td> <td>I/I/O/I/ P</td> <td>I/I/O/Z/ P</td> <td>Z/Z/Z/ Z</td> <td>I/I/O/I/ P</td> <td>I/I/O/I/ I/O</td> <td>プルア ップ</td> </tr> <tr> <td>H18</td> <td>H17</td> <td>SIM_RST/ SCIF1_RxD/ SD_WP/PTV1</td> <td>Z</td> <td>O/Z/I/P</td> <td>Z/Z/Z/ K</td> <td>Z/Z/Z/ Z</td> <td>O/I/P/P</td> <td>O/I/I/ O</td> <td>プルア ップ</td> </tr> <tr> <td>K17</td> <td>L20</td> <td>SCIF0_TxD/IrTX/ PTT2</td> <td>V</td> <td>Z/Z/P</td> <td>Z/Z/K</td> <td>Z/Z/Z</td> <td>O/O/P</td> <td>O/O/I/ O</td> <td>オーブ ン</td> </tr> <tr> <td>L17</td> <td>L21</td> <td>SCIF0_RxD/IrRX/ PTT1</td> <td>V</td> <td>Z/Z/P</td> <td>Z/Z/K</td> <td>Z/Z/Z</td> <td>I/I/P</td> <td>I/I/O</td> <td>オーブ ン</td> </tr> <tr> <td>L18</td> <td>M20</td> <td>IRQ3/IrL3/PTP3</td> <td>V</td> <td>I/I/P</td> <td>I/I/K</td> <td>Z/Z/Z</td> <td>I/I/P</td> <td>I/I/O</td> <td>オーブ ン</td> </tr> <tr> <td>N18</td> <td>P20</td> <td>AUDATA2/PTJ3</td> <td>X</td> <td>O/P</td> <td>O/K</td> <td>Z/Z</td> <td>O/P</td> <td>O/I/O</td> <td>オーブ ン</td> </tr> <tr> <td>N19</td> <td>N18</td> <td>AUDATA1/PTJ2</td> <td>X</td> <td>O/P</td> <td>O/K</td> <td>Z/Z</td> <td>O/P</td> <td>O/I/O</td> <td>オーブ ン</td> </tr> <tr> <td>N20</td> <td>R17</td> <td>AUDATA3/PTJ4</td> <td>X</td> <td>O/P</td> <td>O/K</td> <td>Z/Z</td> <td>O/P</td> <td>O/I/O</td> <td>オーブ ン</td> </tr> <tr> <td>P4</td> <td>R5</td> <td>Vss</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td></td> </tr> <tr> <td>P17</td> <td>P21</td> <td>Vcc</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td></td> </tr> <tr> <td>P18</td> <td>R20</td> <td>AUDATA0/PTJ1</td> <td>X</td> <td>O/P</td> <td>O/K</td> <td>Z/Z</td> <td>O/P</td> <td>O/I/O</td> <td>オーブ ン</td> </tr> <tr> <td>P19</td> <td>P18</td> <td>AUDCK/PTJ6</td> <td>V</td> <td>O/P</td> <td>O/K</td> <td>Z/Z</td> <td>O/P</td> <td>O/I/O</td> <td>オーブ ン</td> </tr> <tr> <td>P20</td> <td>T17</td> <td>VssQ</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td></td> </tr> </tbody> </table>	分類		端子名	パワー オン リセッ ト	マニ ュ アル リセッ ト	ソフト ウェア スタンバ イ	ハード ウェア スタンバ イ	バス解放	I/O	未使用 端子 の処理	PLBG02 56GA-A	PLBG02 56KA-A									A17	A16	AN0/PTF1	Z	Z/I	Z/Z	Z/Z	I/I	I/I	プルア ップ	B13	E16	USB2_pwr_en/PTH 1	Z	O/P	O/K	Z/Z	O/P	O/I/O	プルア ップ	B16	A17	USB2_M	Z ²	L	Z	Z	I	I/O	プルダ ウン	B17	A18	USB1_P	Z ²	Z ²	Z	Z	I	I/O	オーブ ン	B18	A21	USB1_M	Z ²	Z ²	Z	Z	I	I/O	オーブ ン	C14	E17	ADTRG/PTF0	V	I/P	Z/K	Z/Z	I/P	I/I	オーブ ン	C16	D16	USB2_P	Z ²	L	Z	Z	I	I/O	プルダ ウン	C19	B20	USB1_ovr_current/ USBF_VBUS	I	I/I	I/I	I/I	I/I	I/I	プルダ ウン	D17	A19	USB1d_DMNS/ PINT11/ AFE_RLYCNT/ PCC_BVD2/PTG3	Z	I/I/O/I/ P	I/I/O/Z/ P	Z/Z/Z/ Z	I/I/O/I/ P	I/I/O/I/ I/O	プルア ップ	H18	H17	SIM_RST/ SCIF1_RxD/ SD_WP/PTV1	Z	O/Z/I/P	Z/Z/Z/ K	Z/Z/Z/ Z	O/I/P/P	O/I/I/ O	プルア ップ	K17	L20	SCIF0_TxD/IrTX/ PTT2	V	Z/Z/P	Z/Z/K	Z/Z/Z	O/O/P	O/O/I/ O	オーブ ン	L17	L21	SCIF0_RxD/IrRX/ PTT1	V	Z/Z/P	Z/Z/K	Z/Z/Z	I/I/P	I/I/O	オーブ ン	L18	M20	IRQ3/IrL3/PTP3	V	I/I/P	I/I/K	Z/Z/Z	I/I/P	I/I/O	オーブ ン	N18	P20	AUDATA2/PTJ3	X	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン	N19	N18	AUDATA1/PTJ2	X	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン	N20	R17	AUDATA3/PTJ4	X	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン	P4	R5	Vss	-	-	-	-	-	-		P17	P21	Vcc	-	-	-	-	-	-		P18	R20	AUDATA0/PTJ1	X	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン	P19	P18	AUDCK/PTJ6	V	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン	P20	T17	VssQ	-	-	-	-	-	-	
分類		端子名	パワー オン リセッ ト	マニ ュ アル リセッ ト	ソフト ウェア スタンバ イ	ハード ウェア スタンバ イ	バス解放	I/O	未使用 端子 の処理																																																																																																																																																																																																																															
PLBG02 56GA-A	PLBG02 56KA-A																																																																																																																																																																																																																																							
A17	A16	AN0/PTF1	Z	Z/I	Z/Z	Z/Z	I/I	I/I	プルア ップ																																																																																																																																																																																																																															
B13	E16	USB2_pwr_en/PTH 1	Z	O/P	O/K	Z/Z	O/P	O/I/O	プルア ップ																																																																																																																																																																																																																															
B16	A17	USB2_M	Z ²	L	Z	Z	I	I/O	プルダ ウン																																																																																																																																																																																																																															
B17	A18	USB1_P	Z ²	Z ²	Z	Z	I	I/O	オーブ ン																																																																																																																																																																																																																															
B18	A21	USB1_M	Z ²	Z ²	Z	Z	I	I/O	オーブ ン																																																																																																																																																																																																																															
C14	E17	ADTRG/PTF0	V	I/P	Z/K	Z/Z	I/P	I/I	オーブ ン																																																																																																																																																																																																																															
C16	D16	USB2_P	Z ²	L	Z	Z	I	I/O	プルダ ウン																																																																																																																																																																																																																															
C19	B20	USB1_ovr_current/ USBF_VBUS	I	I/I	I/I	I/I	I/I	I/I	プルダ ウン																																																																																																																																																																																																																															
D17	A19	USB1d_DMNS/ PINT11/ AFE_RLYCNT/ PCC_BVD2/PTG3	Z	I/I/O/I/ P	I/I/O/Z/ P	Z/Z/Z/ Z	I/I/O/I/ P	I/I/O/I/ I/O	プルア ップ																																																																																																																																																																																																																															
H18	H17	SIM_RST/ SCIF1_RxD/ SD_WP/PTV1	Z	O/Z/I/P	Z/Z/Z/ K	Z/Z/Z/ Z	O/I/P/P	O/I/I/ O	プルア ップ																																																																																																																																																																																																																															
K17	L20	SCIF0_TxD/IrTX/ PTT2	V	Z/Z/P	Z/Z/K	Z/Z/Z	O/O/P	O/O/I/ O	オーブ ン																																																																																																																																																																																																																															
L17	L21	SCIF0_RxD/IrRX/ PTT1	V	Z/Z/P	Z/Z/K	Z/Z/Z	I/I/P	I/I/O	オーブ ン																																																																																																																																																																																																																															
L18	M20	IRQ3/IrL3/PTP3	V	I/I/P	I/I/K	Z/Z/Z	I/I/P	I/I/O	オーブ ン																																																																																																																																																																																																																															
N18	P20	AUDATA2/PTJ3	X	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン																																																																																																																																																																																																																															
N19	N18	AUDATA1/PTJ2	X	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン																																																																																																																																																																																																																															
N20	R17	AUDATA3/PTJ4	X	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン																																																																																																																																																																																																																															
P4	R5	Vss	-	-	-	-	-	-																																																																																																																																																																																																																																
P17	P21	Vcc	-	-	-	-	-	-																																																																																																																																																																																																																																
P18	R20	AUDATA0/PTJ1	X	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン																																																																																																																																																																																																																															
P19	P18	AUDCK/PTJ6	V	O/P	O/K	Z/Z	O/P	O/I/O	オーブ ン																																																																																																																																																																																																																															
P20	T17	VssQ	-	-	-	-	-	-																																																																																																																																																																																																																																

項 目	ページ	修正箇所																																																																																																																																																																																																																																																																																																				
付録 A. 端子状態 表 A.1 端子状態表	付録-1 ~ 付録-9	修正、削除、追加 <table border="1" data-bbox="710 398 1316 1697"> <thead> <tr> <th colspan="2">分類</th> <th rowspan="2">端子名</th> <th rowspan="2">パワー オン リセット</th> <th rowspan="2">マニ アル リセット</th> <th rowspan="2">ソフト ウェア スタンバイ</th> <th rowspan="2">ハード ウェア スタンバイ</th> <th rowspan="2">バス解放</th> <th rowspan="2">I/O</th> <th rowspan="2">未使用 端子 の処理</th> </tr> <tr> <th>PLBG02 56GA-A</th> <th>PLBG02 56KA-A</th> </tr> </thead> <tbody> <tr><td>R1</td><td>P4</td><td>VccQ1</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td></td></tr> <tr><td>R2</td><td>T2</td><td>A11</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>R3</td><td>R2</td><td>A13</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>R4</td><td>R1</td><td>A15</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>R17</td><td>T20</td><td>AUDSYNC/PTJ0</td><td>X</td><td>O/P</td><td>O/K</td><td>Z/Z</td><td>O/P</td><td>O/I/O</td><td>オープン</td></tr> <tr><td>R18</td><td>R21</td><td>ASEMD0</td><td>I</td><td>I</td><td>I</td><td>I</td><td>I</td><td>I</td><td>プルアップ</td></tr> <tr><td>R19</td><td>R18</td><td>TRST/PTL7</td><td>I</td><td>I/P</td><td>Z/K</td><td>Z/Z</td><td>I/P</td><td>I/I/O</td><td>プルダウン</td></tr> <tr><td>R20</td><td>U17</td><td>VccQ</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td></td></tr> <tr><td>T1</td><td>T5</td><td>A16</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>T2</td><td>V1</td><td>A6</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>T3</td><td>V2</td><td>A5</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>T4</td><td>T1</td><td>A12</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>T17</td><td>U20</td><td>TMS/PTL6</td><td>I</td><td>I/P</td><td>Z/K</td><td>Z/Z</td><td>I/P</td><td>I/I/O</td><td>プルアップ</td></tr> <tr><td>T18</td><td>T18</td><td>TCK/PTL3</td><td>I</td><td>I/P</td><td>Z/K</td><td>Z/Z</td><td>I/P</td><td>I/I/O</td><td>プルアップ</td></tr> <tr><td>T19</td><td>U21</td><td>PCC_RESET/PINT7/PTK3</td><td>V</td><td>O/I/P</td><td>O/I/P</td><td>Z/Z/Z</td><td>O/I/P</td><td>O/I/I/O</td><td>オープン</td></tr> <tr><td>T20</td><td>V18</td><td>ASEBRKAK/PTJ5</td><td>V</td><td>O/P</td><td>O/K</td><td>Z/Z</td><td>O/P</td><td>O/I/O</td><td>オープン</td></tr> <tr><td>U1</td><td>R4</td><td>VssQ1</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td></td></tr> <tr><td>U2</td><td>T4</td><td>A9</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>U3</td><td>W1</td><td>A4</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>U4</td><td>AA3</td><td>A10</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>U5</td><td>Y5</td><td>D11</td><td>Z</td><td>Z</td><td>Z</td><td>Z</td><td>Z</td><td>IO</td><td>プルアップ</td></tr> <tr><td>U6</td><td>Y6</td><td>D8</td><td>Z</td><td>Z</td><td>Z</td><td>Z</td><td>Z</td><td>IO</td><td>プルアップ</td></tr> <tr><td>U19</td><td>V21</td><td>PCC_RDY/PINT6/PTK2</td><td>V</td><td>I/I/P</td><td>Z/I/P</td><td>Z/Z/Z</td><td>I/I/P</td><td>I/I/I/O</td><td>オープン</td></tr> <tr><td>V15</td><td>Y19</td><td>DREQ0/PINT0/PTM6</td><td>V</td><td>I/I/P</td><td>Z/I/P</td><td>Z/Z/Z</td><td>I/I/P</td><td>I/I/I/O</td><td>オープン</td></tr> <tr><td>V19</td><td>AA21</td><td>PCC_VS2/PINT5/PTK1</td><td>V</td><td>I/I/P</td><td>Z/I/P</td><td>Z/Z/Z</td><td>I/I/P</td><td>I/I/I/O</td><td>オープン</td></tr> <tr><td>W2</td><td>AA2</td><td>A2</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>W3</td><td>AA1</td><td>A1</td><td>O</td><td>O</td><td>OZ</td><td>Z</td><td>Z</td><td>O</td><td>オープン</td></tr> <tr><td>W19</td><td>Y21</td><td>PCC_VS1/PINT4/PTK0</td><td>V</td><td>I/I/P</td><td>Z/I/P</td><td>Z/Z/Z</td><td>I/I/P</td><td>I/I/I/O</td><td>オープン</td></tr> </tbody> </table>	分類		端子名	パワー オン リセット	マニ アル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用 端子 の処理	PLBG02 56GA-A	PLBG02 56KA-A	R1	P4	VccQ1	-	-	-	-	-	-		R2	T2	A11	O	O	OZ	Z	Z	O	オープン	R3	R2	A13	O	O	OZ	Z	Z	O	オープン	R4	R1	A15	O	O	OZ	Z	Z	O	オープン	R17	T20	AUDSYNC/PTJ0	X	O/P	O/K	Z/Z	O/P	O/I/O	オープン	R18	R21	ASEMD0	I	I	I	I	I	I	プルアップ	R19	R18	TRST/PTL7	I	I/P	Z/K	Z/Z	I/P	I/I/O	プルダウン	R20	U17	VccQ	-	-	-	-	-	-		T1	T5	A16	O	O	OZ	Z	Z	O	オープン	T2	V1	A6	O	O	OZ	Z	Z	O	オープン	T3	V2	A5	O	O	OZ	Z	Z	O	オープン	T4	T1	A12	O	O	OZ	Z	Z	O	オープン	T17	U20	TMS/PTL6	I	I/P	Z/K	Z/Z	I/P	I/I/O	プルアップ	T18	T18	TCK/PTL3	I	I/P	Z/K	Z/Z	I/P	I/I/O	プルアップ	T19	U21	PCC_RESET/PINT7/PTK3	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/I/O	オープン	T20	V18	ASEBRKAK/PTJ5	V	O/P	O/K	Z/Z	O/P	O/I/O	オープン	U1	R4	VssQ1	-	-	-	-	-	-		U2	T4	A9	O	O	OZ	Z	Z	O	オープン	U3	W1	A4	O	O	OZ	Z	Z	O	オープン	U4	AA3	A10	O	O	OZ	Z	Z	O	オープン	U5	Y5	D11	Z	Z	Z	Z	Z	IO	プルアップ	U6	Y6	D8	Z	Z	Z	Z	Z	IO	プルアップ	U19	V21	PCC_RDY/PINT6/PTK2	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/I/O	オープン	V15	Y19	DREQ0/PINT0/PTM6	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/I/O	オープン	V19	AA21	PCC_VS2/PINT5/PTK1	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/I/O	オープン	W2	AA2	A2	O	O	OZ	Z	Z	O	オープン	W3	AA1	A1	O	O	OZ	Z	Z	O	オープン	W19	Y21	PCC_VS1/PINT4/PTK0	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/I/O	オープン
		分類		端子名									パワー オン リセット	マニ アル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用 端子 の処理																																																																																																																																																																																																																																																																																			
		PLBG02 56GA-A	PLBG02 56KA-A																																																																																																																																																																																																																																																																																																			
		R1	P4	VccQ1	-	-	-	-	-	-																																																																																																																																																																																																																																																																																												
		R2	T2	A11	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		R3	R2	A13	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		R4	R1	A15	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		R17	T20	AUDSYNC/PTJ0	X	O/P	O/K	Z/Z	O/P	O/I/O	オープン																																																																																																																																																																																																																																																																																											
		R18	R21	ASEMD0	I	I	I	I	I	I	プルアップ																																																																																																																																																																																																																																																																																											
		R19	R18	TRST/PTL7	I	I/P	Z/K	Z/Z	I/P	I/I/O	プルダウン																																																																																																																																																																																																																																																																																											
		R20	U17	VccQ	-	-	-	-	-	-																																																																																																																																																																																																																																																																																												
		T1	T5	A16	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		T2	V1	A6	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		T3	V2	A5	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		T4	T1	A12	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		T17	U20	TMS/PTL6	I	I/P	Z/K	Z/Z	I/P	I/I/O	プルアップ																																																																																																																																																																																																																																																																																											
		T18	T18	TCK/PTL3	I	I/P	Z/K	Z/Z	I/P	I/I/O	プルアップ																																																																																																																																																																																																																																																																																											
		T19	U21	PCC_RESET/PINT7/PTK3	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/I/O	オープン																																																																																																																																																																																																																																																																																											
		T20	V18	ASEBRKAK/PTJ5	V	O/P	O/K	Z/Z	O/P	O/I/O	オープン																																																																																																																																																																																																																																																																																											
		U1	R4	VssQ1	-	-	-	-	-	-																																																																																																																																																																																																																																																																																												
		U2	T4	A9	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		U3	W1	A4	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		U4	AA3	A10	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																											
		U5	Y5	D11	Z	Z	Z	Z	Z	IO	プルアップ																																																																																																																																																																																																																																																																																											
		U6	Y6	D8	Z	Z	Z	Z	Z	IO	プルアップ																																																																																																																																																																																																																																																																																											
		U19	V21	PCC_RDY/PINT6/PTK2	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/I/O	オープン																																																																																																																																																																																																																																																																																											
		V15	Y19	DREQ0/PINT0/PTM6	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/I/O	オープン																																																																																																																																																																																																																																																																																											
		V19	AA21	PCC_VS2/PINT5/PTK1	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/I/O	オープン																																																																																																																																																																																																																																																																																											
W2	AA2	A2	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																													
W3	AA1	A1	O	O	OZ	Z	Z	O	オープン																																																																																																																																																																																																																																																																																													
W19	Y21	PCC_VS1/PINT4/PTK0	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/I/O	オープン																																																																																																																																																																																																																																																																																													

項目	ページ	修正箇所																																																																																	
付録 A. 端子状態 表 A.1 端子状態表	付録-9	修正、追加 【注】 *1 USB1_P、USB1_MをZ（オープン処理）にする条件は (1) USB1_ovr_current/USBF_VBUS 端子をプルダウン処理にします。 (2) UTRCTR の USB_TRANS ビットは初期値 0 にします。 UTRCTR の USB_SEL ビットは初期値 1 にします。 *2 USB2_P、USB2_M は、RESETP ネゲート後、EXTAL_USB が数十クロック入力された後に「L」になります。 : : X：不定状態																																																																																	
B. 型名一覧	付録-10	修正 (1) SH7720 グループ <table border="1"> <thead> <tr> <th rowspan="2">略称</th> <th rowspan="2">製品型名</th> <th rowspan="2">パッケージ</th> <th>SSL</th> <th>SDHI</th> </tr> <tr> <th>有無</th> <th>有無</th> </tr> </thead> <tbody> <tr> <td rowspan="4">SH7720</td> <td>HD6417720BP133C</td> <td>256 ピン CSP 17mm x 17mm (PLBG0256GA-A)</td> <td>有</td> <td>—</td> </tr> <tr> <td>HD6417720BP133CV</td> <td>256 ピン CSP 17mm x 17mm (PLBG0256GA-A)</td> <td>有</td> <td>—</td> </tr> <tr> <td>HD6417720BL133C</td> <td>256 ピン CSP 11mm x 11mm (PLBG0256KA-A)</td> <td>有</td> <td>—</td> </tr> <tr> <td>HD6417720BL133CV</td> <td>256 ピン CSP 11mm x 11mm (PLBG0256KA-A)</td> <td>有</td> <td>—</td> </tr> <tr> <td rowspan="4">SH7320</td> <td>HD6417320BP133C</td> <td>256 ピン CSP 17mm x 17mm (PLBG0256GA-A)</td> <td>有</td> <td>有</td> </tr> <tr> <td>HD6417320BP133CV</td> <td>256 ピン CSP 17mm x 17mm (PLBG0256GA-A)</td> <td>有</td> <td>有</td> </tr> <tr> <td>HD6417320BL133C</td> <td>256 ピン CSP 11mm x 11mm (PLBG0256KA-A)</td> <td>有</td> <td>有</td> </tr> <tr> <td>HD6417320BL133CV</td> <td>256 ピン CSP 11mm x 11mm (PLBG0256KA-A)</td> <td>有</td> <td>有</td> </tr> </tbody> </table> (2) SH7721 グループ <table border="1"> <thead> <tr> <th rowspan="2">略称</th> <th rowspan="2">製品型名</th> <th rowspan="2">パッケージ</th> <th>SSL</th> <th>SDHI</th> </tr> <tr> <th>有無</th> <th>有無</th> </tr> </thead> <tbody> <tr> <td rowspan="8">SH7721</td> <td>R8A77210C133BG</td> <td>256 ピン CSP 17mm x 17mm (PLBG0256GA-A)</td> <td>—</td> <td>—</td> </tr> <tr> <td>R8A77210C133BGV</td> <td>256 ピン CSP 17mm x 17mm (PLBG0256GA-A)</td> <td>—</td> <td>—</td> </tr> <tr> <td>R8A77210C133BA</td> <td>256 ピン CSP 11mm x 11mm (PLBG0256KA-A)</td> <td>—</td> <td>—</td> </tr> <tr> <td>R8A77210C133BAV</td> <td>256 ピン CSP 11mm x 11mm (PLBG0256KA-A)</td> <td>—</td> <td>—</td> </tr> <tr> <td>R8A77211C133BG</td> <td>256 ピン CSP 17mm x 17mm (PLBG0256GA-A)</td> <td>—</td> <td>有</td> </tr> <tr> <td>R8A77211C133BGV</td> <td>256 ピン CSP 17mm x 17mm (PLBG0256GA-A)</td> <td>—</td> <td>有</td> </tr> <tr> <td>R8A77211C133BA</td> <td>256 ピン CSP 11mm x 11mm (PLBG0256KA-A)</td> <td>—</td> <td>有</td> </tr> <tr> <td>R8A77211C133BAV</td> <td>256 ピン CSP 11mm x 11mm (PLBG0256KA-A)</td> <td>—</td> <td>有</td> </tr> </tbody> </table>	略称	製品型名	パッケージ	SSL	SDHI	有無	有無	SH7720	HD6417720BP133C	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	有	—	HD6417720BP133CV	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	有	—	HD6417720BL133C	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	有	—	HD6417720BL133CV	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	有	—	SH7320	HD6417320BP133C	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	有	有	HD6417320BP133CV	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	有	有	HD6417320BL133C	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	有	有	HD6417320BL133CV	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	有	有	略称	製品型名	パッケージ	SSL	SDHI	有無	有無	SH7721	R8A77210C133BG	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	—	—	R8A77210C133BGV	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	—	—	R8A77210C133BA	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	—	—	R8A77210C133BAV	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	—	—	R8A77211C133BG	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	—	有	R8A77211C133BGV	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	—	有	R8A77211C133BA	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	—	有	R8A77211C133BAV	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	—	有
略称	製品型名	パッケージ				SSL	SDHI																																																																												
			有無	有無																																																																															
SH7720	HD6417720BP133C	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	有	—																																																																															
	HD6417720BP133CV	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	有	—																																																																															
	HD6417720BL133C	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	有	—																																																																															
	HD6417720BL133CV	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	有	—																																																																															
SH7320	HD6417320BP133C	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	有	有																																																																															
	HD6417320BP133CV	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	有	有																																																																															
	HD6417320BL133C	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	有	有																																																																															
	HD6417320BL133CV	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	有	有																																																																															
略称	製品型名	パッケージ	SSL	SDHI																																																																															
			有無	有無																																																																															
SH7721	R8A77210C133BG	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	—	—																																																																															
	R8A77210C133BGV	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	—	—																																																																															
	R8A77210C133BA	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	—	—																																																																															
	R8A77210C133BAV	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	—	—																																																																															
	R8A77211C133BG	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	—	有																																																																															
	R8A77211C133BGV	256 ピン CSP 17mm x 17mm (PLBG0256GA-A)	—	有																																																																															
	R8A77211C133BA	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	—	有																																																																															
	R8A77211C133BAV	256 ピン CSP 11mm x 11mm (PLBG0256KA-A)	—	有																																																																															

以上