

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A781C/J	Rev.	第3版
題名	SH7450 グループ、SH7451 グループ ハードウェアマニュアル 正誤表 Rev.C		情報分類	技術情報	
適用製品	SH7450 グループ、SH7451 グループ	対象ロット等	関連資料	SH7450 グループ、SH7451 グループ ハードウェアマニュアル Rev.1.00	

2010年1月25日に発行致しました「SH7450 グループ、SH7451 グループ ハードウェアマニュアル Rev.1.00」に、内容の訂正がありましたのでお知らせします。

SH7450 グループ、SH7451 グループ ハードウェアマニュアル Rev.1.00 をご利用の際は、添付の正誤表をご利用ください。

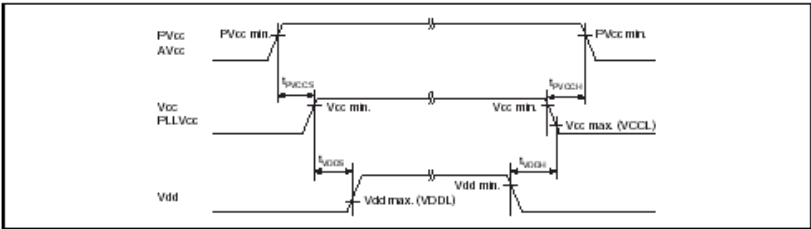
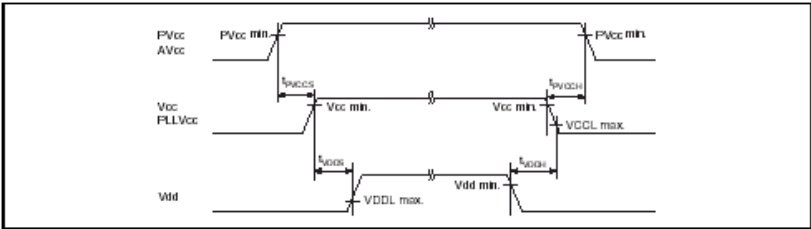
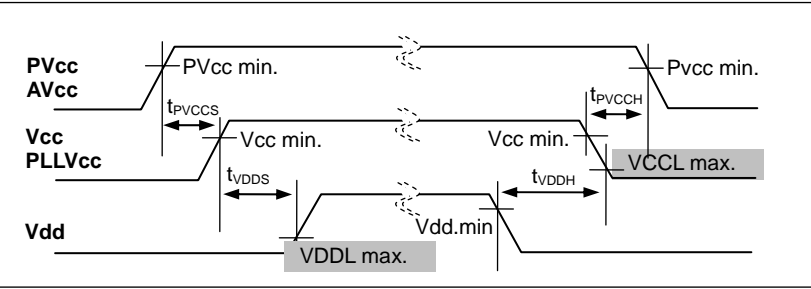
なお、添付の正誤表 (Rev.C) には、同マニュアルの正誤表 (Rev.B) の内容も記載しています。

- ・テクニカルアップデート TN-SH7-A781B/J: 正誤表 (Rev.B)

添付資料：「SH7450 グループ、SH7451 グループ ハードウェアマニュアル Rev.1.00」正誤表 Rev.C 15 枚

※下記において、網掛け (■)、または下線の部分が追加/変更のある部分です。

Rev.	ページ	箇所	内容
Rev.A 追加	11-1	11. アドレス空間	<p>誤</p> <p>図 11.1~図 11.6 に本 MCU のアドレス空間を示します。本 MCU は、32 ビット (4G バイト) 物理アドレス空間を有します。最上位の 512M バイト (H'0000 0000~H'1FFF FFFF) には、内蔵 ROM や内蔵 RAM (SHwyRAM)、外部アドレス空間がマッピングされています。最下位の 512M バイト (H'E000 0000~H'FFFF FFFF) には、IL メモリ、OL メモリ、およびその他の内部リソースがマッピングされています。CPU は、32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。</p> <p>正</p> <p>図 11.1~図 11.6 に本 MCU のアドレス空間を示します。本 MCU は、32 ビット (4G バイト) 物理アドレス空間を有します。最下位の 512M バイト (H'0000 0000~H'1FFF FFFF) には、内蔵 ROM や内蔵 RAM (SHwyRAM)、外部アドレス空間がマッピングされています。最上位の 512M バイト (H'E000 0000~H'FFFF FFFF) には、IL メモリ、OL メモリ、およびその他の内部リソースがマッピングされています。CPU は、32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。</p>
Rev.A 追加	12-29	図 12.10 ROM リードモード移行フロー	<p>誤</p> <p>正</p>
Rev.A 追加	25-39	25.8.10 I ² C バスインタフェースマスタ受信モードに関する注意	<p>追加</p> <p>25.8.10 I²C バスインタフェースマスタ受信モードに関する注意</p> <p>停止条件発行または開始条件の再発行が SCL の 9 クロック目の立ち下がり重なった場合、9 クロック目の後に、SCL が 1 クロック余分に出力されます。マスタ受信完了後、SCL の 9 クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。</p> <p>SCL の 9 クロック目の立ち下がりには、次の方法で確認してください。</p> <p>ICSR レジスタの RDRF ビット (受信データレジスタフルフラグ) が "1" になったことを確認後、ICCR2 レジスタの SCLO ビット (SCL モニタフラグ) が "0" (SCL 端子は "L") になったことを確認してください。</p>

Rev.	ページ	箇所	内容																								
Rev.A 追加	38-4	38.2 DC 特性 "L"レベル入力電圧	<p>表 38.3 DC 特性 (入力電圧：5.0V 使用時)</p> <table border="1"> <thead> <tr> <th colspan="3">項目</th> <th rowspan="2">記号</th> <th colspan="3">定格値</th> <th rowspan="2">単位</th> <th rowspan="2">測定条件</th> </tr> <tr> <th></th> <th></th> <th></th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>"L"レベル 入力電圧</td> <td>しきい値切り 替え機能 がない端子</td> <td>EXTAL</td> <td>V_{IL}</td> <td>0</td> <td></td> <td>0.25 V_{cc}</td> <td>V</td> <td></td> </tr> </tbody> </table>	項目			記号	定格値			単位	測定条件				Min.	Typ.	Max.	"L"レベル 入力電圧	しきい値切り 替え機能 がない端子	EXTAL	V _{IL}	0		0.25 V _{cc}	V	
			項目			記号		定格値					単位	測定条件													
			Min.	Typ.	Max.																						
"L"レベル 入力電圧	しきい値切り 替え機能 がない端子	EXTAL	V _{IL}	0		0.25 V _{cc}	V																				
<p>表 38.3 DC 特性 (入力電圧：5.0V 使用時)</p> <table border="1"> <thead> <tr> <th colspan="3">項目</th> <th rowspan="2">記号</th> <th colspan="3">定格値</th> <th rowspan="2">単位</th> <th rowspan="2">測定条件</th> </tr> <tr> <th></th> <th></th> <th></th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>"L"レベル 入力電圧</td> <td>しきい値切り 替え機能 がない端子</td> <td>EXTAL</td> <td>V_{IL}</td> <td>0</td> <td></td> <td>0.125 V_{cc}</td> <td>V</td> <td></td> </tr> </tbody> </table>	項目			記号	定格値			単位	測定条件				Min.	Typ.	Max.	"L"レベル 入力電圧	しきい値切り 替え機能 がない端子	EXTAL	V _{IL}	0		0.125 V _{cc}	V				
項目			記号		定格値					単位	測定条件																
				Min.	Typ.	Max.																					
"L"レベル 入力電圧	しきい値切り 替え機能 がない端子	EXTAL	V _{IL}	0		0.125 V _{cc}	V																				
Rev.A 追加	38-14	38.3.1 電源投入・切断 タイミング	<p>表 38.16 電源投入・切断タイミング</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参考図</th> </tr> </thead> <tbody> <tr> <td>V_{cc} 切断時 PV_{cc} ホールド時間</td> <td>t_{PVCCCH}</td> <td>—</td> <td>0</td> <td>μs</td> <td rowspan="2">38.4</td> </tr> <tr> <td>電源立ち下げ時の PV_{cc} 電圧</td> <td>VCCL</td> <td>0</td> <td>1.0</td> <td>V</td> </tr> </tbody> </table>  <p>図 38.4 電源投入・切断タイミング</p>	項目	記号	Min.	Max.	単位	参考図	V _{cc} 切断時 PV _{cc} ホールド時間	t _{PVCCCH}	—	0	μs	38.4	電源立ち下げ時の PV _{cc} 電圧	VCCL	0	1.0	V							
			項目	記号	Min.	Max.	単位	参考図																			
V _{cc} 切断時 PV _{cc} ホールド時間	t _{PVCCCH}	—	0	μs	38.4																						
電源立ち下げ時の PV _{cc} 電圧	VCCL	0	1.0	V																							
<p>表 38.16 電源投入・切断タイミング</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参考図</th> </tr> </thead> <tbody> <tr> <td>PV_{cc} 切断時 V_{cc} ホールド時間</td> <td>t_{PVCCCH}</td> <td>—</td> <td>0</td> <td>μs</td> <td rowspan="2">38.4</td> </tr> <tr> <td>電源立ち下げ時の V_{cc} 電圧</td> <td>VCCL</td> <td>0</td> <td>1.0</td> <td>V</td> </tr> </tbody> </table>  <p>図 38.4 電源投入・切断タイミング</p>	項目	記号	Min.	Max.	単位	参考図	PV _{cc} 切断時 V _{cc} ホールド時間	t _{PVCCCH}	—	0	μs	38.4	電源立ち下げ時の V _{cc} 電圧	VCCL	0	1.0	V										
項目	記号	Min.	Max.	単位	参考図																						
PV _{cc} 切断時 V _{cc} ホールド時間	t _{PVCCCH}	—	0	μs	38.4																						
電源立ち下げ時の V _{cc} 電圧	VCCL	0	1.0	V																							
Rev.B 追加	38-14	38.3.1 電源投入・切断 タイミング	<p>差し替え(記号と図の明示)</p>  <p>図 38.4 電源投入・切断タイミング</p>																								

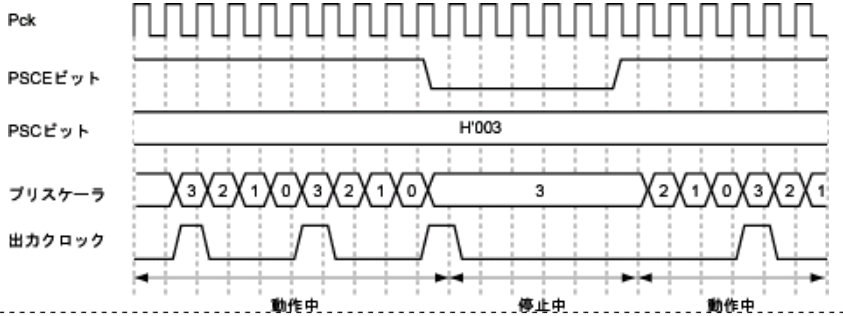
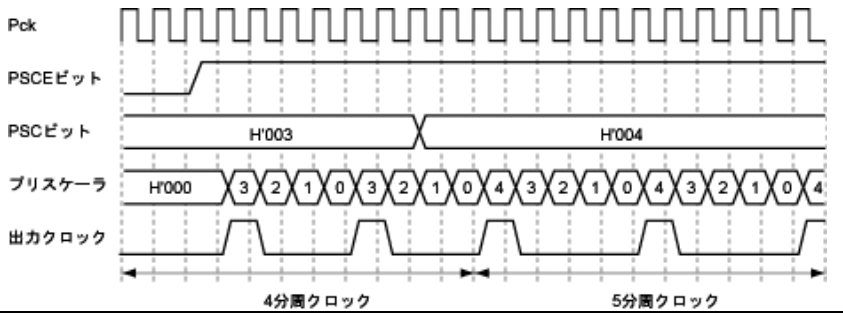
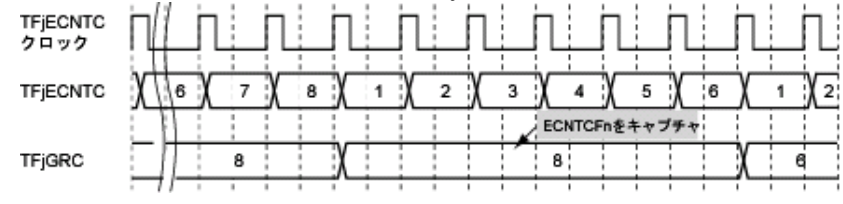
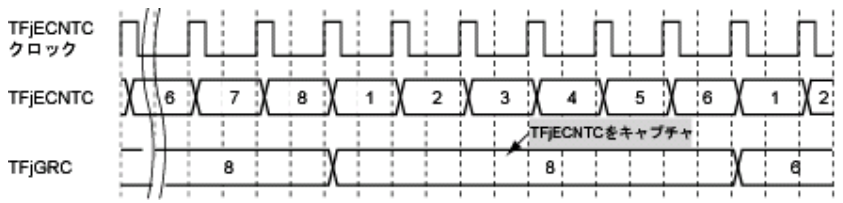
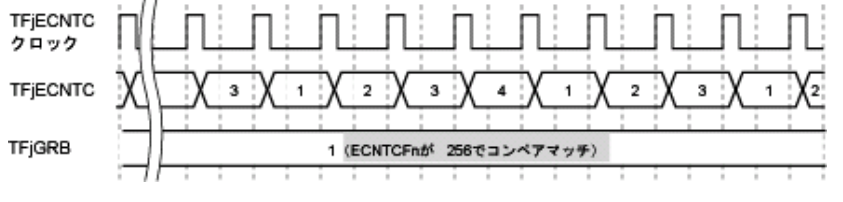
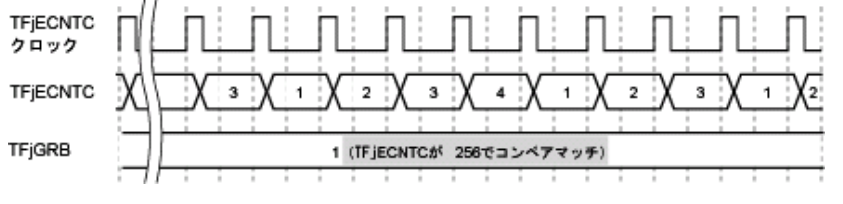
Rev.	ページ	箇所	内容	
Rev.C 追加	1-6	表 1.1 仕様概要	誤	表 1.1 仕様概要の SCIF の説明を訂正 ・最大転送レート：3.3MHz
			正	・最大転送レート：3.3Mbps
Rev.C 追加	1-7	表 1.1 仕様概要	誤	表 1.1 仕様概要の RSPI の説明を訂正 ・最大転送レート：10MHz
			正	・最大転送レート：10Mbps
Rev.C 追加	1-7	表 1.1 仕様概要	誤	表 1.1 仕様概要の DRO の説明を訂正 ・最大転送スピード：10MHz
			正	・最大転送スピード：20Mbps (16 ビット幅選択時)
Rev.C 追加	1-9	図 1.1 ブロック図	誤	図 1.1 ブロック図を差し替え (○部分変更)
			正	
Rev.C 追加	7-6	図 7.4 P4 領域	誤	図 7.4 P4 領域の図に記載のアドレスの誤記を訂正
			正	
Rev.C 追加	7-6	7.1.1 (1) (d) P4 領域	誤	7.1.1 (1) (d) P4 領域の説明 (9 行目) に記述のアドレスの誤記を訂正
			正	H'E500 0000~H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。 H'E500 E000~H'E520 1FFF までは、内蔵メモリをアクセスするための領域です。

Rev.	ページ	箇所	内容	
Rev.C 追加	7-7	7.1.1 (1) (d) P4 領域	誤	7.1.1 (1) (d) P4 領域の説明 (1、8、10 行目) に記述のアドレスの誤記を訂正 H'F300 0000~H'F37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。
			正	H'F300 0000~H'F3FF FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。
			誤	H'F600 0000~H'F60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。
			正	H'F600 0000~H'F6FF FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。
Rev.C 追加	7-19	7.2.8 命令再フェッチ 抑止制御レジスタ	誤	命令再フェッチ抑止制御レジスタ (IRMCR) の MC ビット説明 (2 行目) を訂正 CCR.ICE="1"の状態、メモリ割り付けICライトを行った後に、次命令の再フェッチを行うかどうかを制御します。
			正	CCR.ICE="1"の状態、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。
Rev.C 追加	7-49	7.7.6 (2) UTLB データ アレイ 2	誤	7.7.6 (2) UTLB データアレイ 2 の説明 (2 行目) を訂正 UTLB のデータアレイは P4 領域の H'F780 0000~H'F78F FFFF に割り付けられています。
			正	UTLB のデータアレイは P4 領域の H'F780 0000~H'F7FF FFFF に割り付けられています。
Rev.C 追加	10-1	10.1.1 (2) シングルチ ップモードと ROM 有 効拡張モード	誤	10.1.1 (2) シングルチップモードと ROM 有効拡張モードの説明 (3 行目) の誤記を訂正 シングルチップモードは内蔵 ROM のみ使用できます。ROM 有効拡張モードは内蔵 ROM と外部バスが使用できます。
			正	シングルチップモードは内蔵 ROM/RAM のみ使用できます。ROM 有効拡張モードは内蔵 ROM/RAM と外部バスが使用できます。
Rev.C 追加	12-5	12.1 概要	誤	12.1 概要の説明 (15 行目) を訂正 ・書き込み時間/消去時間/書き換え回数
			正	・書き込み時間/消去時間/再書き込み/消去回数
Rev.C 追加	12-7	表 12.2 レジスタ構成	誤	表 12.2 レジスタ構成の注の説明を訂正 【注】*1 ハードウェアリセットおよび FRESETR レジスタの FRESET ビットを"1"にすることによって初期化できます。
			正	【注】*1 ハードウェアリセットまたは FRESETR レジスタの FRESET ビットを"1"にすることによって初期化できます。
Rev.C 追加	12-11	12.3.3 ROM マット選択 レジスタ	誤	12.3.3 ROM マット選択レジスタ (ROMMAT) の KEY ビットの R と W のステータスを訂正 R : <u>R</u> W : *1
			正	R : <u>0</u> W : <u>W</u>
			削除	12.3.3 ROM マット選択レジスタ (ROMMAT) の注意書きを削除 【注】*1 書き込みデータは保持されません。
Rev.C 追加	12-15	12.3.6 フラッシュ P/E モ ードエントリレジスタ	誤	12.3.6 フラッシュ P/E モードエントリレジスタ (FENTRYR) の FEKEY ビットの R と W のステータスを訂正 R : <u>R</u> W : *1
			正	R : <u>0</u> W : <u>W</u>
Rev.C 追加	12-17	12.3.6 フラッシュ P/E モ ードエントリレジスタ	削除	12.3.6 フラッシュ P/E モードエントリレジスタ (FENTRYR) の注意書きを削除 【注】*1 書き込みデータは保持されません。

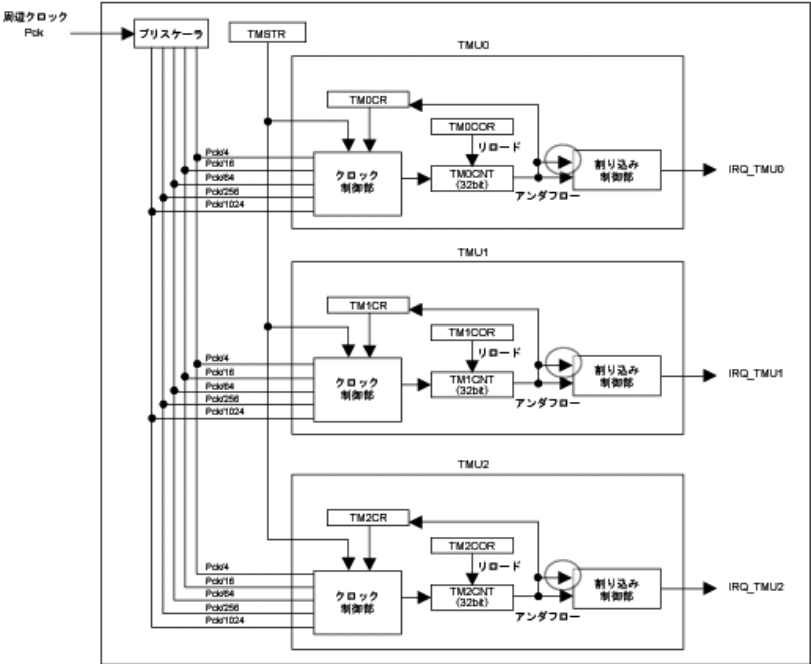
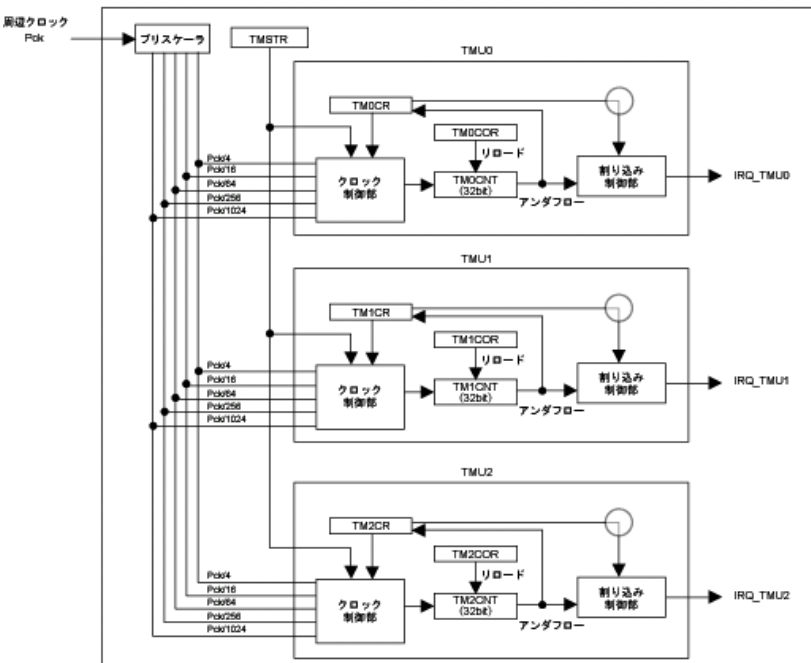
Rev.	ページ	箇所	内容	
Rev.C 追加	12-18	12.3.7 フラッシュ プロテクトレジスタ	誤	12.3.7 フラッシュプロテクトレジスタ (FPROTR) のFPKEY ビットの R と W のステータスを訂正 R : <u>R</u> W : *1
			正	R : <u>0</u> W : <u>W</u>
			削除	12.3.7 フラッシュプロテクトレジスタ (FPROTR) の注意書きを削除 【注】*1 書き込みデータは保持されません。
Rev.C 追加	12-19	12.3.8 フラッシュ リセットレジスタ	誤	12.3.8 フラッシュリセットレジスタ (FRESETR) のFRKEY ビットの R と W のステータスを訂正 R : <u>R</u> W : *1
			正	R : <u>0</u> W : <u>W</u>
			削除	12.3.8 フラッシュリセットレジスタ (FRESETR) の注意書きを削除 【注】*1 書き込みデータは保持されません。
Rev.C 追加	12-22	表 12.3 プログラミング モードの比較	削除	表 12.3 プログラミングモードの比較の注釈を削除 *1 キーコード認証後、特定ブロックの消去を実施可能です。 *2 組み込みプログラム格納マツトから起動し、ルネサステクノロジ提供のブートプログラムを実行した後にユーザブートマツトのリセットベクタから起動します。
Rev.C 追加	12-24	表 12.5 FCU コマンド のフォーマット	誤	表 12.5 FCU コマンドのフォーマットの項目を訂正、注釈追加 バスサイクル数
			正	コマンドサイクル数*1 【注】*1 コマンドサイクル数は書き込み/消去アドレスに対する周辺バスライトアクセス回数です。
Rev.C 追加	12-27	図 12.8 ROM リード モードと P/E モード中の コマンド遷移図	誤	図 12.8 ROM リードモードと P/E モード中のコマンド遷移図を差し替え 削除) ROM P/E モードからステータスレジスタクリアに繋がる線 (○部分)
			正	
Rev.C 追加	12-28	12.6.3 FCU コマンド 使用方法	誤	12.6.3 FCU コマンド使用法の説明 (11 行目) を訂正 書き込み/消去時間やサスペンド遅延時間 (「第 38 章 電氣的特性」参照)
			正	書き込み/消去時間 (「第 38 章 電氣的特性」参照)

Rev.	ページ	箇所	内容	
Rev.C 追加	17-5	17.3.2 ウォッチドッグ タイマコントロール/ ステータスレジスタ	誤	17.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR) の WOVP ビットの W のステータスを訂正 W : <u>W</u>
			正	W : <u>*1</u> *1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。
			誤	17.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR) の IOVP ビットの W のステータスを訂正 W : <u>W</u>
			正	W : <u>*1</u> *1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。
Rev.C 追加	17-6	17.3.3 ウォッチドッグ タイマベースストップ タイムレジスタ	誤	17.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST) の WDTBSTKEY ビットの R のステータスを訂正 R : <u>R</u>
正	R : <u>0</u>			
Rev.C 追加	18-8	表 18.15 2 端子に入出力 可能な端子機能と割り 当て	誤	表 18.15 2 端子に入出力可能な端子機能と割り当ての備考欄の誤記を訂正 INTC モジュールの IRQ7 信号の備考は*2
正	INTC モジュールの IRQ7 信号の備考は*1			
Rev.C 追加	18-35	18.3.9 (2) ポート A コントロールレジスタ 3	誤	18.3.9 (2) ポート A コントロールレジスタ 3 (PACR3) の PA8MD ビットの誤記を訂正 011 : DDB08 <u>出力</u> (DRI)
正	011 : DDB08 <u>入力</u> (DRI)			
Rev.C 追加	18-45	18.3.11 (4) ポート C コントロールレジスタ 1	誤	18.3.11 (4) ポート C コントロールレジスタ 1 (PCCR1) の PC3MD ビットの誤記を訂正 100 : SSL20 <u>出力</u> (RSPI)
			正	100 : SSL20 <u>入出力</u> (RSPI)
			誤	18.3.11 (4) ポート C コントロールレジスタ 1 (PCCR1) の PC2MD ビットの誤記を訂正 100 : RSPCK2 <u>出力</u> (RSPI)
			正	100 : RSPCK2 <u>入出力</u> (RSPI)
Rev.C 追加	18-58	18.3.14 (1) ポート F コントロールレジスタ 2	誤	18.3.14 (1) ポート F コントロールレジスタ 2 (PFCR2) の PF5MD ビットの誤記を訂正 001 : SCL <u>出力</u> (IIC3)
			正	001 : SCL <u>入出力</u> (IIC3)
			誤	18.3.14 (1) ポート F コントロールレジスタ 2 (PFCR2) の PF4MD ビットの誤記を訂正 001 : SDA <u>出力</u> (IIC3)
			正	001 : SDA <u>入出力</u> (IIC3)
Rev.C 追加	18-62	18.3.15 (2) ポート G コントロールレジスタ 1	誤	18.3.15 (2) ポート G コントロールレジスタ 1 (PGCR1) の PG3MD ビットの誤記を訂正 011 : SSL00 <u>出力</u> (RSPI)
正	011 : SSL00 <u>入出力</u> (RSPI)			
Rev.C 追加	18-65	18.3.16 (1) ポート H コントロールレジスタ 4	誤	18.3.16 (1) ポート H コントロールレジスタ 4 (PHCR4) の PH13MD ビットの誤記を訂正 PH13 モードビット
正	PH13 モードビット 000 : PH13 入出力 (ポート) 001 : DROD5 出力 (DRO) 010 : TO35 出力 (ATU-IHS) 011 : DDC13 入力 (DRI) 1xx : 設定禁止			
Rev.C 追加	18-78	18.3.18 (3) ポート K コントロールレジスタ 2	誤	18.3.18 (3) ポート K コントロールレジスタ 2 (PKCR2) の PK6MD ビットの誤記を訂正 100 : TXD3 <u>入出力</u> (SCIF)
正	100 : TXD3 <u>出力</u> (SCIF)			
Rev.C 追加	18-80	18.3.18 (4) ポート K コントロールレジスタ 1	誤	18.3.18 (4) ポート K コントロールレジスタ 1 (PKCR1) の PK0MD ビットの誤記を訂正 010 : SSL10 <u>出力</u> (RSPI)
正	010 : SSL10 <u>入出力</u> (RSPI)			
Rev.C 追加	18-86	18.3.20 (1) ポート M コントロールレジスタ 4	誤	18.3.20 (1) ポート M コントロールレジスタ 4 (PMCR4) の表下の注の説明を訂正 【注】・PM12~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。
正	【注】・PM0~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。			

Rev.	ページ	箇所	内容																																																													
Rev.C 追加	18-87	18.3.20 (2) ポート M コントロールレジスタ 3	誤 正	18.3.20 (2) ポート M コントロールレジスタ 3 (PMCR3) の表下の注の説明を訂正 【注】・PM8~PM11 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。 【注】・PM0~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。																																																												
Rev.C 追加	18-88	18.3.20 (3) ポート M コントロールレジスタ 2	誤 正	18.3.20 (3) ポート M コントロールレジスタ 2 (PMCR2) の表下の注の説明を訂正 【注】・PM4~PM7 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。 【注】・PM0~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。																																																												
Rev.C 追加	18-89	8.3.20 (4) ポート M コントロールレジスタ 1	誤 正	18.3.20 (4) ポート M コントロールレジスタ 1 (PMCR1) の表下の注の説明を訂正 【注】・PM0~PM3 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。 【注】・PM0~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。																																																												
Rev.C 追加	18-91	18.3.21 (1) ポート N コントロールレジスタ 2	誤 正	18.3.21 (1) ポート N コントロールレジスタ 2 (PNCR2) の表下の注の説明を訂正 【注】・PN4~PN7 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。 【注】・PN0~PN7 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。																																																												
Rev.C 追加	18-92	18.3.21 (2) ポート N コントロールレジスタ 1	誤 正	18.3.21 (2) ポート N コントロールレジスタ 1 (PNCR1) の表下の注の説明を訂正 【注】・PN0~PN3 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。 【注】・PN0~PN7 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。																																																												
Rev.C 追加	20-25	表 20.5 内蔵周辺モジュールリクエストの DMA 転送要求要因	誤 正	表 20.5 内蔵周辺モジュールリクエストの DMA 転送要求要因の RSPI の転送元/転送先を訂正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>内蔵周辺モジュール</th> <th>DMA 転送要求要因</th> <th>CnMRID ビットの設定値</th> <th>転送元</th> <th>転送先</th> </tr> </thead> <tbody> <tr> <td rowspan="6">RSPI</td> <td>RSPI0 送信バッファ エンプティ</td> <td>H'11</td> <td>任意</td> <td>送信バッファ</td> </tr> <tr> <td>RSPI0 受信バッファ フル</td> <td>H'12</td> <td>受信バッファ</td> <td>任意</td> </tr> <tr> <td>RSPI1 送信バッファ エンプティ</td> <td>H'15</td> <td>任意</td> <td>送信バッファ</td> </tr> <tr> <td>RSPI1 受信バッファ フル</td> <td>H'16</td> <td>受信バッファ</td> <td>任意</td> </tr> <tr> <td>RSPI2 送信バッファ エンプティ</td> <td>H'19</td> <td>任意</td> <td>送信バッファ</td> </tr> <tr> <td>RSPI2 受信バッファ フル</td> <td>H'1A</td> <td>受信バッファ</td> <td>任意</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>内蔵周辺モジュール</th> <th>DMA 転送要求要因</th> <th>CnMRID ビットの設定値</th> <th>転送元</th> <th>転送先</th> </tr> </thead> <tbody> <tr> <td rowspan="6">RSPI</td> <td>RSPI0 送信バッファ エンプティ</td> <td>H'11</td> <td>任意</td> <td>SP0DR</td> </tr> <tr> <td>RSPI0 受信バッファ フル</td> <td>H'12</td> <td>SP0DR</td> <td>任意</td> </tr> <tr> <td>RSPI1 送信バッファ エンプティ</td> <td>H'15</td> <td>任意</td> <td>SP1DR</td> </tr> <tr> <td>RSPI1 受信バッファ フル</td> <td>H'16</td> <td>SP1DR</td> <td>任意</td> </tr> <tr> <td>RSPI2 送信バッファ エンプティ</td> <td>H'19</td> <td>任意</td> <td>SP2DR</td> </tr> <tr> <td>RSPI2 受信バッファ フル</td> <td>H'1A</td> <td>SP2DR</td> <td>任意</td> </tr> </tbody> </table>	内蔵周辺モジュール	DMA 転送要求要因	CnMRID ビットの設定値	転送元	転送先	RSPI	RSPI0 送信バッファ エンプティ	H'11	任意	送信バッファ	RSPI0 受信バッファ フル	H'12	受信バッファ	任意	RSPI1 送信バッファ エンプティ	H'15	任意	送信バッファ	RSPI1 受信バッファ フル	H'16	受信バッファ	任意	RSPI2 送信バッファ エンプティ	H'19	任意	送信バッファ	RSPI2 受信バッファ フル	H'1A	受信バッファ	任意	内蔵周辺モジュール	DMA 転送要求要因	CnMRID ビットの設定値	転送元	転送先	RSPI	RSPI0 送信バッファ エンプティ	H'11	任意	SP0DR	RSPI0 受信バッファ フル	H'12	SP0DR	任意	RSPI1 送信バッファ エンプティ	H'15	任意	SP1DR	RSPI1 受信バッファ フル	H'16	SP1DR	任意	RSPI2 送信バッファ エンプティ	H'19	任意	SP2DR	RSPI2 受信バッファ フル	H'1A	SP2DR	任意
内蔵周辺モジュール	DMA 転送要求要因	CnMRID ビットの設定値	転送元	転送先																																																												
RSPI	RSPI0 送信バッファ エンプティ	H'11	任意	送信バッファ																																																												
	RSPI0 受信バッファ フル	H'12	受信バッファ	任意																																																												
	RSPI1 送信バッファ エンプティ	H'15	任意	送信バッファ																																																												
	RSPI1 受信バッファ フル	H'16	受信バッファ	任意																																																												
	RSPI2 送信バッファ エンプティ	H'19	任意	送信バッファ																																																												
	RSPI2 受信バッファ フル	H'1A	受信バッファ	任意																																																												
内蔵周辺モジュール	DMA 転送要求要因	CnMRID ビットの設定値	転送元	転送先																																																												
RSPI	RSPI0 送信バッファ エンプティ	H'11	任意	SP0DR																																																												
	RSPI0 受信バッファ フル	H'12	SP0DR	任意																																																												
	RSPI1 送信バッファ エンプティ	H'15	任意	SP1DR																																																												
	RSPI1 受信バッファ フル	H'16	SP1DR	任意																																																												
	RSPI2 送信バッファ エンプティ	H'19	任意	SP2DR																																																												
	RSPI2 受信バッファ フル	H'1A	SP2DR	任意																																																												

Rev.	ページ	箇所	内容
Rev.C 追加	21-26	21.6.2 ATU-IIIS クロックバスコントロールレジスタ	削除 21.6.2 ATU-IIIS クロックバスコントロールレジスタ (ATCBCNT) の CB5EG ビットから以下の説明を削除 削除) ソースクロックにタイマ B 出力の倍周補正クロックを選択した場合、本ビットの設定は無視されます。
Rev.C 追加	21-36	図 21.5 プリスケアラの動作開始	誤 図 21.5 プリスケアラの動作開始を差し替え 
Rev.C 追加	21-36	図 21.5 プリスケアラの動作開始	正 
Rev.C 追加	21-56	図 21.13 タイマ F のサブブロック図	誤 図 21.13 タイマ F のサブブロック図の記号説明を訂正 TFjECNTB : イベントカウンタ F TFjECNTB : イベントカウンタ
Rev.C 追加	21-87	図 21.19 PWM 入力波形期間計測の動作例	誤 図 21.19 PWM 入力波形期間計測の動作例の TFjGRC の説明を訂正 
Rev.C 追加	21-87	図 21.19 PWM 入力波形期間計測の動作例	正 
Rev.C 追加	21-89	図 21.20 回転速度/パルス計測の動作例	誤 図 21.20 回転速度/パルス計測の動作例の TFjGRB の説明を訂正 
Rev.C 追加	21-89	図 21.20 回転速度/パルス計測の動作例	正 

Rev.	ページ	箇所	内容
Rev.C 追加	21-113	図 21.27 TOU イネーブル回路構成図	<p>図 21.27 TOU イネーブル回路構成図のイネーブル要因選択 TOUn_m のイネーブル要因を訂正</p> <p>イネーブル要因選択 TOUn_m (ENSELTnm)</p>
			<p>イネーブル要因選択 TOUn_m (ENSELTnm)</p>
Rev.C 追加	21-125	21.20.16 TOUnPWM 出力禁止制御レジスタ	<p>21.20.16 TOUnPWM 出力禁止制御レジスタ (TONPODISCR) の ATUKEY ビットの R のステータスを訂正</p> <p>R : R</p> <p>R : 0</p>
Rev.C 追加	21-133	21.20.19 TOUnm カウンタ (TONmCNT)	<p>21.20.19 TOUnm カウンタ (TONmCNT) のレジスタシンボルの誤記を訂正</p> <p>TOU47 カウンタ (TO44CNT)</p> <p>TOU47 カウンタ (TO47CNT)</p>
Rev.C 追加	21-145	図 21.29 PWM 回路図	<p>図 21.29 PWM 回路図のレジスタ名の誤記を訂正</p>
Rev.C 追加	21-145	21.21.1 (2) PWM 出力モードにおけるリロードレジスタの更新	<p>21.21.1 (2) PWM 出力モードにおけるリロードレジスタの更新の説明 (7行目) を訂正</p> <p>通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行います。</p> <p>通常この操作はリロード1レジスタのアドレスから始まる32ビットのアクセスを行うことで、一括して行います。</p>

Rev.	ページ	箇所	内容
Rev.C 追加	21-158	図 21.39 ワンショット PWM 出力モードの動作例	<p>誤</p> <p>図 21.39 ワンショット PWM 出力モードの動作例 (リロードレジスタ: H'FFFF) の注釈の誤記を訂正</p> <p>*1 <u>リロード1レジスタ</u>が H'FFFF であるため、リロードレジスタの値がリロードされます。</p> <hr/> <p>正</p> <p>*1 <u>リロード0レジスタ</u>が H'FFFF であるため、リロードレジスタの値がリロードされます。</p>
Rev.C 追加	21-166	21.21.7 (1) 外部端子 (PWMOFFn) から入力された信号による PWM 出力禁止	<p>誤</p> <p>21.21.7 (1) 外部端子 (PWMOFFn) から入力された信号による PWM 出力禁止の説明 (8行目) を訂正</p> <p>(a) TOnPOCRレジスタのPOSTnビットに設定値 ("000"、"001"、"010"、"011"、"10X"、または"11X") を書き込む。</p> <hr/> <p>正</p> <p>(a) TOnPOCR レジスタの POSTn ビットに設定値 ("001"、"010"、"011"、"10X"、または"11X") を書き込む。</p>
Rev.C 追加	22-2	図 22.1 TMU のブロック図	<p>誤</p> <p>図 22.1 TMU のブロック図を差し替え 変更) 割り込み制御部への矢印 (○部分)</p>  <p>正</p> 

Rev.	ページ	箇所	内容																				
Rev.C 追加	24-71	24.4.13 割り込み要因	誤	24.4.13 割り込み要因の説明(4、5行目)を訂正 受信バッファフルの割り込み要求が <u>sp_rxint</u> 、送信バッファエンプティの割り込み要求が <u>sp_txint</u> 、モードフォルト、オーバランの割り込み要求が <u>sp_errint</u> のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。																			
			正	受信バッファフルの割り込み要求が <u>SPRIn</u> 、送信バッファエンプティの割り込み要求が <u>SPTIn</u> 、モードフォルト、オーバランの割り込み要求が <u>SPEIn</u> に割り付けられているため、フラグによる要因の判断が必要です。																			
Rev.C 追加	24-71	24.4.13 割り込み要因	誤	表 24.12 RSPiI の割り込み要因を差し替え <table border="1"> <thead> <tr> <th>名称</th> <th>割り込み要因</th> <th>略称</th> <th>割り込み条件</th> </tr> </thead> <tbody> <tr> <td>sp_rxint</td> <td>受信バッファフル</td> <td>RXI</td> <td>(SPiCR.SPRIE=1)・(SPiSR.SPRF=1)</td> </tr> <tr> <td>sp_txint</td> <td>送信バッファエンプティ</td> <td>TXI</td> <td>(SPiCR.SPTIE=1)・(SPiSR.SPTEF=1)</td> </tr> <tr> <td rowspan="2">sp_errint</td> <td>モードフォルト</td> <td>MOI</td> <td>(SPiCR.SPEIE=1)・(SPiSR.MODF=1)</td> </tr> <tr> <td>オーバラン</td> <td>OVI</td> <td>(SPiCR.SPEIE=1)・(SPiSR.OVRF=1)</td> </tr> </tbody> </table>	名称	割り込み要因	略称	割り込み条件	sp_rxint	受信バッファフル	RXI	(SPiCR.SPRIE=1)・(SPiSR.SPRF=1)	sp_txint	送信バッファエンプティ	TXI	(SPiCR.SPTIE=1)・(SPiSR.SPTEF=1)	sp_errint	モードフォルト	MOI	(SPiCR.SPEIE=1)・(SPiSR.MODF=1)	オーバラン	OVI	(SPiCR.SPEIE=1)・(SPiSR.OVRF=1)
			名称	割り込み要因	略称	割り込み条件																	
sp_rxint	受信バッファフル	RXI	(SPiCR.SPRIE=1)・(SPiSR.SPRF=1)																				
sp_txint	送信バッファエンプティ	TXI	(SPiCR.SPTIE=1)・(SPiSR.SPTEF=1)																				
sp_errint	モードフォルト	MOI	(SPiCR.SPEIE=1)・(SPiSR.MODF=1)																				
	オーバラン	OVI	(SPiCR.SPEIE=1)・(SPiSR.OVRF=1)																				
正	<table border="1"> <thead> <tr> <th>割り込み要因</th> <th>割り込み条件</th> </tr> </thead> <tbody> <tr> <td>受信バッファフル</td> <td>(SPiCR.SPRIE=1)・(SPiSR.SPRF=1)</td> </tr> <tr> <td>送信バッファエンプティ</td> <td>(SPiCR.SPTIE=1)・(SPiSR.SPTEF=1)</td> </tr> <tr> <td>モードフォルト</td> <td>(SPiCR.SPEIE=1)・(SPiSR.MODF=1)</td> </tr> <tr> <td>オーバラン</td> <td>(SPiCR.SPEIE=1)・(SPiSR.OVRF=1)</td> </tr> </tbody> </table>	割り込み要因	割り込み条件	受信バッファフル	(SPiCR.SPRIE=1)・(SPiSR.SPRF=1)	送信バッファエンプティ	(SPiCR.SPTIE=1)・(SPiSR.SPTEF=1)	モードフォルト	(SPiCR.SPEIE=1)・(SPiSR.MODF=1)	オーバラン	(SPiCR.SPEIE=1)・(SPiSR.OVRF=1)												
割り込み要因	割り込み条件																						
受信バッファフル	(SPiCR.SPRIE=1)・(SPiSR.SPRF=1)																						
送信バッファエンプティ	(SPiCR.SPTIE=1)・(SPiSR.SPTEF=1)																						
モードフォルト	(SPiCR.SPEIE=1)・(SPiSR.MODF=1)																						
オーバラン	(SPiCR.SPEIE=1)・(SPiSR.OVRF=1)																						
Rev.C 追加	25-30	図 25.18 IICRST ビットによる I ² C バスインタフェース 3 のリセット手順の例	誤	図 25.18 IICRST ビットによる I ² C バスインタフェース 3 のリセット手順の例の (4) の誤記を訂正 (4) バス開放状態になるまで待機します。バス開放状態は、SCL、SDA に対応する I/O ポート (<u>PFPR</u> レジスタの PF5PR ビットおよび PF4PR ビット) をリードするなどの方法で判断してください。																			
			正	(4) バス開放状態になるまで待機します。バス開放状態は、SCL、SDA に対応する I/O ポート (<u>PFPR</u> レジスタの PF5PR ビットおよび PF4PR ビット) をリードするなどの方法で判断してください。																			
Rev.C 追加	27-2	表 27.1 ADC の概要	誤	表 27.1 ADC の概要を訂正 <table border="1"> <thead> <tr> <th>項目</th> <th>概要</th> </tr> </thead> <tbody> <tr> <td>スキャン変換終了割り込み (AD1) と割り込み変換終了割り込み (<u>ADID</u>) と DMA 転送機能をサポート</td> <td>スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求 (<u>AD1</u>) の発生または DMAC の起動が可能です。また、AD0Inm、AD1Inn の割り込み変換終了時に、割り込み変換終了割り込み要求 (<u>AD0IDm</u>、<u>AD1IDn</u>) の発生または DMAC の起動 (<u>AD0ID0</u>~<u>AD0ID3</u>、<u>AD0ID15</u>) が可能です。</td> </tr> </tbody> </table>	項目	概要	スキャン変換終了割り込み (AD1) と割り込み変換終了割り込み (<u>ADID</u>) と DMA 転送機能をサポート	スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求 (<u>AD1</u>) の発生または DMAC の起動が可能です。また、AD0Inm、AD1Inn の割り込み変換終了時に、割り込み変換終了割り込み要求 (<u>AD0IDm</u> 、 <u>AD1IDn</u>) の発生または DMAC の起動 (<u>AD0ID0</u> ~ <u>AD0ID3</u> 、 <u>AD0ID15</u>) が可能です。															
			項目	概要																			
スキャン変換終了割り込み (AD1) と割り込み変換終了割り込み (<u>ADID</u>) と DMA 転送機能をサポート	スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求 (<u>AD1</u>) の発生または DMAC の起動が可能です。また、AD0Inm、AD1Inn の割り込み変換終了時に、割り込み変換終了割り込み要求 (<u>AD0IDm</u> 、 <u>AD1IDn</u>) の発生または DMAC の起動 (<u>AD0ID0</u> ~ <u>AD0ID3</u> 、 <u>AD0ID15</u>) が可能です。																						
正	<table border="1"> <thead> <tr> <th>項目</th> <th>概要</th> </tr> </thead> <tbody> <tr> <td>スキャン変換終了割り込み (AD1) と割り込み変換終了割り込みと DMA 転送機能をサポート</td> <td>スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求 (<u>AD0IAD1I</u>) の発生または DMAC の起動が可能です。また、AD0Inm、AD1Inn の割り込み変換終了時に、割り込み変換終了割り込み要求 (<u>AD0IDm</u>、<u>AD1IDn</u>) の発生または DMAC の起動 (<u>AD0ID0</u>~<u>AD0ID3</u>、<u>AD0ID15</u>) が可能です。</td> </tr> </tbody> </table>	項目	概要	スキャン変換終了割り込み (AD1) と割り込み変換終了割り込みと DMA 転送機能をサポート	スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求 (<u>AD0IAD1I</u>) の発生または DMAC の起動が可能です。また、AD0Inm、AD1Inn の割り込み変換終了時に、割り込み変換終了割り込み要求 (<u>AD0IDm</u> 、 <u>AD1IDn</u>) の発生または DMAC の起動 (<u>AD0ID0</u> ~ <u>AD0ID3</u> 、 <u>AD0ID15</u>) が可能です。																		
項目	概要																						
スキャン変換終了割り込み (AD1) と割り込み変換終了割り込みと DMA 転送機能をサポート	スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求 (<u>AD0IAD1I</u>) の発生または DMAC の起動が可能です。また、AD0Inm、AD1Inn の割り込み変換終了時に、割り込み変換終了割り込み要求 (<u>AD0IDm</u> 、 <u>AD1IDn</u>) の発生または DMAC の起動 (<u>AD0ID0</u> ~ <u>AD0ID3</u> 、 <u>AD0ID15</u>) が可能です。																						
Rev.C 追加	27-9 27-10	27.4.1 (1) A/D0 データレジスタ 0~7、A/D1 データレジスタ 0~7	削除	27.4.1 (1) A/D0 データレジスタ 0~7、A/D1 データレジスタ 0~7 (<u>AD0DR0</u> ~7、 <u>AD1DR0</u> ~7) の概要 (5、8行目) とレジスタ説明から以下の文を削除 削除) 書き込む値も常に"0"にしてください。																			
			誤 正	A/D0 データレジスタ 0~7、A/D1 データレジスタ 0~7 (<u>AD0DR0</u> ~7、 <u>AD1DR0</u> ~7) の予約ビットの W のステータスを訂正 W : 0 W : 二																			
Rev.C 追加	27-11	27.4.1 (2) A/D0 データレジスタ 8~15	削除	27.4.1 (2) A/D0 データレジスタ 8~15 (<u>AD0DR8</u> ~15) の概要 (4行目) とレジスタ説明から以下の説明を削除 削除) 書き込む値も常に"0"にしてください。																			
			誤 正	A/D0 データレジスタ 8~15 (<u>AD0DR8</u> ~15) の予約ビットの W のステータスを訂正 W : 0 W : 二																			
Rev.C 追加	27-12 27-13	27.4.1 (3) A/D0 データレジスタ DIAG0、A/D1 データレジスタ DIAG1	削除	27.4.1 (3) A/D0 データレジスタ <u>DIAG0</u> 、A/D1 データレジスタ <u>DIAG1</u> (<u>AD0DRD</u> 、 <u>AD1DRD</u>) の概要 (5行目) とレジスタ説明から以下の説明を削除 削除) 書き込む値も常に"0"にしてください。																			
			誤 正	A/D0 データレジスタ <u>DIAG0</u> 、A/D1 データレジスタ <u>DIAG1</u> (<u>AD0DRD</u> 、 <u>AD1DRD</u>) の予約ビットの W のステータスを訂正 W : 0 W : 二																			
Rev.C 追加	27-17	27.4.3 A/Di コントロール拡張レジスタ	誤 正	A/Di コントロール拡張レジスタ (<u>ADiCER</u>) の <u>DIAGM</u> ビット説明 (9行目) の誤記を訂正 なお、誤動作を防ぐため、 <u>DIAGM</u> ビットの切り替えは、必ず <u>ADREF</u> レジスタの <u>ADSCSCT</u> ビットが"0"の状態で行ってください。 なお、誤動作を防ぐため、 <u>DIAGM</u> ビットの切り替えは、必ず <u>ADiREF</u> レジスタの <u>ADSCACT</u> ビットが"0"の状態で行ってください。																			

Rev.	ページ	箇所	内容	
Rev.C 追加	28-47	28.3.23 DRIi アドレスリロードレジスタ 0、1	誤 正	28.3.23 DRIi アドレスリロードレジスタ 0、1 (DRIiADR0RLD、DRIiADR1RLD) の説明 (2行目) を訂正 DRIiADR0RLD、DRIiADR1RLD カウンタのリロード値を格納するレジスタです。 DRIiADR0CT、DRIiADR1CT カウンタのリロード値を格納するレジスタです。
Rev.C 追加	28-64	図 28.8 DRI 初期設定フロー図	誤 正	図 28.8 DRI 初期設定フロー図に「モジュール動作用クロック供給を設定」を追加 <div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p style="text-align: center;">設定開始</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">端子機能を設定</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">割り込み/DMA許可の設定</p> <p style="text-align: center;">↓</p> <hr style="border-top: 1px dashed black;"/> <p style="text-align: center;">設定開始</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">モジュール動作用 クロック供給を設定</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">端子機能を設定</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">割り込み/DMA許可の設定</p> <p style="text-align: center;">↓</p> </div> <div style="width: 45%;"> <ul style="list-style-type: none"> ・割り込み/DMA要求マスクを設定 ・割り込み要求ステータスをクリア <ul style="list-style-type: none"> ・モジュールストップレジスタ0 (MSTPCR0) を設定 <ul style="list-style-type: none"> ・割り込み/DMA要求マスクを設定 ・割り込み要求ステータスをクリア </div> </div>
Rev.C 追加	28-65	28.4.2 (1) ワンショットモード	誤 正	28.4.2 (1) ワンショットモードの説明 (4行目) の誤記を訂正 以降、DECmCTSL (DECm カウントイベント選択) ビットで選択したイベントが発生するたびにダウンカウントします。 以降、DECmCS (DECm カウントイベント選択) ビットで選択したイベントが発生するたびにダウンカウントします。
Rev.C 追加	29-12	図 29.3 DRO 初期設定例	誤 正	図 29.3 DRO 初期設定例に「モジュール動作用クロック供給を設定」を追加 <div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p style="text-align: center;">設定開始</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">端子の設定</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">割り込みコントローラの設定</p> <p style="text-align: center;">↓</p> <hr style="border-top: 1px dashed black;"/> <p style="text-align: center;">設定開始</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">モジュール動作用 クロック供給を設定</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">端子の設定</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">割り込みコントローラの設定</p> <p style="text-align: center;">↓</p> </div> <div style="width: 45%;"> <ul style="list-style-type: none"> ・ポートnコントロールレジスタm (PnCRm) を設定 ・割り込み優先順位の設定 <ul style="list-style-type: none"> ・モジュールストップレジスタ0 (MSTPCR0) を設定 <ul style="list-style-type: none"> ・ポートnコントロールレジスタm (PnCRm) を設定 ・割り込み優先順位の設定 </div> </div>
Rev.C 追加	30-9	30.4.4 PDAC ステータスレジスタ	誤 正 誤 正	PDAC ステータスレジスタ (PDISTATUS) の DWOUT ビットの W のステータスを訂正 W : <u>W</u> W : <u>二</u> PDAC ステータスレジスタ (PDISTATUS) の DWMON ビットの W のステータスを訂正 W : <u>W</u> W : <u>二</u>

Rev.	ページ	箇所	内容																																									
Rev.C 追加	30-63	30.8 使用上の注意事項	追加	30.8 使用上の注意事項に説明を追加 ・PDACを使用するには、PDAC関連レジスタを設定する前に、モジュールストップレジスタ0 (MSTPCR0)のPDACビットの値を"0"にして"PDACおよびPSELは動作"に設定してください。PDACビットの値を"0"にしない場合、PDACモジュールへのクロック供給が停止するため、PDAC関連レジスタを設定してもPDACは動作しません。																																								
Rev.C 追加	33-4	33.4 使用上の注意事項	追加	33.4 使用上の注意事項に説明を追加 モジュールストップ状態にあるモジュールのレジスタ領域へのリード/ライトアクセスは、対応するモジュールへのクロック供給後に実施してください。																																								
Rev.C 追加	36-5	36.4.1 AUDR イネーブルレジスタ	誤 正	AUDR イネーブルレジスタ (AUDRENB) の AUDREKEY ビットの R のステータスを訂正 R : <u>R</u> R : <u>0</u>																																								
Rev.C 追加	38-14	表 38.16 電源投入・切断タイミング	誤 正	表 38.16 電源投入・切断タイミングの項目を訂正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参考図</th> </tr> </thead> <tbody> <tr> <td>Vcc 切断時 Vdd ホールド時間</td> <td>tvDDH</td> <td>—</td> <td>0</td> <td>μs</td> <td>38.4</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参考図</th> </tr> </thead> <tbody> <tr> <td>Vdd 切断時 Vcc ホールド時間</td> <td>tvDDH</td> <td>—</td> <td>0</td> <td>μs</td> <td>38.4</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参考図	Vcc 切断時 Vdd ホールド時間	tvDDH	—	0	μs	38.4	項目	記号	Min.	Max.	単位	参考図	Vdd 切断時 Vcc ホールド時間	tvDDH	—	0	μs	38.4																
項目	記号	Min.	Max.	単位	参考図																																							
Vcc 切断時 Vdd ホールド時間	tvDDH	—	0	μs	38.4																																							
項目	記号	Min.	Max.	単位	参考図																																							
Vdd 切断時 Vcc ホールド時間	tvDDH	—	0	μs	38.4																																							
Rev.C 追加	38-15	図 38.5 パワーオン/パワーオフ時の動作モードと発振タイミング	誤 正	図 38.5 パワーオン/パワーオフ時の動作モードと発振タイミングの波形 Vdd を修正 																																								
Rev.C 追加	38-33	表 38.26 RSPI タイミング	誤 正	表 38.26 RSPI タイミングの説明を訂正 <table border="1"> <thead> <tr> <th>項目</th> <th>出力</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参考図</th> </tr> </thead> <tbody> <tr> <td rowspan="2">SSL 立ち上がり/立ち下がり時間</td> <td>出力</td> <td>tSSLR</td> <td>—</td> <td>8</td> <td>ns</td> <td>38.28, 38.29</td> </tr> <tr> <td>入力</td> <td>tSSLF</td> <td>—</td> <td>1</td> <td>μs</td> <td>38.29</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>項目</th> <th>出力</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参考図</th> </tr> </thead> <tbody> <tr> <td rowspan="2">SSL 立ち上がり/立ち下がり時間</td> <td>出力</td> <td>tSSLR</td> <td>—</td> <td>8</td> <td>ns</td> <td>38.28~</td> </tr> <tr> <td>入力</td> <td>tSSLF</td> <td>—</td> <td>1</td> <td>μs</td> <td>38.31</td> </tr> </tbody> </table>	項目	出力	記号	Min.	Max.	単位	参考図	SSL 立ち上がり/立ち下がり時間	出力	tSSLR	—	8	ns	38.28, 38.29	入力	tSSLF	—	1	μs	38.29	項目	出力	記号	Min.	Max.	単位	参考図	SSL 立ち上がり/立ち下がり時間	出力	tSSLR	—	8	ns	38.28~	入力	tSSLF	—	1	μs	38.31
項目	出力	記号	Min.	Max.	単位	参考図																																						
SSL 立ち上がり/立ち下がり時間	出力	tSSLR	—	8	ns	38.28, 38.29																																						
	入力	tSSLF	—	1	μs	38.29																																						
項目	出力	記号	Min.	Max.	単位	参考図																																						
SSL 立ち上がり/立ち下がり時間	出力	tSSLR	—	8	ns	38.28~																																						
	入力	tSSLF	—	1	μs	38.31																																						

Rev.	ページ	箇所	内容
Rev.C 追加	38-35	図 38.30 RSPI タイミング (スレーブ、CPHA="0")	<p>図 38.30 RSPI タイミング (スレーブ、CPHA="0") の SSL 波形を訂正し、tSSLR と tSSLF を追加</p> <p>誤</p> <p>正</p>
Rev.C 追加	38-36	図 38.31 RSPI タイミング (スレーブ、CPHA="1")	<p>図 38.31 RSPI タイミング (スレーブ、CPHA="1") の SSL 波形を訂正し、tSSLR と tSSLF を追加</p> <p>誤</p> <p>正</p>

Rev.	ページ	箇所	内容							
Rev.C 追加	38-38	表 38.29 DRI タイミング (特殊モード ON 時)	誤	表 38.29 DRI タイミング (特殊モード ON 時) の定格値 Min. の説明を訂正						
				項目	記号	Min.	Max.	単位	参考図	
				ディレイドリセットモード時の DIN1 による初期化レベルの最低 DIN エッジ数 (初期化レベル最低幅)	TWDLYDINI	8tc(CAP) ^{*1}	—			38.33~38.36
			正	項目	記号	Min.	Max.	単位	参考図	
				ディレイドリセットモード時の DIN1 による初期化レベルの最低 DIN エッジ数 (初期化レベル最低幅)	TWDLYDINI	8tc(DCAP) ^{*1}	—			38.33~38.36
Rev.C 追加	付録-109	付録 G.1 レジスタ配置一覧表	誤	付録 G.1 レジスタ配置一覧表の「TOU33 リロードレジスタ」の配置アドレスを訂正						
				番地	+0 番地 Bit31 bit24	+1 番地 Bit23 bit16	+2 番地 Bit15 bit8	+3 番地 Bit7 bit0	アクセス サイズ	
				H'FFFF E958	TOU33 リロード レジスタ (TO33RLD)					32
			正	番地	+0 番地 Bit31 bit24	+1 番地 Bit23 bit16	+2 番地 Bit15 bit8	+3 番地 Bit7 bit0	アクセス サイズ	
				H'FFFF E958	TOU33 リロードレジスタ (TO33RLD)					32

以上