

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0102A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G23 ユーザーズマニュアル Rev.1.10 の記載変更		情報分類	技術情報	
適用製品	RL78/G23 グループ	対象ロット等 全ロット	関連資料	RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.10 R01UH0896JJ0110 (Nov.2021)	

RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0896JJ0110) において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL) の初期値	p.150, p.1340	誤記訂正
12.8.2 ハードウェア・トリガの入力によるA/D変換	p.602	注意追加
17.2.9 UARTAクロック選択レジスタ0 (UTA0CK)	p.925	注意追加
17.2.10 UARTAクロック選択レジスタ1 (UTA1CK)	p.926	注意追加
23.2.2 メモリ電力削減制御レジスタ (PSMCR)	p.1132	注意追加
23.3.2 STOPモード	p.1143	誤記訂正
23.3.3 SNOOZEモード	p.1146, p.1147	誤記訂正
27.3.8.1 IAWCTLレジスタ・ガードレジスタ (GIAWCTL)	p.1199	誤記訂正
27.3.12.1 UARTループバック選択レジスタ (ULBS)	p.1208, p.1209	誤記訂正
28.2.2 フラッシュ・リード・プロテクションの設定	p.1215	注意追加
29.6 スタンバイ・モード時の動作	p.1261	注意追加
エクストラ領域へのアクセス	p.1345, p.1348, p.1367	誤記訂正
33.6.8.3 エクストラ領域書き換え時のコマンド実行例	p.1366	誤記訂正
34.4 ユーザ資源の確保	p.1379	注意追加
第37章 電気的特性	p.1405	説明追加
37.1 絶対最大定格	p.1405, p.1406	誤記訂正
37.2 発振回路特性	p.1407	誤記訂正
37.3.1 端子特性	p.1415, p.1417	誤記訂正
高速オンチップ・オシレータ動作電流	p.1434	誤記訂正
37.4 AC特性	p.1437	誤記訂正
37.6.1 A/Dコンバータ特性	p.1478, p.1479	注意追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0896JJ0110	
1		フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL) の初期値	p.150, p.1340	p.3, p.4
2		12.8.2 ハードウェア・トリガの入力によるA/D変換	p.602	p.5
3		17.2.9 UARTAクロック選択レジスタ0 (UTA0CK)	p.925	p.6
4		17.2.10 UARTAクロック選択レジスタ1 (UTA1CK)	p.926	p.7
5		23.2.2 メモリ電力削減制御レジスタ (PSMCR)	p.1132	p.8
6		23.3.2 STOPモード	p.1143	p.9
7		23.3.3 SNOOZEモード	p.1146, p.1147	p.10, p.11
8		27.3.8.1 IAWCTLレジスタ・ガードレジスタ (GIAWCTL)	p.1199	p.12
9		27.3.12.1 UARTループバック選択レジスタ (ULBS)	p.1208, p.1209	p.13, p.14
10		28.2.2 フラッシュ・リード・プロテクションの設定	p.1215	p.15
11		29.6 スタンバイ・モード時の動作	p.1261	p.16
12		エクストラ領域へのアクセス	p.1345, p.1348, p.1367	p.17, p.18
13		33.6.8.3 エクストラ領域書き換え時のコマンド実行例	p.1366	p.19
14		34.4 ユーザ資源の確保	p.1379	p.20, p.21
15		第37章 電気的特性	p.1405	p.22
16		37.1 絶対最大定格	p.1405, p.1406	p.23, p.24
17		37.2 発振回路特性	p.1407	p.25
18		37.3.1 端子特性	p.1415, p.1417	p.26, p.27
19		高速オンチップ・オシレータ動作電流	p.1434	p.28
20		37.4 AC特性	p.1437	p.29
21		37.6.1 A/Dコンバータ特性	p.1478, p.1479	p.30, p.31

誤記訂正の該当箇所は、**誤)**太字下線、**正)**グレー・ハッチングで記載します。

発行文書履歴

RL78/G23 ユーザーズマニュアル Rev.1.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0102A/J	2022年10月3日	初版発行 訂正一覧の No.1 ~ No.21 の誤記訂正 (本通知です。)

1. フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH,

FSASTL) の初期値 (p.150, p.1340)

誤)

表3-6 拡張SFR (2nd SFR) 一覧 (9/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02B9H	ポート・デジタル・インプット・ディスエーブル・レジスタ9	PDIDIS9	R/W	○	○	—	00H
F02BCH	ポート・デジタル・インプット・ディスエーブル・レジスタ12	PDIDIS12	R/W	○	○	—	00H
F02BDH	ポート・デジタル・インプット・ディスエーブル・レジスタ13	PDIDIS13	R/W	○	○	—	00H
F02BEH	ポート・デジタル・インプット・ディスエーブル・レジスタ14	PDIDIS14	R/W	○	○	—	00H
F02C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	—	○	—	08H
F02C1H	フラッシュ領域選択レジスタ	FLARS	R/W	○	○	—	00H
F02C2H	フラッシュ・アドレス・ポインタ・レジスタL	FLAPL	R/W	—	—	○	0000H
F02C4H	フラッシュ・アドレス・ポインタ・レジスタH	FLAPH	R/W	—	○	—	00H
F02C5H	フラッシュ・メモリ・シーケンサ制御レジスタ	FSSQ	R/W	○	○	—	00H
F02C6H	フラッシュ・エンド・アドレス・ポインタ・レジスタL	FLSEDL	R/W	—	—	○	0000H
F02C8H	フラッシュ・エンド・アドレス・ポインタ・レジスタH	FLSEDH	R/W	—	○	—	00H
F02C9H	フラッシュ・レジスタ初期化レジスタ	FLRST	R/W	○	○	—	00H
F02CAH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタL	FSASTL	R	○	○	—	00H
F02CBH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタH	FSASTH	R	○	○	—	00H

正)

表3-6 拡張SFR (2nd SFR) 一覧 (9/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02B9H	ポート・デジタル・インプット・ディスエーブル・レジスタ9	PDIDIS9	R/W	○	○	—	00H
F02BCH	ポート・デジタル・インプット・ディスエーブル・レジスタ12	PDIDIS12	R/W	○	○	—	00H
F02BDH	ポート・デジタル・インプット・ディスエーブル・レジスタ13	PDIDIS13	R/W	○	○	—	00H
F02BEH	ポート・デジタル・インプット・ディスエーブル・レジスタ14	PDIDIS14	R/W	○	○	—	00H
F02C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	—	○	—	08H
F02C1H	フラッシュ領域選択レジスタ	FLARS	R/W	○	○	—	00H
F02C2H	フラッシュ・アドレス・ポインタ・レジスタL	FLAPL	R/W	—	—	○	0000H
F02C4H	フラッシュ・アドレス・ポインタ・レジスタH	FLAPH	R/W	—	○	—	00H
F02C5H	フラッシュ・メモリ・シーケンサ制御レジスタ	FSSQ	R/W	○	○	—	00H
F02C6H	フラッシュ・エンド・アドレス・ポインタ・レジスタL	FLSEDL	R/W	—	—	○	0000H
F02C8H	フラッシュ・エンド・アドレス・ポインタ・レジスタH	FLSEDH	R/W	—	○	—	00H
F02C9H	フラッシュ・レジスタ初期化レジスタ	FLRST	R/W	○	○	—	00H
F02CAH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタL	FSASTL	R	○	○	—	00H/ 80H
F02CBH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタH	FSASTH	R	○	○	—	00H/ 04H

33.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)

フラッシュ・メモリ・シーケンサの動作結果を確認するレジスタです。

FSASTH, FSASTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

図 33 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット (1/2)

アドレス : F02CBH

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	0	0	0

アドレス : F02CAH

リセット時: 不定^注

R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

注 MBTSELの初期値は、エクストラ領域に格納しているBTFLG（ブート領域切替フラグ）の値に依存するため、不定です。

33.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)

フラッシュ・メモリ・シーケンサの動作結果を確認するレジスタです。

FSASTH, FSASTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

図 33 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット (1/2)

アドレス : F02CBH

リセット時: 00H/04H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	X	0	0

アドレス : F02CAH

リセット時: 00H/80H^注

R/W属性 : R

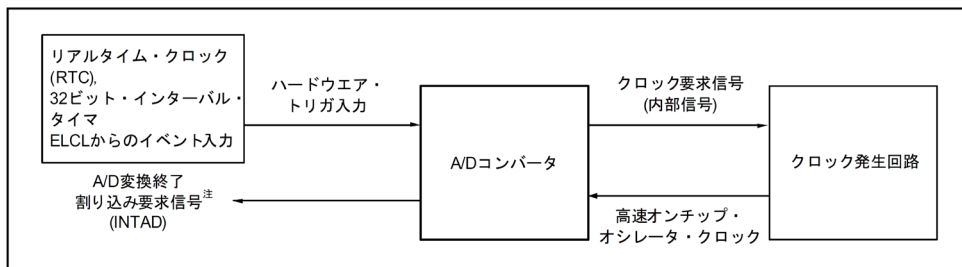
略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

注 MBTSELの初期値は、エクストラ領域に格納しているBTFLG（ブート領域切替フラグ）の値に依存するため、不定です。

2. 12.8.2 ハードウェア・トリガの入力による A/D 変換 (p.602)

誤)

図 12 - 42 SNOOZEモード機能時のブロック図 (ハードウェア・トリガ・ウエイト・モード時)



SNOOZE モード機能を使用する場合は、STOP モードに移行する前に各レジスタの初期設定を行います (図 12 - 45 SNOOZE モード設定 (ハードウェア・トリガ) のフロー・チャートを参照)。STOP モードへ移行する直前に、A/D コンバータ・モード・レジスタ 2 (ADM2) のビット 2 (AWC) に 1 を設定します。初期設定完了後、A/D コンバータ・モード・レジスタ 0 (ADM0) のビット 0 (ADCE) に 1 を設定します。

STOP モードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックが A/D コンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D 電源安定待ち時間が自動的にカウントされ、A/D 変換が開始します。

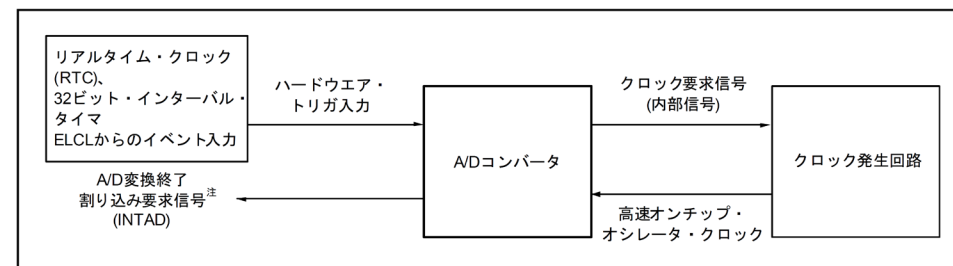
A/D 変換終了後の SNOOZE モードの動作は、割り込み信号発生の有無によって異なります注。

注 A/D 変換結果比較機能の設定 (ADRCK ビット、ADUL/ADLL レジスタ) により、割り込み信号が発生しない場合があります。

注意 ハードウェア・トリガ信号は、リアルタイム・クロック割り込み信号 (INTRTC)、32ビット・インターバル・タイマ割り込み信号 (INTITL)、ELCLからのイベント入力から選択してください。

正)

図 12 - 42 SNOOZEモード機能時のブロック図 (ハードウェア・トリガ・ウエイト・モード時)



SNOOZE モード機能を使用する場合は、STOP モードに移行する前に各レジスタの初期設定を行います (図 12 - 45 SNOOZE モード設定 (ハードウェア・トリガ) のフロー・チャートを参照)。STOP モードへ移行する直前に、A/D コンバータ・モード・レジスタ 2 (ADM2) のビット 2 (AWC) に 1 を設定します。初期設定完了後、A/D コンバータ・モード・レジスタ 0 (ADM0) のビット 0 (ADCE) に 1 を設定します。

STOP モードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックが A/D コンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D 電源安定待ち時間が自動的にカウントされ、A/D 変換が開始します。

A/D 変換終了後の SNOOZE モードの動作は、割り込み信号発生の有無によって異なります注。

注 A/D 変換結果比較機能の設定 (ADRCK ビット、ADUL/ADLL レジスタ) により、割り込み信号が発生しない場合があります。

また、ハードウェア・トリガに32ビット・インターバル・タイマ割り込み信号 (INTITL) を選択する場合は、32ビット・インターバル・タイマ割り込み信号 (INTITL) が発生するたびに、ITLS0レジスタの検出フラグをクリアする必要があります。このため、A/D変換結果比較機能の設定 (ADRCKビット、ADUL/ADLLレジスタ) は初期値にし、A/D 変換終了後に A/D 変換終了割り込み要求信号 (INTAD) が発生するようにしてください。

注意 ハードウェア・トリガ信号は、リアルタイム・クロック割り込み信号 (INTRTC)、32ビット・インターバル・タイマ割り込み信号 (INTITL)、ELCLからのイベント入力から選択してください。

3. 17.2.9 UARTA クロック選択レジスタ 0 (UTA0CK) (p.925)

誤)

図 17 - 10 UARTA0クロック選択レジスタ (UTA0CK) のフォーマット

アドレス : F0310H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
UTA0CK	UTA0OEN	0	UTASEL1	UTASEL0	UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0
UTA0OEN	UARTA0クロック出力機能の許可							
0	CLKA0出力禁止							
1	CLKA0出力許可							
UTASEL1	UTASEL0	fSELクロック選択						
0	0	停止						
0	1	f _{MP}						
1	0	f _{HP}						
1	1	f _{IMP}						
UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0	UARTA0動作クロック選択 (f _{UTA0})				
0	0	0	0	fSEL				
0	0	0	1	fSEL/2				
0	0	1	0	fSEL/4				
0	0	1	1	fSEL/8				
0	1	0	0	fSEL/16				
0	1	0	1	fSEL/32				
0	1	1	0	fSEL/64				
1	0	0	0	fSXP				
1	0	0	1	ELCL				
上記以外				設定禁止				

注意 本レジスタのアクセスは、TXEAn = 0、RXEAn = 0時（送受信停止時）に行ってください。

正)

図 17 - 10 UARTA0クロック選択レジスタ (UTA0CK) のフォーマット

アドレス : F0310H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
UTA0CK	UTA0OEN	0	UTASEL1	UTASEL0	UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0
UTA0OEN	UARTA0クロック出力機能の許可							
0	CLKA0出力禁止							
1	CLKA0出力許可							
UTASEL1	UTASEL0	fSELクロック選択						
0	0	停止						
0	1	f _{MP}						
1	0	f _{HP}						
1	1	f _{IMP}						
UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0	UARTA0動作クロック選択 (f _{UTA0})				
0	0	0	0	fSEL				
0	0	0	1	fSEL/2				
0	0	1	0	fSEL/4				
0	0	1	1	fSEL/8				
0	1	0	0	fSEL/16				
0	1	0	1	fSEL/32				
0	1	1	0	fSEL/64				
1	0	0	0	fSXP				
1	0	0	1	ELCL				
上記以外				設定禁止				

注 36～52ピン製品にはCLKA0出力を搭載していないため、0を設定してください。

注意 本レジスタのアクセスは、TXEAn = 0、RXEAn = 0時（送受信停止時）に行ってください。

4. 17.2.10 UARTA クロック選択レジスタ 1 (UTA1CK) (p.926)

誤)

図17-11 UARTA1動作モードレジスタ (UTA1CK) のフォーマット

アドレス : F0311H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
UTA1CK	UTA1OEN	0	0	0	UTA1CK3	UTA1CK2	UTA1CK1	UTA1CK0
UTA1OEN		UARTA1クロック出力機能の許可						
	0	CLKA1出力禁止						
	1	CLKA1出力許可						
UTA1CK3	UTA1CK2	UTA1CK1	UTA1CK0	UARTA1動作クロック選択 (fUTA1)				
0	0	0	0	fsEL				
0	0	0	1	fsEL/2				
0	0	1	0	fsEL/4				
0	0	1	1	fsEL/8				
0	1	0	0	fsEL/16				
0	1	0	1	fsEL/32				
0	1	1	0	fsEL/64				
1	0	0	0	fsXP				
1	0	0	1	ELCL				
上記以外				設定禁止				

注意 本レジスタのアクセスは、TXEAn = 0、RXEAn = 0時 (送受信停止時) に行ってください。

正)

図17-11 UARTA1動作モードレジスタ (UTA1CK) のフォーマット

アドレス : F0311H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
UTA1CK	UTA1OEN	0	0	0	UTA1CK3	UTA1CK2	UTA1CK1	UTA1CK0
UTA1OEN		UARTA1クロック出力機能の許可						
	0	CLKA1出力禁止						
	1	CLKA1出力許可						
UTA1CK3	UTA1CK2	UTA1CK1	UTA1CK0	UARTA1動作クロック選択 (fUTA1)				
0	0	0	0	fsEL				
0	0	0	1	fsEL/2				
0	0	1	0	fsEL/4				
0	0	1	1	fsEL/8				
0	1	0	0	fsEL/16				
0	1	0	1	fsEL/32				
0	1	1	0	fsEL/64				
1	0	0	0	fsXP				
1	0	0	1	ELCL				
上記以外				設定禁止				

注 44~52ピン製品にはCLKA1出力を搭載していないため、0を設定してください。

注意 本レジスタのアクセスは、TXEAn = 0、RXEAn = 0時 (送受信停止時) に行ってください。

5. 23.2.2 メモリ電力削減制御レジスタ (PSMCR) (p.1132)

誤)

23.2.2 メモリ電力削減制御レジスタ (PSMCR)

RAMの電力削減モードを制御するレジスタです。RAMをシャットダウン・モードに設定することでリーク電流を低減することができます。シャットダウン・モードのRAMは電源供給を停止しますのでデータを保持しません。

PSMCRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-2 メモリ電力削減制御レジスタ (PSMCR) のフォーマット

アドレス : F0216H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
PSMCR	0	0	0	0	0	0	RAMSDMD	RAMSDS

RAMSDMD	RAMSDS	RAMの動作モード
0	0	通常モード (動作可能)
1	0	待機モード
1	1	シャットダウン・モード
上記以外		設定禁止

注意1. シャットダウン・モードはFF000H~FFEFFHのRAM以外が対象です。

FF000H~FFEFFHのRAMは動作可能であり、値を保持します。

注意2. 待機モードまたはシャット・ダウンモードに設定しているときに対象のRAMにはアクセスしないでください。

注意3. シャットダウン・モードから通常モードに復帰した際、FF000H~FFEFFH以外のRAM領域は不定になります。

正)

23.2.2 メモリ電力削減制御レジスタ (PSMCR)

RAMの電力削減モードを制御するレジスタです。RAMをシャットダウン・モードに設定することでリーク電流を低減することができます。シャットダウン・モードのRAMは電源供給を停止しますのでデータを保持しません。

PSMCRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-2 メモリ電力削減制御レジスタ (PSMCR) のフォーマット

アドレス : F0216H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
PSMCR	0	0	0	0	0	0	RAMSDMD	RAMSDS

RAMSDMD	RAMSDS	RAMの動作モード
0	0	通常モード (動作可能)
1	0	待機モード
1	1	シャットダウン・モード
上記以外		設定禁止

注意1. シャットダウン・モードはFF000H~FFEFFHのRAM以外が対象です。

FF000H~FFEFFHのRAMは動作可能であり、値を保持します。

注意2. 待機モードまたはシャット・ダウンモードに設定しているときに対象のRAMにはアクセスしないでください。

注意3. シャットダウン・モードから通常モードに復帰した際、FF000H~FFEFFH以外のRAM領域は不定になります。

注意4. オンチップ・デバッグ動作では、RAMをシャットダウン・モードに設定してもFF000H~FFEFFH以外のRAMへのアクセスが可能です。また、オンチップ・デバッグ動作では、シャットダウン・モードから通常モードに復帰した際、FF000H~FFEFFH以外のRAM領域は不定になりません。

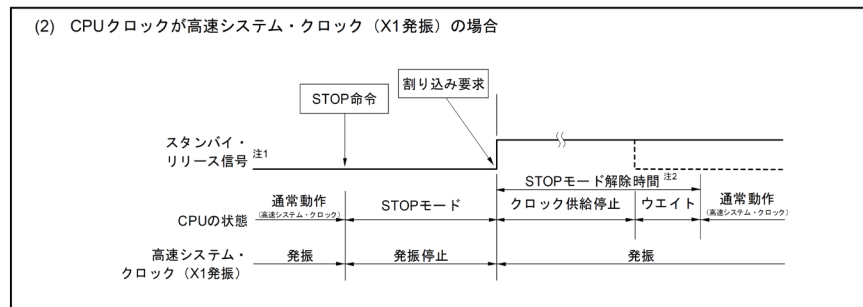
6. 23.3.2 STOP モード (p.1143)

誤)

- 注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成 (1/2) を参照してください。
- 注2. STOPモード解除時間
 クロック供給停止：
 高速オンチップ・オシレータ・クロックの場合：**3.9~5.2 μs** (高速オンチップ・オシレータ通常起動 FWKUP = 0)
0.6~0.8 μs (高速オンチップ・オシレータ高速起動 FWKUP = 1)
 高速オンチップ・オシレータ通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。
 第37章 電気的特性 TA = -40°C ~ +105°C を参照してください。
- 中速オンチップ・オシレータ・クロックの場合：**1.5~2.5 μs**
- ウエイト：
 (高速/中速オンチップ・オシレータ・クロック共通)
 ・ベクタ割り込み処理を行う場合：7クロック
 ・ベクタ割り込み処理を行わない場合：1クロック
- 注意 高速システム・クロック (X1発振) でCPU動作して、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

- 備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。
- 備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図23-7 STOPモードの割り込み要求発生による解除 (2/3)



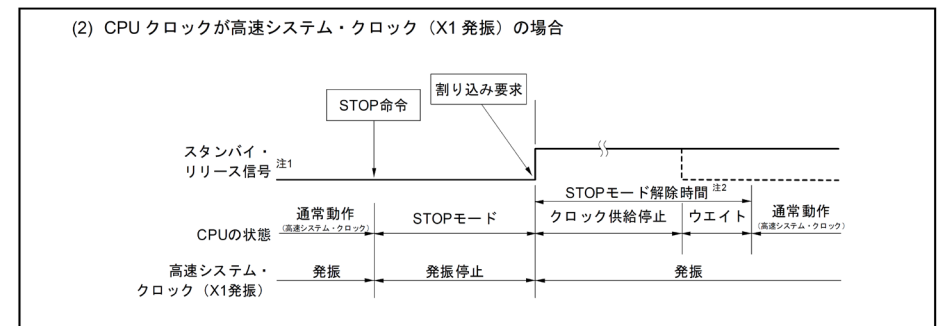
- 注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成 (1/2) を参照してください。
- 注2. STOPモード解除時間
 クロック供給停止：
発振安定時間 (OSTS で設定)
- ウエイト：
 ・ベクタ割り込み処理を行う場合：**10~11 クロック**
 ・ベクタ割り込み処理を行わない場合：**4~5 クロック**

正)

- 注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成を参照してください。
- 注2. STOPモード解除時間
 クロック供給停止：
 高速オンチップ・オシレータ・クロックの場合：**3.9~5.2 μs + 3~4 クロック**
 (高速オンチップ・オシレータ通常起動 FWKUP = 0)
0.6~0.8 μs + 3~4 クロック
 (高速オンチップ・オシレータ高速起動 FWKUP = 1)
 高速オンチップ・オシレータ通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。
 第37章 電気的特性を参照してください。
- 中速オンチップ・オシレータ・クロックの場合：**1.5~2.5 μs + 3~4 クロック**
- ウエイト：
 (高速/中速オンチップ・オシレータ・クロック共通)
 ・ベクタ割り込み処理を行う場合：7クロック
 ・ベクタ割り込み処理を行わない場合：1クロック
- 注意 高速システム・クロック (X1発振) でCPU動作して、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

- 備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。
- 備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図23-7 STOPモードの割り込み要求発生による解除 (2/3)



- 注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成を参照してください。
- 注2. STOPモード解除時間
 クロック供給停止：
発振安定時間 (OSTS で設定) + 3~4 クロック
- ウエイト：
 ・ベクタ割り込み処理を行う場合：7クロック
 ・ベクタ割り込み処理を行わない場合：1クロック

7. 23.3.3 SNOOZE モード (p.1146, p.1147)

誤)

23.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

以下の周辺によって設定可能です。

詳細については、各章を参照してください。

- 第12章 A/Dコンバータ (ADC)
- 第15章 シリアル・アレイ・ユニット (SAU)
- 第18章 リモコン信号受信機能 (REMC)
- 第19章 データ・トランスファ・コントローラ (DTC)
- 第29章 SNOOZEモード・シーケンサ (SMS)
- 第30章 静電容量センサユニット (CTSU2L)

また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合、設定可能です。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間：

高速オンチップ・オシレータ・クロックの場合：3.9～5.2 μs

(高速オンチップ・オシレータ通常起動 FWKUP = 0)

0.6～0.8 μs

(高速オンチップ・オシレータ高速起動 FWKUP = 1)

高速オンチップ・オシレータ通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。

第37章 電気的特性 TA = -40°C ~ +105°C を参照してください。

中速オンチップ・オシレータ・クロックの場合注：1.3～2.5 μs

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

正)

23.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

以下の周辺によって設定可能です。

詳細については、各章を参照してください。

- 第12章 A/Dコンバータ (ADC)
- 第15章 シリアル・アレイ・ユニット (SAU)
- 第18章 リモコン信号受信機能 (REMC)
- 第19章 データ・トランスファ・コントローラ (DTC)
- 第29章 SNOOZEモード・シーケンサ (SMS)
- 第30章 静電容量センサユニット (CTSU2L)

また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合、設定可能です。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間：

高速オンチップ・オシレータ・クロックの場合：3.9～5.2 μs

(高速オンチップ・オシレータ通常起動 FWKUP = 0)

0.6～0.8 μs

(高速オンチップ・オシレータ高速起動 FWKUP = 1)

高速オンチップ・オシレータ通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。

第37章 電気的特性を参照してください。

中速オンチップ・オシレータ・クロックの場合注：1.3～2.5 μs

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

高速オンチップ・オシレータ・クロックの場合：

- ベクタ割り込み処理を行う場合

“0.3~0.4 μs” + 7 クロック

- ベクタ割り込み処理を行わない場合

“0.3~0.4 μs” + 1 クロック

中速オンチップ・オシレータ・クロックの場合注：

- ベクタ割り込み処理を行う場合

“0.6~1.2 μs” + 7 クロック

- ベクタ割り込み処理を行わない場合

“0.6~1.2 μs” + 1 クロック

注 MIOTRMが初期値の場合

次に SNOOZE モード時の動作状態を示します。

発行日：2022年10月3日

SNOOZEモード→通常動作の遷移時間：

高速オンチップ・オシレータ・クロックの場合：

- ベクタ割り込み処理を行う場合

“0.3~0.4 μs” + 10~11 クロック

- ベクタ割り込み処理を行わない場合

“0.3~0.4 μs” + 4~5 クロック

中速オンチップ・オシレータ・クロックの場合注：

- ベクタ割り込み処理を行う場合

“0.6~1.2 μs” + 10~11 クロック

- ベクタ割り込み処理を行わない場合

“0.6~1.2 μs” + 4~5 クロック

注 MIOTRMが初期値の場合

次に SNOOZE モード時の動作状態を示します。

8. 27.3.8.1 IAWCTL レジスタ・ガードレジスタ (GIAWCTL) (p.1199)

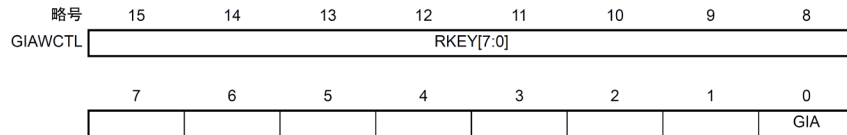
誤)

27.3.8.1 IAWCTL レジスタ・ガードレジスタ (GIAWCTL)

不正メモリ・アクセスの検出機能の有効/無効設定を保護するレジスタです。不正メモリ・アクセス検出制御レジスタ (IAWCTL) を書き換えるためには、GIAWCTL.GIA ビットを 0 に設定して保護を解除する必要があります。

図27-16 IAWCTL レジスタ・ガードレジスタ (GIAWCTL) のフォーマット

アドレス : F048EH
リセット時: 0000H
R/W属性 : R/W



RKEY[7:0] ビットは、GIAWCTL レジスタ書き換えを制御するキーコードです。GIA ビットを書き換える場合は、RKEY[7:0] = **C4H** に設定して、16 ビット単位で同時に書いてください。

RKEY[7:0] ビットは、読むと 00H が読めます。

GIA	IAWCTL レジスタの書き換え制御
0	IAWCTL レジスタを保護しない (書き換え許可)
1	IAWCTL レジスタを保護する (書き換え不可)

正)

27.3.8.1 IAWCTL レジスタ・ガードレジスタ (GIAWCTL)

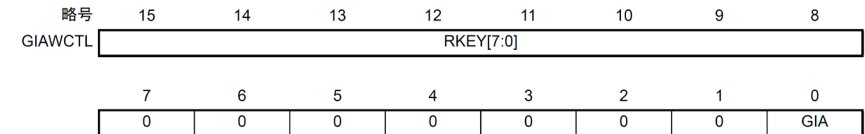
不正メモリ・アクセスの検出機能の有効/無効設定を保護するレジスタです。不正メモリ・アクセス検出制御レジスタ (IAWCTL) を書き換えるためには、GIAWCTL.GIA ビットを 0 に設定して保護を解除する必要があります。

GIAWCTL レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図27-16 IAWCTL レジスタ・ガードレジスタ (GIAWCTL) のフォーマット

アドレス : F048EH
リセット時: 0000H
R/W属性 : R/W



RKEY[7:0] ビットは、GIAWCTL レジスタ書き換えを制御するキーコードです。GIA ビットを書き換える場合は、RKEY[7:0] = **A4H** に設定して、16 ビット単位で同時に書いてください。

RKEY[7:0] ビットは、読むと 00H が読めます。

GIA	IAWCTL レジスタの書き換え制御
0	IAWCTL レジスタを保護しない (書き換え許可)
1	IAWCTL レジスタを保護する (書き換え不可)

9. 27.3.12.1 UART ループバック選択レジスタ (ULBS) (p.1208, p.1209)

誤)

27.3.12.1 UART ループバック選択レジスタ (ULBS)

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャンネル毎に制御できるビットを持ち、各チャンネルに該当するビットを1に設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、ULBS レジスタは00Hになります。

図27-23 UARTループバック選択レジスタ (ULBS) のフォーマット (1/2)

アドレス : F0079H
リセット時: 00H
R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	<1>	<0>
ULBS	0	0	ULBS5	ULBS4	ULBS3	ULBS2	ULBS1	ULBS0
ULBS5	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA1 の RxDA1 端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS4	UARTループバック機能の選択 ^{※2}							
0	シリアル・インタフェース UARTA0 の RxDA0 端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS3	UARTループバック機能の選択 ^{※1}							
0	シリアル・アレイドバイユニットUART3のRxD3端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS2	UARTループバック機能の選択 ^{※1}							
0	シリアル・アレイドバイユニットUART2のRxD2端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							

正)

27.3.12.1 UART ループバック選択レジスタ (ULBS)

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャンネル毎に制御できるビットを持ち、各チャンネルに該当するビットを1に設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、ULBS レジスタは00Hになります。

図27-23 UARTループバック選択レジスタ (ULBS) のフォーマット (1/2)

アドレス : F0079H
リセット時: 00H
R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	<1>	<0>
ULBS	0	0	ULBS5	ULBS4	ULBS3	ULBS2	ULBS1	ULBS0
ULBS5	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA1 の RxDA1 端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS4	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA0 の RxDA0 端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS3	UARTループバック機能の選択							
0	シリアル・アレイドバイユニットUART3のRxD3端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS2	UARTループバック機能の選択							
0	シリアル・アレイドバイユニットUART2のRxD2端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							

図27-23 UARTループバック選択レジスタ（ULBS）のフォーマット（2/2）

ULBS1	UART ループバック機能の選択 ^{注1}
0	シリアル・アレイ・ユニットUART1のRxD1端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS0	UART ループバック機能の選択 ^{注1}
0	シリアル・アレイ・ユニットUART0のRxD0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

注 1. UARTA0 について、ループバック機能を使用する場合は、ポート・ファンクション出力許可レジスタ 1 (PFOE1) の PFOE10 ビットを 1 に設定してください。

注 2. UARTA0 について、ループバック機能を使用する場合は、ポート・ファンクション出力許可レジスタ 1 (PFOE1) の PFOE14 ビットを 1 に設定してください。

注意 ビット7, 6には必ず0を設定してください。

図27-23 UARTループバック選択レジスタ（ULBS）のフォーマット（2/2）

ULBS1	UART ループバック機能の選択
0	シリアル・アレイ・ユニットUART1のRxD1端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS0	UART ループバック機能の選択
0	シリアル・アレイ・ユニットUART0のRxD0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

注意 ビット7, 6には必ず0を設定してください。

10. 28.2.2 フラッシュ・リード・プロテクションの設定 (p.1215)

誤)

表28-2 フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマで設定を解除注できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

注 設定の解除は“ブロック消去禁止”、“ブート領域の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

- 注意1. エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出してFFHであることを確認してください。
- 注意2. フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。
- 注意3. 読み出し不可領域はオンチップ・デバッグでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッグによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。
- 注意4. ブート・クラスタ0または1の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ0または1に読み出し不可領域を設定する場合は“ブート領域書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。

正)

表28-2 フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマで設定を解除注できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

注 設定の解除は“ブロック消去禁止”、“ブート領域の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

- 注意1. エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出してFFHであることを確認してください。
- 注意2. フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。
- 注意3. 読み出し不可領域はオンチップ・デバッグでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッグによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。
- 注意4. ブート・クラスタ0または1の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ0または1に読み出し不可領域を設定する場合は“ブート領域書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。
- 注意5. セルフ・プログラミングでフラッシュ・リード・プロテクションを設定した場合は、リセット解除後にその設定が有効となります。

11. 29.6 スタンバイ・モード時の動作 (p.1261)

誤)

29.6 スタンバイ・モード時の動作

状態	SNOOZEモード・シーケンサ動作
HALTモード	動作可能注1
STOPモード	SNOOZEモード・シーケンサ起動要因受付可能注3
SNOOZEモード	動作可能注2, 4, 5, 6

- 注1. fCLKにサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。
- 注2. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注3. STOPモード時にSMS起動要因の検出によりSNOOZEモードに遷移して、SNOOZEモード・シーケンサが動作可能となります。また動作完了後はSTOPモードに戻ります。ただし、SNOOZEモード中でアクセスできないメモリ領域があるため注意してください。詳細は29.4.2 シーケンサのメモリ空間を参照してください。
- 注4. CSIpのSNOOZEモード機能から転送完了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にCSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)を行ってください。
- 注5. UARTqのSNOOZEモード機能から転送完了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にUARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。
- 注6. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にA/DコンバータのSNOOZEモード機能の再設定(AWCビットに0を書き込み、AWCビットに1を書き込む)を行ってください。

正)

29.6 スタンバイ・モード時の動作

状態	SNOOZEモード・シーケンサ動作
HALTモード	動作可能注1
STOPモード	SNOOZEモード・シーケンサ起動要因受付可能注3
SNOOZEモード	動作可能注2, 4, 5, 6

- 注1. fCLKにサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。
- 注2. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注3. STOPモード時にSMS起動要因の検出によりSNOOZEモードに遷移して、SNOOZEモード・シーケンサが動作可能となります。また動作完了後はSTOPモードに戻ります。ただし、SNOOZEモード中でアクセスできないメモリ領域があるため注意してください。詳細は29.4.2 シーケンサのメモリ空間を参照してください。
- 注4. CSIpのSNOOZEモード機能から転送完了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にCSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)を行ってください。
- 注5. UARTqのSNOOZEモード機能から転送完了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にUARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。
- 注6. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にA/DコンバータのSNOOZEモード機能の再設定(AWCビットに0を書き込み、AWCビットに1を書き込む)を行ってください。

注意 スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してリアルタイム・クロックに関連するレジスタ (RTCC0, RTCC1, SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, SUBCDU, ALARMWM, ALARMWH, ALARMWWレジスタ) へアクセスすることはできません。

12. エクストラ領域へのアクセス (p.1345, p.1348, p.1367)

誤)

33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュ領域 およびエクストラ領域へのアクセス許可／禁止を設定するレジスタです。
DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図33-24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュ領域 <u>およびエクストラ領域</u> のアクセス制御							
0	データ・フラッシュ領域 <u>およびエクストラ領域</u> のアクセス禁止							
1	データ・フラッシュ領域 <u>およびエクストラ領域</u> のアクセス許可							

正)

33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュ領域へのアクセス許可／禁止を設定するレジスタです。
DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図33-24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュ領域のアクセス制御							
0	データ・フラッシュ領域のアクセス禁止							
1	データ・フラッシュ領域のアクセス許可							

33.6.3 フラッシュ・メモリ制御モードの設定

フラッシュ・メモリには以下のフラッシュ制御モードがあります。

- コード・フラッシュ・プログラミング・モード
コード・フラッシュ領域およびエクストラ領域が書き換え可能なモードです。
- データ・フラッシュ・プログラミング・モード
データ・フラッシュ領域およびエクストラ領域が書き換え可能なモードです。
- 非書き換えモード
フラッシュ・メモリ（コード・フラッシュ領域、データ・フラッシュ領域、エクストラ領域）が書き換え不可のモードです。

フラッシュ・メモリを書き換える場合は、フラッシュ制御モードをコード・フラッシュ・プログラミング・モードまたはデータ・フラッシュ・プログラミング・モードに設定します。フラッシュ制御モードの設定はフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に特定シーケンスを実行します。

注意 エクストラ領域、またはデータ・フラッシュ領域を操作する場合は、データ・フラッシュのアクセス許可（DFLCTLレジスタのDFLEN = 1）の状態で行ってください。

33.6.9 セルフ・プログラミング時の注意事項

- (1) コードフラッシュ/エクストラ領域の書き換え操作
コードフラッシュ/エクストラ領域を書き換える場合はRAMに配置してください。
- (2) データ・フラッシュ領域およびエクストラ領域を操作する場合の前提条件
データ・フラッシュ領域およびエクストラ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLEN = 1（データ・フラッシュのアクセス許可）に設定してください。

33.6.3 フラッシュ・メモリ制御モードの設定

フラッシュ・メモリには以下のフラッシュ制御モードがあります。

- コード・フラッシュ・プログラミング・モード
コード・フラッシュ領域およびエクストラ領域が書き換え可能なモードです。
- データ・フラッシュ・プログラミング・モード
データ・フラッシュ領域が書き換え可能なモードです。
- 非書き換えモード
フラッシュ・メモリ（コード・フラッシュ領域、データ・フラッシュ領域、エクストラ領域）が書き換え不可のモードです。

フラッシュ・メモリを書き換える場合は、フラッシュ制御モードをコード・フラッシュ・プログラミング・モードまたはデータ・フラッシュ・プログラミング・モードに設定します。フラッシュ制御モードの設定はフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に特定シーケンスを実行します。

注意 データ・フラッシュ領域を操作する場合は、データ・フラッシュのアクセス許可（DFLCTLレジスタのDFLEN = 1）の状態で行ってください。

33.6.9 セルフ・プログラミング時の注意事項

- (1) コード・フラッシュ/エクストラ領域の書き換え操作
コード・フラッシュ/エクストラ領域を書き換える場合はRAMに配置してください。
- (2) データ・フラッシュ領域を操作する場合の前提条件
データ・フラッシュ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLEN = 1（データ・フラッシュのアクセス許可）に設定してください。

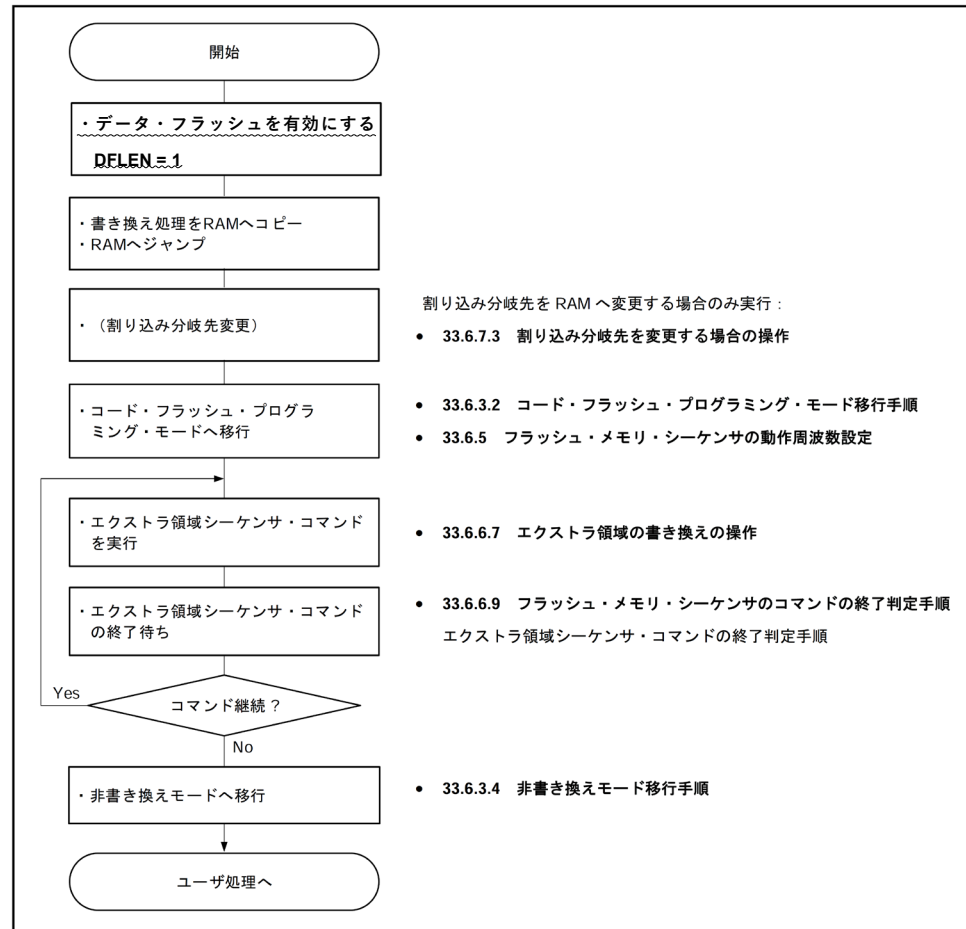
13. 33.6.8.3 エクストラ領域書き換え時のコマンド実行例 (p.1366)

誤)

33.6.8.3 エクストラ領域書き換え時のコマンド実行例

エクストラ領域書き換え時のコマンド実行フローを図 33 - 29 に示します。

図 33 - 29 エクストラ領域書き換え時のコマンド実行フロー

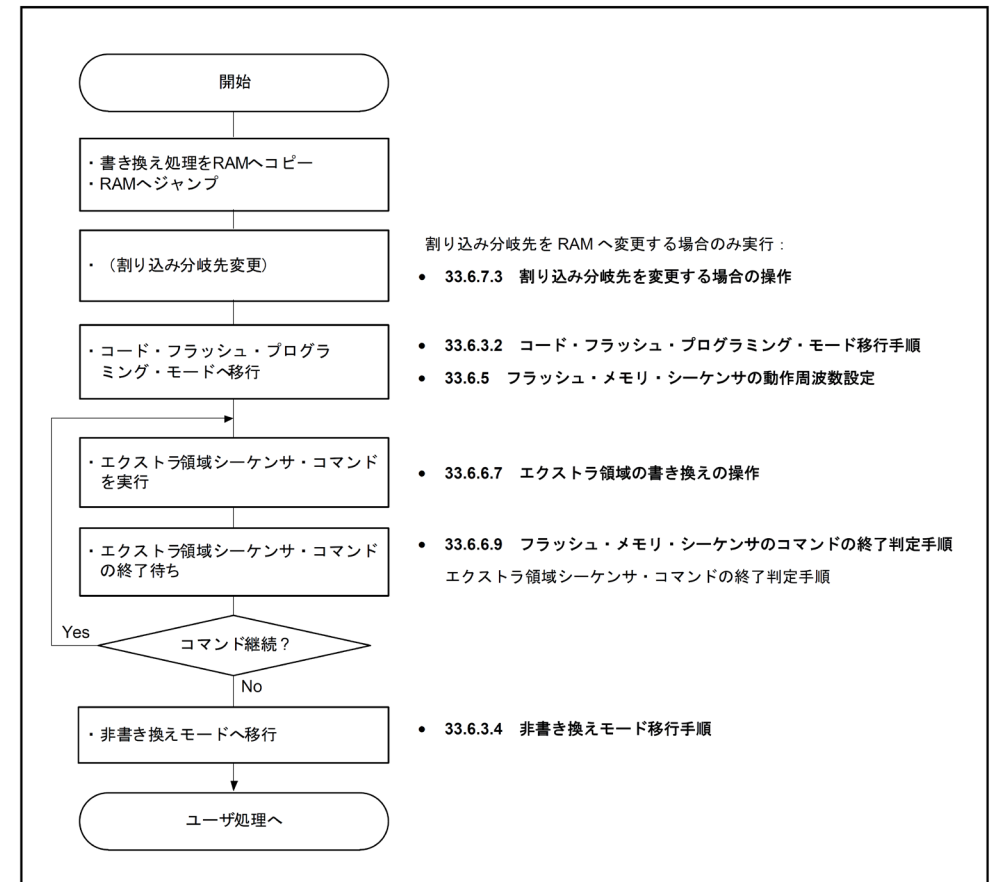


正)

33.6.8.3 エクストラ領域書き換え時のコマンド実行例

エクストラ領域書き換え時のコマンド実行フローを図 33 - 29 に示します。

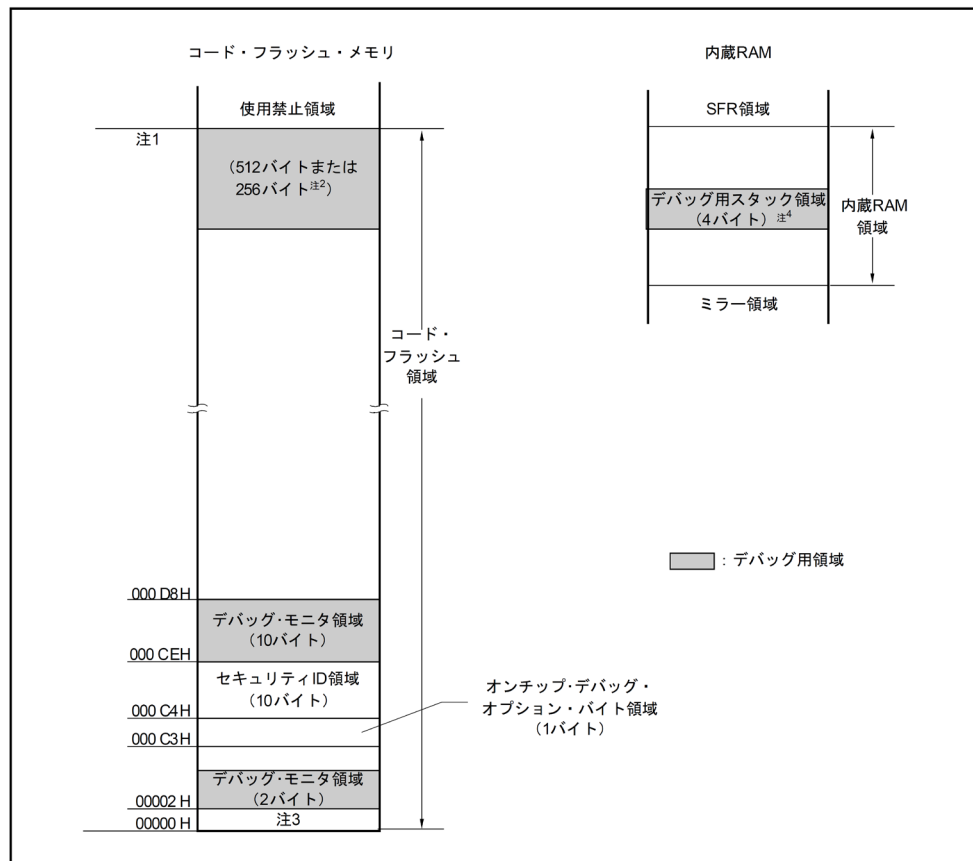
図 33 - 29 エクストラ領域書き換え時のコマンド実行フロー



14. 34.4 ユーザ資源の確保 (p.1379)

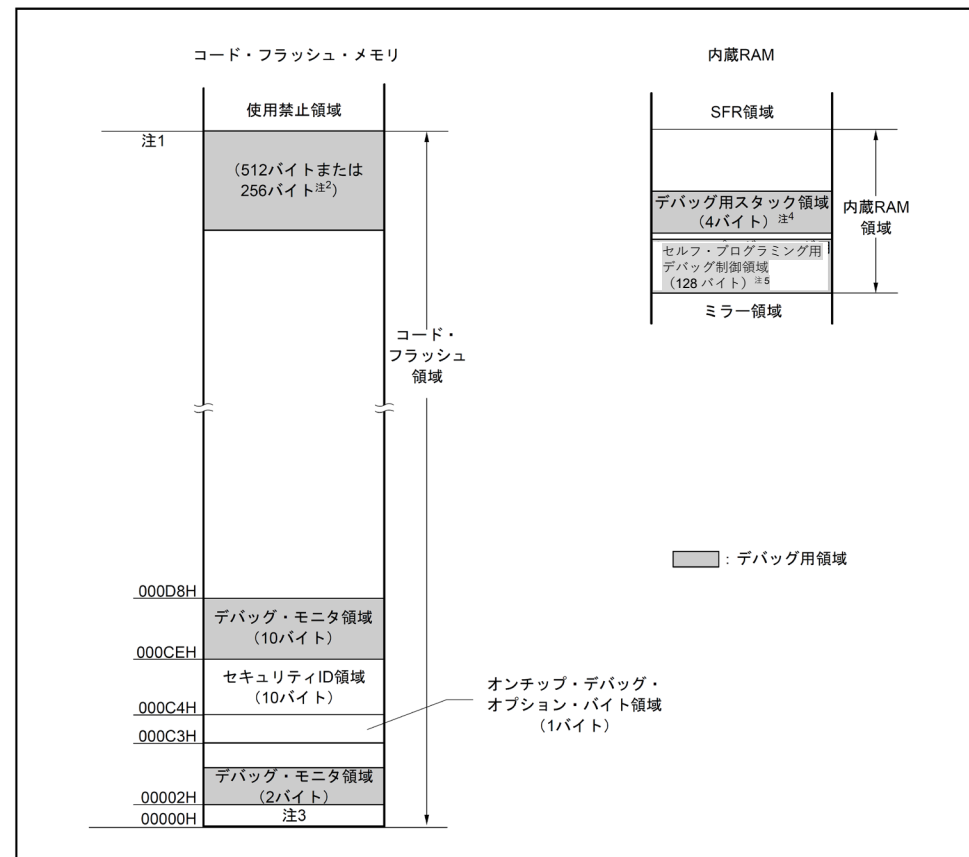
誤)

図34-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



正)

図34-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R7F100GxF (x = A-C, E-G, J, L)	17FFFFH
R7F100GxG (x = A-C, E-G, J, L, M, P)	1FFFFFH
R7F100GxH (x = A-C, E-G, J, L, M, P)	2FFFFFH
R7F100GxJ (x = A-C, E-G, J, L, M, P, S)	3FFFFFH
R7F100GxK (x = F, G, J, L, M, P, S)	5FFFFFH
R7F100GxL (x = F, G, J, L, M, P, S)	7FFFFFH
R7F100GxN (x = F, G, J, L, M, P, S)	BFFFFFH

- 注2. リアルタイムRAMモニタ (RRM) 機能、Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。
- 注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
- 注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。
セルフ・プログラミングを行う場合は、12バイト余分に消費します。

注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R7F100GxF (x = A-C, E-G, J, L)	17FFFFH
R7F100GxG (x = A-C, E-G, J, L, M, P)	1FFFFFH
R7F100GxH (x = A-C, E-G, J, L, M, P)	2FFFFFH
R7F100GxJ (x = A-C, E-G, J, L, M, P, S)	3FFFFFH
R7F100GxK (x = F, G, J, L, M, P, S)	5FFFFFH
R7F100GxL (x = F, G, J, L, M, P, S)	7FFFFFH
R7F100GxN (x = F, G, J, L, M, P, S)	BFFFFFH

- 注2. リアルタイムRAMモニタ (RRM) 機能、Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。
- 注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
- 注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。
セルフ・プログラミングを行う場合は、12バイト余分に消費します。
- 注5. オンチップ・デバッグは、セルフ・プログラミングのブレイク用に次に示す製品のRAM領域 (128バイト) を使用します。

対象製品と RAM 領域は以下の通りです。

製品名	使用する RAM 領域 (128 バイト)
R7F100GxG (x = A, B, C, E, F, G, J, L)	FBF00H-FBF7F
R7F100GxJ (x = A, B, C, E, F, G, J, L, M)	F9F00H-F9F7FH
R7F100GxL (x = F, G, J, L, M, P, S)	F3F00H-F3F7FH
R7F100GxN (x = F, G, J, L, M, P, S)	F3F00H-F3F7FH

オンチップ・デバッグでセルフプログラミング中にデバッグを行わない設定にした場合は、上記RAM領域を使用しません。

セルフ・プログラミングのデバッグの設定は、各統合開発環境のユーザーズ・マニュアルを参照してください。

15. 第 37 章 電気的特性 (p.1405)

誤)

第 37 章 電気的特性 $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$

正)

第 37 章 電気的特性

この章では、以下の対象製品の電気的特性を示します。

・対象製品2D：民生用途 $T_A = -40 \sim +85^{\circ}\text{C}$

R7F100Gxx2Dxx

・対象製品3C：産業用途 $T_A = -40 \sim +105^{\circ}\text{C}$

R7F100Gxx3Cxx

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. 2D：民生用途の製品は、 $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ を $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ に置き換えてください。

注意3. EVDD0, EVDD1, EVSS0, EVSS1端子がない製品は、EVDD0とEVDD1をVDDに、EVSS0とEVSS1をVSSに置き換えてください。

注意4. 製品により搭載している端子が異なります。2.1 ポートの端子機能～2.2.1 製品別の搭載機能を参照してください。

16. 37.1 絶対最大定格 (p.1405, p.1406)

誤)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0, EVDD1	EVDD0 = EVDD1	-0.5 ~ +6.5	V
	EVSS0, EVSS1	EVSS0 = EVSS1	-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.1 かつ -0.3 ~ VDD + 0.3注1	V
入力電圧	V11	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3注2	V
	V12	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	V13	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3注2	V
出力電圧	Vo1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3注2	V
	Vo2	P20-P27, P150-P156	-0.3 ~ VDD + 0.3注2	V
アナログ入力電圧	VAI1	ANI16-ANI26	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREFP + 0.3注2, 3	V
	VAI2	ANI0-ANI14	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREFP + 0.3注2, 3	V

正)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0, EVDD1	EVDD0 = EVDD1	-0.5 ~ +6.5	V
	EVSS0, EVSS1	EVSS0 = EVSS1	-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.1 かつ -0.3 ~ VDD + 0.3注1	V
入力電圧	V11	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3注2	V
	V12	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	V13	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3注2	V
出力電圧	Vo1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3注2	V
	Vo2	P20-P27, P121, P122, P150-P156	-0.3 ~ VDD + 0.3注2	V
アナログ入力電圧	VAI1	ANI16-ANI26	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREFP + 0.3注2, 3	V
	VAI2	ANI0-ANI14	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREFP + 0.3注2, 3	V

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	-100	mA
	IOH2	1端子	P20-P27, P121-P124 , P150-P156	-0.5	mA
		端子合計		-2	mA
	ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40注
端子合計 170 mA			P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA
IOL2		1端子	P20-P27, P121-P124 , P150-P156	1	mA
		端子合計		5	mA
動作周囲温度		TA	通常動作時		-40 ~ +105
	フラッシュ・メモリ・プログラミング時				
保存温度	Tstg			-65 ~ +150	°C

項目	略号	条件		定格	単位	
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-40	mA	
		端子合計 -170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	-70	mA	
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	-100	mA	
	IOH2	1端子	P20-P27, P121, P122 , P150-P156	-5	mA	
		端子合計		-20	mA	
	ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40注	mA
端子合計 170 mA			P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA	
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA	
IOL2		1端子	P20-P27, P121, P122 , P150-P156	10	mA	
		端子合計		20	mA	
動作周囲温度		TA	通常動作時		3C：産業用途	-40 ~ +105
	2D：民生用途				-40 ~ +85	
	フラッシュ・メモリ・プログラミング時		3C：産業用途	-40 ~ +105		
			2D：民生用途	-40 ~ +85		
保存温度	Tstg			-65 ~ +150	°C	

17. 37.2 発振回路特性 (p.1407)

誤)

37.2 発振回路特性

37.2.1 X1, XT1 発振回路特性

(TA = -40 ~ +105°C, 2.4V ≤ VDD ≤ 5.5V (30~36ピン製品), 1.6V ≤ VDD ≤ 5.5V (40~128ピン製品), VSS = 0V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振許容入力周期 注	セラミック発振子/水晶振動子		0.05		1	μs
XT1クロック発振周波数 (fXT) 注	水晶振動子			32.768		kHz

注 発振回路の許容範囲を示すものです。必ず実装回路上で評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、AC特性を参照してください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

正)

37.2 発振回路特性

37.2.1 X1 発振回路特性

(TA = -40 ~ +105°C, 1.6V ≤ VDD ≤ 5.5V, VSS = 0V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振許容入力周期 注	セラミック発振子/水晶振動子		0.05		1	μs

注 発振回路の許容範囲を示すものです。必ず実装回路上で評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、AC特性を参照してください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

37.2.2 XT1 発振回路特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 5.5 V (30~36ピン製品), 1.6 V ≤ VDD ≤ 5.5 V (40~128ピン製品), VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
XT1クロック発振周波数 (fXT) 注	水晶振動子			32.768		kHz

注 発振回路の許容範囲を示すものです。必ず実装回路上で評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、AC特性を参照してください。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (7/7)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力 リーク電流	ILIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147 Vi = EVDD0			0.5	μA
	ILIH2	P20-P27, P137, P150-P156, RESET Vi = VDD			0.5	μA
	ILIH3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS) Vi = VDD			0.5	μA
ロウ・レベル入力 リーク電流	ILIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147 Vi = EVSS0			0.5	μA
	ILIL2	P20-P27, P137, P150-P156, RESET Vi = VSS			0.5	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS) Vi = VSS			0.5	μA
内蔵プリアップ抵抗	RU	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120-P122, P125-P127, P140-P147 Vi = EVSS0, 入力ポート時	10	20	100	kΩ

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (7/7)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力 リーク電流	ILIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147 Vi = EVDD0			0.5	μA
	ILIH2	P20-P27, P137, P150-P156, RESET Vi = VDD			0.5	μA
	ILIH3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS) Vi = VDD			0.5	μA
	ILIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147 Vi = EVSS0			-0.5	μA
ロウ・レベル入力 リーク電流	ILIL2	P20-P27, P137, P150-P156, RESET Vi = VSS			-0.5	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS) Vi = VSS			-0.5	μA
	内蔵プリアップ抵抗	RU	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120-P122, P125-P127, P140-P147 Vi = EVSS0, 入力ポート時	10	20	100

19. 高速オンチップ・オシレータ動作電流 (p.1434)

誤)

(4) 周辺機能 (全製品共通)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ動作電流	IFIH注1	HIPREC = 0		240	—	μA
		HIPREC = 1		380	—	μA
中速オンチップ・オシレータ動作電流	IFIM注1			20	—	μA
低速オンチップ・オシレータ動作電流	IFIL注1			0.3	—	μA
RTC動作電流	IRTC注1, 2, 3	fRTCCLK = 32.768 kHz		0.005	—	μA
		fRTCCLK = 128 Hz		0.002	—	μA
32ビット・インターバル・タイマ動作電流	IIT注1, 2, 4			0.04	—	μA

正)

(4) 周辺機能 (全製品共通)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ動作電流	IFIH注1			380	—	μA
中速オンチップ・オシレータ動作電流	IFIM注1			20	—	μA
低速オンチップ・オシレータ動作電流	IFIL注1			0.3	—	μA
RTC動作電流	IRTC注1, 2, 3	fRTCCLK = 32.768 kHz		0.005	—	μA
		fRTCCLK = 128 Hz		0.002	—	μA
32ビット・インターバル・タイマ動作電流	IIT注1, 2, 4			0.04	—	μA

20. 37.4 AC 特性 (p.1437)

誤)

37.4 AC 特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs	
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs	
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs	
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs	
			LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V		0.5		1	μs
				サブシステム・クロック (fSUB) 動作		1.8 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3
		セルフ・プログラミング時	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V		0.03125		1	μs
				1.6 V ≤ VDD ≤ 1.8 V		0.5		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V		0.04167		1	μs
				1.6 V ≤ VDD ≤ 1.8 V		0.5		1	μs

正)

37.4 AC 特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs	
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs	
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs	
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs	
			LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V		0.5		1	μs
				サブシステム・クロック (fSUB) 動作		1.6 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3
		セルフ・プログラミング時	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V		0.03125		1	μs
				1.6 V ≤ VDD ≤ 1.8 V		0.5		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V		0.04167		1	μs
				1.6 V ≤ VDD ≤ 1.8 V		0.5		1	μs

21. 37.6.1 A/D コンバータ特性 (p.1478, p.1479)

誤)

(2) 低電圧モード1, 2

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,

基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM (ADREFM = 1),

変換対象: ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
分解能	RES		8		12	bit		
変換クロック	fAD		1		24	MHz		
総合誤差注1, 3, 4, 5	AINL	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V				±9	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V				±11.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V				±12.0	LSB
変換時間注6	tCONV	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			µs	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.0			µs	
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.0			µs	
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.0			µs	
ゼロスケール誤差注1, 2, 3, 4, 5	EzS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V				±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V				±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V				±0.28	%FSR
フルスケール誤差注1, 2, 3, 4, 5	EFS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V				±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V				±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V				±0.28	%FSR
積分直線性誤差注1, 4, 5	ILE	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V				±4.0	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V				±4.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V				±4.5	LSB
微分直線性誤差注1	DLE	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB	
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB	
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB	
アナログ入力電圧	VAIN		0		AVREFP	V		

正)

(2) 低電圧モード1, 2

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,

基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM (ADREFM = 1),

変換対象: ANI2-ANI14, 内部基準電圧注7, 温度センサ出力電圧注7)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
分解能	RES		8		12	bit		
変換クロック	fAD		1		24	MHz		
総合誤差注1, 3, 4, 5	AINL	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V				±9	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V				±11.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V				±12.0	LSB
変換時間注6	tCONV	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			µs	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.0			µs	
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.0			µs	
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.0			µs	
ゼロスケール誤差注1, 2, 3, 4, 5	EzS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V				±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V				±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V				±0.28	%FSR
フルスケール誤差注1, 2, 3, 4, 5	EFS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V				±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V				±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V				±0.28	%FSR
積分直線性誤差注1, 4, 5	ILE	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V				±4.0	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V				±4.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V				±4.5	LSB
微分直線性誤差注1	DLE	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB	
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB	
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB	
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB	
アナログ入力電圧	VAIN		0		AVREFP	V		

- 注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。
- 注2. フルスケール値に対する比率 (%FSR) で表します。
- 注3. 変換対象に ANI16-31 を選択した場合、Max値は次のようになります。
 総合誤差 : Max値に ± 3 LSBを加算してください
 ゼロスケール誤差/フルスケール誤差 : Max値に ± 0.04 %FSRを加算してください
- 注4. 基準電圧 (+) にVDD、基準電圧 (-) にVSSを選択した場合、Max値は次のようになります。
 総合誤差 : Max値に ± 10 LSBを加算してください
 ゼロスケール誤差/フルスケール誤差 : Max値に ± 0.25 %FSRを加算してください
 積分直線性誤差 : Max値に ± 4 LSBを加算してください
- 注5. AVREFP < VDDの場合、Max値は次のようになります。
 総合誤差/ゼロスケール誤差/フルスケール誤差 : Max値に ± 0.75 LSB \times (VDD電圧 (V) - AVREFP電圧 (V))を加算してください
 積分直線性誤差 : Max値に ± 0.2 LSB \times (VDD電圧 (V) - AVREFP電圧 (V))を加算してください
- 注6. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μ s以上にする必要があります。そのため、サンプリング時間が長い低電圧モード2、かつ変換クロック (fAD) は16 MHz以下で使用してください。

- 注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。
- 注2. フルスケール値に対する比率 (%FSR) で表します。
- 注3. 変換対象に ANI16-31 を選択した場合、Max値は次のようになります。
 総合誤差 : Max値に ± 3 LSBを加算してください
 ゼロスケール誤差/フルスケール誤差 : Max値に ± 0.04 %FSRを加算してください
- 注4. 基準電圧 (+) にVDD、基準電圧 (-) にVSSを選択した場合、Max値は次のようになります。
 総合誤差 : Max値に ± 10 LSBを加算してください
 ゼロスケール誤差/フルスケール誤差 : Max値に ± 0.25 %FSRを加算してください
 積分直線性誤差 : Max値に ± 4 LSBを加算してください
- 注5. AVREFP < VDDの場合、Max値は次のようになります。
 総合誤差/ゼロスケール誤差/フルスケール誤差 : Max値に ± 0.75 LSB \times (VDD電圧 (V) - AVREFP電圧 (V))を加算してください
 積分直線性誤差 : Max値に ± 0.2 LSB \times (VDD電圧 (V) - AVREFP電圧 (V))を加算してください
- 注6. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μ s以上にする必要があります。そのため、サンプリング時間が長い低電圧モード2、かつ変換クロック (fAD) は16 MHz以下で使用してください。
- 注7. 内部基準電圧、温度センサ出力電圧を変換対象にする場合は、 $1.8\text{ V} \leq V_{DD}$ で使用してください。

以上