

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシアル  
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0080A/J	Rev.	第1版
題名	RA6E2グループ、RA4E2グループ、JBRDRレジスタとJBTDRレジスタのアクセスサイズ修正		情報分類	技術情報	
適用製品	RA6E2 グループ RA4E2 グループ	対象ロット等  すべて	関連資料	Renesas RA6E2 グループ ユーザーズ マニュアル ハードウェア編 Rev1.10 Renesas RA4E2 グループ ユーザーズ マニュアル ハードウェア編 Rev1.10	

OCDFREG の JBMDR レジスタと JBMDR レジスタのアクセスサイズの記述を修正します。

[修正前]

表 2.13 OCDFREG のレジスタ一覧

名称		DAP ポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	Port 1	0x8000_0000	32 ビット	W
ID 認証コードレジスタ 1	IAUTH1	Port 1	0x8000_0100	32 ビット	W
ID 認証コードレジスタ 2	IAUTH2	Port 1	0x8000_0200	32 ビット	W
ID 認証コードレジスタ 3	IAUTH3	Port 1	0x8000_0300	32 ビット	W
MCU ステータスレジスタ	MCUSTAT	Port 1	0x8000_0400	32 ビット	R
MCU コントロールレジスタ	MCUCTRL	Port 1	0x8000_0410	32 ビット	R/W
JTAG ブートモード遷移レジスタ <sup>(注1)</sup>	JBMDR	Port 1	0x8001_1100 0x4001_b100 <sup>(注2)</sup>	32 ビット	R/W
JTAG ブート受信データレジスタ <sup>(注1)</sup>	JBRDR	Port 1	0x8001_1120 0x4001_b120 <sup>(注2)</sup>	8/16/32 ビット	R/W
JTAG ブート送信データレジスタ <sup>(注1)</sup>	JBTDR	Port 1	0x8001_1130 0x4001_b130 <sup>(注2)</sup>	8/16/32 ビット	R/W
JTAG ブートステータスレジスタ <sup>(注1)</sup>	JBSTR	Port 1	0x8001_1140 0x4001_b140 <sup>(注2)</sup>	32 ビット	R/W
JTAG ブート割り込みコントロールレジスタ <sup>(注1)</sup>	JBICR	Port 1	0x8001_1150 0x4001_b150 <sup>(注2)</sup>	32 ビット	R/W

注. OCDFREG は専用のOCD アドレス空間に配置されます。このアドレス空間はシステムのアドレス空間から独立しています。

注1. DAP とCPU の両方からアクセス可能です。その他はDAP のみです。

注2. CPU からアクセスする場合のアドレスです。

[修正後]

表 2.13 OCDREG のレジスタ一覧

名称		DAP ポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	Port 1	0x8000_0000	32 ビット	W
ID 認証コードレジスタ 1	IAUTH1	Port 1	0x8000_0100	32 ビット	W
ID 認証コードレジスタ 2	IAUTH2	Port 1	0x8000_0200	32 ビット	W
ID 認証コードレジスタ 3	IAUTH3	Port 1	0x8000_0300	32 ビット	W
MCU ステータスレジスタ	MCUSTAT	Port 1	0x8000_0400	32 ビット	R
MCU コントロールレジスタ	MCUCTRL	Port 1	0x8000_0410	32 ビット	R/W
JTAG ブートモード遷移レジスタ <sup>(注1)</sup>	JBMDR	Port 1	0x8001_1100 0x4001_b100 <sup>(注2)</sup>	32 ビット	R/W
JTAG ブート受信データレジスタ <sup>(注1)</sup>	JBRDR	Port 1	0x8001_1120 0x4001_b120 <sup>(注2)</sup>	32 ビット	R/W
JTAG ブート送信データレジスタ <sup>(注1)</sup>	JBTD	Port 1	0x8001_1130 0x4001_b130 <sup>(注2)</sup>	32 ビット	R/W
JTAG ブートステータスレジスタ <sup>(注1)</sup>	JBSTR	Port 1	0x8001_1140 0x4001_b140 <sup>(注2)</sup>	32 ビット	R/W
JTAG ブート割り込みコントロールレジスタ <sup>(注1)</sup>	JBICR	Port 1	0x8001_1150 0x4001_b150 <sup>(注2)</sup>	32 ビット	R/W

注. OCDREG は専用のOCD アドレス空間に配置されます。このアドレス空間はシステムのアドレス空間から独立しています。

注1. DAP とCPU の両方からアクセス可能です。その他はDAP のみです。

注2. CPU からアクセスする場合のアドレスです。