

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-R8C-A001B/J	Rev.	第2版
題名	R8C/32A グループ, R8C/33A グループ, R8C/35A グループ R8C/36A グループ, R8C/38A グループ, R8C/3GA グループ R8C/3JA グループの仕様変更について		情報分類	技術情報	
適用製品	R8C/32A, 33A, 35A, 36A, 38A, 3GA, 3JA グループ	対象ロット等	関連資料	---	

1. 連絡事項

R8C/32A, 33A, 35A, 36A, 38A, 3GA, 3JA グループにおいて、データシートおよびハードウェアマニュアルに記載の内容から仕様を一部変更します。

1-1. 仕様変更項目

- (1) 高速オンチップオシレータ機能の削除
- (2) フラッシュメモリのサスペンド機能に関する仕様変更
- (3) フラッシュメモリのサスペンド機能の電気的特性の変更

1-2. 対象ドキュメント

- ・ R8C/32A グループデータシート Rev.0.20 (RJJ03B0224-0020)
- ・ R8C/32A グループハードウェアマニュアル Rev.0.20 (RJJ09B0487-0020)
- ・ R8C/33A グループデータシート Rev.0.20 (RJJ03B0223-0020)
- ・ R8C/33A グループハードウェアマニュアル Rev.0.20 (RJJ09B0482-0020)
- ・ R8C/35A グループデータシート Rev.0.40 (RJJ03B0219-0040)
- ・ R8C/35A グループハードウェアマニュアル Rev.0.40 (RJJ09B0440-0040)
- ・ R8C/36A グループハードウェアマニュアル Rev.0.20 (RJJ09B0512-0020)
- ・ R8C/38A グループハードウェアマニュアル Rev.0.10 (RJJ09B0517-0010)
- ・ R8C/3GA グループハードウェアマニュアル Rev.0.20 (RJJ09B0501-0020)
- ・ R8C/3JA グループハードウェアマニュアル Rev.1.00 (RJJ09B0540-0100)

2. 仕様変更内容

2-1. 高速オンチップオシレータ機能の削除

高速オンチップオシレータ機能を削除します。

CPU クロックおよび周辺機能のクロックに高速オンチップオシレータクロックを選択しないでください。

1-2 項に示す対象ドキュメントにおいて、本書面の内容以外の高速オンチップオシレータに関する記載が無効になります。

2-1-1. クロック発生回路に関するレジスタの設定について

2-1-1-1. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

- (1) FRA00 ビットを“1”(高速オンチップオシレータ発振)に設定しないでください [図 2-1 参照]。
- (2) FRA01 ビットを“1”(fOCO クロックに高速オンチップオシレータを選択)に設定しないでください [図 2-1 参照]。
fOCO クロックはタイマ RA で使用します。
- (3) FRA03 ビットを“1”(fOCO128 クロックに fOCO-F の 128 分周を選択)に設定しないでください [図 2-1 参照]。
fOCO128 クロックはタイマ RC、RD で使用します。

2-1-1-2. システムクロック制御レジスタ 3 (CM3)

- (1) CM37, CM36 ビットを“10b”(ウェイトモード、ストップモードから復帰時の CPU クロックに高速オンチップオシレータクロックを選択)に設定しないでください [図 2-2 参照]。

2-1-1-3. 高速オンチップオシレータ制御レジスタ 1~7 (FRA1~FRA7)

(1) 高速オンチップオシレータの分周比選択に関するレジスタ(FRA2)および周波数調整に関するレジスタ(FRA1, FRA3~FRA7)は、設定しないでください。

2-1-2. タイマ RA に関するレジスタの設定について

2-1-2-1. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

(1) FRA01 ビットを“1”(fOCO クロックに高速オンチップオシレータを選択)に設定しないでください [図 2-1 参照]。
 タイマ RA のカウントソースに高速オンチップオシレータクロックを選択できません。

2-1-3. タイマ RC に関するレジスタの設定について

2-1-3-1. タイマ RC 制御レジスタ 1 (TRCCR1)

(1) TCK2~TCK0 ビットを“110b”(タイマ RC カウントソースに fOCO40M を選択)に設定しないでください [図 2-3 参照]。
 (2) TCK2~TCK0 ビットを“111b”(タイマ RC カウントソースに fOCO-F を選択)に設定しないでください [図 2-3 参照]。

2-1-3-2. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

(1) FRA03 ビットを“1”(fOCO128 クロックに fOCO-F の 128 分周を選択)に設定しないでください [図 2-1 参照]。
 タイマ RC のインプットキャプチャ機能において、TRCGRA レジスタのインプットキャプチャトリガ入力に fOCO-F の 128 分周を選択できません。

2-1-4. タイマ RD に関するレジスタの設定について(R8C/35A,36A,38A,3JA グループのみ*)

※ R8C/32A,33A,3GA グループにはタイマ RD はありません。

2-1-4-1. タイマ RD 制御レジスタ 0,1 (TRDCR0, TRDCR1)

(1) TCK2~TCK0 ビットを“110b”(タイマ RD カウントソースに fOCO40M を選択)に設定しないでください [図 2-4 参照]。
 (2) TCK2~TCK0 ビットを“111b”(タイマ RD カウントソースに fOCO-F を選択)に設定しないでください [図 2-4 参照]。

2-1-4-2. 高速オンチップオシレータ制御レジスタ 0(FRA0)

(1) FRA03 ビットを“1”(fOCO128 クロックに fOCO-F の 128 分周を選択)に設定しないでください [図 2-1 参照]。
 タイマ RD のインプットキャプチャ機能において、TRDGRA0 レジスタのインプットキャプチャトリガ入力に fOCO-F の 128 分周を選択できません。

2-1-5. A/D コンバータに関するレジスタの設定について

2-1-5-1. A/D モードレジスタ (ADM0D)

(1) CKS2 ビットを“1”(A/D コンバータの動作クロック源に fOCO-F を選択)に設定しないでください [図 2-5 参照]。

高速オンチップオシレータ制御レジスタ 0 (FRA0)

アドレス 0023h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0: 低速オンチップオシレータ選択 (注2) 1: 高速オンチップオシレータ選択	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0: fOCO-Sの128分周を選択 1: fOCO-Fの128分周を選択	R/W
b4	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。	—	—
b5	—	—	—	—
b6	—	—	—	—
b7	—	—	—	—

設定しないでください。

設定しないでください。

設定しないでください。

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14=0(低速オンチップオシレータ発振)
- FRA2レジスタのFRA22~FRA20ビットが VCC=2.7V~5.5Vの場合は全分周モード設定可能 “000b” ~ “111b”
VCC=1.8V~5.5Vの場合は8分周以上の分周比 “110b” ~ “111b” (8分周モード以上)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

図 2-1. 高速オンチップオシレータ制御レジスタ 0(FRA0)の設定

システムクロック制御レジスタ3 (CM3)

アドレス 0009h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b2	—	—	—	—
b3	—	予約ビット	“0”にしてください。	R/W
b4	—	—	—	—
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 高速オンチップオシレータクロックを選択(注3) 11: XINクロックを選択(注4)	R/W
b7	CM37			R/W

設定しないでください。

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注2. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
 - FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
 - FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)
- 注3. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
 - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
 - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

図 2-2. システムクロック制御レジスタ 3 (CM3) の設定

タイマRC制御レジスタ1 (TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 000: f1	R/W
b5	TCK1		001: f2	R/W
b6	TCK2		010: f4	R/W
			011: f8 100: f32 101: TRCLK入力の立ち上がりエッジ 110: fOCO40M 111: fOCO-F(注2)	R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: インพุットキャプチャまたはTRCGRAのコンペアー致でTRCカウンタをクリア	R/W

設定しないでください。

- 注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
- 注2. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

図 2-3. タイマ RC 制御レジスタ 1 (TRCCR1) の設定

タイマRD制御レジスタ i (TRDCRi)(i=0~1)

アドレス 0140h番地 (TRDCR0)、0150h番地 (TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1	R/W
b1	TCK1		0 0 1 : f2	R/W
b2	TCK2		0 1 0 : f4	R/W
			0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注5)	
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント	R/W
b4	CKEG1		0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作)	R/W
b6	CCLR1		0 0 1 : TRDGRAiのインプットキャプチャでクリア	R/W
b7	CCLR2		0 1 0 : TRDGRBiのインプットキャプチャでクリア	R/W
			0 1 1 : 同期クリア(他のタイマRDiのカウンタと同時にクリア)(注4) 1 0 0 : 設定しないでください 1 0 1 : TRDGRCiのインプットキャプチャでクリア 1 1 0 : TRDGRDiのインプットキャプチャでクリア 1 1 1 : 設定しないでください	

設定しないでください。

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2. タイマモードで、TRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。
 注3. TCK2~TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。
 注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

図 2-4. タイマ RD 制御レジスタ 0, 1 (TRDCR0, TRDCR1) の設定

A/Dモードレジスタ (ADMOD)

アドレス 00D4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	CKS0	分周選択ビット	b1 b0 0 0 : fADの8分周	R/W	
b1	CKS1		0 1 : fADの4分周 1 0 : fADの2分周 1 1 : fADの1分周(分周なし)	R/W	
b2	CKS2		クロック源選択ビット(注1)	0 : f1を選択 1 : fOCO-Fを選択	R/W
b3	MD0		A/D動作モード選択ビット	b5 b4 b3 0 0 0 : 単発モード	R/W
b4	MD1	0 0 1 : 設定しないでください		R/W	
b5	MD2	0 1 0 : 繰り返しモード0		R/W	
		0 1 1 : 繰り返しモード1 1 0 0 : 単掃引モード 1 0 1 : 設定しないでください 1 1 0 : 繰り返し掃引モード 1 1 1 : 設定しないでください			
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 0 0 : ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始	R/W	
b7	ADCAP1		0 1 : タイマRDからの変換トリガによるA/D変換開始 1 0 : タイマRCからの変換トリガによるA/D変換開始 1 1 : 外部トリガ(ADTRG)によるA/D変換開始	R/W	

設定しないでください。

注1. CKS2ビットを変更したときは、φADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADMODレジスタの内容を書き換えた場合、変換結果は不定になります。

図 2-5. A/Dモードレジスタ (ADMOD) の設定

2-2. フラッシュメモリのサスペンド機能に関する仕様変更

フラッシュメモリのサスペンド機能において、自動消去中断中にプログラム動作ができません [図 2-6 参照]。

サスペンド中に実行できる動作

実行できません*。

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレーズ実行ブロック)			データフラッシュ (サスペンド移行前の イレーズ未実行ブロック)			プログラムROM (サスペンド移行前の イレーズ実行ブロック)			プログラムROM (サスペンド移行前の イレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド 移行前の イレーズ 実行領域	データ フラッシュ	×	×	×	×	⊖	○	—	—	—	×	⊖	○(注5)
	プログラム ROM	—	—	—	×	⊖	○	×	×	×	×	⊖	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし
 注2. プログラム中はサスペンドできません。
 注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。
 クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”(レディ)で実行できます。
 サスペンド中、ブロックブランクチェックは動作禁止です。
 注4. イレーズサスペンド移行直後は、リードアレイモードになります。
 注5. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO機能によりプログラムROM領域を読み出すことができます。

※ ⊖ は、データフラッシュドライバを使用する場合も実行できません。

図 2-6. フラッシュメモリのサスペンド機能に関する仕様変更

2-3. フラッシュメモリのサスペンド機能の電気的特性の変更

フラッシュメモリの自動消去中のサスペンドの間隔を 33ms 以上あけるようにしてください [図 2-7 参照]。

フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	イレーズ開始または再開から次のサスペンド要求までの間隔		⊖	—	—	ms
—	自動消去が終了するために必要なサスペンド間隔		≥20	—	—	ms

注1. 指定のない場合は、Vcc = 2.7V~5.5V、Topr = 0°C~60°Cです。

フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	イレーズ開始または再開から次のサスペンド要求までの間隔		⊖	—	—	ms
—	自動消去が終了するために必要なサスペンド間隔		≥3	—	—	ms

注1. 指定のない場合は、Vcc = 2.7V~5.5V、Topr = -20°C~85°C(Nバージョン)/-40°C~85°C(Dバージョン)です。

図 2-7. フラッシュメモリのサスペンド機能の電気的特性

2-4. XCIN クロックの使用に関する注意事項

R8C/33A, 32A, 3GA グループでは、XIN-XOUT 端子と XCIN-XCOUT 端子は兼用端子(P4_6、P4_7 端子)です。XIN クロックを使用する場合は XCIN クロックを使用できません。

3. 今後の予定

高速オンチップオシレータ搭載版については、営業部門にお問い合わせください。

以上