

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
 株式会社 ルネサス テクノロジ
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-R8C-A011A/J	Rev.	第1版
題名	R8C ファミリ I ² C バスインタフェース機能に関する注意事項		情報分類	技術情報	
適用製品	下記参照	対象ロット等	関連資料	-	

下記適用製品におきまして、I²C バスインタフェース機能を I²C バスインタフェースモードで使用する場合、以下の内容に注意してください。

1. 適用製品

R8C/16 グループ、R8C/17 グループ、R8C/1A グループ、R8C/1B グループ、
 R8C/20 グループ、R8C/21 グループ、R8C/22 グループ、R8C/23 グループ、R8C/24 グループ、R8C/25 グループ、
 R8C/26 グループ、R8C/27 グループ、R8C/28 グループ、R8C/29 グループ、
 R8C/2A グループ、R8C/2B グループ、R8C/2C グループ、R8C/2D グループ、
 R8C/32A グループ、R8C/32C グループ、R8C/33A グループ、R8C/33C グループ、R8C/34C グループ、
 R8C/35A グループ、R8C/35C グループ、R8C/36A グループ、R8C/36C グループ、
 R8C/38A グループ、R8C/38C グループ、R8C/3GA グループ、R8C/3JA グループ、
 R8C/L3AA グループ、R8C/L3AB グループ、R8C/L3AC グループ、
 R8C/L38A グループ、R8C/L38B グループ、R8C/L38C グループ、
 R8C/L36A グループ、R8C/L36B グループ、R8C/L36C グループ、
 R8C/L35A グループ、R8C/L35B グループ、R8C/L35C グループ

2. マスタ受信モード時の注意事項

2-1. 注意事項

マスタ受信完了後、停止条件の発行または開始条件の再発行が SCL の 9 クロック目の立ち下がり重なった場合、9 クロック目の後に、SCL が 1 クロック余分に出力されます。

2-2. 対策

マスタ受信完了後、SCL の 9 クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCL の 9 クロック目の立ち下がりには、次の方法で確認してください。

ICSR レジスタの RDRF ビット(受信データレジスタフルフラグ)が “1” になったことを確認後、ICCR2 レジスタの SCLO ビット(SCL モニタフラグ)が “0” (SCL 端子は “L”) になったことを確認してください。

3. ICCR1 レジスタの ICE ビットおよび ICCR2 レジスタの IICRST ビットの注意事項

3-1. 注意事項

I²C バスインタフェース動作中に、ICE ビットに“0”、または IICRST ビットに“1”を書くと、ICCR2 レジスタの BBSY ビットと ICSR レジスタの STOP ビットが不定になる場合があります。

3-2. ビットが不定になる条件

- マスタ送信モード(ICCR1 レジスタの MST、TRS ビットが“1”)において、本モジュールが I²C のバスを占有しているとき。
- マスタ受信モード(MST ビットが“1”、TRS ビットが“0”)において、本モジュールが I²C のバスを占有しているとき。
- スレーブ送信モード(MST ビットが“0”、TRS ビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRS ビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

3-3. 対策

- 開始条件(SCL が“H”のときの SDA 立ち下がり)が入力されると、BBSY ビットは“1”になります。
- 停止条件(SCL が“H”のときの SDA 立ち上がり)が入力されると、BBSY ビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDA とともに“H”の状態、BBSY ビットに“1”、SCP ビットに“0”を書き、開始条件(SCL が“H”のときの SDA 立ち下がり)が出力されると、BBSY ビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDA が“L”の状態、かつ本モジュール以外に SCL を“L”にするデバイスがない状態で、BBSY ビットに“0”、SCP ビットに“0”を書き、停止条件(SCL が“H”のときの SDA 立ち上がり)が出力されると、BBSY ビットは“0”になります。
- SAR レジスタの FS ビットに“1”を書くと、BBSY ビットは“0”になります。

3-4. IICRST ビットの補足説明

- IICRST ビットに“1”を書くと、ICCR2 レジスタの SDAO ビットおよび SCLO ビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRST ビットに“1”を書くと、ICSR レジスタの TDRE ビットは“1”になります。
- IICRST ビットによる I²C バス制御部のリセット期間中は、BBSY ビット、SCP ビット、SDAO ビットへの書き込みは無効ですので、書き込み前に IICRST ビットに“0”を書いてください。
- IICRST ビットに“1”を書いても、BBSY ビットは“0”になりません。しかし、SCL、SDA の状態によっては、停止条件(SCL が“H”のときの SDA 立ち上がり)が生成され、そのことにより、BBSY ビットが“0”になる場合があります。同様に、他のビットにも影響が発生する場合があります。
- IICRST ビットによる I²C バス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA 端子へ入力された信号によっては、ICCR1 レジスタ、ICCR2 レジスタ、ICSR レジスタの値が更新される場合があります。

以上