

# マイクロコンピュータ技術情報

技術通知 V850E/IA3,IA4,V850ES/IK1 用 インサーキット・エミュレータ QB-V850EIA4 使用制限事項の件		発行番号	ZBG-CD-05-0081号	1/3
		発行日	2005年 10月 28日	
		発行元	NEC エレクトロニクス株式会社 第四システム事業本部 汎用マイコンシステム事業部 開発ツールグループ	
文書分類	<input type="radio"/> 使用制限事項	<input type="checkbox"/> バージョンアップ	<input type="checkbox"/> ドキュメント誤記訂正(正誤表)	<input type="checkbox"/> その他
関連資料	QB-V850EIA4 ユーザーズ・マニュアル		資料番号:U17167JJ1V0UM	

CP(K),O

## 1. 対象製品

製品名	管理記号 <sup>注</sup>	備考
QB-V850EIA4-xxx-yyy	A, B, C	xxx,yyy は任意のオーダー・コード

注: 管理記号の見分け方については、別紙を参照してください。

## 2. 新たな制限事項

今回新たに No.11, 12 の制限事項を追加させていただきました。制限事項の詳細は別紙を参照してください。

No.11: フェイル・セーフ・ブレークが動作しない制限事項

No.12: 内蔵 RAM でプログラム実行時のイリーガル・ブレーク制限事項2

また、No.4 の制限事項について、誤記がありましたので訂正させていただきます。なお、一部恒久的な制限事項とさせていただきます。

➤ 訂正箇所 制限事項 No.5「内蔵 RAM でのプログラム実行と DMA 転送に関する不具合」

➤ 訂正前

【内 容】 内蔵 RAM を対象とした DMA 転送を実行しており、かつ内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1) もしくは、ミス・アライン・アドレスに対するデータ・アクセス命令を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。  
デッド・ロック中はリセットのみ受付可能です (NMI も割り込みも受け付けられません)。

【回避策】 以下のいずれかの方法により、回避をお願いいたします。

- ・内蔵 RAM 上に配置された命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA を実行する場合は、内蔵 RAM 上に配置された命令実行を行わない。

管理記号 B 以上で修正済みです。

### ➤ 訂正後

【内 容】 下記(1)または(2)の命令実行と内蔵 RAM を対象とした DMA 転送を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。

デッド・ロック中はリセットのみ受付可能です(NMI 割り込みも受け付けられません)。

- (1) 内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1)
- (2) 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令

【回避策】 以下のいずれかの方法により、回避をお願いいたします。

- (1) 内蔵 RAM で実行した命令がビット操作命令 (SET1, CLR1, NOT1) の場合
  - ・ 内蔵 RAM 上に配置されたビット操作命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
  - ・ 内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたビット操作命令を実行しない。

管理記号 B 以上で修正済みです。

- (2) 内蔵 RAM で実行した命令がミス・アライン・アドレスに対するデータ・アクセス命令の場合
  - ・ 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
  - ・ 内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行しない。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

## 3. 回避策

今回追加した制限事項の回避策については、別紙を参照してください。

## 4. 改善計画

No.11: 管理記号 C 以上で修正済みです。

No.12: 申し訳ありませんが、改善計画はありません。

## 5. 制限事項一覧

添付別紙をご参照ください。

## 6. 発行文書履歴

V850E/IA3, IA4, V850ES/IK1 用インサーキット・エミュレータ QB-V850EIA4 使用制限事項の件

文書番号	発行日	記事
ZBG-CD-04-0040	2004.08.16	初版
ZBG-CD-05-0046	2005.05.20	No.10 の追加
ZBG-CD-05-0081	2005.10.28	No.11,12 の追加 No.4 の誤記修正

以上

## QB-V850EIA4 使用上の注意

本文書はエミュレータのみが該当する制限事項、およびエミュレータで修正予定のある制限事項を記載しています。対象デバイスの制限事項については下記文書に記載されておりますので、合わせてお読みください。

- ・対象デバイスのユーザーズ・マニュアル
- ・対象デバイスの制限事項文書

また、エミュレータの注意事項についてはエミュレータのユーザーズ・マニュアルに掲載されております。こちらも合わせてお読みください。

## 1. 製品バージョン

管理記号 <sup>注</sup>	備考
A	-
B	管理記号 A の不具合修正版(No.1~4, No.6~9)
C	管理記号 B の不具合修正版(No.10, 11)

注)管理記号とは、ご購入時(バージョンアップを行っていない)は、IECUBE 本体底面のシールに記載されている 10 桁のシリアル・ナンバーの左から 2 桁目の記号です。

管理記号は次に示すようにデバッグ動作時に確認することもできます。

バージョンアップを行っている場合は、以下の方法により確認してください。

➤ ID850QB の場合

[ヘルプ]→[バージョン情報]で確認します。

IECUBE V850 \*\*\*\* X \*\*.\*\*.の X が管理記号になります。



➤ Green Hills Software™(GHS)社製デバッグ MULTI®の場合

850eserv の version コマンドで確認します。

IECUBE Control Code=X の X が管理記号になります。

```
850eserv Version: 3.2342 (for MULTI V4.0.x)
IE type=NU85E Full ICE Generation 2 (IECUBE)
Executor Version=V850 G2 Executor V1.63 Copyright 2004
Device File Format Version=V2.18
Device File File Version=V2.10
IECUBE Control Code=B
IECUBE Firmware Version=V1.10
Control Board Version=V2.02 (FPGA Version=0.01)
CPU Board Version=V3.00
I/O Board Version=V1.01 (FPGA Version=0.01)
```

## 2. 製品履歴

No	仕様変更・追加／不具合事項		管理記号		
			A	B	C
1	ブレーク時の UAnRX レジスタ・アクセス不具合		×	○	○
2	ブレーク時の CBnRX レジスタ・アクセス不具合		×	○	○
3	DMA 転送強制終了に関する不具合		×	○	○
4	内蔵 RAM でのプログラム実行と DMA 転送に関する不具合	(1)ビット操作命令	×	○	○
		(2)ミス・アライン・アクセス	恒久的な制限事項		
5	内蔵 RAM でプログラム実行時のイリーガル・ブレーク制限事項1		恒久的な制限事項		
6	ブレーク中のリセット入力制限事項		×	○	○
7	ウォッチドッグ・タイマのリセット発生によるハングアップ制限事項		×	○	○
8	モータ制御機能のデッドタイムに関する制限事項		×	○	○
9	タイマ M(TMM)に関する制限事項		×	○	○
10	ブレーク時の A/D 変換機能不具合		×	×	○
11	フェイル・セーフ・ブレークが動作しない制限事項		×	×	○
12	内蔵 RAM でプログラム実行時のイリーガル・ブレーク制限事項2		恒久的な制限事項		

×:該当する ○:該当しない, または修正済み

### 3. 不具合および仕様追加事項詳細

#### No.1 ブレーク時の UAnRX レジスタ・アクセス不具合

【内容】下記(a)~(c)の状況でオーバーラン・エラーが発生します。

- (a)UART 受信バッファ・レジスタ(UAnRX)をリード後ブレークし、デバッガの I/O レジスタ・ウィンドウで UAnRX レジスタを表示すると、次回 UART 受信動作時にオーバーラン・エラーが発生
- (b)UART 受信バッファ・レジスタ(UAnRX)をリードした直後にソフトウェア・ブレークが発生すると、I/O レジスタ・ウィンドウで表示する/しないにかかわらず、次回 UART 受信動作時にオーバーラン・エラーが発生
- (c)ブレーク中に UART 受信バッファ・レジスタ(UAnRX)を転送元とする DMA 転送が発生すると、次回 UART 受信動作時にオーバーラン・エラーが発生

注:RAM モニタ機能, DMM 機能によるブレーク中を含みます。ただし, リアルタイム RAM モニタ機能はブレークしないため問題ありません。

※ブレーク中に UART がデータを複数回受信した場合もオーバーラン・エラーが発生します。

これはエミュレータの仕様です。

(n=0~1)

【回避策】次に示す方法により回避してください。

- (a)I/O レジスタ・ウィンドウで UAnRX レジスタの表示を行わないでください。
- (b)UAnRX レジスタをリードした直後にブレークを設定する場合, ハードウェア・ブレークを設定してください。
- (c)申し訳ありませんが, 回避策はありません。

(a)~(c)に関して, QB-V850EIA4 の管理記号 B 以上と, 下表のデバイス・ファイル・バージョンで修正済みです。

対象デバイス	デバイス・ファイル名 (パッケージ名称)	デバイス・ファイルのバージョン (パッケージ・バージョン)
V850E/IA4	DF703186	V2.00 以上
V850E/IA3		
V850ES/IK1	DF703329	V1.00 以上

修正後は I/O レジスタ・ウィンドウで UART 受信バッファ・レジスタ(UAnRX)の値がアスタリスク(\*)の表示になります。値を参照したい場合, I/O レジスタ・ウィンドウ上で UART 受信バッファ・レジスタ(UAnRX)にカーソルを合わせて, 右クリック→「強制読み込み」で参照してください。

(n=0~1)

## No.2 ブレーク時の CBnRX レジスタ・アクセス不具合

【内容】 CSIBn 受信データ・レジスタ(CBnRX)はリードすると、次の受信動作を開始するのが本来の動作ですが、下記(a), (b)の状況では CBnRX をリードしても受信動作が開始されません。このため、

- ・通信が停止してしまう
- ・DMA コントローラが停止してしまう

と言った現象が発生します。(V850E/IA4 と V850E/IA3 の場合 :n=0~1。V850ES/IK1 の場合 :n=0)

(a)CSIBn 受信データ・レジスタ(CBnRX)をリードした直後にソフトウェア・ブレークが発生した場合

(b)ブレーク中に CSIBn 受信データ・レジスタ(CBnRX)を転送元とする DMA 転送が発生した場合

注:RAM モニタ機能, DMM 機能によるブレーク中を含みます。ただし、リアルタイム RAM モニタはブレークしないため問題ありません。

【回避策】 次に示す方法により回避してください。

- (a)CBnRX レジスタをリードした直後にブレークを設定する場合、ハードウェア・ブレークを設定してください。  
 (b)申し訳ありませんが、回避策はありません。

(a), (b)に関して、QB-V850EIA4 の管理記号 B 以上と、下表のデバイス・ファイル・バージョンで修正済みです。

対象デバイス	デバイス・ファイル名 (パッケージ名称)	デバイス・ファイルのバージョン (パッケージ・バージョン)
V850E/IA4	DF703186	V2.00 以上
V850E/IA3		
V850ES/IK1	DF703329	V1.00 以上

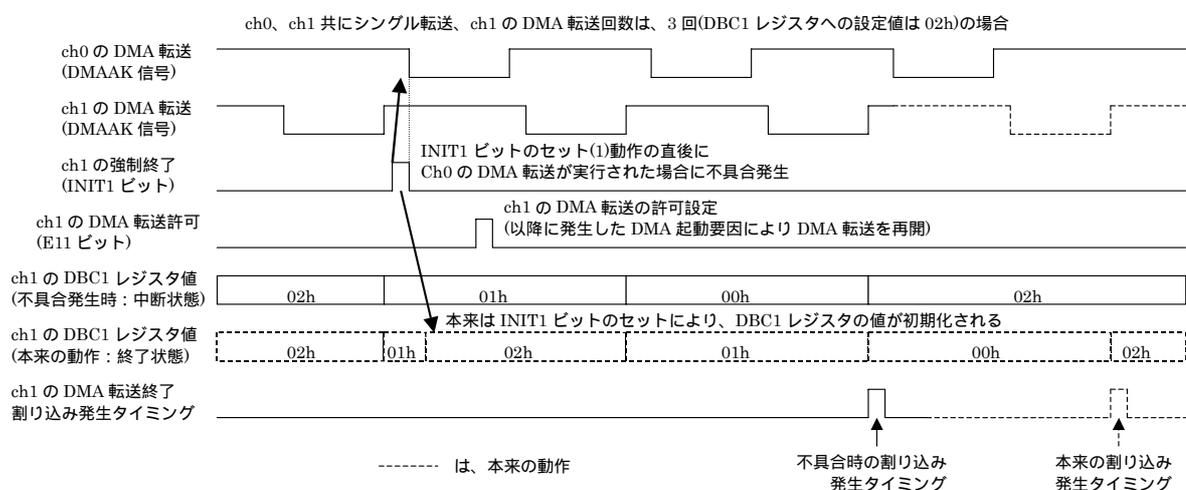
修正後は I/O レジスタ・ウインドウで CSIBn 受信データ・レジスタ(CBnRX)の値がアスタリスク(\*)の表示になります。値を参照したい場合、I/O レジスタ・ウインドウ上で CSIBn 受信データ・レジスタ(CBnRX)にカーソルを合わせて、右クリック→「強制読み込み」で参照してください。

(V850E/IA4 と V850E/IA3 の場合 :n=0~1。V850ES/IK1 の場合 :n=0)

### No.3 DMA 転送強制終了に関する不具合

【内容】 DCHCn レジスタの INITn ビットの操作により、DMA 転送を強制終了する場合、INITn ビットをセット(1)したにも関わらず、強制終了されずに中断状態になる場合があります。(n=0~3)このため、強制終了させたはずのチャンネルの DMA 転送を再開させた場合に、想定外の転送回数完了後に DMA 転送が終了し、DMA 転送終了割り込みが発生することがあります。本不具合は、強制終了(INITn ビットのセット(1))の直後に DMA 転送が実行された場合に発生します(下図参照)。

注意: 本不具合は転送チャンネル数, 転送タイプ(2 サイクル/フライバイ), 転送対象(メモリ~メモリ, メモリ~I/O; 内蔵資源を含む), 転送モード(シングル/シングル・ステップ/ブロック), 起動要因(外部要求, 内蔵周辺 I/O からの割り込み, ソフトウェア)には依存せず, 仕様の設定可能ないずれの組み合わせでも発生する可能性があります。また, 他のチャンネルの影響も受けます。



なお、以下のレジスタは、マスタ/スレーブの 2 段 FIFO 構成のバッファ・レジスタになっています。このため、DMA 転送中、及び DMA 中断状態にこれらのレジスタを書き換えた場合、マスタ・レジスタに書き込まれます。DMA 転送中、中断状態に書き換えた値は、書き換えたチャンネルの DMA 転送終了時にスレーブ・レジスタに反映されます。

また、上図における初期化とは、マスタ・レジスタの内容をスレーブ・レジスタに反映させることを指しています。

<2 段 FIFO 構成のバッファ・レジスタ(n=0~3)

- ・DMA ソース・アドレス・レジスタ(DSAnH, DSAnL)
- ・DMA デスティネーション・アドレス・レジスタ(DDAnH, DDAnL)
- ・DMA 転送カウント・レジスタ(DBCn)

本不具合は V850E/IA4, V850E/IA3 使用時にのみ該当します。

V850ES/IK1 使用時は非該当です。(V850ES/IK1 は DMA 機能を内蔵していないため)

【回避策】以下のいずれかの手順によりソフトウェアにて回避可能です。

### ①一時的に全ての DMA チャンネルの転送を停止させる方法(n=0~3)

次の点を満たして頂ければ、以下の手順で回避可能です。

以下の回避処理以外で、DCHCn レジスタの TCn ビット=1 となっていることを期待したプログラム構成になっていない場合(DCHCn レジスタの TCn ビットは読み出しによりクリア(0)されるため、以下(5)②の回避処理ルーチン実行によりクリアされてしまいます)

不具合回避手順

(1)割り込み禁止(DI)状態にする。

(2)DMA リスタート・レジスタ(DRST)を読み出し、各チャンネルの ENn ビットを汎用レジスタに転送する。

(値:A)

(3)DMA リスタート・レジスタ(DRST)に 00H を書き込む(2 回実行<sup>※</sup>)。

2 回実行<sup>※</sup>することにより(4)の処理以前に必ず DMA 転送が停止します。

(4)強制終了するチャンネルの DCHCn レジスタの INITn ビットをセット(1)する。

(5)(2)で読み出した値(A)に対して次の操作を行う。(値:B)

① 強制終了するチャンネルのビットをクリア(0)する。

② 強制終了しない各チャンネルの TCn ビットと ENn ビットが、共に 1(AND が 1)の場合はそのチャンネルのビットをクリア(0)する。

(6)(5)で操作した値(B)を DRST レジスタに書き込む。

(7)割り込み許可(EI)状態にする。

※:上記(5)は、(2)~(3)の間に正常終了したチャンネルに対して、再度 ENn ビットを不正にセットすることを防ぐため、必ず行ってください。

注:転送対象(転送元または転送先)が内蔵 RAM の場合は、3 回実行してください。

### ② 正常に強制終了するまで INITn ビットのセットを繰り返し実行する方法(n=0~3)

不具合回避手順

(1)強制終了したいチャンネルの初期転送回数を汎用レジスタにコピーする。

(2)強制終了するチャンネルの DCHCn レジスタの INITn ビットをセット(1)する。

(3)強制終了するチャンネルの DMA 転送カウント・レジスタ(DBCn)の値を読み込み、(1)でコピーした値と比較する。一致しない場合は(2)~(3)を繰り返す。

※(3)で DBCn レジスタを読み込んだ場合、不具合で停止したときは残りの転送回数がリードされません。正常に強制終了した場合には初期転送回数がリードされます。

※この回避方法は、強制終了の対象となっている DMA チャンネル以外の DMA 転送が、頻繁に行われるようなアプリケーションにおいては、強制終了されるまでに、時間を要する可能性がありますのでご注意ください。

管理記号 B 以上で修正済みです。

#### No.4 内蔵 RAM でのプログラム実行と DMA 転送に関する不具合

【内容】 下記(1)または(2)の命令実行と内蔵 RAM を対象とした DMA 転送を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。

デッド・ロック中はリセットのみ受付可能です(NMI 割り込みも受け付けられません)。

(1) 内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1)

(2) 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令

本不具合は V850E/IA4, V850E/IA3 使用時にのみ該当します。

V850ES/IK1 使用時は非該当です。(V850ES/IK1 は DMA 機能を内蔵していないため)

【回避策】 下記のいずれかの方法により、回避をお願いいたします。

(1) 内蔵 RAM で実行した命令がビット操作命令 (SET1, CLR1, NOT1) の場合

- ・ 内蔵 RAM 上に配置されたビット操作命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・ 内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたビット操作命令を実行しない。

管理記号 B 以上で修正済みです。

(2) 内蔵 RAM で実行した命令がミス・アライン・アドレスに対するデータ・アクセス命令の場合

- ・ 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・ 内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行しない。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

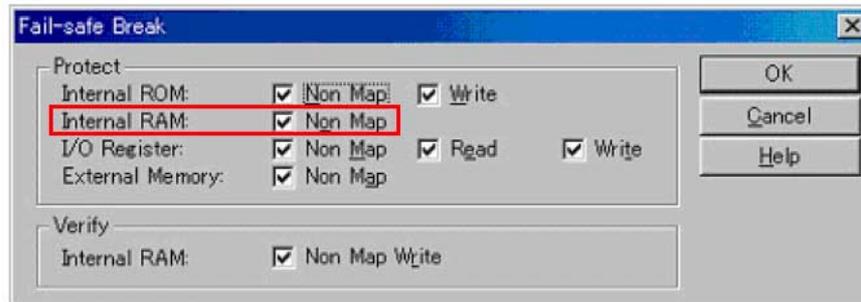
## No.5 内蔵 RAM でプログラム実行時のイリーガル・ブレイク制限事項1

【内 容】 内蔵RAMでプログラム実行時に周辺I/Oレジスタへのアクセスを行うと、意図しないブレイクが発生する場合があります。

【回避策】 デバッガ上で内蔵RAMに対するフェイル・セーフ・ブレイクの設定を解除してください。

・ID850QBの場合

コンフィグレーション・ウィンドウの「Fail-safe Break」欄にある「Detail」ボタンを押して「Internal RAM」のチェックを外してください。



・MULTIの場合

「Target flsf」コマンドで「ramgrd」と「ramgrdv」のフェールセーフ・ブレイクを解除してください。  
申し訳ありませんが、恒久的な制限事項とさせていただきます。

## No.6 ブレイク中のリセット入力制限事項

【内 容】 RESET端子がアクティブな状態(ロー・レベル)でブレイクが発生すると、ハングアップすることがあります。

【回避策】 デバッガの端子マスク機能でRESET端子をマスクしてください。

管理記号 B 以上で修正済みです。

## No.7 ウォッチドッグ・タイマのリセット発生によるハングアップ制限事項

【内 容】 ウォッチドッグ・タイマによるリセットが発生すると、エミュレータがハングアップする場合があります。

【回避策】 以下の回避策①、回避策②のどちらかを行ってください。

・回避策① リセット・スタート後、ウォッチドッグ・タイマは停止してください。

・回避策② デバッガの端子マスク機能を使って RESET 端子をマスクしてください。

管理記号 B 以上で修正済みです。

## No.8 モータ制御機能のデッドタイムに関する制限事項

【内容】 モータ制御機能のタイマ出力のデューティを設定するTMQnキャプチャ/コンペア・レジスタ(TQnCCRm)の一致タイミングとTMQnデッド・タイム・コンペア・レジスタ(TQnDTC)の一致タイミングが競合した場合、タイマ出力(TOQnTn, TOQnBm)がTMQ0キャプチャ/コンペア・レジスタの一致タイミングで反転します。  
また、リロード機能によりTMQnキャプチャ/コンペア・レジスタ(TQnCCRm)の書き換えによって、TQnCCRmのコンペア一致タイミングと、TMQnデッド・タイム・コンペア・レジスタ(TQnDTC)の一致タイミングが競合した場合も、同様に反転します。

(V850E/IA4の場合:n=0~1, m=1~3)

(V850E/IA3の場合:n=0, m=1~3)

(V850ES/IK1の場合:n=1, m=1~3)

【回避策】 TMQnデッド・タイム・コンペア・レジスタ(TQnDTC)の設定値を奇数に設定し、TMQnキャプチャ/コンペア・レジスタ(TQnCCRm)の設定値を偶数に設定してください。また、0%のPWM出力を使用する場合には、周期を設定するTMQnキャプチャ/コンペア・レジスタ0(TQnCCR0)の値を奇数に設定し、TQnCCRmレジスタの値がTQnCCR0レジスタの値+1(偶数)になるように設定してください。

(V850E/IA4の場合:n=0~1, m=1~3)

(V850E/IA3の場合:n=0, m=1~3)

(V850ES/IK1の場合:n=1, m=1~3)

管理記号 B 以上で修正済みです。

## No.9 タイマ M(TMM)に関する制限事項

【内容】 TMMコンペア・レジスタ0(TMM0CMP0)にFFFFHを設定し、カウント動作を許可した場合(TM0CE=1)、カウント動作開始と同時にコンペア一致割り込み(INTTMM0EQ0)が発生します。

【回避策】 TMMコンペア・レジスタ0(TMM0CMP0)にFFFFHを設定しないでください。設定範囲は、0HからFFFEHとなります。

管理記号 B 以上で修正済みです。

## No.10 ブレーク時の A/D 変換機能不具合

【内容】(1) ペリフェラル・ブレーク・モード(ブレーク中に周辺機能を停止するモード)に設定しており, 下記に示す条件<a>~<c>のいずれかに該当する場合, A/D変換が開始されません。また, A/D変換終了に伴う割り込み要求も発生しません。

<a> A/D変換を開始するトリガ発生後<sup>注1</sup>, 2命令の実行が完了するまでにブレークが発生した場合。<sup>注2</sup>

例) (ソフトウェア・トリガ・モードの場合)

```
* set1 0x7, ADA0M0
* nop
* nop
* nop
```

このどこかでブレークすると A/D 変換が開始されません。

これ以降でブレークした場合, A/D 変換は正常に開始されます。(ただし, (2), (3)の不具合に対する注意が必要です)

<b> ソフトウェア・トリガ・モードでA/D変換開始命令から実行開始する場合, かつその命令にソフトウェア・ブレーク, もしくは実行前ブレークが設定されている場合。

例)

```
B set1 0x7, ADA0M0    →ここから Run すると A/D 変換が開始されません。
* nop
```

<c> A/D 変換動作停止中にブレークし, このブレーク中に A/D 変換を開始しようとした場合。<sup>注3</sup>

- (2) ペリフェラル・ブレーク・モードに設定した状態で, A/D変換中にブレークし<sup>注2</sup>, ブレーク中にA/D関連レジスタ<sup>注4</sup>にライト操作した場合<sup>注5</sup>, 再実行後, ライト前の値で1~2回分変換してしまいます(ブレーク前が通常変換動作モードだった場合, ライト前の値で2回分変換することがあります)。この変換終了後, ライト後の値で変換が始まります。このため, 不正なA/D変換結果と割り込みが1~2回発生したように見えます。(本来は再実行の直後から, 新しく設定したA/D関連レジスタの値で, 再変換を行います)
- (3) ペリフェラル・ブレーク・モードに設定した状態で, A/D変換中にブレークすると, 再実行直後のA/D変換結果が不正になります。また, 高速変換モードでA/D変換中にブレークし, ブレーク中にADA0CEビットをクリアして再度セットした場合, さらに続く1回分のA/D変換結果が不正になります。

注 1: 命令実行による開始のほか、DMA 転送、外部トリガ、タイマ・トリガによる開始も含まれます。

注 2: 下記ブレーク要因も含まれます。

- ・ステップ実行
- ・フェイル・セーフ・ブレーク
- ・RAM モニタ(リアルタイム RAM モニタは非該当)
- ・DMM
- ・Run 中のイベント変更

上記の内、RAM モニタ/DMM/Run 中のイベント変更は、一瞬ブレークして実現しており、実際にブレークした位置を特定できないため、意図せずに A/D 変換が不正になります。

注 3: IO レジスタ・ウインドウで ADA0CE ビットにライト操作した場合のほか、DMA 転送、外部トリガ、タイマ・トリガによる開始も含まれます。

注 4: A/D 関連レジスタとは ADA0M0, ADA0M1, ADA0M2, ADA0S, ADA0PFT, ADA0PFM です。

注 5: IO レジスタ・ウインドウで設定した場合や、DMA 転送で設定した場合が該当します。

【回避策】 本不具合を完全に回避したい場合、ペリフェラル・ブレーク・モードを使用しないでください、または下記事項をすべて実行してください。

- ◇ A/D 変換開始のトリガから、A/D 変換終了の間にブレークしないでください。
- ◇ ソフトウェア・トリガ・モードの設定時は、A/D 変換開始命令をステップ実行しないでください。
- ◇ ブレーク中に A/D 関連レジスタにライト操作しないでください。
- ◇ RAM モニタを OFF にしてください。
- ◇ DMM を使用しないでください。
- ◇ Run 中のイベント変更は行わないでください。

管理記号 C 以上で修正済みです。

修正後はペリフェラル・ブレーク・モードに設定しても、ブレーク中に A/D 変換機能が停止しません。

## No.11 フェイル・セーフ・ブレークが動作しない制限事項

【内容】次に示すフェイル・セーフ・ブレーク機能が動作しません。

- 周辺I/Oレジスタ
  - ◇ 存在しない周辺I/Oレジスタへのリード/ライト
  - ◇ リード・オンリーの周辺I/Oレジスタに対するライト
  - ◇ ライト・オンリーの周辺I/Oレジスタに対するリード
- 外部メモリ領域
  - ◇ マッピングされていない領域へのフェッチまたはアクセス
  - ◇ ROM領域へのライト

【回避策】 申し訳ありませんが、回避策はありません。

管理記号C以上で修正済みです。

## No.12 内蔵 RAM でプログラム実行時のイリーガル・ブレーク制限事項2

【内容】下記の条件を全て満たした場合、正常なプログラムにかかわらず、Non Map Breakが発生いたします。

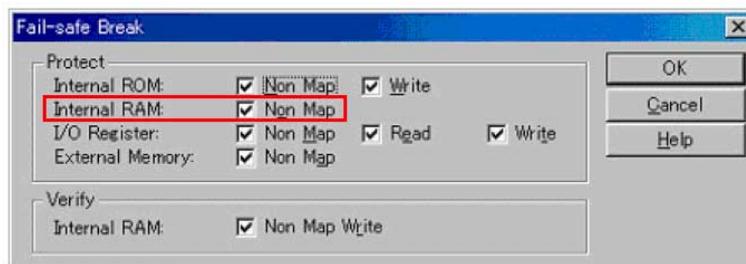
- ・ 内蔵RAM領域でプログラムを実行
- ・ 2回以上連続して内蔵RAM領域へデータ・アクセス
- ・ 上記の連続したデータ・アクセス直後、またはNOP1つを挟んで、JRもしくはJARL命令で内蔵ROM領域へ分岐

【回避策】 下記のいずれかの方法により回避をお願いいたします。

- デバッガ上で内蔵RAMに対するフェイル・セーフ・ブレークの設定を解除してください。

- ◇ ID850QBの場合

コンフィグレーション・ウィンドウの「Fail-safe Break」欄にある「Detail」ボタンを押して「Internal RAM」のチェックを外してください。



- ◇ MULTIの場合

「Target flsf」コマンドで「ramgrd」と「ramgrdv」のフェイル・セーフ・ブレークを解除してください。

- 内蔵 RAM 領域への連続したデータ・アクセスから内蔵 ROM 領域への分岐の間に NOP を 2 つ以上挿入してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

## 4. その他注意事項

### 4.1 本製品の取り扱いに関する一般的な注意事項

#### ➤ 製品保証外となる場合

- ・本製品をお客様自身により分解, 改造, 修理した場合
- ・落下, 倒れなど強い衝撃を与えた場合
- ・過電圧での使用, 保証温度範囲外での使用, 保証温度範囲外での保存
- ・AC アダプタ, USB インタフェース・ケーブル, ターゲット・システムとの接続が不十分な状態で電源を投入した場合
- ・AC アダプタのケーブル, USB インタフェース・ケーブル, エミュレーション・プローブなどに過度の曲げ, 引っ張りを与えた場合
- ・添付品以外の AC アダプタを使用した場合
- ・本製品を濡らしてしまった場合
- ・本製品の GND とターゲット・システムの GND に電位差がある状態で本製品とターゲット・システムを接続した場合
- ・本製品の電源投入中にコネクタやケーブルの抜き差しを行った場合
- ・コネクタやソケットに過度の負荷を与えた場合
- ・電源スイッチ, 冷却ファンなどの金属部分に帯電した状態で接触した場合

#### ➤ 安全上の注意

- ・長時間使用していると, 高温(50℃~60℃程度)になることがあります。低温やけどなど, 高温になることによる障害にご注意ください。
- ・感電には十分注意をしてください。上記の製品保証外となる場合に書かれているような使用方法をすると感電する恐れがあります。

## 4.2 延長プローブに関する注意事項

- ・延長プローブを使用する場合、クロックや外部バス等の高速信号を伝搬できる最大動作周波数に制限があります。(下表参照)

QB-V850EIA4 の場合、対象デバイスである V850E/IA4, V850E/IA3, V850ES/IK1 に外部バス機能がないため、最高動作周波数で延長プローブを使用することができます。ただし、32MHz 以上のクロック信号を延長プローブに伝搬させる事はできません。ご注意ください。

クロック信号使用の有無 (CLKOUT, BUSCLK, SDCLK 等)	外部バス使用の有無	延長プローブを使用時の 上限周波数
使用する	使用する	32MHz
	使用しない	
使用しない	使用する	64MHz
	使用しない	80MHz

- ・延長プローブには 50Ω 程度のインピーダンスがあります。
- ・延長プローブを通すと信号レベルが 0.1V 程度下がります。  
このため、A/D 変換等、アナログ信号が伝搬する際の精度が下がります。ご注意ください。
- ・延長プローブを通ることで発生するディレイ(伝搬遅延)は 5ns 程度です。  
このため、外部バス使用時はデータ・ウエイトやアドレス・ウエイト等の設定が必要な場合があります。
- ・延長プローブを使用する際は必ず、延長プローブの GND 線を IECUBE, ターゲットに接続してください。  
GND 線を使用しない場合、伝搬する信号のレベルが下がってしまう場合があります。

## 5. オプション機能

QB-V850EIA4(管理記号 C 以上)は下記のオプション機能を追加することができます。本章では、オプション機能の概要、仕様、およびお求め方法を記述しています。

- カバレッジ測定機能
- TimeMachine™ 機能

なお、各オプション機能は使用しているデバッグに応じて、対応状況が異なります。下表に 2005 年 4 月現在の対応状況を記述します。不明点等ありましたら、弊社営業、もしくは特約店へお問い合わせください。

機能	対応状況	
	ID850QB	MULTI
カバレッジ測定機能	V2.90, または V3.10 以上で対応	対応検討中
TimeMachine 機能	非対応	850eserv2 V1.000 以上で対応

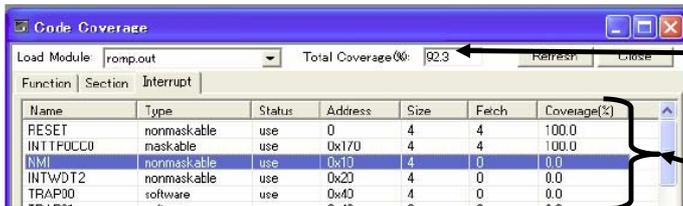
## 5.1 カバレッジ測定機能

本節では、カバレッジ測定機能についての概要、および機能追加による各仕様差分を記述しています。

### 5.1.1 機能概要

カバレッジ測定機能とはロード・モジュールやセクション等に対して、実行したコードの割合を測定する機能です。カバレッジ測定機能を追加することで、デバッガ ID850QB では下記ウインドウの追加、または、機能改善がなされます。

#### ➤ コード・カバレッジ・ウインドウ



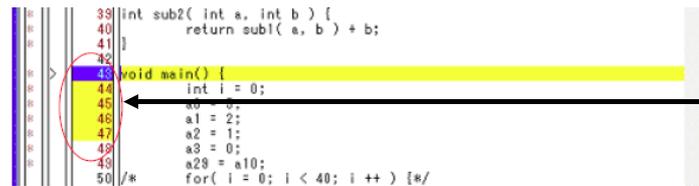
The screenshot shows the 'Code Coverage' window with the following table:

Name	Type	Status	Address	Size	Feich	Coverage(%)
FESET	nonmaskable	use	0	4	4	100.0
INTTFOCCU	maskable	use	0x170	4	4	100.0
INTI	nonmaskable	use	0x10	4	0	0.0
INTWDT2	nonmaskable	use	0x20	4	0	0.0
TRAP00	software	use	0x40	4	0	0.0

Annotations in the image:

- An arrow points to the 'Total Coverage 0%' field showing '92.3', with the text: 'ロードモジュールの全コードに対する実行コードの網羅率(%)を表示'.
- An arrow points to the 'Coverage(%)' column, with the text: '関数、セクション、ベクタ別に実行コードの網羅率(%)を表示'.

#### ➤ ソース・ウインドウ, 逆アセンブル・ウインドウ



The screenshot shows a source code window with the following code:

```

39 int sub2( int a, int b ) {
40     return sub1( a, b ) + b;
41 }
42
43 void main() {
44     int i = 0;
45     a0 = 0;
46     a1 = 2;
47     a2 = 1;
48     a3 = 0;
49     a29 = a10;
50     for( i = 0; i < 40; i ++ ) {*/

```

Line 44 is highlighted in yellow. An arrow points to this line with the text: '実行した行に色がつきます。'.

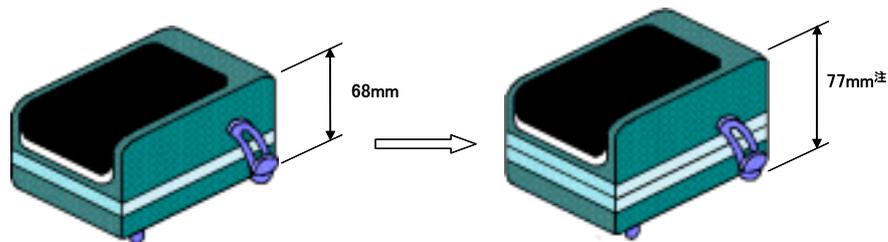
カバレッジ測定機能の詳細な使用方法については、デバッガのユーザーズ・マニュアルを参照してください。

### 5.1.2 ハードウェア仕様差分

カバレッジ測定機能を追加することで、QB-V850EIA4 ユーザーズ・マニュアル(U17167J)に記述しているハードウェア仕様に対し、下記の差分が生じます。

#### ➤ 外形寸法

カバレッジ測定機能追加後、高さ寸法が 9mm 増加します。



注：後部スペーサを一番短くした寸法（最長 107mm）

#### ➤ 重量

カバレッジ測定機能追加後、重量が約 70g 増加します。

### 5.1.3 システム仕様差分

カバレッジ測定機能を追加することで、QB-V850EIA4 ユーザーズ・マニュアル(U17167J)に記述している表 1-2「QB-V850EIA4 のシステム仕様」の項目「カバレッジ機能」を、下表に置き換えて参照してください。

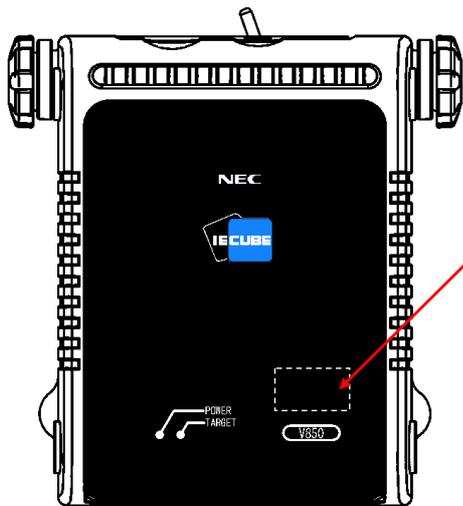
項目	仕様
カバレッジ機能	実行/通過検出
測定範囲	内蔵 ROM 空間+任意の 1M バイト空間

## 5.2 TimeMachine 機能

本機能は、Green Hills Software(GHS)社製デバッグにて対応している機能です。機能概要、仕様等につきましては、GHS ツール販売店までお問い合わせください。

## 5.3 オプション機能追加に伴う天板表示

オプション機能を追加することで IECUBE 本体上部の天板表示が下記のようにになります。オプション機能を追加しているか、していないかは天板の表示にて確認することができます。



IECUBE Top view

この位置に、各機能追加に応じて下記のシールが貼り付けられます。

・カバレッジ測定機能



・TimeMachine™機能



## 5.4 オプション機能追加方法

オプション機能を追加するためには、下表に示すように、各オプション機能に対応したオプション・ボードを搭載する必要があります。

機能	機能追加に必要なオプション・ボード
カバレッジ測定機能	カバレッジ・メモリ・ボード <sup>注1</sup>
TimeMachine 機能	SuperTrace <sup>TM</sup> プローブ・ボード <sup>注1, 注2</sup>

注1: カバレッジ・メモリ・ボードと SuperTrace プローブ・ボードの両方を追加することはできませんので、ご注意ください。

注2: TimeMachine 機能を使用するためには IECUBE に SuperTrace プローブ・ボードを搭載するほか、SuperTrace Probe (Green Hills Software (GHS) 社製) が必要になります。

オプション・ボードを搭載するにあたっては、下記 2 通りの方法にてご提供しております。

お申し込み、ご提供価格/時期等につきましては、弊社営業、もしくは特約店へお問い合わせください。

### ➤ 新規購入

最初からオプション・ボード搭載の IECUBE を購入する場合の方法です。

品名は末尾にオプション指定として下記を追加します。

-C : カバレッジ・メモリ・ボード搭載

-S : SuperTrace プローブ・ボード搭載

オーダー品名例: QB-V850EIA4-ZZZ-S

### ➤ システム・アップ

お手持ちの IECUBE にオプション・ボードを搭載する場合の方法です。