

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	SRAM	発行番号	TN-M62-A139A/J	Rev.	第1版
題名	4Mb 低消費電力 SRAM(5V 品) : R1LP0408C シリーズ品の世代交代に関するご連絡		情報分類	製品世代切替え	
適用製品	4Mb 低消費電力 SRAM(5V 品) : R1LP0408C シリーズから R1LP0408D シリーズへの切替え	対象ロット等	関連資料	なし	
		'12/4 以降出荷分より順次			

平素は格別のご高配を賜り、厚く御礼申し上げます。

さて、弊社では**4Mb 低消費電力 SRAM:R1LP0408C シリーズ品**の世代切替えを以下のスケジュールにて進めさせて頂く予定ですので、主旨ご理解の上、**新世代品(R1LP0408D シリーズ)**への早期ご承認を賜りますよう、ご協力の程よろしくお願い申し上げます。

敬具

— 記 —

1. 変更内容：4Mb低消費電力 SRAM : R1LP0408Cシリーズの世代交代

4Mb (x8) 5V, SOP : R1LP0408CSP シリーズ から R1LP0408DSP シリーズへ
 4Mb (x8) 5V, TSOP : R1LP0408CSB シリーズ から R1LP0408DSB シリーズへ

2. 世代交代の概要：

- (1) チップシュリンクによる世代交代です。0.18 μ m ルール から 0.15 μ m ルールを適用し更なる生産性向上を図って参ります。
- (2) モールド樹脂封止品の外形寸法及びピン配置は従来製品と同一であり、置き換えが即可能です。
- (3) 弊社独自の Advanced Low Power SRAM テクノロジによるTFT負荷型のキャパシタセルを用いており、極めて高いソフトエラー耐性を実現しております。

3. ご承認に関する資料・評価サンプルのご案内

データシート : 暫定版(発行済)、正式版(2012年4月発行予定)
 動作確認サンプル : 2012年2月(R1LP0408DSP)/4月(R1LP0408DSB)対応予定
 信頼度保証サンプル : 2012年3月(R1LP0408DSP)/4月(R1LP0408DSB)対応予定
 信頼性資料 : 2012年3月(R1LP0408DSP)/4月(R1LP0408DSB)発行予定

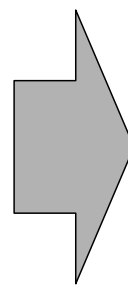
4. 切替え時期：2012年4月出荷分より量産開始

順次世代交代品に切り換えていく予定です。在庫の兼ね合いにより従来製品(R1LP0408C シリーズ)と並行納入される場合がありますので、併せてご了承の程、お願い致します。

5. 世代交代製品の推奨型名一覧表：

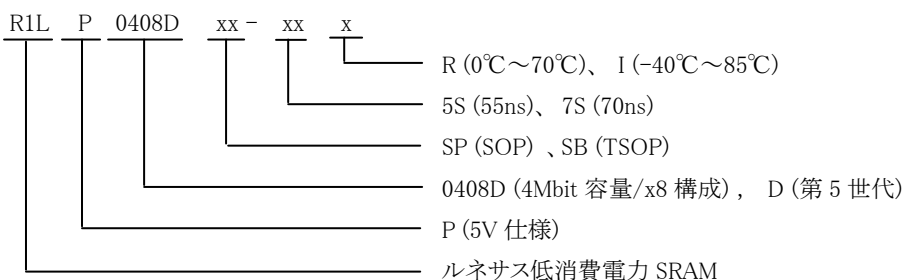
1) 世代交代品の推奨新型名 <4Mb 低消費 SRAM(5V 版)>

型名	パッケージ	アクセススピード	動作温度範囲
R1LP0408CSP-5SC	SOP(32)	55ns	-20°C~70°C
R1LP0408CSP-7LC		70ns	
R1LP0408CSP-5SI		55ns	-40°C~85°C
R1LP0408CSP-7LI		70ns	
R1LP0408CSB-5SC	TSOP(32)	55ns	-20°C~70°C
R1LP0408CSB-7LC		70ns	
R1LP0408CSB-5SI		55ns	-40°C~85°C
R1LP0408CSB-7LI		70ns	



新製品型名	動作温度範囲
R1LP0408DSP-5SR	0°C~70°C
R1LP0408DSP-7SR	
R1LP0408DSP-5SI	-40°C~85°C
R1LP0408DSP-7SI	
R1LP0408DSB-5SR	0°C~70°C
R1LP0408DSB-7SR	
R1LP0408DSB-5SI	-40°C~85°C
R1LP0408DSB-7SI	

2) 新型名の概略 (一例)



上記対応表が基本となりますが、各製品データシートの電気特性を必ずご査収の上、対応する新形名が合致するかどうかご確認頂けるようお願いいたします。

3) 注意事項

現在 R1LP0408C**-5SC/7LC シリーズ(-20°C~70°C)にて温度保証下限 0°C でご使用頂いている場合は、R1LP0408D**-5SR/7SR を、-20°C~0°C の温度下限範囲が必要な場合は、R1LP0408D**-5SI/7SI の広温度保証品を選択下さいませよう、お願い致します。

R1LP0408Cシリーズ vs. R1LP0408Dシリーズ 比較表

回路	R1LP0408Cシリーズ	R1LP0408Dシリーズ
メモリセル	Full CMOS 型	TFT 負荷型 キャパシタセル
周辺回路	CMOS	CMOS

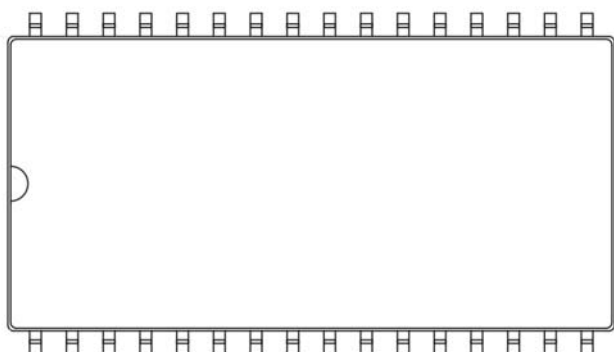
プロセス	R1LP0408Cシリーズ	R1LP0408Dシリーズ
ウエハプロセス	1poly, 3metal, 1tungsten	8poly, 2metal, 1tungsten
デザインルール	0.18 μm	0.15 μm
ゲート酸化膜厚	3.2nm(メモリセル部)/7.7nm(周辺回路部)	6.5nm(メモリセル部)/12nm(周辺回路部)
ゲート酸化材質	SiO ₂	SiO ₂
パシベーション膜厚	0.60 μm	0.75 μm
パシベーション材質	p-SiN	p-SiN

アセンブリ	R1LP0408Cシリーズ	R1LP0408Dシリーズ
モールド樹脂	エポキシ樹脂	エポキシ樹脂
リードフレーム材質	Fe-Ni 42 alloy	Cu
リードフレーム処理	Sn/Cuめっき	Sn
ワイヤボンド材質	Au	Au
ダイボンド材質	樹脂	樹脂

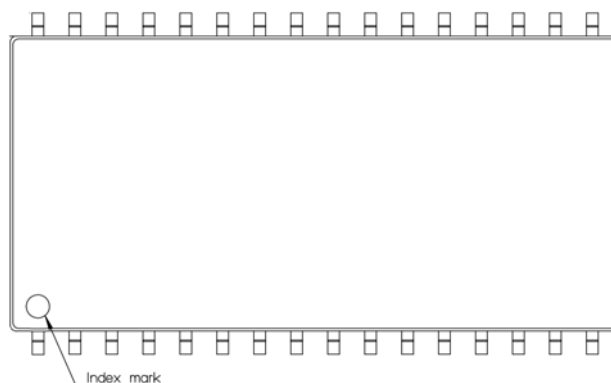
R1LP0408CSB シリーズ vs. R1LP0408DSB シリーズ インデックスマーク比較表

下記図の通り、TSOP 品のインデックスマークが変更となります。R1LP0408DSB シリーズのインデックスマークは1ピンの位置となります。その他のマーク仕様(型名、デットコード等)は変更ありません。

<R1LP0408CSB シリーズ (32P3Y)>



<R1LP0408DSB シリーズ (32PTY)>



<4Mb低消費電力SRAM(R1LP0408Cシリーズ/R1LP0408Dシリーズ)スペック比較表>

型名	Symbol	R1LP0408Cシリーズ		Symbol	R1LP0408Dシリーズ	
メモリセル構造		Full CMOS型			TFT負荷型 キャパシタセル	
周辺回路構成		CMOS			<--	
プロセスルール		0.18um			0.15um	
パッケージ		SOP 32pin(20.75mm x 14.1mm) TSOP II 32pin(20. mm x 8mm)			<--	

DC動作条件

型名	Symbol	R1LP0408Cシリーズ		Symbol	R1LP0408Dシリーズ	
動作電源電圧範囲	Vcc	4.5V~5.5V		Vcc	<--	
動作温度範囲	Ta	55C/7LC	-20°C~70°C	Ta	55SR/7SR	0°C~70°C
		5SI/7LI	-40°C~85°C		5SI/7SI	<--
入力電圧	VIH	2.2V(min.)/Vcc+0.3V(max.)		VIH	<--	
	VIL	-0.3V(min.)/0.8V(max.)		VIL	<--	

DC特性

型名	Symbol	R1LP0408Cシリーズ		Symbol	R1LP0408Dシリーズ	
動作電流	Icc1(TTL, Cycle=55ns)	25mA(max.)/8mA(typ.)		Icc1(TTL, Cycle=55ns)	25mA(max.)/15mA(typ.)	
	Icc2(MOS, Cycle=1us)	5mA(max.)/2mA(typ.)		Icc2(MOS, Cycle=1us)	5mA(max.)/3mA(typ.)	
アクティブスタンバイ電流	Icc(CS#=VIL)	3mA(max.)/1.5mA(typ.)		Icc(CS#=VIL)	10mA(max.)/5mA(typ.)	
スタンバイ電流	ISB1(MOS入力) (Vcc=5.5V)	0.5mA(max.)/0.1mA(typ.)		ISB1(TTL入力)		<--
		~25°C	7LC/I: 10uA(max.)/0.8uA(typ.)	ISB1(MOS入力) (Vcc=5.5V)	~25°C	2.5uA(max.)/0.8uA(typ.)
			55C/I: 3uA(max.)/0.8uA(typ.)			3uA(max.)/1.0uA(typ.)
		~40°C	7LC/I: 10uA(max.)/1.0uA(typ.)	~40°C	8uA(max.)	
		~70°C	55C/I: 3uA(max.)/1.0uA(typ.)	~70°C	10uA(max.)	
		~85°C	7LC/I: 16uA(max.)	~85°C	10uA(max.)	
出力電圧	VOH	IOH=-1.0mA IOH=-0.1mA	2.4V(min.) 2.6V(min.)	VOH	<--	
	VOL	IOL=2.1mA	0.4V(max.)	VOL	<--	

キャパシタ

型名	Symbol	R1LP0408Cシリーズ		Symbol	R1LP0408Dシリーズ	
入力キャパシタ	Cin	8pF(max.)		C in	<--	
入出力キャパシタ	CI/O	10pF(max.)		C I/O	<--	

AC特性

リードサイクル

型名	Symbol	R1LP0408Cシリーズ		Symbol	R1LP0408Dシリーズ	
Read cycle time	tRC	55C/5SI	55ns(min.)	tRC	55SR/5SI	<--
		7LC/7LI	70ns(min.)		75SR/7SI	<--
Address access time	tAA	55C/5SI	55ns(max.)	tAA	55SR/5SI	<--
		7LC/7LI	70ns(max.)		75SR/7SI	<--
Chip select access time	tCO	55C/5SI	55ns(max.)	tACS	55SR/5SI	<--
		7LC/7LI	70ns(max.)		75SR/7SI	<--
Output enable to output valid	tOE	55C/5SI	25ns(max.)	tOE	55SR/5SI	<--
		7LC/7LI	35ns(max.)		75SR/7SI	<--
Chip select to output in low-Z	tLZ	55C/5SI	10ns(min.)	tCLZ	55SR/5SI	<--
		7LC/7LI	10ns(min.)		75SR/7SI	<--
Output enable to output in low-Z	tOLZ	55C/5SI	5ns(min.)	tOLZ	55SR/5SI	<--
		7LC/7LI	5ns(min.)		75SR/7SI	<--
Chip deselect to output in high-Z	tHZ	55C/5SI	0ns(min.)/20ns(max.)	tCHZ	55SR/5SI	<--
		7LC/7LI	0ns(min.)/25ns(max.)		75SR/7SI	<--
Output disable to output in high-Z	tOHZ	55C/5SI	0ns(min.)/20ns(max.)	tOHZ	55SR/5SI	<--
		7LC/7LI	0ns(min.)/25ns(max.)		75SR/7SI	<--
Output hold from address change	tOH	55C/5SI	10ns(min.)	tOH	55SR/5SI	<--
		7LC/7LI	10ns(min.)		75SR/7SI	<--

ライトサイクル

型名	Symbol	R1LP0408Cシリーズ		Symbol	R1LP0408Dシリーズ	
Write cycle time	tWC	55C/5SI	55ns(min.)	tWC	55SR/5SI	<--
		7LC/7LI	70ns(min.)		75SR/7SI	<--
Chip selection to end of write	tCW	55C/5SI	50ns(min.)	tCW	55SR/5SI	<--
		7LC/7LI	60ns(min.)		75SR/7SI	<--
Address setup time	tAS	55C/5SI	0ns(min.)	tAS	55SR/5SI	<--
		7LC/7LI	0ns(min.)		75SR/7SI	<--
Address valid to end of erite	tAW	55C/5SI	50ns(min.)	tAW	55SR/5SI	<--
		7LC/7LI	60ns(min.)		75SR/7SI	<--
Write pulse width	tWP	55C/5SI	40ns(min.)	tWP	55SR/5SI	<--
		7LC/7LI	50ns(min.)		75SR/7SI	<--
Write recovery time	tWR	55C/5SI	0ns(min.)	tWR	55SR/5SI	<--
		7LC/7LI	0ns(min.)		75SR/7SI	<--
Write to output in high-Z	tWHZ	55C/5SI	0ns(min.)/20ns(max.)	tWHZ	55SR/5SI	<--
		7LC/7LI	0ns(min.)/25ns(max.)		75SR/7SI	<--
Data to write time overlap	tDW	55C/5SI	25ns(min.)	tDW	55SR/5SI	<--
		7LC/7LI	30ns(min.)		75SR/7SI	<--
Data hold from write time	tDH	55C/5SI	0ns(min.)	tDH	55SR/5SI	<--
		7LC/7LI	0ns(min.)		75SR/7SI	<--
Output active from end of write	tOW	55C/5SI	5ns(min.)	tOW	55SR/5SI	<--
		7LC/7LI	5ns(min.)		75SR/7SI	<--
Output disable to output in high-Z	tOHZ	55C/5SI	0ns(min.)/20ns(max.)	tOHZ	55SR/5SI	<--
		7LC/7LI	0ns(min.)/25ns(max.)		75SR/7SI	<--

データ保持特性

型名	Symbol	R1LP0408Cシリーズ		Symbol	R1LP0408Dシリーズ	
データ保持電圧	VDR	2.0V(min.)		VDR	<--	
データ保持電流	IccDR (Vcc=3.0V)	~25°C	7LC/I: 10uA(max.)/0.8uA(typ.)	IccDR (Vcc=3.0V)	~25°C	2.5uA(max.)/0.8uA(typ.)
			55C/I: 3uA(max.)/0.8uA(typ.)			3uA(max.)/1.0uA(typ.)
		~40°C	7LC/I: 10uA(max.)/1.0uA(typ.)		~40°C	8uA(max.)
		~70°C	55C/I: 3uA(max.)/1.0uA(typ.)		~70°C	10uA(max.)
		~85°C	7LC/I: 16uA(max.) 55C/I: 8uA(max.) 7LI: 20uA(max.) 5SI: 10uA(max.)			
Chip deselect to data retention time	tCDR	0ns(min.)		tCDR	<--	
Operation recovery time	tR	55ns/70ns(min.)		tR	5ms(min.)	

以上、ご高覧の程よろしくお願ひ致します。