

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

| | | | | | |
|------|--|--------|----------------|-----------------|-----|
| 製品分類 | MPU & MCU | 発行番号 | TN-V85-A006A/J | Rev. | 第1版 |
| 題名 | クロック同期シリアル・インタフェース (CSIH, CSIG) の RYO 出力遅延時間に関する注意事項 | | 情報分類 | 技術情報 | |
| 適用製品 | V850E2/Px4 シリーズ V850E2/Px4-L シリーズ | 対象ロット等 | 関連資料 | 適用製品のユーザーズマニュアル | |
| | | 全ロット | | | |

クロック同期シリアル・インタフェース (CSIH, CSIG) の電気的特性 (RYO 出力ディレイ) におきまして、記載事項の変更がありますので、ご連絡いたします。以下、変更内容およびマニュアル修正内容を記載いたします。

1. 変更内容

対象となる機能ブロック (CSIH, CSIG) は、次の通りです。

| 適用製品 | スペック変更対象機能ブロック |
|--------------|----------------|
| V850E2/Px4 | CSIG, CSIH |
| V850E2/Px4-L | CSIG |

(1) CSIG スレープモード時の電気的特性 (RYO 出力ディレイ) の変更

下図 1 の通り、CSIGnSC サイクル時間(t_{KCYS})が、PCLK 周期(t_{PCLK})の 8 倍よりも小さい場合、RYO 出力ディレイ (t_{SRYO})の最大値に対し、1 クロック分の t_{PCLK} が追加されます。

8 倍以上の場合については、スペック変更はありません

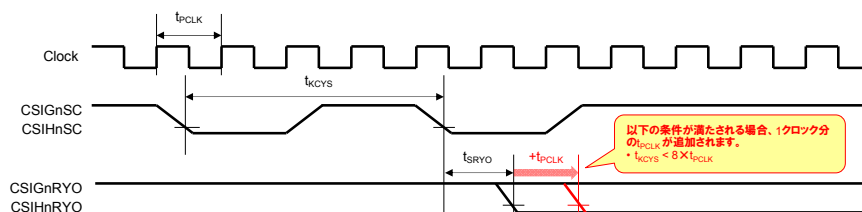
(2) CSIH スレープモード時の電気的特性 (RYO 出力ディレイ) の変更

下図 1 の通り、CSIHnSC サイクル時間(t_{KCYS})が、PCLK 周期(t_{PCLK})の 8 倍よりも小さい場合、RYO 出力ディレイ (t_{SRYO})の最大値に対し、1 クロック分の t_{PCLK} が追加されます。

8 倍以上の場合については、スペック変更はありません。

※レジスタ、ビットの詳細は各製品のユーザーズマニュアルを参照下さい。

- CSIG (CSIGNCTL1: CSIGNCKR/CSIGNCFG0: CSIGNDAP0 = 0/0 or 1/1)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 0/0 or 1/1)



- CSIG (CSIGNCTL1: CSIGNCKR/CSIGNCFG0: CSIGNDAP0 = 0/1 or 1/0)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 0/1 or 1/0)

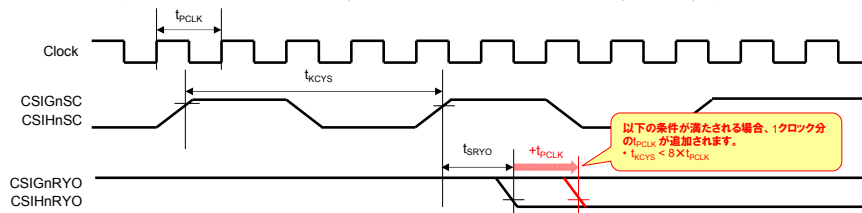


図 1. CSIGnSC/CSIHnSC 及び CSIGnRYO/CSIHnRYO のタイミングチャート図

2. マニュアル修正内容

2 - 1. V850E2/Px4 シリーズ

(1) CSIG 電気的特性 変更内容

CSIGnRYO 出力ディレイ (tSRYO)の説明を、以下の通り変更します。

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-----------------|-------|-----------------------------------|------|------|-----------------|----|
| CSIGnRYO 出力ディレイ | tSRYO | $t_{KCYS} \geq 8 \times t_{PCLK}$ | | | 30 | ns |
| | | $t_{KCYS} < 8 \times t_{PCLK}$ | | | $30 + t_{PCLK}$ | ns |

(2) CSIH 電気的特性 変更内容

CSIHnRYO 出力ディレイ (tSRYO)の説明を、以下の通り変更します。

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-----------------|-------|-----------------------------------|------|------|-----------------|----|
| CSIHnRYO 出力ディレイ | tSRYO | $t_{KCYS} \geq 8 \times t_{PCLK}$ | | | 30 | ns |
| | | $t_{KCYS} < 8 \times t_{PCLK}$ | | | $30 + t_{PCLK}$ | ns |

2 - 1. V850E2/Px4-L シリーズ

(1) CSIG 電気的特性 変更内容

CSIGnRYO 出力ディレイ (tSRYO)の説明を、以下の通り変更します。

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-----------------|-------|-----------------------------------|------|------|-----------------|----|
| CSIGnRYO 出力ディレイ | tSRYO | $t_{KCYS} \geq 8 \times t_{PCLK}$ | | | 30 | ns |
| | | $t_{KCYS} < 8 \times t_{PCLK}$ | | | $30 + t_{PCLK}$ | ns |

以上