

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RX*-A0268A/J	Rev.	第1版
題名	RX26T グループ ユーザーズマニュアル ハードウェア編 Rev.1.01 の誤記訂正		情報分類	技術情報	
適用製品	RX26T グループ	対象ロット等	関連資料	RX26T グループ ユーザーズマニュアル ハードウェア編 Rev.1.01 (R01UH0979JJ0101)	
		全ロット			

RX26T グループ ユーザーズマニュアル ハードウェア編 Rev.1.01 において誤記がありましたので、以下のとおり訂正いたします。

•Page 1031 of 2948

「24.2.7 汎用 PWM タイマクリア要因セレクトレジスタ (GTCSR)」において、CSCMSC[2:0] ビットの説明文を以下のとおり訂正、加筆いたします。

【変更前】

CSCMSC[2:0] ビット (コンペアマッチ/インプットキャプチャ/同期クリアクリア要因カウンタクリア許可ビット)

コンペアマッチ、インプットキャプチャ、同期クリアグループのクリア要因によるカウンタクリア **禁止** / 禁止を選択します。

バッファ動作 (波形モード固有の場合を含む) を行っているレジスタによるコンペアマッチは発生しないため、該当する動作モードにおいて対象となるレジスタをコンペアマッチ要因とするカウンタクリア許可の設定は無効です。

相補 PWM モードの場合、GTCCRB、GTCCRE、GTCCRF レジスタはバッファ動作を行わない状態においても、コンペアマッチを要因とするクリア許可は無効です。

【変更後】

CSCMSC[2:0] ビット (コンペアマッチ/インプットキャプチャ/同期クリアクリア要因カウンタクリア許可ビット)

コンペアマッチ、インプットキャプチャ、同期クリアグループのクリア要因によるカウンタクリア **許可** / 禁止を選択します。コンペアマッチ、インプットキャプチャによるカウンタクリアを許可した場合、「24.3.8.3 チャンネル間連携による同期クリア動作」で説明するチャンネル間連携による同期クリアの要因として扱うことができます。

CSCMSC[2:0] ビットを“001b”、“010b”に設定し、インプットキャプチャによるカウンタクリアを許可した場合、GTICmSR レジスタ (m = A, B) で選択したインプットキャプチャ要因と同じ要因を GTCSR レジスタのカウンタクリア要因にも設定する必要があります。

また、カウンタクリアの要因として他チャンネル要因によるインプットキャプチャ (GTICASR.ASOC ビットまたは GTICBSR.BSOC ビットを“1”に設定) を使用することはできません。

バッファ動作(波形モード固有の場合を含む)を行っているレジスタによるコンペアマッチは発生しないため、該当する動作モードにおいて対象となるレジスタをコンペアマッチ要因とするカウンタクリア許可の設定は無効です。

相補 PWM モードの場合、GTCCRB、GTCCRE、GTCCRF レジスタはバッファ動作を行わない状態においても、コンペアマッチを要因とするクリア許可は無効です。

•Page 1044, 1046 of 2948

「24.2.12 汎用 PWM タイマ制御レジスタ (GTCR)」において、以下のとおり CPSCD ビットを削除いたします。

【変更前】

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	CKEG[1:0]			TPCS[3:0]			—	—	—		MD[3:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SSCEN	—	—	CPSCD	SSCGRP[1:0]	SCGTI OC	ICDS	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
(省略)				
b11-b10	SSCGRP[1:0]	同期セット/クリアグループ選択ビット	b11 b10 0 0: 同期セット/クリアグループAを選択 0 1: 同期セット/クリアグループBを選択 1 0: 同期セット/クリアグループCを選択 1 1: 同期セット/クリアグループDを選択	R/W (注1)
b12	CPSCD	相補PWMモード同期クリア禁止ビット (注2)	0: 相補PWMモード時の谷以外における他チャネルからの同期クリアを許可 1: 相補PWMモード時の谷以外における他チャネルからの同期クリアを禁止	R/W (注1)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSCEN	同期セット/リセット許可ビット	0: GTCNTカウンタの同期セット/同期クリアを禁止 1: GTCNTカウンタの同期セット/同期クリアを許可	R/W (注1)
(省略)				

CPSCD ビット (相補 PWM モード同期クリア禁止ビット)

相補 PWM モード時に谷以外において他チャネルからの同期クリアが発生した場合のクリアの禁止 / 許可を選択します。

マスタチャネルの CPSCD ビットの設定でスレーブチャネルも制御します。

【変更後】

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CKEG[1:0]			TPCS[3:0]			—	—	—			MD[3:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCEN	—	—	—	SSCGRP[1:0]	SCGTI OC	ICDS	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
(省略)				
b11-b10	SSCGRP[1:0]	同期セット/クリアグループ選択ビット	b11 b10 0 0: 同期セット/クリアグループAを選択 0 1: 同期セット/クリアグループBを選択 1 0: 同期セット/クリアグループCを選択 1 1: 同期セット/クリアグループDを選択	R/W (注1)
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSCEN	同期セット/リセット許可ビット	0: GTCNTカウンタの同期セット/同期クリアを禁止 1: GTCNTカウンタの同期セット/同期クリアを許可	R/W (注1)
(省略)				

•Page 1045 of 2948

「24.2.12 汎用 PWM タイマ制御レジスタ (GTCR)」において、CST ビットの [“0”になる条件] に以下のとおり条件を追加いたします。

【変更前】

CST ビット (カウントスタートビット)

(中略)

["0"になる条件]

- GTPSR.CSTOP ビットが“1”の状態、GTSTP レジスタのチャンネル番号に対応するビットに“1”を書いたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA, GTIOCnB 端子入力条件が発生したとき
- ソフトウェアで直接“0”を書いたとき

【変更後】

CST ビット (カウントスタートビット)

(中略)

["0"になる条件]

- GTPSR.CSTOP ビットが“1”の状態、GTSTP レジスタのチャンネル番号に対応するビットに“1”を書いたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA, GTIOCnB 端子入力条件が発生したとき
- **GTPC.ASTP ビットが“1”の状態、サイクルカウントが終了したとき**
- ソフトウェアで直接“0”を書いたとき

•Page 1108 of 2948

「24.2.42 汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR)」において、SPCD ビットの説明文を以下のとおり訂正いたします。

【変更前】

SPCD ビット (サイクルカウント機能同時禁止ビット)

“1” を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTPC.PCEN ビットに同時に“1”を設定し、サイクルカウント機能を禁止します。

SPCE ビットと SPCD ビットに同時に“1”を設定することは禁止です。

【変更後】

SPCD ビット (サイクルカウント機能同時禁止ビット)

“1” を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTPC.PCEN ビットに同時に“0”を設定し、サイクルカウント機能を禁止します。

SPCE ビットと SPCD ビットに同時に“1”を設定することは禁止です。

•Page 1117 of 2948

「24.2.46 出力位相スイッチ制御レジスタ (OPSCR)」において、ALIGN ビットの機能欄を以下のとおり訂正いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
(省略)				
b21	ALIGN	入力相アライメントビット	0: 入力相をPCLKCに同調させます。 1: 入力相をPWM立ち上がりエッジに同調させます。	R/W
(省略)				

【変更後】

ビット	シンボル	ビット名	機能	R/W
(省略)				
b21	ALIGN	入力相アライメントビット	0: 入力相をPCLKCに同調させます。 1: 入力相をPWM立ち下がりエッジに同調させます。	R/W
(省略)				

•Page 1137 of 2948

「表 24.11 相補 PWM モードの GTPR バッファ転送タイミング」の 2 行目、3 行目を以下のとおり訂正いたします。

【変更前】

表 24.11 相補 PWM モードの GTPR バッファ転送タイミング

	相補 PWM モード1	相補 PWM モード2	相補 PWM モード3 相補 PWM モード4
GTPDBR ↓ テンポラリレジスタ P	スレーブチャネル2 (GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後	スレーブチャネル2 (GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後	スレーブチャネル2 (GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後
テンポラリレジスタ P ↓ GTPBR	アップカウント中間区間でテンポラリレジスタ P に転送した場合 • テンポラリレジスタ P に転送した1 PCLKC後 アップカウントの中間区間以外でテンポラリレジスタ P に転送した場合 • 谷区間の終わり	アップカウント中間区間でテンポラリレジスタ P に転送した場合 • テンポラリレジスタ P に転送した1 PCLKC後 アップカウントの中間区間以外でテンポラリレジスタ P に転送した場合 • 山区間の終わり	中間区間でテンポラリレジスタ P に転送した場合 • テンポラリレジスタ P に転送した1 PCLKC後 中間区間以外でテンポラリレジスタ P に転送した場合 • 山/谷区間の終わり
GTPBR ↓ GTPR	谷区間の終わり • 同期クリア	山区間の終わり • 同期クリア	山区間の終わり 谷区間の終わり • 同期クリア

【変更後】

表 24.11 相補 PWM モードの GTPR バッファ転送タイミング

	相補 PWM モード1	相補 PWM モード2	相補 PWM モード3 相補 PWM モード4
GTPDBR ↓ テンポラリレジスタ P	スレーブチャネル2 (GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後	スレーブチャネル2 (GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後	スレーブチャネル2 (GPTWn+2)のGTCCRDレジスタ書き込みの1 PCLKC後
テンポラリレジスタ P ↓ GTPBR	アップカウント中間区間でテンポラリレジスタ P に転送した場合 • テンポラリレジスタ P に転送した1 PCLKC後 アップカウントの中間区間以外でテンポラリレジスタ P に転送した場合 • 谷区間の終わり	ダウンカウント中間区間でテンポラリレジスタ P に転送した場合 • テンポラリレジスタ P に転送した1 PCLKC後 ダウンカウントの中間区間以外でテンポラリレジスタ P に転送した場合 • 山区間の終わり	中間区間でテンポラリレジスタ P に転送した場合 • テンポラリレジスタ P に転送した1 PCLKC後 中間区間以外でテンポラリレジスタ P に転送した場合 • 山/谷区間の終わり
GTPBR ↓ GTPR	山区間の終わり • アップカウント中間区間および山区間におけるカウンタクリア (GTCSR.CP1CCE ビットの設定によるカウンタクリアを含む)	谷区間の終わり • ダウンカウント中間区間および谷区間におけるカウンタクリア	山区間の終わり 谷区間の終わり • カウンタクリア

•Page 1198 of 2948

「表 24.17 相補 PWM モード4 のシングルバッファ時の GTCCRD レジスタからの即時転送 (1)」の 6 行目、7 行目を以下のとおり訂正いたします。

【変更前】

表 24.17 相補 PWM モード 4 のシングルバッファ時の GTCCRD レジスタからの即時転送 (1)

動作区間	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
(省略)			
アップ カウント 山区間	(省略)		
	アップカウントの コンペアマッチ後	ダウンカウントのコンペアマッチ前 • GTCCRD < GPTWn+2.GTCNT の場合 GTCCRD • GTCCRD ≤ GPTWn+2.GTCNT の場合 GPTWn+2.GTCNT 正相を OFF ダウンカウントのデッドタイム開始後 転送なし	転送なし
ダウン カウント 山区間	ダウンカウントの コンペアマッチ前	アップカウントのデッドタイム期間 • GTCCRD > GPTWn+1.GTCNT の場合 GTCCRD • GTCCRD ≤ GPTWn+1.GTCNT の場合 GPTWn+1.GTCNT 逆相を OFF アップカウントのコンペアマッチ後 • GTCCRD < GPTWn.GTCNT の場合 GTCCRD • GTCCRD ≥ GPTWn.GTCNT の場合 GPTWn.GTCNT 正相を OFF	転送なし
		(省略)	

【変更後】

表 24.17 相補 PWM モード 4 のシングルバッファ時の GTCCRD レジスタからの即時転送 (1)

動作区間	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
(省略)			
アップ カウント 山区間	(省略)		
	アップカウントの コンペアマッチ後	ダウンカウントのコンペアマッチ前 • GTCCRD < GPTWn+2.GTCNT の場合 GTCCRD • GTCCRD ≥ GPTWn+2.GTCNT の場合 GPTWn+2.GTCNT 正相を OFF ダウンカウントのデッドタイム開始後 転送なし	転送なし
ダウン カウント 山区間	ダウンカウントの コンペアマッチ前	アップカウントのデッドタイム期間 • GTCCRD < GPTWn+1.GTCNT の場合 GTCCRD • GTCCRD ≥ GPTWn+1.GTCNT の場合 GPTWn+1.GTCNT 逆相を OFF アップカウントのコンペアマッチ後 • GTCCRD < GPTWn.GTCNT の場合 GTCCRD • GTCCRD ≥ GPTWn.GTCNT の場合 GPTWn.GTCNT 正相を OFF	転送なし
		(省略)	

•Page 1318 of 2948

「24.10 使用上の注意事項」において、24.10.3 の前に下記注意事項を追加いたします。

【変更後】

24.10.3 相補 PWM モード中の GTPBR、GTPDBR レジスタの設定範囲

相補 PWM モード 1、3、4 で山区間の終わりで GTPR レジスタのバッファ転送が発生する場合、転送後の GTPR レジスタが、下記の範囲になるように GTPBR, GTPDBR レジスタを設定してください。

山区間の終わりのマスタチャネルの GTCNT カウンタ (転送前の GTPR レジスタ - GTDVU レジスタ) より小さくならない範囲 (GTPBR レジスタ \geq GTPR レジスタ - GTDVU レジスタ、GTPDBR レジスタ \geq GTPBR レジスタ - GTDVU レジスタ)。

谷区間の終わりかカウンタクリアで GTPR レジスタをバッファ転送する場合、GTPBR, GTPDBR レジスタの設定範囲に制限はありません。

•Page 1320 of 2948

「24.10 使用上の注意事項」において、24.10.5 (新 24.10.6) の後に下記注意事項を追加いたします。

【変更後】

24.10.7 相補 PWM モード動作中のカウンタクリアに関する注意事項

相補 PWM モード動作中にカウンタクリアをする場合、谷区間の終わり (初期出力区間の終わりを含む) でカウンタクリアは禁止です。

相補 PWM モード動作中のカウンタクリアをする場合、「24.3.8.3 チャンネル間連携による同期クリア動作」で説明しているコンペアマッチ要因による同期クリアを使用することで、他のチャネルのコンペアマッチ設定により初期出力区間および谷区間の終わりでのカウンタクリアを回避することが可能です。その他のカウンタクリアを使用する場合、谷区間の終わり (初期出力区間の終わりを含む) でカウンタクリアが発生しないようにタイミングを調整してください。

24.10.8 相補 PWM モードで同期クリア後の PWM 初期出力を抑止する際の注意事項

GTIOR.CPSCIR ビット = 1 に設定し、相補 PWM モードの谷区間での同期クリア後の GTIOcNA、GTIOcNB 端子の初期出力抑止を有効にする場合、コンペアマッチレジスタ (GTCCRA, GTCCRC, GTCCRD, GTCCRE, GTCCRF) の設定値は GTDVU レジスタの 2 倍より大きな値に設定してください。

•Page 1616 of 2948

「表 33.1 RSCI の仕様 (3/3)」において、イベントリンク機能の内容を以下のとおり訂正いたします。

【変更前】

表 33.1 RSCI の仕様 (3/3)

項目	内容
イベントリンク機能	エラー (受信エラー・エラーシグナル検出) イベント出力
	受信データフルイベント出力
	送信データエンプティイベント出力
	送信完了イベント出力
	受信データ一致イベント出力
	受信データ不一致イベント出力
	有効エッジ検出イベント出力

【変更後】

表 33.1 RSCI の仕様 (3/3)

項目	内容
イベントリンク機能	エラー (受信エラー・エラーシグナル検出) イベント出力
	受信データフルイベント出力
	送信データエンプティイベント出力
	送信完了イベント出力

•Page 1828 of 2948

「33.18 イベントリンク機能」において、表 33.49 を以下のとおり訂正いたします。

【変更前】

表 33.49 RSCI イベントリンク信号一覧

イベントの種類	パルス/レベル	パルス幅	アクティブレベル	同期クロック
エラーイベント	パルス	1cycle	High	PCLK
受信データフルイベント	パルス	1cycle	High	PCLK
受信データ一致イベント	パルス	1cycle	High	PCLK
送信データエンプティイベント	パルス	1cycle	High	PCLK
送信完了イベント	パルス	1cycle	High	PCLK
受信データ不一致イベント	パルス	1cycle	High	PCLK
有効エッジ検出イベント	パルス	1cycle	High	PCLK

【変更後】

表 33.49 RSCI イベントリンク信号一覧

イベントの種類	パルス/レベル	パルス幅	アクティブレベル	同期クロック
エラーイベント	パルス	1cycle	High	PCLK
受信データフルイベント	パルス	1cycle	High	PCLK
送信データエンプティイベント	パルス	1cycle	High	PCLK
送信完了イベント	パルス	1cycle	High	PCLK

•Page 1829 of 2948

「33.18 イベントリンク機能」において、下記 (5) ~ (7) を削除いたします。

(5) 受信データ一致イベント出力

- 調歩同期式モード(マルチプロセッサモード含む)で、受信完了したデータと SCR4.CMPD[8:0] ビット設定値との一致を検出したことを示します。

(6) 受信データ不一致イベント出力

- 調歩同期式モード(マルチプロセッサモード含む)で、受信完了したデータと SCR4.CMPD[8:0] ビット設定値との不一致を検出したことを示します。

(7) 有効エッジ検出イベント出力

- 拡張シリアルモードで、XCR1.BRME ビットが “1” のとき、RXD 入力信号に有効エッジを検出したことを示します。

•Page 2037 of 2948

「35.4.6.5 I3C ターゲット送信フロー (FIFO バッファ転送)」において、図 35.48 を以下のとおり訂正いたします。

【変更前】

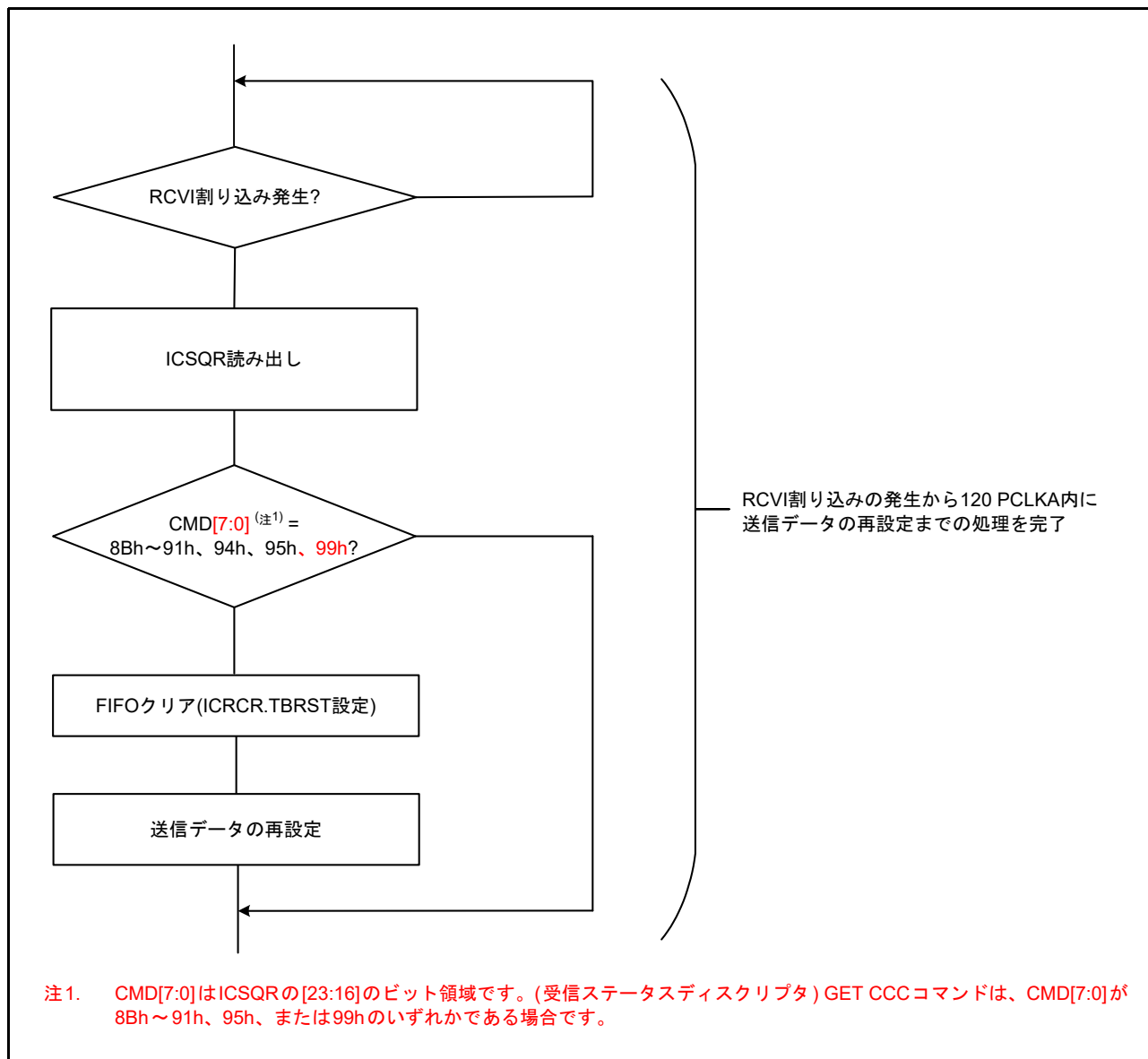


図 35.48 ICDR レジスタから送信バッファへの書き込みによりデータが存在している間に I3C ターゲットが GET CCC コマンドを受信する

【変更後】

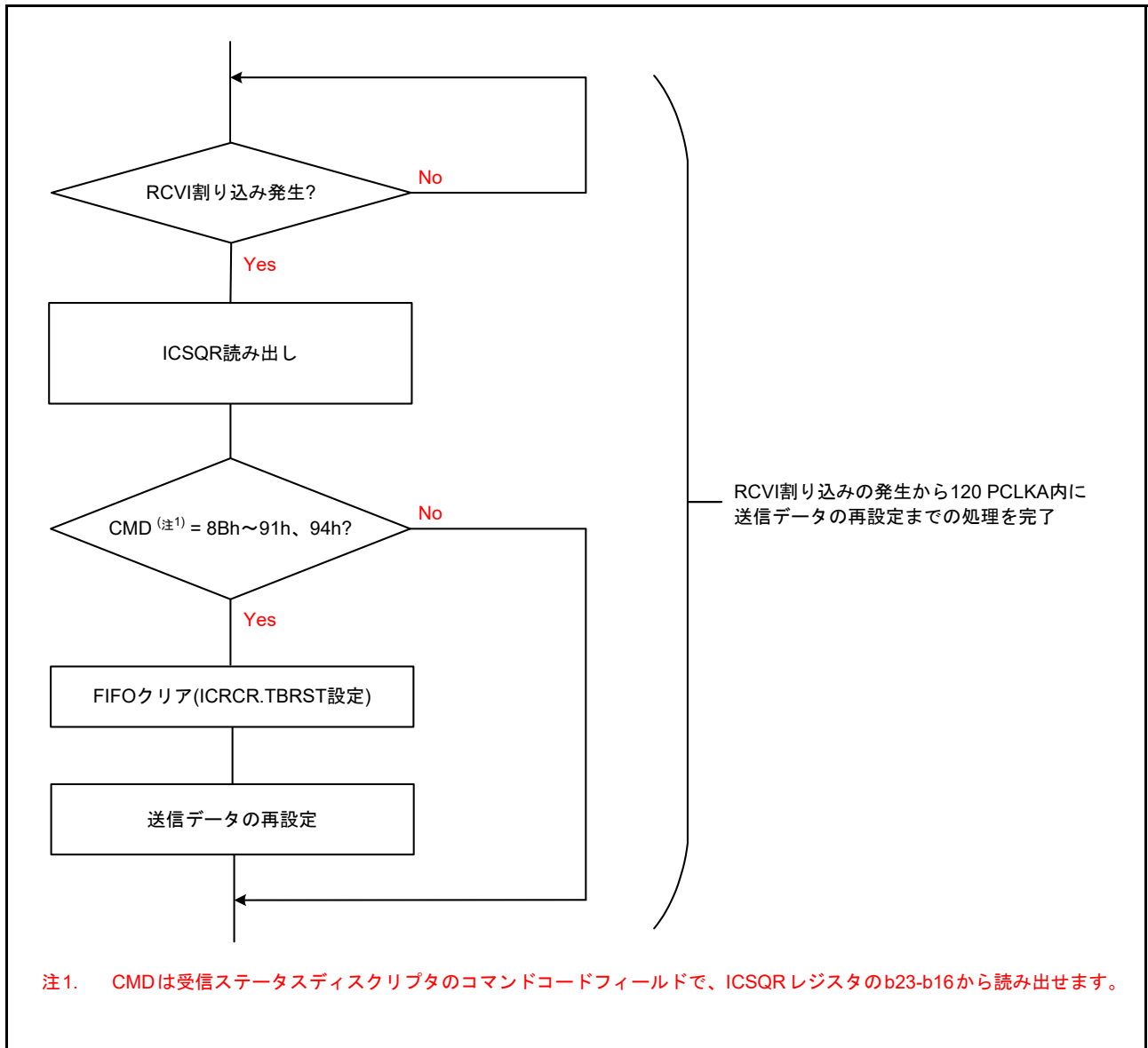


図 35.48 ICDR レジスタから送信バッファへの書き込みによりデータが存在している間に I3C ターゲットが GET CCC コマンドを受信する

以上