

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
ルネサス エレクトロニクス株式会社
問合せ窓口 <http://japan.renesas.com/contact/>
E-mail: csc@renesas.com

製品分類	MPU & MCU		発行番号	TN-16C-A219A/J		Rev.	第1版
題名	R32C/161 グループ ハードウェアマニュアルの誤記訂正			情報分類	技術情報		
適用製品	R32C/161 グループ		対象ロット等	関連資料	R32C/161 グループ ハードウェアマニュアル Rev.1.02 (RJJ09B0549-0102)		

R32C/161 グループ ハードウェアマニュアル Rev.1.02 において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 10 of 581

表1.6のクロック出力の機能を以下のとおり訂正いたします。

【誤】

fC、f8または、f32と同じ周期のクロックを出力します

【正】

低速クロック、f8または、f32と同じ周期のクロックを出力します

•Page 36 of 581

表4.19 IFS0レジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

X000 X000b

【正】

X0X0 X000b

•Page 53, 54, 67, 68 of 581

表4.36、表4.37、表4.50、表4.51のレジスタ名を以下のとおり訂正いたします。

【誤】

CANiアクセプタンスマスクレジスタk

【正】

CANiマスクレジスタk

•Page 56, 70 of 581

表4.39、表4.53のCiMSMRレジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

XXXX XX00b

【正】

0000 0000b

•Page 82 of 581

図7.1を以下のとおり訂正いたします。

【誤】

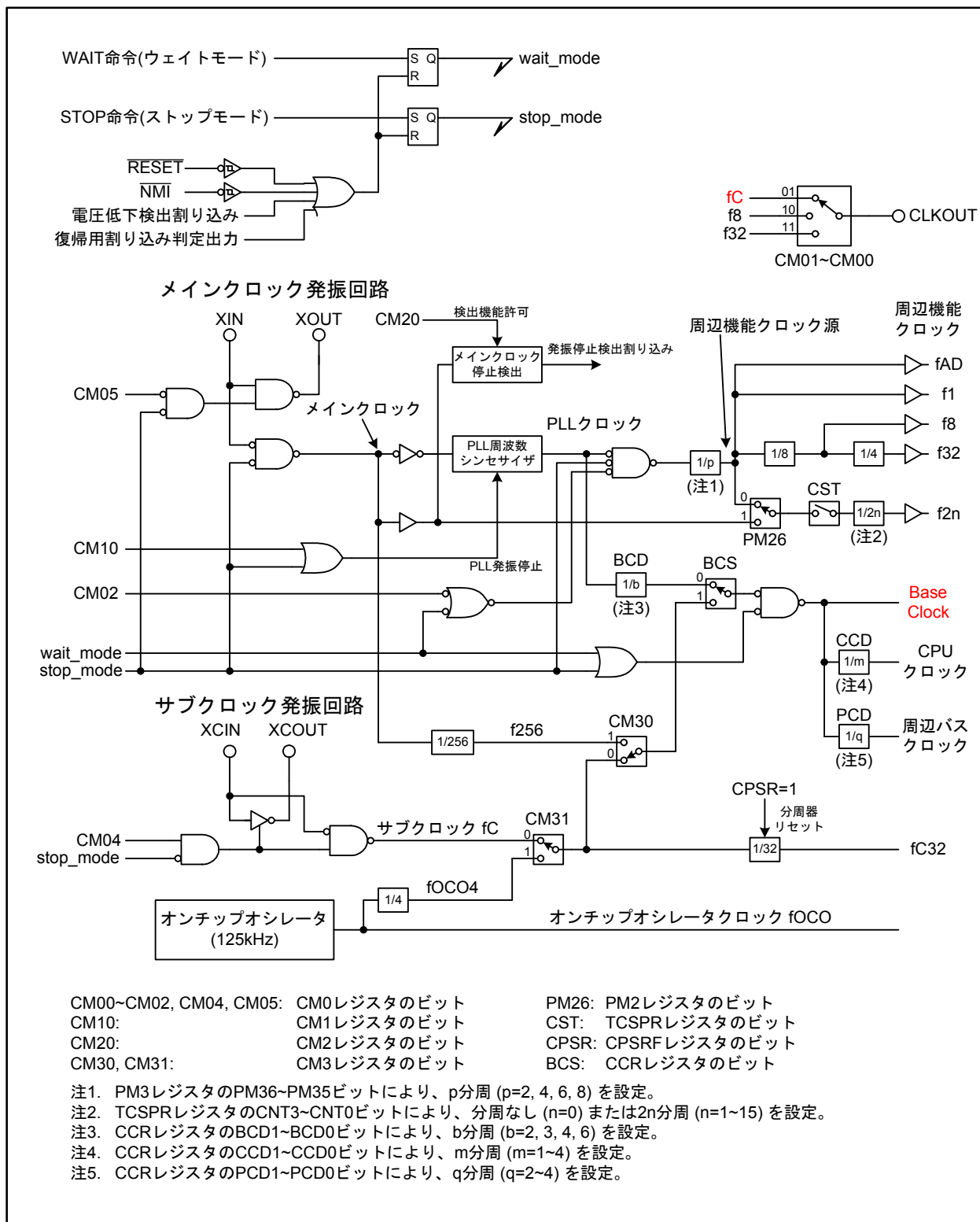


図7.1 クロック発生回路のブロック図

【正】

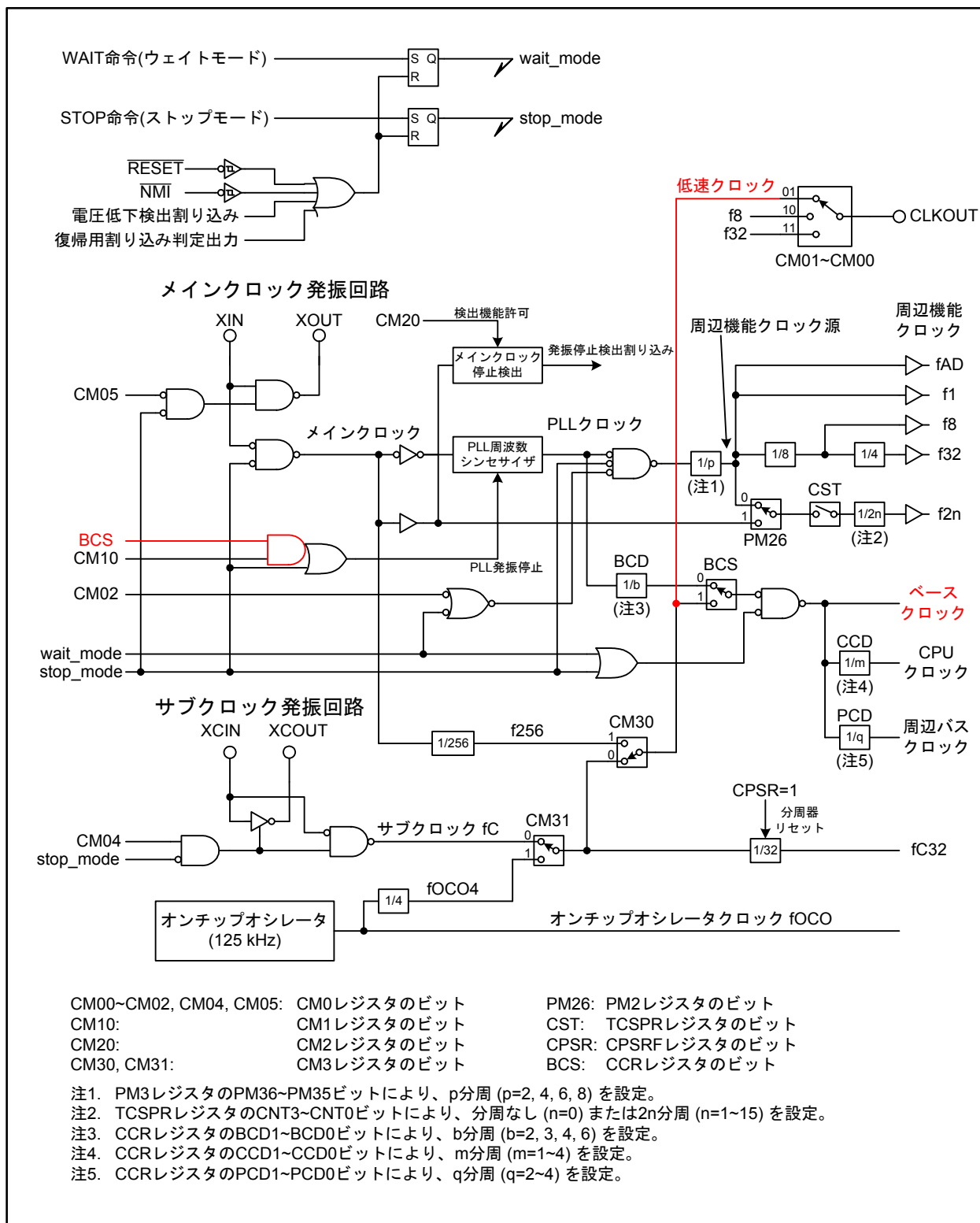


図7.1 クロック発生回路のブロック図

•Page 83 of 581

図7.2の注2、注6の文章をそれぞれ以下のとおり訂正いたします。

【誤】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を越える場合があります。ベースクロックの周波数を上げる場合は、先に周辺バスクロック分周値を大きくした後、ベースクロック分周値を小さくしてください。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。

【正】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を越える場合があります。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。先にCM31~CM30ビットでいずれかのクロックを選択した後、このビットを“1”にしてください。

•Page 84, 97, 104, 107 of 581

図7.3のCM01~CM00ビットの機能欄、7.6本文、表7.3、表7.4、表7.6のfCをそれぞれ以下のとおり訂正いたします。

【誤】

図7.3: fCを出力

7.6: fC、f8、またはf32をCLKOUT端子から出力できます。

表7.3: fCを出力

表7.4: fC選択時

表7.6: fC選択時

【正】

図7.3: 低速クロックを出力

7.6: 低速クロック、f8、またはf32をCLKOUT端子から出力できます。

表7.3: 低速クロックを出力

表7.4: 低速クロック選択時

表7.6: 低速クロック選択時

•Page 84 of 581

図7.3のCM06ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注7. このビットはウォッチドッグタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください。

•Page 85 of 581

図7.4の注2の文章を以下のとおり訂正いたします。

【誤】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10を“1”**にすることはできません。**

【正】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10 **ビット**を“1”**にしてもPLL周波数シンセサイザの発振は停止しません。**

•Page 85 of 581

図7.4のCM15ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注4. メインクロックを停止させると“1”になります。“0”にするときは、メインクロックの発振が十分安定してから実施してください。

•Page 86 of 581

図7.6の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてください。

【正】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてください。**また、CCRレジスタのBCSビットが“0”(PLLクロック)のときに書き換えてください。**

•Page 87 of 581

図7.9の注3内の記述を以下のとおり訂正いたします。

【誤】

CM0レジスタのCM05ビット(メインクロックは**停止しない**)
CM1レジスタのCM10ビット(PLLは**停止しない**)

【正】

CM0レジスタのCM05ビット(メインクロックの**発振/停止**)
CM1レジスタのCM10ビット(PLLの**発振/停止**)

•Page 87 of 581

図7.9のPM26ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注6. このビットを変更するときは、f2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 88 of 581

図7.10の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

【正】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。また、fAD、fI、f8、f32、クロック源に周辺機能クロック源を選択したf2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 92 of 581

図7.15のSEOビットのビット名と機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

ビット名: 自励発振モード設定ビット
機能欄: 0: メインクロック通倍モード
 1: 自励発振モード

【正】

ビット名: 自励発振動作設定ビット
機能欄: 0: メインクロック通倍動作
 1: 自励発振動作

•Page 92 of 581

図7.16のPLSレジスタに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. このレジスタはPLC1レジスタのSEOビットを“1”(自励発振動作)にするトリセットされます。なお、メインクロックを停止させたり、PLLを停止させたりした場合、レジスタの更新も停止します。

•Page 95 of 581

7.2.1 項本文2段落目に以下のとおり文章を追記いたします。

【誤】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と、周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

【正】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムで**メインクロックの再発振を抑止する(CM0レジスタのCM05ビットを“1”にする)か**、ベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

•Page 106 of 581

7.7.3 項本文を以下のとおり訂正いたします。

【誤】

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

【正】

ストップモードでは、**停止しないように保護されたクロックを除く**すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

•Page 133 of 581

図10.8を以下のとおり訂正いたします。

【誤】

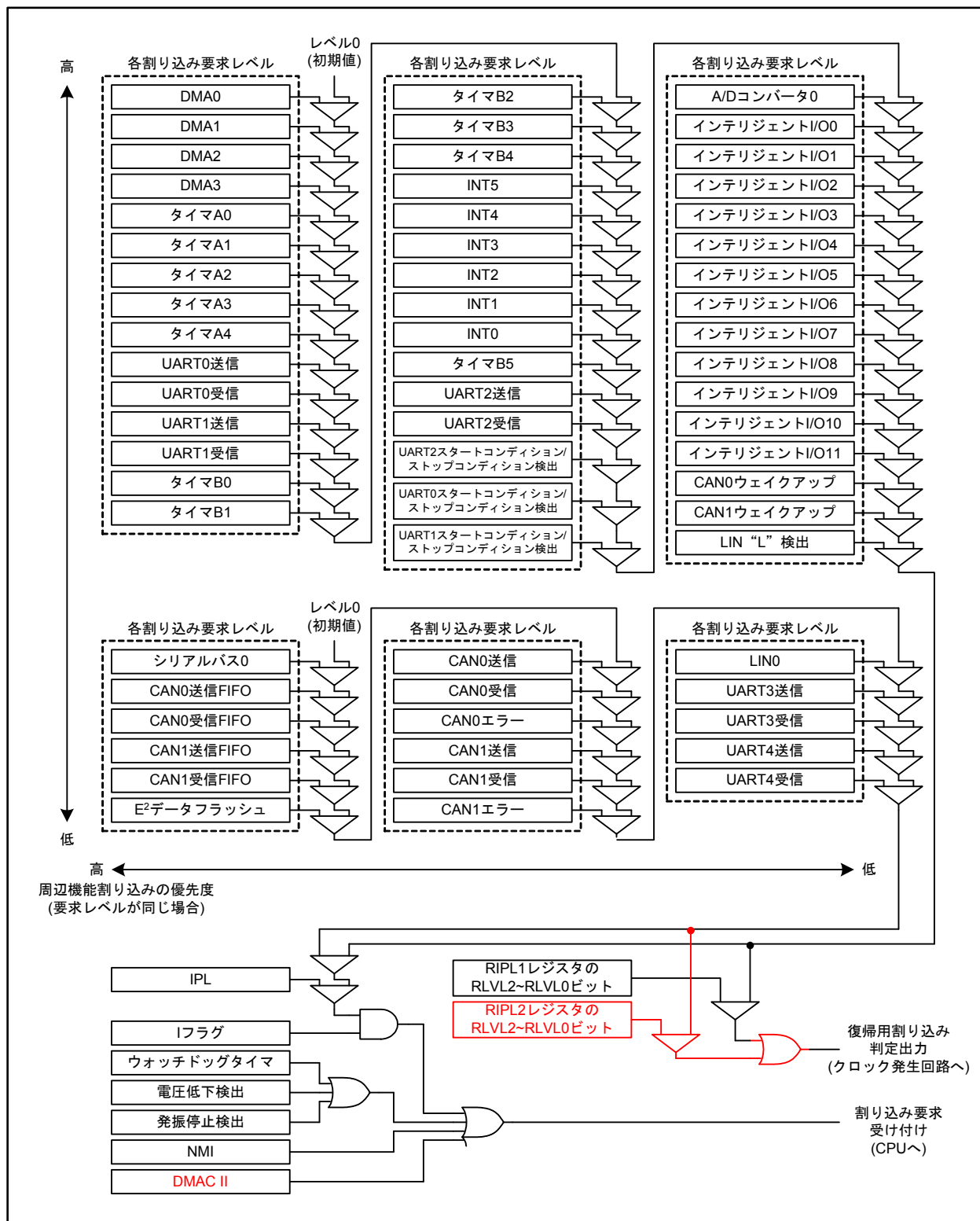


図10.8 割り込み優先順位判定回路

【正】

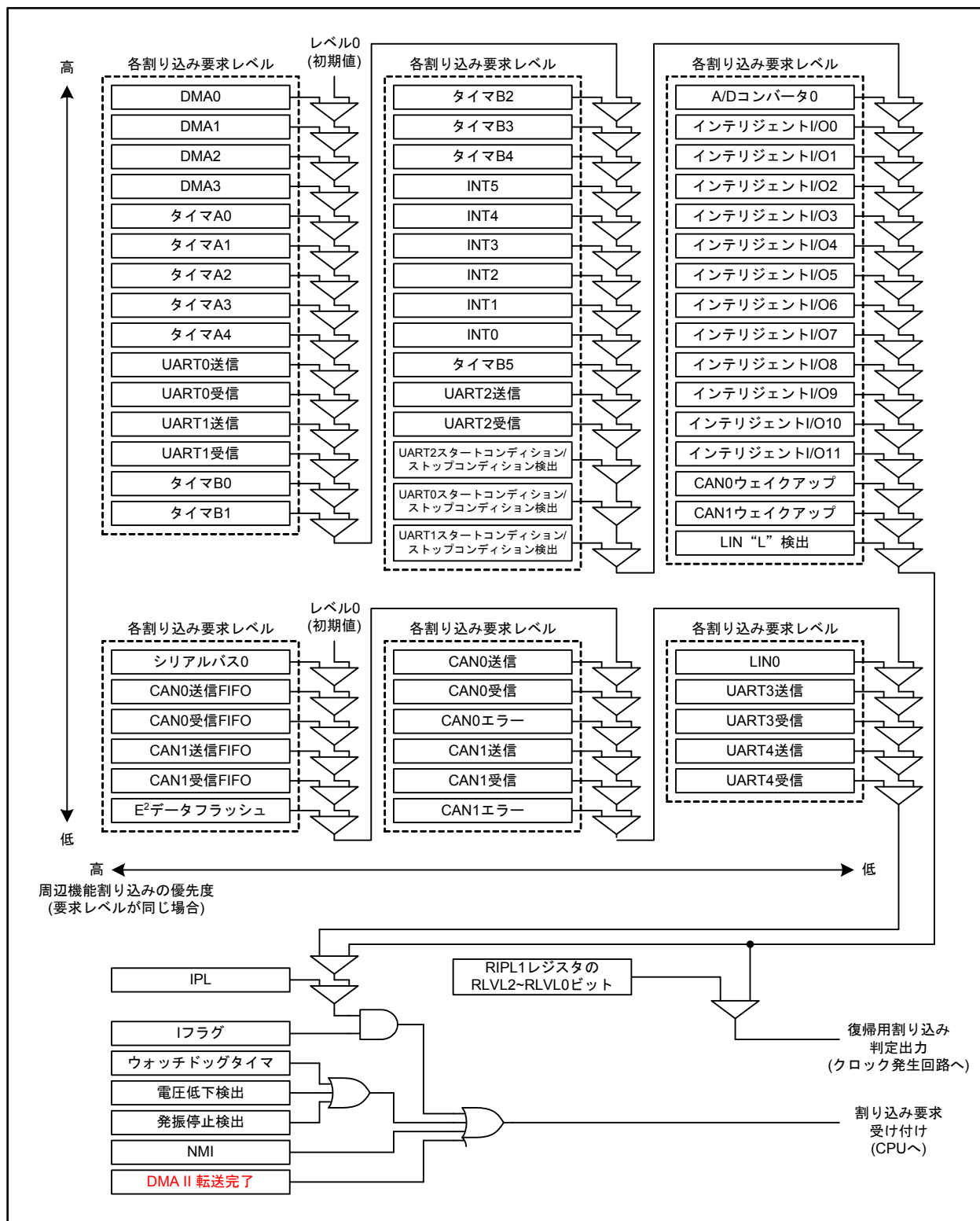


図 10.8 割り込み優先順位判定回路

•Page 138 of 581

図10.13の(b0)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。書く場合、“0”を書いてください。

読んだ場合、その値は“1”

【正】

何も配置されていない。読んだ場合、その値は“1”

•Page 138 of 581

図10.13の注3を以下のとおり訂正いたします。

【誤】

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”を書いても変化しません。“0”を書く場合、AND命令またはBCLR命令を使用してください。

【正】

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合、AND命令またはBCLR命令を使用してください。

•Page 141 of 581

11章 計算式下の本文の一部を以下のとおり訂正いたします。

【誤】

たとえば、カウントソースに周辺バスクロックを選択し、CPUクロック周波数が64MHzで周辺バスクロック周波数がその1/2、プリスケアラの分周値が16の場合、ウォッチドッグタイマの周期は約16.4msとなります。

【正】

たとえば、カウントソースに周辺バスクロックを選択し、CPUクロック周波数が48 MHzで周辺バスクロック周波数がその1/2、プリスケアラの分周値が16の場合、ウォッチドッグタイマの周期は約21.8 msとなります。

•Page 142 of 581

図11.2の(b4-b0)、WDC7ビットに対し、それぞれ以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. カウントソースにオンチップオシレータを使用している場合、読み出し中にカウント値が変わり不定値が読める場合があります。

注2. このビットは、ウォッチドッグタイマ起動前に設定してください。

•Page 143 of 581

図11.3のWDK2、WDK3ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注2. このビットは、ウォッチドッグタイマ起動前に設定してください。

•Page 144 of 581

図11.5のWPSC0、WPSC1ビットおよびCSPMビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注3. WDTONビットが“1”の場合、これらの設定は無効です。WDTONビットが“0”の場合、これらのビットに設定した値がWDKレジスタ、PM2レジスタに反映されます。

•Page 174 of 581

図15.2を以下のとおり訂正いたします。

【誤】

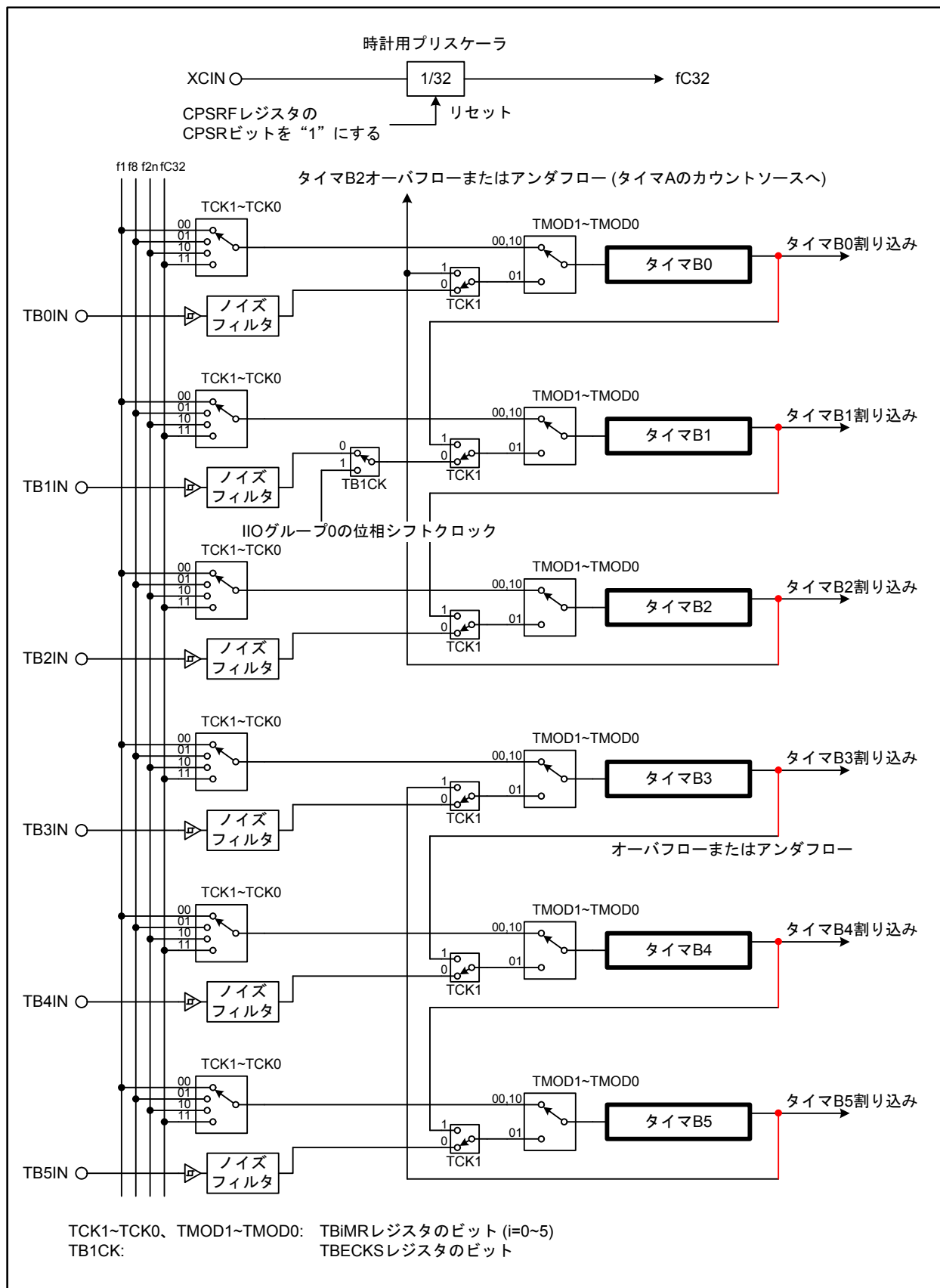
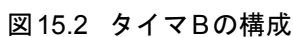


図15.2 タイマBの構成



•Page 208, 212 of 581

図16.3のINV13ビットの機能欄、図16.9のPWCONビットの機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

INV13: タイマAリロード制御信号が...

PWCON: 奇数回目のタイマA出力

【正】

INV13: タイマA1リロード制御信号が...

PWCON: タイマA1リロード制御信号が“0”のときのタイマB2アンダフロー

•Page 212 of 581

図16.8のMR2ビットとMR3ビットの説明文を以下のとおり訂正いたします。

【誤】

MR2: 三相モータ制御用タイマ機能では“0”にしてください

MR3: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

【正】

MR2: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

MR3: 三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定

•Page 213 of 581

16.3本文の3段落目の一部を以下のとおり削除いたします。

【誤】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTAi、TAi-1 (i=4,1,2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。このモードではTAiレジスタ設定値とTAi1レジスタ設定値の合計がTB2レジスタ設定値と一致するようにします。

【正】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTAi、TAi-1 (i=4, 1, 2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

•Page 218 of 581

図16.18の(1)の1項目目を以下のとおり訂正いたします。

【誤】

- INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマAリロード制御信号の立ち下がりでタイマB2割り込み)

【正】

- INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマA1リロード制御信号が“1”のときのタイマB2アンダフローごとにタイマB2割り込み)

•Page 220 of 581

16.6.1項本文を以下のとおり訂正いたします。

【誤】

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

【正】

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

•Page 220 of 581

16.6.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2がオーバーフローする前後で、TAi1レジスタ($i=1, 2, 4$)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、オーバーフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、オーバーフローまでに十分な時間がない場合は、オーバーフローするまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2がアンダフローする前後で、TAi1レジスタ($i=1, 2, 4$)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

•Page 226 of 581

図17.5の注1を以下のとおり削除いたします。

【誤】

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし($n=0$)または2n分周($n=1\sim 15$)を選択できます。

【正】

—なし—

•Page 228 of 581

図17.7のUiIRSビットの機能欄を以下のとおり訂正いたします。

【誤】

0: UiTB レジスタ空 (TI=1)

【正】

0: 送信バッファ空 (TI=1)

•Page 238 of 581

図17.18の波形の名称を以下のとおり訂正いたします。

【誤】

- UiC0 レジスタの TXEPT フラグ

【正】

- UiC0 レジスタの TXEPT **ビット**

•Page 238 of 581

図17.18の設定条件記載箇所の4項目目を以下のとおり訂正いたします。

【誤】

- UiC1 レジスタ、U34CON レジスタの UiRS ビット=0 (UiTB レジスタ空で割り込み要求発生)

【正】

- UiC1 レジスタ、U34CON レジスタの UiIRS ビット=0 (送信バッファ空で割り込み要求発生)

•Page 287 of 581

図19.1を以下のとおり訂正いたします。

【誤】

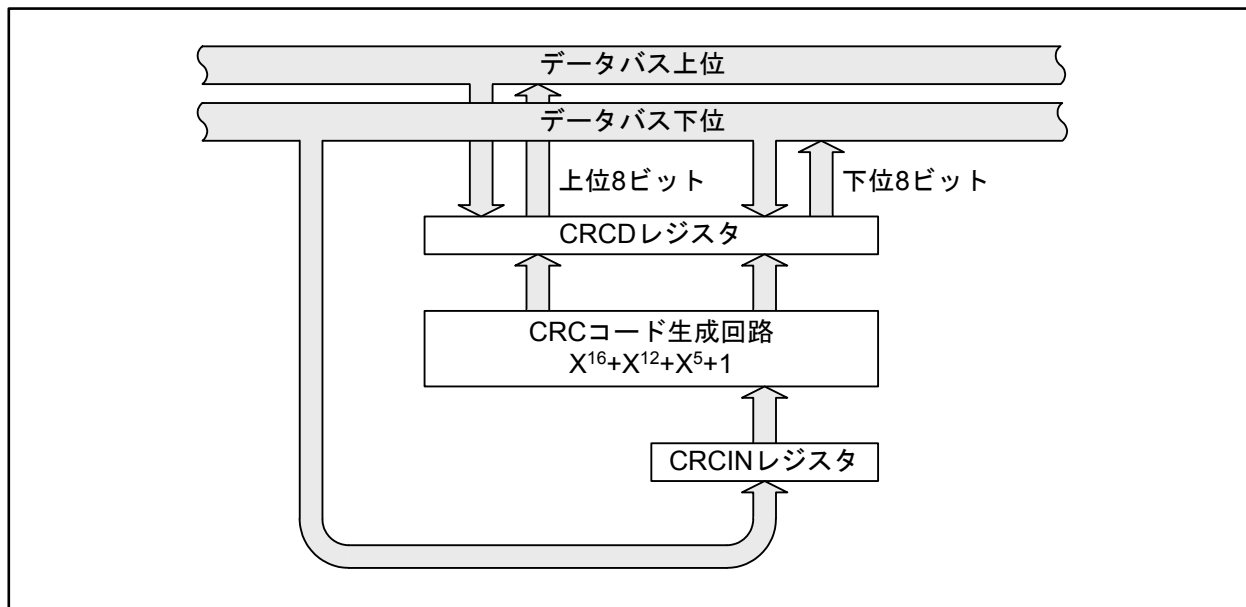


図19.1 CRC演算回路のブロック図

【正】

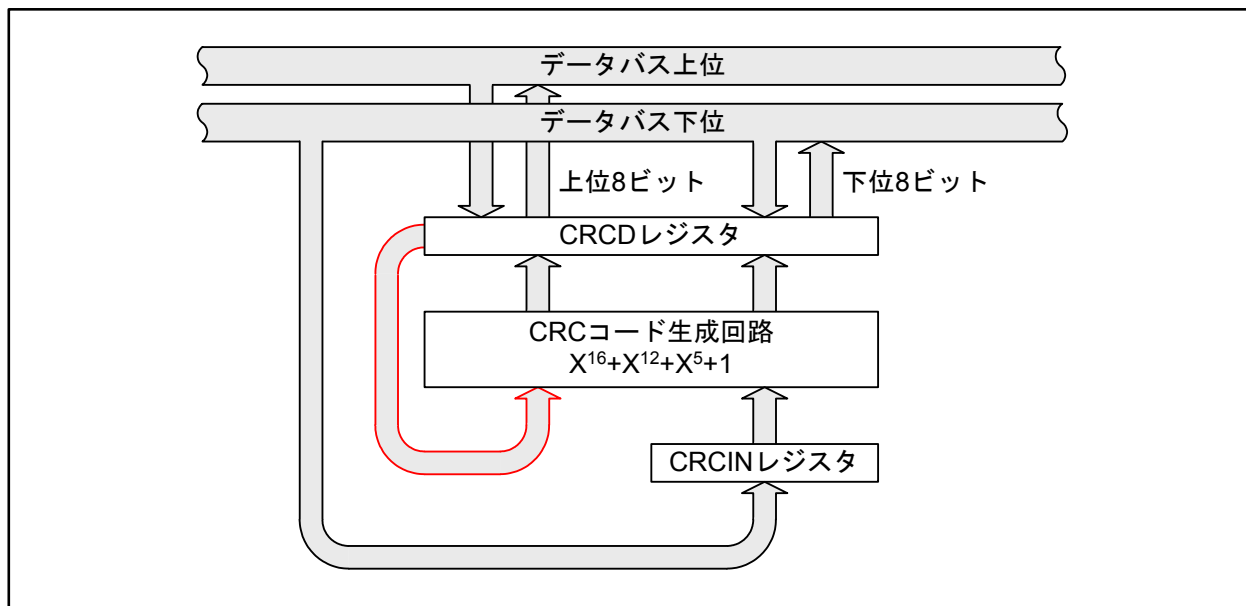


図19.1 CRC演算回路のブロック図

•Page 295 of 581

図21.1左上の「 $\overline{\text{INT0}}$ 端子からの要求」を以下のとおり訂正いたします。

【誤】

$\overline{\text{INT0}}$ 端子からの要求

【正】

$\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求

•Page 297 of 581

図21.4のRST2ビットの機能を以下のとおり訂正いたします。

【誤】

1: $\overline{\text{INT0}}$ 端子への“L”入力でベースタイマリセットする

【正】

1: $\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子への“L”入力でベースタイマをリセットする

•Page 297 of 581

図21.4のRST2ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注2. IFS2レジスタでUD0Z信号用に選択した外部割り込み入力端子に“L”を入力すると、ベースタイマをリセットをします。

•Page 298 of 581

図21.5の注3を以下のとおり削除いたします。

【誤】

注3. ゲート機能解除後、GOCビットは“0”になります。

【正】

—なし—

•Page 304 of 581

表21.2のペースタイマリセット条件の仕様の一部を以下のとおり訂正いたします。

【誤】

- 外部割り込み端子に“L”を入力
グループ0: $\overline{\text{INT0}}$ 端子

【正】

- 外部割り込み端子 ($\overline{\text{INT0}}$ または $\overline{\text{INT1}}$) に“L”を入力
グループ0: IFS2 レジスタの IFS22 ビットで選択

•Page 305 of 581

図21.14の入力信号の一部を以下のとおり訂正いたします。

【誤】

$\overline{\text{INT0}}$ 端子に“L”を入力

【正】

$\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子に“L”を入力

•Page 308 of 581

図21.17の入力信号を以下のとおり訂正いたします。

【誤】

$\overline{\text{INT0}}$

【正】

$\overline{\text{INT0}}/\overline{\text{INT1}}$

•Page 331 of 581

図22.3の機能欄のビット表記を以下のとおり訂正いたします。

【誤】

b6 b5 b4

【正】

b2 b1 b0

•Page 365 of 581

図23.3の以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. このビットが“1”になっている場合、新たな入力信号“L”検出割り込みは発生しません。

•Page 367 of 581

図23.7の注4の文章を以下のとおり訂正いたします。

【誤】

注4. 入力信号の立ち下がりを検出すると、LSTレジスタのLDビットが“1”になり、割り込みが発生します。なお、LDビットが“1”のときにこのビットを“0”にしても、LDビットは“0”になりません。

【正】

注4. このビットが“1”のときに入力信号の立ち下がりを検出した場合、または入力信号が“L”のときにこのビットを“1”にした場合、LSTレジスタのLDビットが“1”になり、割り込み要求が発生します。

•Page 374, 375 of 581

図23.16、図23.17の注1を以下のとおり訂正いたします。

【誤】

注1. これらのビットは“0”のみ書けます。“1”を書いた場合は、書く前の値を保持します。

【正】

注1. これらのビットは自動的には“0”になりません。プログラムで“0”にしてください。なお、“1”を書いた場合は、書く前の値を保持します。

•Page 374 of 581

図23.16のLDビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注3. このビットが“1”の場合、新たにLDビットが“1”になる条件が整ったとしても、新たな割り込み要求は発生しません。

•Page 378 of 581

表23.3 (1) のソフトウェア処理の4項目目を以下のとおり訂正いたします。

【誤】

- LBRKレジスタの**BFTL3~BFTL0**ビットでブレーク幅(13~28 Tbit)、**BFTD1~BFTD0**ビットでブレークデリミタ幅(1~4 Tbit)を設定

【正】

- LBRKレジスタの**BLT3~BLT0**ビットでブレーク幅(13~28 Tbit)、**BDT1~BDT0**ビットでブレークデリミタ幅(1~4 Tbit)を設定

•Page 379 of 581

表23.4 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

【誤】

インタバイトスペース送信

(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。LESTレジスタのBER=1 (ビットエラー検出)なら中断。エラー発生時には、(5)のチェックサム送信は実行しません)

【正】

インタバイトスペース送信

(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。エラー発生時は(6)へ)

•Page 380 of 581

表23.5 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

【誤】

スタートビット検出によりデータ3受信

(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。LESTレジスタのいずれかのビットが“1”(何らかのエラー検出)なら中断。エラー発生時には、(5)のチェックサム判定は実施しません)

【正】

スタートビット検出によりデータ3受信

(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。エラー発生時は受信を中断して(5)へ。ただしその場合は、(5)のチェックサム判定は実施しません)

•Page 389 of 581

図23.30を以下のとおり訂正いたします。

【誤】

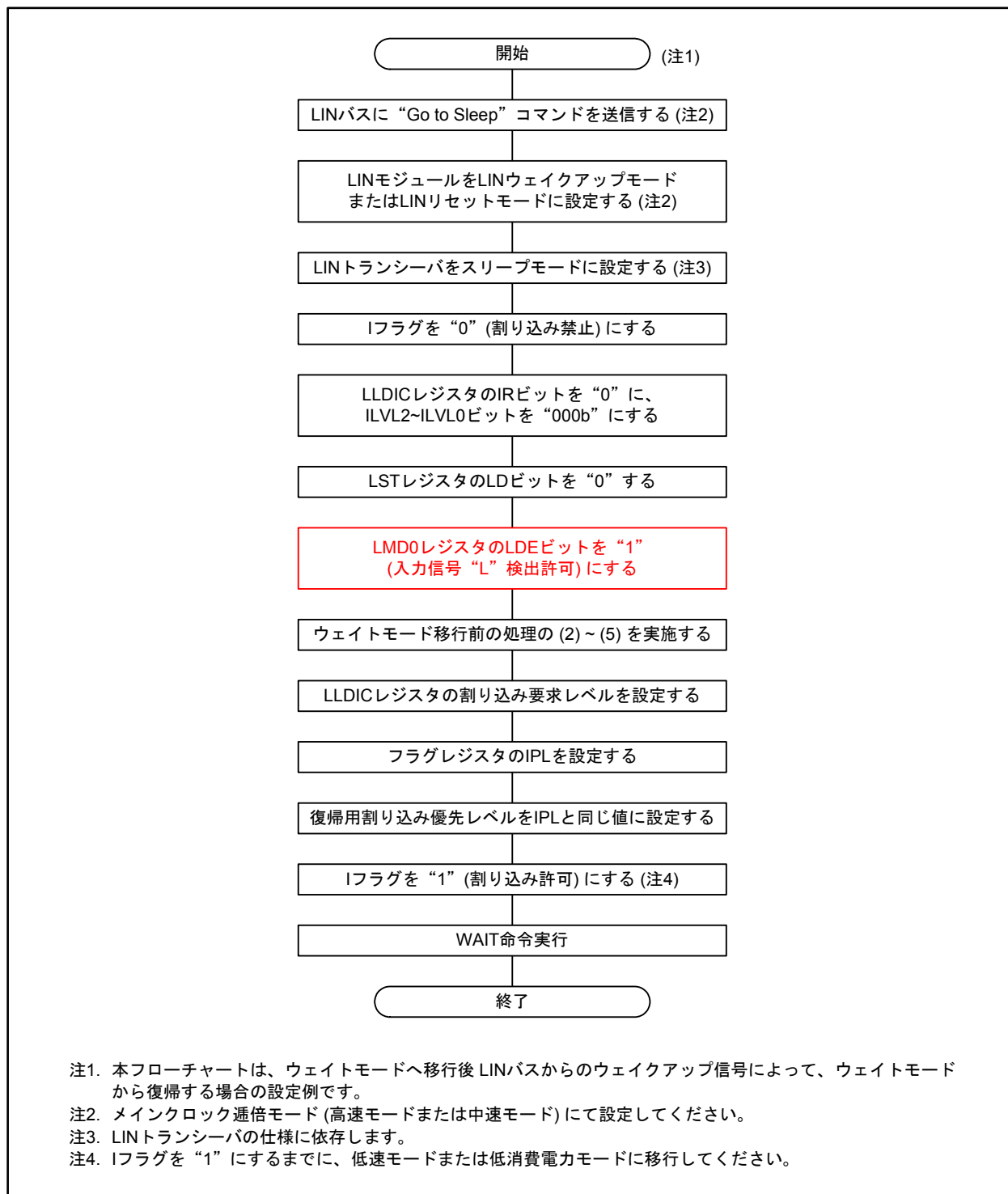


図23.30 ウェイトモードへ遷移する前の設定例

【正】

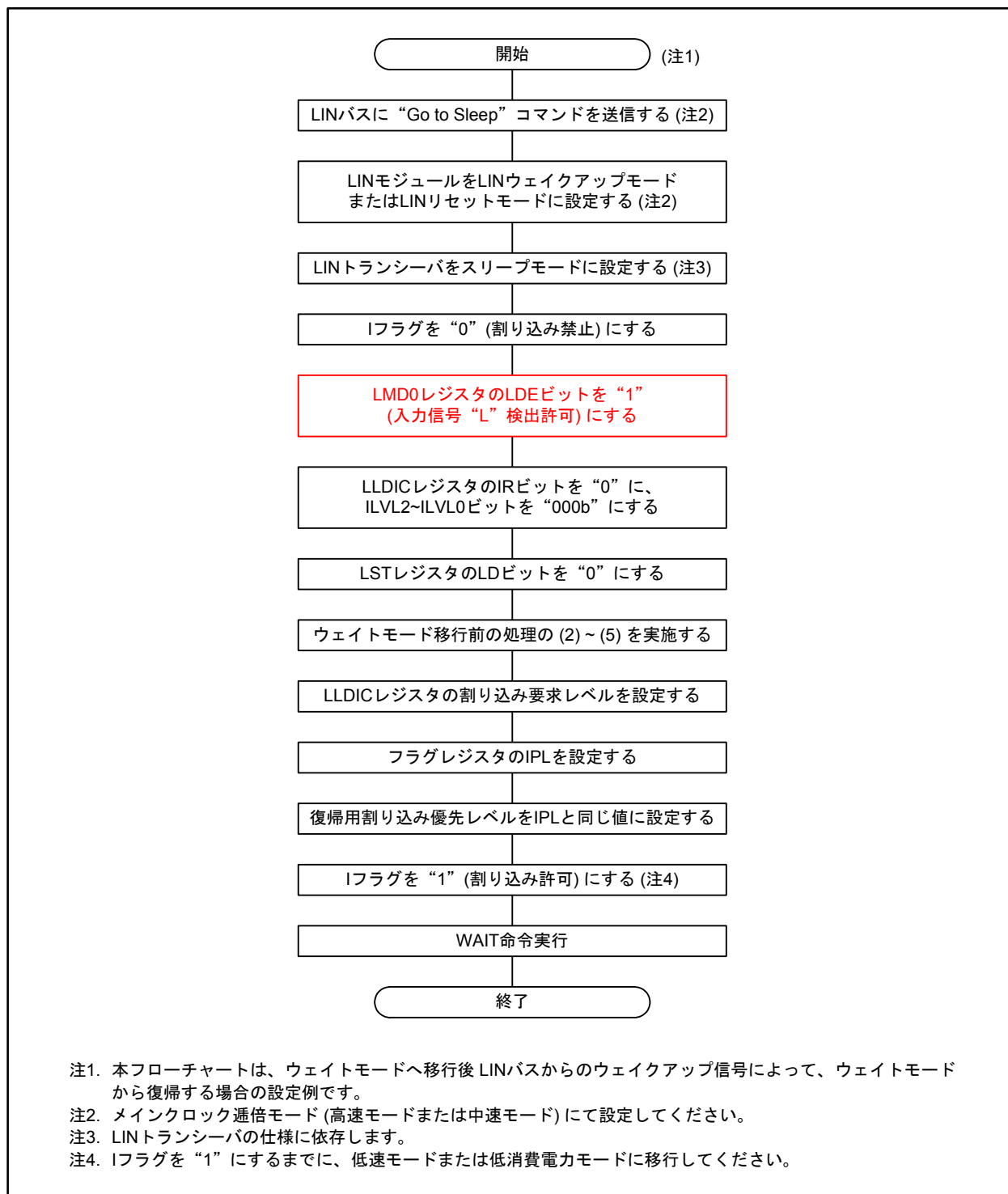


図 23.30 ウェイトモードへ移行する前の設定例

•Page 390 of 581

表 23.8 の入力信号“L”検出の条件欄に以下のとおり文章を追記いたします。

【誤】

LMD0 レジスタの LDE ビットが“1” (入力信号“L”検出許可) で、LIN0IN 端子からの入力信号の立ち下がりエッジを検出したとき

【正】

LMD0 レジスタの LDE ビットが“1” (入力信号“L”検出許可) のとき、LIN0IN 端子からの入力信号の立ち下がりエッジを検出した。または、LIN0IN 端子が“L”のときに LDE ビットを“1”にした

•Page 393 of 581

23.11 の本文 8~9 行目に以下のとおり文章を追記いたします。

【誤】

それぞれの割り込み要求は、LMD0 レジスタの対応するビットが“1” (割り込み許可) のときに、LST レジスタの対応するフラグが“1”になると出力されます。

【正】

それぞれの割り込み要求は、LMD0 レジスタの対応するビットが“1” (割り込み許可) のときに、LST レジスタの対応するフラグが“1”になると出力されます。なお、複数の要因の論理和をとっているため、いずれかの要因が“1”であると他の要因による新たな割り込み要求は発生しません。

•Page 393 of 581

図23.32を以下のとおり訂正いたします。

【誤】

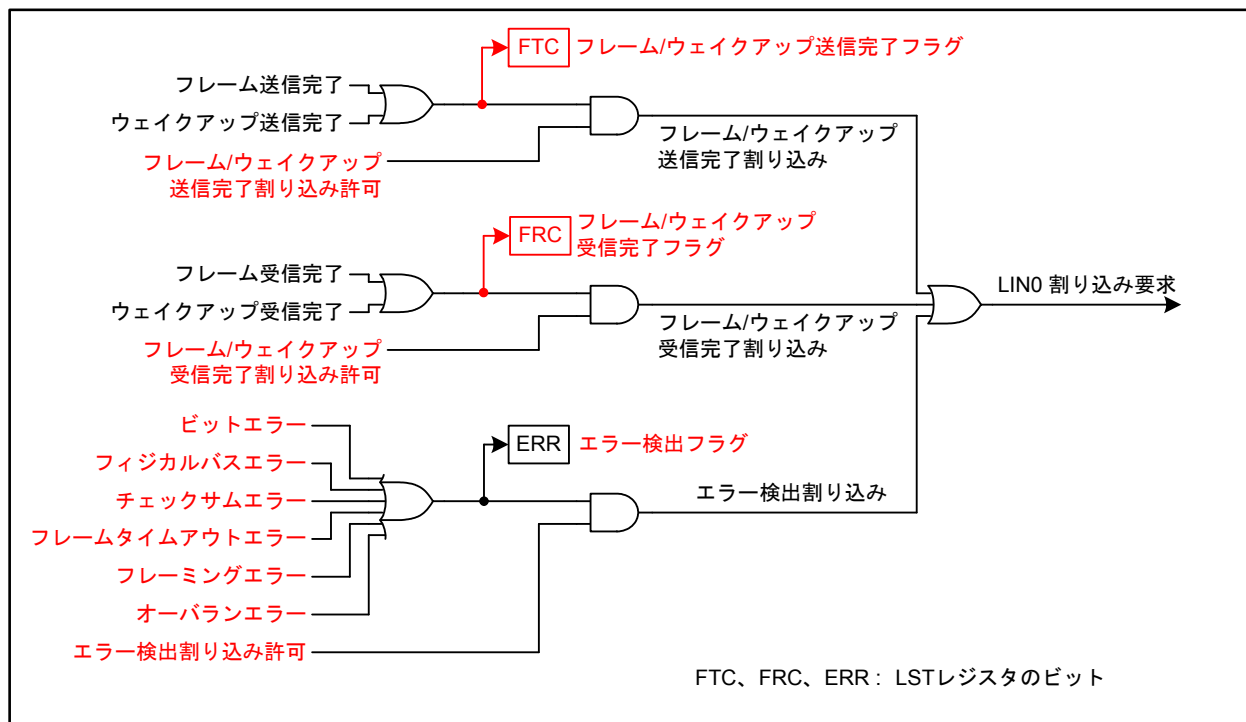


図23.32 LIN0割り込みブロック図

【正】

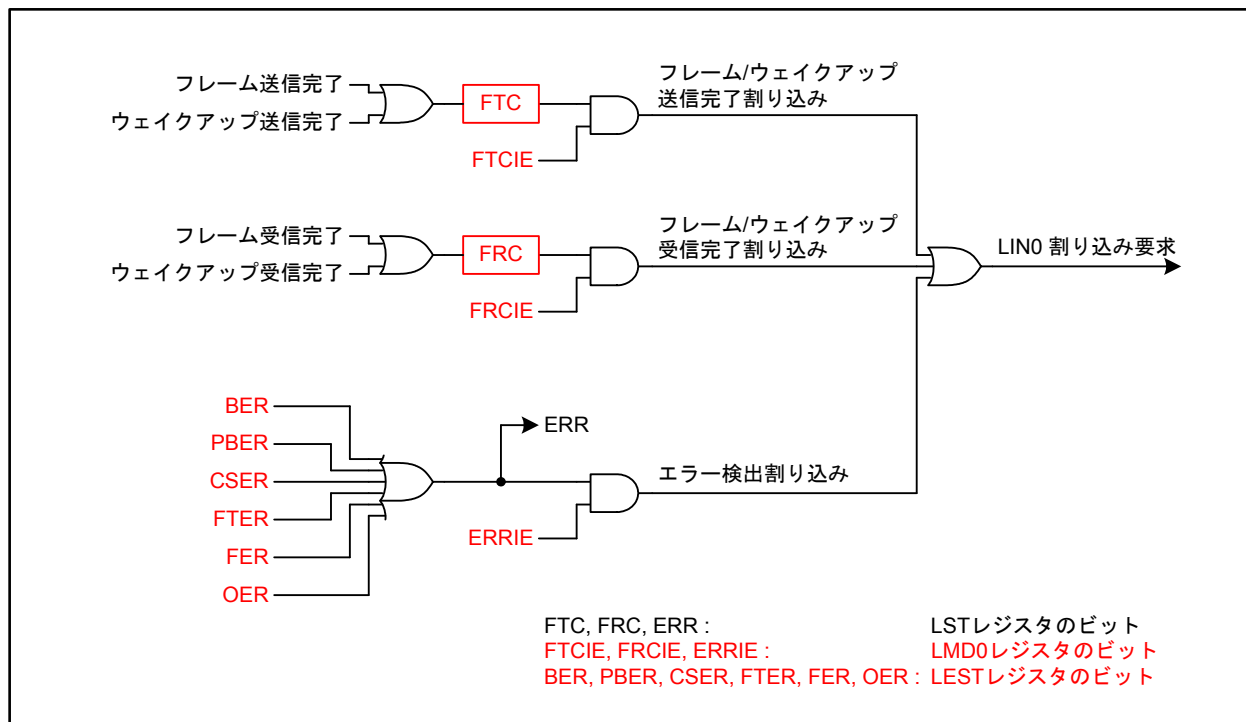


図23.32 LIN0割り込みブロック図

•Page 393 of 581

図23.33を以下のとおり訂正いたします。

【誤】

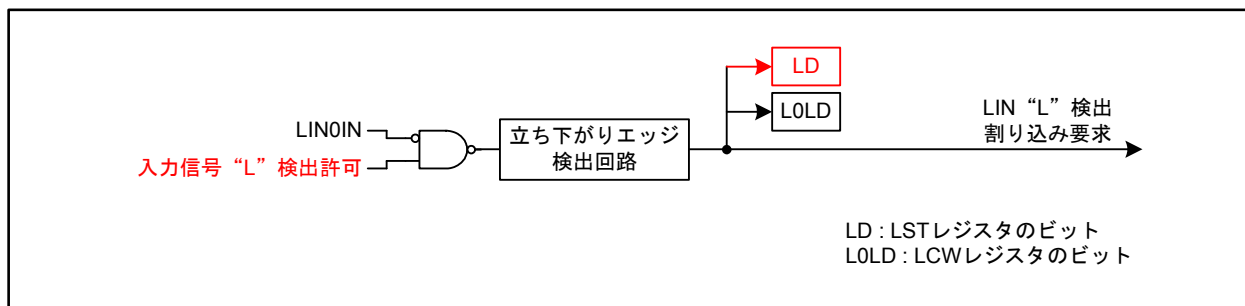


図23.33 LIN“L”検出割り込みブロック図

【正】

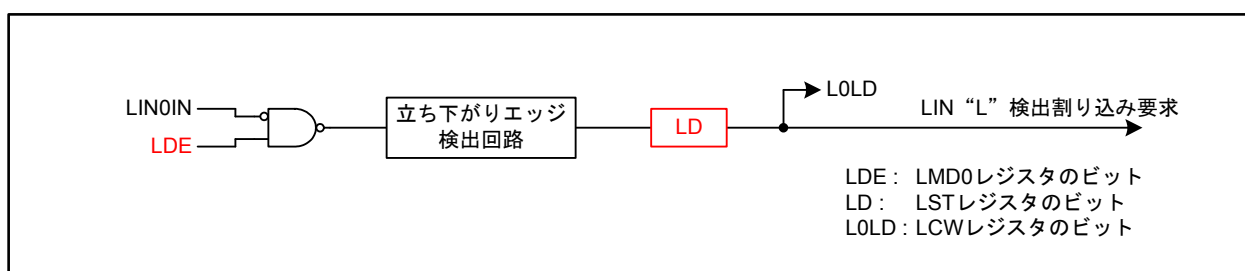


図23.33 LIN“L”検出割り込みブロック図

•Page 415 of 581

24.1.9.5項本文の3段落目を以下のとおり訂正いたします。

【誤】

オーバーライトモードとオーバランモードの両方において、EOFの6番目のビットに続くfCAN (CANシステムクロック)の5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

【正】

オーバーライトモードとオーバランモードの両方において、EOFの6番目のビットに続く周辺バスクロック5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

•Page 419 of 581

24.1.10.3項本文の3段落目を以下のとおり訂正いたします。

【誤】

オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアプロテクトにより EOF の 6 番目のビットに続く **fCAN (CAN システムクロック)** の 5 サイクルの間は、プログラムで“0” (受信 FIFO メッセージロスト未発生) になりません。

【正】

オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアプロテクトにより EOF の 6 番目のビットに続く **周辺バスクロック** 5 サイクルの間は、プログラムで“0” (受信 FIFO メッセージロスト未発生) になりません。

•Page 418 of 581

図 24.11 の注 2 を以下のとおり訂正いたします。

【誤】

注 2. RFMLF ビットと同時に RFE ビットに“0”を書いてください。

【正】

注 2. RFE ビットを“0”にするときは、RFMLF ビットも同時に“0”にしてください。

•Page 429 of 581

図 24.19 の (b6-b5) の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。 **書く場合、“0”を書いてください。**
読んだ場合、その値は“0”

【正】

何も配置されていない。読んだ場合、その値は“0”

•Page 440 of 581

図 24.28 の注 4 を以下のとおり訂正いたします。

【誤】

注 4. 同時に **1** つ以上のエラー **条件** が検出された場合は、 **関係** するすべてのビットが“1”になります。

【正】

注 4. 同時に **2** つ以上のエラーが検出された場合は、 **該当** するすべてのビットが“1”になります。

•Page 449 of 581

24.2.3項本文を以下のとおり訂正いたします。

【誤】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのハードウェアリセットまたはソフトウェアリセット実行後、CANスリープモードから動作を開始します。

【正】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

•Page 452 of 581

図24.36のPCDビット部のqの値を以下のとおり訂正いたします。

【誤】

q=1, 2, 3, 4

【正】

q=2, 3, 4

•Page 464 of 581

25 本文の2段落目を以下のとおり訂正いたします(TN-16C-A198A/J 参照)。

【誤】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合と、アナログ入出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

【正】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

•Page 464 of 581

図25.1を以下のとおり訂正いたします(TN-16C-A198A/J 参照)。

【誤】

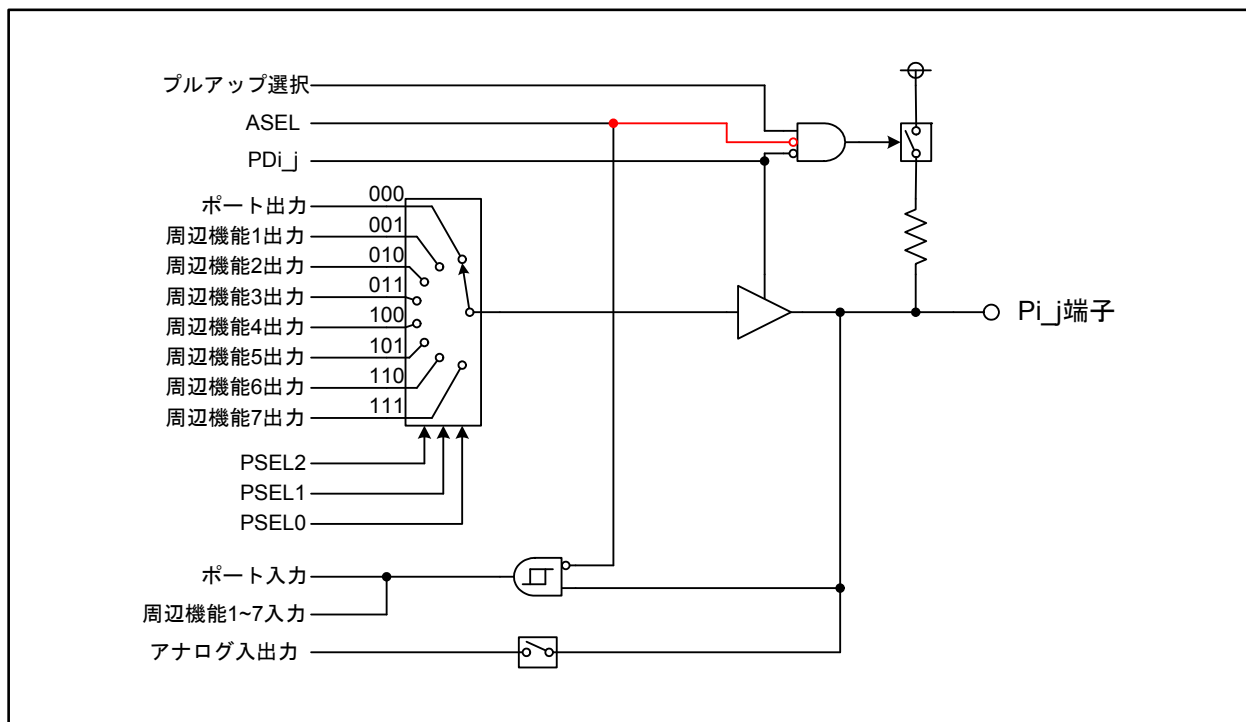


図 25.1 入出力端子ブロック図(代表例) (i=0~9、j=0~7)

【正】

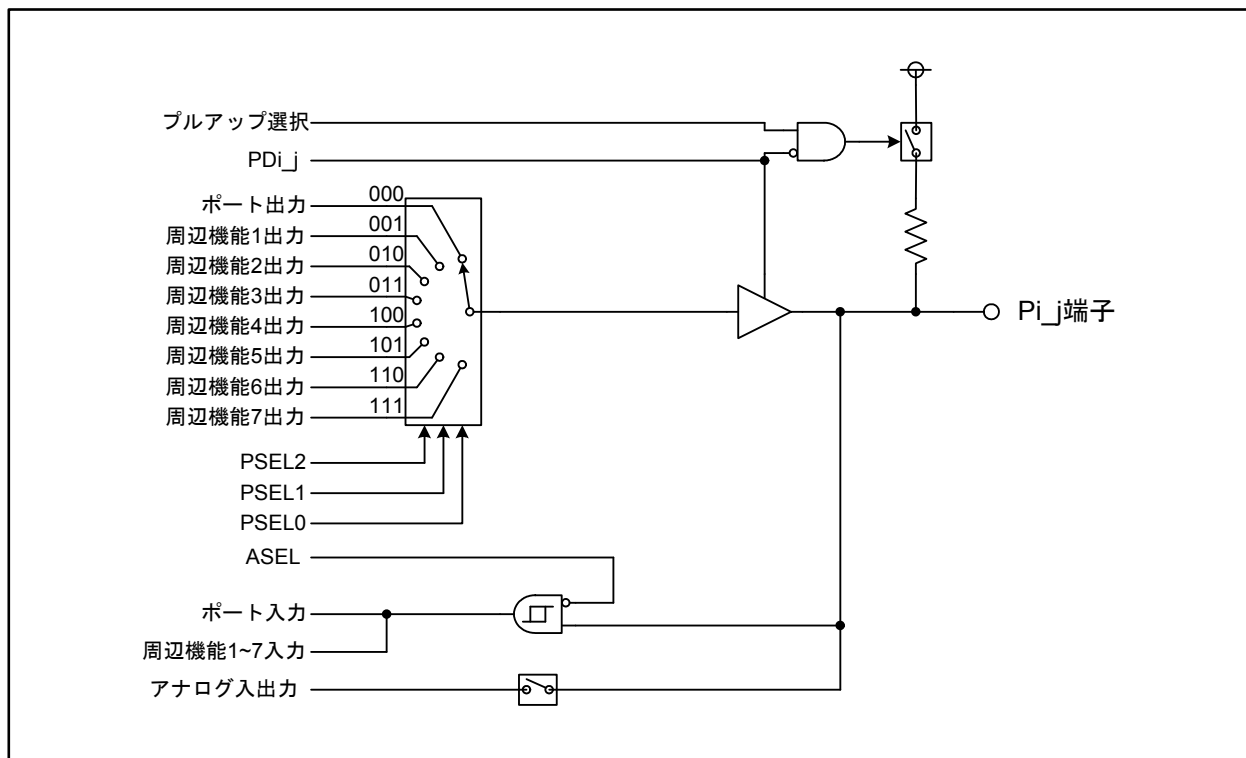


図 25.1 入出力端子ブロック図(代表例) (i=0~9、j=0~7)

•Page 468 of 581

図25.4のP1_5Sレジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

0XXX X000b

【正】

XXXX X000b

•Page 474 of 581

図25.10のP7_4S~P7_6Sレジスタのアドレスを以下のとおり訂正いたします。

【誤】

P7_4S: 400DBh

P7_5S: 400Dh

P7_6S: 400DFh

【正】

P7_4S: 400D9h

P7_5S: 400DBh

P7_6S: 400Dh

•Page 487 of 581

表26.3の保護対象を以下のとおり訂正いたします。

【誤】

表26.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、 消去 、書き込み	読み出し、書き込み
：	：	：	：
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	シリアルライター でプロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

【正】

表26.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、 消去 、書き込み
：	：	：	：
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

•Page 487 of 581

26.2.2 本文の1段落目の一部を以下のとおり削除いたします。

【誤】

パラレル入出力モードに対して有効なプロテクトです。ROM コードプロテクトが有効な場合、パラレルライターでは、いずれの領域の内容も読み書きできません。ROM コードプロテクトを解除するには、**シリアルライター**を使ってプロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

【正】

パラレル入出力モードに対して有効なプロテクトです。ROM コードプロテクトが有効な場合、パラレルライターでは、いずれの領域の内容も読み書きできません。ROM コードプロテクトを解除するには、プロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

•Page 488 of 581

図26.2を以下のとおり訂正いたします。

【誤】

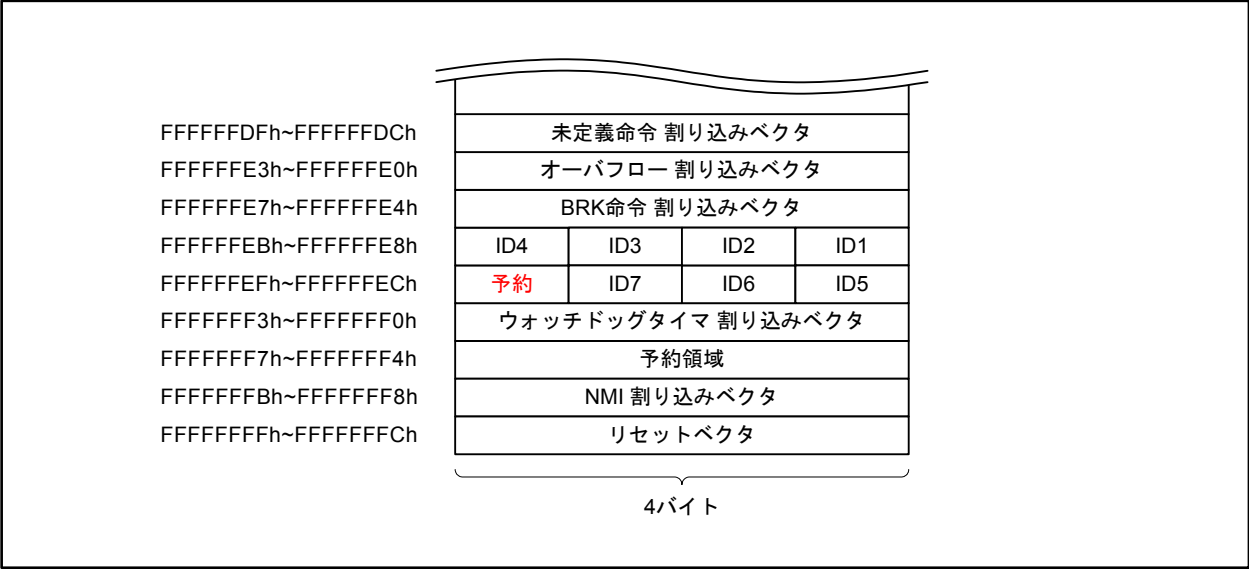


図26.2 IDコード格納番地

【正】

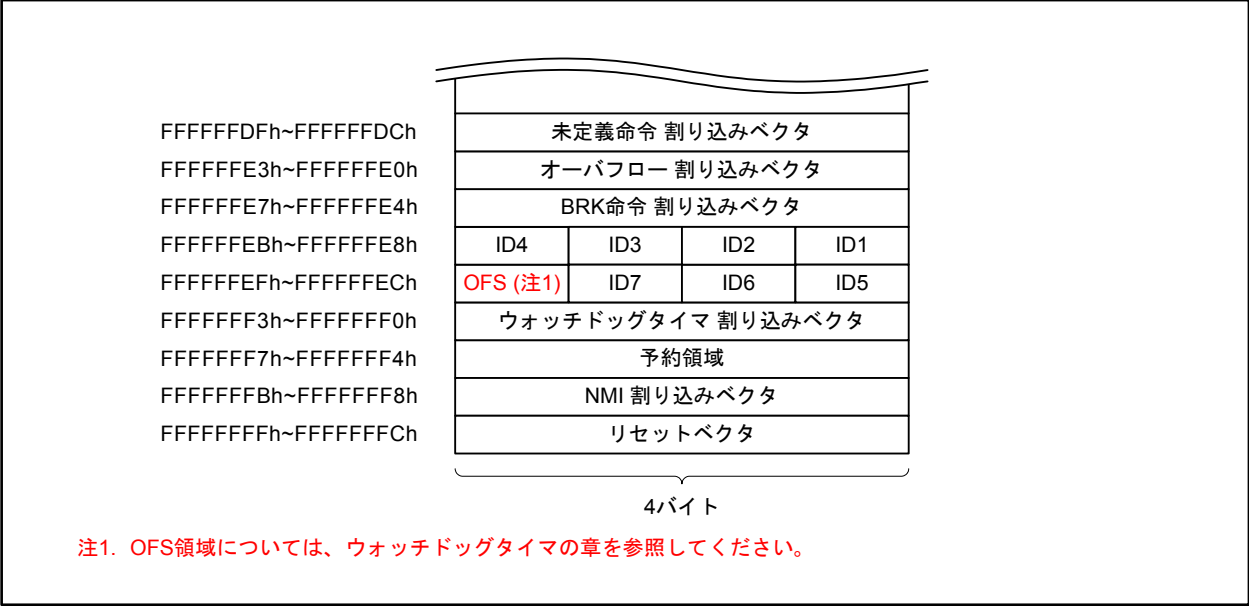


図26.2 IDコード格納番地

•Page 490 of 581

表26.5のEW0モード、EW1モード欄に記載しているコマンド名を以下のとおり訂正いたします。

【誤】

- イレーズコマンド
- リードステータスレジスタコマンド

【正】

- **ブロック**イレーズコマンド
- リードステータスレジスタ**モード移行**コマンド

•Page 496, 498 of 581

図26.12、図26.13の信号名をそれぞれ以下のとおり訂正いたします。

【誤】

図26.12: $\overline{CS0}$
A23~A0, $\overline{BC0}$ ~ $\overline{BC3}$

図26.13: $\overline{CS0}$ ~ $\overline{CS3}$
A23~A0, $\overline{BC0}$ ~ $\overline{BC3}$

【正】

図26.12: チップセレクト
アドレス

図26.13: チップセレクト
アドレス

•Page 516 of 581

図27.2の注3、注5の文章をそれぞれ以下のとおり訂正いたします。

【誤】

注3. このビットを“1”にすると、実行中の処理を中断して初期状態に戻ります。

注5. E2FIレジスタにどのような値を書いても00F3h (リードコマンド)が設定されます。**このモードに設定しておくことにより、プログラム暴走時にデータが上書きされるのを予防できます。**

【正】

注3. このビットを“1”にすると、実行中の処理を中断して初期状態に戻ります。**なお、レジスタは初期化されません。**

注5. E2FIレジスタにどのような値を書いても00F3h (リードコマンド)が設定されます。

•Page 534 of 581

図28.5の信号名を以下のとおり訂正いたします。

【誤】

リードサイクル
 $\overline{CS0}$
 $A23 \sim A0, \overline{BC0} \sim \overline{BC3}$

ライトサイクル
 $\overline{CS0} \sim \overline{CS3}$
 $A23 \sim A0, \overline{BC0} \sim \overline{BC3}$

【正】

リードサイクル
 チップセレクト
 アドレス

ライトサイクル
 チップセレクト
 アドレス

•Page 536, 546 of 581

表28.17、表28.36の端子名を以下のとおり訂正いたします。

【誤】

LININ

【正】

LIN~~0~~IN

•Page 567 of 581

29.7.1項本文を以下のとおり訂正いたします。

【誤】

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき、 $\overline{NMI}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

【正】

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{NMI}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

•Page 567 of 581

29.7.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2が**オーバーフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**オーバーフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**オーバーフロー**までに十分な時間がない場合は、**オーバーフロー**するまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2が**アンダフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**アンダフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**アンダフロー**までに十分な時間がない場合は、**アンダフロー**するまで待った後TAi1レジスタを設定してください。

以上