

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RA*-A0081A/J	Rev.	第1版
題名	RA6T2 グループ DAC、ADC、電気的特性についての誤記 訂正		情報分類	技術情報	
適用製品	RA6T2 グループ	対象ロット等	関連資料	RA6T2グループ ユーザーズ マニュアル: ハードウェア Rev.1.30	
		全ロット			

RA6T2 グループ ユーザーズマニュアルにおいて、DAC、ADC、電気的特性について誤記を訂正しました。

## 訂正項目一覧

No.	章番号	変更箇所
A/D Converter		
1	36.1	表 36.2 ADC の機能と ADC の動作モードの対応関係
2	36.3.1	図 36.4 クロック構成
3	36.3.7.6	表 36.12 ハイブリッドモード（連続スキャンモード）でのスキャン動作例
4		図 36.12 ハイブリッドモード（連続スキャンモード）でのスキャン動作例
5	36.3.7.7	表 36.13 ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例
6		図 36.13 ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例
7	36.3.11.1	表 36.16 自己診断機能を使用する場合の動作モード
8	36.3.16.3	図 36.21 ハイブリッドモード（連続スキャンモード）でのチャンネル専用サンプル&ホールド回路の基本動作
9		図 36.22 ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャンネル専用サンプル&ホールド回路の基本動作
10	36.7.1	表 36.51 初期設定手順
11	36.7.2	表 36.52 ADCLK 設定変更手順
12	36.9.2	表 36.56 A/D 変換処理時間
13		図 36.55 A/D 変換処理時間（ハイブリッドモード）
14		図 36.56 A/D 変換処理時間（チャンネル専用サンプル&ホールド回路使用時のハイブリッドモード）
15	36.10.1	36.10.1 A/D 変換動作中の動作設定変更の禁止
DAC12		
16	37.1	表 37.1 DAC12 の仕様
17		図 37.1 DAC12 のブロック図
18	37.2.2	表 37.5 D/A 変換とアナログ出力制御
電気的特性		
19	46.4	表 46.36 A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）

【訂正前】

表 36.2 ADC の機能と ADC の動作モードの対応関係

機能		SAR モード		オーバーサンプリングモード		ハイブリッドモード		
		シングルエンド入力	連続入力モード	シングルエンド入力	連続入力モード	シングルエンド入力	連続入力モード	バックグラウンド連続入力モード
アナログ入力	シングルエンド入力	✓	✓	✓	✓	✓	✓	✓
	差動入力	-(注1)	-(注1)	✓	✓	✓	✓	✓
	プログラマブルゲインアンプ	✓	✓	✓	✓	✓	✓	✓
	チャンネル専用サンプル & ホールド回路	✓	-	-	-	✓	✓	✓
診断機能／拡張アナログ機能	断線検出アシスト機能	✓	✓	✓	✓	✓	✓	-
	自己診断	✓	✓	✓	-	✓	-	-
	内部基準電圧	✓	✓	✓	✓	✓	✓	✓
	温度センサ	✓	✓	✓	✓	✓	✓	✓
	D/A コンバータ (DA0~DA3)	✓	✓	✓	✓	✓	✓	✓
スキャン動作	グループ優先動作	✓	✓	-	-	-	-	-
	複合 A/D コンバータ同期動作	✓	✓	✓	✓	✓	✓	✓
デジタル演算	デジタルフィルタ機能	-	-	✓(注2)	✓(注2)	✓(注2)	✓(注2)	✓(注2)
	ユーザーゲイン／オフセット調整機能	✓	✓	✓	✓	✓	✓	✓
	加算／平均機能	✓	✓	✓	✓	✓	✓	✓
	リミッタークリップ機能	✓	✓	✓	✓	✓	✓	✓
	コンペアマッチ機能	✓	✓	✓	✓	✓	✓	✓
FIFO 機能		✓	✓	✓	✓	✓	✓	✓

注 1. 例外として、自己診断動作でのみ、差動入力モードをサポートしています。

注 2. オーバーサンプリングモードおよびハイブリッドモードの場合、デジタルフィルタ機能の使用を必要とします。



【訂正後】

表 36.2 ADC の機能と ADC の動作モードの対応関係

機能		SAR モード		オーバーサンプリングモード		ハイブリッドモード		
		シングルエンド シングルモード シミュレーション	デュアル 連続モード	シングル シングルモード シミュレーション	デュアル 連続モード	シングル シングルモード シミュレーション	デュアル 連続モード	バックグラウンド 連続スキャン モード
アナログ入力	シングルエンド入力	✓	✓	✓	✓	✓	✓	✓
	差動入力	-(注1)	-(注1)	✓	✓	✓	✓	✓
	プログラマブルゲインアンプ	✓	✓	✓	✓	✓	✓	✓
	チャンネル専用サンプル&ホールド回路	✓	-	-	-	✓	✓	✓
診断機能／拡張 アナログ機能	断線検出アシスト機能	✓	✓	✓	✓	✓	✓	-
	自己診断	✓	✓	✓	-	✓	-(注3)	-(注3)
	内部基準電圧	✓	✓	✓	✓	✓	✓	✓
	温度センサ	✓	✓	✓	✓	✓	✓	✓
	D/A コンバータ (DA0～DA3)	✓	✓	✓	✓	✓	✓	✓
スキャン動作	グループ優先動作	✓	✓	-	-	-	-	-
	複合 A/D コンバータ同期動作	✓	✓	✓	✓	✓	✓	✓
デジタル演算	デジタルフィルタ機能	-	-	✓(注2)	✓(注2)	✓(注2)	✓(注2)	✓(注2)
	ユーザーゲイン／オフセット調整機能	✓	✓	✓	✓	✓	✓	✓
	加算／平均機能	✓	✓	✓	✓	✓	✓	✓
	リミッタークリップ機能	✓	✓	✓	✓	✓	✓	✓
	コンペアマッチ機能	✓	✓	✓	✓	✓	✓	✓
FIFO 機能	✓	✓	✓	✓	✓	✓	✓	

注 1. 例外として、自己診断動作でのみ、差動入力モードをサポートしています。

注 2. オーバーサンプリングモードおよびハイブリッドモードの場合、デジタルフィルタ機能の使用を必要とします。

注 3. 例外として、チャンネル専用サンプル&ホールド回路のダミー変換チャンネル使用時のみ連続スキャンモードとバックグラウンド連続スキャンモードをサポートしています。  
詳細は、「36.3.16.3(1)ハイブリッドモードでのチャンネル専用サンプル&ホールド回路の使用制限」を参照してください。

【訂正前】

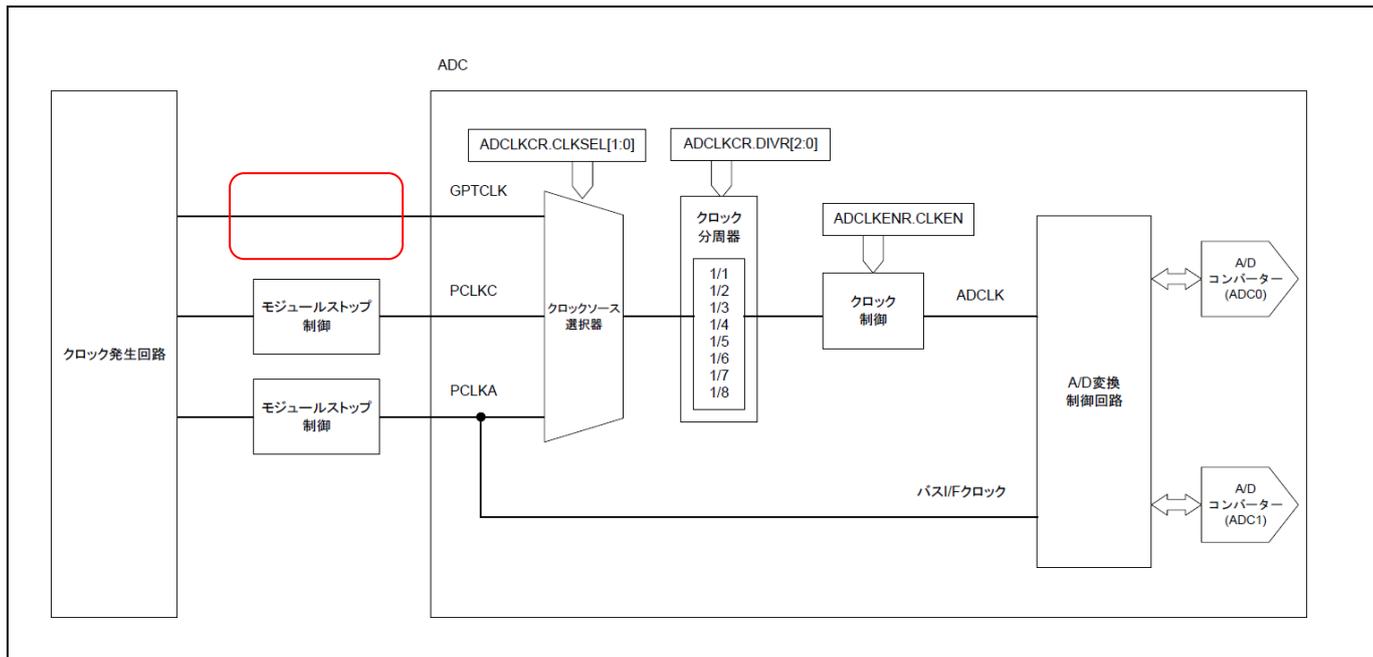


図 36.4 クロック構成

【訂正後】

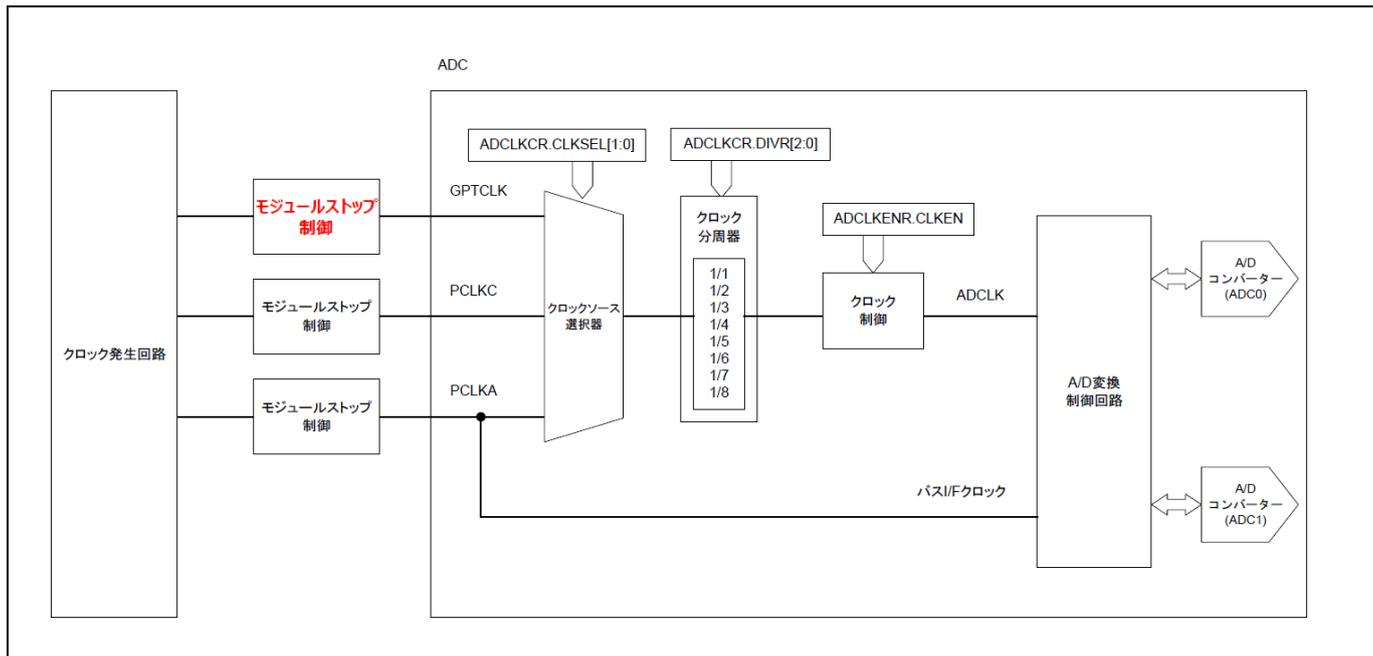


図 36.4 クロック構成

【訂正前】

表 36.12 ハイブリッドモード（連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0~8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャンネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャンネルに実行された後、A/D 変換データが出力されます。（最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。）A/D 変換データはデータレジスタ (ADDRi (i = 0~28), ADEXDRj (j = 0~2, 5~8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0~8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャンネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	デジタルフィルタに格納されたオーバーサンプリングデータが保持されている間に、2 番目とそれ以降のスキャン動作が行われます。A/D 変換値加算／平均回数に対応した 1 回または複数回のオーバーサンプリングが各アナログチャンネルに実行されるごとに、次の A/D 変換データが出力されます。（連続スキャン動作において 2 番目とそれ以降の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、群遅延時間と呼びます。） A/D 変換データはデータレジスタ (ADDRi (i = 0~28), ADEXDRj (j = 0~2, 5~8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0~8)) にも格納されます。
6	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャンネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
7	その後、A/D 変換停止処理が実行されるまで、手順 5~6 は繰り返され、スキャン動作が続きます。A/D 変換を停止するには、「36.5.4. A/D 変換動作の強制停止」の手順に従ってください。

【訂正後】

表 36.12 ハイブリッドモード（連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0~8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャンネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャンネルに実行された後、A/D 変換データが出力されます。（最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。）A/D 変換データはデータレジスタ (ADDRi (i = 0~28), ADEXDRj (j = 0~2, 5~8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0~8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャンネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	初期遅延時間経過後のスキャン動作では、オーバーサンプリングが各アナログチャンネルに実行されるごとに、デジタルフィルタのデータが更新されます。各アナログチャンネルに対する更新された A/D 変換データは、A/D 変換値加算／平均回数に対応した 1 回または複数回のオーバーサンプリングが行われるたびに出力可能になります。 A/D 変換データはデータレジスタ (ADDRi (i = 0~28), ADEXDRj (j = 0~2, 5~8)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0~8)) にも格納されます。
6	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャンネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
7	その後、A/D 変換停止処理が実行されるまで、手順 5~6 は繰り返され、スキャン動作が続きます。A/D 変換を停止するには、「36.5.4. A/D 変換動作の強制停止」の手順に従ってください。

【訂正前】

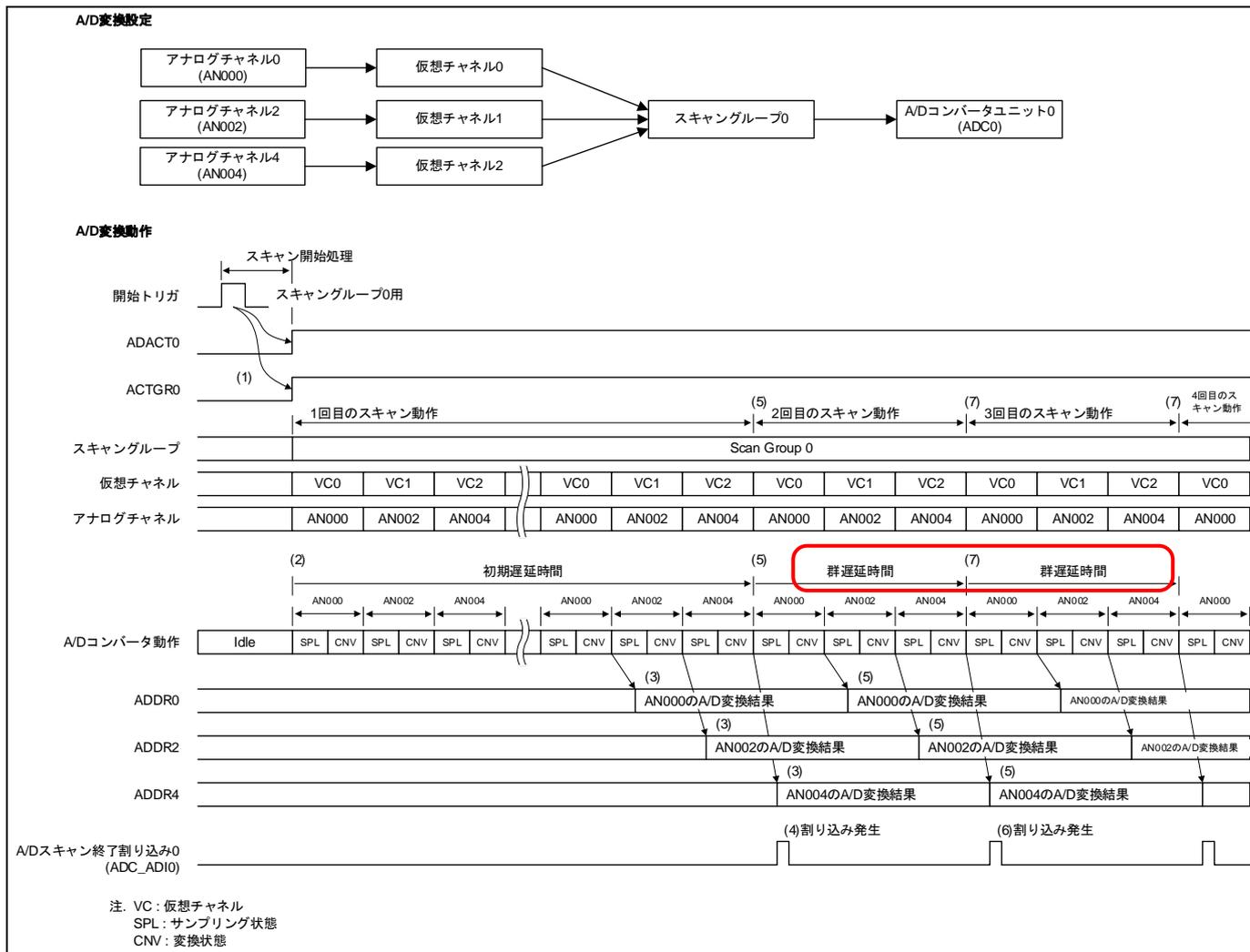


図 36.12 ハイブリッドモード（連続スキャンモード）でのスキャン動作例

【訂正後】

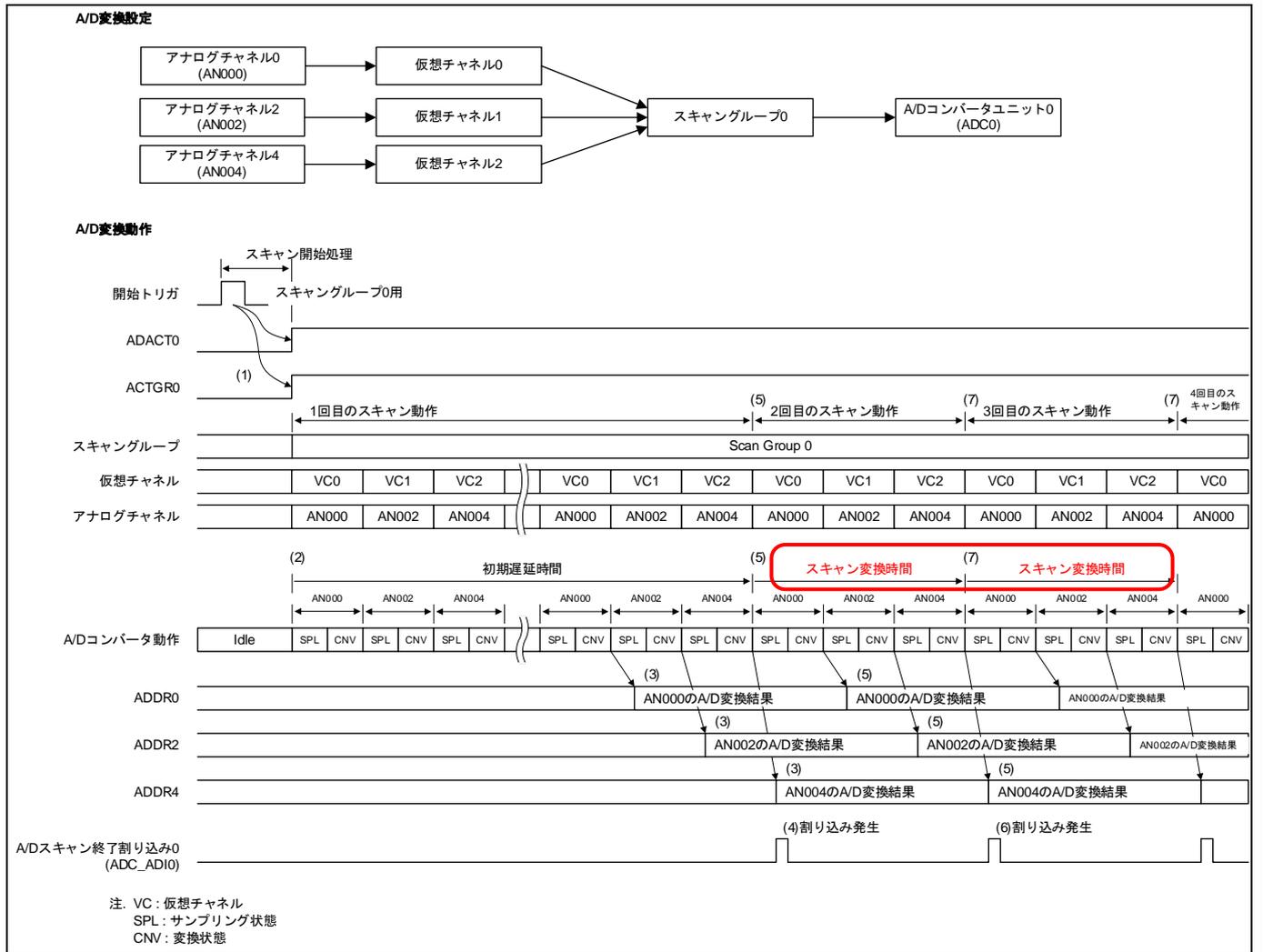


図 36.12 ハイブリッドモード（連続スキャンモード）でのスキャン動作例

【訂正前】

表 36.13 ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキングループに対応する ADGRSR.ACTGRn (n = 0~8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャンネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算/平均回数に対応したオーバーサンプリングが各アナログチャンネルに実行された後、A/D 変換データは出力準備中になります。 (最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。バックグラウンド連続スキャン動作では、スキャン動作開始から初期遅延時間が経過した後に、A/D 変換データを取得可能です。)
4	デジタルフィルタに格納されたオーバーサンプリングデータが保持されている間に、2 番目とそれ以降のスキャン動作が行われます。オーバーサンプリングが各アナログチャンネルに実行されるごとに、デジタルフィルタのデータは更新されます。A/D 変換値加算/平均回数に対応した 1 回または複数回のオーバーサンプリングが各アナログチャンネルに実行されるごとに、次の A/D 変換データが出力準備中になります。 (連続スキャン動作において 2 番目とそれ以降の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、群遅延時間と呼びます。バックグラウンド連続スキャン動作では、スキャン動作開始から初期遅延時間が経過した後、群遅延時間が経過するごとに、更新された A/D 変換データを取得可能です。)
5	バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されると、その時点で最近の A/D 変換データがデータレジスタ (ADDRi (i = 0~28), ADEXDRj (j = 0~2, 5~8)) に格納されます。FIFO 機能が有効な場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0~8)) にも格納されます。
6	スキャン終了割り込みが許可されている場合、スキャン終了割り込みが生成されます。
7	その後、A/D 変換停止処理が実行されるまで、バックグラウンド連続スキャン動作（手順 4）は繰り返されます。バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力される時はいつでも、A/D 変換データが出力されます（手順 5、手順 6）。A/D 変換を停止するには、「36.5.4. A/D 変換動作の強制停止」の手順に従ってください。

【訂正後】

表 36.13 ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキングループに対応する ADGRSR.ACTGRn (n = 0~8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャンネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算/平均回数に対応したオーバーサンプリングが各アナログチャンネルに実行された後、A/D 変換データは出力準備中になります。 (最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。バックグラウンド連続スキャン動作では、スキャン動作開始から初期遅延時間が経過した後に、A/D 変換データを取得可能です。)
4	初期遅延時間経過後のスキャン動作では、オーバーサンプリングが各アナログチャンネルに実行されるごとに、デジタルフィルタのデータが更新されます。各アナログチャンネルに対する更新された A/D 変換データは、A/D 変換値加算/平均回数に対応した 1 回または複数回のオーバーサンプリングが行われるたびに出力可能になります。
5	バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されると、その時点で最近の A/D 変換データがデータレジスタ (ADDRi (i = 0~28), ADEXDRj (j = 0~2, 5~8)) に格納されます。FIFO 機能が有効な場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0~8)) にも格納されます。
6	スキャン終了割り込みが許可されている場合、スキャン終了割り込みが生成されます。
7	その後、A/D 変換停止処理が実行されるまで、バックグラウンド連続スキャン動作（手順 4）は繰り返されます。バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力される時はいつでも、A/D 変換データが出力されます（手順 5、手順 6）。A/D 変換を停止するには、「36.5.4. A/D 変換動作の強制停止」の手順に従ってください。

【訂正前】

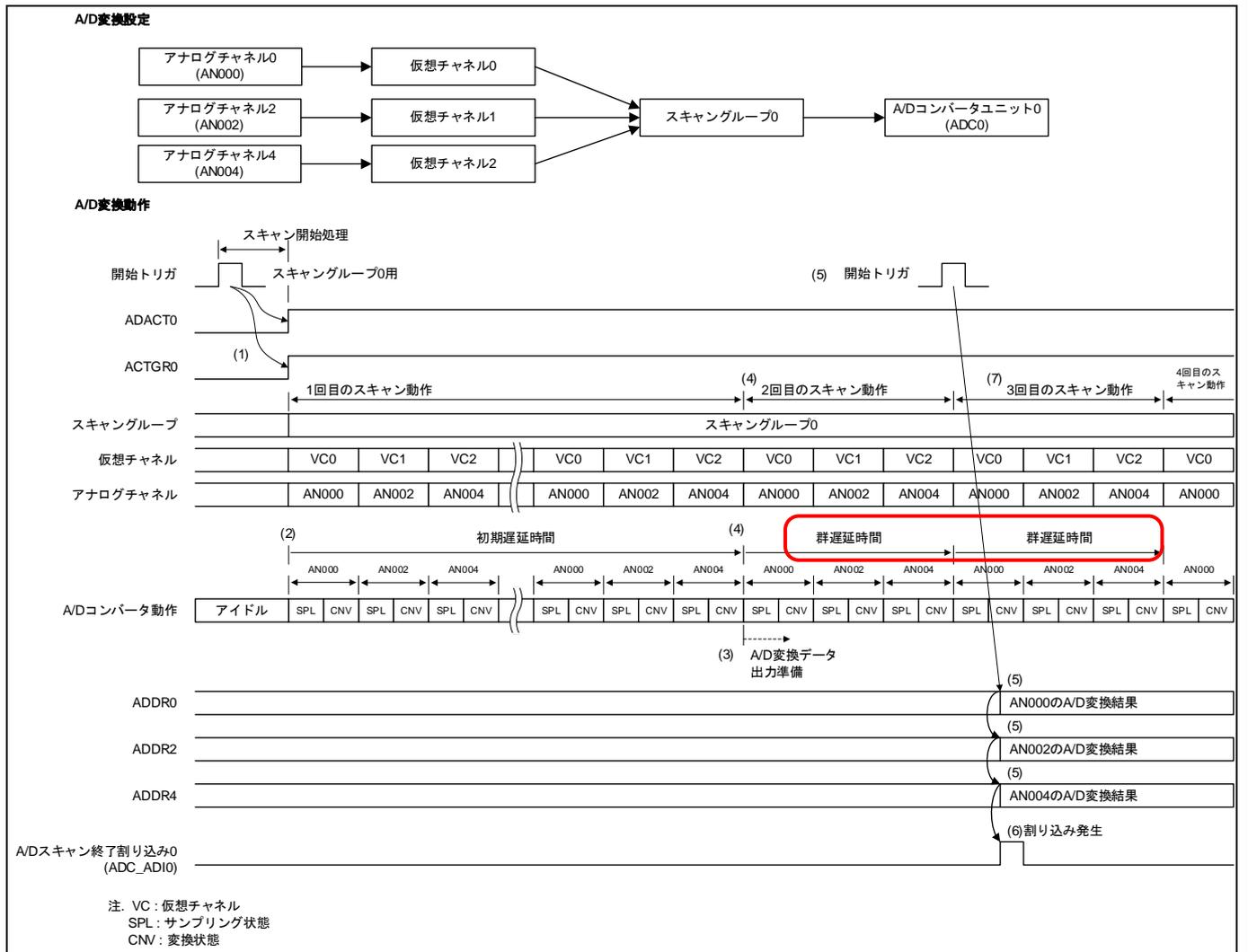


図 36.13 ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例

【訂正後】

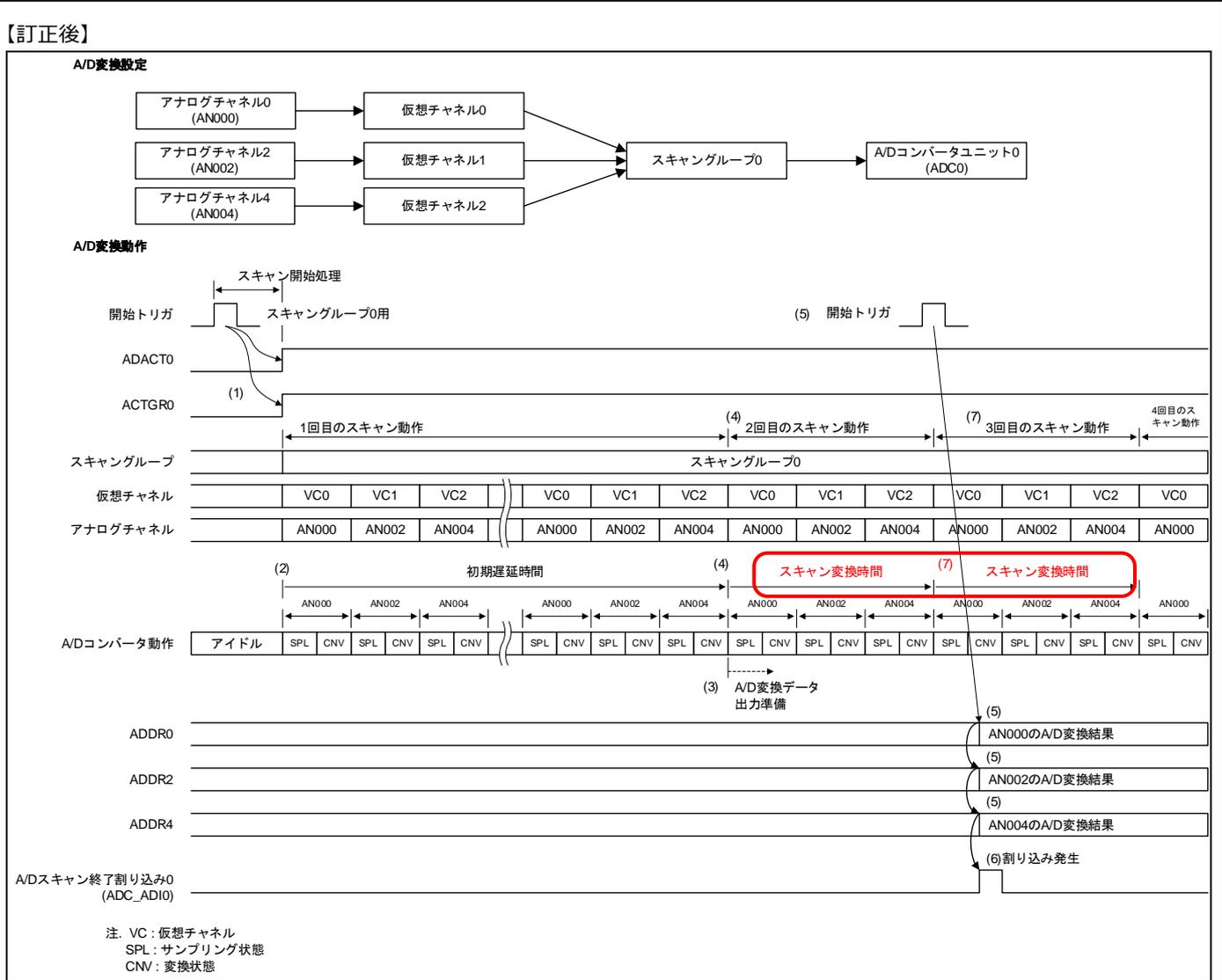


図 36.13 ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例

【訂正前】

表 36.16 自己診断機能を使用する場合の動作モード

動作モード (スキャンモード)	自己診断機能
SAR モード (シングルスキャンモード)	✓
SAR モード (連続スキャンモード)	-
オーバーサンプリングモード (シングルスキャンモード)	✓
オーバーサンプリングモード (連続スキャンモード)	-
ハイブリッドモード (シングルスキャンモード)	✓
ハイブリッドモード (連続スキャンモード)	-
ハイブリッドモード (バックグラウンド連続スキャンモード)	-

注. ✓：使用可能、-：使用不可

【訂正後】

表 36.16 自己診断機能を使用する場合の動作モード

動作モード (スキャンモード)	自己診断機能
SAR モード (シングルスキャンモード)	✓
SAR モード (連続スキャンモード)	✓
オーバーサンプリングモード (シングルスキャンモード)	✓
オーバーサンプリングモード (連続スキャンモード)	-
ハイブリッドモード (シングルスキャンモード)	✓
ハイブリッドモード (連続スキャンモード)	_(注1)
ハイブリッドモード (バックグラウンド連続スキャンモード)	_(注1)

注. ✓：使用可能、-：使用不可

注 1. 例外として、チャンネル専用サンプル&ホールド回路のダミー変換チャンネル使用時のみ連続スキャンモードとバックグラウンド連続スキャンモードをサポートしています。  
 詳細は、「36.3.16.3(1)ハイブリッドモードでのチャンネル専用サンプル&ホールド回路の使用制限」を参照してください。

【訂正前】

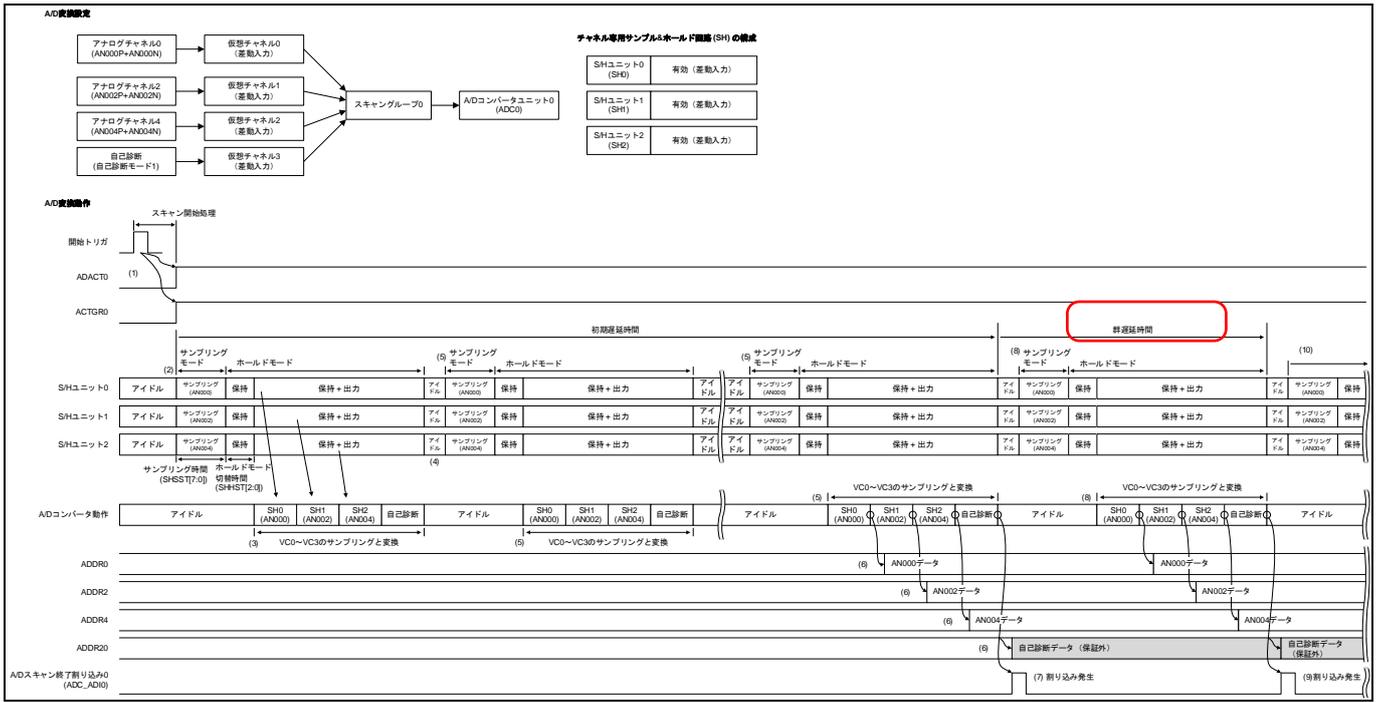


図 36.21 ハイブリッドモード（連続スキャンモード）でのチャンネル専用サンプル&ホールド回路の基本動作

【訂正後】

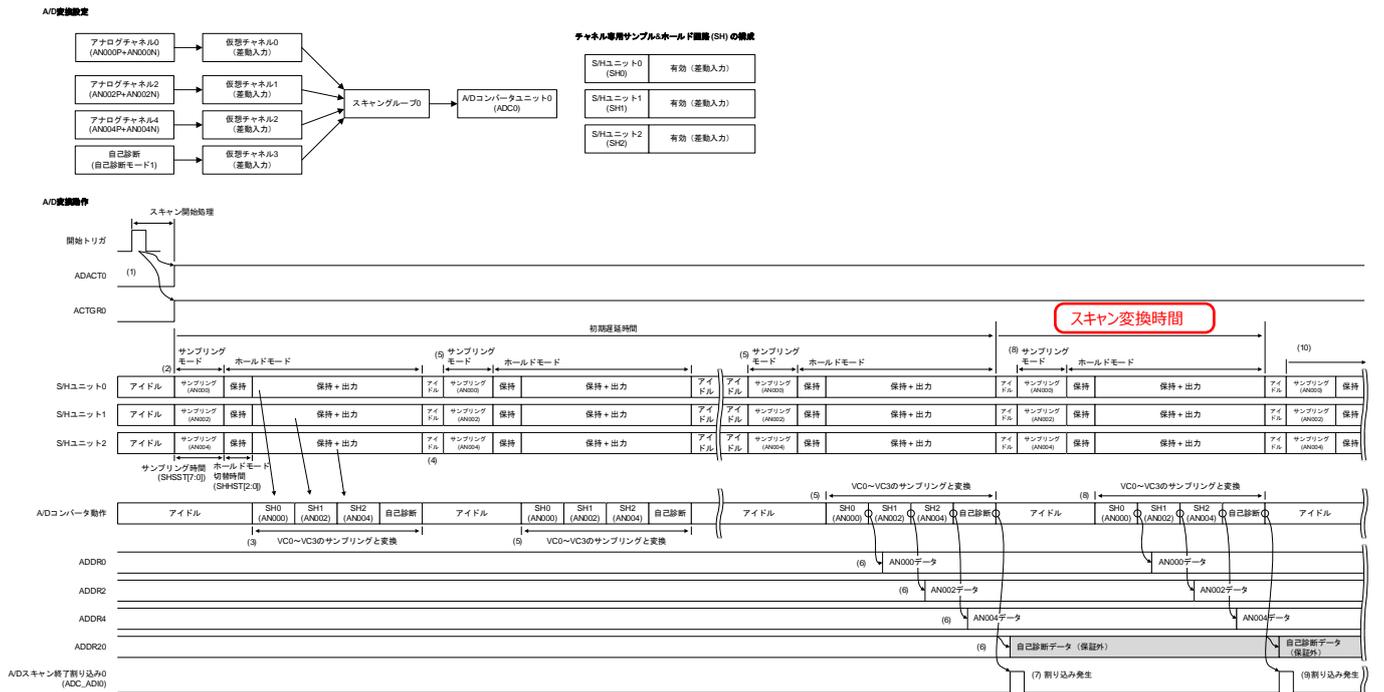


図 36.21 ハイブリッドモード（連続スキャンモード）でのチャンネル専用サンプル&ホールド回路の基本動作

【訂正前】

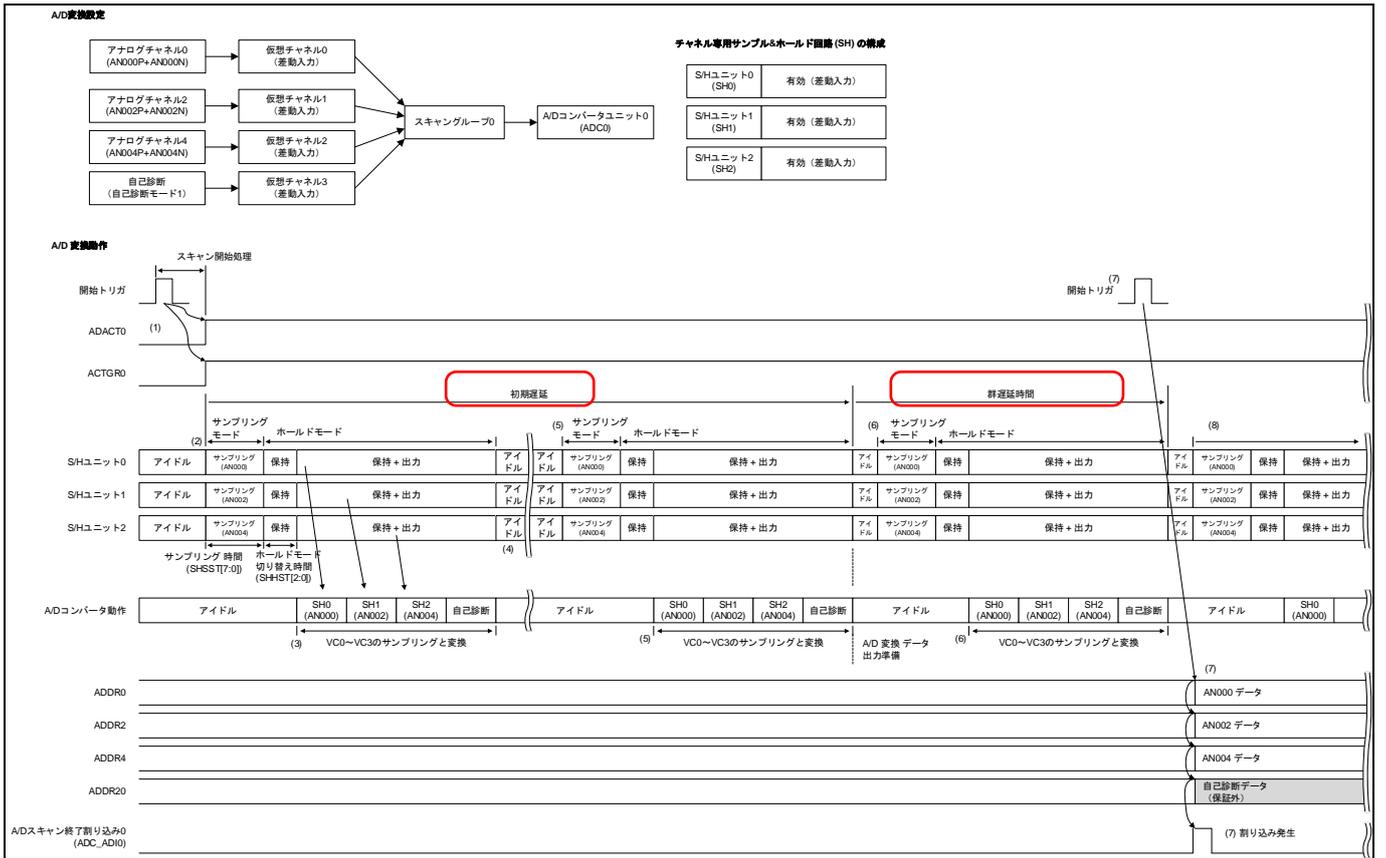


図 36.22 ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャンネル専用サンプル&ホールド回路の基本動作

【訂正後】

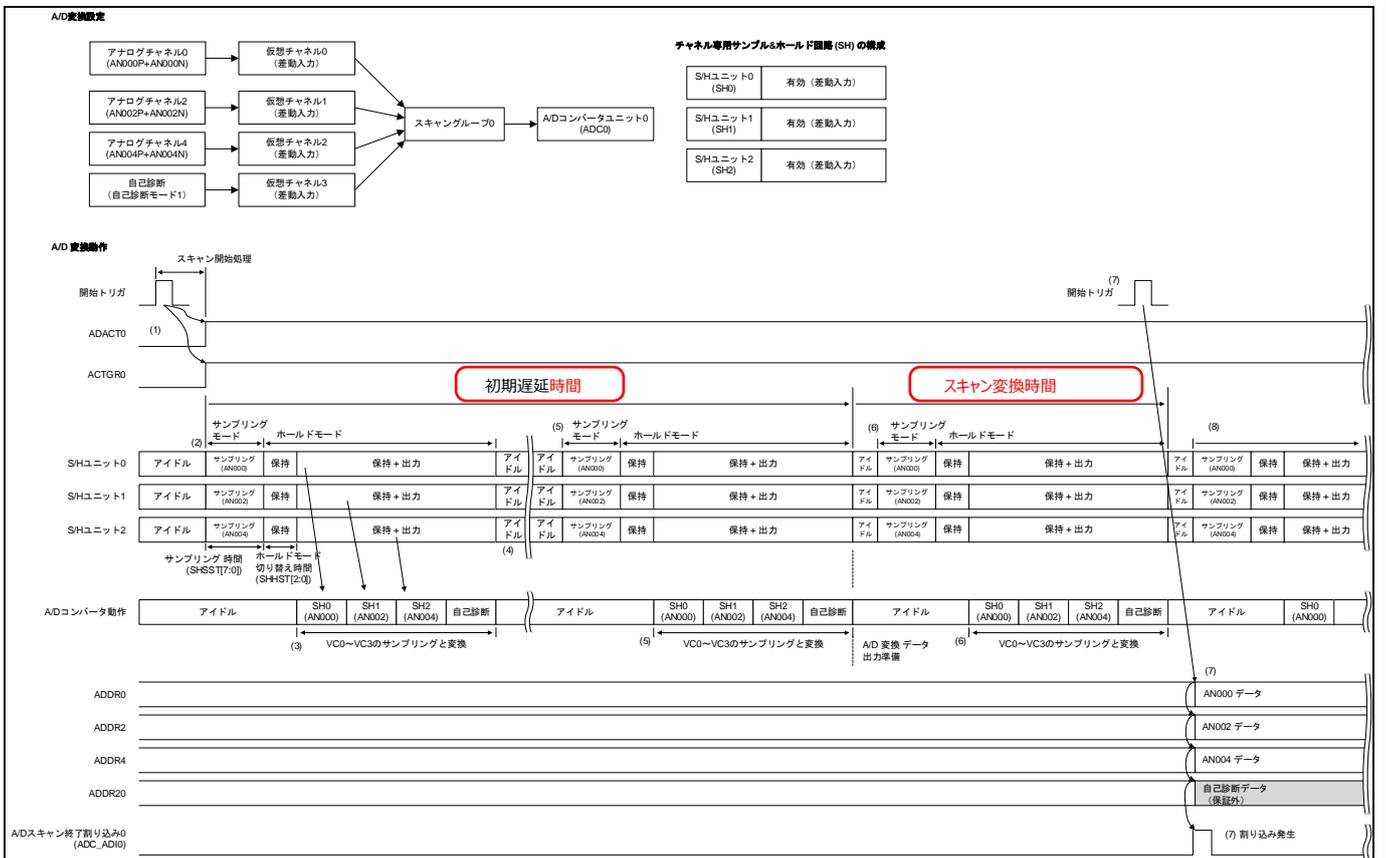


図 36.22 ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャンネル専用サンプル&ホールド回路の基本動作

【訂正前】

表 36.51 初期設定手順

No.	手順	説明
1	モジュールストップ解除	MSTPCR レジスタで ADC のモジュールストップビットを解除します。
2	入出力ポート設定	アナログ入力として使用される端子の ASEL ビットを 1 にします。
3	同期動作設定	同期動作機能の設定をします。 同期動作機能は、リセット解除後のレジスタ初期値で有効になります。同期動作を使用しない場合、同期動作を無効にしてください(ADSYCR.ADSYDISm = 1 (m = 0, 1))。
4	ADCLK 設定	ADCLK のクロックソースと分周比を設定します。 その後、ADCLKENR.CKEN ビットを 1 にし、ADCLK のクロック供給を待ちます (ADCLKSR.CLKSR = 1)。
5	A/D 変換設定	A/D 変換の設定を行います。
6	動作安定までの待機	電気的特性で指定された動作安定時間が経過するまで待ちます。
7	自己校正	A/D 変換を開始する前に、自己校正が必須です。 自己校正を設定し、実行します。 詳細は、「36.3.8. 自己校正」を参照してください。
8	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
9	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換（スキャン動作）が開始します。

【訂正後】

表 36.51 初期設定手順

No.	手順	説明
1	モジュールストップ解除	MSTPCR レジスタで ADC のモジュールストップビットを解除します。
2	入出力ポート設定	アナログ入力として使用される端子の ASEL ビットを 1 にします。
3	同期動作設定	同期動作機能の設定をします。 同期動作機能は、リセット解除後のレジスタ初期値で有効になります。同期動作を使用しない場合、同期動作を無効にしてください(ADSYCR.ADSYDISm = 1 (m = 0, 1))。
4	ADCLK 設定	ADCLK のクロックソースと分周比を設定します。 <b>(注1)</b> その後、ADCLKENR.CKEN ビットを 1 にし、ADCLK のクロック供給を待ちます (ADCLKSR.CLKSR = 1)。
5	A/D 変換設定	A/D 変換の設定を行います。
6	動作安定までの待機	電気的特性で指定された動作安定時間が経過するまで待ちます。
7	自己校正	A/D 変換を開始する前に、自己校正が必須です。 自己校正を設定し、実行します。 詳細は、「36.3.8. 自己校正」を参照してください。
8	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
9	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換（スキャン動作）が開始します。

注 1. GPTCLK 選択時は、モジュールストップレジスタ E (MSTPCRE) により GPT のモジュールストップ状態を解除してください。詳細は、「10. 低消費電力モード」を参照してください。

【訂正前】

表 36.52 ADCLK 設定変更手順

No.	手順	説明
1	トリガ入力無効化	周辺モジュールからのトリガ入力を無効にします。 (ADTRGENR.STTRGENn = 0 (n = 0~8) を書き込みます。)
2	A/D 変換の停止	すべての A/D コンバータが停止していることを確認します。 A/D 変換が実行中の場合、すべての A/D 変換が完了するまで待つか、A/D 変換動作を強制停止します。 A/D 変換動作の強制停止の詳細については、「36.5.4. A/D 変換動作の強制停止」を参照してください。
3	ADCLK クロック供給の停止	ADCLKENR.CKEN ビットを 0 にします。その後、ADCLK が停止するまで待ちます (ADCLKSR.CLKSR = 0)。
4	ADCLK 設定の変更	ADCLK のクロックソースおよび分周比を変更します。
5	ADCLK クロック供給の開始	ADCLKENR.CKEN ビットを 1 にし、ADCLK のクロック供給を待ちます (ADCLKSR.CLKSR = 1)。
6	A/D 変換設定の変更	ADCLK 周波数の変更に伴い、以下の設定を変更します。 <ul style="list-style-type: none"> <li>● A/D コンバータの逐次比較時間</li> <li>● A/D 変換のサンプリングステート数</li> <li>● チャンネル専用サンプル&amp;ホールド回路のサンプリングステート数とホールドモード切り替えステート数(注 1)</li> <li>● 自己校正動作のステート数 (A/D コンバータおよびチャンネル専用サンプル&amp;ホールド回路<sup>(注 1)</sup>)</li> <li>● 同期動作期間<sup>(注 2)</sup></li> <li>● 断線検出アシスト期間<sup>(注 3)</sup></li> </ul> A/D 変換に関する他の設定で変更の必要なものがあれば、ここで変更します。
7	動作安定までの待機	「46. 電気的特性」で指定された動作安定時間が経過するまで待ちます。
8	自己校正	A/D 変換を開始する前に、自己校正動作を実行します。詳細は、「36.3.8. 自己校正」を参照してください。
9	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
10	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換 (スキャン動作) が開始します。

【訂正後】

表 36.52 ADCLK 設定変更手順

No.	手順	説明
1	トリガ入力無効化	周辺モジュールからのトリガ入力を無効にします。 (ADTRGENR.STTRGENn = 0 (n = 0~8) を書き込みます。)
2	A/D 変換の停止	すべての A/D コンバータが停止していることを確認します。 A/D 変換が実行中の場合、すべての A/D 変換が完了するまで待つか、A/D 変換動作を強制停止します。 A/D 変換動作の強制停止の詳細については、「36.5.4. A/D 変換動作の強制停止」を参照してください。
3	ADCLK クロック供給の停止	ADCLKENR.CKEN ビットを 0 にします。その後、ADCLK が停止するまで待ちます (ADCLKSR.CLKSR = 0)。
4	ADCLK 設定の変更	ADCLK のクロックソースおよび分周比を変更します。(注4)
5	ADCLK クロック供給の開始	ADCLKENR.CKEN ビットを 1 にし、ADCLK のクロック供給を待ちます (ADCLKSR.CLKSR = 1)。
6	A/D 変換設定の変更	ADCLK 周波数の変更に伴い、以下の設定を変更します。 <ul style="list-style-type: none"> <li>● A/D コンバータの逐次比較時間</li> <li>● A/D 変換のサンプリングステート数</li> <li>● チャンネル専用サンプル&amp;ホールド回路のサンプリングステート数とホールドモード切り替えステート数(注 1)</li> <li>● 自己校正動作のステート数 (A/D コンバータおよびチャンネル専用サンプル&amp;ホールド回路(注1))</li> <li>● 同期動作期間(注2)</li> <li>● 断線検出アシスト期間(注3)</li> </ul> A/D 変換に関する他の設定で変更の必要なものがあれば、ここで変更します。
7	動作安定までの待機	「46. 電気的特性」で指定された動作安定時間が経過するまで待ちます。
8	自己校正	A/D 変換を開始する前に、自己校正動作を実行します。詳細は、「36.3.8. 自己校正」を参照してください。
9	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
10	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換 (スキャン動作) が開始します。

注 1. チャンネル専用サンプル&ホールド回路を使用しない場合、設定は不要です。

注 2. 同期動作設定が無効な場合 (ADSYCR, ADSYDISm = 1 (m = 0, 1)), 変更は不要です。

注 3. 断線検出アシスト機能を使用しない場合、設定は不要です。

注 4. GPTCLK 選択時は、モジュールストップレジスタ E (MSTPCRE) により GPT のモジュールストップ状態を解除してください。詳細は、「10. 低消費電力モード」を参照してください。

【訂正前】

表 36.56 A/D 変換処理時間

項目		シンボル	処理時間	
チャンネル専用 サンプル&ホ ールド処理時 間	サンプリング時間	t <sub>SH_SPL</sub>	ADSHSTRm.SHSST[7:0] × ADCLK	
	ホールドモード切り替え時間	t <sub>SH_HLD</sub>	ADSHSTRm.SHHST[2:0] × ADCLK	
	サンプリングモード切り替え時間 (ハイブリッドモードの場合のみ)	t <sub>SH_D</sub>	(ADSYCR.ADSYCYC[10:0] - 1) × ADCLK	
断線検出アシスト処理時間		t <sub>DDA</sub>	[断線検出アシスト機能無効時] ● 0 [断線検出アシスト機能有効時] ● ADSDGCRn.ADNDIS[3:0] × ADCLK	
A/D 変換時間	サンプリング時間	t <sub>AD_SPL</sub>	ADSSTRp.SSTq[9:0] × ADCLK	
	逐次変換時間	t <sub>AD_CNV</sub>	ADCNVSTR.CSTm[5:0] × ADCLK	
A/D 変換データ処理時間	SAR モード (デジタルフ ィルタ機能不 使用)	ADCLK = PCLKA/1 設定時 <sup>(注1)</sup>	[A/D 変換値加算/平均機能不使用時] ● 6 ADCLK + 2 PCLKA [A/D 変換値加算/平均機能使用時] ● 7 ADCLK + 2 PCLKA	
		上記以外	[A/D 変換値加算/平均機能不使用時] ● 7 ADCLK + (5~6 PCLKA) [A/D 変換値加算/平均機能使用時] ● 8 ADCLK + (5~6 PCLKA)	
	オーバーサン プリングモ ードまたはハイ ブリッドモ ード(デジタルフ ィルタ機能使 用)	ADCLK = PCLKA/1 設定時 <sup>(注1)</sup>	[A/D 変換値加算/平均機能不使用時] ● 8 ADCLK + 2 PCLKA [A/D 変換値加算/平均機能使用時] ● 9 ADCLK + 2 PCLKA	
		上記以外	[A/D 変換値加算/平均機能不使用時] ● 9 ADCLK + 5~6 PCLKA [A/D 変換値加算/平均機能使用時] ● 10 ADCLK + 5~6 PCLKA	
総合A/D 変換 時間 (SAR モード) <sup>(注3)</sup>	チャンネル変換時間 <sup>(注2)</sup>	t <sub>ADCH_S</sub>	(t <sub>DDA</sub> + t <sub>AD_SPL</sub> + t <sub>AD_CNV</sub> ) × N <sub>ADC</sub> × ADCLK	
	スキャン変換時間 <sup>(注4)</sup>	t <sub>SCAN_S</sub>	[チャンネル専用サンプル&ホールド回路不使用時] ● Σ t <sub>ADCH_S</sub> [チャンネル専用サンプル&ホールド回路使用時] ● t <sub>SH_SPL</sub> + t <sub>SH_HLD</sub> + Σ t <sub>ADCH_S</sub>	
総合 A/D 変 換時間 (オー バーサンプリ ングモード) <sup>(注3)</sup>	オーバーサンプリング期間	t <sub>OV_OS</sub>	(t <sub>DDA</sub> + t <sub>AD_SPL</sub> + t <sub>AD_CNV</sub> ) × ADCLK	
	チャンネル変換時間	t <sub>ADCH_O</sub>	(t <sub>DDA</sub> + t <sub>AD_SPL</sub> + t <sub>AD_CNV</sub> ) × (N <sub>TAP</sub> + N <sub>ADC</sub> ) × ADCLK	
	スキャン変換時間 <sup>(注5)</sup>	t <sub>SCAN_O</sub>	Σ t <sub>ADCH_O</sub>	
総合 A/D 変 換時間 (ハイ ブリッドモ ード) <sup>(注3)</sup>	ハイブリッドモードでのチャンネル専用 サンプル&ホールド処理時間		t <sub>HY_SH</sub> t <sub>SH_SPL</sub> + t <sub>SH_HLD</sub> + t <sub>SH_D</sub>	
	オーバーサンプリング期間	t <sub>HY_OS</sub>	(t <sub>DDA</sub> + t <sub>AD_SPL</sub> + t <sub>AD_CNV</sub> ) × ADCLK	
	スキャン変換 時間	初期遅延	t <sub>HY_ID</sub>	[チャンネル専用サンプル&ホールド回路不使用時] ● (N <sub>TAP</sub> + N <sub>ADC</sub> ) × t <sub>HY_OS</sub> <sup>(注6)</sup> [チャンネル専用サンプル&ホールド回路使用時] ● (t <sub>HY_SH</sub> × (N <sub>ADC</sub> + N <sub>TAP</sub> ) - t <sub>SH_D</sub> ) + (N <sub>TAP</sub> + N <sub>ADC</sub> ) × Σ t <sub>HY_OS</sub> <sup>(注6)</sup>
		群遅延	t <sub>HY_GD</sub>	[チャンネル専用サンプル&ホールド回路不使用時] ● Σ t <sub>HY_OS</sub> <sup>(注6)</sup> [チャンネル専用サンプル&ホールド回路使用時] ● t <sub>HY_SH</sub> + Σ t <sub>HY_OS</sub> <sup>(注6)</sup>

注. n = 0~8, m = 0, 1, p = 0~7, q = 0~15

$N_{ADC}$ ：この値は ADDOPCRBx.ADC[3:0] ( $x = 0 \sim 36$ ) の設定値に応じた加算/平均回数です。A/D 変換値加算/平均機能を使用しない場合、この値は 1 です。  
 $N_{TAP}$ ：この値は ADDOPCRAX.DFSEL[2:0] ( $x = 0 \sim 36$ ) ビットと ADDFSRm.DFSELY[1:0] ( $m = 0, 1, y = 0 \sim 4$ ) ビットで選択されたデジタルフィルタの TAP 数です。  
 $N_{SGCH}$ ：この値はスキャングループのチャンネル数です。

- 注 1. ADCLKCR.CLKSEL[1:0] = 10b かつ ADCLKCR.DIVR[2:0] = 000b が設定されている場合
- 注 2. チャンネル専用サンプル&ホールド処理時間を含みません。
- 注 3. A/D 変換データ処理時間を含みません。
- 注 4. スキャングループに割り当てられた各アナログチャンネルの変換設定から算出されるチャンネル変換時間 ( $t_{ADCH\_N}$ ) の総和です。チャンネル専用サンプル&ホールド回路を使用する場合は、チャンネル専用サンプル&ホールド処理時間 ( $t_{SH\_SPL}$  および  $t_{SH\_HLD}$ ) も加算されます。
- 注 5. スキャングループに割り当てられた各アナログチャンネルの変換設定から算出されるチャンネル変換時間 ( $t_{ADCH\_O}$ ) の総和です。
- 注 6. スキャングループに割り当てられた各アナログチャンネルの変換設定から算出されるオーバーサンプリング期間 ( $t_{HY\_OS}$ ) の総和です。

【訂正後】

表 36.56 A/D 変換処理時間

項目	シンボル		処理時間
チャンネル専用サンプル&ホールド処理時間	サンプリング時間	$t_{SH\_SPL}$	$ADSHSTRm.SHSST[7:0] \times ADCLK$
	ホールドモード切り替え時間	$t_{SH\_HLD}$	$ADSHSTRm.SHHST[2:0] \times ADCLK$
	サンプリングモード切り替え時間 (ハイブリッドモードの場合のみ)	$t_{SH\_D}$	$(ADSYCR.ADSYCYC[10:0] - 1) \times ADCLK$
断線検出アシスト処理時間	$t_{DDA}$		[断線検出アシスト機能無効時] ● 0 [断線検出アシスト機能有効時] ● $ADSGDCRn.ADNDIS[3:0] \times ADCLK$
A/D 変換時間	サンプリング時間	$t_{AD\_SPL}$	$ADSSTRp.SSTq[9:0] \times ADCLK$
	逐次変換時間	$t_{AD\_CNV}$	$ADCNVSTR.CSTM[5:0] \times ADCLK$
A/D 変換データ処理時間	SAR モード (デジタルフィルタ機能不使用)	ADCLK = PCLKA/1 設定時 <sup>(注1)</sup>	$t_{ADDP}$ [A/D 変換値加算/平均機能不使用時] ● 6 ADCLK + 2 PCLKA [A/D 変換値加算/平均機能使用時] ● 7 ADCLK + 2 PCLKA
		上記以外	[A/D 変換値加算/平均機能不使用時] ● 7 ADCLK + (5~6 PCLKA) [A/D 変換値加算/平均機能使用時] ● 8 ADCLK + (5~6 PCLKA)
	オーバーサンプリングモードまたはハイブリッドモード (デジタルフィルタ機能使用)	ADCLK = PCLKA/1 設定時 <sup>(注1)</sup>	$t_{ADDP}$ [A/D 変換値加算/平均機能不使用時] ● 8 ADCLK + 2 PCLKA [A/D 変換値加算/平均機能使用時] ● 9 ADCLK + 2 PCLKA
		上記以外	[A/D 変換値加算/平均機能不使用時] ● 9 ADCLK + 5~6 PCLKA [A/D 変換値加算/平均機能使用時] ● 10 ADCLK + 5~6 PCLKA
総合A/D 変換時間 (SAR モード) <sup>(注3)</sup>	チャンネル変換時間 <sup>(注2)</sup>	$t_{ADCH\_S}$	$(t_{DDA} + t_{AD\_SPL} + t_{AD\_CNV}) \times N_{ADC} \times ADCLK$
	スキャン変換時間 <sup>(注4)</sup>	$t_{SCAN\_S}$	[チャンネル専用サンプル&ホールド回路不使用時] ● $\sum t_{ADCH\_S}$ [チャンネル専用サンプル&ホールド回路使用時] ● $t_{SH\_SPL} + t_{SH\_HLD} + \sum t_{ADCH\_S}$
総合A/D 変換時間 (オーバーサンプリングモード) <sup>(注3)</sup>	オーバーサンプリング周期	$t_{OV\_OS}$	$(t_{DDA} + t_{AD\_SPL} + t_{AD\_CNV}) \times ADCLK$
	チャンネル変換時間	$t_{ADCH\_O}$	$(t_{DDA} + t_{AD\_SPL} + t_{AD\_CNV}) \times (N_{TAP} + N_{ADC}) \times ADCLK$
	スキャン変換時間 <sup>(注5)</sup>	$t_{SCAN\_O}$	$\sum t_{ADCH\_O}$

総合 A/D 変換時間 (ハイブリッドモード) (注3)	ハイブリッドモードでのチャンネル専用サンプル&ホールド処理時間		t <sub>HY_SH</sub>	t <sub>SH_SPL</sub> + t <sub>SH_HLD</sub> + t <sub>SH_D</sub>
	オーバーサンプリング <b>周期</b>		t <sub>HY_OS</sub>	(t <sub>DDA</sub> + t <sub>AD_SPL</sub> + t <sub>AD_CNV</sub> ) × ADCLK
	スキャン変換時間	初期遅延	t <sub>HY_ID</sub>	[チャンネル専用サンプル&ホールド回路不使用時] ● (N <sub>TAP</sub> + N <sub>ADC</sub> ) × Σt <sub>HY_OS</sub> (注6) [チャンネル専用サンプル&ホールド回路使用時] ● (t <sub>HY_SH</sub> × (N <sub>ADC</sub> + N <sub>TAP</sub> ) - t <sub>SH_D</sub> ) + (N <sub>TAP</sub> + N <sub>ADC</sub> ) × Σt <sub>HY_OS</sub> (注6)
		<b>初期遅延時間経過後</b>	t <sub>SCAN_HY</sub>	[チャンネル専用サンプル&ホールド回路不使用時] ● Σt <sub>HY_OS</sub> (注6) [チャンネル専用サンプル&ホールド回路使用時] ● t <sub>HY_SH</sub> + Σt <sub>HY_OS</sub> (注6)

注. n = 0~8, m = 0, 1, p = 0~7, q = 0~15

N<sub>ADC</sub> : この値は ADDOPCRBx.ADC[3:0] (x = 0~36) の設定値に応じた加算/平均回数です。A/D 変換値加算/平均機能を使用しない場合、この値は 1 です。

N<sub>TAP</sub> : この値は ADDOPCRAX.DFSEL[2:0] (x = 0~36) ビットと ADDFSRm.DFSELY[1:0] (m = 0, 1, y = 0~4) ビットで選択されたデジタルフィルタの TAP 数です。

N<sub>SGCH</sub> : この値はスキャングループのチャンネル数です。

注 1. ADCLKCR.CLKSEL[1:0] = 10b かつ ADCLKCR.DIVR[2:0] = 000b が設定されている場合

注 2. チャンネル専用サンプル&ホールド処理時間を含みません。

注 3. A/D 変換データ処理時間を含みません。

注 4. スキャングループに割り当てられた各アナログチャンネルの変換設定から算出されるチャンネル変換時間 (t<sub>ADCH\_N</sub>) の総和です。チャンネル専用サンプル&ホールド回路を使用する場合は、チャンネル専用サンプル&ホールド処理時間 (t<sub>SH\_SPL</sub> および t<sub>SH\_HLD</sub>) も加算されます。

注 5. スキャングループに割り当てられた各アナログチャンネルの変換設定から算出されるチャンネル変換時間 (t<sub>ADCH\_O</sub>) の総和です。

注 6. スキャングループに割り当てられた各アナログチャンネルの変換設定から算出されるオーバーサンプリング **周期** (t<sub>HY\_OS</sub>) の総和です。

【訂正前】

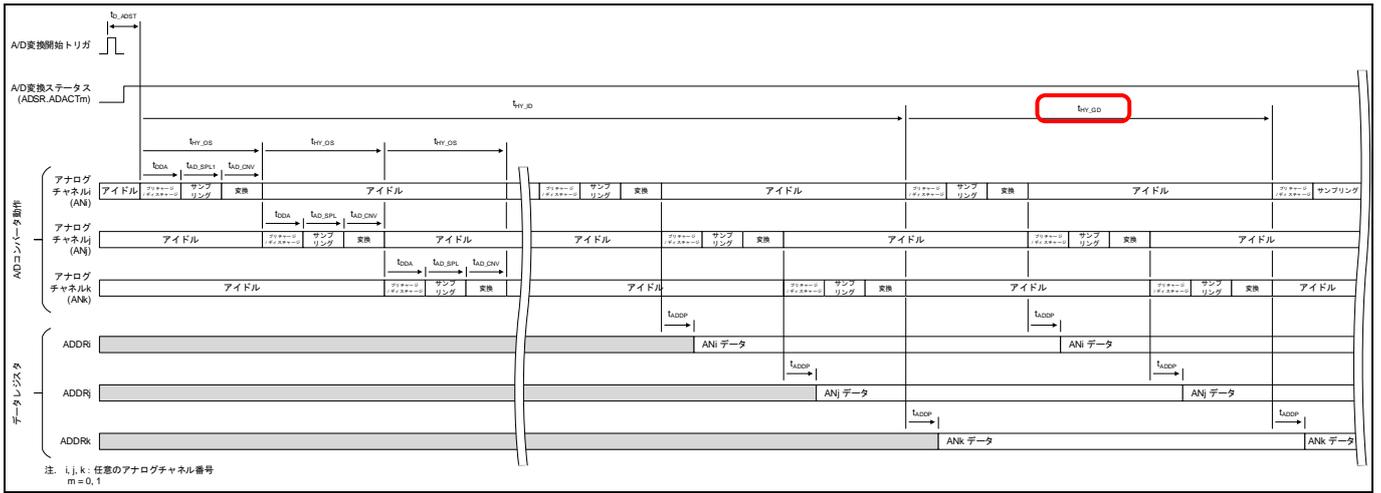


図 36.55 A/D 変換処理時間（ハイブリッドモード）

【訂正後】

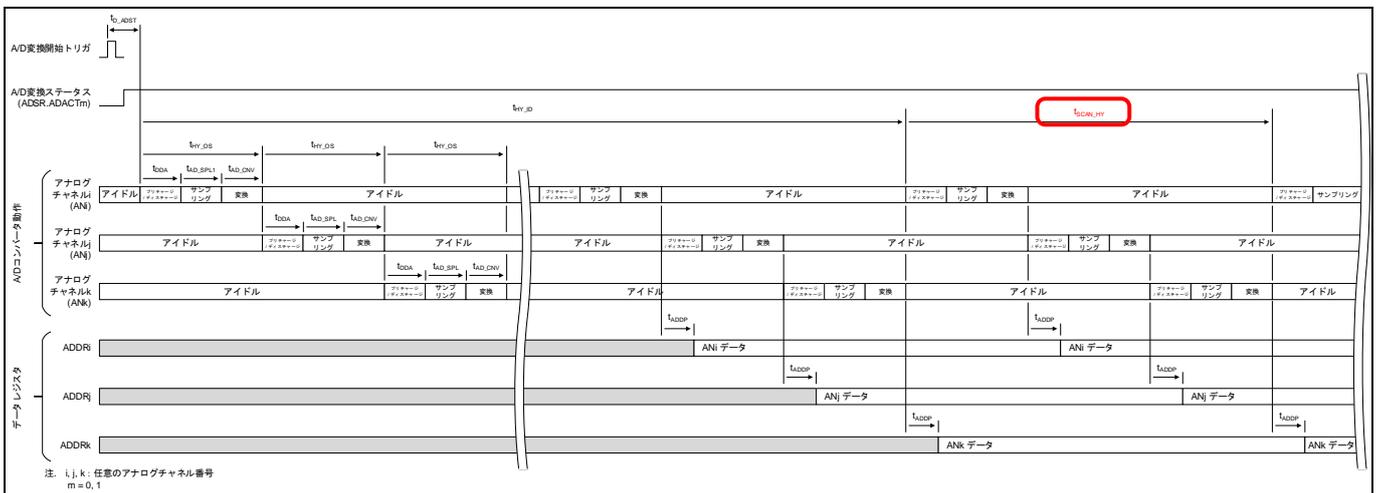


図 36.55 A/D 変換処理時間（ハイブリッドモード）

【訂正前】

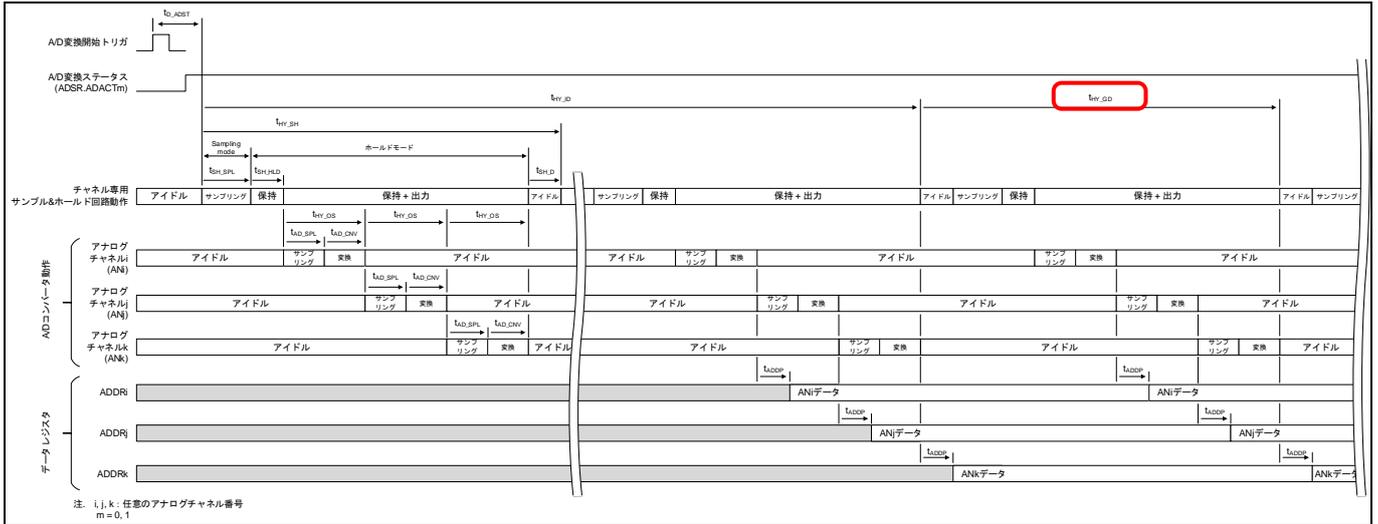


図 36.56 A/D 変換処理時間（チャンネル専用サンプル&ホールド回路使用時のハイブリッドモード）

【訂正後】

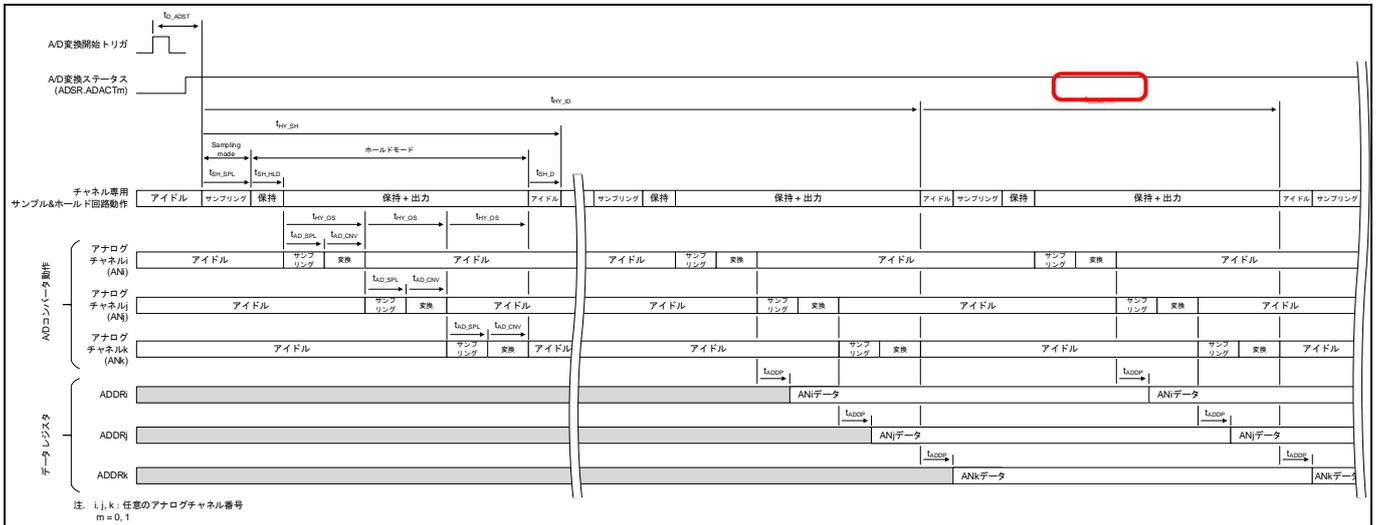


図 36.56 A/D 変換処理時間（チャンネル専用サンプル&ホールド回路使用時のハイブリッドモード）

【訂正前】

36.10.1 A/D 変換動作中の動作設定変更の禁止

A/D 変換の動作設定に関連するレジスタは、すべての A/D コンバータが停止 (ADSR.ADACTm = 0 および ADSR.CALACTm = 0 (m = 0, 1)) しているときに設定してください。下記のレジスタを除き、A/D 変換中は設定の変更 (書き込み) は禁止されています。A/D 変換中に動作設定が変更された場合、動作は保証されません。

[A/D コンバータの動作中に書き込み可能なレジスタ]

- ステータスクリアレジスタ
  - A/D コンバータ動作に関連するステータスクリアレジスタ (ADERSCR, **ADCALSCR**, ADCALENDSCR, ADSCANENDSCR)

【訂正後】

36.10.1 A/D 変換動作中の動作設定変更の禁止

A/D 変換の動作設定に関連するレジスタは、すべての A/D コンバータが停止 (ADSR.ADACTm = 0 および ADSR.CALACTm = 0 (m = 0, 1)) しているときに設定してください。下記のレジスタを除き、A/D 変換中は設定の変更 (書き込み) は禁止されています。A/D 変換中に動作設定が変更された場合、動作は保証されません。

[A/D コンバータの動作中に書き込み可能なレジスタ]

- ステータスクリアレジスタ
  - A/D コンバータ動作に関連するステータスクリアレジスタ (ADERSCR, ADCALENDSCR, ADSCANENDSCR)

【訂正前】

表 37.1 DAC12 の仕様

項目	内容
分解能	12 ビット
出力チャンネル	4 チャンネル
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
イベントリンク機能 (入力)	イベント信号の入力により、DA0、DA1、DA2 および DA3 変換の開始が可能
D/A 出力のアンプ制御機能	出力アンプ (アンプスルー制御およびアンプバイアス制御) の使用 / 不使用を制御
D/A 出力の出力先制御機能	外部端子への出力を使用するか内部モジュール ( <b>ACMPHS</b> ) への出力を使用するかを制御
TrustZone フィルタ	セキュリティ属性を設定可能

【訂正後】

表 37.1 DAC12 の仕様

項目	内容
分解能	12 ビット
出力チャンネル	4 チャンネル
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
イベントリンク機能 (入力)	イベント信号の入力により、DA0、DA1、DA2 および DA3 変換の開始が可能
D/A 出力のアンプ制御機能	出力アンプ (アンプスルー制御およびアンプバイアス制御) の使用 / 不使用を制御
D/A 出力の出力先制御機能	外部端子への出力を使用するか内部モジュール ( <b>ACMPHS、ADC</b> ) への出力を使用するかを制御
TrustZone フィルタ	セキュリティ属性を設定可能

【訂正前】

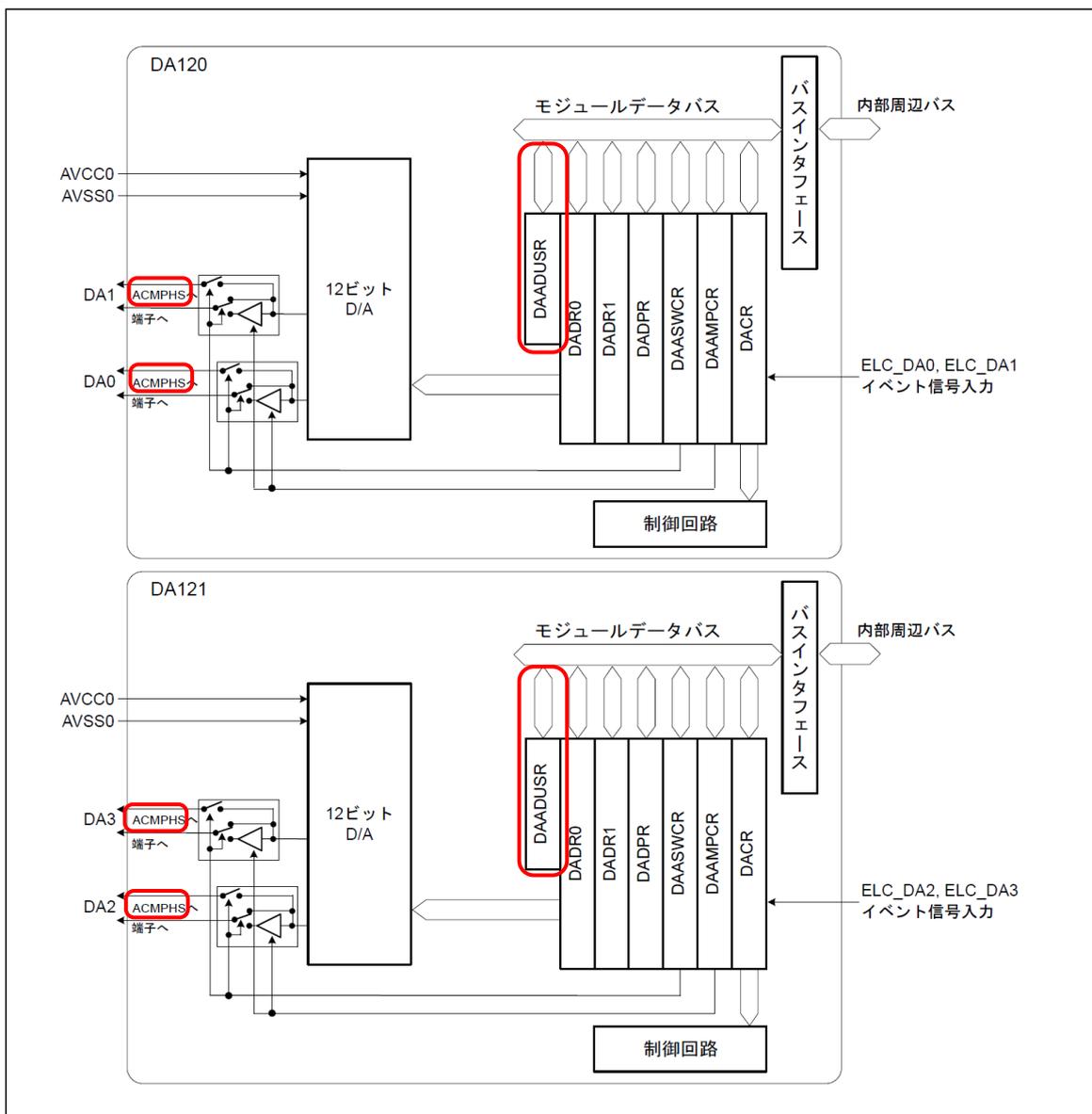


図 37.1 DAC12 のブロック図

【訂正後】

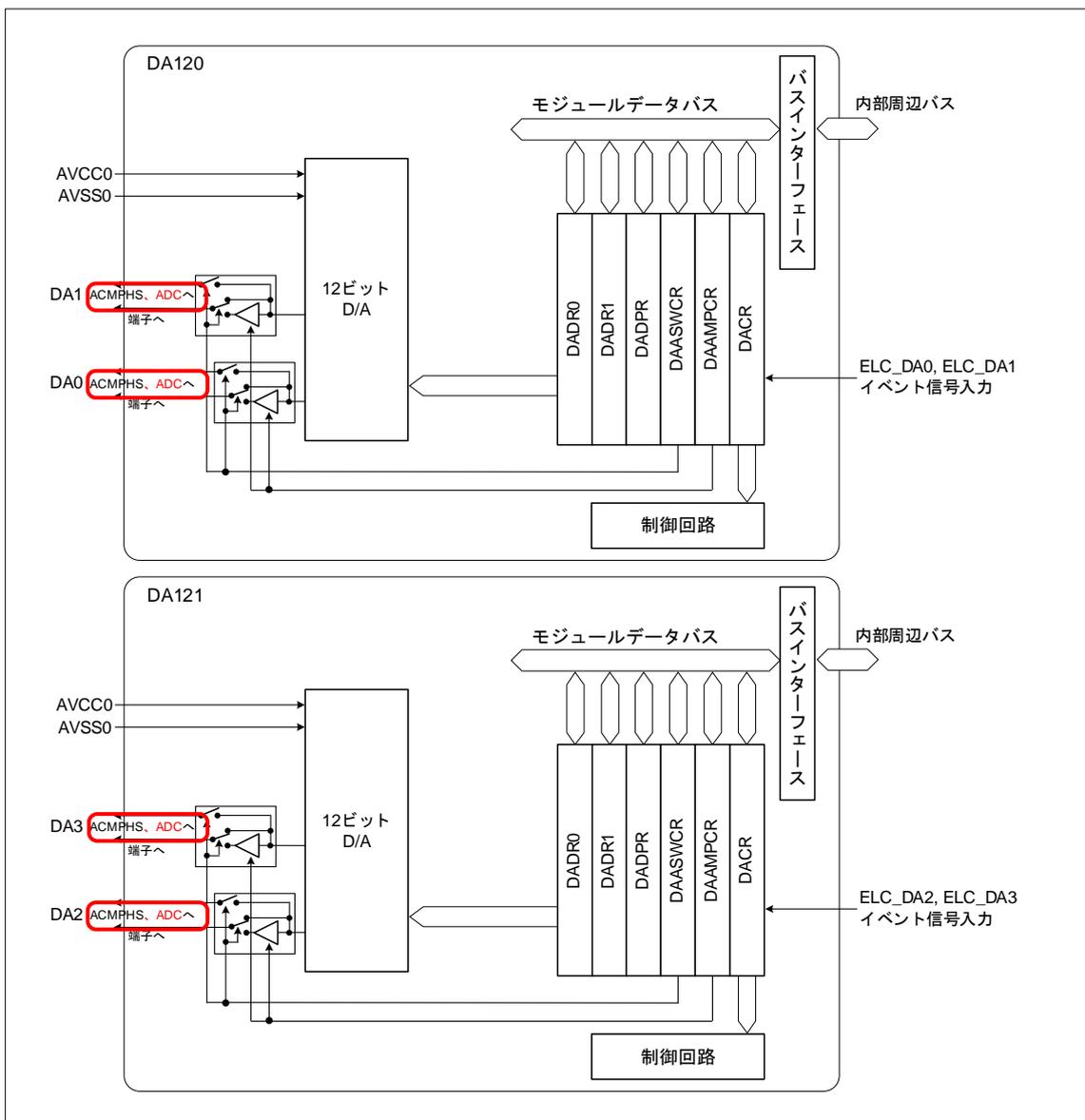


図 37.1 DAC12 のブロック図

【訂正前】

表 37.5 D/A 変換とアナログ出力制御

DACR		DAAMPCR	DAASWCR	チャンネル i の動作	チャンネル i アンプ動作	チャンネル i アナログ外部出力 <sup>(注 1)</sup>	チャンネル i アナログ内部出力 <sup>(注 2)</sup>
DAE	DAOEi	DAAMPi	DAASWi				
0	0	x	x	停止	停止	Hi-Z	Hi-Z
0	1	0	0	動作	停止	アンプスルー	Hi-Z
0	1	0	1	動作	停止	Hi-Z	アンプスルー
0	1	1	0	動作	動作	アンプ出力	Hi-Z
0	1	1	1	動作	動作	Hi-Z	Hi-Z
1	x	0	0	動作	停止	アンプスルー	Hi-Z
1	x	0	1	動作	停止	Hi-Z	アンプスルー
1	x	1	0	動作	動作	アンプ出力	Hi-Z
1	x	1	1	動作	動作	Hi-Z	Hi-Z

注. x : Don't care

注 1. 端子への出力

注 2. ACMPHS への出力

【訂正後】

表 37.5 D/A 変換とアナログ出力制御

DACR		DAAMPCR	DAASWCR	チャンネル i の動作	チャンネル i アンプ動作	チャンネル i アナログ外部出力 <sup>(注 1)</sup>	チャンネル i アナログ内部出力 <sup>(注 2)</sup>
DAE	DAOEi	DAAMPi	DAASWi				
0	0	x	x	停止	停止	Hi-Z	Hi-Z
0	1	0	0	動作	停止	アンプスルー	Hi-Z
0	1	0	1	動作	停止	Hi-Z	アンプスルー
0	1	1	0	動作	動作	アンプ出力	Hi-Z
0	1	1	1	動作	動作	Hi-Z	Hi-Z
1	x	0	0	動作	停止	アンプスルー	Hi-Z
1	x	0	1	動作	停止	Hi-Z	アンプスルー
1	x	1	0	動作	動作	アンプ出力	Hi-Z
1	x	1	1	動作	動作	Hi-Z	Hi-Z

注. x : Don't care

注 1. 端子への出力

注 2. ACMPHS、ADC への出力

【訂正前】

表 46.36 A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）（1）

項目		Min	Typ	Max	単位	測定条件		
オーバーサンプリングモードとハイブリッドモード	アナログ入力電圧範囲	シングルエンド入力電圧	VREFLO	-	VREFH0	V	-	
		差動入力電圧 <sup>(注1)</sup>	-VREFH0	-	+VREFH0	V	-	
	分解能	-	-	16	ビット	-		
オーバーサンプリングモード	オーバーサンプリング周期	オーバーサンプリングモード	0.16	-	-	μs	<ul style="list-style-type: none"> <li>● ADCLK: 50 MHz</li> <li>● サンプリング時間：3ADCLK</li> <li>● 逐次比較時間：5 ADCLK</li> <li>● 断線検出アシスト機能不使用時</li> </ul>	
		ハイブリッドモード	0.18	-	-	μs	<ul style="list-style-type: none"> <li>● ADCLK: 50 MHz</li> <li>● サンプリング時間：4ADCLK</li> <li>● 逐次比較時間：5 ADCLK</li> <li>● 断線検出アシスト機能不使用時</li> </ul>	
デジタルフィルタ特性 <sup>(注2)</sup>	Sinc フィルタ	初期遅延	-	22	-	Fos	-	
			群遅延	-	11	-	-	-
			正規化遮断周波数	-	0.033	-	Fin/Fos	-
	最小位相フィルタ	初期遅延	-	22	-	Fos	-	
			群遅延	-	2	-	-	-
			正規化遮断周波数	-	0.116	-	Fin/Fos	-
	通過帯域リップル	-	<±0.01	-	dB	-		

注. Fos はオーバーサンプリング周波数です。

注 1. 差動入力電圧は (AINP - AINN) です。

- AINP は ANx の入力電圧であり、VREFLO ≤ AINP ≤ VREFH0 です。
  - AINN は ANY の入力電圧であり、VREFLO ≤ AINN ≤ VREFH0 です。
- (x = 2i, y = 2i + 1, i = 0, 1, 2... (任意の整数) )

注 2. 図 46.50 と図 46.51 を参照してください。

【訂正後】

表 46.36 A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）（1）

項目		Min	Typ	Max	単位	測定条件	
オーバーサンプリングモードとハイブリッドモード	アナログ入力電圧範囲	シングルエンド入力電圧 VREFLO	-	VREFH0	V	-	
		差動入力電圧 <sup>(注1)</sup> -VREFH0	-	+VREFH0	V	-	
	分解能	-	-	16	ビット	-	
オーバーサンプリングモード	オーバーサンプリング周期	オーバーサンプリングモード 0.16	-	-	μs	<ul style="list-style-type: none"> <li>● ADCLK: 50 MHz</li> <li>● サンプリング時間: 3ADCLK</li> <li>● 逐次比較時間: 5 ADCLK</li> <li>● 断線検出アシスト機能不使用時</li> <li>● 信号源インピーダンス: 50Ω以下</li> </ul>	
		ハイブリッドモード <sup>(注3)</sup> 0.18	-	-	μs	<ul style="list-style-type: none"> <li>● ADCLK: 50 MHz</li> <li>● サンプリング時間: 4ADCLK</li> <li>● 逐次比較時間: 5 ADCLK</li> <li>● 断線検出アシスト機能不使用時</li> <li>● 信号源インピーダンス: 50Ω以下</li> </ul>	
デジタルフィルタ特性 <sup>(注2)</sup>	Sinc フィルタ	初期遅延	-	22	-	Fos	-
		群遅延	-	11	-	-	-
		正規化遮断周波数	-	0.033	-	Fin/Fos	-
	最小位相フィルタ	初期遅延	-	22	-	Fos	-
		群遅延	-	2	-	-	-
		正規化遮断周波数	-	0.116	-	Fin/Fos	-
	通過帯域リップル	-	<±0.01	-	dB	-	

注. Fos はオーバーサンプリング周波数です。

ハイブリッドモードの場合、Fos=1/(スキマグループに割り当てられた各アナログチャネルのオーバーサンプリング周期の総和)です。

注 1. 差動入力電圧は (AINP - AINN) です。

- AINP は ANx の入力電圧であり、VREFLO ≤ AINP ≤ VREFH0 です。
  - AINN は ANY の入力電圧であり、VREFLO ≤ AINN ≤ VREFH0 です。
- (x = 2i, y = 2i + 1, i = 0, 1, 2... (任意の整数) )

注 2. 図 46.50 と図 46.51 を参照してください。

注 3. 1 チャンルあたりの値です。