

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

平成10年 6月23日

日立半導体技術情報

〒100-0004

東京都千代田区大手町2丁目6番2号

(日本ビル)

TEL (03)5201-5016

(ダイヤルイン)

株式会社 日立製作所 半導体事業部

題 目	HD64572 SCA-II ユーザーズマニュアル誤記訂正(3)		発行番号	TN-PSC-334A	
			分 類	1. 仕様変更 ② ドキュメント訂正追加等 3. 使用上の注意事項	
適 用 製 品	HD64572FL33	対象ロット等	関 連 資 料	_____	有効期限
	HD64572AFL33	全ロット			永年

日立 HD64572FL33,HD64572AFL33 SCA-II ユーザーズマニュアルにおきまして、
誤記、使用上の注意及び注記の不足が有りましたのでお詫びと共に訂正させていただきます。
ご注意願います。

—記—

1. 概要

1.7 機能概要

1.7.6 最大ビット・レート …(P30)

(訂正前)

SCA-IIのMSCIの最大ビット・レートは表1.4に示すとおりです。

(訂正後)

SCA-IIのMSCIの最大ビット・レートは表1.4.1、表1.4.2に示すとおりです。

(訂正前)

表1.4 最大ビット・レート

f ϕ	プロトコル・ モード	クロック・ モード*7	最大ビット・レート (bps)							
			外部 クロック	BRG	クロック抽出					
					サンプリング・ クロック=外部*4			サンプリング・ クロック=BRG*5、6		
$\times 8$	$\times 16$	$\times 32$	$\times 8$	$\times 16$	$\times 32$					
33.3 MHz	調歩同期	1/64	208K*1	260K*3	—	—	—	—	—	—
		1/32	416K*1	521K*3	—	—	—	—	—	—
		1/16	832K*1	1042K*3	—	—	—	—	—	—
		1/1	13.3M*1	11.1M*3	—	—	—	—	—	—
	バイト同期	1/1	25.0M*2	16.7M*3	4.16*9	2.5M	1.25M	4.16M	2.08M	1.04M
	ビット同期 モード	1/1	25.0M*2	16.7M*3	4.16*9	2.5M	1.25M	4.16M	2.08M	1.04M

(訂正後)

HD64572FL33 (25Mビット/秒)

表1.4.1 最大ビット・レート

f ϕ	プロトコル・ モード	クロック・ モード*7	最大ビット・レート (bps)							
			外部 クロック	BRG	クロック抽出					
					サンプリング・ クロック=外部*4			サンプリング・ クロック=BRG*5、6		
$\times 8$	$\times 16$	$\times 32$	$\times 8$	$\times 16$	$\times 32$					
33.3 MHz	調歩同期	1/64	208K*1	260K*3	—	—	—	—	—	—
		1/32	416K*1	521K*3	—	—	—	—	—	—
		1/16	832K*1	1042K*3	—	—	—	—	—	—
		1/1	13.3M*1	11.1M*3	—	—	—	—	—	—
	バイト同期	1/1	25.0M*2	16.7M*3	4.16M*9	2.5M	1.25M	4.16M	2.08M	1.04M
	ビット同期 モード	1/1	25.0M*2	16.7M*3	4.16M*9	2.5M	1.25M	4.16M	2.08M	1.04M
	トランスバレット モード	1/1	25.0M*2	16.7M*3	4.16M*9	2.5M	1.25M	4.16M	2.08M	1.04M

P30 と P31 の間に下記ページを追加いたします。

HD64572AFL33 (30Mビット/秒)

表1.4.2 最大ビット・レート

f ϕ	プロトコル・モード	クロック・モード*7	外部クロック	BRG	最大ビット・レート (bps)					
					クロック抽出					
					サンプリング・クロック=外部*4			サンプリング・クロック=BRG*5,6		
				$\times 8$	$\times 16$	$\times 32$	$\times 8$	$\times 16$	$\times 32$	
33.3 MHz	調歩同期	1/64	208K*1	260K*3	—	—	—	—	—	—
		1/32	416K*1	521K*3	—	—	—	—	—	—
		1/16	832K*1	1042K*3	—	—	—	—	—	—
		1/1	13.3M*1	11.1M*8	—	—	—	—	—	—
	バイト同期	1/1	30.0M*2	16.7M*3	4.16M*9	2.5M	1.25M	4.16M	2.08M	1.04M
	ビット同期 モード	1/1	30.0M*2	16.7M*3	4.16M*9	2.5M	1.25M	4.16M	2.08M	1.04M
	トランスパレット モード	1/1	30.0M*2	16.7M*3	4.16M*9	2.5M	1.25M	4.16M	2.08M	1.04M

f ϕ : システム・クロック周波数

【注】 *1 $f\phi \div 2.5 \times$ (クロック・モード)

*2 $f\phi \div 1.11 \times$ (クロック・モード)

*3 $f\phi \div 2 \times$ (クロック・モード)

*4 $40\text{Mbps} \div$ (サンプリング・クロック倍率)

*5 $f\phi \div$ (サンプリング・クロック倍率)

*6 受信クロックのノイズ除去を行う場合の最大ビット・レートも同じ

*7 MSCIモード・レジスタ1 (MD1) により設定されます

*8 $f\phi \div 3$

*9 $f\phi \div 8$ 、 $\times 8$ モードでは外部クロックとして $f\phi$ (33.3MHz) と同一周波数までを入力できます。

3. システム制御部

3.6.5 使用上の注意 …(P106)

(訂正前)

レジスタ制御によるウェイト・ステート挿入と WAIT 端子によるウェイト・ステート挿入が同時に発生した場合、レジスタに設定されたウェイトの設定数だけ挿入され、さらにレジスタで設定されたウェイトで設定したステート数を超えて WAIT 端子による要求があれば、要求に応じてウェイト・ステートが追加されます。

(訂正後)

レジスタ制御によるウェイト・ステート挿入と WAIT 端子によるウェイト・ステート挿入が同時に発生した場合、レジスタに設定されたウェイトの設定数だけ挿入され、さらにレジスタで設定されたウェイトで設定したステート数を超えて WAIT 端子による要求があれば、要求に応じてウェイト・ステートが追加されます。

ウェイト・コントロール・レジスタ H、M、L(WCRH、M、L)によるウェイト・サイクル数の設定値及び WAIT 端子によるウェイト・ステート挿入数は、DMAC バック・オフ・レンジス・レジスタ (BOLR)の設定値以下として下さい。DMAC バック・オフ・レンジス・レジスタ (BOLR)の設定値を超えた場合、DMA 動作は保証されません。

5. MSCI

5.2.5 MSCI コントロール・レジスタ (CTL)

ビット 7: URCT (アンダラン時要求制御) …(P179)

[バイト同期/ビット同期/トランスペアレント・モード]

(訂正前)

URCT	機能
0	URSKP = "0" でアンダラン発生時、DMA 要求を停止します。
1	URSKP = "0" でアンダラン発生時、DMA 要求を出し続けます。

(訂正後)

URCT	機能
0	URSKP = "0" でアンダラン発生時、DMA 要求及び DMA クリティカル要求出力を停止します。
1	URSKP = "0" でアンダラン発生時、DMA 要求を出し続けます。

ビット6 : URSKP (アンダラン時残りデータスキップ)

[バイト同期/ビット同期/トランスペアレント・モード] …(P179)

(訂正前)

アンダラン発生時は、ステータス・レジスタ1 (ST1) の UDRN ビットは “1” にセットされ、TX ディスエーブル状態に遷移して、MPUからの送信バッファへの書き込みは禁止されます。

(訂正後)

アンダラン発生時は、ステータス・レジスタ1 (ST1) の UDRN ビットは “1” にセットされ、アイドル状態に遷移して、MPUからの送信バッファへの書き込みは禁止されます。

(訂正前)

URSKP	URCT	機能
0	0	アンダラン発生時、DMA 要求を停止して転送を中断します。
	1	アンダラン発生時、アンダラン発生後のフレーム残りデータを続けて送信 FIFO に転送します。結果としてこれらのデータは、アンダラン発生前のフレームとは別のフレームとして転送されます。
1	*	アンダラン発生時、フレーム残りデータをスキップします。 チェーン・ブロック転送モードでは、アンダラン発生後のフレーム残りデータがスキップされ、DMAC は次のフレームの先頭から転送を続けます。 単一転送モードでは、アンダラン発生後のフレーム残りデータがスキップされ、DMAC は動作を終了します。

* : Don't care

(訂正後)

URSKP	URCT	機能
0	0	アンダラン発生時、DMA 要求及び DMA クリティカル要求の出力を停止して、転送を中断します。
	1	アンダラン発生時、DMA 要求のみを出力し、アンダラン発生後のフレーム残りデータを続けて送信 FIFO に転送します。結果としてこれらのデータは、アンダラン発生前のフレームとは別のフレームとして転送されます。
1	0	アンダラン発生時、DMA 要求のみを出力します。 チェーン・ブロック転送モードでは、アンダラン発生後のフレーム残りデータがスキップされ、DMAC は次のフレームの先頭から転送を続けます。 単一転送モードでは、アンダランが発生してもフレーム残りデータをスキップせず、続けて送信 FIFO に転送します。結果としてこれらのデータは、アンダラン発生前のフレームとは別のフレームとして転送されます。
	1	アンダラン発生時、DMA 要求及び DMA クリティカル要求を出力します。 チェーン・ブロック転送モードでは、アンダラン発生後のフレーム残りデータがスキップされ、DMAC は次のフレームの先頭から転送を続けます。 単一転送モードでは、アンダランが発生してもフレーム残りデータをスキップせず、続けて送信 FIFO に転送します。結果としてこれらのデータは、アンダラン発生前のフレームとは別のフレームとして転送されます。

5.2.42 MSCI送信DMA要求制御レジスタ1 (TNR1) …(P275)

(訂正前)

ビット 13~8 : TNR15~10 (TX DMA リクエスト・コントロール0)

(訂正後)

ビット 13~8 : TNR15~10 (TX DMA リクエスト・コントロール1)

(訂正前)

[調歩同期/バイト同期/ビット同期/トランスペアレント・モード]

一旦送信DMA要求が発行された後、送信バッファのデータ・バイト数が (TNR15~10の設定値) +1 以上になったとき、MSCIは送信DMA要求を解除します。00H から 3FH までのどの値でも設定できます。

(TNR15~10の設定値) ≤ (TNR05~00の設定値) の場合、

(TNR15~10の設定値) = (TNR05~00の設定値) と同様の動作 (一回の要求でDMA転送が行われた後、ただちに要求が解除されます、) になります。

(訂正後)

[調歩同期/バイト同期/ビット同期/トランスペアレント・モード]

一旦送信DMA要求が発行された後、送信バッファのデータ・バイト数が (TNR15~10の設定値) +1 以上になったとき、MSCIは送信DMA要求を解除します*。00H から 3FH までのどの値でも設定できます**。

[注] * (TNR15~10の設定値) < (TNR05~00の設定値) のときは、送信バッファのデータ・バイト数が (TNR05~00の設定値) +1 以上になったとき、MSCIは送信DMA要求を解除します。

** DMAプライオリティ・コントロール・レジスタ(PCR)のCOTEビット(バースト・イネーブル)を“1”に設定したときは、TNR15~10へは00Hから34Hまでの値を設定して下さい。35H以上の値を設定した場合、送信DMA転送動作は保証されません。

6. DMAC

6.2.7 DMA ステータス・レジスタ (DSR) …(P356)

ビット 26、18、10、2 : UDRF/REF (アンダラン・フレーム/受信エラー・フレーム)

【使用上の注意】

(訂正前)

URSKP ビット="1"の場合は、転送を中止しディスクリプタ内ステータスの EOM ビット="1"であるディスクリプタまでスキップします ([4] [5])。そのとき、スキップした EOM ビット="1"までのディスクリプタ・ステータスの UDR ビットを"1"にセットします。

(訂正後)

URSKP ビット="1"の場合は、転送を中止しディスクリプタ内ステータスの EOM ビット="1"であるディスクリプタまでスキップします ([4] [5])。そのとき、スキップした EOM ビット="1"までのディスクリプタ・ステータスの UDR ビットを"1"にセットします*3。

図 6.1 UDRF ビットセット時の動作概要の下記【注】へ*3を追記します。

【注】 *1 DMAC を単一ブロック転送モードに設定し、MSCI内のコントロール・レジス

）

*2 チェインブロック転送モードで URSKP ビット="0" (スキップなし) に設定して、アン

）

*3 チェインブロック転送モードで MSCI内のコントロール・レジスタ (CTL) の URSKP ビット="1"に設定した時、バッファからのデータ転送中にアンダランが発生すると当該ディスクリプタ内ステータスのアドレスを出力せずにバッファのアドレスのまま UDR ビット="1"をライトアクセスする事があります。
チェインブロック転送モードで MSCI内のコントロール・レジスタ (CTL) の URSKP ビット="1"に設定した場合は、必ず当該チャンネルのエラー・ディスクリプタ・アドレス・レジスタ (EDABH, EDAB, EDAH, EDAL) を設定し転送を終了させた後、全ディスクリプタ内ステータスを確認して下さい。ディスクリプタ内ステータスの OSB ビット="0"があれば、そのディスクリプタに属するバッファからの転送中にアンダランが発生した事が分かりますので、そのフレームを破棄して下さい。