

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A073A/J	Rev.	第1版
題名	RX21A グループ ユーザーズマニュアル ハードウェア編の誤記修正及び追記		情報分類	技術情報	
適用製品	RX21A グループ	対象ロット等	関連資料	RX21A グループ ユーザーズマニュアル ハードウェア編 REV1.00 (R01UH0251JJ0100)	
		全ロット			

RX21Aグループ ユーザーズマニュアル ハードウェア編 Rev. 1.00において誤記、追記があります。

修正箇所を赤字で示します。

- Page 40 「表1.1 仕様概要 (3/4)」にIrDAバスインタフェース (IRDA) の記述を追加します。

また、動作周囲温度に関する注意書きを追加します。

【正】

表1.1 仕様概要 (3/4)

分類	モジュール／機能	説明
通信機能	IrDA バスインタフェース (IRDA)	1 チャンネル (SCI5 を使用) - IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードをサポート
動作周囲温度		D バージョン：-40～+85℃、G バージョン：-40～+105℃ (注1)

注1: Gバージョンをご使用になる場合は、弊社までお問い合わせください。

- Page 165 「9.2.5 メインクロック発振器コントロールレジスタ (MOSCCR)」の説明を訂正します。

【誤】

システムクロックコントロールレジスタ3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器を選択しているとき、あるいはSCKCR3.CKSEL[2:0] ビットでPLL を選択しているとき、MOSTP ビットを“1” (メインクロック発振器停止) にする書き込みは禁止です。

【正】

以下のいずれかの条件を満たす場合、MOSTPビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択している (SCKCR3.CKSEL[2:0] = 010b)
- システムクロックのクロックソースにPLLクロックを選択している (SCKCR3.CKSEL[2:0] = 100b)
- PLLを動作させている (PLLGR2.PLEN = 0)

- Page 171 「9.2.11 発振停止検出コントロールレジスタ（OSTDCR）」のOSTDE ビット（発振停止検出機能許可ビット）の説明に追記します。

【正】

発振停止検出機能の有効/ 無効を設定します。

有効にしてから、安定動作を開始するまでに tdr（「表44.4 発振停止検出回路特性」参照）の時間が必須です。

OSTDE ビットを“1”（発振停止検出機能有効）にすると、LOC0 停止ビット（LOCOCR.LCSTP）も“0”となり、LOC0 が動作します。発振停止検出機能が有効である間は、LOC0 を停止させることはできません。LOCOCR.LCSTP ビットへ“1”（LOC0 停止）を書いても、その書き込みは無効になります。

- Page 174 「9.2.14 高速オンチップオシレータ電源コントロールレジスタ（HOCOPCR）」のHOCOPCNT ビット（高速オンチップオシレータ電源制御ビット）の説明に追記します。

【正】

以下に該当する場合、HOCOPCNT ビットの値を書き換えないでください。

- ・ システムクロックコントロールレジスタ3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でクロックソースにHOCO を選択しているとき
- ・ 動作電力コントロールレジスタの動作電力制御モード選択ビット（OPCCR.OPCM[2:0]）で**高速動作モード**、中速動作モード2A、中速動作モード2B、低速動作モード1、あるいは低速動作モード2 に設定しているとき

■ Page 185 「9.8.5 サブクロックに関する注意事項」の説明を訂正します。

【誤】

- ① RCR3.RTCEN ビットに“0”を設定
- ② RCR3.RTCEN ビットが“0”になっていることを確認
- ③ RCR3.RTCDV[2:0] ビットを設定

ここでRCR3.RTCDV[2:0] ビットを設定した場合、「26.3.2 クロックとカウントモード設定手順」で再度設定する必要はありません

- ④ SOSCCR.SOSTP ビットに“1”を設定
- ⑤ SOSCCR.SOSTP ビットが“1”になっていることを確認
- ⑥ SOSCWTR.SSTS[4:0] ビットにサブクロック発振に必要な待ち時間を設定
- ⑦ SOSCCR.SOSTP ビットに“0”（サブクロック発振器動作）を設定
- ⑧ サブクロックの発振安定待機時間（注1）の経過待ち
- ⑨ SOSCCR.SOSTP ビットが“0”に書き換わっていることを確認し、RCR3.RTCEN ビットに“1”（サブクロック発振器動作）を設定
- ⑩ RCR3.RTCEN ビットが“1”に書き換わっていること確認し、SOSCCR.SOSTP ビットに“1”を設定
- ⑪ SOSCCR.SOSTP ビットが“1”に書き換わっていることを確認し、**SOSCWTR.SSTS[4:0] ビットに“00000b”を設定**
- ⑫ サブクロックで5 サイクル以上の時間が経過するのを待つ
- ⑬ SOSCCR.SOSTP ビットに“0”を設定
- ⑭ サブクロックで2 サイクル以上の時間が経過するのを待つ
- ⑮ SOSCCR.SOSTP ビットが書き換わっていることを確認し、**RCR3.RTCEN ビットに“0”を設定**

【正】

- ① **サブクロックの発振安定待機時間（注1）の経過待ち**
- ② SOSCCR.SOSTP ビットに“1”を設定
- ③ SOSCCR.SOSTP ビットが“1”になっていることを確認
- ④ RCR3.RTCEN ビットに“0”を設定
- ⑤ RCR3.RTCEN ビットが“0”になっていることを確認
- ⑥ **サブクロックで5 サイクル以上の時間が経過するのを待つ**
- ⑦ RCR3.RTCDV[2:0] ビットを設定

ここでRCR3.RTCDV[2:0] ビットを設定した場合、「26.3.2 クロックとカウントモード設定手順」で再度設定する必要はありません

- ⑧ SOSCWTR.SSTS[4:0] ビットにサブクロック発振に必要な待ち時間を設定
- ⑨ SOSCCR.SOSTP ビットに“0”（サブクロック発振器動作）を設定
- ⑩ サブクロックの発振安定待機時間（注1）の経過待ち
- ⑪ SOSCCR.SOSTP ビットが“0”に書き換わっていることを確認し、RCR3.RTCEN ビットに“1”（サブクロック発振器動作）を設定
- ⑫ RCR3.RTCEN ビットが“1”に書き換わっていること確認し、SOSCCR.SOSTP ビットに“1”を設定
- ⑬ SOSCCR.SOSTP ビットが“1”に書き換わっていることを確認し、**サブクロックで5 サイクル以上の時間が経過するのを待つ**
- ⑭ SOSCWTR.SSTS[4:0] ビットに“00000b”を設定
- ⑮ SOSCCR.SOSTP ビットに“0”を設定
- ⑯ サブクロックで2 サイクル以上の時間が経過するのを待つ
- ⑰ SOSCCR.SOSTP ビットが書き換わっていることを確認

■ Page 236 「11.6.2.1 全モジュールクロックストップモードへの移行」の説明を訂正します。

【誤】

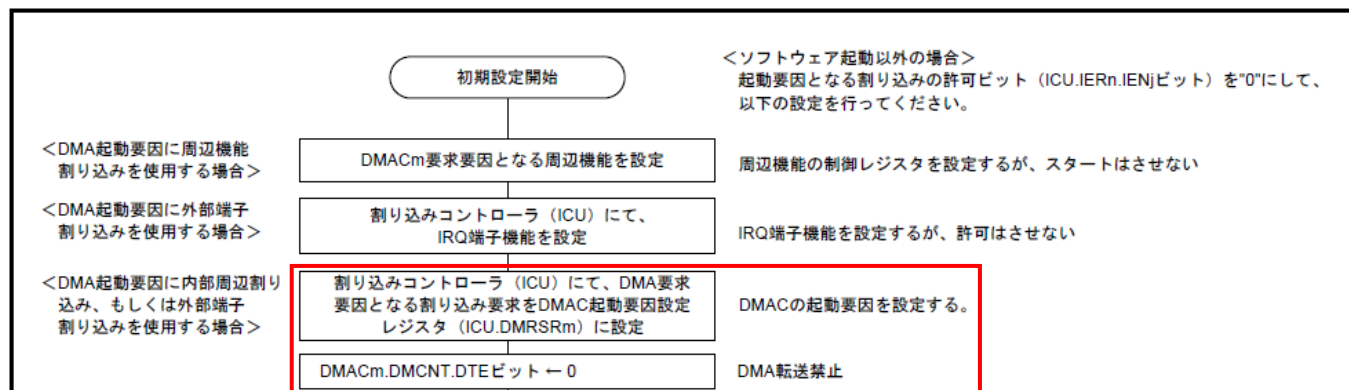
(4) 全モジュールクロックストップモードからの復帰に使用する割り込みのIERm.IENj ビット (注³) を“1”にする。

【正】

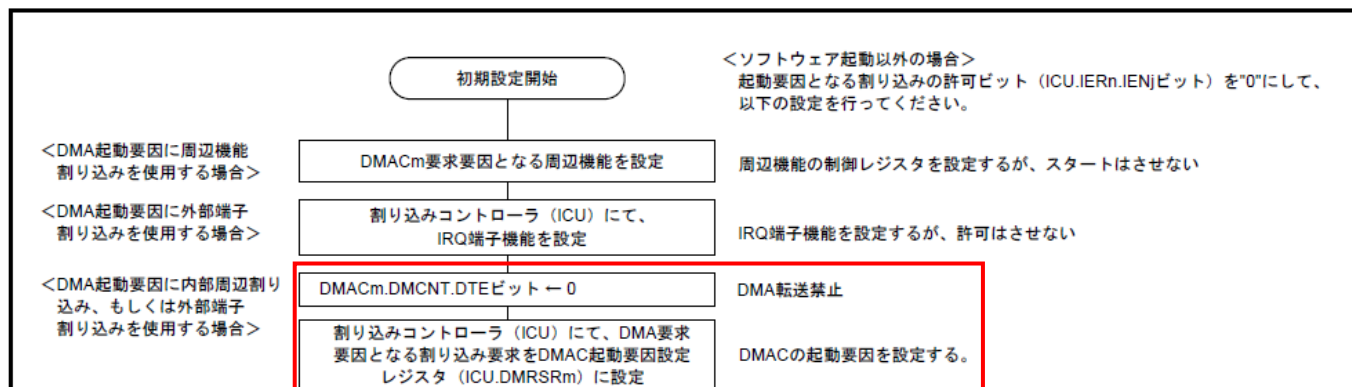
(4) 全モジュールクロックストップモードからの復帰に使用する割り込みのIERm.IENj ビット (注⁴) を“1”にする。

Page 359 「図17.12 レジスタの設定手順」を以下のとおり訂正します。

【誤】



【正】



■ Page 398 「18.8 イベントリンク機能」の説明を訂正します。

【誤】

DTC は1 要求分の転送完了後にイベントリンク要求を出力します。**ただし、転送先が内部周辺バスの場合、ライトバッファへの書き込みが完了した時点で、イベントリンク要求を発行します。**

【正】

DTC は1 要求分の転送完了後にイベントリンク要求を出力します。

■ Page 415 「表19.5 イベント入力時のモジュール別動作一覧」のクロック発振器の説明に注釈を追加します。

【正】

表19.5 イベント入力時のモジュール別動作一覧

モジュール	イベント入力時の動作
クロック発振器	クロックソースを低速オンチップオシレータへ切り替え (注1)

注1. プロテクトレジスタ (PRCR, PRC0) の値にかかわらず、SCKCR3.CKSEL[2:0] ビットが“000b” (LOC0選択) に書き換わります。

■ Page 429 「図20.6 入出力ポートの構成(6)」を追加します。

【正】

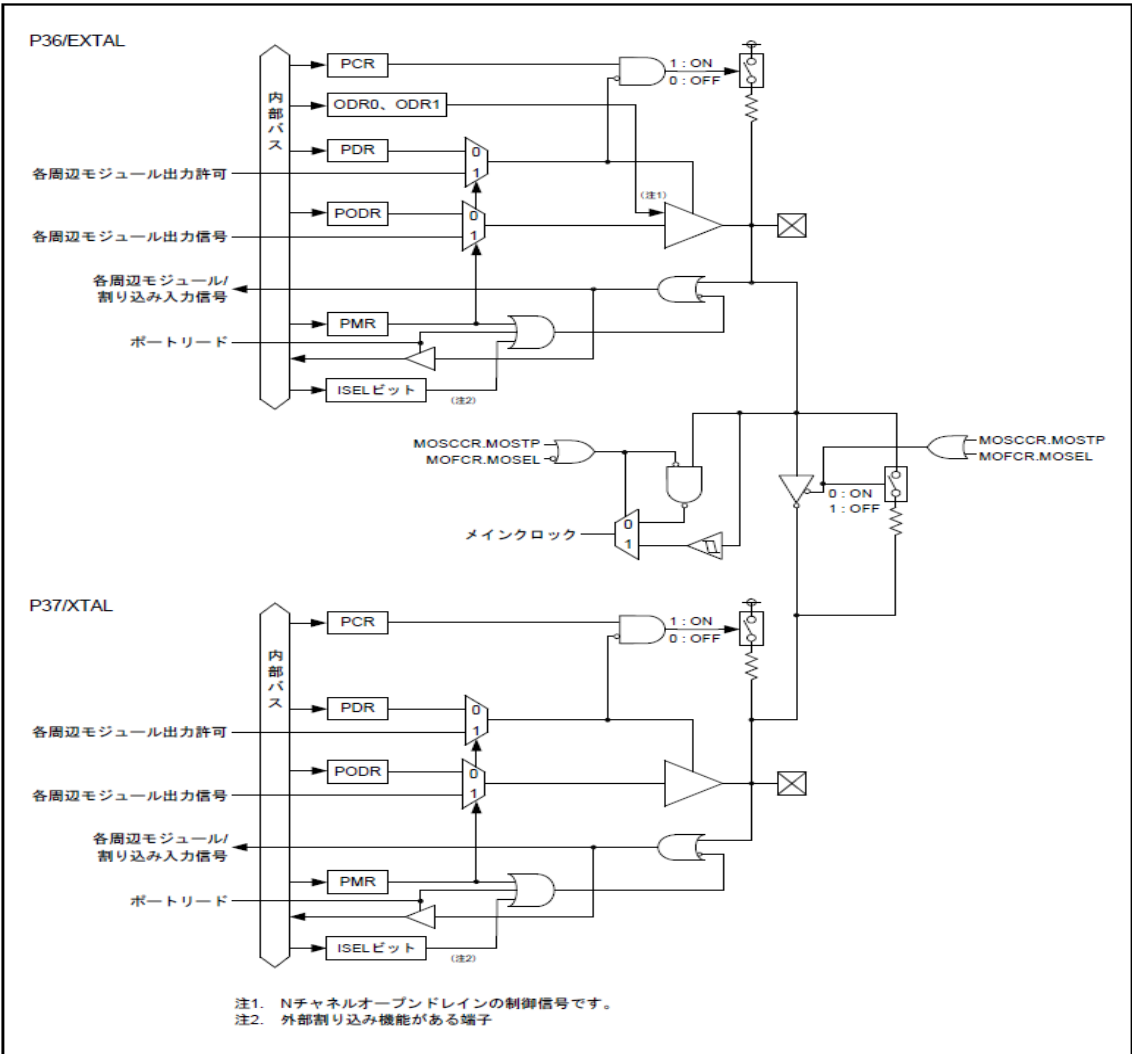


図20.6 入出力ポートの構成(6)

- Page 437 「20.3.8 駆動能力制御レジスタ(DSCR)」の説明に追記します。

【正】

駆動能力が固定されている端子の当該ビットは、読み出し/書き込み可能ですが、駆動能力の切り替えはできません。ディープソフトウェアスタンバイモードになると、全ビット通常出力になります。解除後も通常出力となります。

高駆動出力を選択した場合、標準出力を選択した場合に比べてスイッチングノイズが増えます。高駆動能力を選択する場合は、近隣端子にノイズによる影響がないか十分に評価してください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

- Page 439 「表20.3 未使用端子の処理内容」を追記・訂正します。

【誤】

端子名	処理内容
EXTAL	抵抗を介してVSSに接続（プルダウン）
XTAL	端子を開放
ポート0～5 ポートA～C、E、 H、J	・ 入力に設定（PORTn. PDRビット=“0”）し、1端子ごと抵抗を介してVCCに接続（プルアップ）、または1端子ごと抵抗を介してVSSに接続（プルダウン）（注1） ・ 出力に設定（PORTn. PDRビット=“1”）し、端子を開放（注1）（注2）

【正】

端子名	処理内容
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR. MOSTPビットを“1”（汎用ポートP36）に設定 ポートP36としても使用しない場合は、ポート0～5の処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR. MOSTPビットを“1”（汎用ポートP37）に設定 ポートP37としても使用しない場合は、ポート0～5の処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
ポート0～5 ポートA～C、E、 H、J	・ 入力に設定（PORTn. PDRビット=“0”）し、1端子ごと抵抗を介してVCCに接続（プルアップ）、または1端子ごと抵抗を介してVSSに接続（プルダウン）（注1） ・ 出力に設定（PORTn. PDRビット=“1”）し、端子を開放（注1）（注2）

- Page 718 「26.2.15 年バイナリカウンタ2 アラームイネーブルレジスタ (BCNT2AER)」のENBビットの誤記を修正します。

【誤】

ENB[23:15]

【正】

ENB[23:16]

- Page 783 「28.3.4 ステータスフラグ」の説明を下記のように訂正します。

【誤】

なお、“0”書き込みによるフラグクリア反映後の値を読み出すためには、IWDTCCLKで数クロック（最小3クロック）とPCLKで数クロック（最小2クロック）必要となります。

【正】

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大でIWDTCCLK 3クロックとPCLK2クロック必要です。

- Page 803 「29. 2. 7 シリアルステータスレジスタ（SSR）」のTEND フラグ（トランスミットエンドフラグ）の説明本文を以下のとおり訂正します。

【誤】

TDR レジスタに送信データを書き込む命令の直後にREIT 命令を配置した場合、SSR.TEND フラグが“0”になる前にPSW.I ビットが“1”（割り込み許可）になり、再度割り込み要求が発生することがあります。このような場合は、TDR レジスタへの書き込みが完了してからREIT 命令が実行されるように、以下の順序でSSR レジスタをダミーリードしてください。

- (1) TDR レジスタに送信データを書く
- (2) SSR レジスタを汎用レジスタに読み出す
- (3) 読み出した値を使って何らかの演算を実行する
- (4) 割り込み処理ルーチンを抜ける（REIT 命令を実行する）

【正】

TDRレジスタへの送信データの書き込みによりTENDフラグをクリアしたときは、以下の順序でSSRレジスタをダミーリードしてください。

- (1) TDR レジスタに送信データを書く
- (2) SSR レジスタを汎用レジスタに読み出す
- (3) 読み出した値を使って何らかの演算を実行する

- Page 828 「図29. 7 SCI の初期化フローチャートの例（調歩同期式モード）」に注釈を追記します。

【正】

注 「29. 12. 8 通信の開始に関する注意事項」も参照してください。

- Page 842 「図29. 20 SCI の初期化フローチャートの例（クロック同期式モード）」の注釈に追記します。

- Page 864 「図29. 44 SCI の初期化フローチャート例（簡易I2C モード）」の注釈に追記します。

【正】

注 送受信同時動作の場合は、SCR.TE, RE ビットの“0”設定、“1”設定は、同時に行ってください。

「29. 12. 8 通信の開始に関する注意事項」も参照してください。

- Page 878 「29. 12. 8 通信の開始に関する注意事項」の説明文に追記します。

【正】

通信開始時点で割り込みコントローラの割り込みステータスフラグが“1”のときは、動作許可（SCR.TEビットを“1”に設定、またはSCR.RE ビットを“1”に設定）前に以下の手順で割り込み要求をクリアしてください。**割り込みステータスフラグの詳細に関しては、「14. 割り込みコントローラ（ICUb）」を参照してください。**

- ・ 通信が停止していること（SCR.TE ビットまたはSCR.RE ビットが“0”となっていること）を確認
- ・ 対応する割り込みイネーブルビット（SCR.TIE ビットまたはSCR.RIE ビット）を“0”に設定
- ・ 対応する割り込みイネーブルビット（SCR.TIE ビットまたはSCR.RIE ビット）を読み出し、“0”を確認
- ・ 割り込みコントローラの割り込みステータスフラグ（IRn.IRビット）に“0”を設定

■ Page 893 「31.2.2 I2C バスコントロールレジスタ2 (ICCR2)」の説明の誤記を削除します。

【誤】

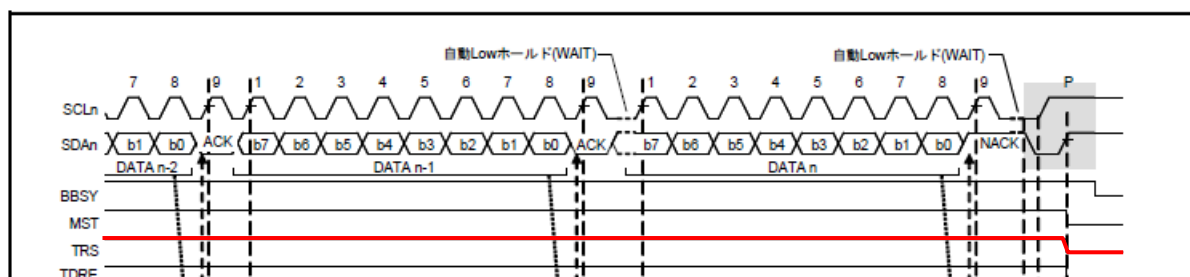
ビット	シンボル	ビット名	機能	R/W
b7	BBSY	バスビジー検出フラグ	0：I2Cバスが解放状態（バスフリー状態） 1：I2Cバスが占有状態（バスビジー状態またはバスフリーの期間中）	R

【正】

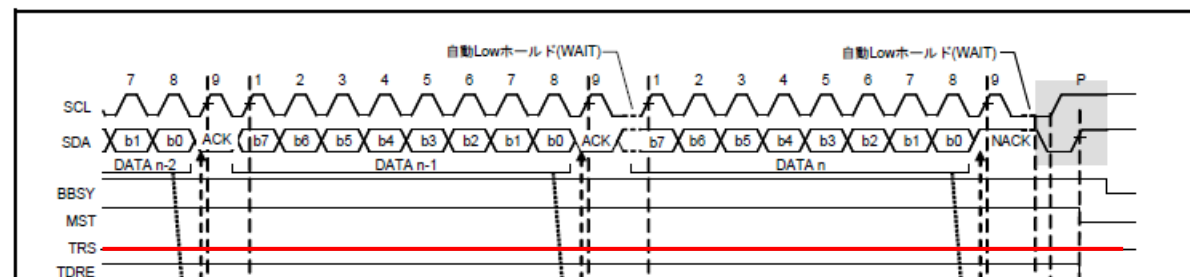
ビット	シンボル	ビット名	機能	R/W
b7	BBSY	バスビジー検出フラグ	0：I2Cバスが解放状態（バスフリー状態） 1：I2Cバスが占有状態（バスビジー状態）	R

■ Page 934 「図31.13 マスタ受信の動作タイミング（3）（RDRFS=0 のとき）」のTRSの波形を訂正します。

【誤】

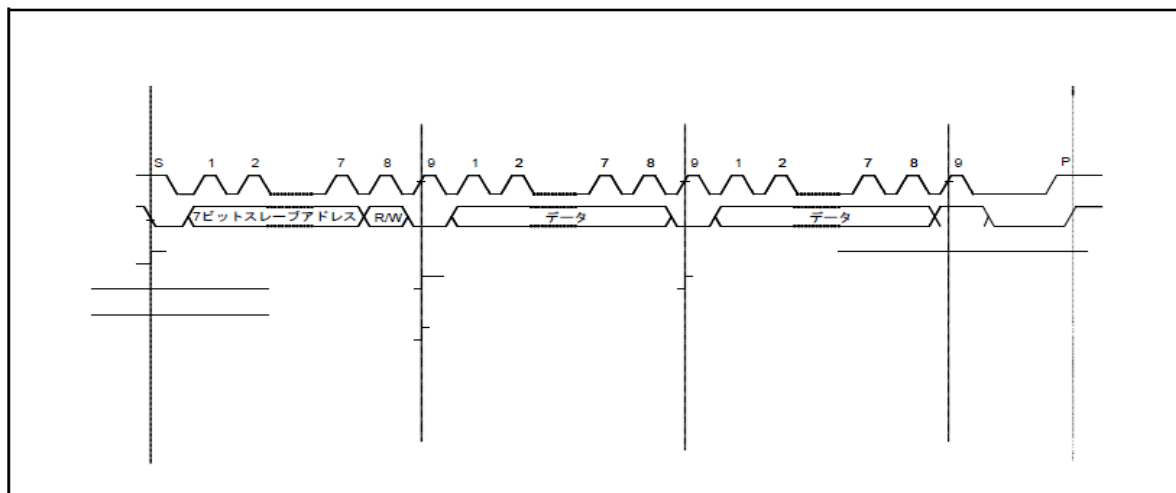


【正】

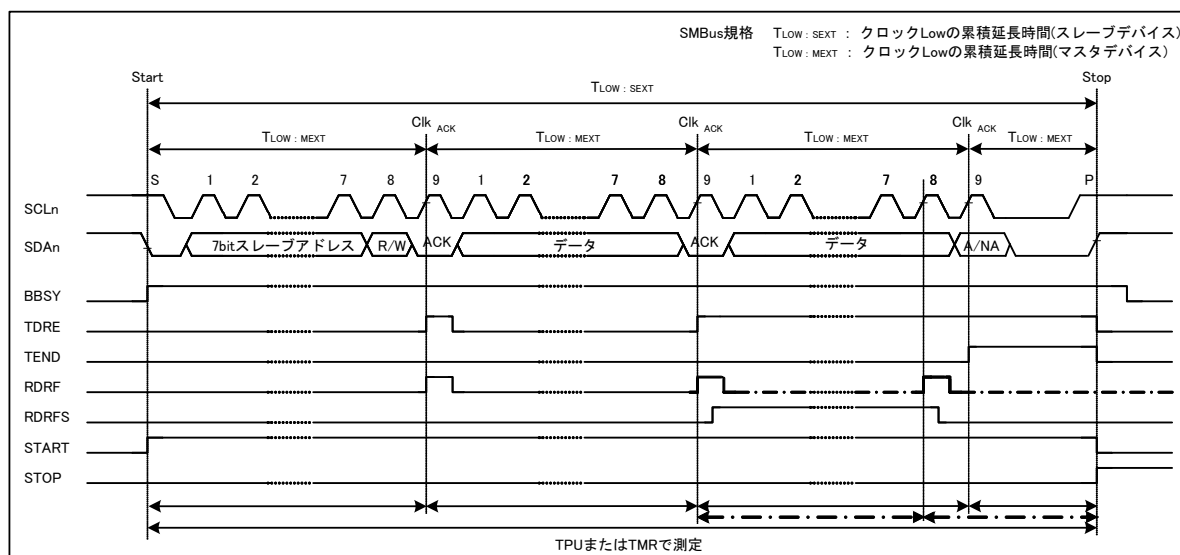


- Page 963 「図31.40 SMBus タイムアウト測定」を差し替えます。

【誤】



【正】



- Page 980 「32.2.5 RSPI データレジスタ (SPDR)」の説明本文を訂正します。

【誤】

(a) 書き込み

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによってポインタが次のバッファに自動的に切り替わります。

【正】

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

■ Page 992 「32.2.14 RSPI コマンドレジスタ0～7 (SPCMD0～SPCMD7)」の説明本文の誤記を訂正します。

【誤】

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードのRSPI がシリアル転送する場合のSSLni 信号のアサートを制御するためのビットです。SSLn[2:0] ビットの設定値が、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードでSSLn[2:0] ビットを“000b”にした場合には、全SSL 信号がネゲート状態でシリアル転送が実行されます (SSLn0 端子は入力になるため)。なお、RSPI をスレーブモードで使用する場合には、SSLn[2:0] ビットを“000b”にしてください。

【正】

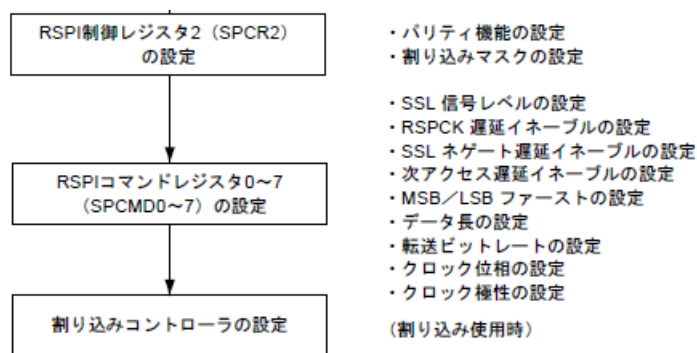
SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードのRSPI がシリアル転送する場合のSSLni 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードでSSLA[2:0] ビットを“000b”にした場合には、全SSL 信号がネゲート状態でシリアル転送が実行されます (SSLn0 端子は入力になるため)。なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

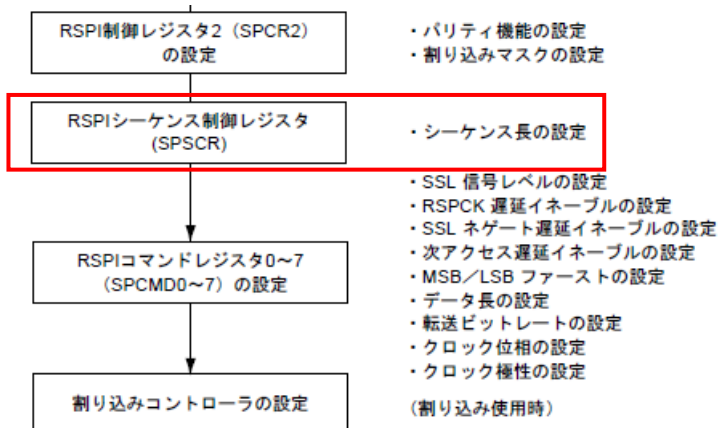
■ Page 1029、1040

図32.34 マスタモード時の初期化フロー例 (SPI 動作)、図32.45 マスタモード時の初期化フロー例 (クロック同期式動作) の手順を追加します。

【誤】

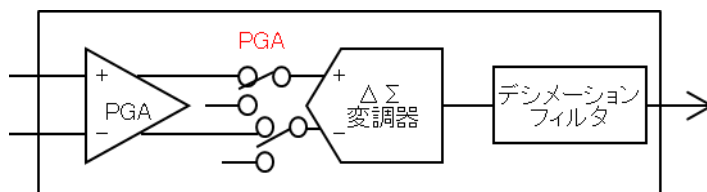


【正】

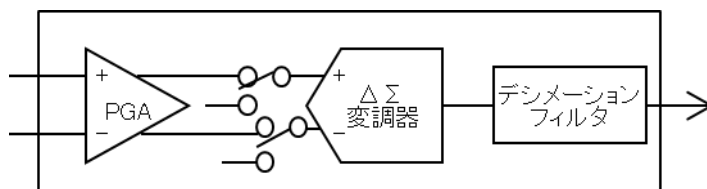


- Page 1057 「図34.1 $\Delta\Sigma$ A/D コンバータのブロック図」の余計なPGAの記述を削除します。

【誤】



【正】



- Page 1075 「表34.5 アナログ入力電圧とデータレジスタ値の関係」の誤記を訂正します。

【誤】

アナログ入力電圧 × ゲイン[mV]	データレジスタ値(32ビット)	
	16進数	10進数
-500	FF95 5557h	- 6990505
-250	FFCA AAACh	- 3495252
0	0000 0000h	0
250	0035 5554h	3495252
500	006A AAA9h	6990505

【正】

アナログ入力電圧 × ゲイン[mV]	データレジスタ値(32ビット)	
	16進数	10進数
-500	FF95 5555h	- 6990507
-250	FFCA AAABh	- 3495253
0	0000 0000h	0
250	0035 5555h	3495253
500	006A AAABh	6990507

- Page 1106 「35.3.4 アナログ入力のサンプリングとスキャン変換時間」の説明本文を以下のとおり訂正します。

【誤】

断線検出アシスト処理時間 (tDIS) は、ADNDIS[3:0] 設定値となります。

【正】

断線検出アシスト処理時間 (tDIS) は、ADNDIS[2:0] 設定値となります。

- Page 1107 「表35.6の断線検出アシスト処理時間」の説明を以下のとおり訂正します。

【誤】

項目	記号	種類/条件	サイクル
断線検出アシスト処理時間	tDIS	ADNDIS[3:0]ビット (初期設定値0000b)	0 ADCLK

【正】

項目	記号	種類/条件	サイクル
断線検出アシスト処理時間	tDIS	ADNDIS[2:0]ビット (初期設定値0000b)	0 ADCLK

■ Page 1160 「40.3.1 データ比較モード」の説明文に注釈を追記します。

【誤】

5. DODIR レジスタに書き込まれたデータがDODSR レジスタに設定されているデータと一致しなかったときDOCR.DOPCF フラグに“1” がセットされます。また、DOCR.DOPCIE ビットを“1” に設定している場合は、データ演算回路割り込みが発生します。

【正】

5. DODIR レジスタに書き込まれたデータがDODSR レジスタに設定されているデータと一致しなかった
(注1) ときDOCR.DOPCF フラグに“1” がセットされます。また、DOCR.DOPCIE ビットを“1” に設定している場合は、データ演算回路割り込みが発生します。

注1. DOCR.DCSEL=1 の場合

■ Page 1200 「42.6.4.2 プログラム/ イレーズ方法手順」を訂正します。

【誤】

(4) プログラム方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第1 サイクルでは“E8h” を、第2 サイクルでは、2 バイト書き込みの場合は“01h” を、8 バイト書き込みの場合は“04h” を、128 バイト書き込みの場合は“40h” をROM プログラム/ イレーズ用のアドレスにバイト書き込みします。第3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータをワードサイズで書いてください。この際、先頭アドレスは128 バイト境界にアラインしたアドレスを使用してください。第4 サイクル～第66 (128 バイト書き込みの場合) サイクルでは、ROM プログラム/ イレーズ用のアドレスに対して書き込みデータをワードサイズで63 回書いてください。

【正】

(4) プログラム方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第1 サイクルでは“E8h” を、第2 サイクルでは、2 バイト書き込みの場合は“01h” を、8 バイト書き込みの場合は“04h” を、128 バイト書き込みの場合は“40h” をROM プログラム/ イレーズ用のアドレスにバイト書き込みします。第3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータをワードサイズで書いてください。

128 バイト書き込みの場合、第3 サイクル～第66 サイクルの64 回に分けて128 バイト(64 ワード) のデータをROM にプログラムします。プログラムする128 バイトの先頭アドレスは、第3 サイクルで指定します。このとき指定するアドレスは128 の整数倍である必要があります。第4 サイクル～第66 サイクルで指定するアドレスは、実際にプログラムするアドレスである必要はありません。

8 バイト書き込みの場合、第3 サイクル～第6 サイクルの4 回に分けて8 バイト(4 ワード) のデータをROM にプログラムします。プログラムする8 バイトの先頭アドレスは、第3 サイクルで指定します。このとき指定するアドレスは8 の整数倍である必要があります。第4 サイクル～第6 サイクルで指定するアドレスは、実際にプログラムするアドレスである必要はありません。

2 バイト書き込みの場合、第3 サイクルでプログラムするアドレスとデータを指定します。アドレスは、偶数である必要があります。

■ Page 1211

「42.7.2 書き込み、および消去のサスペンド（書き込み/ 消去優先モード）」の説明文を訂正します。

【誤】

図42.20 に消去優先モード（FCPSR. ESUSPMD ビットが“1”）の場合の消去処理の中断動作を示します。
消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

【正】

図42.20 に**書き込み/**消去優先モード（FCPSR. ESUSPMD ビットが“1”）の場合の消去処理の中断動作を示します。
書き込み/消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

■ Page 1211 「図42.20 消去処理の中断動作（消去優先モード）」の題を訂正します。

【誤】

図42.20 消去処理の中断動作（消去優先モード）

【正】

図42.20 消去処理の中断動作（**書き込み/**消去優先モード）

■ Page 1258 「表43.4 FCUコマンドのフォーマット（E2データフラッシュ専用コマンド）」の説明文を訂正します。

【誤】

BA： **E2 データフラッシュ読み出し/ プログラム/ イレーズの許可/ 禁止ブロックアドレス**
対象読み出し/ プログラム/ イレーズの許可/ 禁止ブロック内の任意アドレス

【正】

BA： **E2 データフラッシュ領域のブロック先頭アドレス（ブロックは2K バイト単位）。**

■ Page 1260 「43. 6. 4 FCU コマンド使用方法」の説明文を訂正します。

【誤】

(2) プログラム方法

E2 データフラッシュへのデータプログラムには、プログラムコマンドを使用します。

プログラムコマンドの第1 サイクルでは“E8h” を、第2 サイクルでは書き込みワード数 (N) (注1) をE2 データフラッシュ領域のアドレスにバイト書き込みします。コマンドの第3 ～第N+2 サイクルでは、ワードサイズで書いてください。第3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書いてください。先頭アドレスは、2 バイト書き込みの場合には 2 バイト境界にアラインしてください。E2 データフラッシュ領域のアドレスに対して N 回のワード書き込みを実行後、第N+3 サイクルでE2 データフラッシュ領域のアドレスに対して“D0h” をバイト書き込みすると、FCU がE2 データフラッシュの書き込み処理を開始します。書き込みの完了は、FSTAT0.FRDY ビットで確認可能です。

【正】

(2) プログラム方法

E2 データフラッシュへのデータプログラムには、プログラムコマンドを使用します。

プログラムコマンドの第1 サイクルでは“E8h” を、第2 サイクルでは書き込みワード数 (N) (注1) をE2 データフラッシュ領域のアドレスにバイト書き込みします。コマンドの第3 ～第N+2 サイクルでは、ワードサイズで書いてください。第3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書いてください。

8 バイト書き込みの場合、第3 サイクル～第6 サイクルの4 回に分けて8 バイト(4 ワード) のデータをE2 データフラッシュにプログラムします。プログラムする8 バイトの先頭アドレスは、第3 サイクルで指定します。このとき指定するアドレスは8 の整数倍である必要があります。第4 サイクル～第6 サイクルで指定するアドレスは、実際にプログラムするアドレスである必要はありません。

2 バイト書き込みの場合、第3 サイクルでプログラムするアドレスとデータを指定します。アドレスは、偶数である必要があります。

E2 データフラッシュ領域のアドレスに対して N 回のワード書き込みを実行後、第N+3 サイクルでE2 データフラッシュ領域のアドレスに対して“D0h” をバイト書き込みすると、FCU がE2 データフラッシュの書き込み処理を開始します。書き込みの完了は、FSTAT0.FRDY ビットで確認可能です。

■ Page 1337 付録1. 各処理状態におけるポートの状態 表1. 1 の下の説明文を追記します。

【正】

Keep : ソフトウェアスタンバイモードでの端子状態を保持 (プルアップ、オープンドレイン設定も保持されます)