

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A024D/J	Rev.	第4版
題名	誤記訂正通知 RL78/I1A ユーザーズマニュアル Rev.2.10の記載変更		情報分類	技術情報	
適用製品	RL78/I1A グループ	対象ロット等 全ロット	関連資料	RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.2.10 R01UH0169JJ0210 (Jul. 2013)	

RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.2.10(R01UH0169JJ0210)において、下記訂正がございます。  
**今回通知する訂正内容**

訂正箇所	該当ページ	内容
2.4 端子ブロック図	—	章節追加
5.6 クロックの制御 5.6.1 高速オンチップ・オシレータの設定例	p.168	誤記訂正
6.2 タイマ・アレイ・ユニットの構成 図 6-2 タイマ・アレイ・ユニットのチャンネル内部ブロック図	p.192	誤記訂正
6.4.1 複数チャンネル連動動作機能の基本ルール	p.221	誤記訂正
6.7.1 インターバル・タイマ/方形波出力としての動作 図 6-38 インターバル・タイマ/方形波出力時のレジスタ設定内容例	p.244	誤記訂正
6.7.2 外部イベント・カウンタとしての動作 図 6-42 外部イベント・カウンタ・モード時のレジスタ設定内容例	p.249	誤記訂正
6.7.5 デイレイ・カウンタとしての動作 図 6-45 デイレイ・カウンタ機能時のレジスタ設定内容例	p.261	誤記訂正
7.4.3 動作停止と動作開始 図 7-31 動作停止のタイミング図(TKBTOLnp=0,TKBTODnp=0 時)	p.315	誤記訂正
7.4.5 単体動作モード(TKBCRn0 による周期制御) 図 7-38 に単体動作タイミング例(TKBCRn0 による周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.320	誤記訂正
7.4.5 単体動作モード(TKBCRn0 による周期制御) 図 7-40 一斉書き換え機能:カウント動作中のバッファ更新タイミング図	p.323	誤記訂正
7.4.6 単体動作モード(外部トリガ入力による周期制御) 図 7-42 一斉書き換え機能:外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 1 に設定)	p.328	誤記訂正
7.4.6 単体動作モード(外部トリガ入力による周期制御) 図 7-43 一斉書き換え機能:外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 1 に設定)	p.330	誤記訂正
7.4.7 同時スタート/ストップ・モード 図 7-45 同時スタート/ストップ・モード動作タイミング例(TKBCR00 による周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.339	誤記訂正
7.4.8 同期スタート/クリア・モード 図 7-47 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.346	誤記訂正
7.4.8 同期スタート/クリア・モード 図 7-48 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(一斉書き換えの場合)	p.348	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-49 インターリーブ PFC モード基本動作の動作概要(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.350	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-50 インターリーブ PFC モードのタイミング図(条件 No.1~No.2 の動作)	p.352	誤記訂正

7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-51 インターリーブ PFC モードのタイミング図(条件 No.3~No.4 の動作) (出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.353	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-52 インターリーブ PFC モードのタイミング図(条件 No.5 動作:INTP21 がきてない)	p.354	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-53 インターリーブ PFC モードのタイミング図(条件 No.6 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.355	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-54 インターリーブ PFC モードのタイミング図(条件 No.7 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.356	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-55 インターリーブ PFC モードのタイミング図(条件 No.8~No.9 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.357	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-56 インターリーブ PFC モードのタイミング図(条件 No.10~No.11 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.358	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-57 インターリーブ PFC モードのタイミング図(TKBoN1中に再度トリガが発生した場合)	p.359	誤記訂正
7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-58 インターリーブ PFC モードのタイミング図(TKBoN1の出力が前回の出力幅で、状態保持期間を超えた場合)	p.360	誤記訂正
7.5.1A/D変換スタート・タイミング信号出力機能 図 7-59 単体動作モード(TKBOCR0による周期制御)でのA/D変換スタート・タイミング信号出力機能	p.363	誤記訂正
7.5.1A/D変換スタート・タイミング信号出力機能 図 7-60 単体動作モード(外部トリガ入力による周期制御)でのA/D変換スタート・タイミング信号出力機能	p.363	誤記訂正
7.5.2PWM出力ディザリング機能 図 7-62 ディザリング機能の波形図	p.365	誤記訂正
7.5.2PWM出力ディザリング機能 図 7-63 ディザリング機能の波形図(TKBCRn1=TKBCRn0(100%近傍)、TKBCRn2=TKBCRn3(0%近傍)の場合)	p.365	誤記訂正
7.5.2PWM出力ディザリング機能 図 7-64 ディザリング機能の波形図(TKBCRn3=TKBCRn0+1の場合)	p.366	誤記訂正
7.5.6最大周波数リミット機能 図 7-70 最大周波数リミット機能	p.375	誤記訂正
8.4.1PWM出力機能 図 8-17 PWM出力機能の基本タイミング例(TKCTOL0m=0,TKCTOD0m=0)	p.414	誤記訂正
10.2 12ビット・インターバル・タイマの構成	p.449	誤記訂正
11.4.3ウォッチドッグ・タイマのウィンドウ・オープン期間の設定	p.461	誤記訂正
12.3.2 A/Dコンバータ・モード・レジスタ0(ADM0)	p.476	誤記訂正
12.3.9変換結果比較下限値設定レジスタ(ADLL)	p.484	注意追加
12.3.10 A/Dテスト・レジスタ(ADTES)	p.485	誤記訂正
12.6.6ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード、ワンショット変換モード)	p.498	誤記訂正
12.6.7ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード、連続変換モード)	p.499	誤記訂正
12.6.8ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード、ワンショット変換モード)	p.500	誤記訂正
12.6.9ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード、連続変換モード)	p.501	誤記訂正
12.6.10ハードウェア・トリガ・ウエイト・モード(セレクト・モード、ワンショット変換モード)	p.502	誤記訂正
15.3.14シリアル・スタンバイ・コントロール・レジスタ0(SSC0)	p.577	誤記訂正
15.3.15入力切替制御レジスタ(ISC)	p.578	誤記訂正
15.5.7 SNOOZE モード機能 図 15-71 SNOOZE モード動作(1 回起動)時のタイミング・チャート(タイプ 1:	p.634	誤記訂正

DAPmn = 0, CKPmn = 0)		
15.5.7 SNOOZE モード機能 図 15-73 SNOOZE モード動作(連続起動)時のタイミング・チャート (タイプ 1: DAPmn = 0, CKPmn = 0)	p.636	誤記訂正
15.6.3 SNOOZE モード機能の注意追加	p.659	注意追加
15.6.3 SNOOZE モード機能 図 15-90 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート	p.661	誤記訂正
15.6.3 SNOOZE モード機能 図 15-91 SNOOZE モード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャート	p.662	誤記訂正
15.6.3 SNOOZE モード機能 図 15-93 SNOOZE モード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート	p.664	誤記訂正
16.5.3 SNOOZE モード機能の注意追加	p.730	注意追加
16.5.3 SNOOZE モード機能 図 16-41 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート	p.732	誤記訂正
16.5.3 SNOOZE モード機能 図 16-42 SNOOZE モード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャート	p.733	誤記訂正
16.5.3 SNOOZE モード機能 図 16-44 SNOOZE モード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート	p.735	誤記訂正
18.2乗除積和算器の構成	p.856	誤記訂正
18.4.4積和演算(符号付)動作 図18-9積和演算(符号付)動作のタイミング図	p.868	誤記訂正
19.6 DMAコントローラの注意事項	p.891	注意追加
23.1パワーオン・リセット回路の機能	p.952	誤記訂正
24電圧検出回路 24.1電圧検出回路の機能	p.959	誤記訂正

通知済みの訂正内容

訂正箇所	該当ページ	内容
図7-19 周辺機能切り替えレジスタ0(PFSEL0)のフォーマット	p.306	誤記訂正
図7-73 強制出力停止機能制御レジスタ0p(TKBPACTL0p)のフォーマット	p.382	誤記訂正
図7-74 強制出力停止機能制御レジスタ1p(TKBPACTL1p)のフォーマット	p.384	誤記訂正
図7-75 強制出力停止機能制御レジスタ2p(TKBPACTL2p)のフォーマット	p.386	誤記訂正
図14-1 コンパレータのブロック図	p.533	誤記訂正
図14-12 周辺機能切り替えレジスタ0(PFSEL0)	p.544	誤記訂正
14.5 タイマKB連動機能使用時の注意事項	-	注意追加
SNOOZEモード動作時のタイミング・チャート	p.661,p.662, p.664	誤記訂正
表20-1 割り込み要因一覧(2/3)	p.895	注意追加
図20-1 割り込み機能の基本構成	p.897	誤記訂正
表21-1 HALTモード時の動作状態(2/2)	p.928	誤記訂正
表21-2 STOPモード時の動作状態	p.932	誤記訂正
表21-3 SNOOZEモード時の動作状態	p.938	誤記訂正
32.7 データ・メモリSTOPモード低電源電圧データ保持特性	p.1096	説明追加
33.7 データ・メモリSTOPモード低電源電圧データ保持特性	p.1138	説明追加
第34章外形図 34.3 38ピン製品	p.1143	誤記訂正
1.3 端子接続図 1.3.1 20ピン製品	p.4	誤記訂正
1.3 端子接続図 1.3.2 30ピン製品	p.5	誤記訂正
1.3 端子接続図 1.3.3 38ピン製品	p.6	誤記訂正
図13-1 プログラマブル・ゲイン・アンプのブロック図	p.522	誤記訂正
13.3.3 プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ(PGAINS)	p.525	誤記訂正
リアルタイム・クロックの使用上の注意事項	p.430	注意追加

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0169JJ021	
1.	図7-19	周辺機能切り替えレジスタ0(PFSEL0)のフォーマット	p.306	p.7~p.8
2.	図7-73	強制出力停止機能制御レジスタ0p(TKBPACTL0p)のフォーマット	p.382	p.9~p.12
3.	図7-74	強制出力停止機能制御レジスタ1p(TKBPACTL1p)のフォーマット	p.384	p.13~p.17
4.	図7-75	強制出力停止機能制御レジスタ2p(TKBPACTL2p)のフォーマット	p.386	p.18~p.21
5.	図14-1	コンパレータのブロック図	p.533	p.22~p.23
6.	図14-12	周辺機能切り替えレジスタ0(PFSEL0)	p.544	p.24~p.25
7.	14.5	タイマKB連動機能使用時の注意事項	-	p.26~p.28
8.		SNOOZEモード動作時のタイミング・チャート	p.661,p.662,p.664	p.29
9.	表20-1	割り込み要因一覧(2/3)	p.895	p.29
10.	図20-1	割り込み機能の基本構成	p.897	p.30~p.31
11.	表21-1	HALTモード時の動作状態(2/2)	p.928	p.32~p.33
12.	表21-2	STOPモード時の動作状態	p.932	p.34~p.35
13.	表21-3	SNOOZEモード時の動作状態	p.938	p.36~p.37
14.	32.7	データ・メモリSTOPモード低電源電圧データ保持特性	p.1096	p.38
15.	33.7	データ・メモリSTOPモード低電源電圧データ保持特性	p.1138	p.39
16.	第34章外形図	34.3 38ピン製品	p.1143	p.40~p.41
17.	1.3	端子接続図 1.3.1 20ピン製品	p.4	p.42
18.	1.3	端子接続図 1.3.2 30ピン製品	p.5	p.43
19.	1.3	端子接続図 1.3.3 38ピン製品	p.6	p.44
20.	図13-1	プログラマブル・ゲイン・アンプのブロック図	p.522	p.45
21.	13.3.3	プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ(PGAINS)	p.525	p.46
22.		リアルタイム・クロックの使用上の注意事項	p.430	p.47
23.	2.4	端子ブロック図	—	p.48~p.59
24.	5.6	クロックの制御		
	5.6.1	高速オンチップ・オシレータの設定例	p.168	p.60
25.	6.2	タイマ・アレイ・ユニットの構成		
	図 6-2	タイマ・アレイ・ユニットのチャネル内部ブロック図	p.192	p.61~p.62
26.	6.4.1	複数チャネル連動動作機能の基本ルール	p.221	p.63
27.	6.7.1	インターバル・タイマ/方形波出力としての動作		
	図 6-38	インターバル・タイマ/方形波出力時のレジスタ設定内容例	p.244	p.64
28.	6.7.2	外部イベント・カウンタとしての動作		
	図 6-42	外部イベント・カウンタ・モード時のレジスタ設定内容例	p.249	p.65
29.	6.7.5	ディレイ・カウンタとしての動作		
	図 6-45	ディレイ・カウンタ機能時のレジスタ設定内容例	p.261	p.66
30.	7.4.3	動作停止と動作開始		
	図 7-31	動作停止のタイミング図(TKBTOLnp=0,TKBTODnp=0 時)	p.315	p.67
31.	7.4.5	単体動作モード(TKBCRn0による周期制御)		
	図 7-38	単体動作タイミング例(TKBCRn0による周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.320	p.68
32.	7.4.5	単体動作モード(TKBCRn0による周期制御)		
	図 7-40	一斉書き換え機能:カウント動作中のバッファ更新タイミング図	p.323	p.69
33.	7.4.6	単体動作モード(外部トリガ入力による周期制御)		
	図 7-42	一斉書き換え機能:外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 1 に設定)	p.328	p.70
34.	7.4.6	単体動作モード(外部トリガ入力による周期制御)		
	図 7-43	一斉書き換え機能:外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 1 に設定)	p.330	p.71
35.	7.4.7	同時スタート/ストップ・モード		
	図 7-45	同時スタート/ストップ・モード動作タイミング例(TKBCR00による周期制御)(出力のデフォルト値がロー・レベ(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.339	p.72
36.	7.4.8	同期スタート/クリア・モード		
	図 7-47	同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.346	p.73

37.	7.4.8 同期スタート/クリア・モード 図 7-48 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(一斉書き換えの場合)	p.348	p.74
38.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-49 インターリーブ PFC モード基本動作の動作概要(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.350	p.75
39.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-50 インターリーブ PFC モードのタイミング図(条件 No.1~No.2 の動作)	p.352	p.76
40.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-51 インターリーブ PFC モードのタイミング図(条件 No.3~No.4 の動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.353	p.77
41.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-52 インターリーブ PFC モードのタイミング図(条件 No.5 動作:INTP21 がきてない)	p.354	p.78
42.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-53 インターリーブ PFC モードのタイミング図(条件 No.6 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.355	p.79
43.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-54 インターリーブ PFC モードのタイミング図(条件 No.7 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.356	p.80
44.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-55 インターリーブ PFC モードのタイミング図(条件 No.8~No.9 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.357	p.81
45.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-56 インターリーブ PFC モードのタイミング図(条件 No.10~No.11 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)	p.358	p.82
46.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-57 インターリーブ PFC モードのタイミング図(TKBO <sub>n1</sub> 中に再度トリガが発生した場合)	p.359	p.83
47.	7.4.9 インターリーブ PFC(Power Factor Correction)出力モード 図 7-58 インターリーブ PFC モードのタイミング図(TKBO <sub>n1</sub> の出力が前回の出力幅で、状態保持期間を超えた場合)	p.360	p.84
48.	7.5.1A/D変換スタート・タイミング信号出力機能 図 7-59 単体動作モード(TKB0CR0による周期制御)でのA/D変換スタート・タイミング信号出力機能	p.363	p.85
49.	7.5.1A/D変換スタート・タイミング信号出力機能 図 7-60 単体動作モード(外部トリガ入力による周期制御)でのA/D変換スタート・タイミング信号出力機能	p.363	p.86
50.	7.5.2PWM出力ディザリング機能 図 7-62 ディザリング機能の波形図	p.365	p.87
51.	7.5.2PWM出力ディザリング機能 図 7-63 ディザリング機能の波形図(TKBCR <sub>n1</sub> =TKBCR <sub>n0</sub> (100%近傍)、TKBCR <sub>n2</sub> =TKBCR <sub>n3</sub> (0%近傍)の場合)	p.365	p.88
52.	7.5.2PWM出力ディザリング機能 図 7-64 ディザリング機能の波形図(TKBCR <sub>n3</sub> =TKBCR <sub>n0</sub> +1の場合)	p.366	p.89
53.	7.5.6最大周波数リミット機能 図 7-70 最大周波数リミット機能	p.375	p.90
54.	8.4.1PWM出力機能 図 8-17 PWM出力機能の基本タイミング例(TKCTOL <sub>0m</sub> =0,TKCTOD <sub>0m</sub> =0)	p.414	p.91
55.	10.2 12ビット・インターバル・タイマの構成	p.449	p.92
56.	11.4.3ウォッチドッグ・タイマのウィンドウ・オープン期間の設定	p.461	p.93
57.	12.3.2 A/Dコンバータ・モード・レジスタ0(ADM0)	p.476	p.94
58.	12.3.9変換結果比較下限値設定レジスタ(ADLL)	p.484	p.95
59.	12.3.10 A/Dテスト・レジスタ(ADTES)	p.485	p.96
60.	12.6.6ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード、ワンショット変換モード)	p.498	p.97
61.	12.6.7ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード、連続変換	p.499	p.98

	モード)		
62.	12.6.8ハードウェアトリガ・ノーウエイト・モード(スキャン・モード、ワンショット変換モード)	p.500	p.99
63.	12.6.9ハードウェアトリガ・ノーウエイト・モード(セレクト・モード、連続変換モード)	p.501	p.100
64.	12.6.10ハードウェアトリガ・ウエイト・モード(セレクト・モード、ワンショット変換モード)	p.502	p.101
65.	15.3.14シリアル・スタンバイ・コントロール・レジスタ0(SSC0)	p.577	p.102
66.	15.5.7 SNOOZE モード機能 図 15-71 SNOOZE モード動作(1 回起動)時のタイミング・チャート(タイプ 1: DAPmn = 0, CKPmn = 0)	p.634	p.103
67.	15.5.7 SNOOZE モード機能 図 15-73 SNOOZE モード動作(連続起動)時のタイミング・チャート(タイプ 1: DAPmn = 0, CKPmn = 0)	p.636	p.104
68.	15.6.3 SNOOZE モード機能の注意追加	p.659	p.105
69.	15.6.3 SNOOZE モード機能 図 15-90 SNOOZE モード動作(EOCm1 = 0, SSEcm = 0/1)時のタイミング・チャート(No.8の再修正)	p.661	p.106
70.	15.6.3 SNOOZE モード機能 図 15-91 SNOOZE モード動作(EOCm1 = 1, SSEcm = 0)時のタイミング・チャート(No.8の再修正)	p.662	p.107
71.	15.6.3 SNOOZE モード機能 図 15-93 SNOOZE モード動作(EOCm1 = 1, SSEcm = 1)時のタイミング・チャート(No.8の再修正)	p.664	p.108
72.	16.5.3 SNOOZE モード機能の注意追加	p.730	p.109
73.	16.5.3 SNOOZE モード機能 図 16-41 SNOOZE モード動作(EOCm1 = 0, SSEcm = 0/1)時のタイミング・チャート	p.732	p.110
74.	16.5.3 SNOOZE モード機能 図 16-42 SNOOZE モード動作(EOCm1 = 1, SSEcm = 0)時のタイミング・チャート	p.733	p.111
75.	16.5.3 SNOOZE モード機能 図 16-44 SNOOZE モード動作(EOCm1 = 1, SSEcm = 1)時のタイミング・チャート	p.735	p.112
76.	18.2乗除積和算器の構成	p.856	p.113
77.	18.4.4積和演算(符号付)動作 図18-9積和演算(符号付)動作のタイミング図	p.868	p.114
78.	19.6 DMAコントローラの注意事項	p.891	p.115
79.	23.1パワーオン・リセット回路の機能	p.952	p.116
80.	24電圧検出回路 24.1電圧検出回路の機能	p.959	p.117

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

**発行文書履歴**

RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.2.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A024C/J	2015年4月24日	第3版発行 訂正一覧の No.1 ~ No.21 を追加
TN-RL*-A046A/J	2015年7月06日	第1版発行 訂正一覧の No.22 を追加
TN-RL*-A024D/J	2016年9月21日	第4版発行 訂正一覧の No.23 ~ No.80 の誤記訂正(本通知です。)

1. 図7-19 周辺機能切り替えレジスタ0(PFSELO)のフォーマット(p.306)

周辺機能切り替えレジスタ0(PFSELO)の TMRSTEN1, 0 ビットの説明にある誤記を訂正し, 注意事項を追加します。

誤)

図 7-19 周辺機能切り替えレジスタ 0(PFSELO)のフォーマット

アドレス: F05C6H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PFSELO	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	CMP0STEN	コンパレータ割り込みの切り替え
第14章 コンパレータを参照してください。		

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

ADTRG11	ADTRG10	A/D変換のタイマ・トリガの選択
0	0	タイマKB0のトリガ要因
0	1	タイマKB1のトリガ要因
1	0	タイマKB2のトリガ要因
1	1	設定禁止

TMRSTEN1	外部割り込みINTP21の機能選択
0	外部割り込み機能(外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能(外部割り込み発生不可, スタンバイ解除不可)

TMRSTEN0	外部割り込みINTP20の機能選択
0	外部割り込み機能(外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能(外部割り込み発生不可, スタンバイ解除不可)

備考 図14-1 コンパレータのブロック図を参照してください。

正)

図 7-19 周辺機能切り替えレジスタ 0(PFSEL0)のフォーマット

アドレス:F05C6H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	CMP0STEN	コンパレータ割り込みの切り替え
第14章 コンパレータを参照してください。		

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

ADTRG11	ADTRG10	A/D変換のタイマ・トリガの選択
0	0	タイマKB0のトリガ要因
0	1	タイマKB1のトリガ要因
1	0	タイマKB2のトリガ要因
1	1	設定禁止

TMRSTEN1	外部割り込みINTP21の切り替え <sup>注</sup>
0	外部割り込み機能を選択(STOPモード解除可能, タイマ・リスタート不可)
1	タイマ・リスタート機能を選択(STOPモード解除不可, タイマ・リスタート可)

TMRSTEN0	外部割り込みINTP20の切り替え <sup>注</sup>
0	外部割り込み機能を選択(STOPモード解除可能, タイマ・リスタート不可)
1	タイマ・リスタート/強制出力停止機能2を選択(STOPモード解除不可, タイマ・リスタート可)

注 INTP20, 21 をタイマ KB の強制出力停止機能 2 またはタイマ・リスタート機能のトリガとして使用する場合は, 14.5 タイマ KB 連動機能使用時の注意事項も参照してください。

備考 図 14-1 コンパレータのブロック図を参照してください。



2. 図7-73 強制出力停止機能制御レジスタ0p(TKBPACTL0p)のフォーマット(p.382)

強制出力停止機能制御レジスタ 0p(TKBPACTL0p)の説明にある誤記を訂正し、注意事項を追加します。

誤)

図 7-73 強制出力停止機能制御レジスタ 0p(TKBPACTL0p)のフォーマット(1/2)

アドレス:F0630H (TKBPACTL00) リセット時:0000H R/W

F0632H (TKBPACTL01)

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	TKBPAHXS0p2	TKBPAHXS0p1	TKBPAHXS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0

TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	<u>INTP20をトリガとする</u>

TKBPAFXS0p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	<u>コンパレータ2をトリガとする</u>

TKBPAFXS0p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	<u>コンパレータ1をトリガとする</u>

TKBPAFXS0p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAFCM0p	強制出力停止機能2の動作モード選択
0	<u>トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。</u>
1	<u>トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。</u>

図7-73 強制出力停止機能制御レジスタ0p(TKBPACTL0p)のフォーマット(2/2)

TKBPAHVS0p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	<u>コンパレータ2をトリガとする</u>

TKBPAHVS0p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	<u>コンパレータ1をトリガとする</u>

TKBPAHVS0p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく <u>Hi-Zストップ・トリガ(TKBPAAHTTn)</u> =1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 <u>Hi-Zストップ・トリガ(TKBPAAHTTn)</u> =1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の <u>Hi-Zストップ・トリガ(TKBPAAHTTn)</u> =1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく <u>Hi-Zストップ・トリガ(TKBPAAHTTn)</u> =1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 <u>Hi-Zストップ・トリガ(TKBPAAHTTn)</u> =1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の <u>Hi-Zストップ・トリガ(TKBPAAHTTn)</u> =1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。

TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

- 注意1. タイマ動作中に、TKBPACTL0pレジスタを書き換えしないでください。ただし、TKBPACTL0pレジスタにリフレッシュ(同値書き込み)することは可能です。
2. ビット11-9, 7には必ず0を設定してください。

正)

図 7-73 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) のフォーマット (1/2)

アドレス: F0630H (TKBPACTL00) リセット時: 0000H R/W

F0632H (TKBPACTL01)

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	TKBPAHVS0p2	TKBPAHVS0p1	TKBPAHVS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0

TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする <sup>注1</sup>

TKBPAFXS0p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする <sup>注2</sup>

TKBPAFXS0p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする <sup>注3</sup>

TKBPAFXS0p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする <sup>注2</sup>

TKBPAFCM0p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。 <sup>注4</sup>
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。 <sup>注4</sup>

TKBPAHVS0p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする <sup>注2</sup>

TKBPAHVS0p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする <sup>注3</sup>

TKBPAHVS0p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする <sup>注2</sup>

図7-73 強制出力停止機能制御レジスタ0p (TKBPACTL0p) のフォーマット (2/2)

TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 <sup>注4</sup>
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 <sup>注4</sup>

TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

- 注 1. INTP20を強制出力停止機能2に使用する場合は、14.5 タイマKB連動機能使用時の注意事項も参照してください。
2. CMP0, CMP2 をタイマ KB の強制出力停止機能に使用する場合は、CMPnSTEN=1 としてください。  
詳しくは 14.5 タイマ KB 連動機能使用時の注意事項を参照してください。
3. CMP1 をタイマ KB の強制出力停止機能に使用する場合は、14.5 タイマ KB 連動機能使用時の注意事項を参照してください。
4. 次のカウンタ周期を待たずにタイマ KB を停止 (TKBCEn = 0) した場合、次にタイマ KB を動作 (TKBCEn = 1) するまで、強制出力停止機能を継続します。

注意1. タイマ動作中に、TKBPACTL0pレジスタを書き換えしないでください。ただし、TKBPACTL0pレジスタにリフレッシュ (同値書き込み) することは可能です。

2. ビット11-9, 7には必ず0を設定してください。

備考 p = 0, 1 n = 0 - 2

3. 図7-74 強制出力停止機能制御レジスタ1p(TKBPACTL1p)のフォーマット(p.384)

強制出力停止機能制御レジスタ 1p(TKBPACTL1p)の説明にある誤記を訂正し、注意事項を追加します。

誤)

図 7-74 強制出力停止機能制御レジスタ 1p(TKBPACTL1p)のフォーマット(1/2)

アドレス: F0670H (TKBPACTL10) リセット時: 0000H R/W

F0672H (TKBPACTL11)

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p3	TKBPAFXS1p2	TKBPAFXS1p1	TKBPAFXS1p0	0	0	0	TKBPAFCM1p
	7	6	5	4	3	2	1	0
	0	TKBPAHXS1p2	TKBPAHXS1p1	TKBPAHXS1p0	TKBPAHCM1p1	TKBPAHCM1p0	TKBPAMD1p1	TKBPAMD1p0

TKBPAFXS1p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	<u>INTP20をトリガとする</u>

TKBPAFXS1p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	<u>コンパレータ3をトリガとする</u>

TKBPAFXS1p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	<u>コンパレータ2をトリガとする</u>

TKBPAFXS1p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAFCM1p	強制出力停止機能2の動作モード選択
0	<u>トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。</u>
1	<u>トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。</u>

図7-74 強制出力停止機能制御レジスタ1p(TKBPACTL1p)のフォーマット(2/2)

TKBPAHVS1p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	<u>コンパレータ3をトリガとする</u>

TKBPAHVS1p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	<u>コンパレータ2をトリガとする</u>

TKBPAHVS1p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAHCM1p1	TKBPAHCM1p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。

TKBPAMD1p1	TKBPAMD1p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注意1. タイマ動作中に、TKBPACTL1pレジスタを書き換えしないでください。ただし、TKBPACTL1pレジスタにリフレッシュ(同値書き込み)することは可能です。

2. ビット11-9, 7には必ず0を設定してください。

備考 p = 0, 1

正)

図 7-74 強制出力停止機能制御レジスタ 1p (TKBPACTL1p) のフォーマット (1/2)

アドレス: F0670H (TKBPACTL10) リセット時: 0000H R/W

F0672H (TKBPACTL11)

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p3	TKBPAFXS1p2	TKBPAFXS1p1	TKBPAFXS1p0	0	0	0	TKBPAFCM1p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS1p2	TKBPAHZS1p1	TKBPAHZS1p0	TKBPAHCM1p1	TKBPAHCM1p0	TKBPAMD1p1	TKBPAMD1p0

TKBPAFXS1p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする <sup>注1</sup>

TKBPAFXS1p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	コンパレータ3をトリガとする <sup>注2</sup>

TKBPAFXS1p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする <sup>注3</sup>

TKBPAFXS1p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする <sup>注3</sup>

TKBPAFCM1p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。 <sup>注4</sup>
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。 <sup>注4</sup>

図7-74 強制出力停止機能制御レジスタ1p(TKBPACTL1p)のフォーマット(2/2)

TKBPAHVS1p2	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ3をトリガとしない	
1	コンパレータ3をトリガとする <sup>注2</sup>	

TKBPAHVS1p1	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ2をトリガとしない	
1	コンパレータ2をトリガとする <sup>注3</sup>	

TKBPAHVS1p0	強制出力停止機能1のコンパレータトリガ選択	
0	コンパレータ0をトリガとしない	
1	コンパレータ0をトリガとする <sup>注3</sup>	

TKBPAHCM1p1	TKBPAHCM1p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ(TKBPACTT1p)=1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ(TKBPACTT1p)=1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ(TKBPACTT1p)=1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ(TKBPACTT1p)=1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 <sup>注4</sup>
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ(TKBPACTT1p)=1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ(TKBPACTT1p)=1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 <sup>注4</sup>

TKBPAMD1p1	TKBPAMD1p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

- 注 1. INTP20を強制出力停止機能2に使用する場合は、14.5 タイマKB連動機能使用時の注意事項も参照してください。
2. CMP3をタイマKBの強制出力停止機能に使用する場合は、14.5 タイマKB連動機能使用時の注意事項を参照してください。
3. CMP0, CMP2をタイマKBの強制出力停止機能に使用する場合は、CMPnSTEN=1としてください。詳しくは14.5 タイマKB連動機能使用時の注意事項を参照してください。
4. 次のカウンタ周期を待たずにタイマKBを停止(TKBCEn = 0)した場合、次にタイマKBを動作(TKBCEn = 1)するまで、強制出力停止機能を継続します。



注意1. タイマ動作中に、TKBPACTL1pレジスタを書き換えないでください。ただし、TKBPACTL1pレジスタにリフレッシュ（同値書き込み）することは可能です。

2. ビット11-9, 7には必ず0を設定してください。

備考 p = 0, 1 n = 0 - 2

4. 図7-75 強制出力停止機能制御レジスタ2p(TKBPACTL2p)のフォーマット(p.386)

強制出力停止機能制御レジスタ 2p(TKBPACTL2p)の説明にある誤記を訂正し、注意事項を追加します。

誤)

図 7-75 強制出力停止機能制御レジスタ 2p(TKBPACTL2p)のフォーマット(1/2)

アドレス: F06B0H (TKBPACTL20) リセット時: 0000H R/W

F06B2H (TKBPACTL21)

略号	15	14	13	12	11	10	9	8
TKBPACTL2p	TKBPAFXS2p3	TKBPAFXS2p2	TKBPAFXS2p1	TKBPAFXS2p0	0	0	0	TKBPAFCM2p
	7	6	5	4	3	2	1	0
	0	TKBPAHVS2p2	TKBPAHVS2p1	TKBPAHVS2p0	TKBPAHCM2p1	TKBPAHCM2p0	TKBPAMD2p1	TKBPAMD2p0

TKBPAFXS2p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	<u>INTP20をトリガとする</u>

TKBPAFXS2p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	<u>コンパレータ5をトリガとする</u>

TKBPAFXS2p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	<u>コンパレータ4をトリガとする</u>

TKBPAFXS2p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAFCM2p	強制出力停止機能2の動作モード選択
0	<u>トリガ入力</u> で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。
1	<u>トリガ入力</u> で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。

図7-75 強制出力停止機能制御レジスタ2p(TKBPACTL2p)のフォーマット(2/2)

TKBPAHVS2p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	<u>コンパレータ5をトリガとする</u>

TKBPAHVS2p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	<u>コンパレータ4をトリガとする</u>

TKBPAHVS2p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	<u>コンパレータ0をトリガとする</u>

TKBPAHCM2p1	TKBPAHCM2p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、 <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の <u>Hi-Zストップ・トリガ</u> (TKBPAHTTn)=1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。

TKBPAMD2p1	TKBPAMD2p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

- 注意1. タイマ動作中に、TKBPACTL2pレジスタを書き換えないでください。ただし、TKBPACTL2pレジスタにリフレッシュ(同値書き込み)することは可能です。
2. ビット11-9, 7には必ず0を設定してください。

備考 p = 0, 1

図 7-75 強制出力停止機能制御レジスタ 2p (TKBPACTL2p) のフォーマット (1/2)

アドレス: F06B0H (TKBPACTL20) リセット時: 0000H R/W

F06B2H (TKBPACTL21)

略号	15	14	13	12	11	10	9	8
TKBPACTL2p	TKBPAFXS2p3	TKBPAFXS2p2	TKBPAFXS2p1	TKBPAFXS2p0	0	0	0	TKBPFCM2p
	7	6	5	4	3	2	1	0
	0	TKBPAHXS2p2	TKBPAHXS2p1	TKBPAHXS2p0	TKBPAHCM2p1	TKBPAHCM2p0	TKBPAMD2p1	TKBPAMD2p0

TKBPAFXS2p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする <sup>注1</sup>

TKBPAFXS2p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	コンパレータ5をトリガとする <sup>注2</sup>

TKBPAFXS2p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	コンパレータ4をトリガとする <sup>注2</sup>

TKBPAFXS2p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする <sup>注3</sup>

TKBPFCM2p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。 <sup>注4</sup>
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。 <sup>注4</sup>

図7-75 強制出力停止機能制御レジスタ2p(TKBPACTL2p)のフォーマット(2/2)

TKBPAHVS2p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	コンパレータ5をトリガとする <sup>注2</sup>

TKBPAHVS2p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	コンパレータ4をトリガとする <sup>注2</sup>

TKBPAHVS2p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする <sup>注3</sup>

TKBPAHCM2p1	TKBPAHCM2p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ(TKBPAHTT2p)=1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ(TKBPAHTT2p)=1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ(TKBPAHTT2p)=1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ(TKBPAHTT2p)=1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 <sup>注4</sup>
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ(TKBPAHTT2p)=1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ(TKBPAHTT2p)=1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。 <sup>注4</sup>

TKBPAMD2p1	TKBPAMD2p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注1. INTP20を強制出力停止機能2に使用する場合は、14.5 タイマKB連動機能使用時の注意事項も参照してください。

2. CMP4, CMP5をタイマKBの強制出力停止機能に使用する場合は、14.5 タイマKB連動機能使用時の注意事項を参照してください。

3. CMP0をタイマKBの強制出力停止機能に使用する場合は、CMP0STEN=1としてください。

詳しくは14.5 タイマKB連動機能使用時の注意事項を参照してください。

4. 次のカウンタ周期を待たずにタイマKBを停止(TKBCE<sub>n</sub> = 0)した場合、次にタイマKBを動作(TKBCE<sub>n</sub> = 1)するまで、強制出力停止機能を継続します。

注意 1. タイマ動作中に、TKBPACTL2pレジスタを書き換えしないでください。ただし、TKBPACTL2pレジスタにリフレッシュ(同値書き込み)することは可能です。

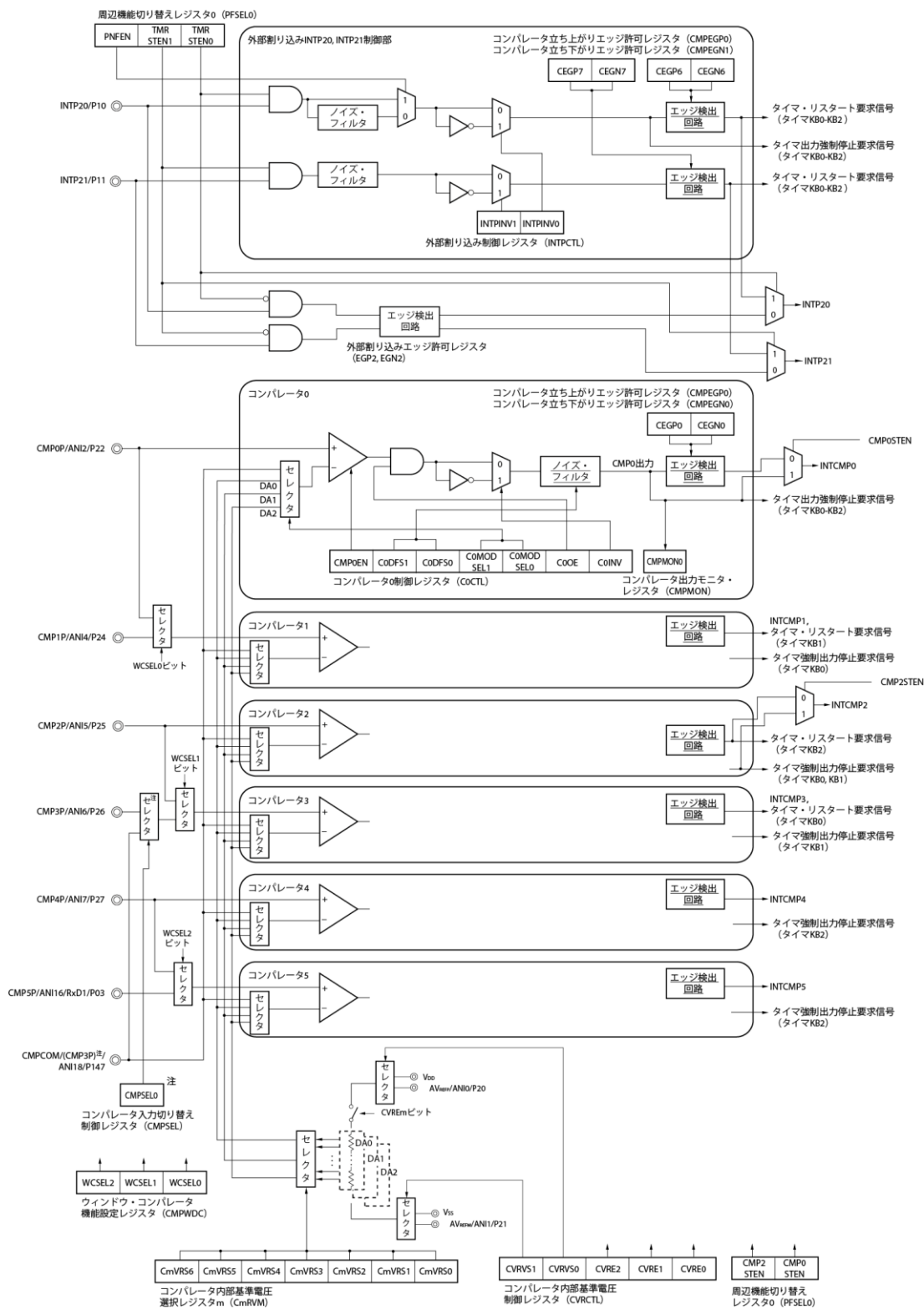
2. ビット11-9, 7には必ず0を設定してください。

備考 p = 0, 1 n = 0 - 2

5. 図14-1 コンパレータのブロック図(p.533)

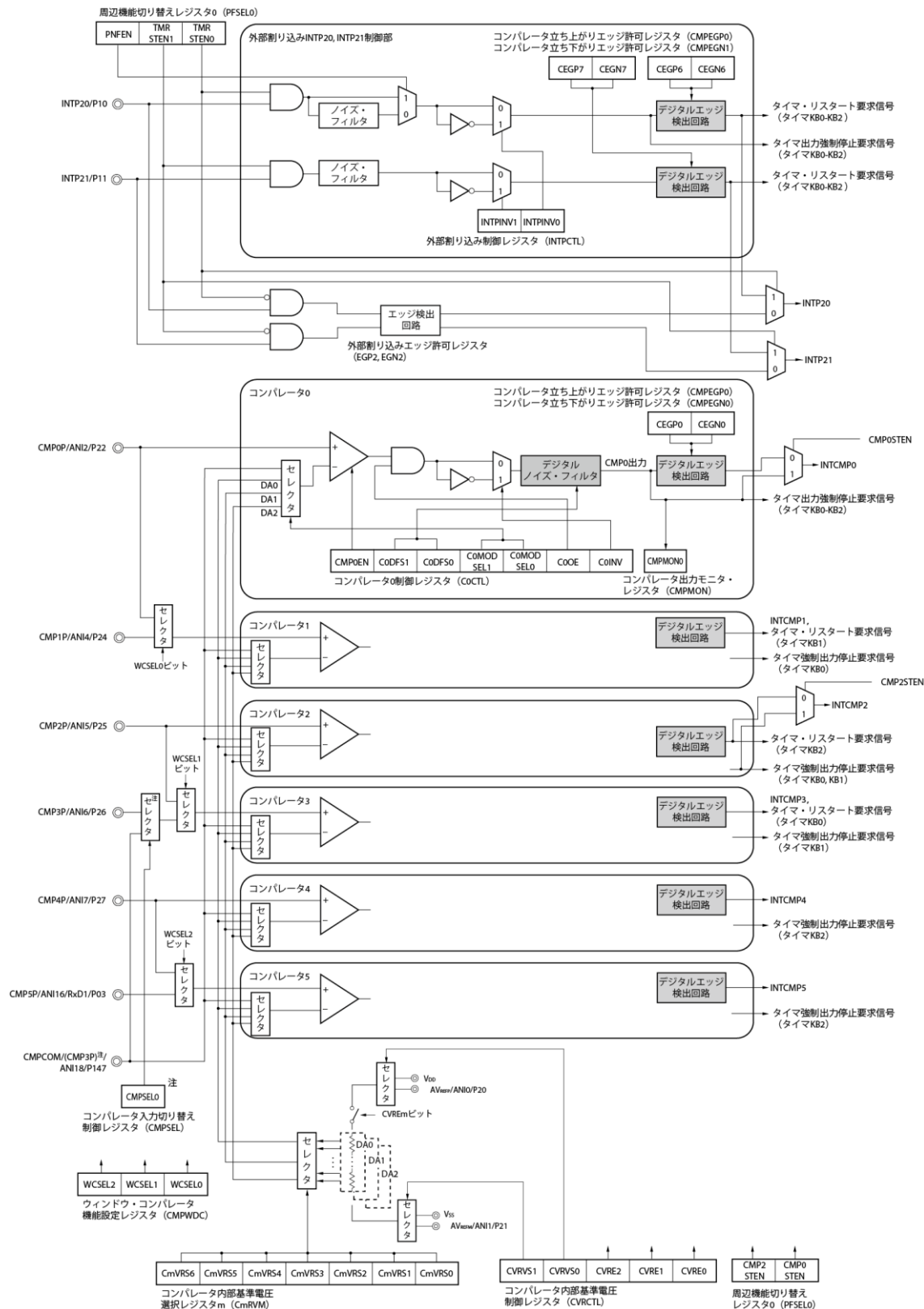
ブロック図中のノイズ・フィルタ名称、エッジ検出回路名称の誤記を訂正し、注意事項を追加します。

誤)



注 20ピン製品のみ。30ピン, 38ピン製品は、デフォルトでANI16/CMP3P/P26が選択されます。  
備考 m = 0-2

正)



注 20ピン製品のみ。30ピン、38ピン製品は、デフォルトでANI16/CMP3P/P26が選択されます。  
 注意 INTP20, INTP21, コンパレータをタイマKB強制出力停止機能, タイマKBリスタート機能に使用する場合は、14.5 タイマKB連動機能使用時の注意事項を参照してください。  
 備考 m = 0-2

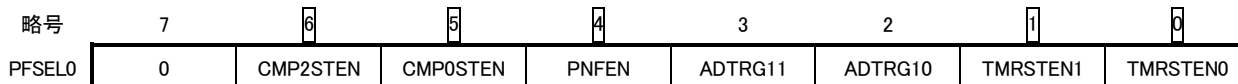
6. 図14-12 周辺機能切り替えレジスタ0(PFSEL0)(p.544)

コンパレータ, 外部割り込みの説明について誤記を訂正し, 注意事項を追加します。

誤)

図 14-12 周辺機能切り替えレジスタ 0 (PFSEL0)

アドレス: F05C6H リセット時: 00H R/W



:

CMP2STEN	コンパレータ2検出割り込み (INTCMP2) の切り替え
0	STOPモード解除不可
1	STOPモード解除可能, ただし, ノイズ・フィルタ未使用時 (低消費RTCモード時(OSMCLレジスタのRTCLPC = 1)に動作可能)

CMP0STEN	コンパレータ0検出割り込み (INTCMP0) の切り替え
0	STOPモード解除不可
1	STOPモード解除可能, ただし, ノイズ・フィルタ未使用時 (低消費RTCモード時(OSMCLレジスタのRTCLPC = 1)に動作可能)

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

TMRSTEN1	外部割り込みINTP21の機能選択
0	外部割り込み機能(外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能(外部割り込み発生不可, スタンバイ解除不可)

TMRSTEN0	外部割り込みINTP20の機能選択
0	外部割り込み機能(外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能(外部割り込み発生不可, スタンバイ解除不可)

注意 CMP0, CMP2 以外のコンパレータ検出割り込みは, STOP モード解除に使用することはできません。



正)

図 14-12 周辺機能切り替えレジスタ 0 (PFSEL0)

アドレス: F05C6H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	コンパレータ2検出割り込み (INTCMP2) 入力信号の切り替え <sup>注1</sup>
0	デジタル・エッジ検出回路経由の信号を選択。STOPモード解除不可
1	強制出力停止要求信号を選択。STOPモード解除可能、ただし、ノイズ・フィルタ未使用時 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1) に動作可能)

CMP0STEN	コンパレータ0検出割り込み (INTCMP0) 入力信号の切り替え <sup>注1</sup>
0	デジタル・エッジ検出回路経由の信号を選択。STOPモード解除不可
1	強制出力停止要求信号を選択。STOPモード解除可能、ただし、ノイズ・フィルタ未使用時 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1) に動作可能)

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

TMRSTEN1	外部割り込みINTP21の切り替え <sup>注2</sup>
0	外部割り込み機能を選択 (STOPモード解除可能、タイマ・リスタート不可)
1	タイマ・リスタート機能を選択 (STOPモード解除不可、タイマ・リスタート可)

TMRSTEN0	外部割り込みINTP20の切り替え <sup>注2</sup>
0	外部割り込み機能を選択 (STOPモード解除可能、タイマ・リスタート不可)
1	タイマ・リスタート/強制出力停止機能2を選択 (STOPモード解除不可、タイマ・リスタート可)

注 1 CMP0, CMP2 による割り込みを使用する場合、使用する機能と割り込み入力信号を合わせてください。CMP0, CMP2 をタイマ KB の強制出力停止機能のトリガに使用する場合は、CMPnSTEN=1 としてください。CMP2 をタイマ KB のタイマ・リスタート機能のトリガに使用する場合は CMP2STEN=0 としてください。詳細については、14.5 タイマ KB 連動機能使用時の注意事項を参照してください。

注 2 INTP20, 21 をタイマ KB の強制出力停止機能 2 またはタイマ・リスタート機能のトリガとして使用する場合は、14.5 タイマ KB 連動機能使用時の注意事項も参照してください。

注意 CMP0, CMP2 以外のコンパレータ検出割り込みは、STOP モード解除に使用することはできません。

備考 n = 0, 2

7. 14.5 タイマKB連動機能使用時の注意事項

INTP2m, コンパレータについて、タイマ KB 連動機能使用時の注意事項を追加します。

旧)

該当箇所なし

新)

14.5 タイマ KB 連動機能使用時の注意事項

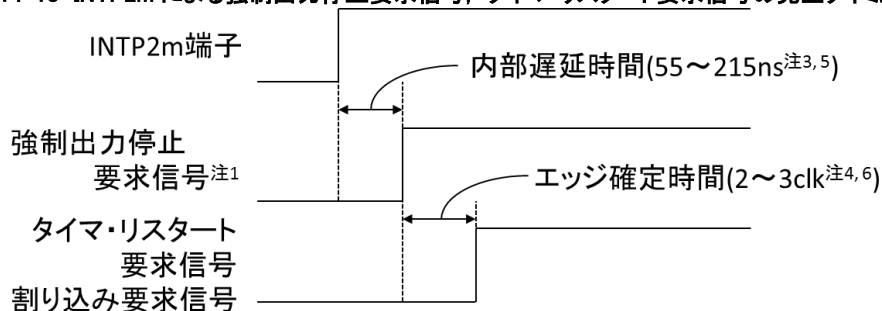
INTP2m, コンパレータは、外部割り込み機能の他にタイマ KB との連動機能(強制出力停止機能、タイマ・リスタート機能)のトリガとして使用する事が出来ます。使用する機能に応じて、周辺機能切り替えレジスタ(PFSEL0)、エッジ設定レジスタを設定する必要があります。また、各機能が動作するまでに必要なアクティブ信号の幅が異なります。

INTP2m, コンパレータをご使用になる場合は、表 14-4~6 を参考にレジスタの設定を行い、必要なアクティブ信号幅が確保されるように外部回路を構築してください。

表 14-4 INTP2m の機能、レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替え レジスタの設定	エッジ設定 レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除可能)	TMRSTENm=0	EGPn, EGNn	~1us	-	-
強制出力停止 <sup>注1</sup>	TMRSTENm=1	CEGPp, CEGNp <sup>注2</sup>	55~215ns <sup>注3+2</sup> ~3clk <sup>注4</sup>	55~215ns <sup>注3,5</sup>	-
タイマ・リスタート	TMRSTENm=1	CEGPp, CEGNp	55~215ns <sup>注3+2</sup> ~3clk <sup>注4</sup>	-	55~215ns <sup>注3+2</sup> ~3clk <sup>注4,6</sup>

図 14-18 INTP2m による強制出力停止要求信号、タイマ・リスタート要求信号の発生タイミング



- 注 1. INTP20 のみ強制出力停止機能 2 のトリガとして使用可能です。
- 2. 強制出力停止機能 2 はハイレベルでアクティブとなります。エッジ選択は割り込みにのみ有効です。
- 3. INTP20 でノイズ・フィルタを OFF(PNFEN=1)した場合、5~15ns となります。
- 4. f<sub>CLK</sub> または f<sub>PLL</sub> (PLLON=1 の場合)
- 5. 強制出力停止機能 2 が動作してから端子出力が変化するまでには、別途出力遅延時間(10~40ns)が掛かります。
- 6. タイマ・リスタート機能が動作するには、要求信号を受けてからさらに 1clk、出力端子の状態が変化するまでには、別途出力遅延時間(10~40ns)が掛かります。

備考 m = 0, 1 n = 20, 21 p = 7, 6

表 14-5 コンパレータ 0, 2 の機能、レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替え レジスタの設定	エッジ設定 レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除可能 <sup>注1</sup> )	CMPnSTEN=1	立ち上がり固定 <sup>注2</sup>	~150ns <sup>注3</sup>	-	-
外部割り込み (STOP解除不可)	CMPnSTEN=0	CEGPn, CEGNn	~150ns <sup>注3+2</sup> ~3clk <sup>注4,5</sup>	-	-
強制出力停止	CMPnSTEN=1	<sup>注6</sup>	~150ns <sup>注3</sup>	~150ns <sup>注3,7</sup>	-
タイマ・リスタート	CMPnSTEN=0	CEGPn, CEGNn	~150ns <sup>注3+2</sup> ~3clk <sup>注4,5</sup>	-	~150ns <sup>注3+2</sup> ~3clk <sup>注4,5</sup>

図 14-19 コンパレータ 0, 2 による強制出力停止要求信号の発生タイミング(CMPmSTEN=1)

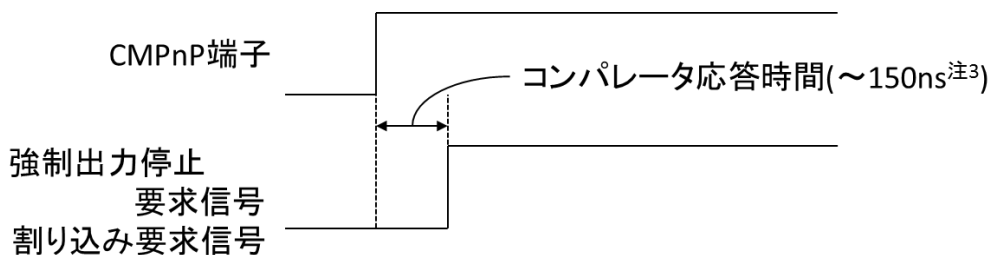
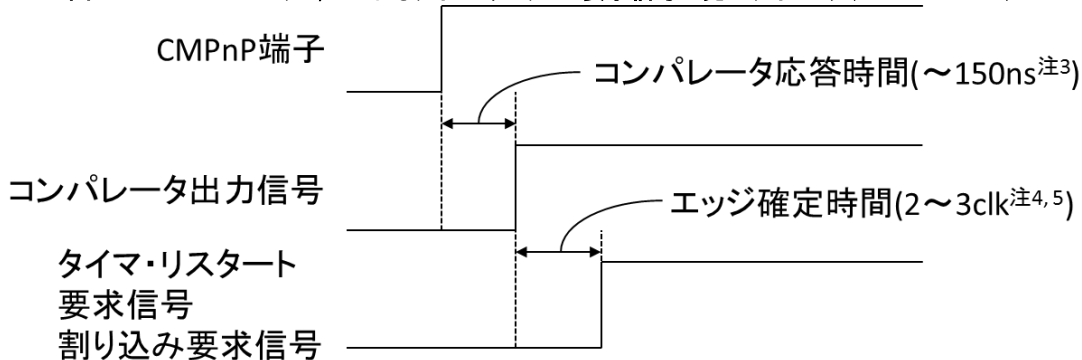


図 14-20 コンパレータ 0, 2 によるタイマ・リスタート要求信号の発生タイミング(CMPmSTEN=0)



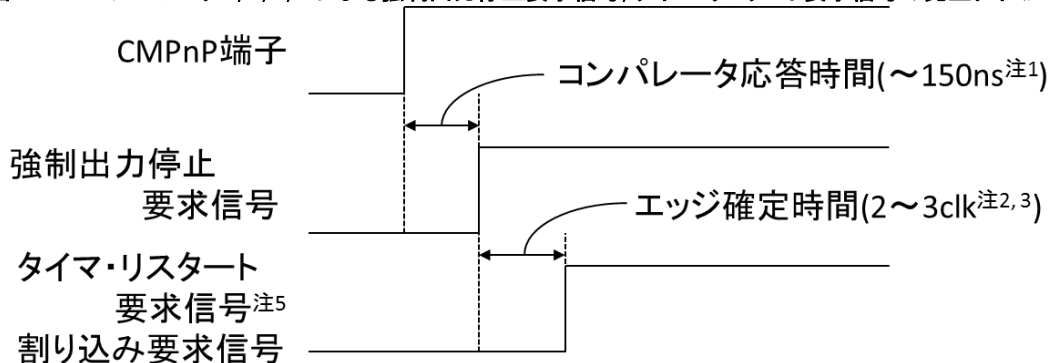
- 注 1. コンパレータ制御レジスタ CnCTL のノイズ・フィルタ設定 (CnDFS1, CnDFS0)=(0, 0)の場合
- 2. エッジの方向を変更したい場合は, CnINV レジスタで出力を反転させてください。
- 3. コンパレータ制御レジスタ CnCTL のノイズ・フィルタ設定 (CnDFS1, CnDFS0)=(0, 0)の場合です。ノイズ・フィルタ設定を(0, 0)から変更した場合は, 設定した除去幅分が加算されます。
- 4.  $f_{CLK}$  または  $f_{PLL}$  (PLLON=1 の場合)。
- 5. タイマ・リスタート機能が動作するには, 要求信号を受けてからさらに 1clk, 出力端子の状態が変化するまでには, 別途出力遅延時間(10〜40ns)が掛かります。
- 6. 強制出力停止機能はハイレベルでアクティブとなります。
- 7. 強制出力停止機能が動作してから出力端子の状態が変化するまでには, 別途出力遅延時間(10〜40ns)が掛かります。

備考 n = 0, 2

表 14-6 コンパレータ 1, 3, 4, 5 の機能, レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替え レジスタの設定	エッジ設定 レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除不可)	-	CEGPn, CEGNn	〜150ns <sup>注1,2</sup> 〜3clk <sup>注2,3</sup>	-	-
強制出力停止	-	<sup>注4</sup>	〜150ns <sup>注2,2</sup> 〜3clk <sup>注3,4</sup>	〜150ns <sup>注2,5</sup>	-
タイマ・リスタート <sup>注6</sup>	-	CEGPn, CEGNn	〜150ns <sup>注2,2</sup> 〜3clk <sup>注3,4</sup>	-	〜150ns <sup>注2,2</sup> 〜3clk <sup>注3,4</sup>

図 14-21 コンパレータ 1, 3, 4, 5 による強制出力停止要求信号, タイマ・リスタート要求信号の発生タイミング



注 1. コンパレータ制御レジスタ CnCTL のノイズ・フィルタ設定 (CnDFS1, CnDFS0)=(0, 0) の場合です。

ノイズ・フィルタ設定を(0, 0)から変更した場合は, 設定した除去幅分が加算されます。

2.  $f_{CLK}$  または  $f_{PLL}$  (PLLON=1 の場合)。
3. タイマ・リスタート機能が動作するには, 要求信号を受けてからさらに 1clk, 出力端子の状態が変化するまでには, 別途出力遅延時間(10~40ns)が掛かります。
4. 強制出力停止機能はハイレベルでアクティブとなります。
5. 強制出力停止機能が動作してから出力端子の状態が変化するまでには, 別途出力遅延時間(10~40ns)が掛かります。
6. タイマ・リスタート機能はコンパレータ 1, 3 のみ使用可能です。

備考 n = 1, 3-5

**8. SNOOZEモード動作時のタイミング・チャート(P.661,P.662,P.664)**

注: No.8 の内容は No.69,70,71 で再修正させていただきます。そちらを改めてご覧下さい。

**9. 表20-1 割り込み要因一覧(2/3)(p.895)**

割り込み要因一覧にある注意事項を追加します。

旧)

- 注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0 が最高順位、40 が最低順位です。  
2. 基本構成タイプの(A)-(D)は、それぞれ図 20-1 の(A)-(D)に対応しています。  
3. INTCMP1, INTCMP3, INTCMP4, INTCMP5 は、STOP モード解除には使用できません。

新)

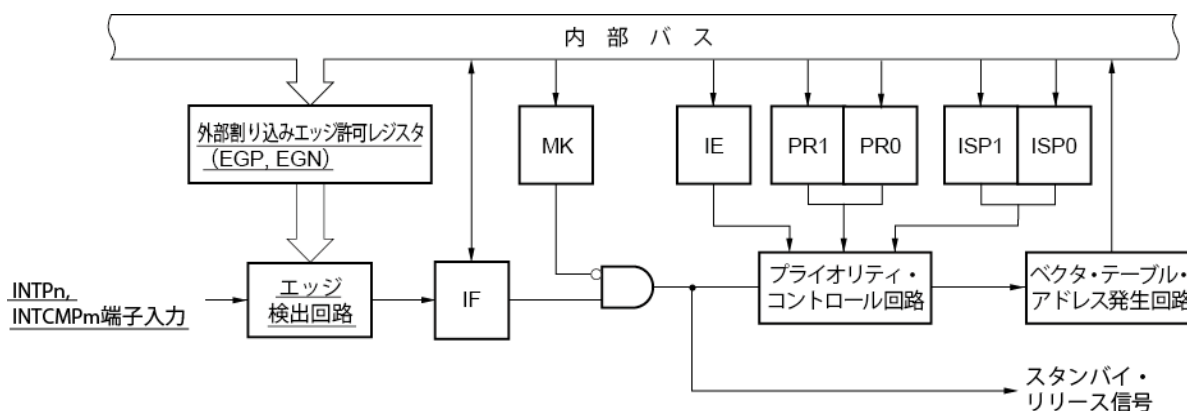
- 注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。  
0 が最高順位、40 が最低順位です。  
2. 基本構成タイプの(A)-(D)は、それぞれ図 20-1 の(A)-(D)に対応しています。  
3. INTCMP1, INTCMP3, INTCMP4, INTCMP5 は、STOP モード解除には使用できません。  
割り込み発生のタイミングについては、14.5 タイマ KB 連動機能使用時の注意事項を参照してください。

10. 図20-1 割り込み機能の基本構成(p.897)

割り込み機能の基本構成図の誤記を訂正します。

誤)

(B) 外部マスカブル割り込み (INTPn, INTCMPm)

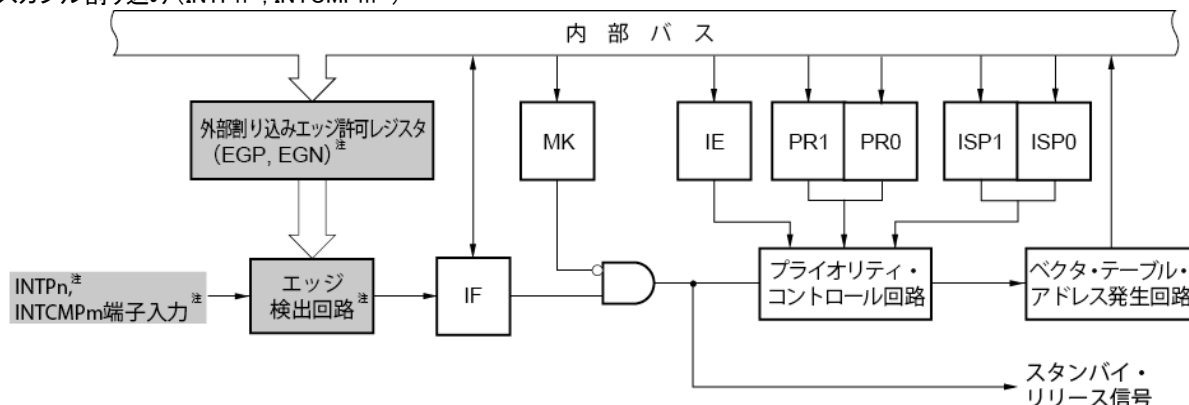


- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

- 備考 20ピン : n = 0, 20, 21, 22, m = 0-3
- 30ピン : n = 0, 4, 11, 20-23, m = 0-5
- 38ピン : n = 0, 3, 4, 9-11, 20-23, m = 0-5

正)

(B)外部マスカブル割り込み(INTPn<sup>注</sup>, INTCMPm<sup>注</sup>)



注 INTP20, INTP21, INTCMPm は、タイマ KB 連動機能(タイマ KB 強制出力停止機能, タイマ KB タイマ・リスタート機能)使用時の設定により、割り込み信号の経路、割り込み発生タイミング、エッジ許可レジスタが変わります。詳しくは、図 14-1 コンパレータのブロック図、14.5 タイマ KB 連動機能使用時の注意事項を参照してください。

- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサービス・プライオリティ・フラグ0
- ISP1 : インサービス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

- 備考
- 20ピン : n = 0, 20, 21, 22, m = 0-3
  - 30ピン : n = 0, 4, 11, 20-23, m = 0-5
  - 38ピン : n = 0, 3, 4, 9-11, 20-23, m = 0-5

11. 表21-1 HALTモード時の動作状態(2/2)(p.928)

HALTモード時のコンパレータの動作について説明を訂正します。

誤)

項目	HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時		
			XT1クロック( $f_{XT}$ )でCPU動作時	外部サブシステム・クロック( $f_{EXS}$ )でCPU動作時	
システム・クロック	CPUへのクロック供給は停止				
メイン・システム・クロック	$f_{IH}$ $f_x$ $f_{EX}$	動作禁止			
		サブシステム・クロック	$f_{XT}$	動作継続(停止不可)	動作不可
			$f_{EXS}$	動作不可	動作継続(停止不可)
$f_{IL}$	オプション・バイト(000C0H)のビット0(WDSTBYON), ビット4(WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1: 発振 ・WUTMMCK0 = 0かつWDTON = 0: 停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき: 発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき: 停止				
CPU	動作停止				
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
ポート(ラッチ)	HALTモード設定前の状態を保持				
タイマ・アレイ・ユニット	RTCLPC = 0のときは動作可能(それ以外は動作禁止)				
タイマKB0-KB2					
タイマKCO					
リアルタイム・クロック(RTC)	動作可能				
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ	第11章 ウォッチドッグ・タイマ参照				
A/Dコンバータ	動作禁止				
プログラマブル・ゲイン・アンプ	動作可能(ただし, PGA出力信号の入力先であるA/Dコンバータが動作禁止のため, 使用不可)				
コンパレータ	動作可能(低消費RTCモードでは(OSMCレジスタのRTCLPC = 1)は, コンパレータ割り込み検出によるSTOPモード解除設定(PFSEL0レジスタのCMPnSTEN = 1)かつノイズ・フィルタ未使用時のみ動作可能( $n = 0, 2$ ))				

(省略)



正)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
項目		XT1クロック (f <sub>XT</sub> ) でCPU動作時	外部サブシステム・クロック (f <sub>EXS</sub> ) でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f <sub>IH</sub>	動作禁止	
	f <sub>X</sub>		
	f <sub>EX</sub>		
サブシステム・クロック	f <sub>XT</sub>	動作継続(停止不可)	動作不可
	f <sub>EXS</sub>	動作不可	動作継続(停止不可)
f <sub>IL</sub>	オプション・バイト(000C0H)のビット0(WDSTBYON), ビット4(WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1: 発振 ・WUTMMCK0 = 0かつWDTON = 0: 停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき: 発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき: 停止		
CPU		動作停止	
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート(ラッチ)		HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット		RTCLPC = 0のときは動作可能(それ以外は動作禁止)	
タイマKB0-KB2			
タイマKC0			
リアルタイム・クロック(RTC)		動作可能	
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照	
A/Dコンバータ		動作禁止	
プログラマブル・ゲイン・アンプ		動作可能(ただし, PGA出力信号の入力先であるA/Dコンバータが動作禁止のため, 使用不可)	
コンパレータ		動作可能(低消費RTCモード(OSMCレジスタのRTCLPC = 1)では, CMP0, CMP2のみコンパレータ割り込み検出によるSTOPモード解除設定(PFSEL0レジスタのCMPnSTEN = 1)を行い, かつノイズ・フィルタ未使用とすることで動作可能(n = 0, 2))	

(省略)

12. 表21-2 STOPモード時の動作状態(p.932)

STOPモード時のコンパレータの動作について説明を訂正します。

誤)

項目	STOPモードの設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・クロック( $f_{IH}$ )でCPU動作時	X1クロック( $f_X$ )でCPU動作時	外部メイン・システム・クロック( $f_{EX}$ )でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	$f_{IH}$	停止		
	$f_X$			
	$f_{EX}$			
サブシステム・クロック	$f_{XT}$	STOPモード設定前の状態を継続		
	$f_{EXS}$			
$f_{IL}$		オプション・バイト(000C0H)のビット0(WDSTBYON), ビット4(WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1: 発振 ・WUTMMCK0 = 0かつWDTON = 0: 停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき: 発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき: 停止		
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
データ・フラッシュ・メモリ				
RAM				
ポート(ラッチ)				
タイマ・アレイ・ユニット		動作禁止		
タイマKB0-KB2		動作可能		
タイマKC0				
リアルタイム・クロック(RTC)				
12ビット・インターバル・タイマ		第11章 ウォッチドッグ・タイマ参照		
ウォッチドッグ・タイマ				
A/Dコンバータ		ウエイク・アップ動作可能(SNOOZEモードへ移行)		
プログラマブル・ゲイン・アンプ		動作可能		
コンパレータ		動作可能(STOPモード解除可能に設定したチャンネルのみ, かつデジタル・フィルタ未使用時)		

(省略)

正)

項目	STOPモード の設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オンレータ・クロック( $f_{IH}$ )でCPU動作時	X1クロック( $f_x$ )でCPU動作時	外部メイン・システム・クロック( $f_{EX}$ )でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	$f_{IH}$	停止		
	$f_x$			
	$f_{EX}$			
サブシステム・クロック	$f_{XT}$	STOPモード設定前の状態を継続		
	$f_{EXS}$			
$f_{IL}$	オプション・バイト(000C0H)のビット0(WDSTBYON), ビット4(WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1: 発振 ・WUTMMCK0 = 0かつWDTON = 0: 停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき: 発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき: 停止			
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
ポート(ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
タイマKB0-KB2				
タイマKC0				
リアルタイム・クロック(RTC)				
12ビット・インターバル・タイマ		動作可能		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照		
A/Dコンバータ		ウエイク・アップ動作可能(SNOOZEモードへ移行)		
プログラマブル・ゲイン・アンプ		動作可能		
コンパレータ		CMP0, CMP2のみ コンパレータ割り込み検出によるSTOPモード解除設定(PFSEL0レジスタのCMPnSTEN = 1)を行い, かつノイズ・フィルタ未使用とすることで動作可能(n = 0, 2)		

(省略)

13. 表21-3 SNOOZEモード時の動作状態(p.938)

SNOOZE モード時のコンパレータの動作について説明を訂正します。

誤)

STOPモード の設定		STOPモード中にCSI00, UART0のデータ受信信号および A/Dコンバータのタイマ・トリガ信号入力時 高速オンチップ・オシレータ・クロック( $f_{IH}$ )でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・ クロック	$f_{IH}$	動作開始
	$f_X$	停止
	$f_{EX}$	
サブシステム・ク ロック	$f_{XT}$	STOPモード中の状態を継続
	$f_{EXS}$	
$f_{IL}$		オプション・バイト(000C0H)のビット0(WDSTBYON), ビット4(WDTON)およびサブシステム・クロック供給モ ード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1: 発振 ・WUTMMCK0 = 0かつWDTON = 0: 停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき: 発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき: 停止
CPU		動作停止
ロード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート(ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
タイマKB0-KB2		
タイマKC0		
リアルタイム・クロック(RTC)		動作可能
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照
A/Dコンバータ		動作可能
プログラマブル・ゲイン・アンプ		動作可能
コンパレータ		動作可能(STOPモード解除可能に設定したチャンネルのみ, かつデジタル・フィルタ未使用時)

(省略)

正)

STOPモード の設定	STOPモード中にCSI00, UART0のデータ受信信号および A/Dコンバータのタイマ・トリガ信号入力時 高速オンチップ・オシレータ・クロック( $f_{IH}$ )でCPU動作時	
項目		
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・ クロック	$f_{IH}$	動作開始
	$f_X$	停止
	$f_{EX}$	
サブシステム・ク ロック	$f_{XT}$	STOPモード中の状態を継続
	$f_{EXS}$	
$f_L$	オプション・バイト(00C0H)のビット0(WDSTBYON), ビット4(WDTON)およびサブシステム・クロック供給 モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1: 発振 ・WUTMMCK0 = 0かつWDTON = 0: 停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき: 発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき: 停止	
CPU	動作停止	
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート(ラッチ)	STOPモード中の状態を継続	
タイマ・アレイ・ユニット	動作禁止	
タイマKB0-KB2		
タイマKC0		
リアルタイム・クロック(RTC)	動作可能	
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ	第11章 ウォッチドッグ・タイマ参照	
A/Dコンバータ	動作可能	
プログラマブル・ゲイン・アンプ	動作可能	
コンパレータ	CMP0, CMP2のみ コンパレータ割り込み検出によるSTOPモード解除設定(PFSEL0レジスタの CMPnSTEN = 1)を行い, かつノイズ・フィルタ未使用とすることで動作可能(n = 0, 2)	

(省略)

14. 32.7 データ・メモリSTOPモード低電源電圧データ保持特性(p.1096)

データ・メモリ STOP モード低電源電圧データ保持特性について、説明を追加します。

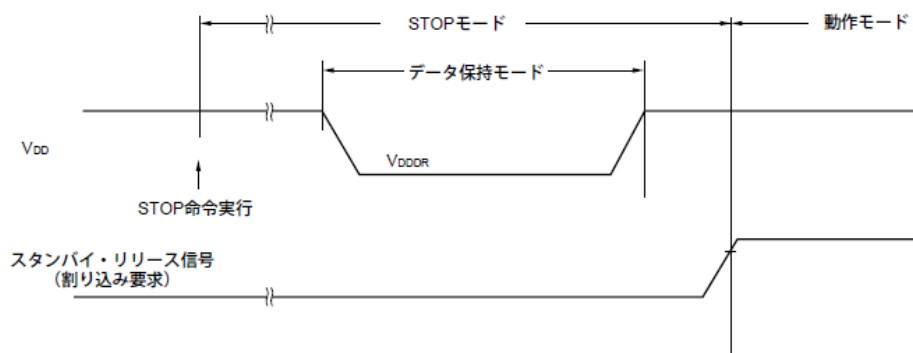
誤)

32.7 データ・メモリSTOPモード低電源電圧データ保持特性

(TA = -40 ~ +105 °C, VSS = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



新)

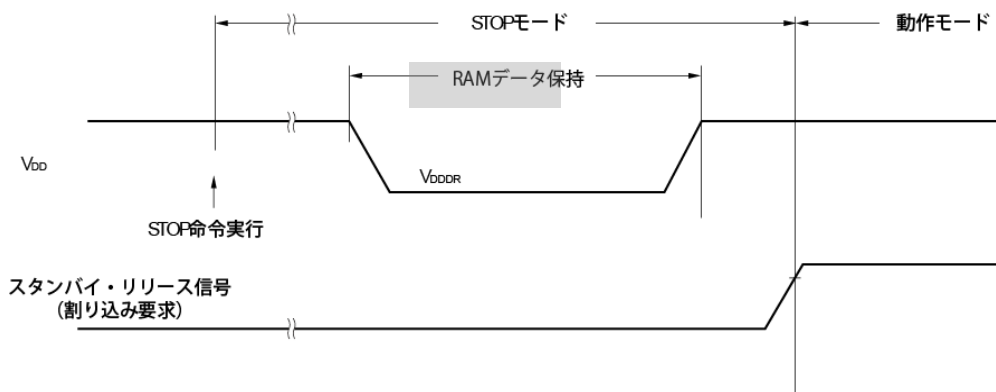
32.7 RAMデータ保持特性

(TA = -40 ~ +105 °C, VSS = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

注意 動作電圧範囲外でCPU動作した場合、RAMのデータは保持されません。そのため動作電圧範囲を下回る前に、STOPモードに移行してください。



15. 33.7 データ・メモリSTOPモード低電源電圧データ保持特性(p.1138)

データ・メモリ STOP モード低電源電圧データ保持特性について、説明を追加します。

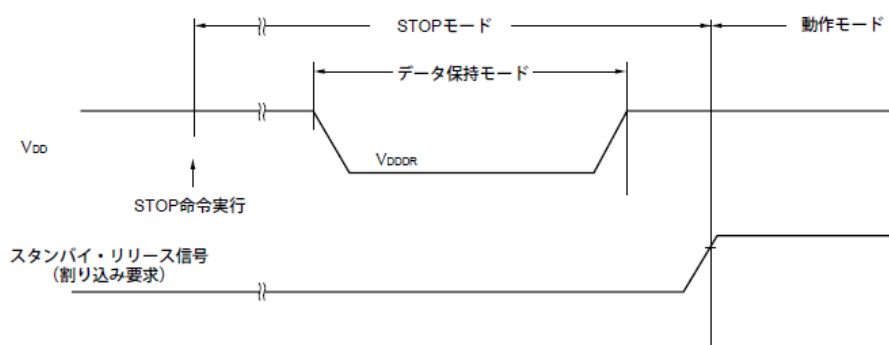
誤)

33.7 データ・メモリSTOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +125 \text{ }^\circ\text{C}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.47 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



新)

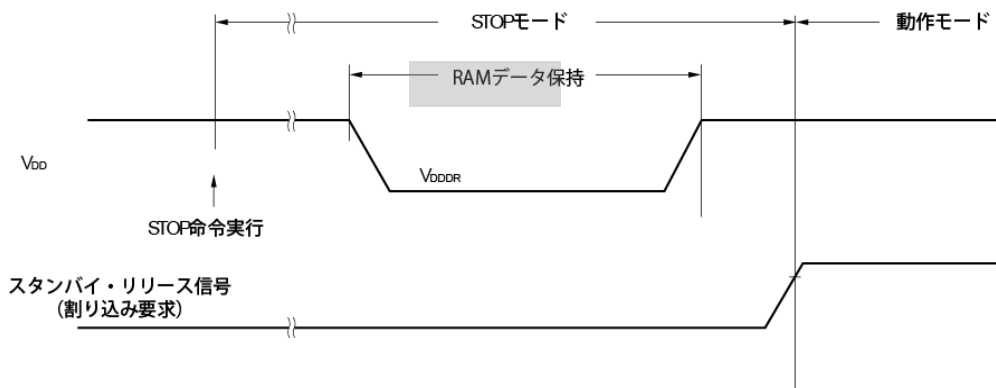
33.7 RAMデータ保持特性

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $V_{SS} = 0\text{V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.47 <sup>注</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

注意 動作電圧範囲外でCPU動作した場合、RAMのデータは保持されません。そのため動作電圧範囲を下回る前に、STOPモードに移行してください。

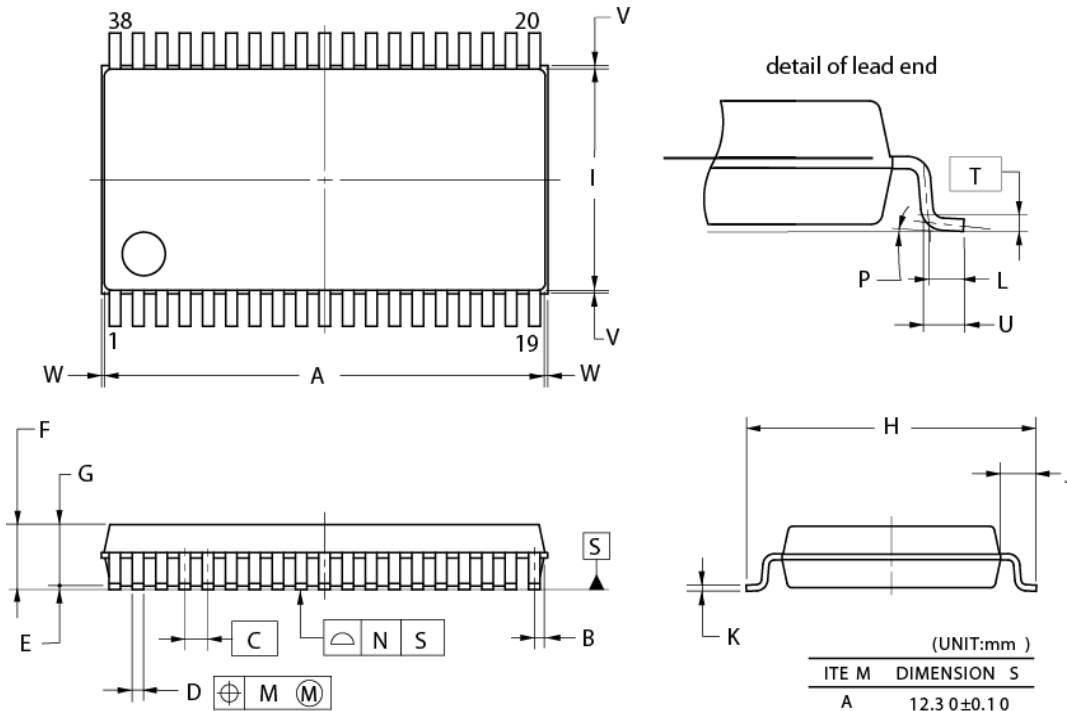


16. 34. 3 38ピン製品(p.1143)

パッケージコード、寸法の誤記を訂正します。

誤)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-SSOP38-6.1x12.3-0.65	PRSP0038JA-B	P38MC-65-GAA-2	0.3



NOTE

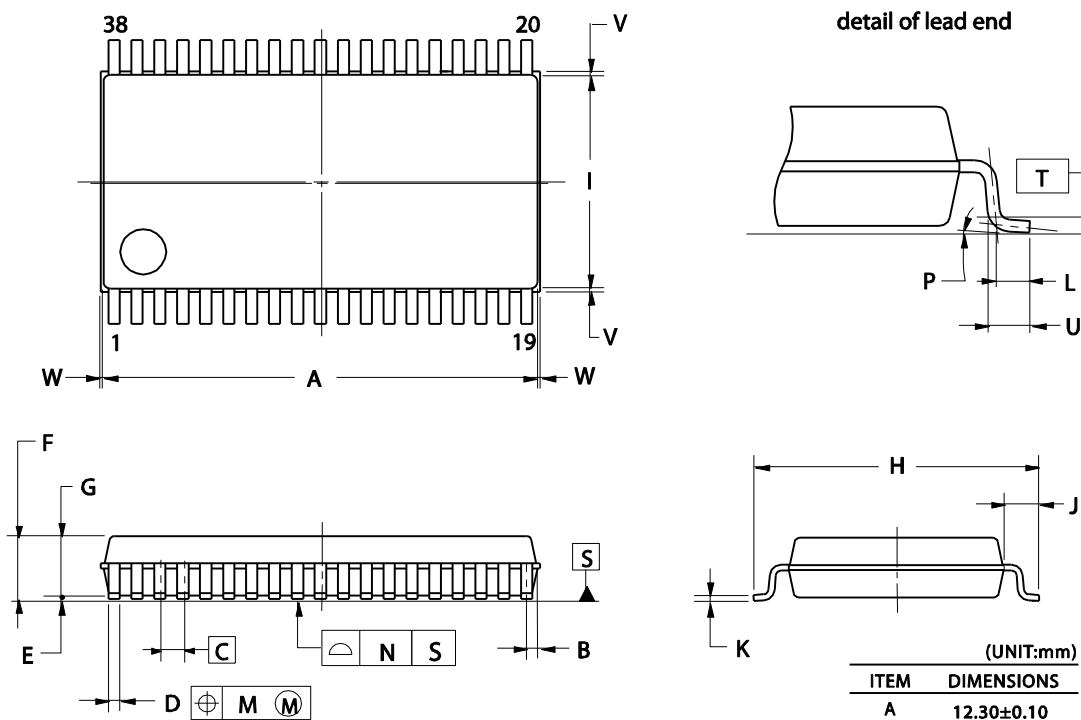
Each lead centerline is located within 0.10 mm of its true position (T.P.) at maximum material condition .

(UNIT:mm )

ITEM	DIMENSION	S
A	12.3	0±0.10
B	0.30	
C	0.65	(T.P. )
D	0.30	$+0.10$ $-0.05$
E	0.125	±0.075
F	2.00	MAX .
G	1.70	±0.10
H	8.10	±0.20
I	6.10	±0.10
J	1.00	±0.20
K	0.15	$+0.10$ $-0.05$
L	0.50	
M	0.10	
N	0.10	
P	3°	$+5°$ $-3°$
T	0.25	(T.P. )
U	0.60	±0.15
V	0.25	MAX .
W	0.15	MAX .



JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP) [g]
P-SSOP38-0300-0.65	PRSP0038JA-A	P38MC-65-2A4-2	0.3



**NOTE**  
Each lead centerline is located within 0.10 mm of its true position (T.P.) at maximum material condition.

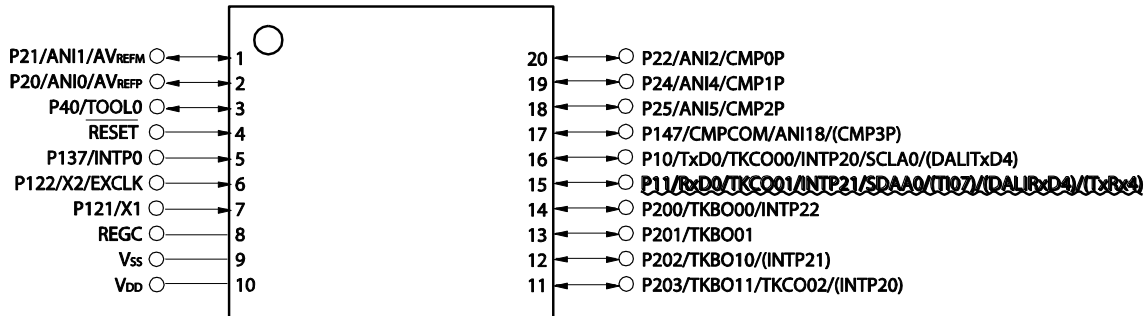
(UNIT:mm)

ITEM	DIMENSIONS
A	12.30±0.10
B	0.30
C	0.65 (T.P.)
D	0.32 <sup>+0.08</sup> / <sub>-0.07</sub>
E	0.125±0.075
F	2.00 MAX.
G	1.70±0.10
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.17 <sup>+0.08</sup> / <sub>-0.07</sub>
L	0.50
M	0.10
N	0.10
P	3° <sup>+7°</sup> / <sub>-3°</sub>
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

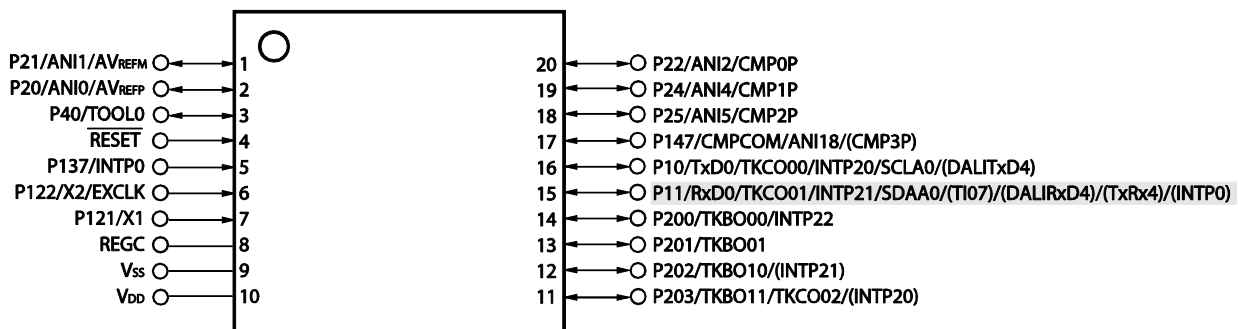
17. 1. 3. 1 20ピン製品(p.4)

兼用端子の誤りについて訂正します。

誤)



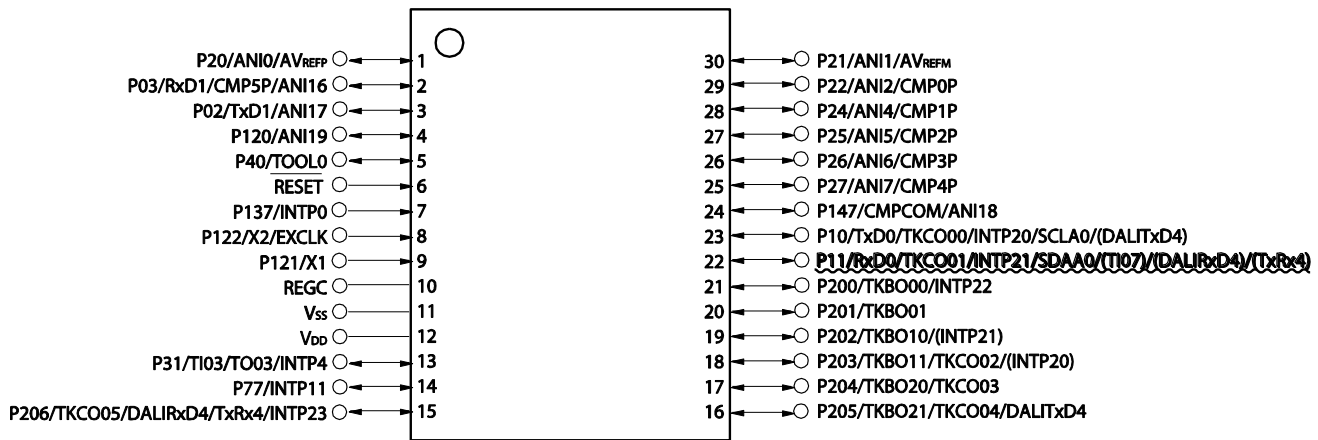
正)



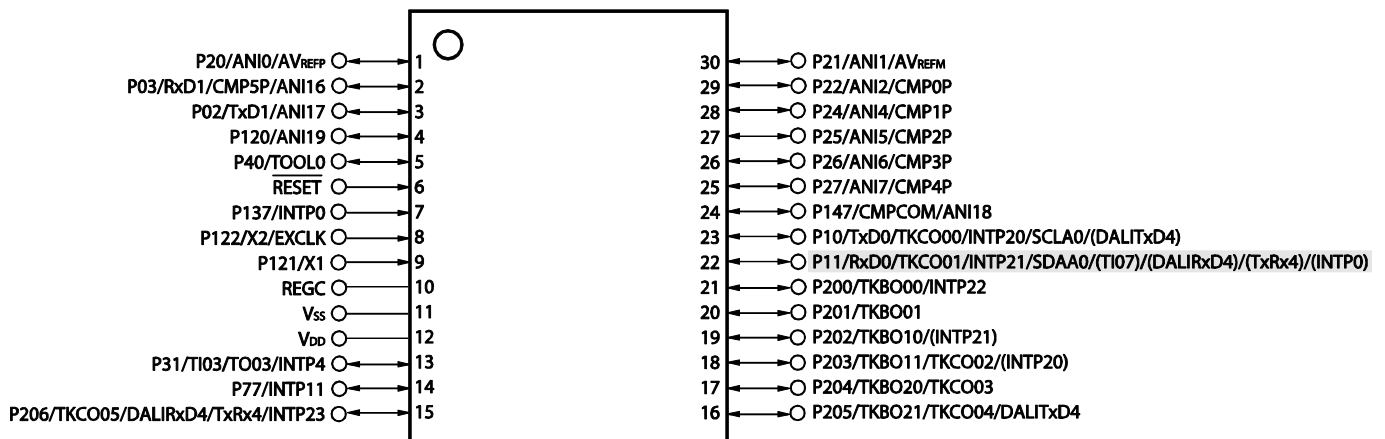
18. 1. 3. 2 30ピン製品(p.5)

兼用端子の誤りについて訂正します。

誤)



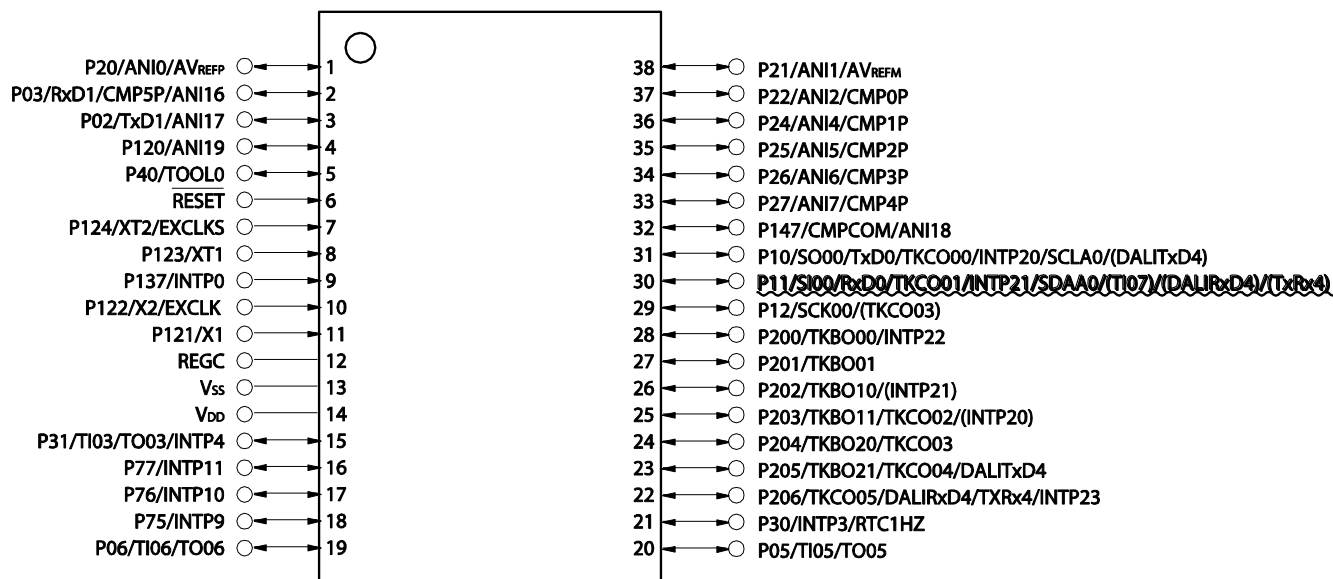
正)



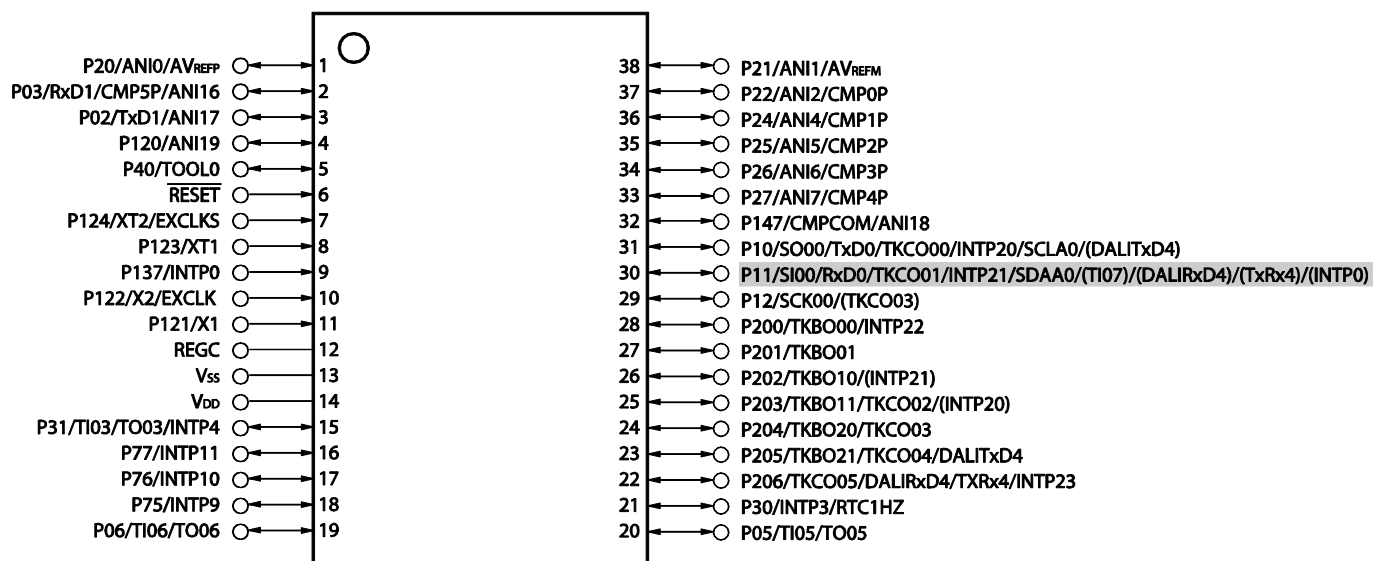
19. 1. 3. 3 38ピン製品(p.6)

兼用端子の誤りについて訂正します。

誤)



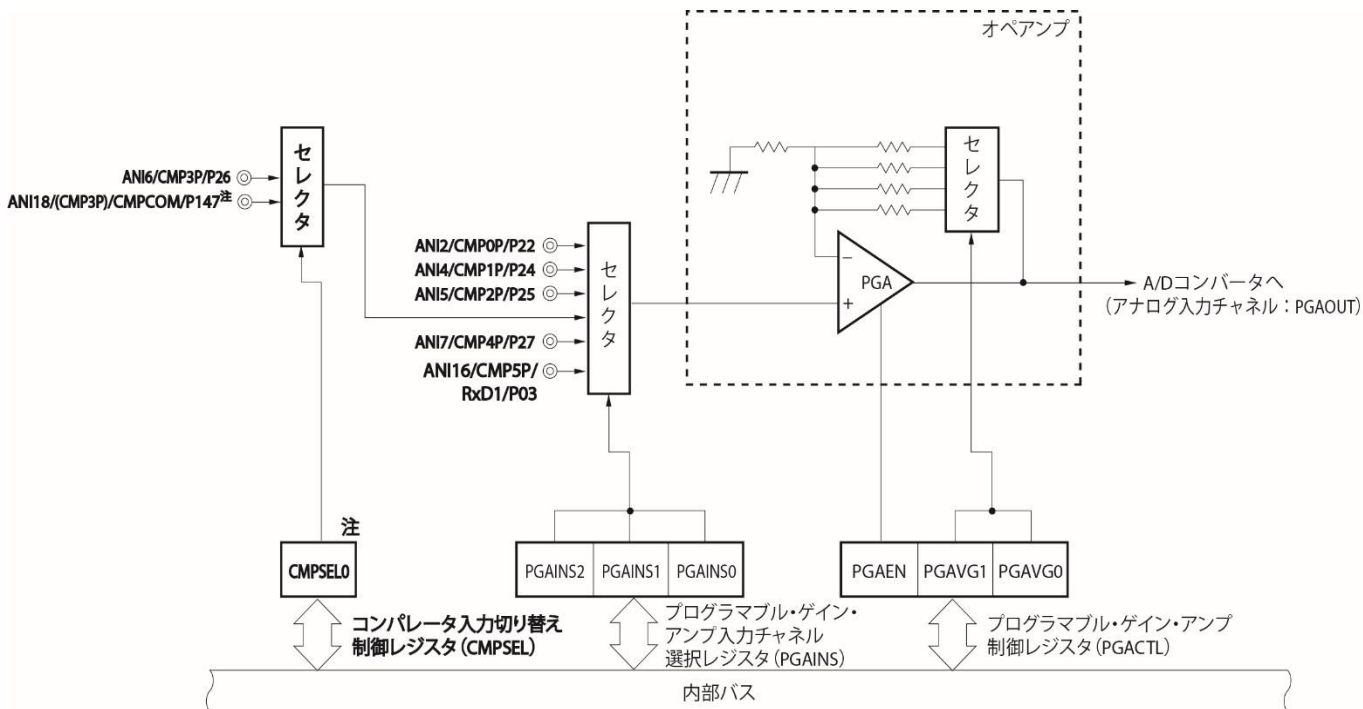
正)



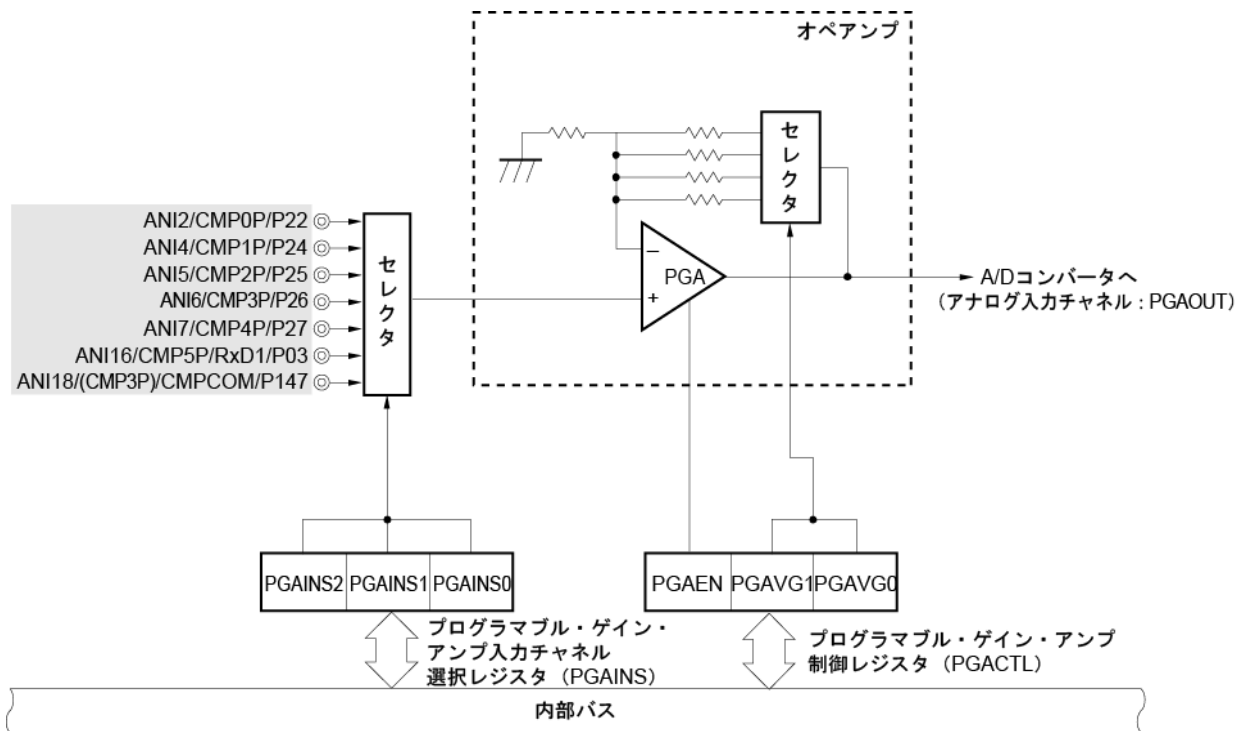
20. 図13-1 プログラマブル・ゲイン・アンプのブロック図(p.522)

ブロック図の誤りを訂正します。

誤)



正)



21. 13.3.3 プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ(PGAINS)(p.525)

プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ(PGAINS)の誤記を訂正します。

誤)

図13-4 プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ(PGAINS)のフォーマット

アドレス: F0551H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PGAINS	0	0	0	0	0	PGAINS2	PGAINS1	PGAINS0

PGAINS2	PGAINS1	PGAINS0	プログラマブル・ゲイン・アンプに入力するアナログ入力チャネル
0	0	0	ANI2/CMP0P
0	0	1	ANI4/CMP1P
0	1	0	ANI5/CMP2P
0	1	1	ANI6/CMP3PまたはANI18/(CMP3P) <sup>注</sup>
1	0	0	ANI7/CMP4P
1	0	1	ANI16/CMP5P
上記以外			設定禁止

注 コンパレータ入力切り替え制御レジスタ(CMPSEL)で選択します(20ピン製品のみ)。

注意 PGAINSレジスタは、プログラマブル・ゲイン・アンプの動作停止中(PGAEN = 0)に設定してください。

正)

図13-4 プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ(PGAINS)のフォーマット

アドレス: F0551H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PGAINS	0	0	0	0	0	PGAINS2	PGAINS1	PGAINS0

PGAINS2	PGAINS1	PGAINS0	プログラマブル・ゲイン・アンプに入力するアナログ入力チャネル
0	0	0	ANI2/CMP0P
0	0	1	ANI4/CMP1P
0	1	0	ANI5/CMP2P
0	1	1	ANI6/CMP3P
1	0	0	ANI7/CMP4P
1	0	1	ANI16/CMP5P
1	1	0	ANI18/CMPCOM/(CMP3P) <sup>注</sup>
上記以外			設定禁止

注 コンパレータ入力切り替え制御レジスタ(CMPSEL)で選択します(20ピン製品のみ)。

注意 PGAINSレジスタは、プログラマブル・ゲイン・アンプの動作停止中(PGAEN = 0)に設定してください。

**22. リアルタイム・クロックの使用上の注意事項**

リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) のビット 0、リアルタイム・クロックのウェイト制御ビット (RWAIT) の説明に対して、RWAIT = 1 に設定後、RWST = 1 となるまでに必要な時間が、動作クロック ( $f_{RTC}$ ) の 1 クロック時間より長くなる場合があります。下記の注1と注2を追加いたします。

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。  
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。  
 内部カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。  
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能 (RWST = 1) となるまで動作クロック ( $f_{RTC}$ ) の最大1クロック時間がかかります。(注1、注2)  
 内部カウンタ(16ビット)のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。  
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

- 注1. RTCC=1に設定した後、 $f_{RTC}$  の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック ( $f_{RTC}$ ) の2クロック時間がかかる場合があります。
- 注2. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、 $f_{RTC}$  の1クロック時間内で、RWAIT=1とした場合、RWSTビットが“1”になるまでに、動作クロック ( $f_{RTC}$ ) の 2 クロック時間がかかる場合があります。

23. 2.4 端子ブロック図の章節追加

新)

2.4 端子ブロック図

2.4.1 20ピン製品～2.1.3 38ピン製品に記載した端子タイプについて、端子ブロック図を図2-1～図2-13に示します。

図 2-1 端子タイプ 2-1-1 の端子ブロック図

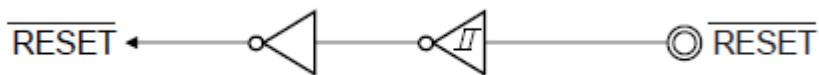
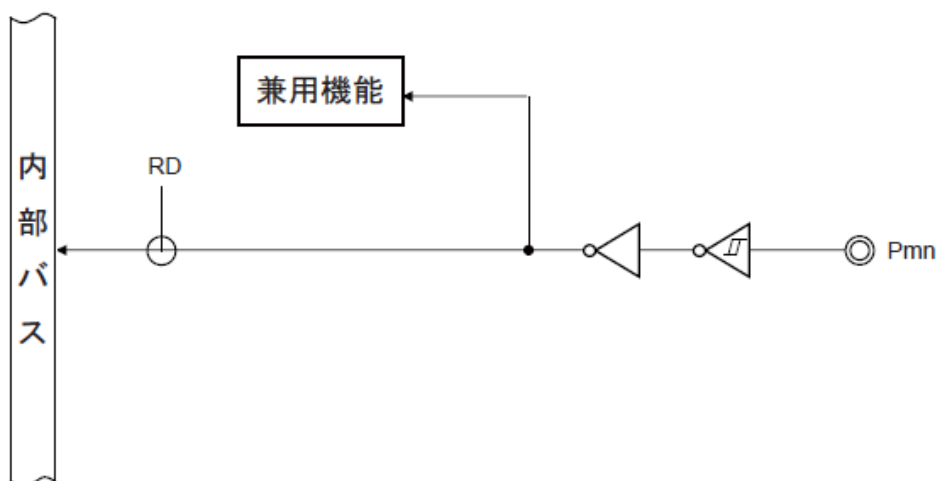


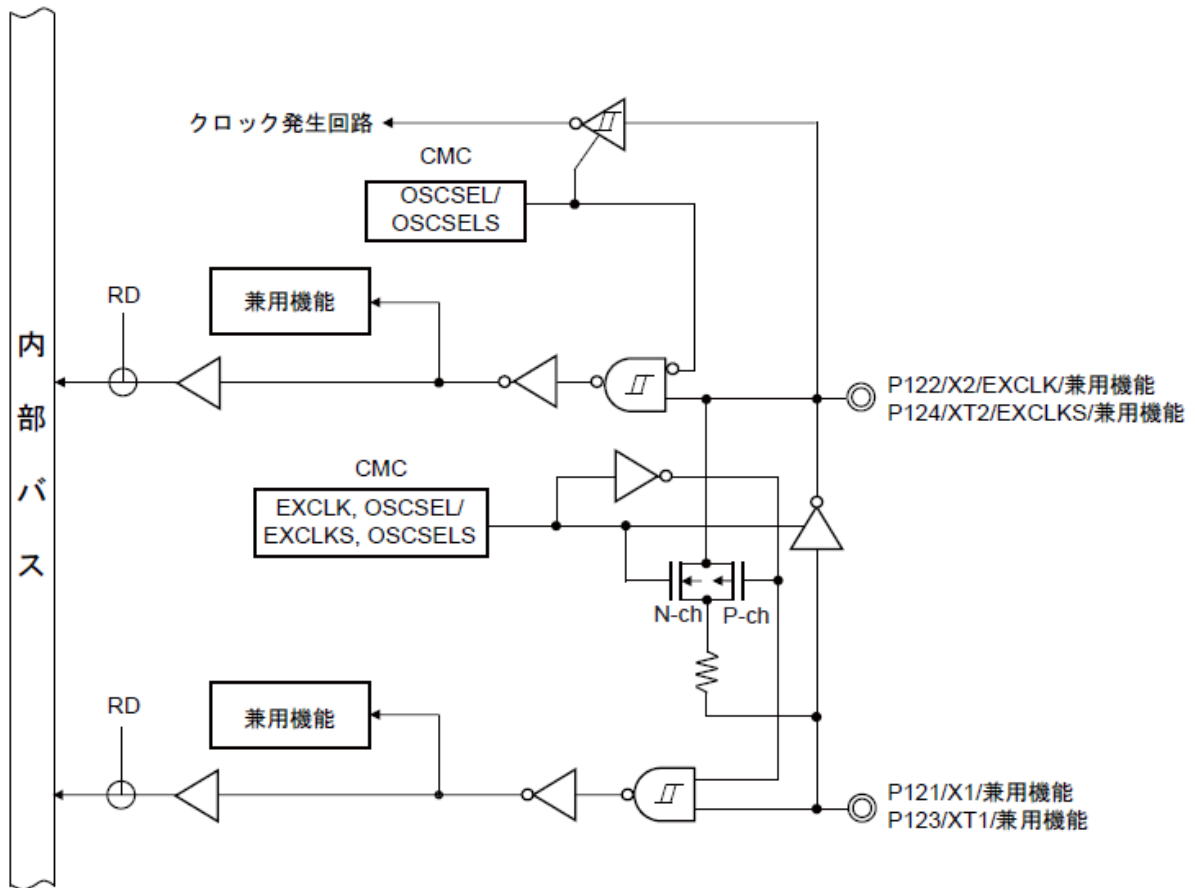
図 2-2 端子タイプ 2-1-2 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。



図 2-3 端子タイプ 2-2-1 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図 2-4 端子タイプ 4-3-1 の端子ブロック図

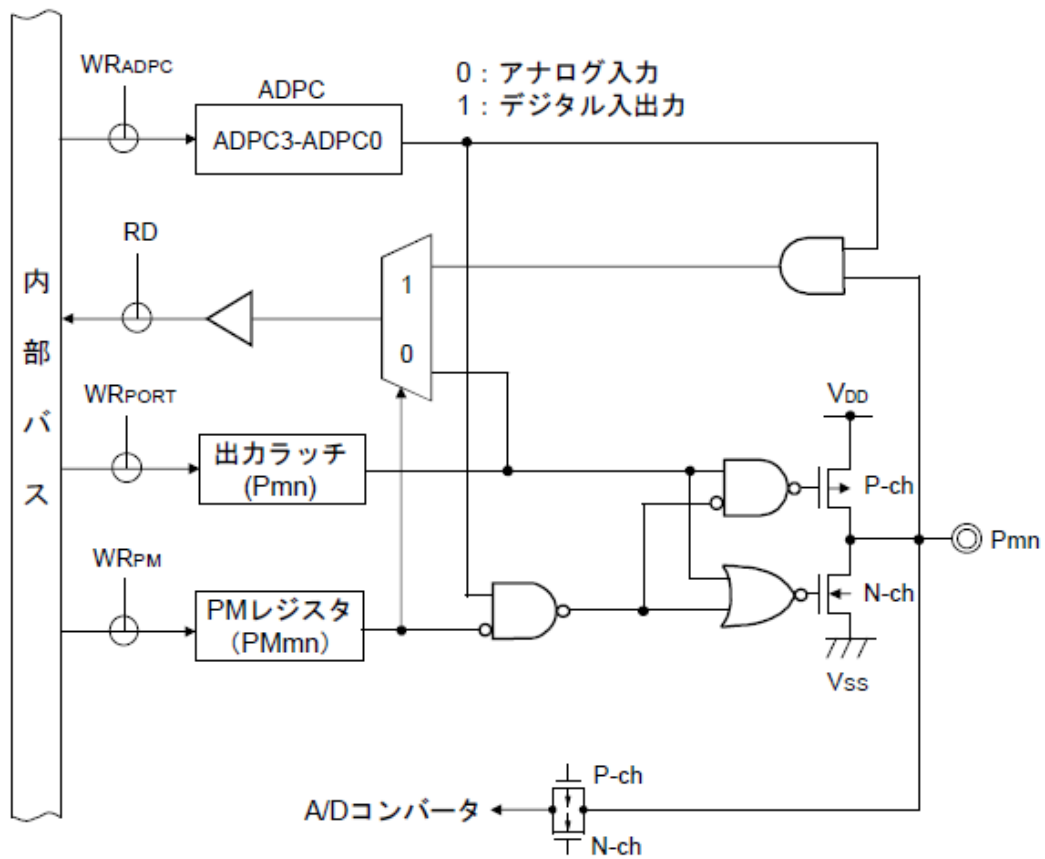


図 2-5 端子タイプ 4-18-1 の端子ブロック図

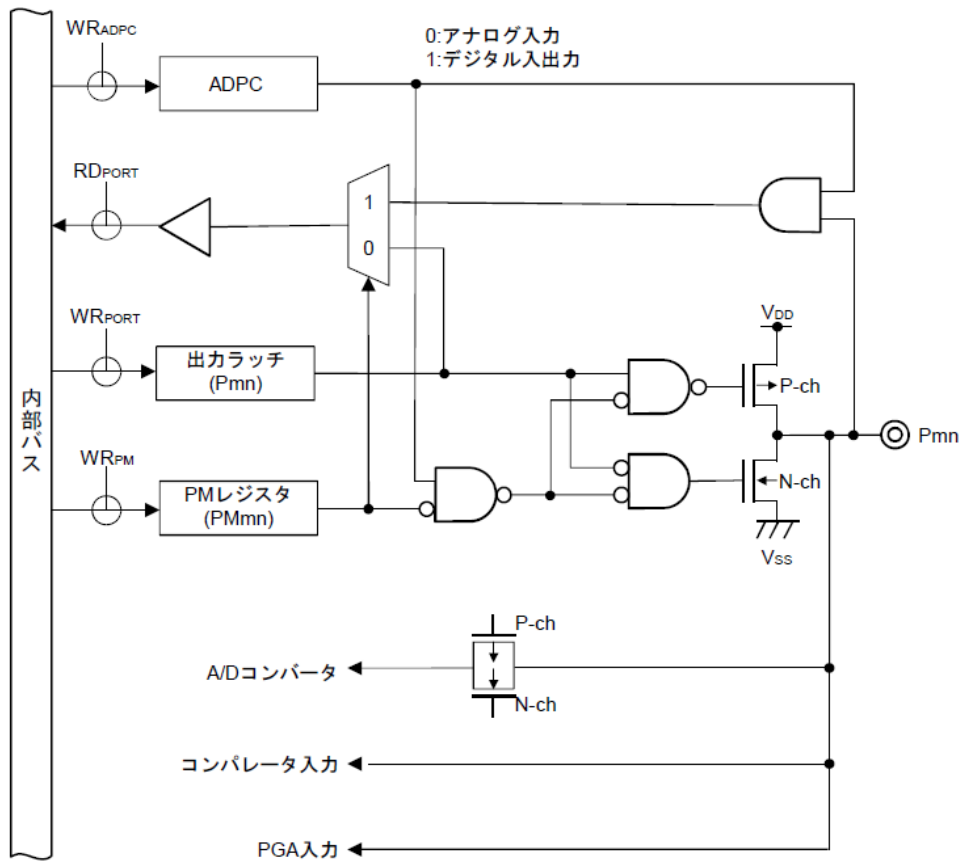
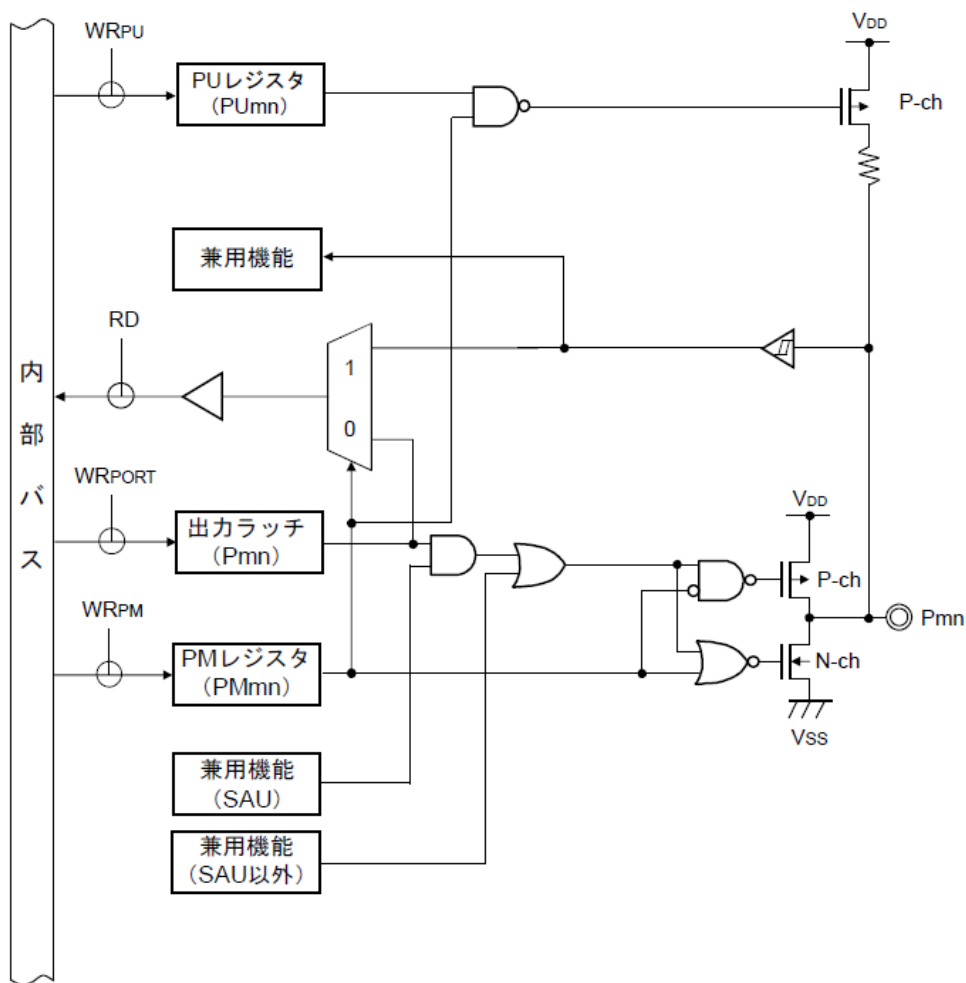
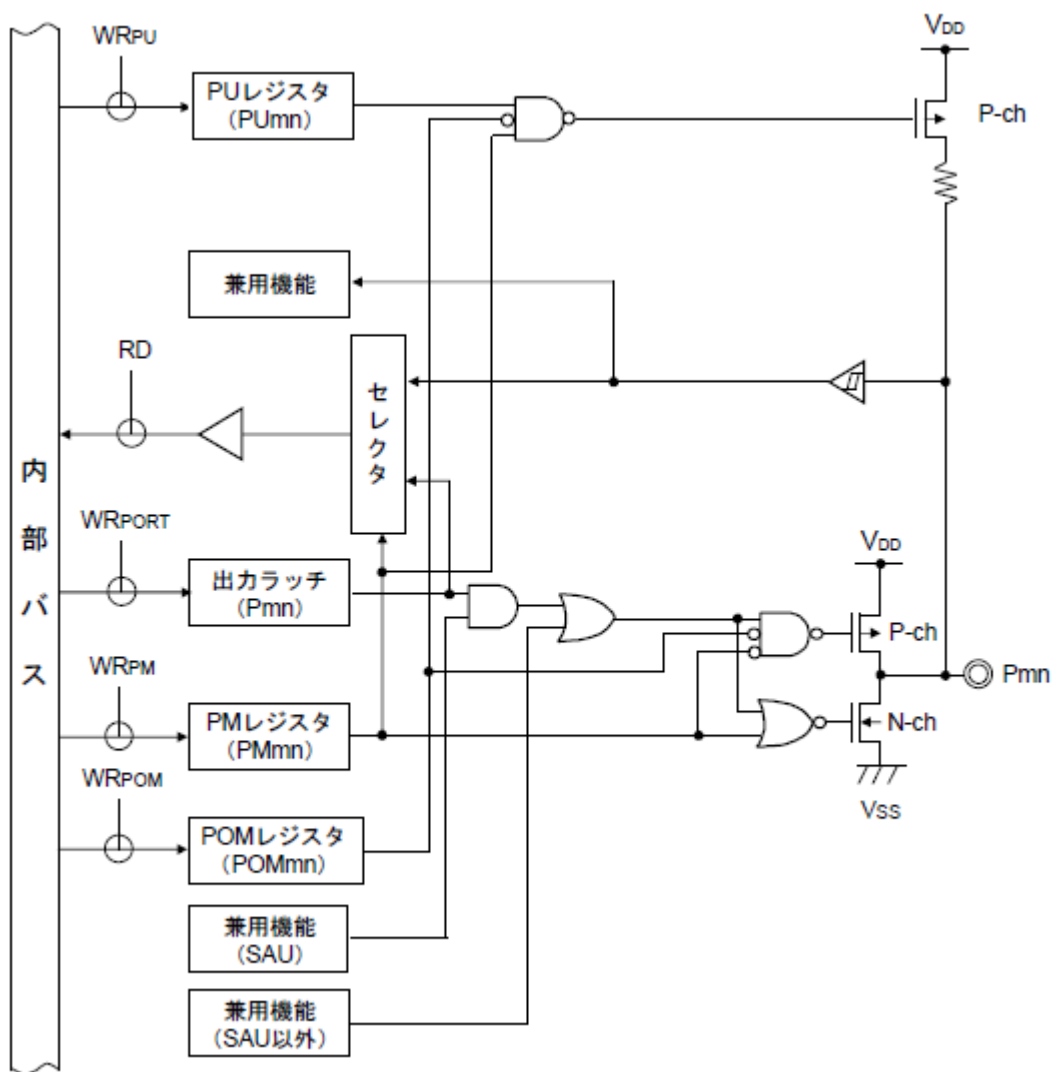


図 2-6 端子タイプ 7-1-1 の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

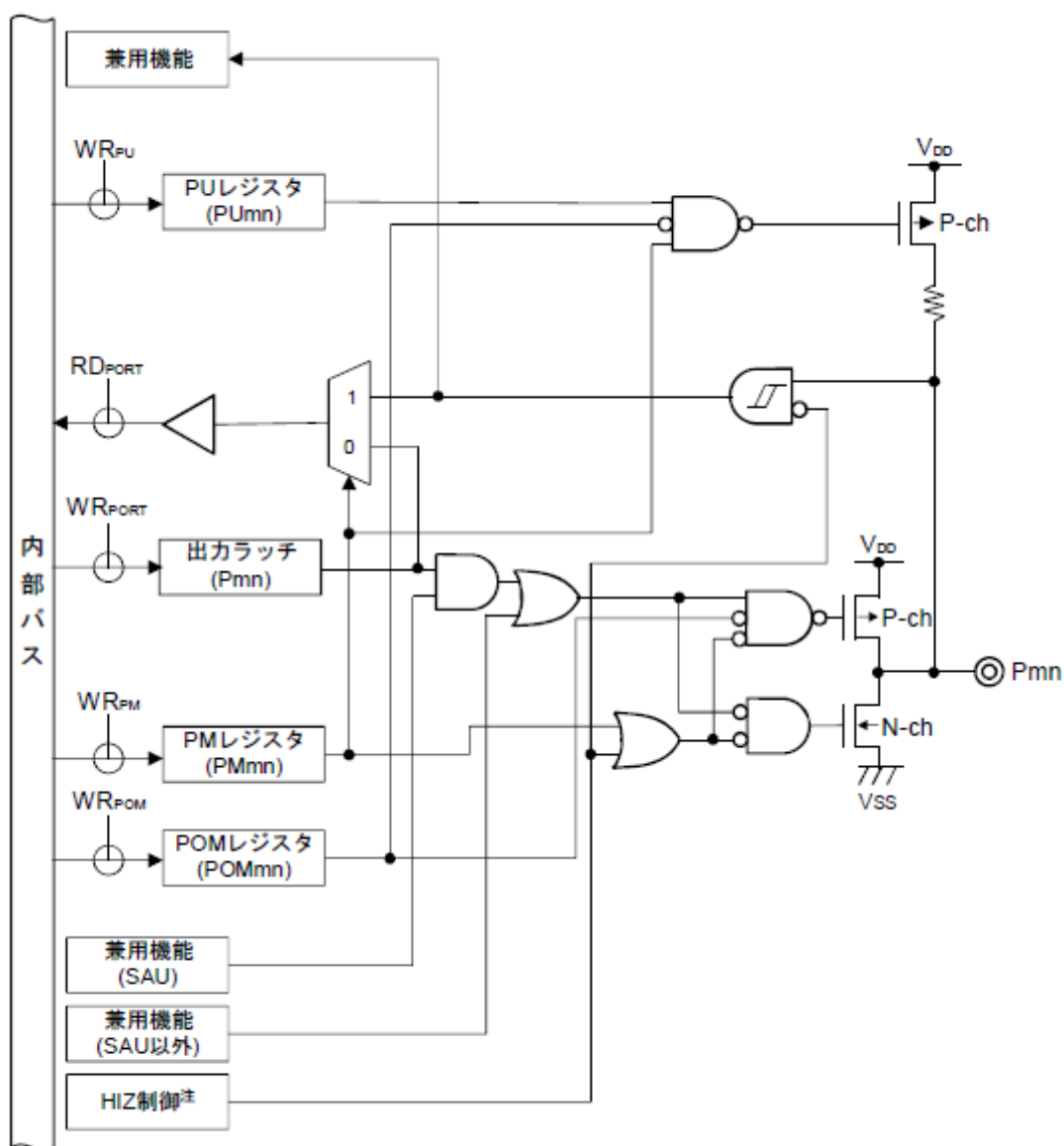
図 2-7 端子タイプ 7-1-2 の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

注意. ポート出力モードレジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

図 2-8 端子タイプ 7-1-6 の端子ブロック図

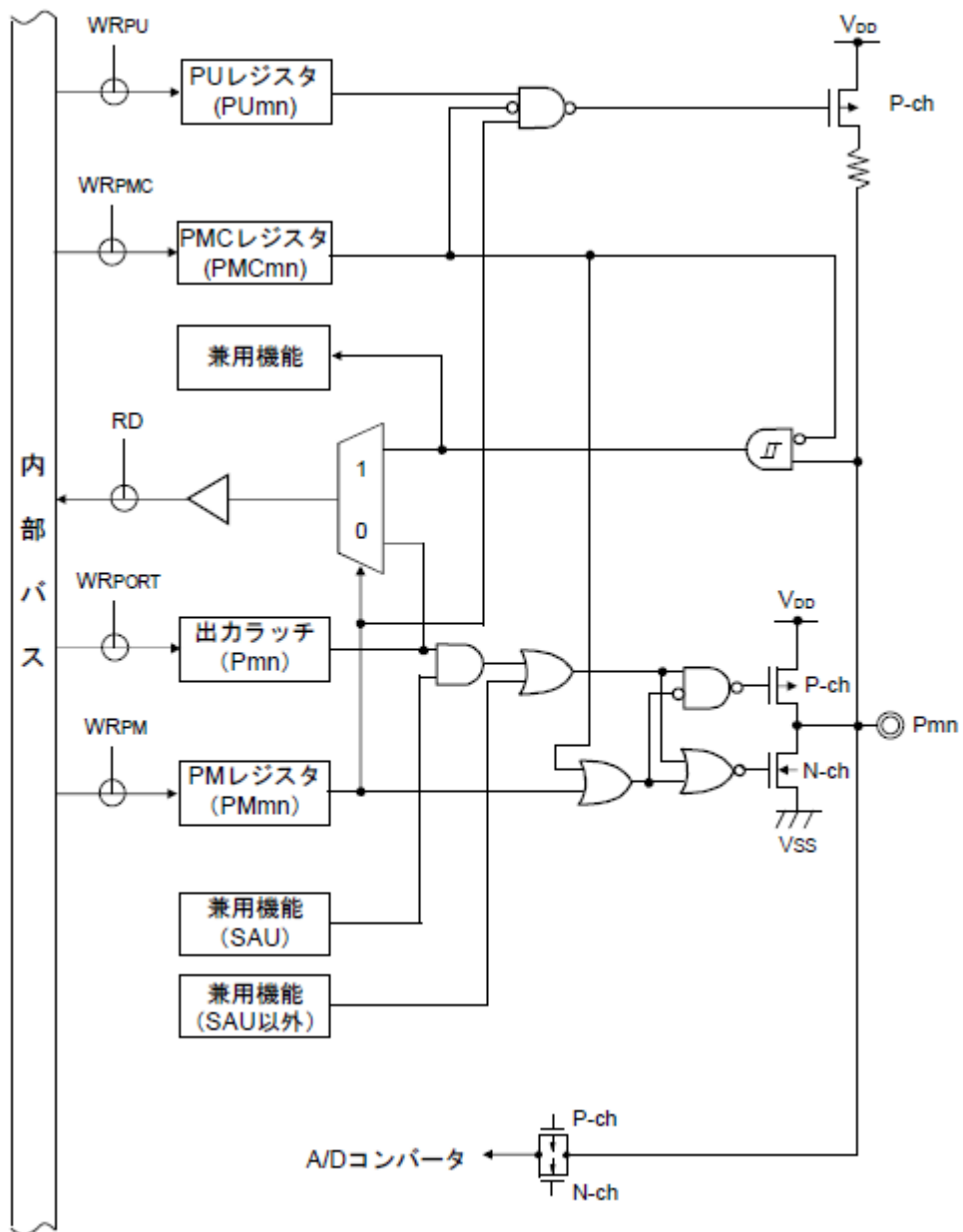


注 P206にHIZ制御はありません。

- 備考1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

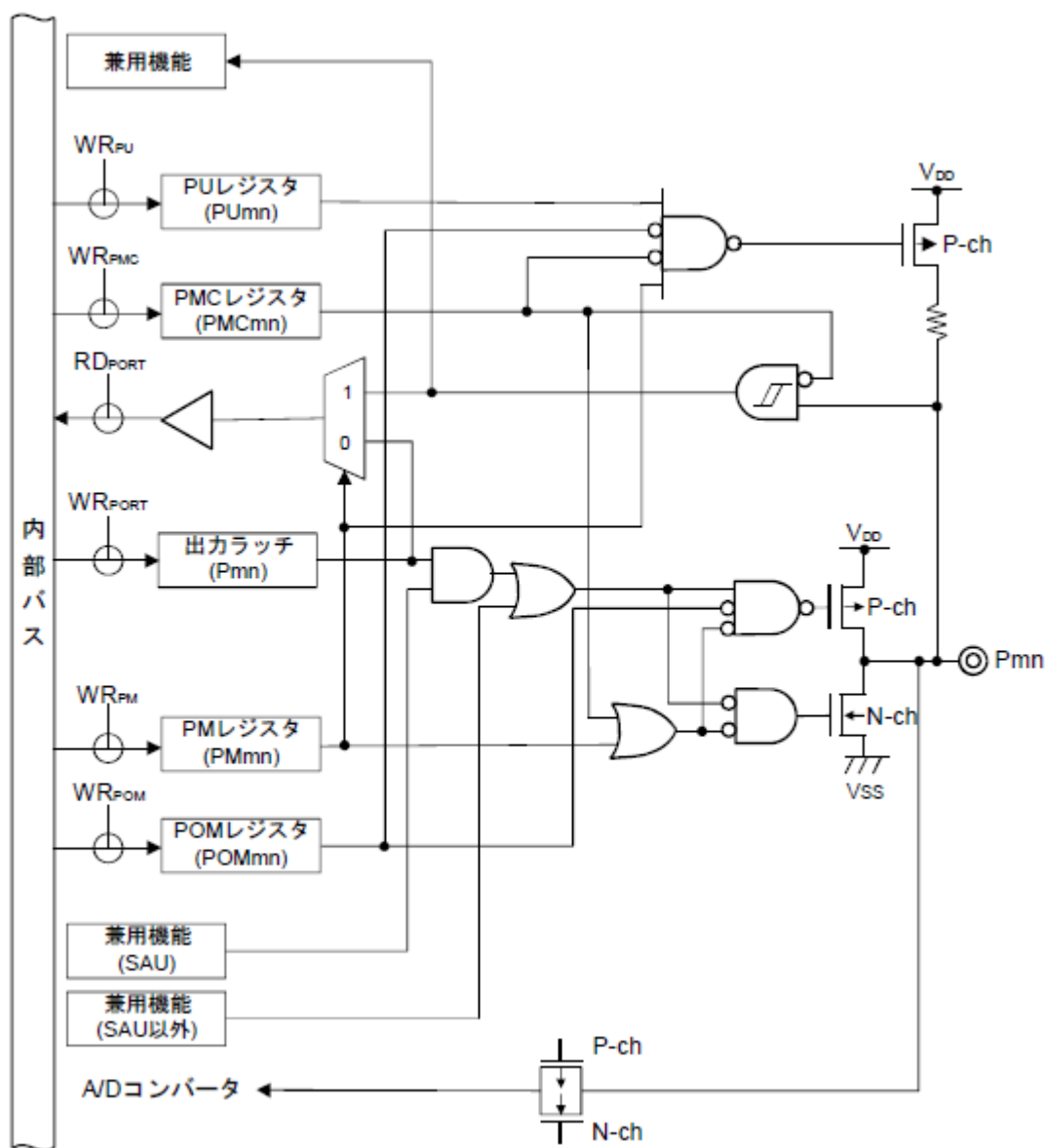
注意. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

図 2-9 端子タイプ 7-3-1 の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

図 2-10 端子タイプ 7-3-2 の端子ブロック図



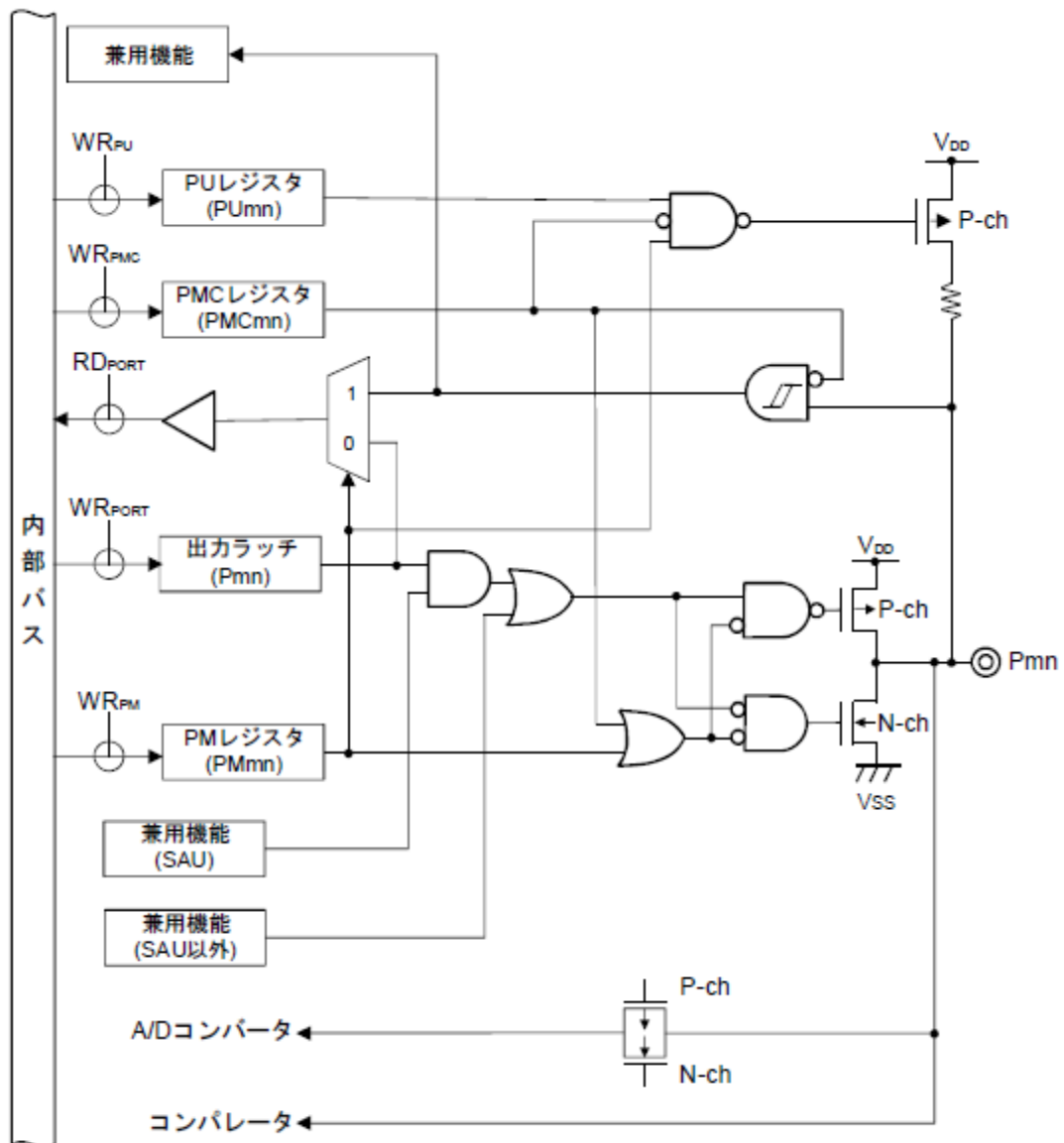
備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU: シリアル・アレイ・ユニット

注意. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

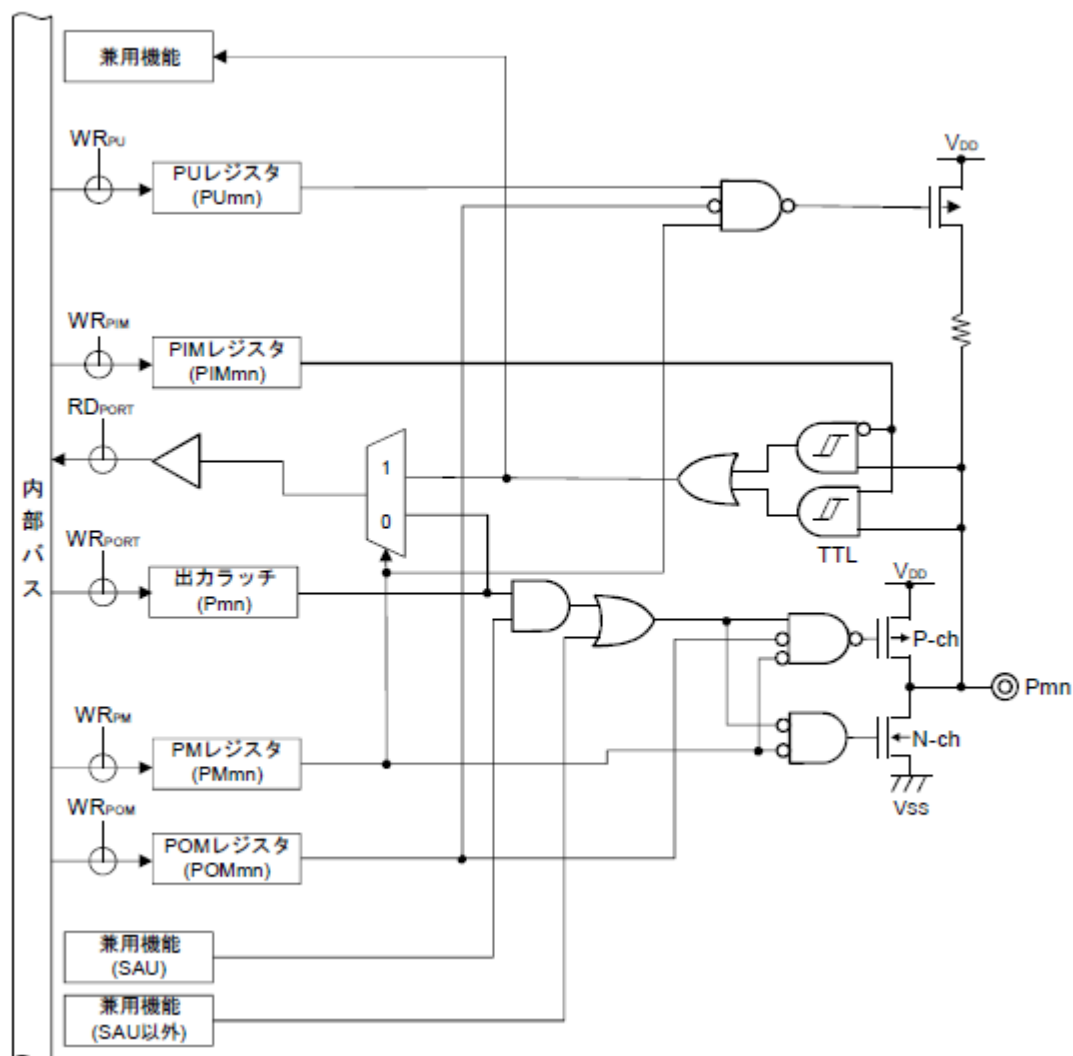


図 2-11 端子タイプ 7-9-1 の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

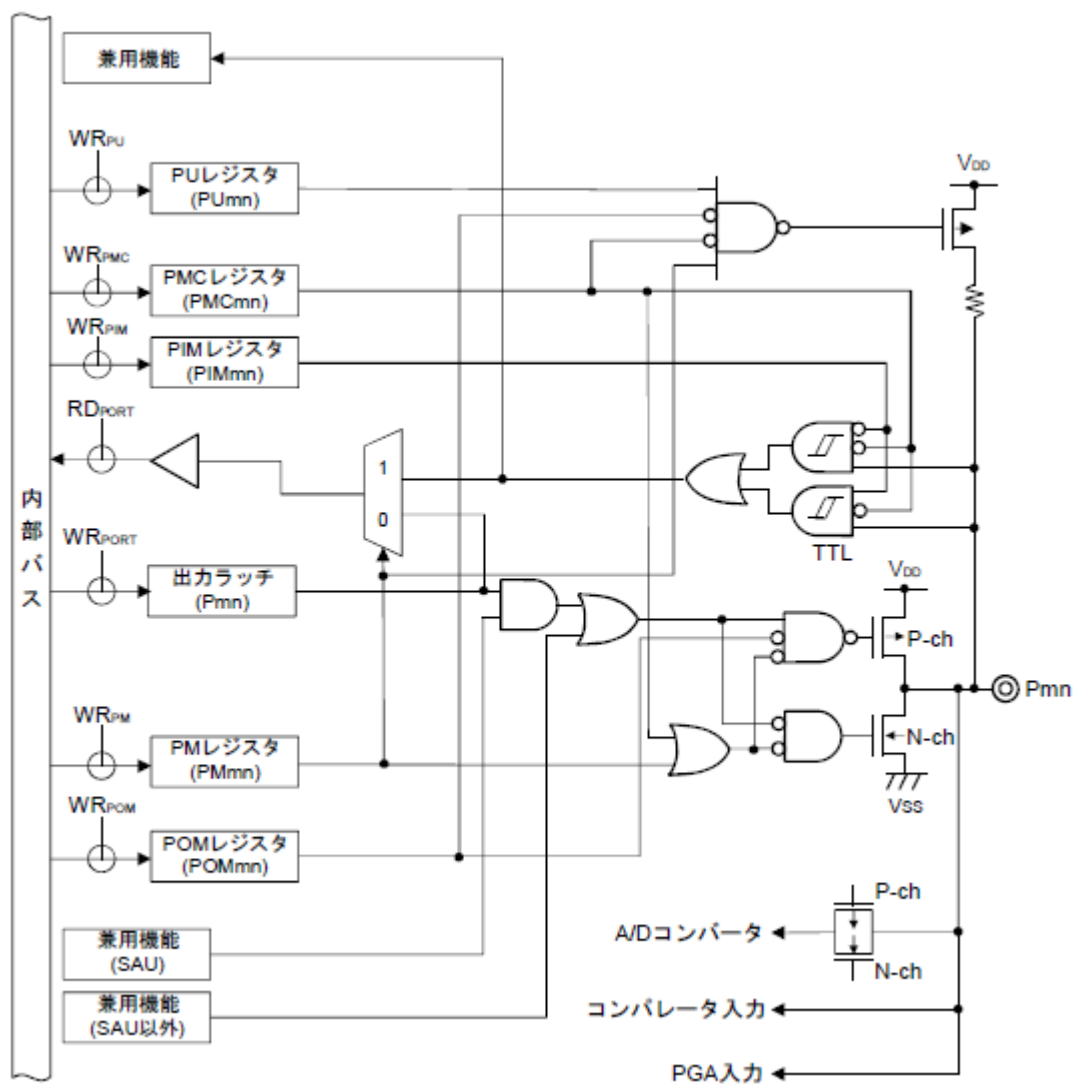
図 2-12 端子タイプ 8-1-2 の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

- 注意 1. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。  
 2. ポート入力モード・レジスタ(PIMx)で TTL 入力バッファに設定し、ハイレベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

図 2-13 端子タイプ 8-18-1 の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

24. 5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例(p.168)

誤)

CPU/周辺ハードウェア・クロック(fCLK)はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のFRQSEL0-FRQSEL3により、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 4 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)により、周波数を変更することもできます。

省略

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	0	1	1	4 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

正)

CPU/周辺ハードウェア・クロック(fCLK)はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のFRQSEL0-FRQSEL3により、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6MHz, 4 MHz, 3MHz, 2MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)により、周波数を変更することもできます。

省略

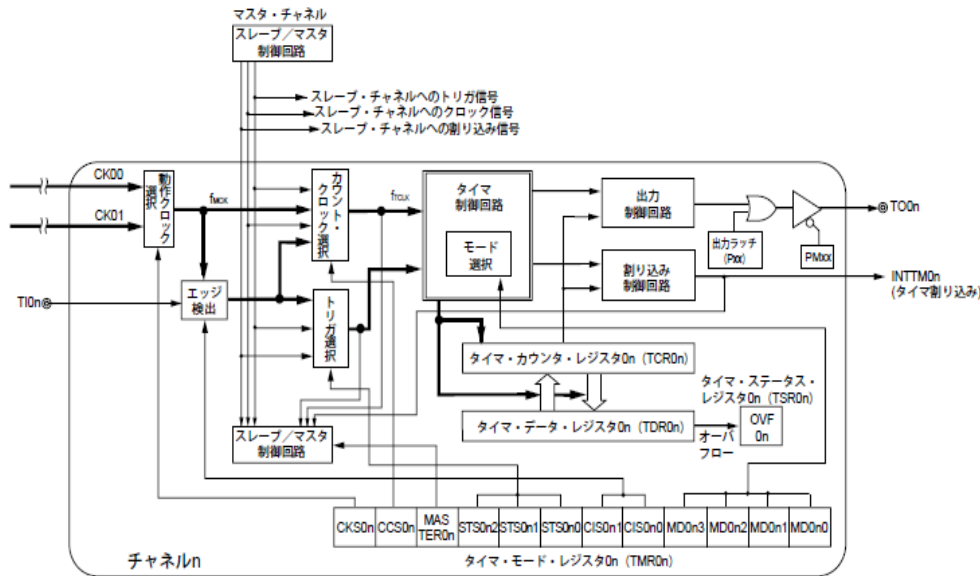
FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

25. 6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットのチャンネル内部ブロック図(p.192)

誤)

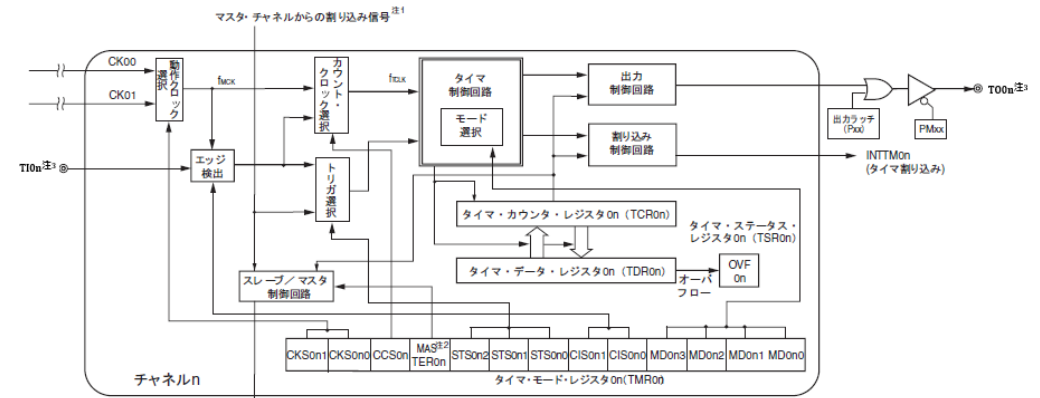
図 6-2 タイマ・アレイ・ユニットのチャンネル内部ブロック図



備考 n = 3, 6

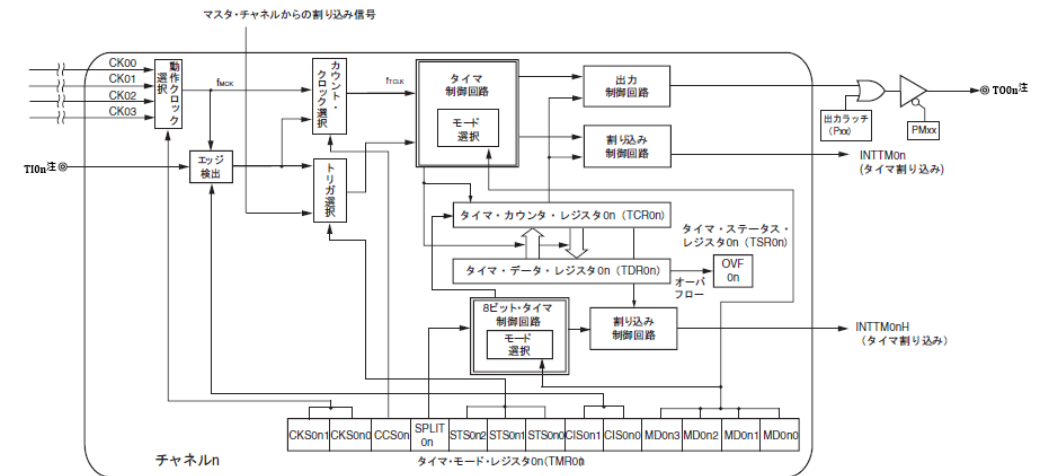
正)

図 6-2 タイマ・アレイ・ユニットのチャンネル 0,2,4,6 内部ブロック図



- 注 1.チャンネル 2,4,6 のみ対象
  - 2.MASTER0n はチャンネル 2,4,6 のみ対象
  - 3.TIO0n,TO0n はチャンネル 6 のみ対象
- 備考 n=0,2,4,6

図 6-3 タイマ・アレイ・ユニットのチャンネル 1,3 内部ブロック図



- 注 TIO0n,TO0n はチャンネル 3 のみ対象
- 備考 n=1,3

図 6-4 タイマ・アレイ・ユニットのチャンネル 5 内部ブロック図

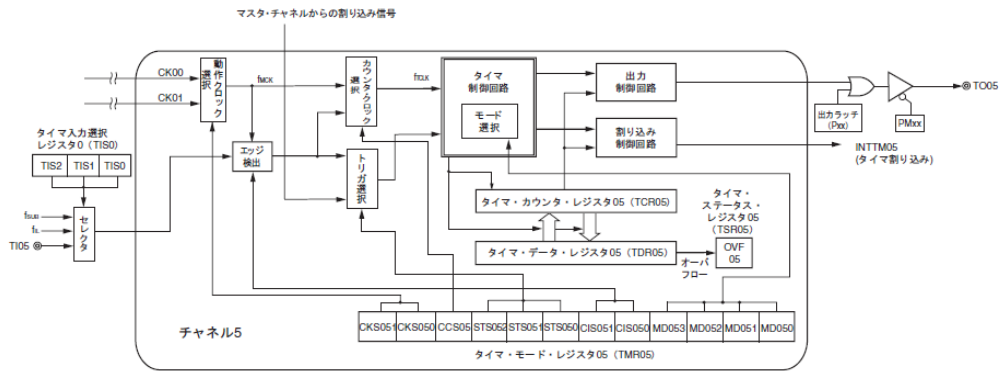
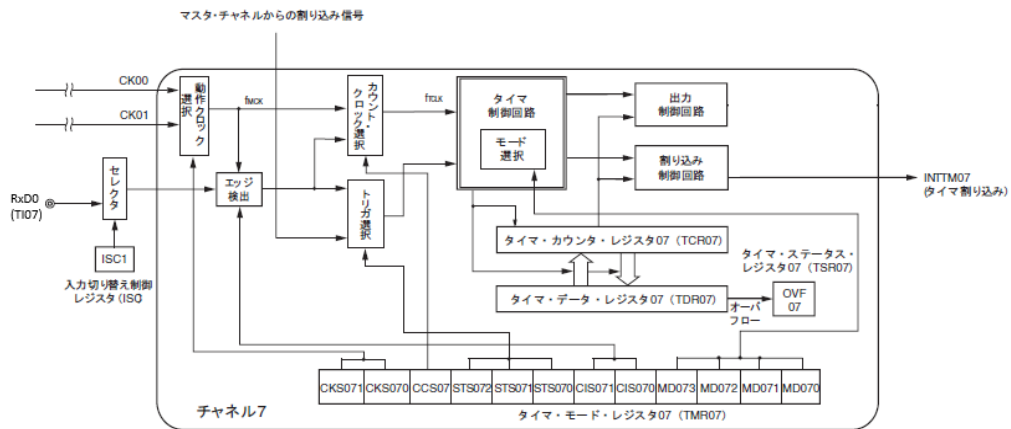


図 6-5 タイマ・アレイ・ユニットのチャンネル 7 内部ブロック図



26. 6.4.1 複数チャンネル連動動作機能の基本ルール(p.221)

誤)

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期をカウントする基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

(1)マスタ・チャンネルには、偶数チャンネル(チャンネル2, チャンネル4)のみ設定できます。

(2)スレーブ・チャンネルには、チャンネル3, チャンネル5, チャンネル6を設定できます。

(3)スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。

例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3をスレーブ・チャンネルに設定できます。

チャンネル4をマスタ・チャンネルにした場合、チャンネル5, チャンネル6をスレーブ・チャンネルに設定できます。

(4)1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。

(5)マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。

正)

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期をカウントする基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

(1)マスタ・チャンネルには、偶数チャンネル(チャンネル0, チャンネル2, チャンネル4, …)のみ設定できます。

(2)スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。

(3)スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。

例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3をスレーブ・チャンネルに設定できます。

チャンネル4をマスタ・チャンネルにした場合、チャンネル5, チャンネル6をスレーブ・チャンネルに設定できません。

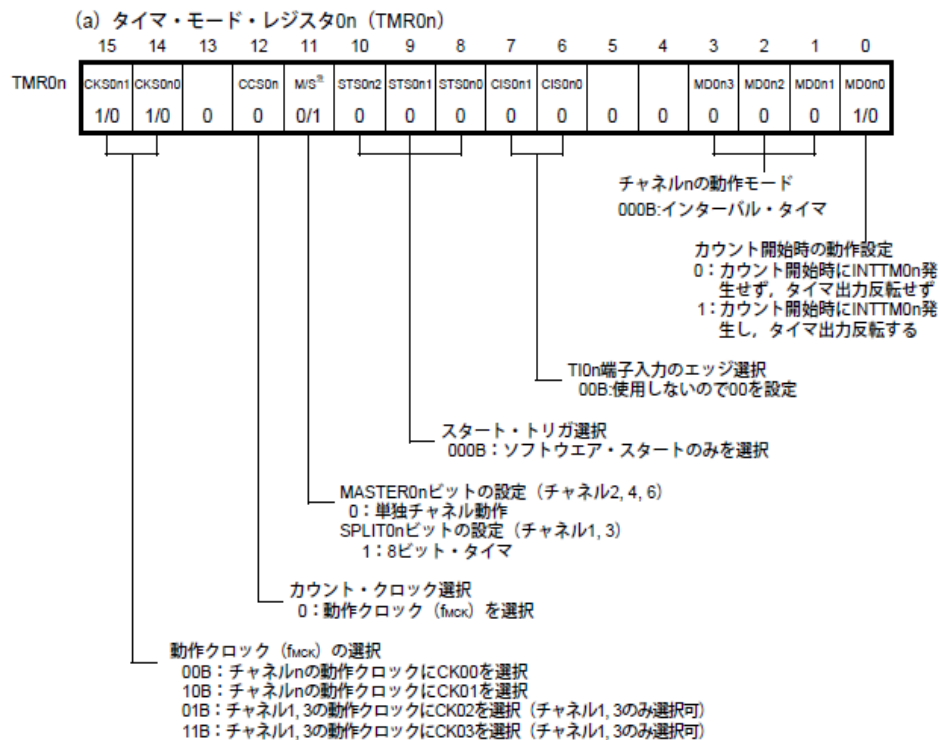
(4)1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。

(5)マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。

27. 6.7 タイマ・アレイ・ユニットの単独チャンネル動作機能  
 6.7.1 インターバル・タイマ/方形波出力としての動作 (p.244)

誤)

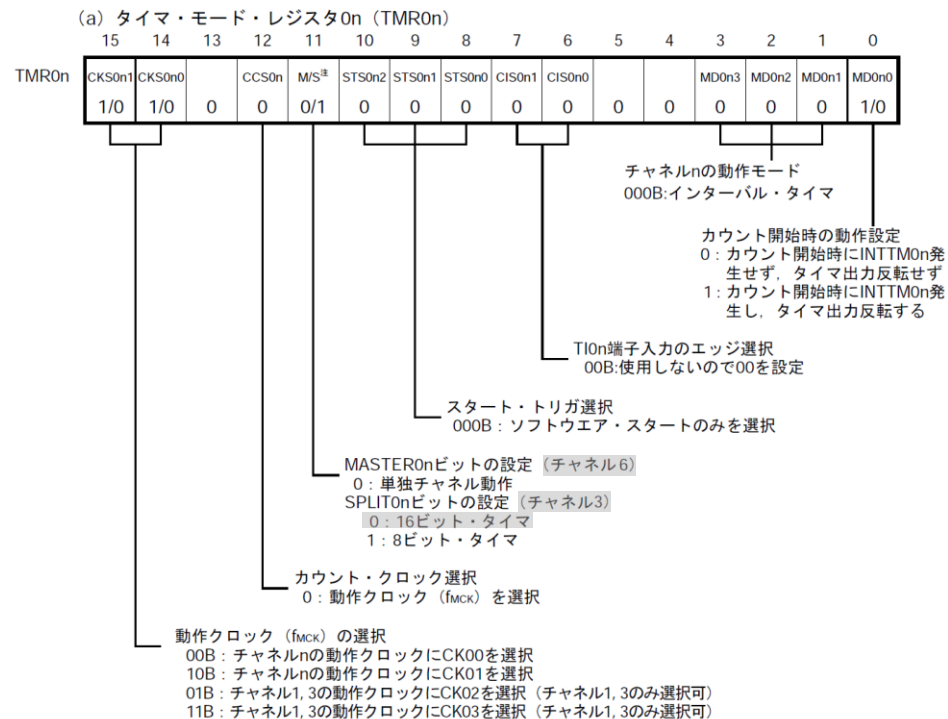
図 6-38 インターバル・タイマ/方形波出力時のレジスタ設定内容例(1/3)



(省略)

正)

図 6-38 インターバル・タイマ/方形波出力時のレジスタ設定内容例



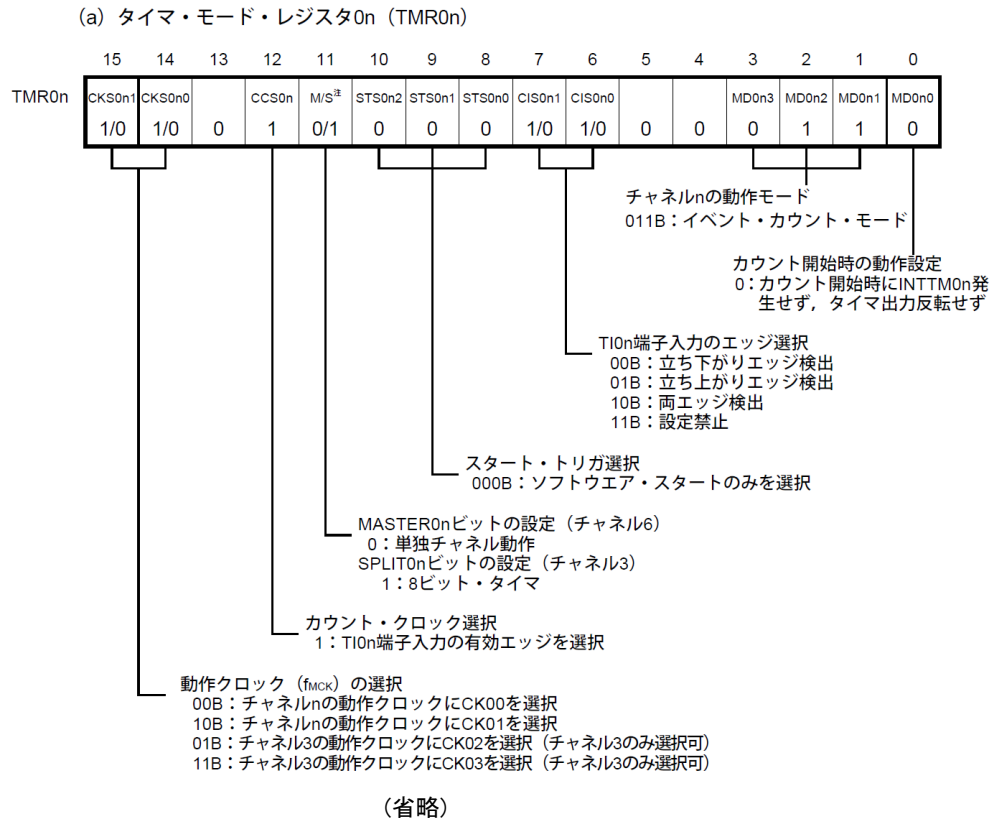
(省略)



28. 6.7 タイマ・アレイ・ユニットの単独チャンネル動作機能  
 6.7.2 外部イベント・カウンタとしての動作(p.249)

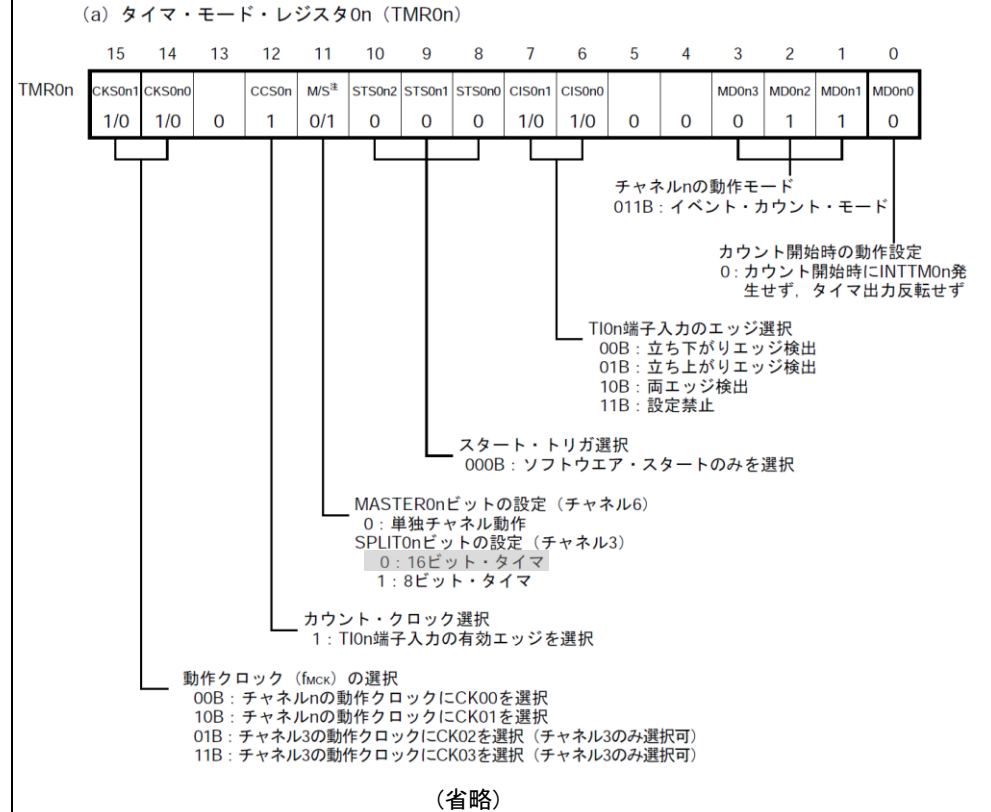
誤)

図 6-42 外部イベント・カウンタ・モード時のレジスタ設定内容例



正)

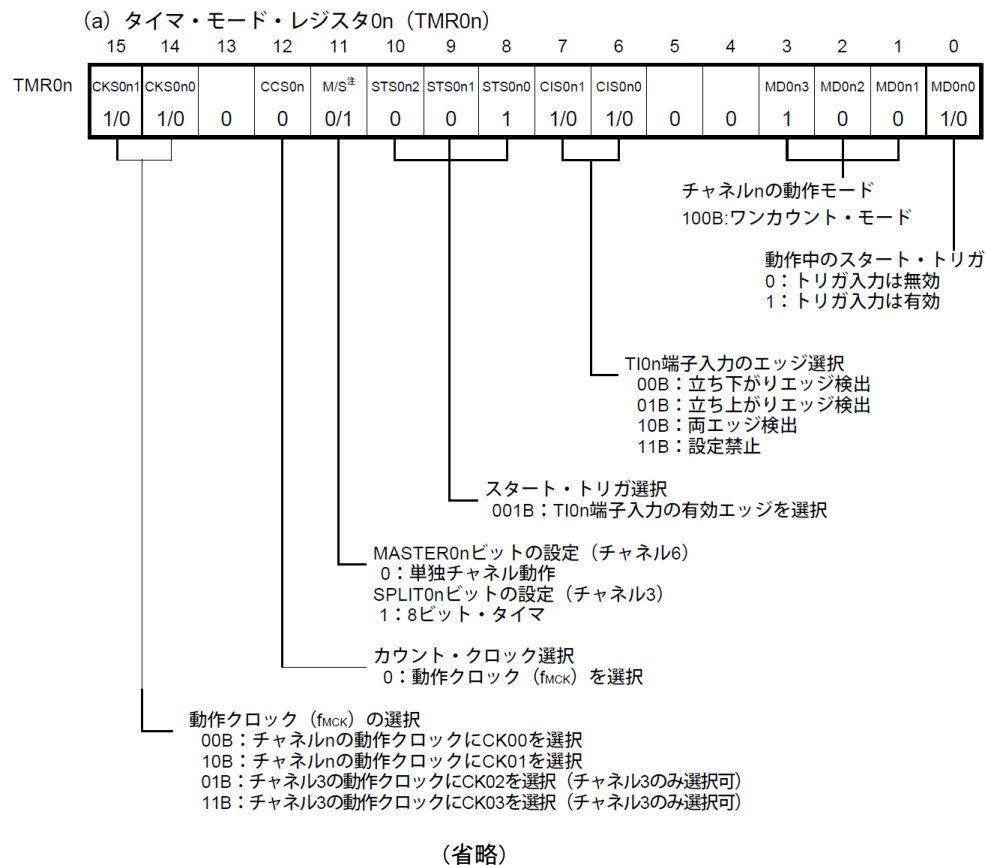
図 6-42 外部イベント・カウンタ・モード時のレジスタ設定内容例



29. 6.7 タイマ・アレイ・ユニットの単独チャンネル動作機能  
 6.7.5 デイレイ・カウンタとしての動作(p.261)

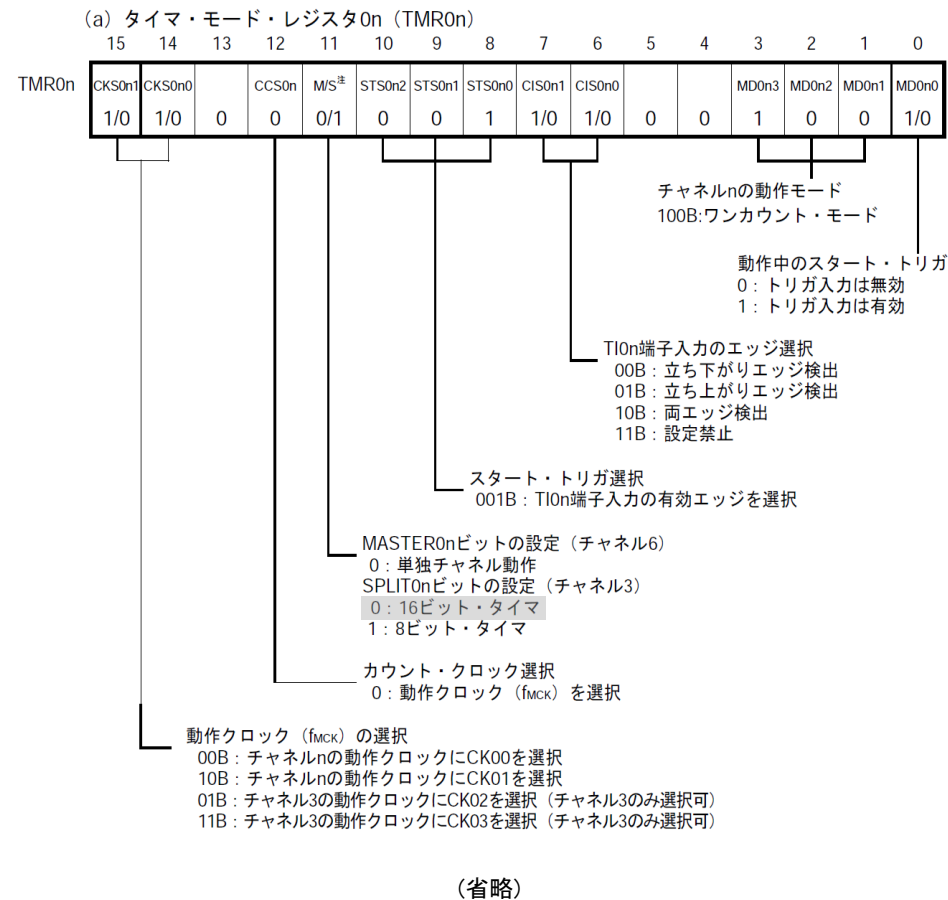
誤)

図 6-54 デイレイ・カウンタ機能時のレジスタ設定内容例



正)

図 6-54 デイレイ・カウンタ機能時のレジスタ設定内容例

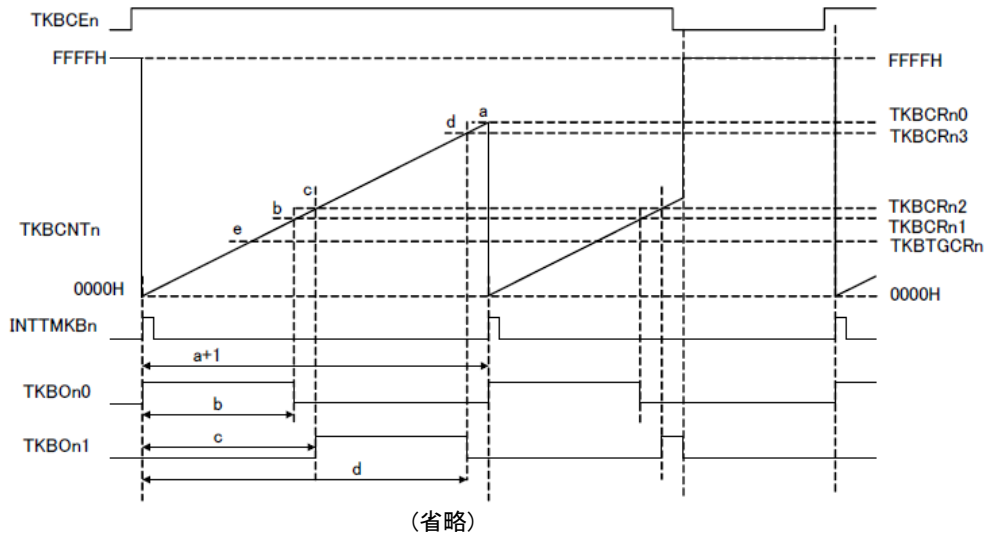


30. 7.4.3 動作停止と動作開始

図 7-31 動作停止のタイミング図(TKBTOLnp=0,TKBTODnp=0 時)(p.315)

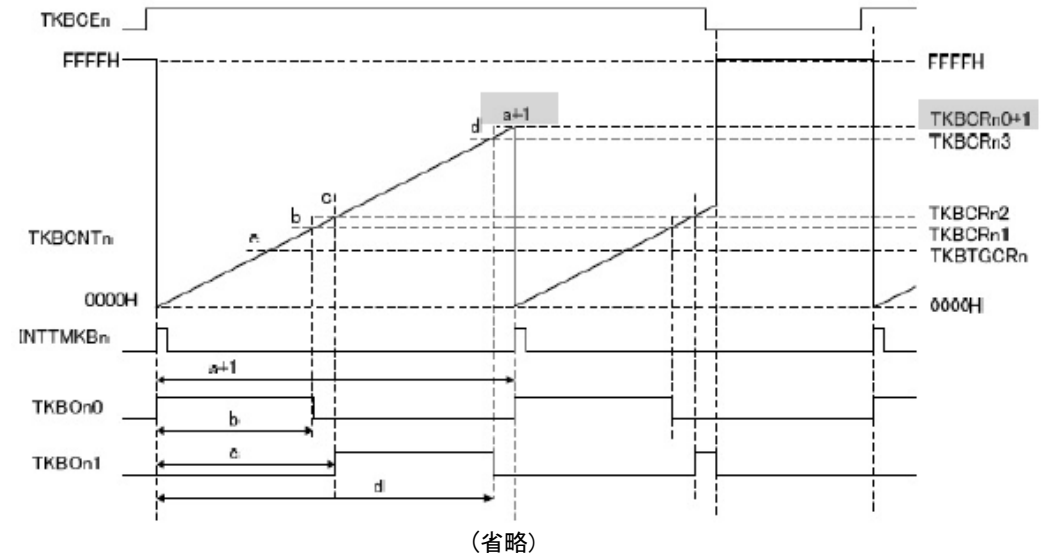
誤)

図 7-31 動作停止のタイミング図(TKBTOLnp=0,TKBTODnp=0 時)



正)

図 7-31 動作停止のタイミング図(TKBTOLnp=0,TKBTODnp=0 時)

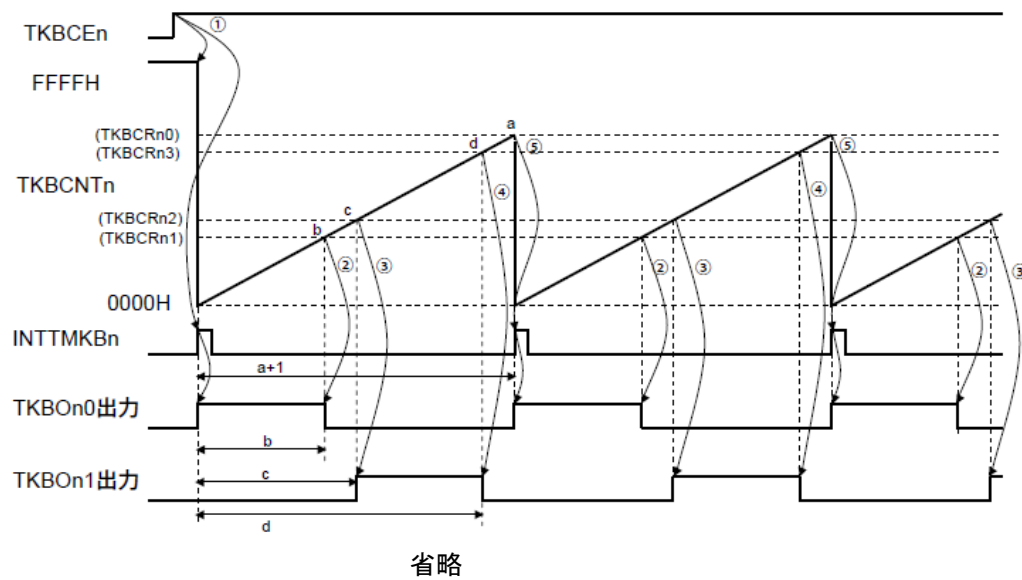


31. 7.4.5 単体動作モード(TKBCRn0による周期制御)

図 7-38 に単体動作タイミング例(TKBCRn0による周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)(p.320)

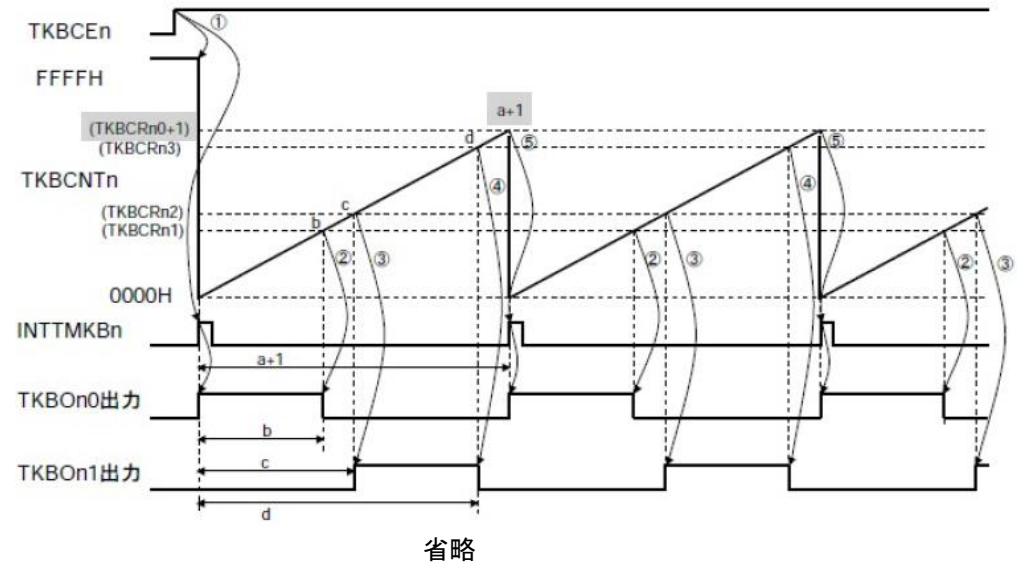
誤)

図 7-38 に単体動作タイミング例(TKBCRn0による周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



正)

図 7-38 に単体動作タイミング例(TKBCRn0による周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)

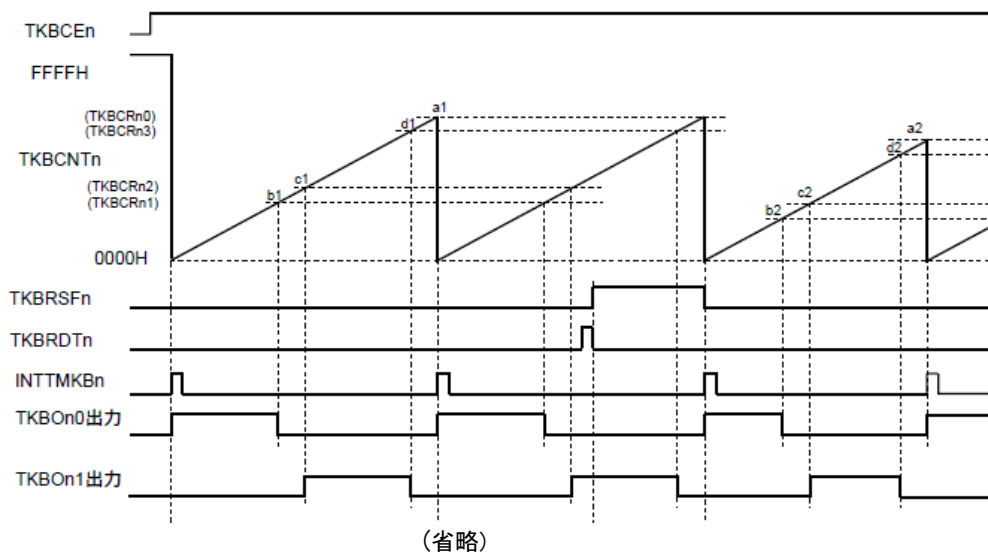


32. 7.4.5 単体動作モード(TKBCRn0による周期制御)

図 7-40 一斉書き換え機能: カウント動作中のバッファ更新タイミング図(p.323)

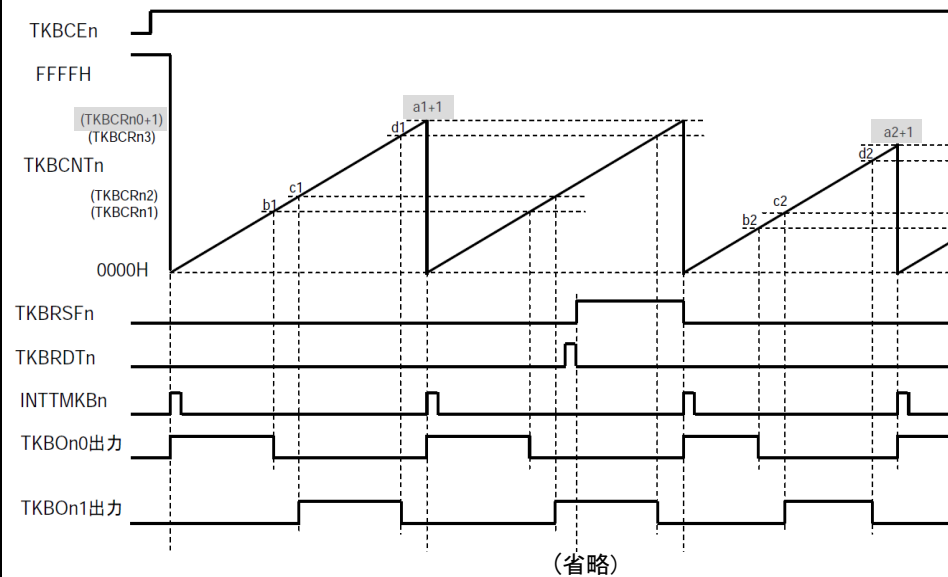
誤)

図 7-40 一斉書き換え機能: カウント動作中のバッファ更新タイミング図



正)

図 7-40 一斉書き換え機能: カウント動作中のバッファ更新タイミング図

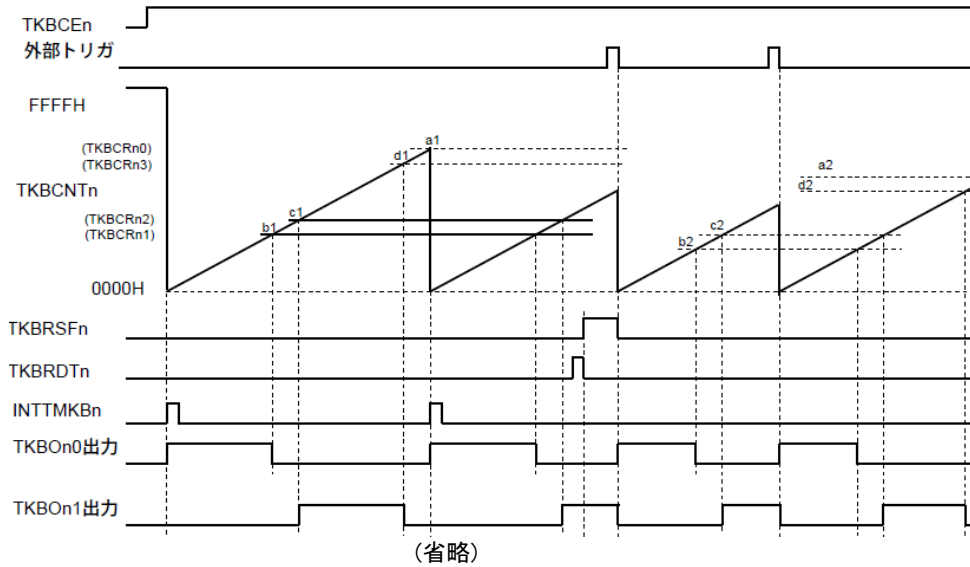


33. 7.4.6 単体動作モード(外部トリガ入力による周期制御)

図 7-42 一斉書き換え機能: 外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 1 に設定)(p.328)

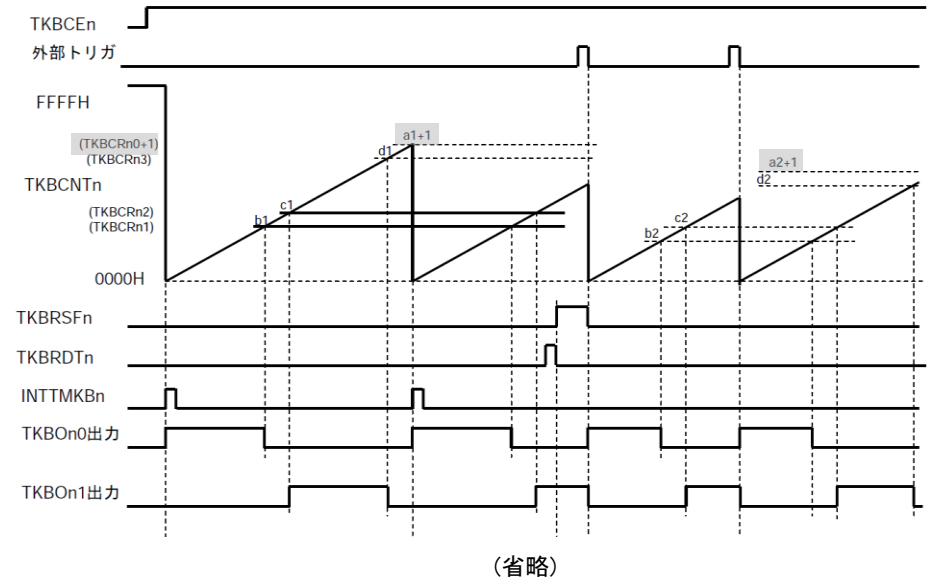
誤)

図 7-42 一斉書き換え機能: 外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 1 に設定)



正)

図 7-42 一斉書き換え機能: 外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 1 に設定)

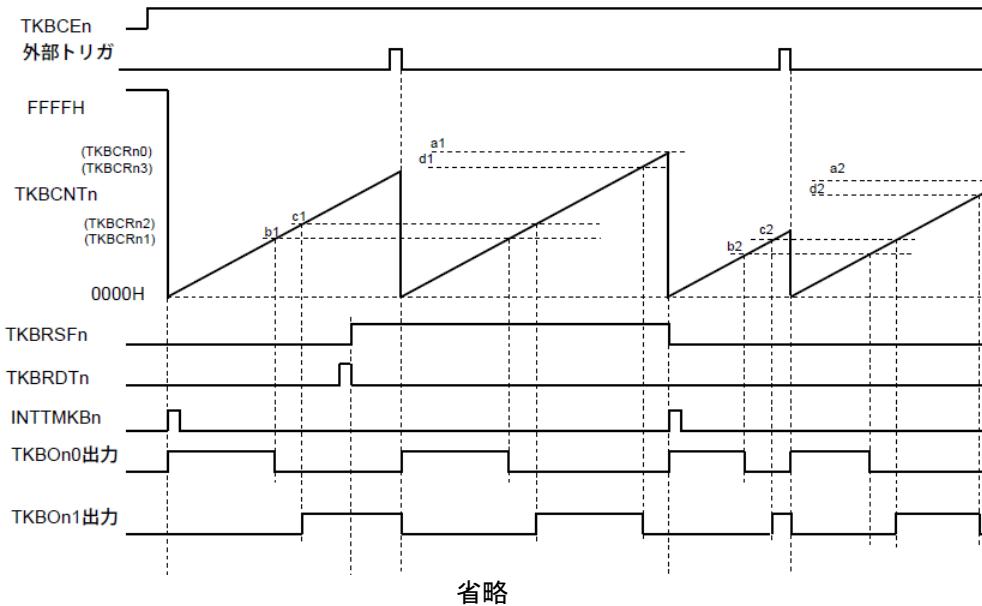


34. 7.4.6 単体動作モード(外部トリガ入力による周期制御)

図 7-43 一斉書き換え機能: 外部トリガ入力による周期制御での単体動作時、  
カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 0 に設定) (p.330)

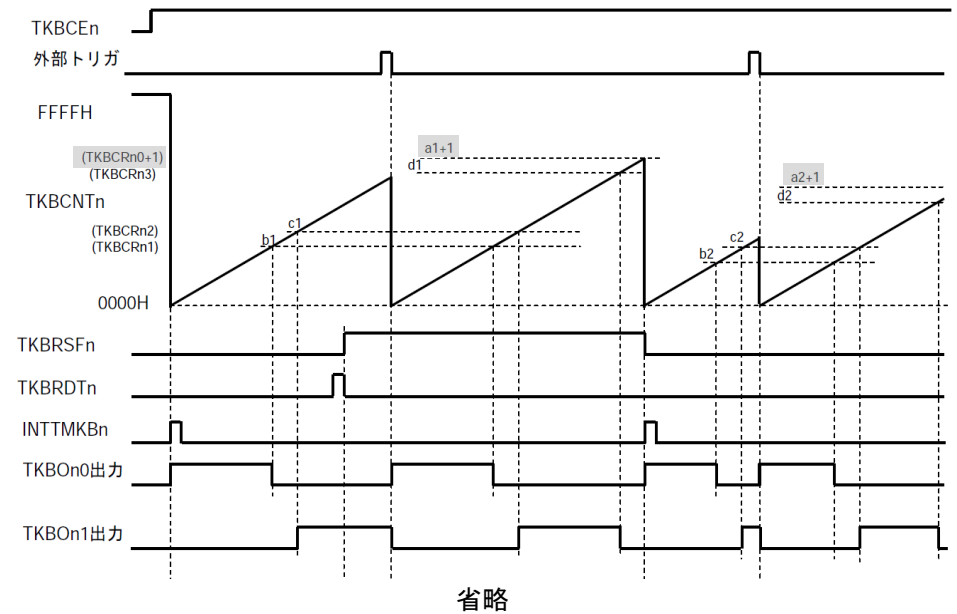
誤)

図 7-43 一斉書き換え機能: 外部トリガ入力による周期制御での単体動作時、  
カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 0 に設定)



正)

図 7-43 一斉書き換え機能: 外部トリガ入力による周期制御での単体動作時、  
カウント動作中のバッファ更新タイミング図(TKBTSEn ビットを 0 に設定)

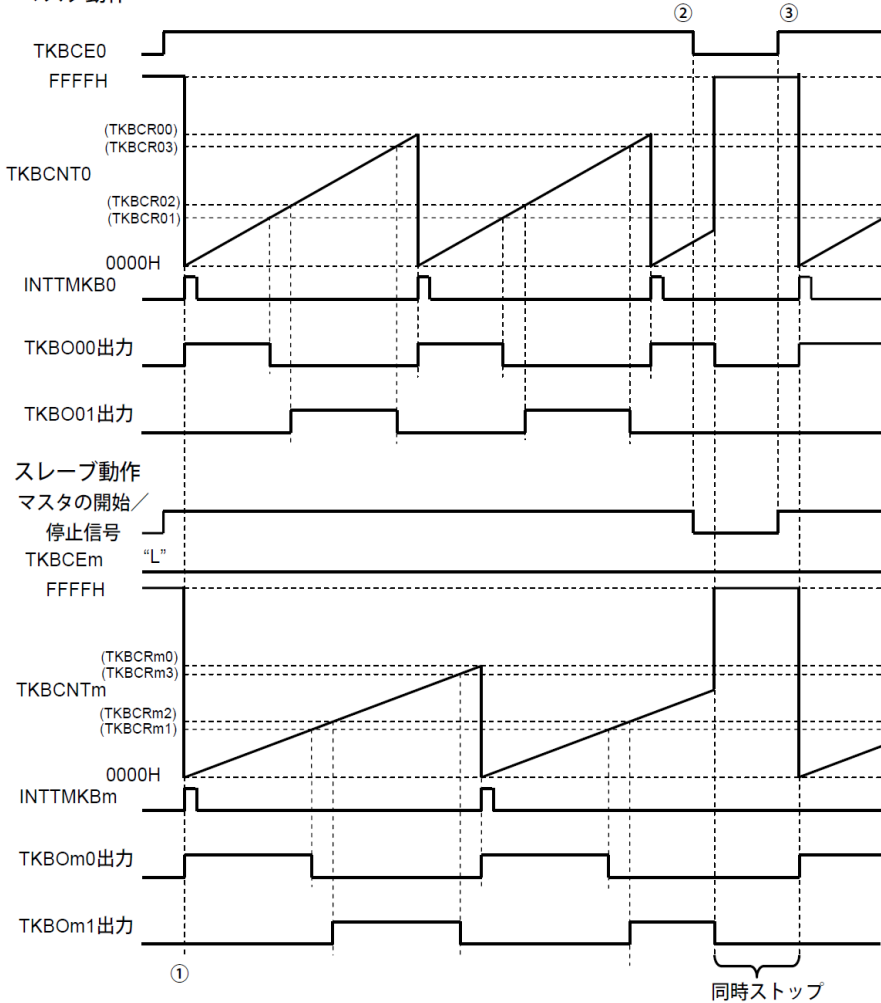


35. 7.4.7 同時スタート/ストップ・モード

図 7-45 同時スタート/ストップ・モード動作タイミング例 (TKBCR00 による周期制御) (出力のデフォルト値がロー・レベル (TKBTODnp=0) でアクティブ・レベルがハイ・レベル (TKBTOLnp=0) の場合) (p.339)

誤)

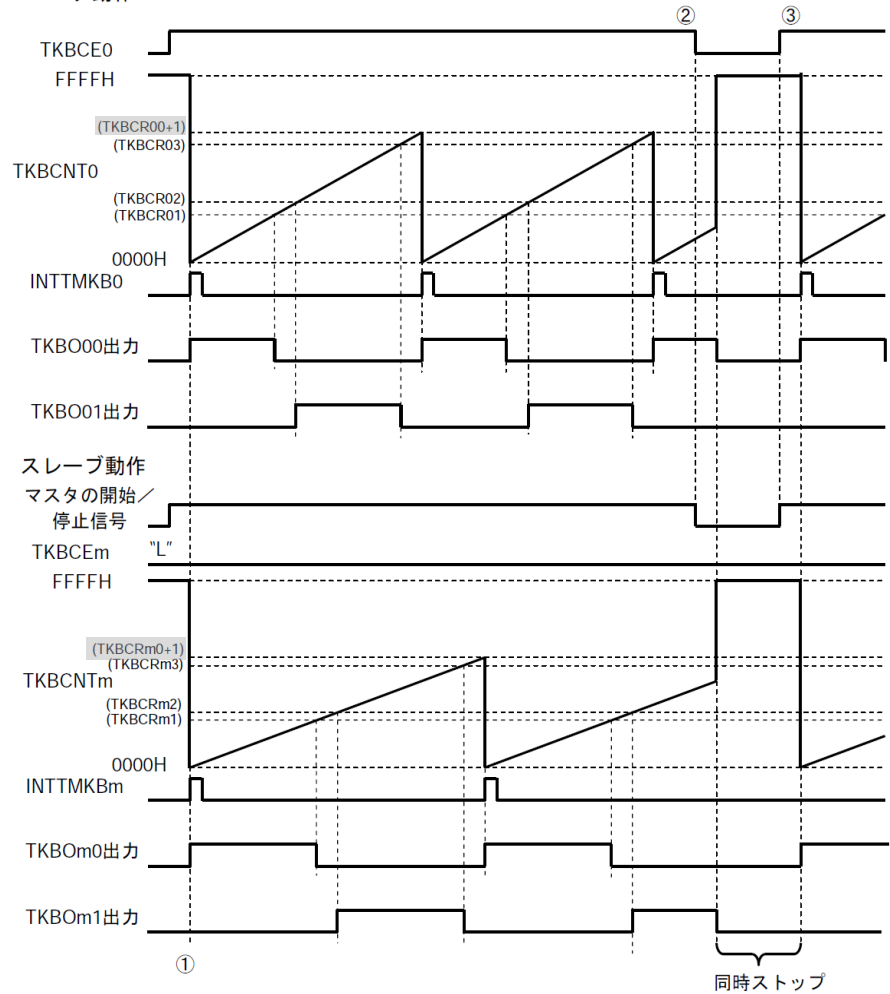
図 7-45 同時スタート/ストップ・モード動作タイミング例 (TKBCR00 による周期制御) (出力のデフォルト値がロー・レベル (TKBTODnp=0) でアクティブ・レベルがハイ・レベル (TKBTOLnp=0) の場合) マスタ動作



正)

図 7-45 同時スタート/ストップ・モード動作タイミング例 (TKBCR00 による周期制御) (出力のデフォルト値がロー・レベル (TKBTODnp=0) でアクティブ・レベルがハイ・レベル (TKBTOLnp=0) の場合)

マスタ動作



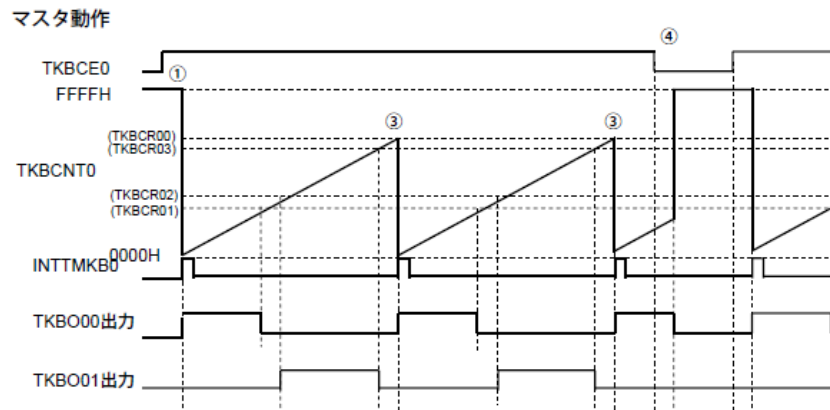


36. 7.4.8 同期スタート/クリア・モード

**図 7-47 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)(p.346)**

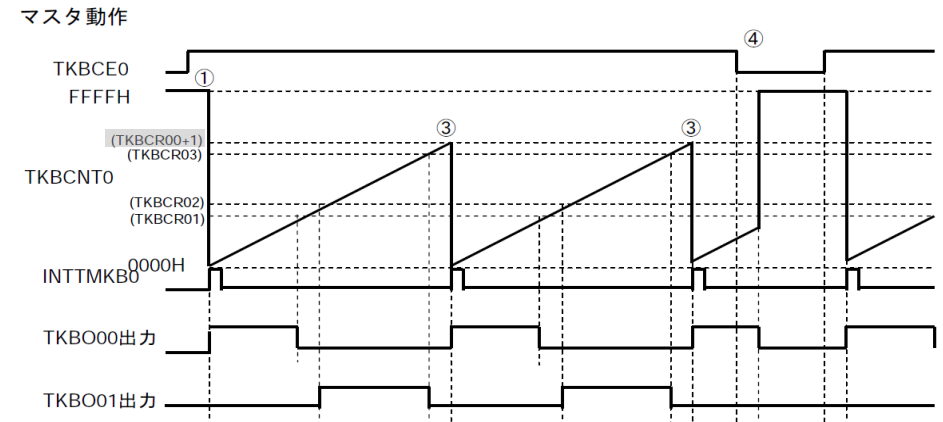
誤)

図 7-47 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



正)

図 7-47 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)

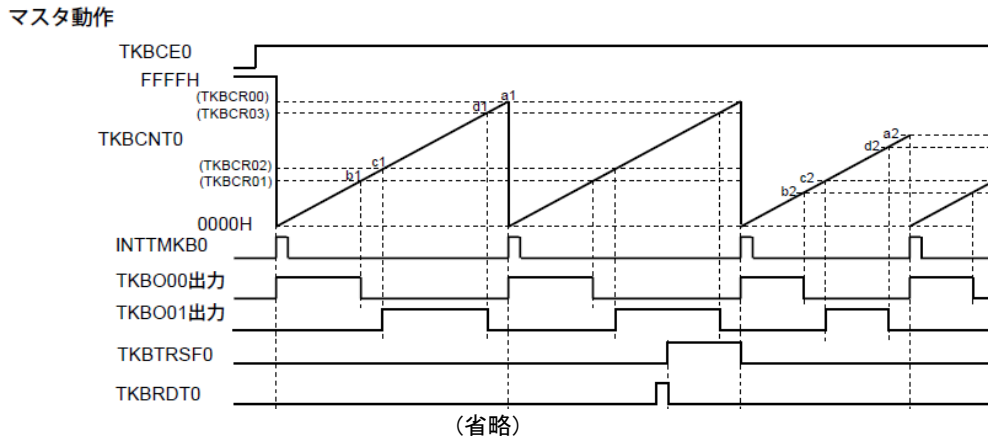


37. 7.4.8 同期スタート/クリア・モード

図 7-48 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(一斉書き換えの場合)(p.348)

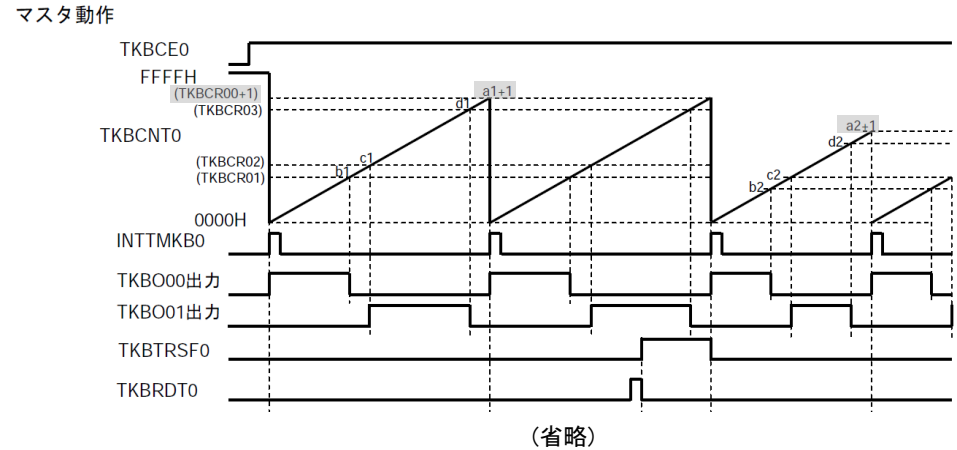
誤)

図 7-48 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(一斉書き換えの場合)



正)

図 7-48 同期スタート/クリア・モード動作タイミング例(マスタによる周期制御)(一斉書き換えの場合)

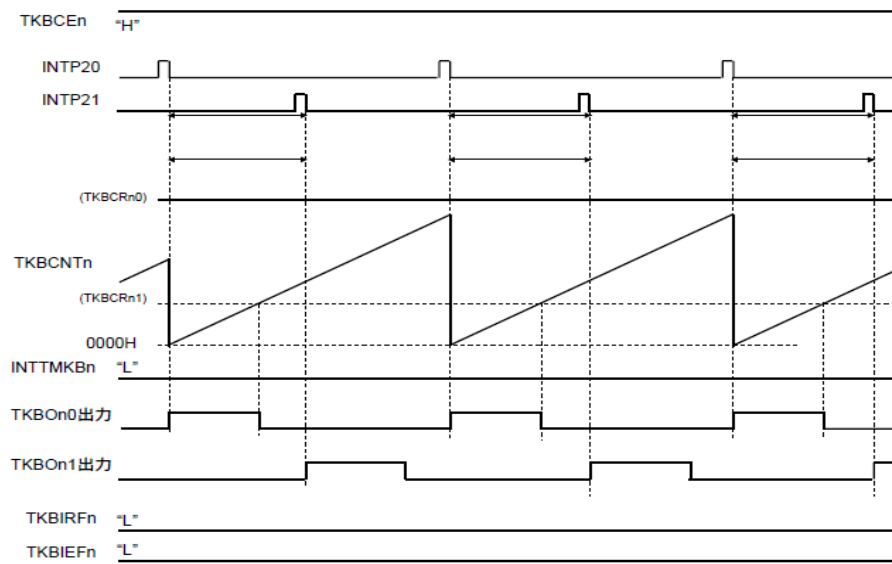


38. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

**図 7-49 インターリーブ PFC モード基本動作の動作概要(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)(p.350)**

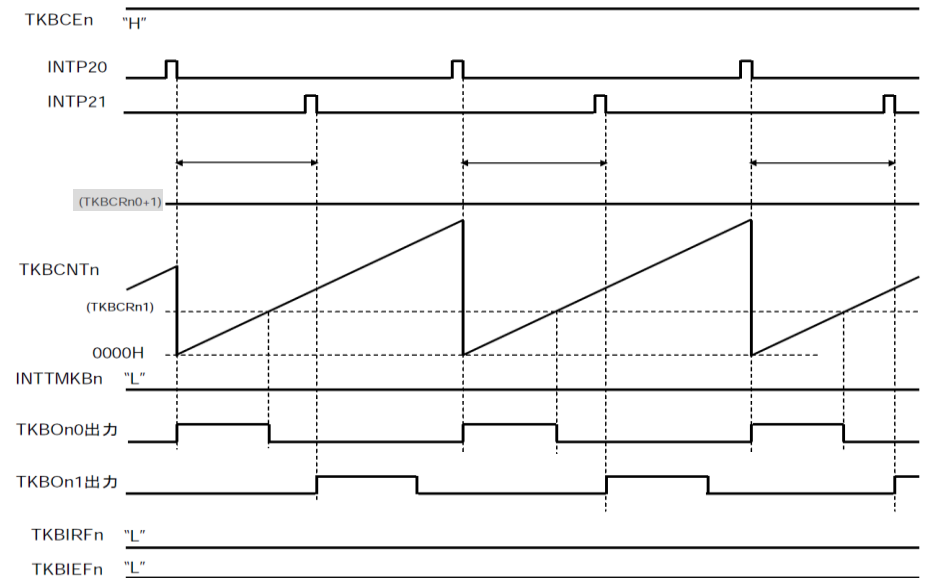
誤)

図 7-49 インターリーブ PFC モード基本動作の動作概要(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



正)

図 7-49 インターリーブ PFC モード基本動作の動作概要(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)

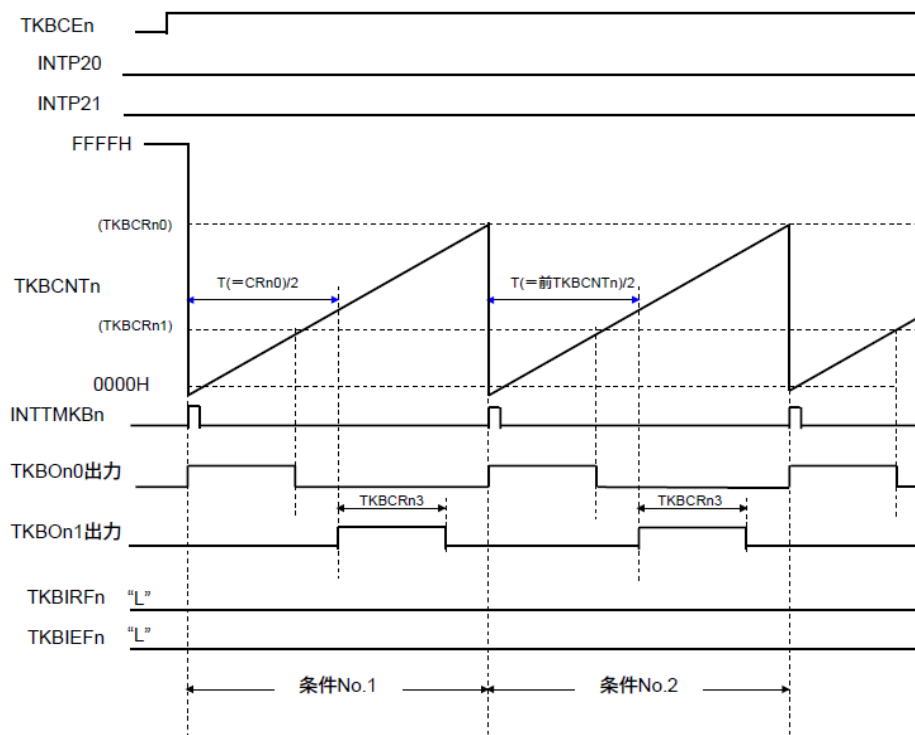


39. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

図 7-50 インターリーブ PFC モードのタイミング図(条件 No.1~No.2 の動作)  
(p.352)

誤)

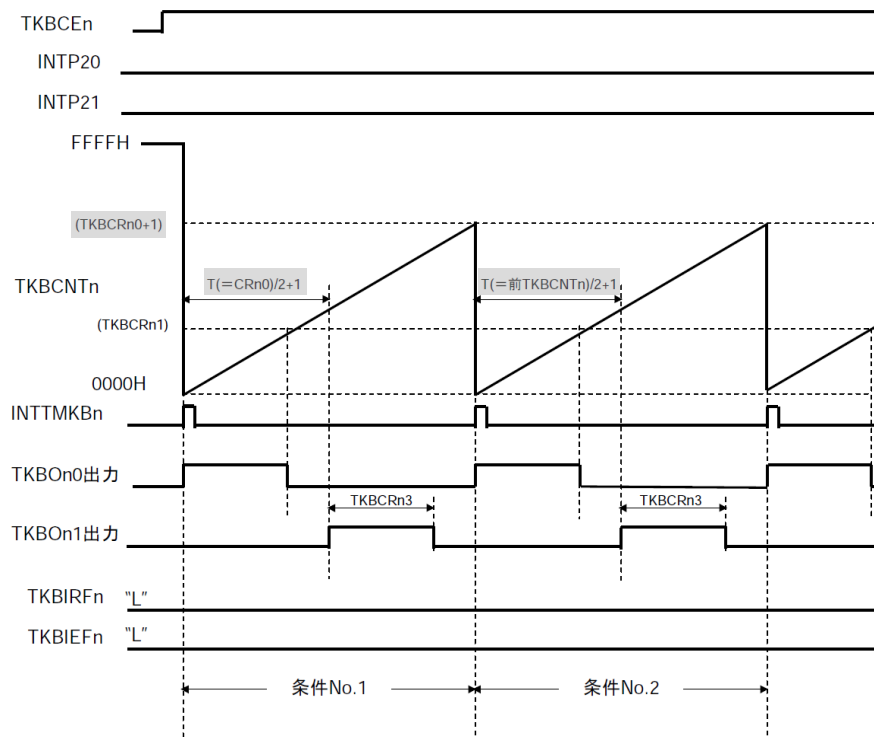
図 7-50 インターリーブ PFC モードのタイミング図(条件 No.1~No.2 の動作)



(省略)

正)

図 7-50 インターリーブ PFC モードのタイミング図(条件 No.1~No.2 の動作)  
(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



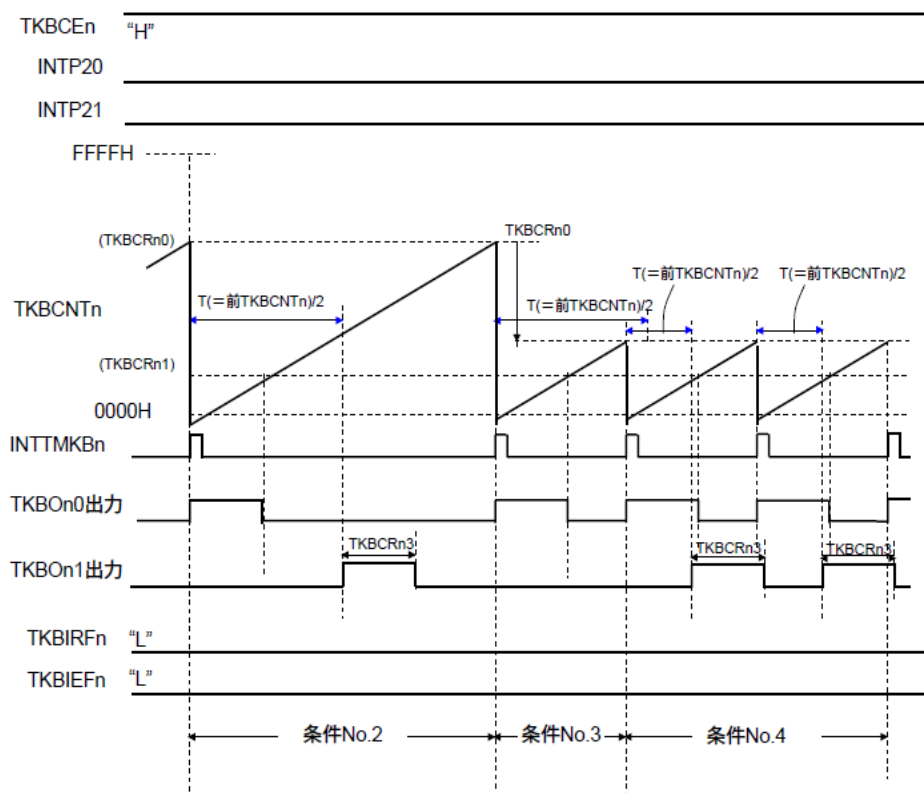
(省略)

40. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

**図 7-51 インターリーブ PFC モードのタイミング図(条件 No.3~No.4 の動作)**  
**(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)(p.353)**

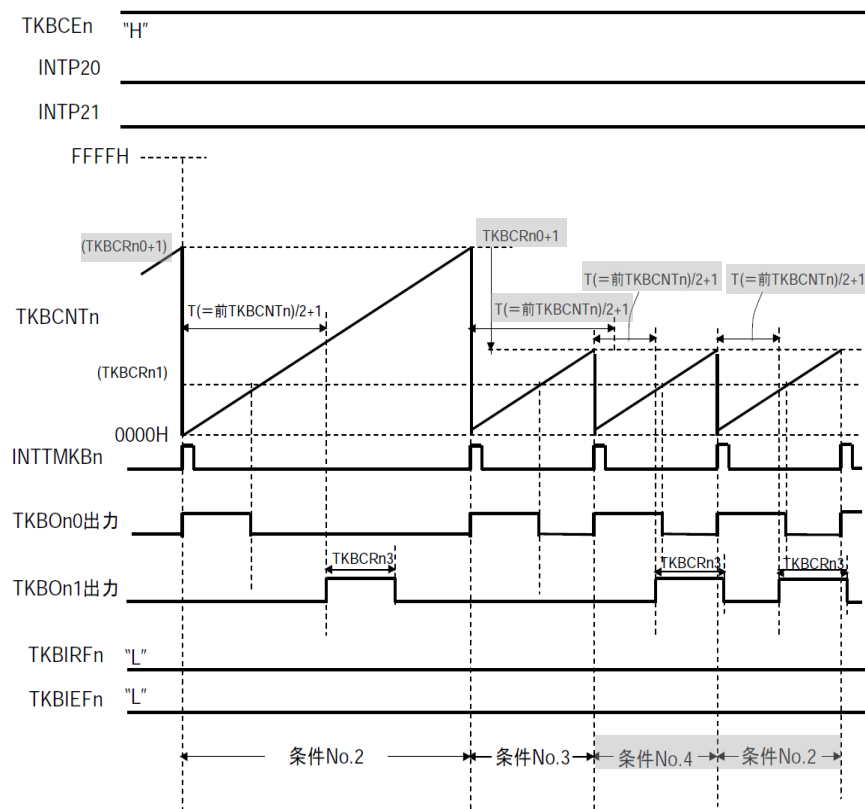
誤)

図 7-51 インターリーブ PFC モードのタイミング図(条件 No.3~No.4 の動作)  
 (出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



正)

図 7-51 インターリーブ PFC モードのタイミング図(条件 No.3~No.4 の動作)  
 (出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)

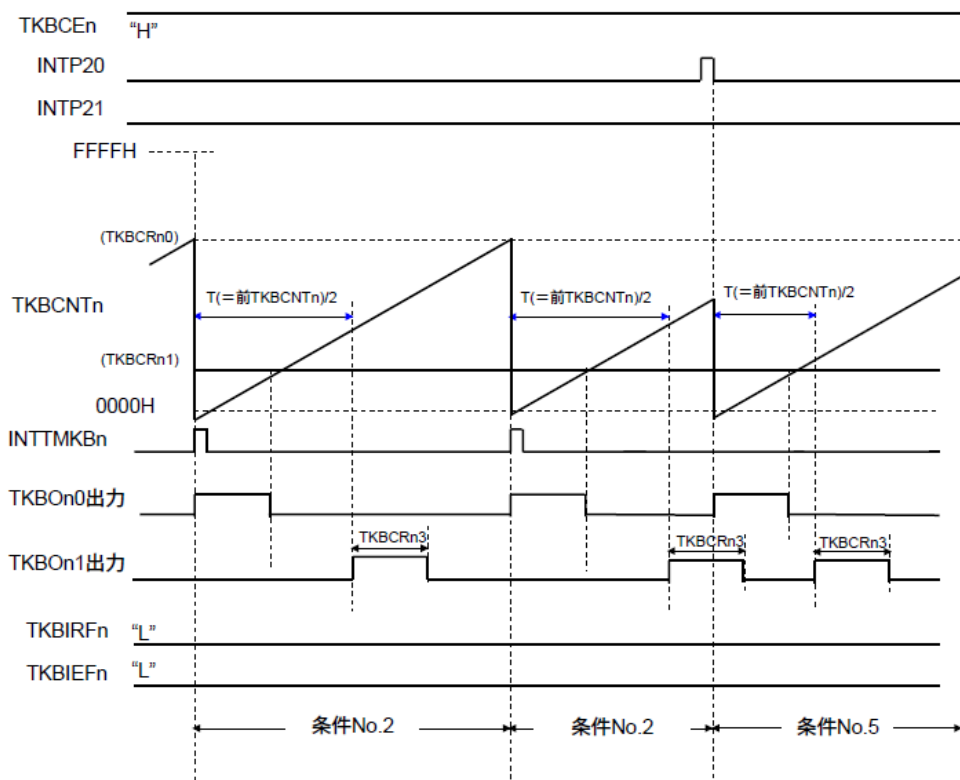


41. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

図 7-52 インターリーブ PFC モードのタイミング図(条件 No.5 動作:INTP21 がきてない)(p.354)

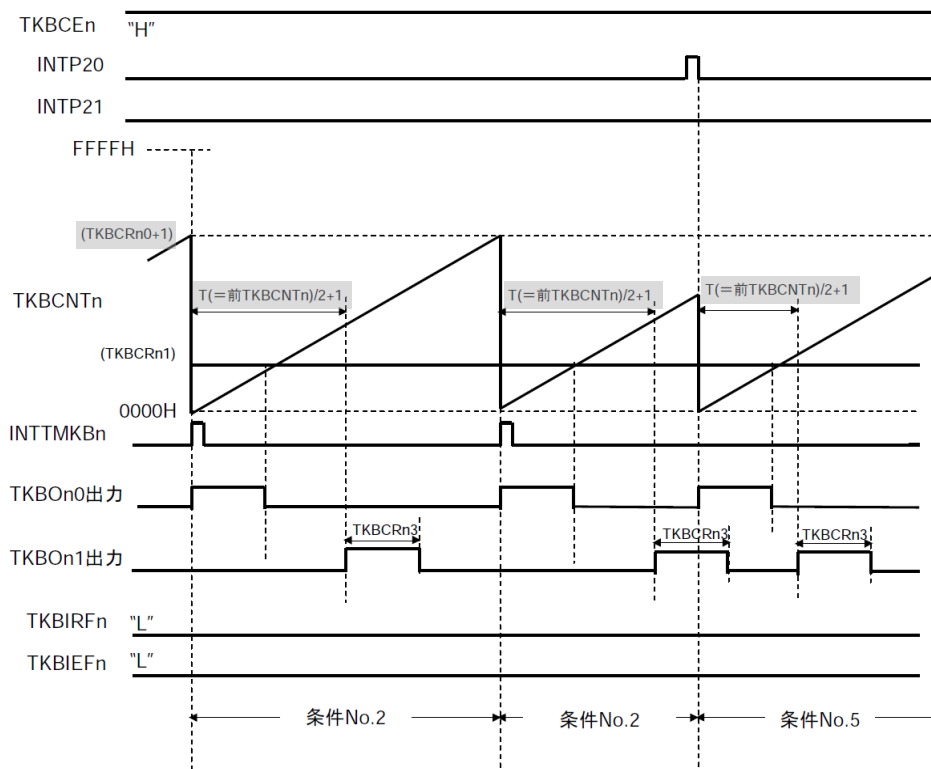
誤)

図 7-52 インターリーブ PFC モードのタイミング図(条件 No.5 動作:INTP21 がきてない)



正)

図 7-52 インターリーブ PFC モードのタイミング図(条件 No.5 の動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)

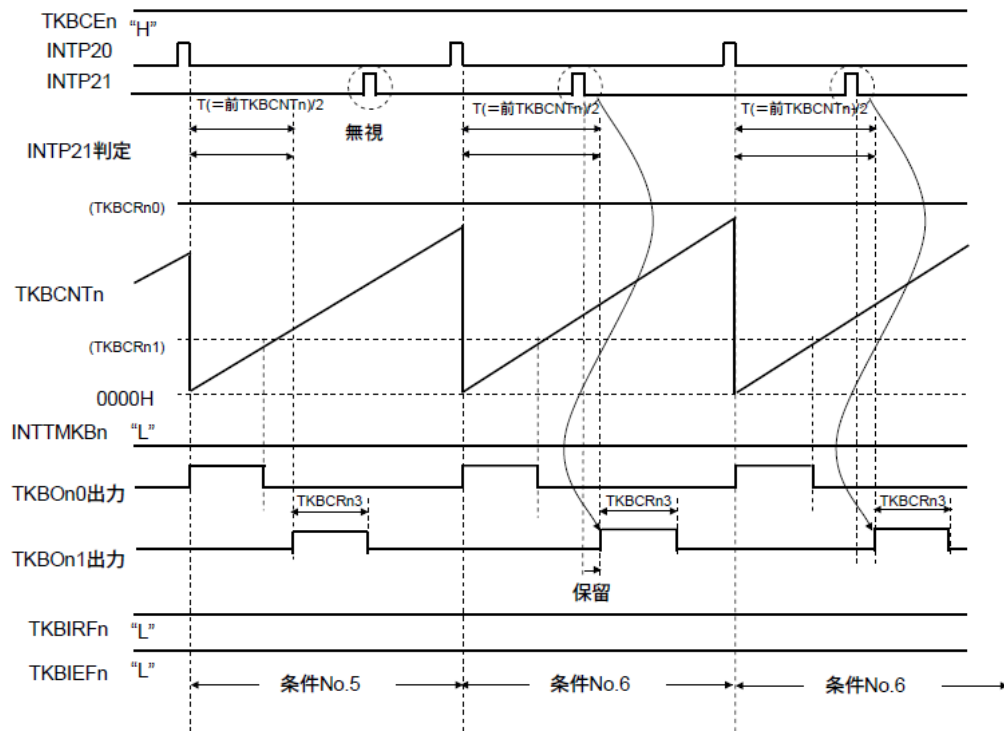


42. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

図 7-53 インターリーブ PFC モードのタイミング図(条件 No.6 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)(p.355)

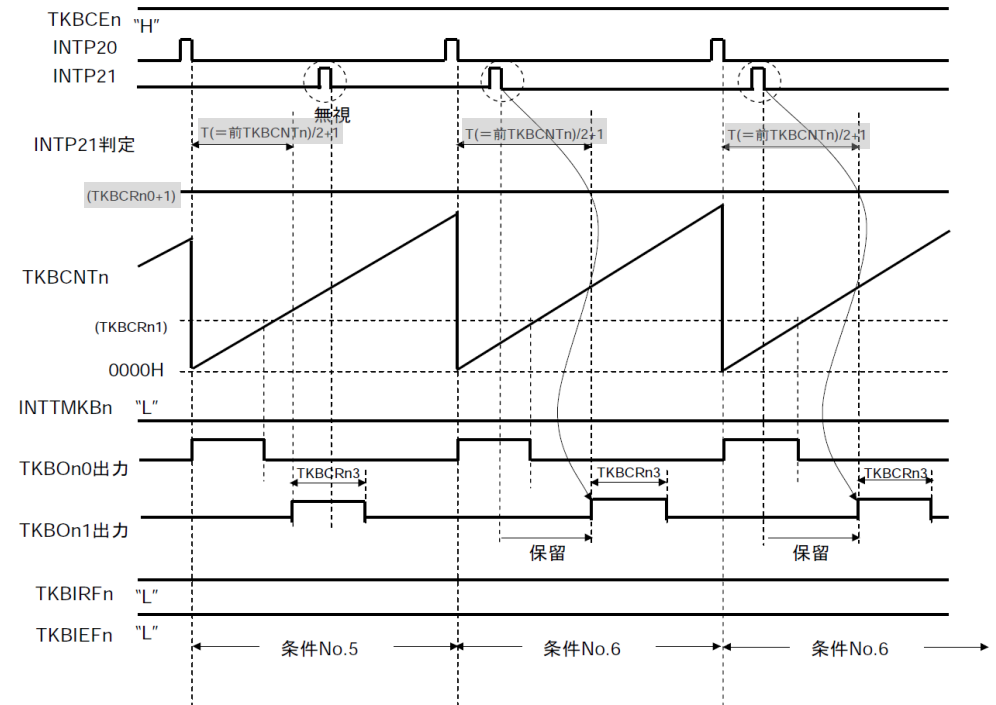
誤)

図 7-53 インターリーブ PFC モードのタイミング図(条件 No.6 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



正)

図 7-53 インターリーブ PFC モードのタイミング図(条件 No.6 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)

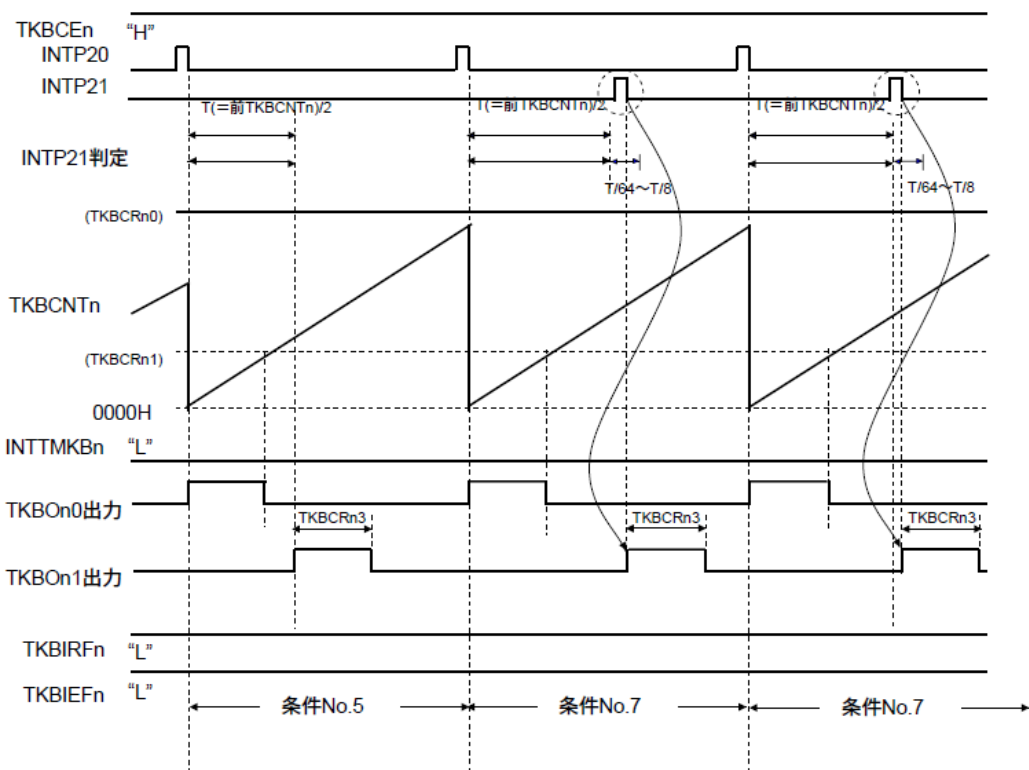


43. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

図 7-54 インターリーブ PFC モードのタイミング図(条件 No.7 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)(p.356)

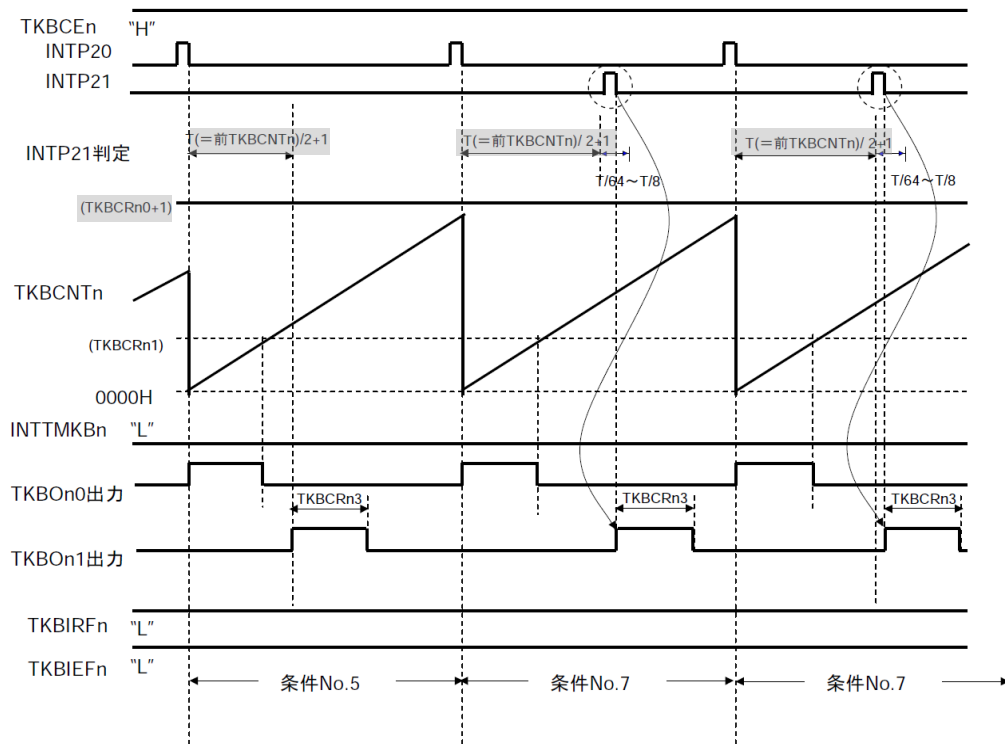
誤)

図 7-54 インターリーブ PFC モードのタイミング図(条件 No.7 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



正)

図 7-54 インターリーブ PFC モードのタイミング図(条件 No.7 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



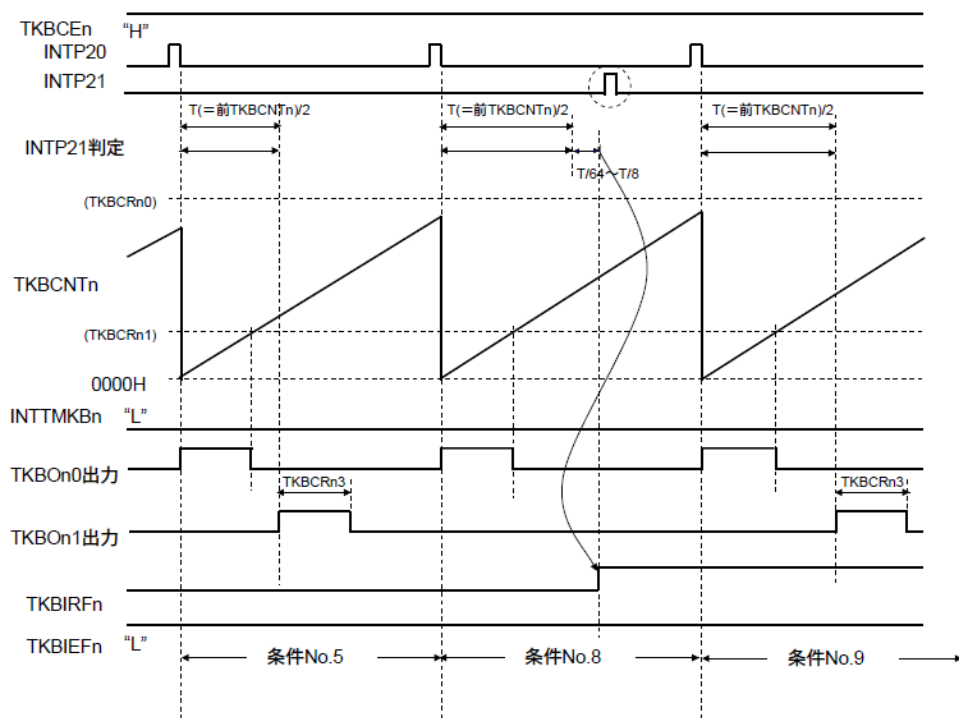


44. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

図 7-55 インターリーブ PFC モードのタイミング図(条件 No.8~No.9 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)(p.357)

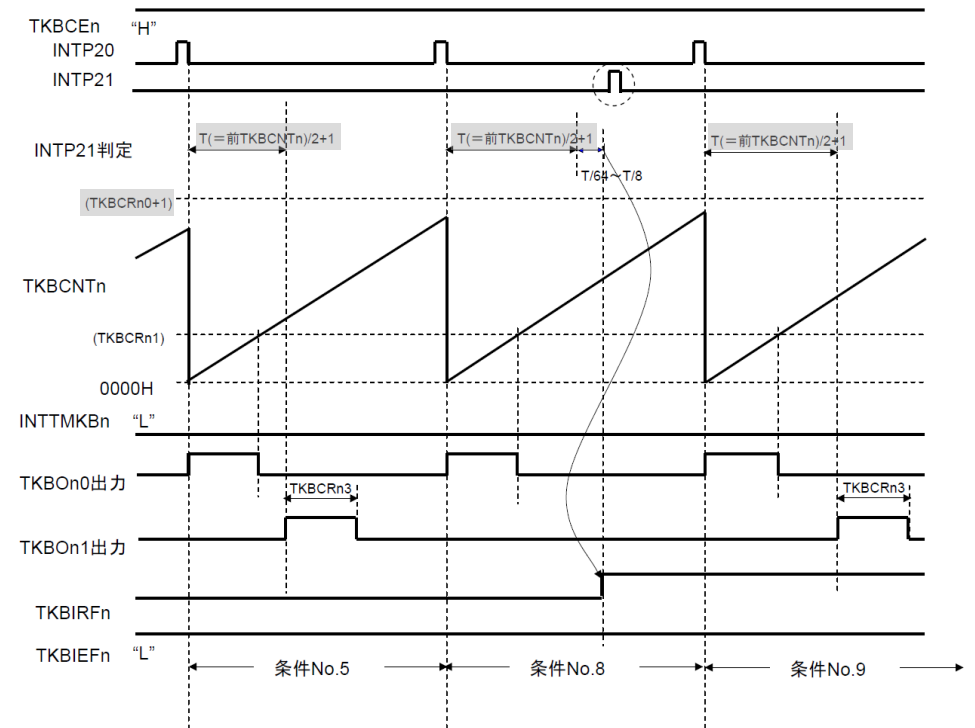
誤)

図 7-55 インターリーブ PFC モードのタイミング図(条件 No.8~No.9 動作)  
(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



正)

図 7-55 インターリーブ PFC モードのタイミング図(条件 No.8~No.9 動作)  
(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)

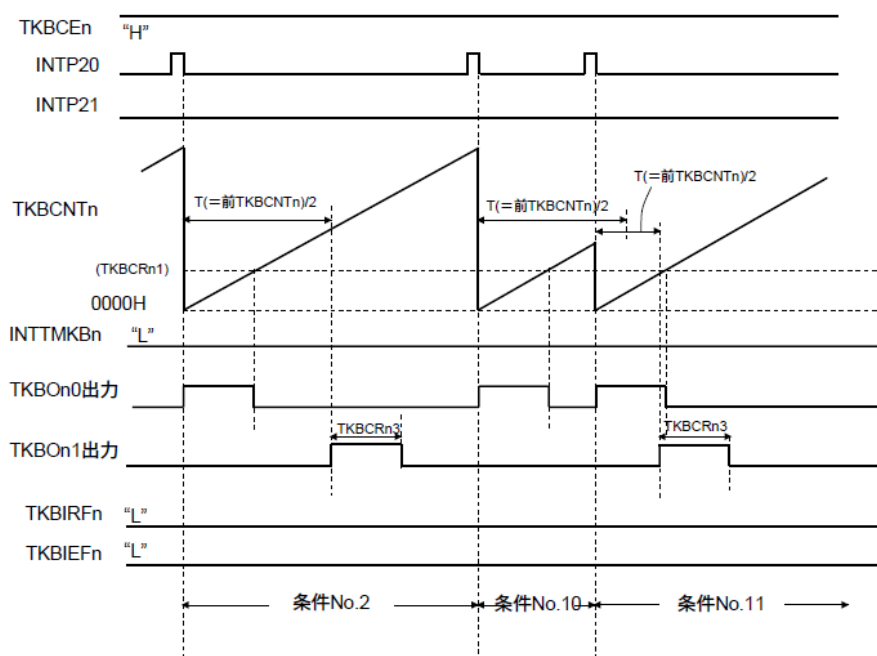


45. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

図 7-56 インターリーブ PFC モードのタイミング図(条件 No.10~No.11 動作)(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)(p.358)

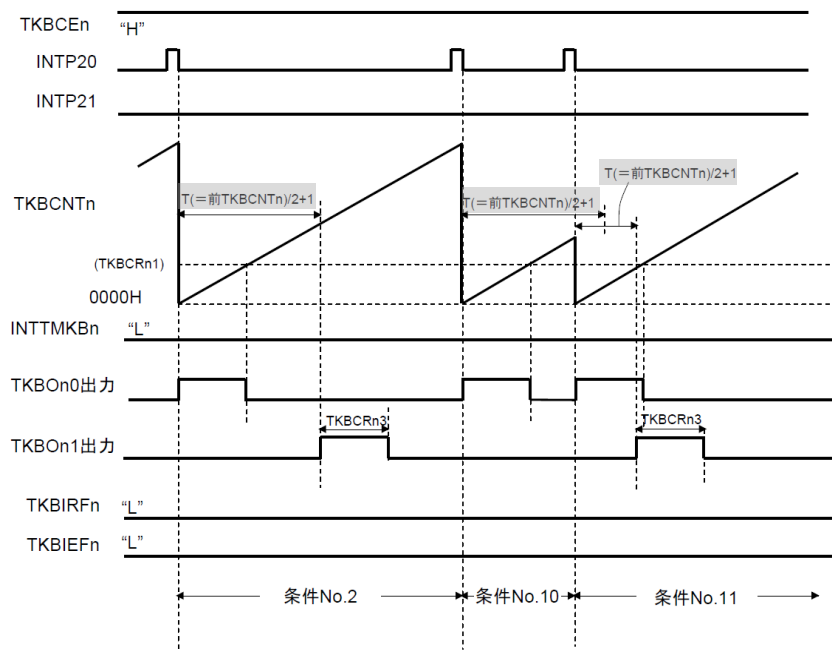
誤)

図 7-56 インターリーブ PFC モードのタイミング図(条件 No.10~No.11 動作)  
(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)



正)

図 7-56 インターリーブ PFC モードのタイミング図(条件 No.10~No.11 動作)  
(出力のデフォルト値がロー・レベル(TKBTODnp=0)でアクティブ・レベルがハイ・レベル(TKBTOLnp=0)の場合)

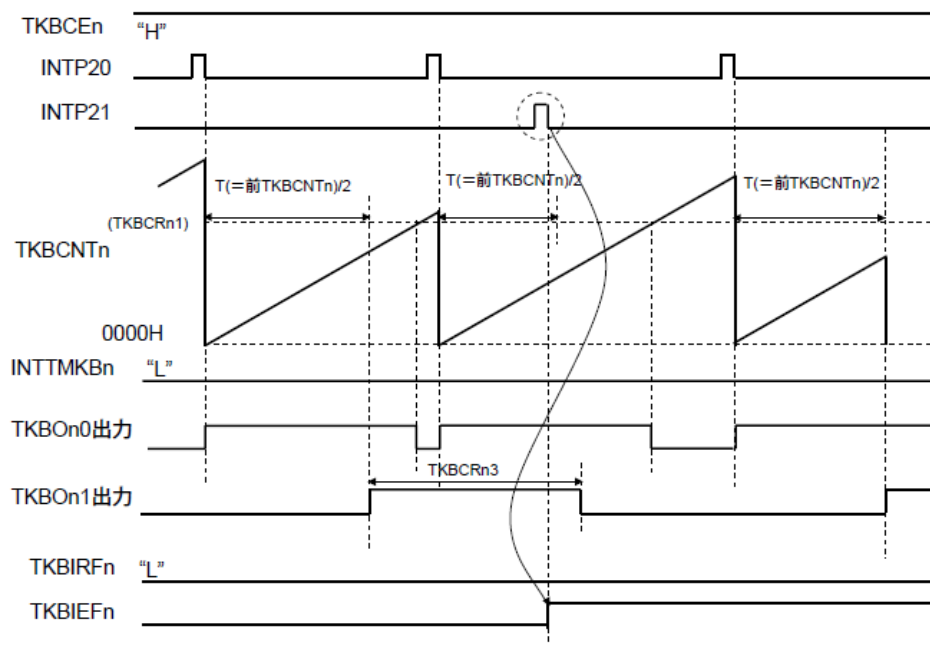


46. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

図 7-57 インターリーブ PFC モードのタイミング図 (TKBOn1 中に再度トリガが発生した場合)(p.359)

誤)

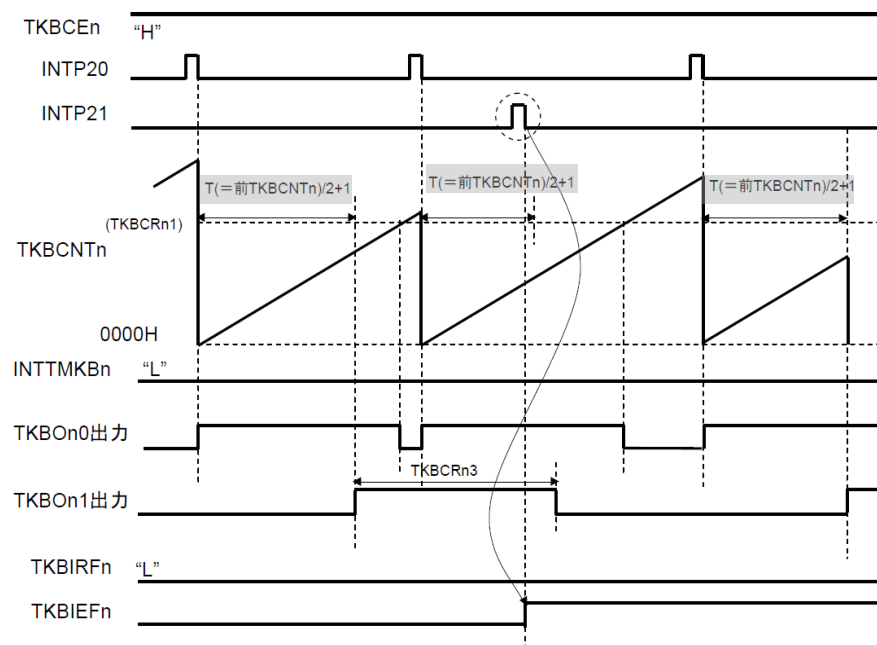
図 7-57 インターリーブ PFC モードのタイミング図  
(TKBOn1 中に再度トリガが発生した場合)



前の周期の TKBOn1 出力中に、次の TKBOn1 出力トリガが発生した場合、トリガを無視します。この時、TKBIEFn が“1”にセットされます。

正)

図 7-57 インターリーブ PFC モードのタイミング図  
(TKBOn1 出力中に INTP21 入力検出された場合)



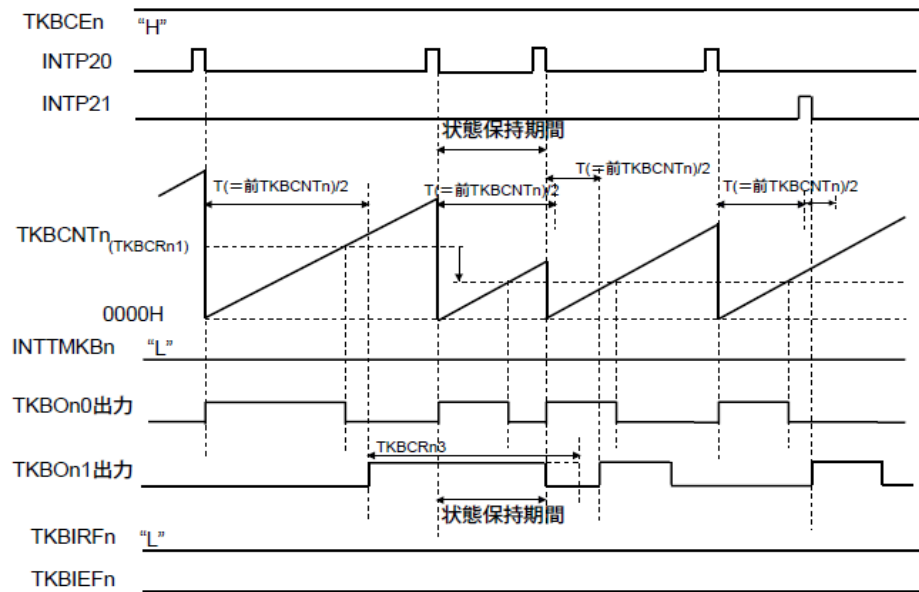
前の周期の TKBOn1 出力中に、INTP21 入力検出された場合、このトリガを無視します。この時、TKBIEFn が“1”にセットされます。

47. 7.4.9 インターリーブ PFC(Power Factor Correction)出力モード

図 7-58 インターリーブ PFC モードのタイミング図 (TKBOn1 の出力が前回の出力幅で、状態保持期間を超えた場合) (p.360)

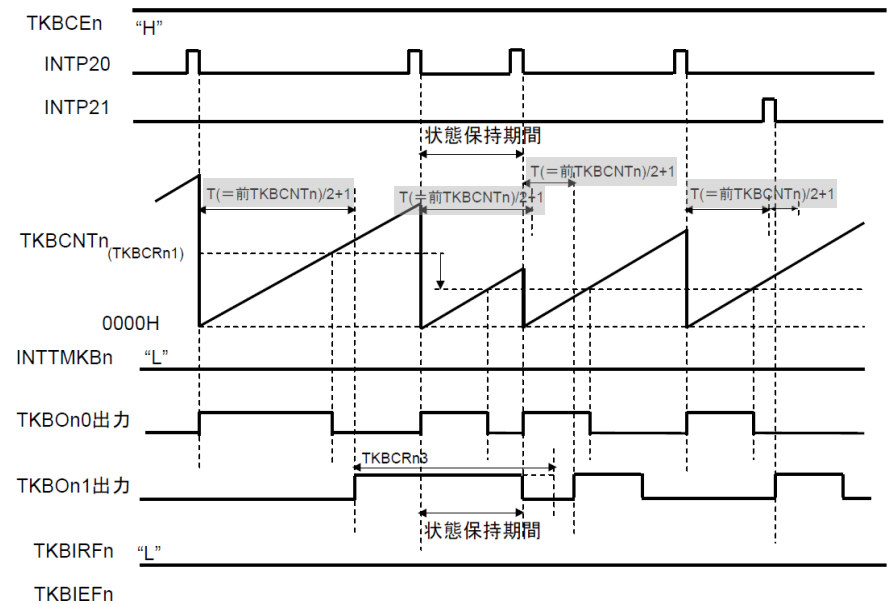
誤)

図 7-58 インターリーブ PFC モードのタイミング図  
(TKBOn1 の出力が前回の出力幅で、状態保持期間を超えた場合)



正)

図 7-58 インターリーブ PFC モードのタイミング図  
(TKBOn1 の出力が前回の出力幅で、状態保持期間を超えた場合)

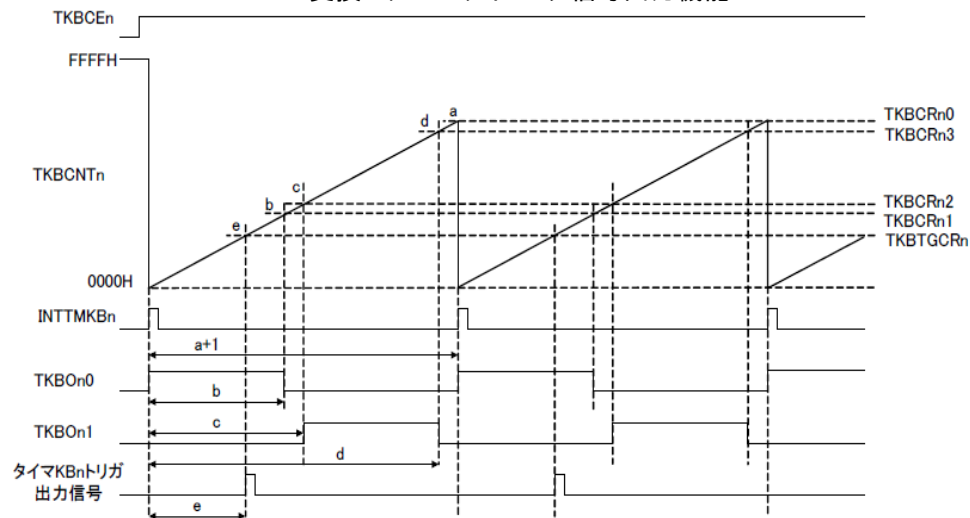


48. 7.5.1A/D 変換スタート・タイミング信号出力機能

図 7-59 単体動作モード(TKB0CR0 による周期制御)での A/D 変換スタート・タイミング信号出力機能 (p.363)

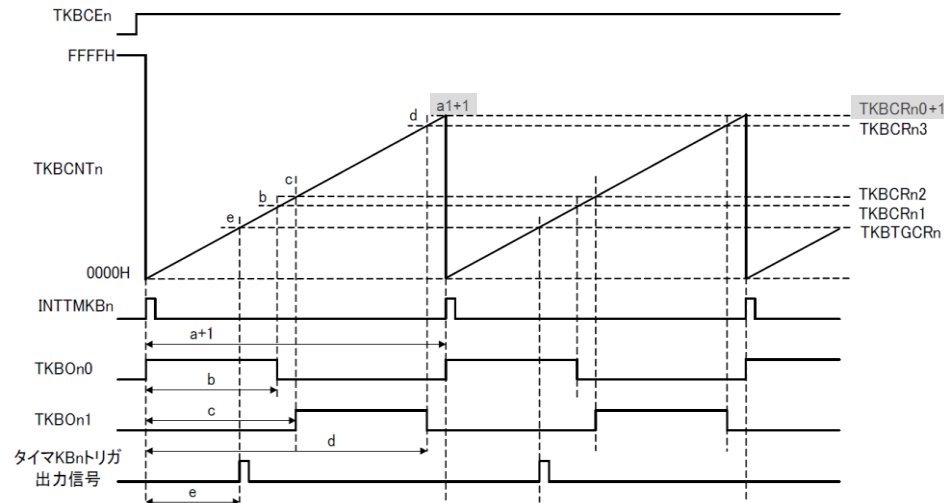
誤)

図 7-59 単体動作モード(TKB0CR0 による周期制御)での A/D 変換スタート・タイミング信号出力機能



正)

図 7-59 単体動作モード(TKB0CR0 による周期制御)での A/D 変換スタート・タイミング信号出力機能

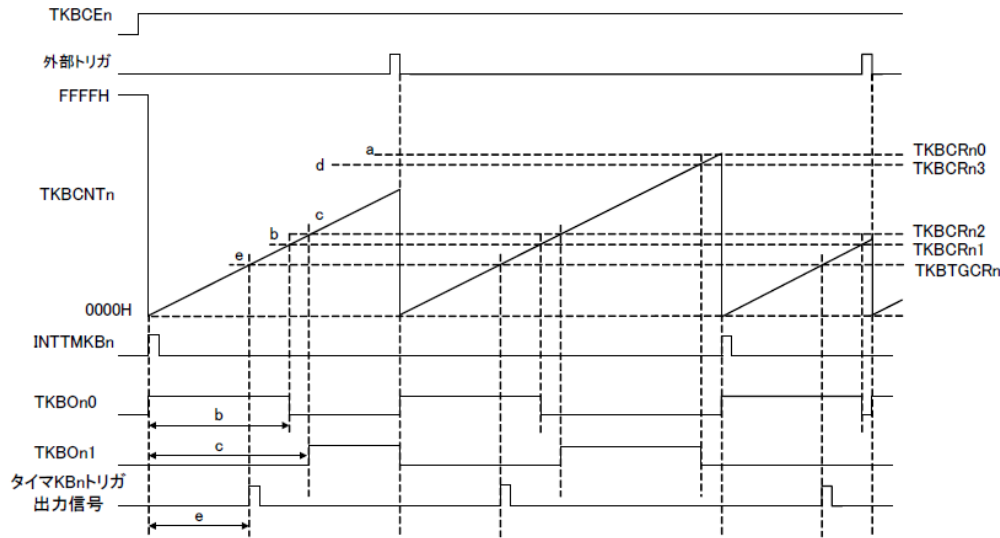


49. 7.5.1A/D 変換スタート・タイミング信号出力機能

図 7-60 単体動作モード(外部トリガ入力による周期制御)での A/D 変換スタート・タイミング信号出力機能 (p.363)

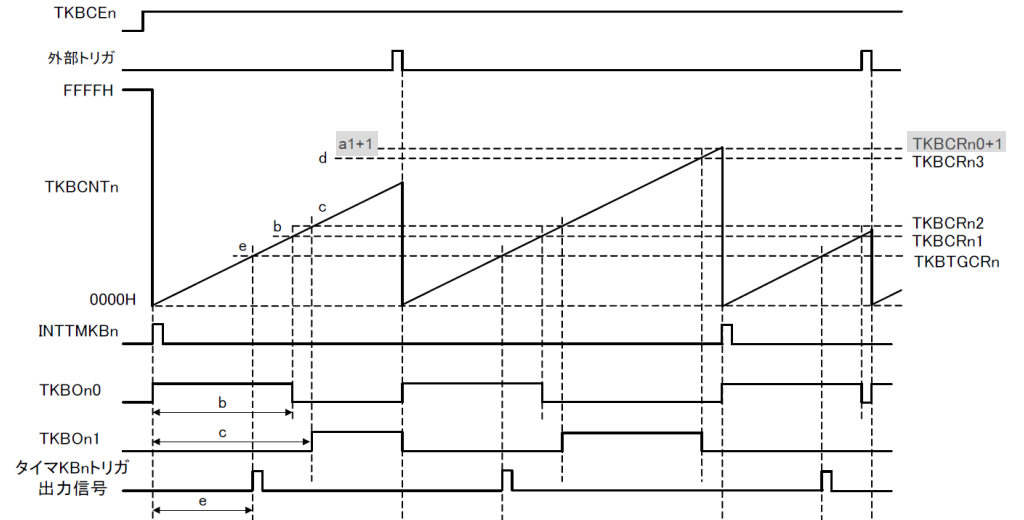
誤)

図 7-60 単体動作モード(外部トリガ入力による周期制御)での A/D 変換スタート・タイミング信号出力機能



正)

図 7-60 単体動作モード(外部トリガ入力による周期制御)での A/D 変換スタート・タイミング信号出力機能

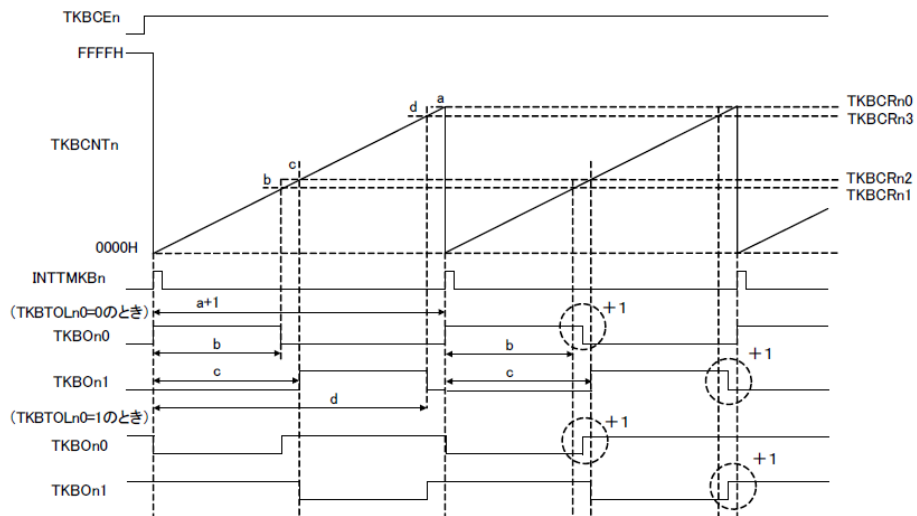


50. 7.5.2PWM 出力ディザリング機能

図 7-62 ディザリング機能の波形図 (p.365)

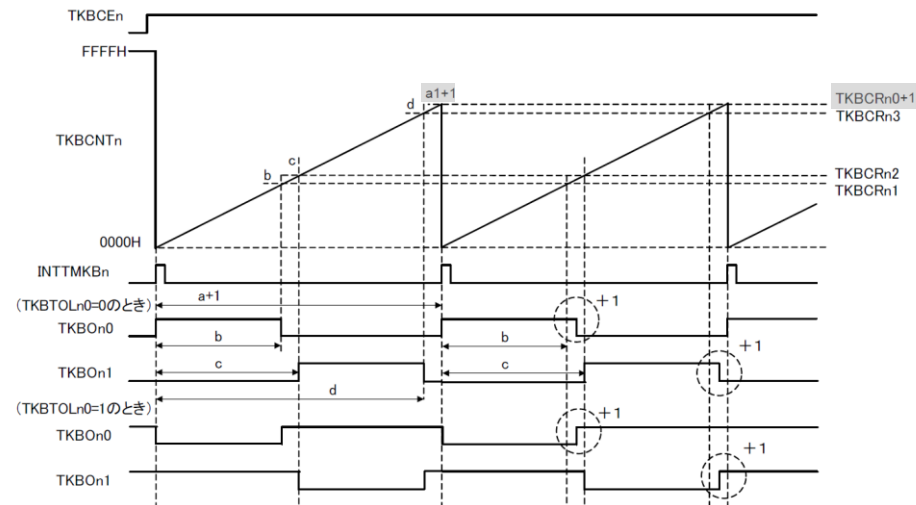
誤)

図 7-62 ディザリング機能の波形図



正)

図 7-62 ディザリング機能の波形図

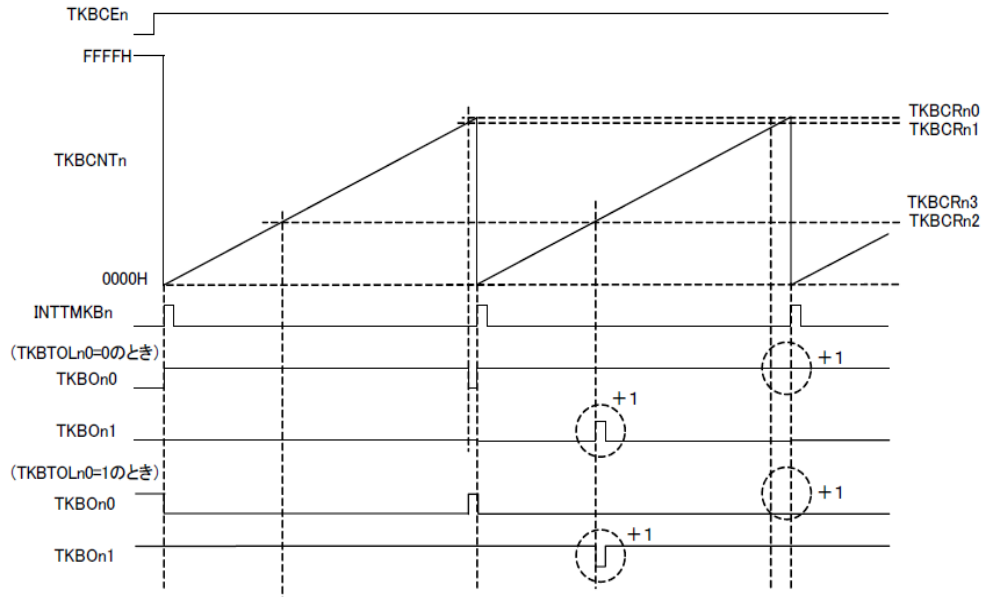


51. 7.5.2PWM 出力ディザリング機能

図 7-63 ディザリング機能の波形図(TKBCRn1=TKBCRn0(100%近傍)、TKBCRn2=TKBCRn3(0%近傍)の場合)(p.365)

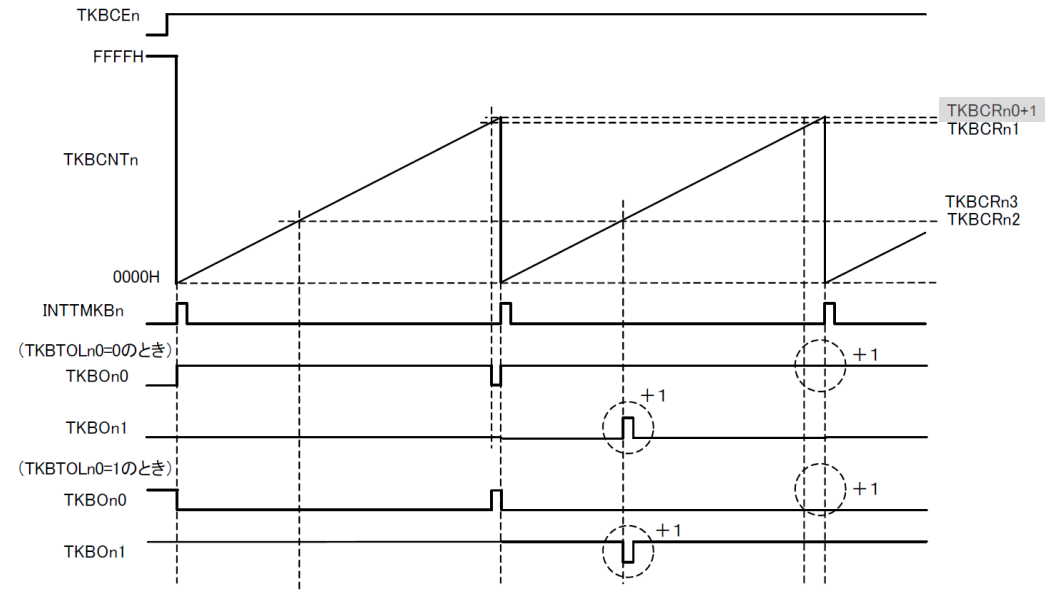
誤)

図 7-63 ディザリング機能の波形図  
(TKBCRn1=TKBCRn0(100%近傍)、TKBCRn2=TKBCRn3(0%近傍)の場合)



正)

図 7-63 ディザリング機能の波形図  
(TKBCRn1=TKBCRn0(100%近傍)、TKBCRn2=TKBCRn3(0%近傍)の場合)



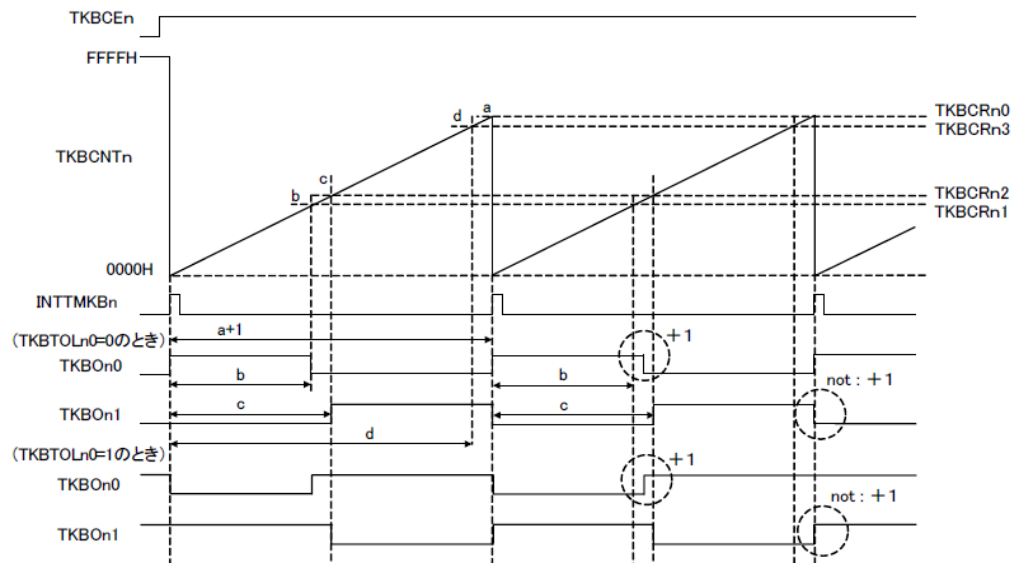


52. 7.5.2PWM 出力ディザリング機能

図 7-64 ディザリング機能の波形図(TKBCRn3=TKBCRn0+1 の場合)(p.366)

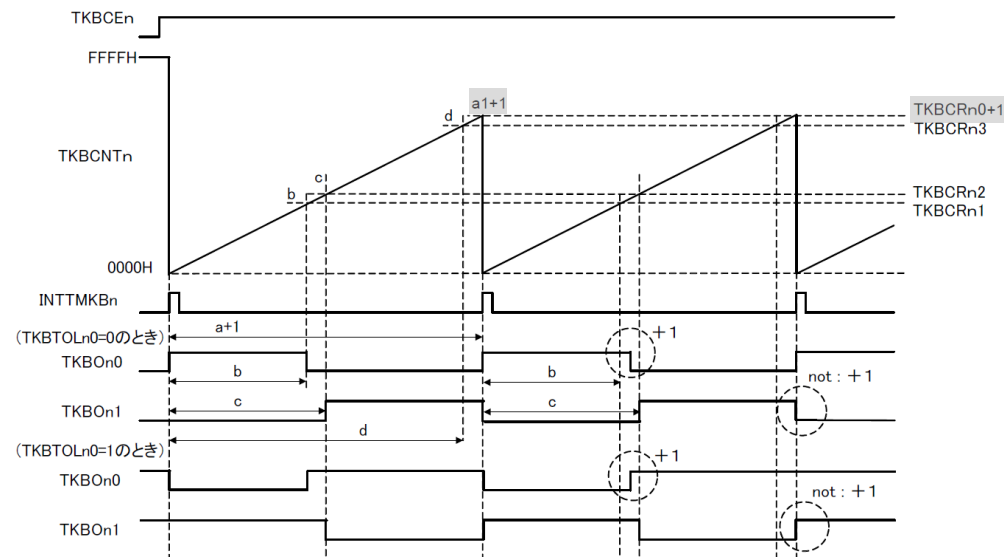
誤)

図 7-64 ディザリング機能の波形図(TKBCRn3=TKBCRn0+1 の場合)



正)

図 7-64 ディザリング機能の波形図(TKBCRn3=TKBCRn0+1 の場合)

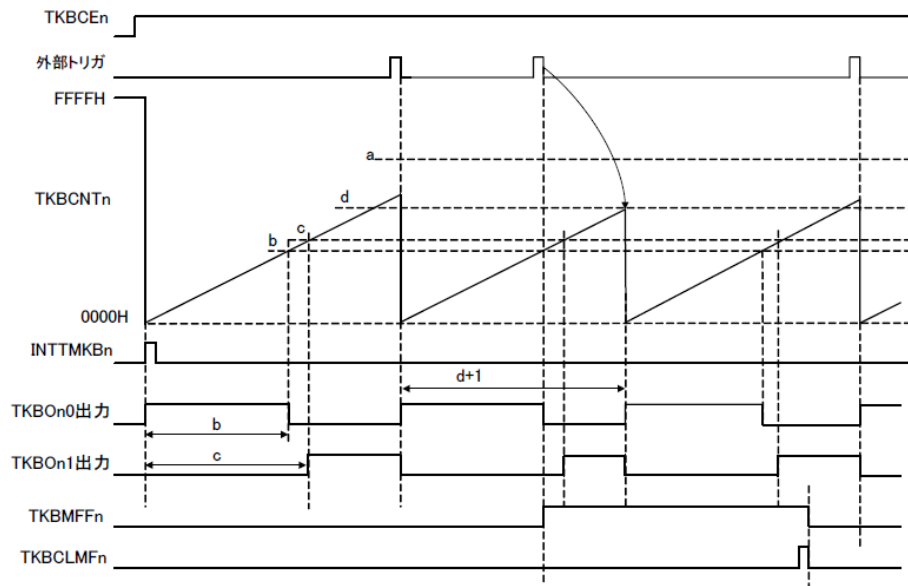


53. 7.5.6 最大周波数リミット機能

図 7-70 最大周波数リミット機能 (p.375)

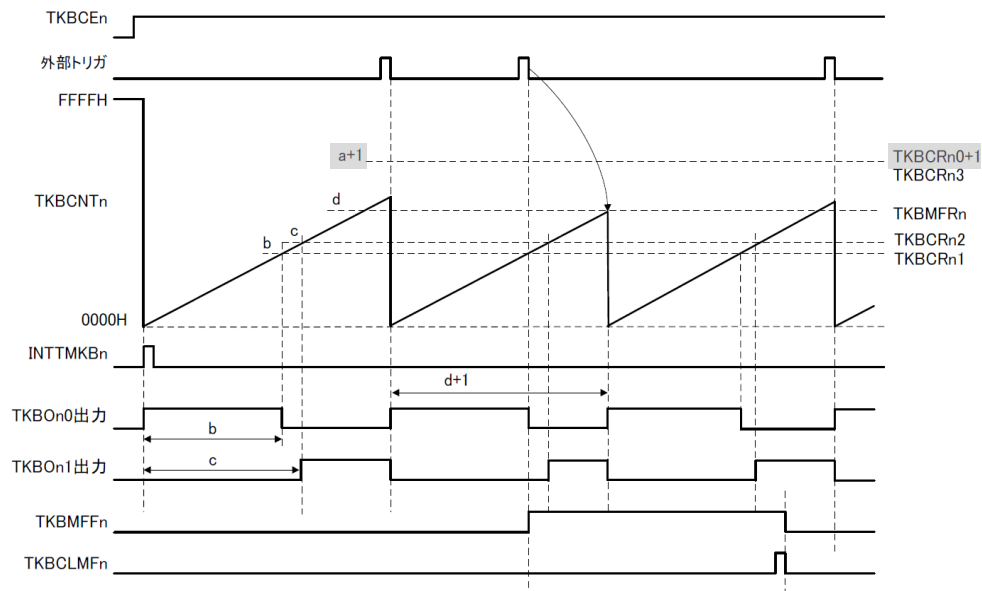
誤)

図 7-70 最大周波数リミット機能



正)

図 7-70 最大周波数リミット機能

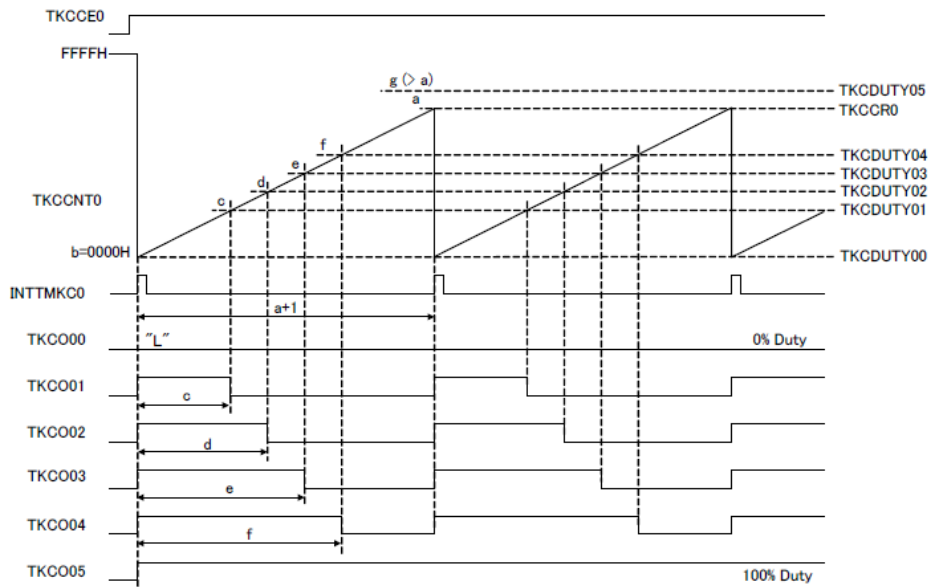


54. 8.4.1PWM 出力機能

図 8-17 PWM 出力機能の基本タイミング例(TKCTOL0m=0,TKCTOD0m=0)(p.414)

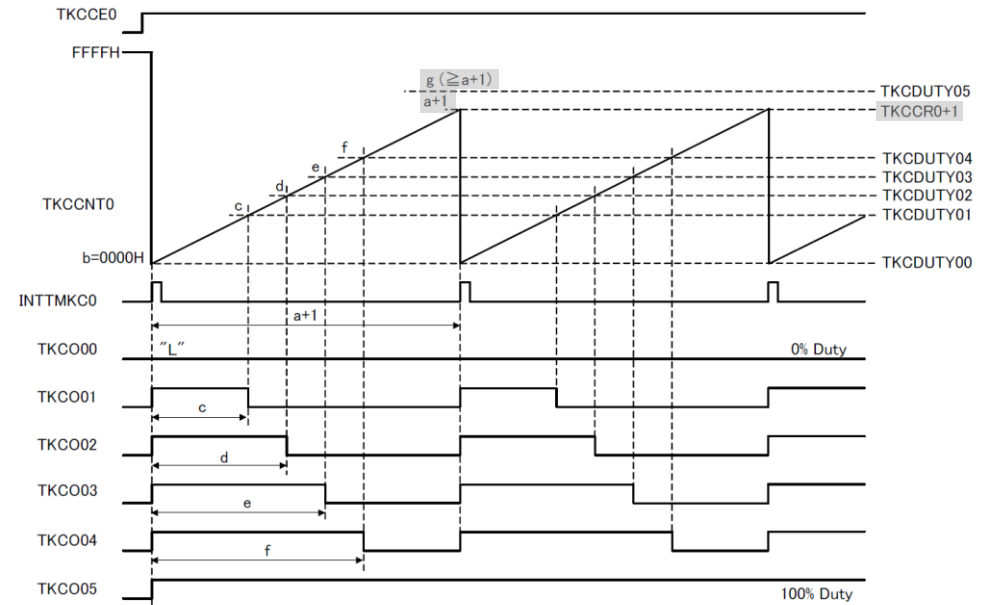
誤)

図 8-17 PWM 出力機能の基本タイミング例(TKCTOL0m=0,TKCTOD0m=0)



正)

図 8-17 PWM 出力機能の基本タイミング例(TKCTOL0m=0,TKCTOD0m=0)



55. 10.2 12ビット・インターバル・タイマの構成(p.449)

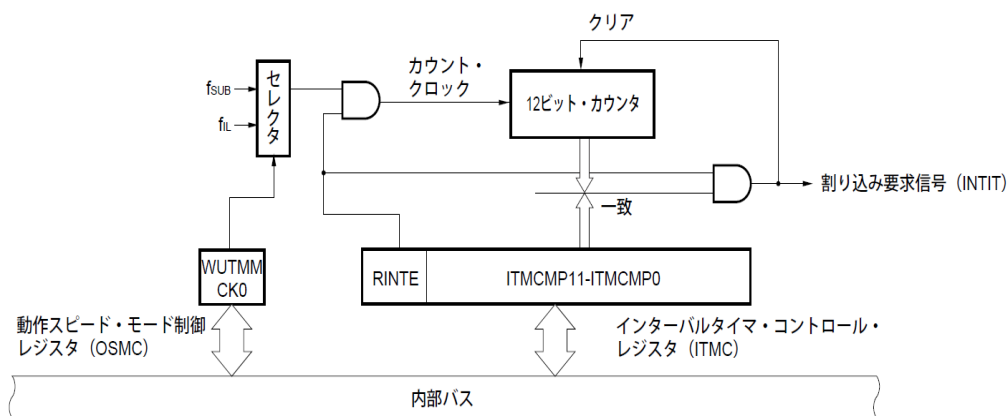
誤)

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表 10-1 12ビット・インターバル・タイマの構成

構成	
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	動作スピード・モード制御レジスタ (OSMC)
	インターバル・タイマ・コントロール・レジスタ (ITMC)

10-1 12ビット・インターバル・タイマのブロック図



注意 動作クロックにサブシステム・クロック(fSUB)を選択できるのは、38ピン製品のみです

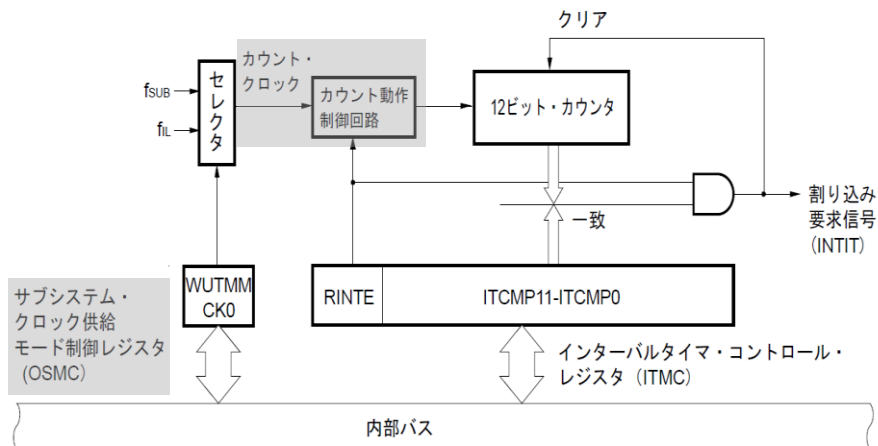
正)

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表 10-1 12ビット・インターバル・タイマの構成

構成	
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	動作スピード・モード制御レジスタ (OSMC)
	インターバル・タイマ・コントロール・レジスタ (ITMC)

図 10-1 12ビット・インターバル・タイマのブロック図



注意 カウント・クロックにサブシステム・クロック(fSUB)を選択できるのは、38ピン製品のみです

56. 11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定(p.461)

誤)

省略

備考 オーバフロー時間を  $2^9/fL$  に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	<u><math>75 \% + 1/2fL</math></u>	100 %
ウインドウ・クローズ時間	0~20.08 ms	0~10.04 ms	なし
ウインドウ・オープン時間	20.08~29.68 ms	10.04~29.68 ms	0~29.68 ms

(省略)

正)

省略

備考 オーバフロー時間を  $2^9/fL$  に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

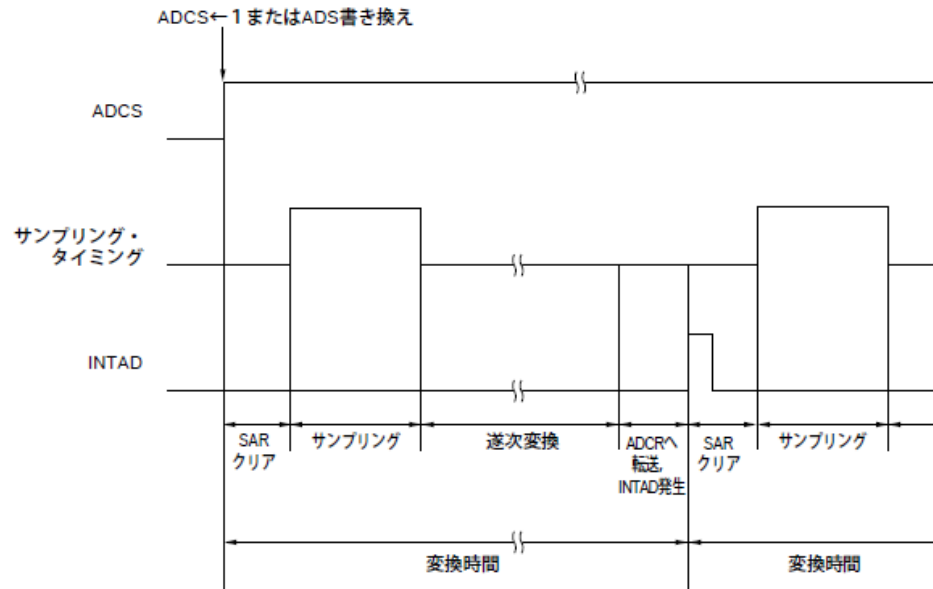
	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0~20.08 ms	0~10.04 ms	なし
ウインドウ・オープン時間	20.08~29.68 ms	10.04~29.68 ms	0~29.68 ms

(省略)

57. 12.3.2 A/Dコンバータ・モード・レジスタ0(ADM0)(p.476)

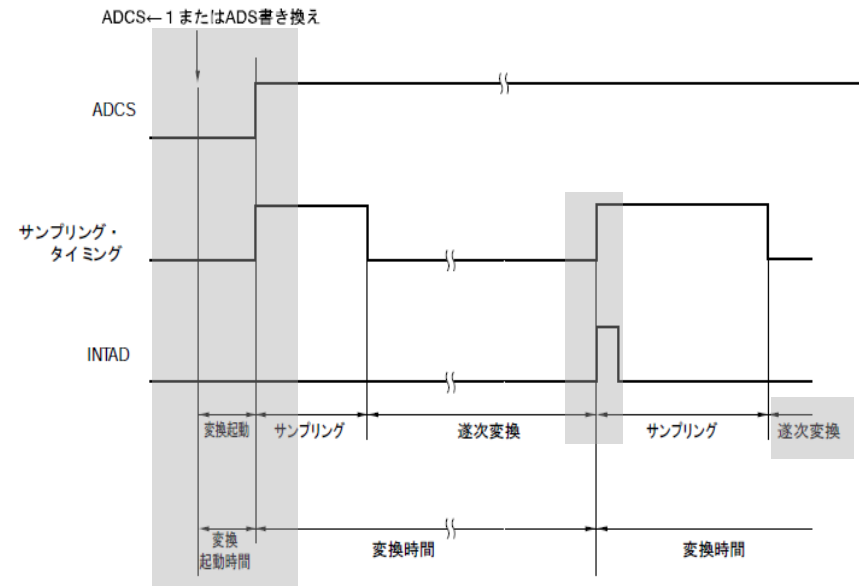
誤)

図 12-5 A/DコンバータのサンプリングとA/D変換のタイミング  
(例ソフトウェア・トリガ・モードの場合)



正)

図 12-5 A/DコンバータのサンプリングとA/D変換のタイミング  
(例ソフトウェア・トリガ・モードの場合)



58. 12.3.9 変換結果比較下限値設定レジスタ(ADLL)(p.484)

誤)

省略

注意 10ビット分解能 A/D 変換選択時は、10ビット A/D 変換結果レジスタ(ADCR)の上位 8ビットを ADLL レジスタと比較します。

正)

省略

注意 1. 10ビット分解能 A/D 変換選択時は、10ビット A/D 変換結果レジスタ(ADCR)の上位 8ビットを ADLL レジスタと比較します。

2. ADUL レジスタおよび ADLL レジスタの書き換えは、必ず換停止状態(ADCS = 0, ADCE =0)のときに行ってください。

3. ADUL レジスタおよび ADLL レジスタは、ADUL > ADLL になるように設定を行ってください。

59. 12.3.10 A/Dテストレジスタ(ADTES)(p.485)

誤)

A/Dテスト機能として、A/D変換対象にA/Dコンバータの+側の基準電圧(AVREFF)、-側の基準電圧(AVREFM)、アナログ入力チャネル(ANLxx)、PGAOUTを選択するレジスタです。

ADTESレジスタは、は8ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00Hになります。

図 12-14 A/Dテストレジスタ(ADTES)のフォーマット

アドレス:F0013H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANLxx, PGAOUT(アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	AVREFM
1	1	AVREFF
上記以外		設定禁止

注意 A/Dテスト機能についての詳細は、第25章 安全機能を参照してください。

正)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANLxx)、温度センサ出力電圧、内部基準電圧(1.45V)、PGAOUTを選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- ・フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00Hになります。

図 12-14 A/Dテストレジスタ(ADTES)のフォーマット

アドレス:F0013H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANLxx/ 温度センサ出力電圧 <sup>注</sup> / 内部基準電圧(1.45V) <sup>注</sup> / PGAOUT (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	-側の基準電圧(ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧(1.45V)は、HS(高速メイン)モードでのみ選択可能です。

注意 A/Dテスト機能についての詳細は、第25章 安全機能を参照してください。

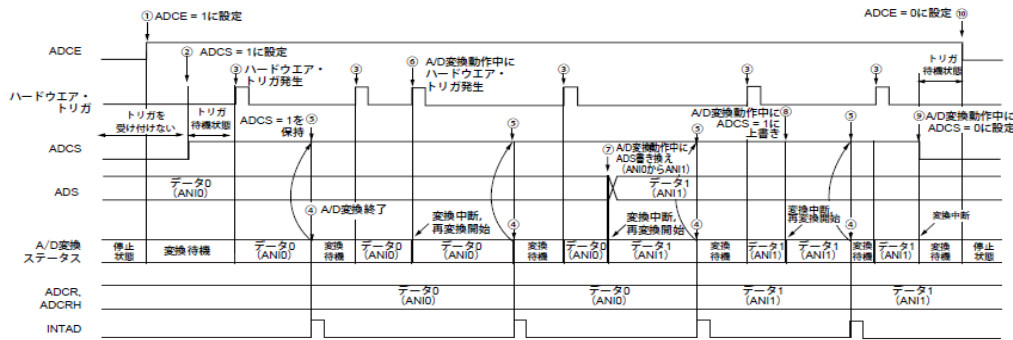


60. 12.6.6 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード、ワンショット変換モード) (p.498)

誤)

省略

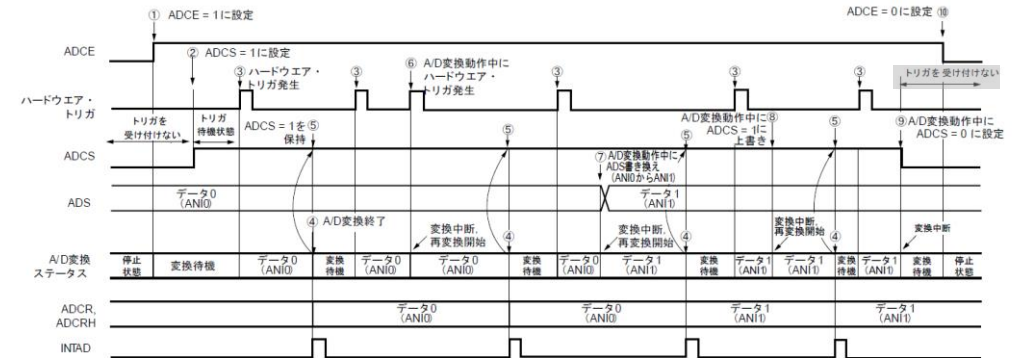
図 12-25 ハードウェア・トリガ・ノーウエイト・モード  
(セレクト・モード、ワンショット変換モード)動作タイミング例



正)

省略

図 12-25 ハードウェア・トリガ・ノーウエイト・モード  
(セレクト・モード、ワンショット変換モード)動作タイミング例

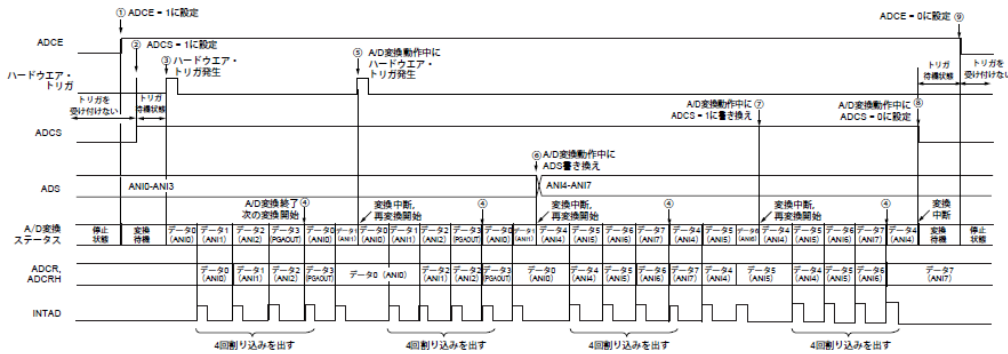


61. 12.6.7 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード、連続変換モード) (p.499)

誤)

省略

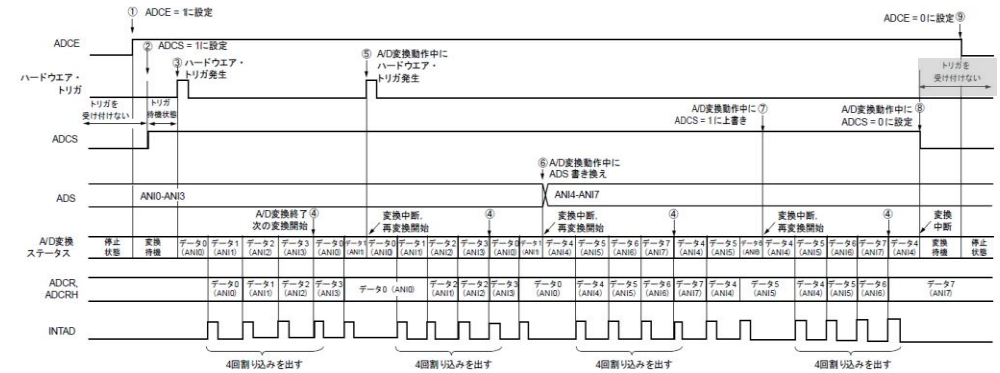
図 12-26 ハードウェア・トリガ・ノーウエイト・モード  
(スキャン・モード、連続変換モード)動作タイミング例



正)

省略

図 12-26 ハードウェア・トリガ・ノーウエイト・モード  
(スキャン・モード、連続変換モード)動作タイミング例

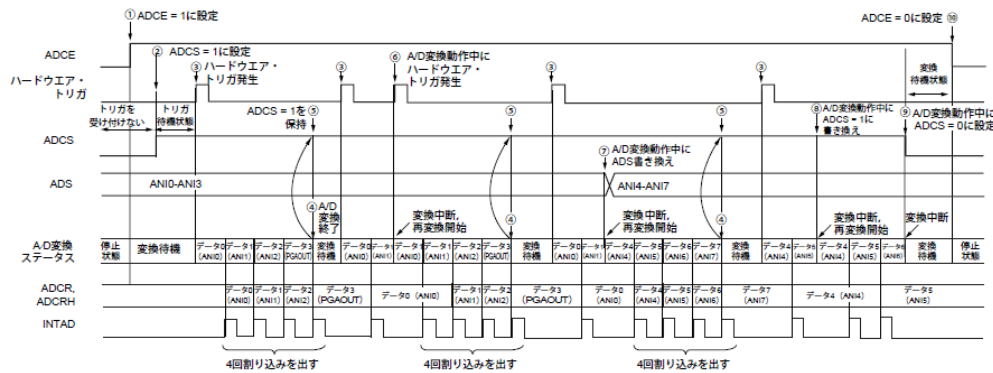


62. 12.6.8 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード、ワンショット変換モード) (p.500)

誤)

省略

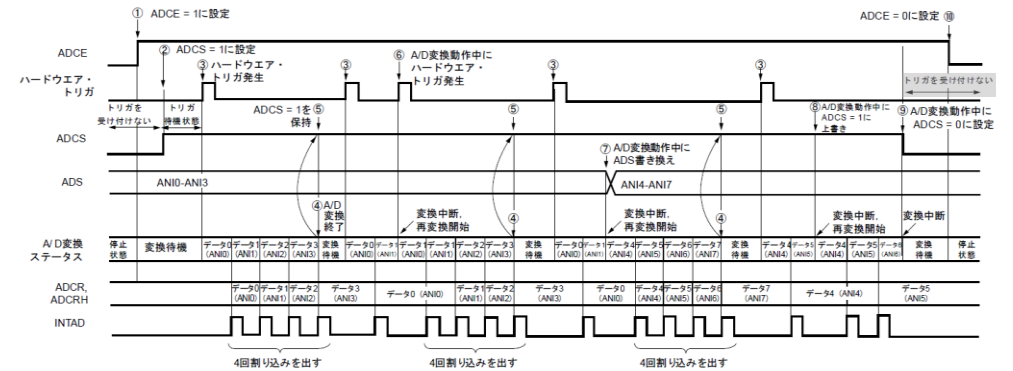
図 12-27 ハードウェア・トリガ・ノーウエイト・モード  
(スキャン・モード、ワンショット変換モード)動作タイミング例



正)

省略

図 12-27 ハードウェア・トリガ・ノーウエイト・モード  
(スキャン・モード、ワンショット変換モード)動作タイミング例

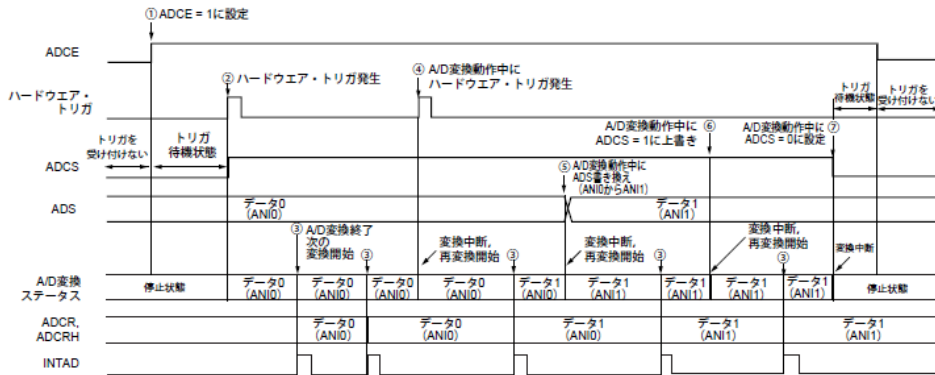


63. 12.6.9 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード、連続変換モード) (p.501)

誤)

省略

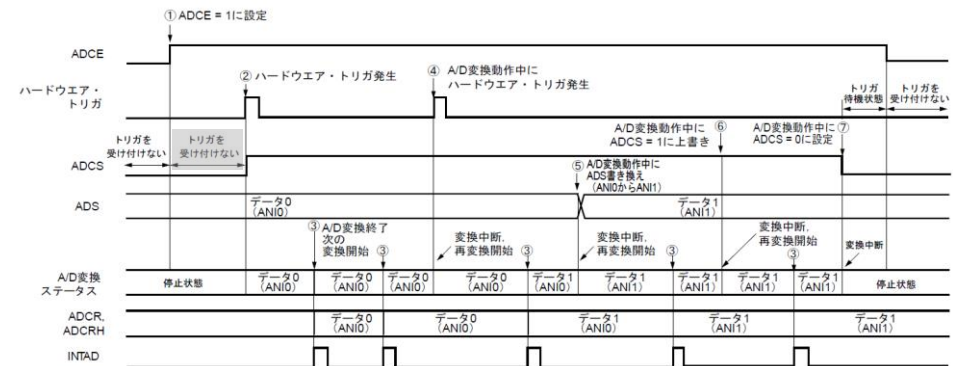
図 12-28 ハードウェア・トリガ・ウエイト・モード  
(セレクト・モード、連続変換モード)動作タイミング例



正)

省略

図 12-28 ハードウェア・トリガ・ウエイト・モード  
(セレクト・モード、連続変換モード)動作タイミング例

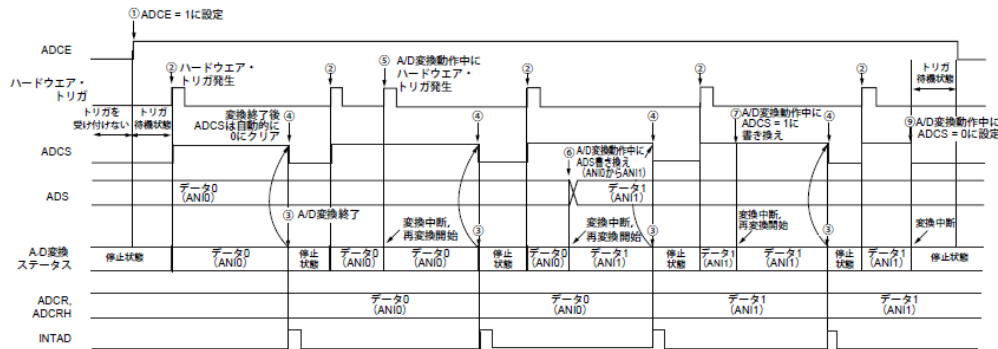


64. 12.6.10 ハードウェア・トリガ・ウエイト・モード(セレクト・モード、ワンショット変換モード)(p.502)

誤)

(省略)

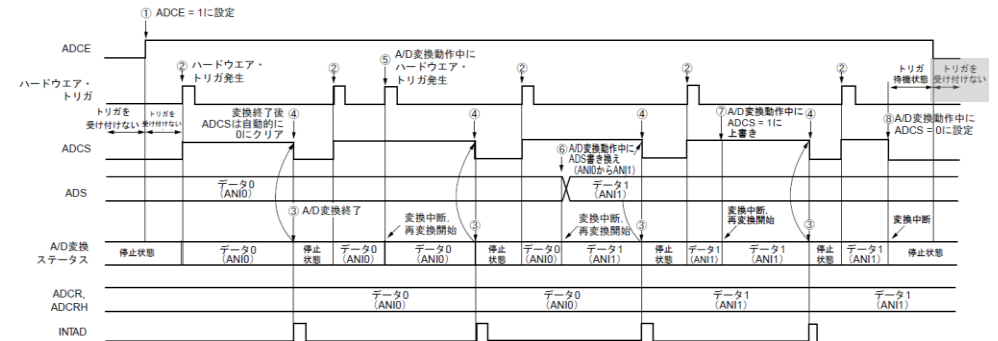
図 12-29 ハードウェア・トリガ・ウエイト・モード  
(セレクト・モード、連続変換モード)動作タイミング例



正)

(省略)

図 12-29 ハードウェア・トリガ・ウエイト・モード  
(セレクト・モード、ワンショット変換モード)動作タイミング例



65. 15.3.14 シリアル・スタンバイ・コントロール・レジスタ 0(SSC0)(p.577)

誤)

SSC0レジスタは、CSI00、UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動(SNOOZEモード)を制御するレジスタです。

SSC0レジスタは、16ビット・メモリ操作命令で設定します。

またSSCレジスタの下位8ビットは、SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSC0レジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

・CSI00の場合: 1 Mbps

・UART0の場合: 9600 bps

正)

SSC0レジスタは、CSI00、UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動(SNOOZEモード)を制御するレジスタです。

SSC0レジスタは、16ビット・メモリ操作命令で設定します。

またSSCレジスタの下位8ビットは、SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSC0レジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

・CSI00の場合: ~1 Mbps

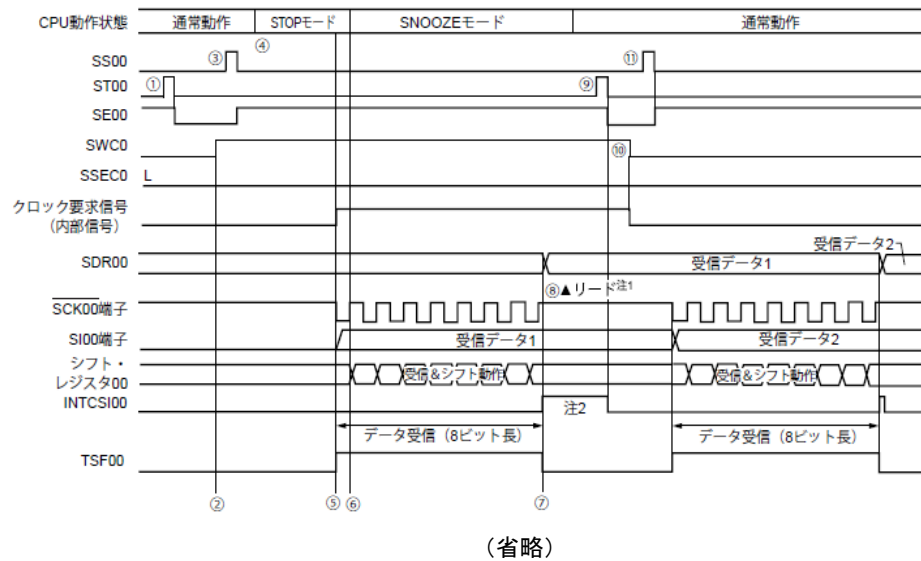
・UART0の場合: 4800 bpsのみ

66. 15.5.7 SNOOZE モード機能

図 15-71 SNOOZE モード動作(1回起動)時のタイミング・チャート(タイプ 1: DAPmn =0, CKPmn = 0)(p.634)

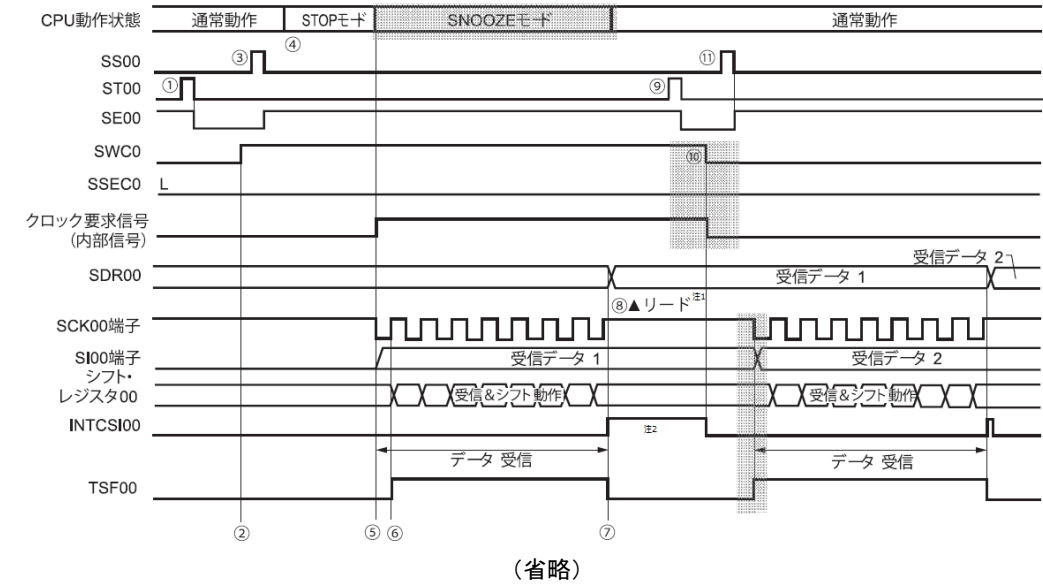
誤)

図 15-71 SNOOZE モード動作(1回起動)時のタイミング・チャート(タイプ 1: DAPmn =0, CKPmn = 0)



正)

図 15-71 SNOOZE モード動作(1回起動)時のタイミング・チャート(タイプ 1: DAPmn =0, CKPmn = 0)

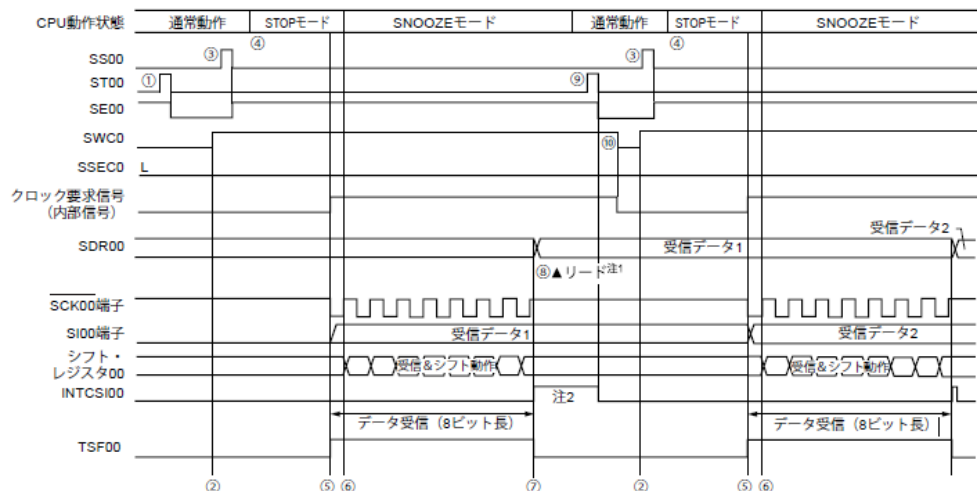


67. 15.5.7 SNOOZE モード機能

図 15-73 SNOOZE モード動作(連続起動)時のタイミング・チャート(タイプ 1: DAPmn =0, CKPmn = 0)(p.636)

誤)

図 15-73 SNOOZE モード動作(連続起動)時のタイミング・チャート(タイプ 1: DAPmn =0, CKPmn = 0)

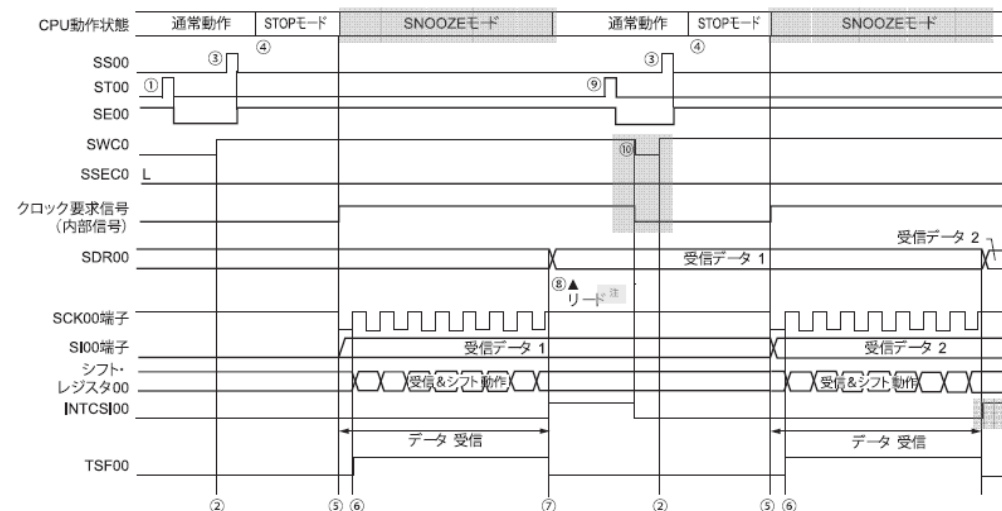


- 注 1. 受信データの読み出しは、SWCm = 1 の状態、次の SCKp 端子のエッジ検出前に行ってください。
2. 転送完了割り込み(INTCSIp)は、SWCm = 0 に設定するか、次の SCKp 端子のエッジ検出でクリアされます。

注意 1. SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、STm0 ビットを 1 に設定してください(SEm0 ビットがクリアされ動作停止)。また、受信動作を完了したあとは、SWCm ビットもクリアしてください(SNOOZE 解除)。

正)

図 15-73 SNOOZE モード動作(連続起動)時のタイミング・チャート(タイプ 1: DAPmn =0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1 の状態、次の SCKp 端子のエッジ検出前に行ってください。

- 注意 1. SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、STm0 ビットを 1 に設定してください(SEm0 ビットがクリアされ動作停止)。また、受信動作を完了したあとは、SWCm ビットもクリアしてください(SNOOZE 解除)。
2. SWCm=1 のときは、BFFm1,OVFm1 フラグは動作しません。



68. 15.6.3 SNOOZE モード機能の注意追加(p.659)

誤)

## 15. 6. 3 SNOOZE モード機能

STOP モード時に RxDq 端子入力の検出により, UART 受信を動作させるモードです。通常 STOP モード時は UART の通信動作を停止しますが, SNOOZE モード機能を使用することで, CPU を動作させずに UART 受信を行うことができます。

(省略)

注意 1. SNOOZE モードは, fCLK に高速オンチップ・オシレータ・クロック(fIH) を選択している場合のみ使用できます。

(省略)

4. SSECm=1 の設定では, パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFmn, FEFmn, OVFmn フラグはセットされず, エラー割り込み(INTSREq)も発生しません。そのため, SSECm=1 で使用するときは, SWC0=1 に設定する前に PEFmn, FEFmn, OVFmn フラグをクリアし, また, SDRm1 レジスタのビット 7-0(RxDq)を読み出してください。

正)

## 15. 6. 3 SNOOZE モード機能

STOP モード時に RxDq 端子入力の検出により, UART 受信を動作させるモードです。通常 STOP モード時は UART の通信動作を停止しますが, SNOOZE モード機能を使用することで, CPU を動作させずに UART 受信を行うことができます。

(省略)

注意 1. SNOOZE モードは, fCLK に高速オンチップ・オシレータ・クロック(fIH) を選択している場合のみ使用できます。

(省略)

4. SSECm=1 の設定では, パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFmn, FEFmn, OVFmn フラグはセットされず, エラー割り込み(INTSREq)も発生しません。そのため, SSECm=1 で使用するときは, SWC0=1 に設定する前に PEFmn, FEFmn, OVFmn フラグをクリアし, また, SDRm1 レジスタのビット 7-0(RxDq)を読み出してください。

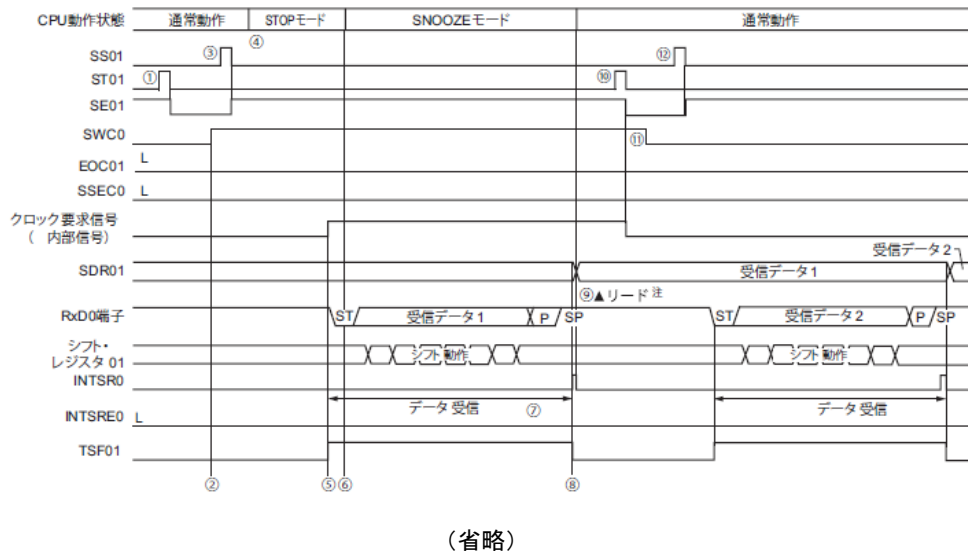
5. RxDq 端子の有効エッジ検出により SNOOZE モードへ移行します。  
また, スタート・ビット入力を検出できないような短いパルスを受けると UART 受信が開始されず, SNOOZE モードを継続することがあります。この場合, 次の UART 受信で正しくデータ受信できず, フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

69. 15.6.3 SNOOZE モード機能

CPU 動作状態、クロック要求信号(内部信号)、INTSR0 と TSF01 のタイミング・チャートの誤記訂正(p.661)(No.8 の再修正)

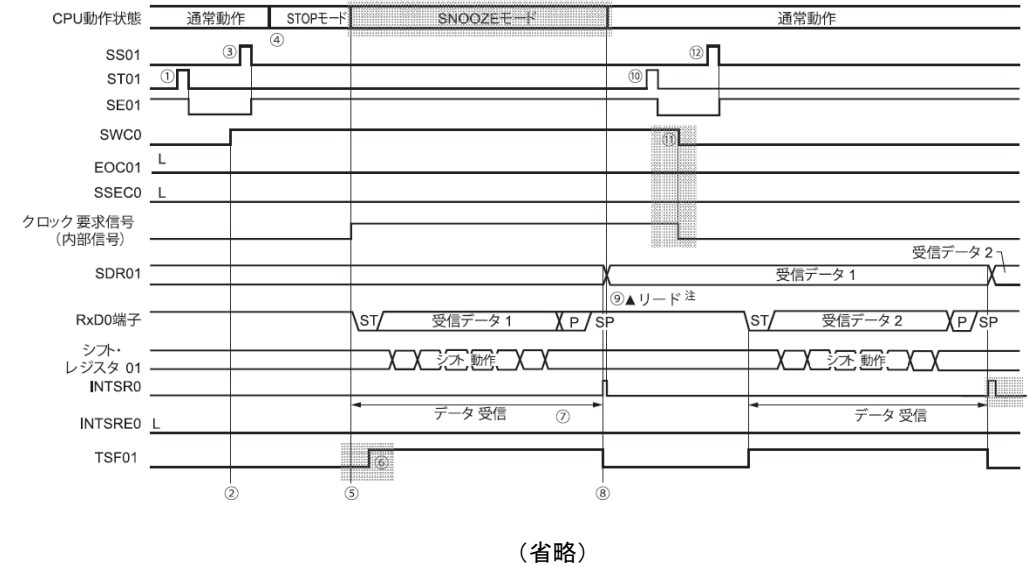
誤)

図 15-90 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート



正)

図 15-90 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート

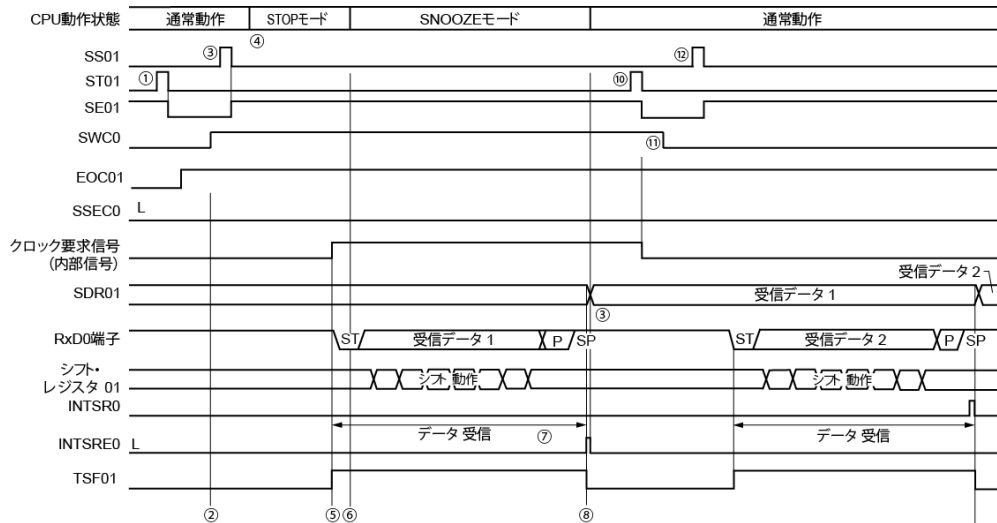


70. 15.6.3 SNOOZE モード機能

図 15-91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート (p.662) (No.8 の再修正)

誤)

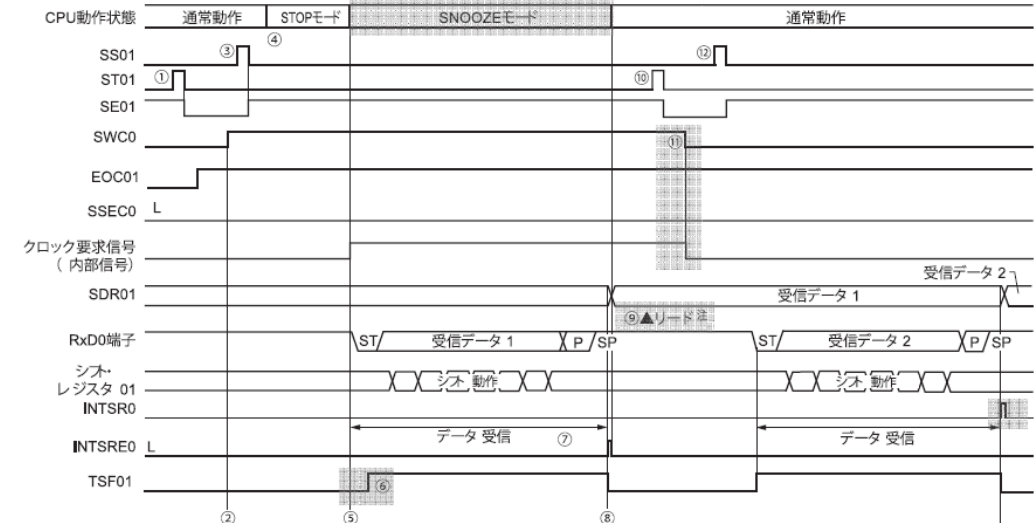
図 15-91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



(省略)

正)

図 15-91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



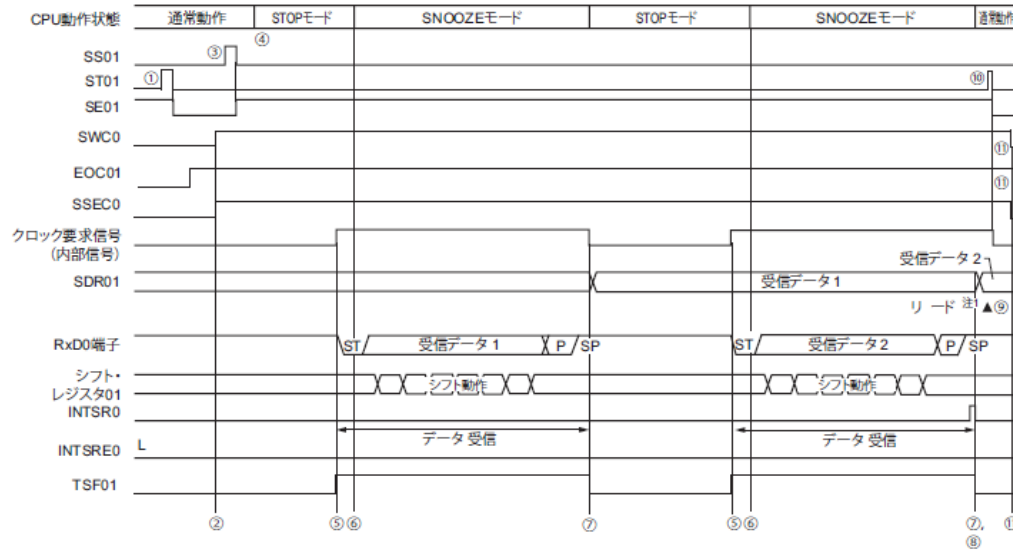
(省略)

71. 15.6.3 SNOOZE モード機能

図 15-93 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート (p.664) (No.8 の再修正)

誤)

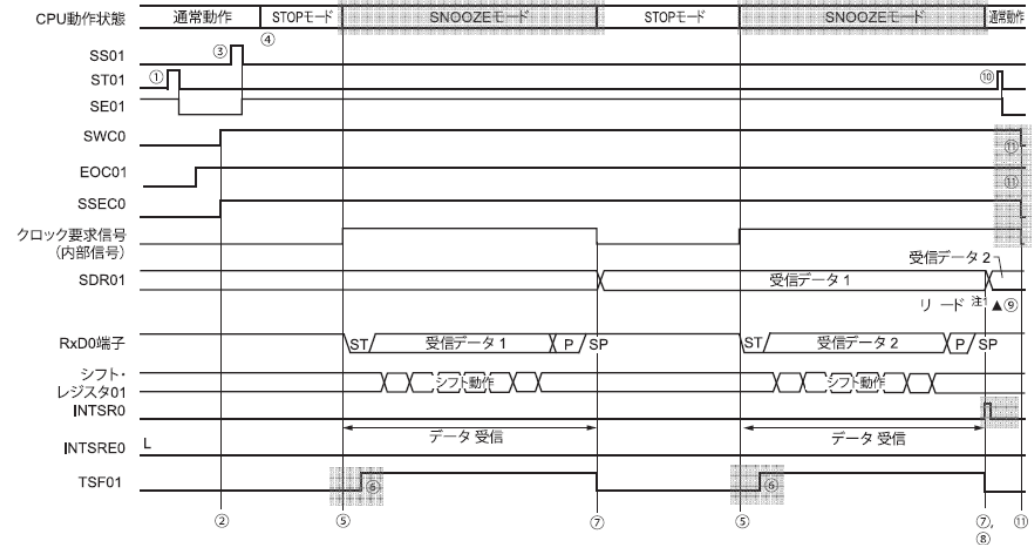
図 15-93 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



(省略)

正)

図 15-93 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



(省略)

72. 16.5.3 SNOOZE モード機能(p.730)

誤)

## 15. 6. 3 SNOOZE モード機能

STOP モード時に RxDq 端子入力の検出により, UART 受信を動作させるモードです。通常 STOP モード時は UART の通信動作を停止しますが, SNOOZE モード機能を使用することで, CPU を動作させずに UART 受信を行うことができます。

(省略)

注意 1. SNOOZE モードは, fCLK に高速オンチップ・オシレータ・クロック(fIH) を選択している場合のみ使用できます。

(省略)

SSECm=1 の設定では, パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFmn, FEFmn, OVFmn フラグはセットされず, エラー割り込み(INTSREQ)も発生しません。そのため, SSECm=1 で使用するときには, SWC0=1 に設定する前に PEFmn, FEFmn, OVFmn フラグをクリアし, また, SDRm1 レジスタのビット 7-0(RxDq)を読み出してください。

正)

## 15. 6. 3 SNOOZE モード機能

STOP モード時に RxDq 端子入力の検出により, UART 受信を動作させるモードです。通常 STOP モード時は UART の通信動作を停止しますが, SNOOZE モード機能を使用することで, CPU を動作させずに UART 受信を行うことができます。

(省略)

注意 1. SNOOZE モードは, fCLK に高速オンチップ・オシレータ・クロック(fIH) を選択している場合のみ使用できます。

(省略)

4. SSECm=1 の設定では, パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFmn, FEFmn, OVFmn フラグはセットされず, エラー割り込み(INTSREQ)も発生しません。そのため, SSECm=1 で使用するときには, SWC0=1 に設定する前に PEFmn, FEFmn, OVFmn フラグをクリアし, また, SDRm1 レジスタのビット 7-0(RxDq)を読み出してください。

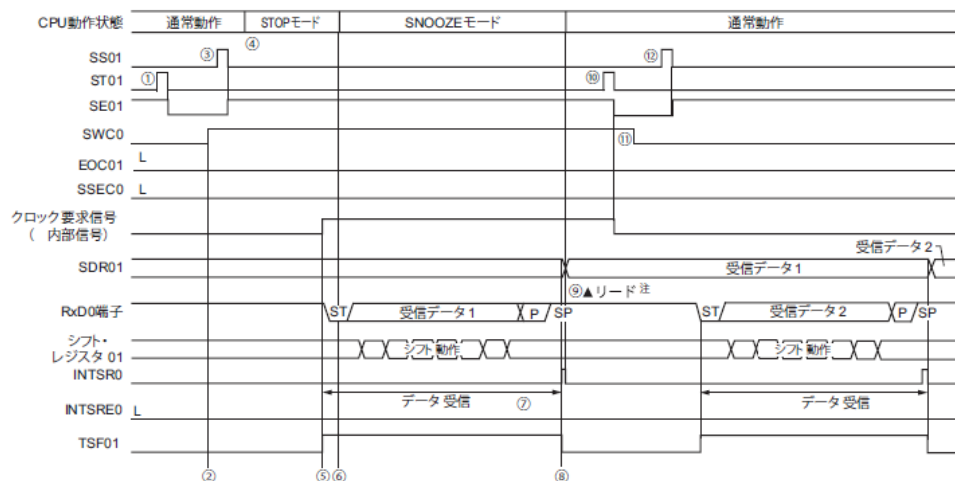
5. RxDq 端子の有効エッジ検出により SNOOZE モードへ移行します。また, スタート・ビット入力を検出できないような短いパルスを受けると UART 受信が開始されず, SNOOZE モードを継続することがあります。この場合, 次の UART 受信で正しくデータ受信できず, フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

73. 16.5.3 SNOOZE モード機能

図 16-41 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート (p.732)

誤)

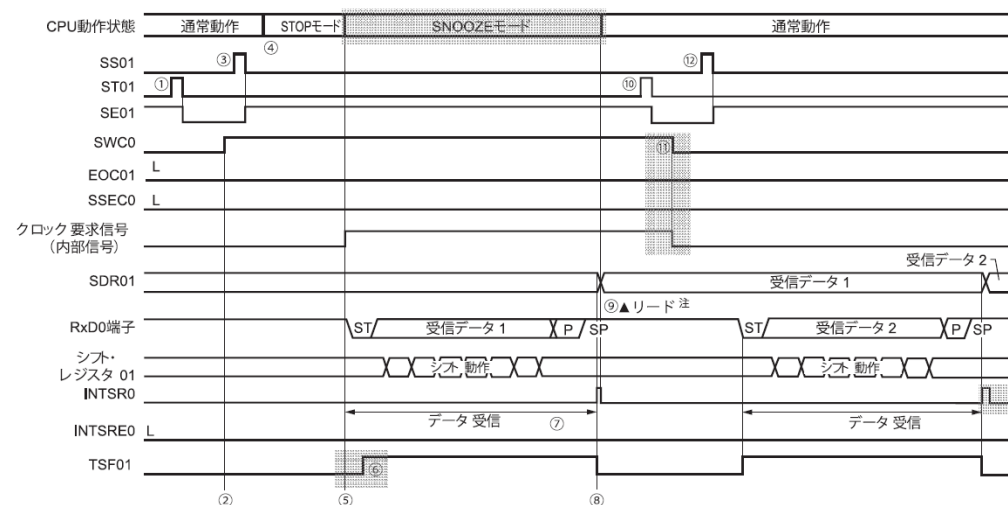
図 16-41 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



(省略)

正)

図 16-41 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



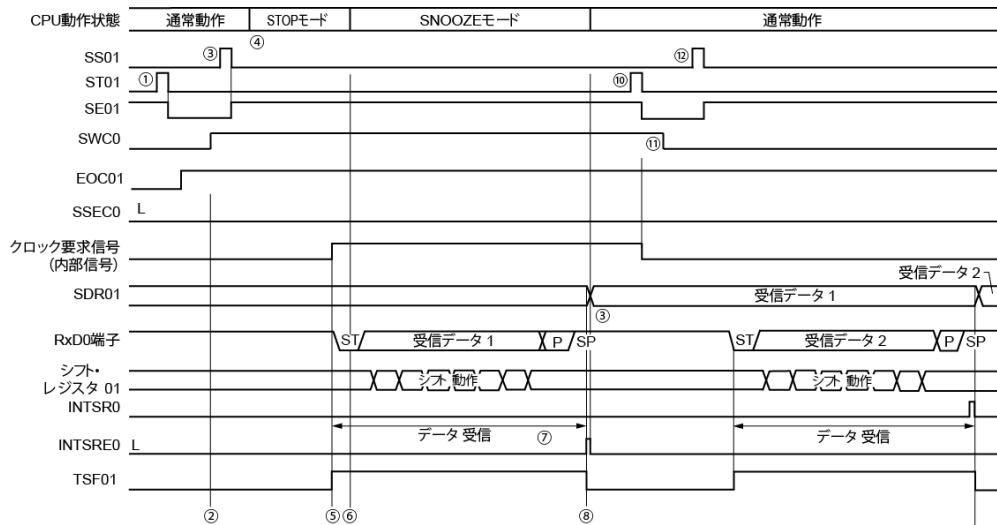
(省略)

74. 16.5.3 SNOOZE モード機能

図 16-42 SNOOZE モード動作 (EOCm1 = 1, SSECM = 0) 時のタイミング・チャート (p.733)

誤)

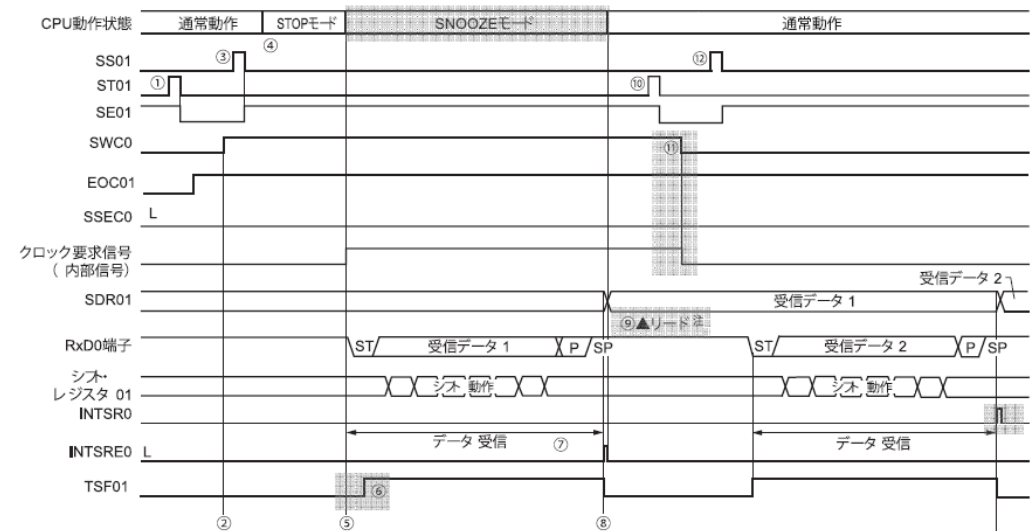
図 16-42 SNOOZE モード動作 (EOCm1 = 1, SSECM = 0) 時のタイミング・チャート



(省略)

正)

図 16-42 SNOOZE モード動作 (EOCm1 = 1, SSECM = 0) 時のタイミング・チャート



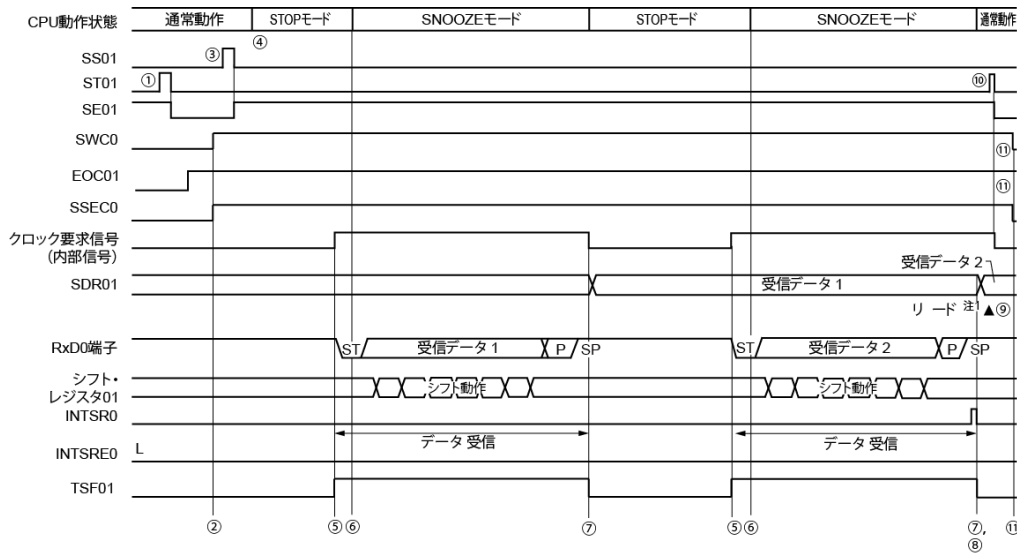
(省略)

75. 16.5.3 SNOOZE モード機能

図 16-44 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート (p.735)

誤)

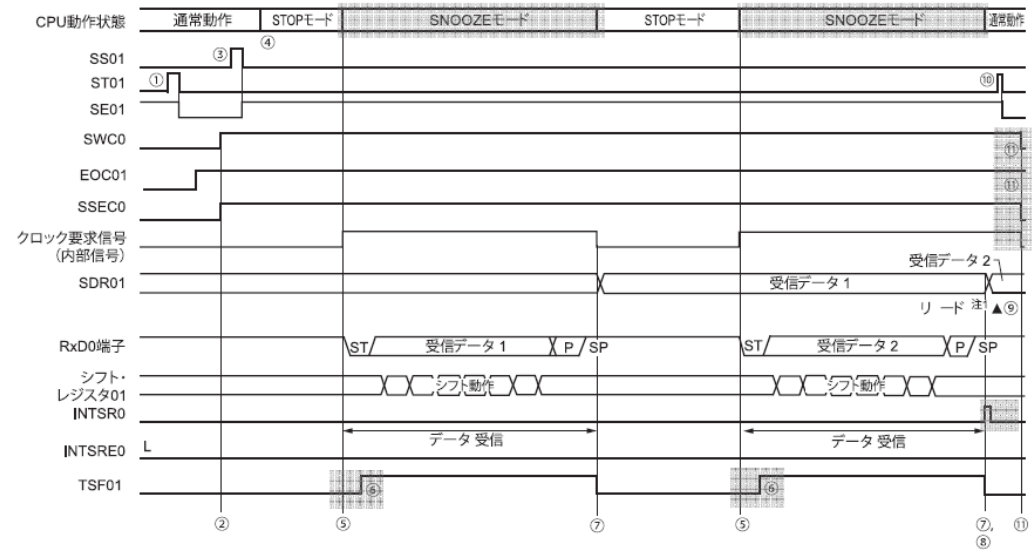
図 16-44 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



(省略)

正)

図 16-44 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



(省略)

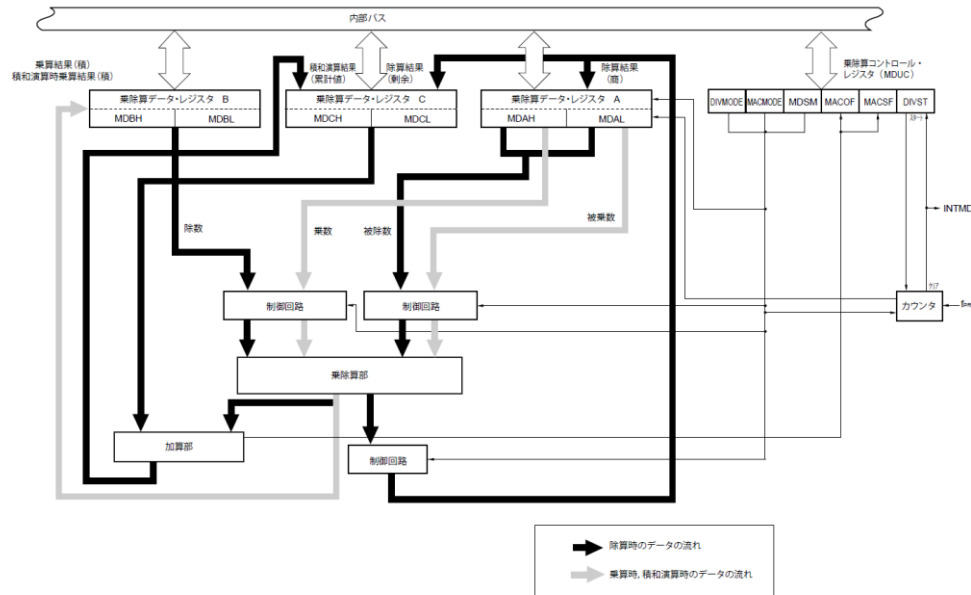


76. 18.2 乗除積和算器の構成

図 18-1 乗除積和算器のブロック図(p.856)

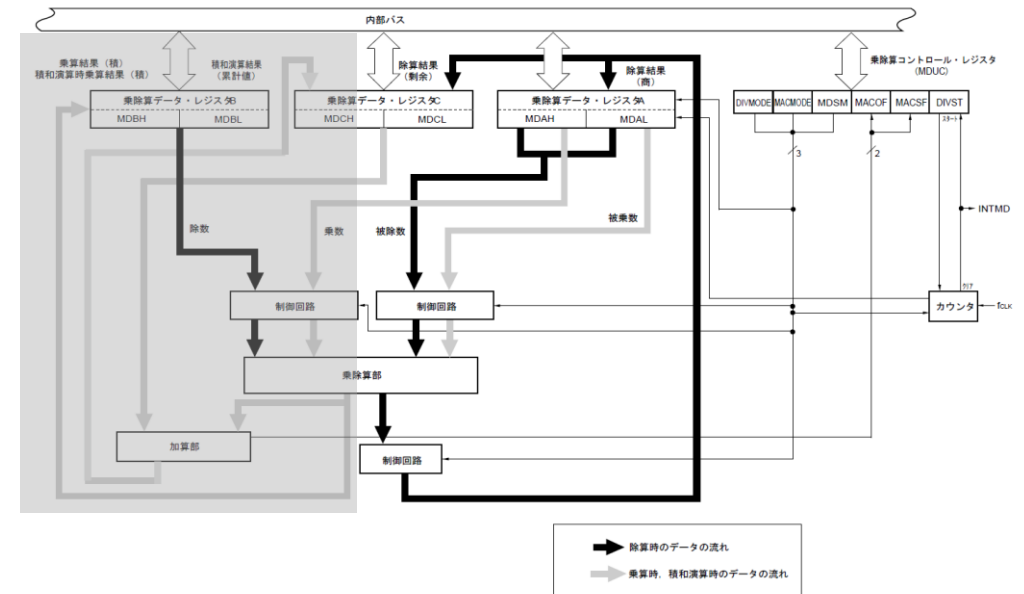
誤)

図 18-1 乗除積和算器のブロック図



正)

図 18-1 乗除積和算器のブロック図



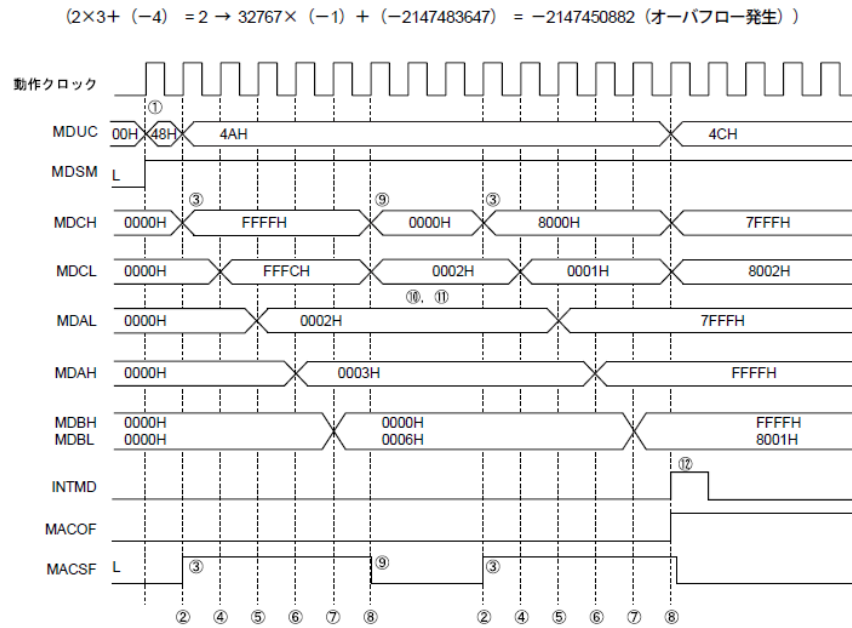
備考 fCLK:CPU/周辺ハードウェア・クロック周波数

77. 18.4.4 積和演算(符号付)動作

図 18-9 積和演算(符号付)動作のタイミング図(p.868)

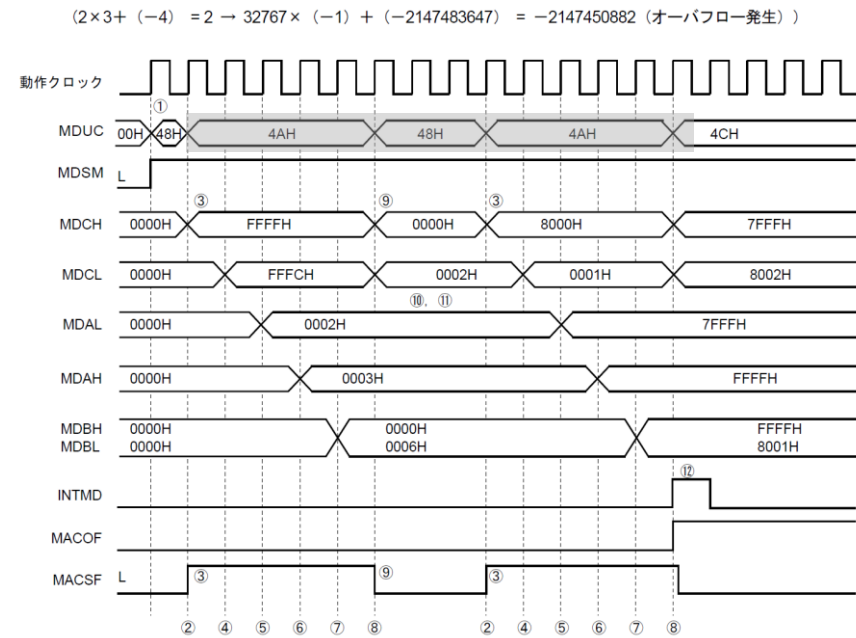
誤)

図 18-9 積和演算(符号付)動作のタイミング図



正)

図 18-9 積和演算(符号付)動作のタイミング図



78. 19.6 DMAコントローラの注意事項(p.891)

## 誤)

## (4)DMA 転送の保留命令

DMA 要求が発生しても、次の命令直後では DMA 転送は保留されます。

- CALL !addr16
- CALL \$!addr20
- CALL !!addr20
- CALL rp
- CALLT [addr5]
- BRK
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSW の各レジスタに対するビット操作命令
- 2nd SFR のアドレス F0500H~F06FFH に配置されているレジスタへアクセス
- データ・フラッシュにアクセスする命令

## 正)

## (4)DMA 転送の保留命令

DMA 要求が発生しても、次の命令直後では DMA 転送は保留されます。

- CALL !addr16
- CALL \$!addr20
- CALL !!addr20
- CALL rp
- CALLT [addr5]
- BRK
- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSW の各レジスタに対するビット操作命令
- 2nd SFR のアドレス F0500H~F06FFH に配置されているレジスタへアクセス
- データ・フラッシュにアクセスする命令

79. 23.1 パワーオン・リセット回路の機能(p.952)

誤)

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が1.51 V±0.03 Vを越えた場合に、リセットを解除します。

- ・電源電圧(VDD)と検出電圧(VPDR = 1.50 V±0.03 V)を比較し、VDD<VPDRになったとき内部リセット信号を発生します。

注意 POR回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)のTRAP, WDTRF, RPERF, IAWRF, LVIRFフラグがクリア(00H)されます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第22章 リセット機能を参照してください。

正)

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が検出電圧(VPOR)を越えた場合に、リセットを解除します。

ただし、32.4 または33.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- ・電源電圧(VDD)と検出電圧(VPDR)を比較し、VDD<VPDRになったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、32.4または33.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第22章 リセット機能を参照してください。

2. VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

詳細は、32.6.5 または 33.6.5 POR回路特性を参照してください。

80. **24 電圧検出回路****24.1 電圧検出回路の機能(p.959)**

誤)

電圧検出(LVD)回路は、次のような機能を持ちます。

- ・電源電圧(V<sub>DD</sub>)と検出電圧(V<sub>LVDH</sub>, V<sub>LVDL</sub>)を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧の検出電圧(V<sub>LVDH</sub>, V<sub>LVDL</sub>)は、オプション・バイトにて検出レベルを6段階より選択できます(第27章 オプション・バイト参照)。
- ・STOPモード時においても動作可能です。
- ・オプション・バイトにて、次の3つの動作モードを選択できます。

(省略)

正)

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(V<sub>LVDH</sub>,V<sub>LVDL</sub>,V<sub>LVD</sub>)を設定します。電圧検出(LVD)回路は、次のような機能を持ちます。

- ・電源電圧(V<sub>DD</sub>)と検出電圧(V<sub>LVDH</sub>, V<sub>LVDL</sub>, V<sub>LVD</sub>)を比較し、内部リセットまたは割り込み要求信号を発生します。
- ・電源電圧の検出電圧(V<sub>LVDH</sub>, V<sub>LVDL</sub>, V<sub>LVD</sub>)は、オプション・バイトにて検出レベルを6段階より選択できます(第27章 オプション・バイト参照)。
- ・STOPモード時においても動作可能です。
- ・電源立ち上がり時は、32.4または33.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定より変わります。

(省略)