

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0135A/J	Rev.	第 1 版
題名	誤記訂正通知 RL78/G24 ユーザーズマニュアル Rev.1.10 の記載変更		情報分類	技術情報	
適用製品	RL78/G24 グループ	対象ロット等	関連資料	RL78/G24 ユーザーズマニュアル ハードウェア編 Rev.1.10 R01UH0961JJ0110 (2023.11)	
		全ロット			

RL78/G24 ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0961JJ0110) において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
3.1 メモリ空間	p.108, p.109, p.114	誤記訂正
20.3.3 A/Dコンバータ・モード・レジスタ0 (ADM0)	p.1116, p.1120, p.1122 – p.1132	誤記訂正
20.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1)	p.1134	誤記訂正
20.3.5 A/Dコンバータ・モード・レジスタ2 (ADM2)	p.1136, p.1137	誤記訂正
39.6.1 セルフ・プログラミング手順	p.1811	誤記訂正
39.10.1 データ・フラッシュの概要	p.1862	誤記訂正
40.3 オンチップ・デバッグのセキュリティ設定	p.1865	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0961JJ0110	
1	3.1 メモリ空間		p.108, p.109, p.114	p.3 – p.5
2	20.3.3 A/Dコンバータ・モード・レジスタ0（ADM0）		p.1116, p.1120, p.1122 – p.1132	p.6 – p.18
3	20.3.4 A/Dコンバータ・モード・レジスタ1（ADM1）		p.1134	p.19
4	20.3.5 A/Dコンバータ・モード・レジスタ2（ADM2）		p.1136, p.1137	p.20, p.21
5	39.6.1 セルフ・プログラミング手順		p.1811	p.22
6	39.10.1 データ・フラッシュの概要		p.1862	p.23
7	40.3 オンチップ・デバッグのセキュリティ設定		p.1865	p.24

誤記訂正の該当箇所は、誤）太字下線、正）グレー・ハッチングで記載します。

発行文書履歴

RL78/G24 ユーザーズマニュアル Rev.1.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0135A/J	2024年4月26日	初版発行 訂正一覧の No.1 ～ No.7 の誤記訂正（本通知です。）

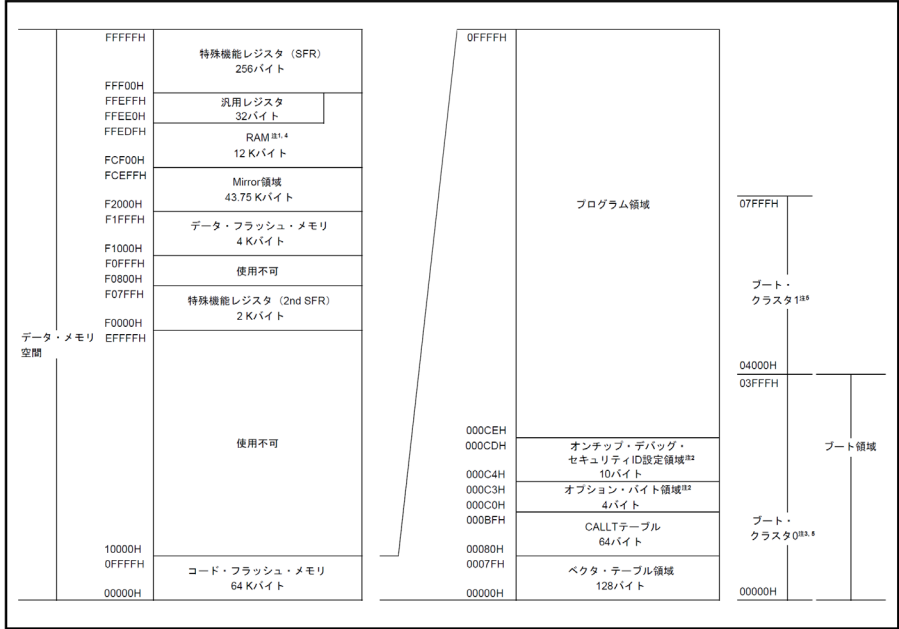
1. 3.1 メモリ空間 (p. 108, p.109, p.114)

誤)

(p. 108)

RL78/G24 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ～図 3 - 2 にメモリ・マップを示します。

図 3 - 1 メモリ・マップ (R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L))



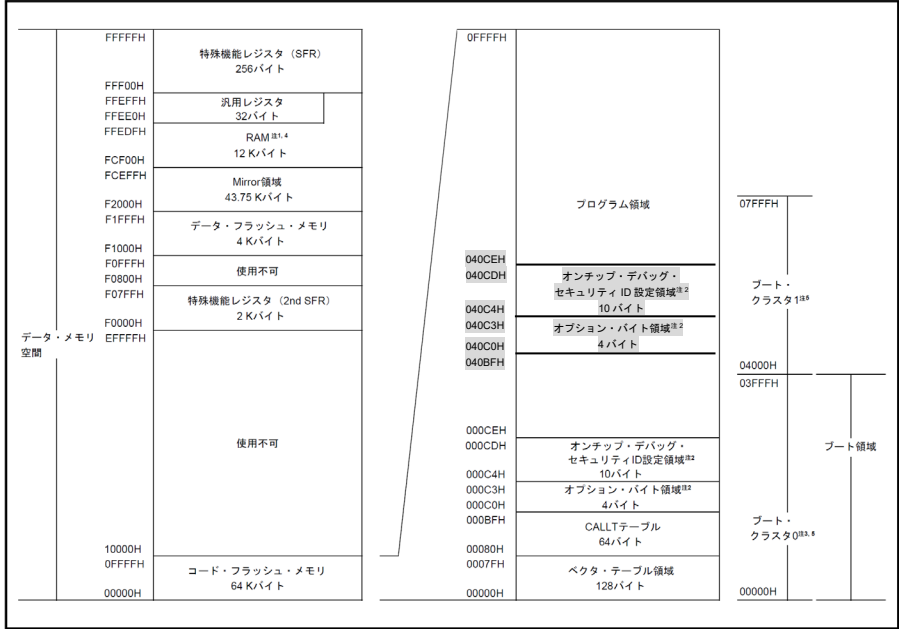
- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注2. ブート・スワップ未使用時：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

正)

RL78/G24 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ～図 3 - 2 にメモリ・マップを示します。

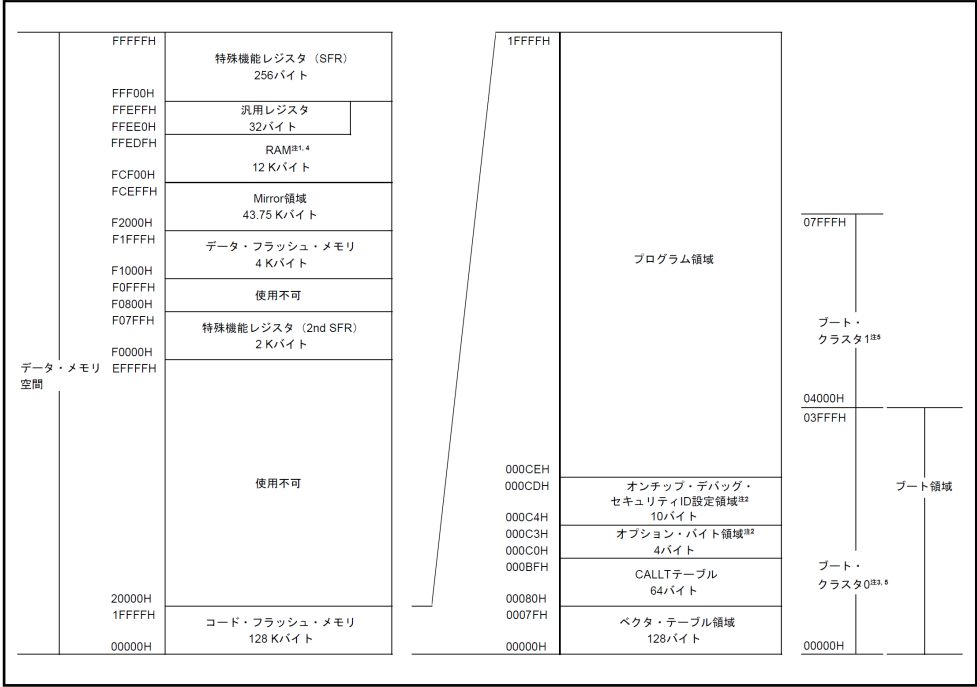
図 3 - 1 メモリ・マップ (R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L))



- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注2. ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

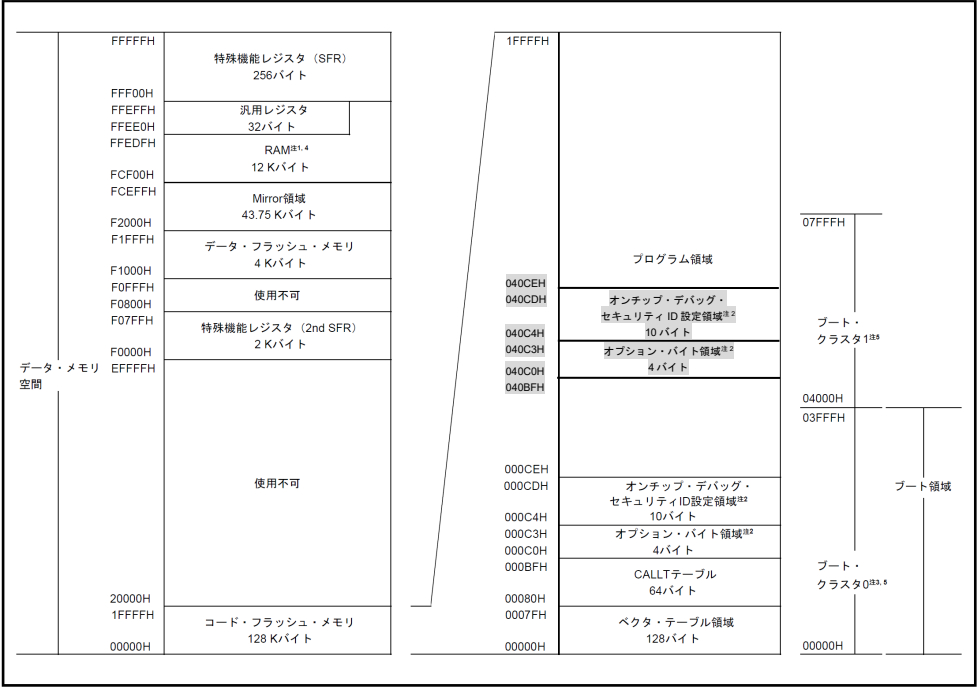
図 3-2 メモリ・マップ (R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L))



- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注2. **ブート・スワップ未使用時** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

図 3-2 メモリ・マップ (R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L))



- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注2. **ブート・スワップ未使用時** (FLSECレジスタのBTFLGビットが1の状態) : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(略)

(3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には040C0H-040C3H にもオプション・バイトを設定してください。詳細は、第38章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDH に、ブート・スワップ使用時には000C4H-000CDH と040C4H-040CDH に10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は、第40章 オンチップ・デバッグ機能を参照してください。

(略)

(3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには040C0H-040C3H にもオプション・バイトを設定してください。詳細は、第38章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）には000C4H-000CDH に、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDH と040C4H-040CDH に10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は、第40章 オンチップ・デバッグ機能を参照してください。

2. 20.3.3 A/D コンバータ・モード・レジスタ 0 (ADM0) (p. 1116, p. 1120, p. 1122 – p. 1132)

誤)

(p. 1116)

図 20 - 4 A/D コンバータ・モード・レジスタ 0 (ADM0) のフォーマット
(略)

ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

- 注1. FR[2:0], LV[1:0]ビットおよびA/D変換に関する詳細は、表20 - 6 A/D変換時間の選択を参照してください。
- 注2. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μ s +変換クロック (fAD) の2クロックかかります。このため、ADCEビットに1を設定してから1 μ s +変換クロック (fAD) の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。
- ADCE = 0状態でADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1 μ s +変換クロック (fAD) の2クロック以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

- 注意1. ADMD, FR[2:0], LV[1:0]ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 注意2. ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。
- 注意3. ADCS = 0, ADCE = 0の状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止です。必ず20.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。
- 注意4. アドバンスド・モードONの場合はADMD = 1に設定することは禁止です。
- 注意5. アドバンスド・モードONの場合はADCS = 1のとき、ADCS = 1を上書きすることは禁止です。
- 注意 6. アドバンスド・モード ON の場合は ADCE = 1 のとき、ADCE = 1を上書きすることは禁止です。

正)

図 20 - 4 A/D コンバータ・モード・レジスタ 0 (ADM0) のフォーマット
(略)

ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

- 注1. FR[2:0], LV[1:0]ビットおよびA/D変換に関する詳細は、表20 - 6 A/D変換時間の選択を参照してください。
- 注2. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μ s +変換クロック (fAD) の2クロックかかります。このため、ADCEビットに1を設定してから1 μ s +変換クロック (fAD) の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。ADCE = 0状態でADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1 μ s +変換クロック (fAD) の2クロック以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

- 注意1. ADMD, FR[2:0], LV[1:0]ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 注意2. ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。
- 注意3. ADCS = 0, ADCE = 0の状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止です。必ず20.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。
- 注意4. アドバンスド・モードONの場合はADMD = 1に設定することは禁止です。
- 注意5. アドバンスド・モードONの場合はADCS = 1のとき、ADCS = 1を上書きすることは禁止です。
- 注意 6. アドバンスド・モード ON の場合は ADCE = 1 のとき、ADCE = 1を上書きすることは禁止です。
- 注意7. 変換待機状態／変換動作状態からADCS=0, ADCE=0の変換停止状態にした場合は、次にADCE=1またはADCS=1を設定するまでに5 μ sウエイトしてください。なお、ADMD, FR2-FR0, LV1, LV0ビットを変更する場合は、ADCS=0, ADCE=0に設定した後、0.2 μ s経過後にADMD, FR2-FR0, LV1, LV0ビットを変更してください。

(p. 1120)

- 注意1. ハードウェア・トリガ・ウェイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。
- 注意2. ハードウェア・トリガ・ノーウェイト・モードおよびアドバンスド・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。
- 注意3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。
- 注意4. アドバンスド・モードではトリガ要因が発生してから、トリガを検知するまでに3 fCLK必要です。表20 - 5にアドバンスド・モードでの、トリガ発生または直前変換終了後～A/D変換開始までのクロック数を示します。
- 注意5. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。
- ハードウェア・トリガ・ノーウェイト・モード時：fCLKの2クロック+変換起動時間+ A/D変換時間
- ハードウェア・トリガ・ウェイト・モード時：fCLKの2クロック+変換起動時間+ A/D電源安定待ち時間+ A/D変換時間
- アドバンスド・モード時：fCLKの3クロック+変換起動時間+ A/D変換時間

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

変換開始遅延 : 変換起動時間経過後、A/D変換時間が開始するまでに発生する遅延= 1 fAD

割り込み出力遅延 : A/D変換が完了後から INTAD0-3 を発生するまでの遅延= 1 fAD

発行日：2024年4月26日

- 注意1. ハードウェア・トリガ・ウェイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。
- 注意2. ハードウェア・トリガ・ノーウェイト・モードおよびアドバンスド・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。
- 注意3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。
- 注意4. アドバンスド・モードではトリガ要因が発生してから、トリガを検知するまでに3 fCLK必要です。表20 - 5にアドバンスド・モードでの、トリガ発生または直前変換終了後～A/D変換開始までのクロック数を示します。
- 注意5. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。
- ハードウェア・トリガ・ノーウェイト・モード時：fCLKの2クロック+変換起動時間+ A/D変換時間
- ハードウェア・トリガ・ウェイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + 5μs
- アドバンスド・モード時：fCLKの3クロック+変換起動時間+ A/D変換時間

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

変換開始遅延 : 変換起動時間経過後、A/D変換時間が開始するまでに発生する遅延= 1 fAD

割り込み出力遅延 : A/D変換が完了後から INTAD0-3 を発生するまでの遅延= 1 fAD

(p. 1122)

表20 - 6 A/D変換時間の選択 (1/11)

(1) A/D電源安定待ち時間なし 標準モード1, 2

(ソフトウェア・トリガ・ノーウェイト・セレクト・モード／ハードウェア・トリガ・ノーウェイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)					
(AD M1)	(ADM0)										2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	2112/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	66 μs
0	0	0	0	1			fCLK/16	1 fAD	64 fAD	1 fAD	1056/fCLK	設定禁止	設定禁止	設定禁止	66 μs	33 μs
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	528/fCLK	設定禁止	設定禁止	66 μs	33 μs	16.5 μs
0	0	1	1				fCLK/4	1 fAD	64 fAD	1 fAD	264/fCLK	設定禁止	設定禁止	33 μs	16.5 μs	8.25 μs
1	0	1	1			上記以外	fCLK/4	1 fAD	181 fAD	1 fAD	732/fCLK	設定禁止	183 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	91.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	183 μs	45.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (1/11)

(1) A/D電源安定待ち時間なし 標準モード1, 2

(ソフトウェア・トリガ・ノーウェイト・セレクト・モード／ハードウェア・トリガ・ノーウェイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)				
(AD M1)		(ADM0)				2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V										
ADL SP	FR2	FR1	FR0	LV1	LV0	fCLK = 1 MHz						fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	2112/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	66 μs
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	1056/fCLK	設定禁止	設定禁止	設定禁止	66 μs	33 μs
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	528/fCLK	設定禁止	設定禁止	66 μs	33 μs	16.5 μs
0	0	1	1				fCLK/4	1 fAD	64 fAD	1 fAD	264/fCLK	設定禁止	設定禁止	33 μs	16.5 μs	8.25 μs
1	0	1	1			上記以外	fCLK/4	1 fAD	181 fAD	1 fAD	732/fCLK	設定禁止	183 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	91.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	183 μs	45.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

(p. 1123)

表 20 - 6 A/D 変換時間の選択 (2/11)

(2) A/D 電源安定待ち時間なし低電圧モード 1, 2

(ソフトウェア・トリガ・ノーウェイト・セレクト・モード／ハードウェア・トリガ・ノーウェイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅延 クロック数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)															
(AD M1)	(ADM0)											1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V											
												fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz											
												ADL SP	FR2	FR1	FR0	LV1	LV0										
0	0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs										
0	0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs										
0	0	1	0					fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs										
0	0	1	1					fCLK/4	1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	設定禁止	41 μs	20.5 μs	10.25 μs										
1	0	1	1															fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止
1	1	0	0															fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1															fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止
上記以外																		設定禁止									

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1～2 MHzとなります。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (2/11)

(2) A/D 電源安定待ち時間なし低電圧モード 1, 2

(ソフトウェア・トリガ・ノーウェイト・セレクト・モード／ハードウェア・トリガ・ノーウェイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)					
(AD M1)	(ADM0)											1.6 V ≤ AVREFF ≤ VDD ≤ 5.5 V	1.6 V ≤ AVREFF ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREFF ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREFF ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFF ≤ VDD ≤ 5.5 V	
												fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
												ADL SP	FR2	FR1	FR0	LV1	LV0
0	0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs
0	0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs
0	0	1	0					fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs
0	0	1	1					fCLK/4	1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	設定禁止	41 μs	20.5 μs	10.25 μs
1	0	1	1					fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止
1	1	0	0					fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1					fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止
上記以外												設定禁止					

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。
- なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1～2 MHzとなります。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

(p. 1124)

表 20 - 6 A/D 変換時間の選択 (3/11)

(3) A/D 電源安定待ち時間あり標準モード 1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード／ハードウェア・トリガ・ウェイト・セレクト・モード^{注1})

A/Dコンバータ・モード・レジスタ0							モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込 み出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間+割り込み出力遅延時間)				
A/Dコンバータ・モード・レジスタ1												2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V				
(AD M1)	(ADM0)											fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	72 μs	
0	0	0	0	1			fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	36 μs	

1	1	0	0						fCLK/2	4 fAD	181 fAD	4 fAD	378/fCLK	設定禁止	94.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1						fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191 μs	47.75 μs	設定禁止	設定禁止	設定禁止
上記以外									設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (1/11)参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

表 20 - 6 A/D 変換時間の選択 (3/11)

(3) A/D 電源安定待ち時間あり標準モード 1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード／ハードウェア・トリガ・ウェイト・セレクト・モード^{注1})

A/Dコンバータ・モード・レジスタ0		A/Dコンバータ・モード・レジスタ1		モード		変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間+割り込み出力遅延時間)					
(AD M1)	(ADM0)									2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
ADL SP	FR2	FR1	FR0	LV1	LV0					fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	72 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	36 μs

1	1	0	0						fCLK/2	4 fAD	181 fAD	4 fAD	378/fCLK	設定禁止	94.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1						fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191 μs	47.75 μs	設定禁止	設定禁止	設定禁止
上記以外									設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (1/11)参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

(p. 1125)

表 20 - 6 A/D 変換時間の選択 (4/11)

(4) A/D 電源安定待ち時間あり低電圧モード 1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード／ハードウェア・トリガ・ウェイト・セレクト・モード^{注1)})

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間+割り込み出力遅延時間)					
(AD M1)	(ADM0)										1.6 V ≦ AVREFP ≦ VDD ≦ 5.5 V	1.6 V ≦ AVREFP ≦ VDD ≦ 5.5 V	1.8 V ≦ AVREFP ≦ VDD ≦ 5.5 V	2.4 V ≦ AVREFP ≦ VDD ≦ 5.5 V	2.7 V ≦ AVREFP ≦ VDD ≦ 5.5 V	
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	230/fCLK	設定禁止	57.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	117/fCLK	117 μs	29.25 μs	設定禁止	設定禁止	設定禁止
上記以外								設定禁止								

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (2/11)参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

表 20 - 6 A/D 変換時間の選択 (4/11)

(4) A/D 電源安定待ち時間あり低電圧モード 1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード／ハードウェア・トリガ・ウェイト・セレクト・モード^{注1)})

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間+割り込み出力遅延時間)					
(AD M1)	(ADM0)										1.6 V ≦ AVREFP ≦ VDD ≦ 5.5 V	1.6 V ≦ AVREFP ≦ VDD ≦ 5.5 V	1.8 V ≦ AVREFP ≦ VDD ≦ 5.5 V	2.4 V ≦ AVREFP ≦ VDD ≦ 5.5 V	2.7 V ≦ AVREFP ≦ VDD ≦ 5.5 V	
											fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	230/fCLK	設定禁止	57.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	117/fCLK	117 μs	29.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (2/11)参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

(p. 1126)

表 20 - 6 A/D 変換時間の選択 (5/11)

(5) A/D 電源安定待ち時間なし標準モード 1, 2

(ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間×4+割り込み出力遅延時間)					
(ADM0)						2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V											
ADL SP	FR2	FR1	FR0	LV1	LV0	fCLK = 1 MHz						fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz		
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	8256/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	258 μs	
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	4128/fCLK	設定禁止	設定禁止	設定禁止	258 μs	129 μs	
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	2064/fCLK	設定禁止	設定禁止	258 μs	129 μs	64.5 μs	
1	0	1	1				fCLK/4	1 fAD	181 fAD	1 fAD	2904/fCLK	設定禁止	726 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	1452/fCLK	設定禁止	363 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	726 μs	181.5 μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止										

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (5/11)

(5) A/D 電源安定待ち時間なし標準モード 1, 2

(ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間×4+割り込み出力遅延時間)				
(ADM0)												2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V				
ADL SP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	8256/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	258 μs
0	0	0	0	1			fCLK/16	1 fAD	64 fAD	1 fAD	4128/fCLK	設定禁止	設定禁止	設定禁止	258 μs	129 μs
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	2064/fCLK	設定禁止	設定禁止	258 μs	129 μs	64.5 μs
1	0	1	1				fCLK/4	1 fAD	181 fAD	1 fAD	2904/fCLK	設定禁止	726 μs	設定禁止	設定禁止	設定禁止
1	1	0	0	0			fCLK/2	1 fAD	181 fAD	1 fAD	1452/fCLK	設定禁止	363 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	726 μs	181.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

(p. 1127)

表 20 - 6 A/D 変換時間の選択 (6/11)

(6) A/D電源安定待ち時間なし低電圧モード1, 2

(ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間×4+割り込み出力遅延時間)					
(AD M1)	(ADM0)										1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 1 MHz	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 4 MHz	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 8 MHz	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 16 MHz	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	10304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	322 μs
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	5152/fCLK	設定禁止	設定禁止	設定禁止	322 μs	161 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	2576/fCLK	設定禁止	設定禁止	322 μs	161 μs	80.5 μs

1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	1720/fCLK	設定禁止	430 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	860/fCLK	設定禁止	215 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	430 μs	107.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1～2 MHzとなります。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (6/11)

(6) A/D電源安定待ち時間なし低電圧モード1, 2

(ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間×4+割り込み出力遅延時間)													
(AD M1)	(ADM0)					1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 1 MHz						1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 4 MHz	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 8 MHz	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 16 MHz	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 32 MHz										
						FR2						FR1	FR0	LV1	LV0	fCLK/32	1 fAD	80 fAD	1 fAD	10304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	322 μs
ADL SP	FR2	FR1	FR0	LV1	LV0																				
0	0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	10304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	322 μs								
0	0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	5152/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	322 μs	161 μs							
0	0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	2576/fCLK	設定禁止	設定禁止	322 μs	161 μs	80.5 μs								

1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	1720/fCLK	設定禁止	430 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	860/fCLK	設定禁止	215 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	430 μs	107.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1～2 MHzとなります。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

(p. 1128)

表20 - 6 A/D変換時間の選択 (7/11)

(7) A/D電源安定待ち時間あり標準モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード／ハードウェア・トリガ・ウェイト・スキャン・モード※1)

A/Dコンバータ・モード・レジスタ0						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間×4+割り込み出力遅延時間)					
A/Dコンバータ・モード・レジスタ1											2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
(AD M1)	(ADM0)										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	8448/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	264 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	4224/fCLK	設定禁止	設定禁止	設定禁止	264 μs	132 μs
1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	734/fCLK	734 μs	183.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (1/11)参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

表20 - 6 A/D変換時間の選択 (7/11)

(7) A/D電源安定待ち時間あり標準モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード／ハードウェア・トリガ・ウェイト・スキャン・モード※1)

A/Dコンバータ・モード・レジスタ0						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間×4+割り込み出力遅延時間)					
A/Dコンバータ・モード・レジスタ1											2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
(AD M1)	(ADM0)										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0						設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	8448/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	264 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	4224/fCLK	設定禁止	設定禁止	設定禁止	264 μs	132 μs
1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	734/fCLK	734 μs	183.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (1/11)参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

(p. 1129)

表20 - 6 A/D変換時間の選択 (8/11)

(8) A/D電源安定待ち時間あり低電圧モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード／ハードウェア・トリガ・ウェイト・スキャン・モード^{注1)})

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							A/D変換時間 (A/D電源安定待ち時間+変換時間×4+割り込み出力遅延時間)				
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 ^{注2}	
ADL SP	FR2	FR1	FR0	LV1	LV0						
0	0	0	0	1	0	低電圧 1	fCLK/32	4 fAD	80 fAD	4 fAD	10496/fCLK
0	0	0	1				fCLK/16	4 fAD	80 fAD	4 fAD	5248/fCLK
0	0	1	0				fCLK/8	6 fAD	80 fAD	4 fAD	2640/fCLK
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	872/fCLK
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	438/fCLK
上記以外 設定禁止											

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (2/11)参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

表20 - 6 A/D変換時間の選択 (8/11)

(8) A/D電源安定待ち時間あり低電圧モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード／ハードウェア・トリガ・ウェイト・スキャン・モード^{注1)})

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							A/D変換時間 (A/D電源安定待ち時間+変換時間×4+割り込み出力遅延時間)				
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 ^{注2}	
ADL SP	FR2	FR1	FR0	LV1	LV0						
0	0	0	0	1	0	低電圧 1	fCLK/32	4 fAD	80 fAD	4 fAD	10496/fCLK
0	0	0	1				fCLK/16	4 fAD	80 fAD	4 fAD	5248/fCLK
0	0	1	0				fCLK/8	6 fAD	80 fAD	4 fAD	2640/fCLK
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	872/fCLK
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	438/fCLK
上記以外 設定禁止											

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (2/11)参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

(p. 1130)

表 20 - 6 A/D 変換時間の選択 (9/11)

(9) A/D 電源安定待ち時間なし標準モード 1 (ANI0-7 が対象のケース)

(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数注	割り込み 出力遅延 クロック 数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)						
(AD M1)	(ADM0)											2.4 V ≤ VDD ≤ 5.5 V						2.7 V ≤ VDD ≤ 5.5 V
	ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz	
0	0	0	0	0	0	0	標準1	fCLK/32	1 fAD	41 fAD	1 fAD	1376/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	43 μs	28.667 μs
0	0	0	0	1				fCLK/16	1 fAD	41 fAD	1 fAD	688/fCLK	設定禁止	設定禁止	設定禁止	43 μs	21.5 μs	14.333 μs
0	0	0	1	0				fCLK/8	1 fAD	41 fAD	1 fAD	344/fCLK	設定禁止	設定禁止	43 μs	21.5 μs	10.75 μs	7.1667 μs
0	0	1	0	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	設定禁止	21.5 μs	10.75 μs	5.375 μs	3.5833 μs
0	1	0	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	設定禁止	10.75 μs	5.375 μs	2.6875 μs	1.7917 μs
0	1	0	1	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	設定禁止	設定禁止	5.375 μs	2.6875 μs	1.3438 μs	0.8958 μs
1	0	1	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	43 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	21.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	43 μs	10.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外									設定禁止									

注 ADSPMODレジスタのADSPMOD[1:0]に01Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 同時サンプリングを実施する場合は、以下の条件で行ってください。

ADLSP = 0, FR2-FR0 = 100, LV1-LV0 = 00, fCLK ≥ 32 MHz, VDD ≥ 2.7 V

ADLSP = 0, FR2-FR0 = 101, LV1-LV0 = 00, fCLK ≥ 16 MHz, VDD ≥ 2.7 V

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (9/11)

(9) A/D 電源安定待ち時間なし標準モード 1 (ANI0-7 が対象のケース)

(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数注	割り込み 出力遅延 クロック 数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)						
(AD M1)	(ADM0)											2.4 V ≤ VDD ≤ 5.5 V						2.7 V ≤ VDD ≤ 5.5 V
	ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz	
0	0	0	0	0	0	0	標準1	fCLK/32	1 fAD	41 fAD	1 fAD	1376/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	43 μs	28.667 μs
0	0	0	0	1				fCLK/16	1 fAD	41 fAD	1 fAD	688/fCLK	設定禁止	設定禁止	設定禁止	43 μs	21.5 μs	14.333 μs
0	0	0	1	0				fCLK/8	1 fAD	41 fAD	1 fAD	344/fCLK	設定禁止	設定禁止	43 μs	21.5 μs	10.75 μs	7.1667 μs
0	0	0	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	設定禁止	21.5 μs	10.75 μs	5.375 μs	3.5833 μs
0	0	1	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	設定禁止	10.75 μs	5.375 μs	2.6875 μs	1.7917 μs
0	0	1	0	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	設定禁止	設定禁止	5.375 μs	2.6875 μs	1.3438 μs	0.8958 μs
1	0	1	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	43 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	21.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	43 μs	10.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外									設定禁止									

注 ADSPMODレジスタのADSPMOD[1:0]に01Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 同時サンプリングを実施する場合は、以下の条件で行ってください。

ADLSP = 0, FR2-FR0 = 100, LV1-LV0 = 00, fCLK ≥ 32 MHz, VDD ≥ 2.7 V

ADLSP = 0, FR2-FR0 = 101, LV1-LV0 = 00, fCLK ≥ 16 MHz, VDD ≥ 2.7 V

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

(p. 1131)

表 20 - 6 A/D 変換時間の選択 (10/11)

(10) A/D 電源安定待ち時間なし標準モード 1, 2 (ANI0-7, ANI16-30 が対象のケース)

(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数注	割り込み 出力遅延 クロック 数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)						
(AD M1)	(ADM0)					2.4 V ≤ VDD ≤ 5.5 V						2.7 V ≤ VDD ≤ 5.5 V						
ADL SP	FR2	FR1	FR0	LV1	LV0	fCLK = 1 MHz						fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz		
標準1	fCLK/32	1 fAD	48 fAD	1 fAD	1600/fCLK	設定禁止						設定禁止	設定禁止	設定禁止	50 μs	33.333 μs		
0	0	0	0	0	0	0	fCLK/16	1 fAD	48 fAD	1 fAD	800/fCLK	設定禁止	設定禁止	設定禁止	50 μs	25 μs	16.667 μs	
0	0	0	1				fCLK/8	1 fAD	48 fAD	1 fAD	400/fCLK	設定禁止	設定禁止	50 μs	25 μs	12.5 μs	8.3333 μs	
0	0	0	1	0														
1	0	1	1	1			fCLK/4	1 fAD	261 fAD	1 fAD	1052/fCLK	設定禁止	263 μs	設定禁止	設定禁止	設定禁止	設定禁止	
1	1	1	0	0			fCLK/2	1 fAD	261 fAD	1 fAD	526/fCLK	設定禁止	131.5 μs	設定禁止	設定禁止	設定禁止	設定禁止	
1	1	0	1	0	1		fCLK	1 fAD	261 fAD	1 fAD	263/fCLK	263 μs	65.75 μs	設定禁止	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止											

注 ADSPMODレジスタのADSPMOD[1:0]に00Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

(略)

表 20 - 6 A/D 変換時間の選択 (10/11)

(10) A/D 電源安定待ち時間なし標準モード 1, 2 (ANI0-7, ANI16-30 が対象のケース)

(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数注	割り込み 出力遅延 クロック 数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)						
(AD M1)	(ADM0)											2.4 V ≤ VDD ≤ 5.5 V						2.7 V ≤ VDD ≤ 5.5 V
	ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz	
0	0	0	0	0	0	0	標準1	fCLK/32	1 fAD	48 fAD	1 fAD	1600/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	33.333 μs
0	0	0	0	1				fCLK/16	1 fAD	48 fAD	1 fAD	800/fCLK	設定禁止	設定禁止	設定禁止	50 μs	25 μs	16.667 μs
0	0	1	0					fCLK/8	1 fAD	48 fAD	1 fAD	400/fCLK	設定禁止	設定禁止	50 μs	25 μs	12.5 μs	8.3333 μs
1	0	1	1	1				fCLK/4	1 fAD	261 fAD	1 fAD	1052/fCLK	設定禁止	263 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0	0				fCLK/2	1 fAD	261 fAD	1 fAD	526/fCLK	設定禁止	131.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1	0				fCLK	1 fAD	261 fAD	1 fAD	263/fCLK	263 μs	65.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外												設定禁止						

注 ADSPMODレジスタのADSPMOD[1:0]に00Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

(略)

(p. 1132)

表 20 - 6 A/D 変換時間の選択 (11/11)

(11) A/D 電源安定待ち時間なし低電圧モード 1, 2
(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数	割り込み 出力遅延 クロック 数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)						
(AD M1)	(ADM0)					1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V						1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V		
	ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz	
0	0	0	0	0	1	0	低電圧 1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs	54.667 μs
0	0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs	27.333 μs
0	0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs	13.667 μs
1	0	1	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1	0				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外								設定禁止										

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。
- 注意6. 変換対象にPGA出力を選択したときは、低電圧モード1を使用してください。
- 注意7. 低電圧モード1, 2で同時サンプリングを実施することは禁止です。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (11/11)

(11) A/D 電源安定待ち時間なし低電圧モード 1, 2
(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1										A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)									
(AD M1)		(ADM0)					モード	変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数	割り込み 出力遅延 クロック 数	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V		
ADL SP	FR2	FR1	FR0	LV1	LV0	fCLK = 1 MHz						fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz			
0	0	0	0	0	1	0	低電圧 1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs	54.667 μs	
0	0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs	27.333 μs	
0	0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs	13.667 μs	
1	0	1	1					fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止	設定禁止	
1	1	0	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止	設定禁止	
1	1	0	1					fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止	設定禁止	
上記以外								設定禁止											

- 注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。
- 注意6. 変換対象にPGA出力を選択したときは、低電圧モード1を使用してください。
- 注意7. 低電圧モード1, 2で同時サンプリングを実施することは禁止です。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

3. 20.3.4 A/D コンバータ・モード・レジスタ 1 (ADM1) (p. 1134)

誤)

(略)

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

正)

(略)

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + 5μs

4. 20.3.5 A/Dコンバータ・モード・レジスタ2 (ADM2) (p. 1136, p. 1137)

誤)
(p. 1136)

図20 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	VDDから供給
0	1	P20/AVREFP/ANI0から供給
1	0	内部基準電圧から供給 ^{注1}
1	1	ディスチャージ

- ADREFP[1:0]ビットを書き換える場合、次の手順で設定してください。
 - ① ADCE = 0に設定
 - ② ADREFP[1:0] = 11Bに設定
ADREFP[1:0] = 10Bに変更する場合のみ
 - ③ 基準電圧ディスチャージ時間：1 μs
ADREFP[1:0] = 10Bに変更する場合のみ
 - ④ ADREFP[1:0]ビットの値を変更
 - ⑤ 基準電圧安定待ち時間A
 - ⑥ ADCE = 1に設定
 - ⑦ 基準電圧安定待ち時間B
ADREFP[1:0] = 10Bに変更する場合：A = 5 μs, B = 1 μs + 変換クロック (fAD) の2クロック
ADREFP[1:0] = 00Bまたは01Bに変更する場合：Aはウエイト不要、B = 1 μs + 変換クロック (fAD) の2クロック
 - ⑦のウエイトのあとに、A/D変換開始してください。
- ADREFP[1:0] = 10Bに設定した場合、温度センサ出力電圧と内部基準電圧^{注1}をA/D変換することはできません。
必ずADISS = 0としてA/D変換を行ってください。

(略)

正)

図20 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	VDDから供給
0	1	P20/AVREFP/ANI0から供給
1	0	内部基準電圧から供給 ^{注1}
1	1	ディスチャージ

- ADREFP[1:0]ビットを書き換える場合、次の手順で設定してください。
 - ① ADCE = 0に設定
 - ② 0.2μs以上をウエイト
 - ③ ADREFP[1:0] = 11Bに設定
ADREFP[1:0] = 10Bに変更する場合のみ
 - ④ 基準電圧ディスチャージ時間：1 μs
ADREFP[1:0] = 10Bに変更する場合のみ
 - ⑤ ADREFP[1:0]ビットの値を変更
 - ⑥ 基準電圧安定待ち時間A
 - ⑦ ADCE = 1に設定
 - ⑧ 基準電圧安定待ち時間B
ADREFP[1:0] = 10Bに変更する場合：A = 5 μs, B = 1 μs + 変換クロック (fAD) の2クロック
ADREFP[1:0] = 00Bまたは01Bに変更する場合：A=4.8us、B = 1 μs + 変換クロック (fAD) の2クロック
 - ⑧のウエイトのあとに、A/D変換開始してください。
- ADREFP[1:0] = 10Bに設定した場合、温度センサ出力電圧と内部基準電圧^{注1}をA/D変換することはできません。
必ずADISS = 0としてA/D変換を行ってください。

(略)

(略)

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います（SNOOZEモード）。

- ・SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（fCLK）に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
- ・SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウェイト・モード時はAWC=0、ハードウェア・トリガ・ウェイト・モード時はAWC=1に設定してください。
- ・ソフトウェア・トリガ・ノーウェイト・モード、ハードウェア・トリガ・ノーウェイト・モード、およびアドバンスド・モードでのSNOOZEモード機能は使用禁止です。
- ・ハードウェア・トリガ・ウェイト・モードの連続変換モードでのSNOOZEモード機能は使用禁止です。
- ・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「**SNOOZEモードの遷移時間^{※2}+変換起動時間+A/D電源安定待ち時間+A/D変換時間+fCLKの2クロック**」以上の間隔を空けて設定してください。
- ・SNOOZE機能を使用する場合でも、通常動作時はAWCビットを0に設定し、STOPモードへ移行する直前にAWC=1に変更してください。

またSTOPモードから通常動作へ復帰後、必ずAWCビットを0に変更してください。

AWC=1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。

(略)

(略)

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います（SNOOZEモード）。

- ・SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（fCLK）に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
- ・SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウェイト・モード時はAWC=0、ハードウェア・トリガ・ウェイト・モード時はAWC=1に設定してください。
- ・ソフトウェア・トリガ・ノーウェイト・モード、ハードウェア・トリガ・ノーウェイト・モード、およびアドバンスド・モードでのSNOOZEモード機能は使用禁止です。
- ・ハードウェア・トリガ・ウェイト・モードの連続変換モードでのSNOOZEモード機能は使用禁止です。
- ・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「**SNOOZEモードの遷移時間^{※2}+変換起動時間+A/D電源安定待ち時間+A/D変換時間+fCLKの2クロック+5us**」以上の間隔を空けて設定してください。
- ・SNOOZE機能を使用する場合でも、通常動作時はAWCビットを0に設定し、STOPモードへ移行する直前にAWC=1に変更してください。

またSTOPモードから通常動作へ復帰後、必ずAWCビットを0に変更してください。

AWC=1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。

(略)

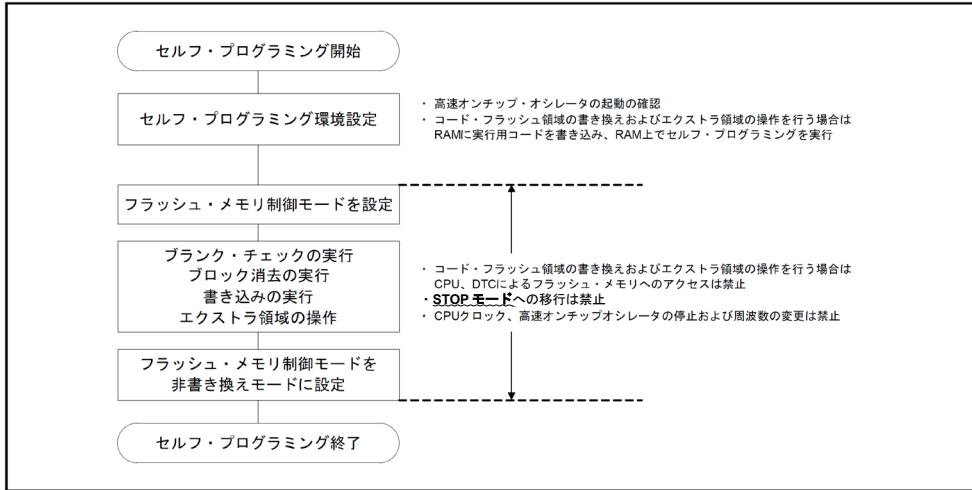
5. 39.6.1 セルフ・プログラミング手順 (p.1811)

誤)

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、39.6.2 フラッシュ・メモリを制御するレジスタを参照してください。

図 39 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ

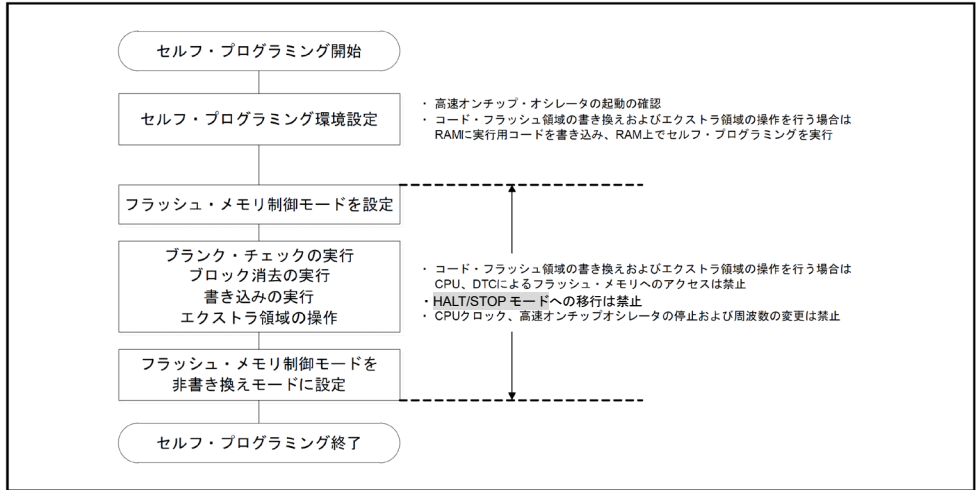


正)

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、39.6.2 フラッシュ・メモリを制御するレジスタを参照してください。

図 39 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



6. 39.10.1 データ・フラッシュの概要 (p.1862)

誤)

データ・フラッシュの概要は次のとおりです。

(略)

- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、STOP モード状態に遷移することは禁止

(略)

正)

データ・フラッシュの概要は次のとおりです。

(略)

- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、**HALT/STOP モード**状態に遷移することは禁止

(略)

7. 40.3 オンチップ・デバッグのセキュリティ設定 (p.1865)

誤)

第三者からメモリの内容を読み取られないために、以下のオンチップ・デバッグ機能を用意しています。

- ・ プログラマ・オンチップ・デバッグ接続禁止設定 (39.9 セキュリティ設定を参照)
- ・ フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット (第38章 オプション・バイトを参照)
- ・ 000C4H-000CDH^注にオンチップ・デバッグ・セキュリティID設定領域

注 オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表 40 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード ^注
040C4H-040CDH	

注 “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

正)

第三者からメモリの内容を読み取られないために、以下のオンチップ・デバッグ機能を用意しています。

- ・ プログラマ・オンチップ・デバッグ接続禁止設定 (39.9 セキュリティ設定を参照)
- ・ フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット (第38章 オプション・バイトを参照)
- ・ 000C4H-000CDH^注にオンチップ・デバッグ・セキュリティID設定領域

注 オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表 40 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード ^{注1,2}
040C4H-040CDH	

注1. “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

注2. ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。

以上