

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレンジア
ルネサスエレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A055B/J	Rev.	第2版
題名	誤記訂正通知 RL78/G1C ユーザーズマニュアル Rev.1.10 の記載変更		情報分類	技術情報	
適用製品	RL78/G1C グループ	対象ロット等 全ロット	関連資料	RL78/G1C ユーザーズマニュアル ハードウェア編 Rev.1.10 R01UH0348JJ0110 (Nov.2013)	

RL78/G1C ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0348JJ0110)において、下記訂正がごさいます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
2.4 端子ブロック図 図2-7 端子タイプ 7-1-4の端子ブロック図	p.31	注意追加
2.4 端子ブロック図 図2-9 端子タイプ 8-1-4の端子ブロック図	p.33	注意追加
2.4 端子ブロック図 図2-10 端子タイプ 8-3-4の端子ブロック図	p.34	注意追加
3.2.5 拡張特殊機能レジスタ(2nd SFR:2nd Special Function Register)	p.66	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0348JJ0110	
1	5.3.10	PLL制御レジスタ(DSCCTL)の記載追加	p.138	p.3
2	5.4.5	PLL (Phase Locked Loop)の誤記訂正	p.144	p.4
3	5.6.1	高速オンチップ・オシレータの設定例の記載追加	p.147	p.5
4	5.6.4	PLL回路の設定例の記載追加	p.150	p.6 – p.7
5	5.6.5	CPUクロック状態移行図の誤記訂正	p.151	p.8
6	5.6.5	CPUクロック状態移行図 表5 - 4 CPUクロックの移行とSFRレジスタの設定例(USB搭載製品)の誤記訂正	p.152 – p.156	p.9 – p.13
7	5.6.6	CPUクロックの移行前の条件と移行後の処理の誤記訂正	p.159 – p.160	p.14 – p.15
8	6.3.3	タイマ・モード・レジスタmn(TMRmn)	p.188	p.16
9	7.3.4	リアルタイム・クロック・コントロール・レジスタ1(RTCC1)	p.280	p.17
10	2.4	端子ブロック図 図2-7 端子タイプ 7-1-4の端子ブロック図	p.31	p.18
11	2.4	端子ブロック図 図2-9 端子タイプ 8-1-4の端子ブロック図	p.33	p.19
12	2.4	端子ブロック図 図2-10 端子タイプ 8-3-4の端子ブロック図	p.34	p.20
13	3.2.5	拡張特殊機能レジスタ(2nd SFR:2nd Special Function Register)	p.66	p.21

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

注意追加の該当箇所は、旧)太字下線、新)グレー・ハッチングで記載します。

発行文書履歴

RL78/G1C ユーザーズマニュアル Rev.1.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A046A/J	2015年7月6日	訂正一覧のNo.9の記載追加
TN-RL*-A055A/J	2015年10月28日	初版発行 訂正一覧のNo.1 ~ No.8の誤記訂正
TN-RL*-A055B/J	2016年2月24日	第二版発行 訂正一覧のNo.10 ~ No.13の誤記訂正(本通知です。)

1. 5.3.10 PLL 制御レジスタ(DSCCTL)

図 5 - 11 PLL 制御レジスタ(DSCCTL)のフォーマットの記載追加(p.138)

旧)

図5 - 11 PLL制御レジスタ (DSCCTL) のフォーマット

アドレス：F02E5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV	DSCM	DSCON

DSFRDIV	PLLリファレンス・クロック分周制御
0	分周なし
1	2分周

備考 PLLリファレンス・クロックは、高速システム・クロック (f_{MX}) です。

DSCM	PLL通倍選択
0	12通倍 (6倍)
1	16通倍 (8倍)

備考 PLL発振回路の最終段にて2分周されるため、()内の倍数となります。

DSCON	PLL発振, 出力制御
0	停止
1	発振, 出力

注意 ビット 3-7 には必ず“0”を設定してください。

新)

図5 - 11 PLL制御レジスタ (DSCCTL) のフォーマット

アドレス：F02E5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV	DSCM	DSCON

DSFRDIV	PLLリファレンス・クロック分周制御
0	分周なし
1	2分周

備考 PLLリファレンス・クロックは、高速システム・クロック (f_{MX}) です。

DSCM	PLL通倍選択
0	12通倍 (6倍)
1	16通倍 (8倍)

備考 PLL発振回路の最終段にて2分周されるため、()内の倍数となります。

DSCON	PLL発振, 出力制御
0	停止
1	発振, 出力

注意 1. ビット 3-7 には必ず“0”を設定してください。

注意 2. DSFRDIVとDSCMを変更する場合は、DSCON=0にしてください。

注意 3. システム・クロックにPLLクロックを選択している場合は、DSCON=0にしないでください。

2. 5.4.5 PLL (Phase Locked Loop)

注意 2. の誤記訂正(p.144)

誤)

注意 1. PLL モードから、高速オンチップ・オシレータ・クロック、高速システム・クロックに移行する場合は、PLL 出力クロック(f_{PLL})が供給される機能(USB ファンクション・コントローラ)を停止させていただきます。

注意 2. サブシステム・クロック動作中に PLL 動作を行うことはできません。

正)

注意 1. PLL モードから、高速オンチップ・オシレータ・クロック、高速システム・クロックに移行する場合は、PLL 出力クロック(f_{PLL})が供給される機能(USB ファンクション・コントローラ)を停止させていただきます。

注意 2. CPU がサブシステム・クロック動作中は、PLL 動作開始 (DSCON=1)にしないでください。

3.5.6.4 PLL回路の設定例

記載追加(p.150)

旧)

【レジスタ設定】 ~ の順に設定してください。

DSCCTLレジスタのDSFRDIVビット、DSCMビットを設定して、PLLの通倍、分周を設定します。

	7	6	5	4	3	2	1	0
DSCCTL						DSFRDIV	DSCM	DSCON
	0	0	0	0	0	0/1	0/1	0

MCKCレジスタのRDIV1, RDIV0ビットを設定して、システム・クロックの分周を設定します。

	7	6	5	4	3	2	1	0
MCKC						RDIV1	RDIV0	CKSELR
	0	0	0	0	0	0/1	0/1	0

1 μ s以上のウェイトのあと、DSCCTLレジスタのDSCONビットをセット(1)して、PLL回路を動作させます。^{注1}

	7	6	5	4	3	2	1	0
DSCCTL						DSFRDIV	DSCM	DSCON
	0	0	0	0	0	0/1	0/1	1

ソフトウェアで40 μ s (PLL出力安定時間)以上ウェイトします。

MCKCレジスタのCKSELRビットをセット(1)して、システム・クロックにPLL出力を選択します。

	7	6	5	4	3	2	1	0
MCKC						RDIV1	RDIV0	CKSELR
	0	0	0	0	0	0/1	0/1	1

- 注1. 高速システム・クロックの発振安定かつPLLの各種設定の確定から1 μ s以降にPLLを発振、出力(DSCCTLレジスタのDSCONビットをセット(1))させてください。
2. PLL停止後、再び動作させる場合は注1に加えてPLL停止後4 μ s以上待ってからPLLを発振、出力(DSCCTLレジスタのDSCONビットをセット(1))させてください。

新)

【レジスタ設定】 ~ の順に設定してください。

CSCレジスタのHIOSTOPビットを設定して、高速オンチップ・オシレータを動作させます。

	7	6	5	4	3	2	1	0
CSC								HIOSTOP
	0/1	0/1	0	0	0	0	0	0 ^{注1}

DSCCTLレジスタのDSFRDIVビット、DSCMビットを設定して、PLLの通倍、分周を設定します。

	7	6	5	4	3	2	1	0
DSCCTL						DSFRDIV	DSCM	DSCON
	0	0	0	0	0	0/1	0/1	0

MCKCレジスタのRDIV1, RDIV0ビットを設定して、システム・クロックの分周を設定します。

	7	6	5	4	3	2	1	0
MCKC						RDIV1	RDIV0	CKSELR
	0	0	0	0	0	0/1	0/1	0 ^{注1}

1 μ s以上のウェイトのあと、DSCCTLレジスタのDSCONビットをセット(1)して、PLL回路を動作させます。^{注2}

	7	6	5	4	3	2	1	0
DSCCTL						DSFRDIV	DSCM	DSCON
	0	0	0	0	0	0/1	0/1	1

MCKCレジスタのCKSELRビットをセット(1)して、システム・クロックにPLL出力を選択します。

	7	6	5	4	3	2	1	0
MCKC						RDIV1	RDIV0	CKSELR
	0	0	0	0	0	0/1	0/1	1

次ページに続きます。

新)

【レジスタ設定】続き

ソフトウェアで135µsウエイトします。^{注3}

CSCレジスタのHIOSTOPビットを設定して、高速オンチップ・オシレータを停止させます。

注2

	7	6	5	4	3	2	1	0
CSC	0/1	0/1	0	0	0	0	0	HIOSTOP 1 ^{注1}

CKCレジスタのMCM0ビットを設定して、メイン・システム・クロック(f_{MAIN})にPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)

(f_{IH})を選択します。

	7	6	5	4	3	2	1	0
CKC	CLS 0/1	CSS 0/1	MCS 0	MCM0 0	0	0	0	0

注1. CKSELR=1の状態からPLLに切り替える時には設定の必要はありません。

CKSELR=1に変更する時は必ず高速オンチップ・オシレータを動作させてください。

注2. X1発振クロックが発振安定してから1µs以降にPLLを動作させてください。またPLL停止後、再び動作させる場合は4µs以上待ってから動作させてください。

注3. HIOSTOP=0の設定を行わない場合は40µsの発振安定待ちとなります。

6. 5.6.5 CPU クロック状態移行図

表 5 - 4 CPU クロックの移行と SFR レジスタの設定例の誤記訂正(p.154 – p.158)

誤)

(6)CPU を高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ		CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C)	(B)	0	18 μ s ~ 105 μ s	0

高速オンチップ・オシレータ・クロック動作
作中の場合は不要

(8)CPU をサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ		CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		CSS
(D)	(B)	0	18 μ s ~ 105 μ s	0

高速オンチップ・オシレータ・クロック動作
動作中の場合は不要

正)

(6)CPU を高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ		CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C)	(B)	0	18 μ s ~ 135 μ s	0

高速オンチップ・オシレータ・クロック動作
作中の場合は不要

(8)CPU をサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ		CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		CSS
(D)	(B)	0	18 μ s ~ 135 μ s	0

高速オンチップ・オシレータ・クロック動作
動作中の場合は不要

誤)

(10)・CPUを高速オンチップ・オシレータ・クロック動作 (B) から、高速システム・クロック(PLLモード)(2分周)動作 (K) へ移行

・CPUを高速オンチップ・オシレータ・クロック動作 (B) から、高速システム・クロック(PLLモード)(4分周)動作 (N) へ移行

・CPUを高速オンチップ・オシレータ・クロック動作 (B) から、高速システム・クロック(PLLモード)(8分周)動作 (P) へ移行

・CPUを高速システム・クロック動作 (C) から、高速システム・クロック(PLLモード)(2分周)動作 (K) へ移行

・CPUを高速システム・クロック動作 (C) から、高速システム・クロック(PLLモード)(4分周)動作 (N) へ移行

・CPUを高速システム・クロック動作 (C) から、高速システム・クロック(PLLモード)(8分周)動作 (P) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ 状態遷移	DSCCTLレジスタ		MCKCレジスタ		発振安定待ち	MCKCレジスタ
	DSFRDIV	DSCM	RDIV1	RDIV0		CKSELR
(B).....(K)	0/1	0/1	0/1	0/1	40 μs	1
(B).....(N)						
(B).....(P)						
(C).....(K)						
(C).....(N)						
(C).....(P)						

正)

(10)・CPUを高速オンチップ・オシレータ・クロック動作 (B) から、高速システム・クロック(PLLモード)動作 (K) へ移行

・CPUを高速システム・クロック動作 (C) から、高速システム・クロック(PLLモード)動作 (N) へ移行

設定例の図を次ページに記載します。

(SFRレジスタの設定順序)

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ ^{注1}			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	DSCCTLレジスタ		MCKCレジスタ		発振安定待ち	DSCCTLレジスタ	発振安定待ち	MCKCレジスタ
	EXCLK	OSCESEL	AMPH		MSTOP		DSFRDIV	DSCM	RDIV1	RDIV0	DSCON	CKSELR					
(B) → (K) 2分周	0/1	1	0/1	注2	0	確認必要	0/1	0/1	0	0	1us	1	40us	1			
(B) → (K) 4分周	0/1	1	0/1	注2	0	確認必要	0/1	0/1	0	1		1		1			
(B) → (K) 8分周	0/1	1	0/1	注2	0	確認必要	0/1	0/1	1	0		1		1			

注1：クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2：発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 OSTSレジスタで設定する発振安定時間

注意：CKSELR=1に設定後クロックの切り替えが完了するにはFRQSEL4=1の時は最大2クロック、FRQSEL4=0の時は最大10クロックかかります。切り替えが完了するまで高速・オンチップ・オシレータは停止しないでください。

(SFRレジスタの設定順序)

状態遷移	SFRレジスタの設定フラグ		CSCレジスタ	DSCCTLレジスタ		MCKCレジスタ		DSCCTLレジスタ	MCKCレジスタ	発振安定待ち	CSCレジスタ	CKCレジスタ
	HIOSTOP		DSFRDIV	DSCM	RDIV1	RDIV0	DSCON	CKSELR	HIOSTOP		MCM0	
(C) (N) 2分周	0 ^{注3}		0/1	0/1	0	0	1	1 ^{注3}	135us ^{注4}	1 ^{注3}	0	
(C) (N) 4分周	0 ^{注3}		0/1	0/1	0	1	1	1 ^{注3}		1 ^{注3}	0	
(C) (N) 8分周	0 ^{注3}		0/1	0/1	1	0	1	1 ^{注3}		1 ^{注3}	0	

注3. CKSELR=1の状態からPLLに切り替える時には設定の必要はありません。

CKSELR=1に変更する時は必ず高速オンチップ・オシレータを動作させてください。

注4. HIOSTOP=0の設定を行わない場合は40usの発振安定待ちとなります。

誤)

- (11)・CPUを高速システム・クロック(PLLモード)(2分周)動作(K) から、高速オンチップ・オシレータ・クロック動作(B) へ移行
- ・CPUを高速システム・クロック(PLLモード)(4分周)動作(N) から、高速オンチップ・オシレータ・クロック動作(B) へ移行
- ・CPUを高速システム・クロック(PLLモード)(8分周)動作(P) から、高速オンチップ・オシレータ・クロック動作(B) へ移行
- ・CPUを高速システム・クロック(PLLモード)(2分周)動作(K) から、高速システム・クロック動作(C) へ移行
- ・CPUを高速システム・クロック(PLLモード)(4分周)動作(N) から、高速システム・クロック動作(C)へ移行
- ・CPUを高速システム・クロック(PLLモード)(8分周)動作(P) から、高速システム・クロック動作(C) へ移行

(SFRレジスタの設定順序)

状態遷移	SFRレジスタの設定フラグ	MCKCレジスタ	DSCCTLレジスタ
	CKSELR	DSCON	
(K).....(B)	0	0	
(N).....(B)			
(P).....(B)			
(K).....(C)			
(N).....(C)			
(P).....(C)			

正)

- (11)・CPUを高速システム・クロック(PLLモード)動作(K) から、高速オンチップ・オシレータ・クロック動作(B) へ移行
- ・CPUを高速システム・クロック(PLLモード)動作(N) から、高速システム・クロック動作(C) へ移行

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	MCKCレジスタ	クロック切り替え待ち	DSCCTLレジスタ
	HIOSTOP			CKSELR		DSCON
(K) → (B) FRQSEL4=0	0	0	18~65 μs	0	256クロック	0
(K) → (B) FRQSEL4=1			18~135 μs		16クロック	

(SFRレジスタの設定順序) 

状態遷移	SFRレジスタの設定フラグ	CKC レジスタ	クロック切り 替え待ち	DSCCTL レジスタ
		MCM0		DSCON
(N) (C) 2分周(RDIV1,0 = 00) 高速システム・クロック(fMX) = 16MHz		1	3クロック	0
(N) (C) 2分周(RDIV1,0 = 00) 高速システム・クロック(fMX) = 12MHz			4クロック	
(N) (C) 2分周(RDIV1,0 = 00) 高速システム・クロック(fMX) = 8MHz			6クロック	
(N) (C) 2分周(RDIV1,0 = 00) 高速システム・クロック(fMX) = 6MHz			8クロック	
(N) (C) 4分周(RDIV1,0 = 01) 高速システム・クロック(fMX) = 16MHz			2クロック	
(N) (C) 4分周(RDIV1,0 = 01) 高速システム・クロック(fMX) = 12MHz			2クロック	
(N) (C) 4分周(RDIV1,0 = 01) 高速システム・クロック(fMX) = 8MHz			3クロック	
(N) (C) 4分周(RDIV1,0 = 01) 高速システム・クロック(fMX) = 6MHz			4クロック	
(N) (C) 8分周(RDIV1,0 = 10) 高速システム・クロック(fMX) = 16MHz			2クロック	
(N) (C) 8分周(RDIV1,0 = 10) 高速システム・クロック(fMX) = 12MHz			2クロック	
(N) (C) 8分周(RDIV1,0 = 10) 高速システム・クロック(fMX) = 8MHz			2クロック	
(N) (C) 8分周(RDIV1,0 = 10) 高速システム・クロック(fMX) = 6MHz			2クロック	

誤)

- (12)・CPUが高速オンチップ・オシレータ・クロック動作中(B) にHALTモード(E)へ移行
- ・CPUが高速システム・クロック動作中(C) にHALTモード(F)へ移行
- ・CPUがサブシステム・クロック動作中(D) にHALTモード(G)へ移行
- ・CPUが高速システム・クロック(PLLモード)(2分周)動作中(K) にHALTモード(L)へ移行
- ・CPUが高速システム・クロック(PLLモード)(4分周)動作中(N) にHALTモード(O)へ移行
- ・CPUが高速システム・クロック(PLLモード)(8分周)動作中(P) にHALTモード(Q)へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G) (K) (L) (N) (O) (P) (Q)	HALT命令を実行する

- (15)・CPUが高速システム・クロック(PLLモード)(2分周)動作中(K) にSTOPモード(I)へ移行
- ・CPUが高速システム・クロック(PLLモード)(4分周)動作中(N) にSTOPモード(I)へ移行
- ・CPUが高速システム・クロック(PLLモード)(8分周)動作中(P) にSTOPモード(I)へ移行

PLLモード動作から、高速オンチップ・オシレータ・クロック、高速システム・クロック動作に移行(5.6.5 (11)参照)し、PLLを停止後(DSCON = 0)、STOP命令を実行してください。

正)

- (12)・CPUが高速オンチップ・オシレータ・クロック動作中(B) にHALTモード(E)へ移行
- ・CPUが高速システム・クロック動作中(C) にHALTモード(F)へ移行
- ・CPUがサブシステム・クロック動作中(D) にHALTモード(G)へ移行
- ・CPUが高速システム・クロック(PLLモード)動作中(K) にHALTモード(L)へ移行
- ・CPUが高速システム・クロック(PLLモード)動作中(N) にHALTモード(O)へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G) (K) (L) (N) (O)	HALT命令を実行する

- (15)・CPUが高速システム・クロック(PLLモード)動作中(K) にSTOPモード(I)へ移行
- PLLモード動作から、高速システム・クロック動作に移行し、PLLを停止後(DSCON = 0)、STOP命令を実行してください。

7. 5.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理の誤記訂正(p.216-p.217)

誤)

表5 - 5 CPUクロックの移行について (1/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1クロック	(省略)		-
	PLLクロック	PLLが発振されていること ・ DSCON = 1	

正)

表5 - 5 CPUクロックの移行について (1/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1クロック	(省略)		-
	PLLクロック	PLLが発振されていること ・ DSCON = 1 高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	

誤)

表5 - 5 CPUクロックの移行について (2/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイ ン・システ ム・クロッ ク		(省略)	
	PLL クロ ック	PLLが発振されていること ・ DSCON = 1	-
(省略)			

正)

表5 - 5 CPUクロックの移行について (2/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイ ン・システ ム・クロッ ク		(省略)	
	PLL クロ ック	PLLが発振されていること ・ DSCON = 1 高速オンチップ・オシレータの発 振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	-
(省略)			

8.6.3.3 タイマ・モード・レジスタmn(TMRmn)

図 6-10 タイマ・モード・レジスタ mn(TMRmn)のフォーマット(4/4)(p.188)

誤)

図6-10 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス：F0190H, F0191H(TMR00)-F0196H, F0197H(TMR03) リセット時：0000H R/W

(省略)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生する。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。

正)

図6-10 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス：F0190H, F0191H(TMR00)-F0196H, F0197H(TMR03) リセット時：0000H R/W

(省略)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。

9.7.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

図7-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/2)
の記載追加 (p.280)

旧)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 内部カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大でf_{RTC}の1クロックの時間がかかります。
 内部カウンタ(16ビット)のオーバーフローがRWAIT = 1のときに起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

新)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

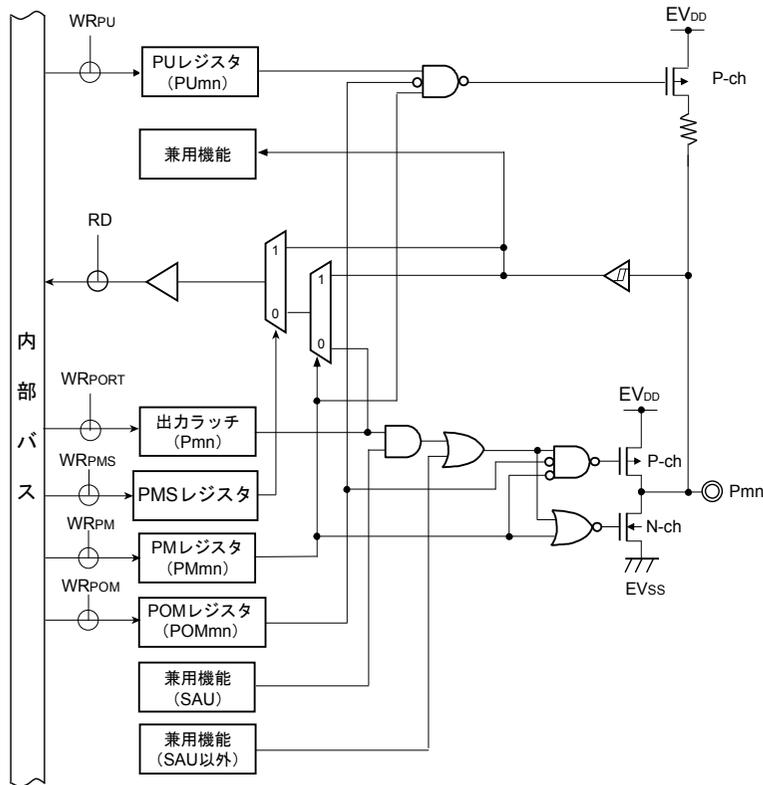
カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 内部カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大でf_{RTC}の1クロックの時間がかかります。(注1、注2)
 内部カウンタ(16ビット)のオーバーフローがRWAIT = 1のときに起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

注1 . RTCE = 1に設定した後、f_{RTC} の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック (f_{RTC}) の2クロック時間がかかる場合があります。

注2 . スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、f_{RTC} の1クロック時間内で、RWAIT = 1とした場合、RWSTビットが“1”になるまでに、動作クロック (f_{RTC}) の2クロック時間がかかる場合があります。

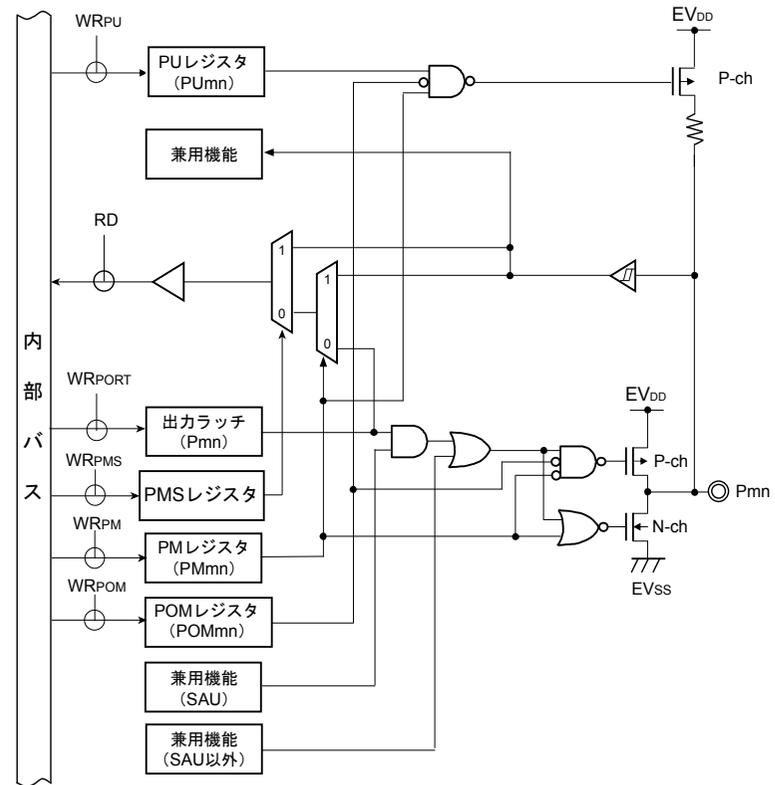
10.2.4 端子ブロック図 図2-7 端子タイプ 7-1-4 の端子ブロック図 (p.31)

旧)



- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU:シリアル・アレイ・ユニット

新)



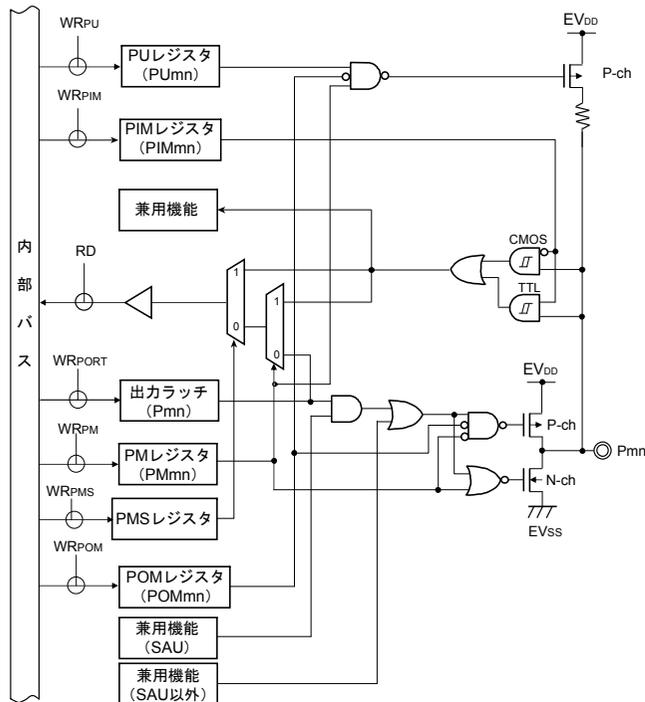
注意. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU:シリアル・アレイ・ユニット

11.2.4 端子ブロック図 図2-9 端子タイプ 8-1-4 の端子ブロック図

(p.33)

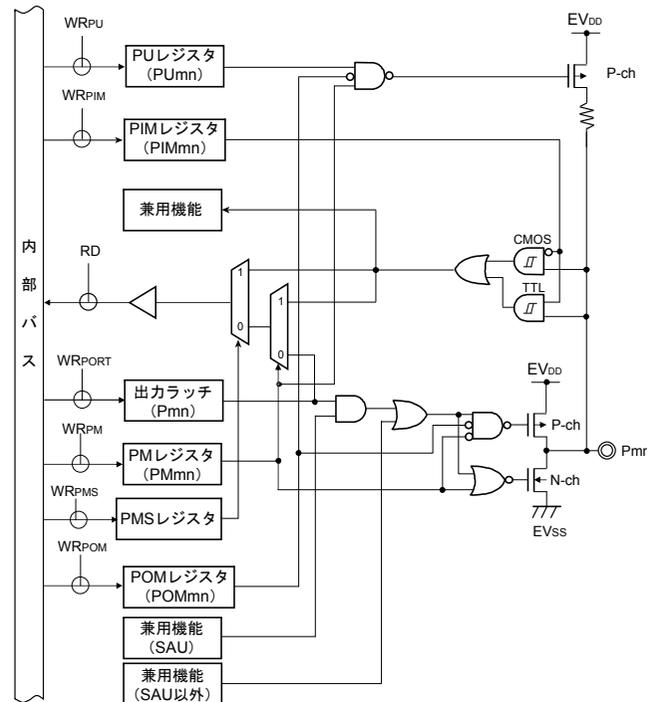
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU:シリアル・アレイ・ユニット

新)



注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

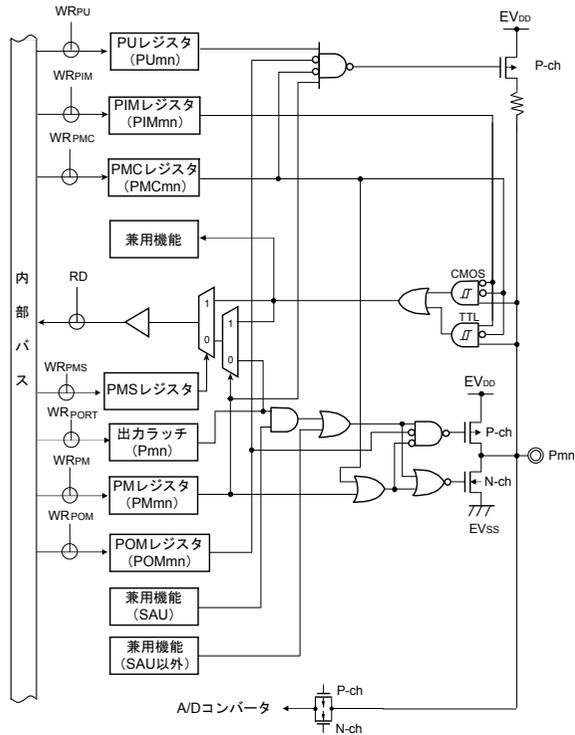
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU:シリアル・アレイ・ユニット

12.2.4 端子ブロック図 図2-10 端子タイプ 8-3-4 の端子ブロック図

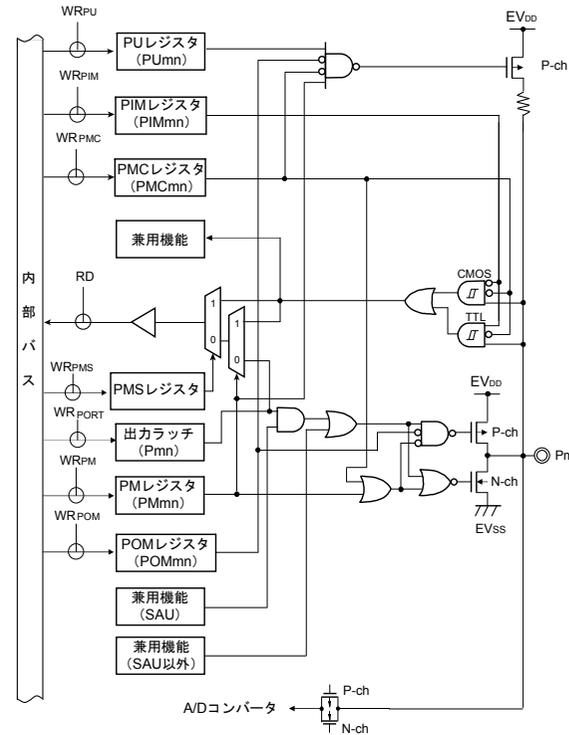
(p.35)

旧)



- 備考 1. 兼用機能は、2.1 **ポート機能**を参照してください。
 2. SAU:シリアル・アレイ・ユニット

新)



- 注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

- 備考 1. 兼用機能は、2.1 **ポート機能**を参照してください。
 2. SAU:シリアル・アレイ・ユニット

13.3.2.5 拡張特殊機能レジスタ(2nd SFR:2nd Special Function Register)

(p.66)

誤)

表3-6 拡張SFR (2nd SFR) 一覧 (5/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
				ト	ト	ット	
(省略)							
F0414H	CFIFOポート・レジスタ	CFIFOML	CFIFOM	R/W	-	-	00H
F0415H		-			-	00H	
F0418H	D0FIFOポート・レジスタ	D0FIFOML	D0FIFOM	R/W	-	-	00H
F0419H		-			-	00H	
F041CH	D1FIFOポート・レジスタ	D1FIFOML	D1FIFOM	R/W	-	-	00H
F041DH		-			-	00H	
F0420H	CFIFOポート選択レジスタ	CFIFOSEL	R/W	-	-	0000H	
F0421H							
F0422H	CFIFOポート・コントロール・レジスタ	CFIFOCTR	R/W	-	-	0000H	
F0423H							
F0428H	D0FIFOポート選択レジスタ	D0FIFOSEL	R/W	-	-	0000H	
F0429H							
F042CH	D0FIFOポート・コントロール・レジスタ	D0FIFOCTR	R/W	-	-	0000H	
F042DH							
F042EH	D1FIFOポート選択レジスタ	D1FIFOSEL	R/W	-	-	0000H	
F042FH							

正)

表3-6 拡張SFR (2nd SFR) 一覧 (5/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
				ト	ト	ット	
(省略)							
F0414H	CFIFOポート・レジスタ	CFIFOML	CFIFOM	R/W	-	-	00H
F0415H		-			-	00H	
F0418H	D0FIFOポート・レジスタ	D0FIFOML	D0FIFOM	R/W	-	-	00H
F0419H		-			-	00H	
F041CH	D1FIFOポート・レジスタ	D1FIFOML	D1FIFOM	R/W	-	-	00H
F041DH		-			-	00H	
F0420H	CFIFOポート選択レジスタ	CFIFOSEL	R/W	-	-	0000H	
F0421H							
F0422H	CFIFOポート・コントロール・レジスタ	CFIFOCTR	R/W	-	-	0000H	
F0423H							
F0428H	D0FIFOポート選択レジスタ	D0FIFOSEL	R/W	-	-	0000H	
F0429H							
F042AH	D0FIFOポート・コントロール・レジスタ	D0FIFOCTR	R/W	-	-	0000H	
F042BH							
F042CH	D1FIFOポート選択レジスタ	D1FIFOSEL	R/W	-	-	0000H	
F042DH							
F042EH	D1FIFOポート・コントロール・レジスタ	D1FIFOCTR	R/W	-	-	0000H	
F042FH							