

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A004C/J	Rev.	第 3 版
題名	誤記訂正通知 RL78/G14 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G14 グループ : R5F104xxx	対象ロット等 全ロット	関連資料	RL78/G14 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0186JJ0100 (Dec.2011)	

RL78/G14 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0186JJ0100)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
リセット処理時間／スタンバイ・モード解除時間の誤記訂正	p.1054-1055, 1057-1060, 1065-1066, 1077-1078	誤記訂正
27. 3. 6 不正メモリ・アクセス検出機能	p.1110	誤記訂正
セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意追加	p.1147	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0186JJ0100	
1	オンチップ・オシレータ特性のスペック確定		p.1185	p.4
2	端子機能 表2-3 P60-P63の未使用端子処理の誤記訂正		p.86	p.5
3	タイマRDステータスレジスタの説明追加		p.475, 477	p.6-p.8
4	タイマRD割り込みの説明追加		p.525	p.9-p.10
5	タイマRGステータスレジスタの説明追加		p.541	p.11-p.12
6	タイマRG割り込みの説明追加		p.570	p.13-p.14
7	コンパレータのブロック図の内容改善		p.687	p.15-p.16
8	高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)の注意変更		p.291	p.17
9	リセット処理時間／スタンバイ・モード解除時間の誤記訂正		p.1053-1055, 1057-1060, 1065-1066, 1077-1078	p.18
10	A/Dコンバータ・モード・レジスタ0(ADM0)の注意追加		p.621	p.19
11	A/D変換時間の選択 注意の誤記訂正		p.625-632	p.20
12	A/Dコンバータ SNOOZEモード使用時の説明追加		p.634-635,668	p.21-p.23
13	安全機能 A/Dテスト機能 温度センサ、内部基準電圧(TYP.1.45V)使用時の説明追加		p.665,673	p.24-p.25
14	シリアル・アレイ・ユニット SNOOZEモード使用時の注意追加		p.790,792	p.26
15	パワーオン・リセット回路の説明追加		p.1075-1076	p.27
16	安全機能 A/Dテスト機能の説明追加		p.1114	p.28
17	フラッシュ・メモリ データ・フラッシュの説明追加		p.1138	p.29
18	セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意追加		p.1147	p.29
19	フラッシュ・メモリ・プログラミング特性の項目追加		p.1237	p.30
20	3. 1. 3 内部データ・メモリ空間		p.108	p.31
21	17. 7. 3 SNOOZEモード機能		p.851	p.32-p.33
22	23. 2. 2 STOPモード		p.1055, p.1057	p.34
23	23. 2. 3 SNOOZEモード		p.1060	p.34
24	27. 3. 6 不正メモリ・アクセス検出機能		p.1110	p.34
25	図29-3 ユーザ・オプション・バイト(000C2H/010C2H)		p.1126	p.35
26	34. 4. 1 端子特性		p.1187, p.1188	p.36
27	34. 4. 2 電源電流特性		p.1192 - p.1201	p.36
28	34. 5 AC特性		p.1202	p.36
29	34. 6. 1 シリアル・アレイ・ユニット		p.1204 - p.1227	p.36
30	34. 6. 2 シリアル・インタフェースIIICA		p.1228	p.36
31	34. 7. 1 A/Dコンバータ特性		p.1229 - p.1232	p.37
32	34. 7. 2 温度センサ／内部基準電圧特性		p.1233	p.37
33	34. 7. 5 POR回路特性		p.1234	p.37
34	電源電圧立ち上げ時間		p.1237	p.37
35	34. 9 データ・メモリSTOPモード低電源電圧データ保持特性		p.1237	p.37
36	第35章 電気的特性(G:Ta = -40~+105°C)		なし	p.37
37	リセット処理時間／スタンバイ・モード解除時間の誤記訂正		p.1054-p.1055 p.1057-p.1060 p.1065-p.1066 p.1077-p.1078	p.38-p.47
38	27. 3. 6 不正メモリ・アクセス検出機能		p.1110	p.48-p.49
39	セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意追加		p.1147	p.50

誤記訂正の該当箇所は、誤太字下線、正グレー・ハッチングで記載します。

発行文書履歴

RL78/G14 ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*- A004A/J	2012 年 11 月 26 日	初版発行
TN-RL*- A004B/J	2013 年 4 月 10 日	2版発行 訂正一覧の No.20 ～ No.36 の誤記訂正
TN-RL*- A004C/J	2013 年 10 月 日	3版発行 訂正一覧の No.37 ～ No.39 の誤記訂正(本通知です。)

1. 電気的特性 オンチップ・オシレータ特性のスペック確定 (p.1185)

誤)

34. 3. 2 オンチップ・オシレータ特性

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^{注1}	f _{ih}		1		32	MHz
高速オンチップ・オシレータ 発振周波数精度 ^{注2}		-20~+85 °C	1.8 V ≤ VDD ≤ 5.5 V	-1	+1	%
			1.6 V ≤ VDD < 1.8 V	-5	+5	%
		-40~-20 °C	1.8 V ≤ VDD ≤ 5.5 V	-1.5	+1.5	%
			1.6 V ≤ VDD < 1.8 V	-5.5	+5.5	%
低速オンチップ・オシレータ 発振周波数	f _{il}			15		kHz
低速オンチップ・オシレータ 発振周波数精度			-15		+15	%

注 1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット 0-3 および HOCODIV レジスタのビット 0-2 によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

また、30 ピン SSOP, WQFN(32, 40, 48 ピン), FLGA(36 ピン), 48 ピン LQFP(7x7), 52 ピン LQFP(10x10), 64 ピン LQFP(12x12), 80 ピン LQFP(12x12), 80 ピン LQFP(14x14), 100 ピン LQFP(14x14), 100 ピン LQFP(14x20)製品の場合、この特性はターゲット(目標値)です。デバイス評価後に変更する可能性があります。

正)

34. 3. 2 オンチップ・オシレータ特性

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^{注1}	f _{ih}		1		32	MHz
高速オンチップ・オシレータ 発振周波数精度 ^{注2}		-20~+85 °C	1.8 V ≤ VDD ≤ 5.5 V	-1	+1	%
			1.6 V ≤ VDD < 1.8 V	-5	+5	%
		-40~-20 °C	1.8 V ≤ VDD ≤ 5.5 V	-1.5	+1.5	%
			1.6 V ≤ VDD < 1.8 V	-5.5	+5.5	%
低速オンチップ・オシレータ 発振周波数	f _{il}			15		kHz
低速オンチップ・オシレータ 発振周波数精度			-15		+15	%

注 1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット 0-3 および HOCODIV レジスタのビット 0-2 によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

2. 端子機能 表 2-3 P60-P63 の未使用端子処理の誤記訂正 (p.86)

誤)

表2-3 各端子の未使用端子処理(100ピン製品)(2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
(省略)			
P60/SCLA0	13-R	入出力	入力時:個別に抵抗を介して, EV _{DD0} , EV _{DD1} またはEV _{SS0} , EV _{SS1} に接続してください。 <u>出力時:オープンにしてください。</u>
P61/SDAA0			
P62/SCLA1			
P63/SDAA1			
P64/TI10/TO10	8-R		
P65/TI11/TO11			
P66/TI12/TO12			
P67/TI13/TO13			
(省略)			

正)

表2-3 各端子の未使用端子処理(100ピン製品)(2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
(省略)			
P60/SCLA0	13-R	入出力	入力時: 個別に抵抗を介して, EV _{DD0} , EV _{DD1} またはEV _{SS0} , EV _{SS1} に接続してください。 出力時: ポートの出カラッチに0を設定してオープン, またはポートの出カラッチに1を設定し, 個別に抵抗を介してEV _{DD0} , EV _{DD1} またはEV _{SS0} , EV _{SS1} に接続してください。
P61/SDAA0			
P62/SCLA1			
P63/SDAA1			
P64/TI10/TO10	8-R		入力時: 個別に抵抗を介して, EV _{DD0} , EV _{DD1} またはEV _{SS0} , EV _{SS1} に接続してください。 出力時: オープンにしてください。
P65/TI11/TO11			
P66/TI12/TO12			
P67/TI13/TO13			
(省略)			

3. タイマ RD ステータスレジスタの説明追加

タイマ RD ステータスレジスタの説明追加 (p.475, 477)

誤)

注 1. ユーザ・オプション・バイト(000C2H/010C2H)の FRQSEL4 = 1 かつ, PER1 レジスタの TRD0EN = 0 の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLK を fIH に設定し TRD0EN = 1 にセットしたあとに読み出してください。

(省略)

4. 書き込み結果は次のようになります。

- 読んだ結果が1の場合, 同じビットに0を書くと0になります。
- 読んだ結果が0の場合, 同じビットに0を書いても変化しません(読んだ後で, 0から1に変化した場合, 0を書いても1のままです)。
- 1を書いた場合は変化しません。

正)

注 1. ユーザ・オプション・バイト(000C2H/010C2H)の FRQSEL4 = 1 かつ、PER1 レジスタの TRD0EN = 0 の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLK を fIH に設定し TRD0EN = 1 にセットしたあとに読み出してください。

(省略)

4. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くと0になります。

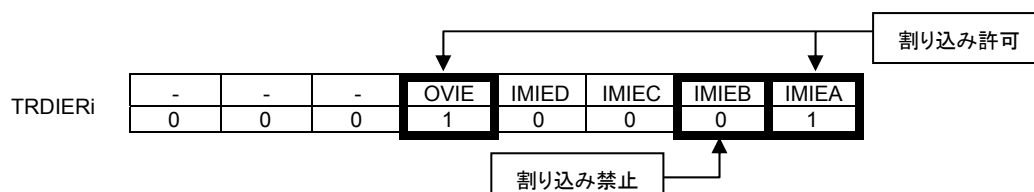
ただし、タイマ RD の、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマ RD 割り込み許可レジスタ i (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマ RD 割り込み許可レジスタ i (TRDIERi)を 00H(すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

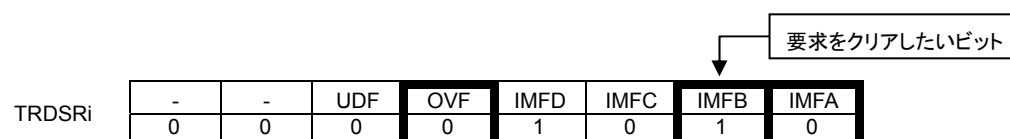
(b) タイマ RD 割り込み許可レジスタ i (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIE が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマ RD 割り込み許可レジスタ i(TRDIERi)の状態



・タイマ RD ステータスレジスタ i(TRDSRi)の状態



割り込み許可にしているビットに対応するステータスフラグ

(OVF、IMFA)が0なので、IMFBに0を書いてください。

(次ページへ続く)

(c) タイマ RD 割り込み許可レジスタ i (TRDIERi)の中に 1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが 1 の場合、このステータスフラグは、当該ステータスフラグに 0 を書くとき同時に 0 を書いてください。

(例) IMIEA が割り込み許可、IMIEB が割り込み禁止の状態で、IMFB をクリアする場合

・タイマ RD 割り込み許可レジスタ i (TRDIERi)の状態

TRDIERi	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマ RD ステータスレジスタ i (TRDSRi)の状態

TRDSRi	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	1

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ(IMFA)が

1 なので、IMFB と同時に IMFA にも 0 を書いてください。

4. タイマ RD 割り込みの説明追加

タイマ RD 割り込みの説明追加 (p.525)

誤)

タイマ RD は、複数の割り込み要求要因から 1 つの割り込み要因(タイマ RD 割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

(省略)

- ・TRDIERi レジスタの複数のビットを 1 にしているときに、最初の要求要因が成立して TRDIFI ビットがセット(1)された後に次の要求要因が成立した場合、割り込みが受け付けられると TRDIFI ビットはクリア(0)されます。ただし、先に成立した要求要因をクリアすると次に発生した要求要因により TRDIFI ビットがセット(1)されます。

正)

タイマ RD は、複数の割り込み要求要因から 1 つの割り込み要因(タイマ RD 割り込み)を発生するため、タイマ RG 割り込みを除く他のマスカブル割り込みとは次のような違いがあります。

(省略)

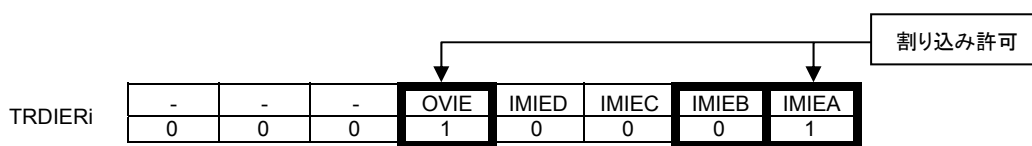
- ・TRDIERi レジスタの複数のビットを 1 にしているときに、最初の要求要因が成立して TRDIFI ビットがセット(1)された後に次の要求要因が成立した場合、割り込みが受け付けられると TRDIFI ビットはクリア(0)されます。
- ただし、先に成立した要求要因をクリアすると次に発生した要求要因により TRDIFI ビットがセット(1)されます。
- ・タイマ RD の、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を 0 にするとき、その割り込みがタイマ RD 割り込み許可レジスタ i (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマ RD 割り込み許可レジスタ i (TRDIERi)を 00H(すべての割り込みを禁止)にした後、当該ステータスフラグに 0 を書いてください。

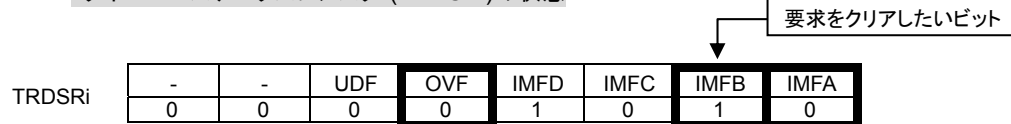
(b) タイマ RD 割り込み許可レジスタ i (TRDIERi)の中に 1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが 0 の場合、当該ステータスフラグに 0 を書いてください。

(例) IMIEA、OVIE が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマ RD 割り込み許可レジスタ i(TRDIERi)の状態



・タイマ RD ステータスレジスタ i(TRDSRi)の状態



割り込み許可にしているビットに対応するステータスフラグ

(OVF、IMFA)が 0 なので、IMFB に 0 を書いてください。

(次ページへ続く)

- (c) タイマ RD 割り込み許可レジスタ i (TRDIERi)の中に 1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが 1 の場合、このステータスフラグは、当該ステータスフラグに 0 を書くとき同時に 0 を書いてください。

(例) IMIEA が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマ RD 割り込み許可レジスタ i (TRDIERi)の状態

TRDIERi	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA	割り込み許可
	0	0	0	1	0	0	0	1	

割り込み禁止

・タイマ RD ステータスレジスタ i (TRDSRi)の状態

TRDSRi	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	要求をクリアしたいビット
	0	0	0	0	1	0	1	1	

割り込み許可にしているビットに対応するステータスフラグ(IMFA)が 1

なので、IMFB と同時に IMFA にも 0 を書いてください。

5. タイマ RG ステータスレジスタの説明追加

タイマ RG ステータスレジスタの説明追加 (p.541)

誤)

注 1. TRGOVF ビットは、タイマ RG のカウンタ値が FFFFH から 0000H になったとき、1 になります。

(省略)

2. 書き込み結果は次のようになります。

・読んだ結果が 1 の場合、同じビットに 0 を書くと 0 になります。

・読んだ結果が 0 の場合、同じビットに 0 を書いても、変化しません

(読んだ後で、0 から 1 に変化した場合、0 を書いても、1 のままです)。

・1 を書いた場合は変化しません。

正)

注 1. TRGOVF ビットは、タイマ RG のカウンタ値が FFFFH から 0000H になったとき、1 になります。

(省略)

2. 書き込み結果は次のようになります。

・1 を書いた場合は変化しません。

・読んだ結果が 0 の場合、同じビットに 0 を書いても変化しません

(読んだ後で、0 から 1 に変化した場合、0 を書いても 1 のままです)。

・読んだ結果が 1 の場合、同じビットに 0 を書くと 0 になります。

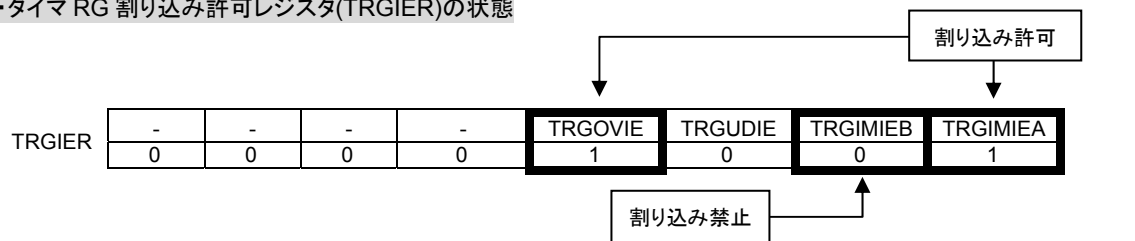
ただし、タイマ RG の、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を 0 にするとき、その割り込みがタイマ RG 割り込み許可レジスタ (TRGIER) で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマ RG 割り込み許可レジスタ(TRGIER) を 00H(すべての割り込みを禁止)にした後、当該ステータスフラグに 0 を書いてください。

(b) タイマ RG 割り込み許可レジスタ(TRGIER) の中に 1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが 0 の場合、当該ステータスフラグに 0 を書いてください。

(例) TRGIMIEA、TRGOVIE が割り込み許可、TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

・タイマ RG 割り込み許可レジスタ(TRGIER)の状態



・タイマ RG ステータスレジスタ(TRGSR)の状態



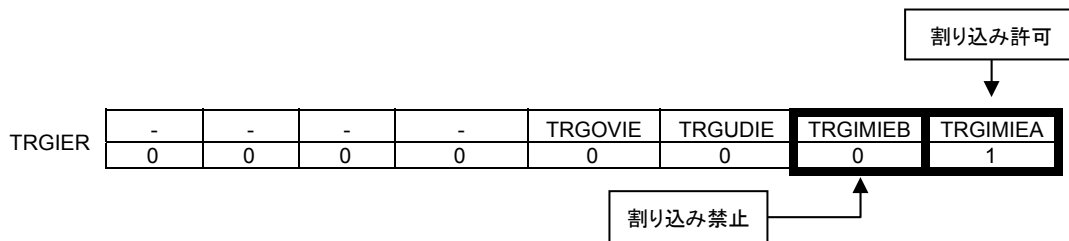
割り込み許可にしているビットに対応するステータスフラグ (TRGOVF, TRGIMFA) が 0 なので、TRGIMFB に 0 を書いてください。

(次ページへ続く)

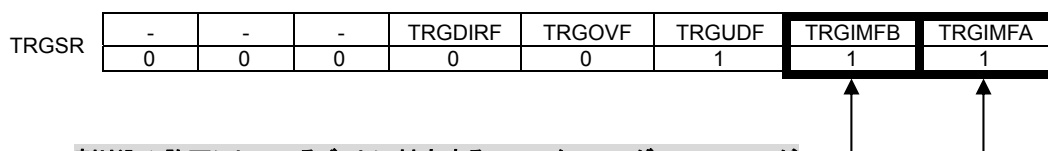
(c) タイマ RG 割り込み許可レジスタ(TRGIER) の中に 1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが 1 の場合、このステータスフラグは、当該ステータスフラグに 0 を書くとき同時に 0 を書いてください。

(例) TRGIMIEA が割り込み許可、TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

・タイマ RG 割り込み許可レジスタ(TRGIER)の状態



・タイマ RG ステータスレジスタ(TRGSR)の状態



割り込み許可にしているビットに対応するステータスフラグ TRGIMFA が 1 なので、TRGIMFB と同時に TRGIMFA にも 0 を書いてください。

6. タイマ RG 割り込みの説明追加

タイマ RG 割り込みの説明追加 (p.570)

誤) 該当なし (新規)

正)

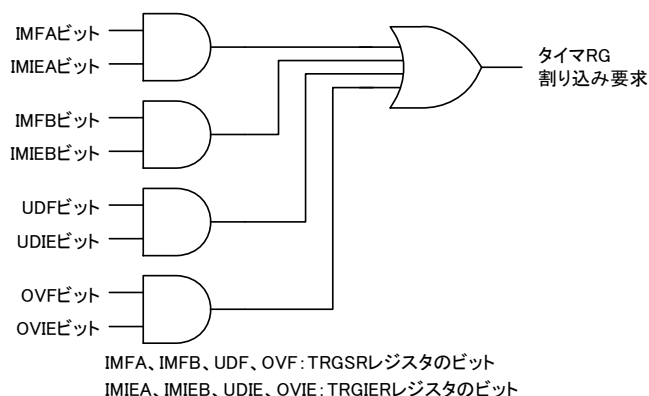
9.4 タイマ RG 割り込み

タイマ RG は、4 つの要因からタイマ RG 割り込み要求を発生します。表 9-16 にタイマ RG 割り込み関連レジスタを、図 9-31 にタイマ RG 割り込みのブロック図を示します。

表 9-16 タイマ RG 割り込み関連レジスタ

	タイマRGステータス レジスタ	タイマRG割り込み 許可レジスタ	割り込み要求フラグ (レジスタ)	割り込みマスク・フラグ (レジスタ)	優先順位指定フラグ (レジスタ)
タイマRG	TRGSR	TRGIER	TRGIF (IF2H)	TRGMK (MK2H)	TRGPR0 (PR02H) TRGPR1 (PR12H)

図 9-31 タイマ RG 割り込みのブロック図



タイマRGは、複数の割り込み要求要因から1つの割り込み要因(タイマRG割り込み)を発生するため、タイマRD割り込みを除く他のマスカブル割り込みとは次のような違いがあります。

- ・TRGSRレジスタのビットが1で、それに対するTRGIERレジスタのビットが1(割り込み許可)の場合、IF2HレジスタのTRGIFビットが1(割り込み要求あり)になります。
- ・TRGIERレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRGSRレジスタで判定してください。
- ・TRGSRレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。
- ・TRGIERレジスタの複数のビットを1にしているときに、最初の要求要因が成立してTRGIFビットがセット(1)された後に次の要求要因が成立した場合、割り込みが受け付けられるとTRGIFビットはクリア(0)されます。ただし、先に成立した要求要因をクリアすると次に発生した要求要因によりTRGIFビットがセット(1)されます。

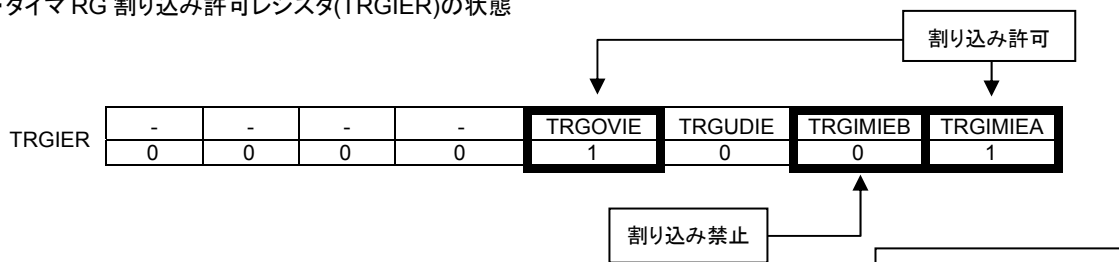
(次ページへ続く)

・タイマRGの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、
その割り込みがタイマRG割り込み許可レジスタ (TRGIER)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

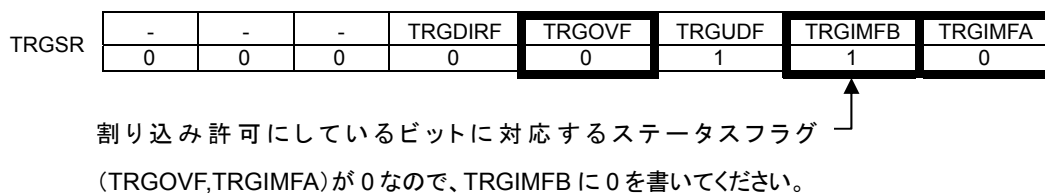
- タイマ RG 割り込み許可レジスタ(TRGIER) を 00H(すべての割り込みを禁止)にした後、当該ステータスフラグに 0 を書いてください。
- タイマ RG 割り込み許可レジスタ(TRGIER) の中に 1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが 0 の場合、当該ステータスフラグに 0 を書いてください。

(例) TRGIMIEA、TRGOVIE が割り込み許可、TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

・タイマ RG 割り込み許可レジスタ(TRGIER)の状態



・タイマ RG ステータスレジスタ(TRGSR)の状態



- タイマ RG 割り込み許可レジスタ(TRGIER) の中に 1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが 1 の場合、このステータスフラグは、当該ステータスフラグに 0 を書くとき同時に 0 を書いてください。

(例) TRGIMIEA が割り込み許可、TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

・タイマ RG 割り込み許可レジスタ(TRGIER)の状態



・タイマ RG ステータスレジスタ(TRGSR)の状態

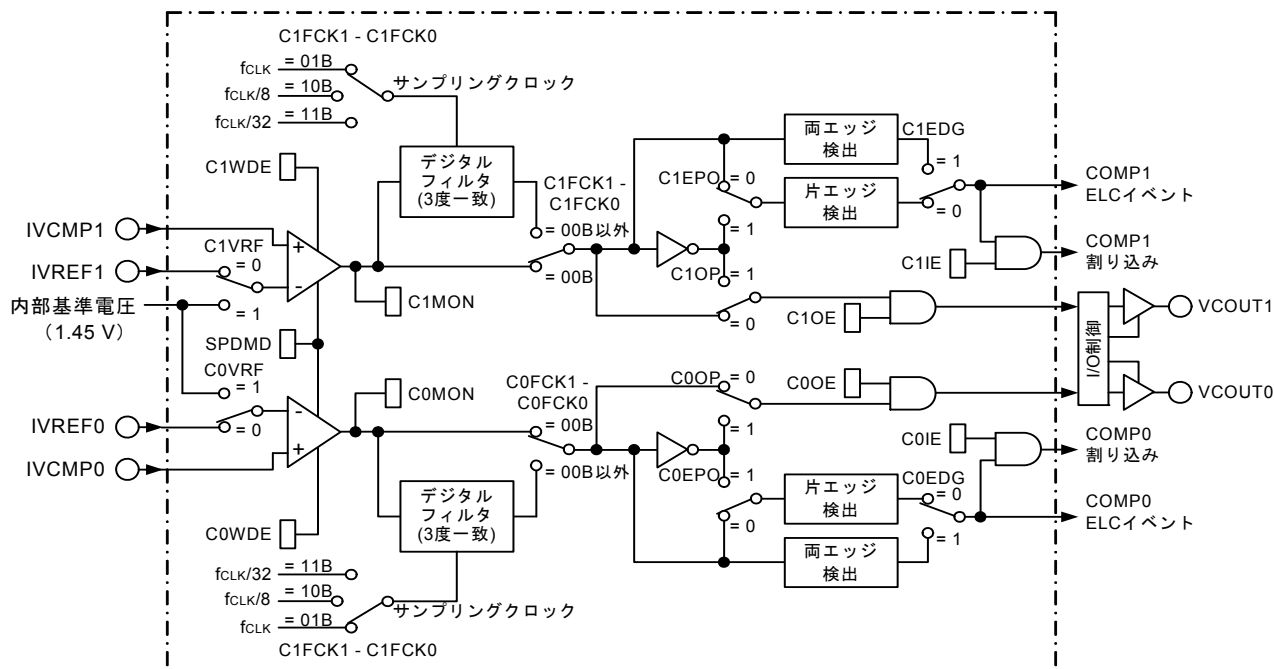


7. コンパレータのブロック図の内容改善

コンパレータのブロック図の内容改善(p.687)

誤)

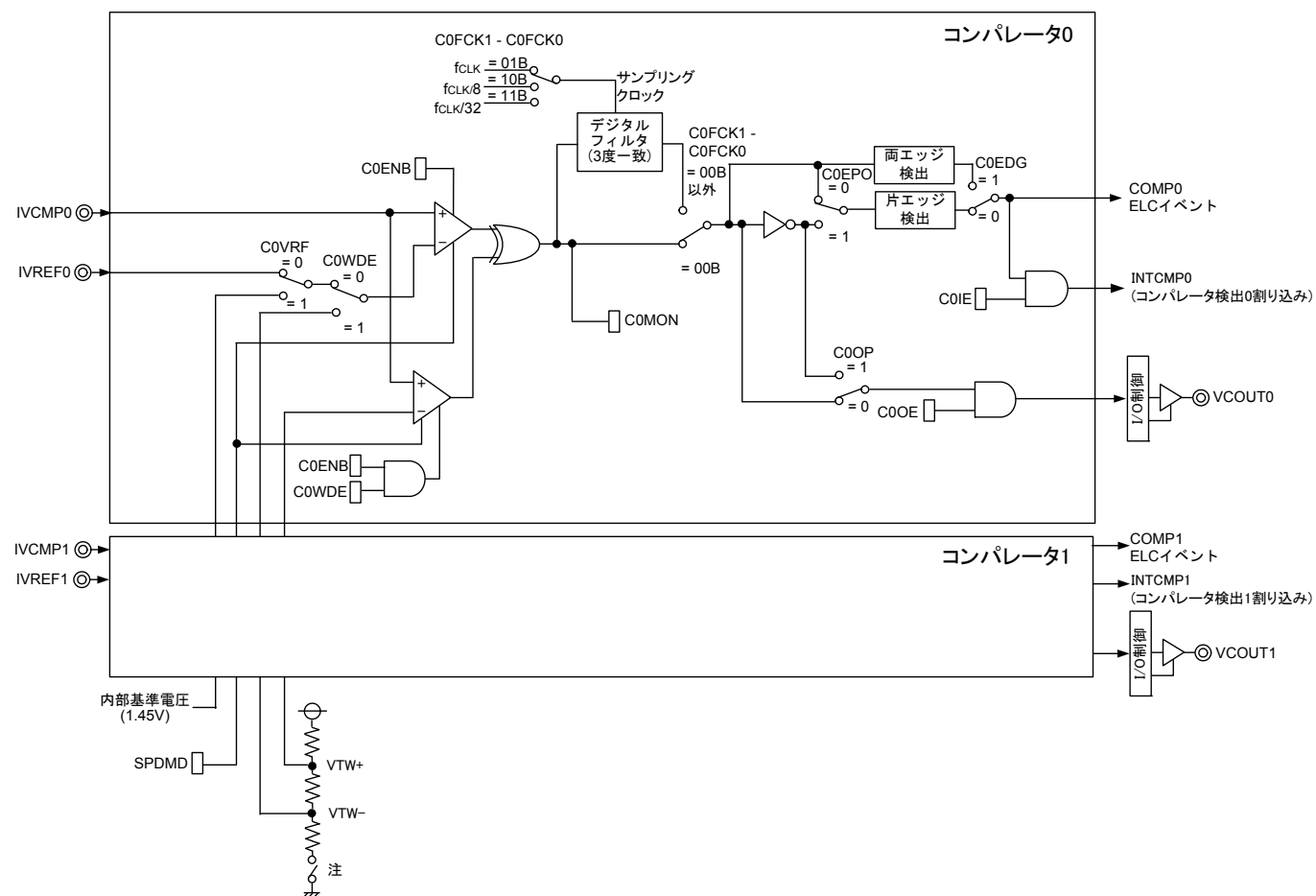
図 16-1 コンパレータのブロック図



備考 C1MON, C0MON, C1VRE, C0VRE, C1WDE, C0WDE : COMPMDRレジスタのビット
C1FCK1, C1FCK0, C0FCK1, C0FCK0, C1EDG, C0EDG, C1EPO, C0EPO : COMPFIRレジスタのビット
SPDMD, C1PO, C0PO, C1OE, C0OE, C1IE, C0IE : COMPCRレジスタのビット

正)

図 16-1 コンパレータのブロック図



注. C0WDE ビット、C1WDE ビットのいずれか一方又は両方を 1 にすると、このスイッチは ON になり、比較電圧発生用分割抵抗が有効になります。

備考

$n = 0, 1$

CnMON, CnVRF, CnWDE, CnENB : COMPMDR レジスタのビット

CnFCK1, CnFCK0, CnEDG, CnEPO : COMPFIR レジスタのビット

SPDMD, CnOP, CnOE, CnIE : COMPOCR レジスタのビット

8. 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV) 注意変更 (p.291)

誤)

(8) 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)

(省略)

注意1. HOCODIVレジスタの設定は周波数の変更前, 変更後ともに動作可能な電圧範囲で行ってください。

2. HOCODIVレジスタによって周波数を変更した場合も, オプション・バイト(000C2H/010C2H)で設定したフラッシュ動作モードの電圧の範囲内で使用してください。

オプション・バイト(000C2H/010C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE2			
0	0	LV(低電圧メイン)モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS(低速メイン)モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS(高速メイン)モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V

3. システム・クロックに高速オンチップ・オシレータ・クロックを設定しているときは, HOCODIV レジスタで値を変更してから, 3 クロック間は設定前の周波数で動作します。

4. システム・クロックに X1 発振/外部発振入力/サブシステム・クロックを設定しているときに高速オンチップ・オシレータの周波数を変更する場合は, CSCレジスタのビット 0(HIOSTOP)を 1 にセットし, 高速オンチップ・オシレータを停止させてから周波数を変更してください。

正)

(8) 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)

(省略)

注意1. HOCODIVレジスタの設定は, 周波数の変更前, 変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE2			
0	0	LV(低電圧メイン)モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS(低速メイン)モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS(高速メイン)モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V

2. HOCODIVレジスタの設定は, 高速オンチップ・オシレータ・クロック(f_{IH})をCPU/周辺ハードウェア・クロック(f_{CLK})に選択している状態で行ってください。

3. HOCODIVレジスタで周波数を変更後, 次の遷移時間経過して周波数が切り替わります。

・変更前の周波数で3クロック 動作

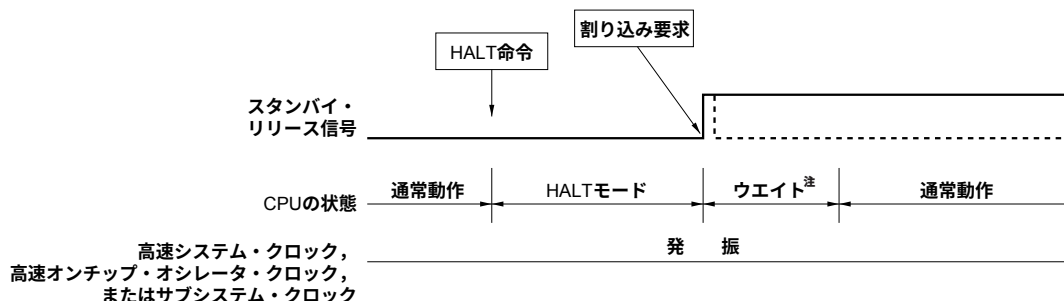
・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロック ウェイト

9. リセット処理時間／スタンバイ・モード解除時間の誤記訂正(p.1053-1055, p.1057-1060, p.1065-1066, p.1077-1078)

HALT モード解除時間の誤記訂正 (p.1053)

誤)

図23-3 HALTモードの割り込み要求発生による解除



注 HALTモード解除のウェイト時間

・ベクタ割り込み処理を行う場合

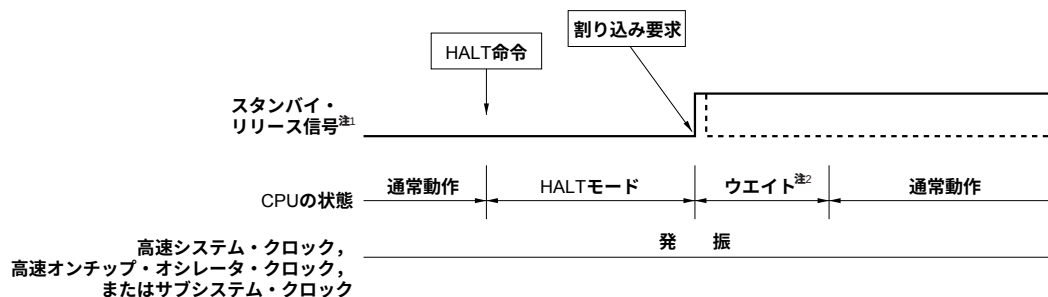
メイン・システム・クロック時	: 13~15クロック
サブシステム・クロック時(RTCLPC = 0)	: 8~10クロック
サブシステム・クロック時(RTCLPC = 1)	: 9~11クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時	: 8~9クロック
サブシステム・クロック時(RTCLPC = 0)	: 3~4クロック
サブシステム・クロック時(RTCLPC = 1)	: 4~5クロック

正)

図23-3 HALTモードの割り込み要求発生による解除



注 1. スタンバイ・リリース信号に関する詳細は、図21-1を参照してください。

2. HALTモード解除のウェイト時間

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時	: 15~16クロック
サブシステム・クロック時(RTCLPC = 0)	: 10~11クロック
サブシステム・クロック時(RTCLPC = 1)	: 11~12クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時	: 9~10クロック
サブシステム・クロック時(RTCLPC = 0)	: 4~5クロック
サブシステム・クロック時(RTCLPC = 1)	: 5~6クロック

p.1054-1055, p.1057-1060, p.1065-1066, p.1077-1078 の誤記に関しては

この資料の No.37 (p.38-p.47)をご参照ください

10. A/D コンバータ・モード・レジスタ 0 (ADM0) の注意追加 (p.621)

誤)

(2) A/D コンバータ・モード・レジスタ 0 (ADM0)

(省略)

注 1. FR2-FR0, LV1, LV0 ビットおよび A/D 変換に関する詳細は、表 14-3 A/D 変換時間の選択を参照してください。

2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ウェイト・モード時は、ADCS ビットを変換動作状態のステータス・フラグとして使用することができます。ただし、ハードウェア・トリガ・ノーウェイト・モード時は、ステータス・フラグとして使用することはできません。

3. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D 電圧コンパレータは ADCS ビットと ADCE ビットで動作制御され、動作開始から安定するまでに、1 μ s かかります。このため、ADCE ビットに 1 を設定してから 1 μ s 以上経過したあとに、ADCS ビットに 1 を設定することで、最初の変換データより有効となります。1 μ s 以上ウェイトしないで ADCS ビットに 1 を設定した場合は、最初の変換データを無視してください。

正)

(2) A/D コンバータ・モード・レジスタ 0 (ADM0)

(省略)

注 1. FR2-FR0, LV1, LV0 ビットおよび A/D 変換に関する詳細は、表 14-3 A/D 変換時間の選択を参照してください。

(削除)

2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D 電圧コンパレータは ADCS ビットと ADCE ビットで動作制御され、動作開始から安定するまでに、1 μ s かかります。このため、ADCE ビットに 1 を設定してから 1 μ s 以上経過したあとに、ADCS ビットに 1 を設定することで、最初の変換データより有効となります。1 μ s 以上ウェイトしないで ADCS ビットに 1 を設定した場合は、最初の変換データを無視してください。

注意 1. ADMD, FR2-FR0, LV1, LV0 ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

2. ADCS = 1, ADCE = 0 の設定は禁止です。

3. ADCS = 0, ADCE = 0 設定状態から 8 ビット操作命令で ADCS = 1, ADCE = 1 に設定することは禁止します。

必ず 14. 7 A/D コンバータの設定フローチャートの手順に従ってください。

11. A/D 変換時間の選択 注意の誤記訂正 (p.625- p.632)

誤)

表 14-3 A/D 変換時間の選択

(省略)

注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止(ADCS = 0)させたのちに行ってください。

正)

表 14-3 A/D 変換時間の選択

(省略)

注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

12. A/D コンバータ SNOOZE モード使用時の説明追加

A/D コンバータ・モード・レジスタ 2 (ADM2) の説明追加 (p.634-635)

誤)

(4) A/D コンバータ・モード・レジスタ 2 (ADM2)

(省略)

ADREFP1	ADREFP0	A/D コンバータの + 側の基準電圧源の選択
0	0	V _{DD} から供給
0	1	P20/AV _{REFP} /ANI0 から供給
1	0	内部基準電圧 (1.45 V) から供給
1	1	設定禁止

・ADREFP1, ADREFP0 ビットを書き換える場合、次の手順で設定してください。

- ① ADCE = 0 に設定
- ② ADREFP1, ADREFP0 の値を変更
- ③ 安定待ち時間ウエイト (A)
- ④ ADCE = 1 に設定
- ⑤ 安定待ち時間ウエイト (B)

ADREFP1, ADREFP0 = 1, 0 に変更する場合： $A = 1 \mu s$, $B = 5 \mu s$
ADREFP1, ADREFP0 = 0, 0 または 0, 1 に変更する場合： A はウエイト不要, $B = 1 \mu s$
⑤ のウエイトのあとに、A/D 変換開始してください。

・ADREFP1, ADREFP0 = 1, 0 に設定した場合、温度センサ出力を A/D 変換することはできません。
必ず ADISS = 0 として A/D 変換を行なってください。

(省略)

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

・STOP モード中のハードウェア・トリガ信号で、STOP モードを解除し、CPU を動作させることなく A/D 変換を行います (SNOOZE モード)。

・SNOOZE モード機能は、CPU / 周辺ハードウェア・クロック (f_{CLK}) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウエイト・モードでの SNOOZE モード機能は使用禁止です。

・連続変換モードでの SNOOZE モード機能は使用禁止です。

・**SNOOZE モード機能を使用するとき、ハードウェア・トリガ間隔は、表 14-3 に記載された「安定待ち時間ありの A/D 変換時間」以上の間隔を空けて設定してください。**

正)

(4) A/Dコンバータ・モード・レジスタ2 (ADM2)

(省略)

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	V _{DD} から供給
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧(1.45 V)から供給 ^注
1	1	設定禁止

・ADREFP1, ADREFP0ビットを書き換える場合、次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 安定待ち時間ウエイト(A)
- ④ ADCE = 1に設定
- ⑤ 安定待ち時間ウエイト(B)

ADREFP1, ADREFP0 = 1, 0に変更する場合： A = 5 μ s, B = 1 μ s
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合： Aはウエイト不要, B = 1 μ s
⑤のウエイトのあとに、A/D変換開始してください。

・ADREFP1, ADREFP0 = 1, 0に設定した場合、温度センサ出力と内部基準電圧出力をA/D変換することはできません。
必ずADISS = 0としてA/D変換を行ってください。

(省略)

AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

・STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います(SNOOZEモード)。

・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック(f_{CLK})に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。

・連続変換モードでのSNOOZEモード機能は使用禁止です。

・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^注 + A/D電源安定待ち時間 + A/D変換時間 + f_{CLK} の2クロック」以上の間隔を空けて設定してください。

・SNOOZE機能を使用する場合でも、通常動作モード時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。

またSTOPモードから通常動作モードへ復帰後、必ずAWCを0に変更してください。

AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

注 23. 2. 3 SNOOZEモードを参照してください。

A/D コンバータ SNOOZE モードの説明追加 (p.668)

誤)

(1) A/D 変換終了後に割り込みが発生する場合

(省略)

●セレクト・モード時

A/D 変換が終了し A/D 変換終了割り込み要求信号 (INTAD) が発生後、クロック要求信号はハイ・レベルのままとなり、A/D コンバータは SNOOZE モードから通常動作モードに移行します。SNOOZE モード時に供給される高速オンチップ・オシレータ・クロックを停止する場合は、A/D コンバータ・モード・レジスタ 2 (ADM2) のビット 2 (AWC) をクリア (0) してください。それにより、クロック要求信号 (内部信号) はロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止します。

●スキャン・モード時

4 チャンネル分の A/D 変換で 1 回でも A/D 変換終了割り込み要求信号 (INTAD) が発生した場合、クロック要求信号はハイ・レベルのままとなり、A/D コンバータは SNOOZE モードから通常動作モードに移行します。SNOOZE モード時に供給される高速オンチップ・オシレータ・クロックを停止する場合は、A/D コンバータ・モード・レジスタ 2 (ADM2) のビット 2 (AWC) をクリア (0) してください。それにより、クロック要求信号 (内部信号) はロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止します。

正)

(1) A/D 変換終了後に割り込みが発生する場合

(省略)

●セレクト・モード時

A/D 変換が終了して A/D 変換終了割り込み要求信号 (INTAD) が発生すると、A/D コンバータは SNOOZE モードから通常動作モードに移行します。ここで、A/D コンバータ・モード・レジスタ 2 (ADM2) のビット 2 を必ずクリア (AWC = 0: SNOOZE 解除) してください。AWC = 1 のままでは、その後の SNOOZE モード、通常動作モードに関係なく正常に AD 変換が開始されません。

●スキャン・モード時

4 チャンネル分の A/D 変換で 1 回でも A/D 変換終了割り込み要求信号 (INTAD) が発生した場合、A/D コンバータは SNOOZE モードから通常動作モードに移行します。ここで、A/D コンバータ・モード・レジスタ 2 (ADM2) のビット 2 を必ずクリア (AWC = 0: SNOOZE 解除) してください。AWC = 1 のままでは、その後の SNOOZE モード、通常動作モードに関係なく正常に AD 変換が開始されません。

13. 安全機能 A/D テスト機能 温度センサ、内部基準電圧(1.45V)使用時の説明追加

14. 7. 4 温度センサ使用時の設定の説明追加 (p.665)

誤)

14. 7. 4 温度センサ使用時の設定(例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図14-35 温度センサ使用時の設定

(省略)

注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

正)

14. 7. 4 温度センサ使用時の設定(例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図14-35 温度センサ使用時の設定

(省略)

注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

注意 HS(高速メイン)モードでのみ選択可能です。

14.10 A/D コンバータの注意事項

(2) ANI0-ANI14, ANI16-ANI20 端子入力範囲についての説明追加 (p.673)

誤)

14. 10 A/Dコンバータの注意事項

(省略)

(2) ANI0-ANI14, ANI16-ANI20 端子入力範囲について

ANI0-ANI14, ANI16-ANI20 端子入力電圧は規格の範囲内でご使用ください。特に V_{DD} , AV_{REFP} 以上, V_{SS} , AV_{REFM} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると, そのチャネルの変換値が不定となります。また, ほかのチャネルの変換値にも影響を与えることがあります。

内蔵基準電圧 (1.45 V) を A/D コンバータの + 側の基準電圧源に選択した場合は, ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れないでください。ただし, ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

正)

14. 10 A/Dコンバータの注意事項

(省略)

(2) ANI0-ANI14, ANI16-ANI20 端子入力範囲について

ANI0-ANI14, ANI16-ANI20 端子入力電圧は規格の範囲内でご使用ください。特に V_{DD} , AV_{REFP} 以上, V_{SS} , AV_{REFM} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると, そのチャネルの変換値が不定となります。また, ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧 (1.45 V) を A/D コンバータの + 側の基準電圧源に選択した場合は, ADSレジスタで選択されている端子には内部基準電圧以上の電圧を入れないでください。ただし, ADSレジスタで選択されていない端子が内部基準電圧以上の電圧になっていても問題ありません。

注意 内部基準電圧 (1.45 V) は, HS (高速メイン) モードでのみ選択可能です。

14. シリアル・アレイ・ユニット SNOOZE モード使用時の注意追加

CSI SNOOZE モードの説明追加 (p.790, p.792)

誤)

(省略)

注意 SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、必ず STm0 ビットを 1 に設定し SEm0 ビットをクリア(動作停止)させてください。

正)

(省略)

注意 SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、STm0 ビットを 1 に設定してください(SEm0 ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCm ビットもクリアしてください(SNOOZE 解除)。

UART SNOOZE モードの説明追加 (p.851-852, p854)

誤)

(省略)

注意 SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、必ず STm1 ビットを 1 に設定し SEm1 ビットをクリア(動作停止)させてください。

正)

(省略)

注意 SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、STm1 ビットを 1 に設定してください(SEm1 ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCm ビットもクリアしてください(SNOOZE 解除)。

15. パワーオン・リセット回路の説明追加(p.1075-1076)

誤)

25.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。

電源電圧(V_{DD})が $1.51\text{ V} \pm 0.03\text{ V}$ を越えた場合に、リセットを解除します。

・電源電圧(V_{DD})と検出電圧($V_{PDR} = 1.50\text{ V} \pm 0.03\text{ V}$)を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

(省略)

25.3 パワーオン・リセット回路の動作

・電源投入時に内部リセット信号を発生し、電源電圧(V_{DD})が検出電圧(V_{POR})を越えたら、リセットを解除します。

・電源電圧(V_{DD})と検出電圧(V_{PDR})を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

正)

25.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

・電源電圧(V_{DD})が $1.51\text{ V} \pm 0.03\text{ V}$ を越えた場合に、リセットを解除します。

ただし、34.4 AC 特性に示す動作電圧範囲まで、電圧検出機能が外部リセット端子でリセット状態を保ってください。

・電源電圧(V_{DD})と検出電圧($V_{PDR} = 1.50\text{ V} \pm 0.03\text{ V}$)を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

ただし、動作電圧降下時は、34.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行、または電圧検出機能が外部リセット端子で、リセット状態にしてください。

(省略)

25.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

16. 安全機能 27. 3. 8 A/Dテスト機能の説明追加

図 27-15 A/D テスト・レジスタ(ADTES)の説明追加 (p.1114)

誤)

(1)A/Dテスト・レジスタ(ADTES)

図27ー15 A/Dテスト・レジスタ(ADTES)のフォーマット

アドレス:F0013H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx(アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	AVREFM
1	1	AVREFP
上記以外		設定禁止

正)

(1)A/Dテスト・レジスタ(ADTES)

図27ー15 A/Dテスト・レジスタ(ADTES)のフォーマット

アドレス:F0013H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx(アナログ入力チャネル指定レジスタ(ADS)で設定) ^注
1	0	AVREFM
1	1	AVREFP
上記以外		設定禁止

注 温度センサ出力, 内部基準電圧出力(1.45V)は, HS(高速メイン)モードでのみ選択可能です。

17. フラッシュメモリ データ・フラッシュの誤記訂正・説明追加(p.1138)

誤)

データ・フラッシュの概要は次のとおりです。

- ・フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- ・プログラミング単位は 8 ビット単位
- ・1 ブロック = 1 K バイト単位で消去可能
- ・CPU 命令によるアクセスはバイト・リードのみ(読み出し:4 クロック)
(省略)
- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュにアクセスした場合は、CPU が 3 クロック分ウエイトされます

正)

データ・フラッシュの概要は次のとおりです。データ・フラッシュの書き換え方法の詳細は、RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズマニュアルを参照してください。

- ・フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- ・プログラミング単位は 8 ビット単位
- ・1 ブロック = 1 K バイト単位で消去可能
- ・CPU 命令によるアクセスはバイト・リードのみ(1 クロック+ウエイト 3 クロック)
(省略)
- ・データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、HALT/STOP 状態に遷移することは禁止

18. セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意追加(p.1147)

こちらの誤記に関しては、この資料の No.39 (p.50)をご参照ください

19. フラッシュ・メモリ・プログラミング特性の項目追加(p.1237)

誤)

34. 10 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
システム・クロック周波数	f _{CLK}	1.8 V ≤ V _{DD} ≤ 5.5 V		1		32	MHz
コード・フラッシュの書き換え回数	C _{erwr}	消去1回+消去後の書き込み1回を書き換え回数1回とする。	セルフ／シリアル保持20年 ^注	1,000			回
データ・フラッシュの書き換え回数		保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。	セルフ／シリアル保持1年 ^注		1,000,000		
			セルフ／シリアル保持5年 ^注	100,000			

注 フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

正)

34. 10 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
システム・クロック周波数	f _{CLK}	1.8 V ≦ V _{DD} ≦ 5.5 V		1		32	MHz
コード・フラッシュの書き換え回数 注1,2,3	C _{erwr}	保持年数:20年	T _a =85℃	1,000			回
データ・フラッシュの書き換え回数 注1,2,3		保持年数: 1年	T _a =25℃		1,000,000		
		保持年数: 5年	T _a =85℃	100,000			
		保持年数:20年	T _a =85℃	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。

保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3. 本特性は、フラッシュ・メモリの特性を示すもので、当社の信頼性試験から得られた結果です。

20. 3. 1. 3 内部データ・メモリ空間 (p.108)

誤)

注意 2. 次に示す製品の内部 RAM 領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にスタック・メモリとして使用できません。

R5F104xD (x = A-C, E-G, J, L)	: FE900H-FED09H
R5F104xE (x = A-C, E-G, J, L)	: FE900H-FED09H
R5F104xJ (x = F, G, J, L, M, P)	: F9F00H-FA309H

3. 次に示す製品の内部 RAM 領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

正)

注意 2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先や DTC による転送先／転送元で利用する RAM アドレスを FFE20H-FFEDFH の領域に配置しないでください。

3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品の RAM 領域は、各ライブラリで使用するため使用禁止になります。

R5F104xD (x = A-C, E-G, J, L)	: FE900H-FED09H
R5F104xE (x = A-C, E-G, J, L)	: FE900H-FED09H
R5F104xJ (x = F, G, J, L, M, P)	: F9F00H-FA309H

4. 次に示す製品の内部 RAM 領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

21. 17. 7. 3 SNOOZE モード機能 (p.851)

誤)

SNOOZE モードとは、STOP モード状態で RxDq 端子入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。SNOOZE モードは、受信時ボー・レート調整機能に対応している、以下のチャンネルのみ設定可能です。

- ・30-64ピン製品： UART0のみ
- ・80-100ピン製品： UART0, UART2のみ

SNOOZEモード機能を使用する場合は、STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットを1に設定しておきます。

注意 1. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UARTqをSNOOZEモードで使用するときの最大転送レートは9600 bps(ターゲット)です。

正)

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOP時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

SNOOZEモードは、以下のチャンネルのみ設定可能です。

- ・30-64ピン製品： UART0
- ・80-100ピン製品： UART0, UART2

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図17-118、図17-120 SNOOZEモード動作時のフローチャートを参照)

- ・ SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表17-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・ EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可／停止を設定することができます。
- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。

STOPモードに移行後、RxDq のエッジを検出(スタート・ビット入力)すると、UART受信を開始します。

注意 1. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロック(f_{IH})を選択している場合のみ使用できます。ただし、高速オンチップ・オシレータ・クロック(f_{IH})の動作周波数に64MHz, 48MHzを選択している場合、SNOOZE モードは使用できません。

2. SNOOZE モードでの転送レートは 4800bps のみです。

3. SWCm=1 の設定では、STOP モード中に受信開始した時のみ UARTq を使用できます。他の SNOOZE 機能や割り込みと同時に使用して、次のような STOP モード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
- ・SWCm=1 に設定後、STOP モードに移行する前に受信開始した場合
 - ・他の SNOOZE モード中に受信開始した場合
 - ・STOP モードから割り込みなどで通常動作に復帰後、SWCm=0 に戻す前に受信開始した場合
4. SSECm=1 の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時に PEFmn, FEFmn, OVFMn フラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm=1 で使用するときは、SWC0=1 に設定する前に PEFmn, FEFmn, OVFMn フラグをクリアし、また、SDRm1 レジスタのビット 7-0 (RxDq) を読み出してください。

表 17-3 SNOOZE モード時の UART 受信ボー・レート設定

高速オンチップ・ オシレータ (fIH)	SNOOZE モード時の UART 受信ボー・レート			
	ボー・レート 4800 bps			
	動作クロック (fMCK)	SDRmn [15:9]	最大許容値	最小許容値
32MHz±1.0% ^注	fCLK /2 ⁵	105	2.27%	- 1.53%
24MHz±1.0% ^注	fCLK /2 ⁵	79	1.60%	- 2.18%
16MHz±1.0% ^注	fCLK /2 ⁴	105	2.27%	- 1.53%
12MHz±1.0% ^注	fCLK /2 ⁴	79	1.60%	- 2.19%
8MHz±1.0% ^注	fCLK /2 ³	105	2.27%	- 1.53%
6MHz±1.0% ^注	fCLK /2 ³	79	1.60%	- 2.19%
4MHz±1.0% ^注	fCLK /2 ²	105	2.27%	- 1.53%
3MHz±1.0% ^注	fCLK /2 ²	79	1.60%	- 2.19%
2MHz±1.0% ^注	fCLK /2 ¹	105	2.27%	- 1.54%
1MHz±1.0% ^注	fCLK /2 ⁰	105	2.27%	- 1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

- ・fIH±1.5%の場合、fIH±1.0%時の許容値に±0.5%を減算してください。
- ・fIH±2.0%の場合、fIH±1.0%時の許容値に±1.0%を減算してください。

備考 最大許容値、最小許容値は、UART 受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

22. 23. 2. 2 STOP モード (p.1055, p.1057)

こちらの誤記に関しては、この資料の No.37 (p.38-p.40)をご参照ください

23. 23. 2. 3 SNOOZE モード (p.1060)

こちらの誤記に関しては、この資料の No.37 (p.42)をご参照ください

24. 27. 3. 6 不正メモリ・アクセス検出機能 (p.1110)

こちらの誤記に関しては、この資料の No.38 (p.48)をご参照ください

25. 図 29-3 ユーザ・オプション・バイト(000C2H/010C2H) (p.1126)

旧)

図29-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス:000C2H/010C2H^注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
0	0	LV(低電圧メイン)モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS(低速メイン)モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS(高速メイン)モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータのク ロック周波数	
					f _{HOCO}	f _{IH}
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	1	0	1	1	4 MHz	4 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

注 ブート・スワップ時は、000C2H と 010C2H が切り替わるので、010C2H にも 000C2H と同じ値を設定してください。

新)

図29-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス:000C2H/010C2H^注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
0	0	LV(低電圧メイン)モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS(低速メイン)モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS(高速メイン)モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータのク ロック周波数	
					f _{HOCO}	f _{IH}
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

注 ブート・スワップ時は、000C2H と 010C2H が切り替わるので、010C2H にも 000C2H と同じ値を設定してください。

注意 ビット 5 には、必ず 1 を書き込んでください。

26. 34. 4. 1 端子特性 (p.1187, p.1188)

誤)

p.1187, p.1188 の「注 3.」の誤記訂正。

27. 34. 4. 2 電源電流特性 (p.1192, p.1201)

誤)

p.1192- p.1201 の注および、IDD2, IDD3 の TYP.値の誤記訂正。

28. 34. 5 AC 特性 (p.1202)

旧)

p.1202 「外部メインシステム・クロック周波数」および「外部システム・クロック入力ハイ, ロウ・レベル幅」の仕様拡張。

29. 34. 6. 1 シリアル・アレイ・ユニット (p.1204-p.1227)

誤)

p.1204- p.1227「34. 6. 1 シリアル・アレイ・ユニット」の誤記訂正。

30. 34. 6. 2 シリアル・インタフェース IICA (p.1228)

誤)

p.1228「34. 6. 2 シリアル・インタフェース IICA」の誤記訂正。

正)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」p.5, p.6 を参照してください。

正)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」p.10- p.19 を参照してください。

新)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」p.20 を参照してください。

正)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」p.27- p.54 を参照してください。

正)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」p.55- p.58 を参照してください。

31. 34. 7. 1 A/D コンバータ特性 (p.1229-p.1232)

旧)

p.1229- p.1232「34. 7. 1 A/D コンバータ特性」の仕様拡張。

32. 34. 7. 2 温度センサ／内部基準電圧特性 (p.1233)

誤)

p.1233「34. 7. 2 温度センサ／内部基準電圧特性」の誤記訂正。

33. 34. 7. 5 POR 回路特性 (p.1234)

誤)

p.1234「34. 7. 5 POR 回路特性」の誤記訂正。

34. 電源電圧立ち上げ時間 (p.1237)

旧)

p.1237「電源電圧立ち上げ時間」の仕様追加。

35. 34. 9 データ・メモリ STOP モード低電源電圧データ保持特性 (p.1237)

旧)

p.1237「34. 9 データ・メモリ STOP モード低電源電圧データ保持特性」の仕様拡張。

36. 第 35 章 電気的特性 (G: Ta = -40~+105°C)

「第 35 章 電気的特性 (G: Ta = -40~+105°C)」の正式仕様決定。

新)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) の
ご報告」p.59- p.62 を参照してください。

正)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) の
ご報告」p.63 を参照してください。

正)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) の
ご報告」p.64 を参照してください。

追加)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) の
ご報告」p.66 を参照してください。

新)

テクニカル・アップデート別紙「第 34 章 電気的特性 (A, D: Ta = -40~+85°C) の
ご報告」p.67 を参照してください。

追加)

テクニカル・アップデート別紙「第 35 章 電気的特性 (G: Ta = -40~+105°C) の
ご報告」p.1- p.57 を参照してください。

37. リセット処理時間／スタンバイ・モード解除時間の誤記訂正

リセット処理時間の誤記訂正 (p.1054-1055)

誤)

図 23-4 HALT モードのリセットによる解除(1/2)

(省略)

(2)CPU クロックが高速オンチップ・オシレータ・クロックの場合

(図省略)

注 リセット処理時間:387~720 μ s (LVD 使用時)
155~407 μ s (LVD オフ時)

図 23-4 HALT モードのリセットによる解除(2/2)

(3)CPU クロックがサブシステム・クロックの場合

(図省略)

注 リセット処理時間:387~720 μ s (LVD 使用時)
155~407 μ s (LVD オフ時)

正)

図 23-4 HALT モードのリセットによる解除(1/2)

(省略)

(2)CPU クロックが高速オンチップ・オシレータ・クロックの場合

(図省略)

注 リセット処理時間は、第 24 章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第 25 章 パワーオン・リセット回路を参照してください。

図 23-4 HALT モードのリセットによる解除(2/2)

(3)CPU クロックがサブシステム・クロックの場合

(図省略)

注 リセット処理時間は、第 24 章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第 25 章 パワーオン・リセット回路を参照してください。

リセット処理時間の誤記訂正 (p.1057-1059)

誤)

(2) STOP モードの解除

STOP モードは、次の 2 種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOP モードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図 23-5 STOP モードの割り込み要求発生による解除 (1/2)

(1) CPU クロックが高速システム・クロック (X1 発振) の場合

(省略)

注 STOP モード解除のウェイト時間

・高速システム・クロック (X1 発振) : 3 クロック

正)

(2) STOP モードの解除

STOP モードは、次の 2 種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOP モードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図 23-5 STOP モードの割り込み要求発生による解除 (1/2)

(1) CPU クロックが高速システム・クロック (X1 発振) の場合

(省略)

注 1. スタンバイ・リリース信号に関する詳細は、図 21 - 1 割り込み機能の基本構成を参照してください。

注 2. STOP モード解除時間

クロック供給停止:

- FRQSEL4=0 の場合: 18 μ s ~ “65 μ s または発振安定時間 (OSTS で設定) の長い方”
- FRQSEL4=1 の場合: 18 μ s ~ “135 μ s または発振安定時間 (OSTS で設定) の長い方”

ウェイト

- ベクタ割り込み処理を行う場合: 10 ~ 11 クロック
- ベクタ割り込み処理を行わない場合: 4 ~ 5 クロック

注意 高速システム・クロック (X1 発振) で CPU 動作していて、STOP モード解除後の発振安定時間を短縮したい場合は、STOP 命令実行前に、CPU クロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考 1. クロック供給停止時間は、温度条件と STOP モード期間によって変化します。

備考 2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図 23-5 STOP モードの割り込み要求発生による解除 (2/2)

(2) CPU クロックが高速システム・クロック (外部クロック入力) の場合

(省略)

(3) CPU クロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注 STOP モード解除時間

・高速システム・クロック (外部クロック入力) : 19.1 ~ 31.98 μ s

・高速オンチップ・オシレータ・クロック : 19.1 ~ 31.98 μ s

図 23-5 STOP モードの割り込み要求発生による解除 (2/2)

(2) CPU クロックが高速システム・クロック (外部クロック入力) の場合

(省略)

(3) CPU クロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注 1. スタンバイ・リリース信号に関する詳細は、図 21 - 1 割り込み機能の基本構成を参照してください。

注 2. STOP モード解除時間

クロック供給停止:

・FRQSEL4 = 0 の場合: 18 μ s ~ 65 μ s

・FRQSEL4 = 1 の場合: 18 μ s ~ 135 μ s

ウェイト:

・ベクタ割り込み処理を行う場合: 7 クロック

・ベクタ割り込み処理を行わない場合: 1 クロック

注 1. スタンバイ・リリース信号に関する詳細は、図 21 - 1 割り込み機能の基本構成を参照してください。

注 2. STOP モード解除時間

クロック供給停止:

・FRQSEL4 = 0 の場合: 18 μ s ~ 65 μ s

・FRQSEL4 = 1 の場合: 18 μ s ~ 135 μ s

ウェイト:

・ベクタ割り込み処理を行う場合: 7 クロック

・ベクタ割り込み処理を行わない場合: 1 クロック

備考 1. クロック供給停止時間は、温度条件と STOP モード期間によって変化します。

備考 2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b)リセット信号の発生による解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23－6 STOPモードのリセットによる解除

(1)CPU クロックが高速システム・クロックの場合

(省略)

(2)CPU クロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注 リセット処理時間：387～720 μ s (LVD使用時)
155～407 μ s (LVD オフ時)

(b)リセット信号の発生による解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23－6 STOPモードのリセットによる解除

(1)CPU クロックが高速システム・クロックの場合

(省略)

(2)CPU クロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注 リセット処理時間は、第 24 章 リセット機能を参照してください。なお、パワーオン・リセット (POR)回路と電圧検出(LVD)回路のリセット処理時間は、第 25 章 パワーオン・リセット回路を参照してください。

SNOOZE モード移行時間の説明追加 (p.1060)

誤)

23. 2. 3 SNOOZE モード

(1) SNOOZEモードの設定および動作状態

(省略)

次に SNOOZE モード時の動作状態を示します。

正)

23. 2. 3 SNOOZE モード

(1) SNOOZEモードの設定および動作状態

(省略)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間:

FRQSEL4 = 0の場合: $18\mu s \sim 65\mu s$

FRQSEL4 = 1の場合: $18\mu s \sim 135\mu s$

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間:

・ベクタ割り込み処理を行う場合

HS(高速メイン)モード : $"4.99 \sim 9.44 \mu s" + 7\text{クロック}$

LS(低速メイン)モード : $"1.10 \sim 5.08 \mu s" + 7\text{クロック}$

LV(低電圧メイン)モード : $"16.58 \sim 25.40 \mu s" + 7\text{クロック}$

・ベクタ割り込み処理を行わない場合

HS(高速メイン)モード : $"4.99 \sim 9.44 \mu s" + 1\text{クロック}$

LS(低速メイン)モード : $"1.10 \sim 5.08 \mu s" + 1\text{クロック}$

LV(低電圧メイン)モード : $"16.58 \sim 25.40 \mu s" + 1\text{クロック}$

次に SNOOZE モード時の動作状態を示します。

リセット処理時間の誤記訂正 (p.1065-1066)

誤)

図 24-2 RESET 入力によるリセット・タイミング

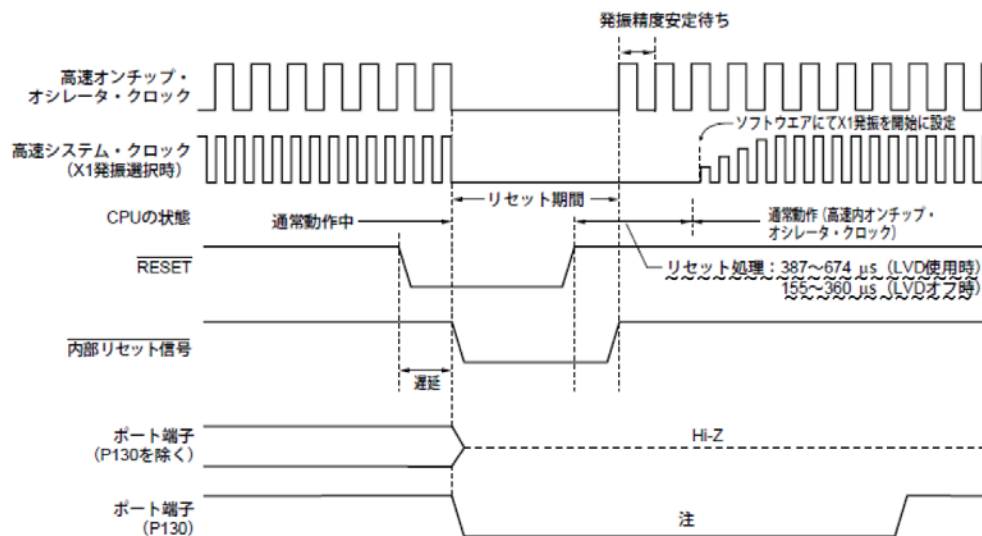
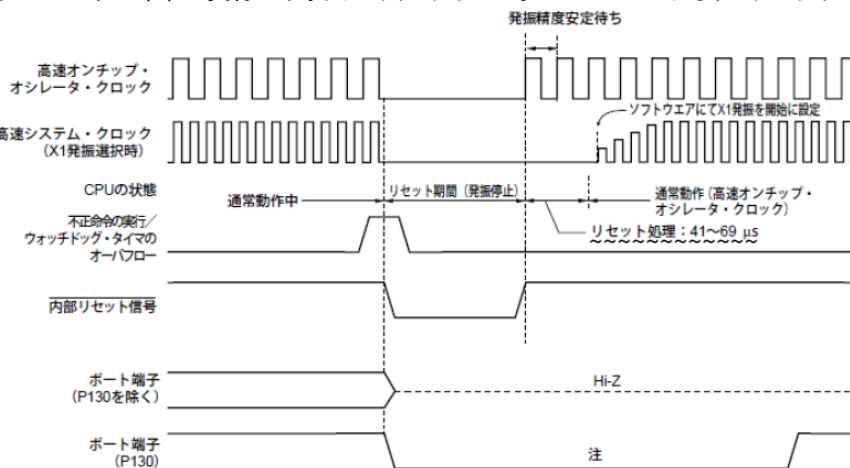


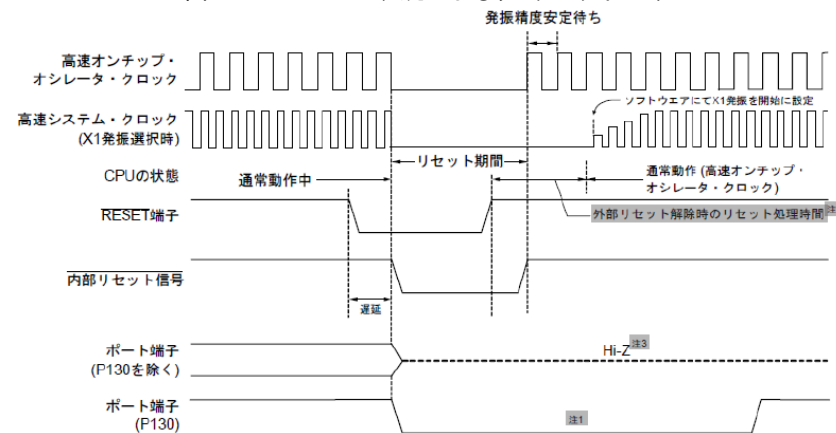
図 24-3 不正命令の実行/ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



(省略)

正)

図 24-2 RESET 入力によるリセット・タイミング



ウォッチドッグ・タイマのオーバーフロー/不正命令の実行/RAM パリティ・エラーの検出/不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図 24-3 ウォッチドッグ・タイマのオーバーフロー/不正命令の実行/RAM パリティ・エラーの検出/不正メモリ・アクセスの検出によるリセット・タイミング

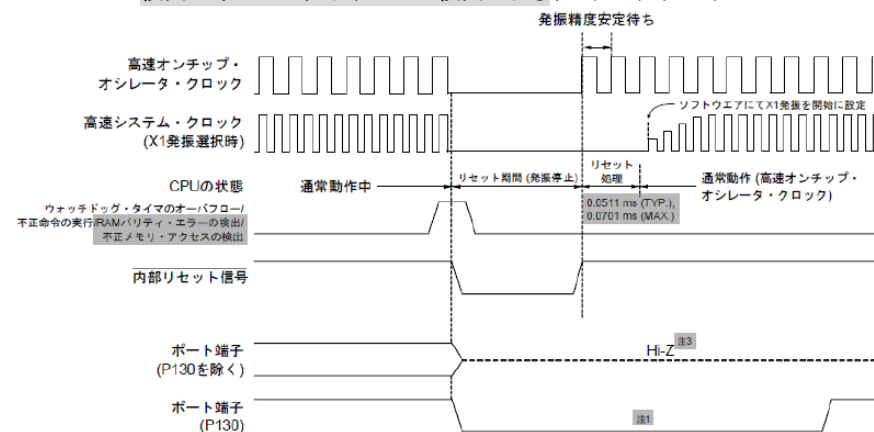
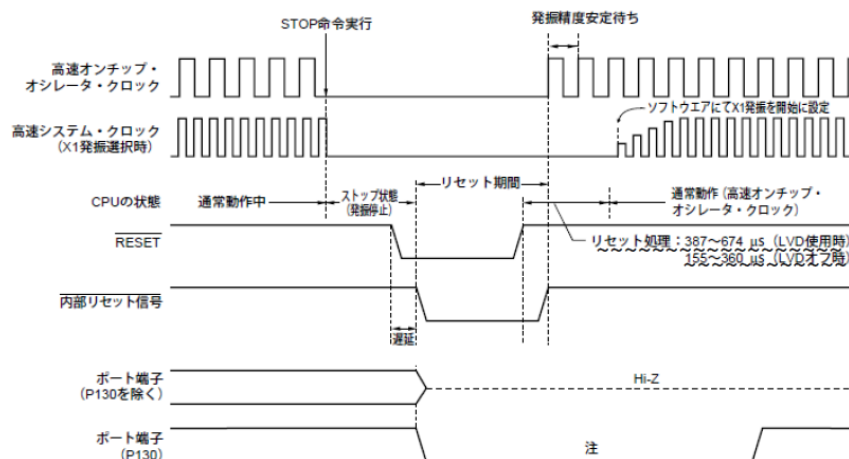


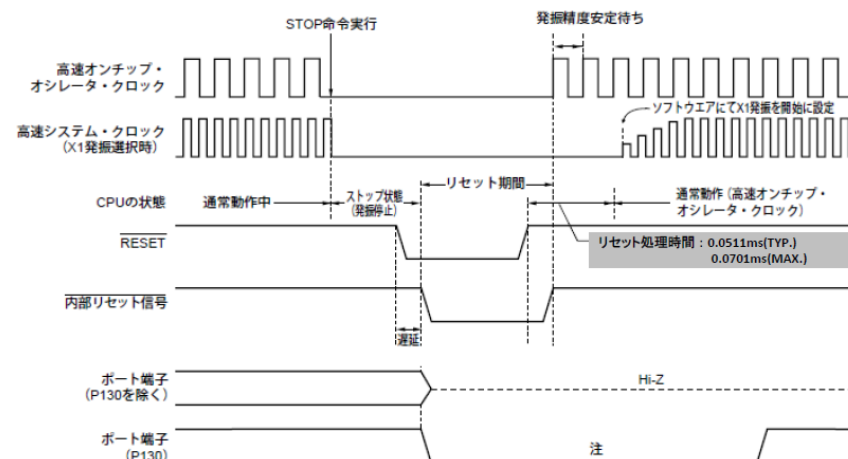
図 24-4 STOP モード中の RESET 入力によるリセット・タイミング



注 ソフトウェアでハイ・レベル出力にしてください。リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130 からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130 をソフトウェアでハイ・レベル出力にしてください。

備考 パワーオン・リセット回路と電圧検出回路のリセット・タイミングは、第 25 章 パワーオン・リセット回路と第 26 章 電圧検出回路を参照してください。

図 24-4 STOP モード中の RESET 入力によるリセット・タイミング



注 1. リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130 からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130 をソフトウェアでハイ・レベル出力にしてください。

注 2. 外部リセット解除時のリセット時間:

POR 解除後 1 回目: 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD 使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVD オフ時)

POR 解除後 2 回目以降: 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD 使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVD オフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) がかかります。

注 3. ポート端子 P40 は次の状態になります。

・外部リセットか POR によるリセット期間中はハイ・インピーダンスになります。

・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)になります。

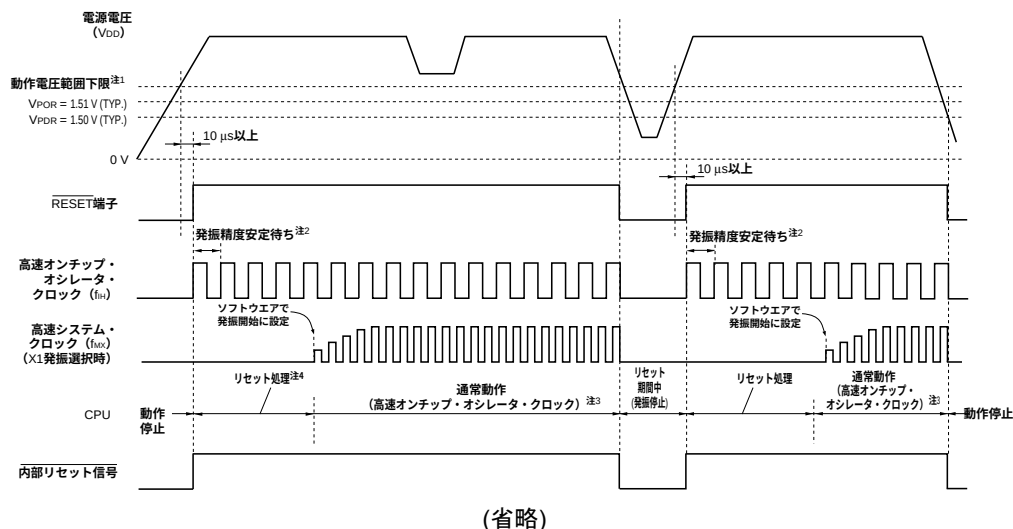
POR 回路、LVD 回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は、第 25 章 パワーオン・リセット回路または第 26 章 電圧検出回路を参照してください。

リセット処理時間の誤記訂正 (p.1077-1078)

誤)

図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) LVD オフ時(オプション・バイト 000C1H/010C1H の VPOC2 = 1B)

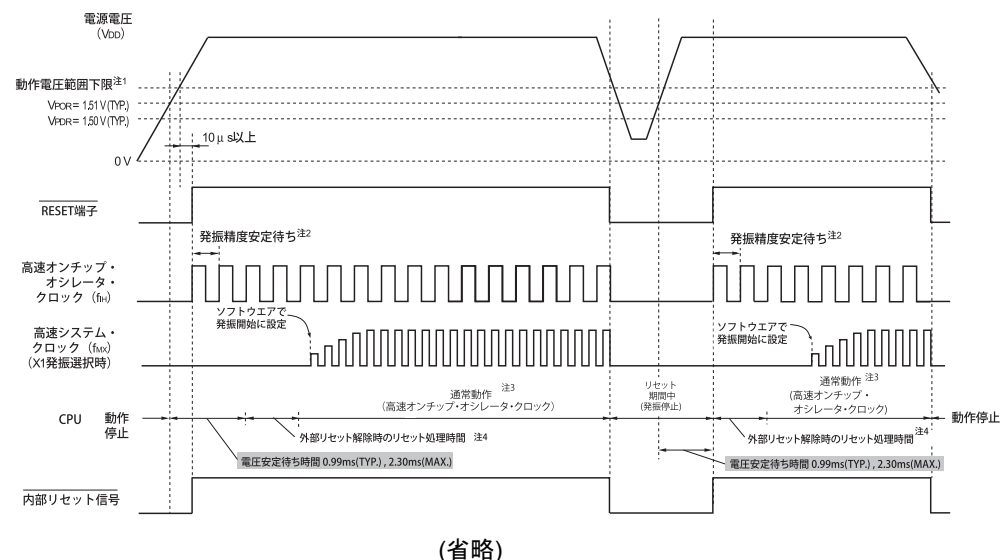


注 4. リセット処理時間: 155~407 μs

正)

図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング

(1) RESET 端子による外部リセット入力使用時



注 4. 通常動作が開始されるまでの時間は、 V_{POR} (1.51 V (TYP.)) に達してから“電圧安定待ち時間”に加えて、RESET 信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR 解除後 1 回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR 解除後 1 回目: 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD 使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVD オフ時)

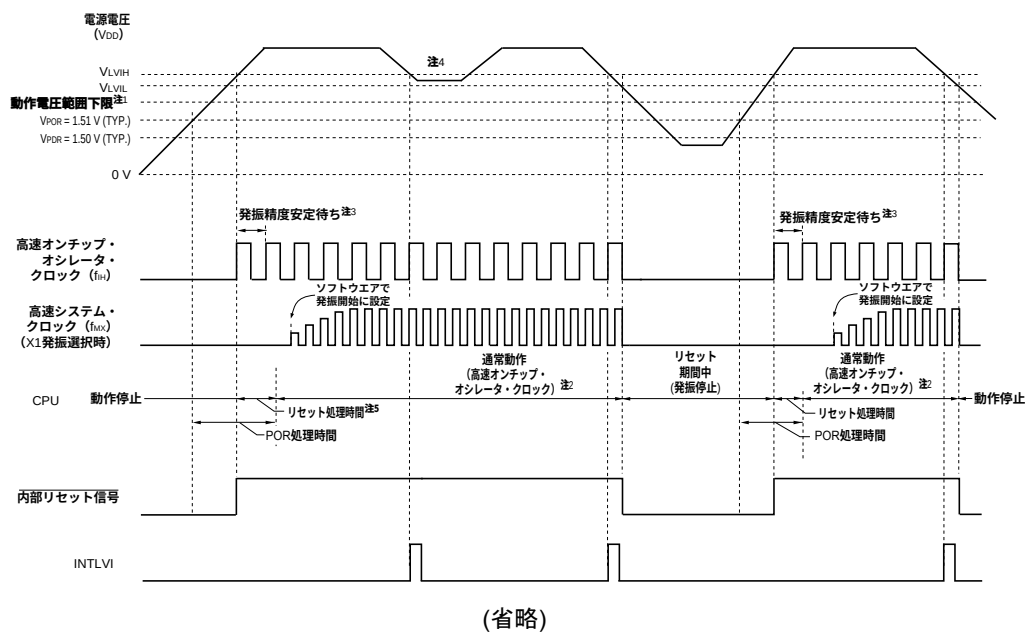
注 5. POR 解除後 2 回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR 解除後 2 回目以降: 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD 使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVD オフ時)

(次ページへ続く)

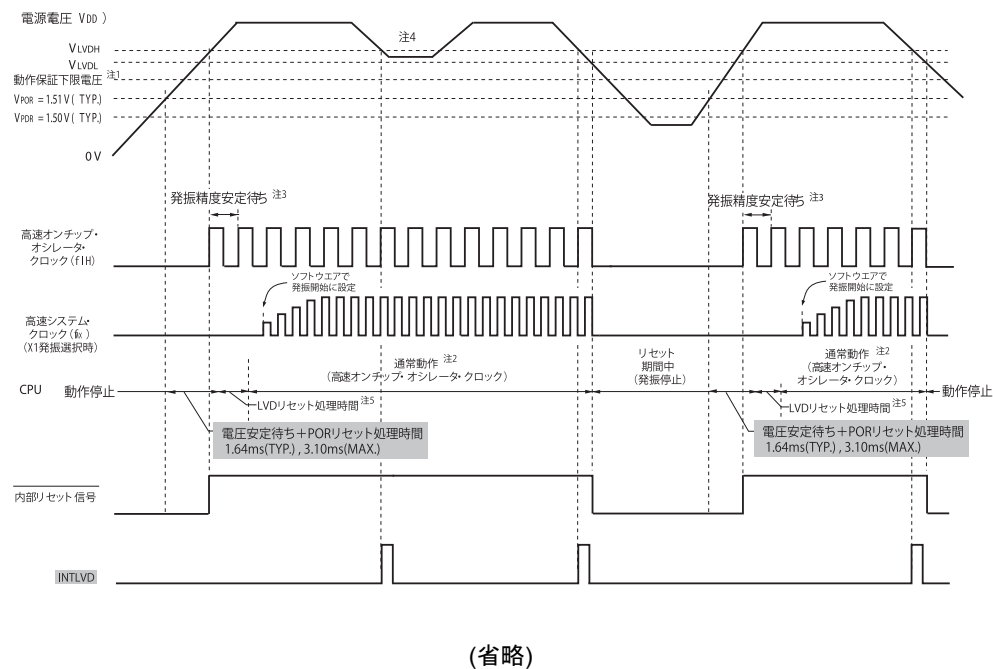
図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング(2/2)

(2) LVD が割り込み & リセットモード時 (オプション・バイト 000C1H/010C1H の LVIMDS1, LVIMDS0 = 1, 0)



注 5. リセット処理時間: 387 ~ 720 μ s

(2) LVD 割り込み & リセットモード時 (オプション・バイト 000C1H/010C1H の LVIMDS1, LVIMDS0 = 1, 0)

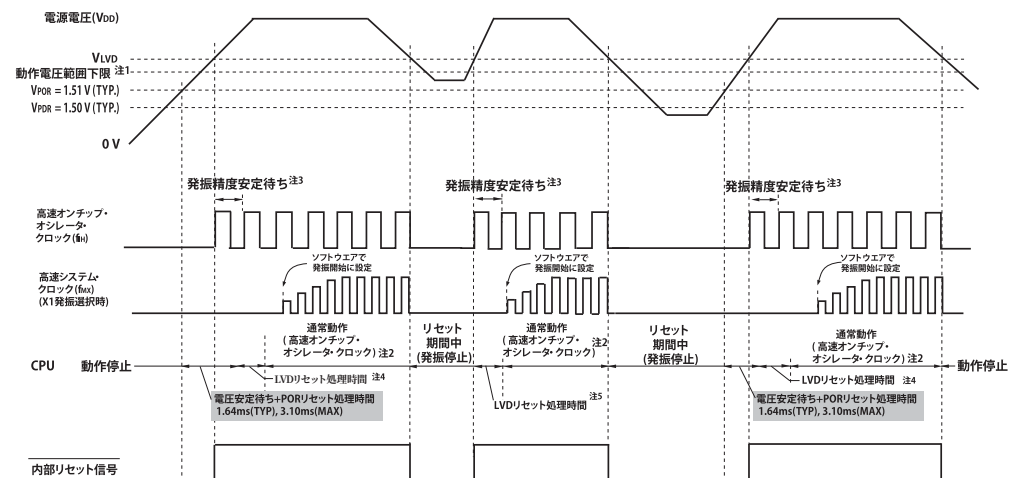


注 5. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+POR リセット処理時間”に加えて、LVD 検出レベル(V_{LVDH})に達してから次の“LVD リセット処理時間”が掛かります。

LVD リセット処理時間: 0 ms ~ 0.0701 ms (MAX.)

(次ページへ続く)

(3) LVD リセット・モード時 (オプション・バイト 000C1H の LVIMDS1, LVIMDS0 = 1, 1)



(省略)

注 4. 通常動作が開始されるまでの時間は、 $V_{POR}(1.51 \text{ V (TYP.)})$ に達してからの“電圧安定待ち時間+POR リセット処理時間”に加えて、LVD 検出レベル(V_{LVD})に達してから次の“LVD リセット処理時間”が掛かります。

LVD リセット処理時間: $0 \text{ ms} \sim 0.0701 \text{ ms (MAX)}$

5. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD 検出レベル(V_{LVD})に達してから次の“LVD リセット処理時間”が掛かります。

LVD リセット処理時間: $0.0511 \text{ ms (TYP.)} \sim 0.0701 \text{ ms (MAX)}$

38. 27. 3. 6 不正メモリ・アクセス検出機能 (p.1110)

誤)

図27-10 不正アクセス検出空間

アクセス可否			
	読み出し	書き込み	命令フェッチ (実行)
FFFFFH	OK	OK	NG
特殊機能レジスタ (SFR) 256バイト			
汎用レジスタ 32バイト			
RAM ^注		NG	OK
yyyyyH			NG
Mirror			
データ・フラッシュ・メモリ		OK	OK
F1000H F0FFFFH			NG
使用不可			
F0800H F07FFFH		NG	OK
特殊機能レジスタ (2nd SFR) 2 Kバイト	NG		
F0000H EFFFFFH			
EF000H EEFFFFH	NG	OK	
使用不可		NG	
xxxxxxH			
コード・フラッシュ・メモリ ^注	OK	OK	
00000H			

正)

図27-10 不正アクセス検出空間

		アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256バイト	OK	OK	NG
FFF00H FFEFH	汎用レジスタ 32バイト			OK
FFEE0H FFEDFH	RAM ^注			OK
zzzzzH	Mirror		NG	NG
F1000H F0FFFH	データ・フラッシュ・メモリ		NG	NG
F0800H F07FFH	使用不可		OK	OK
F0000H EFFFFH	特殊機能レジスタ (2nd SFR) 2 Kバイト		OK	NG
EF000H EEFFFH				OK
	使用不可		NG	NG
yyyyyH				
xxxxxH				
	コード・フラッシュ・メモリ ^注	OK		OK
00000H				

注 各製品のコード・フラッシュ・メモリ、RAM のアドレスは次のようになります。

製 品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (yyyyyH-FFFFFH)
R5F104xA (x = A-C, E-G)	16384×8ビット (00000H-03FFFH)	2560×8ビット (FF500H-FFFFFH)
R5F104xC (x = A-C, E-G, J, L)	32768×8ビット (00000H-07FFFH)	4096×8ビット (FEF00H-FFFFFH)
R5F104xD (x = A-C, E-G, J, L)	49152×8ビット (00000H-0BFFFH)	5632×8ビット (FE900H-FFFFFH)
R5F104xE (x = A-C, E-G, J, L)	65536×8ビット (00000H-0FFFFH)	5632×8ビット (FE900H-FFFFFH)
R5F104xF (x = A-C, E-G, J, L, M, P)	98304×8ビット (00000H-17FFFH)	12288×8ビット (FCF00H-FFFFFH)
R5F104xG (x = A-C, E-G, J, L, M, P)	131072×8ビット (00000H-1FFFFH)	16384×8ビット (FBF00H-FFFFFH)
R5F104xH (x = E-G, J, L, M, P)	196608×8ビット (00000H-2FFFFH)	20480×8ビット (FAF00H-FFFFFH)
R5F104xJ (x = F, G, J, L, M, P)	262144×8ビット (00000H-3FFFFH)	24576×8ビット (F9F00H-FFFFFH)

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製 品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFFFFH)	読み出し／命令フェッチ(実行) 時の検出最下位アドレス (yyyyyH)
R5F104xA (x = A-C, E-G)	16384×8ビット (00000H-03FFFH)	2560×8ビット (FF500H-FFFFFH)	10000H
R5F104xC (x = A-C, E-G, J, L)	32768×8ビット (00000H-07FFFH)	4096×8ビット (FEF00H-FFFFFH)	10000H
R5F104xD (x = A-C, E-G, J, L)	49152×8ビット (00000H-0BFFFH)	5632×8ビット (FE900H-FFFFFH)	10000H
R5F104xE (x = A-C, E-G, J, L)	65536×8ビット (00000H-0FFFFH)	5632×8ビット (FE900H-FFFFFH)	10000H
R5F104xF (x = A-C, E-G, J, L, M, P)	98304×8ビット (00000H-17FFFH)	12288×8ビット (FCF00H-FFFFFH)	20000H
R5F104xG (x = A-C, E-G, J, L, M, P)	131072×8ビット (00000H-1FFFFH)	16384×8ビット (FBF00H-FFFFFH)	20000H
R5F104xH (x = E-G, J, L, M, P)	196608×8ビット (00000H-2FFFFH)	20480×8ビット (FAF00H-FFFFFH)	30000H
R5F104xJ (x = F, G, J, L, M, P)	262144×8ビット (00000H-3FFFFH)	24576×8ビット (F9F00H-FFFFFH)	40000H

39. セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意追加 (p.1147)

誤)

30.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

(省略)

- 注意 1. CPU がサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI 命令により IE フラグがクリア (0)されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI 命令により IE フラグがセット (1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0)して、セルフ・プログラミング・ライブラリを実行してください。
3. RAM パリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用する RAM 領域 + 10 バイト」の領域を、書き換える前に必ず初期化してください。

正)

30.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

(省略)

- 注意 1. CPU がサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI 命令により IE フラグがクリア (0)されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI 命令により IE フラグがセット (1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0)して、セルフ・プログラミング・ライブラリを実行してください。
3. RAM パリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用する RAM 領域 + 10 バイト」の領域を、書き換える前に必ず初期化してください。
4. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (HIOSTOP=0)させ、ユーザ・オプション・バイト (000C2H)の FRQSEL4 が 0 の場合は 30 μ s、FRQSEL4 が 1 の場合は 80 μ s 経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

第34章 電気的特性(A, D: $T_A = -40 \sim +85\text{ }^{\circ}\text{C}$)

この章では、A：民生用途($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$)，D：産業用途($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$)の電気的特性を示します。

- 注意1. RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
- 注意2. EVDD0, EVDD1, EVSS0, EVSS1 端子がない製品は、EVDD0 と EVDD1 を VDD に、EVSS0 と EVSS1 を VSS に置き換えてください。
- 注意3. 製品により搭載している端子が異なります。2.1 ポート機能～2.2.1 製品別の搭載機能を参照してください。

34.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0, EVDD1	EVDD0 = EVDD1	-0.5 ~ +6.5	V
	EVSS0, EVSS1	EVSS0 = EVSS1	-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD + 0.3 ^{注1}	V
入力電圧	Vi1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 ^{注2}	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3 ^{注2}	V
出力電圧	Vo1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 ^{注2}	V
	Vo2	P20-P27, P150-P156	-0.3 ~ VDD + 0.3 ^{注2}	V
アナログ入力電圧	VAi1	ANI16-ANI20	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREF(+) + 0.3 ^{注2, 3}	V
	VAi2	ANI0-ANI14	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREF(+) + 0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ(0.47 ~ 1 μF)を介してVSSに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AVREF(+) + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF(+): A/Dコンバータの+側基準電圧

備考3. VSSを基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P40-P47, P102, P120, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147	-100	mA
	IOH2	1端子	P20-P27, P150-P156	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	40	mA
		端子合計 170 mA	P00-P04, P40-P47, P102, P120, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147	100	mA
	IOL2	1端子	P20-P27, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度	TA	通常動作時		-40 ～ + 85	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			-65 ～ + 150	℃

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.2 発振回路特性

34.2.1 X1, XT1 特性

(TA = -40 ~ +85 °C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1 クロック発振周波数 (fX) 注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
		1.8 V ≤ VDD < 2.4 V	1.0		8.0	
		1.6 V ≤ VDD < 1.8 V	1.0		4.0	
XT1 クロック発振周波数 (fXT) 注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1 クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTC レジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1 発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

34.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +85 °C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f _{HI}		1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85 °C	1.8 V ≤ VDD ≤ 5.5 V	-1.0	+1.0	%
			1.6 V ≤ VDD < 1.8 V	-5.0	+5.0	%
		-40 ~ -20 °C	1.8 V ≤ VDD ≤ 5.5 V	-1.5	+1.5	%
			1.6 V ≤ VDD < 1.8 V	-5.5	+5.5	%
低速オンチップ・オシレータ・クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット 0-4 および HOCODIV レジスタのビット 0-2 によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

34.3 DC特性

34.3.1 端子特性

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147 1端子	1.6 V ≤ EVDD0 ≤ 5.5 V		-10.0 ^{注2}	mA
		P00-P04, P40-P47, P102, P120, P130, P140-P145 合計 (デューティ ≤ 70% ^{時注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		-55.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		-10.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		-5.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		-2.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147 合計 (デューティ ≤ 70% ^{時注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		-80.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		-19.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		-10.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		-5.0	mA
		全端子合計 (デューティ ≤ 70% ^{時注3})	1.6 V ≤ EVDD0 ≤ 5.5 V		-135.0 ^{注4}	mA
	IOH2	P20-P27, P150-P156 1端子	1.6 V ≤ VDD ≤ 5.5 V		-0.1 ^{注2}	mA
		全端子合計 (デューティ ≤ 70% ^{時注3})	1.6 V ≤ VDD ≤ 5.5 V		-1.5	mA

注1. EVDD0, EVDD1, VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (\text{IOH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \div -8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. 産業用途向け(R5F104xxDxx)は、-100 mAです。

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147 1端子			20.0 ^{注2}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P00-P04, P40-P47, P102, P120, P130, P140-P145 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		70.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		9.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		4.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		80.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		20.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		10.0	mA
		全端子合計 (デューティ ≤ 70% 時 ^{注3})			150.0	mA
	IOL2	P20-P27, P150-P156 1端子			0.4 ^{注2}	mA
		全端子合計 (デューティ ≤ 70% 時 ^{注3})	1.6 V ≤ VDD ≤ 5.5 V		5.0	mA

注1. 出力端子から EVSS0, EVSS1, VSS 端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70% の条件での電流の値です。

デューティ > 70% に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を n% に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (IOL \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 10.0 mA の場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	通常入力バッファ	0.8 EVDD0	EVDD0	V
	VIH2	P01, P03, P04, P10, P14-P17, P30, P31, P43, P44, P50, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2	EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0	EVDD0	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5	EVDD0	V
	VIH3	P20-P27, P150-P156	0.7 VDD		VDD	V
	VIH4	P60-P63	0.7 EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET	0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	通常入力バッファ	0	0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P14-P17, P30, P31, P43, P44, P50, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0	0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0	0.5	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0	0.32	V
	VIL3	P20-P27, P150-P156	0		0.3 VDD	V
	VIL4	P60-P63	0		0.3 EVDD0	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET	0		0.2 VDD	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -10.0 mA	EVDD0 - 1.5		V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 - 0.7		V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0 - 0.5		V
			1.6 V ≤ EVDD0 < 1.8 V, IOH1 = -1.0 mA	EVDD0 - 0.5		V
	VOH2	P20-P27, P150-P156	1.6 V ≤ VDD ≤ 5.5 V, IOH2 = -100 μA	VDD - 0.5		V
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 20.0 mA		1.3	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 8.5 mA		0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 3.0 mA		0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 1.5 mA		0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.6 mA		0.4	V
			1.6 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.3 mA		0.4	V
	VOL2	P20-P27, P150-P156	1.6 V ≤ VDD ≤ 5.5 V, IOL2 = 400 μA		0.4	V
	VOL3	P60-P63	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA		2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA		0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA		0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA		0.4	V
			1.6 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 1.0 mA		0.4	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	ILI1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVDD0		1	μA
	ILI2	P20-P27, P137, P150-P156, RESET	VI = VDD		1	μA
	ILI3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VDD	入力ポート時, 外部クロック入力時	1	μA
				発振子接続時	10	μA
ロウ・レベル 入力リーク電流	ILIL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVSS0		-1	μA
	ILIL2	P20-P27, P137, P150-P156, RESET	VI = VSS		-1	μA
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VSS	入力ポート時, 外部クロック入力時	-1	μA
				発振子接続時	-10	μA
内蔵プルアップ抵抗	RU	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVSS0, 入力ポート時		10 20 100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.3.2 電源電流特性

(1) 30~64ピン製品のフラッシュ ROM16~64 KBの製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン) モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V	2.4		mA
						VDD = 3.0 V	2.4		
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V	2.1		
						VDD = 3.0 V	2.1		
		動作モード	HS (高速メイン) モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V	5.2	8.7	mA
						VDD = 3.0 V	5.2	8.7	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V	4.8	8.1	
						VDD = 3.0 V	4.8	8.1	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V	4.1	6.9	
						VDD = 3.0 V	4.1	6.9	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V	3.8	6.3	
						VDD = 3.0 V	3.8	6.3	
		動作モード	LS (低速メイン) モード ^{注5}	fHOCO = 8 MHz, fIH = 8 MHz ^{注3}	通常動作	VDD = 5.0 V	2.8	4.6	mA
						VDD = 3.0 V	2.8	4.6	
		動作モード	LV (低電圧メイン) モード ^{注5}	fHOCO = 4 MHz, fIH = 4 MHz ^{注3}	通常動作	VDD = 3.0 V	1.3	2.0	mA
						VDD = 2.0 V	1.3	2.0	
		動作モード	HS (高速メイン) モード ^{注5}	fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力	3.3	5.3	mA
						発振子接続	3.5	5.5	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力	3.3	5.3	
						発振子接続	3.5	5.5	
				fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力	2.0	3.1	
						発振子接続	2.1	3.2	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力	2.0	3.1	
						発振子接続	2.1	3.2	
		動作モード	LS (低速メイン) モード ^{注5}	fMX = 8 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力	1.2	1.9	mA
						発振子接続	1.2	2.0	
				fMX = 8 MHz ^{注2} , VDD = 2.0 V	通常動作	方形波入力	1.2	1.9	
						発振子接続	1.2	2.0	
		動作モード	サブシステム・クロック動作	fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力	4.7	6.1	μA
						発振子接続	4.7	6.1	
				fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力	4.7	6.1	
						発振子接続	4.7	6.1	
				fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力	4.8	6.7	
						発振子接続	4.8	6.7	
				fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力	4.8	7.5	
						発振子接続	4.8	7.5	
				fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力	5.4	8.9	
						発振子接続	5.4	8.9	

(注, 備考は次ページにあります。)

- 注1. V_{DD} , EV_{DD0} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} または V_{SS} , EV_{SS0} に固定した状態での入力リーク電流を含みます。またMAX. 値には周辺動作電流を含みます。ただし、A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ／プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
- 注3. 高速システム・クロック, サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
- 注5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
- HS (高速メイン)モード : $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V} @ 1 \text{ MHz} \sim 32 \text{ MHz}$
 $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V} @ 1 \text{ MHz} \sim 16 \text{ MHz}$
- LS (低速メイン)モード : $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V} @ 1 \text{ MHz} \sim 8 \text{ MHz}$
- LV (低電圧メイン)モード : $1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V} @ 1 \text{ MHz} \sim 4 \text{ MHz}$

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)
- 備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)
- 備考4. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, $T_A = 25 \text{ }^{\circ}\text{C}$ です。

(1) 30~64ピン製品のフラッシュ ROM16~64 KBの製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD2 ^{注2}	HALT モード	HS (高速メイン)モード ^{注7}	fHOCO = 64 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.80	3.09	mA			
					VDD = 3.0 V		0.80	3.09				
				fHOCO = 32 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.54	2.40				
					VDD = 3.0 V		0.54	2.40				
				fHOCO = 48 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.62	2.40				
					VDD = 3.0 V		0.62	2.40				
				fHOCO = 24 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.44	1.83				
					VDD = 3.0 V		0.44	1.83				
				fHOCO = 16 MHz, fIH = 16 MHz ^{注4}	VDD = 5.0 V		0.40	1.38				
					VDD = 3.0 V		0.40	1.38				
			LS (低速メイン)モード ^{注7}	fHOCO = 8 MHz, fIH = 8 MHz ^{注4}	VDD = 3.0 V		260	710	μA			
					VDD = 2.0 V		260	710				
			LV (低電圧メイン)モード ^{注7}	fHOCO = 4 MHz, fIH = 4 MHz ^{注4}	VDD = 3.0 V		420	700	μA			
					VDD = 2.0 V		420	700				
			HS (高速メイン)モード ^{注7}	fMX = 20 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.28	1.55	mA			
					発振子接続		0.49	1.74				
					方形波入力		0.28	1.55				
					発振子接続		0.49	1.74				
					方形波入力		0.19	0.86				
					発振子接続		0.30	0.93				
					方形波入力		0.19	0.86				
					発振子接続		0.30	0.93				
					LS (低速メイン)モード ^{注7}	fMX = 8 MHz ^{注3} , VDD = 3.0 V	方形波入力			95	550	μA
							発振子接続			145	590	
			方形波入力				95	550				
			発振子接続				145	590				
			サブシステム・クロック動作	fSUB = 32.768 kHz ^{注5} TA = -40 °C	方形波入力		0.25	0.57	μA			
					発振子接続		0.44	0.76				
				fSUB = 32.768 kHz ^{注5} TA = +25 °C	方形波入力		0.30	0.57				
					発振子接続		0.49	0.76				
				fSUB = 32.768 kHz ^{注5} TA = +50 °C	方形波入力		0.36	1.17				
					発振子接続		0.59	1.36				
				fSUB = 32.768 kHz ^{注5} TA = +70 °C	方形波入力		0.49	1.97				
					発振子接続		0.72	2.16				
				fSUB = 32.768 kHz ^{注5} TA = +85 °C	方形波入力		0.97	3.37				
					発振子接続		1.16	3.56				
			IDD3 ^{注6}	STOP モード ^{注8}	TA = -40 °C					0.18	0.51	μA
					TA = +25 °C					0.24	0.51	
					TA = +50 °C					0.29	1.10	
					TA = +70 °C					0.41	1.90	
	TA = +85 °C					0.90	3.30					

(注、備考は次ページにあります。)

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。またMAX. 値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振(AMPHS1 = 1)設定時。RTCに流れる電流は含みます。ただし、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注6. RTC, 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注7. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
 HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
 LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$
 LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$
- 注8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
- 備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)
- 備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, TA = 25 °Cです。

(2) 30~100ピン製品のフラッシュ ROM96~256 KBの製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード 注5	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.6	mA
						VDD = 3.0 V		2.6	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.3	
						VDD = 3.0 V		2.3	
		動作モード	HS (高速メイン)モード 注5	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.8	mA
						VDD = 3.0 V		5.8	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.4	
						VDD = 3.0 V		5.4	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.5	
						VDD = 3.0 V		4.5	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.2	
						VDD = 3.0 V		4.2	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注3}	通常動作	VDD = 5.0 V		3.1	mA
						VDD = 3.0 V		3.1	
		動作モード	LS (低速メイン)モード 注5	fHOCO = 8 MHz, fIH = 8 MHz ^{注3}	通常動作	VDD = 3.0 V		1.4	mA
						VDD = 2.0 V		1.4	
		動作モード	LV (低電圧メイン)モード 注5	fHOCO = 4 MHz, fIH = 4 MHz ^{注3}	通常動作	VDD = 3.0 V		1.4	mA
						VDD = 2.0 V		1.4	
		動作モード	HS (高速メイン)モード 注5	fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力 発振子接続		3.7 3.9	mA
								6.2 6.4	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力 発振子接続		3.7 3.9	
								6.2 6.4	
				fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力 発振子接続		2.2 2.3	
								3.6 3.7	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力 発振子接続		2.2 2.3	
								3.6 3.7	
		動作モード	LS (低速メイン)モード 注5	fMX = 8 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力 発振子接続		1.3 1.3	mA
								2.2 2.3	
				fMX = 8 MHz ^{注2} , VDD = 2.0 V	通常動作	方形波入力 発振子接続		1.3 1.3	
								2.2 2.3	
		動作モード	サブシステム・クロック 動作	fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力 発振子接続		5.0 5.0	μA
								7.1 7.1	
				fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力 発振子接続		5.0 5.0	
								7.1 7.1	
				fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力 発振子接続		5.1 5.1	
								8.8 8.8	
				fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力 発振子接続		5.5 5.5	
								10.5 10.5	
				fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力 発振子接続		6.5 6.5	μA
								14.5 14.5	

(注、備考は次ページにあります。)

- 注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注3. 高速システム・クロック、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注5. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$
- LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$

- 備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
- 備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)
- 備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25 °Cです。

(2) 30 ~ 100 ピン製品のフラッシュ ROM96 ~ 256 KB の製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ¹	IDD2 ²	HALT モード	HS (高速メイン) モード ⁷	fHOCO = 64 MHz, fIH = 32 MHz ⁴	VDD = 5.0 V		0.88	3.32	mA
					VDD = 3.0 V		0.88	3.32	
				fHOCO = 32 MHz, fIH = 32 MHz ⁴	VDD = 5.0 V		0.62	2.63	
					VDD = 3.0 V		0.62	2.63	
				fHOCO = 48 MHz, fIH = 24 MHz ⁴	VDD = 5.0 V		0.68	2.57	
					VDD = 3.0 V		0.68	2.57	
				fHOCO = 24 MHz, fIH = 24 MHz ⁴	VDD = 5.0 V		0.50	2.00	
					VDD = 3.0 V		0.50	2.00	
				fHOCO = 16 MHz, fIH = 16 MHz ⁴	VDD = 5.0 V		0.44	1.49	
					VDD = 3.0 V		0.44	1.49	
			LS (低速メイン) モード ⁷	fHOCO = 8 MHz, fIH = 8 MHz ⁴	VDD = 3.0 V		290	800	μA
					VDD = 2.0 V		290	800	
			LV (低電圧メイン) モード ⁷	fHOCO = 4 MHz, fIH = 4 MHz ⁴	VDD = 3.0 V		440	755	μA
					VDD = 2.0 V		440	755	
			HS (高速メイン) モード ⁷	fMX = 20 MHz ³ , VDD = 5.0 V	方形波入力 発振子接続		0.31	1.63	mA
							0.50	1.85	
				fMX = 20 MHz ³ , VDD = 3.0 V	方形波入力 発振子接続		0.31	1.63	
							0.50	1.85	
				fMX = 10 MHz ³ , VDD = 5.0 V	方形波入力 発振子接続		0.21	0.89	
							0.30	0.97	
				fMX = 10 MHz ³ , VDD = 3.0 V	方形波入力 発振子接続		0.21	0.89	
							0.30	0.97	
			LS (低速メイン) モード ⁷	fMX = 8 MHz ³ , VDD = 3.0 V	方形波入力 発振子接続		110	580	μA
							160	630	
				fMX = 8 MHz ³ , VDD = 2.0 V	方形波入力 発振子接続		110	580	
							160	630	
			サブシステム・ クロック動作	fSUB = 32.768 kHz ⁵ TA = -40 °C	方形波入力 発振子接続		0.28	0.66	μA
							0.47	0.85	
				fSUB = 32.768 kHz ⁵ TA = +25 °C	方形波入力 発振子接続		0.34	0.66	
							0.53	0.85	
				fSUB = 32.768 kHz ⁵ TA = +50 °C	方形波入力 発振子接続		0.37	2.35	
							0.56	2.54	
				fSUB = 32.768 kHz ⁵ TA = +70 °C	方形波入力 発振子接続		0.61	4.08	
							0.80	4.27	
				fSUB = 32.768 kHz ⁵ TA = +85 °C	方形波入力 発振子接続		1.55	8.09	
							1.74	8.28	
	IDD3 ⁶	STOP モード ⁸	TA = -40 °C				0.19	0.57	μA
			TA = +25 °C				0.25	0.57	
			TA = +50 °C				0.33	2.26	
			TA = +70 °C				0.52	3.99	
			TA = +85 °C				1.46	8.00	

(注、備考は次ページにあります。)

- 注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態で入力リーク電流を含みます。またMAX. 値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注6. RTC, 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注7. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 32 MHz
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 16 MHz
LS (低速メイン) モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 8 MHz
LV (低電圧メイン) モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 4 MHz
- 注8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
- 備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)
- 備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP. 値の温度条件は, TA = 25 °Cです。

(3) 周辺機能(全製品共通)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL 注1				0.20		μA
RTC動作電流	IRTC 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	IIT 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT 注1, 2, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC 注1, 6	最高速変換時	標準モード, AVREFP = VDD = 5.0 V		1.3	1.7	mA
			低電圧モード, AVREFP = VDD = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	IADREF 注1				75.0		μA
温度センサ動作電流	ITMPS 注1				75.0		μA
D/Aコンバータ動作電流	IDAC 注1, 11, 13	1チャンネル当たり				1.5	mA
コンパレータ動作電流	ICMP 注1, 12, 13	VDD = 5.0 V, レギュレータ出力電圧 = 2.1 V	ウィンドウモード		12.5		μA
			コンパレータ高速モード		6.5		μA
			コンパレータ低速モード		1.7		μA
		VDD = 5.0 V, レギュレータ出力電圧 = 1.8 V	ウィンドウモード		8.0		μA
			コンパレータ高速モード		4.0		μA
			コンパレータ低速モード		1.3		μA
LVD動作電流	ILVD 注1, 7				0.08		μA
セルフ・プログラミング動作電流	IFSP 注1, 9				2.50	12.20	mA
BGO電流	IBGO 注1, 8				2.50	12.20	mA
SNOOZE動作電流	ISNOZ 注1	ADC動作	モード遷移中注10		0.50	0.60	mA
			変換動作中, 低電圧モード, AVREFP = VDD = 3.0 V		1.20	1.44	
		CSI/UART動作			0.70	0.84	
		データトランスファコントローラ動作			3.10		

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。

注3. リアルタイム・クロック(RTC)にのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, IDD1またはIDD2にIRTCを加算した値が, RL78マイクログントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

注4. 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, IDD1またはIDD2にIITを加算した値が, RL78マイクログントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。

- 注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。
ウォッチドッグ・タイマの動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注6. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モードでの A/D コンバータの動作時は I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注7. LVD 回路にのみ流れる電流です。LVD 回路の動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVD} を加算した値が RL78 マイクロコントローラの電流値となります。
- 注8. データ・フラッシュ書き換え時に流れる電流です。
- 注9. セルフ・プログラミング時に流れる電流です。
- 注10. SNOOZE モードへの移行時間は、23.3.3 SNOOZE モードを参照してください。
- 注11. D/A コンバータにのみ流れる電流です。動作モードまたは HALT モードでの D/A コンバータの動作時は、 I_{DD1} または I_{DD2} に I_{DAC} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{CMP} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注13. コンパレータおよび D/A コンバータはコード・フラッシュ・メモリが 96 KB 以上の製品に搭載されます。

- 備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- 備考2. f_{SUB} : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考3. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
- 備考4. TYP. 値の温度条件は、 $T_A = 25\text{ }^{\circ}\text{C}$ です。

34.4 AC特性

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・ クロック (fMAIN) 動作	HS (高速メイン)	2.7 V ≦ VDD ≦ 5.5 V	0.03125		1	μs	
			モード	2.4 V ≦ VDD < 2.7 V	0.0625		1	μs	
			LS (低速メイン)	1.8 V ≦ VDD ≦ 5.5 V	0.125		1	μs	
			モード						
			LV (低電圧メイン)	1.6 V ≦ VDD ≦ 5.5 V	0.25		1	μs	
		モード							
		サブシステム・クロック (fSUB) 動作			1.8 V ≦ VDD ≦ 5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミ ング時	HS (高速メイン)	2.7 V ≦ VDD ≦ 5.5 V	0.03125		1	μs	
			モード	2.4 V ≦ VDD < 2.7 V	0.0625		1	μs	
			LS (低速メイン)	1.8 V ≦ VDD ≦ 5.5 V	0.125		1	μs	
モード									
LV (低電圧メイン)	1.8 V ≦ VDD ≦ 5.5 V		0.25		1	μs			
モード									
外部システム・ クロック周波数	fEX	2.7 V ≦ VDD ≦ 5.5 V			1.0		20.0	MHz	
		2.4 V ≦ VDD < 2.7 V			1.0		16.0	MHz	
		1.8 V ≦ VDD < 2.4 V			1.0		8.0	MHz	
		1.6 V ≦ VDD < 1.8 V			1.0		4.0	MHz	
	fEXS				32		35	kHz	
外部システム・ クロック入力 ハイ、ロウ・ レベル幅	tEXH,	2.7 V ≦ VDD ≦ 5.5 V			24			ns	
	tEXL	2.4 V ≦ VDD < 2.7 V			30			ns	
		1.8 V ≦ VDD < 2.4 V			60			ns	
		1.6 V ≦ VDD < 1.8 V			120			ns	
	tEXHS, tEXLS				13.7			μs	
TI00-TI03, TI10-TI13 入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL				1/fMCK + 10注			ns	
タイマRJ入力 サイクル	tc	TRJIO	2.7 V ≦ EVDD0 ≦ 5.5 V		100			ns	
			1.8 V ≦ EVDD0 < 2.7 V		300			ns	
			1.6 V ≦ EVDD0 < 1.8 V		500			ns	
タイマRJ入力 ハイ・レベル幅, ロウ・レベル幅	tTJH, tTJL	TRJIO	2.7 V ≦ EVDD0 ≦ 5.5 V		40			ns	
			1.8 V ≦ EVDD0 < 2.7 V		120			ns	
			1.6 V ≦ EVDD0 < 1.8 V		200			ns	

注 EVDD0 < VDD となる低電圧インタフェース時は、次の条件も必要になります。

1.8 V ≤ EVDD0 ≤ 2.7 V : MIN. 125 ns

1.6 V ≤ EVDD0 < 1.8 V : MIN. 250 ns

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号 (m = 0, 1),

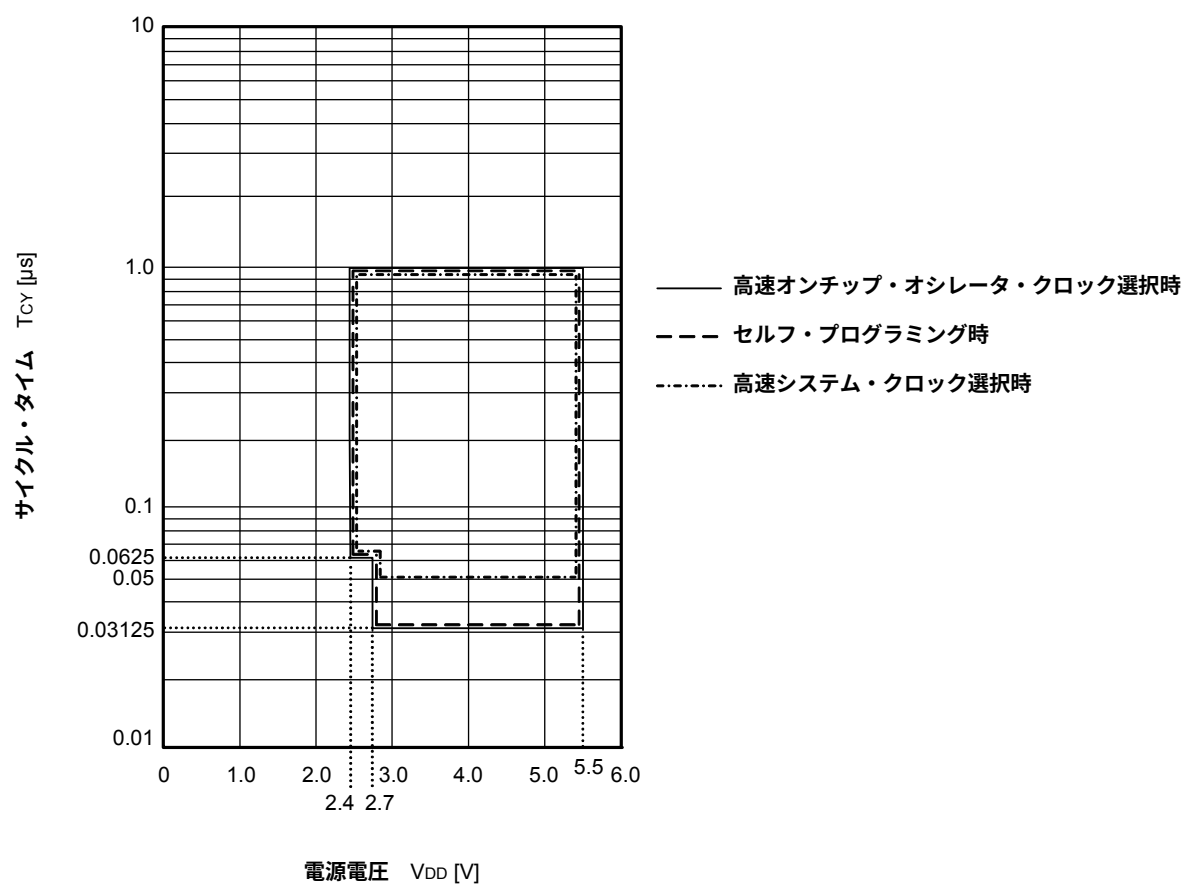
n : チャネル番号 (n = 0-3))

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

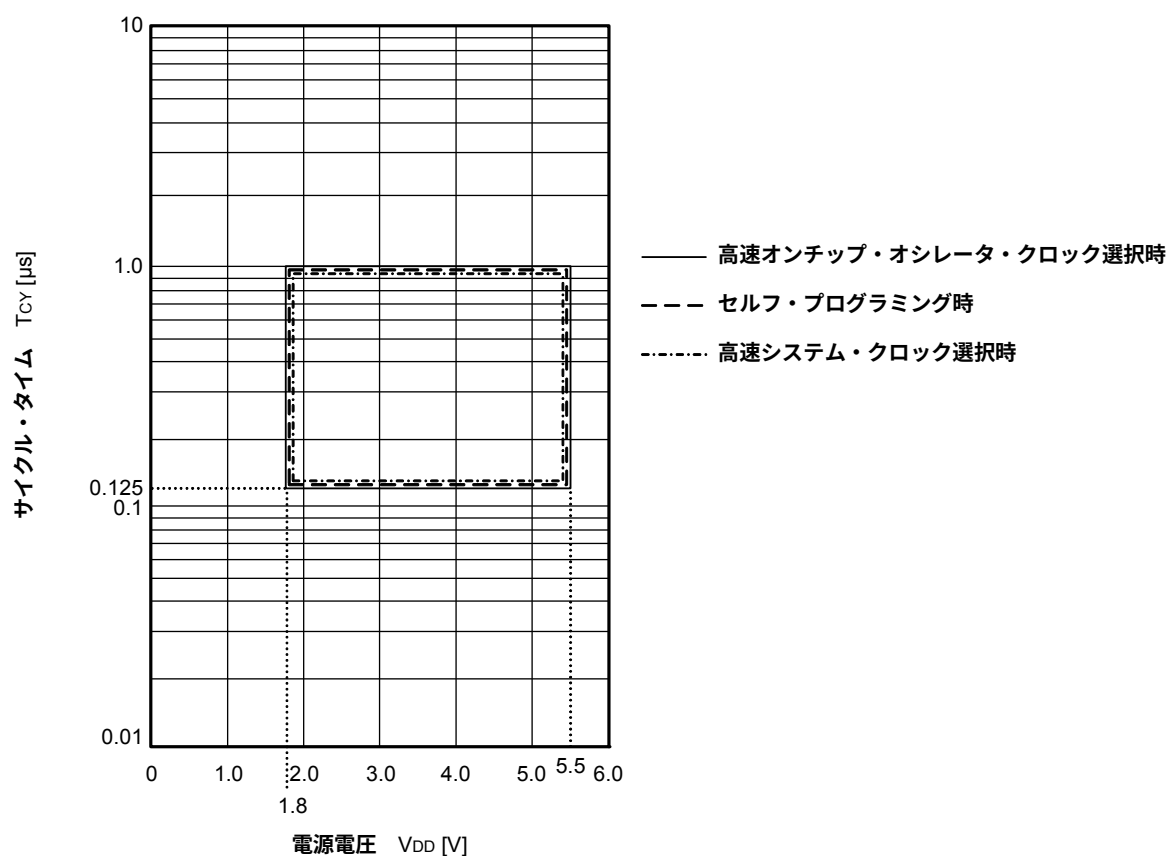
(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
タイマRD入力ハイ・レベル幅, ロウ・レベル幅	tTDIH, tTDIL	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/fCLK			ns
タイマRD強制遮断信号入力 ロウ・レベル幅	tTDSIL	P130/INTP0	2MHz < fCLK ≤ 32 MHz	1			μs
			fCLK ≤ 2 MHz	1/fCLK + 1			
タイマRG入力ハイ・レベル幅, ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB		2.5/fCLK			ns
TO00-TO03, TO10-TO13, TRJIO0, TRJO0, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRGIOA, TRGIOB 出力周波数	fTO	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LS (低速メイン) モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LV (低電圧メイン) モード	1.6 V ≤ EVDD0 ≤ 5.5 V			2	MHz
PCLBUZ0, PCLBUZ1 出力周波数	fPCL	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LS (低速メイン) モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LV (低電圧メイン) モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0	1.6 V ≤ VDD ≤ 5.5 V	1			μs
		INTP1-INTP11	1.6 V ≤ EVDD0 ≤ 5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	tKR	KR0-KR7	1.8 V ≤ EVDD0 ≤ 5.5 V	250			ns
			1.6 V ≤ EVDD0 < 1.8 V	1			μs
RESETロウ・レベル幅	tRSL			10			μs

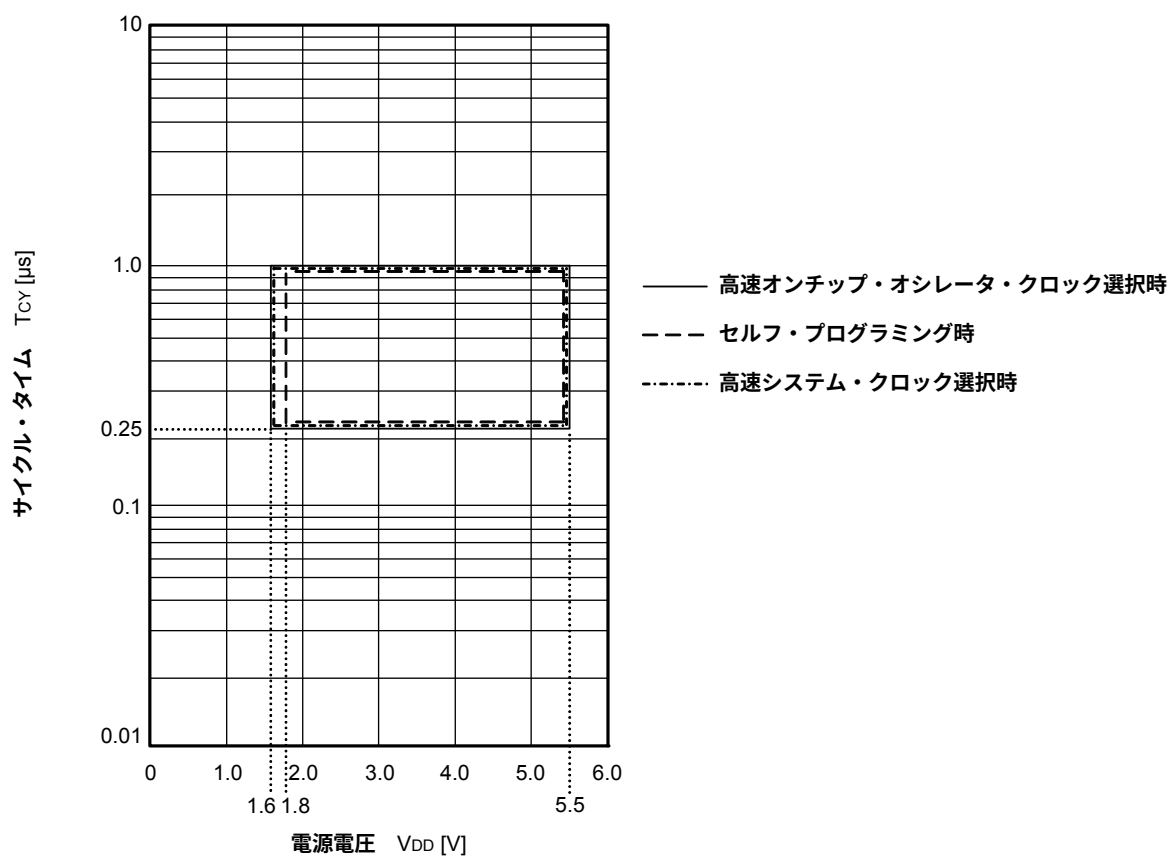
メイン・システム・クロック動作時の最小命令実行時間

T_{CY} vs V_{DD} (HS (高速メイン)モード)

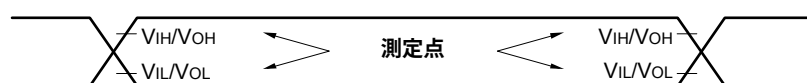
Tcy vs VDD (LS (低速メイン)モード)



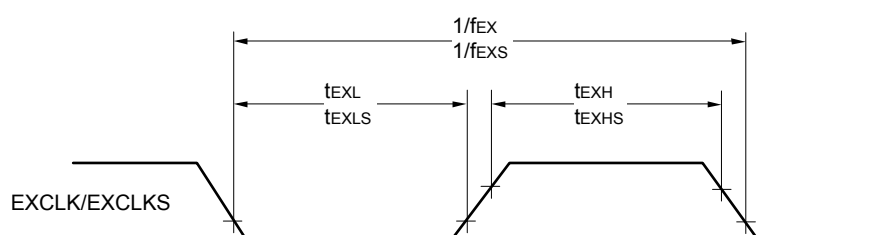
Tcy vs VDD (LV (低電圧メイン)モード)



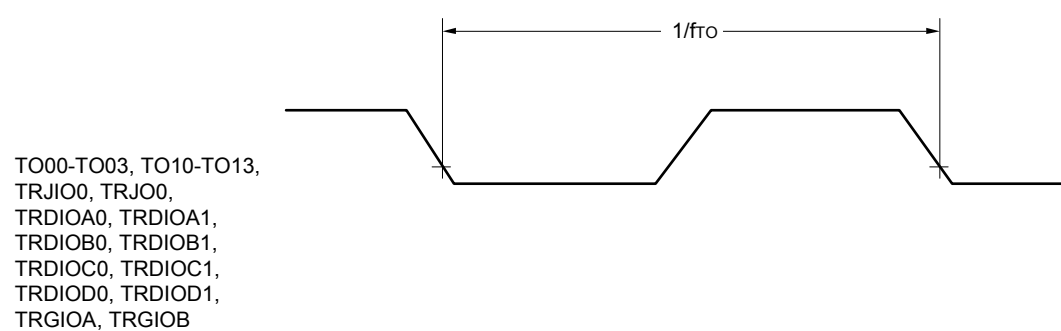
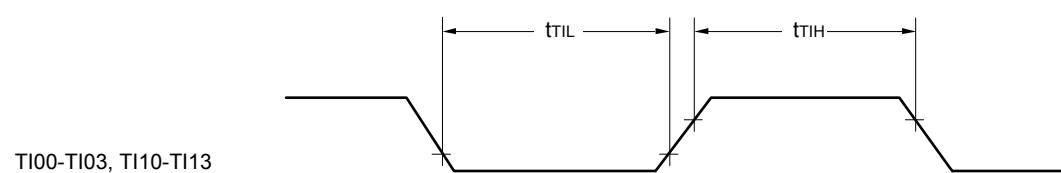
AC タイミング測定点

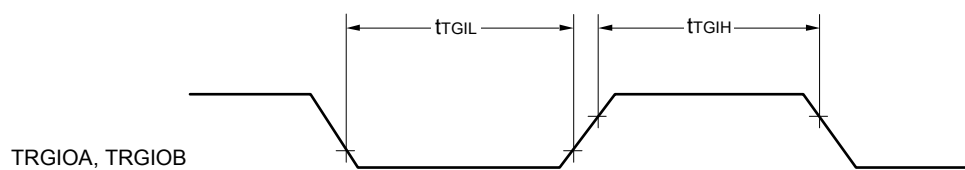
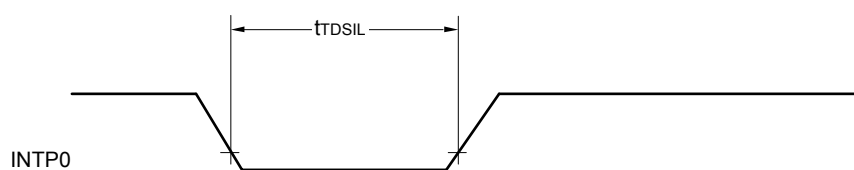
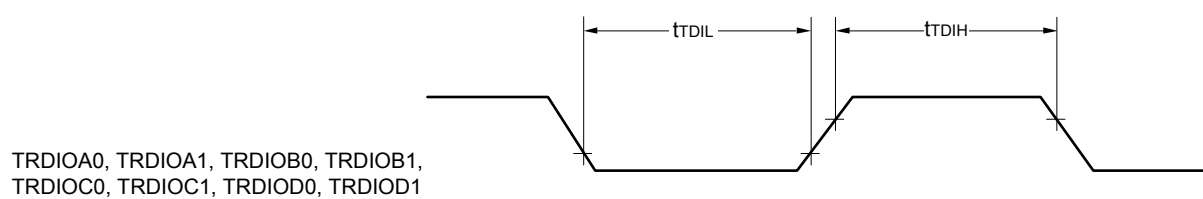
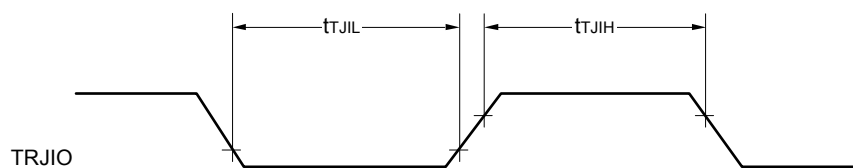


外部システム・クロック・タイミング

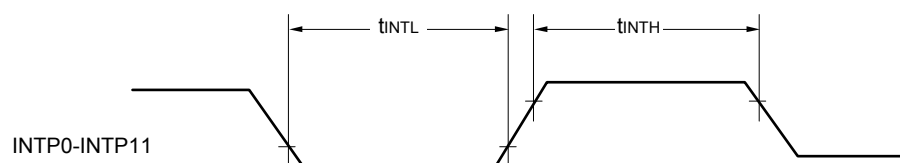


TI/TO タイミング

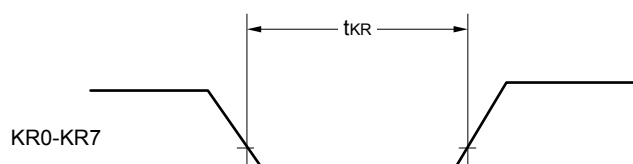
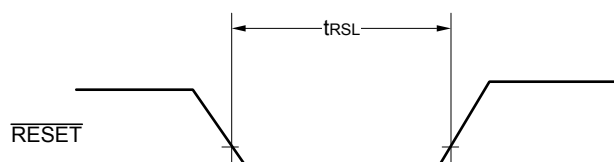




割り込み要求入力タイミング

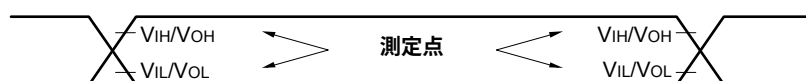


キー割り込み入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

34.5 周辺機能特性

AC タイミング測定点



34.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UART モード)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}		2.4 V ≤ EVDD0 ≤ 5.5 V		fMCK/6 ^{注2}		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK ^{注3}		5.3		1.3		0.6	Mbps
		1.8 V ≤ EVDD0 ≤ 5.5 V		fMCK/6 ^{注2}		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK ^{注3}		5.3		1.3		0.6	Mbps
		1.7 V ≤ EVDD0 ≤ 5.5 V		fMCK/6 ^{注2}		fMCK/6 ^{注2}		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK ^{注3}		5.3		1.3		0.6	Mbps
		1.6 V ≤ EVDD0 ≤ 5.5 V	—			fMCK/6 ^{注2}		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK ^{注3}	—			1.3		0.6	Mbps

注1. SNOOZE モードでの転送レートは、4800 bps のみとなります。

ただし FRQSEL4 = 1 の時は SNOOZE モードは使用できません。

注2. EVDD0 < VDD となる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V : MAX. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V : MAX. 1.3 Mbps

1.6 V ≤ EVDD0 < 1.8 V : MAX. 0.6 Mbps

注3. CPU／周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード : 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

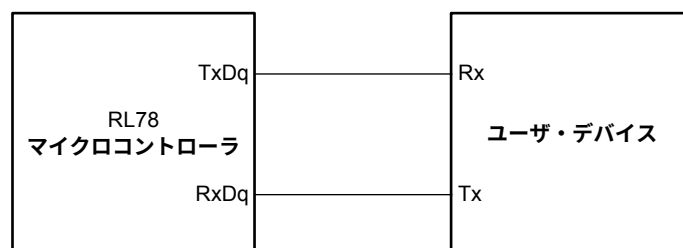
16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

LS (低速メイン) モード : 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)

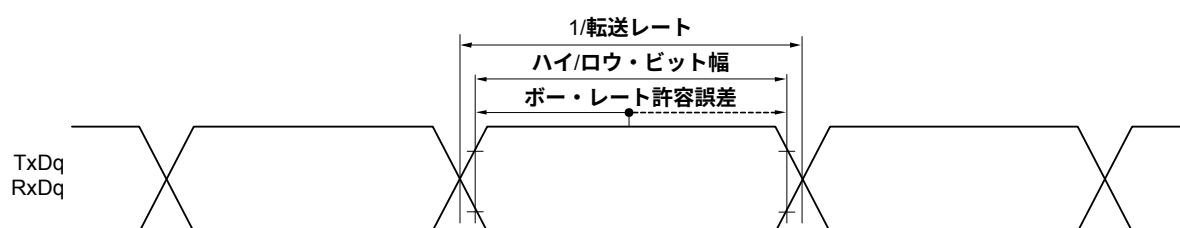
LV (低電圧メイン) モード : 4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq 端子は通常入力バッファを選択し、TxDq 端子は通常出力モードを選択します。

UART モード接続図(同電位通信時)



UART モードのビット幅(同電位通信時)(参考)



備考1. q : UART 番号 (q = 0-3), g : PIM, POM 番号 (g = 0, 1, 5, 14)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10-13))

(2) 同電位通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム	tkCY1	tkCY1 ≥ 2/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V		62.5		250		500		ns
			2.7 V ≤ EVDD0 ≤ 5.5 V	83.3		250		500		ns
SCKp ハイ, ロウ・ レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 7		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 10		tkCY1/2 - 50		tkCY1/2 - 50		ns
Slp セットアップ時間 (対 SCKp ↑) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V		23		110		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		33		110		110		ns
Slp ホールド時間 (対 SCKp ↑) 注1	tKSI1	2.7 V ≤ EVDD0 ≤ 5.5 V		10		10		10		ns
SCKp ↓ → SOp 出力 遅延時間注2	tkSO1	C = 20 pF 注3			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注3. C は, SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. この値は, CSI00 の周辺 I/O リダイレクト機能未使用時のみ対応します。

備考2. p: CSI 番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0), g: PIM, POM 番号 (g = 1)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号 (mn = 00))

(3) 同電位通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ EVDD0 ≤ 5.5 V	125		500		1000		ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	250		500		1000		ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	500		500		1000		ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1000		1000		1000		ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1000		1000		ns
SCKp ハイ、ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 12		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 18		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 38		tkCY1/2 - 50		tkCY1/2 - 50		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 100		tkCY1/2 - 100		tkCY1/2 - 100		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		tkCY1/2 - 100		tkCY1/2 - 100		ns
Slp セットアップ時間 (対 SCKp ↑) 注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V		44		110		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		44		110		110		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		75		110		110		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		110		110		110		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		220		220		220		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		220		220		ns
Slp ホールド時間 (対 SCKp ↑) 注1	tKS1	1.7 V ≤ EVDD0 ≤ 5.5 V		19		19		19		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		19		19		ns
SCKp ↓ → SOp 出力 遅延時間注2	tkSO1	1.7 V ≤ EVDD0 ≤ 5.5 V C = 30 pF 注3		25		25		25		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V C = 30 pF 注3		—		25		25		ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注3. C は、SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は通常入力バッファを選択し、SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p: CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-3),
g: PIM, POM 番号 (g = 0, 1, 3-5, 14)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号 (mn = 00-03, 10-13))

(4) 同電位通信時(CSIモード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム ^{注4}	tkCY2	4.0 V ≦ EVDD0 ≦ 5.5 V	20 MHz < fMCK	8/fMCK		—		—		ns
			fMCK ≦ 20 MHz	6/fMCK		6/fMCK		6/fMCK		ns
		2.7 V ≦ EVDD0 ≦ 5.5 V	16 MHz < fMCK	8/fMCK		—		—		ns
			fMCK ≦ 16 MHz	6/fMCK		6/fMCK		6/fMCK		ns
		2.4 V ≦ EVDD0 ≦ 5.5 V		6/fMCK かつ 500		6/fMCK かつ 500		6/fMCK かつ 500		ns
		1.8 V ≦ EVDD0 ≦ 5.5 V		6/fMCK かつ 750		6/fMCK かつ 750		6/fMCK かつ 750		ns
		1.7 V ≦ EVDD0 ≦ 5.5 V		6/fMCK かつ 1500		6/fMCK かつ 1500		6/fMCK かつ 1500		ns
		1.6 V ≦ EVDD0 ≦ 5.5 V		—		6/fMCK かつ 1500		6/fMCK かつ 1500		ns
SCKp ハイ, ロウ・レベル幅	tkH2,	4.0 V ≦ EVDD0 ≦ 5.5 V		tkCY2/2 - 7		tkCY2/2 - 7		tkCY2/2 - 7		ns
	tkL2	2.7 V ≦ EVDD0 ≦ 5.5 V		tkCY2/2 - 8		tkCY2/2 - 8		tkCY2/2 - 8		ns
		1.8 V ≦ EVDD0 ≦ 5.5 V		tkCY2/2 - 18		tkCY2/2 - 18		tkCY2/2 - 18		ns
		1.7 V ≦ EVDD0 ≦ 5.5 V		tkCY2/2 - 66		tkCY2/2 - 66		tkCY2/2 - 66		ns
		1.6 V ≦ EVDD0 ≦ 5.5 V		—		tkCY2/2 - 66		tkCY2/2 - 66		ns
Slp セットアップ 時間 (対 SCKp ↑) ^{注1}	tsIK2	2.7 V ≦ EVDD0 ≦ 5.5 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		ns
		1.8 V ≦ EVDD0 ≦ 5.5 V		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		1.7 V ≦ EVDD0 ≦ 5.5 V		1/fMCK + 40		1/fMCK + 40		1/fMCK + 40		ns
		1.6 V ≦ EVDD0 ≦ 5.5 V		—		1/fMCK + 40		1/fMCK + 40		ns
Slp ホールド時間 (対 SCKp ↑) ^{注1}	tkSI2	1.8 V ≦ EVDD0 ≦ 5.5 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
		1.7 V ≦ EVDD0 ≦ 5.5 V		1/fMCK + 250		1/fMCK + 250		1/fMCK + 250		ns
		1.6 V ≦ EVDD0 ≦ 5.5 V		—		1/fMCK + 250		1/fMCK + 250		ns
SCKp ↓ → SOp 出力遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}	2.7 V ≦ EVDD0 ≦ 5.5 V		2/fMCK + 44		2/fMCK + 110		2/fMCK + 110	ns
			2.4 V ≦ EVDD0 ≦ 5.5 V		2/fMCK + 75		2/fMCK + 110		2/fMCK + 110	ns
			1.8 V ≦ EVDD0 ≦ 5.5 V		2/fMCK + 100		2/fMCK + 110		2/fMCK + 110	ns
			1.7 V ≦ EVDD0 ≦ 5.5 V		2/fMCK + 220		2/fMCK + 220		2/fMCK + 220	ns
			1.6 V ≦ EVDD0 ≦ 5.5 V		—		2/fMCK + 220		2/fMCK + 220	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注3. C は、SO_p 出力ラインの負荷容量です。

注4. SNOOZE モードでの転送レートは、MAX. 1 Mbps です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は通常入力バッファを選択し、SO_p 端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3),
g : PIM, POM番号 (g = 0, 1, 3-5, 14)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャンネル番号 (mn = 00-03, 10-13))

(4) 同電位通信時(CSIモード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

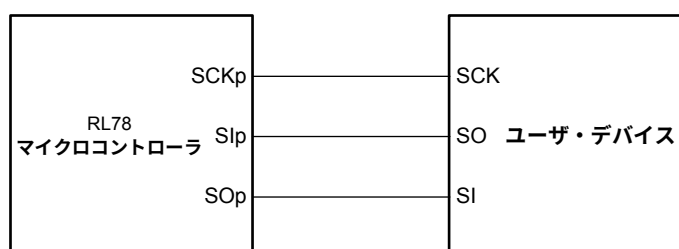
(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SSI00セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	120		120		120	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	200		200		200	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	400		400		400	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		400		400	ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400		1/fMCK + 400		1/fMCK + 400	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1/fMCK + 400		1/fMCK + 400	ns
SSI00ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400		1/fMCK + 400		1/fMCK + 400	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1/fMCK + 400		1/fMCK + 400	ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	120		120		120	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	200		200		200	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	400		400		400	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		400		400	ns

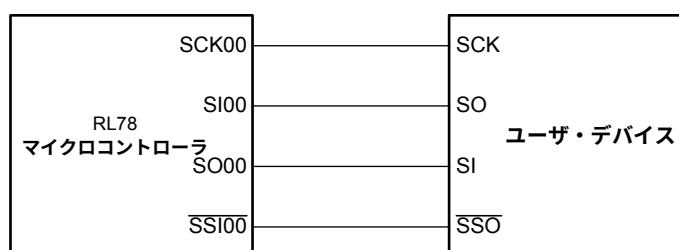
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考 p: CSI番号(p = 00), m: ユニット番号(m = 0), n: チャネル番号(n = 0),
g: PIM, POM番号(g = 3, 5)

CSIモード接続図(同電位通信時)



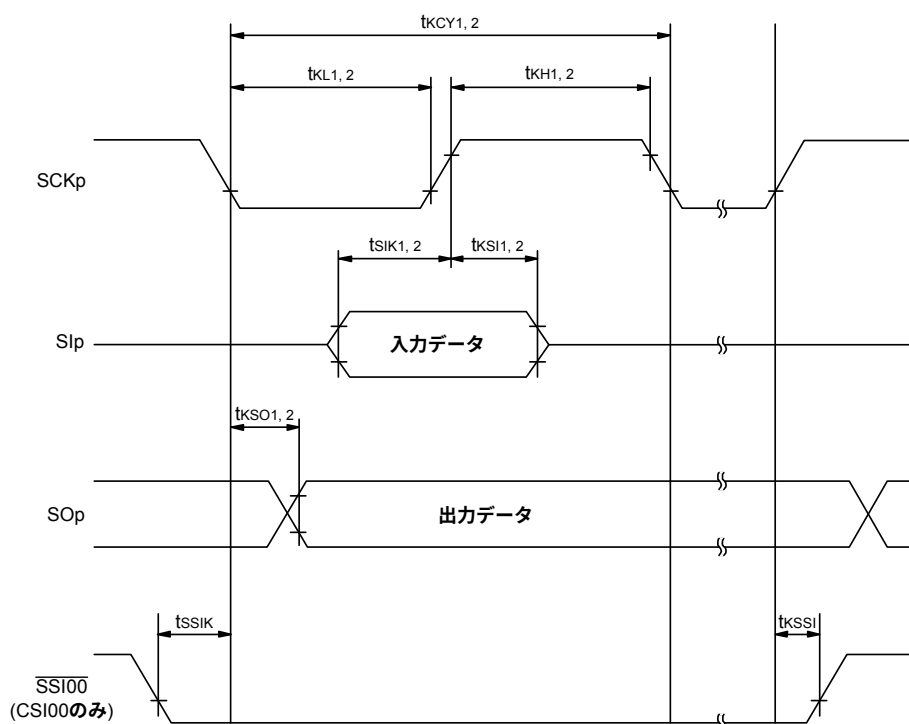
CSIモード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



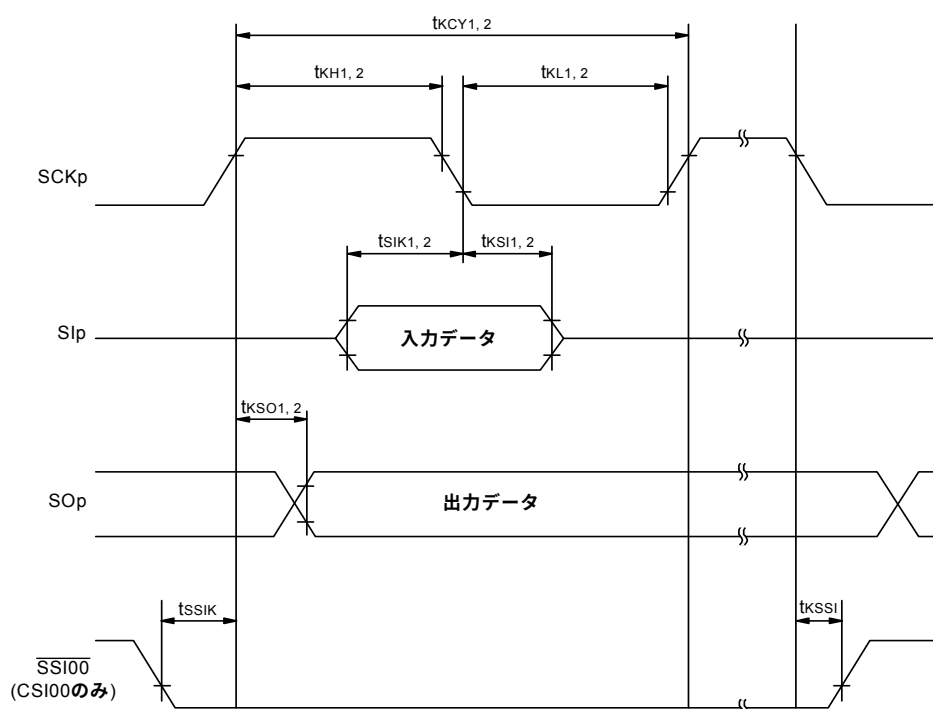
備考1. p: CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)

備考2. m: ユニット番号, n: チャネル番号(mn = 00-03, 10-13)

CSIモード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p: CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)

備考2. m: ユニット番号, n: チャネル番号(mn = 00-03, 10-13)

(5) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fsCL	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		250 ^{注1}		250 ^{注1}		250 ^{注1}	kHz
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		—		250 ^{注1}		250 ^{注1}	kHz
SCLr = "L" の ホールド・タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1850		1850		ns
SCLr = "H" の ホールド・タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1850		1850		ns

(注, 注意は次ページに, 備考は次々ページにあります。)

(5) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

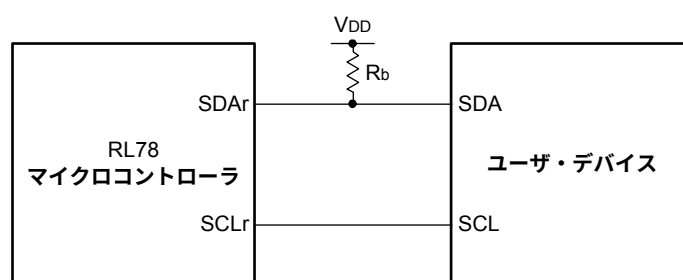
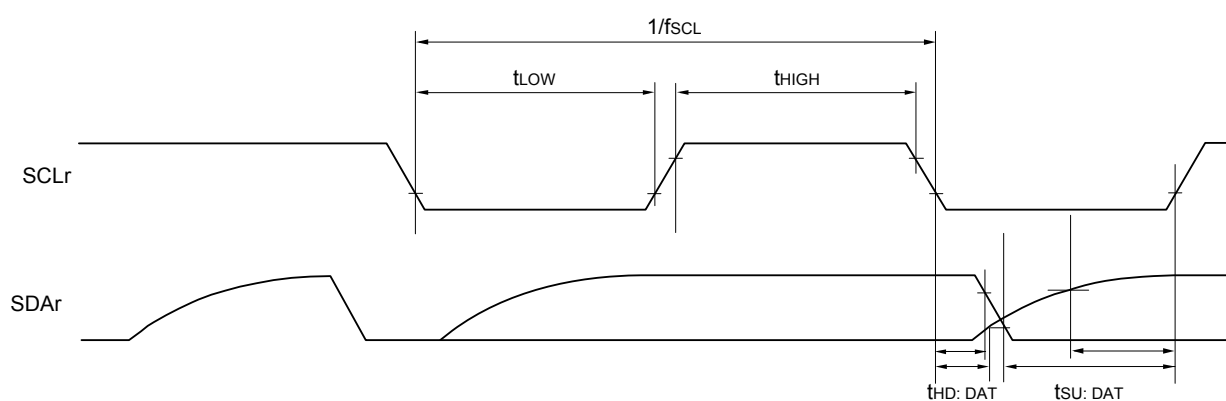
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セット アップ時間(受信時)	tsu: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 85注2		1/fMCK + 145注2		1/fMCK + 145注2		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK + 145注2		1/fMCK + 145注2		1/fMCK + 145注2		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 230注2		1/fMCK + 230注2		1/fMCK + 230注2		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 290注2		1/fMCK + 290注2		1/fMCK + 290注2		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1/fMCK + 290注2		1/fMCK + 290注2		ns
データ・ホールド 時間(送信時)	thd: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		0	405	0	405	ns

注1. かつfMCK/4以下に設定してください。

注2. fMCK値は、SCLr = “L”とSCLr = “H”のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易 I²C モード接続図(同電位通信時)簡易 I²C モード・シリアル転送タイミング(同電位通信時)

備考 1. R_b [Ω]: 通信ライン(SDAr)プルアップ抵抗値, C_b [F]: 通信ライン(SCLr, SDAr)負荷容量値

備考 2. r : IIC 番号($r = 00, 01, 10, 11, 20, 21, 30, 31$), g : PIM 番号($g = 0, 1, 3-5, 14$),

h : POM 番号($h = 0, 1, 3-5, 7, 14$)

備考 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0-3$), $mn = 00-03, 10-13$)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UART モード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6 注1		fMCK/6 注1		bps
			最大転送レート理論値 fMCK = fCLK 注4		5.3		1.3		Mbps
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6 注1		fMCK/6 注1		bps
			最大転送レート理論値 fMCK = fCLK 注4		5.3		1.3		Mbps
			1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 2, 3		fMCK/6 注1, 2		bps
			最大転送レート理論値 fMCK = fCLK 注4		5.3		1.3		Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 ≥ Vbで使用してください。

注3. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V: MAX. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V: MAX. 1.3 Mbps

注4. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

LS (低速メイン)モード: 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)

LV (低電圧メイン)モード: 4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-3), g: PIM, POM番号(g = 0, 1, 5, 14)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00-03, 10-13))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき、UART2の異電位通信は使用できません。

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UART モード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1			注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注2		2.8注2	2.8注2	Mbps
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3		注3	注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4		1.2注4	1.2注4	Mbps
			1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5, 6		注5, 6	注5, 6	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7		0.43注7	0.43注7	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. EVDD0 ≥ Vbで使用してください。

注6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V $\leq$ EVDD0 < 3.3 V, 1.6 V $\leq$ Vb $\leq$ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

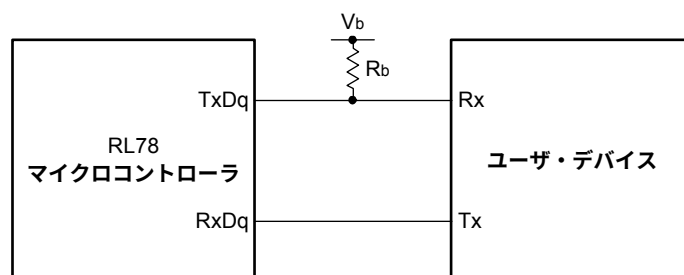
※ この値は送信側と受信側の相対差の理論値となります。

注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

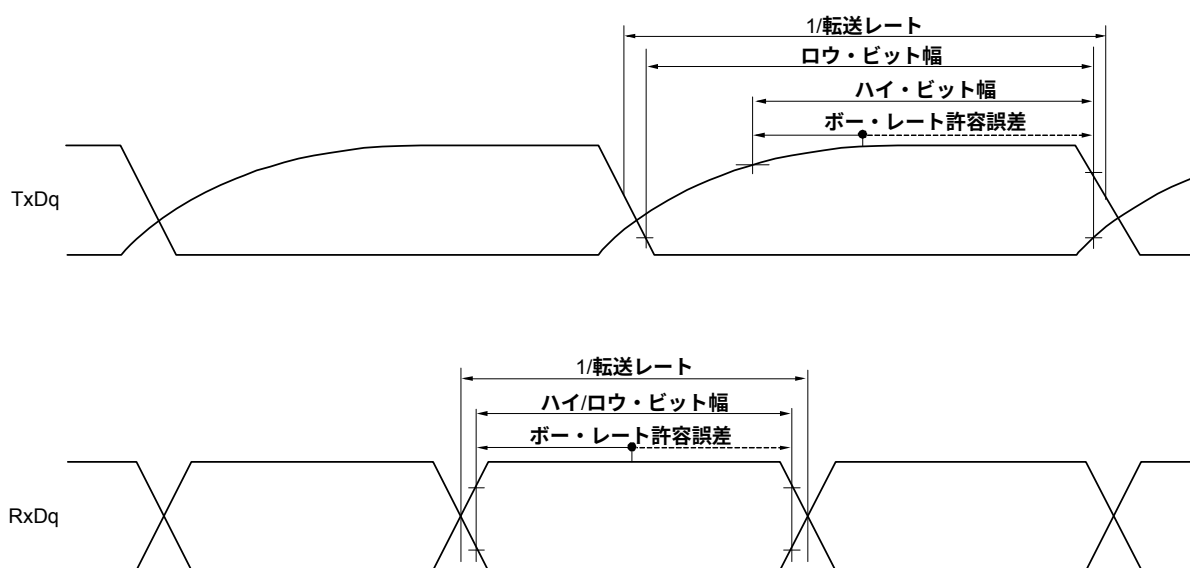
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モード)を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

UART モード接続図(異電位通信時)



UART モードのビット幅(異電位通信時)(参考)



備考 1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考 2. q: UART 番号 (q = 0-3), g: PIM, POM 番号 (g = 0, 1, 5, 14)

備考 3. f_{MCK} : シリアル・アレィ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSMnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号 (mn = 00-03, 10-13))

備考 4. 周辺 I/O リダイレクション・レジスタ 0 (PIOR0)のビット 1 (PIOR01)が1のとき, UART2の異電位通信は使用できません。

(7) 異電位(2.5 V系, 3 V系)通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力, CSI00のみ)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム	tkCY1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	200		1150		1150		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300		1150		1150		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tkCY1/2 - 120		tkCY1/2 - 120		tkCY1/2 - 120		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 - 7		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tkCY1/2 - 10		tkCY1/2 - 50		tkCY1/2 - 50		ns
Slp セットアップ時間 (対 SCKp ↑) 注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	58		479		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	121		479		479		ns
Slp ホールド時間 (対 SCKp ↑) 注1	tsIH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp ↓ → SOp 出力遅延時間注1	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		60		60		60	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		130		130		130	ns

(注, 注意, 備考は次ページにあります。)

(7) 異電位(2.5 V系, 3 V系)通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力, CSI00のみ)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slp セットアップ時間 (対 SCKp ↓) 注2	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	23		110		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	33		110		110		ns
Slp ホールド時間 (対 SCKp ↓) 注2	tSIH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp ↑ → SOp 出力遅延時間 注2	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

備考1. Rb [Ω]: 通信ライン (SCKp, SOp) ブルアップ抵抗値, Cb [F]: 通信ライン (SCKp, SOp) 負荷容量値, Vb [V]: 通信ライン電圧

備考2. p: CSI 番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0), g: PIM, POM 番号 (g = 3, 5)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号 (mn = 00))

備考4. この値は, CSI00 の周辺 I/O リダイレクト機能未使用時のみ対応します。

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/3)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード	モード	モード	モード	モード	モード	
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		1150		1150		ns
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500		1150		1150		ns
			1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	1150		1150		1150		ns
SCKp ハイ・レベル幅	tkH1		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 75		tkCY1/2 - 75		tkCY1/2 - 75		ns
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 170		tkCY1/2 - 170		tkCY1/2 - 170		ns
			1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 458		tkCY1/2 - 458		tkCY1/2 - 458		ns
SCKp ロウ・レベル幅	tkL1		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 12		tkCY1/2 - 50		tkCY1/2 - 50		ns
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 18		tkCY1/2 - 50		tkCY1/2 - 50		ns
			1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns

注 EVDD0 ≥ Vb で使用してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp 端子はTTL入力バッファを選択し, SOp 端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モード)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slp セットアップ時間 (対 SCKp ↑) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		479		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		ns
Slp ホールド時間 (対 SCKp ↑) 注1	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↓ → SOp 出力遅延 時間 注1	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100		100	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ		483		483		483	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. EVDD0 ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slp セットアップ時間 (対 SCKp ↓) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		110		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		ns
Slp ホールド時間 (対 SCKp ↓) 注1	tKS1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↑ → SOp 出力遅延 時間 注1	tKS01	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ		25		25		25	ns

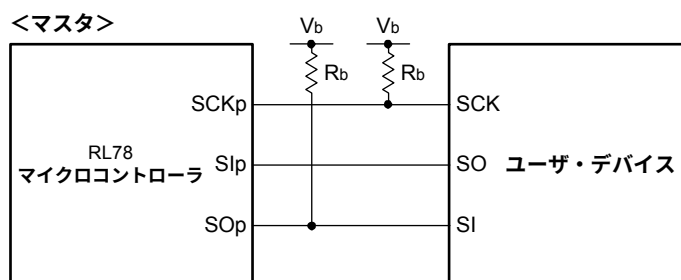
注1. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注2. EVDD0 ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

CSIモード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SCKp, SOp)負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI番号(p = 00, 01, 10, 20, 30, 31), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),

g: PIM, POM番号(g = 0, 1, 3-5, 14)

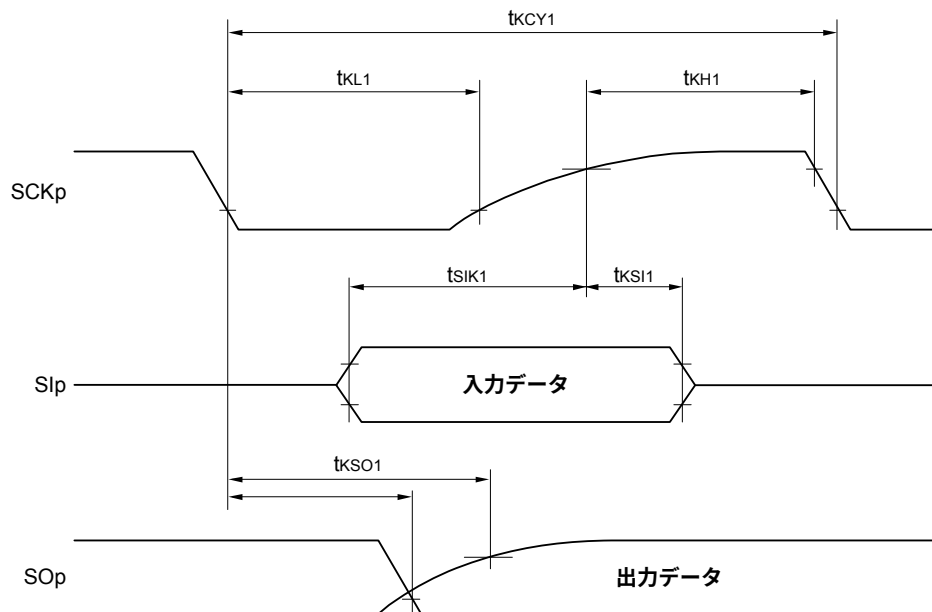
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

シリアル・モード・レジスタ mn (SMR mn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

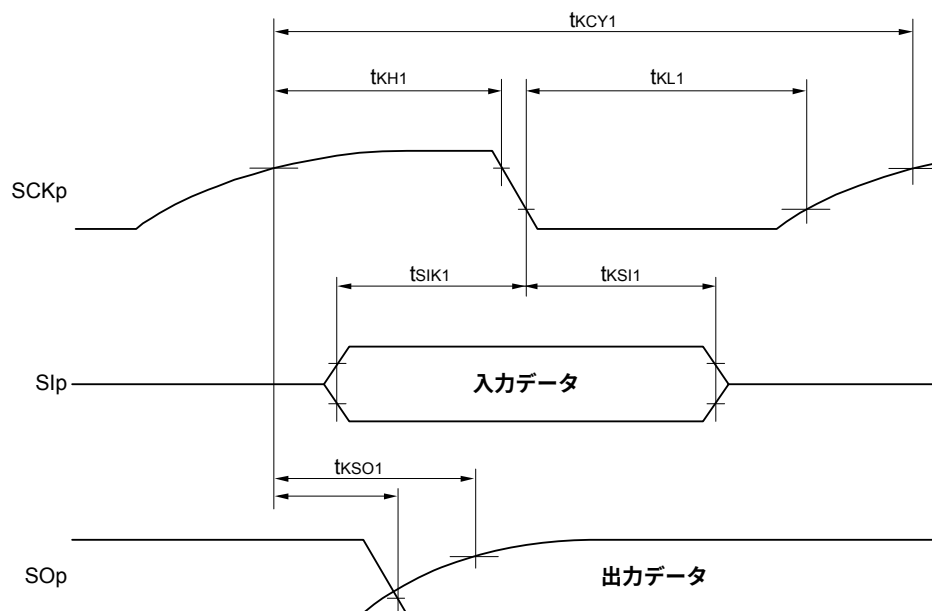
n: チャネル番号(mn = 00))

備考4. CSI11, CSI21 と, 48, 52, 64 ピン製品のCSI01 は異電位通信できません。異電位通信をする場合は, それ以外のCSIを使用してください。

CSIモード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20, 30, 31), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3-5, 14)

備考2. CSI11, CSI21 と, 48, 52, 64 ピン製品の CSI01 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

(9) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(CSIモード)(スレープ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

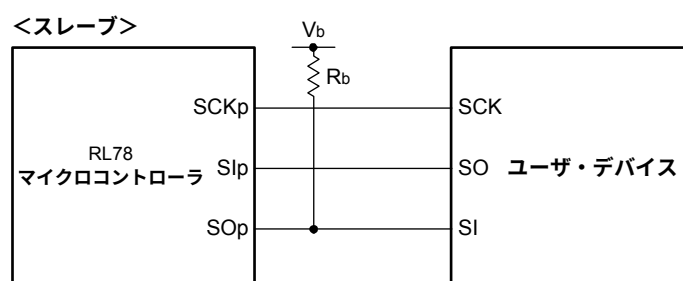
項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム ^{注1}	t _{KCY2}	4.0 V ≦ EV _{DD0} ≦ 5.5 V, 2.7 V ≦ V _b ≦ 4.0 V	24 MHz < f _{MCK}	14/f _{MCK}		—		—		ns
			20 MHz < f _{MCK} ≦ 24 MHz	12/f _{MCK}		—		—		ns
			8 MHz < f _{MCK} ≦ 20 MHz	10/f _{MCK}		—		—		ns
			4 MHz < f _{MCK} ≦ 8 MHz	8/f _{MCK}		16/f _{MCK}		—		ns
			f _{MCK} ≦ 4 MHz	6/f _{MCK}		10/f _{MCK}		10/f _{MCK}		ns
		2.7 V ≦ EV _{DD0} < 4.0 V, 2.3 V ≦ V _b ≦ 2.7 V	24 MHz < f _{MCK}	20/f _{MCK}		—		—		ns
			20 MHz < f _{MCK} ≦ 24 MHz	16/f _{MCK}		—		—		ns
			16 MHz < f _{MCK} ≦ 20 MHz	14/f _{MCK}		—		—		ns
			8 MHz < f _{MCK} ≦ 16 MHz	12/f _{MCK}		—		—		ns
			4 MHz < f _{MCK} ≦ 8 MHz	8/f _{MCK}		16/f _{MCK}		—		ns
		1.8 V ≦ EV _{DD0} < 3.3 V, 1.6 V ≦ V _b ≦ 2.0 V ^{注2}	f _{MCK} ≦ 4 MHz	6/f _{MCK}		10/f _{MCK}		10/f _{MCK}		ns
			24 MHz < f _{MCK}	48/f _{MCK}		—		—		ns
			20 MHz < f _{MCK} ≦ 24 MHz	36/f _{MCK}		—		—		ns
			16 MHz < f _{MCK} ≦ 20 MHz	32/f _{MCK}		—		—		ns
			8 MHz < f _{MCK} ≦ 16 MHz	26/f _{MCK}		—		—		ns
			4 MHz < f _{MCK} ≦ 8 MHz	16/f _{MCK}		16/f _{MCK}		—		ns
			f _{MCK} ≦ 4 MHz	10/f _{MCK}		10/f _{MCK}		10/f _{MCK}		ns
SCKp ハイ, ロウ・ レベル幅	t _{KH2} , t _{KL2}	4.0 V ≦ EV _{DD0} ≦ 5.5 V, 2.7 V ≦ V _b ≦ 4.0 V		t _{KCY2} /2 - 12		t _{KCY2} /2 - 50		t _{KCY2} /2 - 50		ns
		2.7 V ≦ EV _{DD0} < 4.0 V, 2.3 V ≦ V _b ≦ 2.7 V		t _{KCY2} /2 - 18		t _{KCY2} /2 - 50		t _{KCY2} /2 - 50		ns
		1.8 V ≦ EV _{DD0} < 3.3 V, 1.6 V ≦ V _b ≦ 2.0 V ^{注2}		t _{KCY2} /2 - 50		t _{KCY2} /2 - 50		t _{KCY2} /2 - 50		ns
Slp セットアップ 時間 (対 SCKp ↑) ^{注3}	t _{SIK2}	4.0 V ≦ EV _{DD0} ≦ 5.5 V, 2.7 V ≦ V _b ≦ 4.0 V		1/f _{MCK} + 20		1/f _{MCK} + 30		1/f _{MCK} + 30		ns
		2.7 V ≦ EV _{DD0} ≦ 4.0 V, 2.3 V ≦ V _b ≦ 2.7 V		1/f _{MCK} + 20		1/f _{MCK} + 30		1/f _{MCK} + 30		ns
		1.8 V ≦ EV _{DD0} ≦ 3.3 V, 1.6 V ≦ V _b ≦ 2.0 V ^{注2}		1/f _{MCK} + 30		1/f _{MCK} + 30		1/f _{MCK} + 30		ns
Slp ホールド時間 (対 SCKp ↑) ^{注3}	t _{KSI2}			1/f _{MCK} + 31		1/f _{MCK} + 31		1/f _{MCK} + 31		ns
SCKp ↓ → SOp 出力遅延時間 ^{注4}	t _{KSO2}	4.0 V ≦ EV _{DD0} ≦ 5.5 V, 2.7 V ≦ V _b ≦ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ			2/f _{MCK} + 120		2/f _{MCK} + 573		2/f _{MCK} + 573	ns
		2.7 V ≦ EV _{DD0} < 4.0 V, 2.3 V ≦ V _b ≦ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ			2/f _{MCK} + 214		2/f _{MCK} + 573		2/f _{MCK} + 573	ns
		1.8 V ≦ EV _{DD0} < 3.3 V, 1.6 V ≦ V _b ≦ 2.0 V ^{注2} , C _b = 30 pF, R _v = 5.5 kΩ			2/f _{MCK} + 573		2/f _{MCK} + 573		2/f _{MCK} + 573	ns

(注, 注意, 備考は次ページにあります。)

- 注1. SNOOZE モードでの転送レートは, MAX.: 1 Mbps
- 注2. $EV_{DD0} \geq V_b$ で使用してください。
- 注3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。
- 注4. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は TTL 入力バッファを選択し, SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧 (30 ~ 52 ピン製品の場合) / EV_{DD} 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお V_{IH} , V_{IL} は, TTL 入力バッファ選択時の DC 特性を参照してください。

CSI モード接続図 (異電位通信時)



備考1. R_b [Ω]: 通信ライン (SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp) 負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI 番号 (p = 00, 01, 10, 20, 30, 31), m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-3),
g: PIM, POM 番号 (g = 0, 1, 3-5, 14)

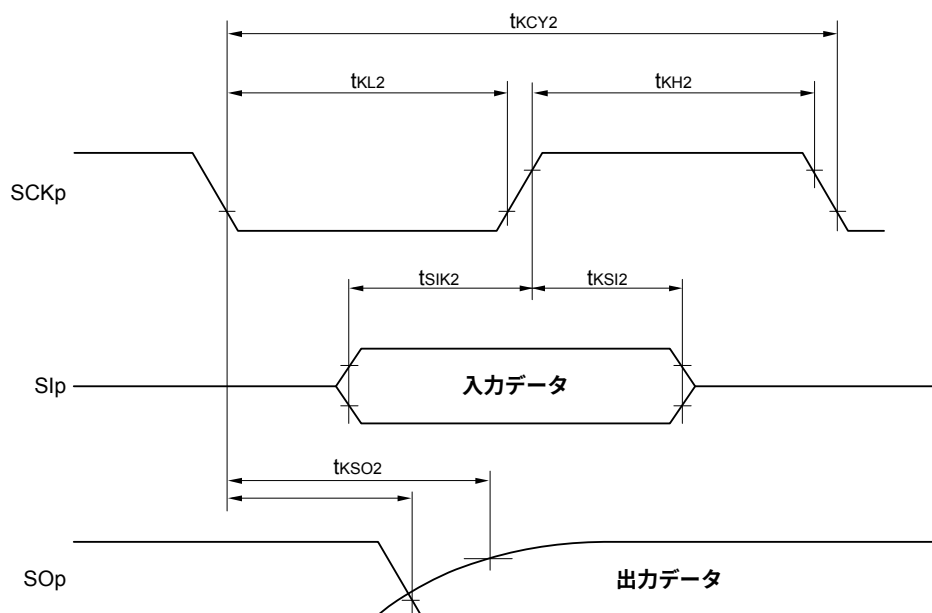
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,
n: チャンネル番号 (mn = 00, 01, 02, 10, 12, 13))

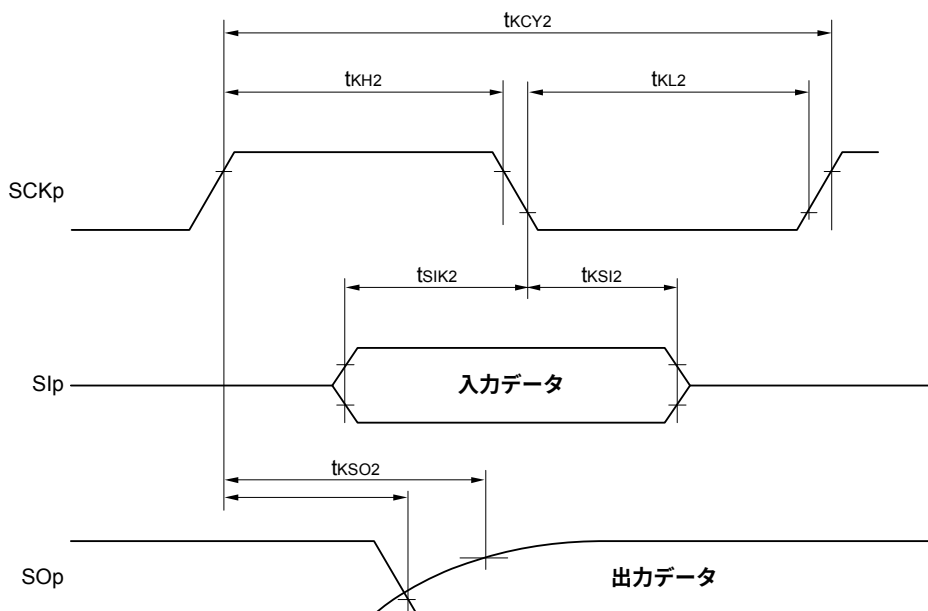
備考4. CSI11, CSI21 と, 48, 52, 64 ピン製品 CSI01 は異電位通信できません。異電位通信をする場合は, それ以外の CSI を使用してください。

また, スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

CSIモード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20, 30, 31), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3-5, 14)

備考2. CSI11, CSI21 と, 48, 52, 64 ピン製品 CSI01 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(10) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fSCL	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L" のホールド・タイム	tLOW	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H" のホールド・タイム	tHIGH	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		610		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		610		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		610		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		610		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns

(10)異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易 I²C モード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ 時間(受信時)	tsu: DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
データ・ホールド 時間(送信時)	tHD: DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	ns

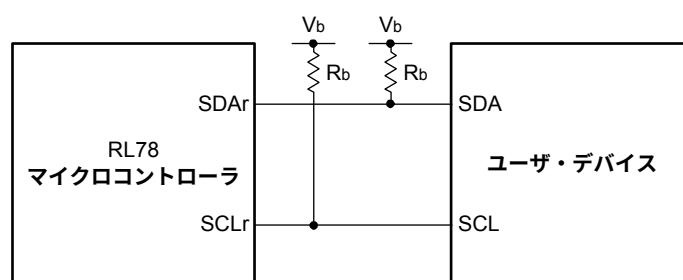
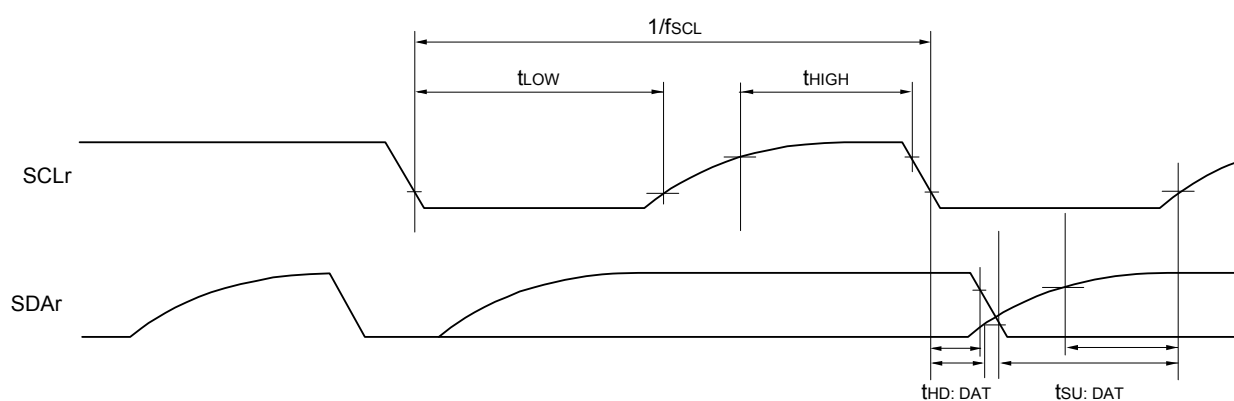
注1. かつ fMCK/4 以下に設定してください。

注2. EVDD0 ≥ Vb で使用してください。

注3. fMCK 値は, SCLr = "L" と SCLr = "H" のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SDAr は TTL 入力バッファ, N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択し, SCLr は N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易 I²C モード接続図(異電位通信時)簡易 I²C モード・シリアル転送タイミング(異電位通信時)

備考 1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V]: 通信ライン電圧

備考 2. r : IIC 番号 ($r = 00, 01, 10, 11, 20, 30, 31$), g : PIM, POM 番号 ($g = 0, 1, 3-5, 14$)

備考 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタの CKS mn ビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 2$), $mn = 00, 01, 02, 10, 12, 13$)

34.5.2 シリアル・インタフェース IICA

(1) I²C 標準モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	標準モード： fCLK ≥ 1 MHz	2.7 V ≤ EVDD0 ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.8 V ≤ EVDD0 ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.7 V ≤ EVDD0 ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		0	100	0	100	kHz
リスタート・コンディション のセットアップ時間	tSU: STA	2.7 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.8 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.7 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		4.7		4.7		μs	
ホールド時間注1	tHD: STA	2.7 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.8 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.7 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		4.0		4.0		μs	
SCLA0 = “L” のホールド・ タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.8 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.7 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs	
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		4.7		4.7		μs	
SCLA0 = “H” のホールド・ タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.8 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.7 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs	
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		4.0		4.0		μs	

(注, 注意, 備考は次ページにあります。)

(1) I²C 標準モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間 (受信時)	t _{SU} : DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	250		250		250		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V	250		250		250		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V	250		250		250		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		250		250		ns
データ・ホールド時間 (送信時)注2	t _{HD} : DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.8 V ≤ EVDD0 ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.7 V ≤ EVDD0 ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		0	3.45	0	3.45	μs
ストップ・コンディションの セットアップ時間	t _{SU} : STO	2.7 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs
		1.7 V ≤ EVDD0 ≤ 5.5 V	4.0		4.0		4.0		μs
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		4.0		4.0		μs
バス・フリー時間	t _{BUF}	2.7 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs
		1.7 V ≤ EVDD0 ≤ 5.5 V	4.7		4.7		4.7		μs
		1.6 V ≤ EVDD0 ≤ 5.5 V	—		4.7		4.7		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. t_{HD}: DAT の最大値 (MAX.) は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, ウェイトがかかります。

注意 周辺 I/O リダイレクション・レジスタ 0 (PIOR0) のビット 2 (PIOR02) が 1 の場合も, 上記の値を適用できます。

ただし, 端子特性 (I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}) はリダイレクト先の値を満たしてください。備考 各モードにおける C_b (通信ライン容量) の MAX. 値と, そのときの R_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。標準モード: C_b = 400 pF, R_b = 2.7 kΩ

(2) I²Cファースト・モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード： fCLK ≥ 3.5 MHz	2.7 V ≤ EVDD0 ≤ 5.5 V	0	400	0	400	0	400	kHz
			1.8 V ≤ EVDD0 ≤ 5.5 V	0	400	0	400	0	400	kHz
リスタート・コンディショ ンのセットアップ時間	tSU: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
ホールド時間注1	tHD: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
SCLA0 = "L" のホールド・ タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
SCLA0 = "H" のホールド・ タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		100		100		100		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		100		100		100		ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		0	0.9	0	0.9	0	0.9	μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0	0.9	0	0.9	0	0.9	μs
ストップ・コンディション のセットアップ時間	tSU: STO	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
バス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. t_{HD: DAT}の最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, ウエイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も, 上記の値を適用できます。

ただし, 端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。備考 各モードにおけるC_b (通信ライン容量)のMAX.値と,そのときのR_b (通信ライン・プルアップ抵抗値)の値は次のとおりです。ファースト・モード: C_b = 320 pF, R_b = 1.1 kΩ

(3) I²C ファースト・モード・プラス

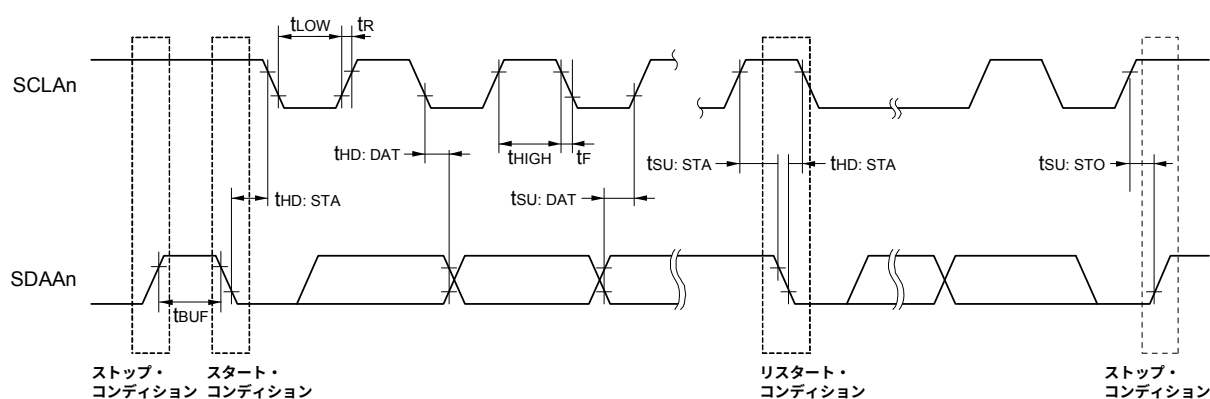
(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・ モード・プラス： fCLK ≥ 10 MHz	2.7 V ≤ EVDD0 ≤ 5.5 V	0	1000	—		—		kHz
リスタート・コンディショ ンのセットアップ時間	tSU: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.26		—		—		μs
ホールド時間注1	tHD: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.26		—		—		μs
SCLA0 = “L” のホールド・ タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V		0.5		—		—		μs
SCLA0 = “H” のホールド・ タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V		0.26		—		—		μs
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		50		—		—		ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		0	0.45	—		—		μs
ストップ・コンディショ ンのセットアップ時間	tSU: STO	2.7 V ≤ EVDD0 ≤ 5.5 V		0.26		—		—		μs
バス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V		0.5		—		—		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, ウェイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も, 上記の値を適用できます。

ただし, 端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。備考 各モードにおけるC_b (通信ライン容量)のMAX.値と,そのときのR_b (通信ライン・プルアップ抵抗値)の値は次のとおりです。ファースト・モード・プラス : C_b = 120 pF, R_b = 1.1 kΩI²Cシリアル転送タイミング

備考 n = 0, 1

34.6 アナログ特性

34.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル	基準電圧 基準電圧(+) = AVREFP 基準電圧(-) = AVREFM	基準電圧(+) = VDD 基準電圧(-) = VSS	基準電圧(+) = VBGR 基準電圧(-) = AVREFM
ANI0-ANI14	34.6.1 (1)参照	34.6.1 (3)参照	34.6.1 (4)参照
ANI16-ANI20	34.6.1 (2)参照		
内部基準電圧 温度センサ出力電圧	34.6.1 (1)参照		—

(1) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象: ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85 °C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V	1.2	±3.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}	1.2	±7.0	LSB
変換時間	tCONV	10ビット分解能 変換対象: ANI2-ANI14	3.6 V ≤ VDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ VDD ≤ 5.5 V	17	39	μs
			1.6 V ≤ VDD ≤ 5.5 V	57	95	μs
		10ビット分解能 変換対象: 内部基準電圧, 温度センサ出力電圧(HS (高速メイン) モード)	3.6 V ≤ VDD ≤ 5.5 V	2.375	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.5625	39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17	39	μs
ゼロスケール誤差 ^{注1, 2}	Ezs	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V		±0.25	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}		±0.50	%FSR
フルスケール誤差 ^{注1, 2}	Efs	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V		±0.25	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}		±0.50	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V		±2.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}		±5.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V		±1.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}		±2.0	LSB
アナログ入力電圧	VAIN	ANI2-ANI14	0		AVREFP	V
		内部基準電圧(2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン) モード)			VBGR ^{注5}	V
		温度センサ出力電圧(2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン) モード)			VTMP25 ^{注5}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. AVREFP < VDD の場合, MAX. 値は次のようになります。

総合誤差: AVREFP = VDD の MAX. 値に ±1.0 LSB を加算してください。

ゼロスケール誤差/フルスケール誤差: AVREFP = VDD の MAX. 値に ±0.05 %FSR を加算してください。

積分直線性誤差/微分直線性誤差: AVREFP = VDD の MAX. 値に ±0.5 LSB を加算してください。

注4. 変換時間を MIN. 57 μs, MAX. 95 μs に設定した場合の値です。

注5. 34.6.2 温度センサ/内部基準電圧特性を参照してください。

- (2) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象: ANI16-ANI20

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V,

VSS = EVSS0 = EVSS1 = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V		1.2	±5.0	LSB
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}		1.2	±8.5	LSB
変換時間	tCONV	10ビット分解能	3.6 V ≤ VDD ≤ 5.5 V	2.125		39	μs
		変換対象: ANI16-ANI20	2.7 V ≤ VDD ≤ 5.5 V	3.1875		39	μs
			1.8 V ≤ VDD ≤ 5.5 V	17		39	μs
			1.6 V ≤ VDD ≤ 5.5 V	57		95	μs
ゼロスケール誤差 ^{注1, 2}	Ezs	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±0.60	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V			±3.5	LSB
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±6.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V			±2.0	LSB
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI20		0		AVREFP かつ EVDD0	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. EVDD0 ≤ AVREFP < VDDの場合, MAX.値は次のようになります。

総合誤差: AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差: AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差/微分直線性誤差: AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. AVREFP < EVDD0 ≤ VDDの場合, MAX.値は次のようになります。

総合誤差: AVREFP = VDDのMAX.値に±4.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差: AVREFP = VDDのMAX.値に±0.20 %FSRを加算してください。

積分直線性誤差/微分直線性誤差: AVREFP = VDDのMAX.値に±2.0 LSBを加算してください。

注5. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

(3) 基準電圧(+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = V_{SS} (ADREFM = 0)選択時,

変換対象: ANI0-ANI14, ANI16-ANI20, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(+) = V_{DD},

基準電圧(-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V		1.2	±7.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}		1.2	±10.5	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象: ANI0-ANI14, ANI16-ANI20	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875		39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
			1.6 V ≤ V _{DD} ≤ 5.5 V	57		95	μs
		10ビット分解能 変換対象: 内部基準電圧, 温度センサ出力電圧(HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625		39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}			±0.85	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}			±0.85	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±4.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}			±6.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±2.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}			±2.5	LSB
アナログ入力電圧	V _{AIN}	ANI0-ANI14		0		V _{DD}	V
		ANI16-ANI20		0		EV _{DD0}	V
		内部基準電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)		V _{BGR} ^{注4}			V
		温度センサ出力電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)		V _{TMPS25} ^{注4}			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

注4. 34.6.2 温度センサ／内部基準電圧特性を参照してください。

- (4) 基準電圧(+) = 内部基準電圧($\text{ADREFP1} = 1, \text{ADREFP0} = 0$)、基準電圧(-) = $\text{AVREFM}/\text{ANI1}$ ($\text{ADREFM} = 1$)選択時、
変換対象：ANI0, ANI2-ANI14, ANI16-ANI20

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $1.6 \text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq V_{DD}$, $V_{SS} = \text{EVSS0} = \text{EVSS1} = 0 \text{ V}$,

基準電圧(+) = V_{BGR} ^{注3}, 基準電圧(-) = AVREFM ^{注4} = 0 V, HS (高速メイン)モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 1.0	LSB
アナログ入力電圧	VAIN			0		V_{BGR} ^{注3}	V

注1. 量子化誤差($\pm 1/2 \text{ LSB}$)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 34.6.2 温度センサ／内部基準電圧特性を参照してください。

注4. 基準電圧(-) = V_{SS} の場合、MAX.値は次のようになります。

ゼロスケール誤差： 基準電圧(-) = AVREFM 時のMAX.値に $\pm 0.35 \text{ \%FSR}$ を加算してください。

積分直線性誤差： 基準電圧(-) = AVREFM 時のMAX.値に $\pm 0.5 \text{ LSB}$ を加算してください。

微分直線性誤差： 基準電圧(-) = AVREFM 時のMAX.値に $\pm 0.2 \text{ LSB}$ を加算してください。

34.6.2 温度センサ／内部基準電圧特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0 \text{ V}$, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMPS25}	ADSレジスタ = 80H設定, $T_A = +25 \text{ }^{\circ}\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMPS}	温度センサ電圧の温度依存		-3.6		mV/ $^{\circ}\text{C}$
動作安定待ち時間	t _{AMP}		5			μs

34.6.3 D/Aコンバータ

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.6 \text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4 M Ω	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		± 2.5	LSB
		Rload = 8 M Ω	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		± 2.5	LSB
セトリング・タイム	t _{SET}	Cload = 20pF	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		3	μs
			$1.6 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		6	μs

34.6.4 コンパレータ

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.6 \text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5 \text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	lvref		0		$\text{EVDD0} - 1.4$	V
	lvcmp		-0.3		$\text{EVDD0} + 0.3$	V
出力遅延	td	$\text{VDD} = 3.0 \text{ V}$ 入力スレーレート $> 50 \text{ mV}/\mu\text{s}$			1.2	μs
		コンパレータ高速モード, 基本モード				
		コンパレータ高速モード, ウィンドウモード			2.0	μs
		コンパレータ低速モード, 基本モード		3.0	5.0	μs
高電位側 リファレンス電圧	VTW+	コンパレータ高速モード, ウィンドウモード		0.76 VDD		V
低電位側 リファレンス電圧	VTW-	コンパレータ高速モード, ウィンドウモード		0.24 VDD		V
動作安定待ち時間	tcMP		100			μs
内部基準電圧 注	VBGR	$2.4 \text{ V} \leq \text{VDD} \leq 5.5 \text{ V}$, HS (高速メイン)モード	1.38	1.45	1.50	V

注 LS (低速メイン)モード, LV (低電圧メイン)モード, サブ・クロック動作, STOPモード時は使用できません。

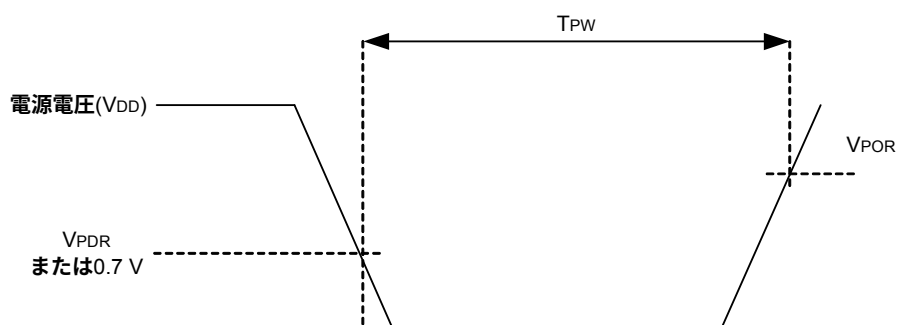
34.6.5 POR回路特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $\text{VSS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.47	1.51	1.55	V
	VPDR	電源立ち下がり時 ^{注1}	1.46	1.50	1.54	V
最小パルス幅 ^{注2}	TPW		300			μs

注1. ただし, LVD オフの条件で動作電圧降下時は, 34.4 AC特性に示す動作電圧範囲を下回る前に, STOPモードに移行, または電圧検出機能が外部リセット端子で, リセット状態にしてください。

注2. VDD が VPDR を下回った場合に, POR によるリセット動作に必要な時間です。また STOPモード時および, クロック動作ステータス制御レジスタ(CSC)のビット0 (HIOSTOP)とビット7 (MSTOP)の設定によりメイン・システム・クロック(f_{MAIN})を停止時は, VDD が 0.7 V を下回ってから, VPOR を上回るまでのPORによるリセット動作に必要な時間です。



34.6.6 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +85 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V _{LVD0}				
		電源立ち上がり時	3.98	4.06	4.14	V
		電源立ち下がり時	3.90	3.98	4.06	V
		V _{LVD1}				
		電源立ち上がり時	3.68	3.75	3.82	V
		電源立ち下がり時	3.60	3.67	3.74	V
		V _{LVD2}				
		電源立ち上がり時	3.07	3.13	3.19	V
		電源立ち下がり時	3.00	3.06	3.12	V
		V _{LVD3}				
		電源立ち上がり時	2.96	3.02	3.08	V
		電源立ち下がり時	2.90	2.96	3.02	V
		V _{LVD4}				
		電源立ち上がり時	2.86	2.92	2.97	V
		電源立ち下がり時	2.80	2.86	2.91	V
		V _{LVD5}				
		電源立ち上がり時	2.76	2.81	2.87	V
		電源立ち下がり時	2.70	2.75	2.81	V
		V _{LVD6}				
		電源立ち上がり時	2.66	2.71	2.76	V
		電源立ち下がり時	2.60	2.65	2.70	V
		V _{LVD7}				
		電源立ち上がり時	2.56	2.61	2.66	V
		電源立ち下がり時	2.50	2.55	2.60	V
		V _{LVD8}				
		電源立ち上がり時	2.45	2.50	2.55	V
		電源立ち下がり時	2.40	2.45	2.50	V
		V _{LVD9}				
		電源立ち上がり時	2.05	2.09	2.13	V
		電源立ち下がり時	2.00	2.04	2.08	V
		V _{LVD10}				
		電源立ち上がり時	1.94	1.98	2.02	V
		電源立ち下がり時	1.90	1.94	1.98	V
		V _{LVD11}				
		電源立ち上がり時	1.84	1.88	1.91	V
		電源立ち下がり時	1.80	1.84	1.87	V
		V _{LVD12}				
		電源立ち上がり時	1.74	1.77	1.81	V
		電源立ち下がり時	1.70	1.73	1.77	V
		V _{LVD13}				
		電源立ち上がり時	1.64	1.67	1.70	V
		電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅	tlw		300			μs
検出遅延					300	μs

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み& リセット・モード	VLVDA0	VPOC2, VPOC1, VPOC0 = 0, 0, 0, 立ち下がりリセット電圧		1.60	1.63	1.66	V
	VLVDA1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
			立ち下がり割り込み電圧	1.70	1.73	1.77	V
	VLVDA2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	1.84	1.88	1.91	V
			立ち下がり割り込み電圧	1.80	1.84	1.87	V
	VLVDA3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVDB0	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧		1.80	1.84	1.87	V
	VLVDB1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧		2.40	2.45	2.50	V
	VLVDC1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVDC3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V
			立ち下がり割り込み電圧	3.60	3.67	3.74	V
	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧		2.70	2.75	2.81	V
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V
			立ち下がり割り込み電圧	2.90	2.96	3.02	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V
			立ち下がり割り込み電圧	3.90	3.98	4.06	V

34.6.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

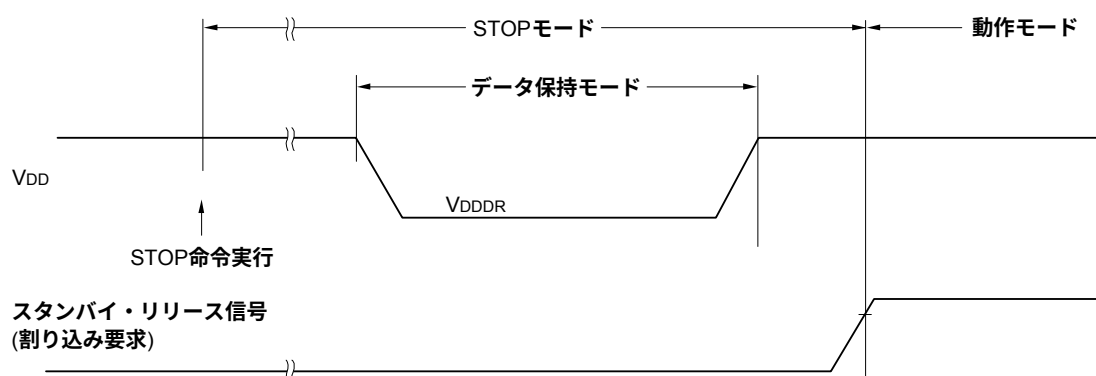
注意 VDDが34.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路が外部リセットで内部リセット状態を保ってください。

34.7 データ・メモリ STOP モード低電源電圧データ保持特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46注		5.5	V

注 POR 検出電圧に依存します。電圧降下時、POR リセットがかかるまではデータを保持しますが、POR リセットがかかった場合のデータは保持されません。



34.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	1.8 V ≦ VDD ≦ 5.5 V		1		32	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C _{erwr}	保持年数：20年	T _A = 85 °C	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年	T _A = 25 °C		1,000,000		
		保持年数：5年	T _A = 85 °C	100,000			
		保持年数：20年	T _A = 85 °C	10,000			

- 注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。
- 注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。
- 注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

34.9 専用フラッシュ・メモリ・プログラマ通信(UART)

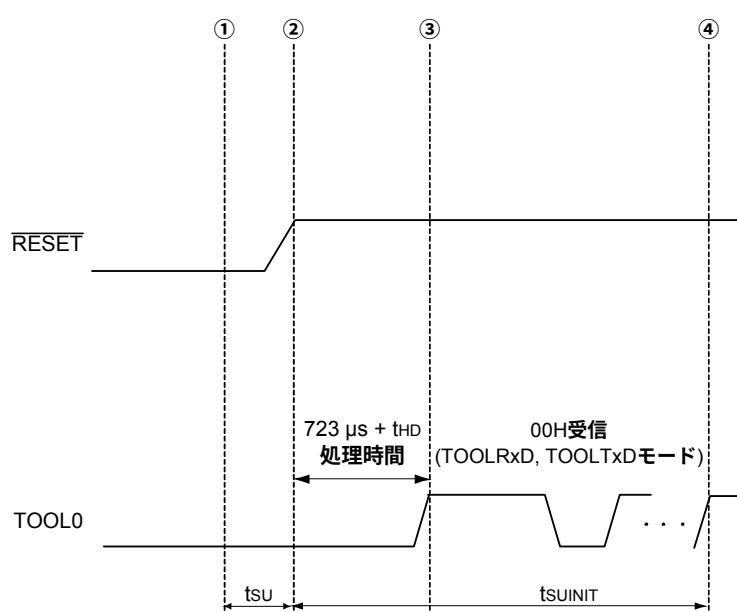
($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVD リセットは解除			100	ms
TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVD リセットは解除	10			μs
外部リセット解除から、TOOL0 端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVD リセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から 100 ms 以内に初期設定通信を完了してください。

tsu: TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0 端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第35章 電気的特性 (G: TA = -40 ~ +105 °C)

この章では、G：産業用途 (TA = -40 ~ +105 °C) の電気的特性を示します。

注意1. RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. EVDD0, EVDD1, EVSS0, EVSS1 端子がない製品は、EVDD0 と EVDD1 を VDD に、EVSS0 と EVSS1 を VSS に置き換えてください。

注意3. 製品により搭載している端子が異なります。2.1 ポート機能 ~ 2.2.1 製品別の搭載機能を参照してください。

“G：産業用途 (TA = -40 ~ +105 °C)” は、“A：民生用途，D：産業用途” と次に示す機能が異なります。

用途区分	A：民生用途，D：産業用途	G：産業用途
動作周囲温度	TA = -40 ~ +85 °C	TA = -40 ~ +105 °C
動作モード 動作電圧範囲	HS (高速メイン) モード： $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$ $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$ LS (低速メイン) モード： $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$ LV (低電圧メイン) モード： $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 4\text{ MHz}$	HS (高速メイン) モードのみ： $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$ $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
高速オンチップ・オシレータ・クロック精度	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ： $\pm 1.0\%$ @ TA = -20 ~ +85 °C $\pm 1.5\%$ @ TA = -40 ~ -20 °C $1.6\text{ V} \leq V_{DD} < 1.8\text{ V}$ ： $\pm 5.0\%$ @ TA = -20 ~ +85 °C $\pm 5.5\%$ @ TA = -40 ~ -20 °C	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ： $\pm 2.0\%$ @ TA = +85 ~ +105 °C $\pm 1.0\%$ @ TA = -20 ~ +85 °C $\pm 1.5\%$ @ TA = -40 ~ -20 °C
シリアル・アレイ・ユニット	UART CSI: fCLK/2 (16Mbps 対応), fCLK/4 簡易 I ² C	UART CSI: fCLK/4 簡易 I ² C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード
電圧検出回路	・立ち上がり：1.67 V ~ 4.06 V (14 段階) ・立ち下がり：1.63 V ~ 3.98 V (14 段階)	・立ち上がり：2.61 V ~ 4.06 V (8 段階) ・立ち下がり：2.55 V ~ 3.98 V (8 段階)

備考 G：産業用途 (TA = -40 ~ +105 °C) の電気的特性は、“A：民生用途，D：産業用途” と異なります。詳細は、このページ以降の 35.1 ~ 35.10 を参照してください。

35.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0, EVDD1	EVDD0 = EVDD1	-0.5 ~ +6.5	V
	EVSS0, EVSS1	EVSS0 = EVSS1	-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD + 0.3 ^{注1}	V
入力電圧	Vi1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 ^{注2}	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3 ^{注2}	V
出力電圧	Vo1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 ^{注2}	V
	Vo2	P20-P27, P150-P156	-0.3 ~ VDD + 0.3 ^{注2}	V
アナログ入力電圧	VAi1	ANI16-ANI20	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREF(+) + 0.3 ^{注2, 3}	V
	VAi2	ANI0-ANI14	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREF(+) + 0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μ F) を介して VSS に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V 以下であること。

注3. A/D変換対象の端子は、AVREF(+) + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF(+): A/Dコンバータの+側基準電圧

備考3. VSSを基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P40-P47, P102, P120, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147	-100	mA
	IOH2	1端子	P20-P27, P150-P156	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	40	mA
		端子合計 170 mA	P00-P04, P40-P47, P102, P120, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147	100	mA
	IOL2	1端子	P20-P27, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度	TA	通常動作時		-40～+105 注	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			-65～+150	℃

注 TA = +85 ~ +105 °C での動作時間 : 10,000時間

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

35.2 発振回路特性

35.2.1 X1, XT1 特性

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1 クロック発振周波数 (fx) 注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD ≤ 2.7 V	1.0		16.0	
XT1 クロック発振周波数 (fxT) 注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC 特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1 クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTC レジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1 発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

35.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f _{IH}		1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85 °C 2.4 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
		-40 ~ -20 °C 2.4 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
		+85 ~ +105 °C 2.4 V ≤ VDD ≤ 5.5 V	-2.0		+2.0	%
低速オンチップ・オシレータ・クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット 0-4 および HOCODIV レジスタのビット 0-2 によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

35.3 DC特性

35.3.1 端子特性

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147 1端子	2.4 V ≤ EVDD0 ≤ 5.5 V			-3.0 ^{注2} mA
		P00-P04, P40-P47, P102, P120, P130, P140-P145 合計	4.0 V ≤ EVDD0 ≤ 5.5 V			-30.0 mA
		(デューティ ≤ 70%時 ^{注3})	2.7 V ≤ EVDD0 < 4.0 V			-10.0 mA
			2.4 V ≤ EVDD0 < 2.7 V			-5.0 mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147 合計	4.0 V ≤ EVDD0 ≤ 5.5 V			-30.0 mA
		(デューティ ≤ 70%時 ^{注3})	2.7 V ≤ EVDD0 < 4.0 V			-19.0 mA
			2.4 V ≤ EVDD0 < 2.7 V			-10.0 mA
	IOH2	全端子合計 (デューティ ≤ 70%時 ^{注3})	2.4 V ≤ EVDD0 ≤ 5.5 V			-60.0 mA
		P20-P27, P150-P156 1端子	2.4 V ≤ VDD ≤ 5.5 V			-0.1 ^{注2} mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})	2.4 V ≤ VDD ≤ 5.5 V			-1.5 mA

注1. EVDD0, EVDD1, VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

$$\text{端子合計の出力電流} = (\text{IOH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147 1端子			8.5 ^{注2}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P00-P04, P40-P47, P102, P120, P130, P140-P145 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		40.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			2.4 V ≤ EVDD0 < 2.7 V		9.0	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		40.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
			2.4 V ≤ EVDD0 < 2.7 V		20.0	mA
		全端子合計 (デューティ ≤ 70% 時 ^{注3})			80.0	mA
	IOL2	P20-P27, P150-P156 1端子			0.4 ^{注2}	mA
		全端子合計 (デューティ ≤ 70% 時 ^{注3})	2.4 V ≤ VDD ≤ 5.5 V		5.0	mA

注1. 出力端子から EVSS0, EVSS1, VSS 端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70% の条件での電流の値です。

デューティ > 70% に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を n% に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 10.0 mA の場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子当りに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	通常入力バッファ	0.8 EVDD0	EVDD0	V
	VIH2	P01, P03, P04, P10, P14-P17, P30, P31, P43, P44, P50, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2	EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0	EVDD0	V
			TTL入力バッファ 2.4 V ≤ EVDD0 < 3.3 V	1.5	EVDD0	V
	VIH3	P20-P27, P150-P156	0.7 VDD		VDD	V
	VIH4	P60-P63	0.7 EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET	0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	通常入力バッファ	0	0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P14-P17, P30, P31, P43, P44, P50, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0	0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0	0.5	V
			TTL入力バッファ 2.4 V ≤ EVDD0 < 3.3 V	0	0.32	V
	VIL3	P20-P27, P150-P156	0		0.3 VDD	V
	VIL4	P60-P63	0		0.3 EVDD0	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET	0		0.2 VDD	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時でも VIH の最大値 (MAX.) は EVDD0 です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 - 0.7		V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -2.0 mA	EVDD0 - 0.6		V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0 - 0.5		V
	VOH2	P20-P27, P150-P156	2.4 V ≤ VDD ≤ 5.5 V, IOH2 = -100 μA	VDD - 0.5		V
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 8.5 mA		0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 3.0 mA		0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 1.5 mA		0.4	V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.6 mA		0.4	V
	VOL2	P20-P27, P150-P156	2.4 V ≤ VDD ≤ 5.5 V, IOL2 = 400 μA		0.4	V
	VOL3	P60-P63	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA		2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA		0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA		0.4	V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA		0.4	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144 は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	ILI1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVDD0		1	μA
	ILI2	P20-P27, P137, P150-P156, RESET	VI = VDD		1	μA
	ILI3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VDD	入力ポート時, 外部クロック入力時	1	μA
				発振子接続時	10	μA
ロウ・レベル 入力リーク電流	ILIL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVSS0		-1	μA
	ILIL2	P20-P27, P137, P150-P156, RESET	VI = VSS		-1	μA
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VSS	入力ポート時, 外部クロック入力時	-1	μA
				発振子接続時	-10	μA
内蔵プルアップ抵抗	RU	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVSS0, 入力ポート時		10 20 100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

35.3.2 電源電流特性

(1) 30~64ピン製品のフラッシュ ROM16~64 KBの製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン) モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V	2.4		mA
						VDD = 3.0 V	2.4		
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V	2.1		
						VDD = 3.0 V	2.1		
		HS (高速メイン) モード ^{注5}	HS (高速メイン) モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V	5.2	9.3	mA
						VDD = 3.0 V	5.2	9.3	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V	4.8	8.7	
						VDD = 3.0 V	4.8	8.7	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V	4.1	7.3	
						VDD = 3.0 V	4.1	7.3	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V	3.8	6.7	
						VDD = 3.0 V	3.8	6.7	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注3}	通常動作	VDD = 5.0 V	2.8	4.9	
						VDD = 3.0 V	2.8	4.9	
		HS (高速メイン) モード ^{注5}	HS (高速メイン) モード ^{注5}	fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力 発振子接続	3.3 3.5	5.7 5.8	mA
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力 発振子接続	3.3 3.5	5.7 5.8	
				fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力 発振子接続	2.0 2.1	3.4 3.5	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力 発振子接続	2.0 2.1	3.4 3.5	
		サブシステム・クロック 動作	サブシステム・クロック 動作	fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力 発振子接続	4.7 4.7	6.1 6.1	μA
				fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力 発振子接続	4.7 4.7	6.1 6.1	
				fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力 発振子接続	4.8 4.8	6.7 6.7	
				fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力 発振子接続	4.8 4.8	7.5 7.5	
				fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力 発振子接続	5.4 5.4	8.9 8.9	
				fSUB = 32.768 kHz ^{注4} TA = +105 °C	通常動作	方形波入力 発振子接続	7.2 7.3	21.0 21.1	

(注, 備考は次ページにあります。)

- 注1. V_{DD} , EV_{DD0} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} または V_{SS} , EV_{SS0} に固定した状態での入力リーク電流を含みます。また MAX. 値には周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注3. 高速システム・クロック、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
- 注5. 動作電圧範囲, CPU 動作周波数, 動作モードの関係を次に示します。
- HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数 (X1 クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大 64 MHz)

備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大 32 MHz)

備考4. f_{SUB} : サブシステム・クロック周波数 (XT1 クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外の TYP. 値の温度条件は, $T_A = 25\text{ }^{\circ}\text{C}$ です。

(1) 30~64ピン製品のフラッシュ ROM16~64 KBの製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	IDD2 ^{注2}	HALT モード	HS (高速メイン)モード ^{注7}	fHOCO = 64 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.80	4.36	mA		
					VDD = 3.0 V		0.80	4.36			
				fHOCO = 32 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.54	3.67			
					VDD = 3.0 V		0.54	3.67			
				fHOCO = 48 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.62	3.42			
					VDD = 3.0 V		0.62	3.42			
				fHOCO = 24 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.44	2.85			
					VDD = 3.0 V		0.44	2.85			
				fHOCO = 16 MHz, fIH = 16 MHz ^{注4}	VDD = 5.0 V		0.40	2.08			
					VDD = 3.0 V		0.40	2.08			
				HS (高速メイン)モード ^{注7}	fMX = 20 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.28		2.45	mA
						発振子接続		0.49		2.57	
					fMX = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力		0.28		2.45	
						発振子接続		0.49		2.57	
			fMX = 10 MHz ^{注3} , VDD = 5.0 V		方形波入力		0.19	1.28			
					発振子接続		0.30	1.36			
			fMX = 10 MHz ^{注3} , VDD = 3.0 V		方形波入力		0.19	1.28			
					発振子接続		0.30	1.36			
			サブシステム・クロック動作		fSUB = 32.768 kHz ^{注5} TA = -40 °C	方形波入力		0.25	0.57	μA	
						発振子接続		0.44	0.76		
					fSUB = 32.768 kHz ^{注5} TA = +25 °C	方形波入力		0.30	0.57		
						発振子接続		0.49	0.76		
				fSUB = 32.768 kHz ^{注5} TA = +50 °C	方形波入力		0.36	1.17			
					発振子接続		0.59	1.36			
				fSUB = 32.768 kHz ^{注5} TA = +70 °C	方形波入力		0.49	1.97			
					発振子接続		0.72	2.16			
	fSUB = 32.768 kHz ^{注5} TA = +85 °C	方形波入力			0.97	3.37					
		発振子接続			1.16	3.56					
		fSUB = 32.768 kHz ^{注5} TA = +105 °C	方形波入力		3.20	17.10					
			発振子接続		3.40	17.50					
	IDD3 ^{注6}	STOP モード ^{注8}	TA = -40 °C					0.18	0.51	μA	
			TA = +25 °C					0.24	0.51		
TA = +50 °C					0.29	1.10					
TA = +70 °C					0.41	1.90					
TA = +85 °C					0.90	3.30					
TA = +105 °C					3.10	17.00					

(注, 備考は次ページにあります。)

- 注1. V_{DD} , EV_{DD0} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} または V_{SS} , EV_{SS0} に固定した状態での入力リーク電流を含みます。また MAX. 値には周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでの HALT 命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
 $RTCLPC = 1$ 、かつ超低消費発振 ($AMPHS1 = 1$) 設定時。RTC に流れる電流は含みます。ただし、12 ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注6. RTC、12 ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注7. 動作電圧範囲、CPU 動作周波数、動作モードの関係を次に示します。
 HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
- 注8. STOP モード時にサブシステム・クロックを動作させる場合の電流値は、HALT モード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. f_{MX} : 高速システム・クロック周波数 ($X1$ クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大 64 MHz)

備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大 32 MHz)

備考4. f_{SUB} : サブシステム・クロック周波数 ($XT1$ クロック発振周波数)

備考5. 「サブシステム・クロック動作」、「STOP モード」以外の TYP. 値の温度条件は、 $T_A = 25\text{ }^{\circ}\text{C}$ です。

(2) 30 ~ 100 ピン製品のフラッシュ ROM96 ~ 256 KB の製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.6	mA
						VDD = 3.0 V		2.6	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.3	
						VDD = 3.0 V		2.3	
			HS (高速メイン)モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.8	mA
						VDD = 3.0 V		5.8	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.4	
						VDD = 3.0 V		5.4	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.5	
						VDD = 3.0 V		4.5	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.2	
						VDD = 3.0 V		4.2	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注3}	通常動作	VDD = 5.0 V		3.1	mA
						VDD = 3.0 V		3.1	
		HS (高速メイン)モード ^{注5}	fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		3.7	6.6	mA
					発振子接続		3.9	6.7	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		3.7	
					発振子接続		3.9	6.7	
			fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		2.2	3.9	
					発振子接続		2.3	4.0	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		2.2	
					発振子接続		2.3	4.0	
		サブシステム・クロック動作	fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力		5.0	7.1	μA
					発振子接続		5.0	7.1	
			fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力		5.0	7.1	
					発振子接続		5.0	7.1	
			fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力		5.1	8.8	
					発振子接続		5.1	8.8	
			fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力		5.5	10.5	
					発振子接続		5.5	10.5	
			fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力		6.5	14.5	
					発振子接続		6.5	14.5	
			fSUB = 32.768 kHz ^{注4} TA = +105 °C	通常動作	方形波入力		13.0	58.0	
					発振子接続		13.0	58.0	

(注、備考は次ページにあります。)

- 注1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。またMAX. 値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注3. 高速システム・クロック、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC, 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)
- 備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)
- 備考4. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, $T_A = 25\text{ }^{\circ}\text{C}$ です。

(2) 30 ~ 100 ピン製品のフラッシュ ROM96 ~ 256 KB の製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD2 ^{注2}	HALT モード	HS (高速メイン) モード ^{注7}	fHOCO = 64 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.88	4.86	mA
					VDD = 3.0 V		0.88	4.86	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.62	4.17	
					VDD = 3.0 V		0.62	4.17	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.68	3.82	
					VDD = 3.0 V		0.68	3.82	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.50	3.25	
					VDD = 3.0 V		0.50	3.25	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注4}	VDD = 5.0 V		0.44	2.28	
					VDD = 3.0 V		0.44	2.28	
			HS (高速メイン) モード ^{注7}	fMX = 20 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.37	2.65	mA
					発振子接続		0.50	2.77	
				fMX = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力		0.37	2.65	
					発振子接続		0.50	2.77	
				fMX = 10 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.21	1.36	
					発振子接続		0.30	1.46	
				fMX = 10 MHz ^{注3} , VDD = 3.0 V	方形波入力		0.21	1.36	
					発振子接続		0.30	1.46	
			サブシステム・クロック動作	fSUB = 32.768 kHz ^{注5} TA = -40 °C	方形波入力		0.28	0.66	μA
					発振子接続		0.47	0.85	
				fSUB = 32.768 kHz ^{注5} TA = +25 °C	方形波入力		0.34	0.66	
					発振子接続		0.53	0.85	
				fSUB = 32.768 kHz ^{注5} TA = +50 °C	方形波入力		0.37	2.35	
					発振子接続		0.56	2.54	
				fSUB = 32.768 kHz ^{注5} TA = +70 °C	方形波入力		0.61	4.08	
					発振子接続		0.80	4.27	
				fSUB = 32.768 kHz ^{注5} TA = +85 °C	方形波入力		1.55	8.09	
					発振子接続		1.74	8.28	
				fSUB = 32.768 kHz ^{注5} TA = +105 °C	方形波入力		6.00	51.00	
					発振子接続		6.00	51.00	
	IDD3 ^{注6}	STOP モード ^{注8}	TA = -40 °C				0.19	0.57	μA
			TA = +25 °C				0.25	0.57	
			TA = +50 °C				0.33	2.26	
			TA = +70 °C				0.52	3.99	
			TA = +85 °C				1.46	8.00	
			TA = +105 °C				5.50	50.00	

(注, 備考は次ページにあります。)

- 注1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。またMAX. 値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
 $RTCLPC = 1$, かつ超低消費発振 ($AMPHS1 = 1$) 設定時。RTCに流れる電流を含みます。ただし、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注6. RTC, 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注7. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
 HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- 注8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. f_{MX} : 高速システム・クロック周波数 ($\times 1$ クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)
- 備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)
- 備考4. f_{SUB} : サブシステム・クロック周波数 ($\times T1$ クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は、 $T_A = 25\text{ }^{\circ}\text{C}$ です。

(3) 周辺機能 (全製品共通)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL 注1				0.20		μA
RTC動作電流	IRTC 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	IIT 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT 注1, 2, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC 注1, 6	最高速変換時	標準モード, AVREFP = VDD = 5.0 V		1.3	1.7	mA
			低電圧モード, AVREFP = VDD = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	IADREF 注1				75.0		μA
温度センサ動作電流	ITMPS 注1				75.0		μA
D/Aコンバータ動作電流	IDAC 注1, 11, 13	1チャンネル当たり				1.5	mA
コンパレータ動作電流	ICMP 注1, 12, 13	VDD = 5.0 V, レギュレータ出力電圧 = 2.1 V	ウィンドウモード		12.5		μA
			コンパレータ高速モード		6.5		μA
			コンパレータ低速モード		1.7		μA
		VDD = 5.0 V, レギュレータ出力電圧 = 1.8 V	ウィンドウモード		8.0		μA
			コンパレータ高速モード		4.0		μA
			コンパレータ低速モード		1.3		μA
LVD動作電流	ILVD 注1, 7				0.08		μA
セルフ・プログラミング動作電流	IFSP 注1, 9				2.50	12.20	mA
BGO電流	IBGO 注1, 8				2.50	12.20	mA
SNOOZE動作電流	ISNOZ 注1	ADC動作	モード遷移中注10		0.50	1.10	mA
			変換動作中, 低電圧モード, AVREFP = VDD = 3.0 V		1.20	2.04	
		CSI/UART動作			0.70	1.54	
		データトランスファコントローラ動作			3.10		

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。

注3. リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, IDD1またはIDD2にIRTCを加算した値が, RL78マイクログルコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

注4. 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, IDD1またはIDD2にIITを加算した値が, RL78マイクログルコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。

- 注5. ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。
ウォッチドッグ・タイマの動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注6. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モードでの A/D コンバータの動作時は I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注7. LVD 回路にのみ流れる電流です。LVD 回路の動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVD} を加算した値が RL78 マイクロコントローラの電流値となります。
- 注8. データ・フラッシュ書き換え時に流れる電流です。
- 注9. セルフ・プログラミング時に流れる電流です。
- 注10. SNOOZE モードへの移行時間は、23.3.3 SNOOZE モードを参照してください。
- 注11. D/A コンバータにのみ流れる電流です。動作モードまたは HALT モードでの D/A コンバータの動作時は、 I_{DD1} または I_{DD2} に I_{DAC} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{CMP} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注13. コンパレータおよび D/A コンバータはコード・フラッシュ・メモリが 96 KB 以上の製品に搭載されます。

- 備考 1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- 備考 2. f_{SUB} : サブシステム・クロック周波数 (XT1 クロック発振周波数)
- 備考 3. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
- 備考 4. TYP. 値の温度条件は、 $T_A = 25\text{ }^{\circ}\text{C}$ です。

35.4 AC特性

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	TCY	メイン・システム・ クロック (fMAIN) 動作	HS (高速メイン)	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.03125		1	μs
			モード	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.0625		1	μs
		サブシステム・クロック (fSUB) 動作		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	28.5	30.5	31.3	μs
		セルフ・プログラミ ング時	HS (高速メイン) モード	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.03125		1	μs
				$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.0625		1	μs
外部システム・ クロック周波数	fEX	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			1.0		20.0	MHz
		$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$			1.0		16.0	MHz
	fEXS				32		35	kHz
外部システム・ クロック入力 ハイ, ロウ・ レベル幅	tEXH,	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			24			ns
	tEXL	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$			30			ns
	tEXHS,				13.7			μs
	tEXLS							
TI00-TI03, TI10-TI13 入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL				$1/f_{MCK} +$ 10注			ns
タイマRJ入力 サイクル	tc	TRJIO	$2.7\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$		100			ns
			$2.4\text{ V} \leq EV_{DD0} < 2.7\text{ V}$		300			ns
タイマRJ入力 ハイ・レベル幅, ロウ・レベル幅	tTJIH,	TRJIO	$2.7\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$		40			ns
	tTJIL		$2.4\text{ V} \leq EV_{DD0} < 2.7\text{ V}$		120			ns

注 EVDD0 < VDD となる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 ≤ 2.7 V : MIN. 125 ns

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号 (m = 0, 1),

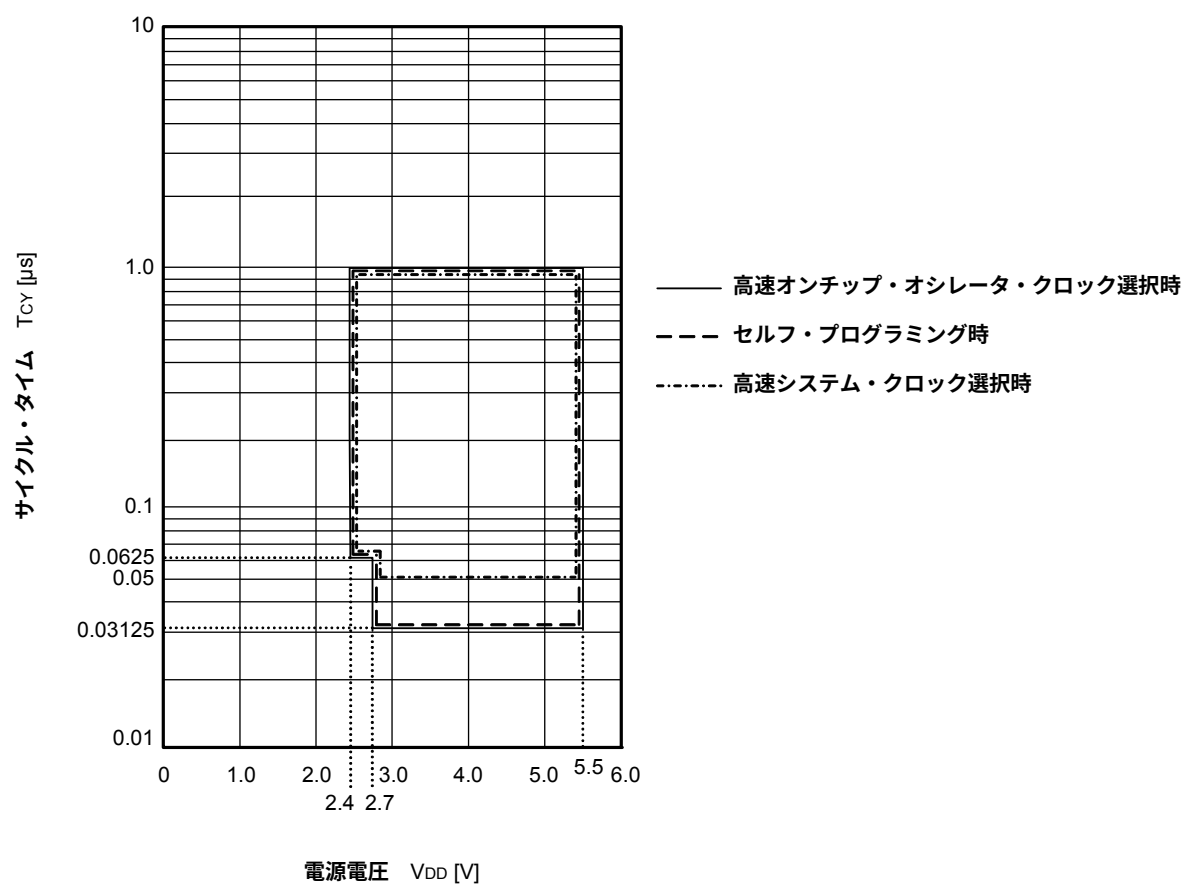
n : チャネル番号 (n = 0-3))

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

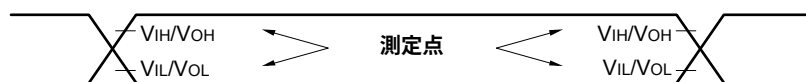
(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
タイマRD入力ハイ・レベル幅, ロウ・レベル幅	tTDIH, tTDIL	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/fCLK			ns
タイマRD強制遮断信号入力 ロウ・レベル幅	tTDSIL	P130/INTP0	2MHz < fCLK ≤ 32 MHz	1			μs
			fCLK ≤ 2 MHz	1/fCLK + 1			
タイマRG入力ハイ・レベル幅, ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB		2.5/fCLK			ns
TO00-TO03, TO10-TO13, TRJIO0, TRJO0, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRGIOA, TRGIOB 出力周波数	fTO	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			2.4 V ≤ EVDD0 < 2.7 V			4	MHz
PCLBUZ0, PCLBUZ1 出力周波数	fPCL	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			2.4 V ≤ EVDD0 < 2.7 V			4	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0	2.4 V ≤ VDD ≤ 5.5 V	1			μs
		INTP1-INTP11	2.4 V ≤ EVDD0 ≤ 5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	tKR	KR0-KR7	2.4 V ≤ EVDD0 ≤ 5.5 V	250			ns
RESETロウ・レベル幅	tRSL			10			μs

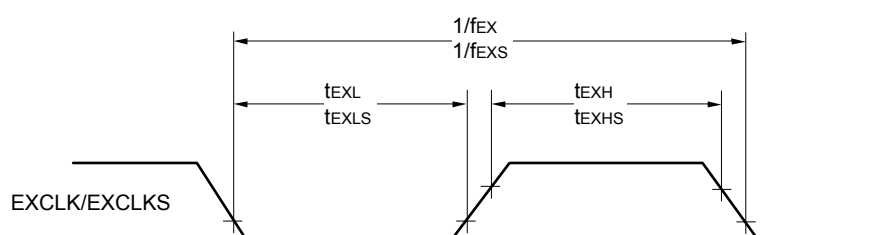
メイン・システム・クロック動作時の最小命令実行時間

T_{CY} vs V_{DD} (HS (高速メイン)モード)

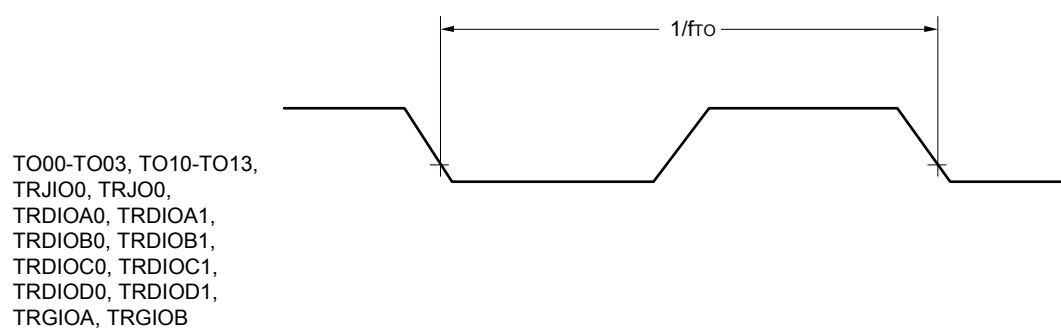
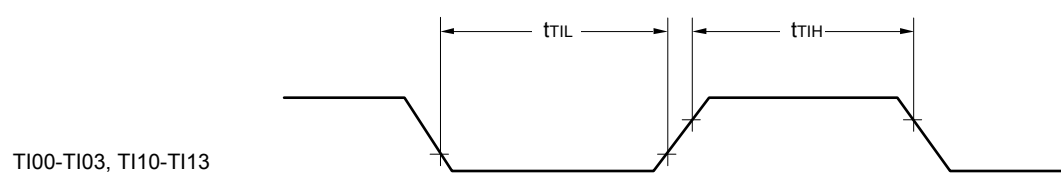
AC タイミング測定点

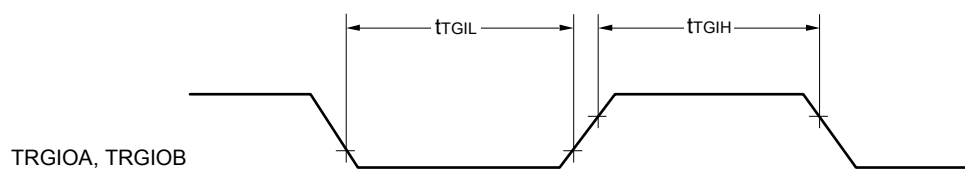
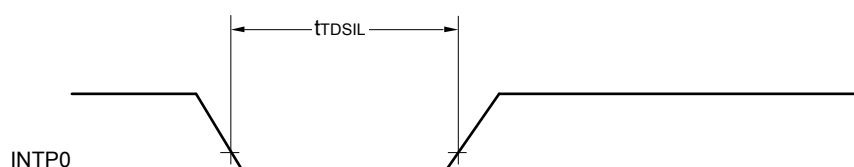
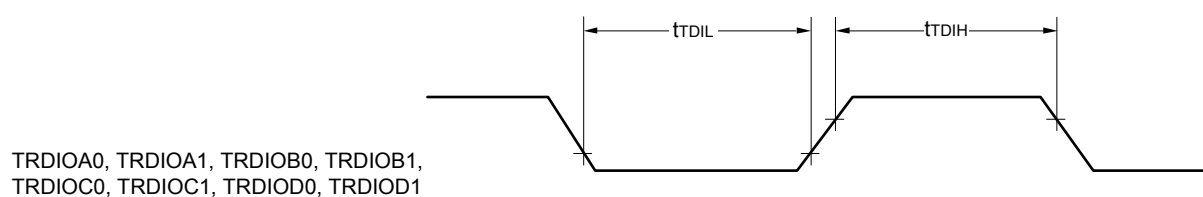
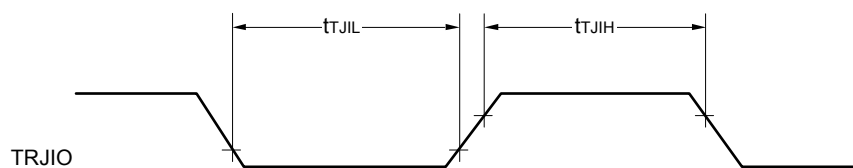


外部システム・クロック・タイミング

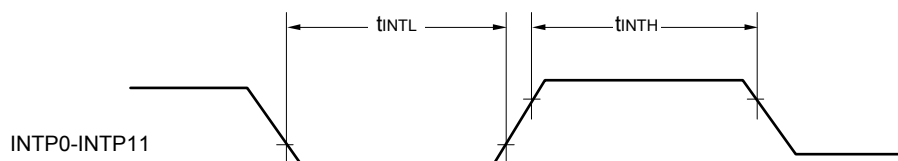


TI/TO タイミング

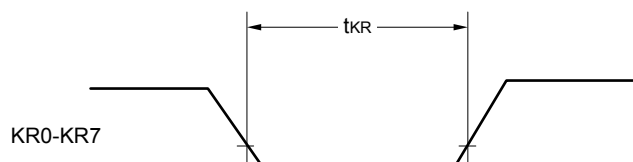
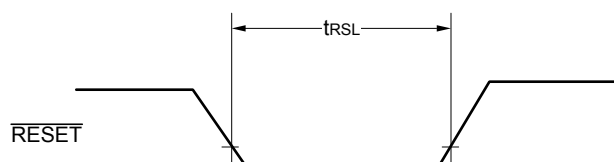




割り込み要求入力タイミング

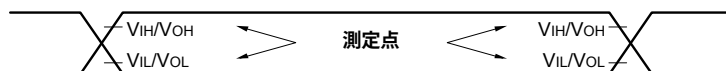


キー割り込み入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

35.5 周辺機能特性

AC タイミング測定点



35.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UART モード)

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート ^{注1}		$2.4\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		$f_{\text{MCK}}/12$ ^{注2}	bps
		最大転送レート理論値 $f_{\text{MCK}} = f_{\text{CLK}}$ ^{注3}		2.6	Mbps

注1. SNOOZE モードでの転送レートは、4800 bps のみとなります。

ただし $\text{FRQSEL4} = 1$ の時は SNOOZE モードは使用できません。

注2. $\text{EVDD0} < \text{VDD}$ となる低電圧インタフェース時は、次の条件も必要になります。

$2.4\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$: MAX. 1.3 Mbps

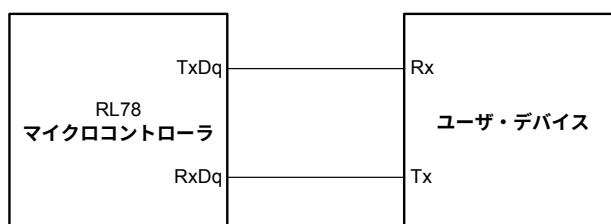
注3. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン)モード : 32 MHz ($2.7\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$)

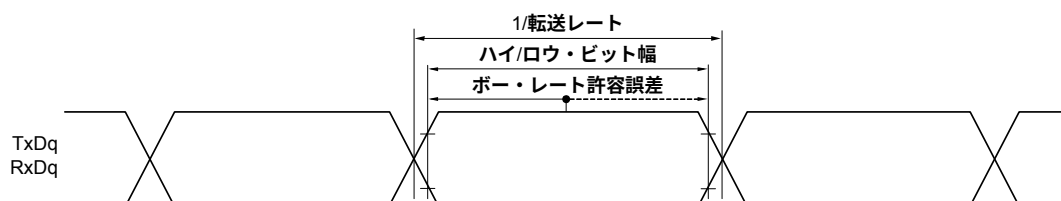
16 MHz ($2.4\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、 RxDq 端子は通常入力バッファを選択し、 TxDq 端子は通常出力モードを選択します。

UART モード接続図(同電位通信時)



UART モードのビット幅(同電位通信時)(参考)



備考1. q : UART 番号 ($q = 0-3$), g : PIM, POM 番号 ($g = 0, 1, 5, 14$)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 ($mn = 00-03, 10-13$))

(2) 同電位通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 4/f _{CLK}	250		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	500		ns
SCKp ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V ≤ EVDD0 ≤ 5.5 V	t _{KCY1} /2 - 24		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	t _{KCY1} /2 - 36		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	t _{KCY1} /2 - 76		ns
Slp セットアップ時間 (対 SCKp ↑) 注1	t _{SIK1}	4.0 V ≤ EVDD0 ≤ 5.5 V	66		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	66		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	113		ns
Slp ホールド時間 (対 SCKp ↑) 注1	t _{SI1}		38		ns
SCKp ↓ → SOp 出力遅延時間注2	t _{KSO1}	C = 30 pF 注3		50	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注3. C は, SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3),
g : PIM, POM 番号 (g = 0, 1, 3-5, 14)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKS_{mn} ビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00-03, 10-13))

(3) 同電位通信時(CSIモード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKp サイクル・タイム ^{注4}	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V	20 MHz < fMCK	16/fMCK		ns
			fMCK ≤ 20 MHz	12/fMCK		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	16 MHz < fMCK	16/fMCK		ns
			fMCK ≤ 16 MHz	12/fMCK		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		12/fMCK かつ 1000		ns
SCKp ハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 14		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 16		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 36		ns
Slp セットアップ時間 (対 SCKp ↑) ^{注1}	tsIK2	2.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 40		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 60		ns
Slp ホールド時間 (対 SCKp ↑) ^{注1}	tkSI2			1/fMCK + 62		ns
SCKp ↓ → SOp 出力遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 66	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 113	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注3. Cは, SOp 出力ラインの負荷容量です。

注4. SNOOZE モードでの転送レートは, MAX. 1 Mbps です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3),
g : PIM, POM 番号 (g = 0, 1, 3-5, 14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00-03, 10-13))

(3) 同電位通信時(CSIモード)(スレーブ・モード, SCKp... 外部クロック入力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

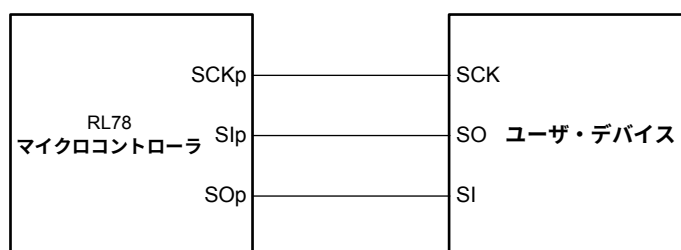
(2/2)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SSI00 セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	240	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	400	ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 240	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400	ns
SSI00 ホールド時間	tKSSI	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 240	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400	ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	240	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	400	ns

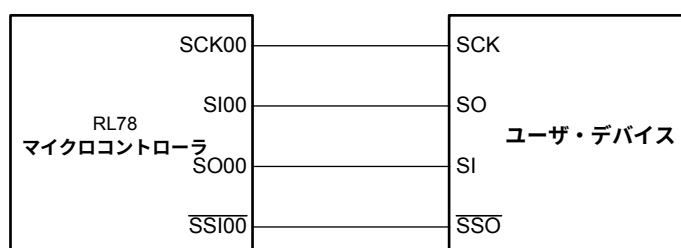
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考 p : CSI番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0),
g : PIM, POM番号 (g = 3, 5)

CSIモード接続図(同電位通信時)



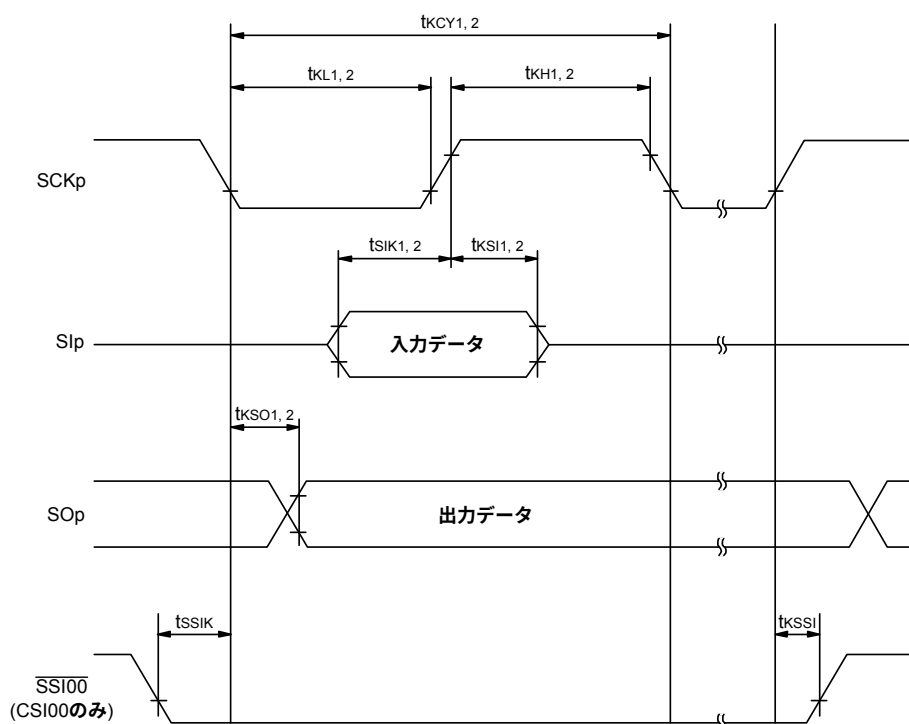
CSIモード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



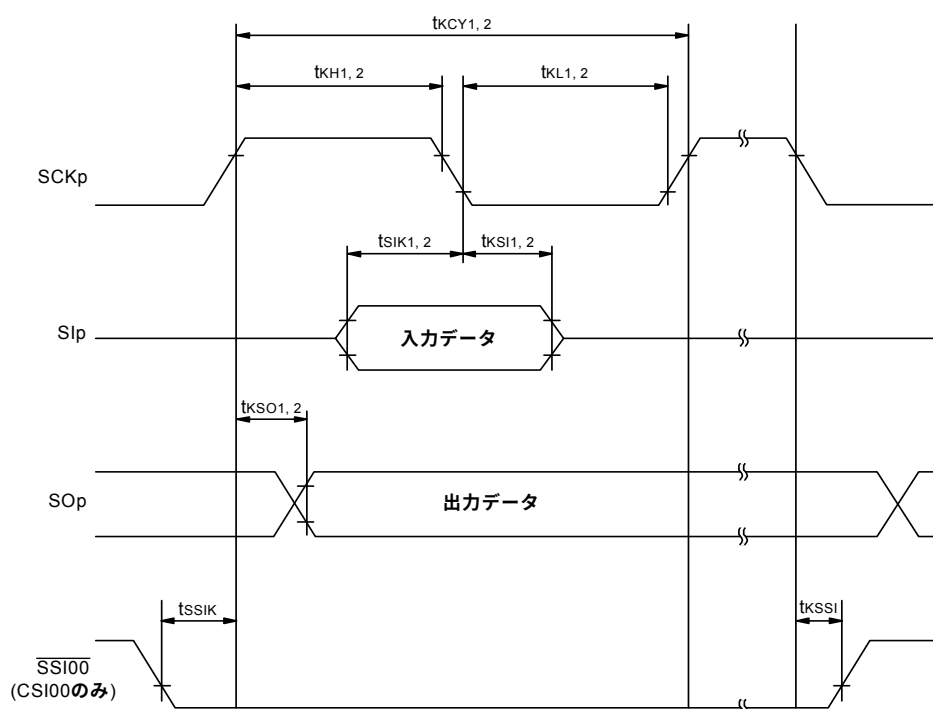
備考 1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

備考 2. m : ユニット番号, n : チャネル番号 (mn = 00-03, 10-13)

CSIモード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p: CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

備考2. m: ユニット番号, n: チャネル番号 (mn = 00-03, 10-13)

(4) 同電位通信時(簡易 I²C モード)

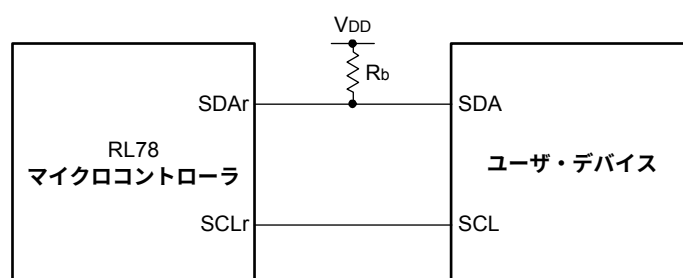
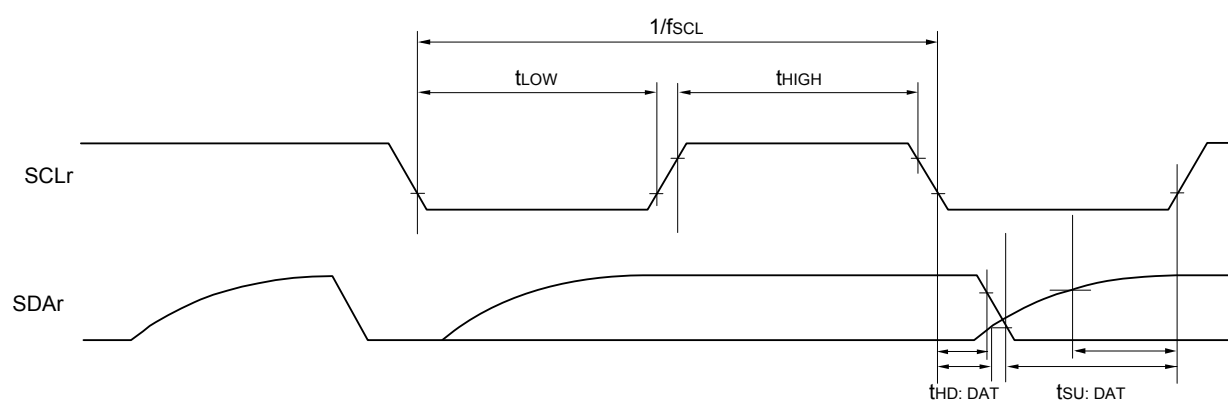
(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		400 注1	kHz
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		100 注1	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
データ・セットアップ時間(受信時)	t _{SU: DAT}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f _{MCK} + 220 注2		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/f _{MCK} + 580 注2		ns
データ・ホールド時間(送信時)	t _{HD: DAT}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	770	ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	1420	ns

注1. かつ f_{MCK}/4 以下に設定してください。注2. f_{MCK} 値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ h (POMh) で、SDAr は通常入力バッファ、N-ch オープン・ドレイン出力 (V_{DD} 耐圧 (30 ~ 52 ピン製品の場合) / EV_{DD} 耐圧 (64 ~ 100 ピン製品の場合) モードを選択し、SCLr は通常出力モードを選択します。

(備考は次ページにあります。)

簡易 I²C モード接続図 (同電位通信時)簡易 I²C モード・シリアル転送タイミング (同電位通信時)

備考 1. R_b [Ω]: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値

備考 2. r : IIC 番号 ($r = 00, 01, 10, 11, 20, 21, 30, 31$), g : PIM 番号 ($g = 0, 1, 3-5, 14$),

h : POM 番号 ($h = 0, 1, 3-5, 7, 14$)

備考 3. f_{MCK} : シリアル・アレィ・ユニットの動作クロック周波数

(SMR_{mn} レジスタの CKS_{mn} ビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0-3$), $mn = 00-03, 10-13$)

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UART モード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート		受信	4.0 V ≦ EV _{DD0} ≦ 5.5 V, 2.7 V ≦ V _b ≦ 4.0 V		f _{MCK} /12注1	bps
			最大転送レート理論値 f _{MCK} = f _{CLK} 注3		2.6	Mbps
			2.7 V ≦ EV _{DD0} < 4.0 V, 2.3 V ≦ V _b ≦ 2.7 V		f _{MCK} /12注1	bps
			最大転送レート理論値 f _{MCK} = f _{CLK} 注3		2.6	Mbps
			2.4 V ≦ EV _{DD0} < 3.3 V, 1.6 V ≦ V _b ≦ 2.0 V		f _{MCK} /12 注1, 2	bps
			最大転送レート理論値 f _{MCK} = f _{CLK} 注3		2.6	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V: MAX. 1.3 Mbps

注3. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード: 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (VDD耐圧 (30 ~ 52ピン製品の場合) / EVDD耐圧 (64 ~ 100ピン製品の場合) モード) を選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号 (q = 0-3), g: PIM, POM番号 (g = 0, 1, 5, 14)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号 (mn = 00-03, 10-13))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0) のビット1 (PIOR01) が1のとき、UART2の異電位通信は使用できません。

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UART モード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート		送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V	2.6注2	Mbps
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V	1.2注4	Mbps
			2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	注5	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V	0.43注6	Mbps

注1. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. $f_{MCK}/12$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.4 V $\leq$ EVDD0 < 3.3 V, 1.6 V $\leq$ Vb $\leq$ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

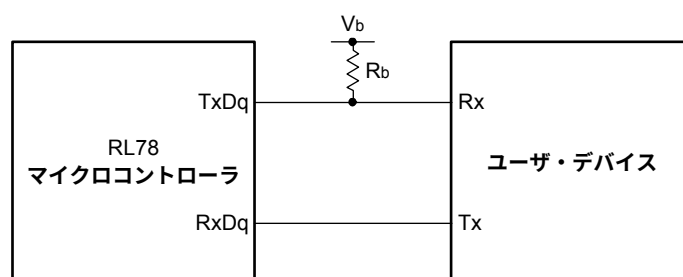
※ この値は送信側と受信側の相対差の理論値となります。

注6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

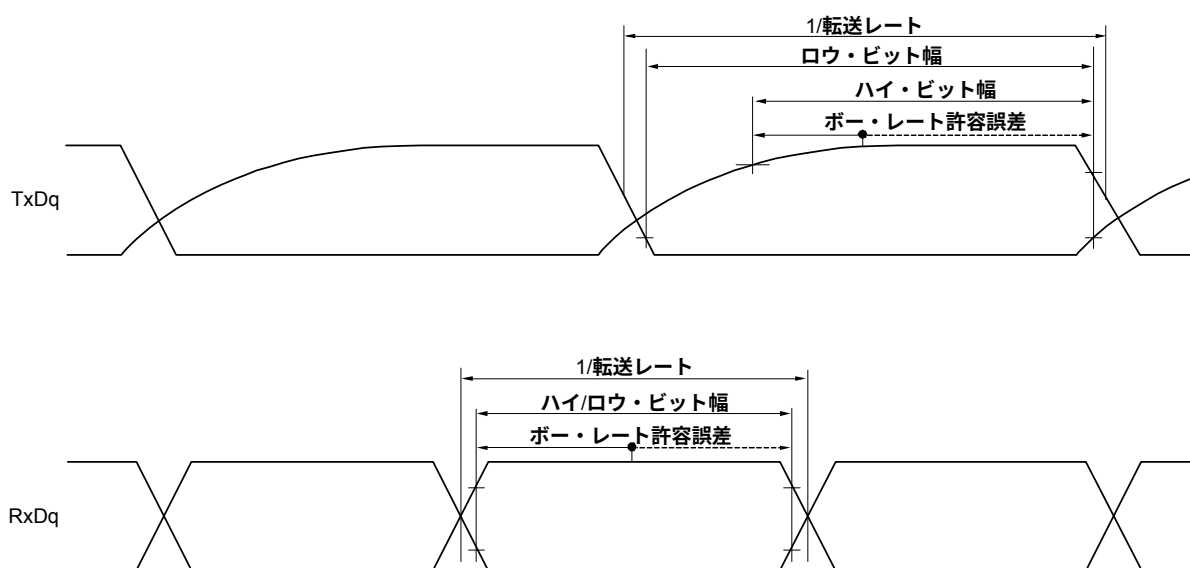
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モード)を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

UART モード接続図(異電位通信時)



UART モードのビット幅(異電位通信時)(参考)



備考 1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考 2. q: UART 番号 (q = 0-3), g: PIM, POM 番号 (g = 0, 1, 5, 14)

備考 3. f_{MCK} : シリアル・アレィ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSMnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号 (mn = 00-03, 10-13))

備考 4. 周辺 I/O リダイレクション・レジスタ 0 (PIOR0)のビット 1 (PIOR01)が1のとき, UART2の異電位通信は使用できません。

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSI モード) (マスタ・モード, SCKp... 内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/3)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	600		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	1000		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	2300		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 150		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 340		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 916		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 24		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 36		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 100		ns

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSI モード) (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/3)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slp セットアップ時間 (対 SCKp ↑) 注	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	162		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	354		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	958		ns
Slp ホールド時間 (対 SCKp ↑) 注	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↓ → SOp 出力遅延時間 注	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		200	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		390	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		966	ns

注 DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSI モード) (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/3)

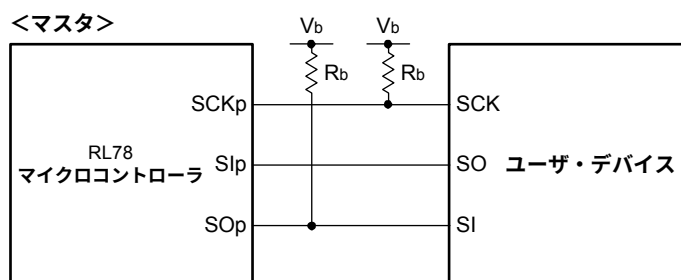
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slp セットアップ時間 (対 SCKp ↓) 注	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	88		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	88		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	220		ns
Slp ホールド時間 (対 SCKp ↓) 注	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↑ → SOp 出力遅延時間 注	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		50	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		50	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		50	ns

注 DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

CSIモード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SCKp, SOp)負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI番号(p = 00, 01, 10, 20, 30, 31), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),

g: PIM, POM番号(g = 0, 1, 3-5, 14)

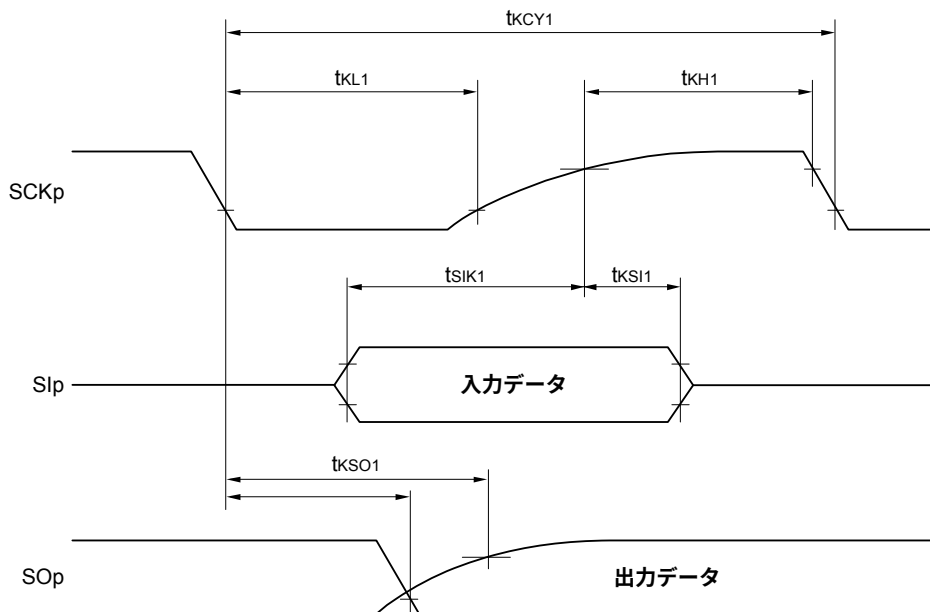
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

シリアル・モード・レジスタ mn (SMR mn)のCKS mn ビットで設定する動作クロック。m: ユニット番号,

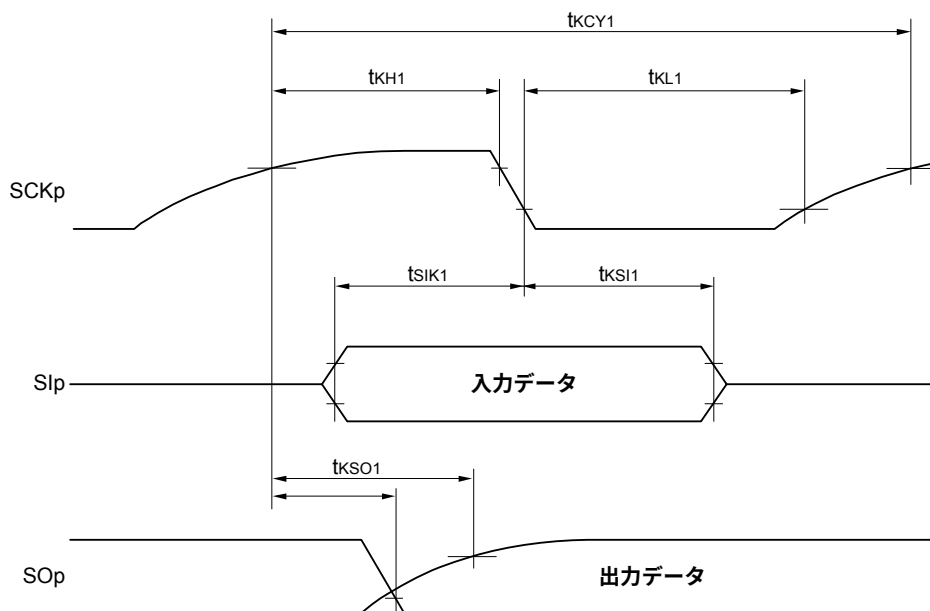
n: チャネル番号(mn = 00))

備考4. CSI11, CSI21 と, 48, 52, 64 ピン製品の CSI01 は異電位通信できません。異電位通信をする場合は, それ以外の CSI を使用してください。

CSIモード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 20, 30, 31), m : ユニット番号 (m = 0, 1),

n : チャネル番号 (n = 0-3), g : PIM, POM番号 (g = 0, 1, 3-5, 14)

備考2. CSI11, CSI21 と、48, 52, 64 ピン製品の CSI01 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSI モード) (スレープ・モード, SCKp... 外部クロック入力)

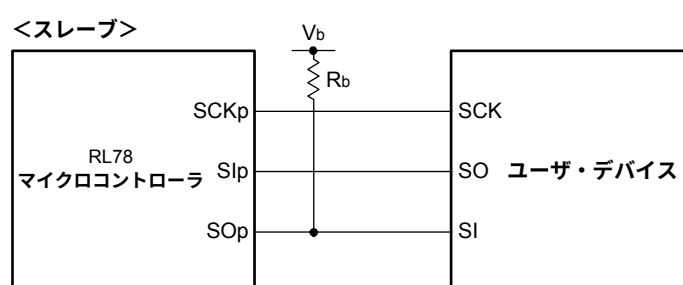
(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム ^{注1}	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	24 MHz < fMCK	28/fMCK	ns
			20 MHz < fMCK ≤ 24 MHz	24/fMCK	ns
			8 MHz < fMCK ≤ 20 MHz	20/fMCK	ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK	ns
			fMCK ≤ 4 MHz	12/fMCK	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	24 MHz < fMCK	40/fMCK	ns
			20 MHz < fMCK ≤ 24 MHz	32/fMCK	ns
			16 MHz < fMCK ≤ 20 MHz	28/fMCK	ns
			8 MHz < fMCK ≤ 16 MHz	24/fMCK	ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK	ns
			fMCK ≤ 4 MHz	12/fMCK	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	24 MHz < fMCK	96/fMCK	ns
			20 MHz < fMCK ≤ 24 MHz	72/fMCK	ns
			16 MHz < fMCK ≤ 20 MHz	64/fMCK	ns
			8 MHz < fMCK ≤ 16 MHz	52/fMCK	ns
			4 MHz < fMCK ≤ 8 MHz	32/fMCK	ns
			fMCK ≤ 4 MHz	20/fMCK	ns
SCKp ハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	tkCY2/2 - 24		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2 - 36		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	tkCY2/2 - 100		ns
Slp セットアップ時間 (対 SCKp ↑) ^{注2}	tsIK2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	1/fMCK + 40		ns
		2.7 V ≤ EVDD0 ≤ 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK + 40		ns
		2.4 V ≤ EVDD0 ≤ 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	1/fMCK + 60		ns
Slp ホールド時間 (対 SCKp ↑) ^{注2}	tkSI2		1/fMCK + 62		ns
SCKp ↓ → SOp 出力遅延時間 ^{注3}	tkSO2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK + 240	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK + 428	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rv = 5.5 kΩ		2/fMCK + 1146	ns

(注, 注意, 備考は次ページにあります。)

- 注1. SNOOZE モードでの転送レートは、MAX.: 1 Mbps
- 注2. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対SCKp ↓”となります。
- 注3. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧 (30 ~ 52 ピン製品の場合) / EV_{DD} 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

CSI モード接続図 (異電位通信時)



備考1. R_b [Ω]: 通信ライン (SOp) ブルアップ抵抗値, C_b [F]: 通信ライン (SOp) 負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI 番号 (p = 00, 01, 10, 20, 30, 31), m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-3),
g: PIM, POM 番号 (g = 0, 1, 3-5, 14)

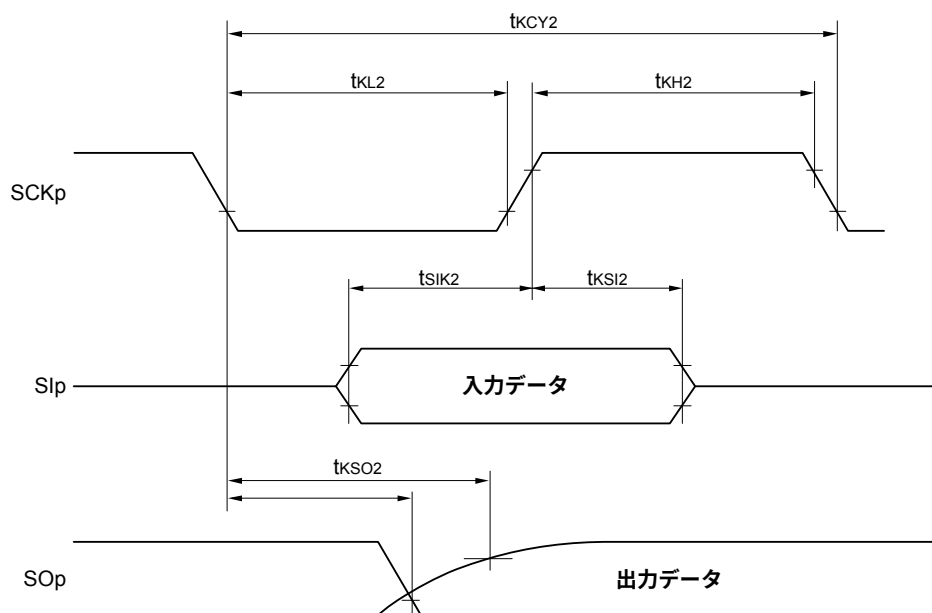
備考3. f_{MCK} : シリアル・アレ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,
n: チャンネル番号 (mn = 00, 01, 02, 10, 12, 13))

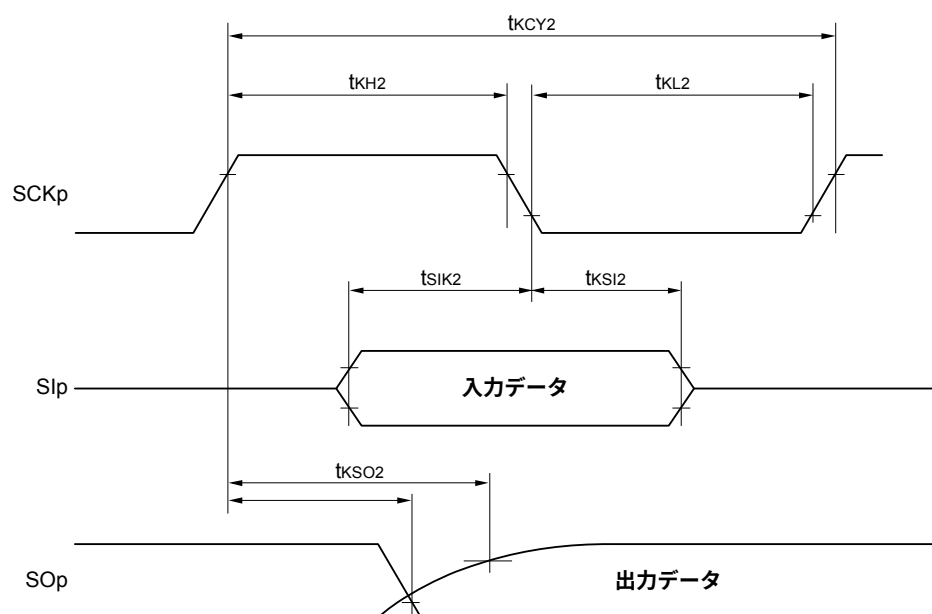
備考4. CSI11, CSI21 と, 48, 52, 64 ピン製品 CSI01 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

CSIモード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 20, 30, 31), m : ユニット番号 (m = 0, 1),

n : チャネル番号 (n = 0-3), g : PIM, POM番号 (g = 0, 1, 3-5, 14)

備考2. CSI11, CSI21 と, 48, 52, 64 ピン製品 CSI01 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(8) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易 I²C モード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		400 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		400 ^{注1}	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		100 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		100 ^{注1}	kHz
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ		100 ^{注1}	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	4600		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	4600		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ	4650		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	620		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	500		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	2700		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	2400		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ	1830		ns

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易 I²C モード) $(T_A = -40 \sim +105\text{ }^{\circ}\text{C}, 2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}, \text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V})$

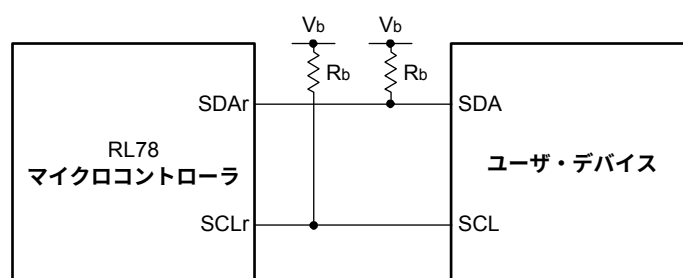
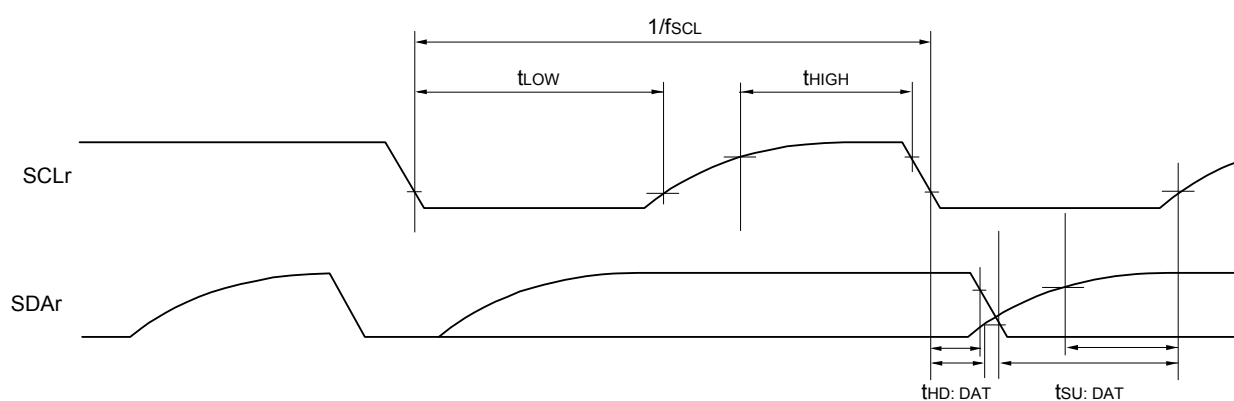
(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
データ・セットアップ時間(受信時)	tsu: DAT	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V},$ $2.7\text{ V} \leq \text{Vb} \leq 4.0\text{ V},$ $\text{Cb} = 50\text{ pF}, \text{Rb} = 2.7\text{ k}\Omega$	$1/\text{fMCK} + 340$ 注2		ns
		$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V},$ $2.3\text{ V} \leq \text{Vb} \leq 2.7\text{ V},$ $\text{Cb} = 50\text{ pF}, \text{Rb} = 2.7\text{ k}\Omega$	$1/\text{fMCK} + 340$ 注2		ns
		$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V},$ $2.7\text{ V} \leq \text{Vb} \leq 4.0\text{ V},$ $\text{Cb} = 100\text{ pF}, \text{Rb} = 2.8\text{ k}\Omega$	$1/\text{fMCK} + 760$ 注2		ns
		$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V},$ $2.3\text{ V} \leq \text{Vb} \leq 2.7\text{ V},$ $\text{Cb} = 100\text{ pF}, \text{Rb} = 2.7\text{ k}\Omega$	$1/\text{fMCK} + 760$ 注2		ns
		$2.4\text{ V} \leq \text{EVDD0} < 3.3\text{ V},$ $1.6\text{ V} \leq \text{Vb} \leq 2.0\text{ V},$ $\text{Cb} = 100\text{ pF}, \text{Rb} = 5.5\text{ k}\Omega$	$1/\text{fMCK} + 570$ 注2		ns
データ・ホールド時間(送信時)	thd: DAT	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V},$ $2.7\text{ V} \leq \text{Vb} \leq 4.0\text{ V},$ $\text{Cb} = 50\text{ pF}, \text{Rb} = 2.7\text{ k}\Omega$	0	770	ns
		$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V},$ $2.3\text{ V} \leq \text{Vb} \leq 2.7\text{ V},$ $\text{Cb} = 50\text{ pF}, \text{Rb} = 2.7\text{ k}\Omega$	0	770	ns
		$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V},$ $2.7\text{ V} \leq \text{Vb} \leq 4.0\text{ V},$ $\text{Cb} = 100\text{ pF}, \text{Rb} = 2.8\text{ k}\Omega$	0	1420	ns
		$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V},$ $2.3\text{ V} \leq \text{Vb} \leq 2.7\text{ V},$ $\text{Cb} = 100\text{ pF}, \text{Rb} = 2.7\text{ k}\Omega$	0	1420	ns
		$2.4\text{ V} \leq \text{EVDD0} < 3.3\text{ V},$ $1.6\text{ V} \leq \text{Vb} \leq 2.0\text{ V},$ $\text{Cb} = 100\text{ pF}, \text{Rb} = 5.5\text{ k}\Omega$	0	1215	ns

注1. $\text{fMCK}/4$ 以下に設定してください。注2. fMCK 値は, $\text{SCLr} = \text{"L"}$ と $\text{SCLr} = \text{"H"}$ のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力(VDD 耐圧(30~52ピン製品の場合)/ EVDD 耐圧(64~100ピン製品の場合)モードを選択し, SCLrはN-chオープン・ドレイン出力(VDD 耐圧(30~52ピン製品の場合)/ EVDD 耐圧(64~100ピン製品の場合)モードを選択します。なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易 I²C モード接続図 (異電位通信時)簡易 I²C モード・シリアル転送タイミング (異電位通信時)

備考 1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V]: 通信ライン電圧

備考 2. r : IIC 番号 ($r = 00, 01, 10, 11, 20, 30, 31$), g : PIM, POM 番号 ($g = 0, 1, 3-5, 14$)

備考 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmn レジスタの CKSmn ビットで設定する動作クロック。m: ユニット番号 ($m = 0, 1$), n: チャネル番号 ($n = 0, 2$),
mn = 00, 01, 02, 10, 12, 13)

35.5.2 シリアル・インタフェース IICA

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	HS (高速メイン) モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード：fCLK ≧ 3.5 MHz	—	—	0	400	kHz
		標準モード：fCLK ≧ 1 MHz	0	100	—	—	kHz
リスタート・コンディションのセットアップ時間	tSU: STA		4.7		0.6		μs
ホールド時間注1	tHD: STA		4.0		0.6		μs
SCLA0 = “L” のホールド・タイム	tLOW		4.7		1.3		μs
SCLA0 = “H” のホールド・タイム	tHIGH		4.0		0.6		μs
データ・セットアップ時間(受信時)	tSU: DAT		250		100		ns
データ・ホールド時間(送信時)注2	tHD: DAT		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	tSU: STO		4.0		0.6		μs
パス・フリー時間	tBUF		4.7		1.3		μs

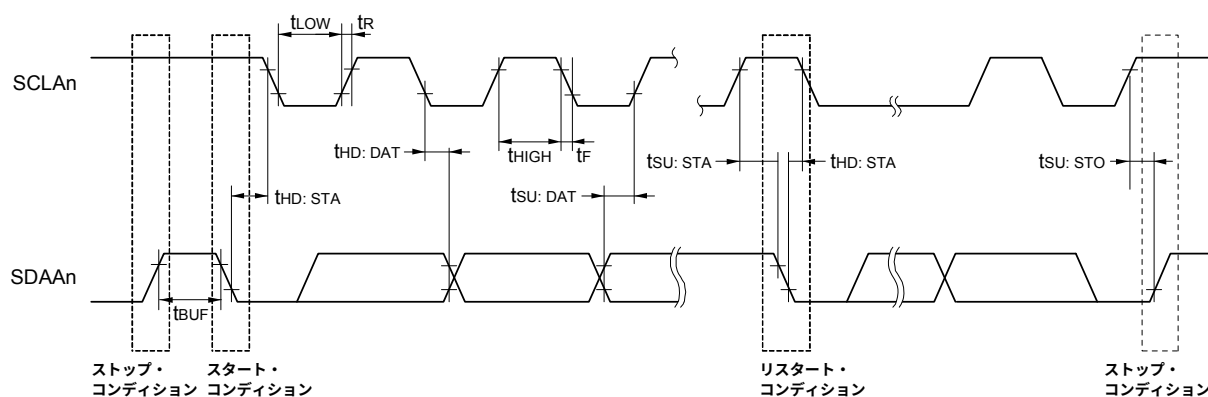
注1. スタート・コンディショニング, リスタート・コンディショニング時は, この期間のあと最初のクロック・パルスが生成されます。

注2. t_{HD: DAT} の最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, ウェイトがかかります。

注意 周辺 I/O リダイレクション・レジスタ 0 (PIOR0) のビット 2 (PIOR02) が 1 の場合も, 上記の値を適用できます。

ただし, 端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。備考 各モードにおける C_b (通信ライン容量) の MAX. 値と, そのときの R_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。標準モード: C_b = 400 pF, R_b = 2.7 kΩファースト・モード: C_b = 320 pF, R_b = 1.1 kΩ

IICA シリアル転送タイミング



備考 n = 0, 1

35.6 アナログ特性

35.6.1 A/D コンバータ特性

A/D コンバータ特性の区分

入力チャネル	基準電圧 基準電圧 (+) = AV_{REFP} 基準電圧 (-) = AV_{REFM}	基準電圧 (+) = V_{DD} 基準電圧 (-) = V_{SS}	基準電圧 (+) = V_{BGR} 基準電圧 (-) = AV_{REFM}
ANI0-ANI14	35.6.1 (1) 参照	35.6.1 (3) 参照	35.6.1 (4) 参照
ANI16-ANI20	35.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	35.6.1 (1) 参照		—

(1) 基準電圧 (+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0$, $ADREFP0 = 1$), 基準電圧 (-) = $AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
変換対象: ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$	1.2	± 3.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象: ANI2-ANI14	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875	39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17	39	μs
		10ビット分解能 変換対象: 内部基準電圧, 温度センサ出力電圧 (HS (高速メイン) モード)	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.375	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.5625	39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17	39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		± 0.25	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		± 0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		± 2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		± 1.5	LSB
アナログ入力電圧	V_{AIN}	ANI2-ANI14	0		AV_{REFP}	V
		内部基準電圧 ($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速メイン) モード)		V_{BGR} ^{注4}		V
		温度センサ出力電圧 ($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速メイン) モード)		V_{TMPS25} ^{注4}		V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注2. フルスケール値に対する比率 (%FSR) で表します。

注3. $AV_{REFP} < V_{DD}$ の場合, MAX. 値は次のようになります。

総合誤差: $AV_{REFP} = V_{DD}$ の MAX. 値に ± 1.0 LSB を加算してください。

ゼロスケール誤差/フルスケール誤差: $AV_{REFP} = V_{DD}$ の MAX. 値に ± 0.05 %FSR を加算してください。

積分直線性誤差/微分直線性誤差: $AV_{REFP} = V_{DD}$ の MAX. 値に ± 0.5 LSB を加算してください。

注4. 35.6.2 温度センサ/内部基準電圧特性を参照してください。

(2) 基準電圧(+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0$, $ADREFP0 = 1$), 基準電圧(-) = $AV_{REFM}/ANI1$ ($ADREFM = 1$)選択時,
変換対象: ANI16-ANI20

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$,

$V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧(+) = AV_{REFP} , 基準電圧(-) = $AV_{REFM} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ ^{注3, 4}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$	1.2	± 5.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象: ANI16-ANI20	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875	39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17	39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ ^{注3, 4}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		± 0.35	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ ^{注3, 4}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		± 0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ ^{注3, 4}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ ^{注3, 4}	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		± 2.0	LSB
アナログ入力電圧	VAIN	ANI16-ANI20	0		AV_{REFP} かつ EV_{DD0}	V

注1. 量子化誤差($\pm 1/2$ LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. $EV_{DD0} \leq AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差: $AV_{REFP} = V_{DD}$ のMAX.値に ± 1.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差: $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.05 %FSRを加算してください。

積分直線性誤差/微分直線性誤差: $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.5 LSBを加算してください。

注4. $AV_{REFP} < EV_{DD0} \leq V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差: $AV_{REFP} = V_{DD}$ のMAX.値に ± 4.0 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差: $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.20 %FSRを加算してください。

積分直線性誤差/微分直線性誤差: $AV_{REFP} = V_{DD}$ のMAX.値に ± 2.0 LSBを加算してください。

(3) 基準電圧(+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = V_{SS} (ADREFM = 0)選択時,

変換対象: ANI0-ANI14, ANI16-ANI20, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +105 °C, 2.4 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(+) = V_{DD},

基準電圧(-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V		1.2	±7.0	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象: ANI0-ANI14, ANI16-ANI20	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875		39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
		10ビット分解能 変換対象: 内部基準電圧, 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625		39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1,2}	E _{ZS}	10ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
フルスケール誤差 ^{注1,2}	E _{FS}	10ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
積分直線性誤差 ^{注1}	I _{LE}	10ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V			±4.0	LSB
微分直線性誤差 ^{注1}	D _{LE}	10ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V			±2.0	LSB
アナログ入力電圧	V _{AIN}	ANI0-ANI14		0		V _{DD}	V
		ANI16-ANI20		0		EV _{DD0}	V
		内部基準電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)		V _{BGR} ^{注3}			V
		温度センサ出力電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)		V _{TMPS25} ^{注3}			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 35.6.2 温度センサ／内部基準電圧特性を参照してください。

- (4) 基準電圧(+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象: ANI0, ANI2-ANI14, ANI16-ANI20

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $1.6\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$,

基準電圧(+) = V_{BGR} 注3, 基準電圧(-) = AVREFM注4 = 0 V, HS (高速メイン)モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差注1, 2	EZS	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
積分直線性誤差注1	ILE	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.0	LSB
微分直線性誤差注1	DLE	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 1.0	LSB
アナログ入力電圧	VAIN			0		V_{BGR} 注3	V

注1. 量子化誤差($\pm 1/2$ LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 35.6.2 温度センサ／内部基準電圧特性を参照してください。

注4. 基準電圧(-) = V_{SS} の場合, MAX.値は次のようになります。

ゼロスケール誤差: 基準電圧(-) = AVREFM時のMAX.値に $\pm 0.35\%$ FSRを加算してください。

積分直線性誤差: 基準電圧(-) = AVREFM時のMAX.値に ± 0.5 LSBを加算してください。

微分直線性誤差: 基準電圧(-) = AVREFM時のMAX.値に ± 0.2 LSBを加算してください。

35.6.2 温度センサ／内部基準電圧特性

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMPS25}	ADSレジスタ = 80H設定, $T_A = +25\text{ }^{\circ}\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMPS}	温度センサ電圧の温度依存		-3.6		mV/ $^{\circ}\text{C}$
動作安定待ち時間	t _{AMP}		5			μs

35.6.3 D/Aコンバータ

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4 M Ω $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.5	LSB
		Rload = 8 M Ω $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.5	LSB
セトリング・タイム	t _{SET}	Cload = 20pF $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			3	μs
		Cload = 20pF $2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$			6	μs

35.6.4 コンパレータ

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	lvref		0		$\text{EVDD0} - 1.4$	V
	lvcmp		-0.3		$\text{EVDD0} + 0.3$	V
出力遅延	td	$\text{VDD} = 3.0\text{ V}$ 入力スループレート $> 50\text{ mV}/\mu\text{s}$			1.2	μs
		コンパレータ高速モード, 基本モード				
		コンパレータ高速モード, ウィンドウモード			2.0	μs
		コンパレータ低速モード, 基本モード		3.0	5.0	μs
高電位側 リファレンス電圧	VTW+	コンパレータ高速モード, ウィンドウモード		0.76 VDD		V
低電位側 リファレンス電圧	VTW-	コンパレータ高速モード, ウィンドウモード		0.24 VDD		V
動作安定待ち時間	tCMP		100			μs
内部基準電圧 注	VBGR	$2.4\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$, HS (高速メイン) モード	1.38	1.45	1.50	V

注 サブ・クロック動作, STOPモード時は使用できません。

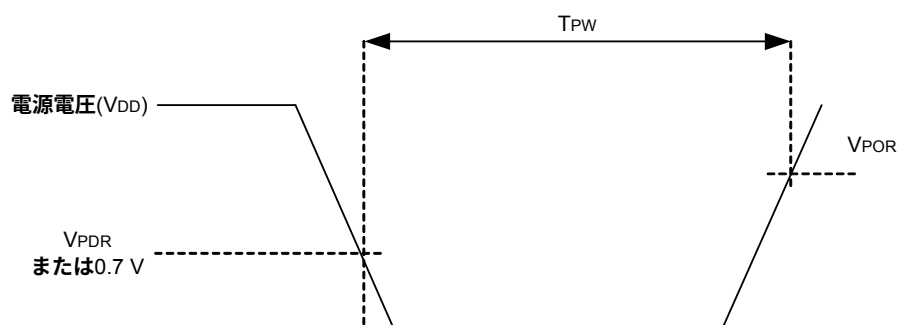
35.6.5 POR回路特性

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $\text{VSS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.45	1.51	1.57	V
	VPDR	電源立ち下がり時 ^{注1}	1.44	1.50	1.56	V
最小パルス幅 ^{注2}	TPW		300			μs

注1. ただし, LVD オフの条件で動作電圧降下時は, 35.4 AC特性に示す動作電圧範囲を下回る前に, STOPモードに移行, または電圧検出機能が外部リセット端子で, リセット状態にしてください。

注2. VDD が VPDR を下回った場合に, POR によるリセット動作に必要な時間です。また STOP モード時および, クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は, VDD が 0.7 V を下回ってから, VPOR を上回るまでのPORによるリセット動作に必要な時間です。



35.6.6 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.90	4.06	4.22	V
			電源立ち下がり時	3.83	3.98	4.13	V
		VLVD1	電源立ち上がり時	3.60	3.75	3.90	V
			電源立ち下がり時	3.53	3.67	3.81	V
		VLVD2	電源立ち上がり時	3.01	3.13	3.25	V
			電源立ち下がり時	2.94	3.06	3.18	V
		VLVD3	電源立ち上がり時	2.90	3.02	3.14	V
			電源立ち下がり時	2.85	2.96	3.07	V
		VLVD4	電源立ち上がり時	2.81	2.92	3.03	V
			電源立ち下がり時	2.75	2.86	2.97	V
		VLVD5	電源立ち上がり時	2.70	2.81	2.92	V
			電源立ち下がり時	2.64	2.75	2.86	V
		VLVD6	電源立ち上がり時	2.61	2.71	2.81	V
			電源立ち下がり時	2.55	2.65	2.75	V
		VLVD7	電源立ち上がり時	2.51	2.61	2.71	V
			電源立ち下がり時	2.45	2.55	2.65	V
最小パルス幅		tlw		300			μs
検出遅延						300	μs

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +105 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み& リセット・モード	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧		2.64	2.75	2.86	V
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がり割り込み電圧	2.75	2.86	2.97	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
			立ち下がり割り込み電圧	2.85	2.96	3.07	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
			立ち下がり割り込み電圧	3.83	3.98	4.13	V

35.6.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +105 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

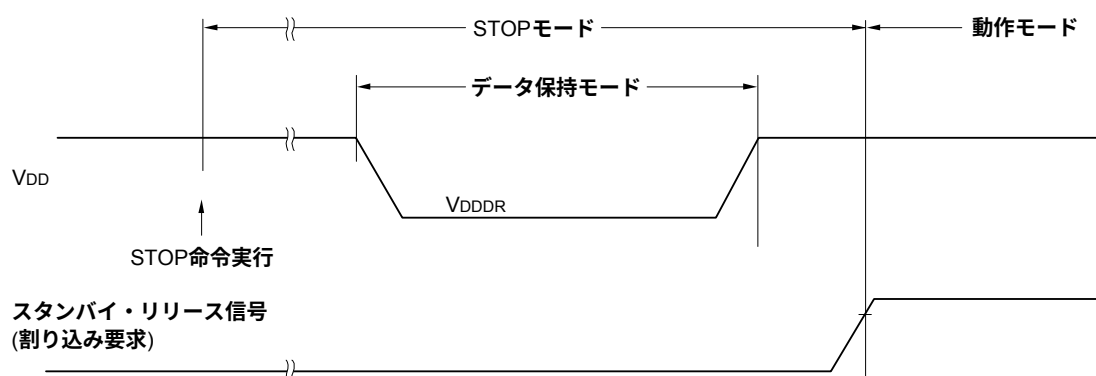
注意 VDDが35.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

35.7 データ・メモリ STOP モード低電源電圧データ保持特性

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.44注		5.5	V

注 POR 検出電圧に依存します。電圧降下時、POR リセットがかかるまではデータを保持しますが、POR リセットがかかった場合のデータは保持されません。



35.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≦ VDD ≦ 5.5 V		1		32	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C _{erwr}	保持年数：20年	T _A = 85 °C	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年	T _A = 25 °C		1,000,000		
		保持年数：5年	T _A = 85 °C	100,000			
		保持年数：20年	T _A = 85 °C	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

35.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

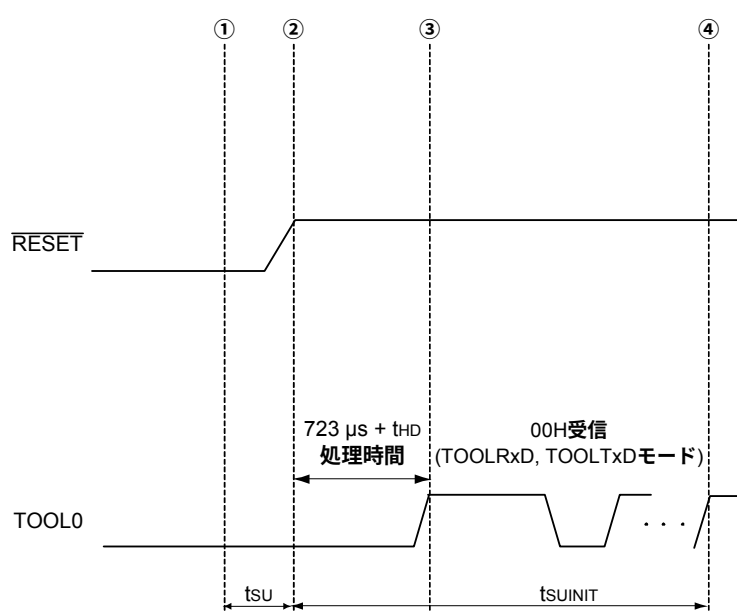
($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

35.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

($T_A = -40 \sim +105 \text{ }^{\circ}\text{C}$, $2.4 \text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5 \text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVD リセットは解除			100	ms
TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVD リセットは解除	10			μs
外部リセット解除から、TOOL0 端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVD リセットは解除	1			ms



- ① TOOL0 端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVD リセットが解除されていること)
- ③ TOOL0 端子のロウ・レベルを解除
- ④ UART 受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から 100 ms 以内に初期設定通信を完了してください。

tsu: TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0 端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。