

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24  
 豊洲フォレシア  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A0101A/J	Rev.	第1版
題名	誤記訂正通知 16ビット・タイマKB0機能に関する RL78/G11 ユーザーズ・マニュアル Rev.2.40の記載変更		情報分類	技術情報	
適用製品	RL78/G11 グループ	対象ロット等 全ロット	関連資料	RL78/G11 ユーザーズ・マニュアル ハードウェア編 Rev.2.40 R01UH0637JJ0240 (Oct.2020)	

RL78/G11 ユーザーズ・マニュアル ハードウェア編 Rev.2.40 (R01UH0637JJ0240)において、  
 上記適用製品の16ビット・タイマKB0機能に対し以下の動作説明を追加します。

## 使用上の注意事項

16ビット・タイマKB0のタイマ・リスタート機能、強制出力停止機能1および強制出力停止機能2のトリガ要因としてコンパレータ0, 1出力を使用する場合は、コンパレータ出力制御レジスタ(COMPOCR)のCiOEビットを1に設定する必要があります。(i = 0, 1)

この時、VCOUTi出力端子と端子を兼用する、他の出力機能を使用することはできませんが、入力の兼用機能は使用可能です。

下記の訂正内容の通り、注意事項を追加いたします。

## 今回通知する訂正内容

訂正箇所	該当ページ	内容
10.3.4 16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0)	p.326	誤記訂正および注意追加
10.3.17 周辺機能切り替えレジスタ0 (PFSEL0)	p.338	注意追加
10.6.3.1 強制出力停止機能制御レジスタn0, n1 (TKBPACTLn0, TKBPACTLn1)	p.393, p.394	誤記訂正および注意追加
図19-1 コンパレータのブロック図	p.780	誤記訂正および説明追加
19.3.5 コンパレータ出力制御レジスタ(COMPOCR)	p.787	注意追加
19.5 タイマKB連動機能使用時の注意事項	p.795, p.796	誤記訂正および説明追加

## ドキュメント改善計画

本訂正内容については、次回ユーザーズ・マニュアル改版時に修正を行います。

ユーザーズ・マニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0637JJ0240	
1	10.3.4	16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0)	p.326	p.3
2	10.3.17	周辺機能切り替えレジスタ0 (PFSEL0)	p.338	p.4
3	10.6.3.1	強制出力停止機能制御レジスタn0, n1 (TKBPACTLn0, TKBPACTLn1)	p.393, p.394	p.6
4	図19-1	コンパレータのブロック図	p.780	p.8
5	19.3.5	コンパレータ出力制御レジスタ(COMPOCR)	p.787	p.9
6	19.5	タイマKB連動機能使用時の注意事項	p.795, p.796	p.11

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

RL78/G11 ユーザーズ・マニュアル Rev.2.40 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0101A/J	2022年7月11日	初版発行 訂正一覧の No.1 ~ No.6 の誤記訂正(本通知です。)

1. 10.3.4 16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0)  
(p.326)

誤)

図 10-7 16 ビット・タイマ KB 動作制御レジスタ n0 (TKBCTLn0) のフォーマット(2/2)

TKBSTSn1	TKBSTSn0	タイマKBnのリスタート・トリガの選択
0	0	トリガ入力を使用しない
0	1	外部割り込み信号 (INTP10)
1	0	外部割り込み信号 (INTP11)
1	1	PFSEL0レジスタのCTRGSEL1, CTRGSEL0ビットにて指定するコンパレータの検出信号

- 注意1. タイマ動作中に、TKBCTLn0レジスタを書き換えしないでください。ただし、TKBCTLn0 レジスタにリフレッシュ（同値書き込み）することは可能です。
- 注意2. ビット15, 14, 11, 10, 6, 3には必ず0を設定してください。
- 注意2. INTP10/INTP11の設定は第19章 コンパレータを参照してください。

**備考** n=0, p=0, 1

正)

図 10-7 16 ビット・タイマ KB 動作制御レジスタ n0 (TKBCTLn0) のフォーマット(2/2)

TKBSTSn1	TKBSTSn0	タイマKBnのリスタート・トリガの選択
0	0	トリガ入力を使用しない
0	1	外部割り込み信号 (INTP10)
1	0	外部割り込み信号 (INTP11)
1	1	PFSEL0レジスタのCTRGSEL1, CTRGSEL0ビットにて指定するコンパレータの検出信号 <sup>注</sup>

**注** コンパレータの検出信号をリスタート・トリガとして使用する場合は、コンパレータ出力制御レジスタ (COMPOCR) のCiOEビットを1に設定してください。詳細は19.5 タイマKB連動機能使用時の注意事項を参照してください。

- 注意1. タイマ動作中に、TKBCTLn0レジスタを書き換えしないでください。ただし、TKBCTLn0 レジスタにリフレッシュ（同値書き込み）することは可能です。
- 注意2. ビット15, 14, 11, 10, 6, 3には必ず0を設定してください。
- 注意3. INTP10/INTP11の設定は第19章 コンパレータを参照してください。

**備考** i=0, 1, n=0, p=0, 1

2. 10.3.17 周辺機能切り替えレジスタ0 (PFSEL0) (p.338)

誤)

図 10-20 周辺機能切り替えレジスタ 0 (PFSEL0) のフォーマット

アドレス：F0440H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	CTRGSEL1	CTRGSEL0	INTPINV1	INTPINV0	PNFEN1	PNFEN0	TMRSTEN1	TMRSTEN0
CTRGSEL1	CTRGSEL0	タイマKBのカウンタ・スタート・トリガ要因						
0	0	コンパレータ0検出を使用する						
0	1	コンパレータ1検出を使用する						
1	0	コンパレータ0検出とコンパレータ1検出を同時に使用する						
1	1	設定禁止 (出力信号 = ロウ固定)						
INTPINV1	INTP11信号の反転設定							
0	INTP11信号を反転しない							
1	INTP11信号を反転							
INTPINV0	INTP10信号の反転設定							
0	INTP10信号を反転しない							
1	INTP10信号を反転							
PNFEN1	外部割り込みINTP11のノイズ・フィルタ設定							
0	ノイズ・フィルタあり							
1	ノイズ・フィルタなし							
PNFEN0	外部割り込みINTP10のノイズ・フィルタ設定							
0	ノイズ・フィルタあり							
1	ノイズ・フィルタなし							
TMRSTEN1	外部割り込みINTP11の切り替え <sup>注</sup>							
0	外部割り込み機能を選択 (STOPモード解除可能, タイマ・リスタート不可)							
1	タイマ・リスタート機能を選択 (STOPモード解除不可, タイマ・リスタート可)							
TMRSTEN0	外部割り込みINTP10の切り替え <sup>注</sup>							
0	外部割り込み機能を選択 (STOPモード解除可能, タイマ・リスタート不可)							
1	タイマ・リスタート/強制出力停止機能2を選択 (STOPモード解除不可, タイマ・リスタート可)							

正)

図 10-20 周辺機能切り替えレジスタ 0 (PFSEL0) のフォーマット

アドレス：F0440H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	CTRGSEL1	CTRGSEL0	INTPINV1	INTPINV0	PNFEN1	PNFEN0	TMRSTEN1	TMRSTEN0
CTRGSEL1	CTRGSEL0	タイマKBのカウンタ・スタート・トリガ要因 <sup>注1</sup>						
0	0	コンパレータ0検出を使用する						
0	1	コンパレータ1検出を使用する						
1	0	コンパレータ0検出とコンパレータ1検出を同時に使用する						
1	1	設定禁止 (出力信号 = ロウ固定)						
INTPINV1	INTP11信号の反転設定							
0	INTP11信号を反転しない							
1	INTP11信号を反転							
INTPINV0	INTP10信号の反転設定							
0	INTP10信号を反転しない							
1	INTP10信号を反転							
PNFEN1	外部割り込みINTP11のノイズ・フィルタ設定							
0	ノイズ・フィルタあり							
1	ノイズ・フィルタなし							
PNFEN0	外部割り込みINTP10のノイズ・フィルタ設定							
0	ノイズ・フィルタあり							
1	ノイズ・フィルタなし							
TMRSTEN1	外部割り込みINTP11の切り替え <sup>注2</sup>							
0	外部割り込み機能を選択 (STOPモード解除可能, タイマ・リスタート不可)							
1	タイマ・リスタート機能を選択 (STOPモード解除不可, タイマ・リスタート可)							
TMRSTEN0	外部割り込みINTP10の切り替え <sup>注2</sup>							
0	外部割り込み機能を選択 (STOPモード解除可能, タイマ・リスタート不可)							
1	タイマ・リスタート/強制出力停止機能2を選択 (STOPモード解除不可, タイマ・リスタート可)							

注 INTP10, INTP11をタイマKBの強制出力停止機能2またはタイマ・リスタート機能のトリガとして使用する場合は, 19.5 タイマKB連動機能使用時の注意事項も参照してください。

備考 図19 - 1コンパレータのブロック図を参照してください。

注1. コンパレータ $i$ 検出をタイマKBのカウント・スタート・トリガとして使用する場合は, コンパレータ出力制御レジスタ (COMPOCR) のCIOEビットを1に設定してください。詳細は19.5 タイマKB連動機能使用時の注意事項を参照してください。

注2. INTP10, INTP11をタイマKBの強制出力停止機能2またはタイマ・リスタート機能のトリガとして使用する場合は, 19.5 タイマKB連動機能使用時の注意事項も参照してください。

備考 図19 - 1コンパレータのブロック図を参照してください。

$i = 0, 1$

3. 10.6.3.1 強制出力停止機能制御レジスタ n0, n1 (TKBPACTLn0,

TKBPACTLn1) (p.393, p.394)

誤)

図 10-66 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) のフォーマット(1/2)

アドレス：F0430H (TKBPACTL00) リセット時：0000H R/W  
F0432H (TKBPACTL01)

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	0	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0
TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP11をトリガとしない							
1	INTP11をトリガとする注1							
TKBPAFXS0p2	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP10をトリガとしない							
1	INTP10をトリガとする注1							
TKBPAFXS0p1	強制出力停止機能2のコンパレータ・トリガ選択							
0	コンパレータ1をトリガとしない							
1	コンパレータ1をトリガとする							
TKBPAFXS0p0	強制出力停止機能2のコンパレータ・トリガ選択							
0	コンパレータ0をトリガとしない							
1	コンパレータ0をトリガとする							
TKBPAFCM0p	強制出力停止機能2の動作モード選択							
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。注2							
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。注2							
TKBPAHZS0p1	強制出力停止機能1のコンパレータトリガ選択							
0	コンパレータ1をトリガとしない							
1	コンパレータ1をトリガとする							
TKBPAHZS0p0	強制出力停止機能1のコンパレータトリガ選択							
0	コンパレータ0をトリガとしない							
1	コンパレータ0をトリガとする							

正)

図 10-66 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) のフォーマット(1/2)

アドレス：F0430H (TKBPACTL00) リセット時：0000H R/W  
F0432H (TKBPACTL01)

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	0	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0
TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP11をトリガとしない							
1	INTP11をトリガとする注1							
TKBPAFXS0p2	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP10をトリガとしない							
1	INTP10をトリガとする注1							
TKBPAFXS0p1	強制出力停止機能2のコンパレータ・トリガ選択							
0	コンパレータ1をトリガとしない							
1	コンパレータ1をトリガとする注3							
TKBPAFXS0p0	強制出力停止機能2のコンパレータ・トリガ選択							
0	コンパレータ0をトリガとしない							
1	コンパレータ0をトリガとする注3							
TKBPAFCM0p	強制出力停止機能2の動作モード選択							
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除。注2							
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除。注2							
TKBPAHZS0p1	強制出力停止機能1のコンパレータトリガ選択							
0	コンパレータ1をトリガとしない							
1	コンパレータ1をトリガとする注3							
TKBPAHZS0p0	強制出力停止機能1のコンパレータトリガ選択							
0	コンパレータ0をトリガとしない							
1	コンパレータ0をトリガとする注3							

図 10-66 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) のフォーマット(2/2)

TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の解除条件選択	
		0	0
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みで強制出力停止機能1を解除。	
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。注2	
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。注2	

TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注1. INTP10, INTP11を強制出力停止機能2に使用する場合、19.5 タイマKB連動機能使用時の注意事項も参照してください。

注2. 次のカウンタ同期を待たずにタイマ KB を停止 (TKBCEn=0) した場合、次にタイマ KB を動作 (TKBCEn = 1) するまで強制出力停止機能を継続します。

注意1. タイマ動作中に、TKBPACTL0pレジスタを書き換えしないでください。ただし、TKBPACTL0pレジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット11-9, 7, 6には必ず0を設定してください。

**備考** n = 0, p = 0, 1

図 10-66 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) のフォーマット(2/2)

TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の解除条件選択	
		0	0
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みで強制出力停止機能1を解除。	
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。注2	
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がアクティブ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除。注2	

TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注1. INTP10, INTP11を強制出力停止機能2のトリガとして使用する場合、19.5 タイマKB連動機能使用時の注意事項も参照してください。

注2. 次のカウンタ同期を待たずにタイマ KB を停止 (TKBCEn=0) した場合、次にタイマ KB を動作 (TKBCEn = 1) するまで強制出力停止機能を継続します。

注3. コンパレータiを強制出力停止機能1および強制出力停止機能2のトリガとして使用する場合は、コンパレータ出力制御レジスタ (COMPOCR) のCiOEビットを1に設定してください。

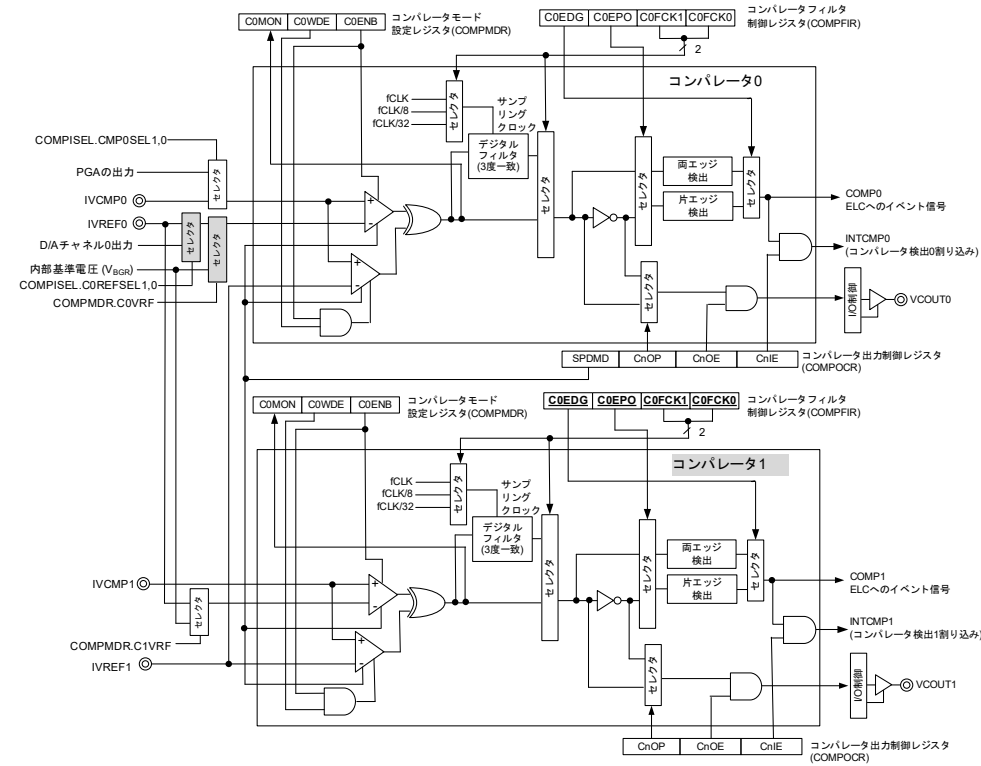
注意1. タイマ動作中に、TKBPACTL0pレジスタを書き換えしないでください。ただし、TKBPACTL0pレジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット11-9, 7, 6には必ず0を設定してください。

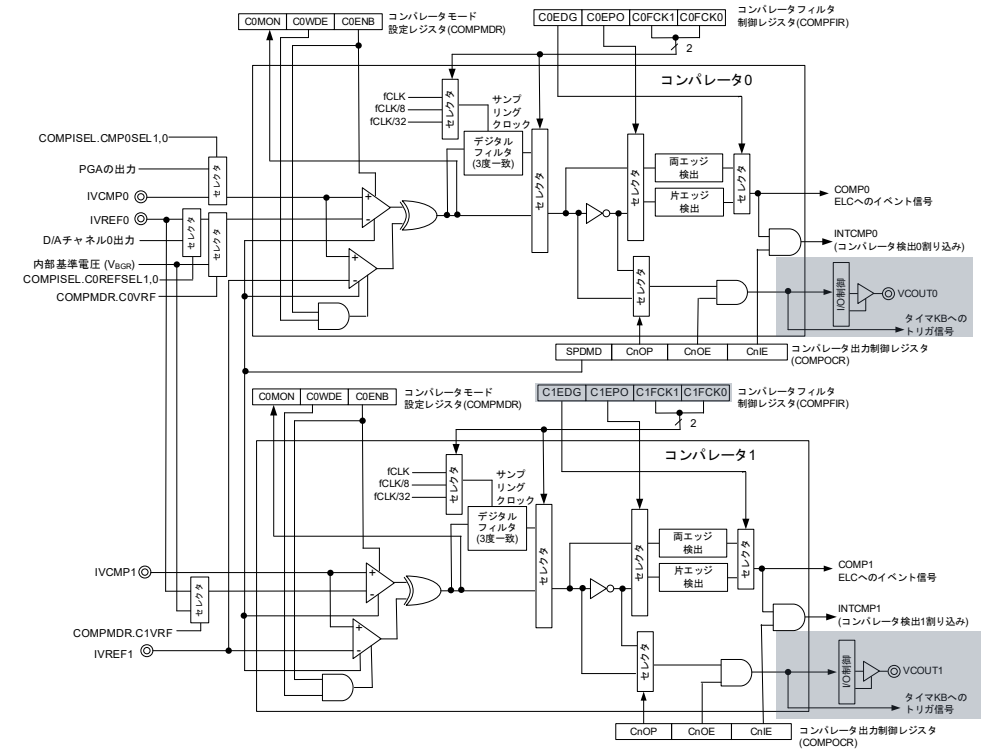
**備考** i = 0, 1, n = 0, p = 0, 1

4. 19.2 コンパレータの構成 (p.780)

誤)



正)





5. 19.3.5 コンパレータ出力制御レジスタ (COMPOCR) (p.787)

誤)

図 19-8 コンパレータ出力制御レジスタ (COMPOCR) のフォーマット

アドレス：F0342H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
SPDMD	コンパレータ速度選択 <sup>注1</sup>							
0	コンパレータ低速モード							
1	コンパレータ高速モード							
C1OP	VCOUT1出力極性選択							
0	コンパレータ1出力をVCOUT1へ出力							
1	コンパレータ1出力の反転をVCOUT1へ出力							
C1OE	VCOUT1端子出力許可							
0	コンパレータ1のVCOUT1端子出力禁止							
1	コンパレータ1のVCOUT1端子出力許可							
C1IE	コンパレータ1割り込み要求許可 <sup>注2</sup>							
0	コンパレータ1割り込み要求禁止							
1	コンパレータ1割り込み要求許可							
C0OP	VCOUT0出力極性選択							
0	コンパレータ0出力をVCOUT0へ出力							
1	コンパレータ0出力の反転をVCOUT0へ出力							
C0OE	VCOUT0端子出力許可							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可							
C0IE	コンパレータ0割り込み要求許可 <sup>注3</sup>							
0	コンパレータ0割り込み要求禁止							
1	コンパレータ0割り込み要求許可							

正)

図 19-8 コンパレータ出力制御レジスタ (COMPOCR) のフォーマット

アドレス：F0342H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
SPDMD	コンパレータ速度選択 <sup>注1</sup>							
0	コンパレータ低速モード							
1	コンパレータ高速モード							
C1OP	VCOUT1出力極性選択							
0	コンパレータ1出力をVCOUT1へ出力							
1	コンパレータ1出力の反転をVCOUT1へ出力							
C1OE	VCOUT1端子出力許可							
0	コンパレータ1のVCOUT1端子出力禁止							
1	コンパレータ1のVCOUT1端子出力許可 <sup>注4</sup>							
C1IE	コンパレータ1割り込み要求許可 <sup>注2</sup>							
0	コンパレータ1割り込み要求禁止							
1	コンパレータ1割り込み要求許可							
C0OP	VCOUT0出力極性選択							
0	コンパレータ0出力をVCOUT0へ出力							
1	コンパレータ0出力の反転をVCOUT0へ出力							
C0OE	VCOUT0端子出力許可							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可 <sup>注4</sup>							
C0IE	コンパレータ0割り込み要求許可 <sup>注3</sup>							
0	コンパレータ0割り込み要求禁止							
1	コンパレータ0割り込み要求許可							

- 注 1. SPDMD ビットを書き換える場合は、必ず COMPMDR レジスタの CiENB ビット( $i = 0, 1$ )を 0 にしてから書き換えてください。
- 注 2. C1IE を 0 (割り込み要求禁止)から 1 (割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ 2L (IF2L) のビット 1 (CMPIF1) が 1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ 2L (IF2L)のビット 1 (CMPIF1) をクリア(0)してから割り込みを使用してください。
- 注 3. COIE を 0 (割り込み要求禁止)から 1 (割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ 2L (IF2L) のビット 0 (CPMIF0) が 1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ 2L (IF2L)のビット 0 (CMPIF0) をクリア(0)してから割り込みを使用してください。

- 注 1. SPDMD ビットを書き換える場合は、必ず COMPMDR レジスタの CiENB ビット( $i = 0, 1$ )を 0 にしてから書き換えてください。
- 注 2. C1IE を 0 (割り込み要求禁止)から 1 (割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ 2L (IF2L) のビット 1 (CMPIF1) が 1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ 2L (IF2L)のビット 1 (CMPIF1) をクリア(0)してから割り込みを使用してください。
- 注 3. COIE を 0 (割り込み要求禁止)から 1 (割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ 2L (IF2L) のビット 0 (CPMIF0) が 1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ 2L (IF2L)のビット 0 (CMPIF0) をクリア(0)してから割り込みを使用してください。
- 注 4. コンパレータ  $i$  出力を、タイマ KB0 のタイマ・リスタート機能、強制出力停止機能 1 および強制出力停止機能 2 のトリガとして使用する場合は、CiOE ビットを 1 に設定してください。

備考  $i = 0, 1$

6. 19.5 タイマ KB 連動機能使用時の注意事項 (p.795, p796)

誤)

19.5 タイマ KB 連動機能使用時の注意事項

INTP10, 11, コンパレータは、外部割り込み機能の他にタイマ KB との連動機能(強制出力停止機能, タイマ・リスタート機能)のトリガとして使用することができます。**使用する機能に応じて、周辺機能切り替えレジスタ (PFSEL0)、エッジ設定レジスタを設定する必要があります。**また、各機能が動作するまでに必要なアクティブ信号の幅が異なります。

正)

19.5 タイマ KB 連動機能使用時の注意事項

INTP10, 11, コンパレータは、外部割り込み機能の他にタイマ KB との連動機能(強制出力停止機能, タイマ・リスタート機能)のトリガとして使用することができます。**使用する機能に応じて、周辺機能切り替えレジスタ (PFSEL0)、エッジ設定レジスタおよびコンパレータ出力制御レジスタ (COMPOCR) を設定する必要があります。**また、各機能が動作するまでに必要なアクティブ信号の幅が異なります。

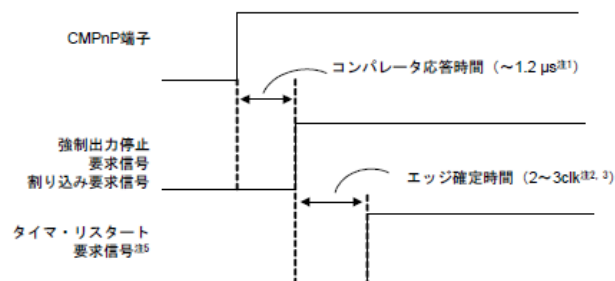
表 19 - 4 コンパレータ 0, 1 の機能, レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替えレジスタの設定	エッジ設定レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除可能) <sup>注1</sup>	-	CnEDG,CnEPO (n = 0,1)	~1.2 ns <sup>注1</sup>		
強制出力停止	-	<sup>注4</sup>	~1.2 ns <sup>注1</sup>	~1.2 ns <sup>注1, 注5</sup>	
タイマ・リスタート <sup>注6</sup>	-	CnEDG,CnEPO (n = 0,1)	~1.2 ns <sup>注1</sup>		~1.2 ns <sup>注1+</sup> 2~3clk <sup>注3, 注4</sup>

表 19 - 4 コンパレータ 0, 1 の機能, レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替えレジスタの設定	エッジ設定レジスタ	コンパレータ出力制御レジスタの設定	各機能が動作するのに必要なアクティブ信号幅		
				割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除可能) <sup>注1</sup>	-	CnEDG,CnEPO (n = 0,1)	-	~1.2 ns <sup>注1</sup>		
強制出力停止	-	<sup>注4</sup>	CnOE = 1 <sup>注6</sup>	~1.2 ns <sup>注1</sup>	~1.2 ns <sup>注2, 注5</sup>	
タイマ・リスタート <sup>注6</sup>	-	CnEDG,CnEPO (n = 0,1)	CnOE = 1 <sup>注6</sup>	~1.2 ns <sup>注1</sup>		~1.2 ns <sup>注1+</sup> 2~3clk <sup>注3, 注4</sup>

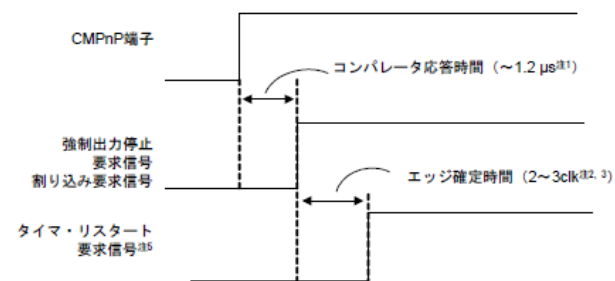
図 19 - 12 コンパレータ 0, 1 による強制出力停止要求信号, タイマ・リスタート要求信号の発生タイミング



- 注1. コンパレータ制御レジスタ (CnCTL) のノイズ・フィルタ設定 (CnDFS1, CnDFS0) = (0, 0) の場合です。ノイズ・フィルタ設定を (0, 0) から変更した場合は, 設定した除去幅分が加算されます。
- 注2. fCLK または fHOCO
- 注3. タイマ・リスタート機能が動作するには, 要求信号を受けてからさらに 1clk, 出力端子の状態が変化するまでには, 別途出力遅延時間 (10~40 ns) が掛かります。
- 注4. 強制出力停止機能はハイ・レベルでアクティブとなります。
- 注5. 強制出力停止機能が動作してから出力端子の状態が変化するまでには, 別途出力遅延時間 (10~40 ns) が掛かります。
- 注6. タイマ・リスタート機能はコンパレータ 0, 1 のみ使用可能です。**

備考 n = 0, 1

図 19 - 12 コンパレータ 0, 1 による強制出力停止要求信号, タイマ・リスタート要求信号の発生タイミング



- 注1. コンパレータ制御レジスタ (CnCTL) のノイズ・フィルタ設定 (CnDFS1, CnDFS0) = (0, 0) の場合です。ノイズ・フィルタ設定を (0, 0) から変更した場合は, 設定した除去幅分が加算されます。
- 注2. fCLK または fHOCO
- 注3. タイマ・リスタート機能が動作するには, 要求信号を受けてからさらに 1clk, 出力端子の状態が変化するまでには, 別途出力遅延時間 (10~40 ns) が掛かります。
- 注4. 強制出力停止機能はハイ・レベルでアクティブとなります。
- 注5. 強制出力停止機能が動作してから出力端子の状態が変化するまでには, 別途出力遅延時間 (10~40 ns) が掛かります。
- 注6. コンパレータ n から タイマ KB へのトリガ信号は内部で接続されています。ただし、コンパレータ n を タイマ KB のトリガ信号として使用する場合は、VCOUTn 出力端子と端子を兼用する他の出力機能は使用できません。なお、入力の兼用機能は使用可能です。このとき、VCOUTn 出力端子に対応するポート・モード・レジスタのビットを 1 に設定してください。

備考 n = 0, 1

以上