

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A€GHA/J Á	Rev.	第1版
題名	誤記訂正通知 RL78/G10 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G10 グループ : R5F10Yxxx	対象ロット等 全ロット	関連資料	RL78/G10 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0384JJ0100 (Jun.2013)	

RL78/G10 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0384JJ0100)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
10ピン製品のフラッシュROM 4 KBの製品と、16ピン製品	p.7	仕様追加
3.1 アドレス空間	p.21-p.23	誤記訂正
6.3.5 タイマ・チャンネル許可ステータス・レジスタ (TE0, TEH0(8ビットモード))	p.117	誤記訂正
6.3.8 タイマ出力許可レジスタ0 (TOE0)	p.120	誤記訂正
6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)	p.128	仕様追加
図10-13 A/Dコンバータの変換動作	p.221	誤記訂正
10.9.3 競合動作について	p.228	説明追加
24.3.1 端子特性	p.537	仕様拡張
24.6.1 A/Dコンバータ特性	p.547	仕様追加
24.6.4 データ保持電源電圧特性	p.548	説明追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0384JJ0100	
1		10ピン製品のフラッシュROM 4 KBの製品と、16ピン製品のラインナップ追加	p.7	p.3
2		3.1 アドレス空間の誤記訂正	p.21-p.23	p.4-p.6
3		6.3.5 タイマ・チャンネル許可ステータス・レジスタ (TE0, TEH0(8ビットモード))の誤記訂正	p.117	p.7
4		6.3.8 タイマ出力許可レジスタ0(TOE0)の誤記訂正	p.120	p.7
5		6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)の仕様追加	p.128	p.8
6		図10-13 A/Dコンバータの変換動作 の誤記訂正	p.221	p.9
7		10.9.3 競合動作について の説明追加	p.228	p.10
8		24.3.1 端子特性 の仕様拡張	p.537	p.11
9		24.6.1 A/Dコンバータ特性 の仕様追加	p.547	p.12, p.13
10		24.6.4 データ保持電源電圧特性 の説明追加	p.548	p.14

誤記訂正の該当箇所は、誤太字下線、正グレー・ハッチングで記載します。

発行文書履歴

RL78/G10 ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-AEGH-A/J	2014年G月 ¹ 日 XXXXXX	版発行 訂正一覧の No.1 ~ No.10 の誤記訂正(本通知です。)

1. 10ピン製品のフラッシュROM 4KBの製品と、16ピン製品の説明(p.7)

10ピン製品のフラッシュROM 4KBの製品と、16ピン製品(ROM 1~4KB)がRL78/G10グループのラインナップに追加します。16ピン製品の機能仕様の詳細は、次回ユーザーズマニュアルに掲載します。

周辺I/Oリダイレクション・レジスタ(PIOR)を00Hに設定したときの機能概要を示します。

項目		10ピン			16ピン		
		R5F10Y14ASP	R5F10Y16ASP	R5F10Y17ASP	R5F10Y44ASP	R5F10Y46ASP	R5F10Y47ASP
コード・フラッシュ・メモリ		1KB	2KB	4KB	1KB	2KB	4KB
RAM		128B	256B	512B	128B	256B	512B
メイン・システム・クロック	高速システム・クロック	-			X1, X2(水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK): 1~20MHz:V _{DD} = 2.7~5.5V, 1~5MHz:V _{DD} = 2.0~5.5V ^{注3}		
	高速オンチップ・オシレータ・クロック	・1.25~20MHz(V _{DD} = 2.7~5.5V) ・1.25~5MHz(V _{DD} = 2.0~5.5V ^{注3})					
低速オンチップ・オシレータ・クロック		15kHz(TYP.)					
汎用レジスタ		8ビット・レジスタ×8					
最小命令実行時間		0.05μs(20MHz動作時)					
命令セット		・データ転送(8ビット) ・加減/論理演算(8ビット) ・乗算(8ビット×8ビット) ・ローテート, パレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など					
I/Oポート	合計	8			14		
	CMOS入出力	6(N-ch O.D.出力(V _{DD} 耐圧):2)			10(N-ch O.D.出力(V _{DD} 耐圧):4)		
	CMOS入力	2			4		
タイマ	16ビット・タイマ	2チャンネル			4チャンネル		
	ウォッチドッグ・タイマ	-			1チャンネル		
	12ビット・インターバル・タイマ	-			1チャンネル		
	タイマ出力	2本 (PWM出力:1本)			4本 (PWM出力:3本 ^{注1})		
クロック出力/ブザー出力		-			1本 2.44kHz ~ 10MHz(周辺ハードウェア・クロック: f _{MAIN} = 20MHz動作時)		
コンパレータ		-			1		
8/10ビット分解能A/Dコンバータ		4チャンネル			7チャンネル		
シリアル・インタフェース		【10ピン製品】CSI:1チャンネル /簡易I ² C:1チャンネル/UART:1チャンネル 【16ピン製品】CSI:2チャンネル /簡易I ² C:1チャンネル/UART:1チャンネル					
	I ² Cバス	-			1チャンネル		
ベクタ割り込み要因数	内部	8			14		
	外部	3			5		
キー割り込み		-			6		
リセット		・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・セレクトラブル・パワーオン・リセットによる内部リセット ・不正命令の実行による内部リセット ^{注2} ・データ保持下限電圧による内部リセット					
セレクトラブル・パワーオン・リセット回路		・検出電圧 立ち上がり(V _{SPOR}):2.25V/2.68V/3.02V/4.45V(MAX.) 立ち下がり(V _{SPDR}):2.20V/2.62V/2.96V/4.37V(MAX.)					
オンチップ・デバッグ機能		あり					
電源電圧		V _{DD} = 2.0~5.5V ^{注3}					
動作周囲温度		T _A = -40~+85℃					

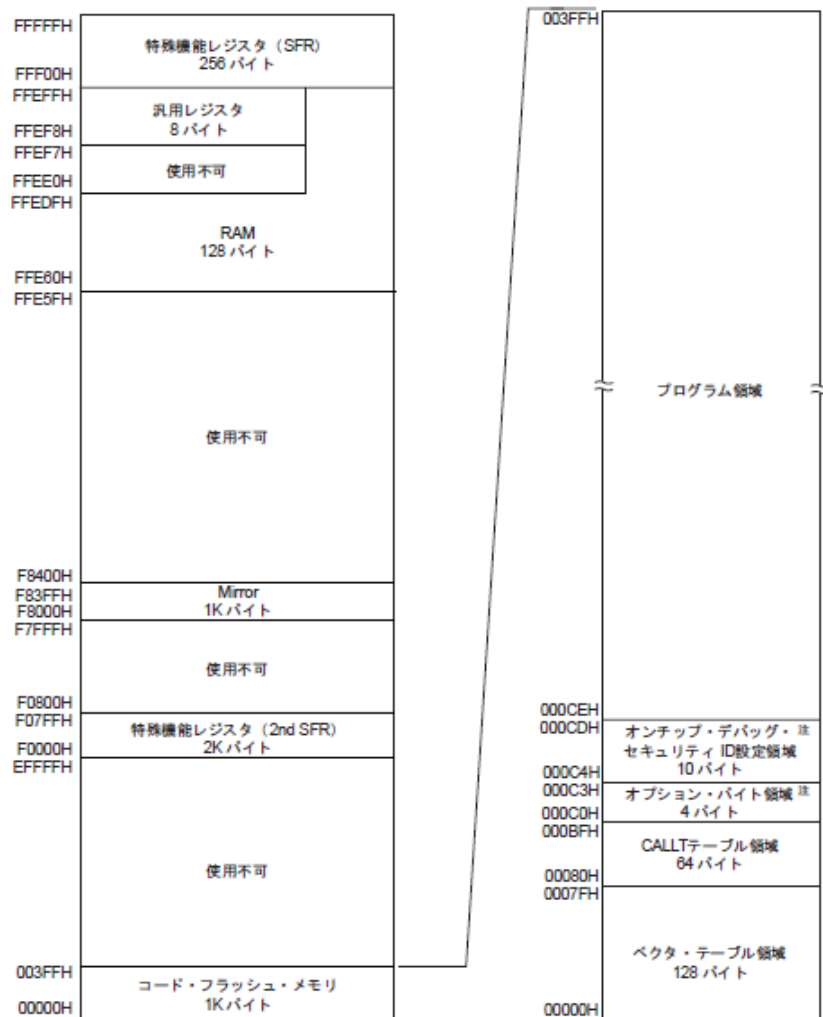
注1. マスタの数と使用チャンネルの設定によって、出力数は変わります(6.9.4 多重PWM出力機能としての動作参照)

- FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。
- セレクトラブル・パワーオン・リセット(SPOR)回路の検出電圧(V_{SPOR})が含まれるため、2.25~5.5Vの電圧範囲で使用してください。

2. 3.1 アドレス空間(p.21-p/23)

誤)

図3-1 メモリ・マップ (R5F10Y14ASP, R5F10Y44ASP)

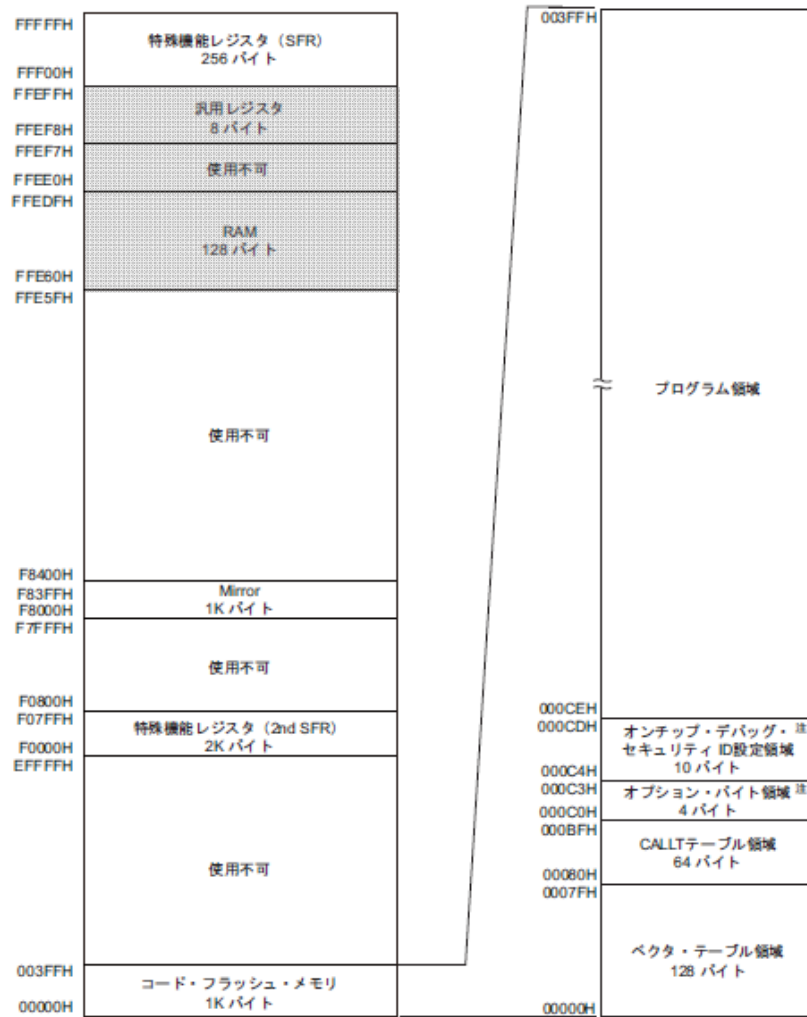


注 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 使用不可領域へのアクセスは禁止です。

正)

図3-1 メモリ・マップ (R5F10Y14ASP, R5F10Y44ASP)

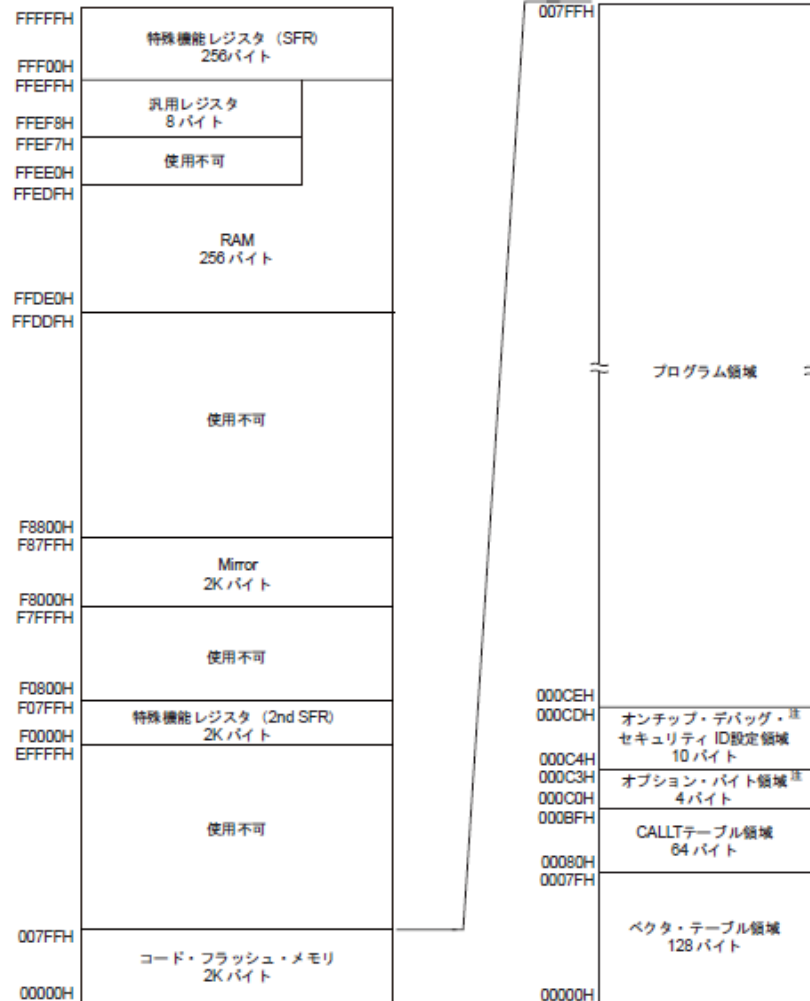


注 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 使用不可領域へのアクセスは禁止です。

誤)

図3-2 メモリ・マップ (R5F10Y16ASP, R5F10Y46ASP)

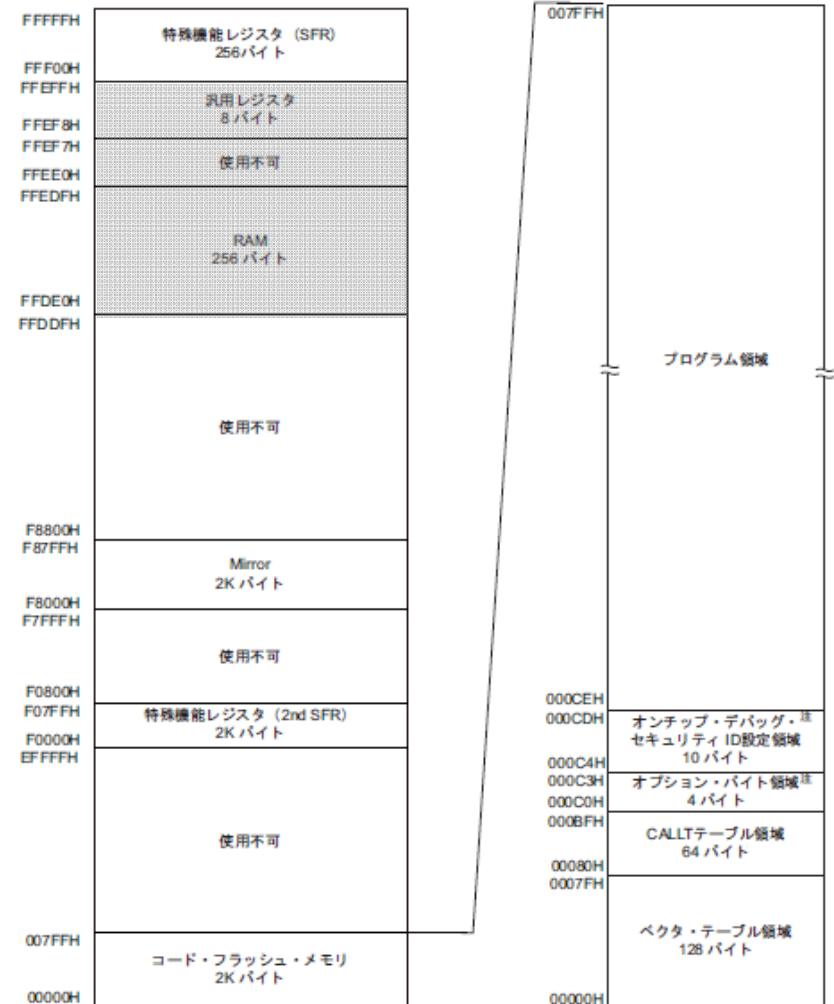


注 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 使用不可領域へのアクセスは禁止です。

正)

図3-2 メモリ・マップ (R5F10Y16ASP, R5F10Y46ASP)

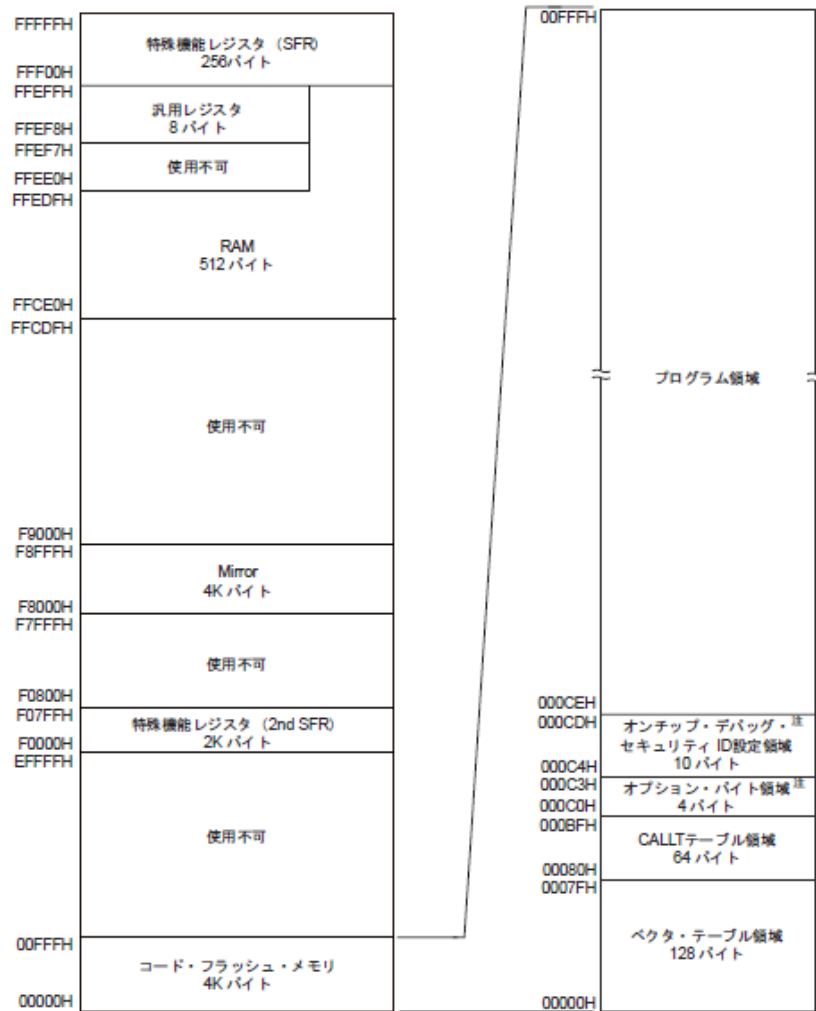


注 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 使用不可領域へのアクセスは禁止です。

誤)

図3-3 メモリ・マップ (R5F10Y47ASP)

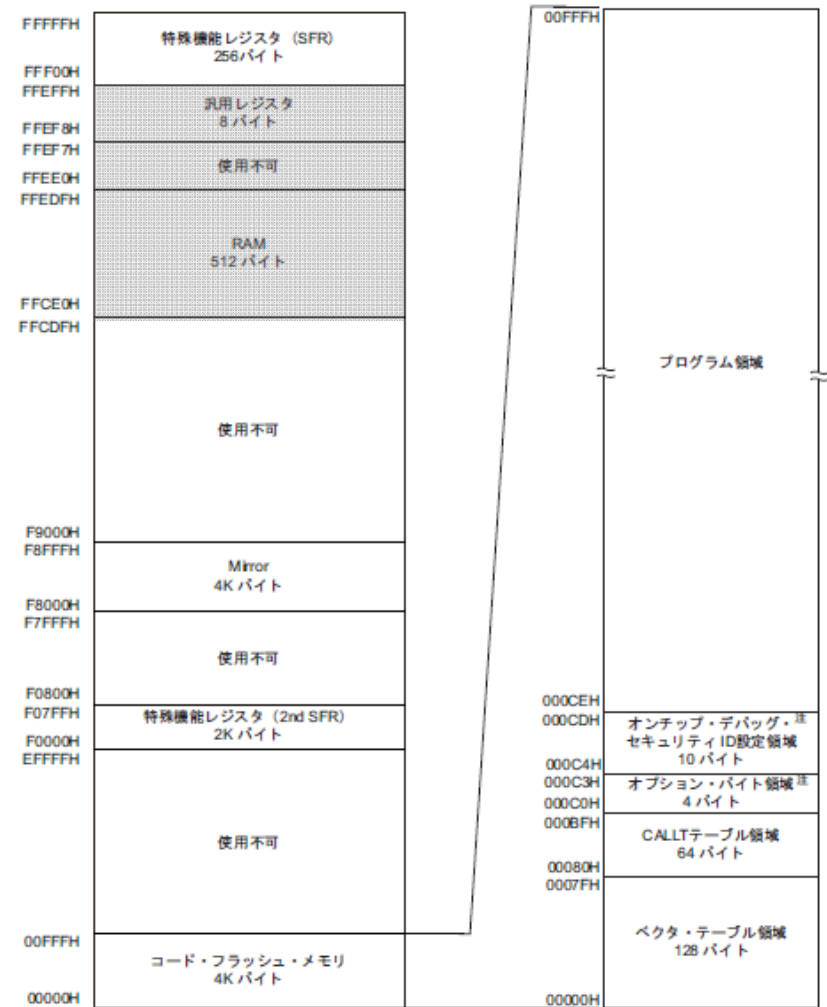


注 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 使用不可領域へのアクセスは禁止です。

正)

図3-3 メモリ・マップ (R5F10Y17ASP, R5F10Y47ASP)



注 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 使用不可領域へのアクセスは禁止です。

3. 6.3.5 タイマ・チャンネル許可ステータス・レジスタ

(TE0, TEH0(8ビットモード))(p.117)

誤)

TE0, TEH0レジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。
TE0, TEH0レジスタの各ビットは、タイマ・チャンネル開始レジスタ0 (TS0, TSH0) とタイマ・チャンネル停止レジスタ0 (TT0, TTH0) の各ビットに対応しています。TS0, TSH0レジスタの各ビットが1にセットされると、TE0, TEH0レジスタの対応ビットが1にセットされます。TT0, TTH0レジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE0, TEH0レジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、TE0, TEH0レジスタは00Hになります。

4. 6.3.8 タイマ出力許可レジスタ0(TOE0)(p.120)

誤)

TOE0レジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。
タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ0 (TO0) のTO0nビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0レジスタは、8ビット・メモリ操作命令で設定できません。

リセット信号の発生により、TOE0レジスタは00Hになります。

正)

TE0, TEH0レジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。
TE0, TEH0レジスタの各ビットは、タイマ・チャンネル開始レジスタ0 (TS0, TSH0) とタイマ・チャンネル停止レジスタ0 (TT0, TTH0) の各ビットに対応しています。TS0, TSH0レジスタの各ビットが1にセットされると、TE0, TEH0レジスタの対応ビットが1にセットされます。TT0, TTH0レジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE0, TEH0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、TE0, TEH0レジスタは00Hになります。

正)

TOE0レジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。
タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ0 (TO0) のTO0nビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できません。

リセット信号の発生により、TOE0レジスタは00Hになります。

5. 6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)(p.128)

旧)

次に8ビット・タイマ動作機能の基本ルールを示します。

(省略)

(7) 下位8ビットは、TMR0nH, TMR0nLレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の4機能です。

- ・ インターバル・タイマ機能
- ・ 外部イベント・カウンタ機能
- ・ デイレイ・カウント機能
- ・ PWM出力

新)

次に8ビット・タイマ動作機能の基本ルールを示します。

(省略)

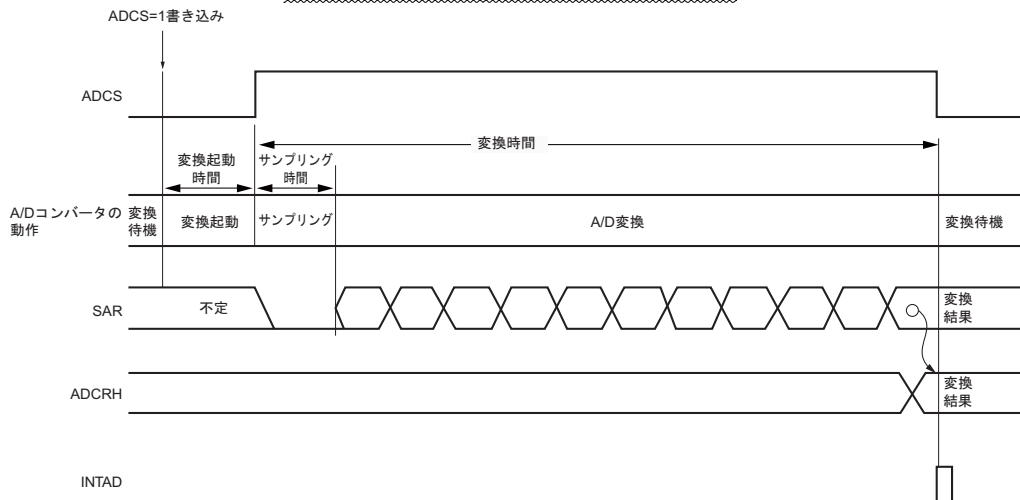
(7) 下位8ビットは、TMR0nH, TMR0nLレジスタの設定にしたがって動作します。下位8ビット・タイマは、次のタイマ機能をサポートしています。

- ・ インターバル・タイマ
- ・ 方形波出力
- ・ 外部イベント・カウンタ
- ・ デイレイ・カウンタ
- ・ PWM出力機能
- ・ 多重PWM出力機能 (16ピン製品のみ)

6. 図10-13 A/Dコンバータの変換動作(p.221)

誤)

図10-13 A/Dコンバータの変換動作

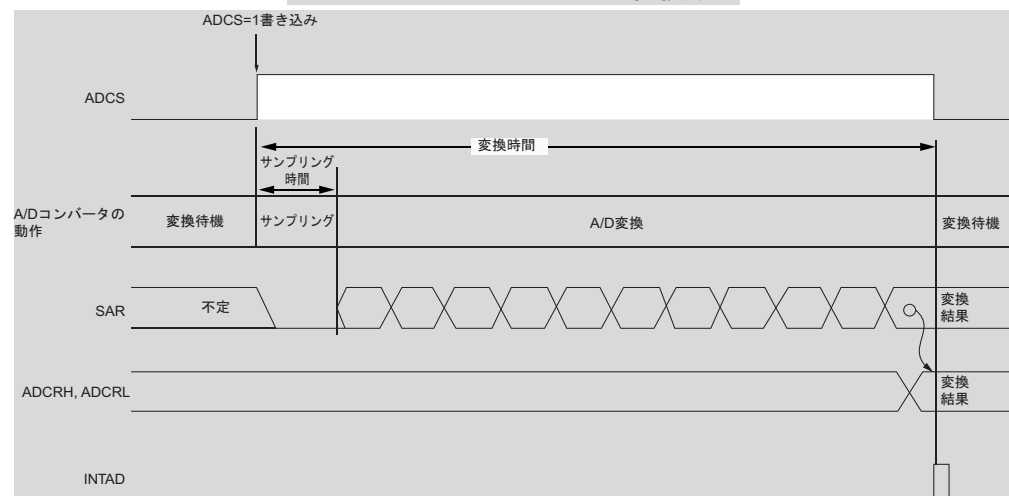


A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) をセット (1) して、1回行われます。

A/D変換結果レジスタ (ADCRL, ADCRH) は、リセット信号の発生により00Hとなります。

正)

図10-12 A/Dコンバータの変換動作



A/D変換動作は、ソフトウェア操作によりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) をセット (1) して、1回変換動作が行われます。A/D変換終了後にADCSビットが自動的にクリア (0) されます。

A/D変換結果レジスタ (ADCRH, ADCRL) は、リセット信号の発生により00Hとなります。

7. 10.9.3 競合動作について(p.228)

旧)

10.9.3 競合動作について

変換終了時のADCRH, ADCRLレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0) への0ライトが競合した場合は、ADM0レジスタへのライトが優先されます。ADCRH, ADCRLレジスタへのライトはされません。また、変換終了割り込み要求信号 (INTAD) も発生しません。

新)

10.9.3 競合動作について

- ① 変換終了時のA/D変換結果レジスタ (ADCRH, ADCRL) へのライトと、ソフトウェア操作によるADCRH, ADCRLレジスタのリードが競合した場合は、ADCRH, ADCRLレジスタのリードが優先されます。
リードしたあと、新しい変換結果がADCRH, ADCRLレジスタにライトされます。
- ② 変換終了時のADCRH, ADCRLレジスタへのライトと、A/Dコンバータ・モード・レジスタ0 (ADM0) へのライトが競合した場合は、ADM0レジスタへのライトが優先されます。ADCRH, ADCRLレジスタへのライトはされません。また、A/D変換終了割り込み要求信号 (INTAD) も発生しません。

8. 24.3.1 端子特性(p.537)

10ピン製品の電気的特性において、仕様変更がある箇所を示します。
フラッシュROM 4KBの製品と、16ピン製品 (ROM 1~4KB) の電気的特性は、
次回ユーザーズマニュアルに掲載します。

旧)

24.3.1 端子特性

(TA = -40~+85 °C, 2.0 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ハイ・レベル 出力電流 ^{注1}	I _{OH1}	P00, P01, P02-P04, P40	1端子			-10.0 ^{注2}	mA		
		P40	合計 ^{注3}	4.0 V ≤ V _{DD} ≤ 5.5 V			-10.0	mA	
				2.7 V ≤ V _{DD} < 4.0 V			<u>-2.0</u>	mA	
				2.0 V ≤ V _{DD} < 2.7 V			<u>-1.5</u>	mA	
		P00, P01, P02-P04	合計 ^{注3}	4.0 V ≤ V _{DD} ≤ 5.5 V			-50.0	mA	
				2.7 V ≤ V _{DD} < 4.0 V			<u>-10.0</u>	mA	
				2.0 V ≤ V _{DD} < 2.7 V			<u>-7.5</u>	mA	
		端子合計^{注3}						-60.0	mA
		ロウ・レベル 出力電流 ^{注4}	I _{OL1}	P00-P04, P40	1端子			20.0 ^{注2}	mA
				P40	合計 ^{注3}	4.0 V ≤ V _{DD} ≤ 5.5 V			20.0
2.7 V ≤ V _{DD} < 4.0 V							<u>3.0</u>	mA	
2.0 V ≤ V _{DD} < 2.7 V							<u>0.6</u>	mA	
P00-P04	合計 ^{注3}			4.0 V ≤ V _{DD} ≤ 5.5 V			80.0	mA	
				2.7 V ≤ V _{DD} < 4.0 V			12.0	mA	
				2.0 V ≤ V _{DD} < 2.7 V			2.4	mA	
端子合計^{注3}								100.0	mA

(省略)

新)

24.3.1 端子特性

(TA = -40~+85 °C, 2.0 V ≤ VDD ≤ 5.5 V, VSS = 0 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位				
ハイ・レベル 出力電流 ^{注1}	I _{OH1}	10ピン製品: P00-P04, P40				-10.0 ^{注2}	mA			
		16ピン製品: P00-P07, P40, P41 1端子								
		10ピン製品: P40	4.0 V ≤ V _{DD} ≤ 5.5 V			-20.0		mA		
		16ピン製品: P40, P41	2.7 V ≤ V _{DD} < 4.0 V			<u>-4.0</u>		mA		
		合計(デューティ ≤ 70 % ^{注3})	2.0 V ≤ V _{DD} < 2.7 V			<u>-3.0</u>		mA		
		10ピン製品: P00-P04	4.0 V ≤ V _{DD} ≤ 5.5 V			-60.0		mA		
		16ピン製品: P00-P07	2.7 V ≤ V _{DD} < 4.0 V			<u>-12.0</u>		mA		
		合計(デューティ ≤ 70 % ^{注3})	2.0 V ≤ V _{DD} < 2.7 V			<u>-9.0</u>		mA		
		端子合計(デューティ ≤ 70 %^{注3})							-80.0	mA
		ロウ・レベル 出力電流 ^{注4}	I _{OL1}	10ピン製品: P00-P04, P40					20.0 ^{注2}	mA
16ピン製品: P00-P07, P40, P41 1端子										
10ピン製品: P40	4.0 V ≤ V _{DD} ≤ 5.5 V					40.0	mA			
16ピン製品: P40, P41	2.7 V ≤ V _{DD} < 4.0 V					<u>6.0</u>	mA			
合計(デューティ ≤ 70 % ^{注3})	2.0 V ≤ V _{DD} < 2.7 V					<u>1.2</u>	mA			
10ピン製品: P00-P04	4.0 V ≤ V _{DD} ≤ 5.5 V					80.0	mA			
16ピン製品: P00-P07	2.7 V ≤ V _{DD} < 4.0 V					12.0	mA			
合計(デューティ ≤ 70 % ^{注3})	2.0 V ≤ V _{DD} < 2.7 V					2.4	mA			
端子合計(デューティ ≤ 70 %^{注3})								120.0	mA	

(省略)

9. 24.6.1 A/Dコンバータ特性(p.547)

10ピン製品の電気的特性において、仕様変更がある箇所を示します。
フラッシュROM 4KBの製品と、16ピン製品 (ROM 1~4KB) の電気的特性は、
次回ユーザーズマニュアルに掲載します。

旧)

24.6.1 A/Dコンバータ特性

変換対象ANI0-ANI3 (TA = -40~+85 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
分解能	RES		8		10	bit		
総合誤差 ^{注1}	AINL	10ビット分解能			VDD = 5 V	±3.1 ^{注2}	LSB	
		VDD = 3 V			±2.3	±4.5 ^{注2}	LSB	
変換時間	tCONV	10ビット分解能			2.7 V ≤ VDD ≤ 5.5 V	3.4	18.4	μs
					2.4 V ≤ VDD ≤ 5.5 V	4.6	18.4	μs
ゼロスケール誤差 ^{注1}	Ezs	10ビット分解能			VDD = 5 V		±0.19 ^{注2}	%FSR
					VDD = 3 V		±0.39 ^{注2}	%FSR
フルスケール誤差 ^{注1}	Efs	10ビット分解能			VDD = 5 V		±0.29 ^{注2}	%FSR
					VDD = 3 V		±0.42 ^{注2}	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能			VDD = 5 V		±1.8 ^{注2}	LSB
					VDD = 3 V		±1.7 ^{注2}	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能			VDD = 5 V		±1.4 ^{注2}	LSB
					VDD = 3 V		±1.5 ^{注2}	LSB
アナログ入力電圧	VAIN		0		VDD	V		

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. 特性評価の3σの値です。出荷検査はしていません。

新)

24.6.1 A/Dコンバータ特性

変換対象ANI0-ANI6, 内部基準電圧

(TA = -40~+85 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
分解能	RES		8		10	bit		
総合誤差 ^{注1, 2, 3}	AINL	10ビット分解能			VDD = 5 V	±1.7	±3.1	LSB
					VDD = 3 V	±2.3	±4.5	LSB
変換時間	tCONV	10ビット分解能 変換対象: ANI0-ANI6			2.7 V ≤ VDD ≤ 5.5 V	3.4	18.4	μs
					2.4 V ≤ VDD ≤ 5.5 V ^{注5}	4.6	18.4	
					10ビット分解能 変換対象: 内部基準電圧 ^{注6}	2.4 V ≤ VDD ≤ 5.5 V	4.6	
ゼロスケール誤差 ^{注1, 2, 3, 4}	Ezs	10ビット分解能			VDD = 5 V		±0.19	%FSR
					VDD = 3 V		±0.39	%FSR
フルスケール誤差 ^{注1, 2, 3, 4}	Efs	10ビット分解能			VDD = 5 V		±0.29	%FSR
					VDD = 3 V		±0.42	%FSR
積分直線性誤差 ^{注1, 2, 3}	ILE	10ビット分解能			VDD = 5 V		±1.8	LSB
					VDD = 3 V		±1.7	LSB
微分直線性誤差 ^{注1, 2, 3}	DLE	10ビット分解能			VDD = 5 V		±1.4	LSB
					VDD = 3 V		±1.5	LSB
アナログ入力電圧	VAIN	変換対象: ANI0-ANI6	0		VDD	V		
		変換対象: 内部基準電圧 ^{注6}	VREG ^{注7}					

(注は、次のページに記載します。)

- 注 1. TYP.値は、 $T_A = 25^\circ\text{C}$ の平均値です。MAX.値は、正規分布における平均値 $\pm 3\sigma$ の値です。
2. この値は特性評価結果による値であり、出荷検査は行っていません。
3. 量子化誤差 ($\pm 1/2$ LSB) を含みません。
4. フルスケール値に対する比率 (%FSR) で表します。
5. $2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$ の動作電圧範囲で変換動作を行う場合は、A/Dコンバータ・モード・レジスタ0 (ADM0) のLV0ビットを必ず0に設定してください。
6. A/Dコンバータの変換対象に内部基準電圧を選択するときは、A/Dコンバータ・モード・レジスタ0 (ADM0) のLV0ビットを必ず0に設定してください。
7. **24. 6. 3 内部基準電圧特性**を参照してください。

- 注意1. 電源/グランド・ラインにノイズが載らないよう配線を引き回し、コンデンサを挿入する等の対策をしてください。
2. A/D変換中は、変換端子の隣接端子に対して、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。
 3. A/Dコンバータの変換対象に内部基準電圧を選択した場合は、コンパレータの基準電圧には内部基準電圧を使用できません。

10. 24. 6. 4 データ保持電源電圧特性(p.548)

10ピン製品の電气的特性において、仕様変更がある箇所を示します。
フラッシュROM 4KBの製品と、16ピン製品 (ROM 1~4KB) の電气的特性は、
次回ユーザーズマニュアルに掲載します。

旧)

24.6.4 データ保持電源電圧特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧範囲	V_{DDDR}		1.9		5.5	V

注意 電源電圧がデータ保持電源電圧範囲のMIN.値を下回るまではデータを保持します。なお、データ保持電源電圧範囲のMIN.値を下回った場合も、RAM、RESFレジスタのデータがクリアされないことがあります。

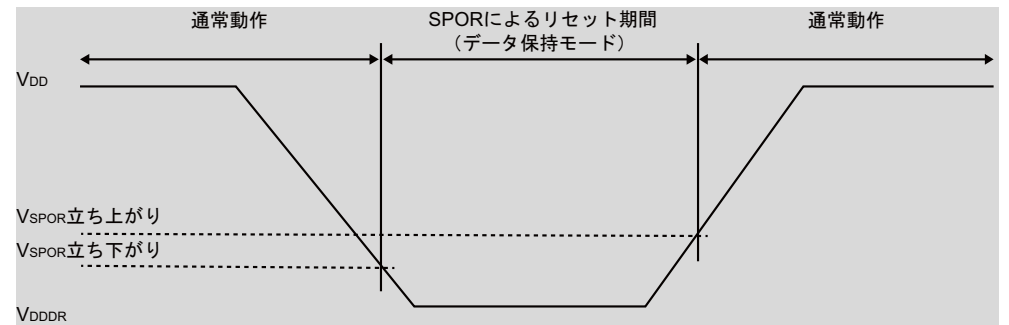
新)

24. 6. 6 データ保持電源電圧特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.9		5.5	V

注意 電源電圧がデータ保持電源電圧 (V_{DDDR}) のMIN.値を下回るまではRESFレジスタのデータを保持します。電源電圧がデータ保持電源電圧 (V_{DDDR}) のMIN.値を下回っても、RESFレジスタのデータがクリアされないことがあります。



以上