

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A063A/J	Rev.	第1版
題名	誤記訂正通知 RL78/I1B ユーザーズマニュアル Rev. 2.00 の記載変更		情報分類	技術情報	
適用製品	RL78/I1B グループ	対象ロット等	関連資料	RL78/I1B ユーザーズマニュアル ハードウェア編 Rev. 2.00 R01UH0407JJ0200 (Feb. 2014)	
		全ロット			

RL78/I1B ユーザーズマニュアル ハードウェア編 Rev. 2.00 (R01UH0407JJ0200) において、下記訂正が
ございます。

(1/2)

訂正箇所	該当ページ	内容
1.6 機能概要 メイン・システム・クロック	p.10	説明変更
3.1 メモリ空間 図3-2	p.41	注意変更
4.3.9 LCDポート・ファンクション・レジスタ0-5 図4-9の注追加	p.104	注意追加
5.3.3 クロック動作ステータス制御レジスタ 注意6	p.135	注意変更
5.6.5 CPUクロックの移行前の条件と移行後の処理 表5-4	p.162,163	説明変更
5.6.7 クロック発振停止前の条件	P.165	説明追加
7.3.3 タイマ・モード・レジスタmn 図7-12	p.195	説明変更
7.3.8 タイマ入力選択レジスタ0	p.204	誤記訂正
7.6.4 TOmnビットの一括操作 図7-38	p.231	注意変更
8.2 リアルタイム・クロック2の構成 図8-1	p.281	誤記訂正
8.3.6 リアルタイム・クロック・コントロール・レジスタ1 注1,2	p.291	注意追加
12.5 クロック出力ノブザ出力制御回路の注意事項	p.348	注意変更
14.3.2 A/Dコンバータ・モード・レジスタ0 図14-4	p.365	説明変更
18.2 シリアル・アレイ・ユニットの構成 図18-1	p.457	説明変更
18.2 シリアル・アレイ・ユニットの構成 図18-2	p.458	説明変更
18.3.5 シリアル・データ・レジスタmn	p.468	説明変更
18.3.12 シリアル出力レジスタm	p.477	説明変更
18.3.13 シリアル出力レベル・レジスタm 図18-18	p.479	説明変更
18.5.7 SNOOZEモード機能	p.535	説明変更
18.5.7 SNOOZEモード機能 図18-71	p.535	誤記訂正
18.5.7 SNOOZEモード機能 注	p.535	注意変更
18.5.7 SNOOZEモード機能 図18-72	p.536	説明変更
18.5.7 SNOOZEモード機能 図18-73	p.537	誤記訂正
18.5.7 SNOOZEモード機能 注	p.537	注意変更
18.5.7 SNOOZEモード機能 図18-74	P538	説明変更
18.6.3 SNOOZEモード機能 説明文	p.560	説明変更
18.6.3 SNOOZEモード機能 注意5	p.560	注意追加

(2/2)

訂正箇所	該当ページ	内容
18. 6. 3 SNOOZEモード機能 図18-90	p.562	誤記訂正
18. 6. 3 SNOOZEモード機能 図18-91	p.563	誤記訂正
18. 6. 3 SNOOZEモード機能 図18-92	p.564	説明変更
18. 6. 3 SNOOZEモード機能 図18-93	p.565	誤記訂正
18. 6. 3 SNOOZEモード機能 図18-94	p.566	説明変更
18. 7. 1 LIN送信 図18-99	p.575	誤記訂正
18. 7. 2 LIN受信 図18-100	p.577	誤記訂正
19. 3.6 IICAロウ・レベル幅設定レジスタn	p.617	説明追加
19. 5. 14 通信予約 計算式	P.637	説明変更
19. 5. 14 通信予約 図19-27	p.639	注意変更
19. 5. 16 通信動作 図19-28	p.643	説明変更
19. 5. 16 通信動作 図19-29 (1/3)	p.644	説明変更
19. 5. 16 通信動作 図19-29 (2/3)	p.645	説明変更
19. 5. 16 通信動作 図19-29の注	p.645	注意変更
19. 5. 16 通信動作 図19-30	p.648	説明変更
21. 3. 7 LCDポート・ファンクション・レジスタ0-5	p.708	注意変更
21. 3. 7 LCDポート・ファンクション・レジスタ0-5 注	p.708	注意変更
22. 1 DTCの機能 表22-1	p.755	説明変更
22. 4. 2 ノーマルモード	p.770	説明変更
22. 5. 3 DTC保留命令	p.777	説明変更
23. 4. 4 除算命令中の割り込み処理	p.803	説明追加
23. 4. 4 割り込み要求の保留	p.803	説明追加
25. 1 リセット動作のタイミング	p.825	注意削除
26. 3 パワーオン・リセット回路の動作	p.835	誤記訂正
27. 1 電圧検出回路の機能	p.837	説明変更
33. 1. 2 通信方式 図33-2	p.900	説明変更
33.5 セルフ・プログラミング 備考1	p.911	説明変更
36. 2 オペレーション一覧	p.939	注意追加
37. 3. 1 端子特性 内蔵プルアップ抵抗	p.956	誤記訂正
37. 3. 2 電源電流特性 電源電流	p.957	誤記訂正
37. 3. 2 電源電流特性 8ビット・インターバル・タイマ動作電流	p.961	単位追加
37. 6. 2 24ビット $\Delta\Sigma$ A/Dコンバータ特性	p.1000	誤記訂正
37. 9 RAMデータ保持特性 タイトル	p.1009	説明変更
37. 9 RAMデータ保持特性 注	p.1009	注意変更
37. 9 RAMデータ保持特性 図	p.1009	説明変更

1.6 機能概要

変更前)

(1/2)

項目	80ピン		100ピン	
	R5F10MMEDFB	R5F10MMGDFB	R5F10MPEDFB	R5F10MPGDFB
コード・フラッシュ・メモリ	64 KB	128 KB	64 KB	128 KB
データ・フラッシュ・メモリ	-			
RAM	6 KB	8 KB ^注	6 KB	8 KB ^注
アドレス空間	1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 1~20 MHz : V _{DD} = 2.7~5.5 V, 1~8 MHz : V _{DD} = 1.9~2.7 V		
	高速オンチップ・オシレータ・クロック	HS (高速メイン) モード : 24/12/6/3 MHz (V _{DD} = 2.7~5.5 V) , HS (高速メイン) モード : 12/6/3 MHz (V _{DD} = 2.4~5.5 V) , LS (低速メイン) モード : 6/3 MHz (V _{DD} = 1.9~5.5 V)		
サブシステム・クロック	XT1 (水晶) 発振, 外部サブシステム・クロック入力 (EXCLKS) 32.768 kHz (TYP.) : V _{DD} = 1.9~5.5 V			
高速オンチップ・オシレータ・クロック周波数補正機能	サブシステム・クロックによる高速オンチップ・オシレータ・クロックの周波数補正			
低速オンチップ・オシレータ・クロック	15 kHz (TYP.) : V _{DD} = 1.9~5.5 V			
汎用レジスタ	8ビット×8レジスタ×4バンク			
最小命令実行時間	0.04167 μs (高速オンチップ・オシレータ・クロック : f _{IH} = 24 MHz動作時)			
	0.05 μs (高速システム・クロック : f _{MX} = 20 MHz動作時)			
	30.5 μs (サブシステム・クロック : f _{SUB} = 32.768 kHz動作時)			
命令セット	<ul style="list-style-type: none"> ・データ転送 (8/16ビット) ・加減/論理演算 (8/16ビット) ・乗算 (16×16ビット), 除算 (32÷32ビット) ・積和演算 (16×16+32ビット) ・ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など 			
I/Oポート	合計	53	69	
	CMOS入出力	44	60	
	CMOS入力	5	5	
	CMOS出力	1	1	
	N-ch O.D. 入出力 (6 V耐圧)	3	3	
タイマ	16ビット・タイマ TAU	8チャンネル		
	ウォッチドッグ・タイマ	1チャンネル		
	12ビット・インターバル・タイマ	1チャンネル		
	8ビット・インターバル・タイマ	4チャンネル		
	リアルタイム・クロック2	1チャンネル		
	発振停止検出回路	1チャンネル		

注 8 Kバイトの場合, セルフ・プログラミング機能使用時は約7 KB

1.6 機能概要

変更後)

(1/2)

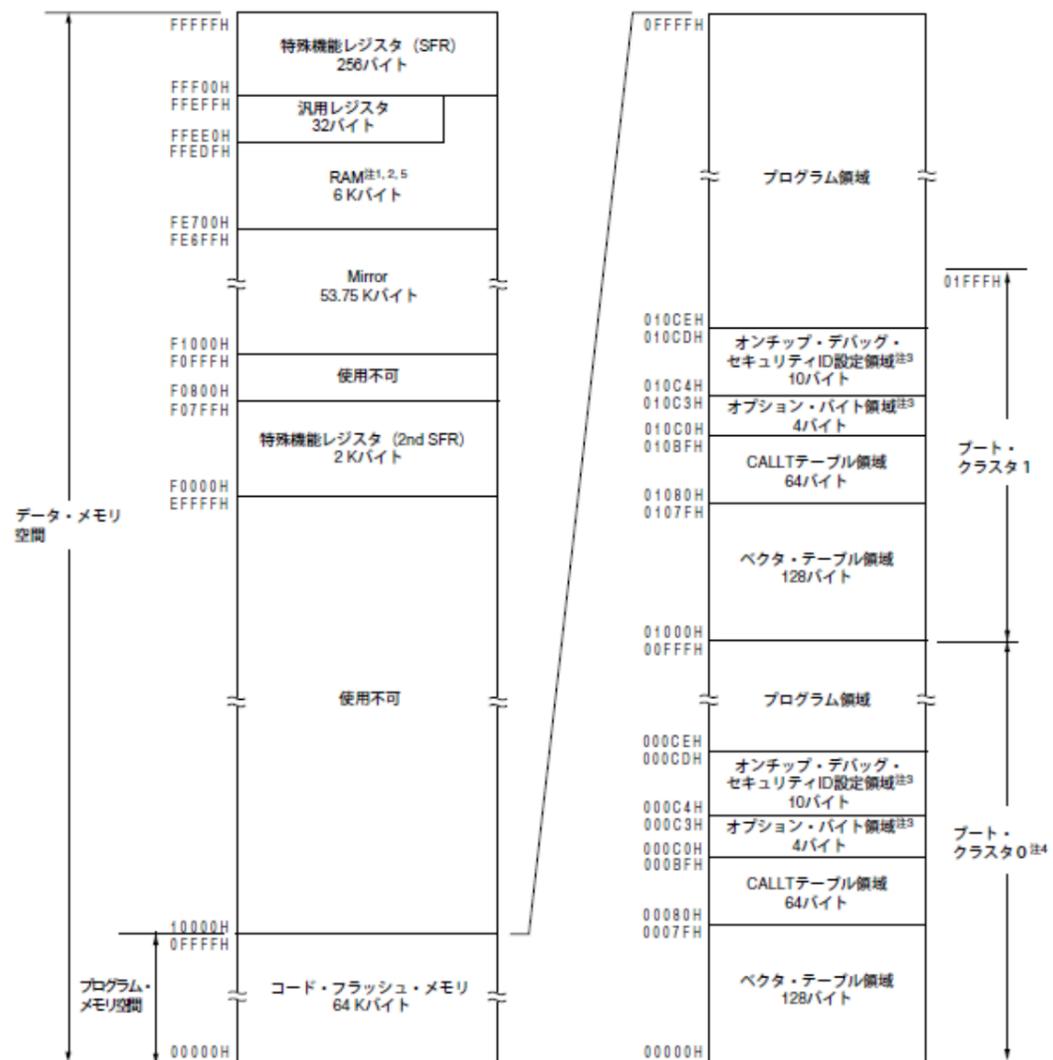
項目	80ピン		100ピン	
	R5F10MMEDFB	R5F10MMGDFB	R5F10MPEDFB	R5F10MPGDFB
コード・フラッシュ・メモリ	64 KB	128 KB	64 KB	128 KB
データ・フラッシュ・メモリ	-			
RAM	6 KB	8 KB ^注	6 KB	8 KB ^注
アドレス空間	1 Mバイト			
★ メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) HS (高速メイン) モード : 1~20 MHz (V _{DD} = 2.7~5.5 V) , HS (高速メイン) モード : 1~16 MHz (V _{DD} = 2.4~5.5 V) , LS (低速メイン) モード : 1~8 MHz (V _{DD} = 1.9~5.5 V)		
	高速オンチップ・オシレータ・クロック	HS (高速メイン) モード : 24/12/6/3 MHz (V _{DD} = 2.7~5.5 V) , HS (高速メイン) モード : 12/6/3 MHz (V _{DD} = 2.4~5.5 V) , LS (低速メイン) モード : 6/3 MHz (V _{DD} = 1.9~5.5 V)		
サブシステム・クロック	XT1 (水晶) 発振, 外部サブシステム・クロック入力 (EXCLKS) 32.768 kHz (TYP.) : V _{DD} = 1.9~5.5 V			
高速オンチップ・オシレータ・クロック周波数補正機能	サブシステム・クロックによる高速オンチップ・オシレータ・クロックの周波数補正			
低速オンチップ・オシレータ・クロック	15 kHz (TYP.) : V _{DD} = 1.9~5.5 V			
汎用レジスタ	8ビット×8レジスタ×4バンク			
最小命令実行時間	0.04167 μs (高速オンチップ・オシレータ・クロック : f _{IH} = 24 MHz動作時)			
	0.05 μs (高速システム・クロック : f _{MX} = 20 MHz動作時)			
	30.5 μs (サブシステム・クロック : f _{SUB} = 32.768 kHz動作時)			
命令セット	<ul style="list-style-type: none"> ・データ転送 (8/16ビット) ・加減/論理演算 (8/16ビット) ・乗算 (16×16ビット), 除算 (32÷32ビット) ・積和演算 (16×16+32ビット) ・ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など 			
I/Oポート	合計	53	69	
	CMOS入出力	44	60	
	CMOS入力	5	5	
	CMOS出力	1	1	
	N-ch O.D. 入出力 (6 V耐圧)	3	3	
タイマ	16ビット・タイマ TAU	8チャンネル		
	ウォッチドッグ・タイマ	1チャンネル		
	12ビット・インターバル・タイマ	1チャンネル		
	8ビット・インターバル・タイマ	4チャンネル		
	リアルタイム・クロック2	1チャンネル		
	発振停止検出回路	1チャンネル		

注 8 Kバイトの場合, セルフ・プログラミング機能使用時は約7 KB

3.1 メモリ空間

変更前)

図3-2 メモリ・マップ (R5F10MMG, R5F10MPG)

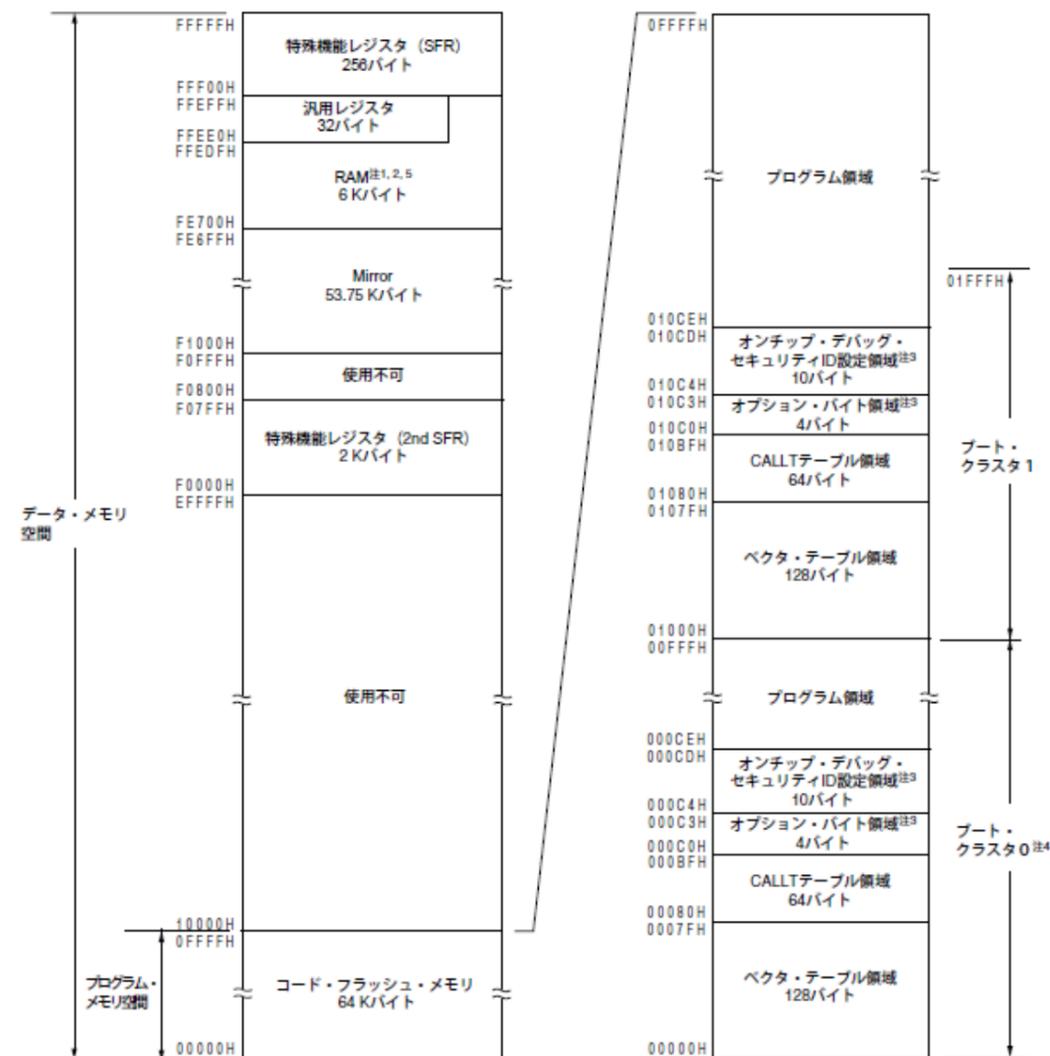


- 注1. セルフ・プログラミング時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHとFDF00H-FE309Hの領域に配置しないでください。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (33.6 セキュリティ設定を参照)。
5. オンチップ・デバッキングのトレース機能使用時は、FE300H-FE6FFHの領域が使用禁止になります

3.1 メモリ空間

変更後)

図3-2 メモリ・マップ (R5F10MMG, R5F10MPG)



- ★ 注1. セルフ・プログラミング時は、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがFDF00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリ セルフRAMリスト (R20UT2943) を参照してください。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (33.6 セキュリティ設定を参照)。
5. オンチップ・デバッキングのトレース機能使用時は、FE300H-FE6FFHの領域が使用禁止になります。

追加前)

図4-9 LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5) のフォーマット

アドレス : F0300H リセット時 : F0H R/W

略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

アドレス : F0301H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス : F0302H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

アドレス : F0303H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24

アドレス : F0304H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

アドレス : F0305H リセット時 : 03H R/W

略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	0	0	0	PFSEG41	PFSEG42

PFSEGxx (xx=04-41)	Pmn端子のポート (セグメント出力以外) / セグメント出力の指定 (mn = 10-17, 30-37, 50-57, 70-77, 80-85)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

注意 搭載していないビットには必ず初期値を設定してください。

備考 セグメント出力として使用する (PFSEGxx = 1) 場合には必ず PUm レジスタの PUmnn ビット = 0, POMm レジスタの POMmn ビット = 0, PIMm レジスタの PIMmn ビット = 0 に設定してください。

追加後)

図4-9 LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5) のフォーマット

アドレス : F0300H リセット時 : F0H R/W

略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

アドレス : F0301H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス : F0302H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

★

アドレス : F0303H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24

★

アドレス : F0304H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

★

アドレス : F0305H リセット時 : 03H R/W

略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	0	0	0	PFSEG41	PFSEG42

PFSEGxx (xx=04-41)	Pmn端子のポート (セグメント出力以外) / セグメント出力の指定 (mn = 10-17, 30-37, 50-57, 70-77, 80-85)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

★ 注 80ピン製品では必ず"1"を設定してください。

注意 搭載していないビットには必ず初期値を設定してください。

備考 セグメント出力として使用する (PFSEGxx = 1) 場合には必ず PUm レジスタの PUmnn ビット = 0, POMm レジスタの POMmn ビット = 0, PIMm レジスタの PIMmn ビット = 0 に設定してください。

5. 3. 3 クロック動作ステータス制御レジスタ (CSC)

変更前)

- 注意4. XSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
5. CPU/周辺ハードウェア・クロック (fclk) に選択しているクロックは、CSCレジスタで停止させないでください。
6. クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。

表5-2 クロック停止方法

クロック	クロック停止 (外部クロック入力無効) 前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
外部サブシステム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5. 3. 3 クロック動作ステータス制御レジスタ (CSC)

変更後)

- 注意4. XSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
5. CPU/周辺ハードウェア・クロック (fclk) に選択しているクロックは、CSCレジスタで停止させないでください。
- ★ 6. クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック停止方法

クロック	クロック停止 (外部クロック入力無効) 前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
外部サブシステム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5. 6. 5 CPUクロックの移行前の条件と移行後の処理

追加前)

表5-4 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	X1発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	X1発振停止可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)

5. 6. 5 CPUクロックの移行前の条件と移行後の処理

追加後)

表5-4 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
★ 高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能。
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
★ X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能 (MSTOP = 1)。
	外部メイン・システム・クロック	移行不可	—
★ XT1クロック	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能 (MSTOP = 1)。
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能 (MSTOP = 1)。
★ 外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)。
	X1クロック	移行不可	—
★ XT1クロック	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)。
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)。

追加前)

表5-4 CPUクロックの移行について (2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可	
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	

追加後)

表5-4 CPUクロックの移行について (2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
★ XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能 (XTSTOP = 1)。
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可	
★ 外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)。
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	

5. 6. 7 クロック発振停止前の条件

追加前)

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1

5. 6. 7 クロック発振停止前の条件

追加後)

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

★ クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1

変更前)

図7-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (f _{MCK}) の選択													
0	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm0													
0	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm2													
1	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm1													
1	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm3													
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (f _{CLK}) を生成します。															
動作クロックCKm2, CKm3は、チャンネル1, 3のみ選択可能です。															

CCS mn	チャンネルnのカウント・クロック (f _{CLK}) の選択														
0	CKSmn0, CKSmn1ビットで指定した動作クロック (f _{MCK})														
1	TImn端子からの入力信号の有効エッジ チャンネル1では、TIS0で選択した入力信号の有効エッジ														
カウント・クロック (f _{CLK}) は、カウンタ、出力制御回路、割り込み制御回路に使用されます。															

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

2. カウント・クロック (f_{CLK}) にCKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK}) , TImn端子からの入力信号の有効エッジのどれを選択していても、f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm=00FFH) させてください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

変更後)

図7-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (f _{MCK}) の選択													
0	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm0													
0	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm2													
1	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm1													
1	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm3													
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (f _{CLK}) を生成します。															
動作クロックCKm2, CKm3は、チャンネル1, 3のみ選択可能です。															

CCS mn	チャンネルnのカウント・クロック (f _{CLK}) の選択														
0	CKSmn0, CKSmn1ビットで指定した動作クロック (f _{MCK})														
1	TImn端子からの入力信号の有効エッジ チャンネル5では、TIS0で選択した入力信号の有効エッジ チャンネル7では、ISCで選択した入力信号の有効エッジ														
カウント・クロック (f _{CLK}) は、カウンタ、出力制御回路、割り込み制御回路に使用されます。															

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

2. カウント・クロック (f_{CLK}) にCKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK}) , TImn端子からの入力信号の有効エッジのどれを選択していても、f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm=00FFH) させてください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7. 3. 8 タイマ入力選択レジスタ 0 (TIS0)

変更前)

TIS0レジスタは、チャンネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図7-17 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

★ 注意 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、1/f_{MCK}+10 ns 以上必要となります。

そのため、f_{CLK}にf_{SUB}を選択時 (CKSレジスタのCSS = 1) は、TIS02ビットに1を設定できません。

7. 3. 8 タイマ入力選択レジスタ 0 (TIS0)

変更後)

TIS0レジスタは、チャンネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図7-17 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

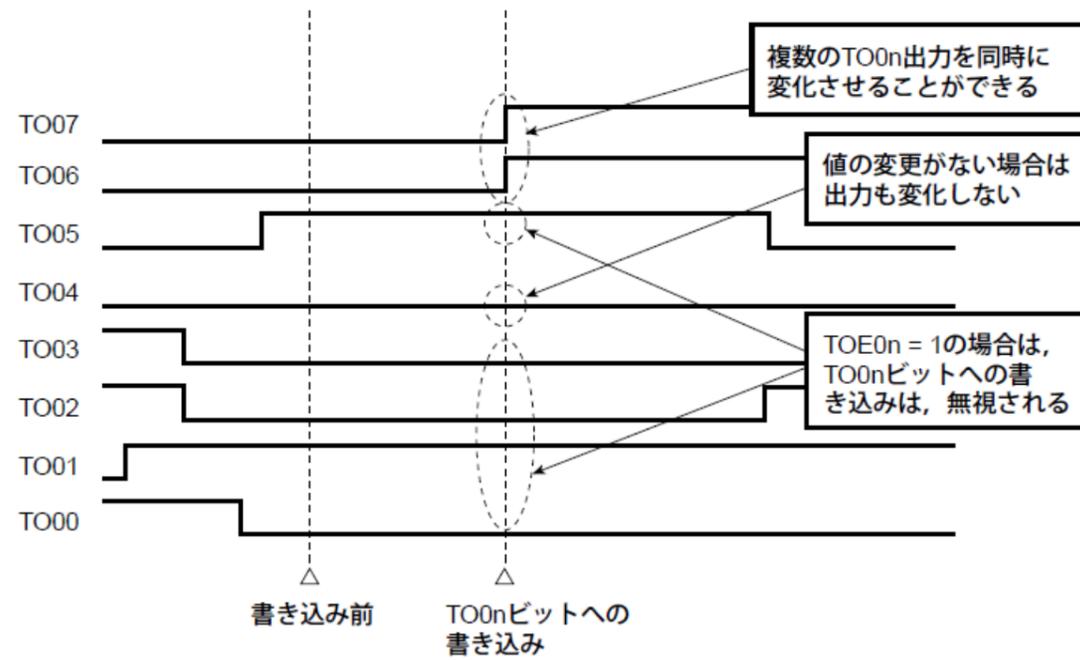
TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

★ 注意 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、1/f_{MCK}+10 ns 以上必要となります。

そのため、f_{CLK}にf_{SUB}を選択時 (CKCレジスタのCSS = 1) は、TIS02ビットに1を設定できません。

変更前)

図7-38 T00nビットの一括操作によるT00nの端子状態



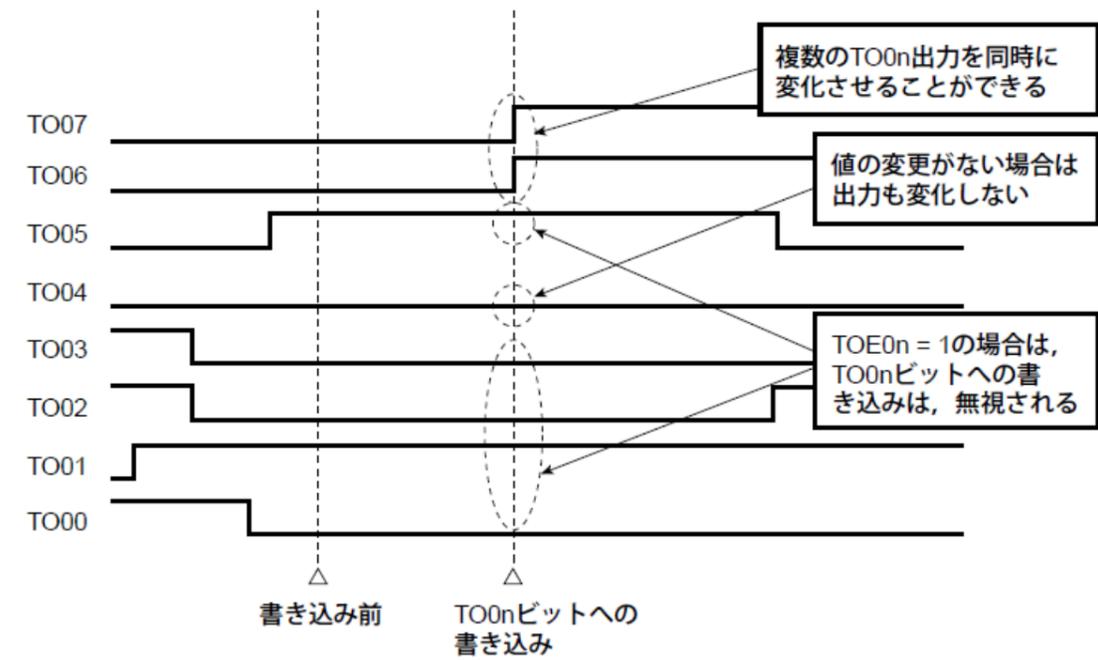
(注意, 備考は次ページにあります)

注意 タイマ出力許可状態 (TOEmn = 1) において, 各チャンネルのタイマ割り込み (INTTMmn) による出力とT0mnビットへの書き込みが競合しても, T0mn端子は正常に出力動作が行われます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

変更後)

図7-38 T00nビットの一括操作によるT00nの端子状態



(注意, 備考は次ページにあります)

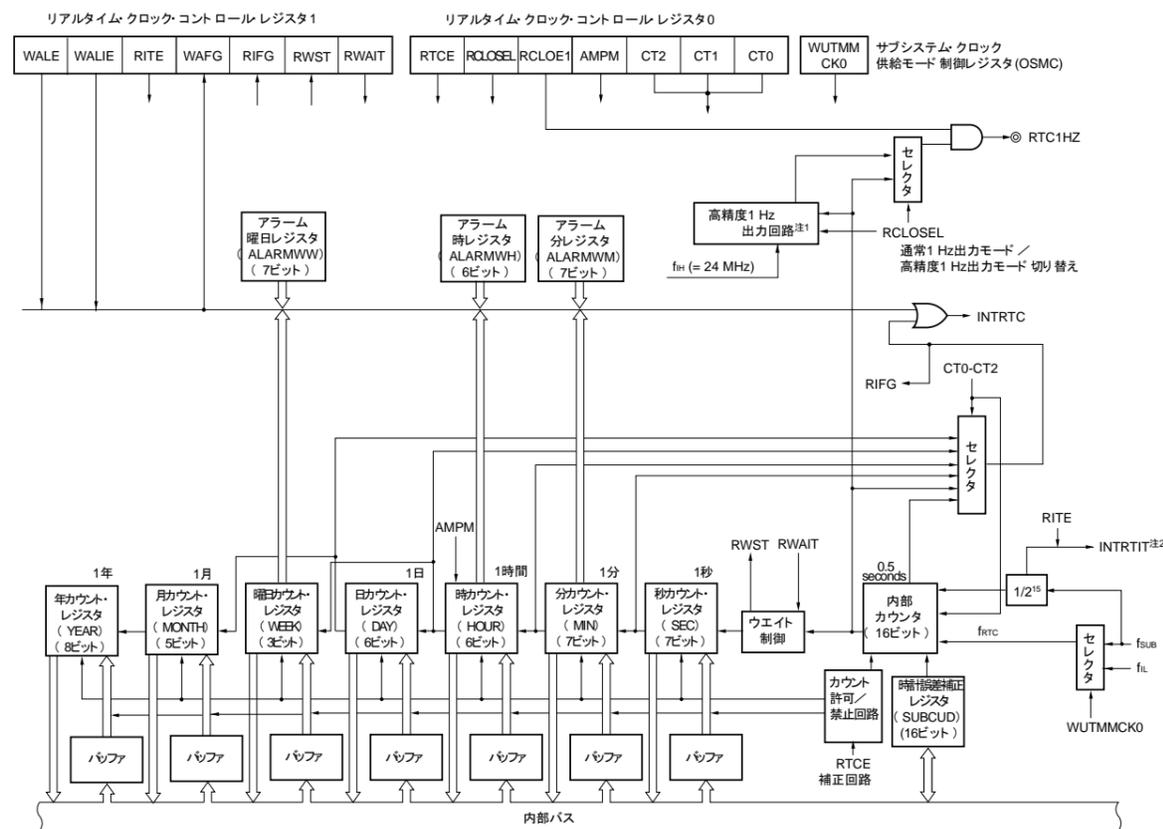
★

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.2 リアルタイム・クロック2の構成

変更前)

図8-1 リアルタイム・クロック2のブロック図



注1. 高精度1 Hz出力には高速オンチップ・オシレータ (HOCO : 24 MHz) を使用します。高精度1 Hz出力モードで動作させる場合は、HOCOをONIにする必要があります。なお、通常1 Hzモードで動作させる場合は、HOCOをONIにする必要はありません。

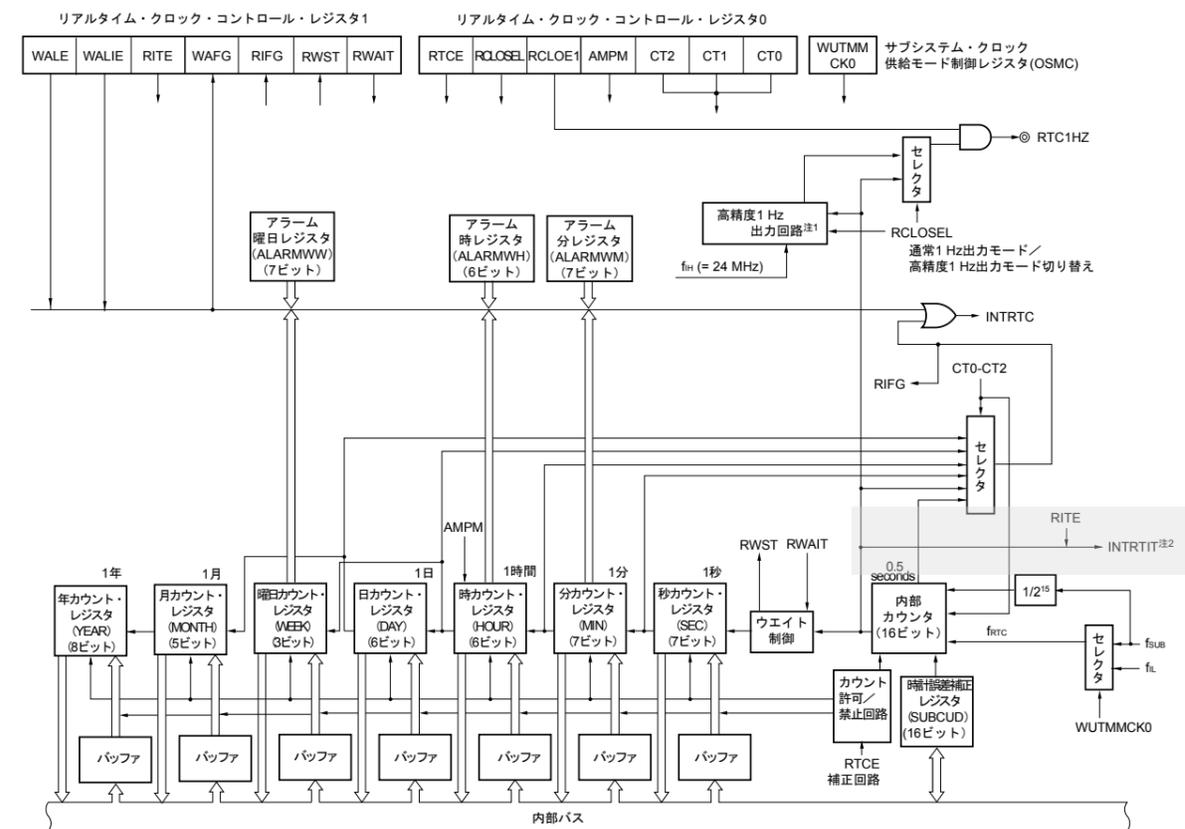
2. 時計誤差補正レジスタ (SUBCUD) から補正値を取り込むタイミングを示す割り込みです。取り込みタイミングは1秒 (f_{SUB} ベース) 間隔になります。

★

8.2 リアルタイム・クロック2の構成

変更後)

図8-1 リアルタイム・クロック2のブロック図



注1. 高精度1 Hz出力には高速オンチップ・オシレータ (HOCO : 24 MHz) を使用します。高精度1 Hz出力モードで動作させる場合は、HOCOをONIにする必要があります。なお、通常1 Hzモードで動作させる場合は、HOCOをONIにする必要はありません。

2. 時計誤差補正レジスタ (SUBCUD) から補正値を取り込むタイミングを示す割り込みです。取り込みタイミングは1秒 (f_{SUB} ベース) 間隔になります。

変更前)

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (3/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	[1]	[0]
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RWST	リアルタイム・クロック2のウェイト状態フラグ
0	カウンタ動作
1	カウンタ値読み出し、書き込みモード中
RWAITビットの設定が有効であることを示すステータス・フラグです。 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとで行ってください。 RWAITビットに0を設定しても、カウンタ書き込み動作中はRWSTビットは0になりません。書き込み動作完了後、0になります。	

RWAIT	リアルタイム・クロック2のウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。
カウンタの動作を制御します。 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。 カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで最大 f_{RTC} の1クロックの時間がかかります。 内部カウンタ（16ビット）のオーバフローがRWAIT = 1の時に起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。	

注意 RTCCT1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時にRIFGフラグ、WAFGフラグをクリアしないようにするために、該当ビットに1（書き込みが無効）を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き変わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行っても問題ありません。

変更後)

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (3/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	[1]	[0]
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RWST	リアルタイム・クロック2のウェイト状態フラグ
0	カウンタ動作
1	カウンタ値読み出し、書き込みモード中
RWAITビットの設定が有効であることを示すステータス・フラグです。 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとで行ってください。 RWAITビットに0を設定しても、カウンタ書き込み動作中はRWSTビットは0になりません。書き込み動作完了後、0になります。	

RWAIT	リアルタイム・クロック2のウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。
カウンタの動作を制御します。 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。 カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで最大 f_{RTC} の1クロックの時間がかかります。 ^{注1, 注2} 内部カウンタ（16ビット）のオーバフローがRWAIT = 1の時に起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。	

★

★

★

注1. RTCE=1に設定した後、 f_{RTC} の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック（ f_{RTC} ）の2クロック時間がかかる場合があります。

注2. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、 f_{RTC} の1クロック時間内で、RWAIT=1とした場合、RWSTビットが“1”になるまでに、動作クロック（ f_{RTC} ）の2クロック時間がかかる場合があります。

注意 RTCCT1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時にRIFGフラグ、WAFGフラグをクリアしないようにするために、該当ビットに1（書き込みが無効）を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き変わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行っても問題ありません。

12.5 クロック出力／ブザー出力制御回路の注意事項

変更前)

12.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択 (CSELn = 0) している場合は、出力停止設定 (PCLOEn = 0) にしてからPCLBUZn端子の出カクロックの1.5クロック以内にHALT/STOPモードへ移行すると、PCLBUZnの出力幅が短くなります。

12.5 クロック出力／ブザー出力制御回路の注意事項

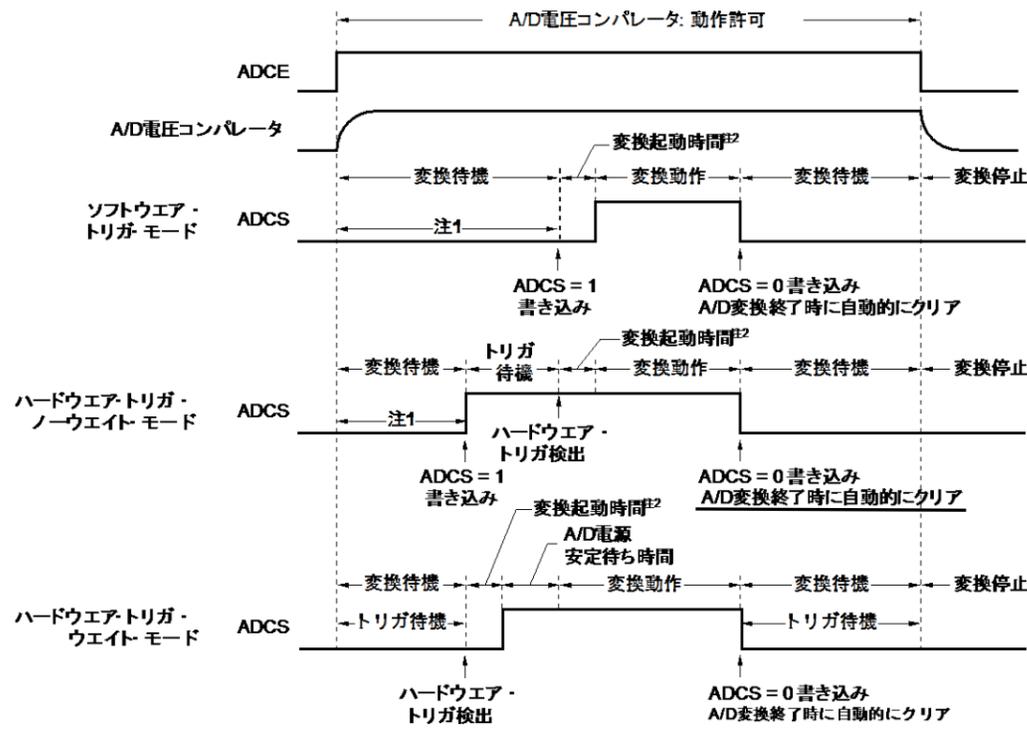
変更後)

12.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択 (CSELn = 0) している場合は、出力停止設定 (PCLOEn = 0) ★ にしてからPCLBUZn端子の出カクロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。

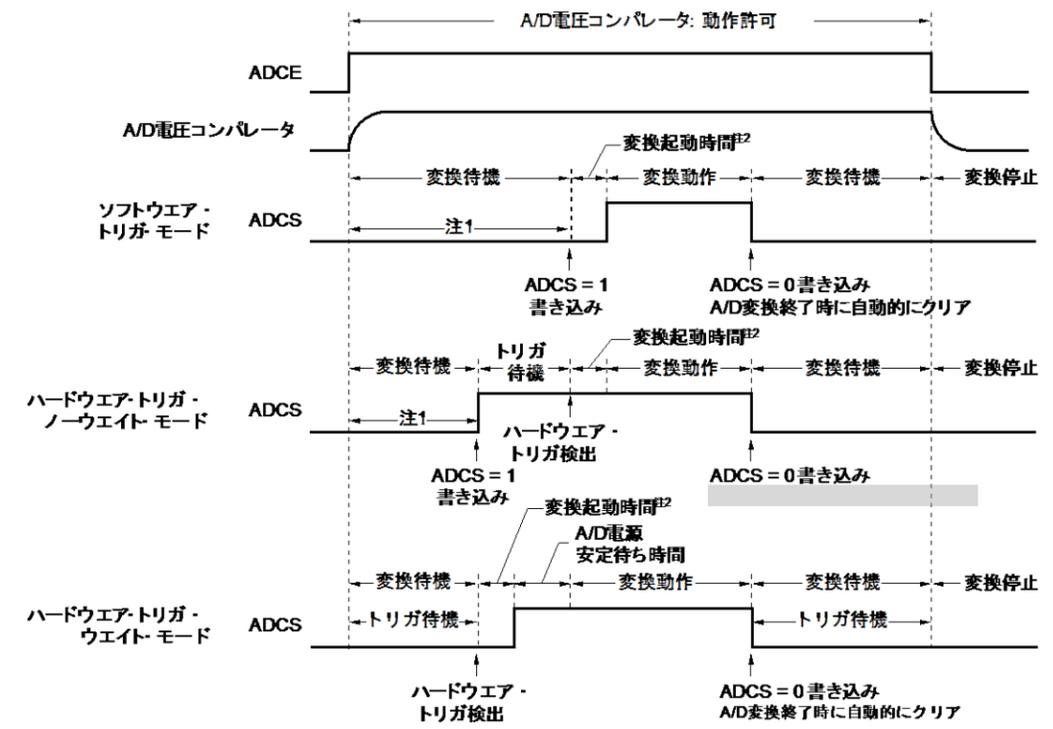
14. 3. 2 A/Dコンバータ・モード・レジスタ0 (ADMO)
変更前)

図14-4 A/D電圧コンパレータ使用時のタイミング・チャート



14. 3. 2 A/Dコンバータ・モード・レジスタ0 (ADMO)
変更後)

図14-4 A/D電圧コンパレータ使用時のタイミング・チャート

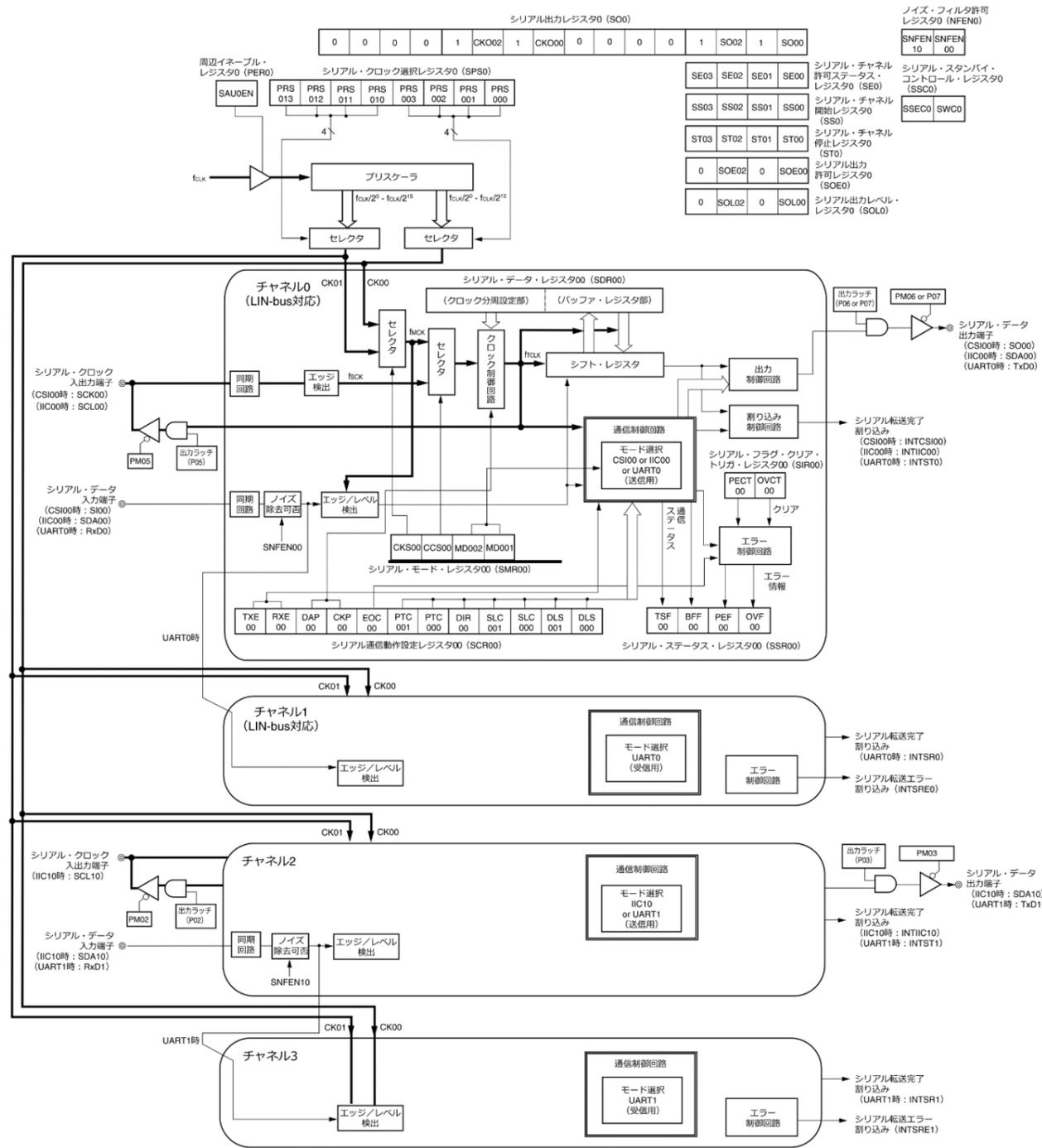


★

変更前)

図18-1にシリアル・アレイ・ユニット0のブロック図を示します。

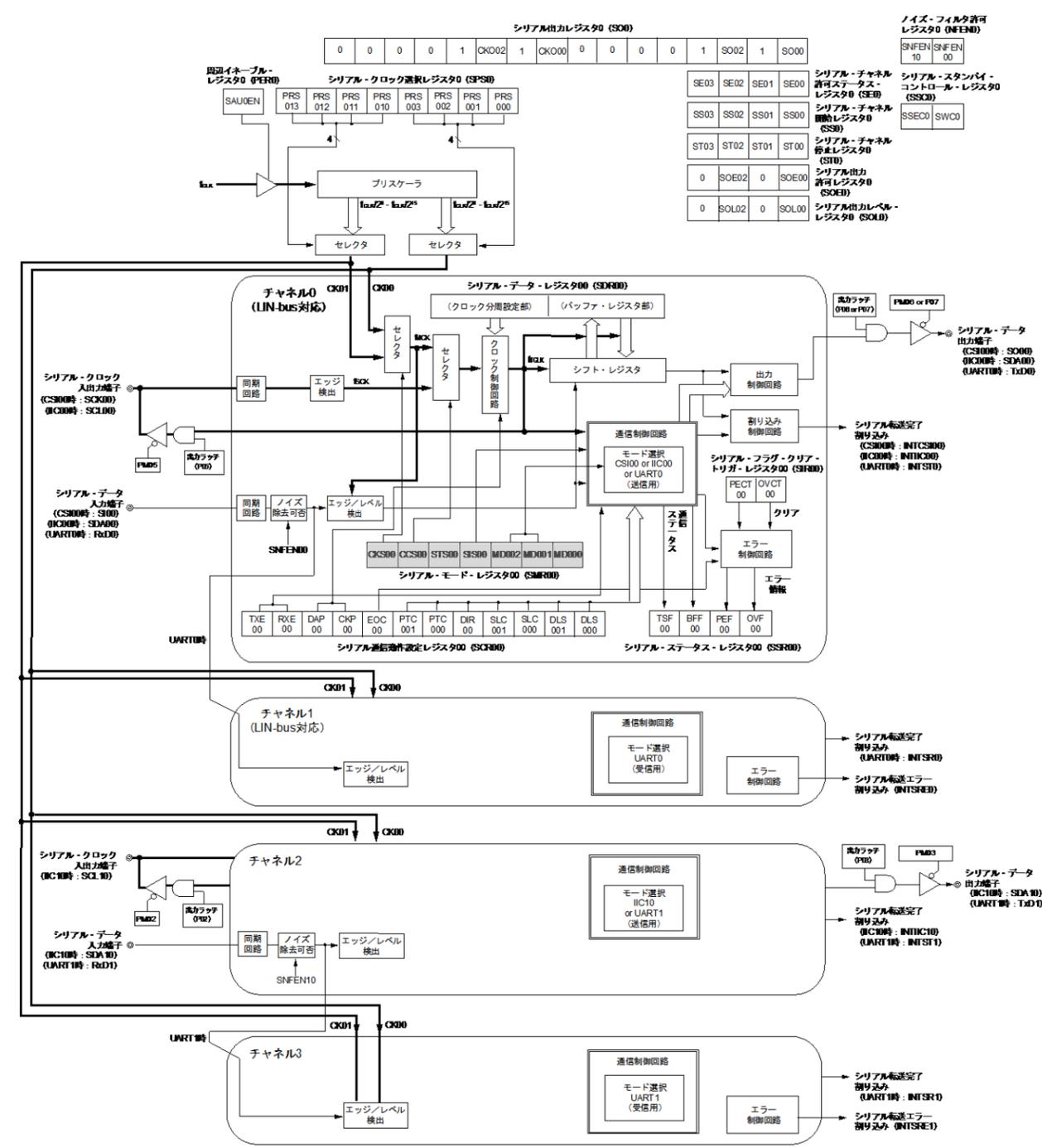
図18-1 シリアル・アレイ・ユニット0のブロック図



変更後)

図18-1にシリアル・アレイ・ユニット0のブロック図を示します。

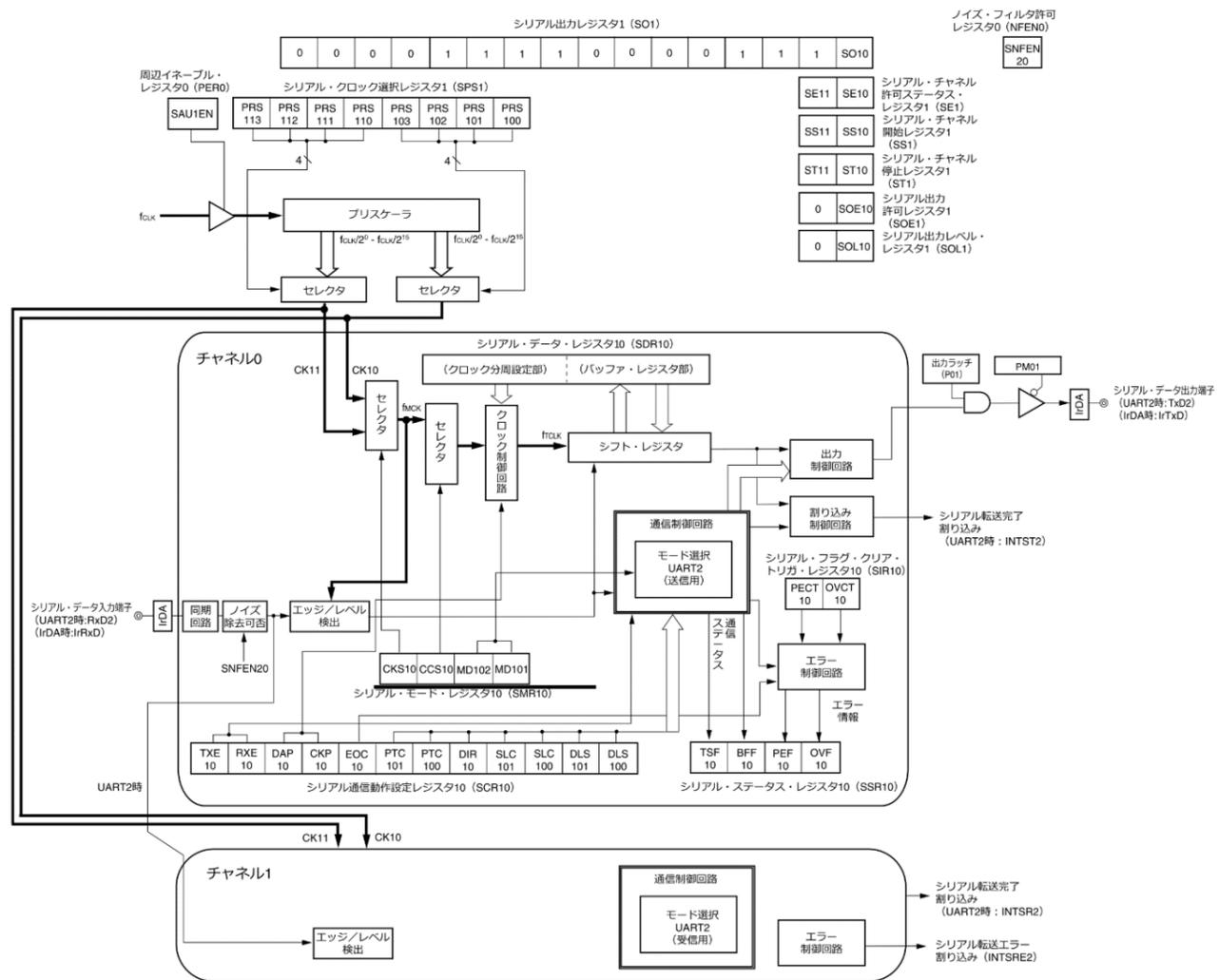
図18-1 シリアル・アレイ・ユニット0のブロック図



変更前)

図18-2にシリアル・アレイ・ユニット1のブロック図を示します。

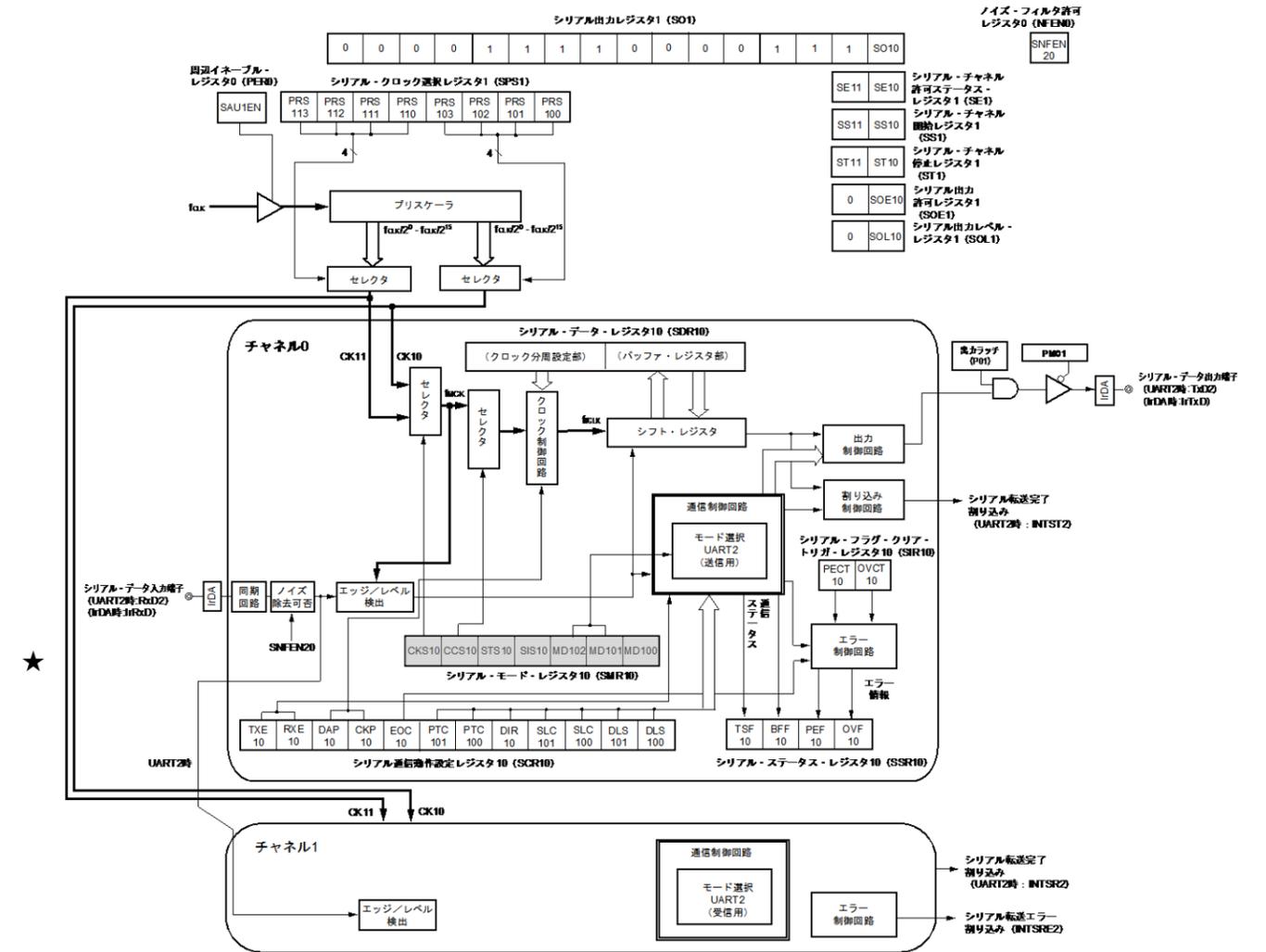
図18-2 シリアル・アレイ・ユニット1のブロック図



変更後)

図18-2にシリアル・アレイ・ユニット1のブロック図を示します。

図18-2 シリアル・アレイ・ユニット1のブロック図



変更前)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

SDR00, SDR01のビット8-0（下位9ビット）、またはSDR02, SDR03, SDR10, SDR11のビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9（上位7ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00のビット15-9（上位7ビット）に”0000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（CSIモードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合は、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

変更後)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

★ SDR00, SDR01, SDR10, SDR11のビット8-0（下位9ビット）、またはSDR02, SDR03のビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9（上位7ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00のビット15-9（上位7ビット）に”0000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（CSIモードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合は、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

18. 3. 12 シリアル出力レジスタ m (SOm)

変更前)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOm レジスタは 0F0FH になります。

18. 3. 12 シリアル出力レジスタ m (SOm)

変更後)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

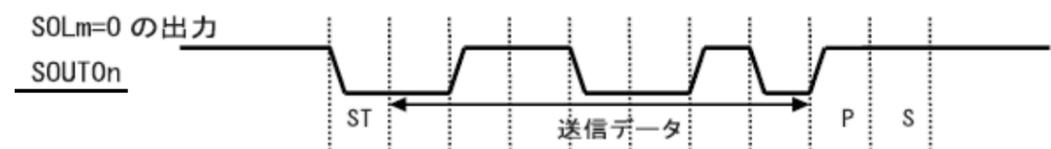
SOmレジスタは、16ビット・メモリ操作命令で設定します。

★ リセット信号の発生により、SO0レジスタは0F0FH, SO1レジスタは0303HIになります。

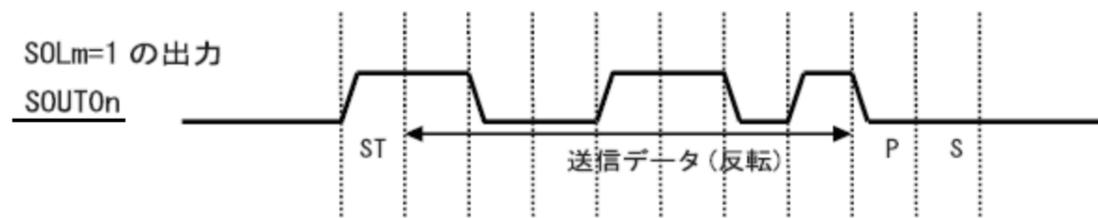
変更前)

図 18-18 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)

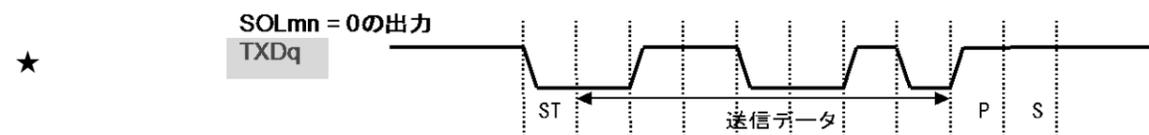


備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00-03, 10, 11

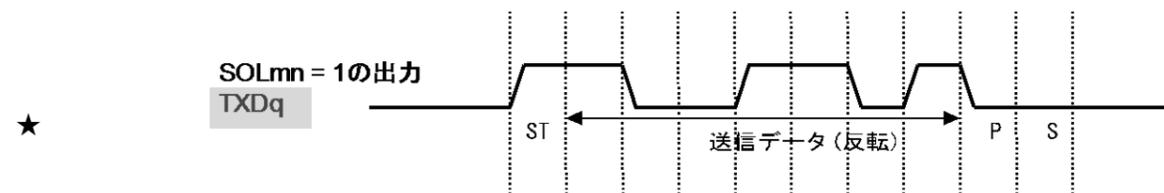
変更後)

図 18-18 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00-03, 10, 11

18. 5. 7 SNOOZE モード機能

変更前)

STOPモード時にSCKp端子入力の検出によりCSIの受信動作をさせるモードです。通常STOPモード時にCSIは通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずにCSIの受信動作を行うことができます。

CSIをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図18-72, 図18-74 SNOOZEモード動作時のフローチャートを参照)

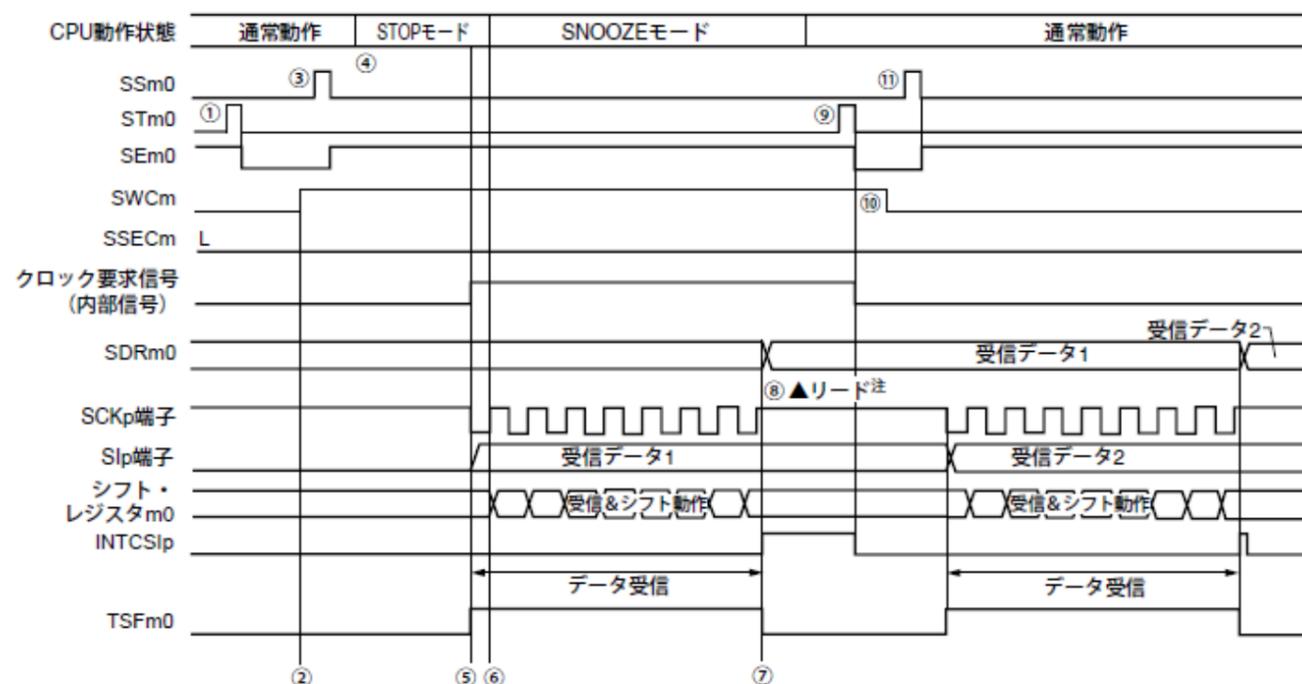
- ・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。

STOPモードに移行後、SCKp端子のエッジを検出すると、CSI受信を開始します。

- 注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
 2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作 (1回起動)

図18-31 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1: DAPm0 = 0, CKPm0 = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子のエッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

- 2. SWCm = 1のときは、BFFm1, OVFM1フラグは動作しません。

18. 5. 7 SNOOZE モード機能

変更後)

STOPモード時にSCKp端子入力の検出によりCSIの受信動作をさせるモードです。通常STOPモード時にCSIは通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずにCSIの受信動作を行うことができます。

CSIをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図18-72, 図18-74 SNOOZEモード動作時のフローチャートを参照)

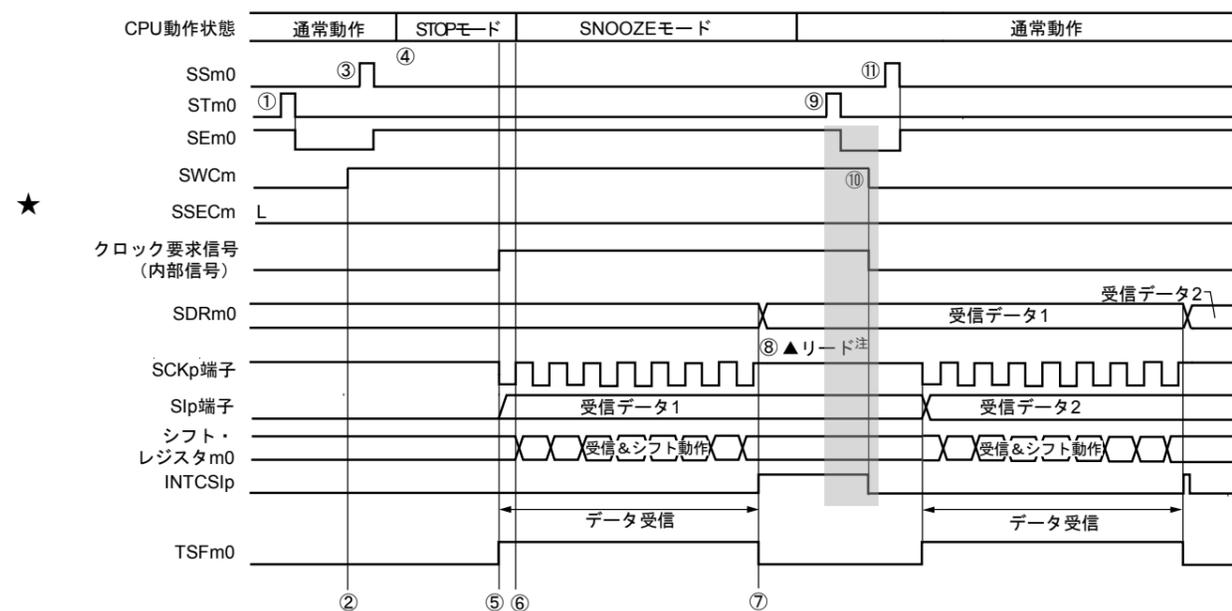
- ・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm0ビットをセット (1) します。

- ★ ・STOPモードに移行後、SCKp端子の有効エッジを検出すると SNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIplは受信動作を開始します。

- 注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
 2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作 (1回起動)

図18-71 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1: DAPm0 = 0, CKPm0 = 0)



★ 注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

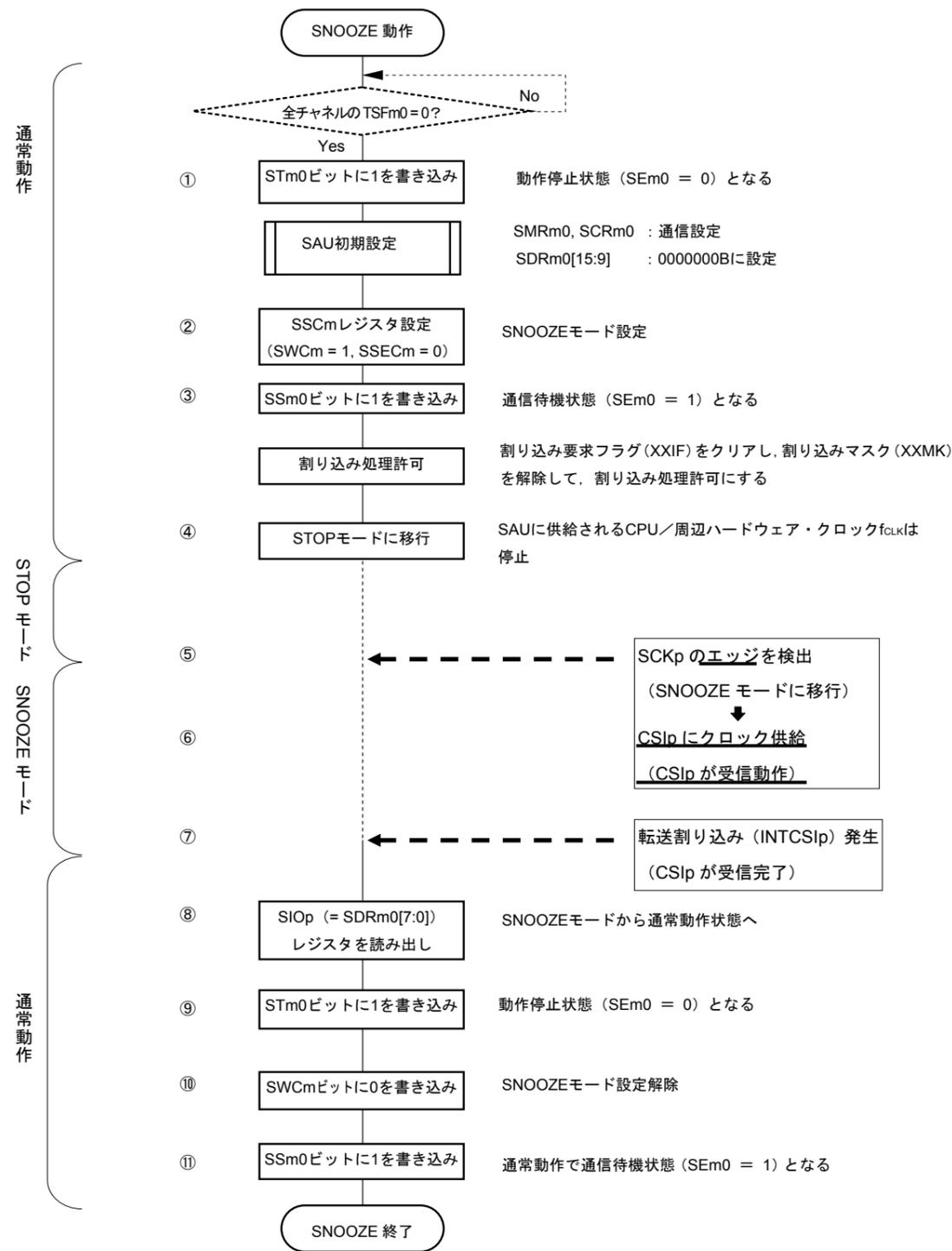
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

- 2. SWCm = 1のときは、BFFm1, OVFM1フラグは動作しません。

変更前)

図18-72 SNOOZEモード動作 (1回起動) 時のフロー・チャート

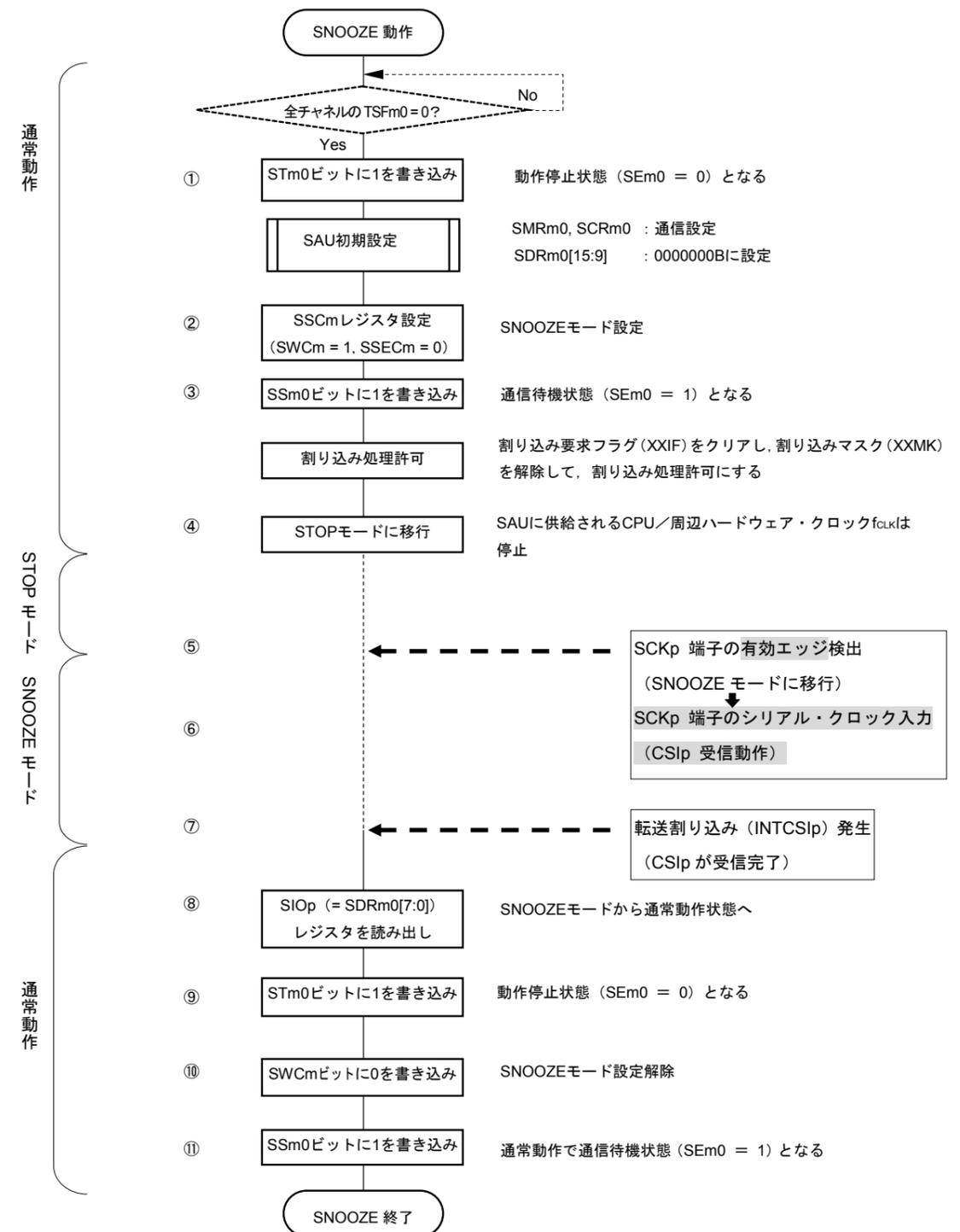


備考1. 図中の①~⑪は、図18-3 SNOOZEモード動作 (1回起動) 時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; p = 00

変更後)

図18-72 SNOOZEモード動作 (1回起動) 時のフロー・チャート



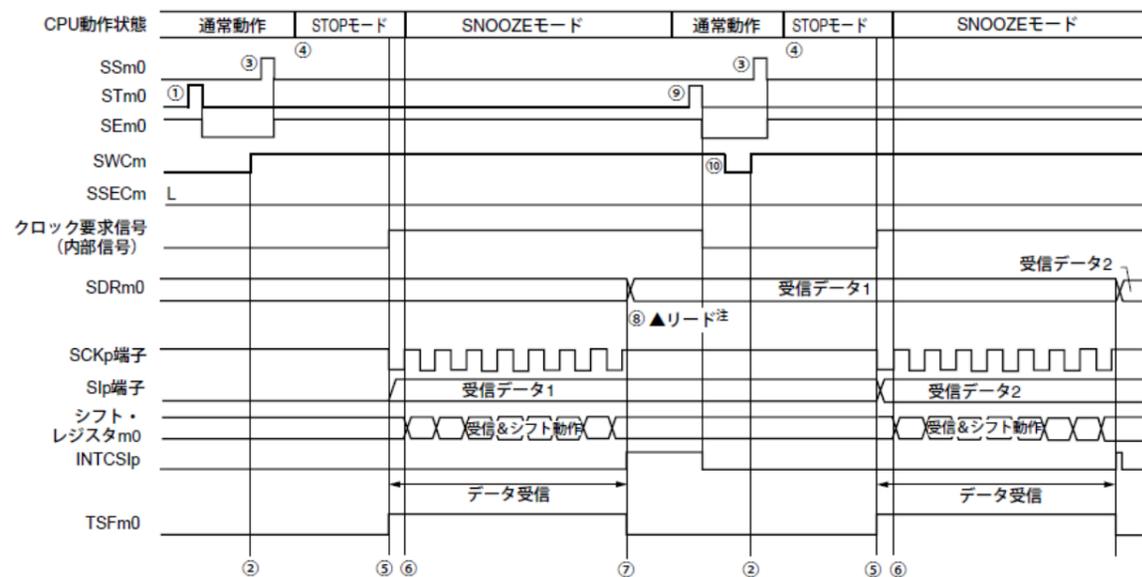
備考1. 図中の①~⑪は、図18-3 SNOOZEモード動作 (1回起動) 時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; p = 00

変更前)

(2) SNOOZEモード動作 (連続起動)

図18-73 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1: DAPm0 = 0, CKPm0 = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子のエッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

2. SWCm = 1のときは、BFFm1, OVFM1フラグは動作しません。

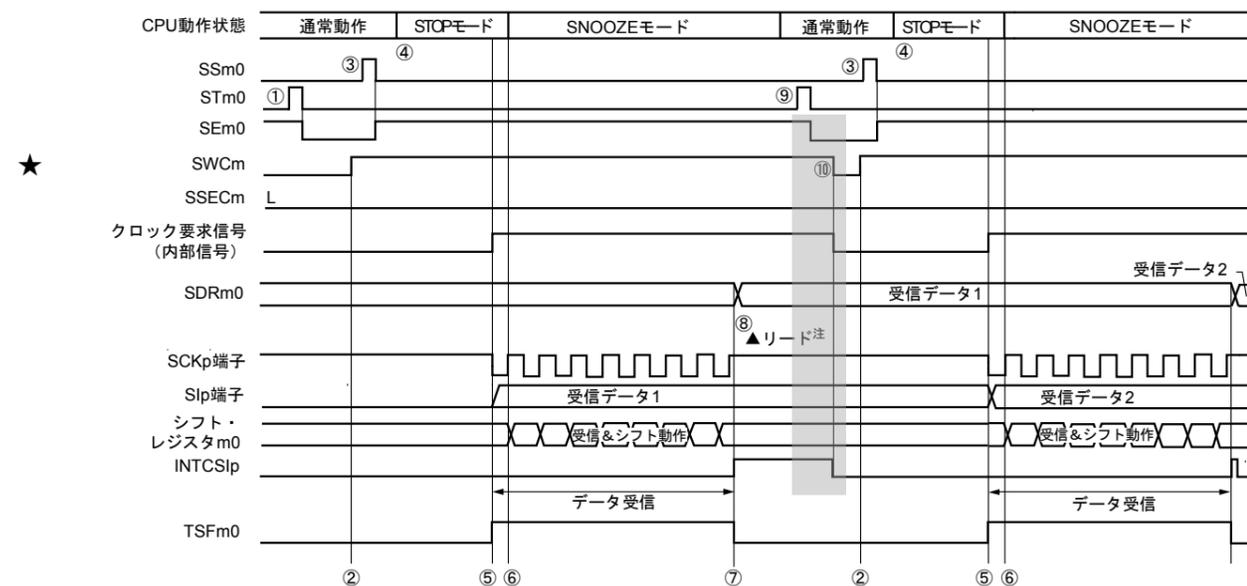
備考1. 図中の①~⑩は、図18- SNOOZEモード動作 (連続起動) 時のフロー・チャートの①~⑩に対応しています。

2. m = 0; p = 00

変更後)

(2) SNOOZEモード動作 (連続起動)

図18-73 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1: DAPm0 = 0, CKPm0 = 0)



★ 注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

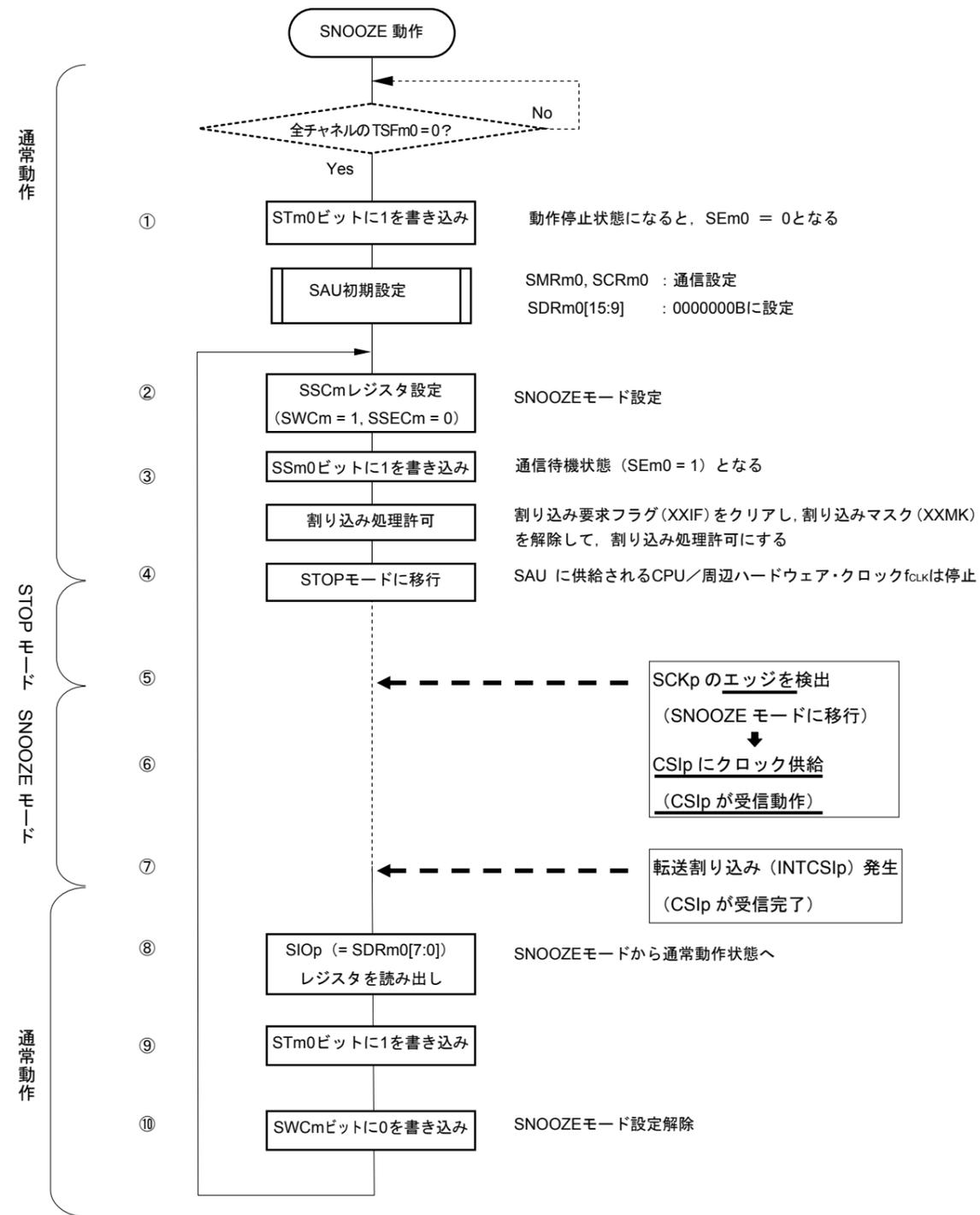
2. SWCm = 1のときは、BFFm1, OVFM1フラグは動作しません。

備考1. 図中の①~⑩は、図18- SNOOZEモード動作 (連続起動) 時のフロー・チャートの①~⑩に対応しています。

2. m = 0; p = 00

変更前)

図18-74 SNOOZEモード動作 (連続起動) 時のフロー・チャート

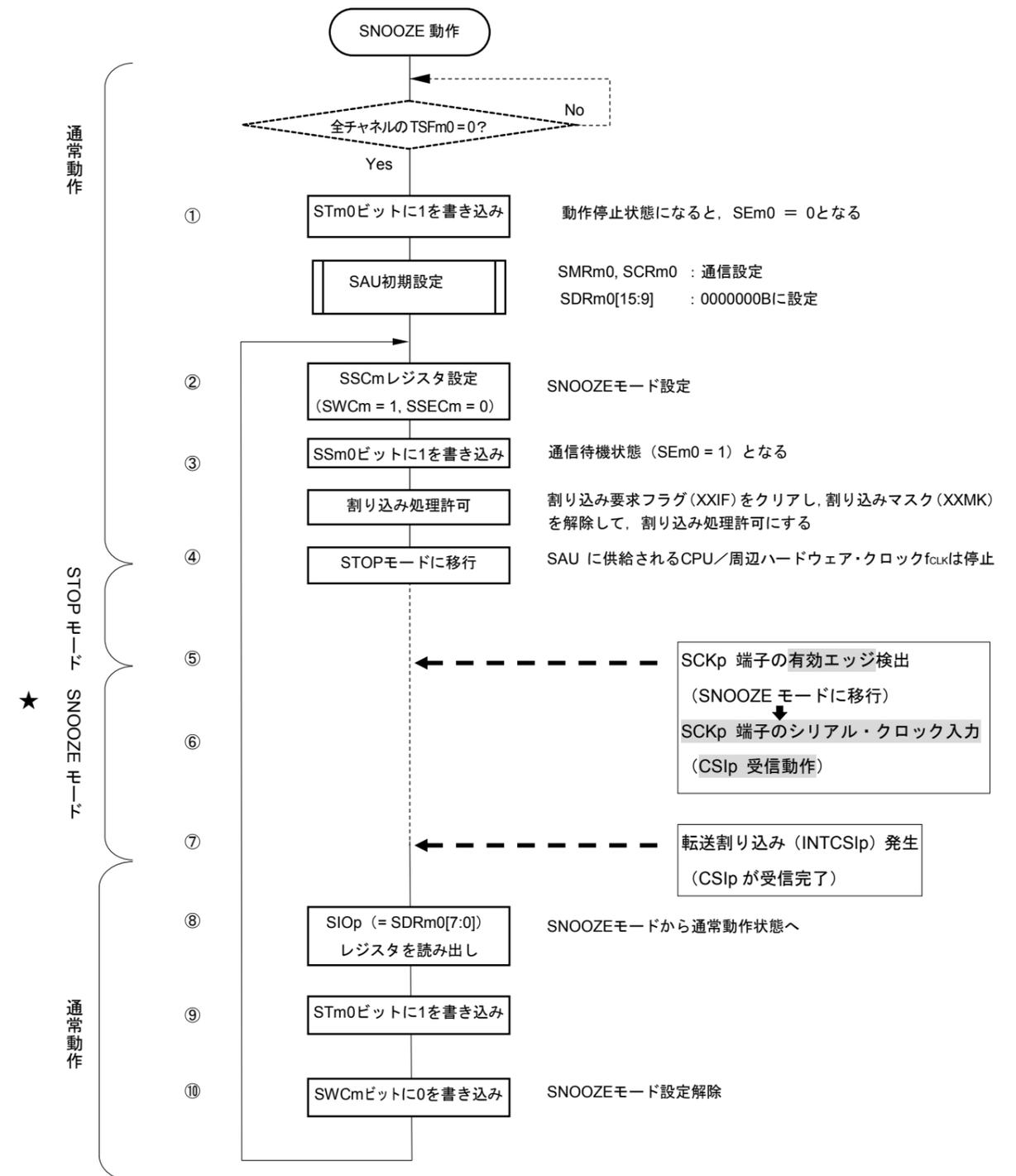


備考1. 図中の①~⑩は、エラー! 参照元が見つかりません。 SNOOZEモード動作 (連続起動) 時のタイミング・チャートの①~⑩に対応しています。

2. m = 0; p = 00

変更後)

図18-4 SNOOZEモード動作 (連続起動) 時のフロー・チャート



備考1. 図中の①~⑩は、エラー! 参照元が見つかりません。 SNOOZEモード動作 (連続起動) 時のタイミング・チャートの①~⑩に対応しています。

2. m = 0; p = 00

18. 6. 3 SNOOZE モード機能

変更前)

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは、UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図18-92, 図18-94 SNOOZEモード動作時のフローチャートを参照)

- ・SNOOZEモード時は、UART受信ポー・レートの設定を通常動作時とは異なる値に変更する必要があります。表18-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可/停止を設定することができます。
- ・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。

STOPモードに移行後、RxDqのエッジを検出 (スタート・ビット入力) すると、UART受信を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UARTqをSNOOZEモードで使用する時の最大転送レートは4800 bpsです。
3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
 - ・他のSNOOZEモード中に受信開始した場合
 - ・STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合
4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq)を読み出してください。

18. 6. 3 SNOOZE モード機能

変更後)

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは、UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図18-92, 図18-94 SNOOZEモード動作時のフローチャートを参照)

- ・SNOOZEモード時は、UART受信ポー・レートの設定を通常動作時とは異なる値に変更する必要があります。表18-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可/停止を設定することができます。
- ・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。

★ ・STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UARTqをSNOOZEモードで使用する時の最大転送レートは4800 bpsです。
3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
 - ・他のSNOOZEモード中に受信開始した場合
 - ・STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合
4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq)を読み出してください。

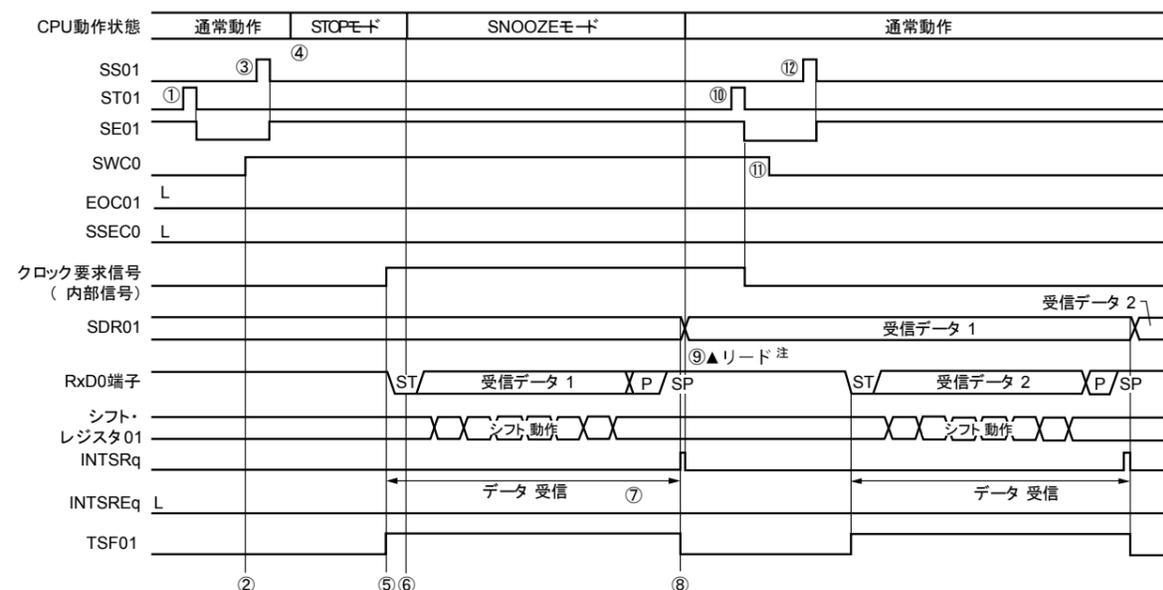
★ 5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。
 また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

変更前)

(1) SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSREq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図18-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図18-7 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

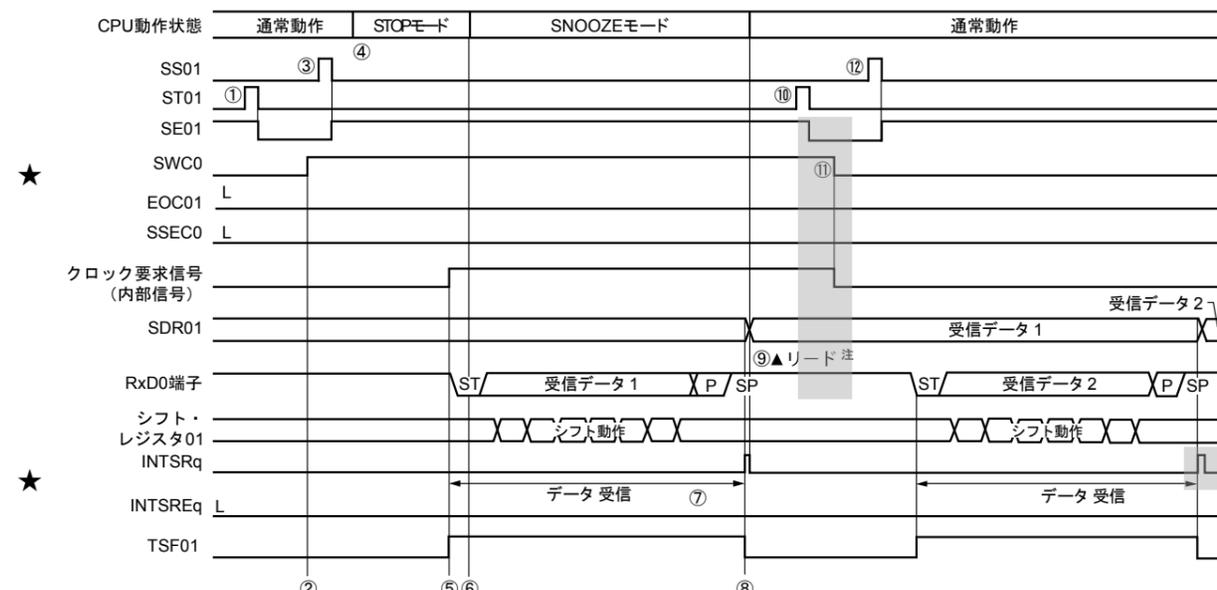
2. m = 0; q = 0

変更後)

(1) SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSREq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図18-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図18-7 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

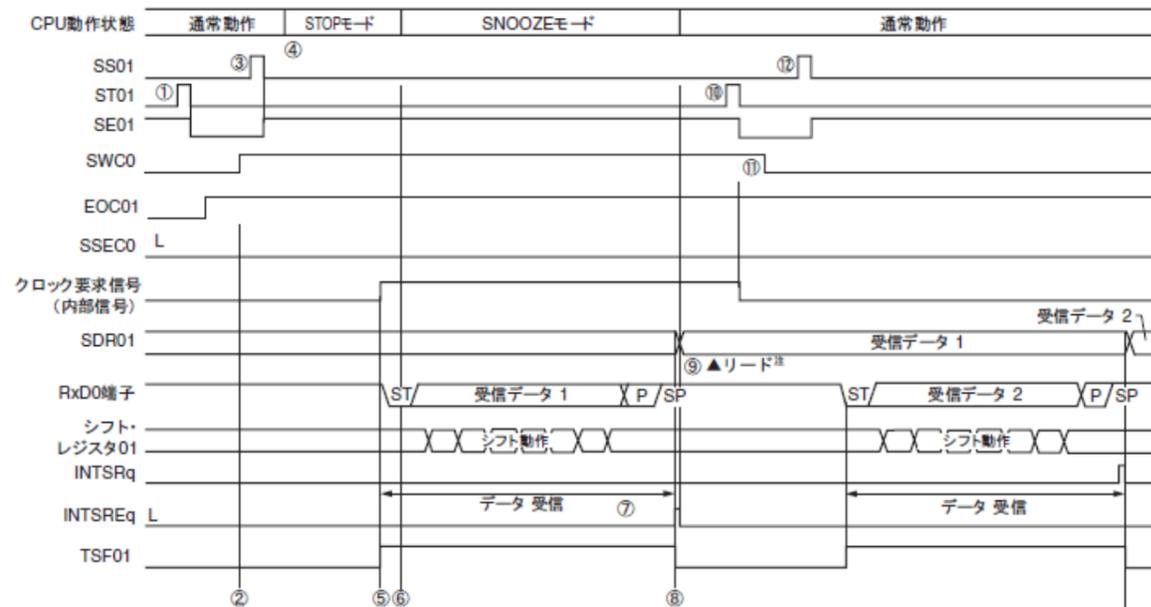
2. m = 0; q = 0

変更前)

(2) SNOOZEモード動作 (EOCm1 = 1, SSECm = 0 : エラー割り込み (INTSREq) 発生許可)

EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生します。

図18-91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図18-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

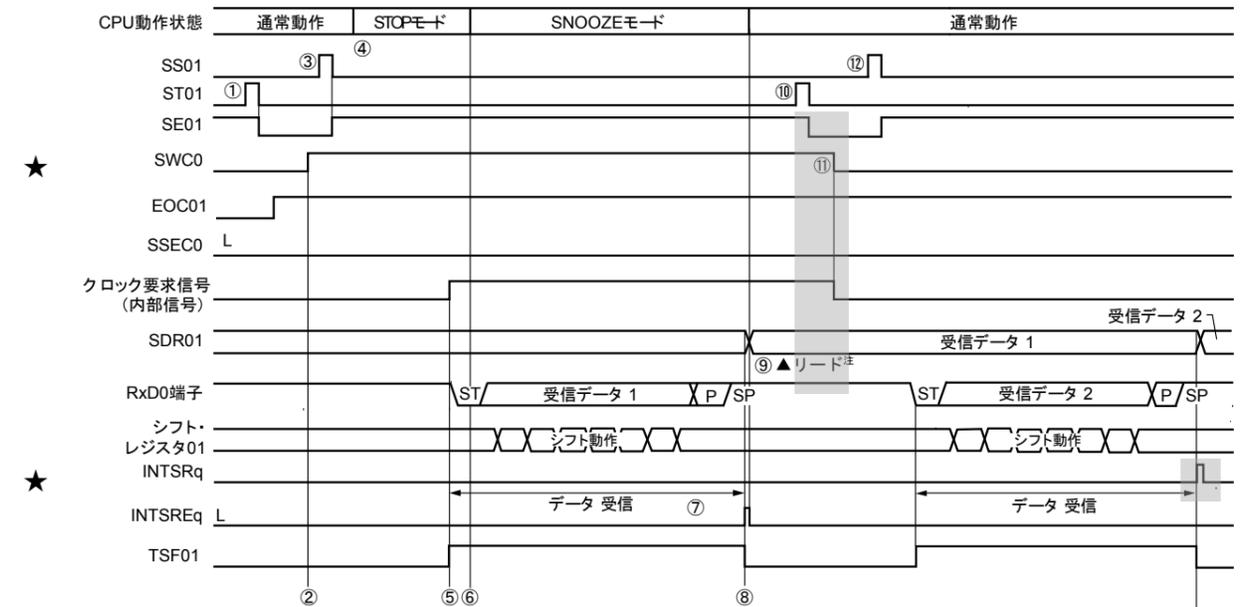
2. m = 0; q = 0

変更後)

(2) SNOOZEモード動作 (EOCm1 = 1, SSECm = 0 : エラー割り込み (INTSREq) 発生許可)

EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生します。

図18-91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

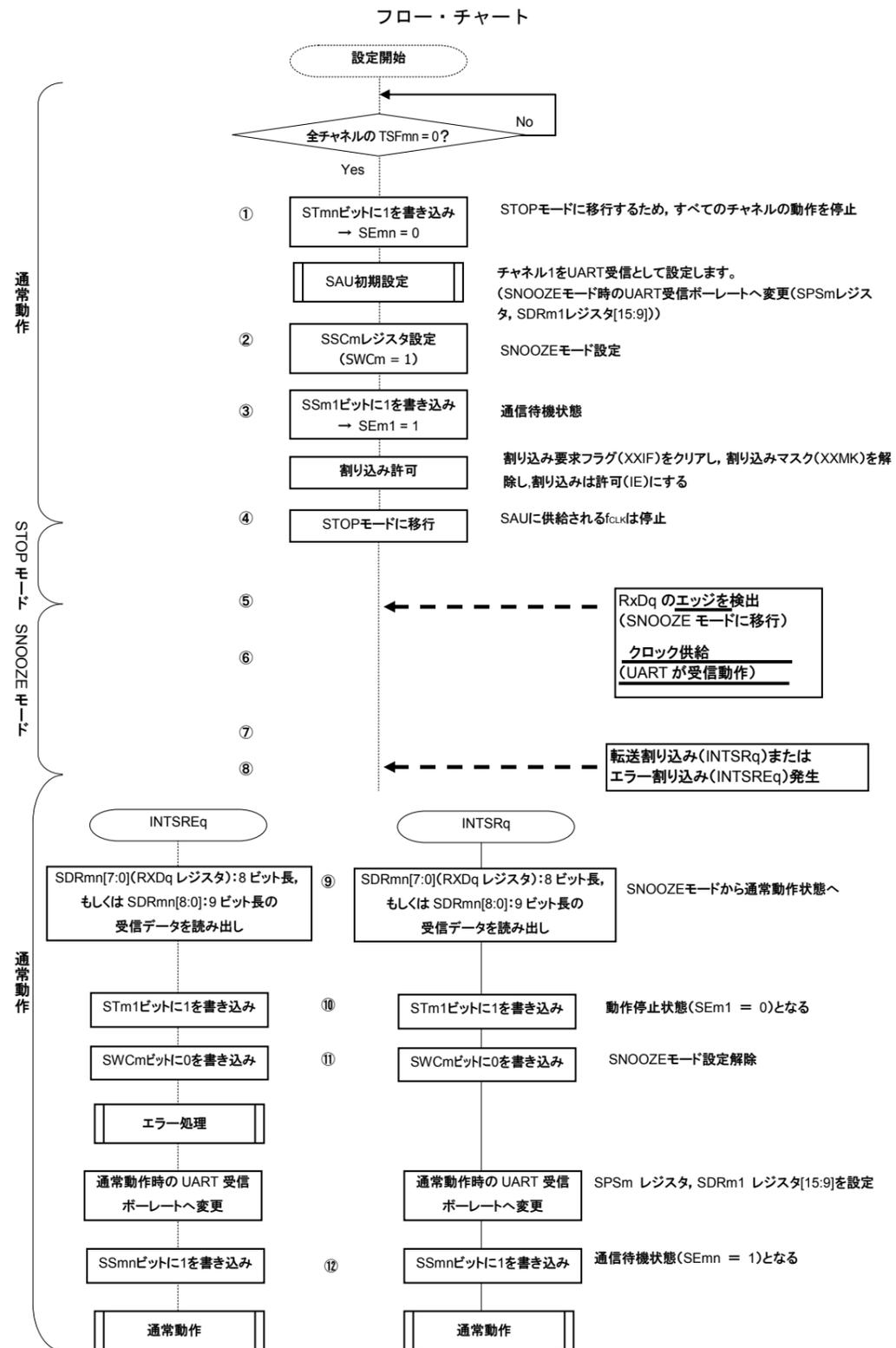
また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図18-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

2. m = 0; q = 0

変更前)

図18-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時の



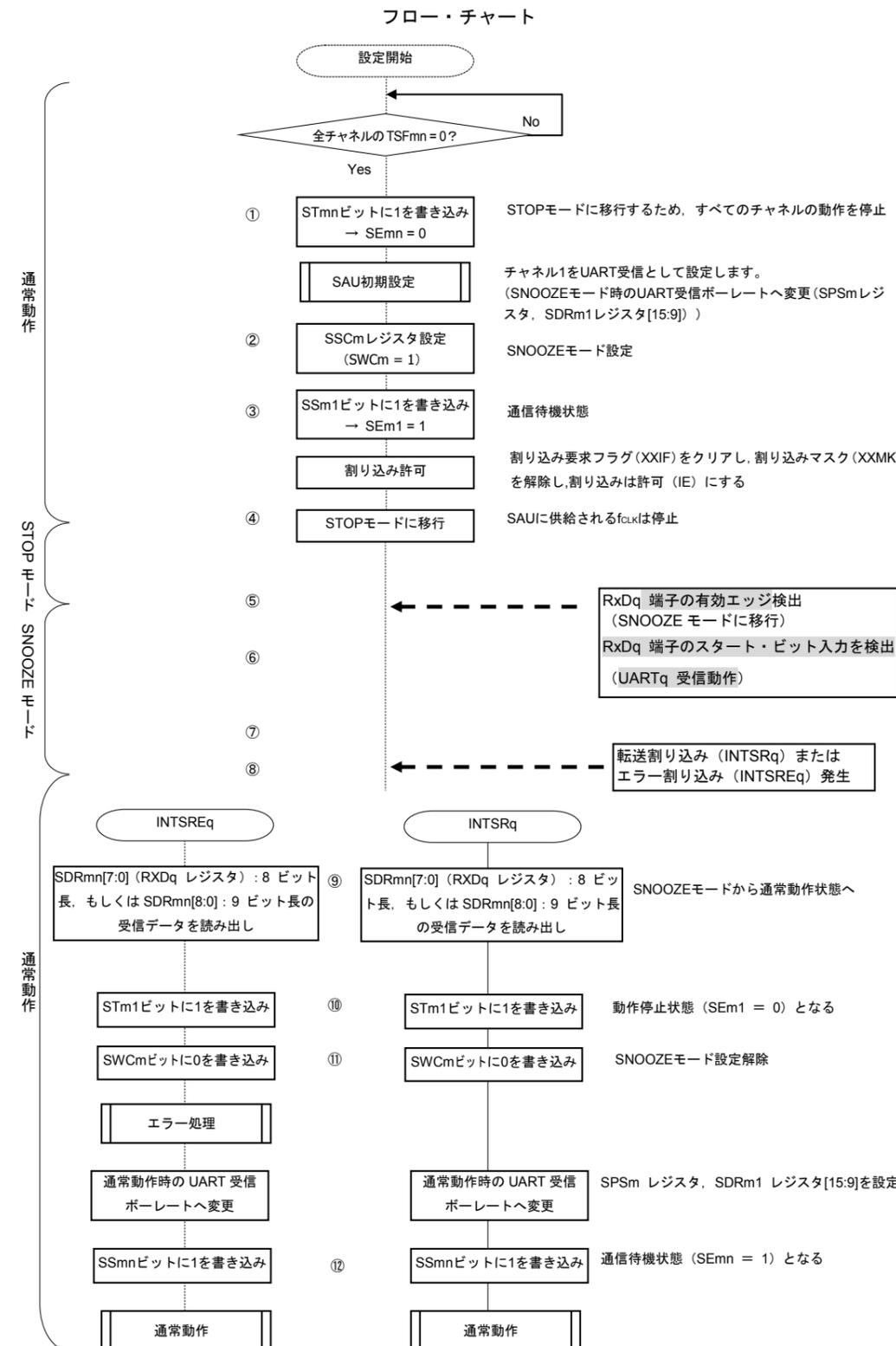
備考1. 図中の①~⑫は、図18-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート、図18-91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートの①~

⑫に対応しています。

2. m = 0; q = 0

変更後)

図18-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時の



★

備考1. 図中の①~⑫は、図18-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート、図18-91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートの①~

⑫に対応しています。

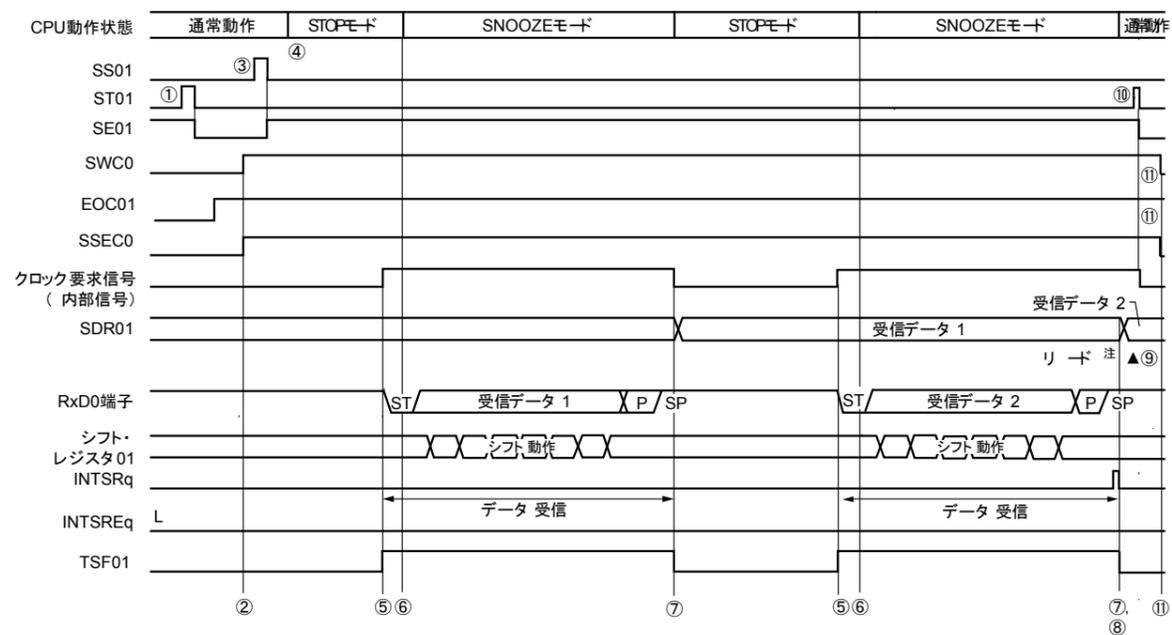
2. m = 0; q = 0

変更前)

(3) SNOOZEモード動作 (EOCm1 = 1, SSECm = 1 : エラー割り込み (INTSREq) 発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生しません。

図18-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出してしてください。

備考1. 図中の①~⑪は、図18-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートの①~⑪に対応しています。

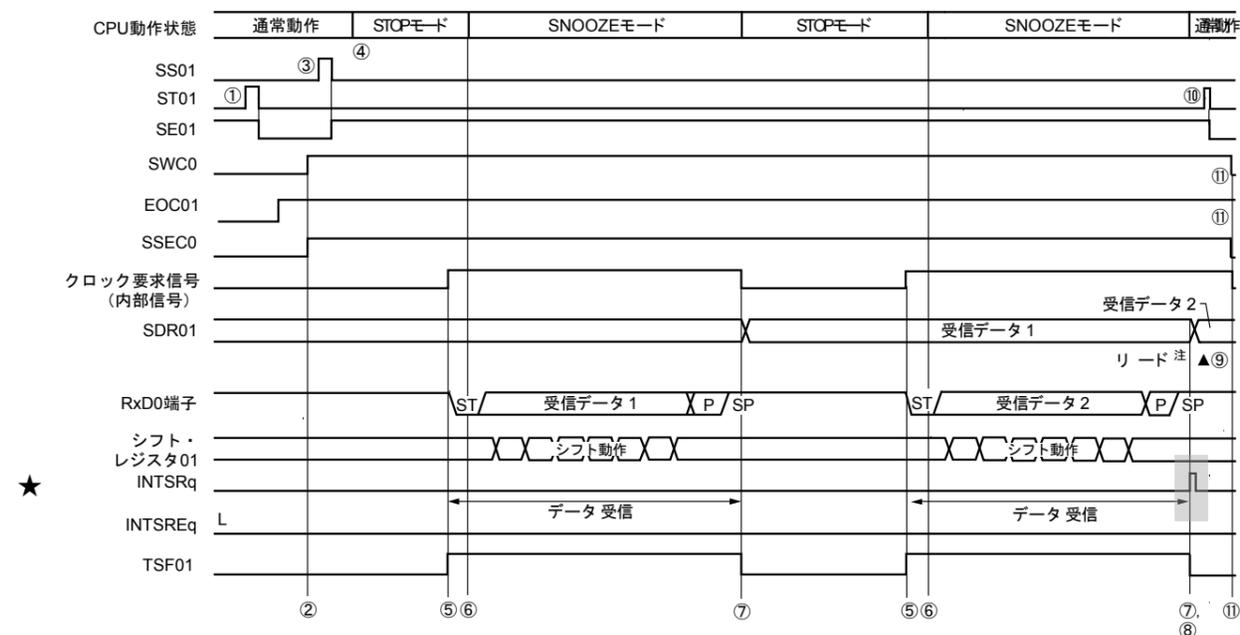
2. m = 0; q = 0

変更後)

(3) SNOOZEモード動作 (EOCm1 = 1, SSECm = 1 : エラー割り込み (INTSREq) 発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生しません。

図18-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

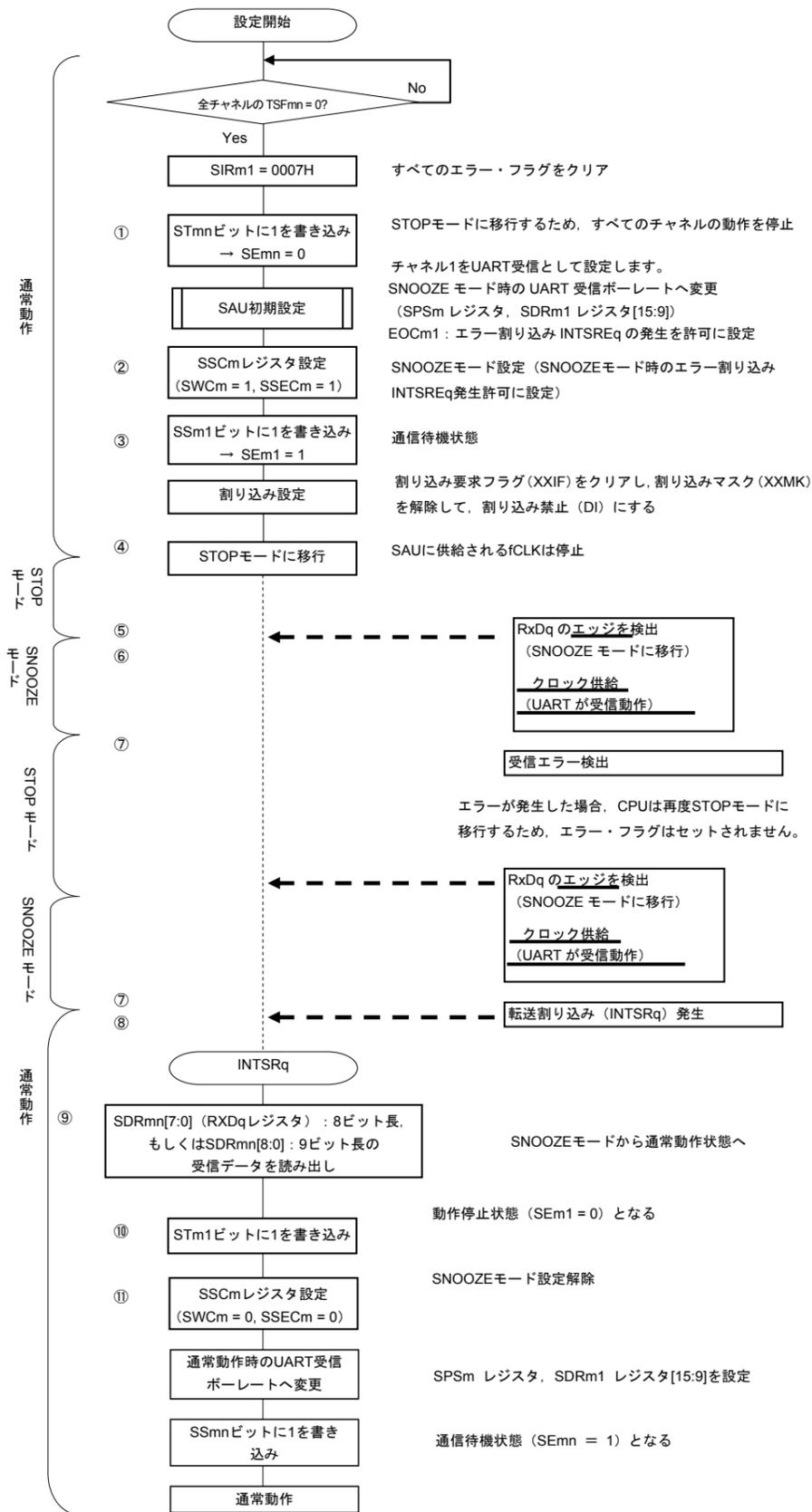
2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出してしてください。

備考1. 図中の①~⑪は、図18-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートの①~⑪に対応しています。

2. m = 0; q = 0

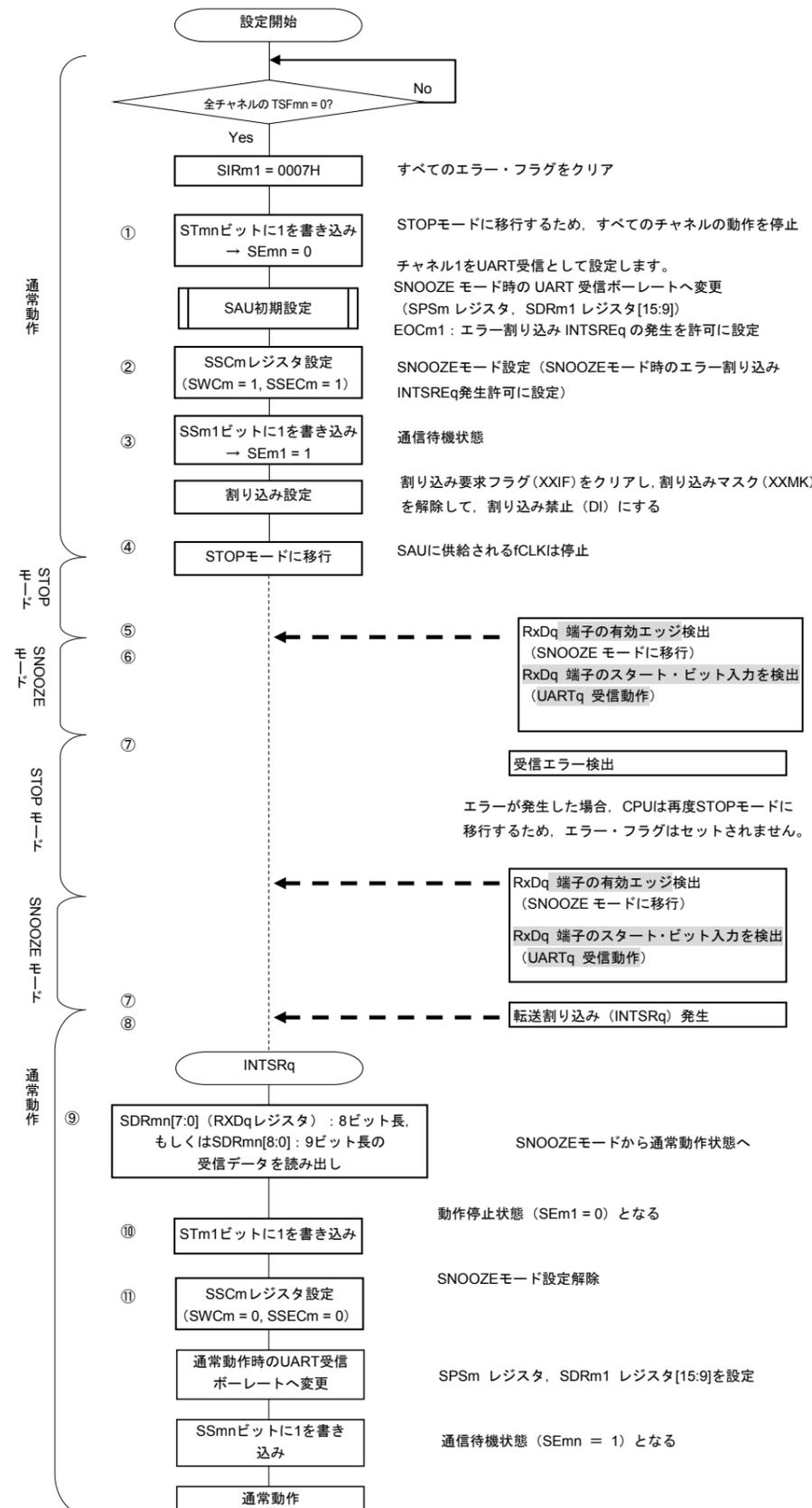
変更前)

図18-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



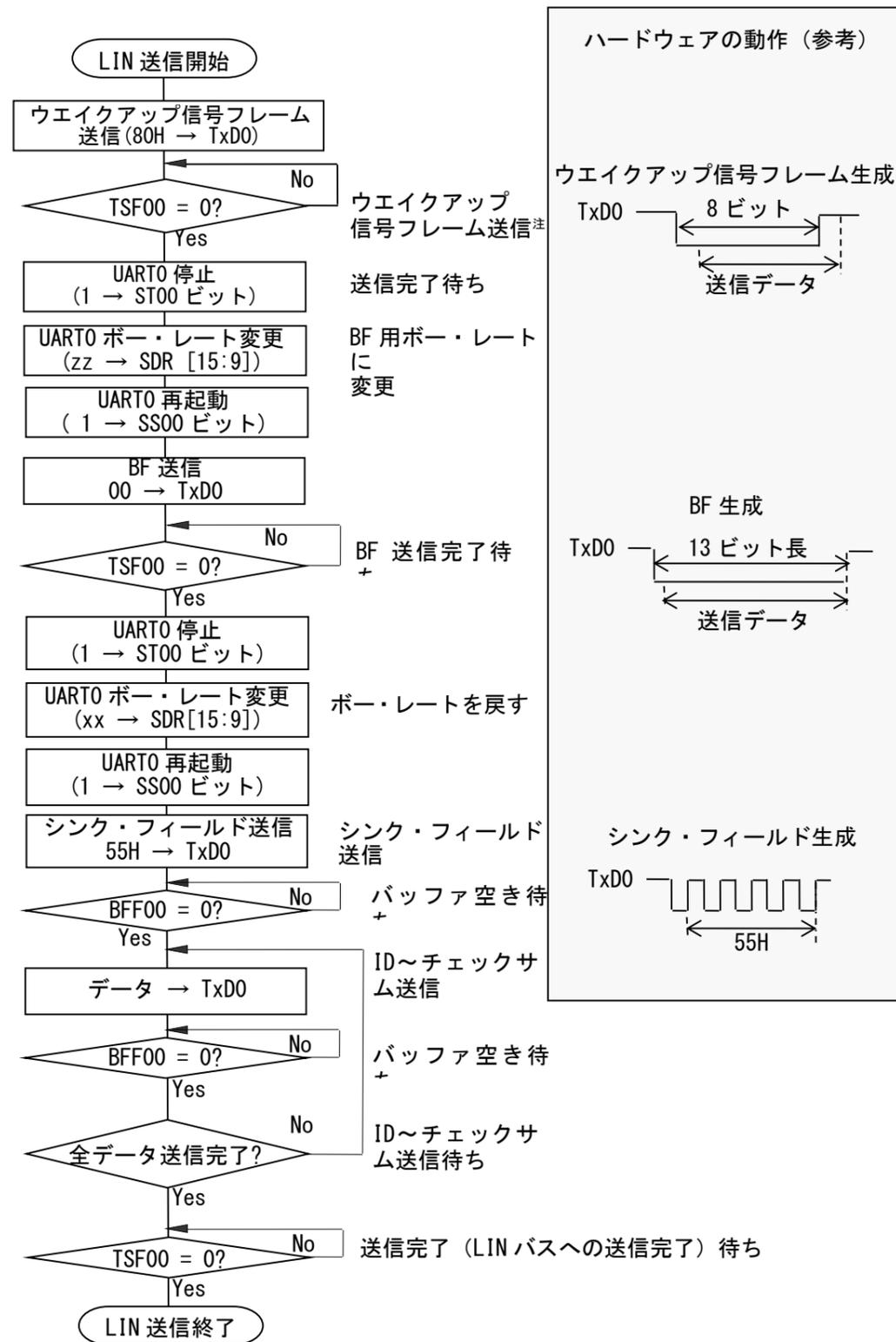
変更後)

図18-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



変更前)

図18-99 LIN送信のフロー・チャート

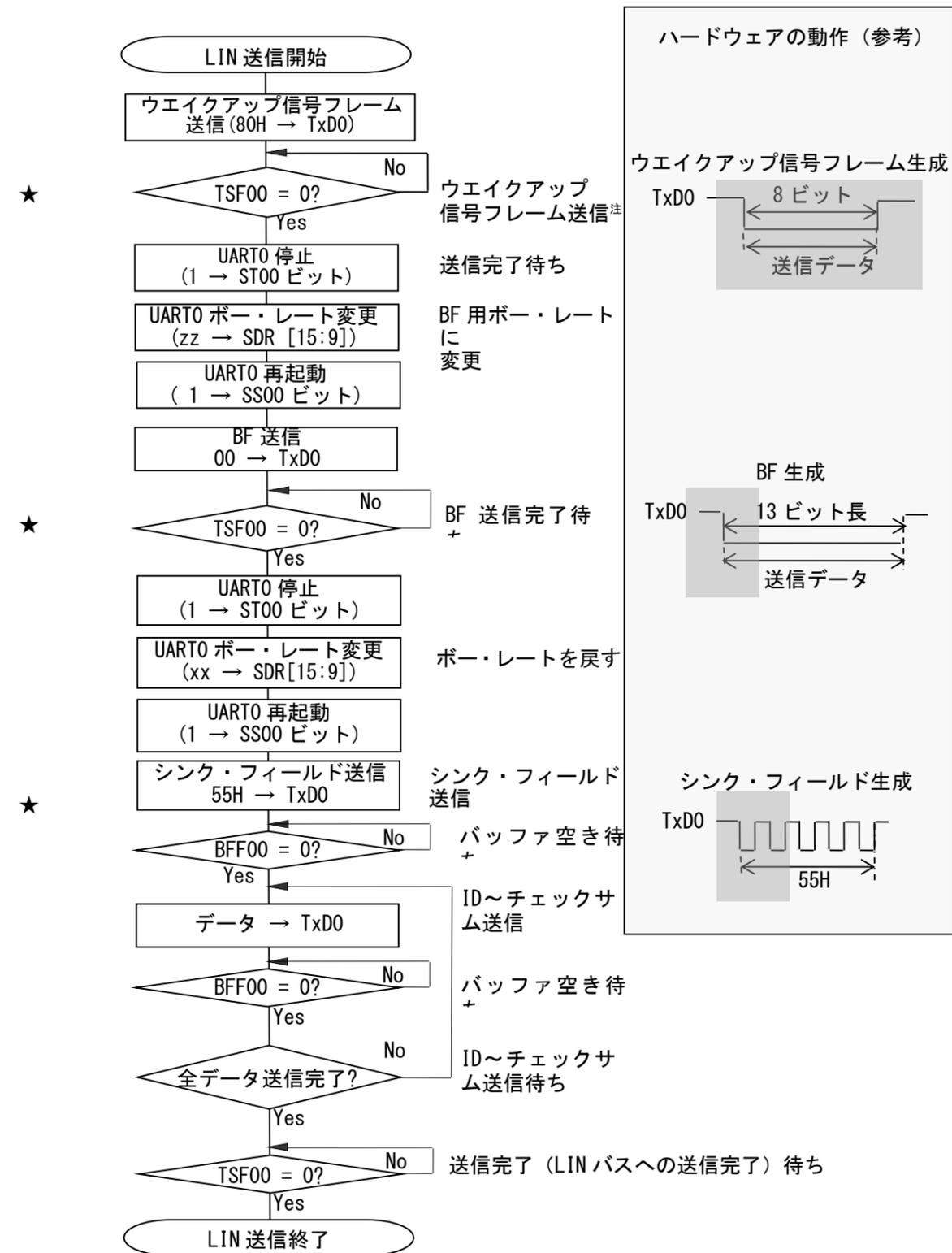


注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

変更後)

図18-99 LIN送信のフロー・チャート

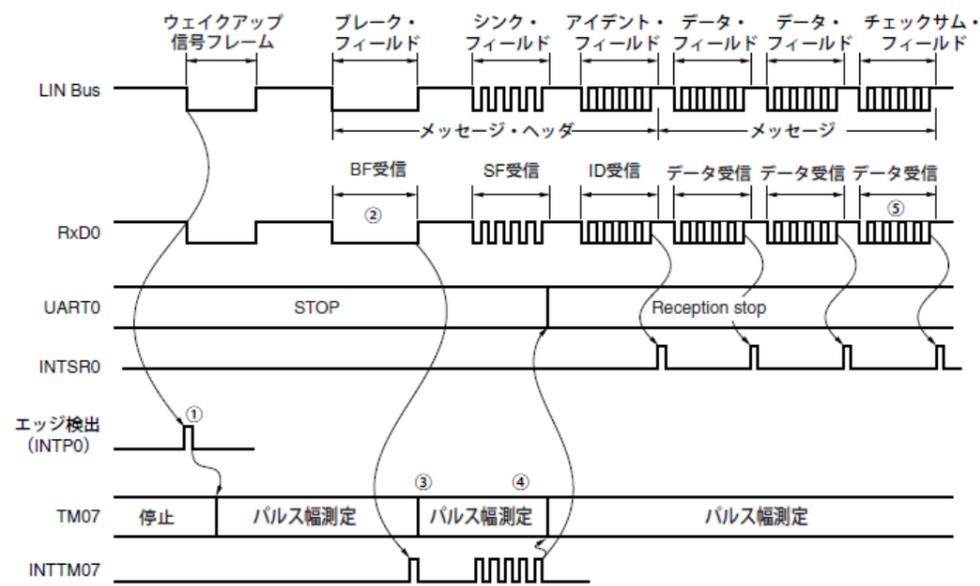


注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

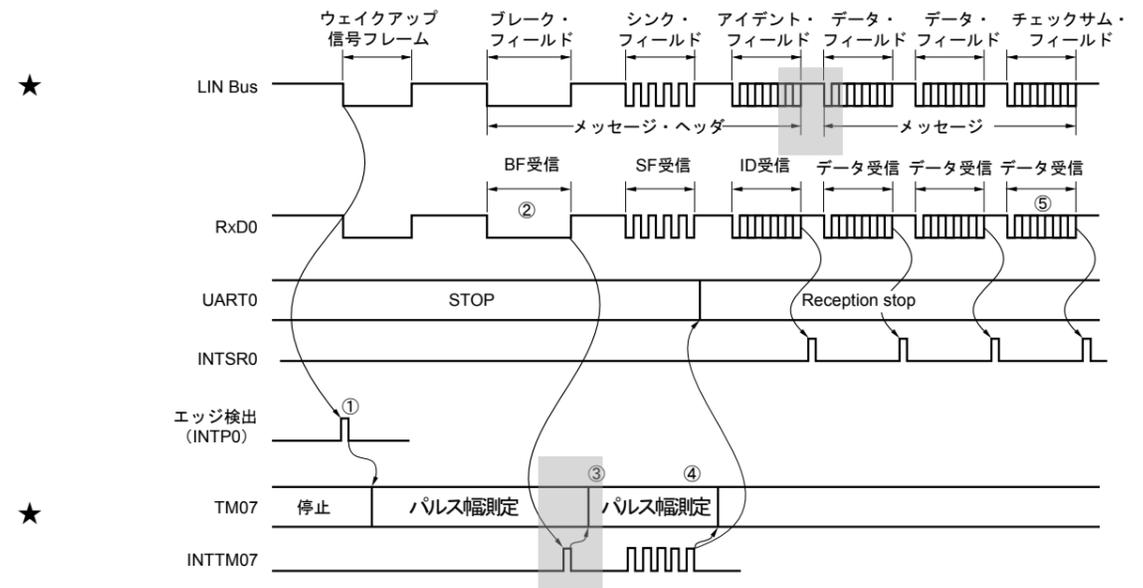
変更前)

図18-100 LINの受信操作



変更後)

図18-100 LINの受信操作



19. 3. 6 IICA ロウ・レベル幅設定レジスタ n (IICWLn)

変更前)

シリアル・インタフェースIICAが、出力するSCLAn端子信号のロウ・レベル幅 (t_{low}) とSDAAn端子信号を制御するレジスタです。

IICWLnレジスタは、8ビット・メモリ操作命令で設定します。

IICWLnレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

IICWLnの設定方法については、19. 4. 2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

図19-10 IICAロウ・レベル幅設定レジスタn (IICWLn) のフォーマット



19. 3. 6 IICA ロウ・レベル幅設定レジスタ n (IICWLn)

変更後)

シリアル・インタフェースIICAが、出力するSCLAn端子信号のロウ・レベル幅 (t_{low}) とSDAAn端子信号を制御するレジスタです。

IICWLnレジスタは、8ビット・メモリ操作命令で設定します。

IICWLnレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

IICWLnの設定方法については、19. 4. 2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

★ また、データ・ホールド時間はIICWLnで設定した時間の1/4になります。

図19-10 IICAロウ・レベル幅設定レジスタn (IICWLn) のフォーマット



19. 5. 14 通信予約 変更前)

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタn0 (IICCTLn0) のビット6 (LRELn) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn) をセット (1) し、割り込み要求信号 (INTIICAn) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタn (IICAn) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するかどうかは、STTnビットをセット (1) し、ウェイト時間をとったあと、MSTSnビット (IICAステータス・レジスタn (IICSn) のビット7) で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までの ウェイト 時間 (f}_{MCK} \text{ の クロック 数) : } \\ \frac{(\text{IICWLn の 設定 値} + \text{IICWHn の 設定 値} + 4) + t_F \times 2 \times f_{MCK}}{f_{MCK}} \text{ [クロック]}$$

- 備考1. IICWLn : IICAロウ・レベル幅設定レジスタn
IICWHn : IICAハイ・レベル幅設定レジスタn
tF : SDAAn, SCLAn信号の立ち下がり時間
fMCK : IICA動作クロック周波数

2. n = 0

19. 5. 14 通信予約 変更後)

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタn0 (IICCTLn0) のビット6 (LRELn) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn) をセット (1) し、割り込み要求信号 (INTIICAn) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタn (IICAn) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するかどうかは、STTnビットをセット (1) し、ウェイト時間をとったあと、MSTSnビット (IICAステータス・レジスタn (IICSn) のビット7) で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

★

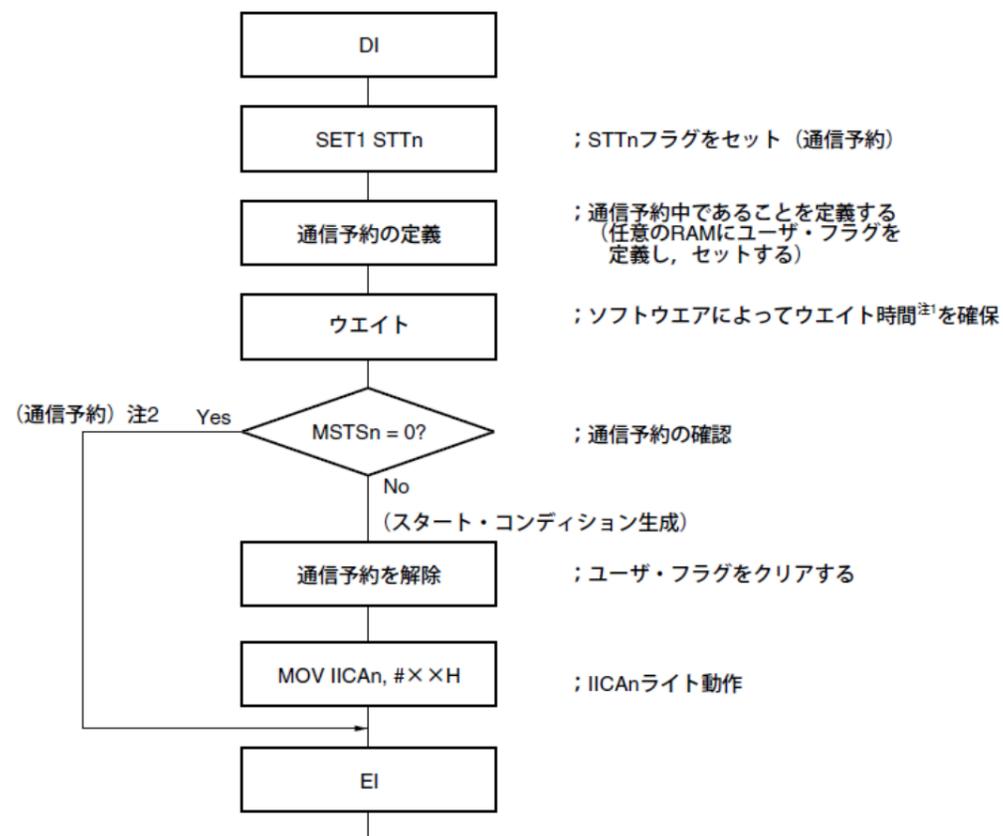
$$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までの ウェイト 時間 : } \\ \frac{(\text{IICWLn の 設定 値} + \text{IICWHn の 設定 値} + 4)}{f_{MCK}} + t_F \times 2$$

- 備考1. IICWLn : IICAロウ・レベル幅設定レジスタn
IICWHn : IICAハイ・レベル幅設定レジスタn
tF : SDAAn, SCLAn信号の立ち下がり時間
fMCK : IICA動作クロック周波数

2. n = 0

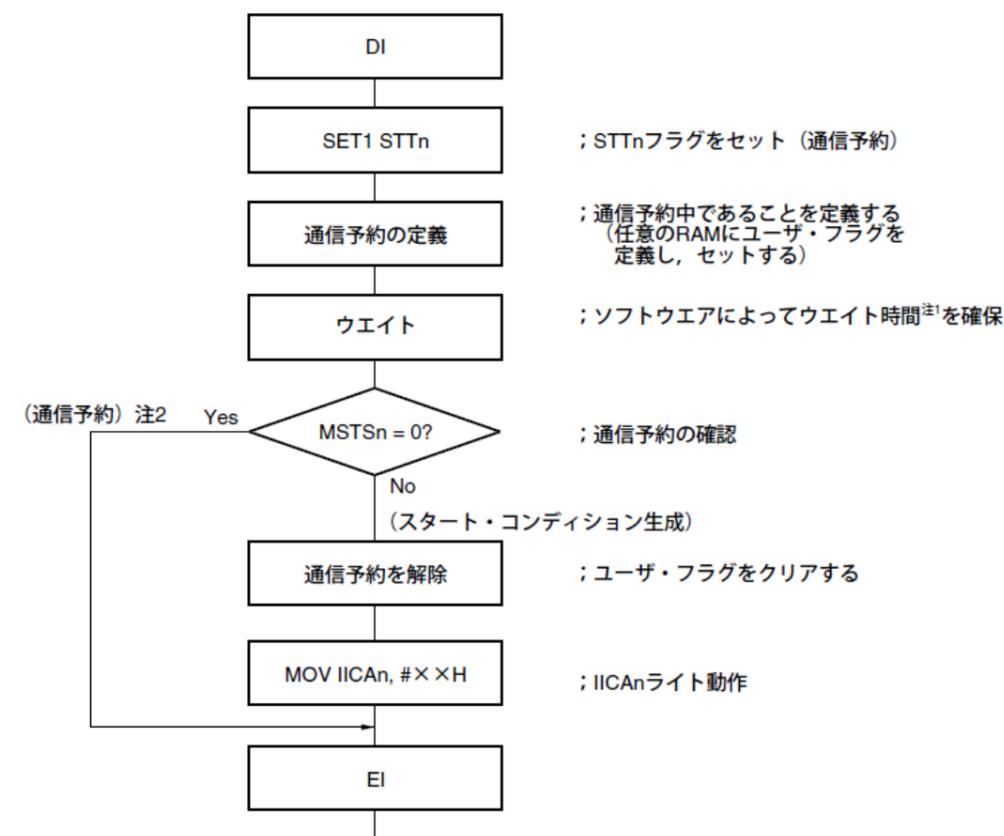
19. 5. 14 通信予約
変更前)

図19-27 通信予約の手順



19. 5. 14 通信予約
変更後)

図19-27 通信予約の手順



注1. ウェイト時間 (f_{MCK}のクロック数) は次のようになります。

$$\frac{(IICWLnの\text{設定値} + IICWHnの\text{設定値} + 4) + t_f \times 2 \times f_{MCK}}{f_{MCK}} \text{ [クロック]}$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn) への書き込みを実行します。

- 備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 MSTSn : IICAステータス・レジスタn (IICSn) のビット7
 IICAn : IICAシフト・レジスタn
 IICWLn : IICAロウ・レベル幅設定レジスタn
 IICWHn : IICAハイ・レベル幅設定レジスタn
 t_f : SDAAn, SCLAn信号の立ち下がり時間
 f_{MCK} : IICA動作クロック周波数

2. n = 0

★ 注1. ウェイト時間は次のようになります。

$$\frac{(IICWLnの\text{設定値} + IICWHnの\text{設定値} + 4)}{f_{MCK}} + t_f \times 2$$

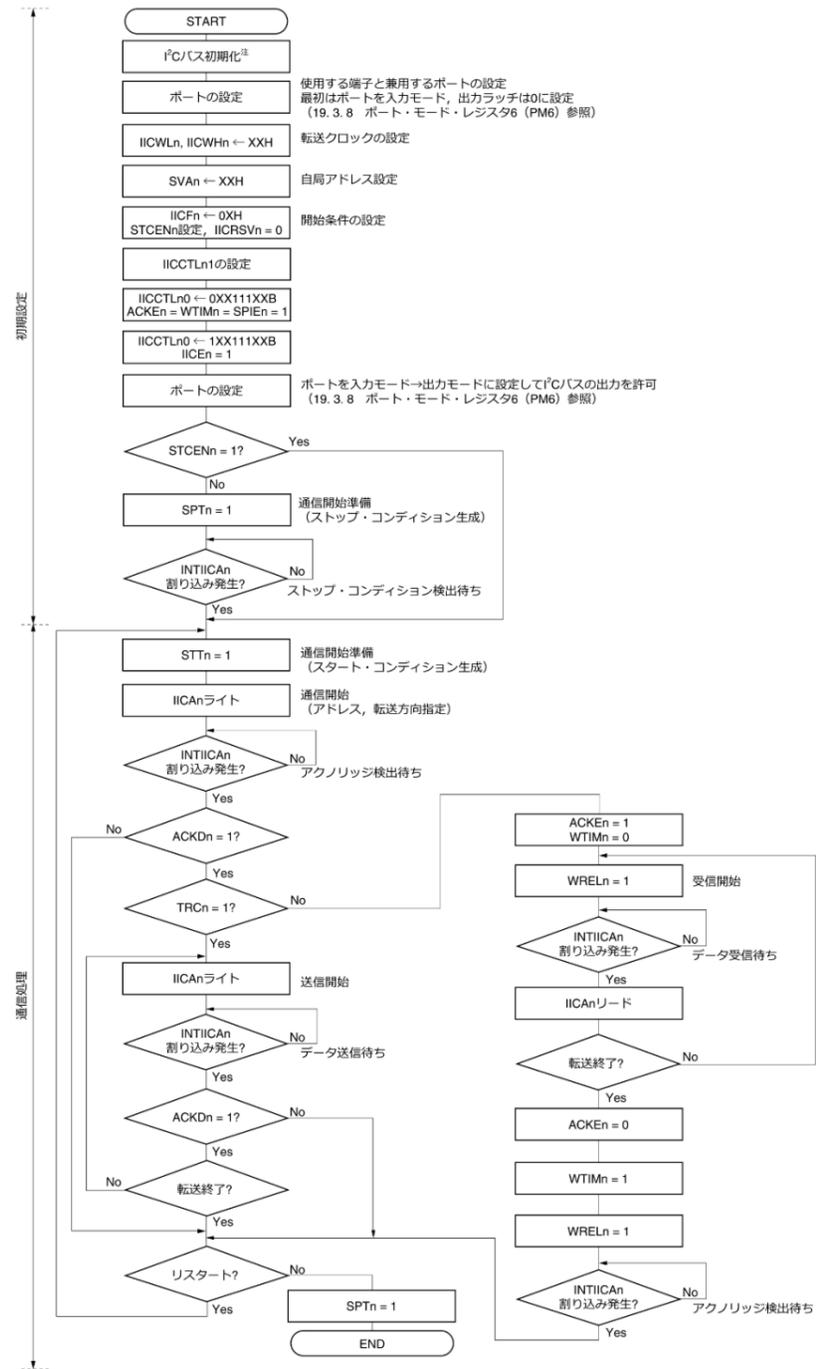
2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn) への書き込みを実行します。

- 備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 MSTSn : IICAステータス・レジスタn (IICSn) のビット7
 IICAn : IICAシフト・レジスタn
 IICWLn : IICAロウ・レベル幅設定レジスタn
 IICWHn : IICAハイ・レベル幅設定レジスタn
 t_f : SDAAn, SCLAn信号の立ち下がり時間
 f_{MCK} : IICA動作クロック周波数

2. n = 0

19. 5. 16 通信動作
変更前)

図19-28 シングルマスタ・システムでのマスタ動作

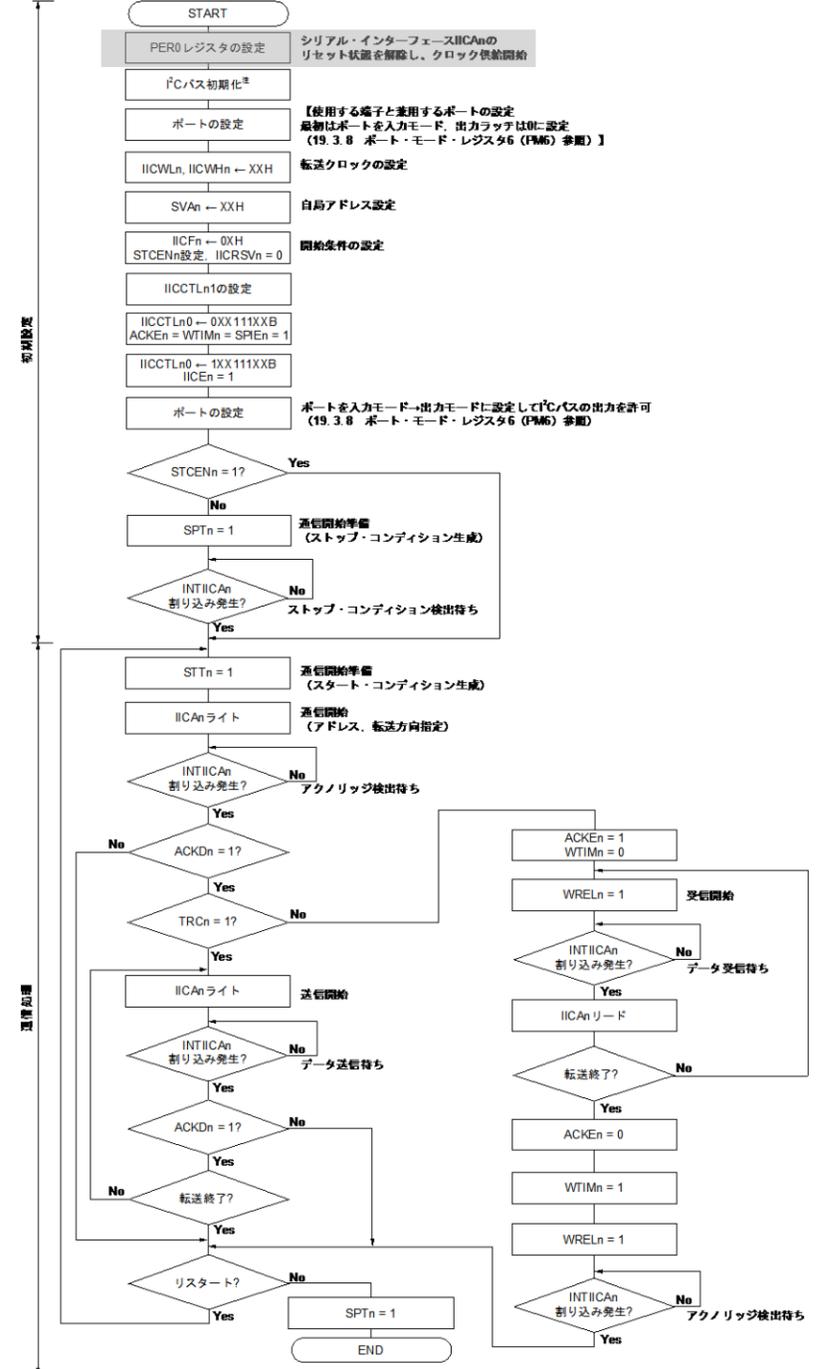


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

19. 5. 16 通信動作
変更後)

図19-28 シングルマスタ・システムでのマスタ動作

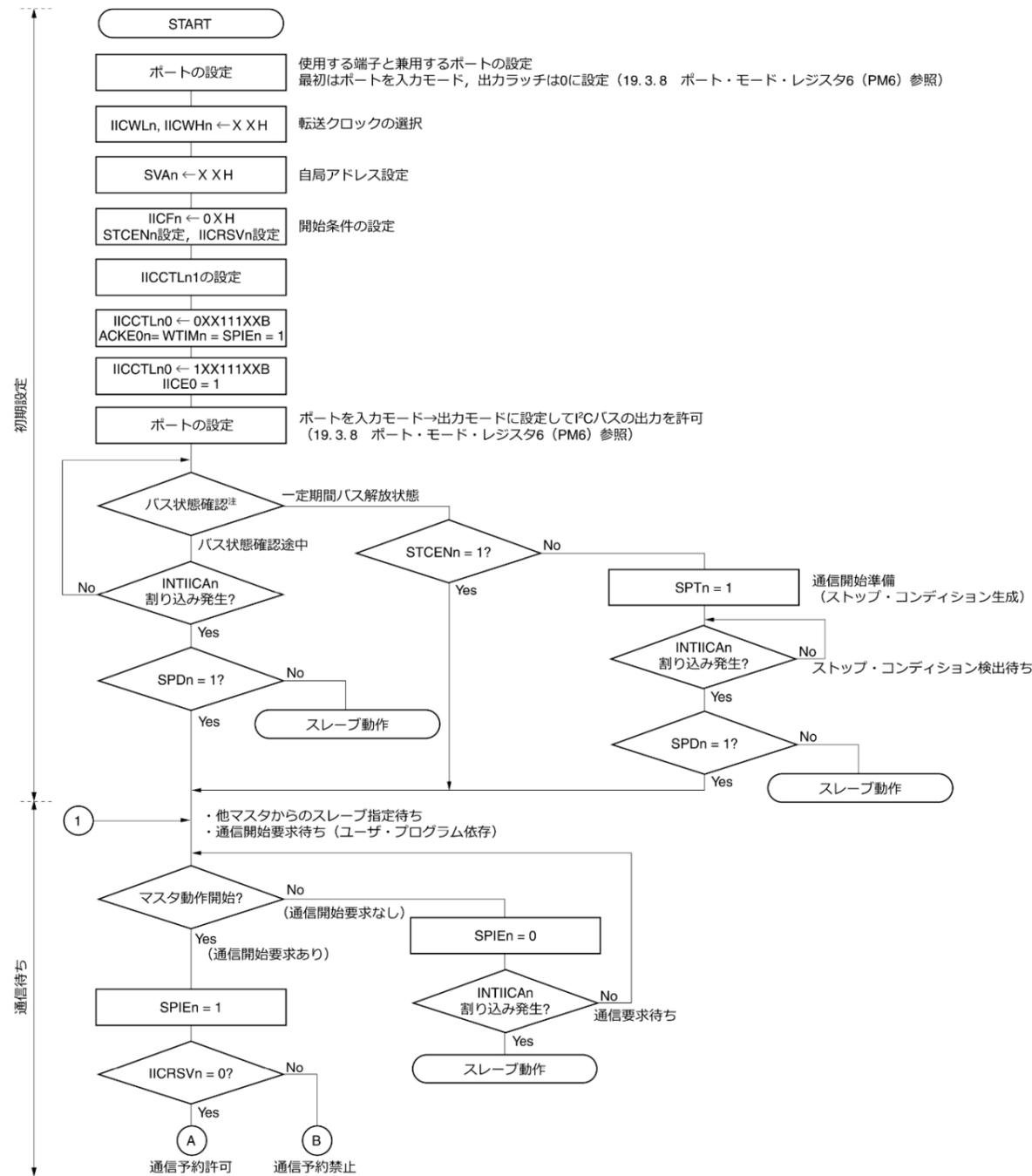


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

19. 5. 16 通信動作
変更前)

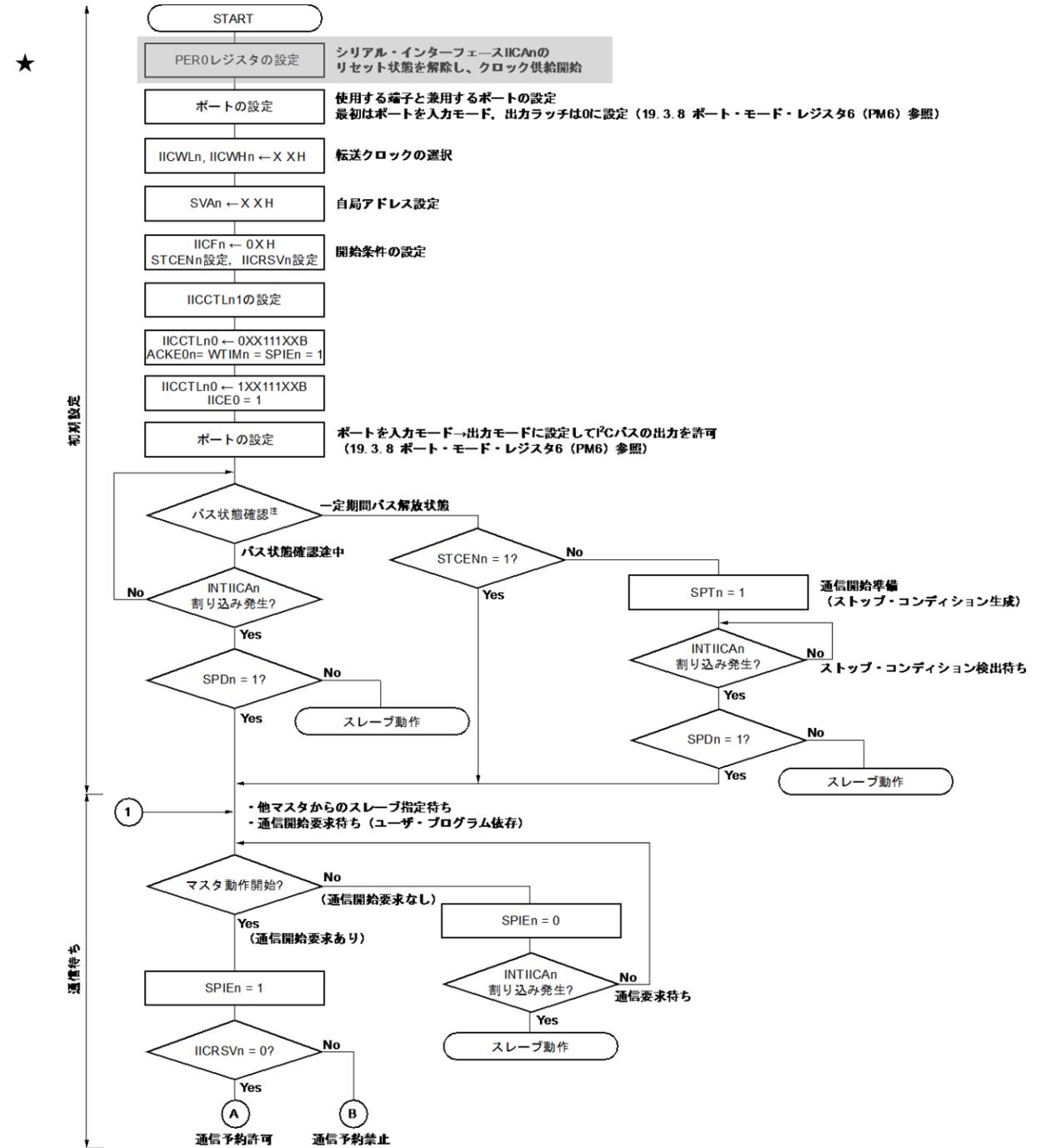
図19-29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間（たとえば1フレーム分）、バス解放状態（CLDnビット = 1, DADnビット = 1）であることを確認してください。定期的にSDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）するか判断してください。

19. 5. 16 通信動作
変更後)

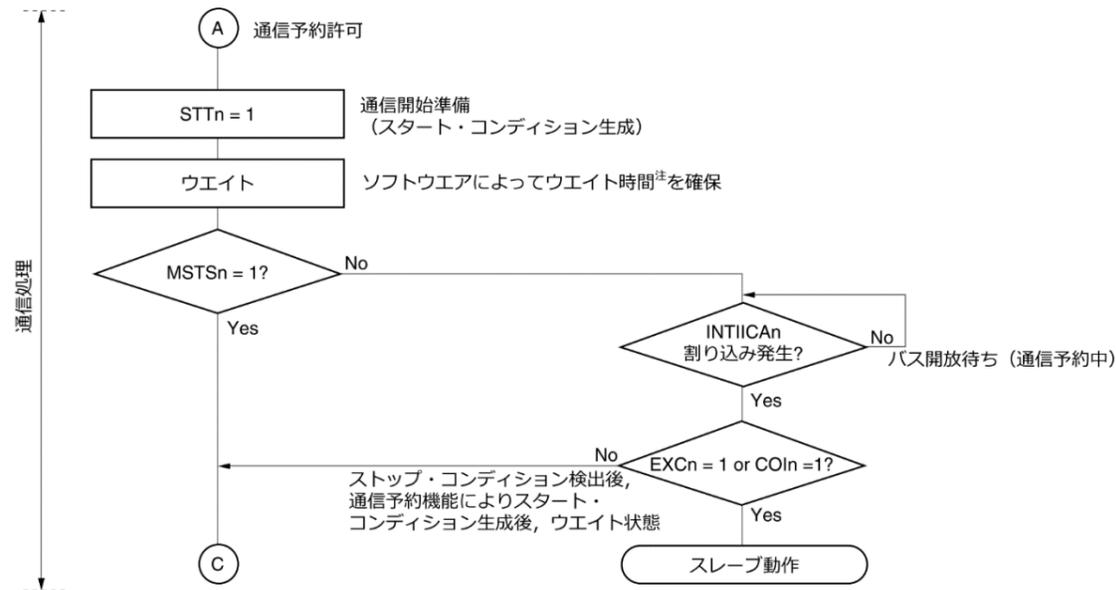
図19-29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間（たとえば1フレーム分）、バス解放状態（CLDnビット = 1, DADnビット = 1）であることを確認してください。定期的にSDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）するか判断してください。

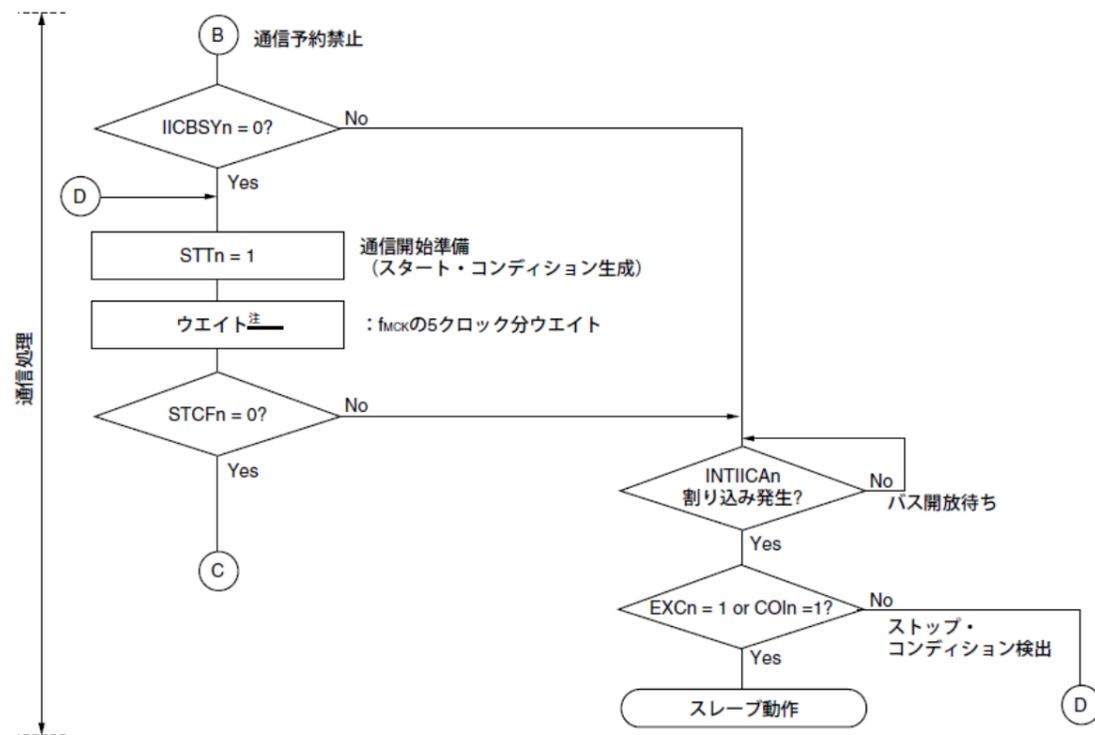
19. 5. 16 通信動作
変更前)

図19-29 マルチマスタ・システムでのマスタ動作 (2/3)



注 ウェイト時間 (fMCKのクロック数) は次のようになります。

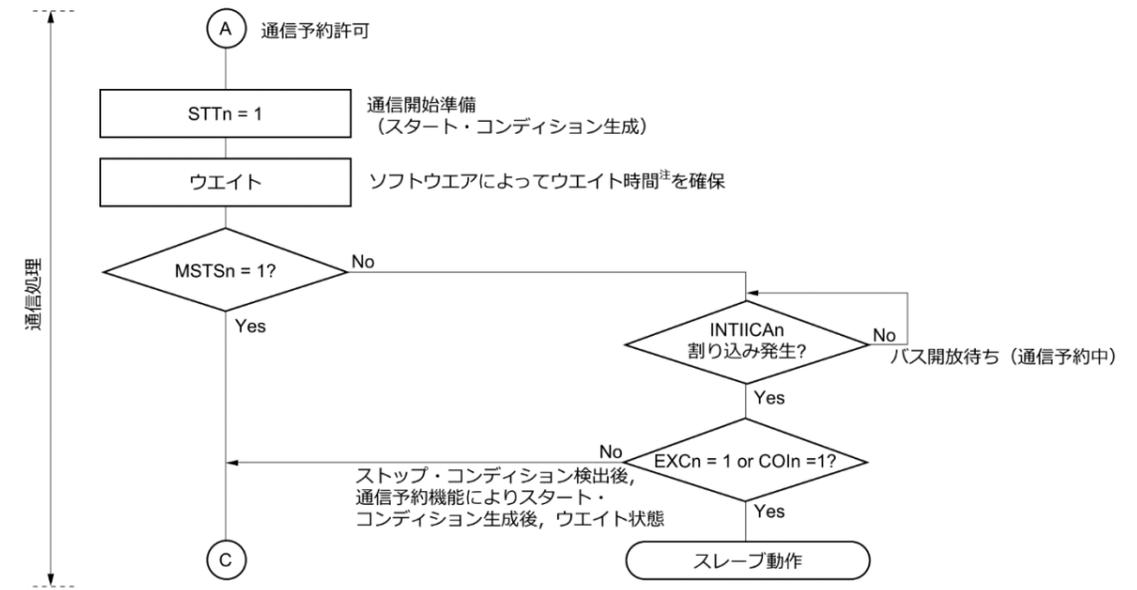
$$((IICWLnの\text{設定値} + IICWHnの\text{設定値} + 4) + tF \times 2) \times fMCK \text{ [クロック]}$$



- 備考1. IICWLn : IICAロウ・レベル幅設定レジスタn
 IICWHn : IICAハイ・レベル幅設定レジスタn
 tF : SDAAn, SCLAn信号の立ち下がり時間
 fMCK : IICA動作クロック周波数

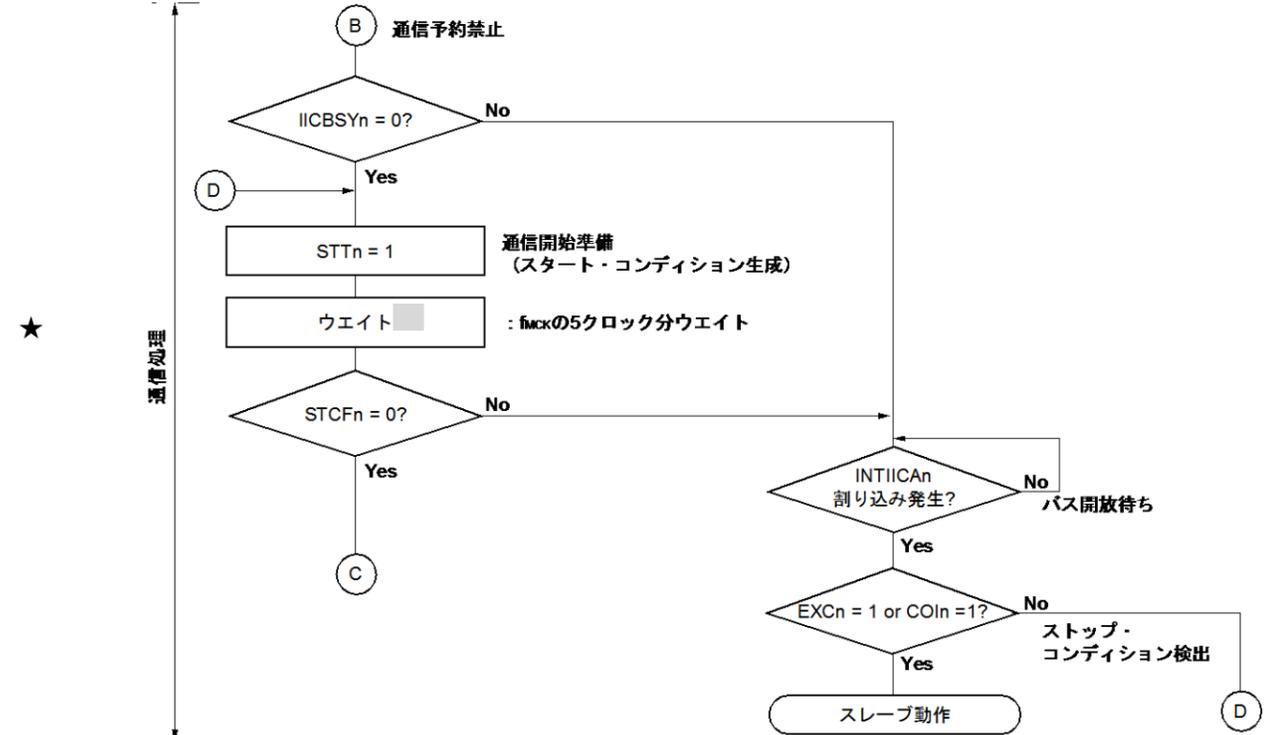
19. 5. 16 通信動作
変更後)

図19-29 マルチマスタ・システムでのマスタ動作 (2/3)



★ 注 ウェイト時間は次のようになります。

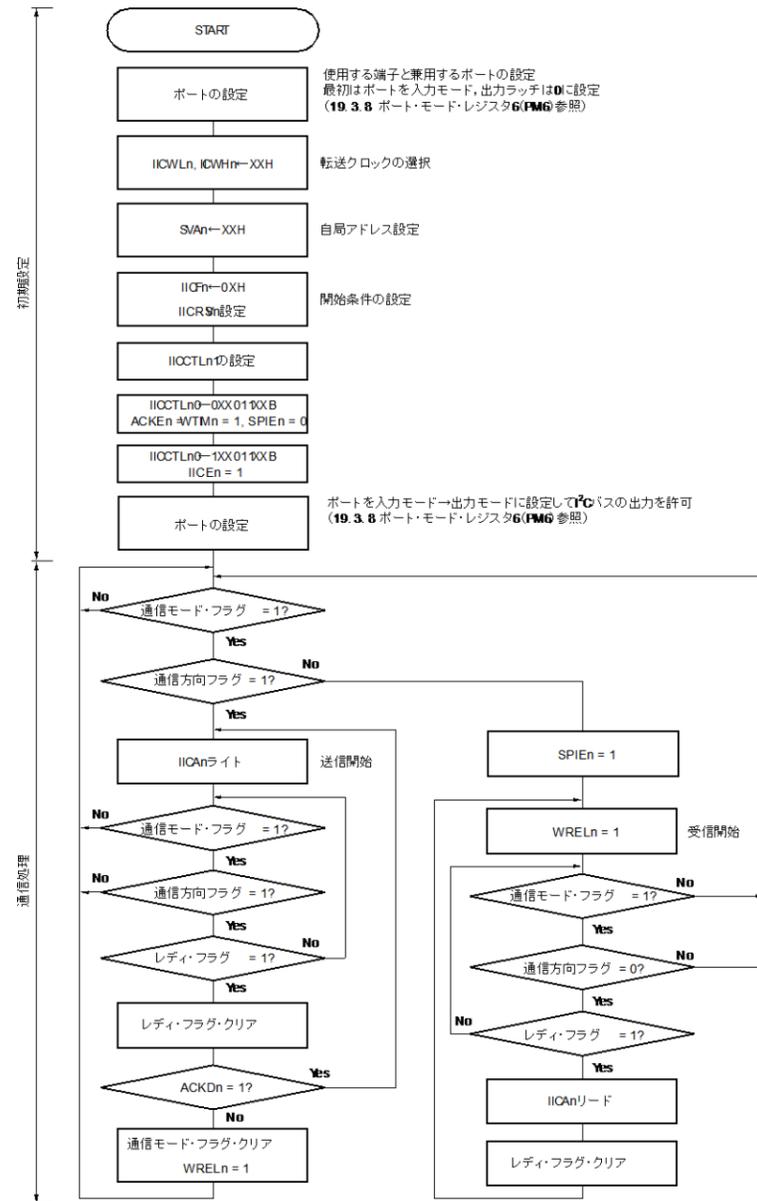
$$((IICWLnの\text{設定値} + IICWHnの\text{設定値} + 4) / fMCK + tF) \times 2$$



- 備考1. IICWLn : IICAロウ・レベル幅設定レジスタn
 IICWHn : IICAハイ・レベル幅設定レジスタn
 tF : SDAAn, SCLAn信号の立ち下がり時間
 fMCK : IICA動作クロック周波数

19. 5. 16 通信動作
変更前)

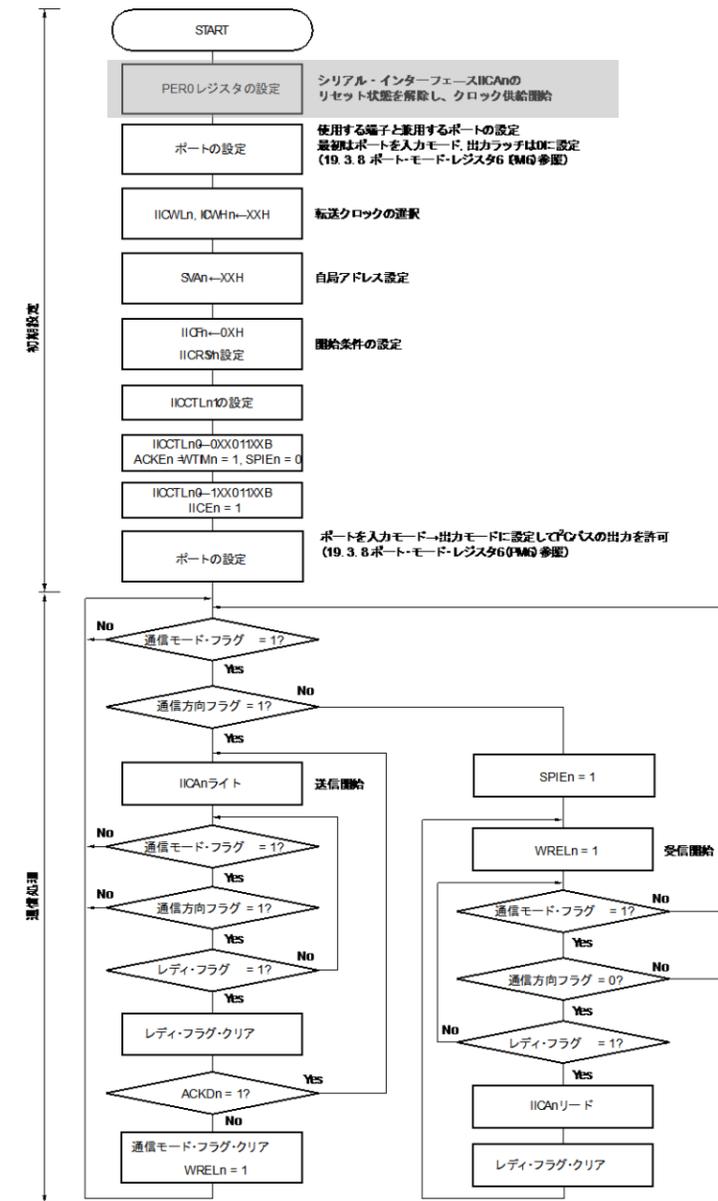
図19-30 スレーブ動作手順 (1)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. n = 0

19. 5. 16 通信動作
変更後)

図19-30 スレーブ動作手順 (1)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. n = 0

21. 3. 7 LCDポート・ファンクション・レジスタ 0-5 (PFSEG0-PFSEG5)
変更前)

P02-P07, P10-P17, P30-P37, P50-P57, P70-P77, P80-P85端子をポート（セグメント出力以外）／セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります（PFSEG0はF0H, PFSEG5は02H）。

備考 セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と、製品によるSEGxx端子の有無を表21-7 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）に示します。

21. 3. 7 LCDポート・ファンクション・レジスタ 0-5 (PFSEG0-PFSEG5)
変更後)

P02-P07, P10-P17, P30-P37, P50-P57, P70-P77, P80-P85端子をポート（セグメント出力以外）／セグメン

★ ト出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG5レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります（PFSEG0はF0H, PFSEG5は02H）。

備考 セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と、製品によるSEGxx端子の有無を表21-7 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）に示します。

変更前)

図21-10 LCDポート・ファンクション・レジスタ0-5のフォーマット

アドレス : F0300H リセット時 : F0H R/W

略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

アドレス : F0301H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス : F0302H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

アドレス : F0303H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24
	注	注	注	注				

アドレス : F0304H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32
	注	注						

アドレス : F0305H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	0	0	0	PFSEG41	PFSEG40
							注	注

PFSEGxx (xx=04-41)	Pmn端子のポート (セグメント出力以外) / セグメント出力の指定 (mn = 02-07, 10-17, 30-37, 50-57, 70-77, 80-85)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

注 100ピン製品のみ

注意 セグメント出力として使用する (PFSEGxx = 1) 場合には必ずPUMレジスタのPUMnビット = 0, POMmレジスタのPOMmnビット = 0, PIMmレジスタのPIMmnビット = 0に設定してください。

変更後)

図21-10 LCDポート・ファンクション・レジスタ0-5のフォーマット

アドレス : F0300H リセット時 : F0H R/W

略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

アドレス : F0301H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス : F0302H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

アドレス : F0303H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24
	注	注	注	注				

アドレス : F0304H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32
	注	注						

アドレス : F0305H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	0	0	0	PFSEG41	PFSEG40
							注	注

PFSEGxx (xx=04-41)	Pmn端子のポート (セグメント出力以外) / セグメント出力の指定 (mn = 02-07, 10-17, 30-37, 50-57, 70-77, 80-85)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

注 80ピン製品では必ず”1”を設定してください。

注意 セグメント出力として使用する (PFSEGxx = 1) 場合には必ずPUMレジスタのPUMnビット = 0, POMmレジスタのPOMmnビット = 0, PIMmレジスタのPIMmnビット = 0に設定してください。

変更前)

表22-1 DTCの仕様

項目		仕様
起動要因		40要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間 (F0000H~FFFFFH) ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ (SFR), RAM領域 (汎用レジスタを除く), ミラー領域 ^注 , 拡張特殊機能レジスタ (2nd SFR)
	デスティネーション	特殊機能レジスタ (SFR), RAM領域 (汎用レジスタを除く), 拡張特殊機能レジスタ (2nd SFR)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード (8ビット転送)	256バイト
	ノーマルモード (16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表22-4 DTC起動要因とDTCベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7 ビットを1 (起動許可) にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	・DTCENi0~DTCENi7ビットを0 (起動禁止) にする ・DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	・DTCENi0~DTCENi7ビットを0 (起動禁止) にする ・RPTINTビットが1 (割り込み発生許可) のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

注 HALTモードおよびSNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0~3, j = 0~23

変更後)

表22-1 DTCの仕様

★

項目		仕様
起動要因		30要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間 (F0000H~FFFFFH) ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ (SFR), RAM領域 (汎用レジスタを除く), ミラー領域 ^注 , 拡張特殊機能レジスタ (2nd SFR)
	デスティネーション	特殊機能レジスタ (SFR), RAM領域 (汎用レジスタを除く), 拡張特殊機能レジスタ (2nd SFR)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード (8ビット転送)	256バイト
	ノーマルモード (16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表22-5 DTC起動要因とDTCベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7 ビットを1 (起動許可) にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	・DTCENi0~DTCENi7ビットを0 (起動禁止) にする ・DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	・DTCENi0~DTCENi7ビットを0 (起動禁止) にする ・RPTINTビットが1 (割り込み発生許可) のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

注 HALTモードおよびSNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0~3, j = 0~23

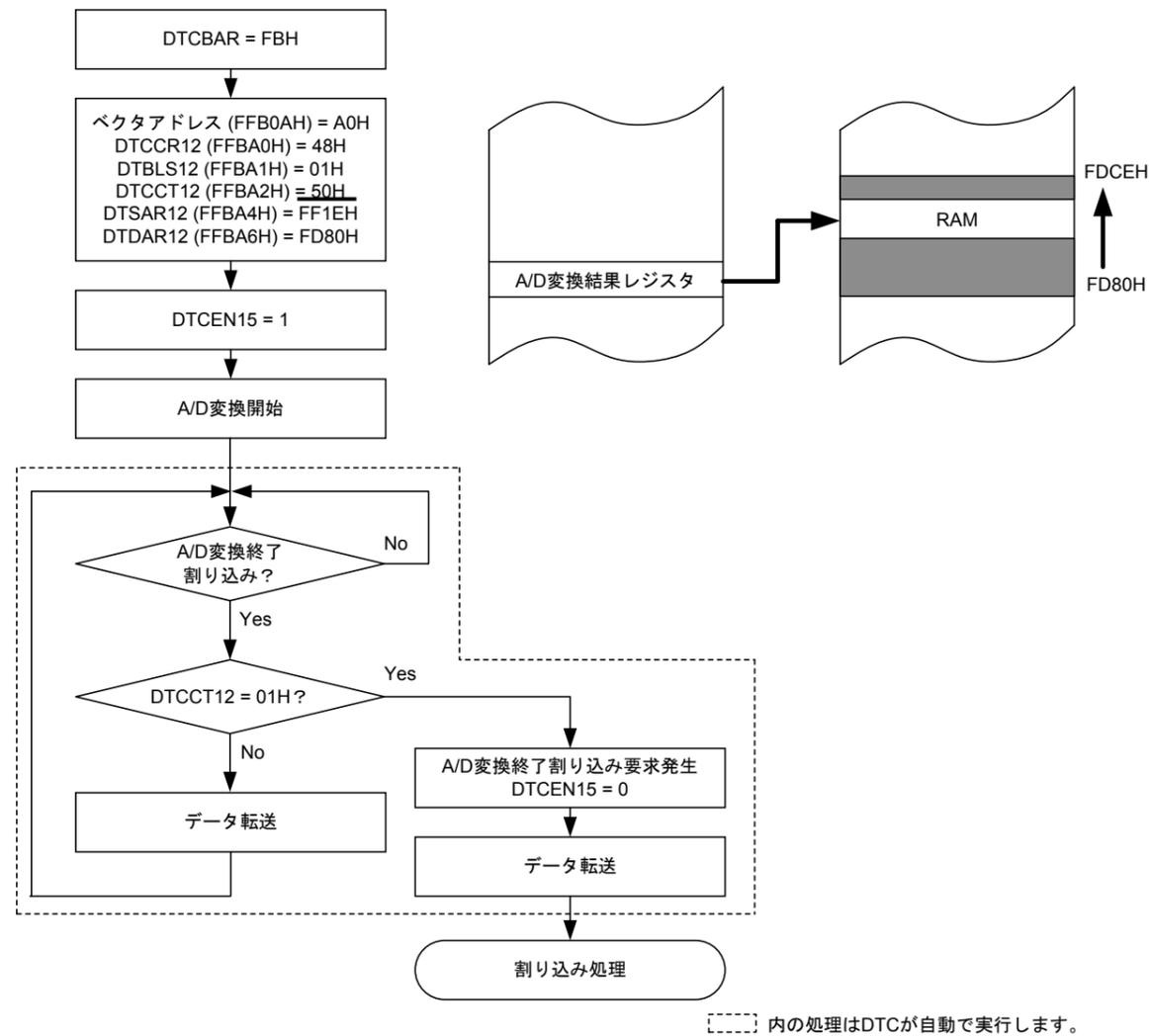
変更前)

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ・ベクタアドレスはFFB0AH, コントロールデータはFFBA0H~FFBA7Hに配置
- ・A/D変換結果レジスタ (FFF1EH, FFF1FH) の2バイトデータをRAMのFFD80H~FFDCFHの80バイトへ転送

図22-15 ノーマルモードの使用例1：A/D変換結果の連続取り込み



ノーマルモードのため、DTRLD12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD12レジスタを初期化 (00H) してください。

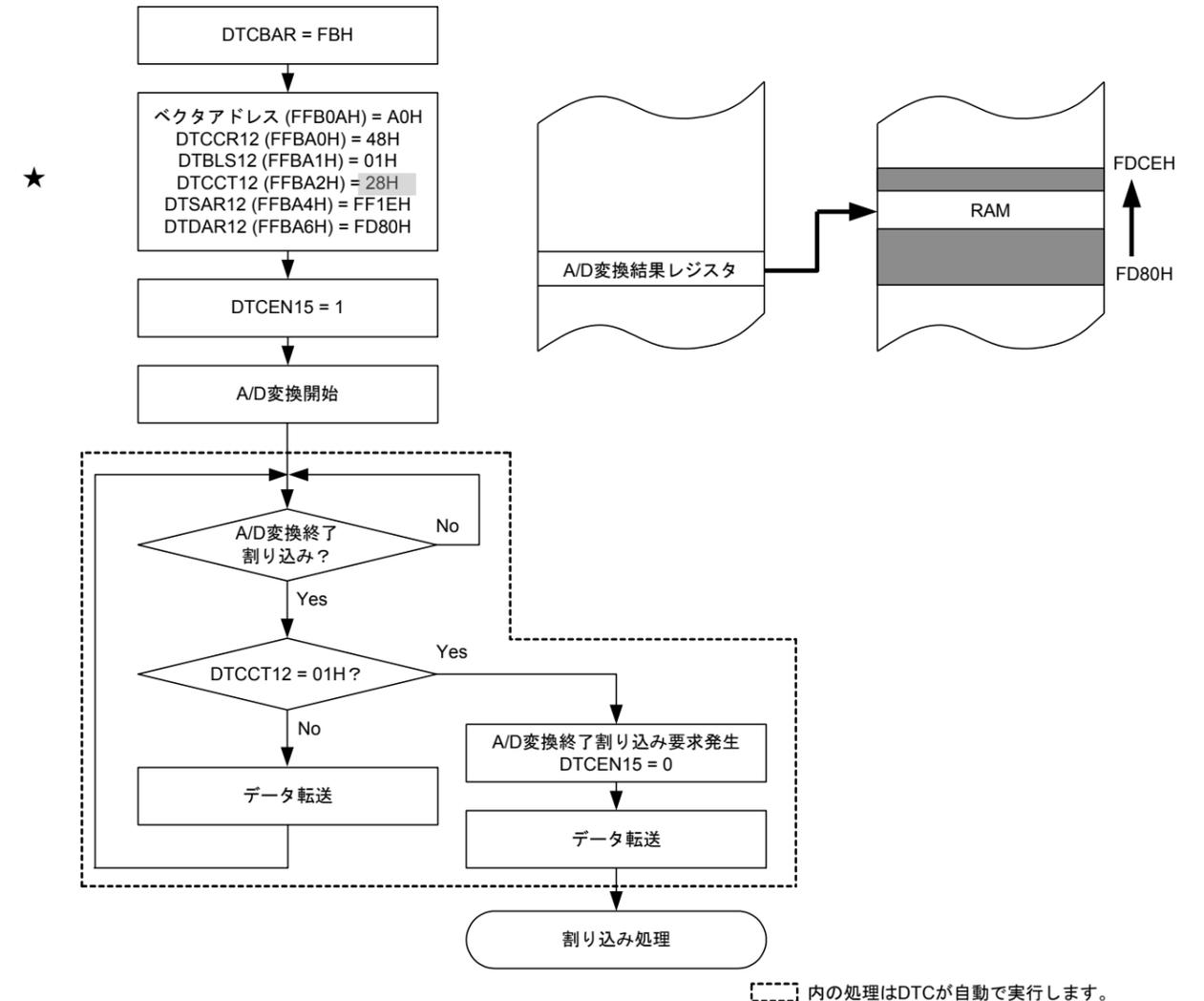
変更後)

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ・ベクタアドレスはFFB0AH, コントロールデータはFFBA0H~FFBA7Hに配置
- ★ A/D変換結果レジスタ (FFF1EH, FFF1FH) の2バイトデータをRAMのFFD80H~FFDCFHの80バイトへ40回転送

図22-15 ノーマルモードの使用例1：A/D変換結果の連続取り込み



ノーマルモードのため、DTRLD12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD12レジスタを初期化 (00H) してください。

22. 5. 3 DTC 保留命令

変更前)

DTC転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX命令コードと直後の1命令の間にDTCが起動されることはありません。

- ・コールリターン命令
- ・無条件分岐命令
- ・条件付き分岐命令
- ・コード・フラッシュ・メモリへのリードアクセス命令
- ・IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令

注意1. DTC転送要求を受け付けると、DTC転送が完了するまで、全ての割り込み要求が保留されます。

2. DTC 保留命令による DTC 保留中は、全ての割り込み要求が保留されます。

22. 5. 3 DTC 保留命令

変更後)

DTC転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX命令コードと直後の1命令の間にDTCが起動されることはありません。

- ・コールリターン命令
- ・無条件分岐命令
- ・条件付き分岐命令
- ・コード・フラッシュ・メモリへのリードアクセス命令
- ・IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令

★ **・乗除積和算命令 (MULU命令を除く)**

注意1. DTC転送要求を受け付けると、DTC転送が完了するまで、全ての割り込み要求が保留されます。

2. DTC保留命令によるDTC保留中は、全ての割り込み要求が保留されます。

23. 4. 4 除算命令中の割り込み処理

変更前)

記載無し

★ 23. 4. 4 除算命令中の割り込み処理

変更後)

- ★ RL78/I1Bは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。
 - DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
 - 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
 - 次の命令で割り込みが発生します。
 - DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

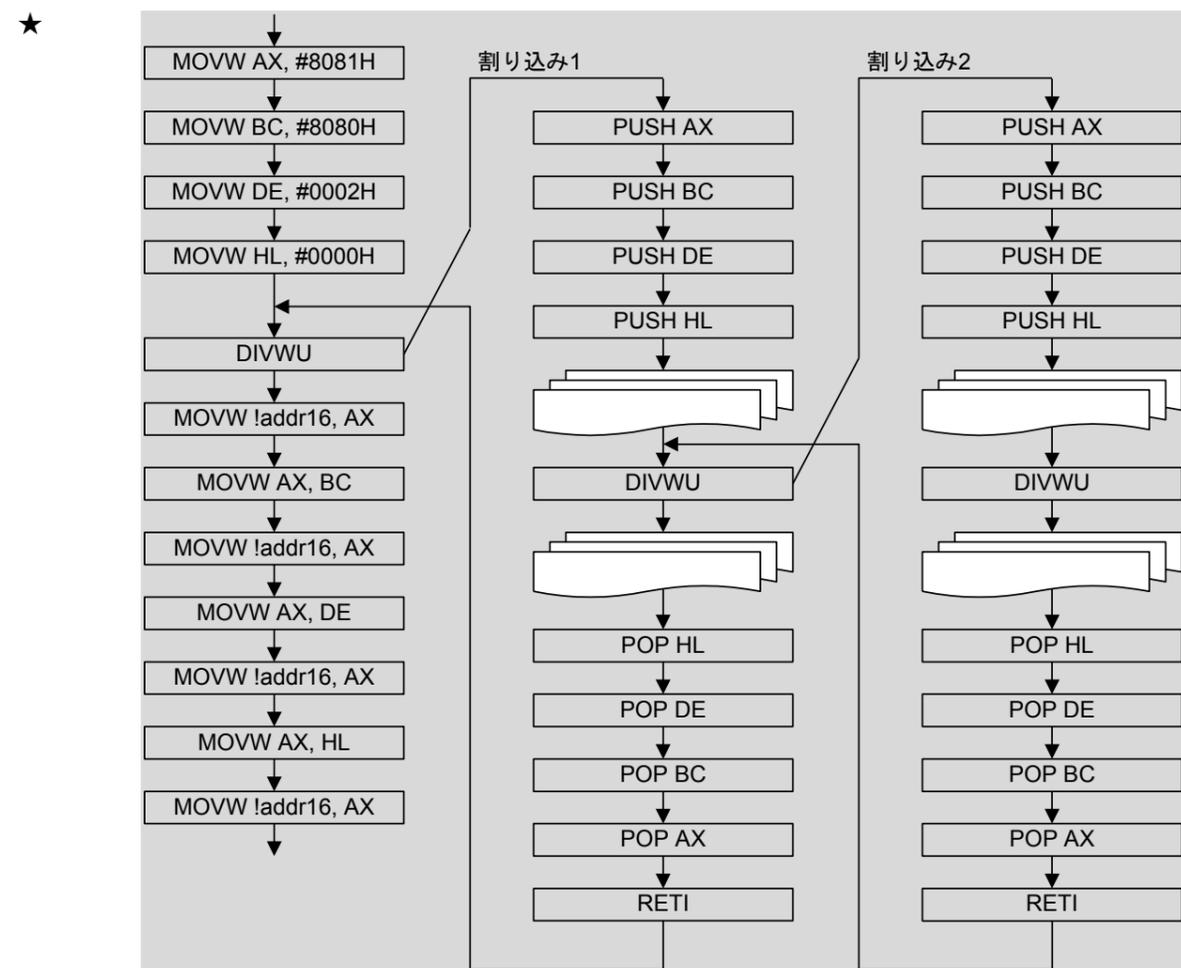
通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)S	(SP-2) ← (PC-3)S
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCS ← 0000	PCS ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。

変更前)

記載無し

変更後)



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。

ただし、RAM 領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU 命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。

下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社コンパイラ製品) V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社コンパイラ)のC言語ソース

23. 4. 4 割り込み要求の保留

変更前)

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令

23. 4. 5 割り込み要求の保留

変更後)

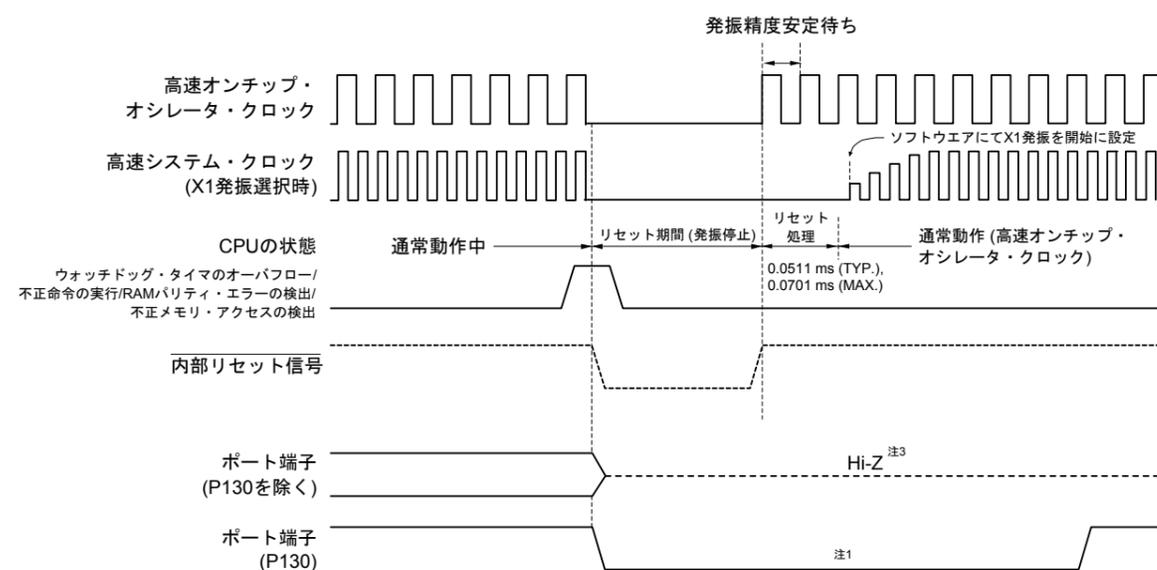
命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ★ ・ MULHU
- ★ ・ MULH
- ★ ・ MACHU
- ★ ・ MACH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令

25. 1 リセット動作のタイミング

変更前)

図 25-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAM パリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



注1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

2. リセット処理時間（外部リセット状態を解除する時間）

- 1回目のPOR解除後 : LVD使用時, 0.672 ms (typ.), 0.832 ms (max.)
LVDオフ時, 0.399 ms (typ.), 0.519 ms (max.)
- 2回目のPOR解除後 : LVD使用時, 0.531 ms (typ.), 0.675 ms (max.)
LVDオフ時, 0.259 ms (typ.), 0.362 ms (max.)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) が掛かります。

3. ポート端子P40は次の状態になります。

- ・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

POR回路、LVD回路の電圧検出によるリセットは、リセット後内部 $V_{DD} \geq V_{POR}$ または内部 $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は、第26章 パワーオン・リセット回路または第27章 電圧検出回路を参照してください。

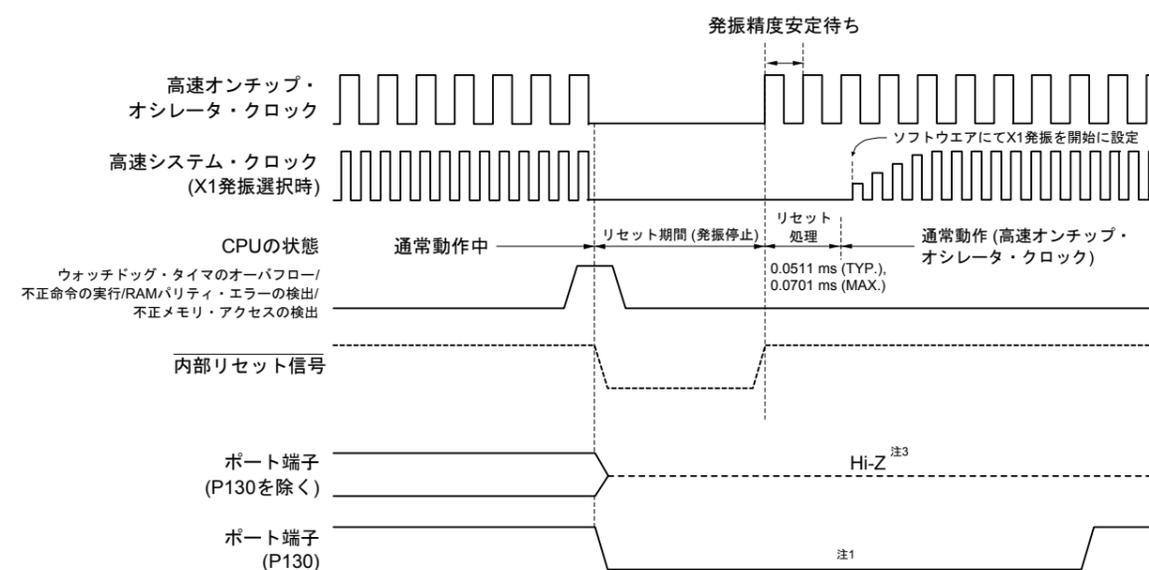
備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

25. 1 リセット動作のタイミング

変更後)

図 25-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAM パリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



注1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

2. リセット処理時間（外部リセット状態を解除する時間）

- 1回目のPOR解除後 : LVD使用時, 0.672 ms (typ.), 0.832 ms (max.)
LVDオフ時, 0.399 ms (typ.), 0.519 ms (max.)
- 2回目のPOR解除後 : LVD使用時, 0.531 ms (typ.), 0.675 ms (max.)
LVDオフ時, 0.259 ms (typ.), 0.362 ms (max.)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) が掛かります。

3. ポート端子P40は次の状態になります。

- ・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

★

POR回路、LVD回路の電圧検出によるリセットは、リセット後内部 $V_{DD} \geq V_{POR}$ または内部 $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は、第26章 パワーオン・リセット回路または第27章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

26. 3 パワーオン・リセット回路の動作

変更前)

注3. 割り込み要求信号 (INTLVI) が発生したあと、電圧検出レベル・レジスタ (LVIS) のLVIL, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧 (VLVDL) を下回らずに、高電圧検出電圧 (VLVDH) 以上に復帰する場合を考慮して、INTLVI発生後は、“図27-8 動作電圧確認/リセットの設定手順”と、“図27-9 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。

26. 3 パワーオン・リセット回路の動作

変更後)

★注3. 割り込み要求信号 (INTLVI) が発生したあと、電圧検出レベル・レジスタ (LVIS) のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧 (VLVDL) を下回らずに、高電圧検出電圧 (VLVDH) 以上に復帰する場合を考慮して、INTLVI発生後は、“図27-8 動作電圧確認/リセットの設定手順”と、“図27-9 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。

27. 1 電圧検出回路の機能

変更前)

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、内部電源電圧（内部V _{DD} ）<VLVDHを検出して割り込み要求信号を発生、内部電源電圧（内部V _{DD} ）<VLVDLを検出して内部リセットを発生。 内部電源電圧（内部V _{DD} ）≥VLVDHを検出して内部リセットを解除。	内部電源電圧（内部V _{DD} ）≥VLVDを検出して内部リセットを解除。内部電源電圧（内部V _{DD} ）<VLVDを検出して割り込み要求信号を発生。	リセット発生直後、LVDの内部リセットは内部V _{DD} ≥VLVDになるまでリセット状態を継続します。内部V _{DD} ≥VLVDを検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、内部V _{DD} <VLVDまたは内部V _{DD} ≥VLVDを検出して割り込み要求信号（INTLVI）を発生します。

電圧検出回路動作時では、電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより、内部電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は、第25章 リセット機能を参照してください。

27. 1 電圧検出回路の機能

変更後)

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、内部電源電圧（内部V _{DD} ）<VLVDHを検出して割り込み要求信号を発生、内部電源電圧（内部V _{DD} ）<VLVDLを検出して内部リセットを発生。 内部電源電圧（内部V _{DD} ）≥VLVDHを検出して内部リセットを解除。	内部電源電圧（内部V _{DD} ）≥VLVDを検出して内部リセットを解除。内部電源電圧（内部V _{DD} ）<VLVDを検出して内部リセットを発生。	リセット発生直後、LVDの内部リセットは内部V _{DD} ≥VLVDになるまでリセット状態を継続します。内部V _{DD} ≥VLVDを検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、内部V _{DD} <VLVDまたは内部V _{DD} ≥VLVDを検出して割り込み要求信号（INTLVI）を発生します。

★ 電圧検出回路動作時では、電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより、内部電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は、第25章 リセット機能を参照してください。

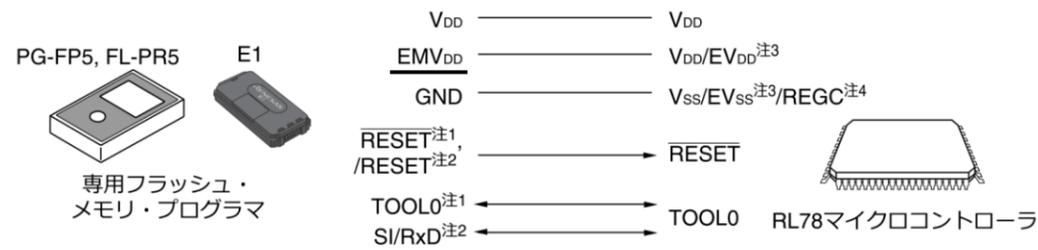
33. 1. 2 通信方式

変更前)

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図33-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1オンチップデバッグエミュレータ使用時。

2. PG-FP5, FL-PR5使用時。
3. 100ピン製品のみ
4. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

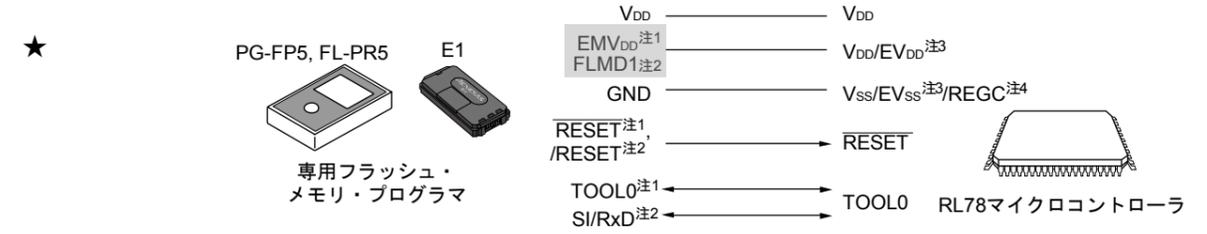
33. 1. 2 通信方式

変更後)

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図33-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1オンチップデバッグエミュレータ使用時。

2. PG-FP5, FL-PR5使用時。
3. 100ピン製品のみ
4. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

33. 5 セルフ・プログラミング

変更前)

RL78マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

- 注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
- セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
 - セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP=0) させ、30 μ s 経過後にセルフ・プログラミング・ライブラリを実行してください。
 - VBAT電源供給切り替え時はセルフ・プログラミング機能は使用できません。

- 備考1. セルフ・プログラミング機能の詳細については、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01AN0350) を参照してください。
- セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS (高速メイン) モード設定時はフルスピード・モードに、LS (低速メイン) モード設定時はワイド・ボルテージ・モードに設定してください。

当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み／消去／ペリファイを行ううえで制限事項はありません。

33. 5 セルフ・プログラミング

変更後)

RL78マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

- 注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
- セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
 - セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP=0) させ、30 μ s 経過後にセルフ・プログラミング・ライブラリを実行してください。
 - VBAT電源供給切り替え時はセルフ・プログラミング機能は使用できません。

- ★ 備考1. セルフ・プログラミング機能の詳細については、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01US0050) を参照してください。
- セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS (高速メイン) モード設定時はフルスピード・モードに、LS (低速メイン) モード設定時はワイド・ボルテージ・モードに設定してください。

当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み／消去／ペリファイを行ううえで制限事項はありません。

36. 2 オペレーション一覧

追加前)

表36-5 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)	x	x	
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

2. MACR: 積和演算累計レジスタ (MACRH, MACRL)

36. 2 オペレーション一覧

追加後)

表36-5 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)	x	x	
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

★ 注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- CA78K0R (ルネサスエレクトロニクス社コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- GNURL78 (KPIT社コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

2. MACR: 積和演算累計レジスタ (MACRH, MACRL)

37. 3. 1 端子特性

変更前)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力 リーク電流	I _{LIH1}	P00-P07, P10-P17, P30-P37, P40-P44, P60-P62, P70-P77, P80-P85, P125-P127			1	μA		
	I _{LIH2}	P20-P25, P137, RESET			1	μA		
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD} ^注 入力ポート時, 外部クロック入力時 発振子接続時		1 10	μA μA		
ロウ・レベル入力 リーク電流	I _{LIL1}	P00-P07, P10-P17, P30-P37, P40-P44, P60-P62, P70-P77, P80-P85, P125-P127			-1	μA		
	I _{LIL2}	P20-P25, P137, RESET			-1	μA		
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS} 入力ポート時, 外部クロック入力時 発振子接続時		-1 -10	μA μA		
内蔵プルアップ 抵抗	R _{U1}	P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P125-P127	V _I = V _{SS}	2.4 V ≤ V _{DD} ^注 ≤ 5.5 V	10	20	100	kΩ
				1.9 V ≤ V _{DD} ^注 ≤ 5.5 V	10	30	100	kΩ
	R _{U2}	P00-P07, P40-P44	V _I = V _{SS}		10	20	100	kΩ

注 バッテリ・バックアップ機能で選択された電源電圧 (V_{DD}端子またはVBAT端子)です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

37. 3. 1 端子特性

変更後)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力 リーク電流	I _{LIH1}	P00-P07, P10-P17, P30-P37, P40-P44, P60-P62, P70-P77, P80-P85, P125-P127			1	μA		
	I _{LIH2}	P20-P25, P137, RESET			1	μA		
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD} ^注 入力ポート時, 外部クロック入力時 発振子接続時		1 10	μA μA		
ロウ・レベル入力 リーク電流	I _{LIL1}	P00-P07, P10-P17, P30-P37, P40-P44, P60-P62, P70-P77, P80-P85, P125-P127			-1	μA		
	I _{LIL2}	P20-P25, P137, RESET			-1	μA		
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS} 入力ポート時, 外部クロック入力時 発振子接続時		-1 -10	μA μA		
★ ★ 内蔵プルアップ 抵抗	R _{U1}	P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P125-P127	V _I = V _{SS}	2.4 V ≤ EV _{DD} ≤ 5.5 V	10	20	100	kΩ
				1.9 V ≤ EV _{DD} ≤ 5.5 V	10	30	100	kΩ
	R _{U2}	P00-P07, P40-P44	V _I = V _{SS}		10	20	100	kΩ

注 バッテリ・バックアップ機能で選択された電源電圧 (V_{DD}端子またはVBAT端子)です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

37. 3. 2 電源電流特性
変更前)

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V	2.3		mA
						V _{DD} = 3.0 V	2.3		mA
				通常動作	V _{DD} = 5.0 V	4.1	6.6	mA	
					V _{DD} = 3.0 V	4.1	6.6	mA	
				f _{IH} = 12 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	2.5	3.8	mA
						V _{DD} = 3.0 V	2.5	3.8	mA
			f _{IH} = 6 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	1.6	2.5	mA	
					V _{DD} = 3.0 V	1.6	2.5	mA	
			f _{IH} = 3 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	1.2	1.9	mA	
					V _{DD} = 3.0 V	1.2	1.9	mA	
			LS (低速メイン)モード ^{注5}	f _{IH} = 6 MHz ^{注3}	通常動作	V _{DD} = 3.0 V	1.3	2.1	mA
						V _{DD} = 2.0 V	1.3	2.1	mA
		f _{IH} = 3 MHz ^{注3}		通常動作	V _{DD} = 3.0 V	0.9	1.5	mA	
					V _{DD} = 2.0 V	0.9	1.5	mA	
		HS (高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	3.4	5.5	mA	
					発振子接続	3.6	5.7	mA	
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	3.4	5.5	mA	
					発振子接続	3.6	5.7	mA	
			f _{MX} = 16 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.8	4.4	mA	
					発振子接続	2.9	4.6	mA	
			f _{MX} = 16 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	2.8	4.4	mA	
					発振子接続	2.9	4.6	mA	
			f _{MX} = 12 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.3	3.6	mA	
					発振子接続	2.4	3.7	mA	
			f _{MX} = 12 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	2.3	3.6	mA	
					発振子接続	2.4	3.7	mA	
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.1	3.2	mA		
				発振子接続	2.1	3.3	mA		
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	2.1	3.2	mA		
				発振子接続	2.1	3.3	mA		
LS (低速メイン)モード ^{注5}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	1.2	2.0	mA			
			発振子接続	1.2	2.1	mA			
	f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力	1.2	2.0	mA			
			発振子接続	1.2	2.1	mA			
サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注4} , TA = -40°C	通常動作	方形波入力	4.8	5.9	μA			
			発振子接続	4.9	6.0	μA			
	f _{SUB} = 32.768 kHz ^{注4} , TA = +25°C	通常動作	方形波入力	4.9	5.9	μA			
			発振子接続	5.0	6.0	μA			
	f _{SUB} = 32.768 kHz ^{注4} , TA = +50°C	通常動作	方形波入力	4.9	7.6	μA			
			発振子接続	5.0	7.7	μA			
f _{SUB} = 32.768 kHz ^{注4} , TA = +70°C	通常動作	方形波入力	5.2	9.3	μA				
f _{SUB} = 32.768 kHz ^{注4} , TA = +85°C	通常動作	方形波入力	6.1	13.3	μA				
			発振子接続	6.2	13.4	μA			

(注, 備考は次ページにあります。)

37. 3. 2 電源電流特性
変更後)

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/4)

★
★

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V	1.5		mA
						V _{DD} = 3.0 V	1.5		mA
				通常動作	V _{DD} = 5.0 V	4.1	6.6	mA	
					V _{DD} = 3.0 V	4.1	6.6	mA	
				f _{IH} = 12 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	2.5	3.8	mA
						V _{DD} = 3.0 V	2.5	3.8	mA
			f _{IH} = 6 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	1.6	2.5	mA	
					V _{DD} = 3.0 V	1.6	2.5	mA	
			f _{IH} = 3 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	1.2	1.9	mA	
					V _{DD} = 3.0 V	1.2	1.9	mA	
			LS (低速メイン)モード ^{注5}	f _{IH} = 6 MHz ^{注3}	通常動作	V _{DD} = 3.0 V	1.3	2.1	mA
						V _{DD} = 2.0 V	1.3	2.1	mA
		f _{IH} = 3 MHz ^{注3}		通常動作	V _{DD} = 3.0 V	0.9	1.5	mA	
					V _{DD} = 2.0 V	0.9	1.5	mA	
		HS (高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	3.4	5.5	mA	
					発振子接続	3.6	5.7	mA	
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	3.4	5.5	mA	
					発振子接続	3.6	5.7	mA	
			f _{MX} = 16 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.8	4.4	mA	
					発振子接続	2.9	4.6	mA	
			f _{MX} = 16 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	2.8	4.4	mA	
					発振子接続	2.9	4.6	mA	
			f _{MX} = 12 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.3	3.6	mA	
					発振子接続	2.4	3.7	mA	
			f _{MX} = 12 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	2.3	3.6	mA	
					発振子接続	2.4	3.7	mA	
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.1	3.2	mA		
				発振子接続	2.1	3.3	mA		
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	2.1	3.2	mA		
				発振子接続	2.1	3.3	mA		
LS (低速メイン)モード ^{注5}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	1.2	2.0	mA			
			発振子接続	1.2	2.1	mA			
	f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力	1.2	2.0	mA			
			発振子接続	1.2	2.1	mA			
サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注4} , TA = -40°C	通常動作	方形波入力	4.8	5.9	μA			
			発振子接続	4.9	6.0	μA			
	f _{SUB} = 32.768 kHz ^{注4} , TA = +25°C	通常動作	方形波入力	4.9	5.9	μA			
			発振子接続	5.0	6.0	μA			
	f _{SUB} = 32.768 kHz ^{注4} , TA = +50°C	通常動作	方形波入力	4.9	7.6	μA			
			発振子接続	5.0	7.7	μA			
f _{SUB} = 32.768 kHz ^{注4} , TA = +70°C	通常動作	方形波入力	5.2	9.3	μA				
f _{SUB} = 32.768 kHz ^{注4} , TA = +85°C	通常動作	方形波入力	6.1	13.3	μA				
			発振子接続	6.2	13.4	μA			

(注, 備考は次ページにあります。)

37. 3. 2 電源電流特性
変更前)

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

(3/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL ^{注1}				0.24		μA
RTC2動作電流	IRTC ^{注1, 2, 3}	fSUB = 32.768 kHz			0.02		μA
12ビット・インターバル・タイマ動作電流	ITMKA ^{注1, 2, 4}	fSUB = 32.768 kHz, fMAIN停止			0.04		μA
8ビット・インターバル・タイマ動作電流	ITMT ^{注1, 2, 5}	fSUB = 32.768 kHz, fMAIN停止, ユニットあたり	8ビット・カウンタ・モード×2ch 動作		0.12		μA
			16ビット・カウンタ・モード動作		0.10		μA
ウォッチドッグ・タイマ動作電流	IWDT ^{注1, 2, 6}	fIL = 15 kHz, fMAIN停止			0.22		μA
LVD動作電流	ILVD ^{注1, 7}				0.08		μA
発振停止検出回路動作電流	IosDC ^{注1}				0.02		μA
バッテリー・バックアップ回路動作電流	IBUP ^{注1}				0.05		μA
A/Dコンバータ動作電流	IADC ^{注1, 8}	最高速変換時	標準モード, AVREFP = VDD = 5.0 V		1.3	2.4	mA
			低電圧モード, AVREFP = VDD = 3.0 V		0.5	1.0	mA
A/Dコンバータ基準電圧電流	IADREF ^{注1}				75.0		μA
温度センサ動作電流	ITMPS ^{注1}				105		μA
コンパレータ動作電流	ICMP ^{注1, 9}	VDD = 5.0 V, レギュレータ出力電圧 = 2.1 V	ウィンドウ・モード		12.5		μA
			コンパレータ高速モード		6.5		μA
			コンパレータ低速モード		1.7		μA
		VDD = 5.0 V, レギュレータ出力電圧 = 1.8 V	ウィンドウ・モード		8.0		μA
			コンパレータ高速モード		4.0		μA
			コンパレータ低速モード		1.3		μA
		VDD = 5.0 V, STOPモード	ウィンドウ・モード		8.0		μA
			コンパレータ高速モード		4.0		μA
コンパレータ低速モード		1.3		μA			
BGO電流	IBGO ^{注1, 10}				2.00	12.20	mA
セルフ・プログラミング動作電流	IFSP ^{注1, 11}				2.00	12.20	mA

37. 3. 2 電源電流特性
変更後)

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

(3/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL ^{注1}				0.24		μA
RTC2動作電流	IRTC ^{注1, 2, 3}	fSUB = 32.768 kHz			0.02		μA
12ビット・インターバル・タイマ動作電流	ITMKA ^{注1, 2, 4}	fSUB = 32.768 kHz, fMAIN停止			0.04		μA
8ビット・インターバル・タイマ動作電流	ITMT ^{注1, 2, 5}	fSUB = 32.768 kHz, fMAIN停止, ユニットあたり	8ビット・カウンタ・モード×2ch 動作		0.12		μA
			16ビット・カウンタ・モード動作		0.10		μA
ウォッチドッグ・タイマ動作電流	IWDT ^{注1, 2, 6}	fIL = 15 kHz, fMAIN停止			0.22		μA
LVD動作電流	ILVD ^{注1, 7}				0.08		μA
発振停止検出回路動作電流	IosDC ^{注1}				0.02		μA
バッテリー・バックアップ回路動作電流	IBUP ^{注1}				0.05		μA
A/Dコンバータ動作電流	IADC ^{注1, 8}	最高速変換時	標準モード, AVREFP = VDD = 5.0 V		1.3	2.4	mA
			低電圧モード, AVREFP = VDD = 3.0 V		0.5	1.0	mA
A/Dコンバータ基準電圧電流	IADREF ^{注1}				75.0		μA
温度センサ動作電流	ITMPS ^{注1}				105		μA
コンパレータ動作電流	ICMP ^{注1, 9}	VDD = 5.0 V, レギュレータ出力電圧 = 2.1 V	ウィンドウ・モード		12.5		μA
			コンパレータ高速モード		6.5		μA
			コンパレータ低速モード		1.7		μA
		VDD = 5.0 V, レギュレータ出力電圧 = 1.8 V	ウィンドウ・モード		8.0		μA
			コンパレータ高速モード		4.0		μA
			コンパレータ低速モード		1.3		μA
		VDD = 5.0 V, STOPモード	ウィンドウ・モード		8.0		μA
			コンパレータ高速モード		4.0		μA
コンパレータ低速モード		1.3		μA			
BGO電流	IBGO ^{注1, 10}				2.00	12.20	mA
セルフ・プログラミング動作電流	IFSP ^{注1, 11}				2.00	12.20	mA

★

37. 6. 2 24ビットΔΣA/Dコンバータ特性

変更後)

(4) 2 kHz サンプリング・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $AV_{DD} \leq V_{DD} + 0.3 \text{ V}$, $2.4 \text{ V} \leq AV_{DD} \leq 5.5 \text{ V}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作クロック	f _{DSAD}	f _x 発振クロック/外部入力クロック/高速オンチップ・オシレータ・クロック使用		12		MHz
サンプリング周波数	f _s			1935.125		Hz
オーバーサンプリング周波数	f _{OS}			0.75		MHz
出力データ・レート	T _{DATA}			512		μs
データ幅	RES			24		bit
SNDR	SNDR	×1 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)		80		dB
		×16 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	69	74		
		×32 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	65	69		
通過域 (低域側)	f _{Chpf}	@-3 dB (HPF内位相調整off)		0.303		Hz
帯域内ripple 1	rp1	45 Hz-55 Hz @50 Hz	-0.01		0.01	dB
		54 Hz-66 Hz @60 Hz				
帯域内ripple 2	rp2	45 Hz-275 Hz @50 Hz	-0.1		0.1	dB
		54 Hz-330 Hz @60 Hz				
帯域内ripple 3	rp3	45 Hz-660 Hz @50 Hz	-0.1		0.1	dB
		54 Hz-550 Hz @60 Hz				
通過域 (高域側)	f _{Clpf}	-3 dB		836		Hz
阻止域 (高域側)	f _{att}	-80 dB		1273		Hz
帯域外減衰量	ATT1	f _s	-80			dB
	ATT2	2 f _s	-80			

37. 6. 2 24ビットΔΣA/Dコンバータ特性

変更前)

(4) 2 kHz サンプリング・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $AV_{DD} \leq V_{DD} + 0.3 \text{ V}$, $2.4 \text{ V} \leq AV_{DD} \leq 5.5 \text{ V}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作クロック	f _{DSAD}	f _x 発振クロック/外部入力クロック/高速オンチップ・オシレータ・クロック使用		12		MHz
★ サンプリング周波数	f _s			1953.125		Hz
オーバーサンプリング周波数	f _{OS}			0.75		MHz
出力データ・レート	T _{DATA}			512		μs
データ幅	RES			24		bit
SNDR	SNDR	×1 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)		80		dB
		×16 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	69	74		
		×32 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	65	69		
通過域 (低域側)	f _{Chpf}	@-3 dB (HPF内位相調整off)		0.303		Hz
帯域内ripple 1	rp1	45 Hz-55 Hz @50 Hz	-0.01		0.01	dB
		54 Hz-66 Hz @60 Hz				
帯域内ripple 2	rp2	45 Hz-275 Hz @50 Hz	-0.1		0.1	dB
		54 Hz-330 Hz @60 Hz				
帯域内ripple 3	rp3	45 Hz-660 Hz @50 Hz	-0.1		0.1	dB
		54 Hz-550 Hz @60 Hz				
通過域 (高域側)	f _{Clpf}	-3 dB		836		Hz
阻止域 (高域側)	f _{att}	-80 dB		1273		Hz
帯域外減衰量	ATT1	f _s	-80			dB
	ATT2	2 f _s	-80			

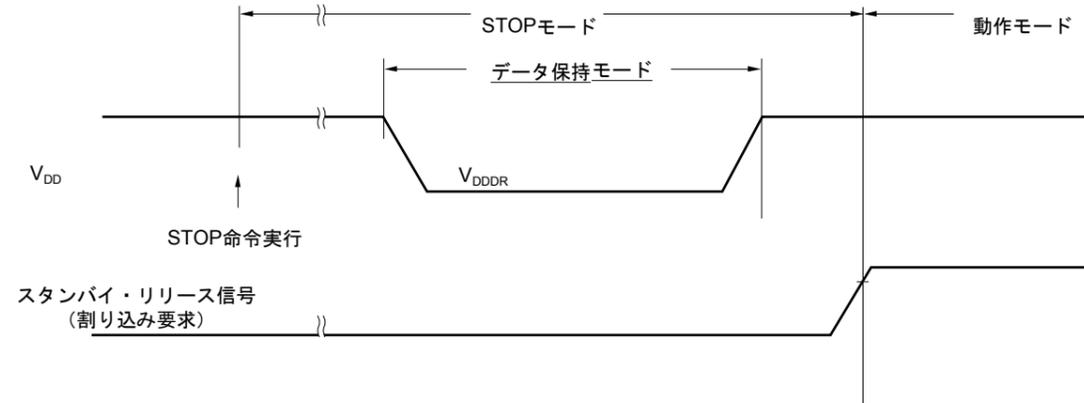
変更前)

37.9 データ・メモリ STOP モード低電源電圧データ保持特性

(TA = -40~+85 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



変更後)

★ 37.9 RAMデータ保持特性

(TA = -40~+85 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.46 ^注		5.5	V

★ 注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

