

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-A794A/J	Rev.	第1版
題名	SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編 誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> <li>・ SH7214 グループ</li> <li>・ SH7216 グループ</li> </ul>	対象ロット等	関連資料	SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編 (RJJ09B0575-0200)	
	全ロット				

上記適用製品のハードウェアマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。

詳細は、以下をご参照ください。

「15章 ウォッチドッグタイマ(WDT)」 P15-5、「15.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ(WTCSR)」の説明を以下のように修正します。

#### 【修正前】

WTCSR は、RES 端子によるパワーオンリセット、ソフトウェアスタンバイモード時に H' 18 に初期化されます。

#### 【修正後】

WTCSR は、RES 端子によるパワーオンリセット、WDT による内部リセット、ソフトウェアスタンバイモード時に H' 18 に初期化されます。

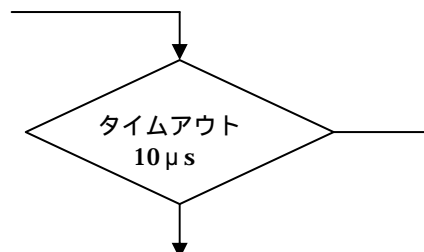
「15章 ウォッチドッグタイマ(WDT)」 P15-11、「15.4.2 ウォッチドッグタイマモードの使用方法」の説明に以下を追加します。

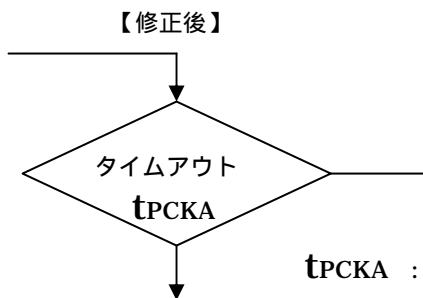
#### 【修正後】

7、WTCSR は WDT による内部リセットにて初期化されるため、WTCSR の TME ビットは 0 クリアされます。そのため、カウンタは停止します(初期化される)。再度 WDT として使用する場合、WTCSR の WOVF フラグをクリアした後、WDT を再設定してください。

「27章 フラッシュメモリ(ROM)」 P17-67、「図 27.19 周辺クロック通知コマンドの使用フロー」の説明を以下のように修正します。

#### 【修正前】





tPCKA : P =50MHz の場合 60μs  
 : P =25MHz の場合 120μs

「SH7216 ハードウェアマニュアル、16章 シリアルコミュニケーションインターフェース(SCI)」P16-15の「16.3.7 シリアルステータスレジスタ(SCSSR)」のTENDビットの説明を以下のように修正します。

【修正前】

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	トランスミットエンド [クリア条件] ・TEND=1の状態を読み出した後、TENDフラグに0を書き込んだとき

【修正後】

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	トランスミットエンド [クリア条件] ・TDRE=1の状態を読み出した後、TDREフラグに0を書き込んだとき

「31章 ユーザデバッグインターフェース(H-UDI)」P31-4、「31.3 バウンダリスキャン TAP コントロール」の説明を以下のように修正します。

【修正前】

3. バウンダリスキャン実行時、TCKの最大周波数は25MHzです。

【修正後】

3. バウンダリスキャン実行時、TCKの最大周波数は6.25MHzです。H-UDI実行時、TCKの最大周波数は25MHzです。

「3.3章 電気的特性」 P33-2、「33.2 DC特性」を修正します。

【修正前】

項目		記号	Min.	Typ	Max	単位	測定条件
消費電流	通常動作時	I <sub>cc</sub>	-	150	210	mA	I =200MHz B =50MHz P =50MHz

【修正後】

項目		記号	Min.	Typ	Max	単位	測定条件
消費電流	通常動作時	I <sub>cc</sub>	-	150	200	mA	I =200MHz B =50MHz P =50MHz

「3.3章 電気的特性」 P33-62、「33.3.17 H-UDI 関連端子のタイミング」を修正します。

【修正前】

項目	記号	Min	Max	単位	参照図
TCK サイクル時間	tTCKcyc	50 <sup>1</sup>	-	ns	
TCK High レベルパルス幅	tTCKH	0.4	0.6	tTCKcyc	
TCK Low レベルパルス幅	tTCKL	0.4	0.6	tTCKcyc	
TDI セットアップ時間	tTDIS	15	-	ns	
TDI ホールド時間	tTDIH	15	-	ns	
TMS セットアップ時間	tTMSS	15	-	ns	
TMS ホールド時間	tTMSH	15	-	ns	
TDO 遅延時間	tTDOD	-	30 <sup>1</sup>	ns	

\* 周辺クロック(P)のサイクル時間より大きくなるようにしてください。

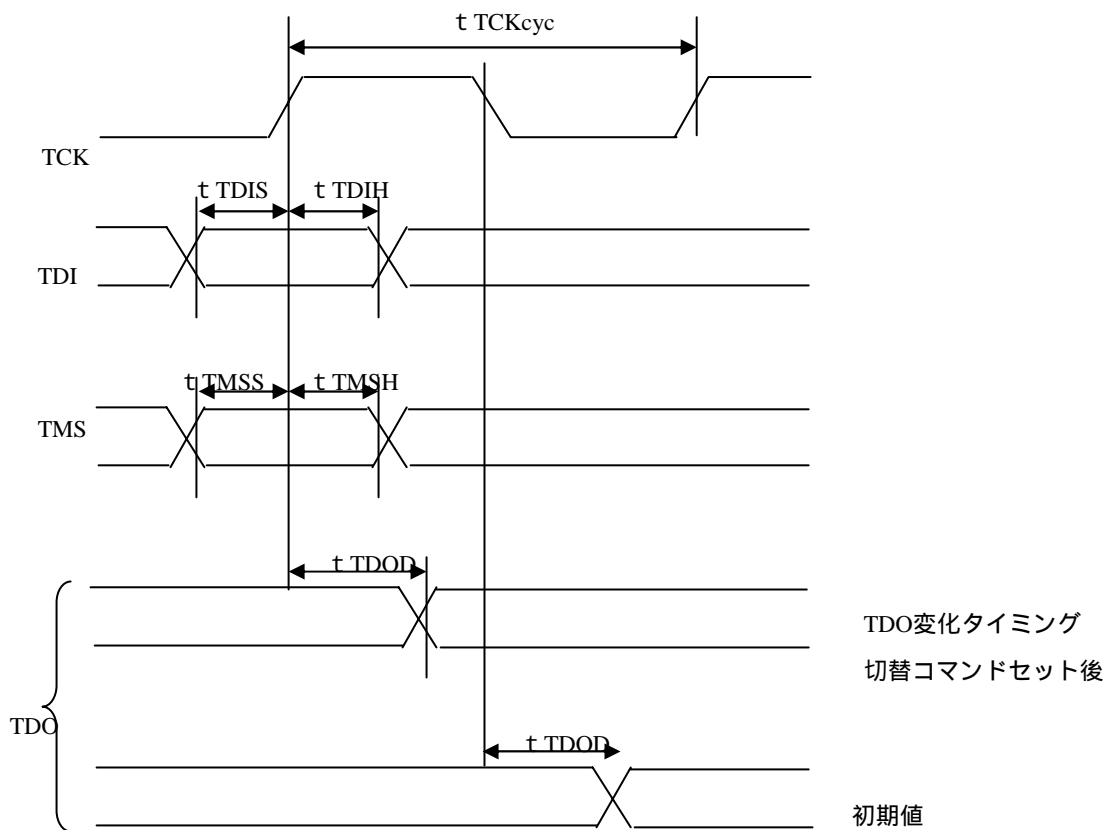
【修正後】

項目	記号	Min	Max	単位	参照図
TCK サイクル時間	tTCKcyc	40 <sup>1</sup>	-	ns	
		160 <sup>2</sup>	-	ns	
TCK High レベルパルス幅	tTCKH	0.4	0.6	tTCKcyc	
TCK Low レベルパルス幅	tTCKL	0.4	0.6	tTCKcyc	
TDI セットアップ時間	tTDIS	15	-	ns	
TDI ホールド時間	tTDIH	15	-	ns	
TMS セットアップ時間	tTMSS	15	-	ns	
TMS ホールド時間	tTMSH	15	-	ns	
TDO 遅延時間	tTDOD	-	30 <sup>1</sup>	ns	
		-	80 <sup>2</sup>	ns	
TDO 以外の出力端子	tOTHERD	-	80 <sup>2</sup>	ns	

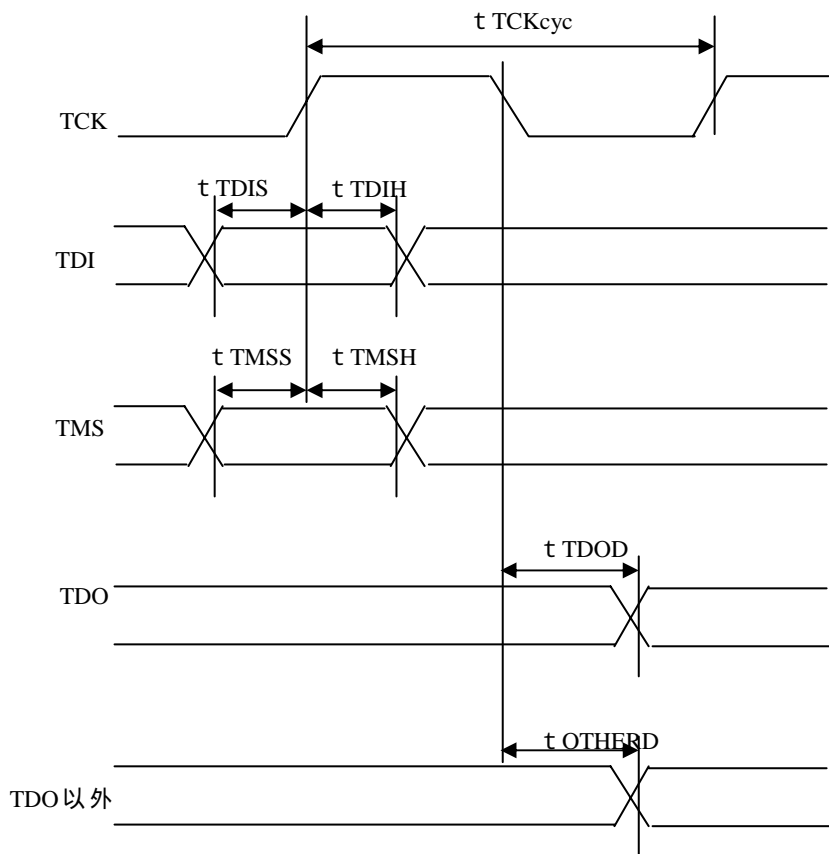
\*1 周辺クロック(P)のサイクル時間より大きくなるようにしてください。

\*2 バウンダリスキャン時の TCK サイクル時間です。

【修正前】



【修正後】



「3.3章 電気的特性」 P33-68、「3.3.3.6 フラッシュメモリ特性 表 33.24 表 33.25」を修正します。

【修正前】

項目	記号	Min	typ	Max	単位	測定条件
書き込み中のサスペンド遅延時間	tSPD	-	-	120	μs	P =50MHz 時
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)	tSEDS1	-	-	120	μs	

【修正後】

項目	記号	Min	typ	Max	単位	測定条件
書き込み中のサスペンド遅延時間	tSPD	-	-	225	μs	P =20MHz
				175		P =40MHz
				155		P =50MHz
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)	tSEDS1	-	-	220	μs	P =20MHz
				130		P =40MHz
				120		P =50MHz

「付録-16」 「図 C.2 寸法外形図(2)」を修正します。

【修正前】

RENESAS Code      PLQP0176LB-A  
 Previous Code      FP176-A/FP-176AV  
 MASS [Typ.]        1.4g

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	-	20	-
E	-	20	-
C	0.12	0.17	0.22
C1	-	0.15	-
L	0.4	0.50	0.6

【修正後】

RENESAS Code      PLQP0176LA-B  
 Previous Code      -  
 MASS [Typ.]        1.3g

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.9	20	20.1
E	19.9	20	20.1
C	0.09	0.145	0.20
C1	-	0.125	-
L	0.35	0.50	0.65

「9章 バスコントローラ」 P9-63、「BSZ[1:0],A2/3ROW[1:0], A2/3COL[1:0]とアドレスマルチプレクスの関係」の表を追加します。

設定			シンクロナス DRAMの端子	機能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32ビット)	00 (11ビット)	00 (8ビット)		
本LSIの 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2	A22*2	A12(BA1)	バンク指定
A13	A21*2	A21*2	A11(BA0)	
A12	A20	L/H*1	A10/AP	アドレス/プリ チャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		
A0	A8	A0		
接続メモリ例				
64Mビット品(512kワード×32ビット×4バンク、カラム8ビット品) 1個				
16Mビット品(512kワード×16ビット×2バンク、カラム8ビット品) 2個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32ビット)	01 (12ビット)	00 (8ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAM の端子	機能
A17	A24	A17		未使用
A16	A23	A16		
A15	A23*2	A23*2	A13(BA1)	バンク指定
A14	A22*2	A22*2	A12(BA0)	
A13	A21	A13	A11	アドレス
A12	A20	L/H*1	A10/AP	アドレス/プリ チャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		
A0	A8	A0		
接続メモリ例				
128M ビット品(1M ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個				
64M ビット品(1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 2 個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32ビット)	01 (12ビット)	01 (9ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24*2	A24*2		
A14	A23*2	A23*2	A12(BA0)	
A13	A22	A13	A11	アドレス
A12	A21	L/H*1	A10/AP	アドレス/プリ チャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		
A0	A9	A0		
接続メモリ例				
256Mビット品(2Mワード×32ビット×4バンク、カラム9ビット品) 1個				
128Mビット品(2Mワード×16ビット×4バンク、カラム9ビット品) 2個				



設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32ビット)	01 (12ビット)	10 (10ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25*2	A25*2		
A14	A24*2	A24*2	A12(BA0)	
A13	A23	A13	A11	アドレス
A12	A22	L/H*1	A10/AP	アドレス/プリ チャージ指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		
A0	A10	A0		
接続メモリ例				
512Mビット品(4Mワード×32ビット×4バンク、カラム10ビット品) 1個				
256Mビット品(4Mワード×16ビット×4バンク、カラム10ビット品) 2個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32ビット)	10 (13ビット)	01 (9ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16	A14(BA1)	バンク指定
A15	A24*2	A25*2	A13(BA0)	
A14	A23*2	A24*2	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H*1	A10/AP	アドレス/プリ チャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		
A0	A9	A0		
接続メモリ例				
512Mビット品(4Mワード×32ビット×4バンク、カラム9ビット品) 1個				
256Mビット品(4Mワード×16ビット×4バンク、カラム9ビット品) 2個				