

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル

株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-H8*-A403A/J	Rev.	第1版
題名	H8SX/1650 グループハードウェアマニュアルの誤記訂正		情報分類	技術資料	
適用製品	H8SX/1650 グループ	対象ロット等	関連資料	H8SX/1650 グループハードウェアマニュアル (RJ09B0314-0200)	
		全ロット			

H8SX/1650 グループハードウェアマニュアルにおいて誤記がありましたので、ご案内申し上げます。

< 誤記訂正内容 >

1. 概要

(1) 頁 1-2 「表 1.1 仕様概要」の CPU について以下のように訂正します。

〔変更前〕

分類	モジュール/機能	説明
CPU	CPU	【省略 ~変更無し~】 ・積和演算命令をサポート (16×16+32 32ビット)

〔変更後〕

分類	モジュール/機能	説明
CPU	CPU	【省略 ~変更無し~】 ・積和演算命令をサポート (16×16+42 42ビット)

5. 割り込みコントローラ

(1) 頁 5-26、頁 5-27 「5.6.5 割り込みによる DTC の起動」の記述から、DTCERF、DTCERG、DTCERH を削除します。

〔変更前〕

(1) 割り込み要因の選択

DTC の DTCERA ~ DTCERH の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

(省略 ~変更無し~)

(2) 優先順位判定

(省略 ~変更無し~)

(3) 動作順序

(省略 ~変更無し~)

表 5.6 に、DTC の DTCERA ~ DTCERH の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

〔変更後〕

(1) 割り込み要因の選択

DTC の DTCERA ~ **DTCERE** の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

(省略 ~変更無し~)

(2) 優先順位判定

(省略 ~変更無し~)

(3) 動作順序

(省略 ~変更無し~)

表 5.6 に、DTC の DTCERA ~ **DTCERE** の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

7. データトランスファコントローラ(DTC)

(1) 頁7-2 「図7.1 DTCのブロック図」内のDTCERの記述を以下のように訂正します。

〔変更前〕図7.1 DTCのブロック図

〔変更後〕図7.1 DTCのブロック図



(2) 頁7-3 「7.2 レジスタの説明」のDTCイネーブルレジスタの記述から、DTCERF、DTCERG、DTCERHを削除します。

〔変更前〕

- ・DTCイネーブルレジスタA~H(DTCERA~DTCERH)

〔変更後〕

- ・DTCイネーブルレジスタA~**E**(DTCERA~**DTCERE**)

(3) 頁7-7 DTCイネーブルレジスタの説明から、DTCERG、DTCERHを削除します。

〔変更前〕

7.2.7 DTCイネーブルレジスタA~H(DTCERA~DTCERH)

DTCERは、DTCを起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERHがあります。

【以下省略】

〔変更後〕

7.2.7 DTCイネーブルレジスタA~**E**(DTCERA~**DTCERE**)

DTCERは、DTCを起動する割り込み要因を選択するためのレジスタで、DTCERA~**DTCERE**があります。

【以下省略】

8. I/Oポート

(1) 頁 8-31 「表 8.5 各ポートの出力信号有効設定一覧」の PA1 の記述を以下のように訂正します。

〔変更前〕

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PA	1	BACK_OE	BACK		BCR1.BRLE=1
		(RD/WR)_OE	RD/WR		PFCR2.REWRE=1、または SRAMCR.BCSELn=1

〔変更後〕

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PA	1	BACK_OE	BACK		BCR1.BRLE=1
		(RD/WR)_OE	RD/WR		PFCR2. RDWRE =1、または SRAMCR.BCSELn=1

11. 8ビットタイマ(TMR)

(1) 頁 11-19 「11.7.2 A/D 変換器の起動」の説明を以下のように訂正します。

〔変更前〕

TMR_0 のコンペアマッチ A のみ、A/D 変換器を起動することができます。

TMR_0 のコンペアマッチ A の発生により、TCSR_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

〔変更後〕

TMR_0、TMR_2 のコンペアマッチ A で、A/D 変換器を起動することができます。

コンペアマッチ A の発生により、TCSR の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

13. シリアルコミュニケーションインタフェース

(1) 頁 13-12 シリアルステータスレジスタ(SSR)のビット名を以下のように訂正します。

〔変更前〕

シリアルステータスレジスタ(SSR)

・SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FRE	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

〔変更後〕

シリアルステータスレジスタ(SSR)

・SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

19. レジスタ一覧

(1) 頁 19-5 「19.1 レジスタアドレス一覧」のDTCERの記述から、DTCERF、DTCERG、DTCERHを削除します。

〔変更前〕

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス状態数
~説明省略(変更なし)~						
DTC イネーブルレジスタ E	DTCERE	16	H'FFF28	INTC	16	2I /3Iφ
DTC イネーブルレジスタ F	DTCERF	16	H'FFF2A	INTC	16	2I /3I
DTC イネーブルレジスタ G	DTCERG	16	H'FFF2C	INTC	16	2I /3I
DTC イネーブルレジスタ H	DTCERH	16	H'FFF2E	INTC	16	2I /3I
DTC コントロールレジスタ	DTCCR	8	H'FFF30	INTC	16	2Iφ /3Iφ
~説明省略(変更なし)~						

〔変更後〕

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス状態数
~説明省略(変更なし)~						
DTC イネーブルレジスタ E	DTCERE	16	H'FFF28	INTC	16	2Iφ /3Iφ
DTC コントロールレジスタ	DTCCR	8	H'FFF30	INTC	16	2Iφ /3Iφ
~説明省略(変更なし)~						

(2) 頁 19-14 「19.2 レジスタビット一覧」のINTCモジュールの記述から、DTCERF、DTCERG、DTCERHを削除します。

〔変更前〕

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
~説明省略(変更なし)~									TPU_5
DTCERA ~ DTCERD	~説明省略(変更なし)~								INTC
DTCERE	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERF	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERG	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERH	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCCR	-	-	-	RRS	RCHNE	-	-	ERR	
INTCR ~ ISR	~説明省略(変更なし)~								
~説明省略(変更なし)~									I/Oポート

〔変更後〕

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
~説明省略(変更なし)~									TPU_5
DTCERA ~ DTCERD	~説明省略(変更なし)~								INTC
DTCERE	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCCR	-	-	-	RRS	RCHNE	-	-	ERR	
INTCR ~ ISR	~説明省略(変更なし)~								
~説明省略(変更なし)~									I/Oポート

(3) 頁 19-23 「19.3 各動作モードにおけるレジスタの状態」の INTC モジュールの記述から、DTCERF、DTCERG、DTCERH を削除します。

〔変更前〕

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
～説明省略(変更なし)～							TPU_5
DTCERA ~ DTCERD	～説明省略(変更なし)～						INTC
DTCERE	初期化	-	-	-	-	初期化	
DTCERF	初期化					初期化	
DTCERG	初期化					初期化	
DTCERH	初期化					初期化	
DTCCR	初期化	-	-	-	-	初期化	
INTCR ~ ISR	～説明省略(変更なし)～						
～説明省略(変更なし)～							I/O ポート

〔変更後〕

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
～説明省略(変更なし)～							TPU_5
DTCERA ~ DTCERD	～説明省略(変更なし)～						INTC
DTCERE	初期化	-	-	-	-	初期化	
DTCCR	初期化	-	-	-	-	初期化	
INTCR ~ ISR	～説明省略(変更なし)～						
～説明省略(変更なし)～							I/O ポート