

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0091A/J	Rev.	第1版
題名	CANFD の訂正と追加仕様		情報分類	技術情報	
適用製品	RA6M5 グループ	対象ロット等	関連資料	Renesas RA6M5 グループ ユーザーズ マニュアル ハードウェア編 Rev.1.30	
		全ロット			

本ドキュメントでは、CANFD における訂正およびメッセージバッファ RAM の追加仕様を記載します。

訂正前

32.2.83 CFDGLOCKK：グローバルロックキーレジスタ
(中略)

LOCK[15:0]ビット (ロックキー)

キーロック解除シーケンスを LOCK[15:0]ビットに書き込み、CANFD モジュールを **FIFO OTB 禁止および RAM** テストモードに設定する必要があります。

訂正後

32.2.83 CFDGLOCKK：グローバルロックキーレジスタ
(中略)

LOCK[15:0]ビット (ロックキー)

キーロック解除シーケンスを LOCK[15:0]ビットに書き込み、CANFD モジュールを RAM テストモードに設定する必要があります。

訂正前

32.8.1.2 FIFO バッファへのメッセージの格納

(中略)

CFDCFCCn.CFE ビットが 1 のとき、このビットに書き込みを行ってはなりません。

共通 FIFO は、CAN フレームの受信が完了したときに割り込みを設定できます。

共通 FIFO は、RX モードか GW モードの FIFO がフルステータスのときに割り込みを設定できます。

注. メッセージロストフラグは、RX モードか GW モードのときに、CAN 側によってのみセットできます。CPU 側が FIFO バッファをオーバーロードしているときはメッセージロストフラグはセットされません。

注. CFDGAFLP0n.GAFLSRD i (i = 0~2) と CFDTXQCCin.TXQGWE (i = 0~2, n = 0~7) の両方がセットされている場合、受信フレームは、ルーティングにより、ターゲット TX キューに送信データとして格納されます。

RX FIFO バッファと、RX モードか GW モードに構成された共通 FIFO バッファはいつでも無効化できます。無効化するには、それぞれ、RX FIFO コンフィグレーション/コントロールレジスタの CFDRFCCn.RFE ビット、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCCn.CFE ビットをクリアします。

訂正後

32.8.1.2 FIFO バッファへのメッセージの格納

(中略)

CFDCFCCn.CFE ビットが 1 のとき、このビットに書き込みを行ってはなりません。

共通 FIFO は、CAN フレームの受信が完了したときに割り込みを設定できます。

共通 FIFO は、RX モードか GW モードの FIFO がフルステータスのときに割り込みを設定できます。

注. メッセージロストフラグは、RX モードか GW モードのときに、CAN 側によってのみセットできます。CPU 側が FIFO バッファをオーバーロードしているときはメッセージロストフラグはセットされません。

注. CFDGAFLP0n.GAFLSRD i (i = 0~2) と CFDTXQCCin.TXQGWE (i = 0~2, n = 0~1) の両方がセットされている場合、受信フレームは、ルーティングにより、ターゲット TX キューに送信データとして格納されます。

RX FIFO バッファと、RX モードか GW モードに構成された共通 FIFO バッファはいつでも無効化できます。無効化するには、それぞれ、RX FIFO コンフィグレーション/コントロールレジスタの CFDRFCCn.RFE ビット、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCCn.CFE ビットをクリアします。

訂正前

32.8.2.4 TX キュー

(中略)

TXQ1 と TXQ0 を同時に使用するとき、TX キューの容量は合計で 8 以下にします。

TXQ3 と TXQ2 を同時に使用するとき、TX キューの容量は合計で 8 以下にします。

TX キューを構成するすべての TX メッセージバッファには、直接アクセスしてはなりません (TX キューのアクセスウィンドウとして機能する TX メッセージバッファ No. 39、TX メッセージバッファ No. 32、TX メッセージバッファ No. 7、TX メッセージバッファ No. 0 を除く)。

CFDGAFLP0n.GAFLSRDi (i = 0~2) と CFDTXQCCin.TXQGWE (i = 0~3, n = 0~7) の両方がセットされている場合、受信フレームは、ルーティングにより、ターゲット TX キューに送信データとして格納されます。

訂正後

32.8.2.4 TX キュー

(中略)

TXQ1 と TXQ0 を同時に使用するとき、TX キューの容量は合計で 8 以下にします。

TXQ3 と TXQ2 を同時に使用するとき、TX キューの容量は合計で 8 以下にします。

TX キューを構成するすべての TX メッセージバッファには、直接アクセスしてはなりません (TX キューのアクセスウィンドウとして機能する TX メッセージバッファ No. 39、TX メッセージバッファ No. 32、TX メッセージバッファ No. 7、TX メッセージバッファ No. 0 を除く)。

CFDGAFLP0n.GAFLSRDi (i = 0~2) と CFDTXQCCin.TXQGWE (i = 0~2, n = 0~1) の両方がセットされている場合、受信フレームは、ルーティングにより、ターゲット TX キューに送信データとして格納されます。

訂正前

32.9.2.1 RAM テストモード

(中略)

AFL および MB RAM の pn および CFDGTSTCFG.RTMPS[9:0]の値は、次の方法で計算されます。

$pn = \text{ceil}(\text{総 RAM サイズ[バイト]} / \text{ページあたりバイト数})$

● AFL RAM :

$pn = \text{ceil}(2048 / 256) = 8$ ページ

CFDGTSTCFG.RTMPS[9:0] = 0~7 (0x00F) (0 と 7 を含む)

● MB RAM :

$pn = \text{ceil}(8192 / 256) = 32$ ページ

CFDGTSTCFG.RTMPS[9:0] = 8~39 (0x27) (8 と 39 を含む)

訂正後

32.9.2.1 RAM テストモード

(中略)

AFL および MB RAM の pn および CFDGTSTCFG.RTMPS[9:0]の値は、次の方法で計算されます。

$pn = \text{ceil}(\text{総 RAM サイズ[バイト]} / \text{ページあたりバイト数})$

● AFL RAM :

$pn = \text{ceil}(2048 / 256) = 8$ ページ

CFDGTSTCFG.RTMPS[9:0] = 0~7 (0x00F) (0 と 7 を含む)

● MB RAM :

$pn = \text{ceil}(8192 / 256) = 32$ ページ

CFDGTSTCFG.RTMPS[9:0] = 8~39 (0x27) (8 と 39 を含む)

(最後のページの 64 バイト以降はアクセスしないでください)

訂正前

(32 章には、該当の記載がない)

訂正後

32.x RAM 領域構成

CANFD で使用される RA 領域は、図 32.x1 に示すように、以下のグループに分割出来ます。

- AFL ルールテーブル領域
- PFL ルールテーブル領域
- メッセージバッファ^{*1}領域 (RX MB +FIFO buffer)
- OTB 領域
- THL 領域
- TX MB 領域

*1: 以後、MBとする

物理的には、RAM は、3 つの RAM に分割され、PFL ルールテーブル RAM^{*2}、AFL ルールテーブル RAM0^{*3}(CFDGAFLID および CFDGAFLP0)+AFL ルールテーブル RAM1^{*3}(CFDGAFLM and CFDGAFLP1)、メッセージバッファ RAM^{*4}(RX MB、RX FIFO、Common FIFO^{*5}、TX MB、THL、OTB)です。

- *2: 以後、PFL RAMとする
- *3: RAM0およびRAM1を合わせてAFL RAMとする
- *4: 以後、MRAMとする
- *5: 以後、共通FIFOまたはCFIFOとする

PFL RAM、AFL RAM、MRAMのサイズは、チャンネル数^{*6}で変化します。

*6: 以後nとする(n=0 はチャンネル数=1を示し、n=1はチャンネル数=2を示す)

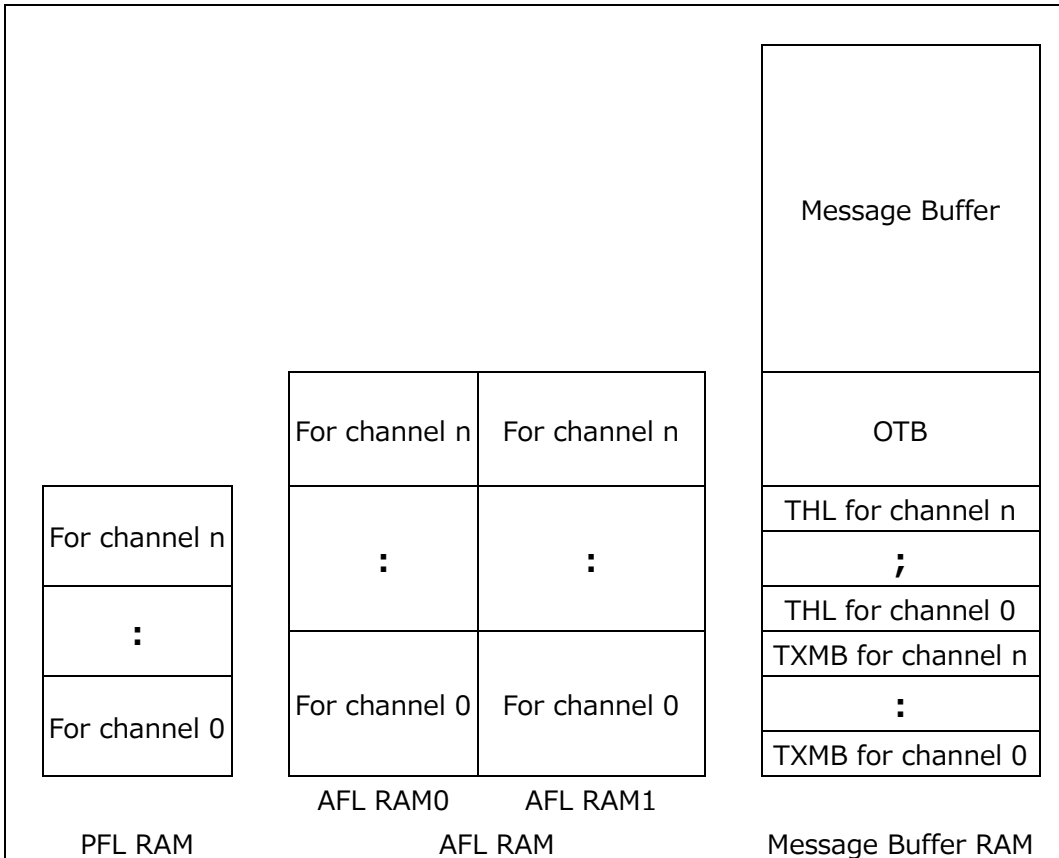


図 32.x1: RAM 領域グループ化

ルールテーブル領域は、常に AFL RAM の 0x0000 番地から開始され、チャンネル数で決まる固定のサイズとなります。
 MRAM 領域は 0x0000 番地の TX MB 領域から配置されます。TX MB 領域に続き、THL 領域が配置され、更に THL 領域に
 続き OTB 領域が配置されます。TX MB、THL、OTB 領域のサイズはチャンネル数で決まる固定値です。
 OTB 領域に続き、メッセージバッファ領域が配置されます。メッセージバッファ領域のサイズは、RXMB、RXFIFO、CFIFO の構成に
 依存します。全ての領域が構成されると、RXMB 領域に続いて RXFIFO 領域が配置され、その後に CFIFO 領域が配置されます。
 MRAM の構成は、以下のように計算されます。

$$\text{MRAM_cfg} = \text{RXMB_MRAM_cfg} + \text{RXFIFO_MRAM_cfg} + \text{CFIFO_MRAM_cfg} + \\ \text{TXMB_MRAM_cfg} + \text{THL_MRAM_cfg} + \text{OTB_MRAM_cfg}$$

$$\text{RXMB_MRAM_cfg} = (12 \text{ Bytes} + \text{CFDRMNB.RMPLS}) * \text{CFDRMNB.NRXMB}$$

$$\text{RXFIFO_MRAM_cfg} = \text{SUM}((12 \text{ Bytes} + \text{CFDRFCCa.RFPLS}) * \text{CFDRFCCa.RFDC})$$

$$\text{CFIFO_MRAM_cfg} = \text{SUM}((12 \text{ Bytes} + \text{CFDCFCCd.CFPLS}) * \text{CFDCFCCd.CFDC})$$

$$\text{TXMB_MRAM_cfg} = 4864 \text{ Bytes} * (n+1)$$

$$\text{THL_MRAM_cfg} = 256 \text{ Bytes} * (n+1)$$

$$\text{OTB_MRAM_cfg} = 160 \text{ Bytes} * (n+1)$$

“a” は、RX FIFO のインデックス = [0…no_of_RFIFOs-1]

“d” は、共通 FIFO のインデックス = [0 .. no_of_CFIFOs -1]

no_of_RFIFOs : 構成された RX FIFO の数

no_of_CFIFOs : 構成された CFIFOs

注: CFDRFCCa.RFDC、CFDCFCCd.CFDC、CFDRMNB.RMPLS、CFDRMNB.NRXMB、CFDRFCCa.RFPLS、
 CFDCFCCd.CFPLS に関して、指定された数を使用しなければなりません。

PFL ルールテーブル領域は、常に PFL RAM の 0x0000 番地から開始され、チャンネル数で決まる固定のサイズとなります。

表 32.x1 は、AFL エントリ、OTB バッファ、TX/RX メッセージバッファ、RX/共通 FIFO、PFL エントリに使用される各種 RAM 領域の計算を示します。表 32.x2 は、RAM 初期化のサイクル数を示します。

表 32.x1 PFL RAM 領域、AFL RAM 領域、MRAM 領域掲載

RAM 名称	RAM 属性	RAM 領域計算方法	PFL RAM 値
	チャンネル数	$(n+1)$	2
PFL	チャンネル毎の平均ルールエントリ	固定値	20
	最大ルールエントリ	$(n+1) * \text{チャンネル毎の平均ルールエントリ}$	40
	ルールエントリのバイト数	固定値	36
	PFL RAM 領域のバイト数	最大ルールエントリ * ルールエントリのバイト数	1440

RAM 名称	RAM 属性	RAM 領域計算方法	AFL RAM 値
	チャンネル数	$(n+1)$	2
AFL	チャンネル毎の平均ルールエントリ	64/ch	64
	最大ルールエントリ	$(n+1) * \text{チャンネル毎の平均ルールエントリ}$	128
	ルールエントリのバイト数	固定値	16
	AFL RAM 領域のバイト数	最大ルールエントリ * ルールエントリのバイト数	2048

RAM 名称	RAM 属性	RAM 領域計算方法	MRAM 値
	チャンネル数	$(n+1)$	2
TXMB	チャンネル毎の TX MB 数	16/ch	16
	最大 TX MB 数	$(n+1) * \text{チャンネル毎の TX MB 数}$	32
	各 TXMB での必要バイト数	固定値	76
	TXMB 領域のバイト数	$(n+1) * \text{チャンネル毎の TX MB 数} * \text{各 TXMB での必要バイト数}$	2432
	THL	1 THL バッファ内のエントリ数	固定値
THL	最大 THL エントリ数	$(n+1) * 1 \text{ THL バッファ内のエントリ数}$	64
	各 THL エントリの必要バイト数	固定値	8
	THL 領域のバイト数	最大 THL エントリ数 * 各 THL エントリの必要バイト数	512
	OTB	各チャンネルの平均バッファ数	
OTB	最大 OTB エントリ数	$(n+1) * \text{各チャンネルの平均バッファ数}$	4
	OTB エントリのバイト数	固定値	80
	OTB 領域のバイト数	最大 OTB エントリ数 * OTB エントリのバイト数	320
	メッセージ バッファ	チャンネル毎の RXMB 数	固定値
最大 RX MB 数		$(n+1) * \text{各チャンネルの RXMB 数}$	32
RX FIFO 数		固定値	8
チャンネル毎の共通 FIFO 数		固定値	3
最大共通 FIFO 数		$(n+1) * \text{チャンネル毎の共通 FIFO 数}$	6
各チャンネル毎の平均 RXMB メッセージ数および FIFO バッファ数		32/ch	32
各保持メッセージのバイト数		固定値	-
平均メッセージバッファのバイト数			76
メッセージ一時保存領域のバイト数		$(n+1) * \text{各チャンネル毎の平均 RXMB メッセージ数および FIFO バッファ数} * (\text{各保持メッセージのバイト数 あるいは } \text{or } \text{平均メッセージバッファのバイト数})$	4864
メッセージ RAM のバイト数		メッセージ一時保存領域のバイト数 + OTB 領域のバイト数 + THL 領域のバイト数	8128

表 32.x2 RAM 初期化サイクル

RAM 初期化サイクル (pclk cycle)	2034
--------------------------	------

32.x.1 例

図 32.x2 は、2 ch における構成可能な例を示しています。

	不使用領域	0x1FC0 ----- 0x0D50
CFDFCC5.CFDC=6 (6 メッセージ) CFDFCC5.CFPLS=2 (16 バイト) → 28 バイト / メッセージ	共通 FIFO 5	----- 0x0D34
CFDFCC0.CFDC=1 (4 メッセージ) CFDFCC0.CFPLS=0 (8 バイト) → 20 バイト / メッセージ	共通 FIFO 0	----- 0x0D20
CFDRFCC4.RFDC=2 (8 メッセージ) CFDRFCC4.RFPLS=0 (8 バイト) → 20 バイト / メッセージ	RX FIFO 4	----- 0x0D0C
CFDRFCC0.RFDC=3 (16 メッセージ) CFDRFCC0.RFPLS=5 (32 バイト) → 44 バイト / メッセージ	RX FIFO 0	----- 0x0CE0
RXMB CFDRMMB.NRXMB=4 (4 メッセージ) CFDRMMB.RMPLS=3 (20 バイト) → 32 バイト / RXMB	RX MB	----- 0x0CC0
	OTB	----- 0x0B80
	THL 1	----- 0x0980 ----- 0x0000
	THL 0	
	TXMB[127]	
	:	
	TXMB[0]	

(単位：バイト)

図32.x2: CANFD 2chにおけるRX MB + FIFO バッファRAM領域構成例

32.x.2 OTB 領域

OTB 領域は、THL バッファ領域の次に配置されています。OTB は CANFD において特殊な用途に使用されます。RAM 領域のこのセクションは、RAM テストモードにおいて CPU のみがアクセス出来ます。各チャネルの平均バッファ数は 2 です。各バッファとしては 80 バイトが必要です。そのため OTB のために必要な全バイト数は、 $((n+1)*2)*80$ バイトになります。