

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A862A/J	Rev. 4.00 第1版
題名	バスステートコントローラ(BSC)の MPX-I/O インタフェースのアサート拡張/ネゲート拡張サイクル説明の追加		情報分類	技術情報
適用製品	SH7084 グループ、SH7085 グループ、SH7086 グループ	対象ロット等	関連資料	SH7080 グループユーザズマニュアル ハードウェア編 Rev.5.00 (R01UH0198JJ0500)
		全ロット		

上記適用製品に内蔵されているバスステートコントローラ (BSC) の MPX-I/O インタフェースにおいて、アサート拡張サイクルおよびネゲート拡張サイクルの説明の追加がございますので連絡いたします。

1. レジスタ説明の変更

9.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~8)

(2) MPX-I/O

- CS5WCR

【変更前】

ビット	ビット名	初期値	R/W	説明
12, 11	SW[1:0]	00	R/W	アドレス、CSn アサート RD、WRxx アサート遅延サイクル数 このビットは、アドレス、CSn アサートから RD、WRxx アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
1, 0	HW[1:0]	00	R/W	RD、WRxx ネゲート アドレス、CSn ネゲート遅延サイクル数 このビットは、RD、WRxx ネゲートから、アドレス、CSn ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

【変更後】

ビット	ビット名	初期値	R/W	説明
12, 11	SW[1:0]	00	R/W	<p>アドレスサイクル(Ta3)終了 RD、WRxx アサート遅延サイクル数</p> <p>このビットは、アドレスサイクル(Ta3)終了から、RD、WRxx アサートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WRxx ネゲート CSn ネゲート遅延サイクル数</p> <p>このビットは、RD、WRxx ネゲートから、CSn ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

2. 動作説明への追加

9.5.5 MPX-I/O インタフェース

【変更前】

データサイクルは、通常空間アクセスと同一のサイクルとなります。
 タイミングチャートを図 9.11 ~ 図 9.13 に示します。

【変更後】

データサイクルは、通常空間アクセスと同一のサイクルとなります。

SW[1:0]の遅延サイクルは、Ta3 と T1 サイクルの間に挿入されます。HW[1:0]の遅延サイクルは T2 サイクルの後に付加されます。

タイミングチャートを図 9.11 ~ 図 9.13 に示します。

【追加】

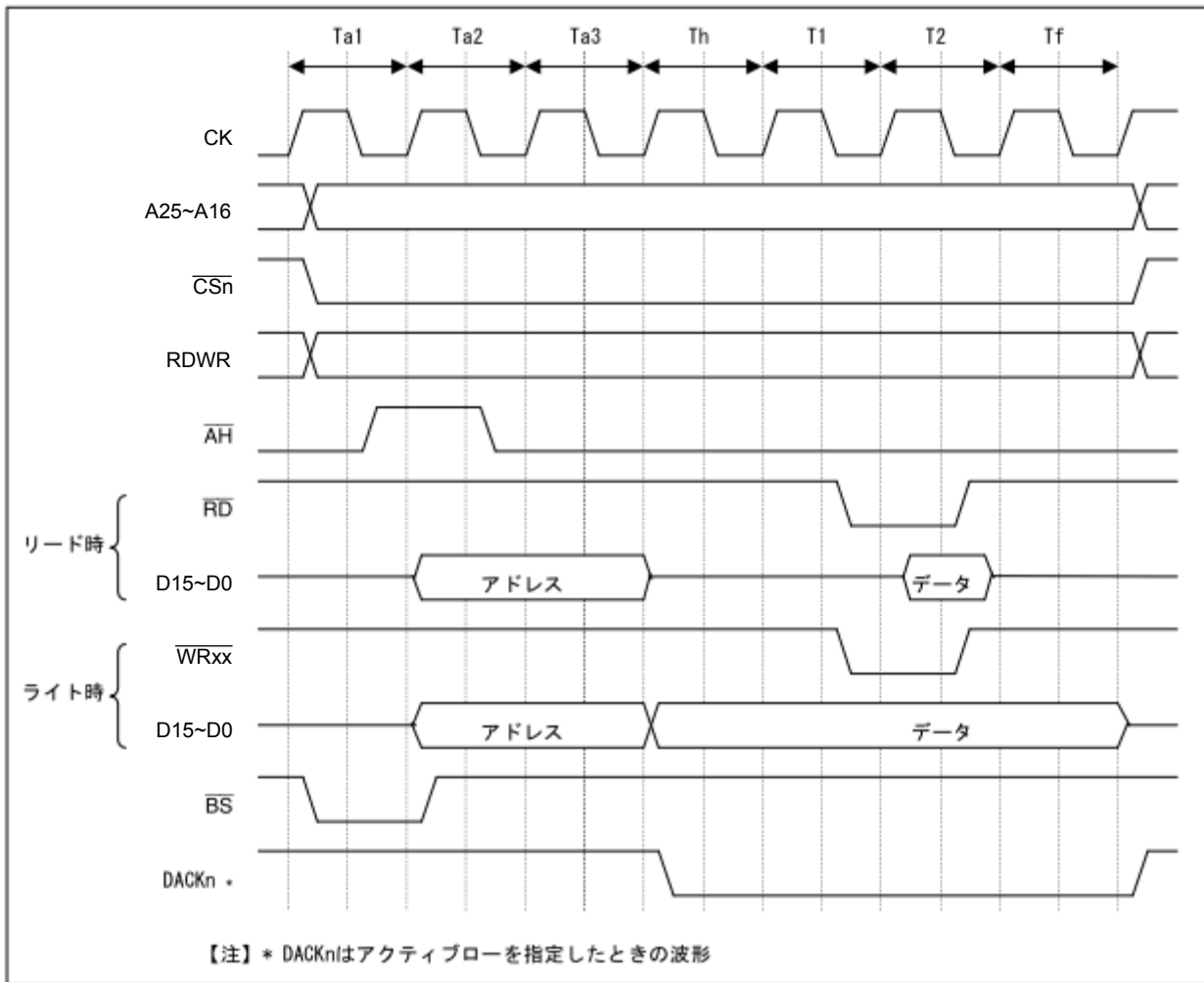


図 9.11 (2) MPX空間アクセスタイミング
 (アドレスサイクルノーウェイト、アサート拡張サイクル1.5、データサイクルノーウェイト、ネゲート拡張サイクル1.5)

以上