

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

| | | | | | |
|------|---------------------------------------|--------|----------------|--|-----|
| 製品分類 | MPU & MCU | 発行番号 | TN-SH7-A895A/J | Rev. | 第1版 |
| 題名 | バスステートコントローラ (BSC) の内部バスの最小アイドル数説明の追加 | | 情報分類 | 技術情報 | |
| 適用製品 | SH7231 シリーズ | 対象ロット等 | 関連資料 | SH7231 グループ ユーザーズマニュアル ハードウェア編 (R01UH0073JJ0200) | |
| | | 全ロット | | | |

上記適用製品のバスステートコントローラ (BSC) において、内部バスの最小アイドル数の訂正があります。

【ユーザーズマニュアル誤記訂正】

10.5.10 アクセスサイクル間アイドル

< 訂正前(p.10-99) >

表 10.20 内部バスの最小アイドル数 (CPU 動作)

| CPU 動作 | クロック比 (I : B) | | | |
|---------|----------------|-----|-----|-----|
| | 8:1 | 4:1 | 2:1 | 1:1 |
| ライト ライト | 1 | 2 | 2 | 3 |
| ライト リード | 0 | 0 | 0 | 1 |
| リード ライト | 1 | 2 | 2 | 3 |
| リード リード | 0 | 0 | 0 | 1 |

< 訂正後(p.10-99) >

表 10.20 内部バスの最小アイドル数 (CPU 動作)

| CPU 動作 | クロック比 (I : B) | | | |
|---------|----------------|---------|---------|---------|
| | 8:1 | 4:1 | 2:1 | 1:1 |
| ライト ライト | 0 | 0 | 0 | 0 |
| ライト リード | 0 | 0 | 0 | 0 |
| リード ライト | 1 or 0* | 1 or 0* | 2 or 0* | 3 or 0* |
| リード リード | 0 | 0 | 0 | 0 |

【動作条件】

- CS1BCR および CS2BCR のサイクル間アイドル指定はすべて 0 を指定。
- CS1WCR および CS2WCR の WM ビットは 1 (外部 WAIT 端子無効)、SW[1:0]は 00 (CS アサート延長しない)、HW[1:0]は 00 (CS ネゲート延長しない)。
- CS1 および CS2 とともに SRAM を接続し、バス幅は 16 ビット。
- CPU のデータ転送命令による、アクセスサイズは 16 ビット (MOV.W)。

【注】 *1 命令フェッチによる外部バスのリード (F バス経由) と、データ転送命令による外部バスのライト (M バス経由) が連続した場合は。

< 訂正前(p.10-100) >

表 10.21 内部バスの最小アイドル数 (DMAC 動作)

| DMAC 動作 | 転送モード | |
|---------|----------|----------|
| | デュアルアドレス | シングルアドレス |
| ライト ライト | 0 | 2 |
| ライト リード | 0 または 2 | 0 |
| リード ライト | 0 | 0 |
| リード リード | 0 | 2 |

- 【注】
- デュアルアドレス転送のライト ライト、リード リード動作は分割されたサイクルの実行中です。
 - デュアルアドレス転送のライト リードの 0 は異なるチャンネルが連続起動した場合、2 は同一のチャンネルが連続起動した場合です。なお、DMAC 起動要求が内蔵周辺モジュールで、かつバーストモードで連続起動時は同一チャンネルであっても 0 となります。
 - シングルアドレスのライト リード、リード ライトは異なるチャンネルを連続起動した場合です。
「ライト」は DACK 付きデバイス 外部メモリ、「リード」は外部メモリ DACK 付きデバイスへの転送です。

< 訂正後(p.10-100) >

表 10.21 内部バスの最小アイドル数 (DMAC 動作)

| DMAC 動作 | 転送モード | | | | |
|-----------|----------|---------|------------------------|------------------------|------------------|
| | デュアルアドレス | | | | |
| | オートリクエスト | 周辺モジュール | 外部リクエスト (レベル, AM=0) | 外部リクエスト (レベル, AM=1) | 外部リクエスト (エッジ) |
| ライト ライト*3 | 2 | 2 | 4*1 or 2*2 | 9*1*4 or 2*2 | 4*1 or 2*2 |
| ライト リード*3 | 0 | 0 | 2*1 or 0*2 | 6*1*4 or 0*2 | 1*1 or 0*2 |
| リード ライト | 0 | 0 | 0 | 0 | 0 |
| リード リード | 2 | 2 | 5*1 or 2*2 | 4*1 or 2*2 | 4*1 or 2*2 |

| DMAC 動作 | 転送モード | |
|-----------|------------------|------------------|
| | シングルアドレス | |
| | 外部リクエスト (レベル) | 外部リクエスト (エッジ) |
| ライト ライト*3 | 7*1*4 or 0*2 | 2*1 or 0*2 |
| ライト リード*3 | 0*2 | 0*2 |
| リード ライト | 0*2 | 0*2 |
| リード リード | 5*1 or 0*2 | 2*1 or 0*2 |

【動作条件】

- CS1BCR および CS2BCR のサイクル間アイドル指定はすべて 0 を指定。
- CS1WCR および CS2WCR の WM ビットは 1(外部 WAIT 端子無効)、SW[1:0]は 00(CS アサート延長しない)、HW[1:0]は 00(CS ネグート延長しない)。
- CS1 および CS2 とともに SRAM を接続し、バス幅は 16 ビット。
- DMA 転送サイズは 16 ビット。DMAC の動作モードはバーストモード。
- デュアルアドレスのライト ライトは内蔵メモリ 外部メモリ間データ転送、リード リードは外部メモリ 内蔵メモリ間データ転送、ライト リード、リード ライトは外部メモリ 外部メモリ間データ転送。
- シングルアドレスのライトは、DACK 付きデバイス 外部メモリ、リードは外部メモリ DACK 付きデバイスへの転送。

【注】

- *1 同一チャンネルの DMA 転送が連続した場合の、最小アイドル数です。
- *2 異なるチャンネル間の DMA 転送が連続した場合の、最小アイドル数です。
- *3 前アクセスに対して CS アサート延長 (Th)、アクセスウェイト (Tw)、CS ネグート延長 (Tf) を挿入する場合、ライトバッファ効果で、表の値よりも Th+Tw+Tf だけ最小アイドル数は小さくなります。
- *4 ライトバッファ効果による、最小アイドル数の減少は発生しません。

< 訂正前(p.10-100) >

表 10.22 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

| | | 後サイクル | | | | | | | |
|-----------------------|--------------------|-------|------------------|---------|--------------------|--------------------|-------|-------------------|-----------------|
| | | SRAM | バーストROM (非同期) | MPX-I/O | バイトSRAM (BAS=0) | バイトSRAM (BAS=1) | SDRAM | SDRAM (低周波モード) | バーストROM (同期) |
| 前 サ イ ク ル | SRAM | 0 | 0 | 1 | 0 | 1 | 1 | 1.5 | 0 |
| | バーストROM (非同期) | 0 | 0 | 1 | 0 | 1 | 1 | 1.5 | 0 |
| | MPX-I/O | 1 | 1 | 0 | 1 | 1 | 1 | 1.5 | 1 |
| | バイトSRAM (BAS=0) | 0 | 0 | 1 | 0 | 1 | 1 | 1.5 | 0 |
| | バイトSRAM (BAS=1) | 1 | 1 | 2 | 1 | 0 | 0 | 1.5 | 1 |
| | SDRAM | 1 | 1 | 2 | 1 | 0 | 0 | - | 1 |
| | SDRAM (低周波モード) | 1.5 | 1.5 | 2.5 | 1.5 | 0.5 | - | 1 | 1.5 |
| | バーストROM (同期) | 0 | 0 | 1 | 0 | 1 | 1 | 1.5 | 0 |

< 訂正後(p.10-100) >

表 10.22 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

| | | 後アクセス | | | | | | | |
|-----------------------|--------------------|-------|------------------|---------|--------------------|--------------------|-------|-------------------|-----------------|
| | | SRAM | バーストROM (非同期) | MPX-I/O | バイトSRAM (BAS=0) | バイトSRAM (BAS=1) | SDRAM | SDRAM (低周波モード) | バーストROM (同期) |
| 前 ア ク セ ス | SRAM | 0 | 0 | 1 | 0 | 1 | 1 | 1.5 | 0 |
| | バーストROM (非同期) | 0 | 0 | 1 | 0 | 1 | 1 | 1.5 | 0 |
| | MPX-I/O | 1 | 1 | 0 | 1 | 1 | 1 | 1.5 | 1 |
| | バイトSRAM (BAS=0) | 0 | 0 | 1 | 0 | 1 | 1 | 1.5 | 0 |
| | バイトSRAM (BAS=1) | 1 | 1 | 2 | 1 | 0 | 0 | 1.5 | 1 |
| | SDRAM | 1 | 1 | 2 | 1 | 0 | 0 | - | 1 |
| | SDRAM (低周波モード) | 1.5 | 1.5 | 2.5 | 1.5 | 0.5 | - | 1 | 1.5 |
| | バーストROM (同期) | 0 | 0 | 1 | 0 | 1 | 1 | 1.5 | 0 |

< 訂正前(p.10-101) >

サイクル間アイドル数の試算例

CPUアクセスで、CS1空間からCS2空間へデータを転送する例を考えます。転送は、CS1リード CS1リード CS2ライト CS2ライト CS1リード ...を繰り返すものとします。

- 条件
 - CS1BCRおよびCS2BCRのサイクル間アイドル指定はすべて0を指定。
 - CS1WCRおよびCS2WCRのWMビットは1（外部WAIT端子無効）、HW[1:0]は00（CSネゲート延長しない）。
 - I :B は4:1とし、転送の間は他の処理を行わない。
 - CS1およびCS2ともに、通常SRAMを接続し、バス幅32ビットでアクセスサイズも32ビットで行う。

アイドル数を決める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。

| 項目 | R R | R W | W W | W R | 備考 |
|--------------|-----|-----|-----|-----|--|
| (1)/(2) | 0 | 0 | 0 | 0 | CSnBCRの設定が0であるため |
| (3)/(4) | 0 | 0 | 0 | 0 | WMビットが1であるため |
| (5) | 1 | 1 | 0 | 0 | リードサイクル後に発生 |
| (6) | 0 | 2 | 2 | 0 | 表10.20のI :B = 4:1の部分を参照 |
| (7) | 0 | 1 | 0 | 0 | ライトバッファ効果で2回目では発生しない |
| (5)+(6)+(7) | 1 | 4 | 2 | 0 | |
| (8) | 0 | 0 | 0 | 0 | SRAM SRAMであるため |
| 試算アイドルサイクル数 | 1 | 4 | 2 | 0 | (1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の最大値 |
| 実際に発生するアイドル数 | 1 | 4 | 2 | 1 | W Rで不一致が発生した原因は、(6)の内部アイドル数を0と試算したが、実際にはループ判定命令の実行のため、内部アイドルが発生したため。 |

図 10.43 アイドルサイクル数の試算例と実際の比較

< 訂正後(p.10-101) >

サイクル間アイドル数の試算例

CPUアクセスで、CS1空間からCS2空間へデータを転送する例を考えます。転送は、CS1リード CS1リード CS2ライト CS2ライト CS1リード ...を繰り返すものとします。

- 条件
 - CS1BCRおよびCS2BCRのサイクル間アイドル指定はすべて0を指定。
 - CS1WCRおよびCS2WCRのWMビットは1（外部WAIT端子無効）、HW[1:0]は00（CSネゲート延長しない）。
 - I :B は4:1とし、転送の間は他の処理を行わない。
 - CS1およびCS2ともに、SRAMを接続し、バス幅16ビットでアクセスサイズも16ビットで行う。

アイドル数を決める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。

| 項目 | R R | R W | W W | W R | 備考 |
|--------------|-----|-----|-----|-----|--|
| (1)/(2) | 0 | 0 | 0 | 0 | CSnBCRの設定が0であるため |
| (3)/(4) | 0 | 0 | 0 | 0 | WMビットが1であるため |
| (5) | 1 | 1 | 0 | 0 | リードサイクル後に発生 |
| (6) | 0 | 1 | 0 | 0 | 表10.20のI :B = 4:1の部分を参照 |
| (7) | 0 | 1 | 0 | 0 | ライトバッファ効果で2回目では発生しない |
| (5)+(6)+(7) | 1 | 3 | 0 | 0 | |
| (8) | 0 | 0 | 0 | 0 | SRAM SRAMであるため |
| 試算アイドルサイクル数 | 1 | 3 | 0 | 0 | (1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の最大値 |
| 実際に発生するアイドル数 | 1 | 3 | 0 | 1 | W Rで不一致が発生した原因は、(6)の内部アイドル数を0と試算したが、実際にはループ判定命令の実行のため、内部アイドルが発生したため。 |

図 10.43 アイドルサイクル数の試算例と実際の比較

10.5.11 バスアービトレーション

(4) アクセスサイクル数

表 10.23 (1)、表 10.23 (2)、表 10.23 (3) を下表のように修正します。表番号の n には、1~3 が当てはまります。

< 訂正前(pp.10-106 ~ 10.108) >

表 10.23 (n) アクセスサイクル数

| | | | I :B | | | |
|------|-----|----|---------|---------|---------|---------|
| | | | 1:1 | 2:1 | 4:1 | 8:1 |
| B :P | 1:1 | m1 | 2I | 2I ~ 3I | 2I ~ 5I | 2I ~ 9I |
| | | m2 | 1B | 1B | 1B | 1B |
| | | m3 | 2I | 3I | 4I | 4I |
| | 2:1 | m1 | 2I | 2I ~ 3I | 2I ~ 5I | 2I ~ 9I |
| | | m2 | 1B ~ 2B | 1B ~ 2B | 1B ~ 2B | 1B ~ 2B |
| | | m3 | 2I | 3I | 4I | 4I |
| | 4:1 | m1 | 2I | 2I ~ 3I | 2I ~ 5I | 2I ~ 9I |
| | | m2 | 1B ~ 4B | 1B ~ 4B | 1B ~ 4B | 1B ~ 4B |
| | | m3 | 2I | 3I | 4I | 4I |
| | 8:1 | m1 | 2I | 2I ~ 3I | 2I ~ 5I | 2I ~ 9I |
| | | m2 | 1B ~ 8B | 1B ~ 8B | 1B ~ 8B | 1B ~ 8B |
| | | m3 | 2I | 3I | 4I | 4I |

< 訂正後(pp.10-106 ~ 10.108) >

表 10.23 (n) アクセスサイクル数

| | | | I :B | | | |
|------|-----|----|---------|---------|---------|---------|
| | | | 1:1 | 2:1 | 4:1 | 8:1 |
| B :P | 1:1 | m1 | 2I | 2I ~ 3I | 2I ~ 5I | 2I ~ 9I |
| | | m2 | 1B | 1B | 1B | 1B |
| | | m3 | 2I | 2I | 2I ~ 3I | 3I |
| | 2:1 | m1 | 2I | 2I ~ 3I | 2I ~ 5I | 2I ~ 9I |
| | | m2 | 1B ~ 2B | 1B ~ 2B | 1B ~ 2B | 1B ~ 2B |
| | | m3 | 2I | 2I | 2I ~ 3I | 3I |
| | 4:1 | m1 | 2I | 2I ~ 3I | 2I ~ 5I | 2I ~ 9I |
| | | m2 | 1B ~ 4B | 1B ~ 4B | 1B ~ 4B | 1B ~ 4B |
| | | m3 | 2I | 2I | 2I ~ 3I | 3I |
| | 8:1 | m1 | 2I | 2I ~ 3I | 2I ~ 5I | 2I ~ 9I |
| | | m2 | 1B ~ 8B | 1B ~ 8B | 1B ~ 8B | 1B ~ 8B |
| | | m3 | 2I | 2I | 2I ~ 3I | 3I |

< 訂正前(p.10-109) >

図 10.45 に Iφ:Bφ:Pφ=4:4:1 の場合の周辺バスへのライトアクセスタイミングの一例を示します。CPU が接続されている CPU バスでは Iφ に同期してデータ出力します。Iφ:Bφ=1:1 の場合は CPU バスから内部バスへのデータ転送は 2Iφ+Bφ 期間必要になります。

< 訂正後(p.10-109) >

図 10.45 に Iφ:Bφ:Pφ=4:4:1 の場合の周辺バスへのライトアクセスタイミングの一例を示します。CPU が接続されている CPU バスでは Iφ に同期してデータ出力します。Iφ:Bφ=1:1 の場合は CPU バスから内部バスへのデータ転送は 2Iφ 期間必要になります。

< 訂正前(p.10-110) >

図 10.46 に $I\phi : B\phi : P\phi = 4:2:1$ の場合の周辺バスへのリードアクセスタイミングの一例を示します。CPUバスから周辺バスまでの転送はライトの場合と同様に行われますが、リードの場合には周辺バスに読み出した値をCPUまで転送する必要があります。周辺バスから内部バス、内部バスからCPUバスへの転送も各バスクロックの立ち上がりに同期して行われますが、 $I\phi \geq B\phi \geq P\phi$ のため、実際には $3I\phi$ 期間を必要とします。図 10.46 の例では、アクセス期間は $3I\phi + 2B\phi + 2P\phi + 3I\phi$ となります。

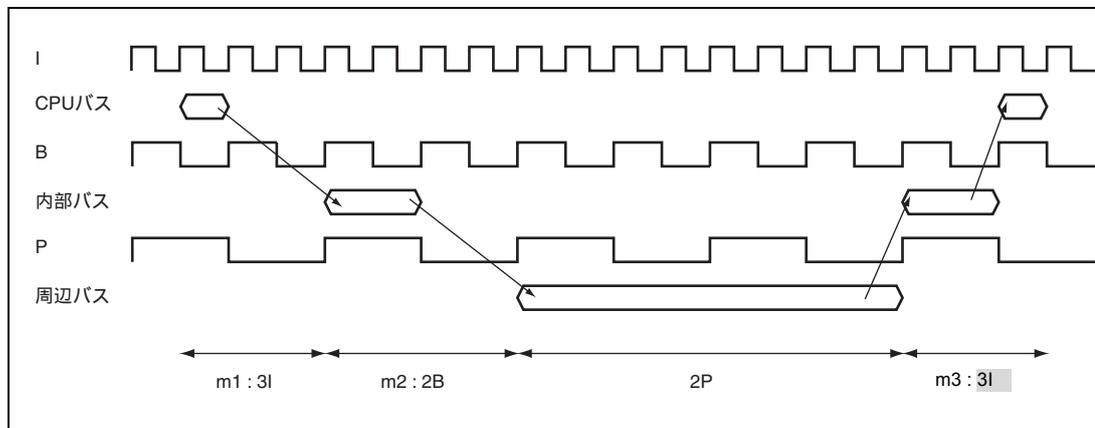


図 10.46 $I\phi : B\phi : P\phi = 4:2:1$ の場合の内蔵周辺 I/O レジスタおよび内蔵 RAM (保持用) へのリードアクセスタイミング

< 訂正後(p.10-110) >

図 10.46 に $I\phi : B\phi : P\phi = 4:2:1$ の場合の周辺バスへのリードアクセスタイミングの一例を示します。CPUバスから周辺バスまでの転送はライトの場合と同様に行われますが、リードの場合には周辺バスに読み出した値をCPUまで転送する必要があります。周辺バスから内部バス、内部バスからCPUバスへの転送も各バスクロックの立ち上がりに同期して行われ、 $2I\phi$ 期間を必要とします。図 10.46 の例では、アクセス期間は $3I\phi + 2B\phi + 2P\phi + 2I\phi$ となります。

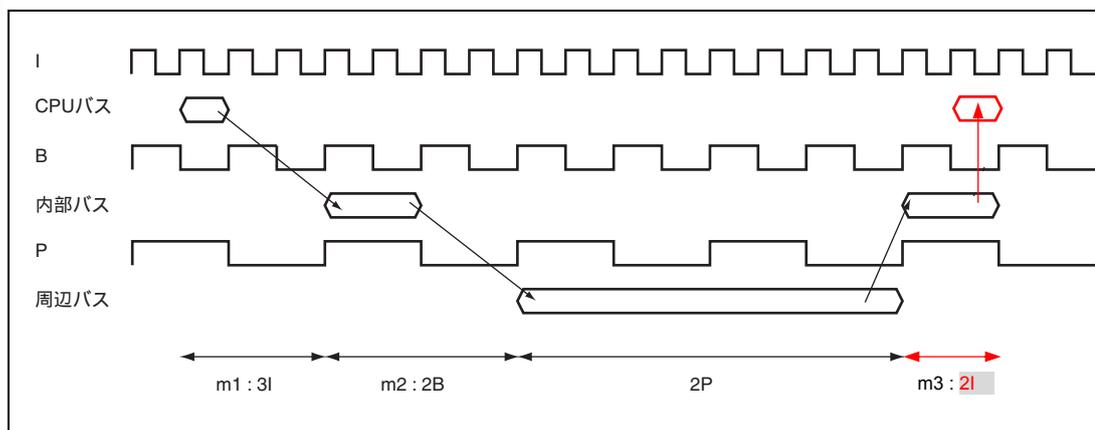


図 10.46 $I\phi : B\phi : P\phi = 4:2:1$ の場合の内蔵周辺 I/O レジスタおよび内蔵 RAM (保持用) へのリードアクセスタイミング

以上