

技術通知 78K0/Lx2 マイクロコントローラ	発行番号	ZBG-CC-08-0011号	1/2	
	発行日	2008年6月30日		
	発行元	NEC エレクトロニクス株式会社 マイクロコンピュータ事業本部 汎用マイコンシステム事業部 第一製品ソリューショングループ		
文書分類	<input type="radio"/> 使用制限事項	<input type="checkbox"/> バージョン・アップ	<input type="radio"/> ドキュメント誤記訂正	<input type="radio"/> その他
関連資料	78K0/LE2 ユーザーズ・マニュアル	資料番号: U17734JJ2V0UD00 (第2版)		
	78K0/LF2 ユーザーズ・マニュアル	資料番号: U17504JJ2V0UD00 (第2版)		
	78K0/LG2 ユーザーズ・マニュアル	資料番号: U17473JJ3V0UD00 (第3版)		
	78K0/Lx2 アプリケーション・ノート	資料番号: U18204JJ1V0AN00 (第1版)		



1. 対象製品

78K0/Lx2 マイクロコントローラ全製品:

78K0/LE2: μ PD78F0361, μ PD78F0362, μ PD78F0363, μ PD78F0363D

78K0/LF2: μ PD78F0372, μ PD78F0373, μ PD78F0374, μ PD78F0375, μ PD78F0376,
 μ PD78F0376D,
 μ PD78F0382, μ PD78F0383, μ PD78F0384, μ PD78F0385, μ PD78F0386,
 μ PD78F0386D

78K0/LG2: μ PD78F0393, μ PD78F0394, μ PD78F0395, μ PD78F0396, μ PD78F0397,
 μ PD78F0397D

2. 通知内容

78K0/Lx2 マイクロコントローラについて、下記制限事項がございます。

【制限事項概要】

◆低電圧検出機能(LVI)制限事項③

対象製品: 32kbyte 以下製品、ただし OCD 製品は除く

78K0/LE2: μ PD78F0361, μ PD78F0362, μ PD78F0363

78K0/LF2: μ PD78F0372, μ PD78F0373, μ PD78F0382, μ PD78F0383

78K0/LG2: μ PD78F0393

対象となる使用方法:

低電圧検出回路 (LVI) を電源電圧 (VDD) レベル検出によるリセット動作中 {LVION=1, LVIMD=1, LVISEL=0} に、16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書込みを行なっている場合に対象となります。

次の使用方法の場合は対象外となります。

＜対象外となる使用方法＞

- ・ LVI を使用していない場合
- ・ LVI を割り込みとして使用の場合
- ・ 外部 LVI リセットモードでの使用 {LVION=1, LVIMD=1, LVISEL=1} の場合
- ・ CRC00 への書込みを行なわない場合

制限事項内容:

低電圧検出回路 (LVI) によるリセット発生と、16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書き込みが競合した場合、LVISEL ビットが“1”になる場合があります。

CRC00 以外の SFR 及び RAM への書き込みについては問題ございません。

詳細は別紙 11 をご参照ください。

対策：

ソフトウェアにて下記の対策を行なうことで回避することができます。

- ・CRC00 に00H を書き込む場合 ：CRC00 への書込みを行なわないようにする。
- ・CRC00 に00H 以外を書き込む場合：

次の対策を行なってください。

対策 ウォッチドッグ・タイマによるリセットを使用する方法

詳細は別紙 1 1 をご参照ください。

改善計画：

デバイス修正を行ない修正品を出荷します。

本製品について上記制限事項を含め、過去にご報告致しました制限事項、誤記訂正・スペック追加一覧を別紙 1 に示します。

3 . 発行文書履歴

78K0/Lx2 技術通知 発行文書履歴

文書番号	発行日	記事
ZBG-CC-06-0052	2006 年 12 月 4 日	制限事項 及び誤記訂正・スペック追加
ZBG-CC-07-0008	2007 年 7 月 3 日	誤記訂正
ZBG-CC-07-0023	2007 年 10 月 22 日	スペック追加
ZBG-CC-08-0008	2008 年 5 月 19 日	STOP モード制限事項、フラッシュ・メモリ・プログラミング制限事項追加
ZBG-CC-08-0011	2008 年 6 月 30 日	本通知です。

- 以上 -

78K0 / Lx2 マイクロコントローラ使用制限事項一覧

1) 使用制限事項履歴

項目	内容	78K0/Lx2 マイクロコントローラ全製品
1	低電圧検出機能(LVI)制限事項	×
2	低電圧検出機能(LVI)制限事項	
3	STOP モード制限事項	
4	フラッシュ・メモリ・プログラミング制限事項	
5	低電圧検出機能(LVI)制限事項	×

備考) 各記号はそれぞれ以下の意味を示します。

- : 制限事項対象外
- : 制限事項修正済み
- × : 制限事項対象 (修正予定)
- : 制限事項対象 (修正予定なし)

2) 使用制限事項の詳細

項目 1 : 詳細は別紙 2 をご参照ください。

項目 2 : 詳細は別紙 3 をご参照ください。

項目 3 : 詳細は別紙 9 をご参照ください。

項目 4 : 詳細は別紙 10 をご参照ください。

項目 5 : 詳細は別紙 11 をご参照ください。

7 8 K 0 / L x 2 マイクロコントローラ誤記訂正・スペック追加事項一覧

1) 誤記訂正・スペック追加事項履歴

項目	内容	78K0/LE2		78K0/LF2		78K0/LG2		
		版数	第2版以前	第3版	第2版以前	第3版	第2版以前	第3版
1	CSI10、CSI11 誤記		×		×		×	√
2	周辺ハードウェアスペックの追加		×		×		×	√
3	LCD コントローラ/ドライバへのクロック出力制御レジスタ機能誤記		×		×		×	√
4	セルフ・プログラミング・サンプル・ライブラリの割り込み応答時間誤記		×		×		×	√
5	LSCL、LSDA 端子の電気的特性のスペック追加		×		×		×	√

注) 各記号はそれぞれ以下の意味を示します。

- : 誤記訂正対象外、もしくはスペック追加対象外
- : 誤記訂正予定、もしくはスペック追加予定
- × : 誤記訂正対象、もしくはスペック追加対象
- √ : 誤記訂正、もしくはスペック追加済み

2) 誤記訂正・スペック追加事項の詳細

- 項目 1 : 詳細は別紙 4 をご参照ください。
- 項目 2 : 詳細は別紙 5 をご参照ください。
- 項目 3 : 詳細は別紙 6 をご参照ください。
- 項目 4 : 詳細は別紙 7 をご参照ください。
- 項目 5 : 詳細は別紙 8 をご参照ください。

- 以上 -

項目 1 (使用制限事項) : 低電圧検出回路(LVI)の制限事項

対象製品

78K0/Lx2 マイクロコントローラ全製品

制限事項の対象となる使用方法

低電圧検出回路(LVI)をリセットとして使用している場合対象となります。

LVI を使用していない、または割り込みとして使用している場合は対象外です。

現象

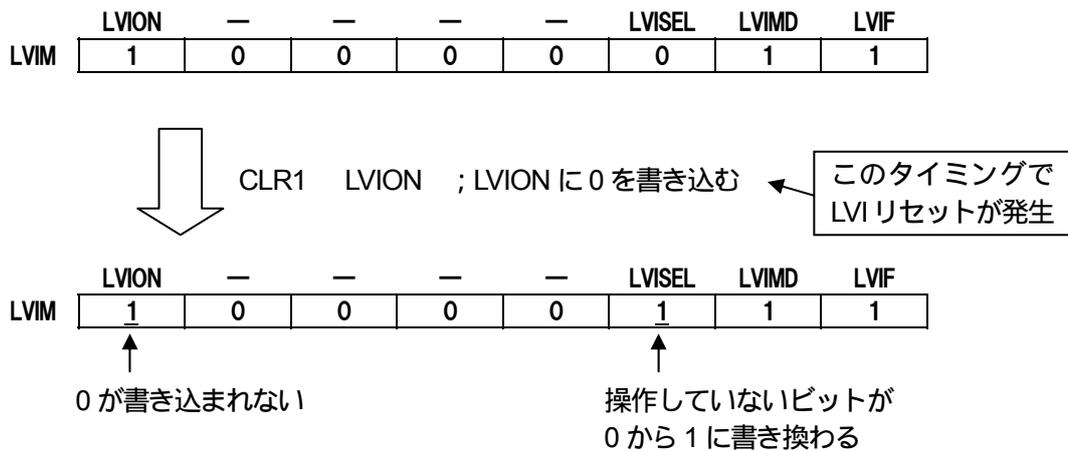
低電圧検出回路(LVI)によるリセットと、LVI の動作を設定するレジスタ(LVIM、LVIS)への書き込みが競合した場合、競合したレジスタの書き込み可能なビットが“1”になる場合があります。その結果、以下の3つの現象が発生します。

- ・ LVI を停止できない。
- ・ 電圧検出が V_{DD} から EXLVI 端子入力の電圧検出に切り替わる。
- ・ LVI の検出電圧が設定値よりも小さい値となる。

尚、LVI 以外のリセット発生時には、本現象は発生しません。

図 1 に LVION フラグを操作した場合に発生する例を示します。

図 1 LVION フラグを 1 から 0 にした時に発生する例



原因

LVIM と LVIS に接続されているバスはリセットされると High (“1”) になります。また、これらの2つのレジスタはLVI リセットによってレジスタ値はクリアされない仕様となっております。

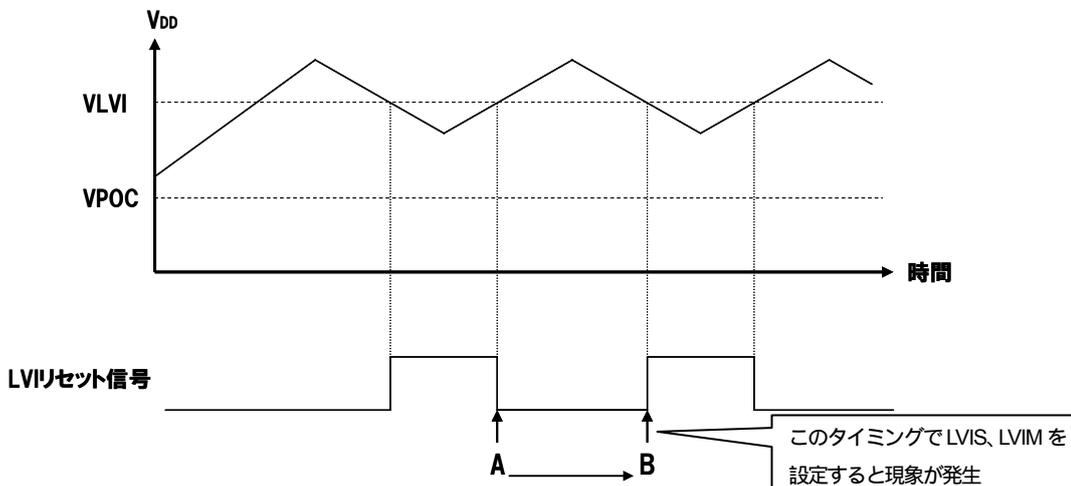
レジスタに値を書き込む場合、CPU はバスに書き込む値をセットし書き込み信号が発生すると所定のレジスタに値が書き込まれます。しかしLVI リセットによって内部バスがリセットされたタイミングでレジスタに書き込みを行うと、バスのリセット値である“1”が誤って書き込まれる場合があります。これは1ビット操作命令も同様です。

尚、LVIM、LVIS 以外のレジスタは本制限事項の対象外です。

現象の発生例

LVI 検出電圧(VLVI)付近で V_{DD} 電圧が揺れた場合、LVI リセットが何度も発生します。リセット解除後、必ず LVIM と LVIS を初期設定するプログラムの場合、LVI リセット解除のタイミング(図2のA)から LVI リセット発生のタイミング(図2のB)と、リセット解除から LVIM、LVIS を初期設定するまでの時間が一致した場合、本現象が発生します。

図2 LVI リセットと LVIM レジスタへの書き込みの競合例



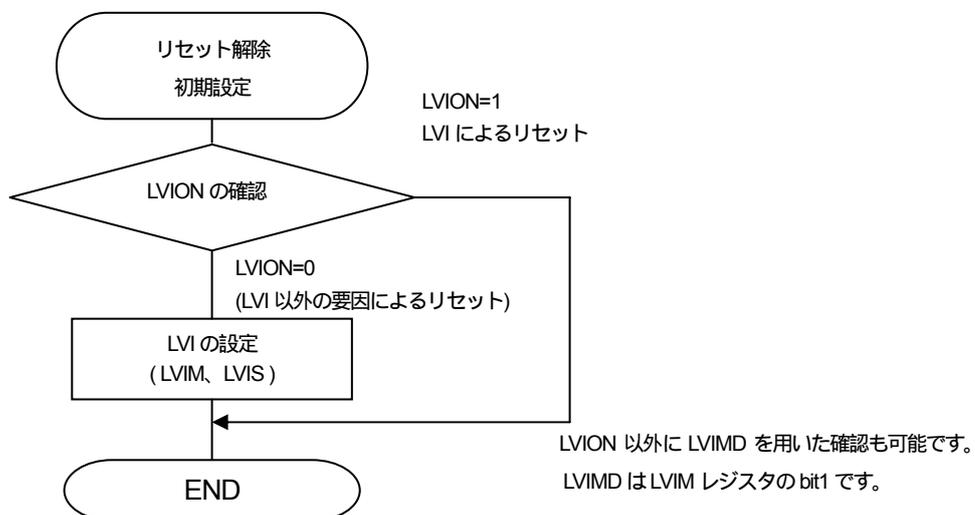
改善計画 暫定対策

以下の2つのソフトウェアの対策を実施することで制限事項を回避できます。

LVI をリセットに設定した場合、以後 LVIM レジスタ、LVIS レジスタに書き込みを行わないでください。

LVIM、LVIS レジスタへの設定を行う前に LVIM のビット7 (LVION) が“0”であることを確認してください。LVION が“1”だった場合は LVIM、LVIS への設定は行わないようにしてください。この対策により外部リセット入力、POC リセット、ウォッチドッグタイマ(WDT)リセットの場合は LVIM、LVIS の設定を行い、LVI リセットの場合は LVIM、LVIS の設定を行いません。

尚、リセット・コントロール・フラグ・レジスタ(RESF)は、LVI リセットと WDT リセットで RESF はクリアされない仕様の為、LVIRF と WDTRF の両方が“1”になる場合がございます。LVIRF をビット判定した場合、LVI リセットの有無は判定できますが、WDT リセットによって LVIM、LVIS がクリアされた事を判定するには命令の追加が必要となります。この為 本制限の対策には LVION を使用してください。



恒久対策

スペック拡張品にて改善致します。改善した製品の製品名はUPD78F03xxA です。

旧品名 : uPD78F03xx

改善品名 : uPD78F03xxA

なお、旧品名の製品に関しては制限事項とさせていただきます。

- 以上 -

項目 2 (使用制限事項) : 低電圧検出回路(LVI)制限事項**対象製品**

78K0/Lx2 マイクロコントローラ全製品

制限事項の対象となる使用方法

低電圧検出機能(LVI)を割り込みと使用し、動作中に停止している場合対象となります。

LVI を使用していない、LVI をリセットとして使用している、LVI を停止しない場合は対象外となります。

現象

低電圧検出回路(LVI)を割り込みモード(LVIMD=0)として使用し、電源電圧(VDD) 検出電圧(VLVI)の時(LVISEL=1 の場合外部入力端子からの入力電圧(EXLVI) 検出電圧(VEXLVI))に LVI 動作禁止(LVION=0)とすると割り込み要求フラグ LVIIIF=1 となり、割り込みが許可状態になっている場合、割り込みが発生いたします。

改善計画**恒久対策**

大変申し訳ございませんが、本件は制限事項とさせていただきます。

電源電圧(VDD) 検出電圧(VLVI)の時(LVISEL=1 の場合外部入力端子からの入力電圧(EXLVI) 検出電圧(VEXLVI))に LVI を動作許可(LVION=1)から動作禁止(LVION=0)にする場合、LVION=0 とする前に LVI の割り込みをマスク(LVIMK=1)してください。

また、動作禁止(LVION=0)とした後に LVIIIF をクリア(LVIIIF=0)してください。

- 以上 -

項目 1 (誤記訂正) : CSI10, CSI11 スペック誤記

対象製品

78K0/Lx2 マイクロコントローラ全製品

誤記内容

CSI10, CSI11 のスペック表記に誤記がございます。
詳細を以下の通り示します。網掛けの箇所が誤記を訂正した箇所です。

CSI10, CSI11 誤記訂正内容 . . . 別紙4 2/2

ドキュメント改善計画

ユーザズ・マニュアルに関しましては次回改版時に訂正致します。

【CS1n 誤記訂正内容】

< 誤 >

CS1n (マスタモード、 $\overline{\text{SCK1n}}$ …内部クロックスペック)

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{SCK1n}}$ サイクル・タイム	t_{KCY1}	$4.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	200		ns
		$2.7\text{V} \leq V_{\text{DD}} < 4.0\text{V}$	400		ns
		$1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	600		ns
$\overline{\text{SCK1n}}$ ハイ, ロウレベル幅	t_{KH1}	$4.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$t_{\text{KCY1}}/2-20$		ns
	t_{KL1}	$2.7\text{V} \leq V_{\text{DD}} < 4.0\text{V}$	$t_{\text{KCY1}}/2-30$		ns
		$1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	$t_{\text{KCY1}}/2-60$		ns
SI1n セットアップタイム (対 $\overline{\text{SCK1n}}$ ↑)	t_{SK1}	$4.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	70		ns
		$2.7\text{V} \leq V_{\text{DD}} < 4.0\text{V}$	100		ns
		$1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	100		ns

注 高速システムクロック使用時の数値です。

< 正 >

CS1n (マスタモード、 $\overline{\text{SCK1n}}$ …内部クロックスペック)

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{SCK1n}}$ サイクル・タイム	t_{KCY1}	$4.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	200		ns
		$2.7\text{V} \leq V_{\text{DD}} < 4.0\text{V}$	400		ns
		$1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	600		ns
$\overline{\text{SCK1n}}$ ハイ, ロウレベル幅	t_{KH1}	$4.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$t_{\text{KCY1}}/2-20$		ns
	t_{KL1}	$2.7\text{V} \leq V_{\text{DD}} < 4.0\text{V}$	$t_{\text{KCY1}}/2-30$		ns
		$1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	$t_{\text{KCY1}}/2-60$		ns
SI1n セットアップタイム (対 $\overline{\text{SCK1n}}$ ↑)	t_{SK1}	$4.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	70		ns
		$2.7\text{V} \leq V_{\text{DD}} < 4.0\text{V}$	100		ns
		$1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	170		ns

注 高速システムクロック使用時の数値です。

備考 n=0, 1

項目 2 (スペックの追加) : 周辺ハードウェア・クロック周波数(f_{PRS})スペックの追加

対象製品

78K0/Lx2 マイクロコントローラ全製品

スペック追加内容

周辺ハードウェア・クロックについて A C スペックに記載されていない項目がございました。

CPU クロック (f_{CPU}) のスペックと同様に、周辺ハードウェア・クロック (f_{PRS}) にも以下に示すように動作電圧による制限がございます。

周辺ハードウェア・クロック周波数

項目	略号	条件	MIN		MAX	単位
周辺ハードウェア・ クロック周波数	f_{PRS}	XSEL=1	$4.0V \leq V_{DD} \leq 5.5V$		20	MHz
			$2.7V \leq V_{DD} < 4.0V$		10	
			$1.8V \leq V_{DD} < 2.7V$		5	
	XSEL=0	$2.7V \leq V_{DD} \leq 5.5V$	7.6		8.4	MHz
		$1.8V \leq V_{DD} < 2.7V$ 注	7.6		10.4	

注 内蔵高速発振回路の原発振です。実際に周辺回路を動作させる場合は、各周辺機能で分周してお使いください。

ユーザズ・マニュアル改善計画

ユーザズ・マニュアルにつきましては次回改版時に訂正いたします。

- 以上 -

項目3 (誤記訂正) : LCDコントローラ/ドライバへのクロック出力制御レジスタ機能誤記**対象製品**

78K0/Lx2 マイクロコントローラ全製品

誤記内容

PM140 は LCD コントローラ/ドライバへのクロック出力を制御するレジスタとの記載がございましたが、PM140 は内部端子 P140 の入出力制御レジスタであり、クロック出力を制御するレジスタではございません。

PM140 を 1 (LCD コントローラ/ドライバへのクロック出力禁止) に設定した場合、クロック出力端子 P140/PCL が入力オープン状態となります。

対策

PM140 は LCD コントローラ/ドライバへのクロック出力許可、禁止にかかわらず、リセット解除後、PM140 には必ず 0 を設定してください。

LCD コントローラ/ドライバへのクロック出力の制御は CLOE (クロック出力選択レジスタ (CKS) のビット 4) により制御してください。

ドキュメント改善計画

ユーザーズ・マニュアルに関しましては次回改版時に訂正致します。

- 以上 -

項目4 (誤記訂正) : セルフ・プログラミング・サンプルライブラリの割り込み応答時間誤記

対象製品

78K0/Lx2 マイクロコントローラ全製品

誤記内容

フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング・サンプルライブラリ割り込み応答時間の記述に誤記があり、ユーザズ・マニュアル記載の割り込み応答時間よりも実動作が長くなる場合があります。

また、C コンパイラの使用モデルとクロック発生回路の設定と応答時間の違いについての記載を追加します。

< 誤 >

高速内蔵発振器を使用した場合の割り込み応答時間 MAX 値 (us)

ライブラリ名	エントリRAMの配置がショートダイレクト アドレッシング外	エントリRAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	1300.5	727.5
ブロック・イレース・ライブラリ	1393.5	820.5
ワード・ライト・ライブラリ	1289.5	716.5
ブロック・ベリファイ・ライブラリ	1324.5	751.5
セット・インフォメーション・ライブラリ	852.5	279.5
EEPROM ライト・ライブラリ	1395.5	822.5

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 (us)

ライブラリ名	エントリRAMの配置がショートダイレクト アドレッシング外	エントリRAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	28/fx+698	28/fx+462
ブロック・イレース・ライブラリ	28/fx+745	28/fx+509
ワード・ライト・ライブラリ	28/fx+693	28/fx+457
ブロック・ベリファイ・ライブラリ	28/fx+709	28/fx+473
セット・インフォメーション・ライブラリ	28/fx+454	28/fx+218
EEPROM ライト・ライブラリ	28/fx+783	28/fx+547

備考: fx は高速システム・クロックです。

< 正 >

高速内蔵発振器を使用した場合の割り込み応答時間 MAX 値 [us] (ノーマルモデル, RSTS=1)

ライブラリ名	エントリ RAM の配置がショートダイレクト アドレッシング外	エントリ RAM の配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	933.6	668.6
ブロック・イレース・ライブラリ	1026.6	763.6
ワード・ライト・ライブラリ	2505.8	1942.8
ブロック・ペリファイ・ライブラリ	958.6	693.6
セット・インフォメーション・ライブラリ	476.5	211.5
EEPROM ライト・ライブラリ	2760.8	2168.8

備考 RSTS は高速内蔵発振器のステータスを表すレジスタです。(RSTS=1:高速内蔵発振器安定動作)

高速内蔵発振器を使用した場合の割り込み応答時間 MAX 値 [us] (スタティックモデル, RSTS=1)

ライブラリ名	エントリ RAM の配置がショートダイレクト アドレッシング外	エントリ RAM の配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	927.9	662.9
ブロック・イレース・ライブラリ	1020.9	757.9
ワード・ライト・ライブラリ	2497.8	1934.8
ブロック・ペリファイ・ライブラリ	952.9	687.9
セット・インフォメーション・ライブラリ	475.5	210.5
EEPROM ライト・ライブラリ	2759.5	2167.5

備考 RSTS は高速内蔵発振器のステータスを表すレジスタです。(RSTS=1:高速内蔵発振器安定動作)

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 [us] (ノーマルモデル, RSTOP=0, RSTS=1)

ライブラリ名	エントリ RAM の配置がショートダイレクト アドレッシング外	エントリ RAM の配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	179/fcpu+507	179/fcpu+407
ブロック・イレース・ライブラリ	179/fcpu+559	179/fcpu+460
ワード・ライト・ライブラリ	333/fcpu+1589	333/fcpu+1298
ブロック・ペリファイ・ライブラリ	179/fcpu+518	179/fcpu+418
セット・インフォメーション・ライブラリ	80/fcpu+370	80/fcpu+165
EEPROM ライト・ライブラリ	29/fcpu+1759	29/fcpu+1468
	333/fcpu+834	333/fcpu+512

備考 1. f_{CPU} は高速システム・クロック。EEPROM ライト・ライブラリの最大時間はクロックによって異なります。使用するクロックを代入・計算後、大きい方を MAX 値としてお使い下さい。

2. RSTOP は高速内蔵発振器の発振/停止を設定するレジスタです。(RSTOP=0:高速内蔵発振器発振)

3. RSTS は高速内蔵発振器のステータスを表すレジスタです。(RSTS=1:高速内蔵発振器安定動作)

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 [us] (ノーマルモデル, RSTOP=1)

ライブラリ名	エントリ RAM の配置がショートダイレクト アドレッシング外	エントリ RAM の配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	179/fcpu+1650	179/fcpu+714
ブロック・イレース・ライブラリ	179/fcpu+1702	179/fcpu+767
ワード・ライト・ライブラリ	333/fcpu+2732	333/fcpu+1605
ブロック・ペリファイ・ライブラリ	179/fcpu+1661	179/fcpu+725
セット・インフォメーション・ライブラリ	80/fcpu+1513	80/fcpu+472
EEPROM ライト・ライブラリ	29/fcpu+1759	29/fcpu+1468
	333/fcpu+2061	333/fcpu+873

備考 1. f_{CPU} は高速システム・クロック。EEPROM ライト・ライブラリの最大時間はクロックによって異なります。使用するクロックを代入・計算後、大きい方を MAX 値としてお使い下さい。

2. RSTOP は高速内蔵発振器の発振/停止を設定するレジスタです。(RSTOP=1:高速内蔵発振器停止)

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 [us] (スタティックモデル、RSTOP =0, RSTS=1)

ライブラリ名	エン트리RAMの配置がショートダイレクト アドレッシング外	エン트리RAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	136/fcpu+507	136/fcpu+407
ブロック・イレース・ライブラリ	136/fcpu+559	136/fcpu+460
ワード・ライト・ライブラリ	272/fcpu+1589	272/fcpu+1298
ブロック・ベリファイ・ライブラリ	136/fcpu+518	136/fcpu+418
セット・インフォメーション・ライブラリ	72/fcpu+370	72/fcpu+165
EEPROM ライト・ライブラリ	19/fcpu+1759	19/fcpu+1468
	268/fcpu+834	268/fcpu+512

備考 1. f_{CPU} は高速システム・クロック。EEPROM ライト・ライブラリの最大時間はクロックによって異なります。使用するクロックを代入・計算後、大きい方を MAX 値としてお使い下さい。

2. RSTOP は高速内蔵発振器の発振/停止を設定するレジスタです。(RSTOP=0:高速内蔵発振器発振)

3. RSTS は高速内蔵発振器のステータスを表すレジスタです。(RSTS=1:高速内蔵発振器安定動作)

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 [us] (スタティックモデル、RSTOP =1)

ライブラリ名	エン트리RAMの配置がショートダイレクト アドレッシング外	エン트리RAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	136/fcpu+1650	136/fcpu+714
ブロック・イレース・ライブラリ	136/fcpu+1702	136/fcpu+767
ワード・ライト・ライブラリ	272/fcpu+2732	272/fcpu+1605
ブロック・ベリファイ・ライブラリ	136/fcpu+1661	136/fcpu+725
セット・インフォメーション・ライブラリ	72/fcpu+1513	72/fcpu+472
EEPROM ライト・ライブラリ	19/fcpu+1759	19/fcpu+1468
	268/fcpu+2061	268/fcpu+873

備考 1. f_{CPU} は高速システム・クロック。EEPROM ライト・ライブラリの最大時間はクロックによって異なります。使用するクロックを代入・計算後、大きい方を MAX 値としてお使い下さい。

2. RSTOP は高速内蔵発振器の発振/停止を設定するレジスタです。(RSTOP=1:高速内蔵発振器停止)

ユーザーズ・マニュアル改善計画

ユーザーズ・マニュアルにつきましては次回改版時に訂正いたします。

- 以上 -

項目 5 (スペック追加) : LSCL、LSDA 端子の電気的特性のスペック追加

対象製品

78K0/Lx2 マイクロコントローラ全製品

スペック追加内容

LSCL、LSDA 端子の電気的特性において、入力電圧絶対最大定格、ハイ・レベル入力電圧/ロウ・レベル入力電圧、ハイ・レベル入力リーク電流/ロウ・レベル入力リーク電流の値について、スペックを追加させていただきます。詳細を以下の通り示します。

<追加内容>

LSCL、LSDA 端子の入力電圧絶対最大定格値のスペック追加

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
入力電圧	VI3	LSCL, LSDA	-0.3 ~ LVDD + 0.3 ^{注1}	V

注1 6.5 V 以下であること。

LSCL、LSDA 端子のハイ・レベル入力電圧値、ロウ・レベル入力電圧値のスペック追加

DC 特性 (TA = -40 ~ +85 , 1.8 V VDD = LVDD 5.5 V, AVREF VDD , VSS = LVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH5	LSCL, LSDA	2.7V LVDD 5.5V	0.7LVDD	LVDD	V
			1.8V LVDD < 2.7V	0.8LVDD	LVDD	V
ロウ・レベル入力電圧	VIL5	LSCL, LSDA	2.7V LVDD 5.5V	0	0.3LVDD	V
			1.8V LVDD < 2.7V	0	0.2LVDD	V

LSCL、LSDA 端子のハイ・レベル入力リーク電流値、ロウ・レベル入力リーク電流値のスペック追加

DC 特性 (TA = -40 ~ +85 , 1.8 V VDD = LVDD 5.5 V, AVREF VDD , VSS = LVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流 ^注	ILIH4	LSCL, LSDA	VI = LVDD		3	μA
ロウ・レベル入力リーク電流 ^注	ILIL4	LSCL, LSDA	VI = LVSS		-3	μA

注 本リーク電流はユーザーズ・マニュアル電気的特性記載の LCD 動作電流に含まれます。
LCD 動作電流に変更はございません。

ユーザーズ・マニュアル追加計画

ユーザーズ・マニュアルにつきましては次回改版時に追加いたします。

- 以上 -

項目3 (使用制限事項) : STOP 命令実行に関する制限事項

対象製品

78K0/Lx2 マイクロコントローラ全製品

制限事項の対象となる使用方法 :

高速内蔵発振器 (f_{RH}) を CPU クロック (f_{CPU}) として使用しているお客様で、高速内蔵発振器が発振安定 ($RSTS = 1$) する前に、下記のタイミングで STOP 命令を実行する場合に対象となります。

- ・ 高速内蔵発振器停止 ($RSTOP = 1$) 動作開始時 ($RSTOP = 0$) から高速内蔵発振器 888 ~ 889 クロックの 1 クロックの期間
- ・ STOP モード解除時から高速内蔵発振器 888 ~ 889 クロックの 1 クロックの期間
- ・ POC 以外でリセット解除を行った場合、リセット処理完了から 408 ~ 701 クロックの期間 (POC 以外のリセットとは、WDT リセット、LVI リセット、外部リセット端子入力によるリセット)

尚、割り込み処理内で STOP 命令を実行する場合、STOP 命令実行のタイミングが特定できないため、上記に該当する場合があります。

高速内蔵発振器の発振安定後に STOP 命令を実行する場合は、問題ございません。

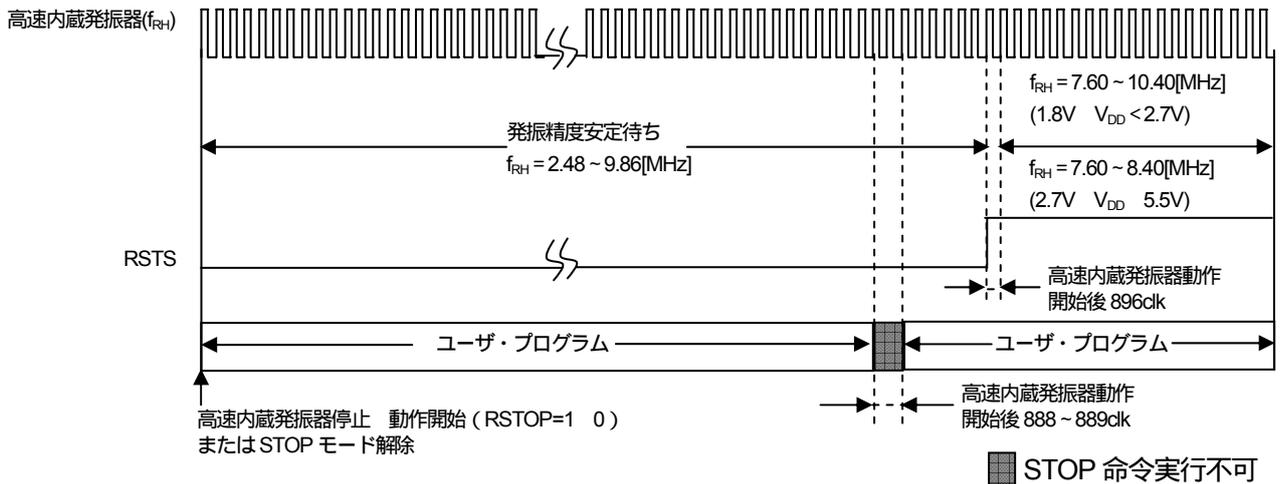


図 1 - 1 高速内蔵発振器停止 動作開始時または STOP モード解除後に制限事項の対象となる範囲
注意 上図は実際のクロック数、クロック幅とは異なり簡略化して記載しております。

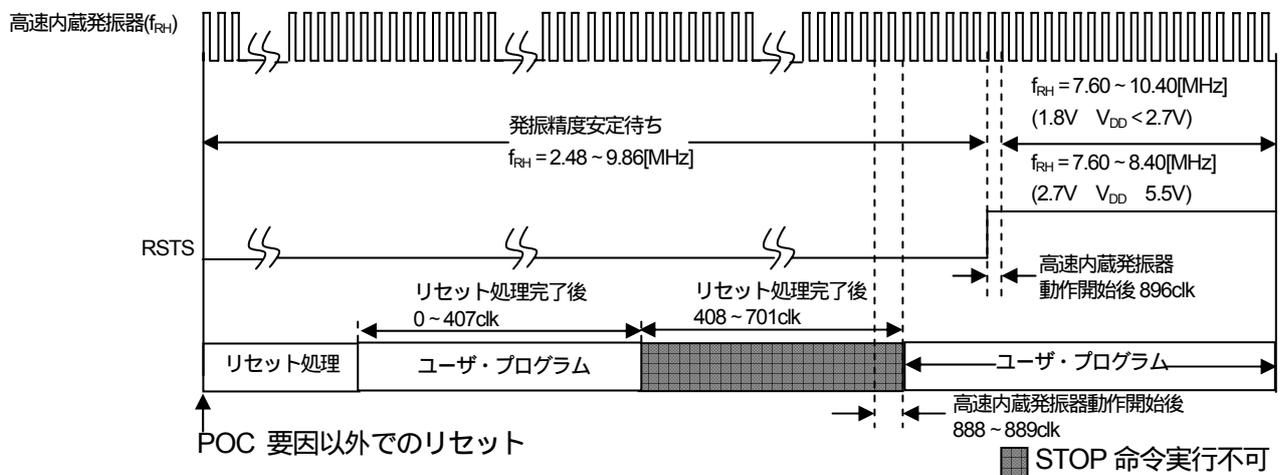


図 1 - 2 POC 以外でリセット解除を行った場合に制限事項の対象となる範囲

注意 上図は実際のクロック数、クロック幅とは異なり簡略化して記載しております。

現象：

高速内蔵発振器の発振安定状態への移行タイミングと STOP モードへの移行タイミングが競合した場合、STOP モードへの移行が正常に行われなくなります。それにより下記の現象が発生します。

- ・ 割り込みによる STOP モードからの復帰ができなくなる
- ・ 高速内蔵発振器が停止しないため、通常の STOP モードより消費電流の値が 150 ~ 400[uA] 程度大きくなる

尚、オプション・バイトの設定によりウォッチドッグ・タイマを動作許可 (WDTON = 1)・低速内蔵発振器を停止不可 (LSROSC = 1) にしていた場合、現象発生時にウォッチドッグ・タイマがカウント・オーバーフローを起こしリセットが発生します。

対策：

ソフトウェアに下記の対策のいずれかを施すことで本現象を回避可能です。

- RSTS = 1 となっていることを確認後、STOP 命令を実行する
- STOP 命令実行のタイミングを制限事項の対象となる範囲外に変更する

尚、割り込み処理内で STOP 命令を実行する場合は、 の対策を施してください。

使用方法	対策	
高速内蔵発振器動作開始 (RSTOP = 1 0) 後に STOP 命令を実行する場合		
STOP モード解除後に再度 STOP 命令を実行する場合		
POC 以外でリセット解除後に STOP 命令を実行する場合		
高速内蔵発振器の動作開始から STOP 命令実行までの期間が特定できない場合		×

備考) 各記号はそれぞれ下記の意味を示します。

- : 有効
- × : 無効

改善計画：

大変申し訳ございませんが、本件は制限事項とさせていただきます。
次回ユーザーズ・マニュアル改版時に本制限事項を記載致します。

以上

● 項目4 (使用制限事項) : フラッシュ・メモリ・プログラミングに関する制限事項

対象製品

78K0/Lx2 マイクロコントローラ全製品

制限事項の対象となる使用方法 :

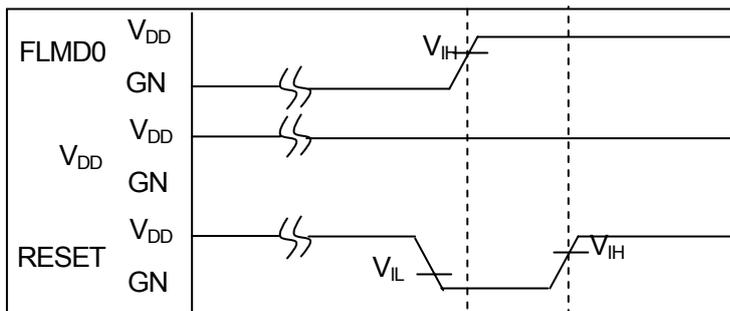
下記のいずれかの場合に対象となります。

- ・ フラッシュ・メモリ・プログラマ (PG - FP5) または MINICUBE2 で書き込みを行っているお客様で、Run After Disconnect (書き込み後ユーザープログラム実行) 機能を使用している場合
- ・ プログラム編アプリケーション・ノート (U18204JJ1V0AN00) を参考に書き込み環境を構築しているお客様で、ユーザ・プログラム動作からフラッシュ・メモリ・プログラミング・モードへの引き込み (図2-1) を行う場合

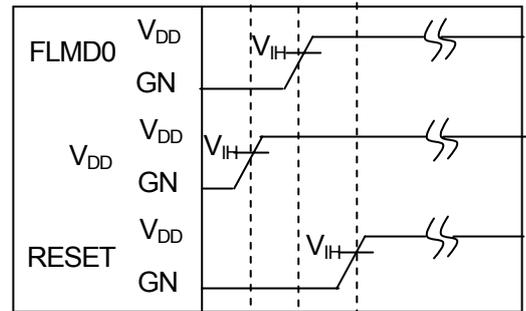
但し、上記に該当する場合でも正常に書き換え (ベリファイ) が完了した場合は、書き込み処理に問題はございません。尚、下記の場合では本現象は発生致しません。(制限事項対象外です。)

- ・ 電源立ち上げと同時にモード引き込みを行う場合
- ・ セルフ・プログラミングを使用する場合
- ・ EEPROM エミュレーションを使用する場合

現象



ユーザ・プログラム動作中に引き込みを行う場合



電源立ち上げと同時に引き込みを行う場合

図2-1 フラッシュ・メモリ・プログラミング・モード引き込みの種類

ユーザ・プログラム実行から、電源電圧を POC 検出電圧 ($V_{POC} = 1.59[V] \pm 0.15[V]$) まで下げずにフラッシュ・メモリ・プログラミング・モードへ引き込む際の外部 RESET 端子によるリセット期間が 1950[ms]より短い場合、下記現象が発生する場合がございます。

- ・ リセット解除した瞬間に POC リセットが発生し、正常にフラッシュ・メモリ・プログラミング・モードに移行しない。そのため書き込み処理が行われず、ユーザ・プログラムが実行される。

対策 :

フラッシュ・メモリ・プログラミング・モード引き込み時の外部 RESET 端子の制御において、1950[ms]以上のリセット期間を確保することで本現象を回避可能です。

改善計画：

- ・ PG - FP5 の Run After Disconnect (書き込み後ユーザープログラム実行) 機能を使用しているお客様：
2008 年 4 月 25 日より公開のファーム・ウェア修正版 (V2.01) 以降によって規定のリセット期間を確保する仕様に変更致します。
- ・ MINICUBE2 の Run After Disconnect (書き込み後ユーザープログラム実行) 機能を使用のお客様：
個別対応とさせていただきます。該当するお客様は弊社販売特約店または弊社営業にご連絡下さい。
- ・ プログラム編アプリケーション・ノート (U18204JJ1V0AN00) を参考に書き込み環境を構築しているお客様：
大変申し訳ございませんが、本件は制限事項とさせていただきます。アプリケーション・ノートの次回改版時に、フラッシュ・メモリ・プログラミング・モード設定時間のスペックを追加致します。

尚、サード・パーティ製プログラマをご使用のお客様は販売元にご連絡下さい。

以上

● 項目 5 (使用制限事項) : 低電圧検出回路(LVI)の制限事項対象製品

対象製品 : 32kbyte 以下製品、ただし OCD 製品は除く

78K0/LE2 : μ PD78F0361, μ PD78F0362, μ PD78F0363

78K0/LF2 : μ PD78F0372, μ PD78F0373, μ PD78F0382, μ PD78F0383

78K0/LG2 : μ PD78F0393

制限事項詳細制限事項の対象となる使用方法

低電圧検出回路 (LVI) を電源電圧 (VDD) レベル検出によるリセット動作中 { LVION=1, LVIMD=1, LVISEL=0 } に、16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書き込み (8 ビット操作命令もしくは 1 ビット操作命令) を行なっている場合に対象となります。

次の使用方法の場合は対象外となります。

【対象外となる使用方法】

- ・ LVI を使用していない場合
- ・ LVI を割り込みとして使用の場合
- ・ 外部 LVI リセットモードでの使用 { LVION=1, LVIMD=1, LVISEL=1 } の場合
- ・ CRC00 への書き込みを行っていない場合 (8 ビット操作命令もしくは 1 ビット操作命令)

現象

低電圧検出回路 (LVI) によるリセット発生と、16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書き込みが競合した場合、LVISEL ビットが“ 1 ”になる場合があります。その結果、電圧検出が VDD から EXLVI 端子入力の電圧検出に切り替わることがあります。

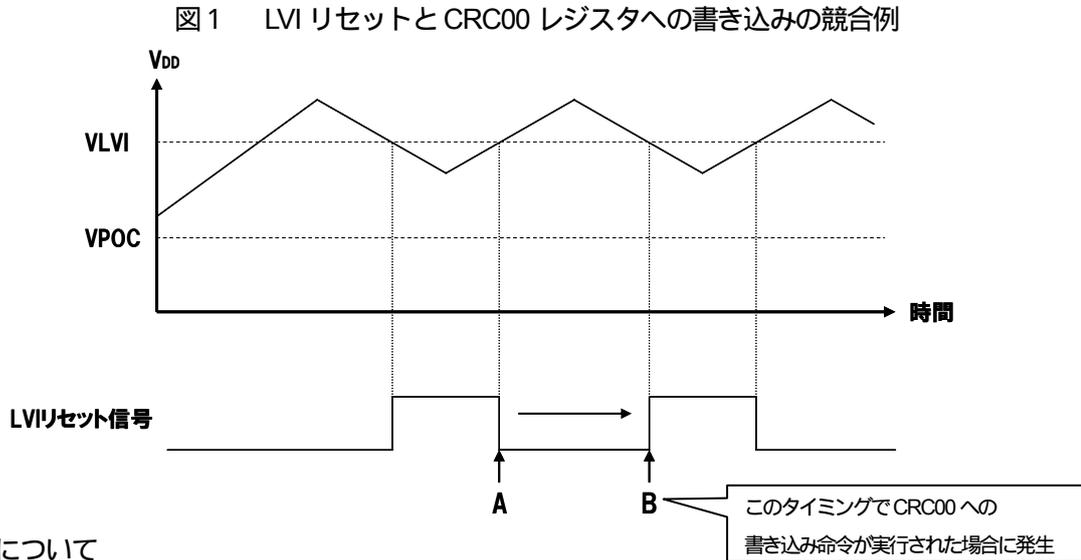
原因

リセット発生時には、内部アドレスバス/データバスの状態はそれぞれ FFFFH / FFH になります。CRC00 レジスタ (アドレス : FFBC H) への書き込み命令実行時に LVI によるリセットが発生した場合、アドレスバスの値が FFFFH に変化する過程で、一瞬“ FFBEH ”番地 (LVIM レジスタ) を指す場合があります。これにより、LVIM レジスタに誤ってその際のデータバス値 (FFH) が書き込まれます。レジスタへの書き込みは 8 ビット操作命令、1 ビット操作命令どちらも対象となります。

尚、CRC00 以外の SFR および RAM への書き込みは本制限事項の対象外です。

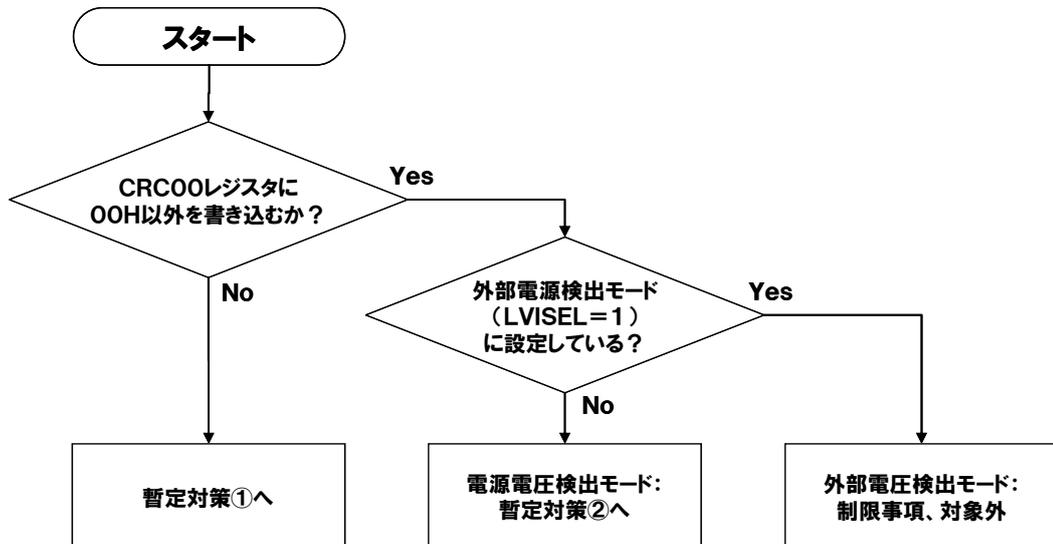
現象の発生例

LVI 検出電圧(VLVI)付近で VDD 電圧が揺れた場合、LVI リセットが繰り返し発生します。リセット解除後、CRC00 を初期設定するプログラムの場合、LVI リセット解除のタイミング(図1の A)から LVI リセット発生のタイミング(図1の B)と、リセット解除から CRC00 を初期設定するまでの時間が一致した場合、本現象が発生します。



回避策について

次のように使用条件に対して、それぞれの対策を行なうことで本現象を回避することができます。



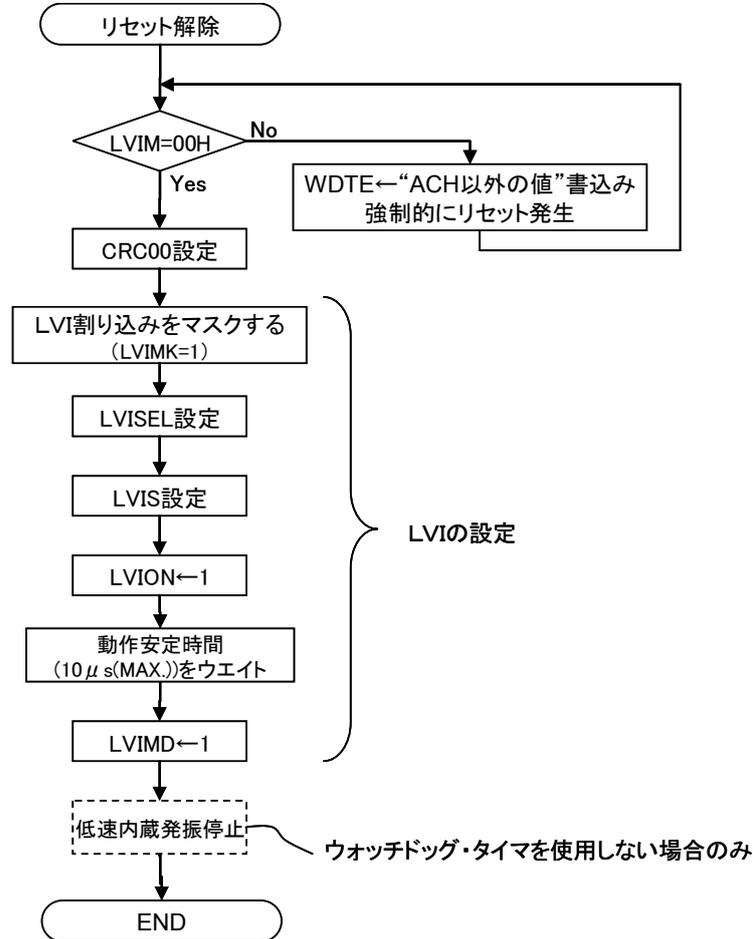
暫定対策 : CRC00 への書き込みを行なわない方法

リセットによってCRC00の値は00Hになりますので、書き込みを行なわないでください。書き込みを行なわない場合、LVI リセットとの競合がおこらないので、現象を回避することが可能です。

暫定対策 : ウォッチドッグ・タイマによるリセットを使用する方法

リセット解除後、LVI が動作している (LVIM 00H) 時は、必ずウォッチドッグ・タイマによるリセットを発生させ L V I を停止させた後、CRC00 と LVI レジスタの再設定をする方法です。ウォッチドッグ・タイマを使用する必要があります。設定手順は、次の図 2 のようになります。

図 2 設定手順



注意 オプションバイトにて、必ずウォッチドッグ・タイマのカウンタ動作許可 (WDTON=1) に設定してください。ウォッチドッグ・タイマを使用しない場合は、オプションバイトにて LSROSC=0 に設定し、上記破線のようにソフトウェアにて低速内蔵発振を停止(LSRSTOP=1) に設定してください。

備考 ユーザーズ・マニュアルに記載されている LVI の設定手順では、LVIMD は LVIF で、「電源電圧 (VDD) 検出電圧(VLVI)」であることを確認してから設定するよう記載しております。これは、設定と同時にリセットが発生することを避けるためですが、本対策を実施する場合には確認しなくて構いません。

改善計画

スペック拡張品にて改善致します。改善した製品の製品名はUPD78F03xxA です。

旧品名 : uPD78F03xx

改善品名 : uPD78F03xxA

なお、旧品名の製品に関しては制限事項とさせていただきます。

- 以上 -