

この資料は、設計の目的以外には使用しないで下さい。
また、当社に断りなく第三者への開示をご遠慮願います。

お客様各位	μPD78F9136BMC 電気的特性について	SBB - DT - 0300号
		平成14年3月29日
		日本電気株式会社 NECエレクトロニクス 販売技術本部 マイクロコンピュータグループ プロジェクトマネージャー 市川 正臣

(担当 有坂 修)

TEL : 044-435-9452、FAX : 044-435-9604

拝啓、貴社益々ご清栄の段お喜び申し上げます。また、平素は弊社の製品に格別のお引き立てを賜り厚く御礼申し上げます。

さて、掲題の件につきまして、下記にご報告申し上げます。

今後とも倍旧のお引き立てを賜りますようお願い申し上げます。

敬具

記

1. 対象デバイス

μPD78F9136BMC - xxx - 5A4

2. 当社ご報告内容

上記の製品の電気的特性を別紙に示します。

—以上—

1. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD} , AV _{DD}	V _{DD} = AV _{DD}	- 0.3 ~ + 6.5	V
	V _{PP}		- 0.3 ~ + 10.5	V
入力電圧	V _{I1}	P50-P53以外の端子	- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P50-P53 N-chオープン・ドレイン	- 0.3 ~ + 13	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}		- 40 ~ + 125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
RC発振子		発振周波数 (fcc) ^{注1}	VDD = 発振電圧範囲	2.0		4.0	MHz
外部クロック		CL1入力周波数 (fcc) ^{注1}		1.0		5.0	MHz
		CL1入力ハイ、ロウ・レベル幅 (txH, txL)		85		500	ns
		CL1入力周波数 (fcc) ^{注1}	VDD = 2.7 ~ 5.5 V	1.0		5.0	MHz
		CL1入力ハイ、ロウ・レベル幅 (txH, txL)		85		500	ns

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

RC発振周波数特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
発振周波数	fcc1	R = 11.0 kΩ, C = 22 pF	VDD = 2.7 ~ 5.5 V	1.5	2.0	2.5	MHz
	fcc2	ターゲット : 2MHz	VDD = 1.8 ~ 3.6 V	0.5	2.0	2.5	MHz
	fcc3		VDD = 1.8 ~ 5.5 V	0.5	2.0	2.5	MHz
	fcc4	R = 6.8 kΩ, C = 22 pF	VDD = 2.7 ~ 5.5 V	2.5	3.0	3.5	MHz
	fcc5	ターゲット : 3MHz	VDD = 1.8 ~ 3.6 V	0.75	3.0	3.5	MHz
	fcc6		VDD = 1.8 ~ 5.5 V	0.75	3.0	3.5	MHz
	fcc7	R = 4.7 kΩ, C = 22 pF	VDD = 2.7 ~ 5.5 V	3.5	4.0	4.7	MHz
	fcc8	ターゲット : 4MHz	VDD = 1.8 ~ 3.6 V	1.0	4.0	4.7	MHz
	fcc9		VDD = 1.8 ~ 5.5 V	1.0	4.0	4.7	MHz

備考 発振周波数のTYP.値を2.0 ~ 4.0 MHzに収めるため、上記9つのいずれかの値でRCを設定してください。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 V$) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流	I _{OH}	1端子あたり				- 1	mA	
		全端子合計				- 15	mA	
ロウ・レベル出力電流	I _{OL}	1端子あたり				10	mA	
		全端子合計				80	mA	
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子		$V_{DD} = 2.7 \sim 5.5 V$		$0.7 V_{DD}$	V	
						$0.9 V_{DD}$	V	
	V _{IH2}	P50-P53	N-chオープン・ドレイン	$V_{DD} = 2.7 \sim 5.5 V$		$0.7 V_{DD}$	12	V
						$0.9 V_{DD}$	12	V
	V _{IH3}	RESET, P20-P25		$V_{DD} = 2.7 \sim 5.5 V$		$0.8 V_{DD}$	V_{DD}	V
						$0.9 V_{DD}$	V_{DD}	V
V _{IH4}	CL1, CL2		$V_{DD} = 4.5 \sim 5.5 V$	$V_{DD} - 0.5$	V_{DD}	V_{DD}	V	
				$V_{DD} - 0.1$	V_{DD}	V_{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子		$V_{DD} = 2.7 \sim 5.5 V$	0	$0.3 V_{DD}$	V	
					0	$0.1 V_{DD}$	V	
	V _{IL2}	P50-P53		$V_{DD} = 2.7 \sim 5.5 V$	0	$0.3 V_{DD}$	V	
					0	$0.1 V_{DD}$	V	
	V _{IL3}	RESET, P20-P25		$V_{DD} = 2.7 \sim 5.5 V$	0	$0.2 V_{DD}$	V	
					0	$0.1 V_{DD}$	V	
	V _{IL4}	CL1, CL2		$V_{DD} = 4.5 \sim 5.5 V$	0	0.4	V	
					0	0.1	V	
ハイ・レベル出力電圧	V _{OH1}	$V_{DD} = 4.5 \sim 5.5 V, I_{OH} = - 1 mA$		$V_{DD} - 1.0$			V	
	V _{OH2}	$V_{DD} = 1.8 \sim 5.5 V, I_{OH} = - 100 \mu A$		$V_{DD} - 0.5$			V	
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	$V_{DD} = 4.5 \sim 5.5 V, I_{OL} = 10 mA$			1.0	V	
			$V_{DD} = 1.8 \sim 5.5 V, I_{OL} = 400 \mu A$			0.5	V	
	V _{OL2}	P50-P53	$V_{DD} = 4.5 \sim 5.5 V, I_{OL} = 10 mA$			1.0	V	
			$V_{DD} = 1.8 \sim 5.5 V, I_{OL} = 1.6 mA$			0.4	V	
ハイ・レベル入力電流	I _{LIH1}	P50-P53, CL1, CL2以外の端子		$V_{IN} = V_{DD}$		3	μA	
	I _{LIH2}	CL1, CL2				20	μA	
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)		$V_{IN} = 12 V$		20	μA	
ロウ・レベル入力電流	I _{LIL1}	P50-P53, CL1, CL2以外の端子		$V_{IN} = 0 V$		- 3	μA	
	I _{LIL2}	CL1, CL2				- 20	μA	
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)				- 3 ^注	μA	
ハイ・レベル出力電流	I _{LOH}	$V_o = V_{DD}$				3	μA	
ロウ・レベル出力電流	I _{LOL}	$V_o = 0 V$				- 3	μA	
ソフトウェア・プルアップ抵抗	R ₁	$V_i = 0 V, P50-P53$ 以外の端子		50	100	200	k Ω	

注 ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力電流が $- 60 \mu A$ (MAX.) 流れます。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	IDD1 ^{注1}	4.0 MHz RC発振動作 モード (R = 4.7kΩ, C = 22pF)	VDD = 5.0 V ± 10 % ^{注3}		6.5	18.0	mA
			VDD = 3.0 V ± 10 % ^{注4}		3.9	7.9	mA
			VDD = 2.0 V ± 10 % ^{注4}		3.0	5.0	mA
	IDD2 ^{注1}	4.0 MHz RC発振HALT モード (R = 4.7kΩ, C = 22pF)	VDD = 5.0 V ± 10 % ^{注3}		2.5	5.0	mA
			VDD = 3.0 V ± 10 % ^{注4}		1.0	2.0	mA
			VDD = 2.0 V ± 10 % ^{注4}		0.75	1.5	mA
	IDD3 ^{注1}	STOPモード	VDD = 5.0 V ± 10 %		0.1	30	μA
			VDD = 3.0 V ± 10 %		0.05	10	μA
			VDD = 2.0 V ± 10 %		0.05	10	μA
	IDD4 ^{注2}	4.0 MHz RC発振A/D動作 モード (R = 4.7kΩ, C = 22pF)	VDD = 5.0 V ± 10 % ^{注3}		7.7	20.3	mA
			VDD = 3.0 V ± 10 % ^{注4}		5.1	10.2	mA
			VDD = 2.0 V ± 10 % ^{注4}		4.0	7.0	mA

注1. AVDD電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

2. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

3. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）

4. 低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

書き込み消去特性 (TA = 10 ~ 40 , VDD = 1.8 ~ 5.5 V, RC発振動作モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み電流 (VDD端子) ^注	IDDW	VPP電源電圧 = VPP1時			21	mA
書き込み電流 (VPP端子) ^注	IPPW	VPP電源電圧 = VPP1時			22.5	mA
消去電流 (VDD端子) ^注	IDDE	VPP電源電圧 = VPP1時			21	mA
消去電流 (VPP端子) ^注	IPPE	VPP電源電圧 = VPP1時			115	mA
単位消去時間	ter		0.5	1	1	s
Total消去時間	tera				20	s
書き換え回数		消去 / 書き込みを1サイクルとする			20	回
VPP電源電圧	VPP0	通常モード時	0		0.2 VDD	V
	VPP1	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

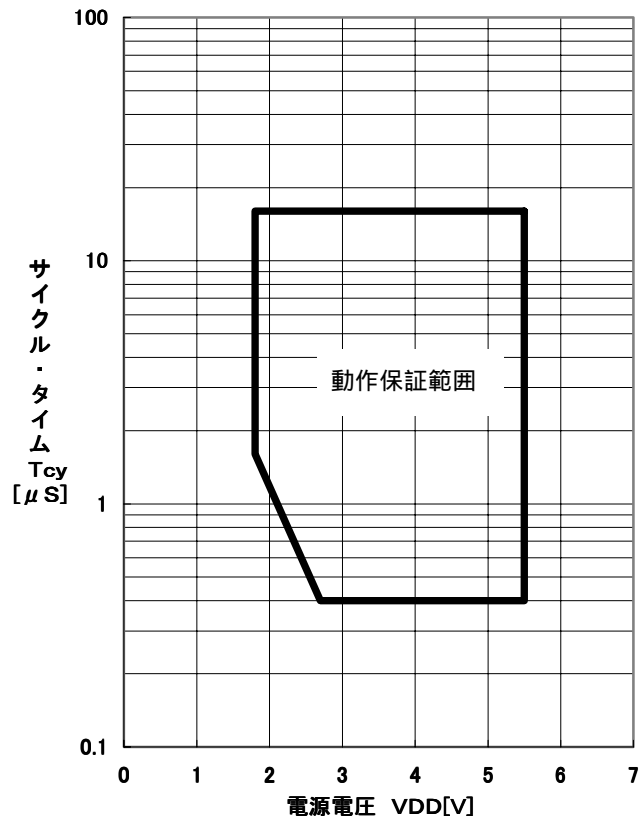
注 AVDD電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

AC特性

(1) 基本動作 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	TCY	VDD = 2.7 ~ 5.5 V	0.4		16	μs
			1.6		16	μs
TI80入力 ハイ, ロウ・レベル幅	tT _{IH} ,	VDD = 2.7 ~ 5.5 V	0.1			μs
	tT _{IL}		1.8			μs
TI80入力周波数	fT _I	VDD = 2.7 ~ 5.5 V	0		4	MHz
			0		275	kHz
割り込み入力 ハイ, ロウ・レベル幅	t _{INTH} ,	INTP0-INTP2	10			μs
	t _{INTL}					
RESET ロウ・レベル幅	t _{RSL}		10			μs
CPT20入力 ハイ, ロウ・レベル幅	t _{CPH} ,		10			μs
	t _{CPL}					

Tcy vs VDD



(2) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 V$)

(i) 3線式シリアルI/Oモード (SCK20...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK20サイクル・タイム	t _{KCY1}	V _{DD} = 2.7 ~ 5.5 V	800			ns
			3200			ns
SCK20ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	V _{DD} = 2.7 ~ 5.5 V	t _{KCY1} /2 - 50			ns
			t _{KCY1} /2 - 150			ns
SI20セットアップ時間 (対SCK20)	t _{SIK1}	V _{DD} = 2.7 ~ 5.5 V	150			ns
			500			ns
SI20ホールド時間 (対SCK20)	t _{KSI1}	V _{DD} = 2.7 ~ 5.5 V	400			ns
			600			ns
SCK20 SO20 出力遅延時間	t _{KSO1}	R = 1 k Ω , C = 100 pF ^注	V _{DD} = 2.7 ~ 5.5 V	0	250	ns
				0	1000	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK20サイクル・タイム	t _{KCY2}	V _{DD} = 2.7 ~ 5.5 V	800			ns
			3200			ns
SCK20ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	V _{DD} = 2.7 ~ 5.5 V	400			ns
			1600			ns
SI20セットアップ時間 (対SCK20)	t _{SIK2}	V _{DD} = 2.7 ~ 5.5 V	100			ns
			150			ns
SI20ホールド時間 (対SCK20)	t _{KSI2}	V _{DD} = 2.7 ~ 5.5 V	400			ns
			600			ns
SCK20 SO20 出力遅延時間	t _{KSO2}	R = 1 k Ω , C = 100 pF ^注	V _{DD} = 2.7 ~ 5.5 V	0	300	ns
				0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20)	t _{KAS2}	V _{DD} = 2.7 ~ 5.5 V			120	ns
					400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20)	t _{KDS2}	V _{DD} = 2.7 ~ 5.5 V			240	ns
					800	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

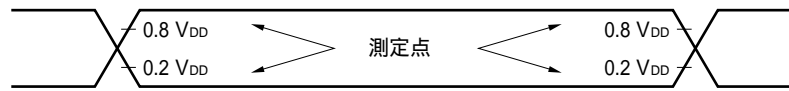
(iii) UARTモード (専用ポーレート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		V _{DD} = 2.7 ~ 5.5 V			78125	bps
					19531	bps

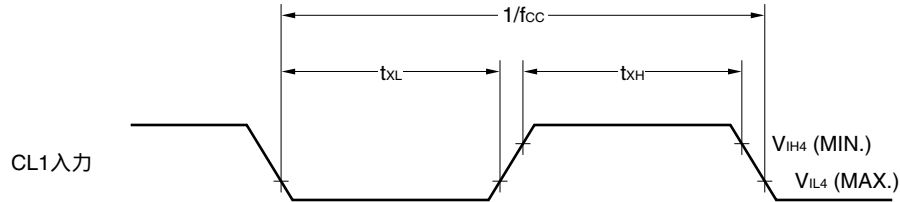
(iv) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCK20サイクル・ タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	800			ns
			3200			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7 ~ 5.5 V	400			ns
	t _{KL3}		1600			ns
転送レート		V _{DD} = 2.7 ~ 5.5 V			39063	bps
					9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

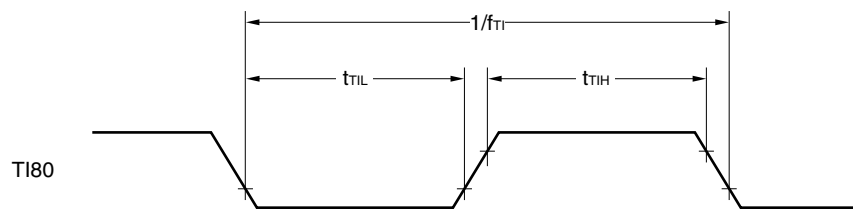
ACタイミング測定点 (CL1入力を除く)



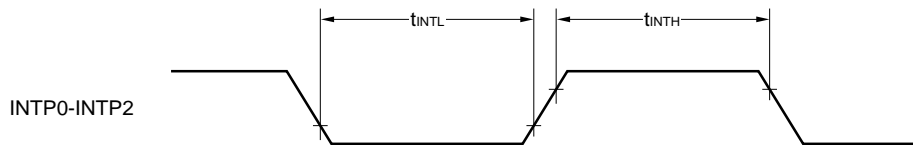
クロック・タイミング



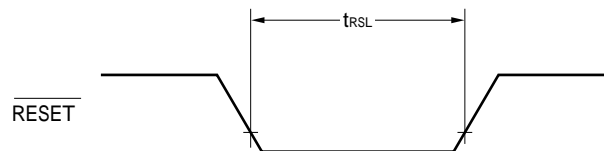
TIタイミング



割り込み入力タイミング

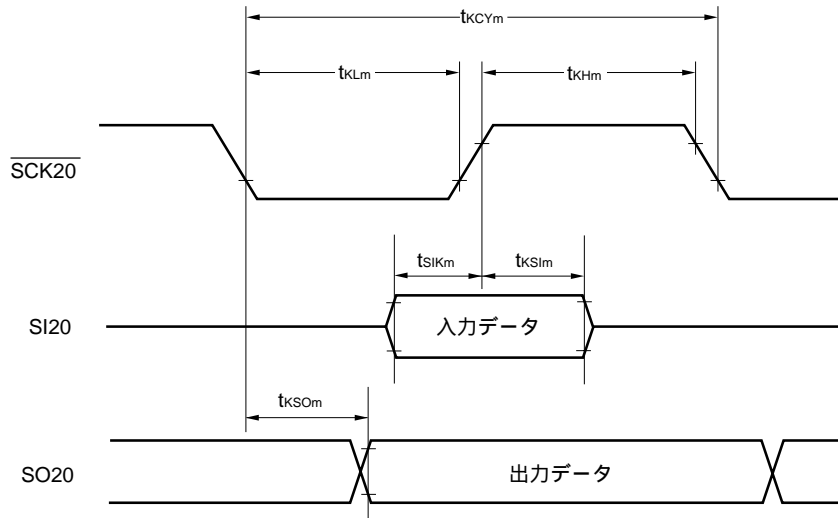


RESET入力タイミング



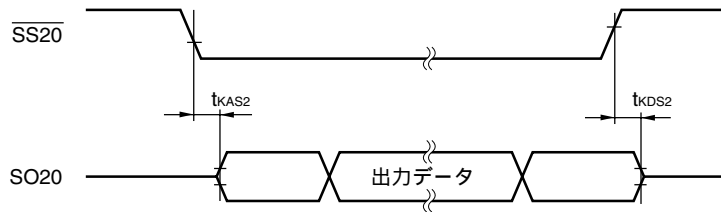
シリアル転送タイミング

3線式シリアルI/Oモード :

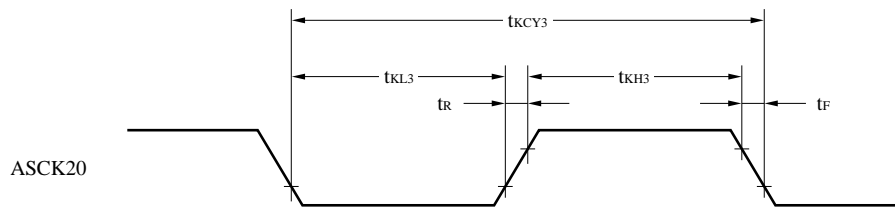


m=1, 2

3線式シリアルI/Oモード (SS20使用時) :



UARTモード (外部クロック入力) :



10ビットA/Dコンバータ特性 ($T_A = -40 \sim +85$, $AV_{DD} = V_{DD} = 1.8 \sim 5.5 V$, $AV_{SS} = V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1,2}		4.5 V $V_{DD} = 5.5 V$		± 0.2	± 0.4	%FSR
		2.7 V $V_{DD} < 4.5 V$		± 0.4	± 0.6	%FSR
		1.8 V $V_{DD} < 2.7 V$		± 0.8	± 1.2	%FSR
変換時間	t_{CONV}	2.7 V $V_{DD} = 5.5 V$	14		100	μs
		1.8 V $V_{DD} < 2.7 V$	28		100	μs
ゼロ・スケール誤差 ^{注1,2}		4.5 V $V_{DD} = 5.5 V$			± 0.4	%FSR
		2.7 V $V_{DD} < 4.5 V$			± 0.6	%FSR
		1.8 V $V_{DD} < 2.7 V$			± 1.2	%FSR
フルスケール誤差 ^{注1,2}		4.5 V $V_{DD} = 5.5 V$			± 0.4	%FSR
		2.7 V $V_{DD} < 4.5 V$			± 0.6	%FSR
		1.8 V $V_{DD} < 2.7 V$			± 1.2	%FSR
積分直線性誤差 ^{注1}	ILE	4.5 V $V_{DD} = 5.5 V$			± 2.5	LSB
		2.7 V $V_{DD} < 4.5 V$			± 4.5	LSB
		1.8 V $V_{DD} < 2.7 V$			± 8.5	LSB
微分直線性誤差 ^{注1}	DLE	4.5 V $V_{DD} = 5.5 V$			± 1.5	LSB
		2.7 V $V_{DD} < 4.5 V$			± 2.0	LSB
		1.8 V $V_{DD} < 2.7 V$			± 3.5	LSB
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1．量子化誤差 (± 0.05 %FSR) を含みません。

2．フルスケール値に対する比率 (%FSR) で表します。

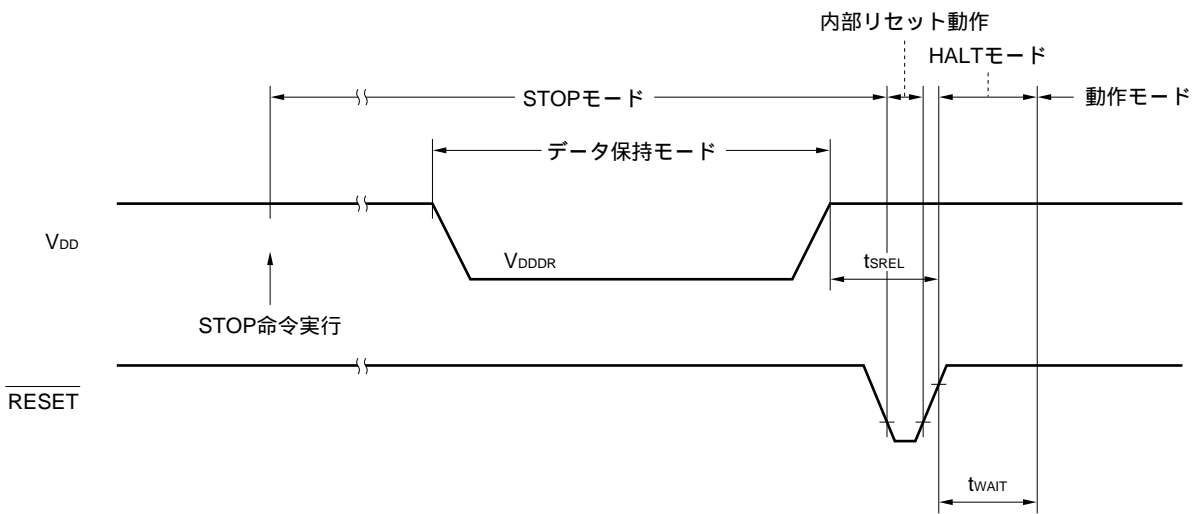
データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.8		5.5	V
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間 ^注	tWAIT	RESETによる解除		2 ⁷ /f _{CC}		s
		割り込み要求による解除		2 ⁷ /f _{CC}		s

注 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

備考 f_{CC} : システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)

