

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

日立マイクロコンピュータ技術情報

〒100-0004

東京都千代田区大手町2丁目6番2号

(日本ビル)

TEL (03)5201-5211 (ダイヤルイン)

株式会社 日立製作所 半導体グループ

題目	SH7046 シリーズ ハードウェアマニュアル第1版誤記訂正 - その1 -	発行番号	TN-SH7-357A		
		分類	1. 仕様変更 ②. ドキュメント訂正追加等 3. 使用上の注意事項		
適用製品	HD64F7046、HD64F7047、 HD6437148、HD6437049	対象ロット等	関連資料 SH7046 シリーズ ハードウェアマニュアル	Rev.	有効期限
		全ロット		第1版	永年

拝啓、貴社益々ご清栄のこととお慶び申し上げます。また、日頃より各段のご愛顧を賜わり深謝申し上げます。

さて『SH7046 シリーズハードウェアマニュアル 第1版』の誤記訂正のご連絡を致します。本内容をご配慮の上、ご使用くださいますよう、よろしくお願い申し上げます。

敬具

- 記 -

1. 各クロックモード選択時の最高動作周波数について
P3-2の表3.2に以下の注意事項を追加します。

端子設定		設定可能な最高動作周波数
MD3	MD2	
0	0	12.5MHz(入力クロック×1 ^{*1} 、入力クロックの最高動作周波数:12.5MHz)
0	1	25MHz(入力クロック×2 ^{*1} 、入力クロックの最高動作周波数:12.5MHz)
1	0	40MHz(入力クロック×4 ^{*1} 、入力クロックの最高動作周波数:10.0MHz)
1	1	50MHz(入力クロック×4(システムクロック)、入力クロック×2(周辺クロック)、入力クロックの最高動作周波数:12.5MHz)

*1: システムクロックと周辺クロックは同一の周波数です。

2. マルチファンクションタイマパルスユニット (MTU) のカスケード接続時のインプットキャプチャ注意事項について
P10-108に、10.7.21として、下記を追加します。

10.7.21 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ 1、2 (TCNT_1、TCNT_2) をカスケード接続して、32 ビットカウンタとして動作させている場合、T10C1A と T10C2A、または、T10C1B と T10C2B に同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2 に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、T10C1A と T10C2A、または T10C1B と T10C2B の取り込みタイミングにずれが生じカスケードカウンタ値を正常にキャプチャできない可能性があります。

例として TCNT_1 (上位 16 ビットのカウンタ) が、TCNT_2 (下位 16 ビットのカウンタ) のオーバーフローによるカウントアップ値をキャプチャすべき所を、カウントアップ前のカウントアップ値をキャプチャします。その場合、正しくは TCNT_1=H'FFF1、TCNT_2=H'0000 の値を TGR1A と TGR2A もしくは、TGR1B と TGR2B に転送すべきところを、誤って TCNT_1=H'FFFO、TCNT_2=H'0000 の値を転送します。

3. 日立コントローラエリアネットワーク 2 のビットレートについて
 マニュアルに記載されている算出式に誤記がありました。下記正誤表を参照下さい。

訂正箇所		誤	正
ページ	詳細箇所		
P15-38	TQ 算出式	$TQ = 2 \times (\text{BPR の設定値} + 1) / f_{\text{CLK}}$	$TQ = (\text{BPR の設定値} + 1) / f_{\text{CLK}}$
	1 ビットレート算出式	1 ビットレート $= 1 / \text{ビットタイム}$ $= f_{\text{CLK}} / \{ 2 \times (\text{BPR の設定値} + 1) \times (3 + \text{TSEG1} + \text{TSEG2}) \}$	1 ビットレート $= 1 / \text{ビットタイム}$ $= f_{\text{CLK}} / \{ (\text{BPR の設定値} + 1) \times (3 + \text{TSEG1} + \text{TSEG2}) \}$
	注釈	【注】 $f_{\text{CLK}} =$ (システムクロック)	【注】 $f_{\text{CLK}} =$ f_2 (システムクロックの 2 分周)
	ビットレート算出例	[例] =40MHz、 BRP の設定値=B'000000、 TSEG1=B'0100、 TSEG2=B'011 の場合 ビットレート $= 20 / \{ 2 \times (0 + 1) \times (3 + 4 + 3) \}$ =1Mbps	[例] =40MHz、 BRP の設定値=B'000001、 TSEG1=B'0100、 TSEG2=B'011 の場合 ビットレート $= 20 / \{ (1 + 1) \times (3 + 4 + 3) \}$ =1Mbps

4. I/O ポートデータレジスタのリザーブビットについて
 下記正誤表を参照下さい。

訂正箇所		誤	正
ページ	詳細箇所		
P18-5	18.2.2 本文中の表の脚注	【注】*SH7046 では、リザーブビットです。ビットに該当する端子はありません。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	【注】*SH7046 では、リザーブビットです。ビットに該当する端子はありません。読み出すと常に不定値が読み出されます。書き込む値は常に 0 にしてください。
P18-13	18.5.2 本文中の表の脚注	【注】*SH7046 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。	【注】*SH7046 ではリザーブビットです。ビットに該当する端子はありません。読み出すと常に不定値が読み出されます。

5. FLASH オンボード書き込み制御プログラム格納エリアについて
 下記正誤表を参照下さい。

訂正箇所		誤	正
ページ	詳細箇所		
P19-12	19.6.1 本文 項番 5	5.ブートモードでは内蔵 RAM の一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは H'FFFFFFD000 ~ H'FFFFFFD7FF 番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。	5.ブートモードでは内蔵 RAM の一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは H'FFFFFFD800 ~ H'FFFFFFF 番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。