

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MAEC TECHNICAL NEWS

No. M16C-72-0106

M30240 の USB コントロールリードコマンド
に関する注意事項

分 類	ドキュメント正誤表 注意事項 ノウハウ その他	対 象	M30240M5/6-XXXXFP M30240ECFP
--------	----------------------------------	--------	---------------------------------

1. 現象

GET_STATUSコマンド等のコントロールリード転送において、非常に稀なタイミングで次の条件がすべて重なった場合、最初の1バイトしかIN FIFOに書き込まれないという現象が発生する可能性があります。

<エラー発生条件>

- (1) エンドポイント0の転送が、コントロールリード転送。
- (2) エンドポイント0の制御ユニットがINトークンに対してNAK応答している間に、OUT_PKT_RDYビットがクリアされる。
- (3) OUT_PKT_RDYビットがクリアされた直後にIN FIFOにデータが書き込まれる。

これは、エンドポイント0のOUT_PKT_RDYビットがセットされた状態で、エンドポイント0のUSB制御ユニットがデータステージのINトークンに対してNAK応答している間に、ソフトウェアにてOUT_PKT_RDYビットをクリアし、かつ、その直後にIN FIFOにデータを書き込んだ場合に発生します。この後、IN_PKT_RDYビットをセットしてホストから新たなINトークンを受信すると、最初の1バイト以外のデータは失われ、ホストに対して転送されません。

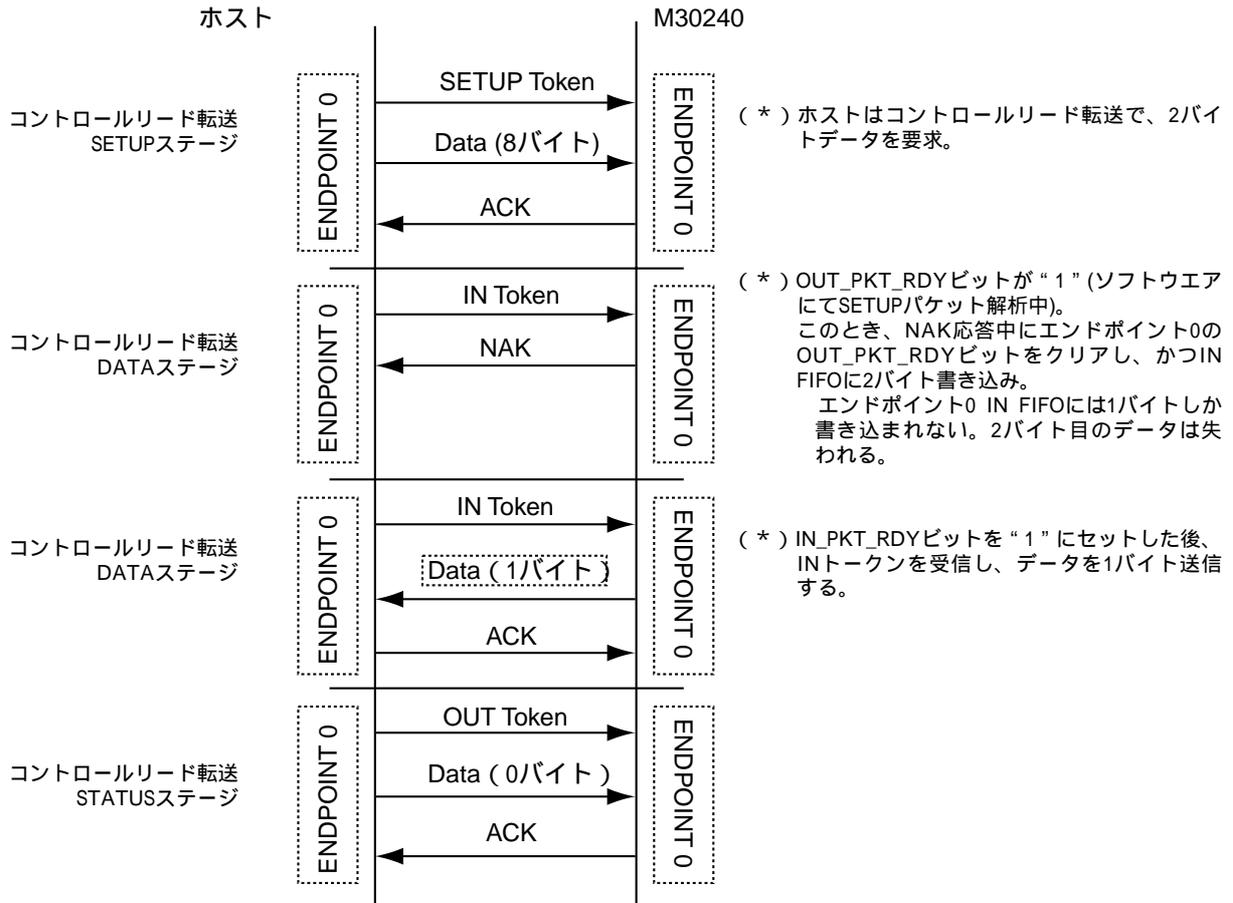
2. 対策

この現象は、OUT_PKT_RDYビットをクリアしてからエンドポイント0のIN FIFOにデータを書き込むまでに、最低25クロックサイクル(BCLK = 12MHz、分周なしの場合)の遅延を持たせることで対策可能です。

この現象が発生するのは非常に稀なタイミングですが、通信の確度を向上させるためには上記対策を推奨いたします。

現象具体例

コントロールリード転送（リードデータは2バイト）の例を下記に示します。
 コントロールリード転送（エンドポイント0）のDATA ステージにおいて、
 M30240 が1バイトのみデータを送信します



C 言語 プログラミング対策例

```

#pragma      ADDRESS      EP0CSR      0311h
#pragma      ADDRESS      EP0         0338h

void Func(void)
{
    unsigned char Delay;
    .
    .
    .
    EP0CSR = 0x40;                /* OUT_PKT_RDY ビットクリア
                                (SERVICED_OUT_PKT_RDY ビットセット) */

    for (Delay =0x04 ; Delay!=0 ; Delay--){ }    /* 25 サイクル以上ウェイト (注1) */

    EP0 = 0x00;                  /* FIFO ヘデータを書き込み */
    EP0 = 0x00;
    EP0CSR = 0x0a;              /* DATA_END ビットと IN_PKT_RDY ビットを
                                セットし、パケットデータ準備完了。 */
    .
    .
    .
}

```

注1. コンパイルによる生成コードの結果により、“ Delay ” の初期値は変化します。

アセンブラ言語 プログラミング対策例

```

EP0CSR      .EQU      0311h
EP0         .EQU      0338h

.
.
.

MOV.B #40h, EP0CSR      ;OUT_PKT_RDY ビットクリア
                       ;(SERVICED_OUT_PKT_RDY ビットセット)

MOV.B #07h, R0L        ;25 サイクル以上ウェイト (注2)
LOOP:
DEC.B R0L
JNE LOOP

MOV.B #00h, EP0        ; FIFO ヘデータを書き込み
MOV.B #00h, EP0
MOV.B #0ah, EP0CSR     ; DATA_END ビットと IN_PKT_RDY ビットをセットし、
                       ;パケットデータ準備完了
.
.
.

```

注2. この例では、ウェイト時間計算用にデータレジスタ R0L を使用しています。

以上